การสร้างฮาร์ดแวร์ตัวประมวลผลการปรับเรียบผิวโดยใช้ FPGA

Hardware Implementation of Skin Smooting on FPGA

นเรนทร์ อ่อนอินทร์

บัณฑิตศึกษา สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีมหานคร

เอกรัฐ บุญภูงา

ภาควิชาวิศวกรรมไฟฟ้าและคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ

จักรกฤช ตรรกพาณิชย์

ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีมหานคร

เผ่าภัค ศิริสุข

วิทยาลัยนานาชาติ สถาบันเทคเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้นำเสนอการสร้างตัวประมวลผลของการปรับเรียบภาพโดยใช้ FPGA เทคนิคชนิดใหม่ของการกรองโดยใช้ทั้งการกรองเชิงพิสัยและการกรองแบบโดเมนเชิงพื้นที่ได้ถูกนำไปใช้ในการสร้างฮาร์ดแวร์ เราได้เลือกใช้เลขคณิตแบบจุดตรึงเป็นตัวปฏิบัติการในการสร้างฮาร์ดแวร์ของ FPGA เราได้ศึกษาผลกระทบของการเลือกใช้ความยาวคำของตัวปฏิบัติการแบบจุดตรึงที่มีผลต่อประสิทธิภาพของการปรับเรียบผิวในรูปแบบของภาพหลังการกรองและค่าความผิดพลาดกำลังสองเฉลี่ย นอกจากนี้เราได้แสดงให้เห็นสถาปัตยกรรมสำหรับการสร้าง FPGA และทรัพยากรที่ใช้ในการสร้าง FPGA รวมถึงสมรรถนะหลังการสร้าง FPGA แล้ว

คำสำคัญ : เอฟพีจีเอ การปรับเรียบผิว ตัวกรองไม่เป็นเชิงเส้น

Abstract

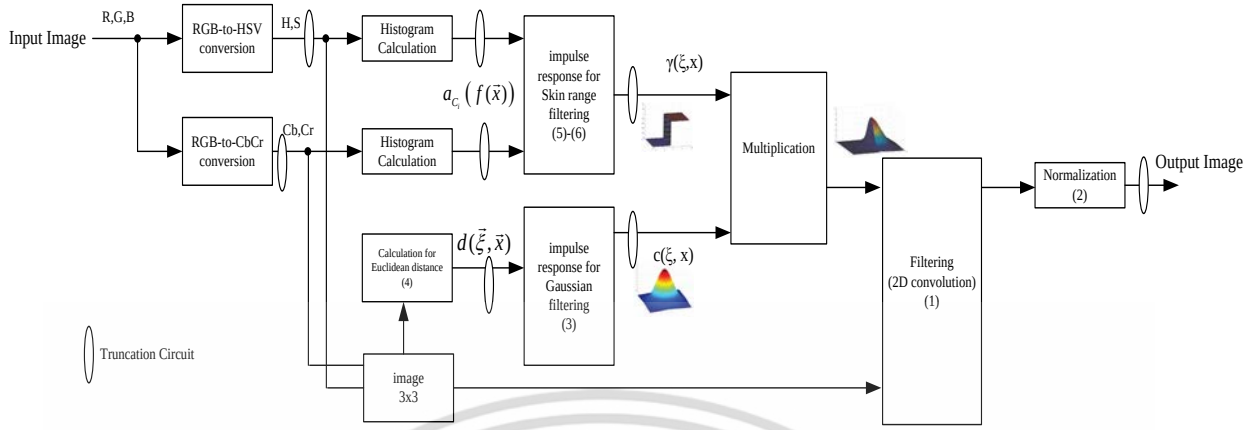
In this paper, implementation of a processor for skin smoothing by using FPGA is presented. A new technique of filtering based on both of range and spatial-domain filtering is employed for hardware implementation. Fixed-point arithmetic is chosen as operator in hardware implementation of FPGA. We investigate the effect of chosen wordlenth of fixed-point operations on the performance of skin smoothing in term of filtered image and mean square error. The designed architecture, resource utilization and performance of FPGA are shown.

Keywords : FPGA, Skin Smooting, Nonlinear Filter

1. บทนำ

การประมวลผลสัญญาณดิจิทัลและการมองเห็นด้วยคอมพิวเตอร์ (computer vision) ได้รับความสนใจเพิ่มขึ้นอย่างต่อเนื่อง [1] เนื่องจากสามารถนำองค์ความรู้ไปประยุกต์ใช้ในงานด้านต่างๆ ได้หลากหลาย เช่น หุ่นยนต์ การควบคุมอัตโนมัติ การควบคุมคุณภาพของสิ้นค้า และระบบรักษาความปลอดภัย การกำจัดสัญญาณรบกวนจากภาพโดยใช้ตัวกรอง (filter) เป็นหนึ่งในเทคนิคที่ใช้ในการประมวลผลสัญญาณ [2] การใช้ตัวกรองนั้นมีวัตถุประสงค์หลัก 2 ประการ คือการแยกสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1: ขั้นตอนการประมวลผลการปรับเรียบผิว

และการกู้คืนสัญญาณที่ที่ถูกรบกวนคืน ในการใช้ตัวกรองในการประมวลผลภาพนั้นจะใช้เพื่อแยกสัญญาณรบกวนออกจากภาพ ภาพที่ได้จะมีผิวเรียบสม่ำเสมอมากขึ้นในขณะที่ยังสามารถคงขอบของภาพได้

การใช้ตัวกรองแบบเกาส์เซียนเป็นเทคนิคที่ได้รับความนิยมเนื่องจากมีความง่ายในการนำไปใช้เป็นตัวกรองความถี่ต่ำผ่าน (low pass filter) ปรับเรียบภาพโดยไม่นำการเปลี่ยนแปลงความหนาแน่นของผิวในภาพมาวิเคราะห์ ถึงแม้ตัวกรองแบบเกาส์เซียนจะดีในแง่ความง่ายในการออกแบบแต่ทั่วไปแล้วการใช้ตัวกรองแบบเกาส์เซียนนี้จะทำให้ภาพที่ได้หลังการปรับเรียบผิวจะมีความพร่ามัวที่ขอบ (edge) ของวัตถุ

การกรองแบบสองด้าน (bilateral filtering) ได้ถูกนำมาประยุกต์ใช้ในการประมวลผลภาพ การกรองนี้เป็นการกรองแบบไม่เชิงเส้นถูกนำเสนอโดย Tomasi และ Manduchi [3] ซึ่งเป็นการรวมการกรอง 2 แบบเข้าด้วยกัน นั้นคือ การกรองแบบพิสัย (range filtering) และการกรองแบบโดเมนเชิงพื้นที่ (spatial-domain filtering) การกรองชนิดนี้จะช่วยการปรับเรียบพื้นที่ผิวของภาพโดยสามารถกรองสัญญาณรบกวนแบบเกาส์เซียนแต่ยังสามารถรักษารูปร่างของขอบ จุดภาพ (pixel) จะถูกแทนด้วยค่าเฉลี่ยที่ถูกถ่วงน้ำหนักของความหนาแน่นใน pixel ที่ใกล้เคียง ฟังก์ชันค่าถ่วงน้ำหนักจะถูกกำหนดให้ราบเรียบในย่านที่มีความหนาแน่นใกล้เคียงกันขณะที่ยังสามารถรักษาขอบได้อย่างสมบูรณ์โดยถ่วงน้ำหนัก pixel ที่อยู่ใกล้กับจุดกึ่งกลางที่ถูกเลือกให้คล้ายกับจุดกึ่งกลาง

บทความนี้นำเสนอการสร้างตัวประมวลผลของการปรับเรียบผิวโดยใช้ FPGA การปรับเรียบผิวนี้จะใช้เทคนิคการกรองที่นำเสนอในบทความ [4] การออกแบบตัวปฏิบัติการ (operator) ในตัวประมวลผลนั้นจะเลือกใช้เลขคณิตแบบจุดตาย (fixed-point arithmetic) โดยในบทความนี้จะแสดงผลกระทบของการเลือกความยาวคำ (wordlenght) นอกจานี้เรายังจะแสดงโครงสร้างที่ออกแบบสำหรับการปรับเรียบผิว โดยโครงสร้างที่ออกแบบจะถูกสร้างเป็น FPGA โดยภาษาระดับสูง VHDL ในตอนท้ายของบทความนี้เราจะแสดงทรัพยากรและสมรรถนะของตัวประมวลผลการปรับเรียบผิวหลังการ FPGA แล้ว

2. การปรับเรียบผิวโดยใช้การตรวจสอบค่าสี

การปรับเรียบผิวด้วยเทคนิคที่นำเสนอในบทความ [4] เป็นการปรับปรุงเทคนิคการปรับเรียบผิวโดยใช้การกรองแบบสองด้านให้เป็นการปรับเรียบผิวชนิดใหม่ ซึ่งเป็นการใช้ตัวกรองที่มีการกรองแบบพิสัยและการกรองแบบโดเมนเชิงพื้นที่ เทคนิคนี้จะหาการกระจายตัวของค่าสีโดยใช้ฮิสโทแกรม (histogram) 1 มิติและใช้ฟังก์ชันการกรอง 2 ชนิด ชนิดที่ 1 ได้จากความสัมพันธ์ของการวัดจุดกึ่งกลางของกรอบภาพย่อยที่ถูกเลือก $\vec{x}$ กับจุดใกล้เคียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และชนิดที่ 2 ได้จากความสัมพันธ์ของการวัดระยะห่างระหว่างการกระจายตัวของผิวที่จุดกึ่งกลาง z_i กับองค์ประกอบโครมิแนนซ์ ที่จุด $\vec{\xi}$ ของฮิสโทแกรม รูปที่ 1 แสดงแผนภาพของขั้นตอนการประมวลผลสัญญาณของการปรับเรียบผิวโดยใช้เทคนิคที่นำเสนอในบทความ [4] เอาต์พุต $h(\vec{x})$ ที่ได้จากการกรองภาพต้นฉบับ $f(\vec{x})$ สามารถอธิบายได้ด้วยสมการการสังวัตนาการ (convolution) 2 มิติ

$$h(\vec{x}) = k^{-1}(\vec{x}) \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} f(\vec{\xi}) c(\vec{\xi}, \vec{x}) \gamma(\vec{\xi}, \vec{x}) d\vec{\xi} \quad (1)$$

เมื่อ $k^{-1}(\vec{x})$ คือค่าที่ใช้ในการทำให้เป็นบรรทัดฐาน (normalization) แทนด้วยสมการ

$$k(\vec{x}) = \int_{-\infty}^{\infty} \int_{-\infty}^{\infty} c(\vec{\xi}, \vec{x}) \gamma(\vec{\xi}, \vec{x}) d\vec{\xi} \quad (2)$$

เมื่อ $c(\vec{\xi}, \vec{x})$ เป็นฟังก์ชันที่ใกล้ที่สุด (closeness function) โดยวัดจากจุดกึ่งกลาง $\vec{x}$ ในกรอบที่ถูกเลือกกับจุดใกล้เคียง $\vec{\xi}$ เป็นฟังก์ชันเกาส์เซียนดังแสดงในสมการ

$$c(\vec{\xi}, \vec{x}) = e^{-\frac{1}{2}\left(\frac{d(\vec{\xi}, \vec{x})}{\sigma_d}\right)^2} \quad (3)$$

เมื่อ $d(\vec{\xi}, \vec{x})$ เป็นระยะห่างยุคลิด (Euclidean distance) ระหว่าง $\vec{\xi}$ และ $\vec{x}$ แทนด้วยสมการ

$$d(\vec{\xi}, \vec{x}) = d(\vec{\xi} - \vec{x}) = \left\| \vec{\xi} - \vec{x} \right\| \quad (4)$$

$\gamma(\vec{\xi}, \vec{x})$ เป็นฟังก์ชันการกรองแบบพิสัยของผิว ซึ่งกำหนดเป็นระยะห่างระหว่างการกระจายตัวของผิวที่จุดกึ่งกลาง z_i กับองค์ประกอบโครมิแนนซ์ (chrominance component) $a_{C_i}\left(f(\vec{\xi})\right)$ ที่จุด $\vec{\xi}$ ของฮิสโทแกรม 1 มิติ h_{C_i} ซึ่งใช้แสดงการกระจายตัวของพื้นผิว ฟังก์ชัน $\gamma(\vec{\xi}, \vec{x})$ แสดงในสมการ

$$\gamma(\vec{\xi}, \vec{x}) = e^{-\frac{1}{2}\left(\frac{\Xi(\vec{\xi}, \vec{x})}{\sigma s}\right)^2} \quad (5)$$

เมื่อ

$$\Xi(\vec{\xi}, \vec{x}) = \frac{1}{N} \sum_{i=1}^{N} \frac{1}{hc_i\left(a_{C_i}\left(f(\vec{x})\right)\right)} \left\| a_{C_i}\left(f(\vec{x})\right) - z_i \right\| \quad (6)$$

3. การศึกษาเลขคณิตจุดตรึงของการปรับเรียบผิว

การสร้างตัวประมวลผลของการการปรับเรียบผิวที่แสดงในบทความนี้จะใช้เป็นการแทนเลขคณิตจุดตรึง (fixed-point arithmetic) หัวข้อนี้จะเป็นการศึกษาความยาวคำ (wordlength) ที่มีผลต่อประสิทธิภาพของการปรับเรียบผิว จากรูปที่ 1 เราจะทำการตัดบิต (truncation) ของข้อมูลที่ถูกใช้ในการประมวลผลในตำแหน่งต่างๆ ทั้งส่วนบิตใน (internal bit) และนอก (external bit) ให้มีความยาวคำที่เท่ากัน ดังแสดงเป็นวงจรตัดบิต (truncation circuit) ในตำแหน่งต่างๆดังรูป รูปที่ 2 แสดงภาพต้นฉบับที่จะใช้ในการปรับเรียบผิว สังเกตว่าระดับของสีในภาพจะมีความไม่สม่ำเสมอกันซึ่งเกิดจากสัญญาณรบกวน หลังการปรับเรียบผิวที่ใช้เทคนิคการกรองที่อธิบายข้างต้น ภาพที่ได้แสดงในรูปที่ 3 (ก) (ข) (ค) และ (ง) ที่ได้จากการเลขคณิตแบบจุดลอย จุดตาย 4 บิต 6 บิต และ 8 บิต ตามลำดับ จากภาพจะเห็นว่าการปรับเรียบผิวโดยใช้เลขคณิตแบบจุดลอยมีประสิทธิภาพดีสามารถลดสัญญาณรบกวนได้ดี ภาพที่ได้หลังการปรับเรียบมีผิวที่สม่ำเสมอกัน ในขณะที่การปรับเรียบผิวที่ใช้เลขคณิตแบบจุดตายความยาวคำ 4 บิต ความผิดพลาดกำลังสองเฉลี่ย (mean square error หรือ MSE) เมื่อเทียบกับภาพที่ได้จากเลขคณิตแบบจุดลอยเท่ากับ -52.32 dB ผิวในภาพมีลักษณะไม่ราบเรียบเป็นช่องกว้าง เมื่อเพิ่มความยาวคำเป็น 6 บิต MSE เท่ากับ-80 dB ภาพมีความสม่ำเสมอมากขึ้น เมื่อเพิ่มความยาวคำเป็น 8 บิต MSE เท่ากับ -107 dB ผิวในภาพจะมีความสม่ำเสมอดีกว่าในกรณีอื่นๆ แต่เมื่อเทียบความแตกต่างระหว่างการใช้ความยาวคำ 6 บิตและ 8 บิตแล้วจะเห็นว่า MSE มีความต่างกันเพียงเล็กน้อยและเมื่อสังเกตจากรูปที่ 3 (ค) และ (ง) ภาพมีความใกล้เคียงกันมาก ดังนั้นเพื่อประหยัดทรัพยากรในการสร้างตัวประมวลผลการปรับเรียบผิวโดยใช้ FPGA นั้นจึงเลือกความยาวคำเพียง 6 บิต

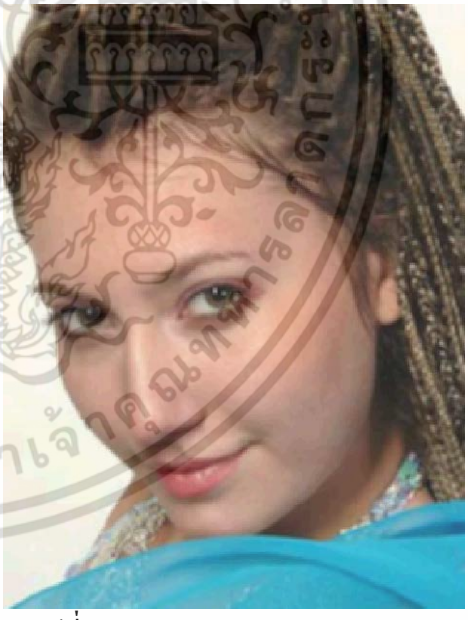
นอกจากนี้เราได้ศึกษาเพิ่มเติมในกรณีที่เลือกภาพย่อยขนาด 5x5 รูปที่ 4 แสดงภาพที่ได้หลังการปรับเรียบผิวใช้จุดตายความยาวคำ 8 บิตและภาพย่อยขนาด 5x5 จากรูปสังเกตได้ว่าภาพจะมีความหยาบมากกว่าเมื่อเลือกใช้ ภาพย่อยขนาด 3x3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2: ภาพต้นฉบับที่จะใช้ในการปรับเรียบผิว

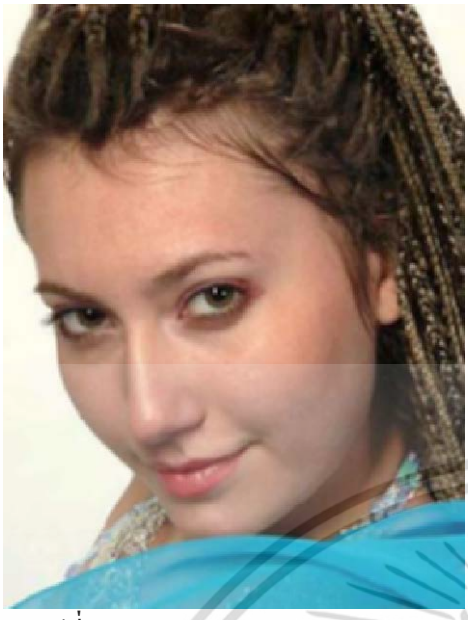
รูปที่ 3 (ข): จากจุดตายความยาวคำ 4 บิต

รูปที่ 3 (ก): จากการเลขคณิตแบบจุดลอย

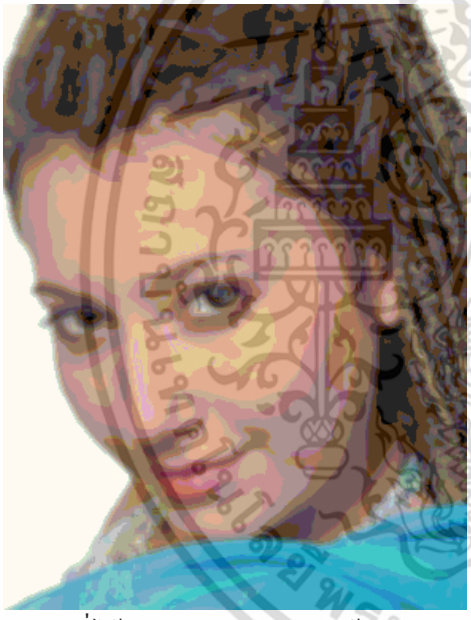


รูปที่ 3 (ค): จากจุดตายความยาวคำ 6 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

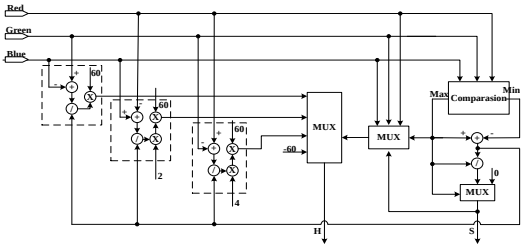


รูปที่ 3 (ง): จากจุดตายความยาวคำ 8 บิต

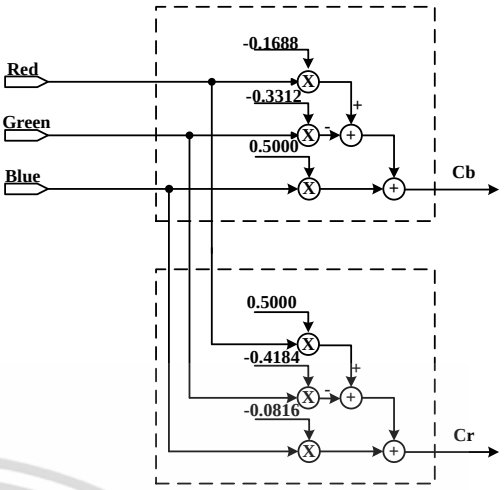


รูปที่ 4: ภาพที่ได้หลังการปรับเรียบผิวใช้จุดตายความยาวคำ 8 บิตและภาพย่อยขนาด 5x5

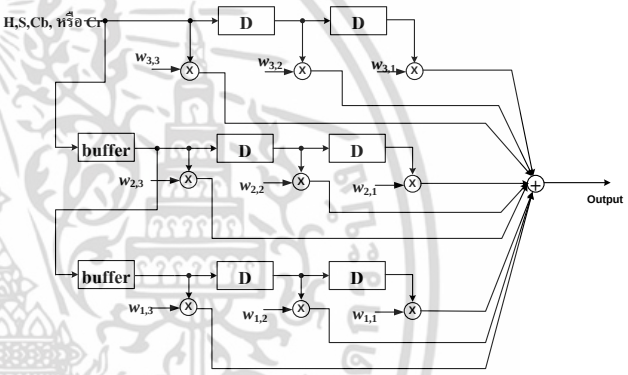
4. สถาปัตยกรรมและการสร้าง FPGA สำหรับการปรับเรียบผิว



รูปที่ 5: โครงสร้างวงจรแปลงค่าสีจากโดเมน RGB ให้เป็นโดเมน HSV



รูปที่ 6: โครงสร้างวงจรแปลงค่าสีจากโดเมน RGB ให้เป็นโดเมน CbCr



รูปที่ 7: โครงสร้างการการสังวัตนาการ 2 มิติ

จากรูปที่ 1 ที่แสดงขั้นตอนการประมวลผลของการปรับเรียบผิว ขั้นตอนนี้จะถูกใช้ในการออกแบบสถาปัตยกรรมสำหรับสร้าง FPGA โดยหลังการประมวลผลในแต่ละขั้นตอนจะมีวงจรตัดบิต รูปที่ 5 และ 6 แสดงโครงสร้างวงจรแปลงค่าสีจากโดเมน RGB ให้เป็นโดเมน HSV และ CbCr ตามลำดับ การแปลงค่าสีจากโดเมน RGB เป็น HSV [2] ดังแสดงในรูปที่ 5 นั้น วงจรจะประกอบด้วยวงจร บวก คูณ หาร และวงจรเปรียบเทียบ วงจรเปรียบเทียบใช้สำหรับเปรียบเทียบหาค่ามากสุดและน้อยที่สุดซึ่งจะใช้ในการปรับระดับค่าสีให้อยู่ในโดเมน HSV วงจรการแปลงค่าสีจากโดเมน RGB เป็น CbCr ประกอบด้วยวงจรคูณที่ใช้คูณค่าคงที่ และวงจรบวก ซึ่งเป็นการปรับระดับค่าสีให้อยู่ในโดเมน CbCr

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าสีที่ได้จากการแปลงส่วนหนึ่งจะถูกแบ่งเป็นภาพย่อย ในบทความนี้เลือกใช้ภาพย่อยขนาด 3x3 โดยส่วนหนึ่งจะใช้ในการคำนวณระยะห่างยุคลิด โดยเกิดจากสมการที่ (4) ซึ่งสร้างเป็นวงจรบวกและคูณ เอาต์พุตที่ได้จะใช้ในการหาผลตอบสนองอิมพัลส์ของการกรองแบบเกาส์เซียน $c(\vec{\xi},\vec{x})$ บทความนี้จะเลือกใช้ตารางค้นหา (look-up table หรือ LUT) ในการสร้างวงจร

เราได้ออกแบบวงจรสำหรับการคำนวณหาฮิสโทแกรม สำหรับการคำนวณหาผลตอบสนองอิมพัลส์ของการกรองแบบพิสัยของผิว $\gamma(\vec{\xi},\vec{x})$ โดยใช้การเก็บข้อมูลค่าสีทั้งหมดไว้ใน RAM และมีวงจรนับ (counter) เพื่อนับค่าสีต่างๆ ค่าที่ได้หลังการนับจะถูกเก็บไว้ใน RAM อีกชุดเช่นเดียวกัน การเข้าอ่านและเขียน RAM รวมถึงการนับจำนวนค่าสีจะถูกควบคุมโดยตัวควบคุม (control unit) ตัวควบคุมนี้จะทำหน้าที่ควบคุมการคำนวณและการไหลของของข้อมูลทั้งหมด ผลตอบสนองอิมพัลส์ของการกรองแบบพิสัยของผิว $\gamma(\vec{\xi},\vec{x})$ ที่ได้จะถูกคูณด้วยผลตอบสนองอิมพัลส์ของการกรองแบบเกาส์เซียน $c(\vec{\xi},\vec{x})$ เอาต์พุตที่ได้จะถูกใช้เป็นตัวกลาง (kernal) สำหรับการทำการสังวัตนาการ 2 มิติกับภาพที่ถูกตัดย่อยขนาด 3x3

รูปที่ 7 แสดงโครงสร้างการการสังวัตนาการ 2 มิติ ซึ่งจะถูกใช้ในการสร้าง FPGA ในลำดับถัดไป วงจรบัฟเฟอร์ (buffer) จะสร้างเป็นวงจรเข้าก่อนออกก่อน (first-in-first-out หรือ FIFO) โดยเป็นโครงสร้างของ BRAM ใน FPGA จากที่กล่าวในข้างต้นหลังการประมวลผลจะต้องมีวงจรตัดบิตเพื่อลดการชั้ทรัพยากรในการสร้าง FPGA จากรูปที่ 1 เอาต์พุตที่ได้หลังการ การสังวัตนาการ 2 มิติ จะถูกปรับเป็นบรรทัดฐาน ในที่นี้ใช้การปรับสเกลด้วยการเลื่อนบิต นั้นคือการคูณด้วย 2^{-s} เมื่อ s คือจำนวนตำแหน่งของการเลื่อนบิต วงจรการเลื่อนบิตนี้ไม่ใช้ทรัพยากรในการสร้าง FPGA แต่อย่างใด

โครงสร้างของตัวประมวลผลการปรับเรียบผิวที่กล่าวในข้างต้นถูกนำไปสร้างโดยใช้ภาษาระดับสูง VHDL โดยอุปกรณ์เป้าหมายเป็น FPGA ยี่ห้อ Xilinx รุ่น Virtex2-Pro XC2VP30 ตารางที่ 1 แสดงตารางการใช้ทรัพยากรของตัวประมวลผลการปรับเรียบผิว ความถี่สูงสุดที่สามารถใช้ได้มีค่าเท่ากับ 205.02 MHz และใช้ทรัพยากร 1,146,340 เกท

ตารางที่ 1 การใช้ทรัพยากรสำหรับตัวประมวลผลการปรับเรียบผิว

สรุปการใช้อุปกรณ์	การใช้	เปอร์เซ็นที่ใช้
Block RAMs	16	11%
MULT18X18s	20	14%
SLICEs	867	6%
BUFGMUXs	1	6%
4 input LUTs	1,322	2%

5. สรุป

เราได้นำเสนอการสร้างตัวประมวลผลการปรับเรียบผิวโดยใช้ FPGA เทคนิคการปรับเรียบผิวที่เลือกใช้เป็นเทคนิคใหม่ที่นำเสนอในบทความ [4] การออกแบบการประมวลผลจะใช้ตัวปฏิบัติการแบบจุดตายในการทดลองแสดงให้เห็นว่าการเลือกใช้ความยาวคำ 6 บิตเพียงพอสำหรับการปรับเรียบผิวของภาพได้เป็นอย่างดี การปรับเรียบผิวที่สร้างโดยสถาปัตยกรรมที่ออกแบบโดยใช้ FPGA ยี่ห้อ Xilinx รุ่น Virtex2-Pro XC2VP30 จะใช้ทรัพยากร 1,146,340 เกท และมีความถี่สูงสุดที่สามารถทำงานได้ที่ 205.02 MHz

6. เอกสารอ้างอิง

[1] L. G. Shapiro, “Computer vision,” Prentice Hall, NJ, 2001

[2] R. C. Gonzalez and R. E.Woods, “Digital Image Processing Second Edition,” Prentice Hal, London, 1997.

[3] C. Tomasi and R. Manduchi, “Bilateral Filtering for Gray and Color Images,” Proc. IEEE International Conference on Computer Vision, Bombay, India, pp. 839-846, 1998.

[4] S. Srisuk, P. Sookvatana and A. Boonpoonga, "A Skin Smoothing Technique using Nonlinear Filtering," The 12th National Computer Science and Engineering Conference (NCSEC 2008), pp.105-110, Pattaya, Cholburi, Thailand, Nov. 2008.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้