

วงจรรักษาความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อก

Low-Power True Single-phase Clock 2/3 Prescalers

อภิรักษ์ ทัดสอน สิริภพ ผู้ประกาย

สาขาวิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้นำเสนอการออกแบบวงจรรักษาความถี่ 2/3 โดยใช้กำลังงานต่ำแบบทรูซิงเกิลเฟสคล็อก ที่แรงดันแหล่งจ่าย 1.2 V โดยใช้เทคนิคการหารความถี่แบบทรูซิงเกิลเฟสคล็อกทำให้วงจรรักษาความถี่และมีความเร็วสูง ผลการจำลองการทำงานด้วยโปรแกรม HSpice โดยใช้เทคโนโลยี CMOS 0.13 μ m ซึ่งกำลังงานที่ใช้ในวงจรที่ได้นำเสนอนี้จะมีประสิทธิภาพมากกว่าวงจรที่ได้นำเสนอมาก่อนนี้ และวงจรรักษาความถี่สามารถทำงานได้ตั้งแต่ 0.5 ถึง 9.7 GHz

คำสำคัญ : ซีมอส วงจรรักษาความถี่ ทรูซิงเกิลเฟสคล็อก กำลังงานต่ำ

Abstract

This paper presents low-power true single-phase clock 2/3 prescalers at 1.2 V supply voltage. The true-single-phase clock divider is developed to help achieve low power and high-speed performance. All simulation results have been carried out by using HSpice program simulator based on 0.13 μ m CMOS technology. The power consumption of the proposed circuit is more efficiency than the previous circuits. The prescaler is capable of operating from 0.5 to 9.7 GHz.

Keywords : CMOS, divider circuit, true single phase clock circuit (TSPC), low power

1. บทนำ

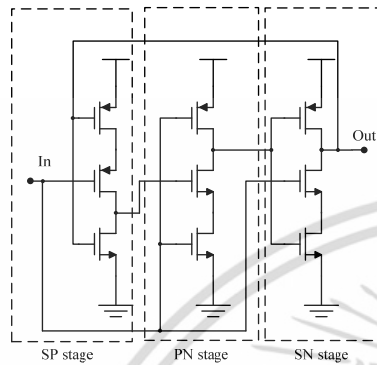
วงจรรักษาความถี่เป็นวงจรที่สำคัญในการสังเคราะห์ความถี่ (frequency synthesis) [1] ซึ่งในปัจจุบันมีความต้องการให้วงจรรักษาความถี่ทำงานได้เร็วขึ้น จึงเป็นสิ่งที่ท้าทายในการออกแบบวงจรรักษาความถี่ให้ทำงานได้ในความถี่ที่สูงขึ้นและใช้กำลังงานที่ต่ำ วงจรรักษาความถี่มีหลายรูปแบบด้วยกัน เช่น วงจรแบบ current-mode logic (CML) [2], วงจรแบบทรูซิงเกิลเฟสคล็อก (TSPC) [3] และแบบ extended TSPC (E-TSPC) [4] ซึ่งวงจรรูปแบบ CML นั้นทำงานได้ในความถี่สูงแต่มีกำลังงานที่สูญเสียมาก ส่วนวงจรรูปแบบ TSPC จะใช้กำลังงานต่ำแต่ทำงานได้ในความถี่ต่ำไปด้วย และวงจรรูปแบบ E-TSPC จะเหมือนกับ

วงจรรูปแบบ TSPC แต่จะมีความแตกต่างที่วงจร E-TSPC ใช้ทรานซิสเตอร์น้อยกว่าหนึ่งตัวในแต่ละส่วน แต่วงจรรูปแบบที่ได้นำเสนอนี้จะพิจารณาที่วงจรรูปแบบ TSPC ก่อนเนื่องจากความง่ายในการออกแบบ และการใช้กำลังงานต่ำให้สามารถทำงานได้ในความถี่ที่สูงขึ้นได้

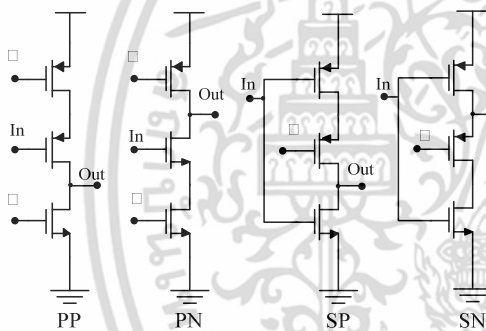
วงจรรักษาความถี่ซีมอสแบบ TSPC แสดงในรูปแบบที่ 1 ซึ่งรูปแบบของวงจรรักษาความถี่ TSPC เรียกว่า positive triggered D flip-flop และมีวงจรพื้นฐานของวงจรรูปแบบ TSPC [5] อยู่ด้วยกัน 4 แบบคือ แบบพีริซายพี (PP) แบบ พีริซายเอ็น (PN) นีออน พีริซายพี (SP) และนีออนพีริซายเอ็น (SN) ซึ่งแสดงในรูปแบบที่ 2 โดยสามารถนำแต่ละวงจรมารวมกันเพื่อต่อเป็นวงจรรักษาความถี่ได้ โดยนำส่วนของ SP+PN+SN มา

เอ็กสทราเป็นเอกสาร หรือสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รวมกันได้วงจร TSPC D flip-flop โดยสัญญาณอินพุตจะเปลี่ยนตามสัญญาณนาฬิกาโดยในส่วน SP-สแตจ ซึ่งจะเริ่มทำงานเมื่ออินพุตมีค่าระดับสัญญาณเป็น 0 และ SN-สแตจ จะเริ่มทำงานเมื่ออินพุตมีค่าระดับสัญญาณเป็น 1 และส่วนของ PN-สแตจ จะทำงานเมื่ออินพุตมีระดับสัญญาณเป็น 1



รูปที่ 1 วงจรหารความถี่ซิมอสแบบ TSPC



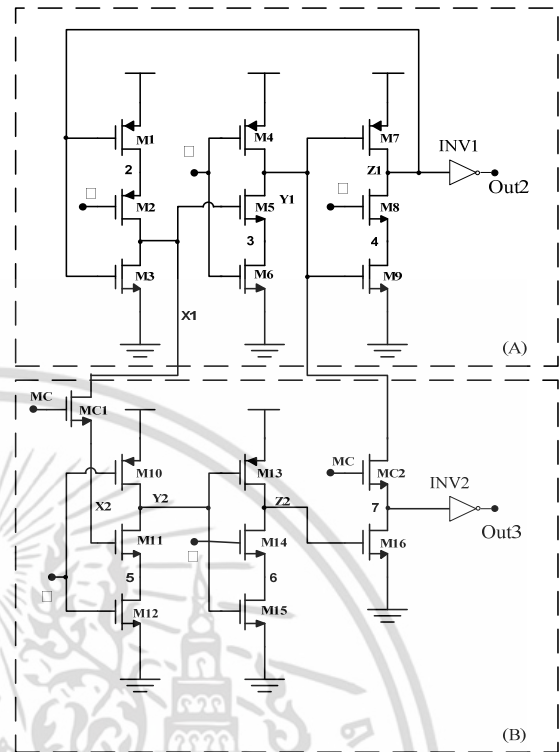
รูปที่ 2 วงจรพื้นฐานของวงจร TSPC

เมื่อออกแบบและจำลองการทำงานด้วยโปรแกรม HSpice ผลการจำลองการทำงานของวงจรทำให้เอาต์พุตมีความถี่ที่น้อยลง 2 หรือ 3 เท่าตามความถี่ที่ต้องการ ซึ่งวงจรหารความถี่ที่นำเสนอนี้ถูกออกแบบโดยใช้เทคนิคของทรูซิงเกิลเฟสคล็อกและออกแบบโดยใช้เทคโนโลยีซิมอส 0.13 μm

2. วงจรที่นำเสนอ

วงจรที่ได้นำเสนอแสดงในรูปที่ 3 สามารถแบ่งได้เป็น 2 ส่วนโดยส่วนแรก (A) เป็นวงจรหารสอง TSPC และส่วนที่สอง (B) เป็นวงจรหารสาม ซึ่งประกอบไปด้วย PN-สแตจ SN-สแตจ และทรานซิสเตอร์แบบเอ็นมอสจำนวน

สองตัว เพื่อต่อกับส่วนแรก (A) โดยการทำงานของวงจรที่นำเสนอมีรายละเอียดดังนี้



รูปที่ 3 วงจร Low-Power True Single-Phase Clock 2/3 Prescalers ที่นำเสนอ

ในส่วนแรก (A) เป็นวงจรหารสอง TSPC เมื่อสัญญาณอินพุตมีระดับสัญญาณเป็น 1 ทำให้ใน ทรานซิสเตอร์ M2 ไม่ทำงานและแรงดันที่โหนด X1 จะมีระดับสัญญาณเป็น 0 ซึ่งทรานซิสเตอร์ M4 และ M5 ไม่ทำงาน ทำให้แรงดันที่โหนด Y1 จะคงสถานะไว้เหมือนเดิม ดังนั้นค่าเอาต์พุตที่โหนด Z1 จะมีค่าตรงข้ามกับโหนด Y1 เพราะโหนด Z1 ต่อกับอินเวอร์เตอร์ INV1 ดังนั้นค่าของสัญญาณเอาต์พุตที่โหนด Out2 จะมีระดับสัญญาณเป็น 0

เมื่อสัญญาณอินพุตมีระดับสัญญาณเป็น 0 ทรานซิสเตอร์ M1 และ M2 จะทำงานทำให้ระดับแรงดันที่โหนด X1 เปลี่ยนระดับสัญญาณจาก 0 เป็น 1 ซึ่งทรานซิสเตอร์ M4 และ M5 จึงทำงาน ดังนั้นแรงดันที่โหนด Y1 จึงเปลี่ยนระดับสัญญาณเป็น 1 แต่โหนด Z1 จะไม่เปลี่ยนแปลงและคงค่าระดับสัญญาณ 1 ไว้เนื่องจากทรานซิสเตอร์ M7 และ M8 ไม่ทำงาน

เมื่อสัญญาณอินพุตมีเปลี่ยนระดับสัญญาณเป็น 1 อีกครั้ง ระดับแรงดันที่โหนด X1 และ Y1 จะไม่เปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่โหนด Z1 จะเปลี่ยน เนื่องจากโหนด Y1 จะมีระดับสัญญาณ 1 เพราะฉะนั้นทรานซิสเตอร์ M8 และ M9 จะทำงาน

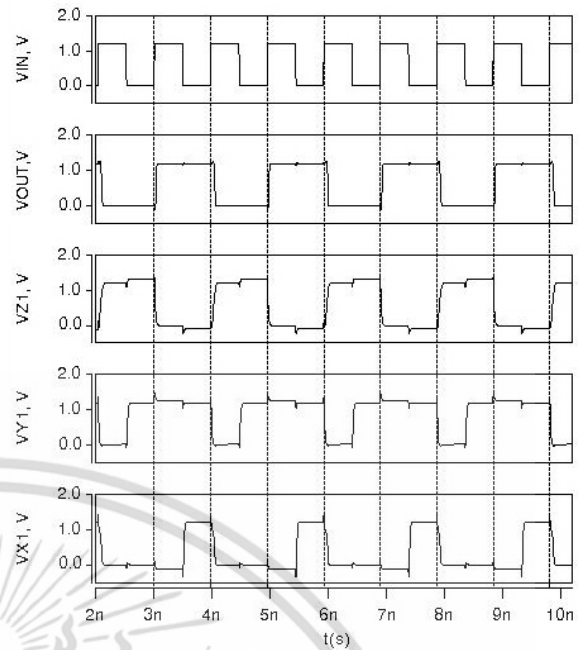
เมื่อสัญญาณอินพุตเปลี่ยนระดับสัญญาณจาก 1 เป็น 0 อีกครั้ง ทำให้โหนด X1 เปลี่ยนค่าระดับสัญญาณเป็น 1 แต่โหนด Y1 และ Z1 จะมีค่าแรงดันเท่าเดิม เนื่องจากแรงดันที่โหนด Y1 มีระดับสัญญาณเป็น 1 ซึ่งทำให้ทรานซิสเตอร์ M4 ทำงาน ส่วนทรานซิสเตอร์ M7 และ M8 จะไม่ทำงาน

ในส่วนที่สอง(B) เมื่อสัญญาณอินพุต MC มีระดับสัญญาณเป็น 0 ค่าของเอาต์พุตที่โหนด Out2 จะเป็นการหารสองและส่วนที่สอง (B) จะไม่ทำงาน ถ้าสัญญาณอินพุต MC มีระดับสัญญาณเป็น 1 จะทำให้เอาต์พุตที่โหนด Out3 เป็นการหารสามจากสัญญาณความถี่อินพุต

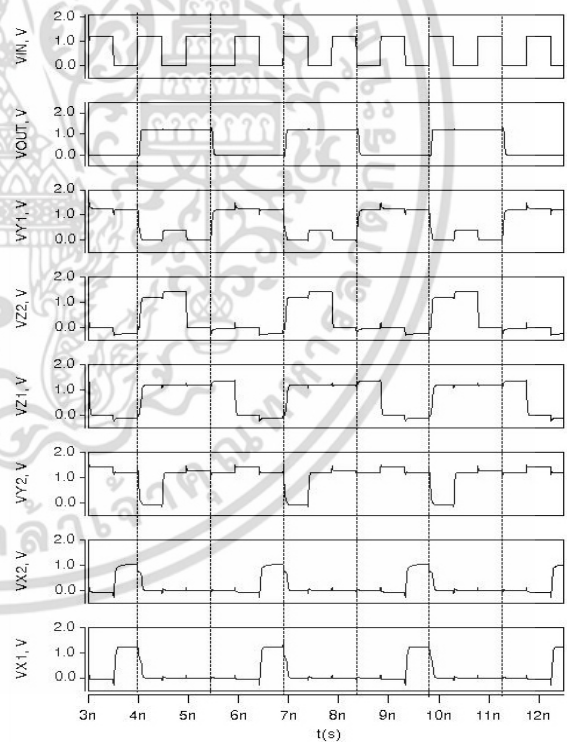
เนื่องจากทรานซิสเตอร์ MC เป็นตัวควบคุมการทำงาน ทั้งสองโหนดถ้าโหนดใดโหนดหนึ่งทำงานอีกโหนดหนึ่งจะไม่ทำงาน ดังนั้นเมื่อโหนดหารสองทำงาน โหนดหารสามจะไม่ทำงานทำให้ไม่มีกระแสไหลในส่วนที่สอง (B) ซึ่งวงจร [6] มีทรานซิสเตอร์ MC ควบคุมโหนดการทำงานเหมือนกันแต่ในโหนดหารสองจะมีกระแสไหลเข้าไปในโหนดหารสามด้วย วงจรที่นำเสนอจึงสิ้นเปลืองพลังงานน้อยกว่า โดยใช้เทคนิคทรูซิงเกิลเฟสคล็อกนี้ ทำให้วงจรสามารถทำงานที่ความถี่สูงขึ้น

3. ผลการทดลอง

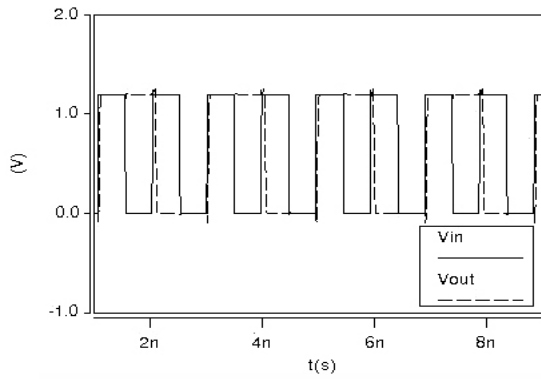
จากวงจรที่นำเสนอในรูปที่ 3 ทำการจำลองการทำงาน ด้วยความถี่อินพุต 1 GHz แรงดันแหล่งจ่าย 1.2 V จากรูปที่ 4 แสดงรูปแบบของสัญญาณที่โหนดต่างๆ เมื่อสัญญาณอินพุต MC เป็น 0 ทำให้วงจรทำงานในโหนดหารสอง จากรูปที่ 5 แสดงรูปแบบของสัญญาณที่โหนดต่างๆ เมื่อเปลี่ยนสัญญาณอินพุต MC จาก 0 เป็น 1 ทำให้วงจรทำงานในโหนดหารสาม



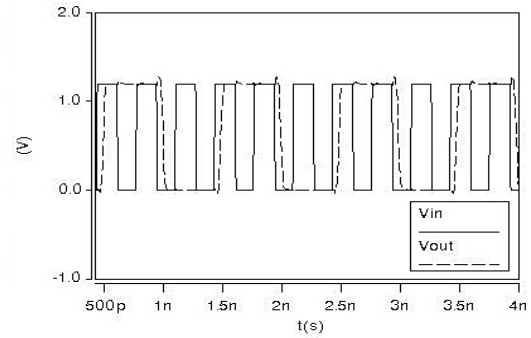
รูปที่ 4 รูปแบบสัญญาณที่โหนดต่างในวงจรหาร 2 ที่นำเสนอ แรงดันที่แหล่งจ่าย 1.2 V ความถี่อินพุต 1 GHz



รูปที่ 5 รูปแบบสัญญาณที่โหนดต่างในวงจรหาร 3 ที่นำเสนอ แรงดันที่แหล่งจ่าย 1.2 V ความถี่อินพุต 1 GHz



รูปที่ 6 สัญญาณอินพุตและเอาต์พุตของวงจร 2 ที่นำเสนอโดยใช้แรงดันที่แหล่งจ่าย 1.2 V ความถี่อินพุต 1 GHz



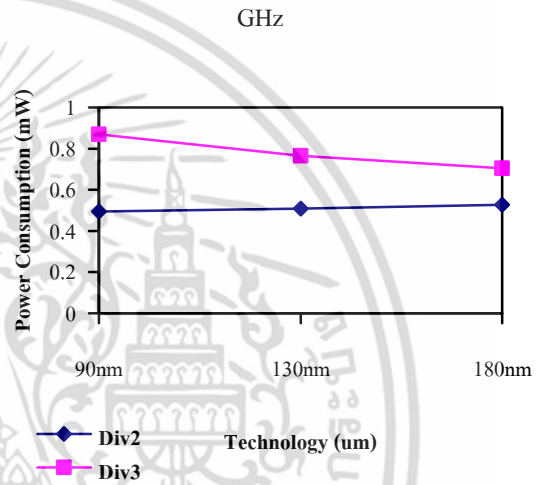
รูปที่ 7 สัญญาณอินพุตและเอาต์พุตของวงจร 3 ที่นำเสนอ โดยใช้แรงดันแหล่งจ่าย 1.2 V ที่ความถี่อินพุต 3 GHz

จากรูปที่ 6 แสดงการเปรียบเทียบสัญญาณอินพุตกับเอาต์พุต Out2 ของวงจรในโหมดการสองที่ความถี่อินพุต 1GHz ได้ความถี่เอาต์พุต 0.5 GHz

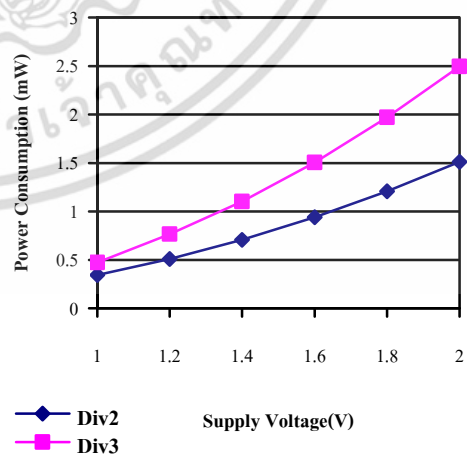
จากรูปที่ 7 เมื่อเปลี่ยนสัญญาณอินพุต MC เพื่อให้วงจรทำงานในโหมดการสามโดยมีความถี่อินพุตเท่ากับ 3 GHz และเปรียบเทียบสัญญาณอินพุตกับเอาต์พุต Out3 ได้ความถี่เอาต์พุตเท่ากับ 1 GHz

จากรูปที่ 8 แสดงการเปรียบเทียบค่ากำลังงานที่สูญเสียของวงจรเมื่อมีการเปลี่ยนเทคโนโลยีโดยใช้ความถี่อินพุต 6 GHz แรงดันแหล่งจ่าย 1.2 V

จากรูปที่ 9 แสดงทำการเปรียบเทียบค่ากำลังงานที่สูญเสียของวงจรเมื่อมีการเปลี่ยนแหล่งจ่ายแรงดันอินพุตที่ความถี่อินพุต 6 GHz ที่แรงดันแหล่งจ่าย 1 V ค่ากำลังงานที่สูญเสียของวงจรในโหมดการสองและสามจะยังใกล้เคียงกันแต่เมื่อเพิ่มแรงดันแหล่งจ่ายเข้าไป วงจรที่ทำงานในโหมดการสามจะสูญเสียกำลังงานเพิ่มมากขึ้นเมื่อเทียบกับวงจรที่ทำงานในโหมดการสอง

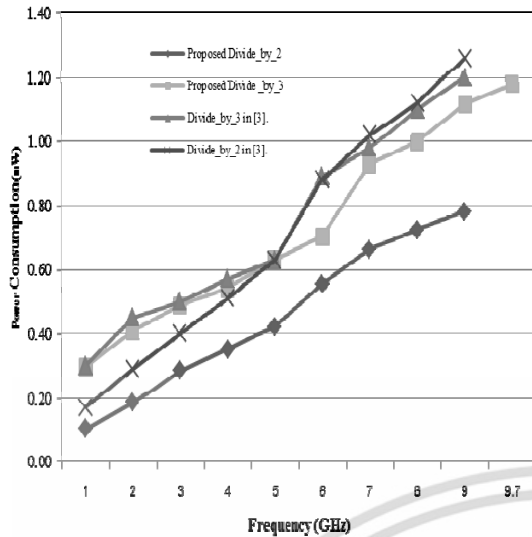


รูปที่ 8 เปรียบเทียบค่ากำลังงานที่สูญเสียของวงจรที่นำเสนอ เมื่อเปลี่ยนเทคโนโลยีที่ใช้ ที่ความถี่อินพุต 6 GHz



รูปที่ 9 เปรียบเทียบกำลังงานที่สูญเสียของวงจรที่นำเสนอ เมื่อมีการเปลี่ยนแหล่งจ่ายแรงดันอินพุต ที่ความถี่อินพุต 6 GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 10 กราฟเปรียบเทียบกำลังงานที่สูญเสียของวงจรถู่นำเสนอกับวงจรรหารความถี่ [6]

จากรูปที่ 10 แสดงการเปรียบเทียบค่ากำลังงานที่สูญเสียเมื่อมีการเปลี่ยนความถี่อินพุตโดยเปรียบเทียบกับวงจรถู High-Speed Low-Power True Single-Phase Clock Dual-Modulus Prescalers [6] วงจรถู่นำเสนอจะมีกำลังงานที่สูญเสียน้อยกว่ามากเมื่อทำงานในโหมดหารสองและในโหมดหารสามจะสามารถงานได้ที่ความถี่สูงกว่า

ตารางที่ 1 เปรียบเทียบการทำงานของวงจรรหารความถี่

Design Parameters	REF. [6]	วงจรถู่นำเสนอ
Process (μm)	0.13	0.13
Supply voltage (V)	1.2	1.2
Max. Frequency (GHz)	9	9.7
Power (mW) Divide-by-2 mode	0.34	0.22
Power (mW) Divide-by-3 mode	0.45	0.43

จากตารางที่ 1 แสดงการเปรียบเทียบการทำงานของวงจรถู่นำเสนอกับวงจรถู [6] ซึ่งวงจรถู่นำเสนอสามารถงานได้ที่ความถี่สูงกว่าและเมื่อเปรียบเทียบการใช้กำลังงานในโหมดของวงจรถูหารสอง วงจรถู่นำเสนอจะใช้กำลังงานน้อยกว่า 36.36% และมีกำลังงานที่สูญเสียน้อยกว่า 21.35% ในโหมดของวงจรถูหารสามที่ความถี่อินพุต 6 GHz และวงจรถู่นำเสนอนี้จะใช้กำลังงานเพียง 0.78mW ในโหมดของวงจรถูหาร 2 และ 1.18mW ในโหมดของวงจรถูหาร 3 ที่ความถี่อินพุต 9 GHz

4. สรุป

วงจรถูหารความถี่ 2/3 ที่นำเสนอใช้เทคนิคแบบทรูซิงเกิลเฟสคล็อก สามารถทำงานในช่วงความถี่ 0.5 - 9.7 GHz โดยที่วงจรถูหารสองนั้น วงจรถู่นำเสนอจะใช้กำลังงานที่สูญเสียน้อยกว่า 36.36% และ 21.35% ของวงจรถูหารสามที่ความถี่อินพุต 6 GHz เมื่อเทียบกับวงจรถู [6]

5. เอกสารอ้างอิง

- [1] Neil H.E. Weste, D. Harris, CMOS VLSI design : a circuits and systems perspective, Boston : Pearson, 2005.
- [2] M. Alioto, R. Mita, and G. Palumbo, "Design of high-speed power efficient MOS current-mode logic frequency dividers," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 53, no. 11, pp. 1165-1169, Nov. 2006.
- [3] Y. Ji-Ren, I. Karlsson, and C. Svensson, "A true single-phase-clock dynamic CMOS circuit technique," IEEE J. Solid-State Circuits, vol. 22, no. 5, pp. 899- 901, Oct 1987.
- [4] J., Jr. Navarro Soares, W.A.M. Van Noije, "A 1.6-GHz dual modulus prescaler using the extended true-single-phase-clock CMOS

- circuit technique (E-TSPC)," IEEE. J Solid-State Circuits, vol.34, no.1, pp.97-102, Jan 1999.
- [5] Y. Jiren, C. Svensson, "New single-clock CMOS latches and flipflops with improved speed and power savings," IEEE J. Solid-State Circuits, vol. 32, no. 1, pp. 62-69, Jan 1997.
- [6] C. Wu-Hsin, J. Byunghoo, "High-Speed Low-Power True Single-Phase Clock Dual-Modulus Prescalers," IEEE Trans. Circuits Syst. II, Express Briefs, vol. 58, no. 3, pp. 144-148, March 2011.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้