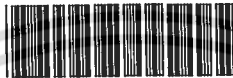


สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบและการสร้างซิลิคอนซีเนอร์ไดโอดแรงดันต่ำ

DESIGN AND FABRICATION OF LOW VOLTAGE SILICON ZENER DIODES



T123206

วิวัฒน์ อธิฤกษ์สุมาลย์

WIWAT ITTHIKUSUMARN

0๗.
๐๗๔๓๓
๒๕๕๕

เลขหมู่.....
เลขทะเบียน.....**123206**
วัน,เดือน,ปี.....**19 ต.ค. 2555**

124๖๘1๑4
b.....
i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมไมโครอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2555

KMITL-2012-EN-M-043-034

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN AND FABRICATION OF LOW VOLTAGE SILICON ZENER DIODES



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN MICROELECTRONICS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2012

KMITL-2012-EN-M-043-034

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2012

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบและการสร้างซิลิคอนซีเนอร์ไดโอดแรงดันต่ำ
Thesis Title Design and Fabrication of Low Voltage Silicon Zener Diodes
นักศึกษา นายวิวัฒน์ อธิธิกุศลาลัย
รหัสประจำตัว 53611902
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมไมโครอิเล็กทรอนิกส์
อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.วิสุทธิ จูติรุ่งเรือง
อาจารย์ที่ปรึกษาวิทยานิพนธ์(ร่วม) ดร.อัมพร โพธิ์ไย
หมายเลขวิทยานิพนธ์ KMITL-2012-EN-M-043-034

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
ผศ.ดร.สุรศักดิ์	นิยมเจริญ	
ดร.นรินทร์	อดิวงศ์แสงทอง	
ดร.กอบศักดิ์	ศรีประภา	
ดร.โยธิน	วงศ์ประเสริฐ	
รศ.ดร.วิสุทธิ	จูติรุ่งเรือง	

วัน / เดือน/ ปี ที่สอบ วันพฤหัสบดีที่ 19 เมษายน พ.ศ. 2555 เวลา 10.00-12.00 น.
สถานที่สอบ ณ อาคาร A ชั้น 5 ห้องประชุม 4

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว

(รองศาสตราจารย์ ดร.สุชัชวีร์ สุวรรณสวัสดิ์)

คณบดี คณะวิศวกรรมศาสตร์
วันที่ 19 เมษายน พ.ศ. 2555

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบและการสร้างซิลิคอนซีเนอร์ไดโอดแรงดันต่ำ
นักศึกษา	นายวิวัฒน์ อธิกฤษุมาลัย
รหัสประจำตัว	53611902
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมไมโครอิเล็กทรอนิกส์
พ.ศ.	2555
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร.วิสุทธิ ฐิติรุ่งเรือง
อาจารย์ที่ปรึกษาวิทยานิพนธ์ร่วม	ดร.อัมพร โพธิ์ไย

บทคัดย่อ

ในปัจจุบันการพัฒนาระบบอิเล็กทรอนิกส์ต้องการให้ระบบมีการทำงานที่มีอัตราการใช้พลังงานที่ต่ำ ดังนั้นการพัฒนางจรรักษาระดับแรงดันต่ำ (Low Voltage reference) จึงเป็นสิ่งจำเป็นที่ต้องการการพัฒนาอย่างมาก อุปกรณ์หนึ่งที่มีจะถูกใช้เป็นส่วนสำคัญในวงจรรักษาระดับแรงดันก็คือ “ซีเนอร์ไดโอด (Zener diodes)” ซึ่งเป็นไดโอดชนิดหนึ่งใช้หลักการของการพังทลายที่รอยต่อ (Junction breakdown) ในการรักษาระดับแรงดันให้คงที่ ในวิทยานิพนธ์นี้ได้แสดง การศึกษากระบวนการสร้าง (Fabrication) และการปรับปรุงคุณภาพของซีเนอร์ไดโอดที่ระดับแรงดันที่ต้องการ การทดลองเริ่มจากสร้างซีเนอร์ไดโอดที่แรงดันซีเนอร์ 5 V บนแผ่นผลึกซิลิคอนพื้นที่ประสิทธิผลเป็น $0.85 \times 0.85 \text{ mm}^2$ โดยเริ่มแรกเป็นการหาค่าความเข้มอะตอมสารเจือทั้งฝั่งพีและเอ็นที่เหมาะสม ศึกษาคุณสมบัติทางไฟฟ้าตลอดจนผลกระทบของค่าคงตัวความชันของรอยต่อ จากนั้นจึงเป็นการปรับปรุงกระบวนการสร้างตั้งแต่กระบวนการสร้างรอยต่อด้วยการยิงอะตอมสารเจือเพื่อเติมสารเจือเข้าไปในเนื้อแผ่นผลึกซิลิคอน จากนั้นจึงทำการลดค่าความต้านทานภายในด้วยวิธีการลดความหนาของแผ่นผลึกซิลิคอน และสุดท้ายจึงนำพารามิเตอร์ที่ดีที่สุดจากการศึกษาไปใช้ในการจำลองด้วยโปรแกรม Sentaurus TCAD เพื่อยืนยันการทดลองว่าสอดคล้องกับทฤษฎี ซึ่งซีเนอร์ไดโอดที่สร้างจากกระบวนการสร้างนี้ได้ถูกวัดคุณสมบัติทางไฟฟ้าโดยวัดค่าแรงดันซีเนอร์ที่กระแสทดสอบ 90 mA ได้ $V_Z = 5.08 \text{ V}$, ค่าซีเนอร์อิมพีแดนซ์ $Z_{ZT} = 1.39 \Omega$, กระแสรั่วไหลรอยต่อ (ที่แรงดันไบอัสย้อนกลับ 2 V) $I_R = 0.4 \mu\text{A}$ และ ค่าสัมประสิทธิ์ทางอุณหภูมิ $TCV_Z = 0.22 \text{ mV}/^\circ\text{C}$

โดยการทดลองปรับปรุงกระบวนการยิงอะตอมสารเจือสำหรับสร้างขึ้นกำหนดแรงดันซีเนอร์ได้ สรุประดับพลังงานที่เหมาะสมกับการสร้างซีเนอร์ไดโอดไว้ที่ 280 keV และผลจากการลดค่าความต้านทานภายในด้วยวิธีการขัดหลังแผ่นเพื่อลดความหนาของไดโอดพบว่าสามารถลดค่าความต้านทานภายในไปได้ 50.0 % สามารถลดค่าซีเนอร์อิมพีแดนซ์ไปได้ 35% และผลการทดลองทั้งหมดนี้

สอดคล้องกับการจำลองด้วยโปรแกรม Sentaurus TCAD ดังนั้นซีเนอร์ไดโอดที่สร้างขึ้นนี้มีคุณสมบัติ
- ทางไฟฟ้าที่เหมาะสมกับการใช้งานจริงและสำหรับการผลิตเชิงอุตสาหกรรมได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis	DESIGN AND FABRICATION OF LOW VOLTAGE SILICON ZENER DIODES
Student	Mr. Wiwat Itthikusumarn
Student ID.	53611902
Degree	Master of Engineering
Program	Microelectronics Engineering
Year	2012
Thesis Advisor	Assoc.Prof.Dr. Wisut Titiroongruang
Thesis Co-Advisor	Dr. Amporn Poyai

ABSTRACT

At present, electronic systems that consume less power to operate are preferred by most. It is thus necessary to pay attention to the low voltage reference. Among a number of reference devices, zener diodes, the important part of reference circuit, is widely used. Through the junction breakdown method, zener diodes can stabilize voltage.

This thesis describes the fabrication and improvement of the desired zener diodes. The zener diodes with zener voltage at 5 V were fabricated on silicon wafers with effective area $0.85 \times 0.85 \text{ mm}^2$. First, doping concentration in both p-n sides was optimally adjusted to the desired zener voltage. Second, electrical properties of zener diodes and the graded constant were examined. Next, the fabrication process is enhanced via two steps, i.e. selection of ion-implantation energy to produce the defined zener voltage layer, and reduction of series resistance by wafer backgrinding to reduce chip thickness. Last, the best process parameters from experiments were used in simulation (Sentaurus TCAD) to confirm whether the experiment results match the theory.

Finished diodes measured at zener test current $I_{ZT} = 90 \text{ mA}$ yield zener voltage $V_Z = 5.08 \text{ V}$, zener impedance $Z_{ZT} = 1.39\Omega$, leakage current (at reverse biased voltage 2 V) $I_R = 0.4 \mu\text{A}$, and temperature coefficient of zener voltage $TCV_Z = 0.22 \text{ mV}/^\circ\text{C}$. The most suitable implanted energy level is 280 keV. Chip thickness reduction by

backgrinding reduces series resistance by 50% and zener impedance by 35%. In conclusion, all experiment results are consistent with the simulation result; hence, the zener diodes possess proper electrical properties for practical use and commercial production.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์เล่มนี้สำเร็จได้ด้วยความกรุณาจากอาจารย์ที่ปรึกษา รศ.ดร.วิสุทธิ์ ฐิติรุ่งเรือง ที่ให้ความช่วยเหลือ ให้คำชี้แนะช่วยแก้ปัญหาตลอดจนให้ความรู้และประการณที่ตี ข้าพเจ้ารู้สึกซาบซึ้งในความอนุเคราะห์จากท่านอาจารย์และขอกราบขอบพระคุณเป็นอย่างสูง

ขอขอบพระคุณ ดร.อัมพร โพธิ์ไย ผู้อำนวยการศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์หรือ TMEC และพี่ๆ นักวิจัยของศูนย์ TMEC โดยเฉพาะ พี่วิทวัส แยมวงษ์ ที่ได้กรุณาให้คำแนะนำตลอดจนความช่วยเหลือทางด้านเทคโนโลยีการสร้างวงจรรวมและการวัดผลทางไฟฟ้า จนในที่สุดทำให้วิทยานิพนธ์ฉบับนี้สำเร็จลงได้

ขอขอบคุณ บริษัท อุตสาหกรรม อิเล็กทรอนิกส์ จำกัด (มหาชน) หรือ EIC เป็นภาคเอกชนที่ให้การสนับสนุนโครงการวิจัยนี้ทั้งเรื่องของงบประมาณ อุปกรณ์ตัวอย่างและเทคโนโลยีที่ใช้ในการศึกษา

ขอขอบคุณโครงการทุนสถาบันบัณฑิตวิทยาศาสตร์และเทคโนโลยีไทย (Thailand Graduated Institute of Science and Technology) หรือทุน TGIST สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ (สวทช.) ที่ให้การสนับสนุนการวิจัยนี้

ขอขอบคุณ ผศ.ดร.สุรศักดิ์ เนียมเจริญ ที่คอยให้คำปรึกษาและชี้แนะแนวทางการทำงานวิจัย และการทดลอง ตลอดจนพี่ๆ เพื่อนๆ และน้องๆ ในห้องปฏิบัติการไมโครอิเล็กทรอนิกส์ KMITL ที่คอยชี้แนะการทำงานและเป็นกำลังใจที่ดีตั้งแต่เริ่มทำการศึกษา

ขอขอบคุณเดียวกับแม่ที่ให้กำเนิดและอบรมบ่มเพาะข้าพเจ้าให้เป็นข้าพเจ้าในทุกวันนี้

สำหรับคุณงามความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับเดียวกับแม่ ซึ่งเป็นที่รักและเคารพยิ่ง ตลอดจนครุอาจารย์ที่เคารพทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้และถ่านทอดประสบการณ์ที่ดีให้แก่ข้าพเจ้า

นายวิวัฒน์ อิทธิกุลสมาลัย

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	III
กิตติกรรมประกาศ.....	V
สารบัญ.....	VI
สารบัญตาราง.....	IX
สารบัญรูป.....	X
รายการคำย่อ.....	XIV
รายการสัญลักษณ์.....	XV
รายการศัพท์เทคนิค.....	XVI
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	2
1.3 สมมติฐานของการศึกษา.....	2
1.4 ทฤษฎีหรือแนวคิดที่ใช้ในงานวิจัย.....	3
1.5 ขอบเขตของงานวิจัย.....	4
1.6 ขั้นตอนของการศึกษา.....	4
บทที่ 2 ซีเนอร์ไดโอด.....	5
2.1 บทนำ.....	5
2.2 รอยต่อพีเอ็น.....	6
2.2.1 รอยต่อแบบชั้นบันได.....	6
2.2.2 การพังทลายของรอยต่อพีเอ็นในสารกึ่งตัวนำ.....	8
2.2.3 การเคลื่อนย้ายของพาหะ (Carrier transportation).....	11
2.2.3.1 การลอยเลื่อนและสภาพคล่องของพาหะ (Drift and Carrier Mobility).....	11
2.2.3.2 สภาพต้านทาน (Resistivity).....	12
2.2.3.3 การปลดปล่อยทางความร้อน (Thermionic Emission).....	13
2.2.3.4 การทะลุอุโมงค์ (Tunneling).....	14
2.2.3.5 กระบวนการเกิดและการรวมตัวใหม่(Generation-Recombination process).....	14

สารบัญ (ต่อ)

	หน้า
2.2.3.6 กระบวนการแพร่ (Diffusion)	15
2.2.4 โครงสร้างของซีเนอร์ไดโอด.....	16
2.2.5 รอยต่อพีเอ็นแบบลาดเชิงเส้น.....	17
2.2.6 คุณสมบัติทางไฟฟ้าที่สำคัญ.....	18
2.3 การประยุกต์ใช้งานซีเนอร์ไดโอด.....	21
บทที่ 3 กระบวนการสร้างและการทดลอง.....	23
3.1 เทคโนโลยีการสร้าง.....	23
3.3.1. การเตรียมแผ่นผลึกซิลิคอน (Wafer preparation).....	23
3.3.2. กระบวนการออกซิเดชัน (Oxidation process).....	24
3.3.3. กระบวนการโฟโตลิโธกราฟี (Photolithography process).....	25
3.3.4. กระบวนการกัด (Etching process).....	26
3.3.5. กระบวนการยิงอะตอมสารเจือ (Ion-implant process).....	26
3.3.6. กระบวนการสร้างชั้นโลหะ (Metallization process).....	28
3.2 ขั้นตอนการสร้างซีเนอร์ไดโอด.....	28
3.3 การวัดผลคุณสมบัติทางไฟฟ้า.....	32
3.3.1. การวัดความสัมพันธ์ระหว่างกระแสกับแรงดันไบอัสไปข้างหน้า.....	33
3.3.2. การวัดความสัมพันธ์ระหว่างกระแสกับแรงดันไบอัสย้อนกลับ.....	33
3.3.3. การวัดคุณลักษณะความจุไฟฟ้าต่อแรงดันไบอัสย้อนกลับ.....	34
3.4 การใช้โปรแกรมจำลอง Sentaurus TCAD เบื้องต้น.....	35
3.4.1. องค์ประกอบหลัก.....	35
3.4.2. ส่วนประกอบของโปรแกรม.....	36
3.4.3. ขั้นตอนการจำลอง.....	39
บทที่ 4 การทดลองและผลการทดลอง.....	40
4.1 ผลของความเข้มข้นอะตอมสารเจือต่อซีเนอร์ไดโอด.....	40
4.1.1. ความสัมพันธ์ระหว่างกระแสกับแรงดัน.....	41

สารบัญ (ต่อ)

	หน้า
4.1.2. ผลของความเข้มข้นของอะตอมสารเจือต่อค่าแรงดันซีเนอร์.....	42
4.1.3. การแปรผันต่ออุณหภูมิของซีเนอร์ไดโอด.....	43
4.2 ผลของค่าคงตัวความชื้นของรอยต่อพีเอ็น.....	44
4.2.1. ผลของค่าคงตัวความชื้นต่อค่าแรงดันซีเนอร์.....	44
4.2.2. ผลของค่าคงตัวความชื้นต่อค่าซีเนอร์อิมพีแดนซ์.....	45
4.2.3. ผลของค่าคงตัวความชื้นต่อการแปรผันทางอุณหภูมิของแรงดันซีเนอร์.....	46
4.3 ผลของค่าระดับพลังงานที่ใช้ในการยิงอะตอมสารเจือ.....	47
4.3.1. ความสัมพันธ์ระหว่างกระแสกับแรงดันไบอัสไปข้างหน้า.....	47
4.3.2. ความสัมพันธ์ระหว่างกระแสกับแรงดันไบอัสย้อนกลับ.....	48
4.3.3. ผลของระดับพลังงานที่ยิงอะตอมสารเจือต่อคุณสมบัติของซีเนอร์ไดโอด.....	49
4.4 การลดค่าความต้านทานอนุกรมภายใน.....	51
4.4.1 การขีดด้านหลังแผ่นเวเฟอร์.....	52
4.4.2 ผลของการขีดด้านหลังแผ่นต่อความสัมพันธ์ระหว่างกระแสกับแรงดันไบอัสไปข้างหน้า.....	53
4.4.3 ผลของการขีดด้านหลังแผ่นต่อความสัมพันธ์ระหว่างกระแสกับแรงดันไบอัสย้อนกลับ.....	54
4.4.4 การจำลองซีเนอร์ไดโอดเพื่อเปรียบเทียบผลของการลดความหนาแผ่น.....	56
ผลึกซิลิคอน	
บทที่ 5 สรุป.....	59
เอกสารอ้างอิง.....	62
ภาคผนวก.....	65
ประวัติผู้เขียน.....	87

สารบัญตาราง

ตารางที่	หน้า
4.1 พารามิเตอร์ที่ควบคุมในการทดลองที่ 4.1.....	41
5.1 สรุปผลการสร้างซีเนอร์ไดโอด.....	61



สารบัญรูป

รูปที่	หน้า
2.1 (a) การกระจายตัวของประจุในช่องว่างบริเวณรอยต่อ (b) การกระจายตัวของสนามไฟฟ้า.....7 (c) การกระจายตัวของศักย์ไฟฟ้าเมื่อ V_{bi} หมายถึงศักย์ไฟฟ้าภายใน (Built-in potential) (d) แผนภาพแถบพลังงาน (Energy-band diagram)	
2.2 ลักษณะแถบพลังงานแสดงกลไกการพังทลายของ (a) การทะลุอุโมงค์ (b) การทวีคูณอวาลันซ์....9	
2.3 ความสัมพันธ์แรงดันพังทลายแบบอวาลันซ์ต่อความเข้มข้นอะตอมสารเจือปนที่เจือจางกว่า...11 สำหรับฐานรองที่เป็นซิลิคอน	
2.4 2.4 ความสัมพันธ์ระหว่างสภาพต้านทานไฟฟ้ากับความหนาแน่นของสารเจือปนในซิลิคอน.....13 ที่ 300K.	
2.5 แผนภาพแสดงการปลดปล่อยทางความร้อนของอิเล็กตรอนข้ามกำแพงศักย์.....13	
2.6 แสดงการทะลุผ่านกำแพงศักย์ของอิเล็กตรอนด้วยฟังก์ชันคลื่น.....14	
2.7 กระบวนการรวมตัวใหม่ (กระบวนการเกิดจะมีลักษณะตรงข้ามกัน).....15 (ก) การรวมตัวใหม่ Band-to-Band พลังงานที่ปลดปล่อยออกมาอาจจะอยู่ในรูปของการแผ่รังสีหรือเป็นพลังงานสำหรับกระบวนการ Auger (ข) การรวมตัวใหม่ผ่านระดับพลังงานกับดักเดี่ยวหรือไม่มีการแผ่รังสี	
2.8 บริเวณรอยต่อทางกายภาพจากการจำลองด้วยโปรแกรม TCAD แกนตั้งเป็นระดับความเข้มข้นสุทธิหน่วยเป็นอะตอมต่อลูกบาศก์เซนติเมตรแกนนอนแสดงระดับความลึกจากผิวของแผ่นผลึกซิลิคอนในหน่วย μm16	
2.9 สัญลักษณ์ ตัวอุปกรณ์ และโครงสร้างของซีเนอร์ไดโอด.....16	
2.10 เปรียบเทียบลักษณะความเข้มข้นที่รอยต่อระหว่าง (ก) รอยต่อแบบชั้นบันไดและ.....17 (ข) รอยต่อแบบลาดเชิงเส้น	
2.11 สัญลักษณ์ทางไฟฟ้าและคุณลักษณะกระแสแรงดันของซีเนอร์ไดโอด.....19	
2.12 แผนผังแสดงการประยุกต์ใช้งานซีเนอร์ไดโอด.....21	
2.13 การใช้งานซีเนอร์ไดโอดด้านต่างๆ (ก) ส่วนวงจรสำหรับไบอัสภายในและเพิ่มเสถียรภาพ.....22 ของออปแอมป์ (ข) สามารถประกอบแทนส่วนขดเคียวทางอุณหภูมิในโครงสร้างวงจรรวม (ค) เป็นส่วนคลายประจุไฟฟ้าสถิตและป้องกันความเสียหายต่อเกทของมอสเฟตกำลัง (ง) การใช้งานซีเนอร์ไดโอดให้ลัตวจรตลอดเวลาด้วยเลเซอร์ที่ควบคุมโดยคอมพิวเตอร์ เพื่อเพิ่มความแม่นยำในการปรับแต่ง V_{OS} ของออปแอมป์ (จ) การต่อซีเนอร์ไดโอดเป็นตัว ป้องกันกระแสลัดทั้งสองทิศทาง (ฉ) ซีเนอร์ไดโอดที่ฝังอยู่ในวงจรรวมระดับแรงดันอ้างอิง	

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.1	เตาทำจากควอตซ์ (Quartz) ทนความร้อนสูง เพื่อใช้ทำออกซิเดชัน มีบริเวณตรงกลาง.....24
	ที่จะมีอุณหภูมิสม่ำเสมอ
3.2	การเกิดออกซิเดชัน.....24
3.3	ลักษณะการวัดความหนาของชั้นออกไซด์ที่ปลูกด้วยเครื่องมือ Ellipsometer ซึ่งใช้.....25
	คุณสมบัติการหักเหของแสงที่ผ่านตัวกลางสองชนิด ในที่นี้ก็คือชั้นออกไซด์และผิวซิลิคอน
3.4	แผนภาพของเครื่องยิงอะตอมสารเจือ (Ion-Implanter).....27
3.5	ลักษณะการยิงอะตอมสารเจือ.....27
3.6	กราฟโปรไฟล์ (Concentration profile) แสดงความเข้มข้นของปริมาณอะตอมสารเจือ.....27
	ต่อระดับความลึกจากผิวหน้าแผ่นผลึกซิลิคอน
3.7	การเข้าไปแทรกตัวของอะตอมสารเจือก่อนและหลังการอบด้วยความร้อน.....28
3.8	(ก) Cascade Microtech Model M150 probe station และ.....33
	(ข) Agilent B1500A Semiconductor Device Analyzer
3.9	การวัดค่าแรงดันซีเนอร์และซีเนอร์อิมพีแดนซ์จากกราฟคุณลักษณะกระแสต่อแรงดัน.....34
	ไบอัสย้อนกลับ
3.10	การพล็อตกราฟคุณลักษณะค่าความจุไฟฟ้าต่อแรงดันไบอัสย้อนกลับโดยที่แกนตั้งเป็น.....35
	แกนของ C_j^{-3}
3.11	ภาพขยายส่วน รอยต่อพีเอ็น ด้วยโครงข่ายของ Finite-element.....36
3.12(ก)	การไหลของกระแสของรอยต่อพีเอ็น ขนาด $0.13 \mu\text{m}$ $V_{ds}=3.0 \text{ V}$36
	(ข) ความสัมพันธ์กระแสกับแรงดันที่ได้จากการจำลองอุปกรณ์ใน 3.11 ก
3.13	หน้าต่างโปรแกรม Sentaurus TCAD ส่วนของ Workbench.....37
3.14	โครงสร้าง 2 มิติของอุปกรณ์ที่ได้จากการจำลองการสร้างโดย sprocess.....37
3.15	การกำหนดกริดและสร้าง Mesh เพื่อการจำลองอุปกรณ์ต่อไป.....38
3.16	การใช้ Tecplot SV ให้แสดงผล.....38
3.17	ขั้นตอนการจำลอง (Tool flow).....39
4.1	ความสัมพันธ์ระหว่างกระแสกับแรงดันของซีเนอร์ไดโอดที่ความเข้มข้นของโบรอน.....41
	เป็น $3.2 \times 10^{18} \text{ cm}^{-3}$
4.2	ความสัมพันธ์ระหว่างค่าแรงดันซีเนอร์ต่อค่าความเข้มข้นของโบรอนบริเวณพี.....42

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.3 ผลของกระแสทดสอบต่อค่าแรงดันซีเนอร์ที่ค่าความเข้มข้นของโบรอนบริเวณพีต่างๆ.....	43
4.4 การแปรผันต่ออุณหภูมิของค่าแรงดันซีเนอร์ที่ระดับความเข้มข้นของโบรอนบริเวณพี.....	44
ค่าต่างๆ	
4.5 ความสัมพันธ์ระหว่างค่าคงตัวความชันกับค่าแรงดันซีเนอร์.....	45
4.6 ความสัมพันธ์ของค่าคงตัวความชันกับค่าซีเนอร์อิมพีแดนซ์.....	45
4.7 การแปรผันทางอุณหภูมิของค่าแรงดันซีเนอร์ที่มีค่าคงตัวความชันต่างกัน.....	46
4.8 ความสัมพันธ์ของค่าคงตัวความชันกับค่าสัมประสิทธิ์ทางอุณหภูมิของแรงดันซีเนอร์.....	46
4.9 ความสัมพันธ์ระหว่างค่าแรงดันไปข้างหน้าของซีเนอร์ไดโอดทั้งสามกลุ่ม.....	48
4.10 ความสัมพันธ์ระหว่างแรงดันตกคร่อมกับความต้านทานอนุกรมของซีเนอร์ไดโอดทั้งสาม.....	48
กลุ่มในย่านแรงดันไฟฟ้าไปข้างหน้า	
4.11 ความสัมพันธ์ระหว่างกระแสอิมิต์กับระดับพลังงานที่ใช้ยิงอะตอมสารเจือฟอสฟอรัส.....	49
4.12 ความสัมพันธ์ระหว่างค่าแรงดันไฟฟ้าย้อนกลับ ของซีเนอร์ไดโอดทั้งสามกลุ่ม.....	49
4.13 ความสัมพันธ์ระหว่างแรงดันซีเนอร์กับอิมพีแดนซ์ของซีเนอร์ไดโอดทั้งสามกลุ่มในย่าน.....	50
แรงดันไฟฟ้าย้อนกลับ	
4.14 ความสัมพันธ์ระหว่างสัมประสิทธิ์ทางอุณหภูมิต่อพลังงานที่ใช้ยิงอะตอมสารเจือ.....	50
ฟอสฟอรัส	
4.15 ความสัมพันธ์ระหว่างความจุไฟฟ้ากับแรงดันไฟฟ้าย้อนกลับ.....	51
4.16 ภาคตัดขวางของซีเนอร์ไดโอดที่สร้างขึ้น L คือความหนาของแผ่นผลึกซิลิคอน.....	52
ที่จะถูกลดความหนาด้วยวิธีการขัดหลังแผ่น	
4.17 ลักษณะการขัดหลังแผ่นที่มีวงล้อขัด (grinding wheel) หมุนทวนกับแผ่นผลึกซิลิคอน.....	52
ด้วยความเร็วตามลักษณะการขัด	
4.18(ก) ภายในเครื่องจักรขัดหลังแผ่นมีวงล้อขัด 2 ชุด เป็นขัดหยาบและขัดละเอียด.....	53
(ข) การขัดหลงแผ่น โดยมีน้ำหล่อเย็นป้องกันการเผาไหม้ของแผ่นผลึก	
4.19 กระบวนการประกอบวงจรรวม (ICs Assembly) ซึ่งกระบวนการขัดหลังแผ่นเป็นส่วน.....	53
หนึ่งของกระบวนการ	
4.20 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสกับแรงดันไปข้างหน้าของซีเนอร์ไดโอด.....	54
กลุ่มที่มีการลดความหนาของไดโอดและกลุ่มที่ไม่ได้มีการลดความหนา	

สารบัญญรูป (ต่อ)

รูปที่	หน้า
4.21 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสกับแรงดันย้อนกลับของซีเนอร์ไดโอด.....	55
กลุ่มที่มีการลดความหนาของไดโอดและกลุ่มที่ไม่ได้มีการลดความหนา	
4.22 เปรียบเทียบกระแสที่ไหลผ่านไดโอดเมื่อมีการไบอัสไปข้างหน้าด้วยแรงดันค่าต่างๆ.....	56
4.23 เปรียบเทียบกระแสที่ไหลผ่านไดโอดเมื่อมีการไบอัสย้อนกลับด้วยแรงดันค่าต่างๆ.....	56
4.24 รอยต่อที่ใช้ในการจำลองการทำงานซีเนอร์ไดโอดที่สร้างขึ้นด้วย Sentaurus TCAD.....	57
4.25 ผลการจำลองด้วยโปรแกรม Sentaurus TCAD ด้านการบ่อนแรงดันไบอัสไปข้างหน้า.....	57
4.26 ผลการจำลองด้วยโปรแกรม Sentaurus TCAD ด้านการบ่อนแรงดันไบอัสย้อนกลับ.....	58
4.27 การแปรผันค่าแรงดันซีเนอร์ต่ออุณหภูมิที่เพิ่มขึ้น.....	58



รายการคำย่อ

อักษรย่อ	คำเต็มภาษาอังกฤษ	คำแปลภาษาไทย
ESD	Electrostatic discharge	การคายประจุไฟฟ้าสถิต
TVS	Transient Voltage Suppressor	อุปกรณ์ป้องกันแรงดันไฟเกิน
Silicon	Si	ซิลิคอน
GaAs	Gallium arsenide	แกลเลียมอาร์เซไนด์
Ge	Germanium	เยอมน์เนียม
TCAD	Technology Computer Aided Design	ชุดโปรแกรมจำลองการสร้างและการทำงาน อุปกรณ์สารกึ่งนำ
DI	Deionized water	น้ำปลอดประจุ
HF	Hydrofluoric acid	กรดไฮโดรฟลูออริก
CVD	Chemical vapor deposition	การปลูกฟิล์มด้วยวิธีทางเคมีในสุญญากาศ
PVD	Physical vapor deposition	การปลูกฟิล์มด้วยวิธีทางกายภาพใน สุญญากาศ
Ti	Titanium	ไทเทเนียม
N	Nitrogen	ไนโตรเจน
Al	Aluminum	อะลูมิเนียม
SWB	Sentaurus Workbench	ศูนย์รวมชุดโปรแกรม TCAD

รายการสัญลักษณ์

a	คือ	ค่าคงตัวความชัน
C_D	คือ	ค่าความจุไฟฟ้าบริเวณหลอดพาหะ
C_J	คือ	ค่าความจุไฟฟ้าบริเวณรอยต่อ
E_g	คือ	ค่าช่องว่างพลังงาน
I_{sat}	คือ	กระแสอิ่มตัว
I_R	คือ	กระแสรั่วไหลย้อนกลับ
I_{Rmax}	คือ	กระแสรั่วไหลสูงสุด
I_{ZK}	คือ	กระแสซีเนอร์ที่จุดหักงอ
I_{ZM}	คือ	กระแสซีเนอร์สูงสุด
I_{ZT}	คือ	กระแสทดสอบซีเนอร์
M	คือ	แฟกเตอร์การทวีคูณ
N_A	คือ	ความเข้มข้นอะตอมผู้รับ
N_D	คือ	ความเข้มข้นอะตอมผู้ให้
ρ	คือ	ค่าสภาพต้านทาน
R_S	คือ	ค่าความต้านทานอนุกรมภายใน
σ	คือ	ค่าความนำ
TCV_Z	คือ	สัมประสิทธิ์ทางอุณหภูมิของแรงดันซีเนอร์
μ	คือ	ค่าสภาพคล่องของพาหะ
V_A	คือ	ค่าแรงดันที่ให้
V_B	คือ	แรงดันพังทลาย
V_{bi}	คือ	แรงดันภายใน
V_D	คือ	ความเร็วลอยเลื่อน
V_F	คือ	แรงดันไบอัสไปข้างหน้า
V_R	คือ	แรงดันไบอัสย้อนกลับ
V_Z	คือ	แรงดันซีเนอร์
W_D	คือ	ความกว้างบริเวณหลอดพาหะ
Z_{ZK}	คือ	ซีเนอร์อิมพีแดนซ์ ที่ I_{ZK}
Z_{ZT}	คือ	ซีเนอร์อิมพีแดนซ์ ที่ I_{ZT}

รายการศัพท์เทคนิค

ภาษาไทย

กระแสเซิร์จ

กระแสรั่วไหลที่ผิว

กระบวนการประกอบวงจรรวม

กราฟแสดงความเข้มข้นตามระยะลึกของอุปกรณ์

การเกิดและการรวมตัวใหม่

การเกิดพินซ์ทรู

การจำลองกระบวนการสร้าง

การจำลองอุปกรณ์

การไบอัสย้อนกลับ

การขัดแผ่นอย่างละเอียด

การขัดแผ่นอย่างหยาบ

การคายประจุไฟฟ้าสถิตย์

การทวีคูณอวาลันซ์

การทะลุโม่งค้ำระหว่างแถบพลังงาน

การปลดปล่อยทางความร้อน

การพังทลายของรอยต่อ

กำแพงศักย์

ความเข้มข้นพาหะ

ความเข้มข้นสูงสุดของพาหะ

ความไม่เสถียรทางความร้อน

ค่าความเข้มข้นอินทรินซิก

ค่าสภาพคล่องของพาหะ

ค่าสัมประสิทธิ์ทางอุณหภูมิ

คู่อิเล็กตรอนโฮล

ซีเนอร์ไดโอด

ฐานรองซิลิคอน

ภาษาอังกฤษ

Surge current

Surface leakage current

ICs Assembly

Concentration profile

Generation and Recombination

Punch-through

Process simulation

Device simulation

Reverse biased

Fine Grind

Coarse Grind

Electrostatic discharge : ESD

Avalanche multiplication

Band-to Band Tunneling

Thermionic emission

Junction breakdown

Potential barrier

Carrier concentration

Peak carrier concentration

Thermal instability

Intrinsic carrier concentration

Carrier mobility

Temperature coefficient

Electron-Hole pair

Zener diodes

Silicon Substrate

รายการศัพท์เทคนิค (ต่อ)

ภาษาไทย

ตัวอ้างอิงแรงดันแบบบิวรี่ซีเนอร์

ปรากฏการณ์ทะลุอุโมงค์

พาหะ

พื้นที่ประสิทธิผล

ฟังก์ชันคลื่น

รอยต่อชั้นบันได

แรงดันไฟเกิน

แรงดันไฟกระชาก

แรงดันออฟเซตขาเข้า

วงจรรักษาระดับแรงดัน

วงล้อขัด

วิธีการขัดด้านหลังแผ่นผลึกซิลิคอน

สมดุลความร้อน

อุปกรณ์ป้องกันแรงดันไฟเกิน

ภาษาอังกฤษ

Buried-Zener voltage reference

Tunneling phenomena

Carrier

Effective area

Wave function

Abrupt junction

Over voltage

Over shoot voltage

Input offset voltage

Voltage reference

Grinding wheel

Wafer backgrinding

Thermal equilibrium

Transient voltage suppressors

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันเป้าหมายหลักของการพัฒนาระบบอิเล็กทรอนิกส์จะต้องการให้ระบบมีการทำงานที่รวดเร็ว สัญญาณรบกวนต่ำและอีกทั้งต้องมีอัตราการกินพลังงานที่ต่ำ ซึ่งหมายรวมไปถึงการใช้ไฟเลี้ยงแรงดันต่ำ (Low voltage) ดังนั้นจึงมีความจำเป็นที่ต้องพัฒนางจรรักษาระดับแรงดัน (Voltage reference) [1 - 3] ที่สามารถรักษาระดับแรงดันต่ำได้ อุปกรณ์หนึ่งที่มีมักจะถูกใช้เป็นส่วนสำคัญในวงจรรักษาระดับแรงดันก็คือ “ซีเนอร์ไดโอด (Zener diodes)” ซึ่งเป็นไดโอดชนิดหนึ่งใช้หลักการของการพังทลายที่รอยต่อ (Junction breakdown) ในการรักษาระดับแรงดันให้คงที่ การควบคุมการพังทลายที่รอยต่อให้เกิดเมื่อเราป้อนไฟย้อนกลับ (Reverse biased) ให้ไดโอด ณ ระดับแรงดันต่ำ [4 - 5] ตามที่เราต้องการได้ จะทำให้เราสามารถลดระดับแรงดันไฟเลี้ยงให้ต่ำตามความต้องการของระบบได้ นอกจากนี้จากที่ซีเนอร์ไดโอดจะสามารถป้องกันกระแสไหลในภาวะปกติ (ยังไม่พังทลาย) และจะมีกระแสไหลผ่านสูงหลังเกิดการพังทลายที่แรงดันค่าไม่สูงมาก จึงสามารถนำมาใช้เป็นอุปกรณ์ป้องกันไฟฟ้าสถิต (Electrostatic discharge : ESD) หรือแรงดันไฟเกิน (Over voltage) ที่เกิดจากสาเหตุต่างๆ [6 - 8] แต่ซีเนอร์ไดโอดก็มีจำกัดคือ การทำให้เกิดการพังทลายที่แรงดันต่ำจำเป็นต้องมีการแพร่สารเจือในระดับความเข้มข้นที่สูง แต่ในทางปฏิบัติแล้วอาจจะทำได้ยากเนื่องจากปัญหาโครงสร้างอะตอมของซิลิคอนเองและผลกระทบอื่นๆอีกมากมาย นอกจากนี้จากที่ปัจจุบันวงจรรักษาระดับแรงดันต้องการการรักษาระดับแรงดันที่ต่ำมากขึ้น ดังนั้นผลของอุณหภูมิที่มีต่อการพังทลายของรอยต่อ ซึ่งทำให้เกิดความคลาดเคลื่อนของการรักษาระดับแรงดันเพียงเล็กน้อยเมื่อมีการเปลี่ยนแปลงของอุณหภูมิจึงทำให้การรักษาระดับแรงดันล้มเหลวได้

โครงการการวิจัยและพัฒนาซีเนอร์ไดโอดซึ่งเป็นอุปกรณ์ที่ใช้ในวงจรรักษาระดับแรงดัน ซึ่งเป็นวงจรสำคัญและมีอยู่ในเกือบทุกระบบอิเล็กทรอนิกส์ อีกทั้งยังสามารถประยุกต์ใช้ในงานป้องกันความเสียหายของระบบเนื่องจากแรงดันไฟเกิน เพื่อให้ได้ซีเนอร์ไดโอดที่สามารถรักษาระดับแรงดันต่ำได้ และลดผลของอุณหภูมิที่มีต่อแรงดันพังทลายของซีเนอร์ไดโอดให้อยู่ในเกณฑ์ที่ยอมรับได้ การพัฒนาเพื่อลดข้อจำกัดดังกล่าวนี้จึงเป็นสิ่งที่ควรให้ความสนใจในการศึกษาจำลอง และหาค่าที่เหมาะสมของซิลิคอนซีเนอร์ไดโอด เพราะนอกจากได้ประโยชน์ในแง่ของการพัฒนางานวิจัยด้านไมโครอิเล็กทรอนิกส์ (Microelectronics) ของประเทศแล้วยังจะมีประโยชน์ในแง่การค้าด้วย

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

ในงานวิจัยต่างๆที่เกี่ยวข้องกับซีเนอร์ไดโอดนั้นมักจะมุ่งประเด็นไปที่การพังทลายที่มีปรากฏการณ์การทะลุอุโมงค์ของพาหะที่รอยต่อ (Tunneling phenomena) [9 - 10] ซึ่งกลไกในส่วนนี้จะมีผลต่อการทำงานของซีเนอร์ไดโอดอย่างมาก ทั้งระดับแรงดันซีเนอร์และประสิทธิภาพการรักษาระดับแรงดันซีเนอร์ อย่างไรก็ตามงานวิจัยส่วนมากก็เป็นงานวิจัยที่ต้องการไขกระจ่างปรากฏการณ์ทะลุอุโมงค์ซึ่งยังเป็นปรากฏการณ์ที่ต้องการอธิบายอีกมาก แต่ในด้านการผลิตอุปกรณ์เพื่อใช้งานจริงอาจจะต้องการอธิบายปรากฏการณ์เหล่านี้ไม่มากนัก เพียงแต่ต้องการการควบคุมคุณลักษณะต่างที่จำเป็นต่อการรักษาระดับแรงดันให้มีคุณภาพเพียงพอที่จะใช้งานได้จริง ดังนั้นรายงานนี้จะแสดงถึงการสร้าง (Fabrication) และการควบคุมคุณภาพของการรักษาระดับแรงดันของซีเนอร์ไดโอดที่ระดับแรงดันที่ต้องการ

ดังที่ได้กล่าวไปข้างต้นว่าการใช้งานอิเล็กทรอนิกส์ต้องการการรักษาระดับแรงดันที่ต่ำ การที่จะทำให้แรงดันซีเนอร์มีค่าต่ำจึงหมายถึงต้องการการพังทลายที่ค่าแรงดันย้อนกลับค่าต่ำๆ ซึ่งเกี่ยวข้องกับทฤษฎีรอยต่อพีเอ็น (PN-junction) ที่หากความเข้มข้นอะตอมสารเจือทั้งสองของรอยต่อมีค่าสูง ค่าแรงดันพังทลายก็จะมีค่าที่ต่ำ แต่การทำให้ความเข้มข้นสารเจือมีค่าสูงนั้น ก็จะไปกระทบต่อคุณลักษณะอื่นๆ ที่มีผลกับประสิทธิภาพในการใช้งานซีเนอร์ไดโอด

นอกจากเรื่องการรักษาระดับแรงดันแล้ว ซีเนอร์ไดโอดยังอาจถูกนำไปใช้ในวงจรประเภทป้องกันการเกิดการคลายประจุไฟฟ้าสถิต (ESD) ซึ่งพารามิเตอร์ที่สำคัญสำหรับการใช้งานประเภทนี้ได้แก่กระแสรั่ว (Leakage current) แรงดันตกคร่อมขณะจ่ายไฟไปข้างหน้า (Forward voltage drop) รวมไปถึงความต้านอนุกรมภายใน (Series resistance) โดยพารามิเตอร์เหล่านี้จะทำให้คุณภาพของการใช้งานประเภทนี้ด้อยลงไป

ในการศึกษานี้จึงนำเสนอการสร้างและปรับปรุงคุณภาพของซิลิคอนซีเนอร์ไดโอด เพื่อเป้าหมายการผลิตอุปกรณ์ในเชิงพาณิชย์ ให้มีคุณภาพสูงพอที่จะนำไปใช้งานจริง โดยเลือกช่วงแรงดันพังทลายหรือในการใช้งานเรียกว่า แรงดันซีเนอร์ (Zener voltage) ไว้ที่ 5 V ที่กระแสทดสอบ (Zener test current) 90 mA

1.3 สมมติฐานของการศึกษา

จากที่ได้เกริ่นนำไว้ข้างต้น ในปัจจุบันต้องการการรักษาระดับแรงดันที่แรงดันค่าต่ำมากหรือเกิดการพังทลายที่แรงดันย้อนกลับค่าต่ำๆ ก็จำเป็นต้องมีการเติมอะตอมสารเจือ (Doping) อย่างเข้มข้นเพื่อให้เกิดการพังทลายที่แรงดันต่ำ ซึ่งการเกิดการพังทลายที่แรงดันต่ำนั้นจะเกิดปรากฏการณ์สองปรากฏการณ์ร่วมกันอยู่นั่นคือ การทวีคูณอวาลันซ์ (Avalanche multiplication) และ การทะลุอุโมงค์ (Tunneling phenomena) ซึ่งอุณหภูมิที่ใช้งานจะมีผลต่อสองปรากฏการณ์นี้ต่างกันกล่าวคือ สำหรับอวาลันซ์ผลของอุณหภูมิจะส่งผลต่อปรากฏการณ์อวาลันซ์ให้เกิดต่ำลง แต่จะส่งตรงกันข้ามต่อเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปรากฏการณ์ทะเลอุโมงค์ ดังนั้นการควบคุมการเกิดสองปรากฏการณ์นี้ในการพังทลายที่รอยต่อ จะช่วยลดให้ผลของอุณหภูมิต่อการรักษาระดับแรงดันได้ ในส่วนของซีเนอร์อิมพีแดนซ์ (Zener impedance) ซึ่งเป็นพารามิเตอร์หนึ่งที่กำหนดคุณภาพของการรักษาระดับแรงดันหากค่าอิมพีแดนซ์นี้สูงเกินไป จะทำให้ระดับแรงดันซีเนอร์เปลี่ยนได้ง่ายเมื่อมีการกระเพื่อมของกระแสที่ไหลผ่านเพียงเล็กน้อย

ในรายงานนี้จะนำเสนอกระบวนการสร้าง การวัดและทดลอง ซิลิคอนซีเนอร์ไดโอด ที่มีแรงดันซีเนอร์อยู่ในช่วง 5 V ด้วยการเติมอะตอมสารเจืออย่างเข้มข้น เพื่อให้ระดับแรงดันซีเนอร์อยู่ในระดับที่ต้องการ และควบคุมการแปรผันต่ออุณหภูมิของแรงดันซีเนอร์ ตลอดจนการขัดแผ่นให้บางลงเพื่อลดผลของความต้านทานอนุกรมภายในที่มีต่อค่าซีเนอร์อิมพีแดนซ์

1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในงานวิจัย

การรักษาระดับแรงดันในซีเนอร์ไดโอดจะอาศัยหลักการพังทลายที่รอยต่อเมื่อมีการป้อนแรงดันไฟฟ้าย้อนกลับที่สูงจนเกิดการพังทลายที่รอยต่อ ทำให้กระแสไหลมากขึ้น ส่วนแรงดันไฟฟ้าตกคร่อมจะคงที่หรือเกือบคงที่ จึงสามารถประยุกต์ใช้ไดโอดนี้ในการรักษาระดับแรงดันไฟฟ้าให้คงที่ได้

เนื่องจากการพังทลายของรอยต่อมีกลไกการพังทลายสองกลไกซึ่งอาจจะมีอย่างใดอย่างหนึ่งหรือทั้งสองกลไกเกิดร่วมกัน สองกลไกนั้นได้แก่ การพังทลายแบบอวาลันซ์และการทะเลอุโมงค์ ซึ่งทั้งสองกลไกนี้ต่างก็มีผลต่อการพังทลายที่ต่างกัน ซึ่งอาจจะมีผลต่อการรักษาระดับแรงดัน ได้แก่ความเข้มข้นของอะตอมสารเจือทั้งสองข้างของรอยต่อ และสัมประสิทธิ์ทางอุณหภูมิ (Temperature coefficient)

เมื่อความเข้มข้นของอะตอมสารเจือมีมาก [11] จะทำให้เกิดการพังทลายได้ง่ายขึ้น ดังนั้นหากต้องการให้แรงดันพังทลายหรือแรงดันซีเนอร์ต่ำ จึงต้องเจือสารทั้งสองข้างของรอยต่อให้สูงมากๆ อีกเรื่องที่สำคัญคือความแปรผันของแรงดันซีเนอร์ต่ออุณหภูมิ หรือสัมประสิทธิ์ทางอุณหภูมิของแรงดันซีเนอร์ [12 - 13] ซึ่งการพังทลายแบบอวาลันซ์จะมีสัมประสิทธิ์ทางอุณหภูมิของแรงดันซีเนอร์ที่เป็นค่าบวก ส่วนการทะเลอุโมงค์จะมีสัมประสิทธิ์ทางอุณหภูมิของแรงดันซีเนอร์ที่เป็นค่าลบ ซึ่งหากควบคุมการเกิดการพังทลายของทั้งสองกลไกให้เหมาะสมจะสามารถทำให้สัมประสิทธิ์ทางอุณหภูมิของแรงดันซีเนอร์มีค่าใกล้ศูนย์ ซึ่งเป็นความต้องการที่สำคัญต่อการใช้งานการรักษาระดับแรงดันไฟฟ้า ในส่วนของซีเนอร์อิมพีแดนซ์นั้นมีส่วนประกอบเป็นความต้านทานอนุกรมภายในอยู่ ซึ่งความต้านทานนี้เป็นอุปสรรคแฝงที่มีอยู่ในเนื้อซิลิคอนอยู่แล้ว ดังนั้นการจะลดผลของความต้านทานอนุกรมภายในจึงต้องไปลดปริมาณเนื้อของซิลิคอน (Bulk) ส่วนที่ไม่จำเป็นออก ซึ่งรอยต่อของซีเนอร์ไดโอดที่สร้างนี้อยู่ต้นมาก ดังนั้นจึงได้นำการขัดหลังแผ่นผลึกซิลิคอน (Wafer backgrinding) ซึ่งเป็นกระบวนการมาตรฐานที่มีใช้ในอุตสาหกรรมการประกอบไอซี (IC Assembly) เข้ามาในงานวิจัยนี้

1.5 ขอบเขตงานวิจัย

ในวิทยานิพนธ์ฉบับนี้ได้นำเสนอการศึกษา การสร้างและปรับปรุง และการทดลองและวัดผล ซิลิคอนซีเนอร์ไดโอด ผลการทดลองนำเสนอผลการศึกษาคคุณลักษณะทางไฟฟ้าทั้งด้านการป้อนไฟย้อนกลับและไปข้างหน้า โดยการศึกษาจะทำโดยแบ่งกลุ่มระดับความเข้มข้นสารเจือเพื่อพิจารณาแนวโน้มผลความเข้มข้นสารเจือต่อระดับแรงดันซีเนอร์และความแปรผันตามอุณหภูมิของแรงดันซีเนอร์ จากนั้นเป็นการปรับปรุงกระบวนการเติมอะตอมสารเจือ และการลดความหนาของแผ่นผลึกซิลิคอนเพื่อลดความต้านทานภายในอนุกรมด้วยกระบวนการขัดด้านหลังแผ่นผลึกซิลิคอน ซึ่งงานวิจัยนี้ได้รับการสนับสนุนด้านความรู้และเทคโนโลยีจากศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (Thai Microelectronics Center) หรือ TMEC โดยทำการสร้างซีเนอร์ไดโอดตั้งแต่ควบคุมคุณลักษณะทางไฟฟ้าที่เกี่ยวข้องกับการใช้งานซีเนอร์ไดโอด ไปจนถึงการปรับปรุงกระบวนการสร้างที่มีผลต่อคุณสมบัติที่ดีขึ้น ซึ่งการทดลองทั้งหมดนั้นได้รับความอนุเคราะห์ทั้งเครื่องมือและสถานที่จาก TMEC

1.6 ขั้นตอนของการศึกษา

วิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 5 บทด้วยกันคือ

บทที่ 1 ได้เกริ่นนำถึงความเป็นมาของงานวิจัย ความมุ่งหมายและวัตถุประสงค์ สมมุติฐาน ทฤษฎีที่ใช้ ขอบเขตงานวิจัย และขั้นตอนการศึกษา

บทที่ 2 กล่าวถึงทฤษฎีพื้นฐานของซีเนอร์ไดโอด ตลอดจนคุณสมบัติบางประการของรอยต่อพีเอ็นที่มีผลต่อการพังทลายของไดโอด และตอนท้ายสุดของส่วนนี้ได้ยกตัวอย่างการประยุกต์ใช้งานซีเนอร์ไดโอดกับระบบต่างๆ

บทที่ 3 ในบทนี้เป็นการเริ่มเข้าสู่กระบวนการสร้างซิลิคอนซีเนอร์ไดโอดบนแผ่นผลึกซิลิคอนชนิดเอ็นและชนิดพี เงื่อนไขของการทดลอง และขั้นตอนการวัดผล

บทที่ 4 เป็นบทที่นำผลการทดลองที่ได้จากบทที่ 3 มาวิเคราะห์ต่อเป็นสามส่วน คือส่วนแรกเป็นการวิเคราะห์คุณลักษณะที่สำคัญต่อการใช้งานของซีเนอร์ไดโอด จากนั้นจึงเป็นการเปรียบเทียบการปรับปรุงวิธีการเติมอะตอมสารเจือ การลดความหนาของชั้นงาน และสุดท้ายการนำข้อมูลทั้งหมดมาวิเคราะห์เป็นแบบจำลองสำหรับการนำไปใช้งานในอนาคตต่อไป

และสุดท้ายบทที่ 5 ทำการรวบรวมผลการวิเคราะห์ข้อมูลทั้งหมดเพื่อทำข้อสรุปและเสนอแนะของงานวิจัยทั้งหมดนี้

บทที่ 2

ซีเนอร์ไดโอด

2.1 บทนำ

ซีเนอร์ไดโอดเป็นอุปกรณ์ที่สามารถควบคุมแรงดันพังทลายหรือที่เรียกว่าแรงดันซีเนอร์ (Zener voltage) ให้มีคุณลักษณะบนกราฟกระแสแรงดันไบอัสย้อนกลับที่ชันได้ และก่อนที่เกิดการพังทลายจะมีความต้านทานที่สูงมาก (เนื่องจากการใช้งานย่านการไบอัสย้อนกลับ) และเมื่อเกิดการพังทลายจะมีความต้านทานที่ต่ำมาก แรงดันที่ตกคร่อมซีเนอร์ไดโอดมีค่าตามแรงดันพังทลาย ดังนั้นจึงถูกใช้ในงานที่ต้องการทำให้แรงดันคงที่ [11]

ซีเนอร์ไดโอดส่วนมากมักจะสร้างจากซิลิคอนเนื่องจากมีค่ากระแสอิ่มตัวที่ต่ำและใช้เทคโนโลยีซิลิคอนในการสร้างได้ รอยต่อพีเอ็นมีความพิเศษตรงที่มีค่าความเข้มข้นสูงทั้งสองด้าน ซึ่งคุณสมบัตินี้ได้ถูกค้นพบในปี 1934 Clarence Zener [14] ได้นำเสนอการทะลุอุโมงค์ระหว่างแถบพลังงาน (Band-to-Band Tunneling) ซึ่งเป็นการอธิบายการพังทลายทางไฟฟ้าของอุปกรณ์สารกึ่งตัวนำ ต่อมาในปี 1951 McAfee Ryder, Shockley และ Sparks ได้ปรับปรุงทฤษฎีของ Zener เพื่ออธิบายการพังทลายของการบ่อนไฟย้อนกลับที่รอยต่อพีเอ็น ถือเป็นกำเนิดซีเนอร์ไดโอด (Zener diodes) ตั้งแต่นั้นมา อย่างไรก็ตามก็มีงานวิจัยหลายงานที่ชี้ให้เห็นว่า การพังทลายของอุปกรณ์ที่มีความกว้างของรอยต่อมากนั้นไม่ได้มาจากการทะลุอุโมงค์ แต่เกิดจากการแตกตัวของไอออนเนื่องจากการชน (Impact Ionization) รอยต่อที่มีความกว้างต่ำกว่า 50 nm หรือรอยต่อที่แคบมาก (Narrow junction) เท่านั้นที่จะมีความเข้มข้นของสนามไฟฟ้าสูง (High field) เพียงพอที่จะทำให้เกิดการพังทลายด้วยการทะลุอุโมงค์ ซึ่งจะเกิดก่อนที่จะเกิดการพังทลายด้วยผลของอวาลันซ์ (Avalanche effects)

เมื่อได้มีการผลิตซีเนอร์ไดโอดในเชิงพาณิชย์ ซีเนอร์ไดโอดก็เป็นที่นิยมในอุตสาหกรรมอย่างมากเนื่องจากความง่ายของการทำงาน ความแม่นยำ ขนาดเล็ก และราคาถูก นอกจากนี้จะรองรับการใช้งานด้านแรงดันอ้างอิง ซีเนอร์ไดโอดยังถูกใช้ในงานด้านการจ่ายไฟ การรักษาสถียรภาพ วงจรสวิชชิง และวงจรแคลมปีง ก่อนที่จะมีการเข้ามาของวงจรรวมอ้างอิงโดยใช้วงจรรวม นักออกแบบจะออกแบบใช้ซีเนอร์ไดโอดเฉพาะบนบอร์ดเท่านั้น จนในช่วงปี 1960s วิศวกรได้เริ่มออกแบบวงจรรักษาระดับแรงดัน โดยการรวมซีเนอร์ไดโอดและไบโพล่าทรานซิสเตอร์เข้าด้วยกัน ด้วยการปรับคุณลักษณะของซีเนอร์และสร้างซีเนอร์ไดโอดที่สามารถลดผลของอุณหภูมิได้ โดยในช่วงยุคปลาย 1960s แพคเกจของซีเนอร์ถูกปรับขนาดใหญ่ขึ้นเพื่อรองรับการใช้เป็นอุปกรณ์ไฟฟ้กำลัง ซึ่งจะใช้เป็นแพคเกจที่มีส่วนผสมของโลหะ (ในบางอุตสาหกรรมที่มีทั้งแรงดันและกระแสสูง ซีเนอร์ไดโอดกำลังก็ยังคงเป็นแค่ตัวเลือกเท่านั้น) และเมื่อวงจรรวม (Integrated Circuits) ที่เป็นไบโพล่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์ (Bipolar Transistors) บนฐานรองซิลิคอนได้ถูกสร้างขึ้นในช่วงต้นของ 1970s นักออกแบบจึงเริ่มนำออปแอมป์ (Op-Amp) เข้ามาชดเชยทางอ้อมให้มีซีเนอร์ไดโอด ซึ่งทำให้มีความเสถียรภาพมากขึ้น

หลังจากที่ออปแอมป์ได้ถูกนำเสนอในช่วงกลางของยุค 60s ซีเนอร์ไดโอดก็ถูกประยุกต์ใช้เข้ากับอนาล็อกไอซี (Analog ICs) ได้อย่างรวดเร็ว แต่เมื่อสิ่งประดิษฐ์ที่ใช้การอ้างอิงจากหลักการของแบนแก๊ป (Bandgap) รุ่นแรกได้ถูกนำเสนอและถูกเปรียบเทียบกับซีเนอร์ไดโอด แต่ก็ยังใช้สัญลักษณ์ทางไฟฟ้าเดียวกันกับซีเนอร์ไดโอด

2.2 รอยต่อพีเอ็น [11]

รอยต่อพีเอ็นถือเป็นส่วนสำคัญที่สุดทั้งในเรื่องการใช้งานทางอิเล็กทรอนิกส์ยุคใหม่และการทำความเข้าใจในการศึกษาสารกึ่งตัวนำ ทฤษฎีรอยต่อพีเอ็นถูกใช้ในการอธิบายฟิสิกส์ของอุปกรณ์สารกึ่งตัวนำต่างๆ ซึ่งทฤษฎีพื้นฐานของความสัมพันธ์ระหว่างกระแสกับแรงดันของรอยต่อพีเอ็นได้ถูกสร้างขึ้นโดยนาย Shockley และอธิบายต่อโดยนักวิจัยท่านอื่น Sah, Noyce และ Moll

โดยสมการอธิบายคุณลักษณะของรอยต่อพีเอ็นทั้งด้านสถิตยศาสตร์และพลศาสตร์จะเริ่มต้นจากกรณีทางอุดมคติแล้วจึงแตกขยายออกจากการนำการเกิดและการรวมตัวใหม่ในบริเวณปลอดพาหะ (Generation and Recombination) การฉีดภาวะสูง (High injection) และผลของความต้านทานอนุกรม (Series resistance effects) เข้ามาร่วมวิเคราะห์ในรอยต่อพีเอ็น นอกจากนี้ยังมีการพิจารณาการเกิดการพังทลายที่รอยต่อ (Junction breakdown) ซึ่งเกิดขึ้นจากการทวีคูณอวาลันซ์ (Avalanche multiplication) และการทะลุโมเมนต์ (Tunneling phenomena) ซึ่งจะเป็นส่วนสำคัญในงานวิจัย

2.2.1 รอยต่อแบบชันบันได

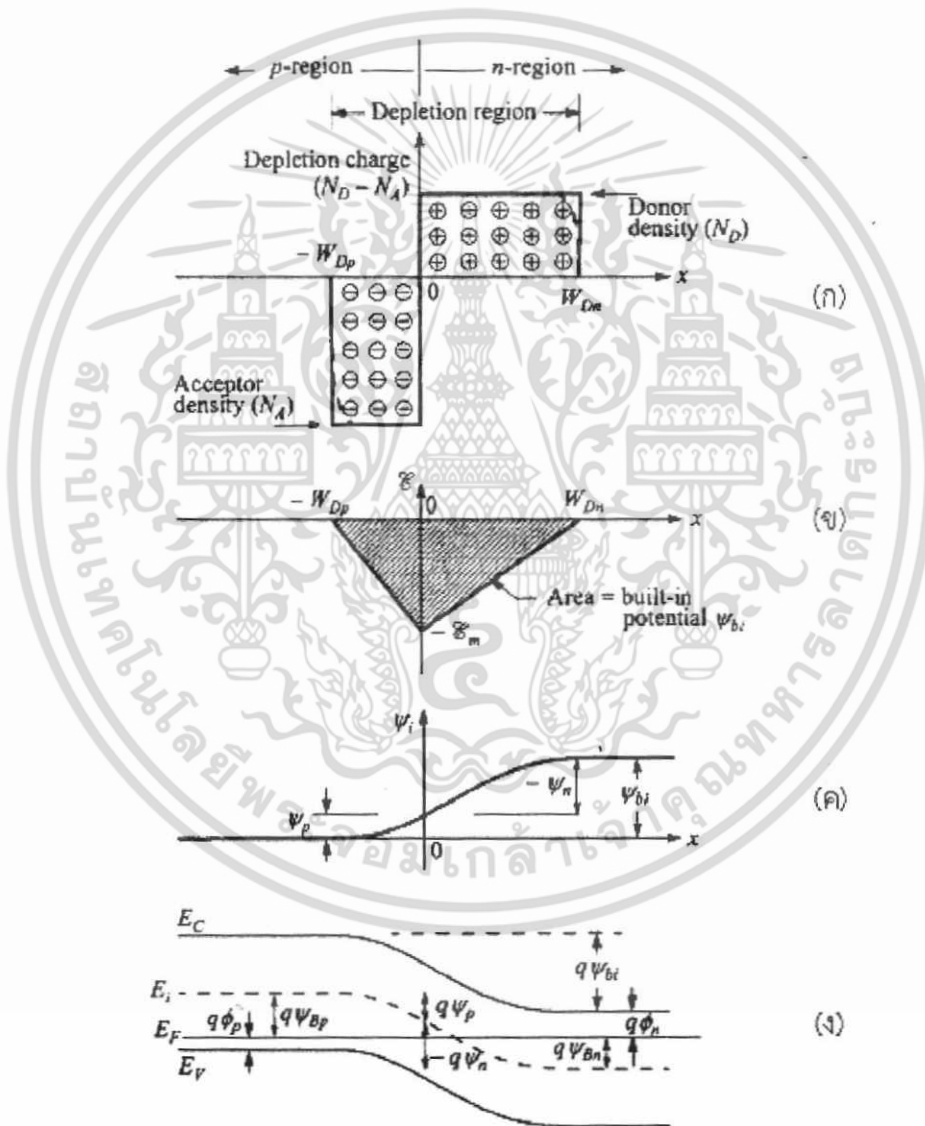
รอยต่อแบบชันบันได (Abrupt Junction) เป็นการวิเคราะห์รอยต่อพีเอ็นที่ใกล้เคียงอุดมคติ กล่าวคือเราพิจารณาให้ความเข้มข้นอะตอมสารเจือที่รอยต่อฝั่งใดฝั่งหนึ่งมากกว่าอีกฝั่งมากๆ (ในที่นี้จะขอยกตัวอย่างเป็น $N_A \gg N_D$, $p^+ - n$) ทำให้สามารถพิจารณาว่ารอยต่อนี้เป็นลักษณะของชันบันไดด้านเดียว (One-side abrupt junction) ดังรูปที่ 2.1 ซึ่งจะเห็นว่าบริเวณรอยต่อปลอดพาหะ (Depletion region) (เนื่องจากเป็นบริเวณที่มีสนามไฟฟ้าคอยผลักพาหะออกไป) จะแผ่ขยายเข้าไปในฝั่งที่ความเข้มข้นต่ำมากกว่า

แรงดันที่ตกคร่อมบริเวณปลอดพาหะ หรือบริเวณรอยต่อถูกเรียกว่า “ศักย์ภายใน” (Built in potential) หรือ “แรงดันภายใน” (Built in voltage, V_{bi} หรือ Ψ_{bi}) การคำนวณหา V_{bi} ทำได้โดยการอินทิเกรตกราฟสนามไฟฟ้าที่รอยตอดั้งแต่ขอบรอยต่อฝั่งพีไปฝั่งเอ็นแล้วจัดรูปสมการใหม่จะได้ดังสมการที่ (2.1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{bi} = \frac{kT}{q} \ln \left(\frac{N_D N_A}{n_i^2} \right) \quad (2.1)$$

โดยที่ k คือค่าคงที่โบลทซ์มัน (Boltzmann constant) มีค่าเท่ากับ 1.381×10^{-23} J/K, T อุณหภูมิสัมบูรณ์ในหน่วยเคลวิน, ประจุ q มีค่าเท่ากับ 1.6×10^{-19} C, n_i คือค่าความเข้มข้นอินทรินซิก (Intrinsic carrier concentration) มีค่าประมาณ 10^{10} cm⁻³ ส่วน N_D และ N_A คือค่าความเข้มข้นของอะตอมสารเจือฟั่งเอ็น (อะตอมสารเจือผู้ให้, Donor impurities) และความเข้มข้นอะตอมสารเจือฟั่งพี (อะตอมสารเจือผู้รับ, Acceptor impurities) ตามลำดับ



รูปที่ 2.1 (ก) การกระจายตัวของประจุในช่องว่างบริเวณรอยต่อ (ข) การกระจายตัวของสนามไฟฟ้า (ค) การกระจายตัวของศักย์ไฟฟ้าเมื่อ V_{bi} หมายถึงศักย์ไฟฟ้าภายใน (Built-in potential) (ง) แผนภาพแถบพลังงาน (Energy-band diagram)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และความกว้างของบริเวณปลอดพาหะ (Depletion width, W_D) ซึ่งนับรวมความกว้างที่แผ่ขยายเข้าไปในเนื้อสารฝั่งเอ็น (w_{Dn}) และพี (w_{Dp}) แต่เนื่องจากการพิจารณาแบบรอยต่อชั้นบันไดด้านเดียว ดังนั้นบริเวณปลอดพาหะจึงแผ่เข้าไปฝั่งที่ความเข้มข้นต่ำมากกว่าอีกฝั่งมากๆ หรือ $w_{Dn} \gg w_{Dp}$ เราจึงอนุมานได้ว่า $W_D \approx w_{Dn}$

$$W_D = \sqrt{\frac{2\epsilon_s V_{bi}}{qN}} \quad (2.2)$$

ในส่วนของการคำนวณจุไฟฟ้าบริเวณรอยต่อพิจารณาเมื่อได้รับการไบอัส V_A ได้เป็น

$$C_D = \frac{\epsilon_s}{W_D} = \sqrt{\frac{q\epsilon_s(V_{bi}-V_A)}{2}} \quad (2.3)$$

2.2.2 การพังทลายของรอยต่อพีเอ็นในสารกึ่งตัวนำ

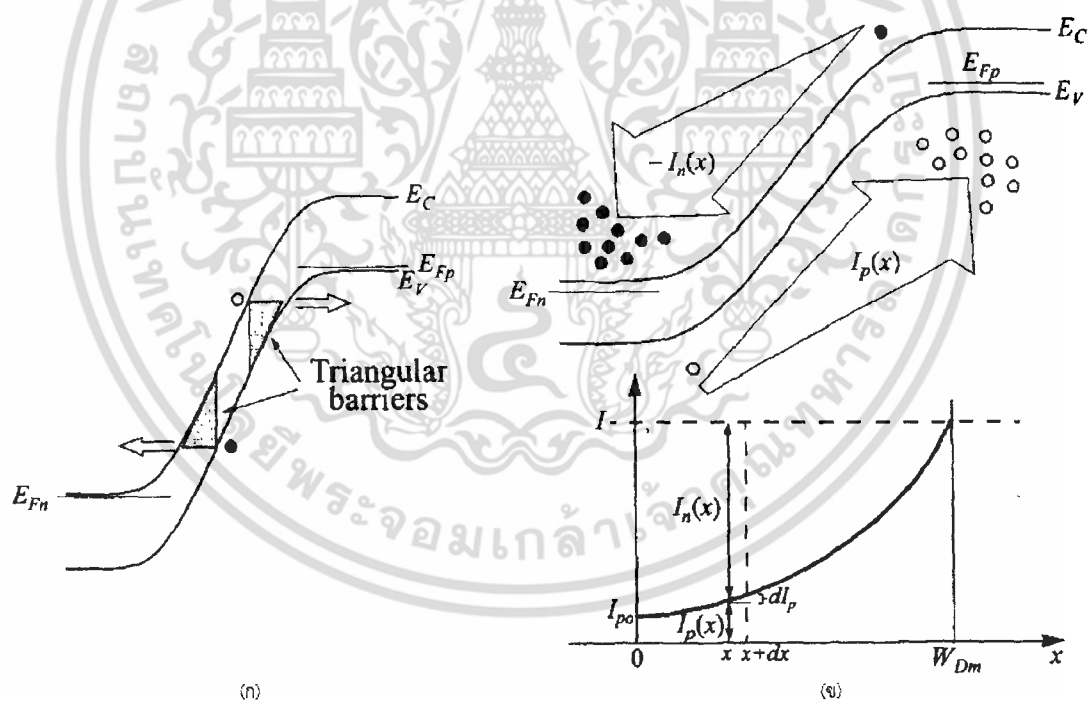
เมื่อมีการป้อนสนามไฟฟ้าที่สูงเพียงพอแก่รอยต่อพีเอ็น รอยต่อจะเกิดการพังทลายและจะมีกระแสไหลผ่านอย่างมาก การพังทลายนี้จะเกิดเฉพาะการป้อนไฟฟ้าแก่รอยต่อในทิศทางกลับด้วยแรงดันที่สูงจะสามารถทำให้เกิดสนามไฟฟ้าที่สูงได้ ซึ่งพื้นฐานของการพังทลายเกิดได้จาก 3 ปรากฏการณ์ได้แก่ความไม่เสถียรทางความร้อน (Thermal instability) การทะลุอุโมงค์ (Tunneling) การทวีคูณอวาลันซ์ (Avalanche multiplication) การเกิดพินซ์ทรู (Punch-through) และการเกิดการพังทลายบริเวณขอบของรอยต่อ (Edge effect) แต่ในที่นี้จะขออธิบายเฉพาะการพังทลายหลักที่เกี่ยวข้องกับการใช้งานซีเนอร์ไดโอด ได้แก่ การทะลุอุโมงค์และการทวีคูณอวาลันซ์ การทะลุอุโมงค์

การพังทลายของรอยต่อเนื่องจากสาเหตุนี้ เกี่ยวพันกับทฤษฎีควอนตัมที่กล่าวถึงกำแพงศักย์และพาหะ ซึ่งด้วยฟิสิกส์ยุคเก่าอธิบายไว้ว่าพาหะ (Carrier) ที่ถูกขังด้วยกำแพงศักย์ (Potential barrier) จะมีพาหะบางตัวที่มีพลังงานสูงเท่านั้นที่จะสามารถข้ามกำแพงศักย์ออกไปได้ แต่ในโลกทางควอนตัมเมื่ออิเล็กตรอนถูกอธิบายในรูปของฟังก์ชันคลื่น (Wave function) ซึ่งจะไม่ถูกหยุดแบบสมบูรณ์ด้วยกำแพง แต่จะมีบางส่วนที่สามารถทะลุผ่านไปได้ และอิเล็กตรอนจะสามารถทะลุผ่านได้ก็ต่อเมื่อเป็นกำแพงศักย์ที่แคบพอ ซึ่งสามารถสร้างได้โดยสนามไฟฟ้าที่สูงซึ่งหมายถึงการป้อนแรงดันไบอัสย้อนกลับ (Reverse biased voltage) แก่รอยต่อนั้นเอง เมื่อสนามไฟฟ้าเฉลี่ยภายในรอยต่อมีค่าสูงประมาณ 10^6 V/cm [15] จะเกิดกระแสสูงไหลที่เป็นผลมาจากกระบวนการทะลุอุโมงค์ผ่านรอยต่อหรือเกิดการพังทลาย แรงดันพังทลายขณะที่เกิดการทะลุอุโมงค์จะมีค่าไม่เกิน $4E_g/q$ สำหรับค่าแรงดันมากกว่า $6E_g/q$ ที่ทำให้เกิดการพังทลายจะเป็นการพังทลายที่เป็นผลมาจากการทวีคูณอวาลันซ์

ลันซ์ ส่วนการพังทลายที่แรงดันพังทลายอยู่ในช่วงระหว่าง $4E_g/q$ ถึง $6E_g/q$ จะเป็นผลที่มาจากทั้งการทะลุโมเมนต์และอวาลันซ์ผสมกันอยู่

เมื่อแถบช่องว่างพลังงาน (Energy bandgap) E_g ในซิลิคอนและเยอรมันเนียมลดลงเมื่ออุณหภูมิเพิ่มขึ้น การพังทลายที่เป็นผลมาจากการทะลุโมเมนต์จึงมีสัมประสิทธิ์ทางอุณหภูมิเป็นลบ นั่นคือแรงดันพังทลายจะมีค่าลดลงเมื่ออุณหภูมิเพิ่มขึ้น ทำให้กระแสพังทลายจะไหลที่แรงดันค่าต่ำลงเมื่ออุณหภูมิเพิ่มขึ้น ซึ่งตรงข้ามกับการพังทลายแบบอวาลันซ์ที่มีสัมประสิทธิ์ทางอุณหภูมิมีค่าเป็นบวก แรงดันพังทลายมีค่าสูงขึ้นเมื่ออุณหภูมิเพิ่มขึ้น

การทวีคูณอวาลันซ์ หรือการชนกันของไอออน (Impact ionization) เป็นปรากฏการณ์ที่เกิดขึ้นมากที่สุดจากทั้งสามปรากฏการณ์ไม่ว่าจะเป็นการป้อนแรงดันไบอัสย้อนกลับไดโอดทั่วไป ขั้วคอลเล็กเตอร์ (Collector) ของไบโพล่าทรานซิสเตอร์ หรืออาจจะเป็นขั้วเดรน (Drain) ของมอสเฟต (MOSFET) การพังทลายที่รอยต่อก็มักจะเป็นการพังทลายจากอวาลันซ์ นอกจากนี้กลไกอวาลันซ์สามารถถูกใช้ในการสร้างคลื่นไมโครเวฟกำลัง (Power microwave) ในอุปกรณ์เช่น IMPATT และใช้เป็นอุปกรณ์ขยายสัญญาณของเซ็นเซอร์แสงชนิดอวาลันซ์ (Avalanche photodiodes)



รูปที่ 2.2 ลักษณะแถบพลังงานแสดงกลไกการพังทลายของ (ก) การทะลุโมเมนต์ (ข) การทวีคูณอวาลันซ์

ในสภาวะปกติหรือให้สนามไฟฟ้าไม่สูงนักด้วยการป้อนแรงดันไบอัสย้อนกลับค่าต่ำให้แก่ รอยต่อ พาหะจะมีการเคลื่อนที่ผ่านบริเวณปลอดพาหะด้วยความเร็วและชนกับอะตอมอยู่เสมอ แต่ ด้วยความเร็วที่ไม่มากพลังงานจลน์จึงต่ำ การชนเหล่านี้จึงเพียงทำให้พาหะเสียพลังงานเท่านั้น แต่เมื่อ มีการเพิ่มแรงดันไบอัสย้อนกลับสนามไฟฟ้าที่บริเวณปลอดพาหะของรอยต่อจะมีค่าสูงขึ้น ทำให้พาหะ เคลื่อนที่ด้วยความเร็วที่สูงและพลังงานจลน์ที่มากขึ้น จนกระทั่งพลังงานจลน์มีค่ามากพอที่เมื่อไปชน กับอะตอมทำให้อะตอมเกิดการไอออไนซ์ทำให้เกิดคู่อิเล็กตรอน-โฮล (Electron-Hole pair) อิเล็กตรอน ที่เกิดใหม่จะกระโดดขึ้นไปแถบนำไฟฟ้า (Conduction band) และเคลื่อนที่ภายใต้สนามไฟฟ้าไปชน กับอะตอมอื่นต่อไปเป็นการชนอย่างต่อเนื่องคล้ายภูเขาน้ำแข็งที่ถล่มต่อๆ ลงมา กระแสที่ไหลอยู่จึง เพิ่มขึ้นอย่างรวดเร็ว โดยการเพิ่มของกระแสก่อนเกิดการพังทลาย จะเกี่ยวข้องกับการเพิ่มขึ้นของ ปริมาณพาหะ ซึ่งแสดงได้โดยค่า “แฟกเตอร์ของการทวีคูณ” (Multiplication factor : M) เขียนได้ ดังนี้ [16]

$$M \equiv \frac{I}{I_0} \quad (2.4)$$

และจากการทดลองจะได้ว่า

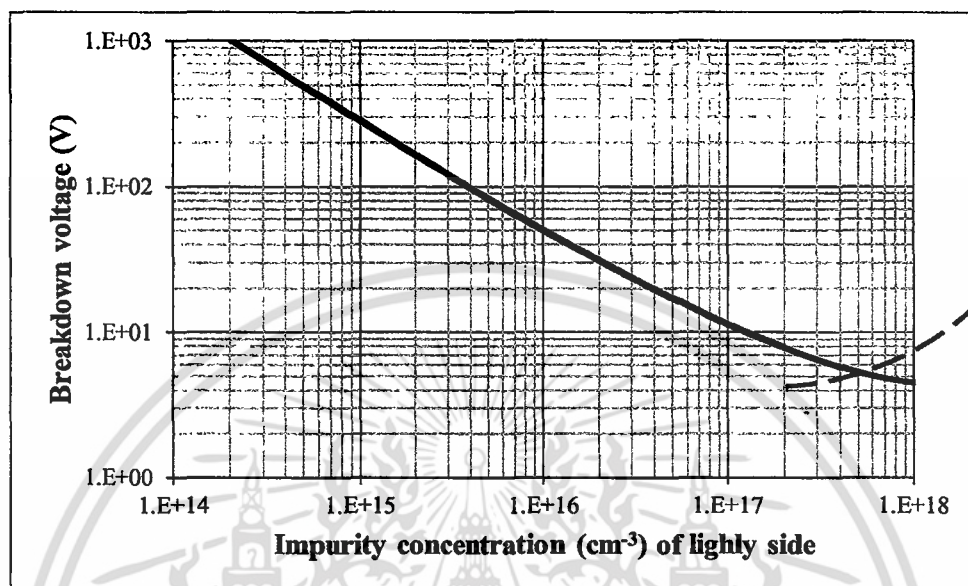
$$M = \frac{1}{1 - \left(\frac{V_A}{V_B}\right)^m} \quad (2.5)$$

โดย m เป็นค่าคงที่มีค่าในช่วง 2-6 ขึ้นอยู่กับชนิดของสารกึ่งตัวนำที่นำมาสร้าง และจากสมการ เมื่อ แรงดันไบอัสย้อนกลับ V_A มีค่าต่ำหรือต่ำกว่า แรงดันพังทลาย V_B มากๆ ค่า M จะมีค่าเข้าใกล้ 1 ซึ่ง หมายถึงไม่มีการทวีคูณของพาหะ กระแสที่ไหลผ่านรอยต่อมีค่าใกล้เคียงกระแสอิ่มตัว (Saturation current) I_0 แต่เมื่อเพิ่มแรงดัน V_A ให้เข้าใกล้ V_B ค่า M จึงมากกว่า 1 เกิดการทวีคูณของพาหะกระแส จึงไหลเพิ่มมากขึ้นจนเกิดการพังทลายนั่นเอง ซึ่งจากการพิจารณาสนามไฟฟ้าที่บริเวณปลอดพาหะทำให้สรุปความสัมพันธ์ของแรงดันพังทลาย V_B ได้เป็น

$$V_B \propto \frac{1}{N_B} \quad (2.6)$$

เมื่อ N_B เป็นค่าความหนาแน่นของอะตอมสารเจือด้านที่มีความเข้มข้นต่ำ ดังนั้นรอยต่อพีเอ็นที่สร้าง จากสารกึ่งตัวนำที่มีความหนาแน่นของอะตอมสารเจือค่าต่ำๆ จะให้คุณสมบัติการพังทลายที่แรงดัน สูง นอกจากนี้แรงดันพังทลายยังขึ้นอยู่กับขนาดความกว้างของช่องว่างพลังงาน (E_g) โดยรอยต่อของ

สารกึ่งตัวนำที่มีช่องว่างพลังงานกว้างๆ เช่น แกลเลียมอาเซไนด์ (GaAs) จะให้แรงดันพังทลายที่สูงกว่าซิลิคอนและเยอรมันเนียมตามลำดับ และจากสมการ (2.6) สามารถนำมาวิเคราะห์จนได้ความสัมพันธ์ดังกราฟในรูปที่ 2.3



รูปที่ 2.3 ความสัมพันธ์แรงดันพังทลายแบบอวาลันซ์ต่อความเข้มข้นอะตอมสารเจือปนที่เจือจางกว่าสำหรับฐานรองที่เป็นซิลิคอน

และเนื่องจากการสั้นของอะตอมจะขึ้นอยู่กับอุณหภูมิ ดังนั้นเมื่ออุณหภูมิสูงขึ้นอะตอมก็จะสั้นมากขึ้น ทำให้พาหะมีโอกาสชนกับอะตอมก่อนที่จะมีความเร็วพอจะทำให้เกิดการไอออไนซ์ (Ionized) ดังนั้นหากจะทำให้เกิดการพังทลายอวาลันซ์จึงต้องเพิ่มแรงดันไบอัสย้อนกลับให้มากขึ้น นั่นคือ แรงดันพังทลายสูงขึ้น จึงสรุปได้ว่าการพังทลายแบบอวาลันซ์ที่มีสัมประสิทธิ์ทางอุณหภูมิมีค่าเป็นบวก

2.2.3 การเคลื่อนย้ายของพาหะ (Carrier transportation)

2.2.3.1 การลอยเลื่อนและสภาพคล่องของพาหะ (Drift and Carrier Mobility)

พาหะที่เคลื่อนภายใต้สนามไฟฟ้าจะมีความเร็วค่าหนึ่งๆ เรียกว่าความเร็วลอยเลื่อน (Drift velocity, v_d) ซึ่งเป็นสัดส่วนโดยตรงกับความเข้มสนามไฟฟ้าและเป็นผลมาจากค่าสภาพคล่องของพาหะ (Mobility, μ) ในหน่วยของ $\text{cm}^2/\text{V}\cdot\text{s}$ สำหรับสารกึ่งตัวนำที่ไม่มีขั้วเช่น เยอรมันเนียม (Ge) และซิลิคอน (Si) หากความเร็วลอยเลื่อนมีค่าสูงจะหมายถึงสภาพคล่องที่สูงด้วย ปรากฏการณ์ที่ทำให้ความเร็วลอยเลื่อนมีค่าลดลงคือการชนและการกระเจิง (Collisions and Scattering) โอกาสที่จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิดการชนกันนี้จะขึ้นอยู่กับปัจจัยได้แก่ พฤติกรรมการสั่นของอะตอมเนื่องจากโฟนอน (Phonon) และการไอออนของสารเจือจะส่งผลให้เกิดการกระเจิงของพาหะซึ่งเป็นส่วนสำคัญให้สภาพคล่องลดลง โดยความเร็วลอยเลื่อน มีความสัมพันธ์กับสนามไฟฟ้าและสภาพคล่องดังสมการ

$$v_d = \mu E \quad (2.7)$$

2.2.3.2 สภาพต้านทาน (Resistivity)

สำหรับสารกึ่งตัวนำที่มีทั้งโฮลและอิเล็กตรอนที่พอกัน กระแสไฟฟ้าสามารถแสดงได้คือ

$$J = \sigma E \quad (2.8)$$

$$J = q(\mu_n n + \mu_p p)E \quad (2.9)$$

เมื่อ σ เป็นค่าความนำ μ_n และ μ_p คือค่าสภาพคล่องของอิเล็กตรอนและโฮลตามลำดับ n และ p คือความเข้มข้นของอิเล็กตรอนและโฮล

$$\sigma = \frac{1}{\rho} = q(\mu_n n + \mu_p p) \quad (2.10)$$

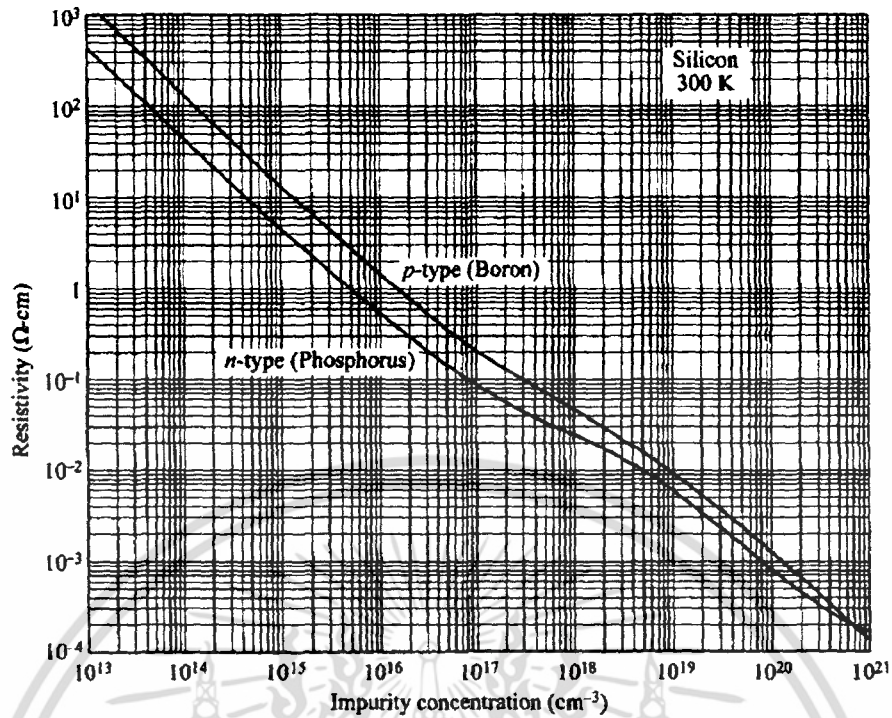
และ ρ เป็นสภาพต้านทานในหน่วย $\Omega \cdot \text{cm}$ และหากประมาณว่าอะตอมสารเจือที่สมดุลความร้อนไอออนทั้งหมด ดังนั้น $n \approx N_D$ และ $p \approx N_A$

แต่ในกรณีที่ป็นสารกึ่งตัวนำที่ชนิดเอ็น $n \gg p$ หรือ $N_D \gg N_A$

$$\rho_n = \frac{1}{N_D q \mu_n} \quad (2.11)$$

และในกรณีที่ป็นสารกึ่งตัวนำที่ชนิดพี $p \gg n$ หรือ $N_A \gg N_D$

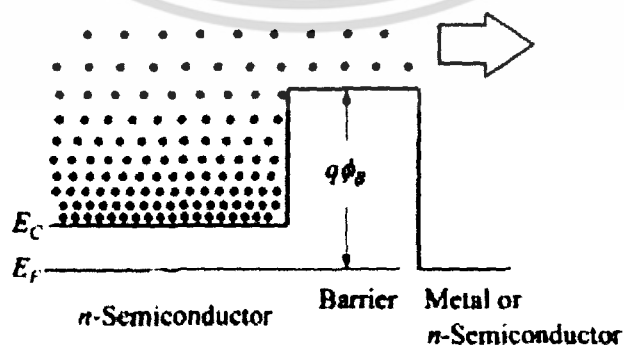
$$\rho_p = \frac{1}{N_A q \mu_p} \quad (2.12)$$



รูปที่ 2.4 ความสัมพันธ์ระหว่างสภาพต้านทานไฟฟ้ากับความหนาแน่นของสารเจือในซิลิคอน ที่ 300K

2.2.3.3 การปลดปล่อยทางความร้อน (Thermionic Emission)

การปลดปล่อยทางความร้อนกลไกการนำกระแสหลักของพาหะ เกี่ยวข้องโดยตรงกับความสูงของกำแพงศักย์แต่ไม่ขึ้นกับรูปร่าง กลไกนี้จะถูกพิจารณาว่าเกิดการชนหรือการลอยเลื่อนภายในชั้นกำแพงเพียงเล็กน้อยดังรูปที่ 2.5 เมื่ออุณหภูมิมากกว่าศูนย์องศาสัมบูรณ์ความหนาแน่นอิเล็กตรอนที่แถบความนำจะไม่เท่ากับศูนย์และมีบางส่วนที่มีพลังงานสูงกว่ากำแพงศักย์ดังนั้นจึงสามารถข้ามกำแพงศักย์และเกิดเป็นกระแสไฟฟ้าได้

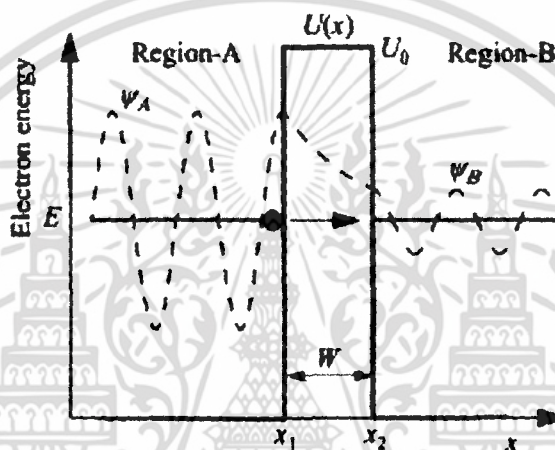


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.5 แผนภาพแสดงการปลดปล่อยทางความร้อนของอิเล็กตรอนข้ามกำแพงศักย์

2.2.3.4 การทะลุอุโมงค์ (Tunneling)

การทะลุอุโมงค์เป็นปรากฏการณ์ทางควอนตัมที่อธิบายพฤติกรรมหนึ่งของพาหะซึ่งถูกขังด้วยกำแพงศักย์ พาหะเหล่านี้จะมีจำนวนเพียงไม่กี่ตัวที่จะมีพลังงานสูงพอจนเกินและหลุดออกไปจากกำแพงศักย์นี้ได้ ซึ่งได้อธิบายในหัวข้อที่แล้ว แต่ด้วยกลไกทางควอนตัมเมื่ออธิบายพาหะด้วยฟังก์ชันคลื่น ฟังก์ชันคลื่นไม่ได้ถูกปิดกั้นด้วยกำแพงอย่างสมบูรณ์ แต่จะมีบางส่วนของฟังก์ชันคลื่นที่สามารถทะลุผ่านไปได้ดังรูปที่ ซึ่งความน่าจะเป็นที่อิเล็กตรอนจะทะลุผ่านกำแพงศักย์ที่มีความสูงและความกว้างจำกัดจะไม่เท่ากับศูนย์

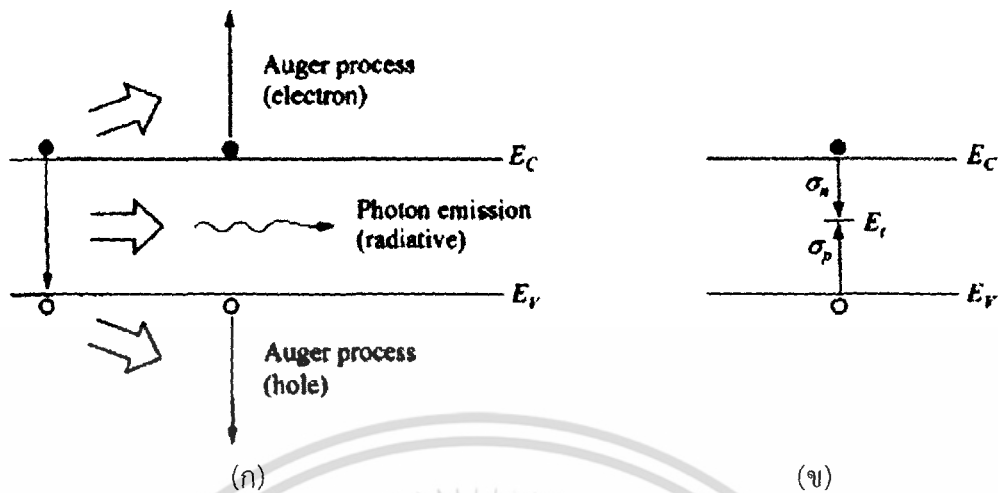


รูปที่ 2.6 การทะลุผ่านกำแพงศักย์ของอิเล็กตรอนด้วยฟังก์ชันคลื่น

2.2.3.5 กระบวนการเกิดและการรวมตัวใหม่ (Generation-Recombination process)

เมื่อไรก็ตามที่สมดุลความร้อน (Thermal equilibrium) ถูกรบกวน หรือ $pn \neq n_i^2$ จะมีกระบวนการที่ทำให้ระบบเข้าสู่สมดุลอีกครั้ง กระบวนการรวมตัวใหม่จะเกิดขึ้นเมื่อ $pn > n_i^2$ และกระบวนการเกิดจะเกิดเมื่อ $pn < n_i^2$ จากรูปที่ 2.7 (ก) กระบวนการ Band-to-Band ที่เป็นการรวมตัวกันของคู่อิเล็กตรอนกับโฮล พลังงานที่ปลดปล่อยออกมาจากการที่อิเล็กตรอนลดระดับพลังงานจากแถบนำไฟฟ้ามาที่แถบวาเลนซ์ (Valence band) อาจจะอยู่ในรูปของโฟตอน (Photon) หรือ การแผ่รังสี ซึ่งกระบวนการนี้เป็นกระบวนการย้อนกลับของกระบวนการดูดซับพลังงานทางแสง หรือ อาจจะถูกส่งต่อให้เกิดคู่อิเล็กตรอนอิสระกับโฮลใหม่ตามกระบวนการ Auger ซึ่งอาจจะทำให้เกิดการแตกตัวด้วยการชน (impact ionization) ส่วนในรูป 2.7 (ข) เป็นการรวมตัวผ่านกับดักจับพาหะที่เป็นระดับพลังงานที่อยู่ในเนื้อสารกึ่งตัวนำ ซึ่งอาจเกิดได้จากความไม่สมบูรณ์ของเนื้อสารเองหรือมีสิ่งเจือปนอยู่ ถูกอธิบายตามหลักสถิติของ Shockley-Read-Hall

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 กระบวนการรวมตัวใหม่ (กระบวนการเกิดจะมีลักษณะตรงข้ามกัน) (ก) การรวมตัวใหม่ Band-to-Band พลังงานที่ปลดปล่อยออกมาอาจจะอยู่ในรูปของการแผ่รังสีหรือเป็นพลังงานสำหรับกระบวนการ Auger (ข) การรวมตัวใหม่ผ่านระดับพลังงานกับดักเดี่ยว หรือไม่มีการแผ่รังสี

2.2.3.6 กระบวนการแพร่ (Diffusion)

ในส่วนนี้จะอธิบายในแง่ของความไม่เป็นระเบียบของพาหะ ยกตัวอย่างกรณีของรอยต่อพีเอ็นหรือบริเวณที่ความเข้มข้นของพาหะไม่เท่ากันตลอดพื้นที่ ทำให้เกิดการแพร่ของพาหะจากบริเวณที่มีความเข้มข้นสูงไปยังบริเวณที่มีความเข้มข้นต่ำกว่า โดยกระแสการแพร่ของอิเล็กตรอนเป็นดังสมการ

$$J_n = qD_n \frac{dn}{dx} \quad (2.13)$$

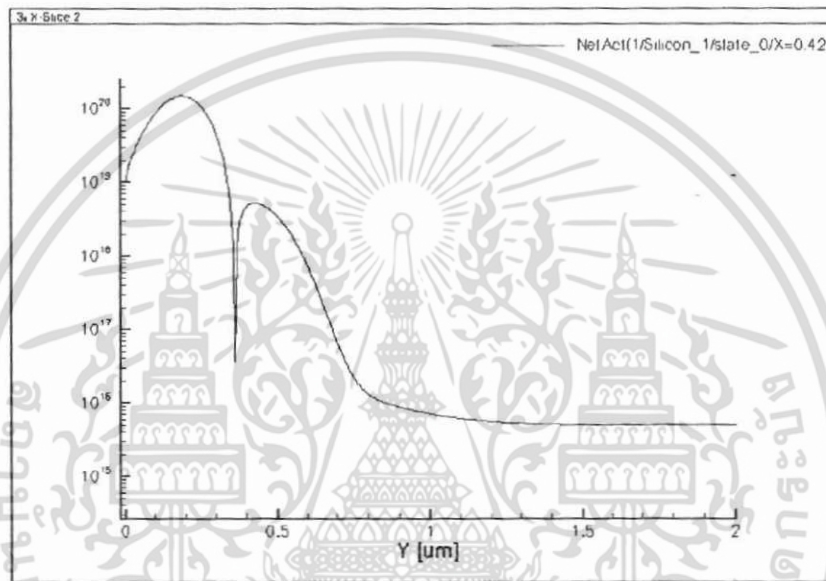
และกระแสแพร่ของโฮลเป็น

$$J_p = qD_p \frac{dp}{dx} \quad (2.14)$$

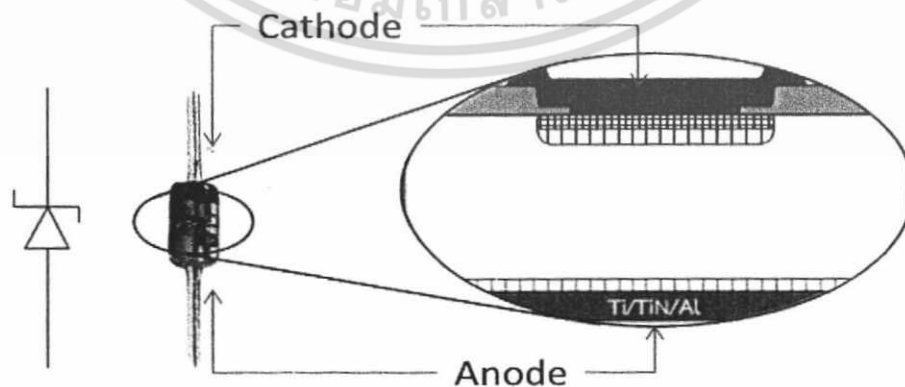
โดยที่ D_n และ D_p เป็นค่าสัมประสิทธิ์การแพร่ (diffusion coefficient) ซึ่งแปรผันตามอุณหภูมิและสภาพคล่องตัวของอิเล็กตรอนและโฮล (μ_n, μ_p) ตามลำดับ

2.2.4 โครงสร้างของซีเนอร์ไดโอด

ซีเนอร์ไดโอดเป็นอุปกรณ์ที่มีสองขั้วหนึ่งขั้วรอยต่อที่กระแสไหลได้ทิศทางเดียวและสามารถเป็นตัวอ้างอิงระดับแรงดันที่มีเสถียรภาพได้อย่างรวดเร็วที่ระหว่างขั้วทั้งสอง ในการใช้งานมักจะต่อขนานกับโหลดซึ่งแตกต่างกับอุปกรณ์สารกึ่งตัวนำตัวเดี่ยวอื่นๆ เพราะคุณสมบัติทางไฟฟ้าของตัวอ้างอิงสามารถอธิบายได้ด้วยการทำงานที่รอยต่อพีเอ็นของไดโอดในย่านการพังทลายซึ่งต่างกับไดโอดทั่วไปตรงที่ทำงานในส่วนการไบอัสไปข้างหน้าสัญลักษณ์เป็นรูป Z-shaped ที่ขั้วแคโทดของไดโอดทั่วไป



รูปที่ 2.8 บริเวณรอยต่อทางกายภาพจากการจำลองด้วยโปรแกรม TCAD แกนตั้งเป็นระดับความเข้มข้นสุทธิหน่วยเป็นอะตอมต่อลูกบาศก์เซนติเมตรแกนนอนแสดงระดับความลึกจากผิวของแผ่นผลึกซิลิคอนในหน่วย μm



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.9 สัญลักษณ์ ตัวอุปกรณ์ และโครงสร้างของซีเนอร์ไดโอด

2.2.5 รอยต่อแบบลาดเชิงเส้น (Linearly graded junction) [12]

สำหรับไดโอดทั่วไปจะถูกพิจารณาว่าเป็นรอยต่อพีเอ็นแบบชั้นบันได แต่ในทางปฏิบัติ อะตอมสารเจือจะแพร่เข้าไปในสารกึ่งตัวนำที่มีอะตอมสารเจือชนิดตรงข้าม ลักษณะเช่นนี้ทำให้ รอยต่อมีความเข้มข้นที่ลดหลั่นตามความระยะที่แพร่เข้าไป จึงเรียกลักษณะเช่นนี้ว่า “รอยต่อแบบ ลาดเชิงเส้น” อย่างไรก็ตามหากพิจารณาในไดโอดหรืออุปกรณ์ที่มีความลึกของรอยต่อตื้นมากๆ อาจจะพิจารณาว่าเป็นรอยต่อแบบชั้นบันไดได้

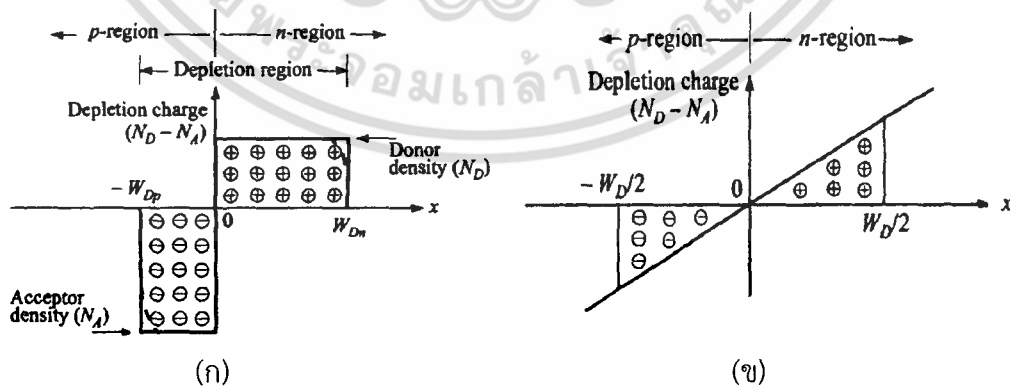
ซึ่งการกระจายของอะตอมสามารถเขียนเป็นสมการเส้นตรงได้ดังนี้

$$N_D - N_A = ax \tag{2.15}$$

เมื่อ a คือค่าคงตัวความชัน (Grading constant) และระยะ x พิจารณาบริเวณปลอดพาหะในช่วง $-W/2$ ถึง $W/2$ โดยที่ความกว้างของบริเวณปลอดพาหะจะแปรตามค่ารากที่สามของแรงดันที่ให้แก่ รอยต่อเป็นดังสมการ

$$W = \left[\frac{12\epsilon}{qa} (V_{bi} - V_A) \right]^{1/3} \tag{2.16}$$

เมื่อ V_A คือค่าแรงดันไบอัสที่รอยต่อ (Applied voltage) ซึ่งในส่วนของรอยต่อแบบชั้นบันได W แปร ตามรากที่สองของแรงดันที่รอยต่อ



รูปที่ 2.10 เปรียบเทียบลักษณะความเข้มข้นที่รอยต่อระหว่าง (ก) รอยต่อแบบชั้นบันไดและ (ข) รอยต่อแบบลาดเชิงเส้น

สำหรับแรงดันภายใน (V_{bi}) เมื่อพิจารณาในทำนองเดียวกันกับรอยต่อแบบชั้นบันไดจะพบว่า มีความสัมพันธ์กันกับค่าคงตัวความชันด้วยสมการ

$$V_{bi} = \frac{2kT}{q} \ln \left(\frac{a}{2n_i} \left(\frac{12\varepsilon}{qa} V_{bi} \right)^{1/3} \right) \quad (2.17)$$

และสุดท้ายค่าของความจุไฟฟ้าบริเวณรอยต่อ (Junction capacitance) ต่อหน่วยพื้นที่

$$C_j = \left[\frac{qa\varepsilon^2}{12(V_{bi}-V_A)} \right]^{1/3} \quad (2.18)$$

จะเห็นว่า กรณีของรอยต่อแบบลาดเชิงเส้นค่าความจุไฟฟ้าที่รอยต่อแปรผันตามค่าแรงดันไบอัสที่ รอยต่อ V_A ซึ่งเมื่อจัดรูปสมการใหม่จะได้ [17]

$$C_j^{-3} = \frac{12}{qa\varepsilon^2} V_{bi} - \frac{12}{qa\varepsilon^2} V_A \quad (2.19)$$

หรือ

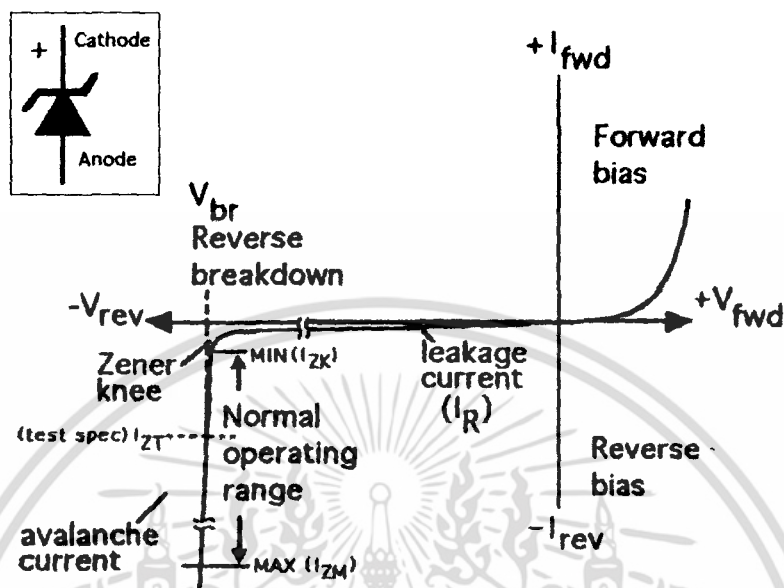
$$C_j^{-3} = K_1 - K_2 V_A \quad (2.20)$$

ทำให้ได้ความสัมพันธ์ที่เป็นเชิงเส้นระหว่างค่าความจุไฟฟ้าบริเวณรอยต่อ C_j กับแรงดันไบอัส ที่รอยต่อ V_A ซึ่งสามารถนำมาใช้ในการหาคุณลักษณะต่างๆ ด้วยผลการวัดค่าความจุไฟฟ้าของซีเนอร์ ไดโอด โดยการนำผลการวัดที่ได้มาพล็อตบนแกนความสัมพันธ์ระหว่างค่าความจุไฟฟ้ายกกำลัง -3 ต่อ แกนค่าแรงดันไบอัส ค่าคงตัวความลาดชันสามารถหาได้จากค่าความชันของกราฟ และจุดตัดแกน y สามารถคำนวณต่อเพื่อหาค่า V_{bi}

2.2.6 คุณลักษณะทางไฟฟ้าที่สำคัญ [14]

ซีเนอร์ไดโอดเป็นอุปกรณ์ที่มีสองขั้วหนึ่งรอยต่อที่กระแสไหลได้ทิศทางเดียวและสามารถเป็นตัวอ้างอิงระดับแรงดันที่มีเสถียรภาพได้อย่างรวดเร็วที่ระหว่างขั้วทั้งสอง ในการใช้งานมักจะต่อขนานกับโหลดซึ่งแตกต่างกับอุปกรณ์สารกึ่งตัวนำตัวเดี่ยวอื่นๆ เพราะคุณสมบัติทางไฟฟ้าของตัวอ้างอิง

สามารถอธิบายได้ด้วยการทำงานที่รอยต่อพีเอ็นของไดโอดในย่านการพังทลายซึ่งต่างกับไดโอดทั่วไปตรงที่ทำงานในส่วนการไบอัสไปข้างหน้าสัญลักษณ์เป็นรูป Z-shaped ที่ขั้วแคโทดของไดโอดทั่วไป



รูปที่ 2.11 สัญลักษณ์ทางไฟฟ้าและความสัมพันธ์ของกระแสแรงดันของซีเนอร์ไดโอด

ในการใช้งานหรือการพัฒนาซีเนอร์ไดโอดให้มีประสิทธิภาพที่ดี จำเป็นต้องคำนึงคุณลักษณะที่สำคัญของซีเนอร์ไดโอดดังนี้

- แรงดันตกคร่อมไปข้างหน้า (Forward voltage, V_F) คือแรงที่ตกคร่อมระหว่างขั้วแคโทดและแอโนดขณะทำการจ่ายไฟไปข้างหน้า สำหรับรอยต่อที่สร้างขึ้นจากผลึกรูปเดี่ยวซิลิคอนมักจะมีค่าตั้งแต่ 0.6 - 1.0 V
- กระแสอิ่มตัว (Saturation Current, I_S) คือกระแสที่ของพาหะส่วนที่ไหลข้ามรอยต่อ ซึ่งเป็นผลจากหลายปรากฏการณ์รวมกัน ได้แก่ กระแสรั่วไหลที่ผิว (Surface leakage current) กระแสการรวมตัวของพาหะ (Combination current) กระแสแพร่ (Diffusion current) กระแสการเกิด (Generation current) และความไม่สมบูรณ์อื่นๆ (Non-ideal factor)
- กระแสรั่วไหลย้อนกลับ (Reverse Leakage Current, I_R) เป็นกระแสที่ไหลเมื่อมีการจ่ายไฟย้อนกลับให้ไดโอดค่าต่ำๆ เป็นผลต่อเนื่องมาจากกระแสอิ่มตัวย้อนกลับ มีความแปรผันตรงกับทั้งอุณหภูมิและขนาดของแรงดันย้อนกลับที่ป้อน นอกจากนี้ยังแปรผันตรงกับระดับความเข้มข้นพาหะบริเวณรอยต่อ (Carrier concentration)
- แรงดันพังทลาย (Breakdown Voltage, V_B) คือค่าแรงดันย้อนกลับที่ทำให้การนำกระแสที่รอยต่อเพิ่มสูงขึ้นอย่างรวดเร็ว เนื่องจากเกิดปรากฏการณ์พังทลายที่รอยต่อ ณ จุดที่มีการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

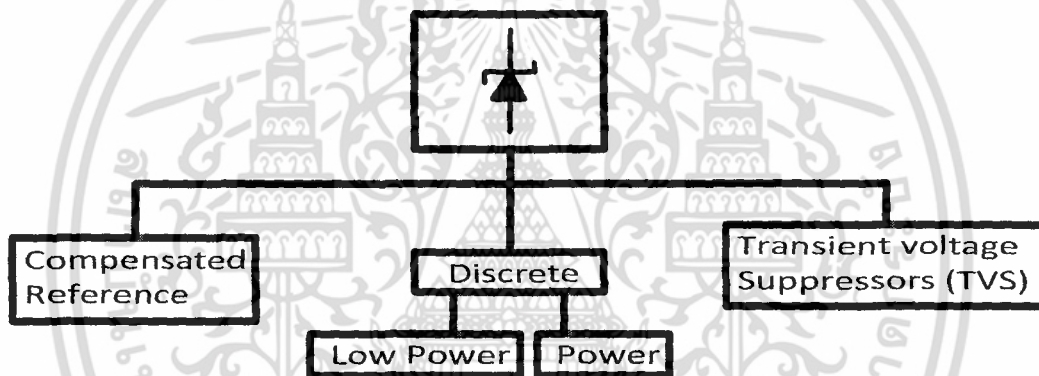
เปลี่ยนแปลงการนำไฟฟ้า เรียกว่า จุดหักงอของกราฟกระแสต่อแรงดันย้อนกลับ ซึ่งหลังจากจุดนี้ แม้จะเพิ่มการจ่ายไฟย้อนกลับก็จะมีเพียงแต่กระแสเท่านั้นที่เพิ่มขึ้นอย่างมาก แต่แรงดันที่ตกคร่อมไดโอดนั้นจะมีการเพิ่มที่ต่ำมาก ซึ่งคุณลักษณะนี้มีความสำคัญต่อการพิจารณาคุณสมบัติทั้งซีเนอร์ไดโอดและไดโอดทั่วไป

- แรงดันซีเนอร์ (Zener Voltage, V_Z) หมายถึงแรงดันที่ตกคร่อมไดโอดหลังการพังทลาย ซึ่งจะวัดที่กระแสทดสอบ (Zener Test Current, I_{ZT}) ค่าๆ หนึ่ง เป็นหนึ่งในข้อมูลสำคัญที่ผู้ผลิตระบุไว้ ซึ่งเมื่อใช้งานซีเนอร์ไดโอดที่กระแสทดสอบนั้นที่อุณหภูมิห้อง จะได้ค่าแรงดันอ้างอิงที่เกือบจะเท่ากับค่าแรงดันซีเนอร์
- กระแสซีเนอร์ที่จุดหักงอ (Zener Knee Current, I_{ZK}) คือกระแสย้อนกลับ ณ จุดที่เกิดการพังทลายร่อยรอยต่อ
- กระแสซีเนอร์สูงสุด (Zener Maximum Current, I_{ZM}) คือกระแสย้อนกลับสูงสุดก่อนที่อุปกรณ์จะเกิดความเสียหาย ซึ่งพิจารณาจากการกินกำลังงานสูงสุดที่ทนได้
- กระแสทดสอบซีเนอร์ (Zener Test Current, I_{ZT}) โดยปกติระดับกระแสที่ใช้ทดสอบควรจะอยู่ในช่วง 25% -35% ของกระแสย้อนกลับสูงสุด
- กระแสรั่วไหลสูงสุด (Maximum Leakage current, I_{Rmax}) เป็นอีกหนึ่งข้อมูลที่ทางผู้ผลิตอาจจะระบุไว้ในคุณสมบัติของไดโอด โดยมาก ไดโอดที่มีแรงดันซีเนอร์ที่สูงมักจะมี I_{Rmax} ที่ต่ำกว่า ไดโอดที่มีแรงดันซีเนอร์ค่าต่ำๆ
- แรงดันย้อนกลับ (Reverse Voltage, V_R) หมายถึงแรงดันตกคร่อมไดโอดขณะจ่ายไฟย้อนกลับ ที่ใช้สำหรับทดสอบกระแสรั่วไหลสูงสุด โดยจะใช้ V_R อยู่ที่ประมาณ 80% ของแรงดันซีเนอร์
- ซีเนอร์อิมพีแดนซ์ (Zener Impedance, Z_Z) คือค่าความต้านทานซึ่งวัดจากความชันของกราฟกระแสต่อแรงดันย้อนกลับในช่วงแรงดันย่านที่ใช้งาน
- ซีเนอร์อิมพีแดนซ์ที่กระแสทดสอบซีเนอร์ (Zener Impedance at Test current, Z_{ZT}) หมายถึงซีเนอร์อิมพีแดนซ์ ณ กระแสทดสอบ
- ซีเนอร์อิมพีแดนซ์ที่จุดหักงอ (Zener Impedance at Knee point, Z_{ZK}) คือซีเนอร์อิมพีแดนซ์ ณ จุดที่มีการเปลี่ยนแปลงการนำไฟฟ้าจากการพังทลายของร่อยต่อ
- สัมประสิทธิ์ทางอุณหภูมิของแรงดันซีเนอร์ (Temperature Coefficient of Zener Voltage, TCV_Z) เป็นค่าสัมประสิทธิ์ที่ใช้บ่งชี้เสถียรภาพการรักษาระดับแรงดันอ้างอิงของไดโอดเมื่ออุณหภูมิที่ใช้งานมีการเปลี่ยนแปลง และค่า TCV_Z นี้สามารถควบคุมให้ได้ต่ำถึง $0.002\%/^{\circ}C$ (11) ยกตัวอย่างถ้าใช้ซีเนอร์ไดโอดที่มีแรงดันซีเนอร์ 5 V เมื่ออุณหภูมิเพิ่มหรือลด $1^{\circ}C$ จะทำให้แรงดันซีเนอร์เปลี่ยนไป ± 0.01 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การประยุกต์ใช้งาน [14]

การใช้งานซีเนอร์ไดโอดอาจจะสามารถแบ่งกลุ่มการใช้งานออกเป็นสามกลุ่มใหญ่ๆคือกลุ่มที่ใช้ซีเนอร์ร่วมกับอุปกรณ์อื่นเพื่อชดเชยหรือปรับแต่งต่างๆ เช่นการใช้ซีเนอร์ร่วมกับทรานซิสเตอร์แบบไบโพล่า ซึ่งสามารถชดเชยผลของอุณหภูมิในการใช้งานแรงดันอ้างอิง กลุ่มต่อมาเป็นการใช้งานซีเนอร์ไดโอดแบบเดี่ยวๆ ซึ่งก็สามารถสร้างเพื่อการใช้งานในระดับกำลังที่ต่ำ และกลุ่มไฟฟ้ากำลังด้วยการปรับปรุงการประกอบตัวถังของไดโอดเป็นโลหะแทนที่จะเป็นกระดาษแก้ว และสุดท้ายกลุ่มที่ใช้ซีเนอร์ไดโอดเป็นอุปกรณ์ป้องกันแรงดันไฟเกิน (Transient Voltage Suppressors, TVS) ซึ่งจะอยู่ในวงจรรวม (ICs) สำหรับป้องกันความเสียหายวงจรหลักจากแรงดันไฟเกินจากที่มาจากต่างๆ เช่นไฟฟ้าสถิตย์ (ESD) แรงดันไฟกระชาก (Over shoot voltage) หรือสาเหตุอื่นเนื่องจากมนุษย์

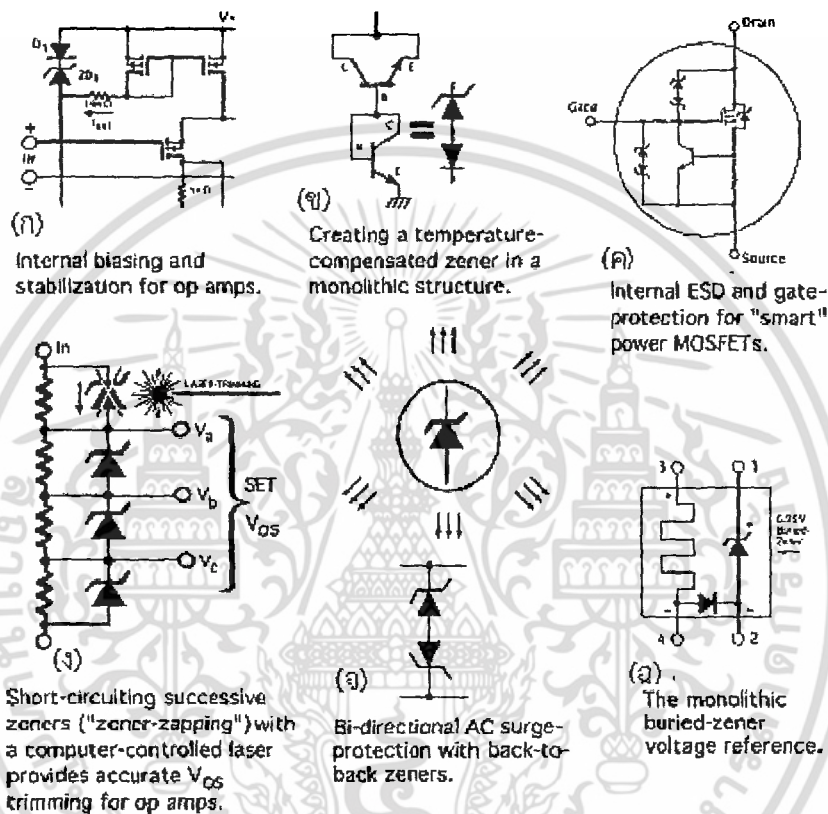


รูปที่ 2.12 แผนผังแสดงการประยุกต์ใช้งานซีเนอร์ไดโอด

นอกจากการใช้งานซีเนอร์ไดโอดโดยตรงโดยอาศัยการพังทลายของรอยต่อแล้ว ซีเนอร์ยังกลายมาเป็นพื้นฐานสำคัญของการพัฒนาตัวอ้างอิงแรงดันแบบบิวรีซีเนอร์ในเชิงพาณิชย์ (Buried-Zener voltage reference) ซึ่งนำเสนอในช่วงต้นของ 1970s โดย National Semiconductor การค้นพบเทคนิคนี้ทำให้แรงดันออฟเซตขาเข้าของออปแอมป์ในการผลิตเพื่อแรงดันระดับต่ำมากมีความแม่นยำมากขึ้น (Input offset voltage, V_{OS}) ส่วนรูป 2.13 (ข) เป็นการใส่ซีเนอร์ไดโอดเพื่อการชดเชยทางอุณหภูมิในอุปกรณ์เดี่ยว การต่อตัวต้านทานขนานกับซีเนอร์เป็นสายยาวดั่งในรูป 2.13 (ง) ซึ่งจะถูกรักษาด้วยคอมพิวเตอร์ผ่านทางแสงเลเซอร์ ซึ่งจะลัดวงจรซีเนอร์ได้อย่างแม่นยำ (ต่ำกว่า $50 \mu V$) ซึ่งเทคนิคนี้รู้จักกันในชื่อ zener zapping เพื่อที่จะปรับออฟเซต (Off-set) ของออปแอมป์และอุปกรณ์อื่นๆ อีกการใช้งานหนึ่งของซีเนอร์ก็คือการใส่ซีเนอร์ลงไปในวงจรดิจิทัลสำหรับเป็นอุปกรณ์ป้องกันไฟฟ้าสถิตย์และเกทในรูป 2.7 (ค) ซึ่งในช่วง 1980s ได้มีการนำซีเนอร์ออกขายในสินค้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตระกูล TVS ซึ่งใช้ป้องกันกระแสเซอร์จ (Surge current) ในวงจรกระแสสลับและส่วนป้องกันโมเด็ม และสายส่งข้อมูลดังรูป 2.7 (จ) ซึ่งจะเห็นได้ว่าการใช้งานซีเนอร์ไดโอดที่หลากหลาย แต่ล้วนจะใช้งานในย่านที่เกิดการพังทลาย ดังนั้นการควบคุมแรงดันซีเนอร์ และสัมประสิทธิ์ทางอุณหภูมิของแรงดันซีเนอร์ให้เหมาะสมต่อการเลือกใช้งานในแต่ละประเภทจึงเป็นสิ่งสำคัญที่ต้องการการวิจัยและพัฒนาต่อไป



รูปที่ 2.13 การใช้งานซีเนอร์ไดโอดด้านต่างๆ (ก) ส่วนวงจรสำหรับไบอัสภายในและเพิ่มเสถียรภาพของออปแอมป์ (ข) สามารถประกอบแทนส่วนชดเชยทางอุณหภูมิในโครงสร้างวงจรรวม (ค) เป็นส่วนคล้ายประจุไฟฟ้าสถิตย์และป้องกันความเสียหายต่อเกตของมอสเฟตกำลัง (ง) การใช้งานซีเนอร์ไดโอดให้ลัดวงจรตลอดเวลาด้วยเลเซอร์ที่ควบคุมโดยคอมพิวเตอร์ เพื่อเพิ่มความแม่นยำในการปรับแต่ง V_{OS} ของออปแอมป์ (จ) การต่อซีเนอร์ไดโอดเป็นตัวป้องกันกระแสเซอร์จทั้งสองทิศทาง (ฉ) ซีเนอร์ไดโอดที่ฝังอยู่ในวงจรรวมระดับแรงดันอ้างอิง

บทที่ 3

กระบวนการสร้าง

3.1 เทคโนโลยีการสร้าง [18]

การสร้างอุปกรณ์สารกึ่งตัวนำบนฐานรองต่างๆ มีกระบวนการที่สามารถแบ่งออกเป็นสี่กลุ่มได้แก่

- การเพิ่ม (Adding) ได้แก่ การเติมอะตอมสารเจือ และการปลูกสร้างชั้นฟิล์มชนิดต่างๆ
- การลอกออก (Removing) ได้แก่ กระบวนการทำความสะอาด กระบวนการกัดและการขัด
- การทำให้ร้อน (Heating) ได้แก่การอบด้วยด้วยความร้อนเพื่อจุดประสงค์ต่างๆ เช่น อบแพร่สารเจือ หรือกระบวนการซินเตอร์ริง
- การทำลวดลาย (Patterning) ได้แก่กระบวนการโฟโตลิโทกราฟี

งานวิจัยนี้ได้ทำการสร้างซีเนอร์ไดโอดสำหรับการศึกษาและทดลองต่างๆ โดยกระบวนการสร้างทั้งหมดได้ทำในศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (TMEC) ดังนั้นกระบวนการสร้างที่นำเสนอในวิทยานิพนธ์เล่มนี้จึงขออ้างอิงกระบวนการสร้างที่ใช้จริงใน TMEC ทั้งหมด

3.1.1 การเตรียมแผ่นผลึกซิลิคอน (Wafer preparation)

ก่อนนำแผ่นผลึกซิลิคอนเข้าสู่กระบวนการสร้างจำเป็นต้องทำการเตรียมแผ่นผลึกซิลิคอนด้วยการทำความสะอาดเพื่อป้องกันสิ่งสกปรกจากภายนอกเข้ามาบนแผ่นอันจะทำให้อุปกรณ์ที่สร้างขึ้นทำงานล้มเหลวหรือด้อยประสิทธิภาพได้ จึงถือว่ากระบวนการนี้จัดเป็นกระบวนการในกลุ่มของการลอกออก โดยการทำความสะอาดจะเลือกใช้กระบวนการทำความสะอาดสูตร FULL 01 ซึ่งเป็นกระบวนการทำความสะอาดแผ่นผลึกซิลิคอนมาตรฐานสำหรับกระบวนการสร้างอุปกรณ์สารกึ่งตัวนำที่ทำเพื่อลอกออกไซด์ สิ่งสกปรกต่างๆ ตลอดจนการปนเปื้อนของโลหะต่างๆ

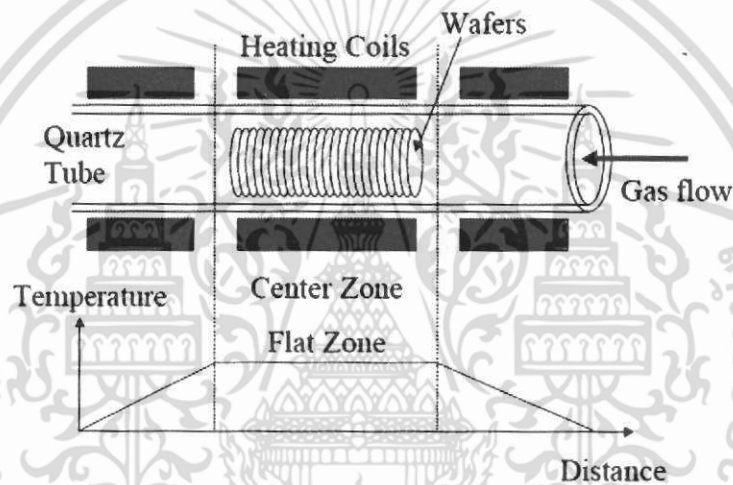
กระบวนการทำความสะอาดแผ่นผลึกซิลิคอนสูตร FULL 01

- | | |
|--|------------------|
| – จุ่มในสารเคมี Piranha ($H_2SO_4 + H_2O_2$) | 10 นาที |
| – ล้างในน้ำ DI (deionized water) | 10 นาที |
| – จุ่มในกรด HF | 3 นาที |
| – ล้างในน้ำ DI (deionized water) | 5 นาที |
| – จุ่มในสารเคมี SC1 ($H_2O_2 + NH_4OH + DI$) | 10 นาที |
| – ล้างในน้ำ DI (deionized water) | 10 นาที |
| – ทำให้แห้งด้วยกรรมวิธี Dryer Maragoni | 6 นาที 25 วินาที |

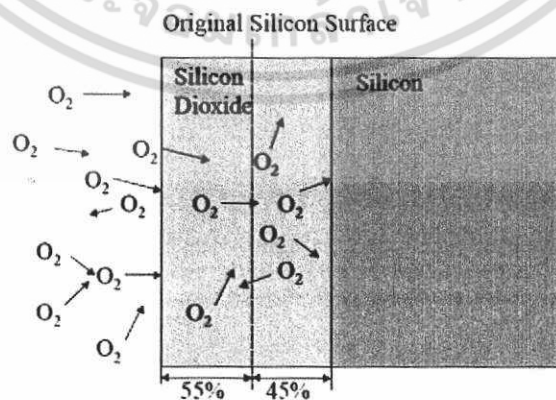
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 กระบวนการออกซิเดชัน (Oxidation process)

กระบวนการออกซิเดชันเป็นกระบวนการสร้างชั้นออกไซด์บนแผ่นผลึกซิลิคอนโดยทำในบรรยากาศออกซิเจนบริสุทธิ์ภายในเตาที่อุณหภูมิสูง (furnace) เกิดเป็นชั้นฟิล์มซิลิคอนไดออกไซด์ (SiO_2) มีหน้าที่เป็นส่วนป้องกันสิ่งสกปรกหรือสิ่งแปลกปลอมเข้ามาทำปฏิกิริยากับเนื้อแผ่นผลึก เป็นพื้นที่สำหรับแยกส่วนภายในไอซี เป็นฉนวน หรือเป็นชั้นปิดส่วนที่ไม่ต้องการการเติมอะตอมสารเจือ กระบวนการนี้สามารถทำได้สองลักษณะคือ ทรายออกซิเดชัน (Dry-oxidation) ที่มีข้อดีที่สร้างชั้นออกไซด์ที่คุณภาพและความบริสุทธิ์สูงแต่สามารถสร้างได้ช้า หากต้องการชั้นออกไซด์ที่หนาอาจใช้เวลานานหรือทำไม่ได้เลย อีกวิธีของการสร้างชั้นออกไซด์คือ เวทออกซิเดชัน (Wet-oxidation) ซึ่งสามารถสร้างชั้นออกไซด์ให้มีความหนาได้เร็ว แต่ข้อเสียคือชั้นออกไซด์ที่ได้จะคุณภาพต่ำกว่า



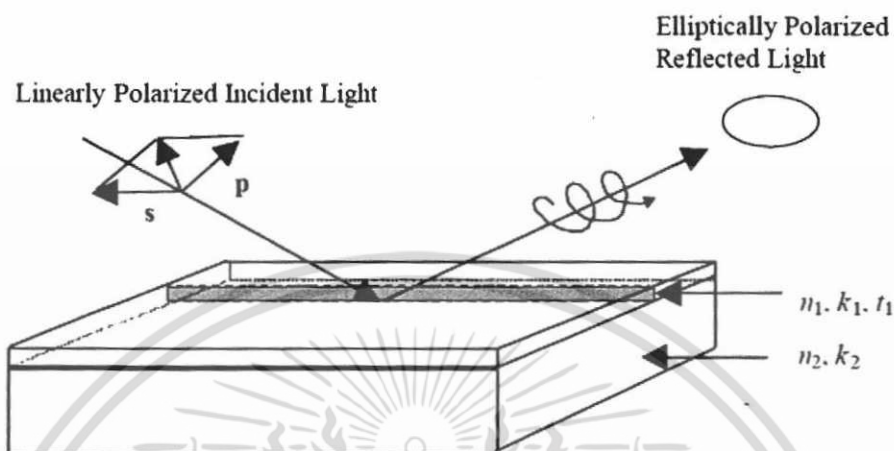
รูปที่ 3.1 เตาทำจากควอตซ์ (Quartz) ทนความร้อนสูง เพื่อใช้ทำออกซิเดชัน มีบริเวณตรงกลางที่จะมีอุณหภูมิสม่ำเสมอ



รูปที่ 3.2 ลักษณะการเกิดออกซิเดชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งชั้นออกไซด์ที่เกิดขึ้นจะกินเนื้อของซิลิคอนประมาณ 45% ของความหนาออกไซด์ทั้งหมด และจะสูงขึ้นไป 55% ที่เหลือ โดยเมื่อเกิดชั้นออกไซด์แล้วอะตอมออกซิเจนจะแทรกกลางทำปฏิกิริยากับเนื้อซิลิคอนได้ยากขึ้นจึงทำให้การเกิดชั้นออกไซด์จะช้าลงเมื่อความหนาชั้นออกไซด์มากขึ้น



รูปที่ 3.3 ลักษณะการวัดความหนาของชั้นออกไซด์ที่ปลูกด้วยเครื่องมือ Ellipsometer ซึ่งใช้คุณสมบัติการหักเหของแสงที่ผ่านตัวกลางสองชนิด ในที่นี้ก็คือชั้นออกไซด์และผิวซิลิคอน

3.1.3 กระบวนการโฟโตลิโทกราฟี (Photolithography process)

กระบวนการโฟโตลิโทกราฟีจะใช้น้ำยาไวแสงหรือ Photoresist ร่วมกับการฉายแสงเพื่อสร้างลวดลายเพื่อที่จะสร้างอุปกรณ์ต่างๆลงบนแผ่นผลึกซิลิคอน ซึ่งความละเอียดของการทำลวดลายนี้เป็นปัจจัยที่จะกำหนดขนาดของอุปกรณ์ และการจัดวางของการซ้อนกันของลวดลายแต่ละชั้นก็ส่งผลกระทบต่อคุณภาพของการสร้างลวดลายด้วย ขั้นตอนสำคัญของกระบวนการนี้จะเริ่มนำแผ่นผลึกซิลิคอนเข้าเครื่อง Coat ที่เป็นเครื่องอัตโนมัติซึ่งจะมีลำดับขั้นตอนดังนี้

- Dehydration bake เพื่ออบไล่ความชื้น
- Priming เตابอบที่มีการไหลของน้ำยา HDMS เพื่อให้ น้ำยาไวแสงยึดติดกับแผ่นผลึกได้ง่ายขึ้น
- Cool down ฐานรองพักให้แผ่นผลึกอุณหภูมิเย็นลง
- Coat Photo-resist ชนิดบวก ที่ความเร็วรอบ...
- Soft bake อบอีกครั้งเพื่อให้ น้ำยาไวแสงยึดติดกับแผ่นแน่นขึ้น
- นำแผ่นผลึกซิลิคอนเข้าเครื่อง Exposure ซึ่งจะเป็นเครื่องสำหรับฉายแสงยูวีผ่านเรติเคิลที่เป็นกระจก Mask เพื่อเปิดช่องสำหรับการยิงอะตอมสารเจือโบรอนและอาร์เซนิก
- นำแผ่นผลึกซิลิคอนเข้าเครื่อง Development สำหรับการลอกฟิล์มของน้ำยาไวแสงส่วนที่ถูกฉายแสงออก ซึ่งลักษณะของเครื่องจะคล้ายกับเครื่อง Coat มีลำดับขั้นตอนดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ฉีดน้ำยา Developer หมุนแผ่นด้วยรอบต่ำเพื่อให้น้ำยากระจายตัวทั่วทั้งแผ่นทิ้งไว้ให้น้ำยาทำปฏิกิริยา
- หมุนแผ่นด้วยรอบสูงพร้อมทั้งฉีดน้ำ DI เพื่อล้างทั้งน้ำยา Developer และน้ำยาไวแสงที่ถูกลอกออก แล้วทำให้แห้ง
- ทำการตรวจสอบลวดลายหลังการ Development ด้วยกล้องจุลทรรศน์

3.1.4 กระบวนการกัด (Etching process) [19]

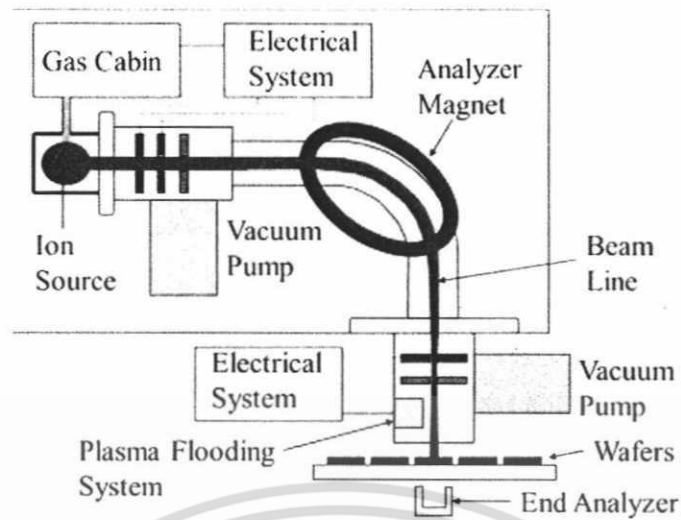
กระบวนการกัดถูกใช้เพื่อเอาส่วนที่ไม่ต้องการออกจากผิวของแผ่นผลึกซิลิคอน โดยใช้วิธีการทั้งด้วยสารเคมีและทางกายภาพ หรืออาจแบ่งออกเป็นสองลักษณะคือการกัดแบบแห้ง (Dry etch) โดยการใช้พลาสมา และกัดแบบเปียก (Wet etch) ที่ใช้สารเคมีที่เป็นลักษณะของเหลว

การกัดแบบเปียก (Wet Etch) เป็นการใช้สารเคมีที่จะทำปฏิกิริยากับพื้นผิวที่ต้องการกัด มีสามขั้นตอนหลักก็คือจุ่มลงไปในสารเคมีที่ใส่กัด นำมาล้างด้วยน้ำเปล่า แล้วทำให้แห้ง นิยมใช้มากในการสร้างลวดลายที่ใหญ่กว่า 3 ไมโครเมตรข้อดีของการกัดแบบนี้คือมีความสามารถในการเลือกพื้นผิวที่กัด (selectivity) ที่ดีมาก เช่นการกัดชั้นออกไซด์จะใช้กรดไฮโดรฟลูออริก (HF) หรือสารผสมของไฮโดรฟลูออริก ซึ่งอัตราการกัดผิวของชั้นซิลิคอนไดออกไซด์จะสูง แต่จะต่ำกว่าผิวของซิลิคอน เป็นต้น นอกจากนี้ยังมีอัตราการกัดที่เร็วและสามารถควบคุมได้ด้วยอุณหภูมิและความเข้มข้นของสารเคมีที่ใส่กัด

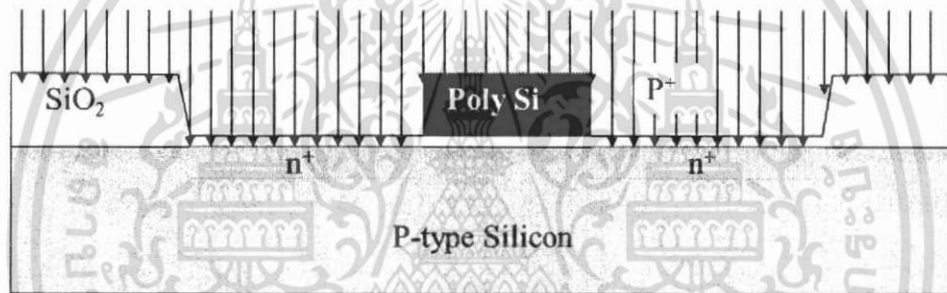
การกัดแบบแห้ง (Dry Etch) หรือ การกัดด้วยพลาสมา (Plasma Etch) เป็นการใช้สารเคมีที่เป็นก๊าซ

3.1.5 กระบวนการยิงอะตอมสารเจือ (Ion-implant process)

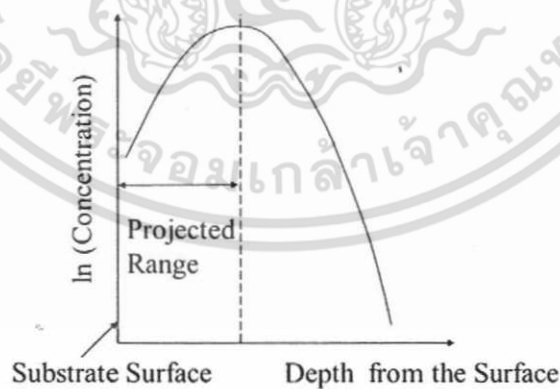
กระบวนการยิงอะตอมสารเจือถูกใช้เพื่อการเติมอะตอมสารเจือที่ประสิทธิภาพที่ดีกว่าการแพร่สารเจือด้วยความร้อน (Thermal diffusion) เนื่องจากสามารถควบคุมปริมาณความเข้มข้นและระดับความลึกรวมทั้งการกระจายตัวของอะตอมสารเจือที่ดีกว่า โดยเครื่องยิงอะตอมสารเจือ (Ion-implanter) จะมีการสร้างอะตอมสารเจือที่ส่วนของ Ion Source ด้วยการแตกตัวเป็นพลาสมาของอะตอมหรือโมเลกุลสารเจือที่มีลักษณะเป็นก๊าซผสม จากนั้นไอออนที่แตกตัวเป็นพลาสมาจะเข้าสู่ส่วนของ Ion Beam ซึ่งจะซึ่งมีความต่างศักย์สูงเร่งให้อนุภาคเคลื่อนที่ด้วยความเร็วสูง จากนั้น Analyzer Magnet จะเป็นตัวคัดเลือกไอออนที่บริสุทธิ์และความเร็วเหมาะสมให้ผ่านไปยังเป้าซึ่งเป็นแผ่นผลึกซิลิคอนที่ต้องการแพร่สารเจือ



รูปที่ 3.4 แผนภาพของเครื่องยิงอะตอมสารเจือ (Ion-Implanter)



รูปที่ 3.5 ลักษณะการยิงอะตอมสารเจือ

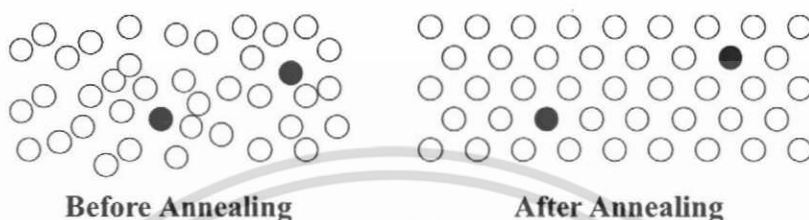


รูปที่ 3.6 กราฟโปรไฟล์ (Concentration profile) แสดงความเข้มข้นของปริมาณอะตอมสารเจือต่อระดับความลึกจากผิวหน้าแผ่นผลึกซิลิคอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่แผ่นผลึกซิลิคอนหากต้องการเลือกพื้นที่ที่ต้องการแพร่สารเจือและพื้นที่ที่ไม่เลือกก็จะมีหน้ากาก (Mask) สำหรับป้องกันการยิงอะตอมสารเจือซึ่งอาจจะเป็นชั้นออกไซด์ที่ปลูกและกัดเปิดช่องไว้

จากนั้นจึงนำแผ่นผลึกซิลิคอนที่ทำการยิงอะตอมสารเจือแล้วไปทำการอบ (Anneal) เพื่อให้อะตอมที่ยิงเข้าไปในแผ่นผลึกซิลิคอนมีการทำปฏิกิริยากับอะตอมซิลิคอนและช่วยลดความเสียหายของโครงผลึกซิลิคอนที่ถูกยิงอะตอม



รูปที่ 3.7 การเข้าไปแทรกตัวของอะตอมสารเจือก่อนและหลังการอบด้วยความร้อน

3.1.6 กระบวนการสร้างชั้นโลหะ (Metallization process)

กระบวนการสร้างชั้นโลหะจะสร้างชั้นโลหะบางๆบนผิวของแผ่นผลึกซิลิคอนเพื่อใช้ต่อเชื่อมวงจรภายในไอซี หรือต่อเชื่อมออกไปภายนอก หรืออาจใช้สำหรับสร้างรอยต่อช็อตตี้ (Schottky junctions) ในการสร้างอุปกรณ์ประเภทช็อตตี้ไดโอด (Schottky diodes) ความต้องการของวัสดุที่จะนำมาสร้างชั้นโลหะนี้ต้องมีค่าความนำที่สูง สามารถยึดติดกับซิลิคอนได้ดี สามารถสร้างได้ไว ทำลายที่มีความละเอียดสูงได้ และทนต่อการกัดกร่อนหรือการบิดงอได้พอสมควร ซึ่งแต่เดิมมักใช้อลูมิเนียม (Aluminum) แต่ด้วยเทคโนโลยีปัจจุบันที่ต้องการทำลายโลหะที่ละเอียดมากขึ้นจึงหันมาใช้ทองแดง (Copper) แทน

ระบบที่ใช้ในการสร้างชั้นโลหะลงบนแผ่นผลึกซิลิคอนอาจใช้เทคโนโลยีดั้งเดิมหรือ evaporation สามารถใช้ได้ดีกับโลหะเช่นอลูมิเนียม ส่วนเทคโนโลยีใหม่ที่เข้ามาแทนที่ได้แก่ Physical Vapor Deposition (PVD) ซึ่งเป็นการใช้พลาสมาทำให้โลหะแตกตัวเป็นไอออนและตกลงไปสร้างชั้นบางๆบนแผ่นผลึกซิลิคอน และอีกวิธีหนึ่งคือ Chemical Vapor Deposition (CVD) ซึ่งถูกใช้กันมากสำหรับทังสแตน (Tungsten)

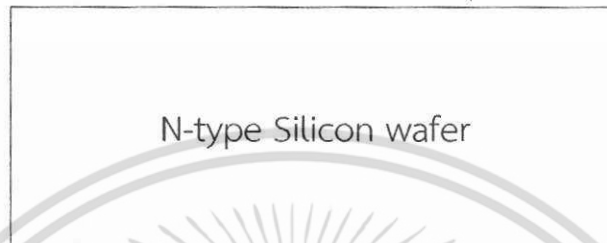
3.2 ขั้นตอนการสร้างซีเนอร์ไดโอด

ในวิทยานิพนธ์นี้มีการทดลองเกี่ยวกับการปรับกระบวนการสร้างและตัวแปรบางส่วน แต่จากกระบวนการสร้างซีเนอร์ไดโอดทั้งหมดได้รับการสนับสนุนจากศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (TMEC) ให้สามารถทำการสร้างภายในห้องสะอาดของ TMEC ดังนั้นขั้นตอนการสร้างจึงอ้างอิงกับกระบวนการสร้างอุปกรณ์สารกึ่งตัวนำของ TMEC และเนื่องจากมีการทดลองบางส่วนที่เกี่ยวข้องกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเลือกชนิดแผ่นผลึกซิลิคอนที่ใช้เป็นฐานรอง ดังนั้นจึงแบ่งขั้นตอนการสร้างออกเป็นสองส่วนคือ
ขั้นตอนการสร้างซีเนอไรไดโอดที่มีฐานรองเป็นแผ่นผลึกซิลิคอนชนิดพี และชนิดเอ็น

ส่วนนี้จะนำเสนอขั้นตอนการสร้างโดยเริ่มต้นจากแผ่นผลึกซิลิคอนชนิดเอ็น
เตรียมแผ่นผลึกซิลิคอนด้วยการทำความสะอาดแผ่นด้วยวิธีการ FULL 01 แผ่นผลึกซิลิคอนชนิดเอ็น
ระนาบ (111) สภาพต้านทานแผ่น $0.1 \Omega \cdot \text{cm}$ ความหนา $625 \mu\text{m}$



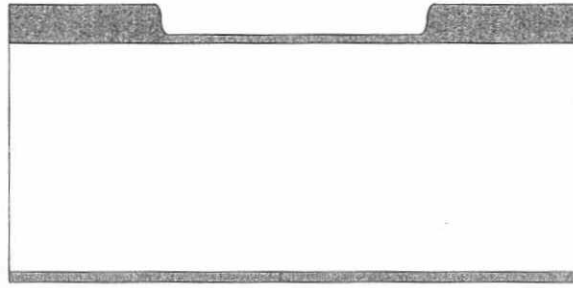
จากนั้นทำ Oxidation เพื่อสร้างชั้นป้องกันหนา 9000 อังสตรอม



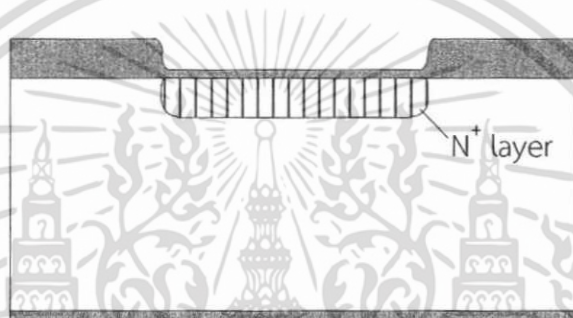
ทำโฟโตลิโทกราฟี มาส์กที่1 เปิดช่องกัดออกไซด์สำหรับการยิงอะตอมสารเจือ เพื่อสร้างรอยต่อพี
เอ็นและกัดออกไซด์ด้านหลังออก



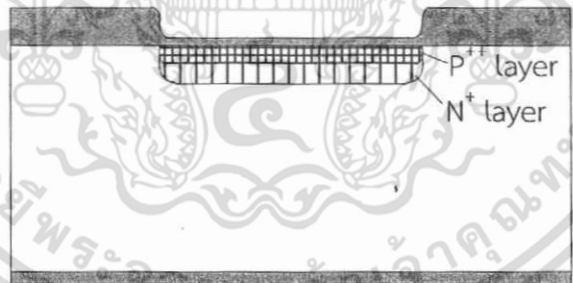
สร้างชั้นออกไซด์บางๆ เป็นชั้น screen oxide สำหรับการยิงอะตอมสารเจือ



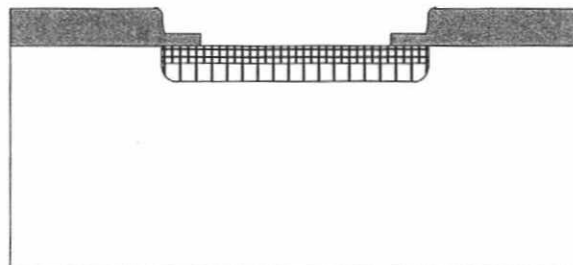
ยิงอะตอมสารเจือฟอสฟอรัสเข้มข้นเพื่อสร้างชั้นเอ็นเข้มข้นตามการทดลอง



ยิงอะตอมสารเจือโบรอนเข้มข้นเพื่อสร้างชั้นพีเข้มข้นตามการทดลอง

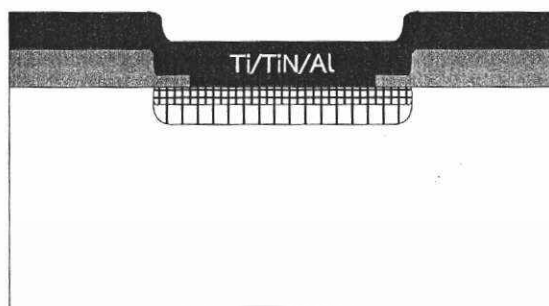


ทำโฟโตลิโทกราฟี มาส์กที่1 เปิดช่องกัดออกไซด์สำหรับการทำขั้วสัมผัส



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำกระบวนการโลหะด้วยเทคนิคการ Sputter โดยชั้นล่างเป็น Ti แล้วตามด้วยชั้น Ti/N และชั้นบนสุดเป็น Al



ทำโฟโตลิโทกราฟี มาส์กที่ 3 กัดโลหะส่วนที่ไม่ต้องการออก เหลือเฉพาะส่วนที่เป็นขั้วต่อออกไป วงจรภายนอก

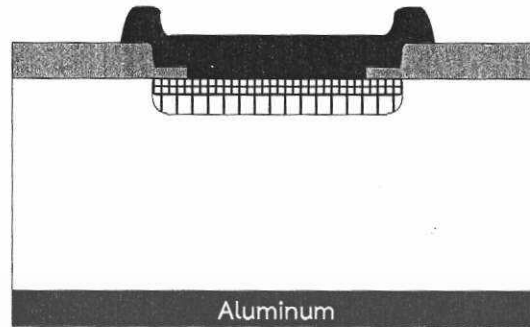


ทำการยิงอะตอมสารเจือชนิดเอ็นเข้มชั้นที่ด้านหลังแผ่นเพื่อทำรอยสัมผัสกับโลหะอลูมิเนียม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำกระบวนการโลหะที่ด้านหลัง และนำเข้าอบที่อุณหภูมิสูง 420 องศาเซลเซียสเพื่อ Sintering



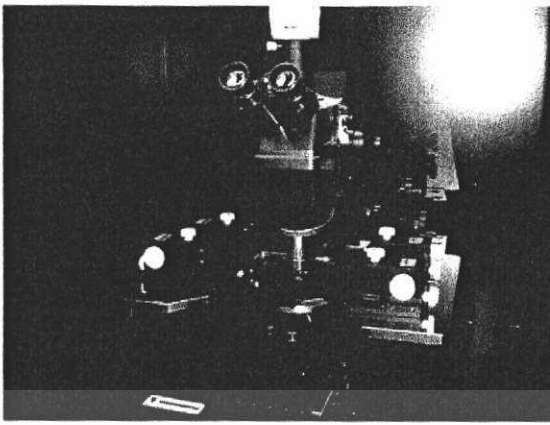
สำหรับในส่วนของการสร้างซีเนอร์ไดโอดที่ใช้แผ่นผลึกซิลิคอนชนิดพีเป็นฐานรอง จะมีลำดับขั้นตอนการสร้างเหมือนกับแผ่นผลึกซิลิคอนชนิดเอ็นทุกขั้นตอนเพียงแต่จะมีการสลับลำดับการเจือสารและสูตรการยิงอะตอมสารเจือในการสร้างรอยต่อพีเอ็น โดยจะเป็นยิงอะตอมสารเจือที่เป็นพีเข้มข้นให้ลงลึกไปก่อนแล้วจึงยิงอะตอมสารเจือเอ็นเข้มข้นตามลงไปที้นั้นขึ้นมาตามลำดับ ส่วนการยิงอะตอมสารเจือที่ด้านหลังแผ่นก็จะถูกตัดออกไปเนื่องจากรอยต่อระหว่างสารชนิดพีกับ Al เป็นลักษณะโอห์มิกที่ดีอยู่แล้ว

3.3 การวัดผลคุณสมบัติทางไฟฟ้า

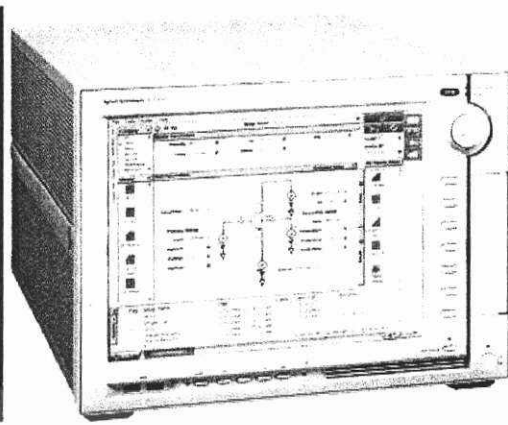
การศึกษานี้มีการวัดผลคุณสมบัติทางไฟฟ้าอยู่ 3 ลักษณะคือการวัดความสัมพันธ์ระหว่างกระแสกับแรงดันไปข้างหน้า (Forward biased I-V characteristics) ความสัมพันธ์ระหว่างกระแสกับแรงดันย้อนกลับ (Reverse biased I-V characteristics) และคุณลักษณะค่าความจุไฟฟ้าต่อแรงดันย้อนกลับ (Reverse biased C-V characteristics) ซึ่งการวัดคุณลักษณะทั้งสามนี้จะวัดโดยใช้เครื่องมือวัดที่ใช้เป็นมาตรฐานของศูนย์วิจัย TMEC ซึ่งประกอบไปด้วย

- Cascade Microtech Model M150 probe station สำหรับเป็นหัววัด (probe) ซึ่งจะมีเข็มไปสัมผัสบริเวณข้อลูมิเนียมที่สร้างไว้ด้านหน้าของแผ่นผลึกซิลิคอน และฐานรองเป็นอีกข้อที่สัมผัสกับข้อลูมิเนียมด้านหลังของแผ่น ซึ่งจะมีกล้องจุลทรรศน์สำหรับส่องบริเวณสัมผัสของเข็ม นอกจากนี้ที่ฐานรองสามารถควบคุมอุณหภูมิได้ด้วยตัวให้ความร้อน (heater) สำหรับการทดลองที่มีอุณหภูมิเข้ามาเป็นพารามิเตอร์สำคัญ
- Agilent B1500A Semiconductor Device Analyzer เครื่องมือนี้จะคอยควบคุมการจ่ายและการวัดผลตามที่ตั้งโปรแกรมไว้ ซึ่งสามารถวัดได้ทั้งกระแส แรงดัน หรือค่าความจุไฟฟ้า โดยจะต่อเครื่องมือนี้เข้ากับ probe station ไปวัดคุณสมบัติทางไฟฟ้าที่แผ่นผลึกซิลิคอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก



ข

รูปที่ 3.8 (ก) Cascade Microtech Model M150 probe station และ (ข) Agilent B1500A Semiconductor Device Analyzer

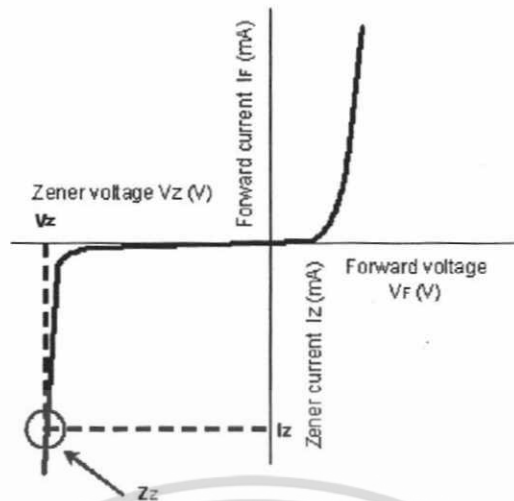
3.3.1 การวัดความสัมพันธ์ระหว่างกระแสกับแรงดันไบอัสไปข้างหน้า

เป็นการวัดคุณลักษณะทั่วไปของรอยต่อพีเอ็น ซึ่งการวัดในลักษณะนี้จะทำให้ได้คุณสมบัติที่สำคัญของของไดโอดออกมา ได้แก่ ความต้านทานอนุกรม (R_S), กระแสอิ่มตัว (I_{sat}), แรงดันตกคร่อมไบอัสไปข้างหน้า (V_F)

3.3.2 การวัดความสัมพันธ์ระหว่างกระแสกับแรงดันไบอัสย้อนกลับ

การวัดผลโดยไบอัสย้อนกลับที่รอยต่อตั้งแต่แรงดันค่าต่ำๆ จนกระทั่งรอยต่อเกิดการพังทลายสังเกตได้จากกระแสที่ไหลเพิ่มขึ้นอย่างมาก วัดค่า “กระแสอิ่มตัวย้อนกลับ” หรือ กระแสรั่วไหล (leakage current, I_{leak}) แรงดันซีเนอร์ (V_Z) และซีเนอร์อิมพีแดนซ์ (Zener impedance, Z_{ZT}) โดยที่การวัดแรงดันซีเนอร์และซีเนอร์อิมพีแดนซ์นี้ไม่สามารถระบุแน่ชัดได้ว่าตรงไหนของกราฟความสัมพันธ์ของกระแสแรงดันย้อนกลับ แต่จะกำหนดจากแรงดันหรืออิมพีแดนซ์ที่วัดได้ ณ กระแสทดสอบ (Zener Testing current, I_{ZT}) หนึ่ง โดยในงานวิจัยทั้งหมดจะกำหนดกระแสทดสอบไว้ที่ 90 mA โดยพิจารณาเลือกจากช่วงที่กระแสไหลเพิ่มอย่างเห็นได้ชัดและขีดจำกัดความสามารถของเครื่องมือวัดเป็นหลัก โดยค่ากระแสสูงสุดที่เครื่องวัดสามารถวิเคราะห์ได้อยู่ที่ 100mA ดังนั้นจึงเลือกที่กระแสทดสอบ 90mA

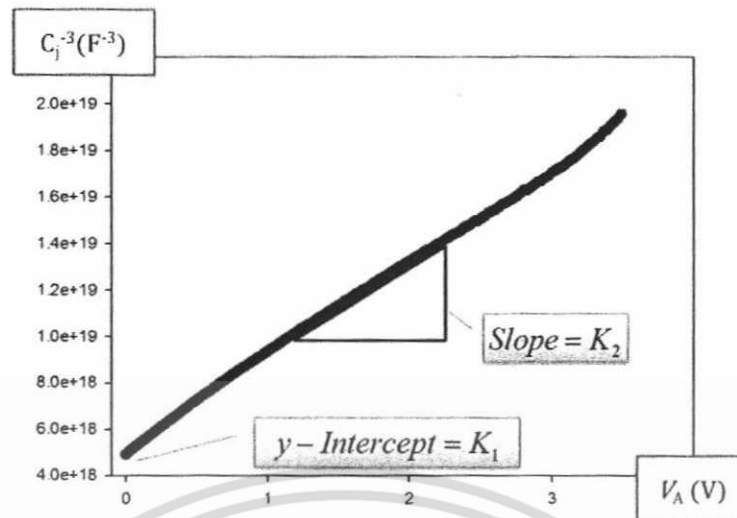
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 การวัดค่าแรงดันซีเนอร์และซีเนอร์อิมพีแดนซ์จากกราฟความสัมพันธ์กระแสต่อแรงดันไบอัสย้อนกลับ

3.3.3 การวัดคุณลักษณะค่าความจุไฟฟ้าต่อแรงดันย้อนกลับ

การวัดค่าความจุไฟฟ้าของรอยต่อ จะทำในย่านของการให้ไบอัสย้อนกลับ เป็นวิธีการหนึ่งในการหาตัวแปรทางกายภาพ เช่น การตรวจสอบค่าความเข้มข้นอะตอมสารเจือ (N_D , N_A) ค่าคงตัวความลาดชัน (d) หรือค่าแรงดันภายใน (V_{bi}) ด้วยวิธีทางอ้อมและเพื่อความสะดวกในการวัดในลักษณะนี้ ผู้วิจัยได้ใช้เครื่องมือวัด Agilent B1500A Semiconductor Device Analyzer เป็นเครื่องมืออำนวยความสะดวกในการวัดค่าความจุไฟฟ้าของอุปกรณ์ (C_j) โดยเครื่องมือนี้จะวัดการตอบสนองต่อความถี่ของอุปกรณ์ที่แรงดันและกระแสค่าต่างๆ แล้วคำนวณกลับออกมาเป็นค่าความจุไฟฟ้าต่อแรงดันไบอัสย้อนกลับค่าต่างๆ โดยการคำนวณค่าตัวแปรทางกายภาพจะคำนวณที่แรงดันค่าต่ำๆ และควรเลือกย่านที่นำมาใช้คำนวณห่างจากย่านการพังทลาย เพราะมีการรบกวนจากปัจจัยอื่นๆ ที่เกิดขึ้นระหว่างเกิดการพังทลาย ส่วนย่านหลังการพังทลาย จะพบว่ารอยต่อกระแสไหลได้สูงมากจึงไม่อาจพิจารณา ค่าความจุไฟฟ้าได้ ซึ่งในงานวิจัยนี้สร้างซีเนอร์ไดโอดที่แรงดันในช่วง 5 V ดังนั้นจึงเลือกช่วงแรงดันไบอัสย้อนกลับที่ 2 V



รูปที่ 3.10 การพล็อตกราฟความสัมพันธ์ค่าความจุไฟฟ้าต่อแรงดันไบอัสย้อนกลับ โดยที่แกนตั้งเป็นแกนของ C_j^{-3}

จากรูปที่ 3.10 ค่า K_1 และ K_2 จะถูกใช้แทนใน สมการที่ (2.20) หาค่า V_{bi} และ a ต่อไป

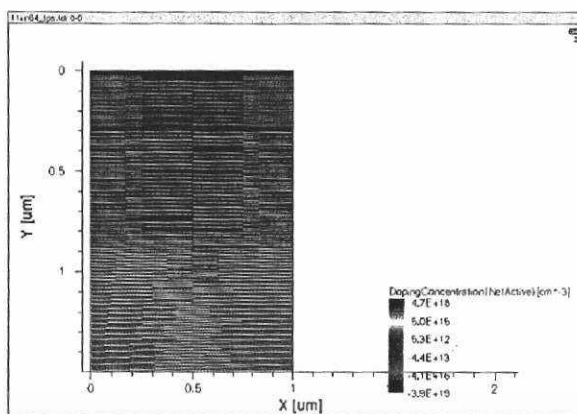
3.4 การใช้งานโปรแกรมจำลอง Sentaurus TCAD เบื้องต้น [20]

Technology CAD หรือ TCAD ได้ถูกใช้เป็นตัวช่วยหนึ่งในการพัฒนาอุปกรณ์สารกึ่งตัวนำ จำลองการแก๊สสมการพื้นฐาน และทางกายภาพ เช่น สมการการแพร่ (Diffusion equation) สมการการเคลื่อนที่ของพาหะ (Transportation equation) เป็นต้น และที่มีประโยชน์กับกระบวนการสร้างมากคือความสามารถจำลองการสร้างอุปกรณ์สารกึ่งตัวนำบนแผ่นผลึกซิลิคอนได้ ช่วยลดต้นทุนและเพิ่มความแม่นยำในการทดลองสร้างอุปกรณ์สารกึ่งตัวนำได้

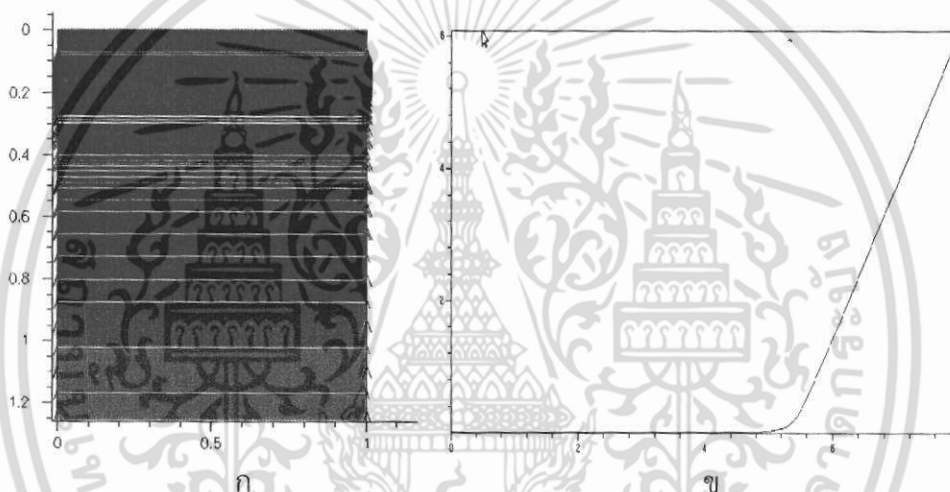
3.4.1 องค์ประกอบหลัก

องค์ประกอบหลักของ TCAD ประกอบด้วย 2 ส่วนได้แก่การจำลองกระบวนการ (Process simulation) ที่เป็นการจำลองกระบวนการสร้างอุปกรณ์สารกึ่งตัวนำ เช่น การกัด กระบวนการออกซิเดชัน เป็นต้น โดยใช้สมการพื้นฐานทางฟิสิกส์และการใช้การคำนวณแบบโครงสร้าง Finite element ในการจำลองดังรูปที่ 3.11 และการจำลองอุปกรณ์ (Device simulation) ที่นำโครงสร้างที่จำลองการสร้างมาจากการจำลองกระบวนการมาทำให้เสมือนเป็นอุปกรณ์จริงและจำลองการใช้งานวัดผลทางไฟฟ้าต่างๆ โดยใช้การคำนวณแบบโครงสร้าง Meshed finite-element และกำหนด Node อุปกรณ์สำหรับการวัดผลทางไฟฟ้าและคำนวณกลับมาเป็นค่าทางกายภาพต่างๆ เช่น ความเข้มข้นพาหะ ความหนากระแส สนามไฟฟ้า เป็นต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 ภาพขยายส่วน รอยต่อพีเอ็น ด้วยโครงข่ายของ Finite-element

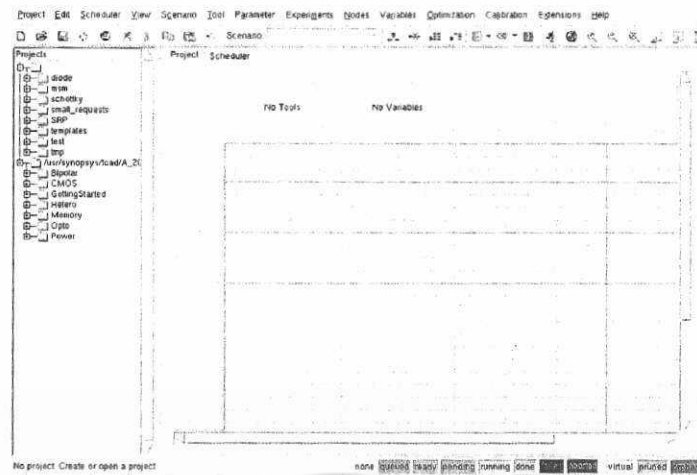


รูปที่ 3.12 (ก) แสดงเส้นที่แทนการไหลของกระแสของรอยต่อพีเอ็น ขนาด $0.13 \mu\text{m}$ $V_{gs}=1.5 \text{ V}$, $V_{ds}=3.0 \text{ V}$ (ข) ความสัมพันธ์ระหว่างกระแสกับแรงดันที่ได้จากการจำลองอุปกรณ์ใน 3.11 ก

3.4.2 ส่วนประกอบโปรแกรม

- Sentaurus Workbench หรือ SWB เป็น Graphic user interface ที่ทำหน้าที่เป็นศูนย์รวมของ โปรแกรมต่างๆ ของ TCAD การสั่งงาน Tool ต่างๆ และการกำหนด Tool flow ก็จะทำผ่าน โปรแกรมส่วนนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 หน้าต่างโปรแกรม Sentaurus TCAD ส่วนของ Workbench

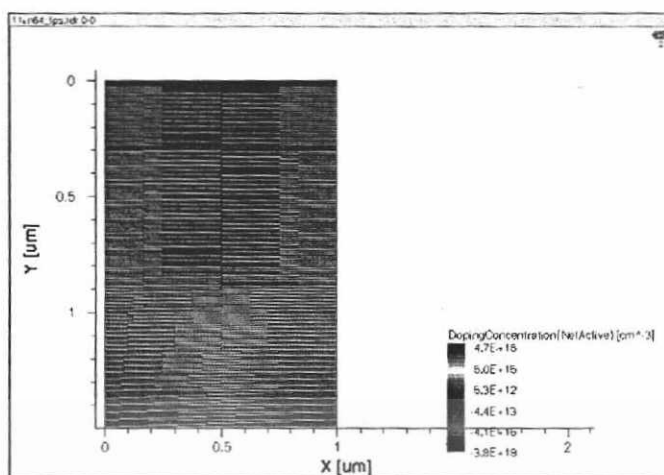
- Sentaurus Process หรือ sprocess (Process simulator) เป็นหนึ่งในโปรแกรมของ TCAD ที่จำลองกระบวนการผลิต



รูปที่ 3.14 โครงสร้าง 2 มิติของอุปกรณ์ที่ได้จากการจำลองการสร้างโดย sprocess

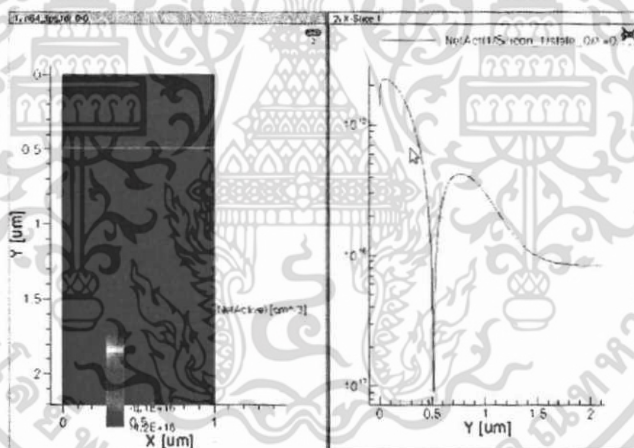
- Sentaurus Structure Editor หรือ SDE เป็นโปรแกรมสร้างโครงสร้างของอุปกรณ์โดยการเลียนแบบโครงสร้างจริงด้วยรูปทรงเรขาคณิต และยังทำหน้าที่เป็นตัวกลางเรียกโปรแกรมสำหรับสร้าง Mesh เพื่อใช้ในการจำลองคุณสมบัติทางไฟฟ้าต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 การกำหนดกริดและสร้าง Mesh เพื่อการจำลองอุปกรณ์ต่อไป

- Sentaurus Device or sdevice (Device simulator) เป็นหนึ่งในโปรแกรมที่จำลองคุณสมบัติทางไฟฟ้า



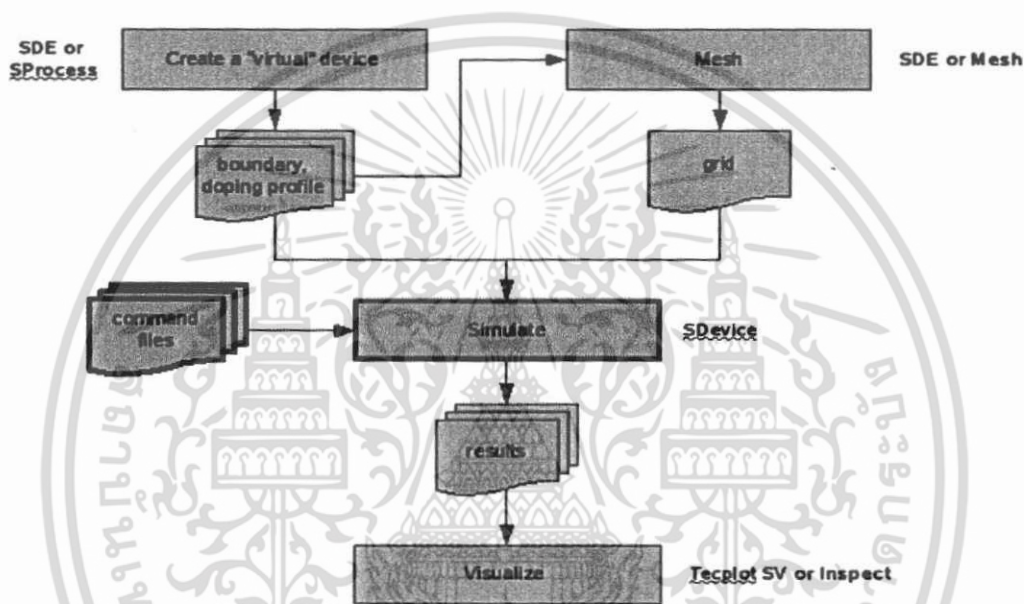
รูปที่ 3.16 การใช้ Tecplot SV ให้แสดงผล

- Tecplot SV (2D and 3D visualization tool) เป็นโปรแกรมที่แสดงโครงสร้างของอุปกรณ์ทั้งแบบสองและสามมิติ
- Inspect (Plotting and analysis tool for XY data) เป็นโปรแกรมที่แสดงและวิเคราะห์ผลการจำลองในรูปแบบของกราฟ XY เช่น IV-curve และ CV-curve

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.3 ขั้นตอนการจำลอง (Tool flow)

กระบวนการจำลองทั่วไปจะเริ่มจาก การสร้างโครงสร้างของอุปกรณ์ซึ่งอาจจะมาจากการจำลองด้วย sprocess หรือ SDE ก็ได้ ตามด้วยการสร้าง Mesh ด้วย SDE หลังจากนั้นจึงนำโครงสร้างของอุปกรณ์และ Mesh ที่ได้ไปจำลองหาคุณสมบัติทางไฟฟ้าต่อไป ผลลัพธ์ที่ได้สามารถแสดงได้โดย Techplot SV และ Inspect ซึ่งโปรแกรมส่วนใหญ่จะถูกสั่งงานจาก command file (นามสกุล .cmd) ซึ่งเป็น Tex file ผกติสามารถสร้างและแก้ไขได้ด้วย Text editor ทั่วไป แต่ชุดคำสั่งที่ใช้จะต่างออกไปในแต่ละโปรแกรม



รูปที่ 3.17 ขั้นตอนการจำลองของชุดโปรแกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

จากความมุ่งหมายของวิทยานิพนธ์นี้ที่ต้องการสร้างซีเนอร์ไดโอดที่มีแรงดันซีเนอร์ 5 V และสามารถควบคุมคุณลักษณะทางไฟฟ้าตลอดจนเสถียรภาพในการใช้งาน ดังนั้นงานวิจัยนี้จึงได้ทำการทดลองสร้างซีเนอร์ไดโอดและวัดผลตามเงื่อนไขต่างๆ โดยเริ่มจากการหาค่าความเข้มข้นที่สามารถทำให้แรงดันซีเนอร์อยู่ที่ 5 V ด้วยการจำลองบนโปรแกรม TCAD จากนั้นจึงทำการสร้างซีเนอร์ไดโอดจริงและวัดผลที่ห้องปฏิบัติการของ TMEC เพื่อทดสอบความเป็นรอยต่อพีเอ็นหรือไดโอด การรักษาระดับแรงดันซีเนอร์ แล้วจึงวิเคราะห์ต่อที่พารามิเตอร์ที่มีส่วนเกี่ยวข้องได้แก่ ค่าคงตัวความลาดชัน ค่าซีเนอร์อิมพีแดนซ์ ค่ากระแสอิ่มตัวและค่าสัมประสิทธิ์ทางอุณหภูมิของแรงดันซีเนอร์ การทดลองในส่วนท้ายจะเป็นการปรับปรุงคุณสมบัติของซีเนอร์ไดโอดที่สร้างขึ้นด้วยการทดลองเปรียบเทียบชนิดของแผ่นผลึกซิลิคอนที่นำมาเป็นฐานรองในการสร้างซีเนอร์ไดโอด เงื่อนไขในการยิงอะตอมสารเจือและการขัดด้านหลังแผ่นเพื่อลดค่าความต้านทานอนุกรม

4.1 ผลของความเข้มข้นอะตอมสารเจือต่อซีเนอร์ไดโอด

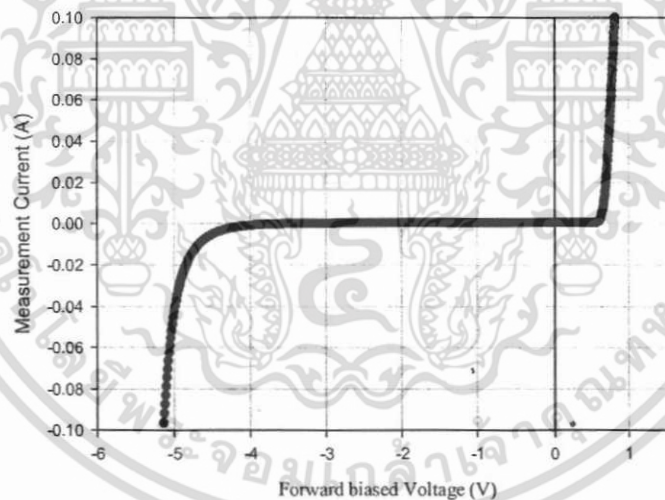
การทดลองแรกนี้เป็นการทดลองเพื่อหาค่าความเข้มข้นที่เหมาะสมสำหรับการสร้างซีเนอร์ไดโอด ที่ซีเนอร์ไดโอดจะให้คุณสมบัติที่ดีเหมาะสมต่อการใช้งาน โดยต้องค่าแรงดันซีเนอร์อยู่ในช่วงประมาณ 5 V สร้างซีเนอร์ไดโอดจากแผ่นผลึกซิลิคอนชนิดเอ็น มีพื้นที่ประสิทธิผล $1.11 \times 10^{-2} \text{ cm}^2$ สารเจือฝังพีเป็นชั้นที่ต่อกับขั้วสัมผัสวงจรรายนอกเป็นอะตอมโบรอนความเข้มข้น $3.3 \times 10^{20} \text{ cm}^{-3}$ สารเจือฝังเอ็นหรือชั้นกำหนดแรงดันซีเนอร์เป็นอะตอมฟอสฟอรัส ส่วนความเข้มข้นเป็นเงื่อนไขของการทดลองนี้ซึ่งมี 5 เงื่อนไขคือ 3.2×10^{18} , 5.12×10^{18} , 7.68×10^{18} , 1.15×10^{19} , $1.92 \times 10^{19} \text{ cm}^{-3}$ จากนั้นจึงทำกระบวนการโลหะเพื่อทำขั้วแคโทดและแอโนด แล้วจึงวัดผลความสัมพันธ์ระหว่างกระแสกับแรงดันไบอัสย้อนกลับ อุณหภูมิในช่วง 27-147 °C ซึ่งในการทดลองนี้ได้พิจารณาผลกระทบเนื่องจากการเลือกกระแสทดสอบที่ใช้ด้วย

ตารางที่ 4.1 พารามิเตอร์ที่ควบคุมในการทดลองที่ 4.1

Diode	Substrate	Resistivity	Effective area	Boron Concentration	Phosphorus Concentration
D01	N-type Si	0.1 Ω -cm	0.72x10 ⁻² cm ²	3.3x10 ²⁰ cm ³	3.2x10 ¹⁸ cm ³
D02					5.12x10 ¹⁸ cm ³
D03					7.68x10 ¹⁸ cm ³
D04					1.15x10 ¹⁹ cm ³
D05					1.92x10 ¹⁹ cm ³

4.1.1 ความสัมพันธ์ระหว่างกระแสกับแรงดัน

การทดลองนี้ในส่วนแรกจะทำการวัดความสัมพันธ์ระหว่างกระแสกับแรงดันไบอัสไปข้างหน้า เพื่อตรวจสอบว่าซีเนอร์ไดโอดที่สร้างขึ้นนี้มีคุณสมบัติความเป็นรอยต่อพีเอ็น มีคุณสมบัติในการนำกระแสไฟฟ้าด้านเดียว



รูปที่ 4.1 ความสัมพันธ์กระแสกับแรงดันของซีเนอร์ไดโอดที่ความเข้มข้น N⁺ เป็น 3.2x10¹⁸ cm⁻³

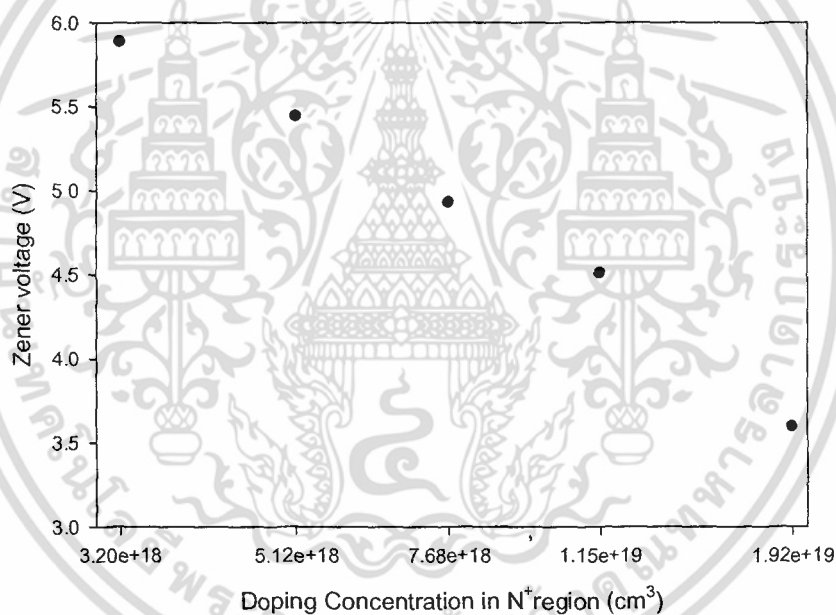
ซีเนอร์ไดโอดที่สร้างขึ้นถูกนำมาทดสอบคุณสมบัติทางไฟฟ้า คุณสมบัติแรกคือความเป็นรอยต่อพีเอ็น พบว่าที่แรงดันค่าต่ำกว่า 0.5 V ไดโอดทั้งหมดมีการนำกระแสที่ต่ำมาก และจะเริ่มนำกระแสมากขึ้นที่แรงดันไบอัสไปข้างหน้ามากกว่า 0.6 V นั้นแสดงว่าซีเนอร์ไดโอดที่สร้างขึ้นมีคุณสมบัติของรอยต่อพีเอ็น ส่วนการไบอัสย้อนกลับก็พบว่าที่การไบอัสย้อนกลับด้วยแรงดันที่ต่ำกว่า 4 V ไดโอดมีการนำกระแสที่ต่ำมาก และจะเริ่มนำกระแสอย่างมากเมื่อแรงดันไบอัสย้อนกลับมีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มากกว่า 4 V ขึ้นไป [17] จึงสรุปได้ว่ารอยต่อพีเอ็นสามารถนำกระแสได้ด้านเดียว มีคุณสมบัติของกระแสรั่วไหลย้อนกลับที่ดี และการพังทลายอยู่ในช่วงที่เกิดการพังทลายจากทั้งอวาลันซ์และการทะลุอุโมงค์ร่วมกันอยู่ที่แรงดันในช่วง 5 V [15] สามารถนำไปวิเคราะห์ลำดับต่อไปได้

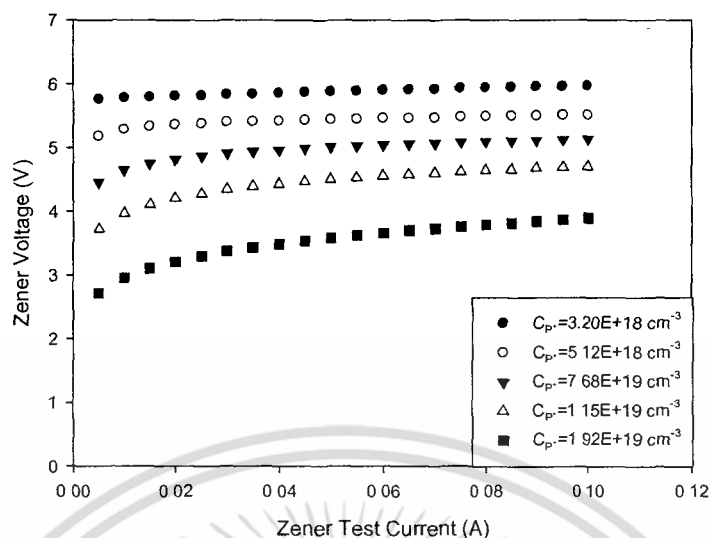
4.1.2 ผลของความเข้มข้นอะตอมสารเจือต่อค่าแรงดันซีเนอร์

เนื่องจากสนามไฟฟ้าที่ตกคร่อมรอยต่อมีค่าแปรผันตามความเข้มข้นของอะตอมสารเจือที่รอยต่อ ดังนั้นเมื่อค่าความเข้มข้นอะตอมสารเจือโบรอนเพิ่มขึ้นความเข้มข้นสนามไฟฟ้าที่รอยต่อมีค่าสูงขึ้น รอยต่อจึงเกิดการพังทลายที่แรงดันไบอัสย้อนกลับที่ลดลง แรงดันซีเนอร์จึงลดลงเมื่อค่าความเข้มข้นอะตอมสารเจือโบรอนเพิ่มขึ้น เป็นไปตามทฤษฎีการพังทลายของรอยต่อพีเอ็น ซึ่งจากการทดลองนี้ทำให้สามารถคาดการณ์แรงดันซีเนอร์ของซีเนอร์ไดโอดที่สร้างขึ้นในศูนย์วิจัย TMEC ได้



รูปที่ 4.2 ความสัมพันธ์ระหว่างค่าแรงดันซีเนอร์กับค่าความเข้มข้นของบริเวณเอ็น

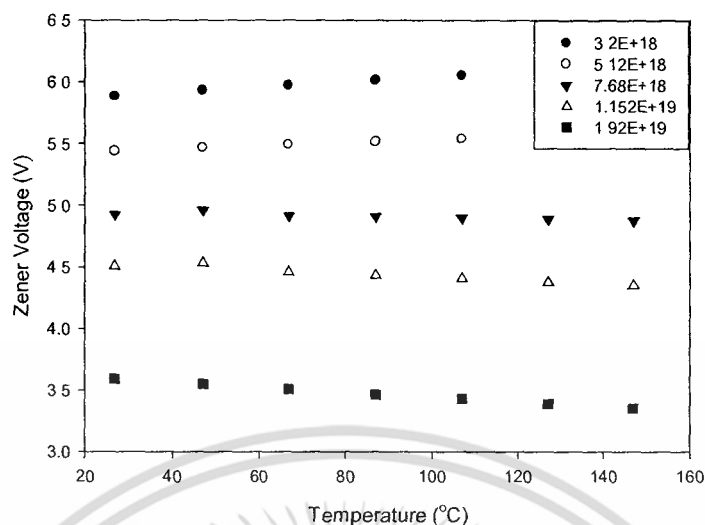
จากรูปที่ 4.2 จะเห็นว่าที่แรงดันพังทลายที่สูงขึ้นหรือผลของอวาลันซ์เด่นมากกว่าการทะลุอุโมงค์ผลกระทบของกระแสทดสอบต่อแรงดันซีเนอร์จะลดลง ดังจะเห็นได้จากเส้นกราฟของแรงดันซีเนอร์ต่อกระแสทดสอบของซีเนอร์ไดโอดที่แรงดันซีเนอร์ค่าสูงที่สุดในการทดลองมีการเปลี่ยนแปลงต่ำมากจนเกือบจะไม่มีเปลี่ยนแปลงเลย ดังนั้นการเลือกกระแสทดสอบหรือระดับกระแสสำหรับการงานซีเนอร์ไดโอดให้ได้เสถียรภาพที่ดีจึงต้องคำนึงในจุดนี้ด้วย



รูปที่ 4.3 ความสัมพันธ์ระหว่างกระแสทดสอบกับค่าแรงดันซีเนอร์ที่ค่าความเข้มข้นของโบรอน บริเวณพีต่างๆ

4.1.3 การแปรผันต่ออุณหภูมิของซีเนอร์ไดโอด

การใช้งานซีเนอร์ไดโอดจำเป็นต้องคำนึงถึงอุณหภูมิที่ใช้งานด้วย เนื่องจากรักษาระดับแรงดันที่ต้องการการกระเพิ่มของระดับแรงดันที่ต่ำที่สุด แต่การใช้งานที่สภาพความร้อนที่ต่างกันก็อาจส่งผลต่อเสถียรภาพของการรักษาระดับแรงดันได้ โดยจากกราฟรูปที่ 4.4 พบว่าซีเนอร์ไดโอดที่ค่าความเข้มข้นของโบรอนบริเวณพีเป็น $7.68 \times 10^{18} \text{ cm}^{-3}$ หรือค่าแรงดันซีเนอร์ประมาณ 4.9 V จะมีการแปรผันต่ออุณหภูมิของแรงดันซีเนอร์ต่ำที่สุดสามารถคำนวณหาการแปรผันต่ออุณหภูมิหรือ “ค่าสัมประสิทธิ์การแปรผันต่ออุณหภูมิของแรงดันซีเนอร์” (Temperature Coefficient of Zener Voltage, TCV_Z) ได้จากความชันของกราฟ สำหรับที่แรงดันซีเนอร์ค่าประมาณ 4.9 V มีค่า TCV_Z เป็น $-0.22 \text{ mV}/^\circ\text{C}$ เครื่องหมายลบแสดงถึงการลดลงของแรงดันซีเนอร์เมื่ออุณหภูมิเพิ่มขึ้น เนื่องจากผลเด่นของการพังทลายเป็นสาเหตุมาจากปรากฏการณ์ทะเลอูโมงค์ พาหะจะมีพลังงานเพิ่มขึ้นจากอุณหภูมิที่สูงขึ้น จึงเกิดการทะเลอูโมงค์ได้ง่ายขึ้น แรงดันซีเนอร์จึงลดลง [19 - 20]



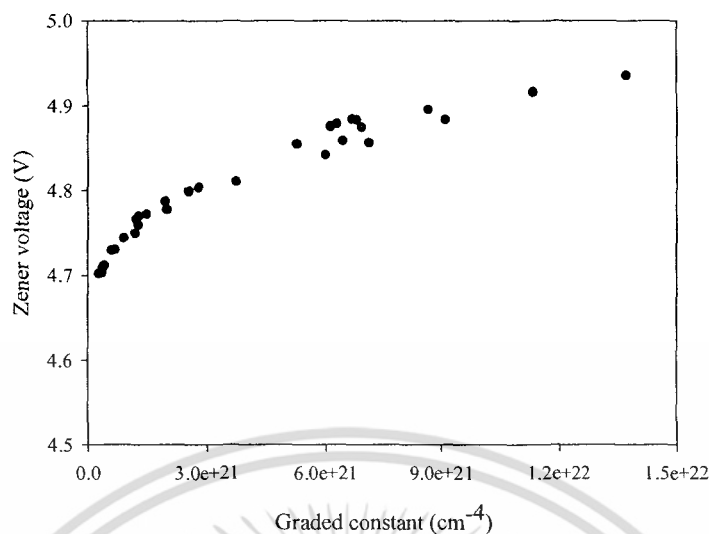
รูปที่ 4.4 การแปรผันต่ออุณหภูมิของค่าแรงดันซีเนอร์ที่ค่าระดับความเข้มข้นของโบรอนบริเวณพีต่างๆ

4.2 ผลของค่าคงตัวความชื้นของรอยต่อพีเอ็น [17]

เนื่องการสร้างรอยต่อพีเอ็นบนผลึกซิลิคอนเป็นการสร้างด้วยวิธีการเจือสารชนิดหนึ่งไปบนผลึกที่มีอะตอมสารเจือชนิดตรงข้ามอยู่ ดังนั้นรอยต่อที่ได้จึงยังเป็นรอยต่อแบบลาดเชิงเส้นค่าคงตัว ความลาดชันจึงอาจจะมีผลกระทบต่อคุณสมบัติของไดโอด [15], [21] การทดลองนี้จึงต้องการทดสอบผลของลักษณะรอยต่อที่มีต่อคุณสมบัติของซีเนอร์ไดโอด โดยการวัดผลคุณลักษณะทางไฟฟ้าของซีเนอร์ไดโอดที่มีค่าคงตัวความชื้นที่ต่างกัน ซึ่งค่าคงตัวความชื้นสามารถหาได้จากการวัดค่าความจุไฟฟ้าของการไบอัสย้อนกลับซีเนอร์ไดโอดแล้วนำมาพล็อตกราฟดังหัวข้อที่ 3.3.3 และแทนค่าในสมการที่ (2.19) และสมการที่ (2.20) ในการทดลองนี้ได้ทำการหาค่าคงตัวความชื้นของซีเนอร์ที่สร้างขึ้น โดยต้องการค่าแรงดันซีเนอร์ที่ค่า 5 V แล้ววัดผลคุณลักษณะทางไฟฟ้าแล้วนำมาหาความสัมพันธ์ระหว่างค่าคงตัวความชื้นกับคุณลักษณะทางไฟฟ้าต่างๆ

4.2.1 ผลของค่าคงตัวความชื้นต่อค่าแรงดันซีเนอร์

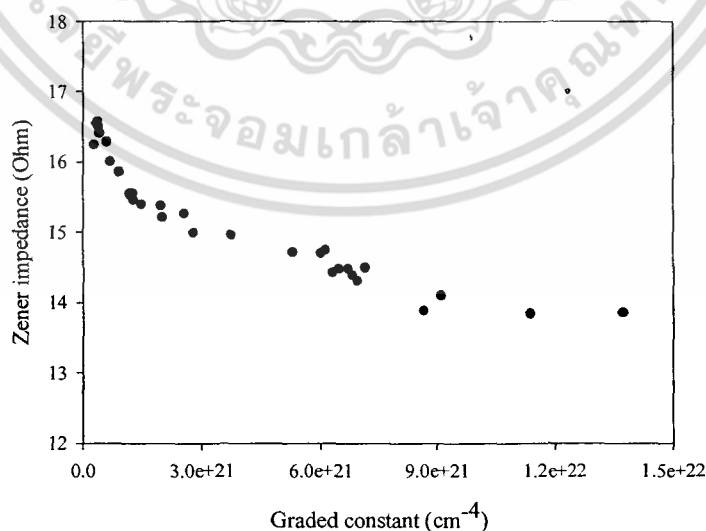
จากการทดลองพบว่าซีเนอร์ไดโอดที่มีค่าคงตัวความชื้นค่าต่ำๆ แรงดันซีเนอร์จะเพิ่มขึ้นตามค่าคงตัวความชื้นอย่างเห็นได้ชัด แต่การเพิ่มตามค่าคงตัวความชื้นนี้จะค่อยๆ ลดลงเมื่อค่าตัวความชื้นสูงมาก ดังนั้นจึงควรปรับกระบวนการสร้างให้สามารถสร้างซีเนอร์ไดโอดที่มีค่าคงตัวความชื้นสูงมาก เพื่อให้การแกว่งของค่าคงตัวมีผลต่อค่าแรงดันซีเนอร์ต่ำที่สุด



รูปที่ 4.5 ความสัมพันธ์ระหว่างค่าคงตัวความชันกับค่าแรงดันซีเนอร์

4.2.2 ผลของค่าคงตัวความชันต่อค่าซีเนอร์อิมพีแดนซ์

จากการทดลองพบว่าซีเนอร์ไดโอดที่ค่าคงตัวความชันค่าต่ำๆ ซีเนอร์อิมพีแดนซ์จะลดลงตามค่าคงตัวความชันที่เพิ่มขึ้น และแทบจะไม่เปลี่ยนแปลงเลยเมื่อค่าคงตัวความชันสูงมาก ซึ่งค่าซีเนอร์อิมพีแดนซ์นี้มีผลต่อเสถียรภาพการรักษาระดับแรงดันอย่างมาก ในกรณีที่กระแสที่จ่ายให้ซีเนอร์ไดโอดมีค่าไม่คงที่ ยิ่งค่าซีเนอร์อิมพีแดนซ์มีค่าต่ำการเปลี่ยนแปลงของค่าแรงดันซีเนอร์ที่มีต่อกระแสก็ยิ่งต่ำไปด้วย

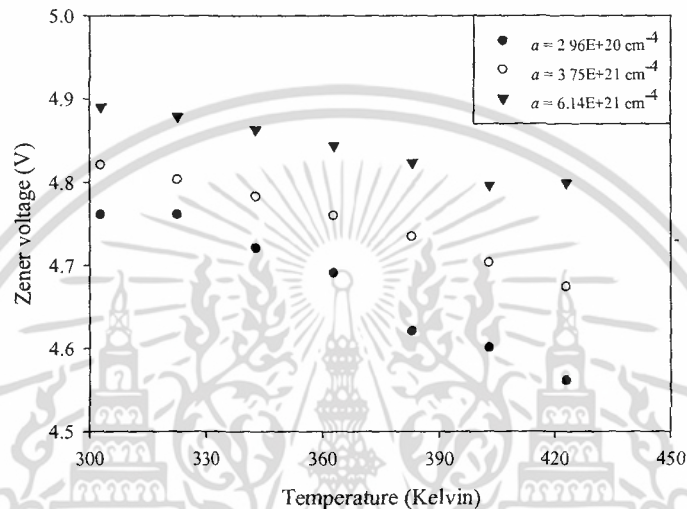


รูปที่ 4.6 ความสัมพันธ์ของค่าคงตัวความชันกับค่าซีเนอร์อิมพีแดนซ์

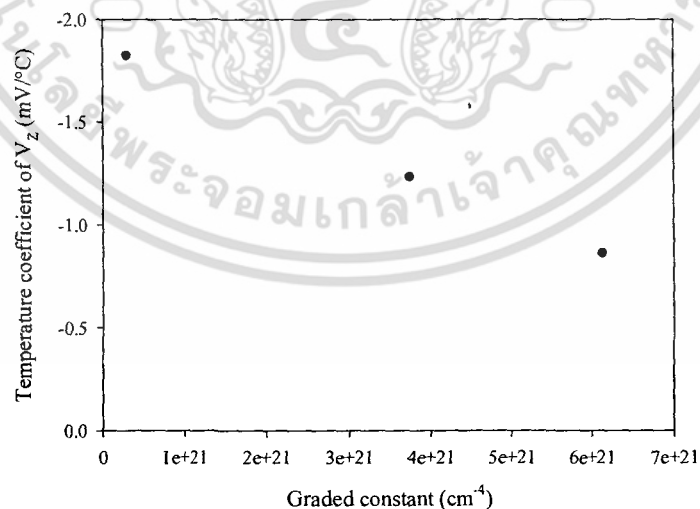
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 ผลของค่าคงตัวความชันต่อการแปรผันทางอุณหภูมิของแรงดันซีเนอร์

จากรูปที่ 4.7 แสดงการแปรปรวนของแรงดันซีเนอร์เนื่องจากอุณหภูมิที่ใช้วัด เมื่ออุณหภูมิเพิ่มขึ้นแรงดันซีเนอร์จะมีค่าลดลงเนื่องจากผลเต้นของการพังทลายยังคงเป็นปรากฏการณ์ทะลุอุโมงค์ แต่จากรูปที่ 4.8 แสดงให้เห็นการลดลงของการแปรผันตามอุณหภูมิของค่าแรงดันซีเนอร์เมื่อซีเนอร์ไดโอดมีค่าคงตัวความชันที่สูงขึ้น



รูปที่ 4.7 การแปรผันทางอุณหภูมิของค่าแรงดันซีเนอร์ที่มีค่าคงตัวความชันต่างกัน



รูปที่ 4.8 ความสัมพันธ์ของค่าคงตัวความชันกับค่าสัมประสิทธิ์ทางอุณหภูมิของแรงดันซีเนอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

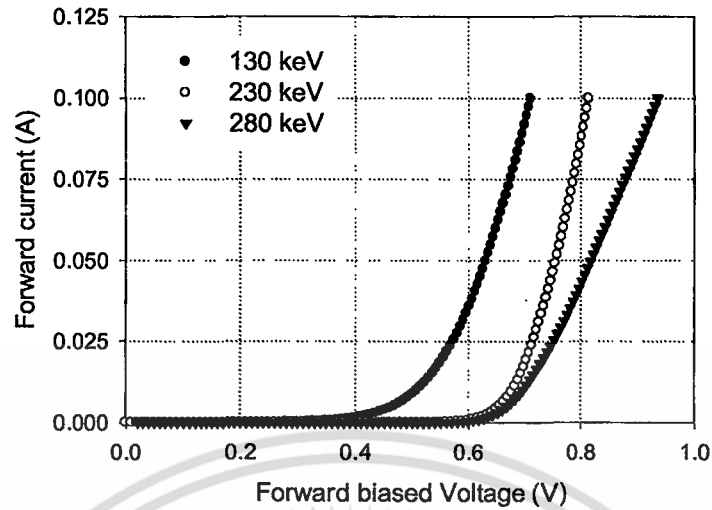
4.3 ผลของค่าระดับพลังงานที่ใช้ในการยิงอะตอมสารเจือ [22]

กระบวนการยิงฝังประจุ (Ion-Implantation) ถูกนำมาใช้ในการเติมสารเจือลงไปในซิลิกอนเวเฟอร์เพื่อสร้างรอยต่อพีเอ็นสำหรับกระบวนการสร้างวงจรรวมอย่างแพร่หลาย เนื่องจากทำให้ได้รอยต่อที่สมบูรณ์กว่าการเติมสารเจือด้วยวิธีการแพร่สารเจือด้วยความร้อน (Thermal diffusion) [23] ลดอุปสรรคแผงและความยุ่งยากในการจัดแนวของมาสก์ [24] ทั้งยังสามารถกำหนดความเข้มข้นของอะตอมสารเจือได้แม่นยำกว่า แต่การเติมอะตอมสารเจือด้วยวิธีการยิงฝังประจุมีความยุ่งยากของการตั้งค่าต่างๆของเครื่องมือที่ใช้ หนึ่งในค่าที่มีผลต่อกระบวนการสร้างซีเนอร์ไดโอดก็คือ ค่าพลังงานในการยิงฝังประจุ (Implantation energy)

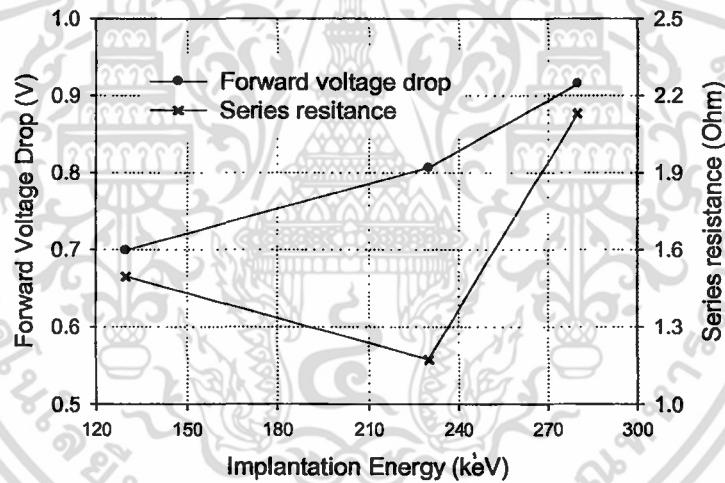
จุดประสงค์ของการทดลองนี้เพื่อพิจารณาระดับพลังงานที่ใช้ในการยิงอะตอมสารเจือเพื่อสร้างรอยต่อพีเอ็นที่เหมาะสมกับการสร้างซีเนอร์ไดโอดที่แรงดันซีเนอร์ 5 V ตามที่มุ่งหมายไว้ โดยทำการเปรียบเทียบการยิงอะตอมสารเจือเพื่อสร้างชั้นสารกำหนดแรงดันซีเนอร์ชนิดเอ็นเข้มข้นสามระดับคือ 130, 230 และ 280 keV. และการยิงอะตอมชั้นพีเข้มข้น 40keV ทั้งสามกลุ่ม ทั้งนี้เพื่อปรับปรุงกระบวนการสร้างซีเนอร์ไดโอดให้สามารถเลือกใช้ระดับของพลังงานที่ใช้ในการยิงอะตอมสารเจือได้อย่างเหมาะสมมากขึ้น

4.3.1 ความสัมพันธ์ระหว่างกระแสกับแรงดันไบอัสไปข้างหน้า

ซีเนอร์ไดโอดที่สร้างเสร็จแล้วจะถูกวัดคุณลักษณะสมบัติกระแส-แรงดันไฟฟ้าทั้งไปข้างหน้าและย้อนกลับ และความจุ-แรงดันไฟฟ้าย้อนกลับ โดยการทดลองเริ่มต้นจากสมบัติกระแส-แรงดันไฟฟ้าไปข้างหน้า เบื้องต้นจะพบว่าซีเนอร์ไดโอดทั้งสามกลุ่มทำงานเป็นไดโอดได้ เพียงแต่ไดโอดกลุ่มที่ระดับพลังงานต่ำสุดจะมีลักษณะกราฟจุดเริ่มทำงานที่ต่างจากอีกสองกลุ่มเมื่อหาค่าแรงดันตกคร่อมขณะที่ไดโอดทำงานก็พบว่าแรงดันตกคร่อมมีค่าเพื่อขึ้นเมื่อเพิ่มระดับพลังงาน ส่วนค่าความต้านทานอนุกรม หรือความต้านทานภายในของไดโอดมีค่าต่ำสุดอยู่ที่ระดับพลังงาน 230 keV ทั้งนี้เมื่อมีการยิงอะตอมสารเจือทั้งสองชนิด โดยอะตอมสารเจือของโบรอนจะลงไปอยู่ที่ระดับผิวของฐาน ส่วนฟอสฟอรัสจะลงไปอยู่ระดับที่ลึกกว่า ซึ่งความลึกของฟอสฟอรัสจะแปรตามระดับพลังงานที่เปลี่ยนไปตามการทดลอง และการกระจายตัวของอะตอมสารเจือจะมีการกระจายคล้ายภูเขาโดยมีส่วนความเข้มข้นสูงสุดของพาหะ (Peak carrier concentration) อยู่บริเวณกลางของกลุ่มอะตอม [24 - 26] ดังนั้นการปรับระดับพลังงานจึงมีส่วนให้ความเข้มข้นที่มีผลต่อคุณสมบัติของรอยต่อพีเอ็นเปลี่ยนไปด้วย



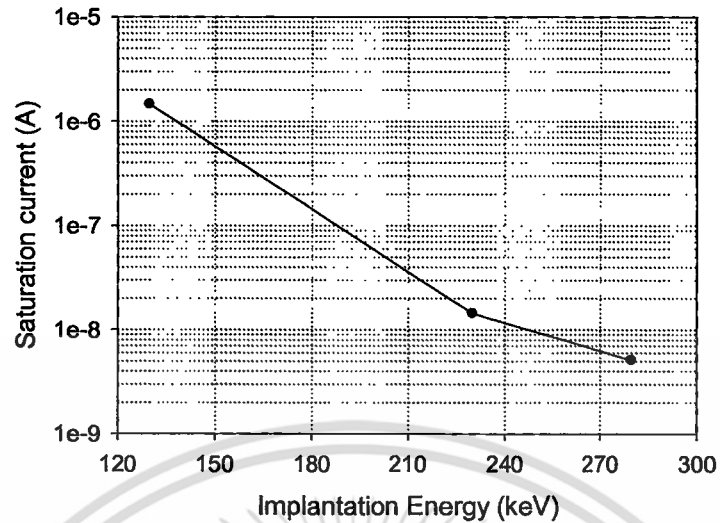
รูปที่ 4.9 ความสัมพันธ์ของกระแสกับแรงดันไฟฟ้าไปข้างหน้าของซีเนอร์ไดโอดทั้งสามกลุ่ม



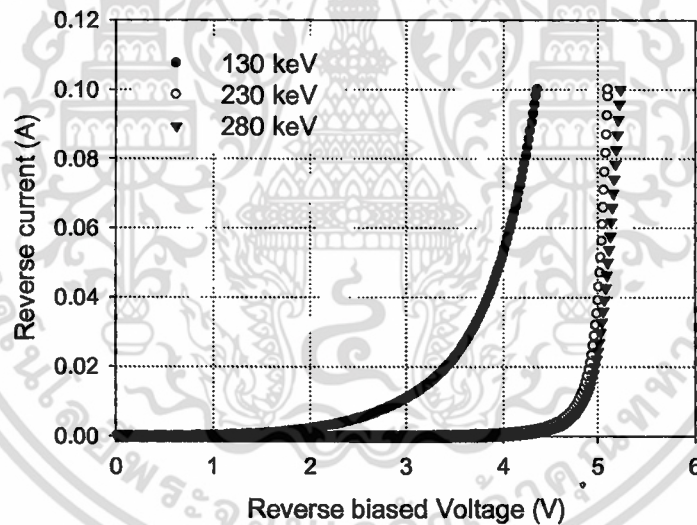
รูปที่ 4.10 ความสัมพันธ์ระหว่างแรงดันตกคร่อมกับความต้านทานอนุกรมของซีเนอร์ไดโอดทั้งสามกลุ่ม ในย่านแรงดันไฟฟ้าไปข้างหน้า

4.3.2 ความสัมพันธ์ระหว่างกระแสกับแรงดันไบอัสย้อนกลับ

เมื่อระดับพลังงานสูงขึ้น ตำแหน่งที่อะตอมสารเจือมีความเข้มข้นสูงสุดจะอยู่ลึกจากผิวมากขึ้น ทำให้ความเข้มข้น ณ ตำแหน่งรอยต่อคลาดเคลื่อนไป จากรูปที่ 4.11 กระแสอิมิต์จะลดลงผกผันกับระดับพลังงานที่ใช้ยิงอะตอมสารเจือฟอสฟอรัส จึงอาจบอกได้ว่าความเข้มข้นที่มีผลต่อรอยต่อเป็นส่วนที่ความเข้มข้นต่ำของกลุ่มอะตอมสารเจือที่ยิงลงไป



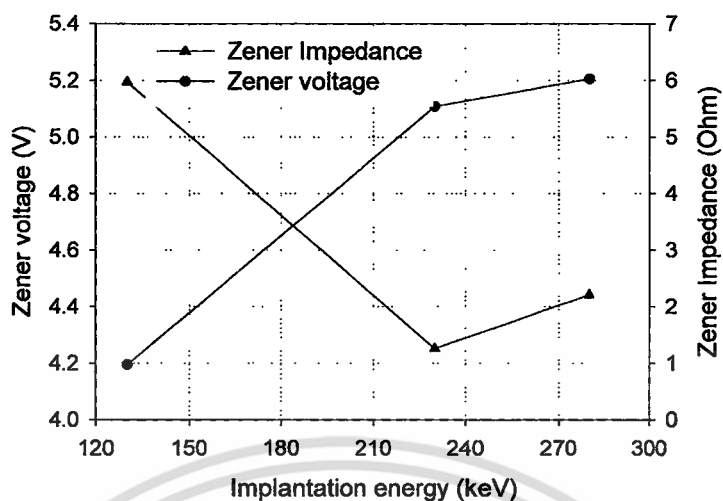
รูปที่ 4.11 ความสัมพันธ์ระหว่างกระแสอิ่มตัวกับระดับพลังงานที่ใช้ยิงอะตอมสารเจือฟอสฟอรัส



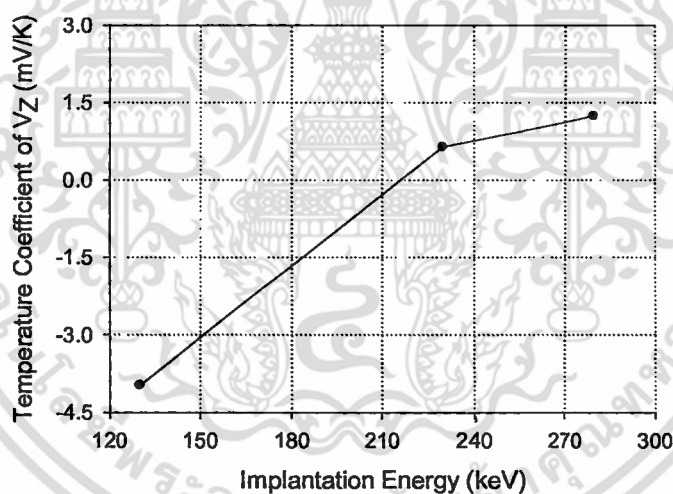
รูปที่ 4.12 ความสัมพันธ์ระหว่างกระแสกับแรงดันไฟฟ้าย้อนกลับ ของซีเนอร์ไดโอดทั้งสามกลุ่ม

4.3.3 ผลของระดับพลังงานที่ยิงอะตอมสารเจือต่อคุณสมบัติของซีเนอร์ไดโอด

ในด้านการใช้งานของซีเนอร์ไดโอด หรือการไบอัสไฟย้อนกลับจนไดโอดพังทลาย วัดแรงดันซีเนอร์ที่กระแสทดสอบ (Zener Testing current) 90 mA พบว่าเมื่อระดับพลังงานสูงขึ้นแรงดันซีเนอร์มีค่าสูงขึ้น และในส่วนของอิมพีแดนซ์ระดับพลังงานที่อิมพีแดนซ์มีค่าต่ำสุดก็ยังคงเป็นที่ระดับพลังงาน 230 keV ซึ่งก็สอดคล้องกับการวิเคราะห์ก่อนหน้านี้



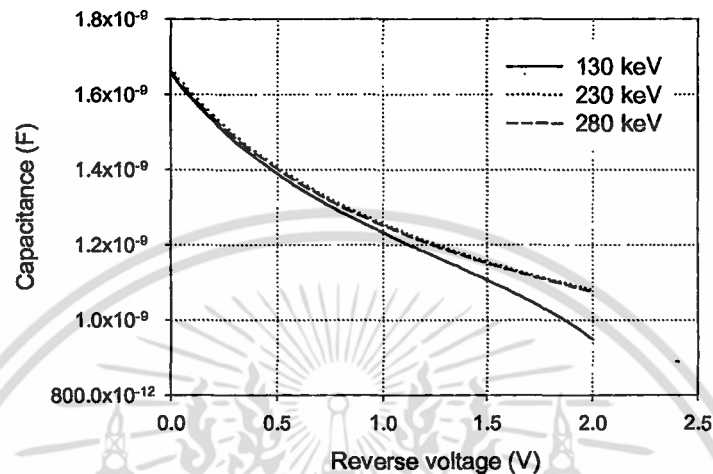
รูปที่ 4.13 ความสัมพันธ์ระหว่างแรงดันซีเนอร์กับอิมพีแดนซ์ของซีเนอร์ไดโอดทั้งสามกลุ่ม ในย่านแรงดันไฟฟ้าย้อนกลับ



รูปที่ 4.14 ความสัมพันธ์ระหว่างสัมประสิทธิ์ทางอุณหภูมิกับพลังงานที่ใช้ยิงอะตอมสารเจือฟอสฟอรัส

ในส่วนของการทดลองวัดผลที่อุณหภูมิค่าต่างๆ เพื่อวิเคราะห์เสถียรภาพของการรักษาระดับแรงดันซีเนอร์เมื่ออุณหภูมิเปลี่ยนไป หรือสัมประสิทธิ์ทางอุณหภูมิของแรงดันซีเนอร์ พบว่าที่ระดับพลังงาน 230 keV มีการแปรผันทางอุณหภูมิต่ำที่สุด ดังจะเห็นจากรูปที่ 4.14 ซึ่งสัมประสิทธิ์ทางอุณหภูมิของแรงดันซีเนอร์มีค่าใกล้ศูนย์มากที่สุด

จากรูปที่ 4.15 ที่ช่วงแรงดันต่ำพบว่าค่าความจุไฟฟ้ามีค่าเพิ่มขึ้นอย่างไม่เป็นนัยสำคัญ แต่เมื่อเพิ่มแรงดันย้อนกลับจะพบว่าในกลุ่มที่ระดับพลังงาน 130 keV จะมีค่าความจุไฟฟ้าลดลงอย่างชัดเจน เนื่องจากค่าแรงดันซีเนอร์ต่ำกว่าระดับพลังงานอื่นๆ มาก



รูปที่ 4.15 ความสัมพันธ์ระหว่างความจุไฟฟ้ากับแรงดันไฟฟ้าย้อนกลับ

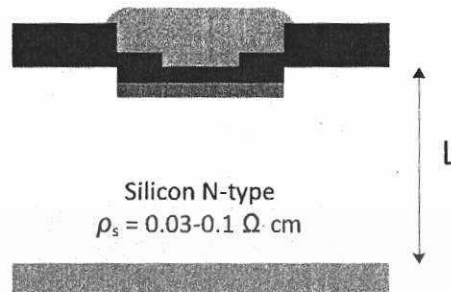
4.4 การลดค่าความต้านทานอนุกรมภายในด้วยวิธีการขัดหลังแผ่น (Wafer Backgrinding) [27]

ปัญหาหลักอย่างหนึ่งของการสร้างไดโอดทั่วไปคือค่าความต้านทานอนุกรมภายใน (Series resistant) สูง เมื่อค่าความต้านทานสูงจะส่งผลกระทบต่อค่าคุณลักษณะทางไฟฟ้าอื่นๆ ให้มีค่าที่ด้อยประสิทธิภาพลง เช่น ค่าแรงดันตกคร่อมขณะจ่ายไฟไปข้างหน้า และค่าซีเนอร์อิมพีแดนซ์ เป็นต้น โดยที่เนื้อสารส่วนมากของไดโอดมักจะเป็นส่วนของฐานร่องที่เป็นส่วนที่มาจากแผ่นผลึกซิลิคอนเริ่มต้น ดังนั้นความต้านทานอนุกรมจึงมีผลของเนื้อแผ่นผลึกซิลิคอนเป็นส่วนประกอบอยู่ด้วยการลดความหนาส่วนนี้ลงจึงน่าจะลดความต้านทานอนุกรมภายในไปได้ด้วย [28]

งานวิจัยนี้จึงเป็นการศึกษาวิธีการลดค่าความต้านทานอนุกรมภายในของไดโอด โดยจะทดลองไปที่การลดความหนาของซีเนอร์ไดโอดด้วยวิธีการขัดหลังแผ่นเวเฟอร์ (Backgrinding) ให้บางลง จากนั้นจึงนำไปวัดคุณลักษณะทางไฟฟ้าเพื่อเปรียบเทียบผลระหว่างไดโอดที่มีลดความหนาและไม่มีการลดความหนา เพื่อยืนยันการลดความหนาไดโอดด้วยวิธีการขัดหลังแผ่นว่าสามารถลดความต้านทานอนุกรมภายในได้จริง โดยซีเนอร์ไดโอดที่สร้างขึ้นโดยแบ่งเป็น 2 กลุ่มการทดลองคือกลุ่มที่ไม่มีการขัดหลังแผ่นเวเฟอร์ และกลุ่มที่มีการขัดหลังแผ่น ทั้งสองกลุ่มถูกสร้างบนแผ่นผลึกซิลิคอนความหนาประมาณ 625 μm และมีสภาพความต้านทานในช่วง 0.03-0.1 $\Omega\cdot\text{cm}$ ขนาดของไดโอดมีพื้นที่ประสิทธิผลเป็น 0.85×0.85 mm^2 กลุ่มที่มีการขัดหลังแผ่นจะถูกลดความหนาเหลือ 300 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นทั้งสองกลุ่มถูกทดสอบด้วยการวัดคุณลักษณะทางไฟฟ้า โดยการทดสอบตั้งแต่การป้อนแรงดันไบอัสไปข้างหน้าและป้อนแรงดันไบอัสย้อนกลับ



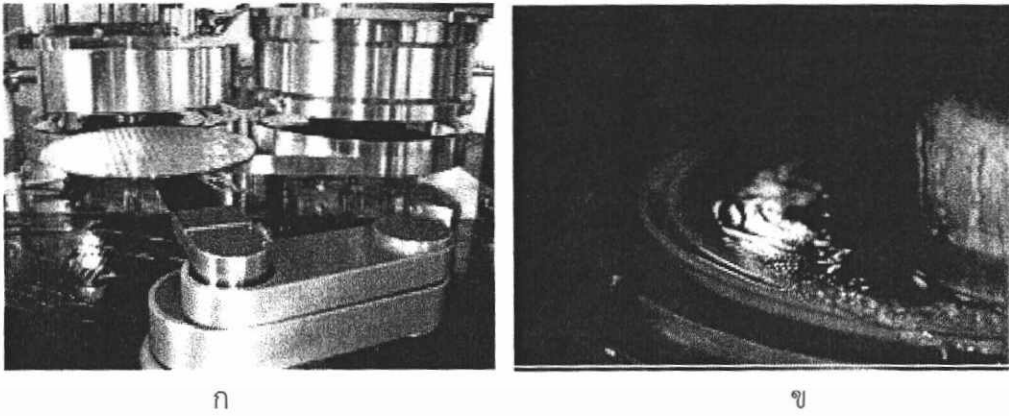
รูปที่ 4.16 ภาคตัดขวางของซีเนอร์ตโดไซด์ที่สร้างขึ้น L คือความหนาของแผ่นผลึกซิลิคอนที่จะถูกลดความหนาด้วยวิธีการขัดหลังแผ่น

4.4.1 การขัดด้านหลังแผ่นเวเฟอร์

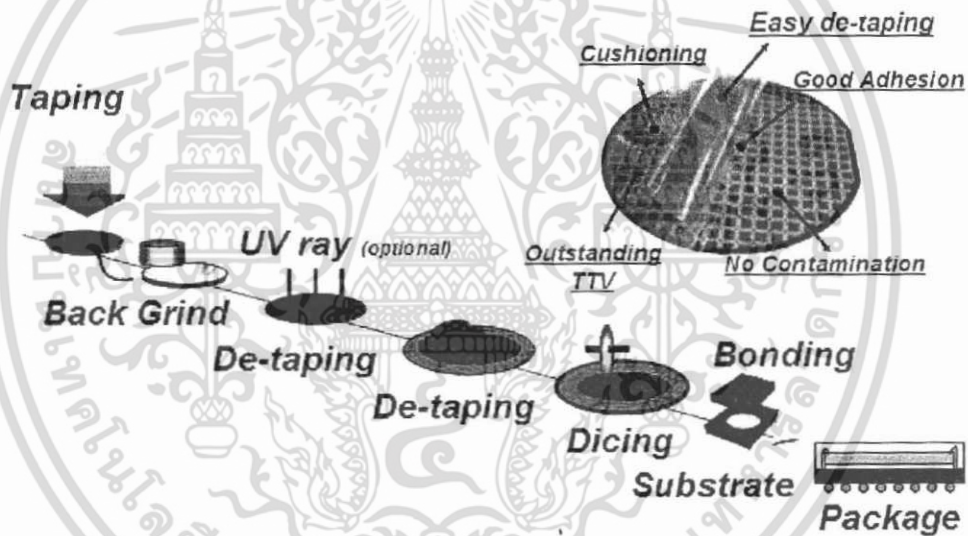
การขัดหลังแผ่นเวเฟอร์เป็นกระบวนการมาตรฐานในการลดความหนาของเวเฟอร์ ประกอบด้วยสองขั้นตอน คือ การขัดแผ่นอย่างหยาบ (Coarse Grind) และการขัดแผ่นอย่างละเอียด (Fine Grind) การลดอย่างหยาบจะใช้หัวขัดที่มีแกนของเพชรขนาดใหญ่ในการขัดแผ่นเวเฟอร์ ซึ่งจะทำให้บางได้เร็วมากแต่เนื้อเวเฟอร์จะเสียหายมาก จึงมีการขัดอย่างละเอียดมาขัดลดความเสียหายที่ผิวของเวเฟอร์ด้วยเม็ดกรนเพชรที่ละเอียดกว่าจึงลดความหนาของแผ่นได้ช้ากว่าแต่ผิวของเวเฟอร์จะเรียบเนียนกว่า [29]



รูปที่ 4.17 ลักษณะการขัดหลังแผ่นที่มีวงล้อขัด (grinding wheel) หมุนทวนกับแผ่นผลึกซิลิคอนด้วยความเร็วตามลักษณะการขัด



รูปที่ 4.18 (ก) แสดงภายในเครื่องจักรตัดหลังแผ่นมีวงล้อตัด 2 ชุด เป็นชุดหยาบและชุดละเอียด
(ข) ภาพการตัดหลังแผ่น โดยมีน้ำหล่อเย็นป้องกันการเผาไหม้ของแผ่นผลึก

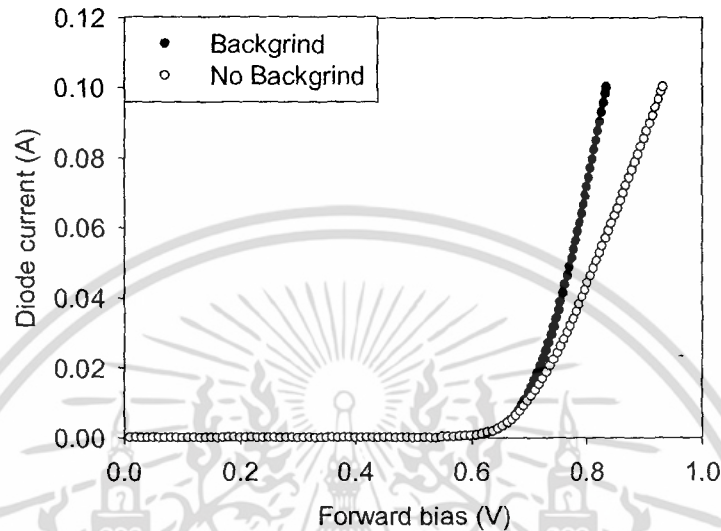


รูปที่ 4.19 กระบวนการประกอบวงจรรวม (ICs Assembly) ซึ่งกระบวนการตัดหลังแผ่นเป็นส่วนหนึ่งของกระบวนการ

4.4.2 ผลของการตัดหลังแผ่นต่อความสัมพันธ์ระหว่างกระแสกับแรงดันไบอัสไปข้างหน้า

การป้อนแรงดันไบอัสไปข้างหน้าเพื่อทำการทดสอบในส่วนของแรงดันตกคร่อมขณะที่ไดโอดทำงานด้านไบอัสไฟบวก จากในรูปที่ 4.20 จะเห็นว่าเมื่อไดโอดทำงาน ซีเนอร์ไดโอดที่มีการลดความหนาของชิพด้วยการตัดหลังแผ่นมีความชันของกราฟมากกว่าซีเนอร์ไดโอดที่ไม่มีการลดความหนา โดยแรงดันตกคร่อมของซีเนอร์ไดโอดที่ยังไม่ลดความหนา 0.89 V ส่วนตัวที่ลดความหนาแล้ว 0.82 V (เมื่อวัดที่กระแสทดสอบ 90 mA) และทำการวิเคราะห์หาค่าความต้านทานอนุกรม ซีเนอร์ไดโอดที่ยังเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

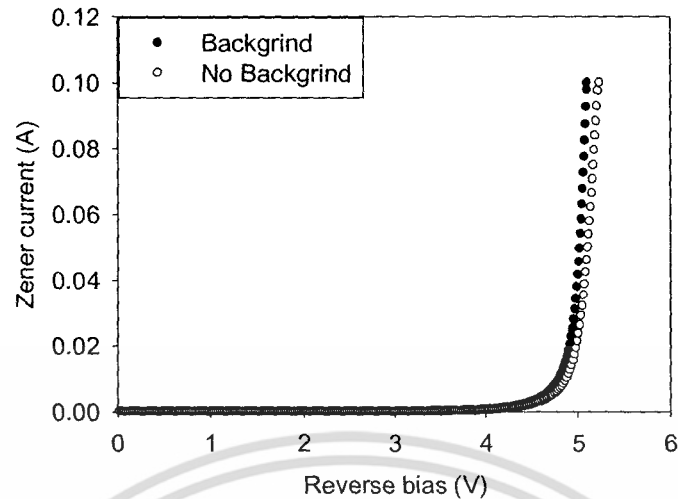
ไม่ได้ลดความหนา มีความต้านทานอยู่ที่ 2.54 Ω และเมื่อลดความหนาแล้วอยู่ที่ 1.26 Ω หรือลดลงไปประมาณ 50 % ซึ่งสอดคล้องกับการลดความหนาของแผ่นผลึกเช่นกัน



รูปที่ 4.20 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสกับแรงดันไปข้างหน้าของซีเนอร์ไดโอดกลุ่มที่มีการลดความหนาของไดโอดและกลุ่มที่ไม่ได้มีการลดความหนา

4.4.3 ผลของการขัดหลังแผ่นต่อความสัมพันธ์ระหว่างกระแสกับแรงดันไบอัสย้อนกลับ

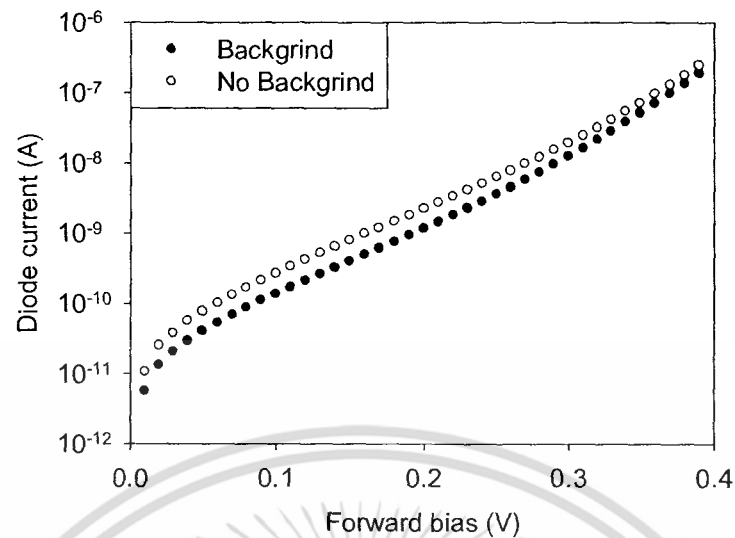
ในการทดสอบซีเนอร์ไดโอดด้วยการบ่อนไฟย้อนกลับ จะเป็นการวัดเพื่อทดสอบค่าแรงดันซีเนอร์ และความต้านทานซีเนอร์ ที่กระแสทดสอบ (Zener Test current, I_{ZT}) หนึ่งใน การทดลองนี้ ได้ทำการทดลองที่กระแสทดสอบ 90 mA สำหรับซีเนอร์ไดโอดกลุ่มที่ผ่านการขัดหลังแผ่นวัดแรงดันซีเนอร์ได้ 5.08V และกลุ่มที่ไม่ได้ผ่านการขัดหลังแผ่นวัดได้ที่ 5.20V ค่าแรงดันซีเนอร์ที่แตกต่างกันนี้ น่าเป็นผลมาจากกระบวนการสร้างเองเพราะ ค่าแรงดันซีเนอร์เป็นผลมาจากลักษณะของรอยต่อพีเอ็น เป็นสำคัญ



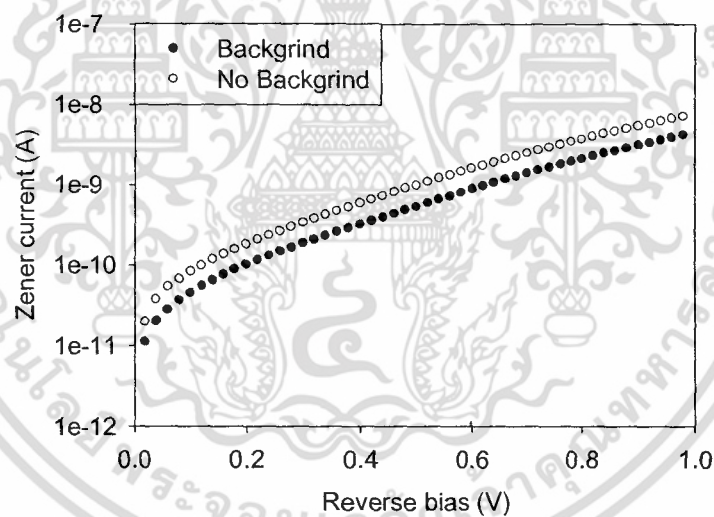
รูปที่ 4.21 การเปรียบเทียบความสัมพันธ์ระหว่างกระแสกับแรงดันย้อนกลับของซีเนอร์ไดโอดกลุ่มที่มีการลดความหนาของไดโอดและกลุ่มที่ไม่ได้มีการลดความหนา

การลดความหนาของซีฟไดโอดสามารถปรับปรุงคุณภาพของซีเนอร์ไดโอดให้รักษาระดับแรงดันได้ดีขึ้นเนื่องจากสามารถลดค่าความต้านทานซีเนอร์ ดังรูปที่ 4.21 ซีเนอร์ไดโอดที่ผ่านการลดความหนาของซีฟมีการเปลี่ยนแปลงแรงดันหลังการพังทลายต่ำกว่าซีเนอร์ไดโอดที่ไม่ผ่านการลดความหนา ซึ่งวัดค่าความต้านทานซีเนอร์ที่กระแสทดสอบ 90 mA พบว่าซีเนอร์ไดโอดที่ไม่ได้ลดความหนามีความต้านทานซีเนอร์อยู่ที่ 2.15 Ω และซีเนอร์ไดโอดที่ผ่านการลดความหนาอยู่ที่ 1.39 Ω หรือสามารถความต้านทานซีเนอร์ลงได้ ประมาณ 35 %

และเนื่องจากกระแสอิมพัลส์มีความสัมพันธ์กับกระบวนการรวมตัวใหม่และการเกิดของพาหะที่จะเกิดขึ้นมากนอกบริเวณปลอดพาหะ [30] ดังนั้นการลดความหนาของไดโอดจึงทำให้กระแสที่เกิดจากกระบวนการเหล่านี้ลดลงไปทำให้กระแสที่ไหลผ่านก่อนไดโอดทำงานย่านไบอัสไปข้างหน้าต่ำลงและเช่นเดียวกันกับกระแสรั่วไหลรอยต่อที่มีสาเหตุมาจากกระแสอิมพัลส์ย้อนกลับ กระแสรั่วไหลรอยต่อลดลงด้วย



รูปที่ 4.22 เปรียบเทียบกระแสที่ไหลผ่านไดโอดเมื่อมีการไบอัสไปข้างหน้าด้วยแรงดันค่าต่างๆ

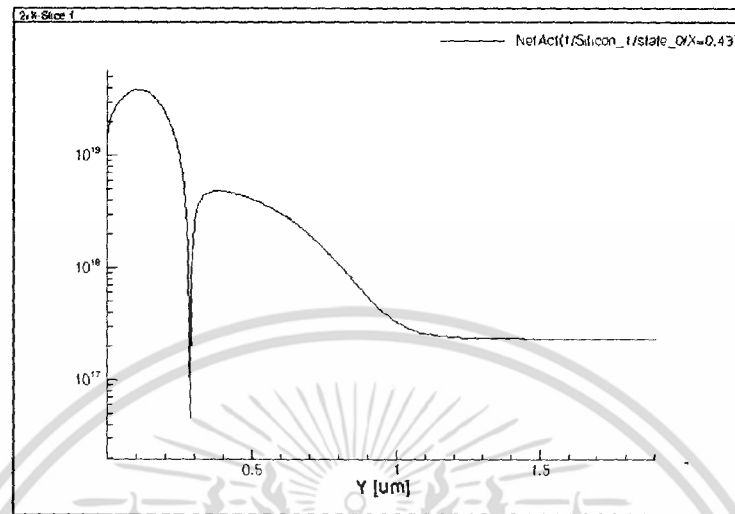


รูปที่ 4.23 เปรียบเทียบกระแสที่ไหลผ่านไดโอดเมื่อมีการไบอัสย้อนกลับด้วยแรงดันค่าต่างๆ

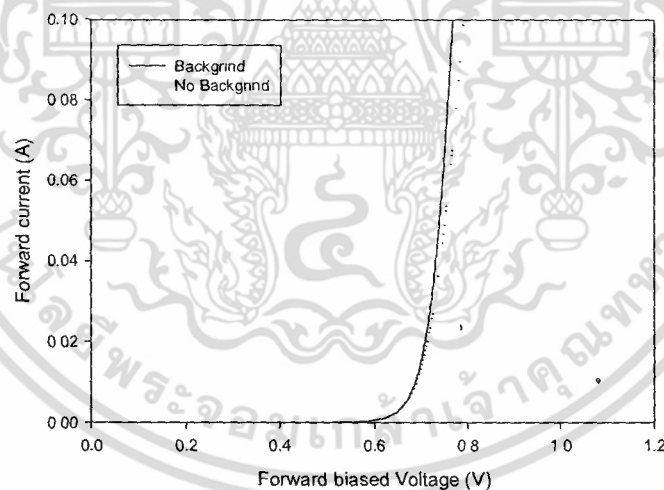
4.4.4 การจำลองซีเนอร์ไดโอดเพื่อเปรียบเทียบผลของการลดความหนาแผ่นผลึกซิลิคอน

เพื่อยืนยันผลการทดลองด้วยไดโอดที่สร้างขึ้น จึงได้ทำการป้อนพารามิเตอร์ให้ชุดโปรแกรม Sentaurus TCAD เป็นพารามิเตอร์ที่ได้จากกระบวนการสร้างจริงในการทดลอง โดยทางด้านไบอัสไปข้างหน้า พบว่าที่ค่ากระแสทดสอบ 90 mA ชุดจำลองที่ไม่ได้ลดความหนาแผ่นมีค่าแรงดันตกคร่อม 0.8 V ส่วนชุดจำลองที่ลดความหนาแล้ว ค่าแรงดันตกคร่อม 0.77 V และ ด้านของค่าความต้านทานอนุกรมภายในพบว่า ชุดจำลองที่ไม่ได้ลดความหนาแผ่นมีค่าความต้านทานที่ 0.81 Ω ส่วนเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชุดจำลองที่ลดความหนาแล้ว เหลือค่าความต้านทาน 0.45Ω หรือลดลงไป 45.3% ซึ่งนับว่า สอดคล้องกับผลจากการทดลองสร้างซีเนอร์ไดโอดจริง



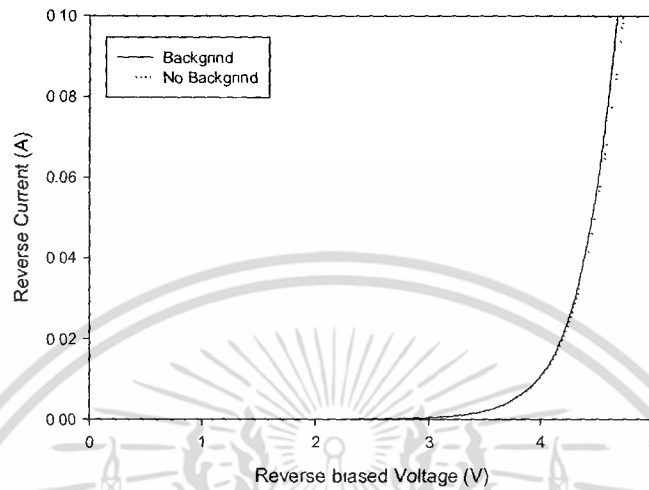
รูปที่ 4.24 รอยต่อที่ใช้ในการจำลองการทำงานของซีเนอร์ไดโอดที่สร้างขึ้นด้วย Sentaurus TCAD



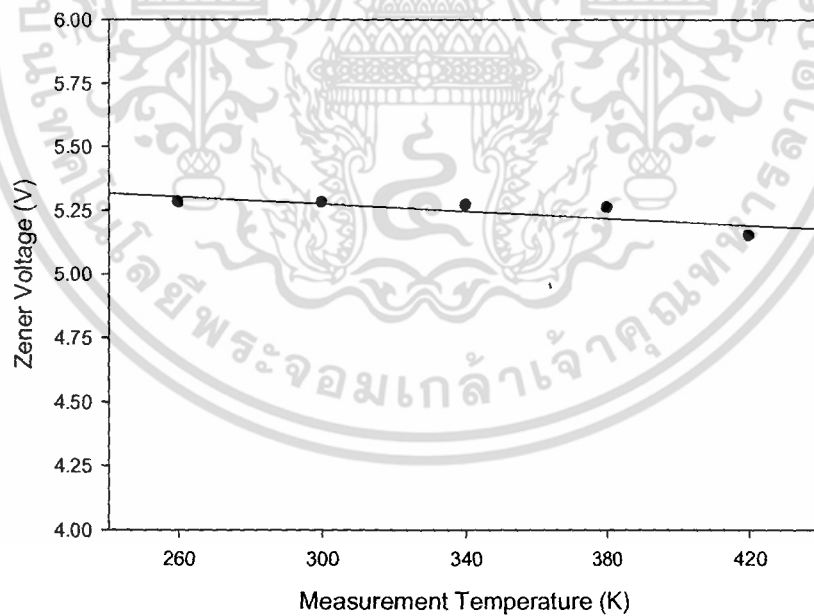
รูปที่ 4.25 ผลการจำลองด้วยโปรแกรม Sentaurus TCAD ด้านการป้อนแรงดันไบอัสไปข้างหน้า

ส่วนทางด้านกรไบอัสย้อนกลับพบว่ามีความแรงดันซีเนอร์สำหรับชุดการจำลองที่ไม่ได้ลดความหนาและชุดที่ลดความหนาเป็น 5.28 V และ 5.27 V ตามลำดับ ซึ่งความแตกต่างที่ไม่มีนัยสำคัญ แต่ในส่วนของซีเนอร์อิมพีแดนซ์พบความแตกต่างที่สอดคล้องกับการทดลองจริงคือ ชุดการจำลองที่ไม่ได้ลดความหนาและชุดที่ลดความหนาเป็น 3.33Ω และ 1.82Ω ตามลำดับ หรือสามารถลดซีเนอร์อิมพีแดนซ์ไปได้ 45.5% และการแปรผันของค่าแรงดันซีเนอร์ต่ออุณหภูมิมีค่าเป็น $-0.7 \text{ mV}/^{\circ}\text{C}$ บ่งเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยญาติให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บอกได้ว่าการพังทลายของรอยต่อมีผลเด่นมาจากปรากฏการณ์ทะลุโมเมนต์เช่นเดียวกับซีเนอร์ไดโอดที่ได้จากการสร้างจริง



รูปที่ 4.26 ผลการจำลองด้วยโปรแกรม Sentaurus TCAD ด้านการป้อนแรงดันไบอัสย้อนกลับ



รูปที่ 4.27 การแปรผันค่าแรงดันซีเนอร์ต่ออุณหภูมิที่เพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุป

ในวิทยานิพนธ์ฉบับนี้ได้นำเสนอการศึกษา การสร้างและปรับปรุง และการทดลองและวัดผล ซิลิคอนซีเนอร์ไดโอด ผลการทดลองนำเสนอผลการศึกษาคูณลักษณะทางไฟฟ้าทั้งด้านการป้อนไฟย้อนกลับและไปข้างหน้า ทำการสร้างซีเนอร์ไดโอดเพื่อการทดลองทั้งหมด 3 ชุด ด้วยการสนับสนุนด้านเครื่องมือและวัสดุจากศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (TMEC) ซีเนอร์ไดโอดที่สร้างขึ้นมีโครงสร้างเป็นแบบแนวตั้งโดยมีฐานรองเป็นผลึกซิลิคอน แล้วเติมอะตอมสารเจือชนิดเดียวกันกับแผ่นผลึกที่ความเข้มข้นที่สูงกว่า ด้วยวิธีการยิงอะตอมสารเจือ เรียกขั้นนี้ว่าขั้นกำหนดแรงดันซีเนอร์ จากนั้นจึงเติมอะตอมสารเจือด้วยการยิงอะตอมสารเจืออีกชนิดหนึ่ง ด้วยความเข้มข้นที่สูงมากขึ้นไปอีกเพื่อสร้างเป็นรอยต่อพีเอ็นและเป็นด้านขั้วสัมผัสสำหรับวัดคุณสมบัติทางไฟฟ้า โดยการสร้างซีเนอร์ไดโอดทั้ง 3 ชุดมีเงื่อนไขที่ต่างกัน

ชุดแรกสร้างบนแผ่นผลึกซิลิคอนชนิดเอ็น ทั้งหมด 5 ระดับแรงดันซีเนอร์ โดยการกำหนดความเข้มข้นอะตอมสารเจือในชั้นกำหนดแรงดันหรือการทดลองนี้เป็นชั้นเอ็นเข้มข้นออกมาเป็น 5 ค่า ได้แก่ 3.2×10^{18} , 5.12×10^{18} , 7.68×10^{18} , 1.15×10^{19} และ $1.92 \times 10^{19} \text{ cm}^{-3}$ และชั้นพีเข้มข้นมากเป็น $3.3 \times 10^{20} \text{ cm}^{-3}$ ต่อมาเมื่อทดลองได้ค่าระดับแรงดันที่เหมาะสมกับค่าแรงดันซีเนอร์ที่ต้องการคือประมาณ 5 V ต่อมาจึงต้องการศึกษาผลของค่าคงตัวความชัน เพื่อพิจารณาความสำคัญของความสมบูรณ์ของการสร้างรอยต่อถึงผลของรอยต่อแบบลาดเชิงเส้นต่อคุณสมบัติทางไฟฟ้าของซีเนอร์ไดโอด ด้วยการคำนวณค่าคงตัวความชันของซีเนอร์กลุ่มที่เลือกช่วงระดับแรงดันซีเนอร์ 4.7 - 4.9 V ด้วยวิธีการคำนวณจากกราฟคุณลักษณะค่าความจุไฟฟ้าต่อแรงดันไบอัสย้อนกลับ ในลำดับต่อมาเป็นการแก้ปัญหาที่หลังจากสามารถสร้างซีเนอร์ไดโอดที่สามารถทำงานรักษาระดับแรงดันได้ โดยเริ่มจากปัญหากระแสรั่วไหลรอยต่อและค่าความต้านทานภายในสูง การสร้างซีเนอร์ไดโอดชุดต่อมาจึงมีขึ้นเพื่อการแก้ปัญหาเหล่านี้ โดยเงื่อนไขการสร้างต่อมา จะมุ่งหมายไปที่ระดับพลังงานที่ใช้ในการยิงอะตอมสารเจือ โดยกระบวนการสร้างจะสร้างซีเนอร์ไดโอดบนแผ่นผลึกซิลิคอนชนิดเอ็นเช่นเดิม และปริมาณอะตอมสารเจือที่ใช้ในการยิงอะตอมยังคงเดิม เพียงแต่เปลี่ยนระดับพลังงานที่ใช้ยังเป็น 3 ระดับได้แก่ 130, 230 และ 280 keV และยังคงระดับพลังงานสำหรับยิงอะตอมสารเจือชั้นขั้วสัมผัสเท่าเดิมที่ 40 keV และสุดท้ายปัญหาเรื่องความต้านทานภายในที่ยังคงสูงอยู่แม้จะได้ระดับพลังงานที่ใช้ยิงอะตอมสารเจือที่เหมาะสมแล้ว ดังนั้นจึงมีการสร้างซีเนอร์ไดโอดชุดสุดท้ายโดยใช้พารามิเตอร์การสร้างที่ดีที่สุดจากสองการสร้างแรก แต่เพิ่มการลดความหนาของแผ่นผลึกซิลิคอนด้วยวิธีการขัดหลังแผ่นที่มีใช้กันอยู่โดยทั่วไปในโรงงานอุตสาหกรรมประกอบวงจรรวม โดยแบ่งกลุ่มซีเนอร์ไดโอดที่สร้างขึ้นนี้ออกเป็นสองกลุ่มโดยกลุ่มแรกถูกสร้างตามกระบวนการที่เลือกพารามิเตอร์ที่ดีที่สุดแล้ว ส่วน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลุ่มที่สองถูกสร้างด้วยกระบวนการสร้างพารามิเตอร์เดียวกันกับกลุ่มที่หนึ่งแต่เพิ่มกระบวนการขัดหลังแผ่นเข้าไปเพื่อลดความหนาแผ่นผลึกจาก 625 μm เป็น 300 μm แล้วจึงทำการเปรียบเทียบคุณสมบัติทางไฟฟ้าของทั้งสองกลุ่มนี้เพื่อตรวจสอบผลการปรับปรุงในการสร้างซีเนอร์ไดโอดชุดนี้ จากนั้นจึงทำการนำพารามิเตอร์ที่ใช้สร้างในซีเนอร์ไดโอดชุดสุดท้ายนี้ไปทำการจำลองด้วยโปรแกรม Sentaurus TCAD เพื่อทำการยืนยันผลการทดลองและปรับปรุงทั้งหมด

และการสร้างซีเนอร์ไดโอดทั้งสามชุดสามารถได้ผลการทดลองและข้อสรุปการทดลองแบ่งออกมาเป็น 4 ส่วน ข้อสรุปแรกจากงานวิจัยนี้ คือที่ค่าความเข้มข้นอะตอมสารเจือของชั้นกำหนดแรงดันซีเนอร์ประมาณ $7.68 \times 10^{18} \text{ cm}^{-3}$ จะให้แรงดันซีเนอร์ที่ใกล้เคียง 5 V มากที่สุด ส่วนที่แรงดันซีเนอร์ 5.8 V เป็นระดับแรงดันอ้างอิงมีความเสถียรภาพต่อการกระเพื่อมของกระแสทดสอบต่ำที่สุด และที่กระแสทดสอบที่สูง ซีเนอร์ไดโอดจะรักษาระดับแรงดันได้ดีกว่ากระแสทดสอบค่าต่ำ ซึ่งจากการทดลองนี้เราจึงสามารถออกแบบซีเนอร์ไดโอดให้มีแรงดันต่ำได้โดยการเลือกระดับความเข้มข้นในชั้นพีเข้มข้นหรือรอยต่อที่เป็นชั้นแรกที่ยังอะตอมสารเจือและสามารถเลือกกระแสทดสอบที่เหมาะสมต่อการใช้งานและคุณภาพของการรักษาระดับแรงดัน

การวิเคราะห์ต่อมาเป็นเรื่องของผลของค่าคงตัวความชันต่อคุณสมบัติของซีเนอร์ไดโอด ค่าคงตัวความชันเป็นอีกหนึ่งพารามิเตอร์ที่สำคัญในกระบวนการสร้างซีเนอร์ไดโอด จากการทดลองสรุปได้ว่าควรควบคุมค่าคงตัวความชันนี้ให้มีค่าสูงมากๆไว้ เพื่อคุณสมบัติทางไฟฟ้าที่ดีของซีเนอร์ไดโอด อันได้แก่ การผิดเพี้ยนค่าแรงดันซีเนอร์ไปจากค่าที่ต้องการ ค่าซีเนอร์อิมพีแดนซ์ที่มีผลต่อคุณภาพในการรักษาระดับแรงดัน และค่าสัมประสิทธิ์ทางอุณหภูมิของแรงดันซีเนอร์

ส่วนที่ 3 การเลือกระดับพลังงานที่ใช้ในการยิงอะตอมสารเจือในชั้นกำหนดค่าแรงดันซีเนอร์พบว่าเพื่อให้ซีเนอร์ไดโอดมีค่าคุณสมบัติความต้านทานภายใน และค่าสัมประสิทธิ์ทางอุณหภูมิต่ำๆ ซึ่งจะมีผลต่อเสถียรภาพของการรักษาระดับแรงดันที่ดี จะต้องเลือกระดับพลังงานที่ใช้ยิงอะตอมสารเจืออยู่ในช่วงประมาณ 230 keV แต่หากต้องการลดกระแสอิมพัลส์ซึ่งจะมีผลต่อค่ากระแสรั่วไหลรอยต่อก็ควรเลือกระดับพลังงานช่วงประมาณ 280 keV ดังนั้นแนวทางในการพัฒนาขั้นต่อไปสำหรับการสร้างซีเนอร์ไดโอดที่ระดับแรงดันซีเนอร์ประมาณ 5 V จึงสามารถตีกรอบของระดับพลังงานที่เหมาะสมได้แคบลงมาอยู่ในช่วง 230 - 280 keV และในงานวิจัยนี้ได้เลือกที่ระดับพลังงาน 280 keV เนื่องจากแม้ค่าความต้านทานภายในและค่าสัมประสิทธิ์ทางอุณหภูมิของแรงดันซีเนอร์จะไม่ได้จุดที่ดีที่สุด แต่ยังอยู่ในระดับที่ใกล้เคียงกับค่าพลังงานที่ให้ผลดีที่สุด แต่ข้อเด่นในเรื่องกระแสรั่วไหลรอยต่อที่เด่นเหนือระดับพลังงานที่รองลงมาอยู่มาก

ในกระบวนการสร้างชุดสุดท้ายการลดความหนาของไดโอดด้วยวิธีการขัดหลังแผ่นเวเฟอร์ทำให้สามารถลดความต้านทานอนุกรมได้จริง ทั้งนี้ยังได้ช่วยเพิ่มประสิทธิภาพด้านการรักษาระดับแรงดันของซีเนอร์ไดโอดให้มีประสิทธิภาพมากขึ้น นอกจากนี้ด้วยการจำลองด้วยโปรแกรม Sentaurus TCAD ทำให้ยืนยันได้ว่ากระบวนการสร้างซีเนอร์ไดโอดที่ได้รับการปรับปรุงแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สอดคล้องกับทฤษฎี สามารถนำไปทำงานวิจัยเพื่อพัฒนาต่อยอดได้ และเมื่อเปรียบเทียบกับซีเนอร์ไดโอดที่ค่าแรงดันซีเนอร์ใกล้เคียงกัน พบว่ามีคุณสมบัติทางไฟฟ้าในระดับที่เทียบเคียงได้

ตารางที่ 5.1 สรุปผลการสร้างซีเนอร์ไดโอด

Zener Diodes	$V_{Z@I_{ZT}}$ (Volt)	I_{ZT} (mA)	Maximum zener impedance		Maximum leakage current $I_{R@V_R=2V}$ (μA)	TCV_Z (mV/°C)	$V_F@90$ mA (Volt)	$R_S@90$ mA (Ohm)
			$Z_{ZT@I_{ZT}}$ (Ohm)	$Z_{ZK@I_{ZK}}$ (Ohm)				
Prototype	4.89	20	7.53	1363	0.4	-1.24	0.82	1.26
Prototype	5.08	90	1.39	1363	0.4	-0.22	0.82	1.26
1N5231	5.10	20	17.0	1600	5.0	± 1.53	N/A	N/A
Simulation	5.28	90	1.82	672	2.44×10^{-7}	-0.70	0.77	0.45



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- [1] R.H. MURPHY, "THE ZENER DIODE—an accurate voltage reference source" , Electronics & Power December 1966.
- [2] Kuijk, K.E., "A precision reference voltage source" , IEEE Journal of Solid-State Circuits, Volume : 8 , Issue:3 June 1973.
- [3] J.F. Wang, J. Cao, Y.M. Shen and Y.F. Jiang, "Manufacturing Process of Bipolar IC With Zener Diode", IEEE 1998.
- [4] N. D. STOJADINOVIC, Lj. Dj. RISTIC and B. V. VIDANOVI, "New technique for fabrication of low voltage Si Zener diodes" , ELECTRONICS LETTERS 5th February 1981 Vol.17 No. 3.
- [5] M. S. TYAGI, "Zener and avalanche breakdown in silicon alloyed p-n junctions" , Solid-State Electron., 1968, 11, pp. 99-11.
- [6] Luh, L.; Choma, J., Jr.; Draper, J.A, "Zener-diode-activated ESD protection circuit for sub-micron CMOS processes" , The 2000 IEEE International Symposium on Circuits and Systems. Proceedings. ISCAS 2000 Geneva. , p 65 - 68 vol.5 2000.
- [7] Acosta, Orlando N., "Zener diode - a protecting device against voltage transients" , IEEE Transactions on Industry and General Applications, Issue: 4 Page(s): 481 – 488, 1969
- [8] T. Suetsugu, and M.K. Kazimierczuk, "VOLTAGE-CLAMPED CLASS E AMPLIFIER WITH A ZENER DIODE ACROSS THE CHOKE COIL , IEEE 2002.
- [9] V. Milovanović and R. van der Toorn, "A Novel Physics-Based Compact Model of Band-to-Band Tunneling Current in p-n Junctions", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 57, NO. 7, JULY 2010.
- [10] Moroi, David S. Ohmer, Melvin C. Szmulowicz, Frank Brown, David H., "A tunneling theory of exciton photoluminescence for neutral acceptors in silicon: A study of the systems Si: (B,□In), Si: (Al,□In), Si: (Ga,□In), Si: (B,□Al), Si: (B,□Ga), and Si: (Al,□Ga) " , Journal of Applied Physics, Volume: 59 , Issue: 4, Page(s): 1309 - 1315, 1986.
- [11] S.M. Sze, Kwok K. Ng, "Physics of Semiconductor Devices 3rd " , John Willey & Sons, Inc, Hoboken, New Jersey, 2007.

เอกสารอ้างอิง (ต่อ)

- [12] Neamen, Donald A., “Semiconductor Physics and Devices”, McGraw Hill.
- [13] B. CULSHAW, “Independent Control of Temperature Coefficient and Breakdown Voltage in Zener diodes.” Electronic Letters 2nd October 1975 Vol.11, No. 20.
- [14] L.T. Harrison, “Current Source & Voltage References, Elsevier Inc. 2005.
- [15] R.B. Fair and H.W. Wivell, “Zener and Avalanche Breakdown in As-Implanted Low- Voltage Si n-p Junctions” , IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. ED-23, NO. 5, MAY 1976.
- [16] รศ.ดร.สมเกียรติ ศุภเดช, “เซมิคอนดักเตอร์ดีไวซ์”, แผนกตำรา คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พิมพ์ครั้งที่ 5 พ.ศ. 2551
- [17] Wiwat Itthikusumarn, Wittawat Yamwong, Amporn Poyai, Jirawat Prabket, Chaba Suriyaammaranon, Wisut Titiroongruang. 2011. “EFFECT OF GRADED CONSTANT ON ZENER DIODE CHARACTERISTICS” The 5th PSU-UNS International Conference on Engineering and Technology (ICET-2011).
- [18] Hong Xiao, “Introduction to Semiconductor Manufacturing Technology” , Prentice Hall, 2001
- [19] Gary S. May, Simon M. Sze “Fundamentals of Semiconductor Fabrication. ” , John Wiley & Sons, Inc. (2004).
- [20] TCAD Sentaurus Tutorial User Guide.
- [21] E. Garside, P. Harvey, “The Characteristic of Silicon Voltage-Reference Diodes” , The Institution of Electrical Engineers, Paper No. 3055 E, Mar. 1960
- [22] วิวัฒน์ อธิกฤษุมลย์, วิทวัส แยมวงษ์, อัมพร โพธิ์ไย, จิรวัดน์ ปราบเขต, ขบา สุริยอัมรานนท์, และ วิสุทธิ์ ฐิติรุ่งเรือง. 2554. “การพิจารณาระดับพลังงานที่ใช้ยิงอะตอมสารเจือสำหรับการสร้างซีเนอร์ไดโอด” การประชุมวิชาการม.อ. ภูเก็ต ครั้งที่ 4 (2554)
- [23] W. J. King, J. T. Burrill, S. Harrison, F. Martin, and C. Kellett (1965). “Devices Fabricated by Ion Implantation. ”, Electron Devices Meeting, International Volume11: Page(s): 34 – 35 (1965)
- [24] R. W. Bower, H. G. Dill, and K. G. Aubuchon “Characterization of MOSFETs formed by Gate Masked Ion Implantation Technique. ”, Electron Devices Meeting, International Page(s): 38–40 (1967)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง (ต่อ)

- [25] Stephen A. Campbell. "The Science and Engineering of Microelectronic Fabrication 2nd Edition". New York Oxford University Press (2001)
- [26] R. Doering, Y. Nishi. "Handbook of Semiconductor Manufacturing Technology 2nd Edition". CRC Press Taylor & Francis Group (2008)
- [27] Wiwat Itthikusumarn, Wittawat Yamwong, Amporn Poyai, Jirawat Prabket, Chaba Suriyaammaranonand Wisut Titiroongruang. 2554. "Series Resistance Reduction by Wafer Backgrinding Process" การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 34 (EECON-34)
- [28] B.G. Streetman and S.K. Banerjee, "Solid State Electronic Devices" , 6th Ed, Prentice-Hall, 2006.
- [29] S. Sandireddy and T. Jiang, Senior IEEE Member, "Advanced Wafer Thinning Technologies to Enable Multichip Packages" , WMED, IEEE 2005.
- [30] DIETER K. SCHRODER, "Semiconductor Material and Device Characterization" , A Wiley-Interscience Publication, USA.
- [31] รศ.ดร.สมเกียรติ ศุภเดช, "เซมิคอนดักเตอร์ฟิล์มบาง", แผนกตำรา คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, พิมพ์ครั้งที่ 5 พ.ศ. 2551
- [32] Schenk, "RIGOROUS THEORY AND SIMPLIFIED MODEL OF THE BAND-TO-BAND TUNNELING IN SILICON", Solid-State Electronics Vol. 36, No. 1, pp. 19-34, 1992
- [33] A.E. Garside and P. Harvey, "THE CHARACTERISTICS OF SILICON VOLTAGE-REFERENCE DIODES" , The Institution of Electrical Engineers Paper No. 3055 E Mar. 1960.
- [34] Handbook, "TVS/Zener Theory and Design Considerations" , ON Semiconductor, SCILLC, 2005
- [35] L. Luh, J. Choma Jr. and J. Draper, "A Zener-Diode-Activated ESD Protection Circuit for Sub-Micron CMOS Processes" , ISCAS 2000 - IEEE International Symposium on Circuits and Systems, May 28-31, 2000, Geneva, Switzerland.
- [36] วิวัฒน์ อธิธิกุลสมาลย์, จิรวัดน์ ปราบเขต, มนตรี แสนละมุล, วิทวัส แยมวงษ์, อุดม เตชะกิจจจร, อัมพร โพธิ์ไย, สุรศักดิ์ เนียมเจริญ, และ วิสุทธิ์ ฐิติรุ่งเรือง. 2553 "การวิเคราะห์กระแสรั่วไหลรอยต่อของซิลิคอนไดโอดแบบ PiN ที่ผ่านการเติมอะตอมแพลตินัม" การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 33 (EECON-33)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

ผลงานนำเสนอในที่ประชุมวิชาการนานาชาติ

- Wiwat Itthikusumarn, Wittawat Yamwong, Amporn Poyai, Jirawat Prabket, Chaba Suriyaammaranon, Wisut Titiroongruang. "EFFECT OF GRADED CONSTANT ON ZENER DIODE CHARACTERISTICS" The 5th PSU-UNS International Conference on Engineering and Technology (ICET-2011).

ผลงานนำเสนอในที่ประชุมวิชาการในประเทศ 3 เรื่อง คือ

- วิวัฒน์ อธิธิกุสุมาลย์, จิรวัดน์ ปราบเขต, มนตรี แสนละมูล, วิทวัส แยมวงษ์, อุดม เตชะกิจขจร, อัมพร โพธิ์ไย, สุรศักดิ์ เนียมเจริญ, และ วิสุทธิ ฐิติรุ่งเรือง. "การวิเคราะห์กระแสรั่วไหลรอยต่อของซิลิคอนไดโอดแบบ PiN ที่ผ่านการเติมอะตอมแพลตินัม" การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 33 (EECON-33) 2553.

- วิวัฒน์ อธิธิกุสุมาลย์, วิทวัส แยมวงษ์, อัมพร โพธิ์ไย, จิรวัดน์ ปราบเขต, ชบา สุริยอัมรานนท์, และ วิสุทธิ ฐิติรุ่งเรือง. "การพิจารณาระดับพลังงานที่ใช้อยู่ต่อมสารเจือสำหรับการสร้างซีเนอไรต์ไดโอด" การประชุมวิชาการม.อ. ภูเก็ต ครั้งที่ 4 (2554)

- Wiwat Itthikusumarn, Wittawat Yamwong, Amporn Poyai, Jirawat Prabket, Chaba Suriyaammaranonand, Wisut Titiroongruang. 2554. "Series Resistance Reduction by Wafer Backgrinding Process" การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 34 (EECON-34) 2554.



I
ICET-2011

Faculty of Engineering
Prince of Songkla University

May 2-3, 2011 : Merlin Beach Resort Hotel, Trirang Beach,
Phuket, Thailand

<http://www.icet.eng.psu.ac.th>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



EFFECT OF GRADED CONSTANT ON ZENER DIODE CHARACTERISTICS

Wiwat Itthikusumarn^{1*}, Wittawat Yamwong², Amporn Poyai², Jirawat Prabket¹,
Chaba Suriyaammaranon¹, Wisut Titiroongruang¹

¹King's Mongkut Institute of Technology Ladkrabang, Faculty of Engineering, Thailand
²Thai Microelectronics Center

*Authors to correspondence should be addressed via email: wiwa_zc@hotmail.com

Abstract: After the fabrication and electrical characterization of zener diodes, we can extract relationship between zener voltage (V_{Z1}) and graded constant(B). This paper shows that variation in zener voltage is caused by differences in graded constant of each diode. V_{Z1} variation at higher B tend to be less than lower B one. Furthermore, changes in B also affects the zener impedance (Z_{Z1}). The analysis of temperature dependency reveals that the breakdown mechanism is dominated by tunneling phenomena.

Key Words: Zener diode /Graded junction/Zener voltage and impedance.

1. INTRODUCTION

After the invention by Clarence Zener in 1934 [1][2], zener diodes have been used in reference voltage devices and TVS [3] for many years. By used method of junction breakdown to stabilize the voltage level. Thus we can control reference voltage level by selecting the junction area [4].

Many parameters are important for zener diodes fabrication. One of them graded constant can show the pn junction area characteristic. For general diodes, we always assume the junction is abrupt, so graded constant will be omitted. As zener diodes have some phenomena concern this parameter.

So this study will experiment by technology supply from Thai Microelectronics Center (TMEC). zener diodes were fabricated and measured electrical characteristics that can explain about the effect from fabrication process to zener properties. On the ground of the process uniform, each diode on wafer has difference area of junction. can expression in term of graded constant (B). This paper will contain the variation in zener voltage (V_Z), zener impedance (Z_Z) and temperature dependency with graded constant.

2. THEORY

When sufficiently high field is applied to p-n junction, the junction "breakdown" and conducts a very

large current [4]. There are basically three breakdown mechanisms: thermal instability, tunneling effect, and avalanche multiplication. Thermal instability is responsible for the maximum dielectric strength in most insulators at room temperature, and is also a major effect in semiconductors with relatively small bandgaps (e.g., Ge). For silicon at low temperature, however, thermal instability becomes less important compared with other mechanism. So we will focus on only 2 mechanisms, tunneling effect and avalanche multiplication [5][6]. Two mechanisms contribute to the breakdown in Zener diodes: avalanche multiplication and tunneling effect. These mechanisms differ in several ways, the most notable of which is that the temperature coefficient of breakdown voltage of a tunneling junction is negative, whereas that of an avalanche junction is positive [7][8].

3. EXPERIMENT

Zener diodes were fabricated in basic device geometry shown in Fig.1. The effective area of the diode size is $1.69 \times 10^{-2} \text{ cm}^2$. The p⁺ and n⁺⁺-region was formed by ion implantation with boron and phosphorus, respectively. Then metallization on n⁺⁺-layer and p⁺-layer for cathode contact and anode contact, respectively.



Fig. 1. Cross-section of diode

Then the finished diodes were measured electrical characteristic by Agilent B1500A Semiconductor Device Analyzer for electrical measurement and probing on wafer by Cascade Microtech M150 probe station with

ERS Aircool SP72-300 thermo chuck. The measurements include reverse current - voltage characteristic (at test current, $I_{ZT} = 20mA$), under measurement temperature $30 - 150\text{ }^\circ\text{C}$ for considered V_{ZT} , Z_{ZT} and temperature dependency of zener breakdown mechanism. For another measurement, if reverse biased junction capacitance - voltage characteristic at frequency 100 kHz , we will get built-in voltage (V_{bi}), hyperabrupt factor (m), and graded constant (B) from this measurement.

4. ANALYSIS

In the pn junction considered so far, we have assumed that each semiconductor region has been uniformly doped [9]. In actual pn junction structures, this is not always true. Especially for zener diode, we must consider non-uniform doping profiles which are used to obtain special pn junction capacitance characteristics.

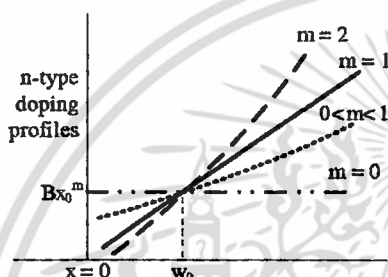


Fig.2 Generalized doping profile of a one-sided pn junction [9].

By assume one side graded junction as Fig.2 with following doping distribution for $x > 0$ is given by

$$N = B x^m \tag{1}$$

N is concentration at distance x and B is graded constant of junction.

The junction capacitance can be derived by Poisson's equation method and given by [5]

$$C = \left\{ \frac{q B \epsilon_s (m+1)}{(m+2)(V_{bi} + V_R)} \right\}^{\frac{1}{m+2}} \tag{2}$$

Then, considered only reverse biased V_R , m can be derived by

$$\frac{-d(\log C)}{d(\log V)} = \frac{1}{m+2} \tag{3}$$

From Eq.2, the expression for relationship between junction capacitance and reverse biased voltage is given by

$$C^{-(m+2)} = K_1 + K_2 V_R \tag{4}$$

Let

$$K_1 = \frac{(m+2)V_{bi}}{q B \epsilon_s^{(m+2)}}$$

$$K_2 = \frac{(m+2)}{q B \epsilon_s^{(m+2)}}$$

So we can find B from

$$B = \frac{(m+2)}{K_2 \epsilon_s^{(m+2)}} \tag{5}$$

since K_1 and K_2 is from the relationship of $C^{(m+2)} \cdot V_R$.

5. RESULT AND DISCUSSION

By reverse biased I-V characteristic, we can get zener voltage (V_Z) at Testing current (I_{ZT}). In this study, we choose I_{ZT} at $20mA$ and measured V_Z in range $4.5 - 4.9V$.

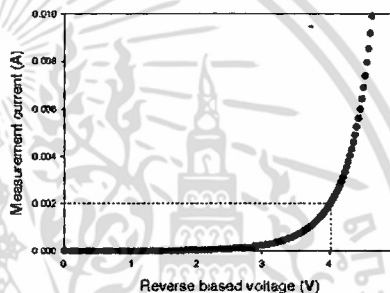


Fig.3. Reverse biased I-V Characteristic

At high graded constant, V_{ZT} slowly increases with graded constant -- i.e. changes in B , e.g. due to process variations, the constant will have less effects on V_{ZT} in this region.

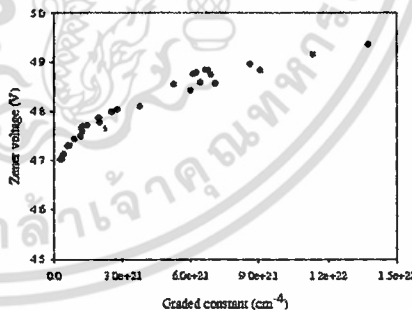


Fig.4. Variation in zener voltage with graded constant.

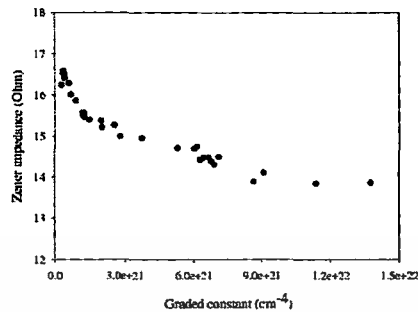


Fig.5 Variation in zener impedance with graded constant.

Zener impedance (Z_{ZT}) is the impedance of the diode at test current (I_{ZT}). From Fig.5, high graded constant yields low Z_{ZT} , which means variation of I_{ZT} will have less effects on V_{ZT} .

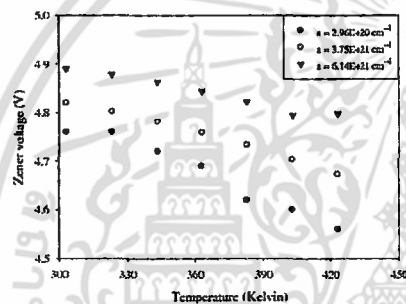


Fig.6. Variation in zener voltage with measurement temperature, K.

Fig.6 show variation in zener voltage due to measurement temperature. When temperature is increased, zener voltage will be decreased. It show temperature coefficient of zener voltage is negative, and meant the diodes from this experiment have tunneling effect dominated on junction breakdown mechanism.

We may expect from Fig.7 that TCV_Z will decrease with higher graded constant. As if we can control graded constant in high order, TCV_Z will be lower.

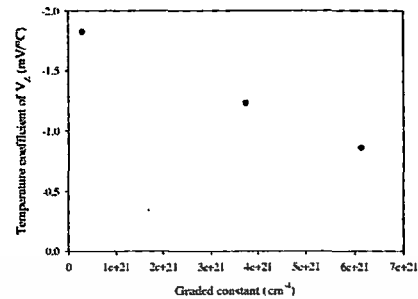


Fig.7. Variation in Temperature coefficient of zener voltage with graded constant.

6. CONCLUSION

The zener diodes were fabricated by technology of TMEC can operate effectively one. V_Z can be measured 4.7 - 4.9V at $I_{ZT} = 20mA$ and TCV_Z are -0.85 to -1.82 mV/°C. Graded constant is also an important parameter in zener diodes process design. In sum, the process should be developed for higher graded constant because this development can improve some characteristics (V_Z , Z_Z , and TCV_Z) of zener diodes.

7. ACKNOWLEDGE

The authors wish to thank National Science and Technology Development Agency (NSTDA) for research scholarship capital via Thailand Graduate Institute of Science and Technology (TGIST) project, contract no. TGIST 01-53-070. Furthermore, fabrication technology and electrical measurement by Thal Microelectronics center (TMEC), NECTEC.

6. REFERENCES

- [1] S.Somkiat, Semiconductor devices. Textbook department KMITL.
- [2] B. P. Singh, Electronic Devices and Integrated Circuits. Pearson Education India, 2006
- [3] Orlando N. Acosta, "Zener Diode-A Protecting Device Against Voltage Transients". IEEE Transactions on Industry and General Applications, Vol. IGA-05 no. 4, July/August 1969.
- [4] R. B. Fair, "Zener and Avalanche Breakdown in As-Implanted Low-Voltage Si n-p Junctions. IEEE Trans. Electron Devices, vol. ED-23, No. 5, May 1976.
- [5] S. M. Sze. Physics of Semiconductor Devices. New York: Wiley. 1969
- [6] A. E. Garside and P. Harvey "The Characteristics of Silicon Voltage-Reference Diodes". The Institution of Electrical Engineers, Paper No. 3055 E. Mar. 1960.

- [7] B. Culshaw, "Independent Control of Temperature Coefficient and Breakdown Voltage in Zener diodes," *Electronic Letters* 2nd October 1975 Vol.11, No. 20.
- [8] D. G. Wenham, "The Design of Direct Voltage and Current Stabilizers Using Semiconductor devices", *The Institution of Electrical Engineers*, Paper No. 3141 F, Apr. 1960.
- [9] Neamen, Donald A. *Semiconductor physics and devices : basic principles* 1 - 3rd ed. New York: McGraw Hill.



Wiwat Ithikusumarn was born in Chonburi, Thailand. He received the B.S. ('2004) degree in Electronics Engineering from King Mongkut's Institute of Technology Ladkrabang (KMITL), in Thailand. He has 2 years experience in semiconductor packaging with SONY Device Technology (Thailand) Co.Ltd. Now he's working toward a M.S. degree in Microelectronics Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), in Thailand. His research field is semiconductor technology.



Amporn Poyai was born in Pathum-thani, Thailand. He received the B.S. ('91) degree in physics from Silpakom University, M.Eng. ('94) in electrical engineering from King Mongkut's Institute of Technology Ladkrabang (KMITL), both in Thailand. He obtained M.E. ('98) and Ph.D. ('02) in electrical engineering from Katholieke Universiteit Leuven (KU Leuven), Belgium. His doctoral research was in the field of device physics, low temperature electronics, radiation physics, submicron silicon technologies and defect engineering. In these fields, he has authored or coauthored over 60 publications in Journal and Conference papers, and over 15 presentations at international conferences. In 1994, he joined NECTEC (Thailand), where he has been involved in the nation microelectronics project. From 1997 to 2002, he had got scholarship from Thai government supported through the National Science and Technology Development Agency (NSTDA) of Thailand to join IMEC (Belgium) for his master and doctoral research. Since 2002, he is a researcher of Thai Microelectronic Center (TMEC).



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



การประชุมวิชาการ ทางวิศวกรรมไฟฟ้า ครั้งที่ ๓๓

33rd Electrical Engineering Conference (EECON-33)

คำนำ

Keynote Speakers

บทความรับเชิญ

บทความตีพิมพ์

ดัชนีผู้เขียนบทความ Vol.1 (Author Index Vol.1)

ดัชนีผู้เขียนบทความ Vol.2 (Author Index Vol.2)

ดัชนีคำสำคัญ Vol.1 (Keyword Index Vol.1)

ดัชนีคำสำคัญ Vol.2 (Keyword Index Vol.2)

กำหนดการ

Sponsor

หน้าปก Proceedings

Proceeding Vol.1

Proceeding Vol.2

Abstract Program

บทความทางวิศวกรรมไฟฟ้า

ไฟฟ้ากำลัง (PW)

อิเล็กทรอนิกส์กำลัง (PE)

ไฟฟ้าสื่อสาร (CS)

อิเล็กทรอนิกส์ (EL)

การประมวลผลสัญญาณดิจิทัล (DS)

ระบบควบคุมและการวัดคุม (CT)

งานวิจัยที่เกี่ยวข้องกับวิศวกรรมไฟฟ้า (GN)

ไฟโตเมทริกซ์ (PH)

คอมพิวเตอร์และเทคโนโลยีสารสนเทศ (CP)

วิศวกรรมชีวการแพทย์ (BE)

ร่วมจัดโดย

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

มหาวิทยาลัยเชียงใหม่

มหาวิทยาลัยเทคโนโลยีมหานคร



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การวิเคราะห์กระแสรั่วไหลรอยต่อของซิลิคอนไดโอดแบบ PIN ที่ผ่านการเติมอะตอมแพลตตินัม Analysis of Junction Leakage Current of Pt-Doped Silicon PIN Diodes

วิวัฒน์ อธิกุลสุมาตย์ จีรวัดน์ปราวเขตน์ มนตรี แสนละมูล วิภาวีตย์ชัยภูมิ อุดม เศรษฐกิจจอร์ อัมพร ไหริชัย
สุรศักดิ์เนียมเจริญ และ วิสุทธิ์ ชูดีรุณเรือง

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
3 หมู่ที่ 2 อ.คลองหลวง เขตคลองหลวง จ.ปทุมธานี 10520 โทรศัพท์: 0-2739-0643 E-mail: jirawat.pabket@aeecetec.or.th
ศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ
51:4 หมู่ที่ 1 อ. สุวินทวงศ์ ต. วังสะพือช่อ, เมือง จังหวัดฉะเชิงเทรา 124000 โทรศัพท์: 038-857-100-9

บทคัดย่อ

รายงานเล่มนี้นำเสนอการแยกส่วนประกอบ และวิเคราะห์กระแสรั่วไหลรอยต่อของซิลิคอนไดโอดแบบ PIN หลังผ่านการเติมด้วยอะตอมแพลตตินัม ณ อุณหภูมิการแพร่ 850 และ 900 °C และทำการเปรียบเทียบกับไดโอดที่ไม่เติมอะตอมแพลตตินัม ผลการทดลองพบว่าไดโอดที่ผ่านการเติมด้วยอะตอมแพลตตินัม และกระแสรั่วไหลรอยต่อมากขึ้นและแปรผันตรงกับอุณหภูมิการแพร่ จากกราฟวิเคราะห์ความสัมพันธ์ระหว่างลักษณะสมบัติกระแสและค่าส่วนกลับของอุณหภูมิ พบว่าการเพิ่มขึ้นของกระแสรั่วไหลรอยต่อเนื่องมาจากอะตอมของแพลตตินัมทำให้ระดับพลังงานจำศีลในแถบพลังงานของซิลิคอนเปลี่ยนไป และส่งผลต่อกลไกการไหลกระแสรั่วไหลรอยต่อของไดโอด

คำสำคัญ: กระแสรั่วไหลรอยต่อ, ซิลิคอนไดโอดแบบ PIN, การเติมด้วยอะตอมแพลตตินัม ระดับลึก

Abstract

This report presents the separate components and analysis of junction leakage current of Pt-doped silicon PIN diodes at the diffusion temperatures 850 and 900 °C and compared to a without Pt-doped diode. The experimental results showed that the junction leakage currents of Pt-doped diodes are increased and directly proportional to the diffusion temperature. From analyzed the relation between the current density versus temperature characteristics, we found the increase of junction leakage current due to the atoms of platinum causing a deep energy levels in the band gap of silicon and effect on the mechanisms of junction leakage current of diodes.

Keywords: Junction leakage current, Silicon PIN diodes, Pt-doped, Deep level

1. บทนำ

วิธีการควบคุมอายุหาะส่วนน้อย (minority carrier lifetime control) ถูกนำไปใช้อย่างแพร่หลายในอุปกรณ์สารกึ่งตัวนำกำลังความถี่สูง (power semiconductor device) รวมถึงซิลิคอนไดโอดที่ติดตั้งโครงสร้าง PIN ด้วย เนื่องจากสามารถช่วยลดช่วงเวลาฟื้นตัวย้อนกลับ (reverse recovery time) และการสูญเสียพลังงาน (energy loss) ของอุปกรณ์สารกึ่งตัวนำกำลังระหว่างกระบวนการในสถานะที่กระแส (On-state) และสภาวะหยุดนิ่ง (Off-state) ได้ [1-2] ในปัจจุบันการเติมอะตอมของแพลตตินัม เข้าสู่สารกึ่งตัวนำซิลิคอนเป็นอีกวิธีการหนึ่งที่ยอมรับใช้ควบคุมอายุหาะส่วนน้อยในอุปกรณ์สารกึ่งตัวนำกำลัง โดยอะตอมของแพลตตินัมทำให้เกิดระดับลึก (deep level) ในช่องว่างพลังงานของซิลิคอน [3] ซึ่งระดับเหล่านี้จะประจุตัวในสภาวะกลางการเกิด และการรวมตัวของพาหะส่วนน้อยในค่าอุณหภูมิต่ำ และเนื่องด้วยความต้องการใช้ซิลิคอนไดโอดกำลังโครงสร้างข้างต้นมากขึ้นทั้งในแง่ของปริมาณกำลังงาน และอุณหภูมิที่สูงขึ้นส่งผลให้การพัฒนา และวิจัยอุปกรณ์ดังกล่าวมีความท้าทายยิ่งขึ้น

งานวิจัยเป็นการนำเสนอวิธีการแยกส่วนประกอบ และวิเคราะห์กระแสรั่วไหลรอยต่อและการดลของซิลิคอนไดโอดแบบ PIN หลังผ่านการเติมด้วยอะตอมแพลตตินัม โดยทำการเปรียบเทียบกับไดโอดที่ไม่เติมอะตอมแพลตตินัม สหพันธ์การวิเคราะห์กระแสรั่วไหลรอยต่อไดโอดได้พบว่าองค์ประกอบกระแสที่เปลี่ยนที่เพิ่มขึ้นที่นำวัดและกระแสที่ไหลผ่านบริเวณรอยต่อของสารกึ่งตัวนำ ทั้งนี้เพื่อความถูกต้องในการวิเคราะห์ผลทดลอง และศึกษาผลของอะตอมแพลตตินัมที่มีต่อพฤติกรรมซิลิคอนไดโอดแบบ PIN และสามารถใช้ในการอธิบายปรากฏการณ์และกลไกที่วัดขึ้นที่ ซิลิคอนไดโอด ฝังแบบ PIN คือ)

2. การทดลอง

การสร้างซิลิคอนไดโอดแบบ PIN เพื่อการศึกษาผลของกรณีหรือแพลตตินัม มีขั้นตอนผลิตเริ่มต้นที่ซิลิคอน-epi (111), มีสภาพความต้านทาน 60 Ω.cm ขนาด 300 μm, ชั้น N⁺ มีความหนาแน่นอะตอม 1.0x10¹⁹ cm⁻³ ซึ่งจะใช้โรเทน พลังงาน 60 keV ความหนาแน่น 1.0x10¹⁷



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

cm² สำหรับสกรีนรอยต่อ p-n จากนั้นก็ทำการแพร่ด้วยอะตอมของ แคลด์นีนที่อุณหภูมิ 850 และ 900 °C ใช้เวลาแพร่ 120 นาที ตามลำดับ เสร็จแล้วจึงล้าง โลหะออกด้วยน้ำไฮโดรเจนเปอร์ออกไซด์เพื่อลบรอยต่อ p-n และนำแผ่นไปทำความสะอาดด้วยน้ำยาทำความสะอาด

ตารางที่ 1. เปรียบเทียบลักษณะไดโอดที่มีรูปร่างและขนาดต่างกัน (A คือ พื้นที่หน้าตัด P คือ ความยาวกรวยและ N_v เป็นจำนวนแถบ)

Diode	A (cm ²)	P (cm)	N _v (no.)
SQ	0.0016	0.16	4
ST1	0.001	0.72	40
ST2	0.001	1.152	320

การวัดลักษณะสมบัติกระแส-แรงดันไฟฟ้า และความจุ-แรงดันไฟฟ้า ของไดโอดที่มีลักษณะรูปร่างแตกต่างกัน ทั้งขนาดพื้นที่หน้าตัด (A) และความยาวกรวย (P) ดังแสดงในตารางที่ 1. ทั้งนี้เพื่อทราบค่ากระแสอิ่มตัว และวิเคราะห์หากลักษณะที่ไหลผ่านไดโอด จากทฤษฎี ส่วนประกอบกระแสของรอยต่อ p-n [4] ซึ่งประกอบด้วย กระแสที่ไหลผ่านพื้นที่หน้าตัด (I_p) และกระแสที่ไหลบริเวณขอบ (I_s) ของไดโอด จากส่วนประกอบกระแสทั้งหมด สามารถเขียนได้ ดังสมการ

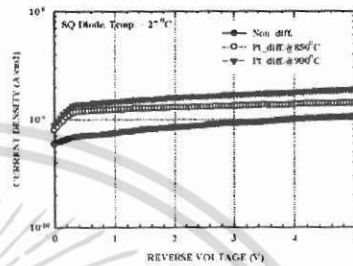
$$I = I_p + I_s = AJ_p + PI_s$$

จากความสัมพันธ์ที่กล่าวมาซึ่งมีระหว่าง I/P และ A/P สามารถหา ส่วนประกอบของความหนาแน่นกระแสที่พื้นที่หน้าตัด (J_p) ในขณะที่ค่า ความเข้มข้นของสารเจือปนในวง A และ P สามารถหาส่วนประกอบของความ หนาแน่นกระแสที่บริเวณขอบรอยต่อ (J_s) ของไดโอดได้

ในการทดลองนี้ จะทำการวัดลักษณะสมบัติไดโอดภายใต้แรงดันไบอัสตั้งแต่ 5 ถึง 1 V ภายใต้อุณหภูมิการวัด 27 ถึง 147 °C สำหรับความถี่ที่ใช้ในการวัดค่าความจุไฟฟ้า นั้น ใช้ที่ 100 kHz ในการ

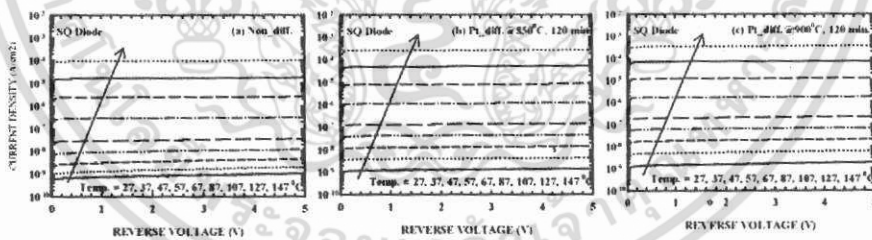
ทดลองนี้ การวัดลักษณะสมบัติ ทั้งกระแสแรงดันไฟฟ้า และความจุ-แรงดันไฟฟ้า ทำโดยใช้เครื่องมือวัดระดับความถี่ลักษณะของอุปกรณ์สารกึ่งตัวนำ Agilent รุ่น B1500A ซึ่งวัดผลของกระแสและแรงดันไฟฟ้าในหัวข้อต่อไป

3.ผลการทดลอง และการอภิปราย



รูปที่ 1. ลักษณะสมบัติกระแสแรงดันไฟฟ้าของไดโอดแบบ PIN ที่มีเติมอะตอมแคลด์นีน และเติมอะตอมแคลด์นีนที่อุณหภูมิ 850 และ 900 °C ตามลำดับ

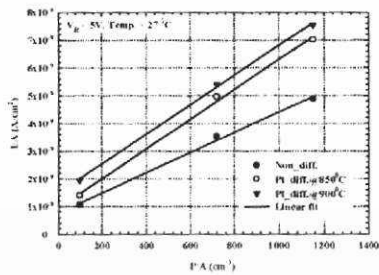
รูปที่ 1 แสดงลักษณะสมบัติกระแส-แรงดันไบอัสย้อนกลับของจังก์ชันไดโอดแบบ PIN ที่มีเติมอะตอมแคลด์นีน และเติมอะตอมแคลด์นีนที่อุณหภูมิ 850 และ 900 °C ตามลำดับ กราฟจะสังเกตเห็นได้ว่าลักษณะสมบัติกระแส-แรงดันไฟฟ้า ที่มีค่าเพิ่มขึ้นหลังจากการแพร่ด้วยอะตอมแคลด์นีนและเมื่อพิจารณาที่แรงดันไบอัสย้อนกลับ 5 V จะเห็นว่าค่าความหนาแน่นกระแสที่บริเวณรอยต่อเพิ่มขึ้นเล็กน้อยกว่าที่วัดที่ 1 V เมื่อเปรียบเทียบกับไดโอดที่ไม่มีเติมอะตอมแคลด์นีนเพื่อศึกษาผลกระทบของอุณหภูมิที่มีต่อคุณสมบัติของไดโอด



รูปที่ 2. ลักษณะสมบัติกระแสแรงดันไฟฟ้าของไดโอดแบบ PIN (a) ไม่มีเติมอะตอมแคลด์นีน และเติมอะตอมแคลด์นีนที่อุณหภูมิ (b) 850 และ (c) 900 °C ตามลำดับภายใต้อุณหภูมิการวัดตั้งแต่ 27 ถึง 147 °C

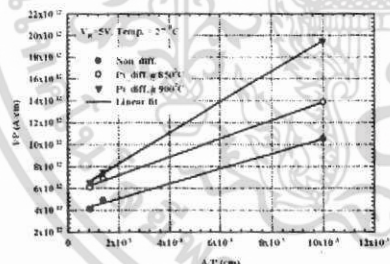


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3. กราฟความสัมพันธ์ระหว่างความหนาแน่นกระแส (J/A) อ่อนกลับ กับอัตราส่วนระหว่างความยาวขั้วต่อพื้นที่หน้าตัด (P/A) ที่แรงดัน $V_g = 5V$

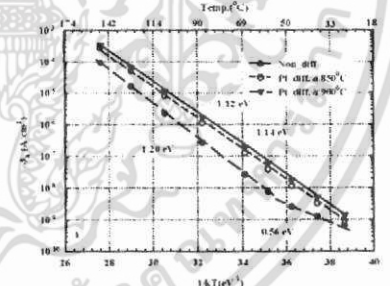
รอยต่อของไดโอด แสดงดังในรูปที่ 2 ฉากรูปในช่วงอุณหภูมิของขั้วต่อ อัตราการเพิ่มขึ้นของความหนาแน่นกระแสที่ขั้วรอยต่อ จะน้อยกว่า ในช่วงอุณหภูมิการโค้งงอและ ไดโอดที่ผ่านการผลิตจะยอมแลกต้นทุนค่าความหนาแน่นกระแสที่ขั้วรอยต่อมากกว่า ในรูปที่ 3 แสดงกราฟความสัมพันธ์ระหว่างความหนาแน่นกระแส (J/A) อ่อนกลับ กับอัตราส่วนระหว่างความยาวขั้วต่อพื้นที่หน้าตัด (P/A) ที่แรงดัน $V_g = 5V$ โดยจะเห็นว่า อัตราส่วน P/A มีผลต่อความหนาแน่นกระแสที่ขั้วรอยต่อ นั่นหมายความว่าความหนาแน่นกระแสที่ขั้วรอยต่อจะขึ้นกับความยาวขั้วต่อของรอยต่อที่ขึ้นอย่างมาถึ ถึงแม้ว่าไดโอดจะมีพื้นที่หน้าตัดของรอยต่อที่มากขึ้นก็ตาม และจากรูปสามารถหาค่าความหนาแน่นกระแสที่ขั้วรอยต่อ (J_v) ได้จากค่าความชันเชิงเส้นกราฟ



รูปที่ 4. กราฟความสัมพันธ์ระหว่างความหนาแน่นกระแส (J/A) อ่อนกลับ กับอัตราส่วนระหว่างพื้นที่หน้าตัดต่อความยาวขั้วต่อ (P/A) ที่แรงดัน $V_g = 5V$

ต่อมาในรูปที่ 4 แสดงกราฟความสัมพันธ์ระหว่างความหนาแน่นกระแส (J/A) อ่อนกลับ กับอัตราส่วนระหว่างพื้นที่หน้าตัดต่อความยาวขั้วต่อ (P/A) ที่แรงดัน $V_g = 5V$ ในที่นี้ขอเรียกว่า จากรูปสามารถหาค่าความหนาแน่นกระแสที่หน้าตัด (J_v) ได้จากค่าความชันเชิงเส้นกราฟ ดังรูปที่ 3 และ 4 สามารถหาค่า J_v และ J_p ในขณะที่ได้โวลต์ที่รับแรงดันไบอัสที่อ่อนกลับภายใต้อุณหภูมิการวัดที่ต่างกันคือ 87 ถึง 147 °C ได้ตามลำดับ

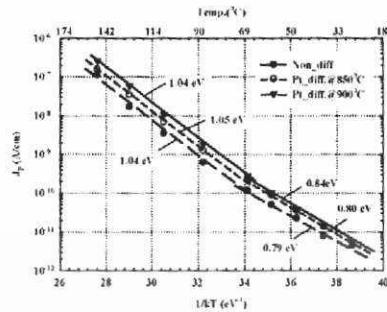
เนื่องจากความหนาแน่นกระแสที่ขั้วรอยต่อของไดโอดนั้น เกิดจากส่วนประกอบของกระแสการแพร่ (diffusion current) และกระแสการเกิดใหม่ (generation current) รวมกันดังได้ตั้งไว้ ซึ่งสามารถแยกส่วนประกอบทั้งสองออกได้โดยใช้ โลกที่ทราบสัณฐานของอุณหภูมิที่มีต่อค่าความหนาแน่นกระแสที่ขั้วรอยต่อ ถ้าค่าความหนาแน่นกระแสที่ขั้วรอยต่อล้นมีผลส่วนใหญ่ต่อการแพร่ค่าความชันของ Arrhenius plot หรือก็คือ ระดับพลังงานกระตุ้น (activation energy) มีค่าเข้าใกล้ค่าความถี่ของรังสีพลังงงานของซิลิคอน นั่นคือ 0.12 eV (300 K) ในขณะที่ค่าความหนาแน่นกระแสที่ขั้วรอยต่อมีผลเด่นแก่กระแสการเกิดใหม่ ค่าความชันของ Arrhenius plot นี้ที่มีค่าใกล้เคียงกลางของควมกว้างช่วงพลังงาน E_g ของซิลิคอน นั่นคือ 0.56 eV (300 K) ในรูปที่ 5 แสดง Arrhenius plot ความสัมพันธ์ระหว่าง J_v และ $1/kT$ ของไดโอดแบบ PN ที่ไม่เติมอะตอมเหล็กดัด และเติมอะตอมเหล็กดัดในช่วงอุณหภูมิ 850 และ 900 °C ขณะที่ได้รับแรงดันอ่อนกลับ 5V จากความสัมพันธ์ดังกล่าวจะเห็นได้ว่า ในช่วงอุณหภูมิที่ซิลิคอนไดโอดแบบ PN ที่ไม่เติมอะตอมเหล็กดัดมีค่าพลังงานกระตุ้นมีค่า 0.56 eV ซึ่งให้เห็นว่าค่าความหนาแน่นกระแสที่ขั้วรอยต่อส่วนใหญ่เกิดจากผลของกระแสการเกิดใหม่ แต่ในช่วงอุณหภูมิสูงที่ขั้วรอยต่อมีพลังงานกระตุ้นมีค่าเข้าใกล้ E_g บ่งชี้ว่ากระแสการแพร่มีลักษณะเด่น สำหรับในไดโอดที่เติมด้วยอะตอมเหล็กดัดนั้นกระแสการแพร่มีลักษณะเด่น ตลอดช่วงอุณหภูมิ



รูปที่ 5. Arrhenius plot ความสัมพันธ์ระหว่าง J_v ของซิลิคอนไดโอดแบบ PN ที่ไม่เติมอะตอมเหล็กดัด และเติมอะตอมเหล็กดัดในช่วงอุณหภูมิ 87 ถึง 147 °C ที่แรงดัน $V_g = 5V$

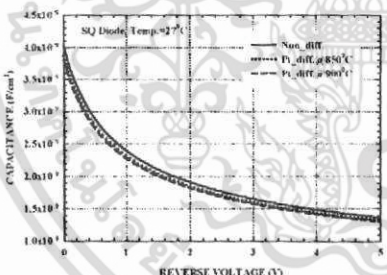


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6. Arrhenius plot ความสัมพันธ์ระหว่าง J_p ของซีดีคอนไดโอดแบบ PIN ที่ไม่เติมอะตอมเหล็กลิเทียม และเติมอะตอมเหล็กลิเทียมในช่วงอุณหภูมิ ตั้งแต่ 27 ถึง 147 °C ที่แรงดัน $V_p = -5V$

ในรูปที่ 6 แสดง Arrhenius plot ความสัมพันธ์ระหว่าง J_p และ $1/T$ ของไดโอดแบบ PIN ที่ไม่เติมอะตอมเหล็กลิเทียม และเติมอะตอมเหล็กลิเทียมที่อุณหภูมิ 850 และ 900 °C ขณะที่ได้รับแรงดันย้อนกลับ 5V จะเห็นได้ว่า ในช่วงอุณหภูมิที่ ซีดีคอนไดโอดแบบ PIN ทั้งที่ไม่เติมอะตอมเหล็กลิเทียม และเติมอะตอมเหล็กลิเทียมที่อุณหภูมิ 850 และ 900 °C ตามลำดับ จะสัมพันธ์กับแรงดันที่ค่าอยู่ในช่วง 0.79, 0.80 และ 0.84 eV ตามลำดับ ซึ่งชี้ให้เห็นว่าค่าความหนาแน่นกระแสบริเวณขอบส่วนใหญ่เกิดจากผลของกระแสการไหลใน ส่วนในช่วงอุณหภูมิสูง พบว่าระดับพลังงานระดับที่มีค่าใกล้เคียง 0.8 eV ซึ่งกระแสการไหลมีลักษณะเด่น ตามการวิเคราะห์การเคลื่อนที่ของอิเล็กตรอนของไดโอดจะสังเกตเห็นได้ว่ากลไกการเกิดกระแสส่วนใหญ่เกิดจากกระแสการแพร่



รูปที่ 7. ลักษณะสมบัติความจุขงแรงดันไฟฟ้าที่ขึ้นที่ของซีดีคอนไดโอดแบบ PIN ที่ไม่เติมอะตอมเหล็กลิเทียม และเติมอะตอมเหล็กลิเทียมที่อุณหภูมิ 850 และ 900 °C ตามลำดับ

ในรูปที่ 7 แสดงลักษณะสมบัติความจุขงแรงดันไฟฟ้าที่ขึ้นที่ของซีดีคอนไดโอดแบบ PIN ที่ไม่เติมอะตอมเหล็กลิเทียม และเติมอะตอมเหล็กลิเทียมที่อุณหภูมิ 850 และ 900 °C ตามลำดับหลังจากเติมด้วยอะตอมเหล็กลิเทียมค่าความจุไฟฟ้าที่ของซีดีคอนไดโอดแบบ PIN ที่เติมอะตอมเหล็กลิเทียมที่อุณหภูมิ 850 และ 900 °C คล้ายกันอยู่ เนื่องจากอะตอมของเหล็กลิเทียมที่แพร่เข้าไปในสารกึ่งตัวนำ ซีดีคอนไดโอดที่เติมด้วยอะตอมเหล็กลิเทียมหรือสารอินทรีย์สูงนั่นเอง

4. บทสรุป

กระแสที่ไหลของซีดีคอนไดโอดแบบ PIN มีค่าเพิ่มขึ้นประมาณ 1 เท่าตัว หลังจากการเติมด้วยอะตอมเหล็กลิเทียม โดยที่ค่าความหนาแน่นกระแสที่ลดลงเป็นอย่างมาก ส่อการเพิ่มขึ้นของความหนาแน่นกระแสที่ลดลงถึงแม้จะมีการเติมด้วยอะตอมเหล็กลิเทียม กลไกการเกิดกระแสส่วนใหญ่ของซีดีคอนไดโอดแบบ PIN เกิดจากกระแสการแพร่ และกระแสที่สัมพันธ์กับอุณหภูมิการแพร่ของอะตอมเหล็กลิเทียมที่เพิ่มขึ้นนี้ มีเนื่องจากอะตอมของเหล็กลิเทียมในสารกึ่งตัวนำ ซีดีคอนไดโอดที่เติมด้วยอะตอมเหล็กลิเทียมของซีดีคอนไดโอด ซึ่งส่งผลให้พลังงานดังกล่าวจะประจุตัวเป็นศูนย์กลางการจับยึดที่ให้อายุการเกิด และก่ออายุการรวมตัวใหม่ของพาหะเปลี่ยนแปลง ดังที่ส่งผลให้ค่าความหนาแน่นกระแสของอะตอมสารอินทรีย์ลดลง โดยจะส่งผลให้อัตรากระแสสมบัติของไดโอดเปลี่ยนแปลงด้วย

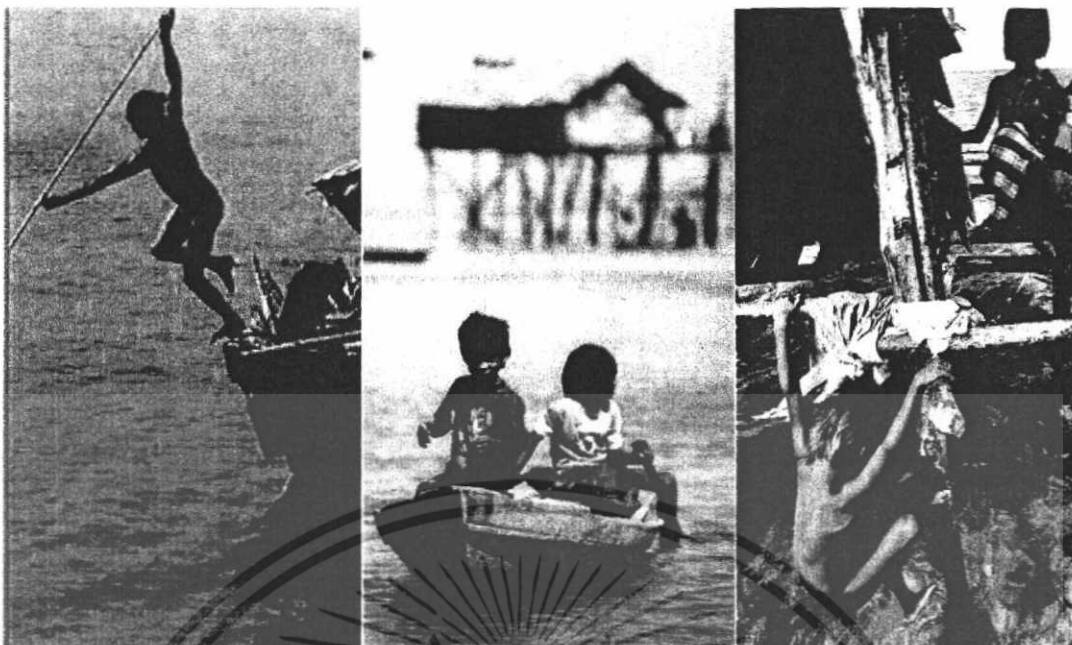
กิตติกรรมประกาศ

วิวัฒน์ อินธิสุขุมานต์ ได้รับทุนสนับสนุนเงินอุดหนุนการศึกษาลดผลกระทบด้านราคาวัสดุศาสตร์และเทคโนโลยี (สวทช./สวทช.บ. ไลโซโทป/GIST) ส่วนงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ (สวทช.) สวทช.ศูนย์วิจัยเทคโนโลยี (TG-34-22-53-070M) ของสถาบันวิจัยดาราศาสตร์แห่งชาติ และผู้ช่วยนักวิจัย ศูนย์เทคโนโลยีโทรคมนาคมที่ กุญแจที่ให้การสนับสนุนงานวิจัยนี้

เอกสารอ้างอิง

- [1] D.K.Schröder, "Carrier lifetimes in silicon", IEEE Trans. Electron Devices ED-44, p.160, 1997.
- [2] V.K.Khanna, "Physical understanding and technological control of carrier lifetimes in semiconductor materials and devices: A critical and conceptual development, state of art and applications", Progress in Quantum Electronics 29 p.59-163, 2005.
- [3] K.P.Lisjak, A.G.Milnes, "Platinum as a lifetime control deep impurity in silicon", Journal of applied Physics, 46, p.5229-35, 1975.
- [4] A.Poyai, E.Simon, C.Claeys, A.Czerwinski, "Silicon substrate effects on the current voltage characteristics of advanced p-n junction diodes" Materials Science and Engineering B73, p.191-196, 2000.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



THE 4TH ANNUAL PSU PHUKET RESEARCH CONFERENCE

การประชุมวิชาการ ม.อ.ภูเก็ตวิจัย ครั้งที่ 4 (2554)

2011

16-18 NOVEMBER
PRINCE OF SONGKLA UNIVERSITY PHUKET CAMPUS
มหาวิทยาลัยสงขลานครินทร์ วิทยาเขตภูเก็ต



ม.อ.วิชาการ

::: สหวิทยาการเพื่อการพัฒนาอย่างยั่งยืน :::

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพิจารณาระดับพลังงานที่ใช้ยิงอะตอมสารเจือสำหรับการสร้างซีเนอร์ไดโอด

Ion-Implantation Energy Consideration for Zener Diode Fabrication

วิวัฒน์ อธิภักฎมาภย์¹, วิทวัส แอ้มวงษ์¹, ชัมพร โพธิ์ไย¹, จิรวัดน์ ปราบเขต¹, ชบา สุริยอินรานนท์¹, และ วิศุทธิ์ ฐิติรุ่งเรือง¹

¹ สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

1 หมู่ที่ 2 ด.จลองกรุง เขตลาดกระบัง กรุงเทพมหานคร 10520 โทรศัพท์ : 0-2739-0643 E-mail wawa_zed@hotmail.com

² ศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์, ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ

51/4 หมู่ที่ 1 ด. สุวินทวงศ์ ต. วังตะเคียน อ. เมือง จังหวัดฉะเชิงเทรา 24000 โทรศัพท์ : 038-857-100-9

บทคัดย่อ

บทความนี้นำเสนอการพิจารณาระดับพลังงานที่ใช้ในการยิงอะตอมสารเจือเพื่อสร้างรอยต่อพีเอ็นสำหรับการสร้างซีเนอร์ไดโอดแรงดันซีเนอร์ประมาณ 5 V. โดยการสร้างซีเนอร์ไดโอดบนฐานรองเมทัลลิกซิลิคอนชนิด N-type ยิงอะตอมสารเจือฟอสฟอรัสเข้มข้นเพื่อสร้างชั้น N+ แต่ยิงด้วยพลังงานที่ต่างกันเป็นสามกลุ่ม คือ 130, 230 และ 280 keV จากนั้นจึงยิงอะตอมสารเจือโบรอนเข้มข้นด้วยพลังงานเท่ากันทั้งสามกรณี คือ 40 keV เพื่อสร้างเป็นชั้น P+ ซึ่งพบว่าระดับพลังงานที่เหมาะสมที่สุดในกรณีทดลองนี้สำหรับยิงอะตอมสารเจือฟอสฟอรัสคือ 230 keV เพราะมีความโดดเด่นในคุณสมบัติการรักษาระดับแรงดันซีเนอร์ทั้งเรื่องของความเสถียรทางกายใน อิมพีคชัน ร่วง ไปถึงสมบัติทางอุณหภูมิ

คำสำคัญ: การยิงอะตอมสารเจือ, ซีเนอร์ไดโอด, แรงดันซีเนอร์, สัมประสิทธิ์ทางอุณหภูมิ

Abstract

This article describes the energy level consideration for ion-implantation to build the P-N junction zener diodes fabricated. The zener diodes, with 5V zener voltage, were fabricated on N-type silicon wafer. By using implantation energy level 3 groups (130, 230 and 230keV), in extremely phosphorous implanted for formed N+ layer. Then P+ layer was formed by extremely concentration boron implanted at energy level 40 keV. From experiment, the most compatible in this experiment is 230 keV which is outstanding stabilizer in zener voltage, series resistance, impedance and temperature coefficient of zener voltage (TCV_2).

Keywords: Ion-Implantation, Zener diode, Zener voltage, Temperature Coefficient of Zener voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. บทนำ

กระบวนการฝังสิ่งประจุ (Ion-Implantation) ถูกนำมาใช้ในการเติมสารเจือลงไปบนซิลิกอนเวเฟอร์เพื่อสร้างรอยต่อพีเอ็นสำหรับกระบวนการสร้างวงจรรวมอย่างแพร่หลาย เนื่องจากทำให้ได้รอยต่อที่สมบูรณ์กว่าการเติมสารเจือด้วยวิธีการแพร่สารเจือด้วยความร้อน (Thermal diffusion) [1] วัตถุประสงค์แห่งความยุ่งยากในการจัดบวนาของมรค์[2] ทั้งยังสามารถกำหนดความเข้มข้นของอะตอมสารเจือได้แม่นยำกว่า แต่การเติมอะตอมสารเจือด้วยวิธีการฝังประจุมีความยุ่งยากของเครื่องตั้งค่าต่างๆของเครื่องมือที่ใช้ หนึ่งในค่าที่มีผลต่อกระบวนการสร้างชิมนอร์ไดโอดก็คือกำลังงานในการฝังประจุ (Implantation energy)

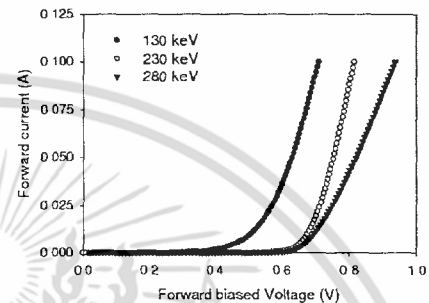
งานวิจัยนี้เป็นการศึกษาเสนอผลจากการเลือกระดับพลังงานที่ใช้ในการฝังอะตอมสารเจือเพื่อสร้างรอยต่อพีเอ็น โดยทำการเปรียบเทียบการฝังอะตอมสารเจือเพื่อสร้างชั้นสารชนิดอื่นบวกสามระดับคือ 130, 230 และ 280 keV ทั้งนี้เพื่อปรับปรุงกระบวนการสร้างชิมนอร์ไดโอดให้สามารถเลือกใช้ระดับของพลังงานที่ใช้ในการฝังอะตอมสารเจือได้อย่างเหมาะสมมากขึ้น

2. การทดลอง

งานวิจัยนี้ได้ใช้ห้องวิจัยกระบวนการสร้างสิ่งประดิษฐ์สารกึ่งตัวนำของศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (TMIEC) ในการสร้างชิมนอร์ไดโอด ที่ระดับแรงดันชิมนอร์อยู่ในช่วงประมาณ 5 V (ที่กระแสทดสอบ 90mA) ซึ่งสร้างโดยเตรียมแผ่นผลึกซิลิกอน (Si wafer) ชนิด N-type, มีสภาพ <111>, ขนาด 6 นิ้ว,หนา - 625 um จากนั้นจึงทำการฝังอะตอมสารเจือฟอสฟอรัสเพิ่มขึ้นเพื่อสร้างชั้นเอ็นบวก แต่ยังคงด้วยพลังงานที่ค่ากันสามระดับ คือ 130, 230 และ 280 keV (พื้นที่ประสิทธิผลเท่ากันทั้งสามระดับคือ $0.85 \times 0.85 \text{ cm}^2$) จากนั้นจึงฝังอะตอมสารเจือโบรอนเพิ่มขึ้นด้วยพลังงานเท่ากันทั้งสามกรณี คือ 40 keV เพื่อสร้างเป็นชั้นพีบวก เสร็จแล้วสร้างขั้วโลหะถุญนิยมนำให้กับไดโอดเพื่อนำไปทดสอบลักษณะสมบัติทางไฟฟ้า และหาค่าสัณฐานพิกัด ในการทดลองนี้ การวัดลักษณะสมบัติ ทั้งกระแส-แรงดันไฟฟ้า และ

ความจุ-แรงดันไฟฟ้า ทำโดยใช้เครื่องวิเคราะห์คุณสมบัติของอุปกรณ์สารกึ่งตัวนำ Agilent รุ่น B1500A ซึ่งแสดงผลและอธิบาย จะกล่าวในหัวข้อต่อไป

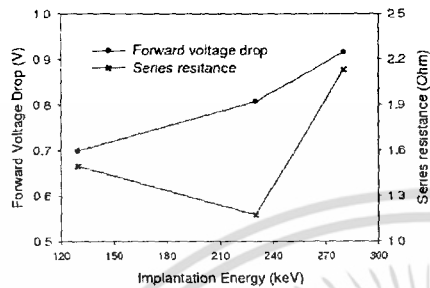
3. ผลการทดลองและอภิปราย



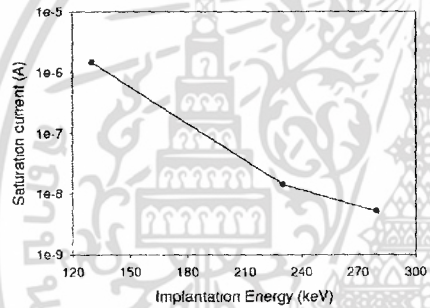
รูปที่ 1. คุณสมบัติกระแส-แรงดันไฟฟ้าไปข้างหน้าของชิมนอร์ไดโอดทั้งสามกลุ่ม

ชิมนอร์ไดโอดที่สร้างเสร็จแล้วจะถูกวัดคุณสมบัติสมบัติกระแส-แรงดันไฟฟ้าทั้งไปข้างหน้าและย้อนกลับ และ ความจุ-แรงดันไฟฟ้าย้อนกลับ โดยการทดลองเริ่มต้นจากสมบัติกระแส-แรงดันไฟฟ้าไปข้างหน้า ยิ่งเดินจะพบว่าชิมนอร์ไดโอดทั้งสามกลุ่มทำงานเป็นไดโอดได้ เพียงแค่ไดโอดกลุ่มที่ระดับพลังงานต่ำสุดจะมีลักษณะกราฟจุดเริ่มทำงานที่ต่างจากอีกสองกลุ่มเมื่อนำค่าแรงดันคลกร้อนขณะทีไดโอดทำงานก็พบว่าแรงดันคลกร้อนมีค่าเพิ่มขึ้นเมื่อเพิ่มระดับพลังงาน ส่วนค่าความต้านทานอนุกรม หรือความต้านทานภายในของไดโอดมีค่าต่ำสุดอยู่ทีระดับพลังงาน 230 keV ทั้งนี้เมื่อมีการฝังอะตอมสารเจือทั้งสองชนิด โดยอะตอมสารเจือของโบรอนจะลงไปอยู่ที่ระดับผิวของฐาน ส่วนฟอสฟอรัสจะลงไปอยู่ระดับที่ลึกกว่า ซึ่งความลึกของฟอสฟอรัสจะแปรตามระดับพลังงานที่เปลี่ยนไปตามการทดลอง และการกระจายตัวของอะตอมสารเจือจะมีผลกระทบแค่เพียงเบาโดยมีส่วนความเข้มข้นสูงสุดของพาเซ (peak carrier concentration) อยู่บริเวณกลางของกลุ่มอะตอม[3-5] ดังนั้น

การปรับระดับพลังงานจึงมีส่วนให้ความเข้มข้นที่มีผลต่อคุณสมบัติของรอยต่อที่เปลี่ยนแปลงไปด้วย



รูปที่ 2 แรงดันตกคร่อมและค่าต้านทานอนุกรมของซีเนอร์ไดโอดทั้งสามกลุ่ม ในย่านแรงดันไฟฟ้าไปข้างหน้า

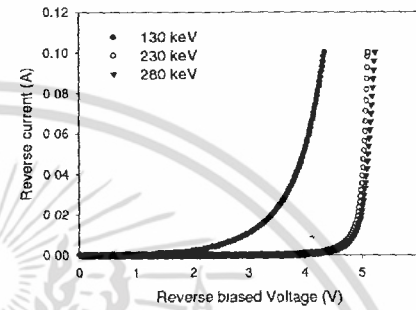


รูปที่ 3 ความสัมพันธ์ระหว่างกระแสอิ่มตัวต่อระดับพลังงานที่ใช้ยิงอะตอมสารเจือปนฟอสฟอรัส

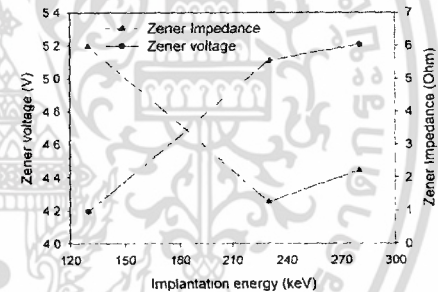
เมื่อระดับพลังงานสูงขึ้น ตำแหน่งที่อะตอมสารเจือปนมีความเข้มข้นสูงสุดจะอยู่ไกลจากผิวมากขึ้นทำให้ความเข้มข้นตำแหน่งรอยต่อลดลงเล็กน้อย จากรูปที่ 3 กระแสอิ่มตัวจะลดลงสัมพันธ์กับระดับพลังงานที่ใช้ยิงอะตอมสารเจือปนฟอสฟอรัส จึงอาจบอกได้ว่าความเข้มข้นที่มีผลต่อรอยต่อเป็นส่วนที่ความเข้มข้นของกลุ่มอะตอมสารเจือปนที่ยิงลงไป

ในด้านการใช้งานของซีเนอร์ไดโอด หรือการไบอัสไฟย้อนกลับจนไดโอดพังทลาย วิศวกรระดับซีเนอร์ที่กระแส

ทดสอบ (Zener Testing current) 90 mA พบว่าเมื่อระดับพลังงานสูงขึ้นแรงดันซีเนอร์มีค่าสูงขึ้น และในส่วนของอิมพีแดนซ์ระดับพลังงานที่อิมพีแดนซ์มีค่าน้อยสุดก็ยังคงเป็นที่ระดับพลังงาน 230 keV ซึ่งก็สอดคล้องกับการวิเคราะห์ก่อนหน้านี้



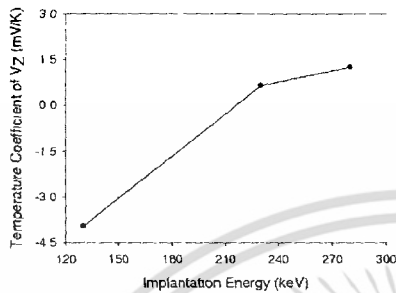
รูปที่ 4 คุณลักษณะกระแส-แรงดันไฟฟ้าย้อนกลับของซีเนอร์ไดโอดทั้งสามกลุ่ม



รูปที่ 5 แรงดันซีเนอร์และอิมพีแดนซ์ของซีเนอร์ไดโอดทั้งสามกลุ่ม ในย่านแรงดันไฟฟ้าย้อนกลับ

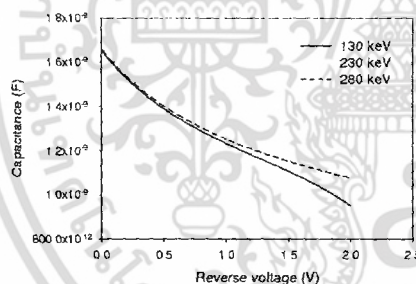
ในส่วนของ การทดลองวัดผลที่อุณหภูมิค่าต่างๆ เพื่อวิเคราะห์ประสิทธิภาพของการรักษา ระดับแรงดันซีเนอร์เมื่ออุณหภูมิเปลี่ยนไป หรือสัมพันธ์ที่ทางอุณหภูมิของแรงดันซีเนอร์ พบว่าที่ระดับพลังงาน 230 keV มีการแปรผันทาง

อุณหภูมิที่น้อยที่สุด ดังจะเห็นจากรูปที่ 6 ซึ่งสัมพันธ์กับอุณหภูมิของวงจรมงระดับซีเนอร์มีค่าใกล้เคียงกันมากที่สุด



รูปที่ 6 ความสัมพันธ์ระหว่างสัมประสิทธิ์ทางอุณหภูมิของพลังงานที่ใช้ยิงอะตอมสารเจือปนฟอสฟอรัส

จากรูปที่ 7 ที่ช่วงแรงดันต่ำพบว่าค่าความจุไฟฟ้มีค่าเพิ่มขึ้นอย่างไม่เป็นสัดส่วน แต่เมื่อเพิ่มแรงดันย้อนกลับจะพบว่าในกลุ่มที่ระดับพลังงาน 130 keV จะมีค่าความจุไฟฟ้ที่ลดลงอย่างชัดเจน เนื่องจากค่าแรงดันซีเนอร์ต่ำกว่าระดับพลังงานอื่นๆ มาก



รูปที่ 7 คุณสมบัติความจุไฟฟ้ที่แรงดันไฟฟ้ย้อนกลับ

4. สรุป

งานวิจัยนี้ได้ทำการทดลองปรับระดับพลังงานที่ใช้ในการยิงอะตอมสารเจือปนเพื่อหาจุดที่เหมาะสมสำหรับการยิงอะตอมสารเจือปนเพื่อสร้างรอยต่อชั้นที่อยู่ติดลงไปบนฐานรอง

พบว่าหากต้องการให้ซีเนอร์ไดโอดมีค่าคุณสมบัติทางด้านทานภายใน และค่าสัมประสิทธิ์ทางอุณหภูมิมีค่าต่ำๆ ซึ่งจะมีผลต่อเสถียรภาพของการรักษาระดับแรงดันที่ดี ควรเลือกระดับพลังงานที่ใช้ยิงอะตอมสารเจือปนในช่วงประมาณ 230 keV แต่หากต้องการลดกระแสในตัวซึ่งจะมีผลต่อค่ากระแสรั่วไหลตรงต่อก็ควรเลือกระดับพลังงานในช่วงประมาณ 280 keV

จากข้อสรุปดังกล่าว ทำให้เห็นแนวทางในการพัฒนาขึ้นคือไปสำรวจการสร้างซีเนอร์ไดโอดที่ระดับแรงดันซีเนอร์ประมาณ 5 V. ซึ่งสามารถเลือกระดับพลังงานที่เหมาะสมได้โดยประมาณว่าอยู่ในช่วง 230-280 keV

5. กิตติกรรมประกาศ

วิวัฒน์ อธิธิกุลภรณ์ ได้รับทุนสนับสนุนเงินทุนการศึกษาจากสถาบันบัณฑิตวิทยาศาสตร์และเทคโนโลยีไทย (TGIST) สำนักงานพัฒนาวิทยาศาสตร์และเทคโนโลยีแห่งชาติ ตามสัญญาฉบับที่ TG-44-22-53-070M ของขอพระคุณนักรวิจัย และผู้ช่วยนักรวิจัย ศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ หน่วยงานที่ให้การสนับสนุนงานวิจัยนี้

เอกสารการประชมวิชาการ

[1] W. J. King, J. T. Burrill, S. Harrison, F. Martin, and C. Kelflett (1965) *Devices Fabricated by Ion Implantation*. Electron Devices Meeting, International Volume I. Page(s). 34 – 35

[2] R. W. Bower, H. G. Dill, and K. G. Aubuchon (1967) *Characterization of MOSFETs formed by Gate Masked Ion Implantation Technique*. Electron Devices Meeting, International Page(s). 38 – 40



[3] Gary S. May, Simon M. Sze (2004). *Fundamentals of Semiconductor Fabrication*. John Wiley & Sons, Inc.

หนังสือ

- [4] Stephen A. Campbell(2001) *The Science and Engineering of Microelectronic Fabrication 2nd Edition* New York Oxford University Press
- [5] Robert Doering, Yoshio Nishi (2008) *Handbook of Semiconductor Manufacturing Technology 2nd Edition* CRC Press Taylor & Francis Group




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The 34th Electrical Engineering Conference (EECON-34)
การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 34
 หนึ่งสัปดาห์ที่คัดย่อของบทความที่น่าสนใจในการประชุม

- ไฟฟ้ากำลัง (PW)
- อิเล็กทรอนิกส์กำลัง (PE)
- ไฟฟ้าสื่อสาร (CM)
- ระบบควบคุมและการวัดคุม (CT)
- อิเล็กทรอนิกส์ (EB)
- การประมวลผลสัญญาณดิจิทัล (DS)
- คอมพิวเตอร์และเทคโนโลยีสารสนเทศ (CP)
- ไฟโตอิเล็กทรอนิกส์ (PH)
- งานวิจัยที่เกี่ยวข้องกับวิศวกรรมไฟฟ้า (GN)
- วิศวกรรมชีวการแพทย์ (BE)

30 พฤศจิกายน - 2 ธันวาคม 2554
 ณ โรงแรมแอมบาสเตอร์ ซิตี้ จอมเทียน พัทยา จังหวัดชลบุรี
 ดำเนินการโดย ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสยาม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Series Resistance Reduction by Wafer Backgrinding Process

Wiwat Ithikusumarn¹, Wittawat Yamwong², Amporn Poyai², Jirawat Prabket¹,
Chaba Suriyaammaranon¹ and Wisut Titiroongruang¹

¹ King Mongkut's Institute of Technology Ladkrabang
Chalongkrung Rd. Ladkrabang, Bangkok Thailand Postal code: 10520
² Thai Microelectronics Center, NEC TEC

51/4 Moo 1, Wangtakien District, Amphur Muang, Chachoengsao, Thailand 24000

Abstract

High series resistance (R_s) is a problem that degrade electrical characteristics and diode effective. The objective of this study need to reduce the resistance by reduced the thickness of diode chip. Zener diodes with zener voltage (V_z) 5.1V were reducing chip's thickness by Wafer Backgrinding method. Then the diodes were compared with zener diodes which no backgrinding. By this experiment, chip's thickness reduction can reduce series resistance about 50%, and zener impedance (Z_z) was decreased 35%. Besides, the saturation current and leakage current were decreased.

Keywords– Series resistance, Wafer Backgrinding, Zener impedance, Reversed saturation current.

1. Introduction

A problem of diodes fabrication is the high series resistance. This will effect to degrade other electrical characteristics. For instance, forward biased voltage dropped was increased which affect to power consumption also increase. In reverse biased region, the series resistance also directly effect to zener impedance of zener diodes. And the next effect, stabilization of zener voltage to zener current. In case of high zener impedance, when junction breakdown, zener voltage will be large change if zener current has a little variation. That degrades a prominent point of zener diodes. ([1]-[3])

This research has studied the method for decreasing diode series resistance. The experiment will focus on thickness reduction by wafer backgrinding process. Then finished zener diodes will be measured electrical characteristics and compare with no backgrind zener diodes.

2. Theory

2.1 Series resistance

The most of diode matter is the bulk of silicon wafer. So the series resistance is caused from wafer matter is given by,

$$R_s \sim \rho_s \frac{L}{wt} \quad (1)$$

When ρ_s is sheet resistance of silicon wafer in unit of $\Omega\cdot\text{cm}$. L is the thickness of diode chips and wt is effective area of diodes [4].

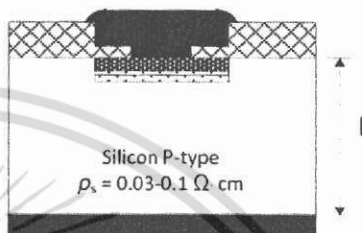


Figure1. Cross-section of zener diodes in the experiment

From equation 1, the series resistance can be reduced in 3 ways. First is reducing sheet resistance, which has been done only in wafer plant. Next, increase effective area. And the last ways is reducing the diode chip thickness.

2.2 Wafer Backgrinding method

Backgrind (grind only) is a standard silicon wafer thinning process. It includes two steps: a) coarse grind and b) fine grind. Coarse grind uses a larger diamond particle size that removes silicon faster for greater throughput, but causes more wafer damage. Fine grind ameliorates coarse grind damage for better surface finish and die strength. Fine grind uses a smaller diamond particle size and removes silicon at a slower rate than coarse grind, resulting in a smoother surface. [5]

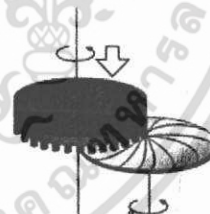


Figure2. Wafer Backgrinding process

3. Experiment

Zener diodes were fabricated in basic device geometry shown in Fig.1. The effective area of the diode size is 0.85x0.85 mm². The p+ and n++-region was formed by ion implantation with boron and phosphorus, respectively. Then separate them to 2 groups. First group sent to backgrinding process and metallization for made contact, respectively. Another group sent to metallization for made contact immediately. Lastly, both group of zener diodes was measured I-V characteristics by Agilent B1500A Semiconductor Device Analyzer for electrical measurement and probing on wafer by Cascade Microtech M150 probe station with ERS Aircool SP72-300 thermo chuck.

4. Result and discussion

Zener diodes, both 2 groups were measured electrical characteristics by start with forward biased region to reverse biased region. The forward biased region will test for forward voltage drop (V_f) and series resistance (R_s). From figure 3, when zener diode is ON, the backgrinding group has slope of I-V characteristics more than another group. V_f of no backgrinding group is 0.89V, and the backgrinding group is 0.82V (at zener test current, $I_{ZT} = 90mA$). And then series resistance of no backgrinding group is 2.54 Ohm but another group is only 1.26 or can reducing series resistance about 50%

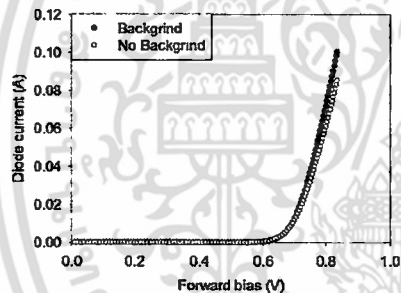


Figure 3. Comparison of Backgrinding group and no backgrinding group by forward biased I-V characteristics.

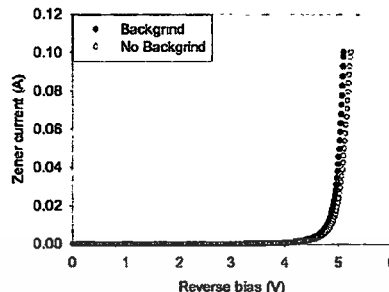


Figure 4. Comparison of Backgrinding group and no backgrinding group by forward biased I-V characteristics.

In reverse biased region, for study of electrical characteristics in zener diode application. Firstly, V_Z of *no backgrinding group* is 5.08V and another one is 5.20V. The reducing chip thickness can improve zener diodes stabilization in voltage reference because can reduce Z_z . Figure 4 is shown variation in voltage after junction breakdown, zener diodes in *no backgrinding group* have changing more than in *backgrinding group*. At I_{ZT} 90mA, Z_z of *no backgrinding group* is 2.15 ohm and backgrinding group is 1.39 or can reducing zener impedance about 35%

From figure 3, we can analysis for saturation current in figure 5. Saturation current of Zener diodes in backgrinding group is less than another group. (Isat of backgrinding group is 4.34×10^{-12} A and another group is 1.29×10^{-11} A)

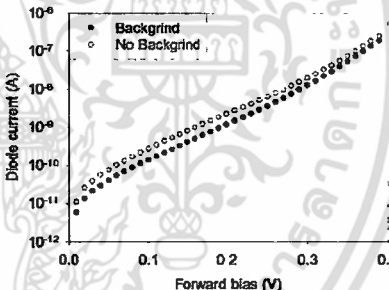


Figure 5. Comparison of Backgrinding group and no backgrinding group by saturation current.

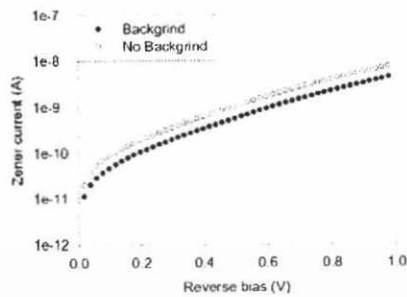


Figure 6. Comparison of Backgrounding group and no backgrounding group by leakage current.

According to forward biased current of diodes is related to recombination and thermal generation of carriers occur primarily in the neutral p and n regions, outside the transition region [6]. Then, the reducing diode's chip thickness would be help to decrease matter volume of this current cause. Furthermore, measurement of leakage current's study found that zener diodes in backgrounding group also help to improve this leakage issue like saturation current case.

5. Conclusion

Studying this project, we produce 2 groups of Zener diode by using the same production process but differentiate them by reduce the thickness shape to the one of it. In the experimental, after measure the electrical characteristic to both of them, we found that if we reduce the thickness of its shape by backgrounding at the wafer, it will help to decrease the series resistance. Moreover, the slimmer diode can cause more efficiency in voltage reference aspect and also help to reduce leakage current or reverse saturation current problem.

6. Acknowledgment

The authors wish to thank National Science and Technology Development Agency (NSTDA) for research scholarship capital via Thailand Graduate Institute of Science and Technology (TGIST) project, contract no. TGIST 01-53-070. Furthermore, fabrication technology and electrical measurement by Thai Microelectronics center (TMEC), NECTEC.

References

- [1] W. Itthikusumarn, "Effect of Graded Constant on Zener Diode Characteristics", the 5th PSU-UNS International Conference on Engineering and Technology (ICET-2011), Phuket, May 2-3, 2011
- [2] S. M. Sze, "Physics of Semiconductor Devices", 2nd ed. New York: Wiley, 1981.

- [3] A. E. Garside and P. Harvey "The Characteristics of Silicon Voltage-Reference Diodes". The Institution of Electrical Engineers, Paper No. 3055 E, Mar. 1960.
- [4] B.G. Streetman and S.K. Banerjee "Solid State Electronic Devices, 6th Ed" Prentice-Hall, 2006.
- [5] S. Sandireddy and T. Jiang, Senior IEEE Member, "Advanced Wafer Thinning Technologies to Enable Multichip Packages", WMED, IEEE 2005
- [6] DIETER K. SCHRODER, "Semiconductor Material and Device Characterization" A Wiley-Interscience Publication, USA.



Wiwat Itthikusumarn was born in Chonburi, Thailand. He received the B.S. (2004) degree in Electronics Engineering from King Mongkut's Institute of Technology Ladkrabang (KMITL), in Thailand. He has 2 years experience in semiconductor packaging with SONY Device Technology (Thailand) Co., Ltd. Now he's working toward a M.S. degree in Microelectronics Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), in Thailand. His research field is semiconductor technology.



Amporn Poyai was born in Pathum-thani, Thailand. He received the B.S. (91) degree in physics from Silpakorn University, M.Eng. (94) in Electrical Engineering from King Mongkut's Institute of Technology Ladkrabang (KMITL), both in Thailand. He obtained M.E. (98) and Ph.D. (02) in electrical engineering from Katholieke Universiteit Leuven (KU Leuven), Belgium. His doctoral research was in the field of device physics, low temperature electronics, radiation physics, submicron silicon technologies and defect engineering. In these fields, he has authored or coauthored over 60 publications in Journal and Conference papers, and over 15 presentations at international conferences. In 1994, he joined NECTEC (Thailand), where he has been involved in the nation microelectronics project. From 1997 to 2002, he had got scholarship from Thai government supported through the National Science and Technology Development Agency (NSTDA) of Thailand to join IMEC (Belgium) for his master and doctoral research. Since 2002, he is a researcher of Thai Microelectronic Center (TMEC).



การประชุมวิชาการทางวิศวกรรมไฟฟ้าครั้งที่ 34 (EECON-34) 30 พฤศจิกายน - 2 ธันวาคม 2554 มหาวิทยาลัยสยาม

896

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ-นามสกุล นายวิวัฒน์ อธิกฤษุมาลัย
วัน-เดือน-ปีเกิด 13 มกราคม 2529 ที่ชลบุรี
ที่อยู่ 207/1 ม.4 ต.นาเกลือ อ.บางละมุง จ.ชลบุรี 20150 โทร.080-440-0341
 ประวัติการศึกษา วิศวกรรมศาสตรบัณฑิต สาขาวิชาอิเล็กทรอนิกส์
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ความชำนาญเฉพาะด้าน 1) ฟิสิกส์และอุปกรณ์สารกึ่งตัวนำ
 2) การออกแบบและกระบวนการสร้างอุปกรณ์สารกึ่งตัวนำ
 3) การประกอบวงจรรวม

ประสบการณ์ทำงานและผลงานวิจัย

พ.ศ. 2549 การอบรมหลักสูตร “Basic Course Training in Microelectronics (Group11)”

พ.ศ. 2549-2551 ทำโครงการวิจัยที่ศูนย์วิจัยอิเล็กทรอนิกส์(ERC) สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง มีประสบการณ์เกี่ยวกับกระบวนการสร้างอุปกรณ์ไมโครอิเล็กทรอนิกส์ และมีทักษะการใช้เครื่องมือในการสร้างอุปกรณ์สารกึ่งตัวนำเป็นอย่างดี

พ.ศ. 2551-2553 วิศวกรโรงงาน Sony Device Technology (Thailand) Co.,Ltd
 - รับผิดชอบการวิเคราะห์งานมีปัญหาจากลูกค้าและรับประกันคุณภาพเซนเซอร์ภาพ (CCD, CMOS) สำหรับกล้องดิจิทัล ซึ่งเป็นอุปกรณ์สารกึ่งตัวนำชนิดหนึ่งที่มีหลักการทำงานพื้นเป็นทฤษฎีรอยต่อพีเอ็น

พ.ศ.2553-ปัจจุบัน ทำโครงการวิจัยร่วมกับศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์(TMEC) เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (NECTEC) มีประสบการณ์เกี่ยวกับกระบวนการสร้างอุปกรณ์ไมโครอิเล็กทรอนิกส์ และมีทักษะการใช้เครื่องมือในการสร้างอุปกรณ์สารกึ่งตัวนำเป็นอย่างดี