

การออกแบบรหัสแอลดีพีซีแบบโพรโทกราฟและการถอดรหัสแบบ  
ตารางสำหรับระบบสื่อสารดิจิทัล

DESIGNS OF PROTOGRAPH LDPC CODES AND LOOKUP TABLE-BASED  
DECODER FOR DIGITAL COMMUNICATION SYSTEMS



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต  
สาขาวิชาวิศวกรรมไฟฟ้า  
คณะวิศวกรรมศาสตร์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
พ.ศ. 2567

KMITL-2024-EN-D-018-264

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGNS OF PROTOGRAPH LDPC CODES AND LOOKUP TABLE-BASED  
DECODER FOR DIGITAL COMMUNICATION SYSTEMS



A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENT FOR THE DEGREE OF  
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING  
SCHOOL OF ENGINEERING  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG  
2024  
KMITL-2024-EN-D-018-264

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**COPYRIGHT 2024**

**SCHOOL OF ENGINEERING**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบรหัสแอลดีพีซีแบบโพโรโทกราฟีและการถอดรหัสแบบตารางสำหรับระบบสื่อสารดิจิทัล
นักศึกษา	นายจตุพร ดั่งทอง
รหัสประจำตัว	60601165
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2567
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร. เจริต ภาคย์พิสุทธิ์
อาจารย์ที่ปรึกษาวิทยานิพนธ์ร่วม	ศ.ดร.พรชัย ทรัพย์นิธิ

## บทคัดย่อ

รหัสแอลดีพีซี (LDPC: Low-Density Parity-Check) ถูกนำมาใช้อย่างกว้างขวางในระบบบันทึกข้อมูลและระบบสื่อสาร เพื่อให้ใช้รหัสแอลดีพีซีได้อย่างเต็มประสิทธิภาพการถอดรหัสจะต้องใช้ค่าข่าวสารแบบซอฟต์ (Soft information) อย่างไรก็ตามสำหรับหน่วยความจำแบบ NAND flash ไม่สามารถที่จะอ่านค่าซอฟต์ที่มีความละเอียดสูงได้เนื่องจากต้องใช้ระยะเวลาในการอ่านข้อมูลจากหน่วยความจำ ดังนั้นจึงได้มีการออกแบบแรงดันไฟฟ้าอ่านเพื่อให้สามารถให้ค่าซอฟต์ที่มีความละเอียดต่ำลง แต่ยังคงให้สมรรถนะการถอดรหัสที่ดีอยู่ การออกแบบแรงดันไฟฟ้าอ่านก่อนหน้านี้ ทั้งวิธีการ Maximizing Mutual Information (MMI) [15] และวิธีการ Entropy [16] ยังไม่สามารถออกแบบแรงดันไฟฟ้าอ่านที่ดีได้เนื่องจากไม่ได้มีการพิจารณาสมรรถนะของรหัสแอลดีพีซีร่วมในการออกแบบด้วย ดังนั้นในงานวิจัยนี้จึงได้นำเสนอการออกแบบแรงดันไฟฟ้าอ่านซึ่งมีการวิเคราะห์สมรรถนะของรหัสแอลดีพีซีร่วมด้วยเรียกว่าวิธีการ Density evolution (DE) ซึ่งสามารถปรับปรุงผลลัพธ์การออกแบบแรงดันไฟฟ้าอ่านให้ดีขึ้น นอกจากนี้ยังได้ออกแบบแรงดันไฟฟ้าอ่านร่วมกับการออกแบบรหัสแอลดีพีซีทั้งแบบไม่สม่ำเสมอและแบบโพโรโทกราฟีซึ่งสามารถปรับปรุงให้สมรรถนะการถอดรหัสดีขึ้นได้ นอกจากนี้หน่วยความจำแบบ NAND flash งานวิจัยนี้ยังได้ศึกษาการใช้งานรหัสแอลดีพีซีในหน่วยความจำแบบ STT-MRAM (Spin Transfer Torque Magnetic Random Access Memory) ซึ่งช่องสัญญาณมีความไม่สมมาตรโดยงานวิจัยนี้ได้ต่อยอดมาจากการออกแบบแรงดันไฟฟ้าอ่าน วัตถุประสงค์ในงานวิจัยนี้เพื่อที่จะออกแบบวงจรถอดรหัสที่การคำนวณมีความซับซ้อนต่ำและสามารถสร้างบนอุปกรณ์ฮาร์ดแวร์ได้ ในงานวิจัยก่อนหน้าใช้วงจรถอดรหัสแบบตารางโดยออกแบบตารางถอดรหัสด้วยวิธีการ Information bottleneck method (IBM) [29] ซึ่งมีข้อเสีย 2 ประการคือการออกแบบตารางแยกกันทำให้ไม่ได้สมรรถนะการถอดรหัสที่ดี และการถอดรหัสโดยตารางแบบลำดับทำให้ใช้เวลาในการถอดรหัสนาน ดังนั้นงานวิจัยนี้จึงได้นำเสนอการออกแบบการถอดรหัสโดยใช้วิธีการ DE ออกแบบตารางทั้งหมดร่วมกัน และปรับการคำนวณที่โหนดให้มีโครงสร้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แบบไปข้างหน้าและย้อนกลับเพื่อลดเวลาในการคำนวณลง ผลลัพธ์คือสามารถให้สมรรถนะอัตราบิด  
ผิดพลาดที่เหนือกว่าทั้งจำนวนการควอนไทซ์ 2 บิต 3 บิต และ 4 บิตโดยมีอัตราขยายสมรรถนะ 1%,  
0.7% และ 0.3% ตามลำดับ นอกจากนี้ยังได้มีการปรับช่องสัญญาณของ STT-MRAM ที่ไม่สมมาตร  
ให้มีความสมมาตรโดยใช้อะแดปเตอร์ช่องสัญญาณแบบ i.i.d. (Independent and Identically  
Distributed) งานวิจัยนี้ยังได้ถูกต่อยอดไปสู่ระบบสื่อสาร 5G ซึ่งมีการใช้งานรหัสแอลดีพีซี ซึ่งรหัส  
แอลดีพีซีในระบบสื่อสาร 5G เป็นแบบโพรโทกราฟซึ่งมีคุณสมบัติบางประการที่แตกต่างออกไป ทั้ง  
ระดับของโหนดตัวแปรที่สามารถมี 1 ระดับได้ สามารถมีเส้นเชื่อมแบบขนานระหว่างโหนดได้ และมี  
การพังก์เจอร์ (Puncturing) เพื่อปรับอัตรารหัสได้ เนื่องจากเป็นรหัสที่มีโครงสร้าง ดังนั้นจึงสามารถ  
ออกแบบวงจรถอดรหัสให้เป็นแบบเลเยอร์ได้ซึ่งเป็นที่ทราบกันดีว่าการถอดรหัสแบบเลเยอร์  
(Layered) สามารถให้สมรรถนะการถอดรหัสที่เหนือกว่าการถอดรหัสแบบฟลัดดิ้ง (Flooding)  
นอกจากนี้ในงานวิจัยยังได้รวมเอาวงจรตีมอดูเลชันแบบต่าง ๆ ที่ใช้ในระบบสื่อสาร 5G เข้ามาในการ  
ออกแบบด้วย ในงานวิจัยนี้นำเสนอการออกแบบตารางถอดรหัสที่มีโครงสร้างการถอดรหัสแบบฟลัด  
ดิ้ง LUT-FBP และแบบเลเยอร์ LUT-LBP โดยออกแบบร่วมกับวงจรตีมอดูเลชันและวงจรควอนไทซ์  
ซึ่งสามารถลดความซับซ้อนในการคำนวณลงเหลือเพียงการใช้งานตารางเท่านั้น ผลลัพธ์ที่ได้คือ  
สำหรับการถอดรหัสแบบ LUT-FBP เมื่อพิจารณาที่อัตราบิดผิดพลาด (BER: Bit Error Rate) เท่ากับ  
 $10^{-6}$  การมอดูเลชันแบบ BPSK ให้อัตราขยาย 0.1 dB ส่วนการมอดูเลชันแบบ 16QAM, 64QAM,  
256QAM และ 1024QAM ให้อัตราขยาย 0.3 dB, 0.1 dB, 0.2 dB และ 0.3 dB ตามลำดับ  
สำหรับการถอดรหัสแบบ LUT-LBP เมื่อพิจารณาที่ BER =  $10^{-6}$  การมอดูเลชันแบบ BPSK ให้  
อัตราขยาย 0.1 dB ส่วนการมอดูเลชันแบบ 16QAM, 64QAM, 256QAM และ 1024QAM ให้  
อัตราขยาย 0.1 dB, 0.3 dB, 1.2 dB และ 1 dB ตามลำดับ

**Thesis** Designs of Protograph LDPC Codes and Lookup Table-Based Decoder for Digital Communication Systems

**Student** Mr. Chatuporn Duangthong

**Student ID.** 60601165

**Degree** Doctor of Engineering

**Program** Electrical Engineering

**Year** 2024

**Thesis Advisor** Assoc. Prof. Dr. Watid Phakphisut

**Co-Thesis Advisor** Prof. Dr. Pornchai supnithi

## ABSTRACT

The Low-Density Parity-Check (LDPC) code has been widely used in data storage and communication systems. To utilize the full capability of LDPC codes, soft information is necessary for decoder. However, for NAND flash memory, reading high-resolution soft information is impractical due to time constraints. Hence, designing read voltage levels to provide low-resolution soft information while maintaining good decoding performance is crucial. Previously read voltage design methods, such as Maximizing Mutual Information (MMI) [15] and Entropy [16], lacked in consideration of LDPC code performance, resulting in suboptimal designs. Therefore, this research proposes a read voltage design method called Density Evolution (DE), which analyzes LDPC code performance during design. This method improves the design results by considering LDPC code performance. Additionally, read voltage designs are combined with both irregular and protograph LDPC codes, enhancing decoding performance. The research also investigates LDPC code utilization in STT-MRAM (Spin Transfer Torque Magnetic Random-Access Memory), addressing asymmetry channel by using i.i.d. (Independent and identically distributed) channel adapters. Moreover, the research extends to 5G communication systems employing LDPC codes, particularly protograph LDPC codes. These codes exhibit variable node degrees-1, parallel edges, and puncturing for rate compatibility. By leveraging the layered decoding approach, known for superior performance, the research designs decoders for these codes. Previously, LUT (Lookup-table)-based decoders designed with the Information Bottleneck Method

(IBM) [29] suffered from poor performance due to separate LUT designs and sequential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

decoding, resulting in lengthy decoding times. Thus, this research proposes joint LUT-based designs with forward and backward computation node restructuring to reduce decoding time. The results show enhanced error-correction capabilities, achieving error rates above quantization levels of 2, 3, and 4 bits with error rate improvements of 1%, 0.7%, and 0.3%, respectively. Furthermore, the research proposed joint LUT-FBP and LUT-LBP decoder with demodulator and quantizer for 5G communication systems. These designs reduce computational complexity, relying solely on LUTs. LUT-FBP achieves 0.1 dB improvement for BPSK modulation at  $BER = 10^{-6}$ , while 16QAM, 64QAM, 256QAM, and 1024QAM achieve improvements of 0.3 dB, 0.1 dB, 0.2 dB, and 0.3 dB, respectively. LUT-LBP provides similar enhancements, with 16QAM, 64QAM, 256QAM, and 1024QAM achieving improvements of 0.1 dB, 0.3 dB, 1.2 dB, and 1 dB, respectively.



## กิตติกรรมประกาศ

วิทยานิพนธ์เล่มนี้สำเร็จลุล่วงได้ด้วยความกรุณาและคำแนะนำที่ดีจากอาจารย์ที่ปรึกษา รศ. ดร. เวธิต ภาคย์พิสุทธิ และ ศาสตราจารย์ ดร.พรชัย ทรัพย์นิธิ ที่ช่วยชี้แนะแนวทางการทำงาน วิจัยให้ประสบความสำเร็จและมีคุณภาพ ตลอดจนการปรับปรุงแก้ไขข้อบกพร่องต่าง ๆ ด้วยความเอาใจใส่อย่างยิ่ง อีกทั้งยังช่วยปลูกฝังทัศนคติที่ดีในการทำงานทั้งงานวิจัย การเรียนรู้ ตลอดชีวิต และชี้แนะแนวทางการใช้ชีวิตให้เหมาะกับการเรียนในระดับบัณฑิตศึกษา และการใช้ชีวิตประจำวัน และยังเป็นแบบอย่างที่ดีให้ได้เรียนรู้ ผู้วิจัยได้ตระหนักถึงความมุ่งมั่นตั้งใจจริง และความทุ่มเทของอาจารย์ข้าพเจ้าขอขอบคุณเป็นอย่างสูง

ขอขอบคุณโครงการพัฒนานักวิจัยและงานวิจัยเพื่ออุตสาหกรรม (พวอ.) ภายใต้เลขที่สัญญา PHD61I0041 สำหรับทุนการวิจัยในการศึกษาระดับปริญญาเอก และขอขอบพระคุณเจ้าหน้าที่ทุกท่านที่คอยอำนวยความสะดวกช่วยเหลือและให้คำแนะนำที่ดี

ขอขอบพระคุณบริษัท ซีเกด เทคโนโลยี (ประเทศไทย) จำกัดที่ช่วยเหลือเงินทุนสนับสนุน ร่วมกับโครงการพวอ. และขอขอบพระคุณพนักงานและเจ้าหน้าที่ทุกท่านที่สละเวลาอันมีค่ามาดูแล ข้าพเจ้าตลอดระยะเวลาที่รับทุน

ขอขอบพระคุณคุณพรทิพย์ ดั่งทอง และนางสาวกฤติกา วงศ์สีทา ผู้เป็นมารดาและน้องสาว ที่ช่วยตรวจ ที่คอยช่วยให้กำลังใจที่ดี มุมมองด้านบวก และคอยสนับสนุนในทุก ๆ ด้านทำให้ข้าพเจ้า มีกำลังใจสู้กับปัญหาต่าง ๆ มากมายที่เกิดขึ้นในระหว่างการเรียนระดับบัณฑิตศึกษา ขอขอบคุณเป็นอย่างยิ่งถ้าไม่มีกำลังใจเหล่านี้ การเรียนก็อาจจะไม่สำเร็จลุล่วงตามที่หวังได้

ขอขอบพระคุณเพื่อน พี่น้องทุกคนในห้องปฏิบัติการวิจัยด้านการสื่อสารและสารสนเทศ ด้านอวกาศและชั้นบรรยากาศ (CCSRG Lab) ทุกคนที่คอยเป็นกำลังใจให้แก่กันทั้งในชีวิตการเรียน และชีวิตประจำวัน ขอขอบคุณที่ร่วมทุกข์ร่วมสุขกันมาตลอดระยะเวลาที่เรียนในระดับบัณฑิตศึกษา ทำให้รู้สึกที่ข้าพเจ้าไม่ได้ต่อสู้เพียงลำพัง ขอขอบคุณที่แบ่งปันความรู้ทางวิชาการ และความช่วยเหลือ ต่างๆ ที่ให้แก่กัน ขอขอบคุณมื้ออาหารที่แสนอร่อย และกิจกรรมต่าง ๆ ที่ทำร่วมกันตลอดช่วงเวลา ที่เรียนมันมีคุณค่าและช่วยเยียวยาจิตใจในวันที่เครียดและท้อใจได้เป็นอย่างดี ขอขอบคุณจากใจจริง

ขอกราบขอบพระคุณพระครูสถิตวิสุทธิญาณแห่งวัดยานนาวาที่ชี้แนะทางจิตใจในทางธรรม ในระหว่างเรียนให้จัดการอารมณ์ความรู้สึกต่าง ๆ ที่เกิดขึ้น คอยประคองไม่ให้ข้าพเจ้าหลงไปในทาง ผิด และสามารถดำรงอยู่รอดในโลกที่มีสิ่งช่วยที่พร้อมนำทางไปสู่ทางที่ผิดได้ตลอดเวลา

สุดท้ายนี้ขอขอบคุณตัวเองที่สามารถประคองสติและจิตใจให้สามารถฟันฝ่าอุปสรรคต่าง ๆ ในระหว่างเรียนมาได้ จนทำให้วิทยานิพนธ์เล่มนี้ได้สำเร็จลุล่วงเป็นที่เรียบร้อย

จตุพร ดั่งทอง

# สารบัญ

หน้า

บทคัดย่อ.....	I
บทคัดย่อภาษาอังกฤษ.....	III
กิตติกรรมประกาศ.....	V
สารบัญ.....	VI
สารบัญตาราง.....	XI
สารบัญรูป.....	XIII
ตารางคำย่อ.....	XXI
<b>บทที่ 1 บทนำ.....</b>	<b>1</b>
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 วัตถุประสงค์ของการวิจัย.....	2
1.2.1 วัตถุประสงค์ของการวิจัยเรื่องการออกแบบแรงดันไฟฟ้าอ่านและรหัสแอสกีพีซีแบบไม่มีโครงสร้างและแบบโปรโทกราฟในหน่วยความจำแบบ NAND flash.....	2
1.2.2 วัตถุประสงค์ของการวิจัยเรื่องการออกแบบการถอดรหัสแบบตารางสำหรับรหัสแอสกีพีซีแบบไม่มีโครงสร้างในหน่วยความจำแบบ STT-MRAM.....	3
1.2.3 วัตถุประสงค์ของการวิจัยเรื่องการออกแบบการติมอดูเลขขึ้นและการถอดรหัสแบบใช้ตารางสำหรับรหัสแอสกีพีซีแบบโปรโทกราฟในระบบสื่อสาร 5G.....	3
1.3 งานวิจัยที่เกี่ยวข้องและแนวคิดของการวิจัย.....	3
1.3.1 การวิจัยเรื่องการออกแบบแรงดันไฟฟ้าอ่านและรหัสแอสกีพีซีแบบไม่มีโครงสร้างและแบบโปรโทกราฟในหน่วยความจำแบบ NAND flash.....	3
1.3.2 การวิจัยเรื่องการออกแบบการถอดรหัสแบบตารางสำหรับรหัสแอสกีพีซีแบบไม่มีโครงสร้างในหน่วยความจำแบบ STT-MRAM.....	4
1.3.3 การวิจัยเรื่องการออกแบบการติมอดูเลขขึ้นและการถอดรหัสแบบตารางสำหรับรหัสแอสกีพีซีแบบโปรโทกราฟในระบบสื่อสาร 5G.....	6
1.4 ขอบเขตการวิจัย.....	7
<b>บทที่ 2 การมอดูเลชันในระบบบันทึกข้อมูลและระบบสื่อสาร.....</b>	<b>8</b>
2.1 พื้นฐานการมอดูเลชันแบบดิจิทัล.....	8
2.1.1 การมอดูเลชันแบบ PAM (Pulse Amplitude Modulation).....	9
2.1.2 การมอดูเลชันแบบ BPSK (Binary Phase Shift Keying).....	10
2.1.3 การมอดูเลชันแบบ QPSK (Quadrature Phase Shift Keying).....	12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ (ต่อ)

หน้า

2.1.4 การมอดูเลชันแบบ QAM (Quadrature Amplitude Modulation).....	13
2.2 การมอดูเลชันแบบดิจิทัลในระบบบันทึกข้อมูล.....	14
2.3 การมอดูเลชันในระบบสื่อสารมาตรฐาน 5G.....	15
2.3.1 การมอดูเลชันแบบ BPSK.....	15
2.3.2 การมอดูเลชันแบบ $\pi / 2$ -BPSK.....	16
2.3.3 การมอดูเลชันแบบ QPSK.....	17
2.3.4 การมอดูเลชันแบบ 16QAM.....	18
2.3.5 การมอดูเลชันแบบ 64QAM.....	18
2.3.6 การมอดูเลชันแบบ 256QAM.....	19
2.3.7 การมอดูเลชันแบบ 1024QAM.....	20
2.4 การดีมอดูเลชันสำหรับระบบบันทึกข้อมูล.....	21
2.5 การดีมอดูเลชันสำหรับระบบสื่อสารมาตรฐาน 5G.....	22
2.6 การดีมอดูเลชันความซับซ้อนต่ำสำหรับระบบสื่อสารมาตรฐาน 5G.....	24
<b>บทที่ 3 หน่วยความจำแบบไม่ลบเลือน.....</b>	<b>38</b>
3.1 หน่วยความจำแบบ NAND flash.....	38
3.1.1 ทรานซิสเตอร์แบบฟลอยติงเกต (FLOATING GATE TRANSISTOR).....	39
3.1.2 การอ่านเซลล์หน่วยความจำ.....	40
3.1.3 สัญญาณรบกวนที่เกิดในหน่วยความจำแบบ NAND flash.....	43
3.1.4 แบบจำลองช่องสัญญาณหน่วยความจำแบบ NAND flash.....	49
3.2 หน่วยความจำแบบ STT-MRAM.....	51
3.2.1 การอ่านและการเขียนหน่วยความจำแบบ STT-MRAM.....	52
3.2.2 สัญญาณรบกวนที่เกิดในหน่วยความจำแบบ STT-MRAM.....	54
3.2.3 แบบจำลองช่องสัญญาณของเซลล์ STT-MRAM.....	55
<b>บทที่ 4 รหัสแอลดีพีซี (LDPC).....</b>	<b>60</b>
4.1 รหัสแอลดีพีซี (LDPC: Low-Density Parity-Check Codes).....	60
4.1.1 รหัสบล็อกเชิงเส้น.....	60
4.1.2 เมทริกซ์พาริตีเช็กและกราฟแทนนเนอร์.....	60
4.1.3 นิยามของรหัสแอลดีพีซี.....	61
4.2 การถอดรหัสแอลดีพีซี.....	74

## สารบัญ (ต่อ)

	หน้า
4.2.1 การถอดรหัสแบบ BP (Belief Propagation).....	74
4.2.2 การลดความซับซ้อนการถอดรหัส.....	83
4.3 โครงสร้างการคำนวณที่โหนด.....	85
4.3.1 โครงสร้างอินพุตแบบลำดับ (Sequential).....	85
4.3.2 โครงสร้างอินพุตแบบไปข้างหน้าและย้อนกลับ (Forward and backward)....	85
4.4 การลำดับการถอดรหัสแอลดีพีซี (Schedule).....	86
4.4.1 การลำดับการถอดรหัสแอลดีพีซีแบบฟลัดดิ้ง (Flooding schedule).....	86
4.4.2 การลำดับการถอดรหัสแอลดีพีซีแบบเลเยอร์ (Layered schedule).....	86
4.5 การวิเคราะห์สมรรถนะของรหัสแอลดีพีซีแบบไม่มีโครงสร้าง.....	87
4.5.1 การวิเคราะห์การเปลี่ยนแปลงของ pdf สำหรับโหนดตัวแปร.....	89
4.5.2 การวิเคราะห์การเปลี่ยนแปลงของ pdf สำหรับโหนดเช็ก.....	91
<b>บทที่ 5 วิธีการออกแบบแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีแบบไม่มีโครงสร้างและ</b>	
<b>แบบโปรโทกราฟสำหรับหน่วยความจำแบบ NAND flash.....</b>	<b>96</b>
5.1 แรงดันไฟฟ้าอ่านและฟังก์ชันวัตถุประสงค์.....	96
5.1.1 นิยามของแรงดันไฟฟ้าอ่าน.....	97
5.1.2 การออกแบบฟังก์ชันวัตถุประสงค์.....	97
5.1.3 การอพติไมซ์ด้วยอัลกอริทึมการวิวัฒนาการผลต่าง (Differential Evolution).....	104
5.2 การออกแบบแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีสำหรับหน่วยความจำแบบ NAND Flash.....	109
5.2.1 การออกแบบแรงดันไฟฟ้าอ่านกรณีที่กำหนดรหัสแอลดีพีซี.....	109
5.2.2 การออกแบบรหัสแอลดีพีซีกรณีที่กำหนดแรงดันไฟฟ้าอ่าน.....	113
5.2.3 การออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซี.....	118
5.3 การจำลองสมรรถนะอัตราบิตผิดพลาดและผลการจำลองการออกแบบแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีสำหรับหน่วยความจำแบบ NAND flash.....	120
5.3.1 ผลการออกแบบแรงดันไฟฟ้าอ่านกรณีที่กำหนดรหัสแอลดีพีซี.....	120
5.3.2 ผลการออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซี.....	124

## สารบัญ (ต่อ)

หน้า

<b>บทที่ 6</b>	<b>วิธีการออกแบบการถอดรหัสแบบตารางสำหรับรหัสแอลดีพีซีแบบไม่มีโครงสร้าง</b>	
	ในหน่วยความจำแบบ STT-MRAM.....	127
6.1	วงจรควอนไทซ์และวงจรถอดรหัสแบบตาราง.....	128
6.1.1	พารามิเตอร์ของวงจรควอนไทซ์.....	128
6.1.2	พารามิเตอร์ของวงจรถอดรหัส.....	129
6.2	การออกแบบฟังก์ชันวัตถุประสงค์สำหรับการถอดรหัสแบบตาราง.....	141
6.2.1	ฟังก์ชันวัตถุประสงค์สำหรับโครงสร้างการคำนวณค่าโหนดแบบลำดับ.....	142
6.2.2	ฟังก์ชันวัตถุประสงค์สำหรับโครงสร้างการคำนวณค่าโหนดแบบไปข้างหน้าและย้อนกลับ.....	141
6.3	การออกแบบตารางถอดรหัสสำหรับวงจรถอดรหัส.....	144
6.3.1	การออกแบบวงจรควอนไทซ์ร่วมกับวงจรถอดรหัสแบบลำดับ.....	144
6.3.2	การออกแบบวงจรควอนไทซ์ร่วมกับวงจรถอดรหัสแบบไปข้างหน้าและย้อนกลับ.....	144
6.4	การจำลองและผลการจำลองสมรรถนะอัตราบิดผิดพลาดของการถอดรหัสแบบตาราง.....	147
<b>บทที่ 7</b>	<b>วิธีการออกแบบการตีמודูเลชันร่วมกับการถอดรหัสแบบตารางที่มีเลเยอร์สำหรับระบบสื่อสาร 5G.....</b>	<b>152</b>
7.1	การกำหนดฟังก์ชันวัตถุประสงค์สำหรับการออกแบบการตีמודูเลชันร่วมกับการถอดรหัสแบบ LUT-LBP.....	153
7.1.1	การออกแบบวงจรควอนไทซ์สำหรับระบบสื่อสาร 5G.....	154
7.1.2	การออกแบบอัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับวงจรถอดรหัสแบบ LUT-FBP ในระบบสื่อสาร 5G.....	157
7.1.3	การออกแบบฟังก์ชันวัตถุประสงค์สำหรับออกแบบตารางของวงจรถอดรหัสแบบ LUT-LBP ในระบบสื่อสาร 5G.....	167
7.2	การออกแบบวงจรมอดูเลชัน วงจรควอนไทซ์เซอร์ และวงจรถอดรหัสแอลดีพีซีแบบตาราง.....	168
7.3	การจำลองและผลการออกแบบวงจรตีมอดูเลชัน วงจรควอนไทซ์ และการถอดรหัสแบบตาราง.....	175

## สารบัญ (ต่อ)

	หน้า
<b>บทที่ 8 สรุปผลและข้อเสนอแนะ.....</b>	<b>188</b>
8.1 สรุปผล.....	188
8.1.1 การออกแบบแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีแบบไม่มีโครงสร้างและ แบบโพรโทกราฟสำหรับหน่วยความจำแบบ NAND flash.....	188
8.1.2 การออกแบบการถอดรหัสแบบตารางสำหรับหน่วยความจำ แบบ STT-MRAM.....	188
8.1.3 การออกแบบการตีמודูเลชันร่วมกับการถอดรหัสแอลดีพีซีแบบโพรโทกราฟโดยใช้ ตารางที่มีเลเยอร์สำหรับระบบสื่อสาร 5G.....	189
8.2 ข้อเสนอแนะ.....	190
เอกสารอ้างอิง.....	191
ประวัติผู้เขียน.....	198
ผลงานวิจัยที่ได้รับการตีพิมพ์.....	199

# สารบัญตาราง

ตารางที่	หน้า
ตารางที่ 2.1 ตัวอย่างตารางค่าเฉลี่ยของบิต '1' ที่ใกล้ $y$ ที่สุด.....	27
ตารางที่ 2.2 ตัวอย่างตารางค่าเฉลี่ยของบิต '0' ที่ใกล้ $y$ ที่สุด.....	27
ตารางที่ 2.3 ตัวอย่างตารางผลต่างค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 64QAM.....	29
ตารางที่ 2.4 ตัวอย่างตารางผลต่างกำลังสองของค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 64QAM.....	29
ตารางที่ 2.5 ตารางผลต่างค่าเฉลี่ยสำหรับการมอดูเลชันแบบ $\pi/2$ -BPSK .....	30
ตารางที่ 2.6 ตารางผลต่างกำลังสองของค่าเฉลี่ยสำหรับการมอดูเลชันแบบ $\pi/2$ -BPSK.....	30
ตารางที่ 2.7 ตารางผลต่างค่าเฉลี่ยสำหรับการมอดูเลชันแบบ BPSK.....	30
ตารางที่ 2.8 ตารางผลต่างกำลังสองของค่าเฉลี่ยสำหรับการมอดูเลชันแบบ BPSK.....	30
ตารางที่ 2.9 ตารางผลต่างค่าเฉลี่ยสำหรับการมอดูเลชันแบบ QPSK (2PAM).....	30
ตารางที่ 2.10 ตารางผลต่างกำลังสองของค่าเฉลี่ยสำหรับการมอดูเลชันแบบ QPSK (2PAM).....	31
ตารางที่ 2.11 ตารางผลต่างค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 16QAM (4PAM).....	31
ตารางที่ 2.12 ตารางผลต่างกำลังสองของค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 16QAM (4PAM).....	31
ตารางที่ 2.13 ตารางผลต่างค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 64QAM (8PAM).....	31
ตารางที่ 2.14 ตารางผลต่างกำลังสองของค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 64QAM (8PAM).....	32
ตารางที่ 2.15 ตารางผลต่างค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 256QAM (16PAM).....	32
ตารางที่ 2.16 ตารางผลต่างกำลังสองของค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 256QAM (16PAM).....	33
ตารางที่ 2.17 ตารางผลต่างค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 1024QAM (32PAM).....	34
ตารางที่ 2.18 ตารางผลต่างกำลังสองของค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 1024QAM (32PAM).....	36
ตารางที่ 3.1 การเปรียบเทียบข้อดีและข้อเสียในหน่วยความจำแบบ NAND flash.....	39
ตารางที่ 4.1 รายละเอียดเมทริกซ์ฐาน.....	70
ตารางที่ 4.2 ความสัมพันธ์ระหว่างเซตของการเลื่อนค่า (Shift-value set) และขนาดการสำหรับรหัส แอลดีพีซีที่ใช้ใน 5G NR [12].....	70
ตารางที่ 4.3 รายละเอียดค่าสำหรับเมทริกซ์ฐาน 1 ของรหัสแอลดีพีซี [12].....	71
ตารางที่ 4.4 รายละเอียดค่าสำหรับเมทริกซ์ฐาน 2 ของรหัสแอลดีพีซี [12].....	73
ตารางที่ 5.1 แรงดันไฟฟ้าอ่าน 1 ชุดสำหรับทุกระดับความรุนแรงของสัญญาณรบกวนใน หน่วยความจำแบบ MLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณแบบเกาส์เซียน113	
ตารางที่ 5.2 แรงดันไฟฟ้าอ่าน 1 ชุดสำหรับทุกระดับความรุนแรงของสัญญาณรบกวนใน หน่วยความจำแบบ TLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณแบบเกาส์เซียน113	

## สารบัญตาราง (ต่อ)

ตารางที่	หน้า
ตารางที่ 5.3 แรงดันไฟฟ้าอ่าน 1 ชุดสำหรับทุกระดับความรุนแรงของสัญญาณรบกวนในหน่วยความจำแบบ MLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณที่ประมาณให้ใกล้เคียงกับช่องสัญญาณจริง.....	113
ตารางที่ 5.4 รหัสแอลดีพีซีแบบไม่สมมาตรสำหรับหน่วยความจำแบบ MLC NAND flash ที่กำหนดแรงดันไฟฟ้าอ่าน ซึ่งออกแบบมาจากวิธี MMI [15] และวิธีการเอนโทรปี [16].....	116
ตารางที่ 5.5 ผลการออกแบบแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีแบบไม่สมมาตรสำหรับหน่วยความจำแบบ MLC NAND flash ที่เป็นช่องสัญญาณประมาณใกล้เคียงกับช่องสัญญาณจริง.....	119
ตารางที่ 7.1 คู่ของค่าเฉลี่ยของฟังก์ชัน pdf ของบิต '0' และบิต '1' ที่อยู่ใกล้เคียงกับค่าเอาต์พุตช่องสัญญาณมากที่สุด.....	156
ตารางที่ 7.2 ชุดของค่าควอนไทซ์ (Quantizer set) ของฟังก์ชัน pdf ของบิต '0' และบิต '1'.....	157
ตารางที่ 7.3 ตัวอย่างช่วงการควอนไทซ์ของวงจรควอนไทซ์ 2 บิตแบบ Finite-LLR สำหรับการมอดูเลชัน แบบ 16QAM.....	170
ตารางที่ 7.4 ตัวอย่างช่วงการควอนไทซ์ของวงจรควอนไทซ์ 3 บิตแบบ Finite-LLR สำหรับการมอดูเลชันแบบ 16QAM.....	170
ตารางที่ 7.5 ตัวอย่างช่วงการควอนไทซ์ของวงจรควอนไทซ์ 4 บิตแบบ Finite-LLR สำหรับการมอดูเลชันแบบ 16QAM.....	171
ตารางที่ 7.6 ตัวอย่างชุดของช่วงการควอนไทซ์ (Quantizer set) แบบ 2 บิตสำหรับการมอดูเลชันแบบ 16QAM.....	172
ตารางที่ 7.7 การเปรียบเทียบจำนวนตารางในกรณีที่มีการลดจำนวนตารางโดยอาศัยข้อได้เปรียบของรหัสแอลดีพีซีแบบโพโรโทกราฟ.....	175

# สารบัญรูป

รูปที่	หน้า
รูปที่ 2.1 การมอดูเลชันแบบแถบความถี่ผ่านทั้ง 3 แบบพื้นฐาน.....	9
รูปที่ 2.2 ตัวอย่างการมอดูเลชันแบบ 4PAM.....	9
รูปที่ 2.3 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ 4PAM.....	10
รูปที่ 2.4 ตัวอย่างการมอดูเลชันแบบ BPSK.....	11
รูปที่ 2.5 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ BPSK.....	11
รูปที่ 2.6 ตัวอย่างการมอดูเลชันแบบ QPSK.....	12
รูปที่ 2.7 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ QPSK.....	13
รูปที่ 2.8 ตัวอย่างการมอดูเลชันแบบ 16QAM.....	14
รูปที่ 2.9 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ 16QAM.....	14
รูปที่ 2.10 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ PAM ในระบบบันทึกข้อมูล.....	15
รูปที่ 2.11 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ BPSK.....	16
รูปที่ 2.12 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ $\pi/2$ -BPSK.....	17
รูปที่ 2.13 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ QPSK.....	17
รูปที่ 2.14 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ 16QAM.....	18
รูปที่ 2.15 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ 64QAM.....	19
รูปที่ 2.16 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ 256QAM.....	20
รูปที่ 2.17 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ 1024QAM.....	21
รูปที่ 2.18 ตัวอย่างการหาค่าในตารางสำหรับค่าและที่มอดูเลชันแบบ 8-PAM.....	26
รูปที่ 3.1 การจัดโครงสร้างเซลล์หน่วยความจำแบบ NAND flash.....	38
รูปที่ 3.2 การจัดโครงสร้างเซลล์หน่วยความจำแบบ NOR flash.....	38
รูปที่ 3.3 ทรานซิสเตอร์แบบโพลติงเกต (Floating gate transistor) [38] .....	39
รูปที่ 3.4 การอ่านข้อมูลจากเซลล์หน่วยความจำ.....	40
รูปที่ 3.5 ความผันผวนของแรงดันไฟฟ้าเทรสโฮลด์จากสัญญาณรบกวน.....	41
รูปที่ 3.6 ฮิสโตแกรมของแรงดันไฟฟ้าเทรสโฮลด์.....	41
รูปที่ 3.7 การตัดสินใจในแบบฮาร์ดสำหรับการบันทึก 2 บิตต่อ 1 เซลล์.....	42
รูปที่ 3.8 การอ่านซอฟต์แวร์จากเซลล์หน่วยความจำ 1 บิตต่อ 1 เซลล์.....	42
รูปที่ 3.9 การตัดสินใจแบบซอฟต์แวร์สำหรับการบันทึก 2 บิตต่อ 1 เซลล์.....	43
รูปที่ 3.10 สัญญาณรบกวนที่เกิดในหน่วยความจำแบบ NAND flash [42] .....	44
รูปที่ 3.11 การโปรแกรมด้วยวิธี Program-and-verify [44] .....	45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และห้ามอ้างถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป (ต่อ)

รูปที่	หน้า
รูปที่ 3.12 การดักจับอิเล็กตรอน (Electron capture) และการปล่อยอิเล็กตรอน (Electron emission) [45].....	46
รูปที่ 3.13 การแทรกสอดของเซลล์ในโครงสร้างคู่/คี่ [42].....	47
รูปที่ 3.14 (ก) โครงสร้างเซลล์ STT-MRAM (ข) ส่วนประกอบของตัว MTJ (ค) ทิศทางแม่เหล็ก.....	52
รูปที่ 3.15 การจัดเรียงโครงสร้างเซลล์ STT-MRAM [49].....	52
รูปที่ 3.16 กระบวนการสวิตช์แบบส่งผ่านทอร์กหมุน (STTS: Spin torque transfer switching) ง่าย [49].....	53
รูปที่ 3.17 (ก) การเขียนบิต '0' (ข) การเขียนบิต '1'.....	54
รูปที่ 3.18 แบบจำลองช่องสัญญาณของหน่วยความจำแบบ STT-MRAM [11] .....	56
รูปที่ 3.19 บล็อกไดอะแกรมของช่องสัญญาณเขียน (WC) [11] .....	56
รูปที่ 3.20 ตำแหน่งการอ่านเซลล์หน่วยความจำที่เหมาะสม.....	57
รูปที่ 3.21 ช่องสัญญาณแบบไม่สมมาตร.....	57
รูปที่ 3.22 บล็อกไดอะแกรมของช่องสัญญาณอ่าน (RC) [11] .....	59
รูปที่ 4.1 ตัวอย่างเมทริกซ์พาริตีเชิง.....	60
รูปที่ 4.2 กราฟแทนเนอร์ของเมทริกซ์พาริตีเชิง.....	61
รูปที่ 4.3 (ก) เมทริกซ์ <b>H</b> ขนาด 4X8 แบบที่ 1 (ข) เมทริกซ์ <b>H</b> ขนาด 4X8 แบบที่ 2 (ค) เมทริกซ์ <b>H</b> ขนาด 4X8 แบบที่ 3.....	65
รูปที่ 4.4 ตัวอย่างเมทริกซ์ฐาน.....	66
รูปที่ 4.5 (ก) การทำซ้ำเมทริกซ์ฐาน (ข) การสลับค่าระหว่างเมทริกซ์ฐาน.....	66
รูปที่ 4.6 (ก) ตัวอย่างกราฟฐาน PBRL (ข) ตัวอย่างเมทริกซ์ฐาน PBRL.....	68
รูปที่ 4.7 เมทริกซ์ฐาน 1.....	69
รูปที่ 4.8 เมทริกซ์ฐาน 2.....	69
รูปที่ 4.9 ตัวอย่างกราฟแทนเนอร์.....	75
รูปที่ 4.10 (ก) การคำนวณค่าส่งยังโหนดตัวแปรที่ 1 (ข) การคำนวณค่าส่งยังโหนดตัวแปรที่ 2 (ค) การคำนวณค่าส่งยังโหนดตัวแปรที่ 4.....	76
รูปที่ 4.11 (ก) ตัวอย่างการคำนวณที่โหนดเชิงที่มี 4 อินพุต (ข) การคำนวณค่าแอลแอลอาร์เอาต์พุตที่ 4 (ค) การคำนวณค่าแอลแอลอาร์เอาต์พุตที่ 3 (ง) การคำนวณค่าแอลแอลอาร์เอาต์พุตที่ 2 (จ) การคำนวณค่าแอลแอลอาร์เอาต์พุตที่ 1.....	84

## สารบัญรูป (ต่อ)

รูปที่	หน้า
รูปที่ 4.12 ตัวอย่างโครงสร้างอินพุตแบบลำดับของโหนดเชิงที่มี 4 อินพุต หรือดีกรี 4.....	85
รูปที่ 4.13 ตัวอย่างโครงสร้างอินพุตแบบไปข้างหน้าและย้อนกลับของโหนดเชิงที่มี 4 อินพุตหรือดีกรี 4.....	86
รูปที่ 4.14 (ก) การลำดับการถอดรหัสแบบพลัดติงที่โหนดตัวแปร (ข) การลำดับการถอดรหัส แบบพลัดติงที่โหนดเชิง.....	87
รูปที่ 4.15 (ก) การลำดับการถอดรหัสแบบเลเยอร์ของเลเยอร์ที่ 1 (ข) การลำดับการถอดรหัส แบบเลเยอร์ ของเลเยอร์ที่ 2 (ค) การลำดับการถอดรหัสแบบเลเยอร์ของเลเยอร์ที่ 3 (ง) การลำดับการถอดรหัสแบบเลเยอร์ของเลเยอร์ที่4.....	87
รูปที่ 4.16 แผนภาพต้นไม้สำหรับเส้นทางการคำนวณค่า pdf [72] .....	88
รูปที่ 5.1 แผนภาพบล็อกอัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับรหัสแอลดีพีซีแบบปกติ..	98
รูปที่ 5.2 แผนภาพบล็อกฟังก์ชันวัตถุประสงค์ในการหาแรงดันไฟฟ้าอ่านสำหรับแต่ละค่า <i>PE</i> ของรหัสแอลดีพีซีแบบปกติ.....	99
รูปที่ 5.3 แผนภาพบล็อกฟังก์ชันวัตถุประสงค์ในการหาแรงดันไฟฟ้าอ่านสำหรับทุกค่า <i>PE</i> ของรหัสแอลดีพีซีแบบปกติ.....	99
รูปที่ 5.4 แผนภาพบล็อกอัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับรหัสแอลดีพีซี แบบไม่สม่ำเสมอ.....	100
รูปที่ 5.5 แผนภาพบล็อกฟังก์ชันวัตถุประสงค์ในการหาแรงดันไฟฟ้าอ่านสำหรับแต่ละค่า <i>PE</i> ของรหัสแอลดีพีซีแบบไม่สม่ำเสมอ.....	100
รูปที่ 5.6 แผนภาพบล็อกฟังก์ชันวัตถุประสงค์ในการหาแรงดันไฟฟ้าอ่านสำหรับทุกค่า <i>PE</i> ของรหัสแอลดีพีซีแบบไม่สม่ำเสมอ.....	101
รูปที่ 5.7 แผนภาพบล็อกอัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับรหัสแอลดีพีซี แบบโพรโทกราฟ.....	103
รูปที่ 5.8 แผนภาพบล็อกฟังก์ชันวัตถุประสงค์ในการหาแรงดันไฟฟ้าอ่านสำหรับแต่ละค่า <i>PE</i> ของรหัสแอลดีพีซีแบบโพรโทกราฟ.....	103
รูปที่ 5.9 แผนภาพบล็อกฟังก์ชันวัตถุประสงค์ในการหาแรงดันไฟฟ้าอ่านสำหรับทุกค่า <i>PE</i> ของรหัสแอลดีพีซีแบบโพรโทกราฟ.....	104
รูปที่ 5.10 ผังการทำงานของอัลกอริทึมวิวัฒนาการผลต่างในการหาผลเฉลยที่ทำให้ฟังก์ชัน วัตถุประสงค์มีค่าสูงสุด.....	106

## สารบัญรูป (ต่อ)

รูปที่	หน้า
รูปที่ 5.11 (ก) การกระจายตัวของผลเฉลี่ยในเจเนอเรชันที่ 1 (ข) การกระจายตัวของผลเฉลี่ย ในเจเนอเรชันที่ 5 (ค) การกระจายตัวของผลเฉลี่ยในเจเนอเรชันที่ 15 (ง) การกระจายตัว ของผลเฉลี่ยในเจเนอเรชันที่ 30.....	106
รูปที่ 5.12 ผังการทำงานของอัลกอริทึมวิวัฒนาการผลต่างในกรณีที่มีเงื่อนไขบังคับ.....	108
รูปที่ 5.13 การกระจายตัวของเวกเตอร์ผลเฉลี่ยที่ถูกบังคับให้อยู่ในบริเวณที่ใช้การได้.....	108
รูปที่ 5.14 การกระจายตัวของเวกเตอร์ผลเฉลี่ยที่ถูกบังคับให้อยู่ในบริเวณที่ใช้การได้.....	109
รูปที่ 5.15 (ก) การเปรียบเทียบแรงดันไฟฟ้าอ่านหลายชุดสำหรับแต่ละค่า <i>SNR</i> ของ หน่วยความจำแบบ MLC NAND flash ที่มีช่องสัญญาณแบบเกาส์เซียน (ข) การ เปรียบเทียบแรงดันไฟฟ้าอ่านหลายชุดสำหรับแต่ละค่า <i>SNR</i> ของหน่วยความจำแบบ TLC NAND flash ที่มีช่องสัญญาณแบบเกาส์เซียน.....	111
รูปที่ 5.16 การเปรียบเทียบแรงดันไฟฟ้าอ่านหลายชุดสำหรับแต่ละค่า <i>PE</i> ของหน่วยความจำแบบ MLC NAND flash ที่มีช่องสัญญาณมาจากการประมาณ.....	111
รูปที่ 5.17 แบบจำลองระบบบันทึกข้อมูลแบบ NAND flash ที่ใช้ในวัดประสิทธิภาพของแรงดันไฟฟ้า อ่านและรหัสแอลดีพีซีที่ออกแบบ.....	120
รูปที่ 5.18 การเปรียบเทียบสมรรถนะอัตราเฟรมผิดพลาดของการใช้แรงดันไฟฟ้าอ่านที่ได้จากการ ออกแบบด้วยวิธี MMI และ DE สำหรับหน่วยความจำแบบ MLC NAND flash และ TLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณแบบเกาส์เซียน.....	121
รูปที่ 5.19 การเปรียบเทียบสมรรถนะอัตราเฟรมผิดพลาดของการใช้แรงดันไฟฟ้าอ่านที่ได้จากการ ออกแบบด้วยวิธี MMI เอนโทรปี และ DE สำหรับหน่วยความจำแบบ MLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณประมาณใกล้เคียงกับช่องสัญญาณจริง.....	123
รูปที่ 5.20 การเปรียบเทียบสมรรถนะอัตราเฟรมผิดพลาดของการใช้แรงดันไฟฟ้าอ่านที่ได้จากการ ออกแบบด้วยวิธี MMI และ DE สำหรับหน่วยความจำแบบ MLC NAND flash ที่ใช้ แบบจำลองช่องสัญญาณประมาณใกล้เคียงกับช่องสัญญาณจริง.....	123
รูปที่ 5.21 การเปรียบเทียบสมรรถนะอัตราเฟรมผิดพลาดของรหัสแอลดีพีซีแบบปกติ (3, 30) ที่ใช้แรงดันไฟฟ้าอ่านที่ได้จากการออกแบบด้วยวิธี MMI และ DE สำหรับหน่วยความจำ แบบ MLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณประมาณใกล้เคียงกับช่องสัญญาณ จริงโดยใช้วงจรถอดรหัสนแบบ MS NMS และ OMS.....	124

## สารบัญรูป (ต่อ)

รูปที่	หน้า
รูปที่ 5.22 การเปรียบเทียบสมรรถนะอัตราเฟรมผิดพลาดของรหัสแอลดีพีซีแบบไม่สม่ำเสมอที่กำหนดแรงดันไฟฟ้าอ่านที่ได้จากการออกแบบด้วยวิธี MMI และเอนโทรปีให้ และการออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซีแบบไม่สม่ำเสมอสำหรับหน่วยความจำแบบ MLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณประมาณใกล้เคียงกับช่องสัญญาณจริง.....	125
รูปที่ 5.23 การเปรียบเทียบสมรรถนะอัตราเฟรมผิดพลาดของรหัสแอลดีพีซีแบบโพโรโทกราฟที่กำหนดแรงดันไฟฟ้าอ่านที่ได้จากการออกแบบด้วยวิธี MMI ให้ และการออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซีแบบโพโรโทกราฟสำหรับหน่วยความจำแบบ MLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณประมาณใกล้เคียงกับช่องสัญญาณจริง.....	126
รูปที่ 6.1 วงจรควอนไทซ์และวงจรถอดรหัสแบบตาราง.....	127
รูปที่ 6.2 (ก) ตัวอย่างโหนดตัวแปรใด ๆ ที่มี $d_v = 3$ (ข) การคำนวณค่าส่งไปยังโหนดเช็ก $c_1$ (ค) การคำนวณค่าส่งไปยังโหนดเช็ก $c_2$ (ง) การคำนวณค่าส่งไปยังโหนดเช็ก $c_3$ .....	130
รูปที่ 6.3 (ก) โครงสร้างการคำนวณแบบลำดับตารางส่งไปยังโหนดเช็ก $c_1$ (ข) โครงสร้างการคำนวณแบบลำดับตารางส่งไปยังโหนดเช็ก $c_2$ (ค) โครงสร้างการคำนวณแบบลำดับตารางส่งไปยังโหนดเช็ก $c_3$ .....	131
รูปที่ 6.4 ขั้นตอนการออกแบบตารางถอดรหัสสำหรับโหนดตัวแปร.....	132
รูปที่ 6.5 (ก) ตัวอย่างโหนดเช็กใด ๆ ที่มี $d_c = 4$ (ข) การคำนวณค่าส่งไปยังโหนดตัวแปร $v_1$ (ค) การคำนวณค่าส่งไปยังโหนดตัวแปร $v_2$ (ง) การคำนวณค่าส่งไปยังโหนดตัวแปร $v_3$ (จ) การคำนวณค่าส่งไปยังโหนดตัวแปร $v_4$ .....	133
รูปที่ 6.6 (ก) โครงสร้างการคำนวณแบบลำดับตารางส่งไปยังโหนดตัวแปร $v_1$ (ข) โครงสร้างการคำนวณแบบลำดับตารางส่งไปยังโหนดตัวแปร $v_2$ (ค) โครงสร้างการคำนวณแบบลำดับตารางส่งไปยังโหนดตัวแปร $v_3$ (ง) โครงสร้างการคำนวณแบบลำดับตารางส่งไปยังโหนดตัวแปร $v_4$ .....	134
รูปที่ 6.7 ขั้นตอนการออกแบบตารางถอดรหัสสำหรับโหนดเช็ก.....	135
รูปที่ 6.8 โครงสร้างการคำนวณแบบไปข้างหน้าและย้อนกลับที่ส่งไปยังโหนดเช็ก $c_1$ $c_2$ และ $c_3$ ..	136
รูปที่ 6.9 โครงสร้างการคำนวณแบบไปข้างหน้าและย้อนกลับที่ส่งไปยังโหนดตัวแปร $v_1$ $v_2$ $v_3$ $c_4$ .....	139
รูปที่ 6.10 (ก) อัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับวงจรถอดรหัสแบบลำดับตาราง (ข) ฟังก์ชันวัตถุประสงค์สำหรับออกแบบตารางสำหรับวงจรถอดรหัสแบบลำดับตาราง	142

## สารบัญรูป (ต่อ)

รูปที่	หน้า
รูปที่ 6.11 (ก) อัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับวงจรถอดรหัสแบบไปข้างหน้าและย้อนกลับ (ข) ฟังก์ชันวัตถุประสงค์สำหรับออกแบบตารางสำหรับวงจรถอดรหัสแบบไปข้างหน้าและย้อนกลับ.....	143
รูปที่ 6.12 (ก) ตัวอย่างตารางถอดรหัสแบบลำดับตารางของโหนดเช็ก (ข) ตัวอย่างตารางถอดรหัสแบบลำดับตารางของโหนดตัวแปร.....	145
รูปที่ 6.13 (ก) ตัวอย่างตารางถอดรหัสแบบไปข้างหน้าและย้อนกลับของโหนดเช็ก (ข) ตัวอย่างตารางถอดรหัสแบบไปข้างหน้าและย้อนกลับของโหนดตัวแปร.....	146
รูปที่ 6.14 (ก) แบบจำลองระบบบันทึกข้อมูลในหน่วยความจำแบบ STT-MRAM ที่ใช้วงจรถอดรหัสแบบตาราง (ข) แบบจำลองระบบบันทึกข้อมูลในหน่วยความจำแบบ STT-MRAM ที่ใช้วงจรถอดรหัสแบบตารางและใช้อะแดปเตอร์ช่องสัญญาณแบบ i.i.d.....	148
รูปที่ 6.15 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของวงจรถอดรหัสแบบตารางที่มีโครงสร้างการคำนวณที่โหนดแบบลำดับตารางและแบบไปข้างหน้าและย้อนกลับ...	149
รูปที่ 6.16 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของวงจรถอดรหัสแบบตารางที่ออกแบบด้วยวิธีการ IBM [29] และวิธีการ DE ที่นำเสนอ.....	150
รูปที่ 6.17 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของวงจรถอดรหัสแบบตารางที่ใช้อะแดปเตอร์ช่องสัญญาณแบบ i.i.d. และไม่ใช้อะแดปเตอร์ช่องสัญญาณแบบ i.i.d.....	151
รูปที่ 7.1 (ก) ภาพรวมระบบสื่อสาร 5G ที่คำนวณค่าแอลแอลอาร์ด้วยวิธีผลรวมค่า pdf (ข) ภาพรวมระบบสื่อสาร 5G ที่คำนวณค่าแอลแอลอาร์ด้วยวิธีค่า pdf สูงสุด.....	154
รูปที่ 7.2 การคำนวณค่าแอลแอลอาร์ด้วยวิธีค่า pdf สูงสุดโดยใช้ตารางและวงจรถอดรหัส.....	155
รูปที่ 7.3 การคำนวณค่าแอลแอลอาร์และวงจรถอดรหัสที่นำเสนอ.....	156
รูปที่ 7.4 ตัวอย่างกราฟฐานของรหัสแอลดีพีซีแบบโพโรโทกราฟสำหรับใช้อธิบายการออกแบบ.....	158
รูปที่ 7.5 (ก) โครงสร้างการคำนวณแบบไปข้างหน้าและย้อนกลับสำหรับแต่ละโหนดเช็ก (ข) โครงสร้างการคำนวณแบบไปข้างหน้า.....	158
รูปที่ 7.6 ตัวอย่างการคำนวณเลเยอร์ที่ 1.....	160
รูปที่ 7.7 (ก) โหนดตัวแปร ของการถอดรหัสเลเยอร์ที่ 1 (ข) โครงสร้างการคำนวณแบบไปข้างหน้าและย้อนกลับสำหรับการอัปเดตโหนดตัวแปร ของการถอดรหัสเลเยอร์ที่ 1.....	161
รูปที่ 7.8 กราฟฐาน 1 ที่กำหนดให้ใช้งานในมาตรฐานการสื่อสาร 5G.....	162

## สารบัญรูป (ต่อ)

รูปที่	หน้า
รูปที่ 7.8 (ก) อัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับวงจรถอดรหัสแบบ LFB (ข) ฟังก์ชัน วัตถุประสงค์สำหรับออกแบบตารางสำหรับวงจรถอดรหัสแบบ LFB.....	169
รูปที่ 7.9 (ก) ตัวอย่างตารางถอดรหัสแบบลำดับตารางในโนโหนดเช็กที่ 14 ของกราฟฐาน 1 (ข) ตัวอย่าง ตารางถอดรหัสแบบลำดับตารางในโนโหนดตัวแปรที่ 6 ของกราฟฐาน 1.....	174
รูปที่ 7.10 (ก) การใช้งานวงจรดีมอดูเลชันแบบธรรมดาที่ใช้วงจรควอนไทซ์ที่มีค่าจำกัด (ข) แผนภาพ แบบจำลองระบบการใช้งานวงจรดีมอดูเลชันแบบ Max-log ที่ใช้วงจรควอนไทซ์ที่มี ค่าจำกัด (ค) แผนภาพแบบจำลองระบบการใช้งานวงจรดีมอดูเลชันแบบ Max-log ความซับซ้อนต่ำที่ใช้วงจรควอนไทซ์ที่มีค่าจำกัด (ง) แผนภาพแบบจำลองระบบการใช้งาน วงจรควอนไทซ์แบบตาราง ที่นำเสนอ.....	176
รูปที่ 7.11 การเปรียบเทียบค่าข่าวสารร่วมของวงจรควอนไทซ์ 2 บิต 3 บิตและ 4 บิตของวงจร ควอนไทซ์ทั้ง 4 แบบ.....	177
รูปที่ 7.12 (ก) การใช้งานวงจรดีมอดูเลชันแบบธรรมดาที่ใช้วงจรควอนไทซ์ที่มีค่าจำกัดและ วงจรถอดรหัสแบบ FBP (ข) แผนภาพแบบจำลองระบบการใช้งานวงจรดีมอดูเลชันแบบ Max-log ความซับซ้อนต่ำที่ใช้วงจรควอนไทซ์ที่มีค่าจำกัดและวงจรถอดรหัสแบบ FBP (ค) แผนภาพแบบจำลองระบบการใช้งานวงจรควอนไทซ์แบบตารางที่นำเสนอและวงจร ถอดรหัสแบบ FBP.....	178
รูปที่ 7.13 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของวงจรควอนไทซ์ทั้ง 3 แบบเมื่อเทียบกับ วงจรถอดรหัส แบบ FBP.....	179
รูปที่ 7.14 (ก) การใช้งานวงจรดีมอดูเลชันแบบธรรมดาที่ใช้วงจรควอนไทซ์ที่มีค่าจำกัดและวงจร ถอดรหัสแบบ LBP (ข) แผนภาพแบบจำลองระบบการใช้งานวงจรดีมอดูเลชันแบบ Max-log ความซับซ้อนต่ำที่ใช้วงจรควอนไทซ์ที่มีค่าจำกัดและวงจรถอดรหัสแบบ LBP (ค) แผนภาพแบบจำลองระบบการใช้งานวงจรควอนไทซ์แบบตารางที่นำเสนอและวงจร ถอดรหัสแบบ LBP.....	180
รูปที่ 7.15 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของวงจรควอนไทซ์ทั้ง 3 แบบเมื่อเทียบกับวงจร ถอดรหัสแบบ LBP.....	181
รูปที่ 7.16 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของวงจรควอนไทซ์ที่นำเสนอเมื่อเทียบกับวงจร ถอดรหัสแบบ FBP และ LBP.....	182

## สารบัญรูป (ต่อ)

รูปที่	หน้า
รูปที่ 7.17 (ก) แผนภาพแบบจำลองระบบการใช้งานวงจรถอนไอซ์แบบตารางที่นำเสนอและวงจรถอดรหัสแบบ LUT-FBP ที่ออกแบบแยก (ข) แผนภาพแบบจำลองระบบการใช้งานวงจรถอนไอซ์แบบตารางที่นำเสนอและวงจรถอดรหัสแบบ LUT-FBP ที่ออกแบบร่วม....	183
รูปที่ 7.18 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของวงจรถอนไอซ์ทั้ง 3 แบบเมื่อเทียบกับวงจรถอดรหัสแบบ FBP.....	184
รูปที่ 7.19 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของการออกแบบวงจรถอนไอซ์แบบตารางและวงจรถอดรหัส LUT-FBP แบบแยกและการออกแบบวงจรถอนไอซ์แบบตารางและวงจรถอดรหัส LUT-FBP แบบร่วม.....	185
รูปที่ 7.20 (ก) แผนภาพแบบจำลองระบบการใช้งานวงจรถอนไอซ์แบบตารางที่นำเสนอและวงจรถอดรหัสแบบ LUT-LBP ที่ออกแบบแยก (ข) แผนภาพแบบจำลองระบบการใช้งานวงจรถอนไอซ์แบบตารางที่นำเสนอและวงจรถอดรหัสแบบ LUT-LBP ที่ออกแบบร่วม.....	186
รูปที่ 7.21 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของการออกแบบวงจรถอนไอซ์แบบตารางและวงจรถอดรหัส LUT-FBP แบบร่วมโดยใช้การถอดรหัสแบบพลาตติง และการถอดรหัสแบบเลเยอร์.....	186
รูปที่ 7.22 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของการออกแบบวงจรถอนไอซ์แบบตารางและวงจรถอดรหัส LUT-LBP แบบแยกและการออกแบบวงจรถอนไอซ์แบบตารางและวงจรถอดรหัส LUT-LBP แบบร่วม.....	186

## ตารางคำย่อ

คำย่อ	คำเต็ม
AP	Anti-Parallel
AR4JA	Accumulate-Repeat-4-Jagged-Accumulate
ASK	Amplitude Shift Keying
AWGN	Additive White Gaussian Noise
BAC	Binary Asymmetric Channel
BER	Bit-Error Rate
BICM	Bit-Interleaved Coded Modulation
BICM-ID	Bit-Interleaved Coded Modulation with Iterative Decoding
BL	Bit Line
BP	Belief Propagation
BPSK	Binary Phase Shift Keying
CCI	Cell-to-Cell Interference
CD + Q	Conventional Demodulator with Finite Quantizer
CMOS	Complementary Metal Oxide Semiconductor
CRC	Cyclic Redundancy Check
DE	Density Evolution
DMC	Discrete Memoryless Channel
ECC	Error Correction Code
FB	Forward and backward
FBP	Flooding Belief Propagation
FER	Frame-Error Rate
FN	Fowler-Nordheim
FSK	Frequency Shift Keying

## ตารางคำย่อ (ต่อ)

คำย่อ	คำเต็ม
FST	Final Switching Time
FTG	Floating Gate Transistor
HDD	Hard Disk Drive
HRC	Highest-Rate Code
i.i.d.	Independent and Identically Distributed
IBM	Information Bottleneck Method
IRC	Incremental Redundancy Code
LBP	Layered Belief Propagation
LC-MLD + Q	Low-Complexity Max-Log Demodulator with Finite Quantizer
LDPC	Low-Density Parity-Check
LDGM	Low-Density Generator Matrix
LLR	Log-Likelihood Ratio
LSB	Least Significant Bit
LT	Luby Transform
LUT	Lookup Table
LUT-FBP	LUT-based Bleeding Belief Propagation
LUT-LBP	LUT-based Layered Belief Propagation
MCS	Modulation and Coding Scheme
MET	Multi-Edge-Type
MgO	Magnesium Oxide
MLC	Multi-Level Cell
MLD + Q	Max-Log Demodulator with Finite Quantizer
MMI	Maximizing Mutual Information
MOS	Metal Oxide Semiconductor

## ตารางคำย่อ (ต่อ)

คำย่อ	คำเต็ม
MP	Message Passing
MS	Min-Sum
MSB	Most Significant Bit
MTJ	Magnetic Tunneling Junction
NMS	Normalized Min-Sum
NRZ-L	Nonreturn to Zero-Level
OMS	Offset Min-Sum
OOK	On-Off Keying
P	Parallel
PAM	Pulse Amplitude Modulation
PBRL	Protograph-Based Raptor-Like
pdf	Probability Density Function
PE	Programmed and Erased
PEG	Progressive Edge-Growth
PSK	Phase Shift Keying
QAM	Quadrature Amplitude Modulation
QC	Quasi-Cyclic
QLC	Quad-Level Cell
QPSK	Quadrature Phase Shift Keying
RC	Read Channel
ROB	Read-Out Bit
RPD	Read Pulse Duration
RTN	Random Telegraph Noise
RZ	Return to Zero

## ตารางคำย่อ (ต่อ)

คำย่อ	คำเต็ม
SL	Source Line
SLC	Single-Level Cell
SNR	Signal-to-Noise Ratio
SP	Sum-Probability
SPA	Sum-Product Algorithm
STS	Spin Torque Transfer Switching
STT-MRAM	Spin-torque Transfer Magnetic Random-Access Memory
TB	Target Bit
TLC	Triple-Level Cell
WC	Write Channel
WIB	Write-In Bit
WL	Word Line
WPD	Write Pulse Duration

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

ปัจจุบันนี้ เทคโนโลยีสื่อสารดิจิทัลอย่างเช่น เทคโนโลยีการสื่อสารแบบเคลื่อนที่ อินเทอร์เน็ต มีความสำคัญต่อชีวิตประจำวันของมนุษย์เป็นอย่างมาก นอกจากนี้ ยังมีระบบที่สามารถพิจารณาให้เป็นเสมือนเป็นระบบสื่อสารดิจิทัลนั่นคือ ระบบบันทึกข้อมูลดิจิทัล เนื่องจากเป็นระบบที่มีกระบวนการที่คล้ายคลึงกันแตกต่างกันที่ตัวกลางที่ใช้ กล่าวคือ การส่งข้อมูลในระบบสื่อสารดิจิทัล เปรียบเสมือนการเขียนข้อมูลลงในหน่วยความจำในระบบบันทึกข้อมูลดิจิทัล ตัวกลางในการส่งข้อมูลมีทั้งอากาศและในสายสัญญาณ ส่วนตัวกลางในการบันทึกข้อมูลมีทั้งแผ่นแม่เหล็กและทรานซิสเตอร์ และการรับข้อมูลเปรียบเสมือนการอ่านข้อมูล ดังนั้นในวิทยานิพนธ์นี้จะมีการศึกษาทั้งระบบบันทึกข้อมูล และระบบสื่อสารดิจิทัล

ปัจจุบันหน่วยความจำแบบ NAND flash กลายเป็นอุปกรณ์บันทึกข้อมูลที่มีความโดดเด่นของระบบคอมพิวเตอร์เนื่องจากมีความรวดเร็วในการอ่าน/เขียนข้อมูลสูงและมีพื้นที่บันทึกข้อมูลเพิ่มขึ้นมาก โดยใช้วิธีการจัดเก็บข้อมูลมากกว่า 1 บิต ต่อ 1 เซลล์หน่วยความจำ เช่น เซลล์แบบ 2 บิต ต่อ 1 เซลล์ (MLC: Multi-Level Cell) [1] เซลล์แบบ 3 บิต ต่อ 1 เซลล์ (TLC: Triple-Level Cell) [2] และ เซลล์แบบ 4 บิต ต่อ 1 เซลล์ (QLC: Quadruple-Level Cell) [3] เป็นต้น อย่างไรก็ตามการเพิ่มจำนวนบิตต่อเซลล์ส่งผลให้ความน่าเชื่อถือในการบันทึกข้อมูลลดลงอย่างมาก [4] [5] [6] ดังนั้นรหัสแก้ไขความผิดพลาดขั้นสูง (ECCs: Error-Correction Codes) เช่น รหัสแอลดีพีซี (LDPC: Low-Density Parity-Check Codes) จึงถูกนำมาใช้ในการปรับปรุงความน่าเชื่อถือของหน่วยความจำแบบ NAND flash อย่างกว้างขวาง [7] ทั้งนี้ รหัสแอลดีพีซีจะมีความสามารถในการแก้ไขบิตผิดพลาดสูงเมื่อค่าที่อ่านจากช่องสัญญาณมีความละเอียดสูง อย่างไรก็ตาม เนื่องจากความต้องการความเร็วในการอ่านข้อมูลสูง ดังนั้นความละเอียดของค่าที่อ่านได้จากช่องสัญญาณจึงถูกจำกัด เนื่องจากหน่วยความจำแบบ NAND flash ใช้วิธีการอ่านค่าหลายครั้ง (Multiple reads) [8] ด้วยแรงดันไฟฟ้าอ่านที่แตกต่างกันเพื่อให้ได้ค่าข่าวสารแบบซอฟต์ (Soft information) ดังนั้นจำนวนการอ่านที่เพิ่มขึ้นเพื่อให้ได้ค่าที่ละเอียดขึ้นจึงทำให้ระยะเวลาที่ใช้ในการอ่านเพิ่มตามไปด้วย ดังนั้น แรงดันไฟฟ้าอ่านจะต้องได้รับการออกแบบเพื่อให้ข้อมูลที่อ่านจากหน่วยความจำเพียงพอที่จะใช้อธิบายคุณลักษณะของช่องสัญญาณหน่วยความจำแบบ NAND flash

หน่วยความจำแบบ STT-MRAM (Spin-Transfer Torque Magnetic Random-Access Memory) เป็นหนึ่งในตัวเลือกที่มีศักยภาพในการแทนที่แรมแบบไดนามิก (DRAM: Dynamic Random Access Memory) [9] เนื่องจากคุณสมบัติไม่ลบเลือน (Nonvolatile) และคุณสมบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การอ่านเขียนที่รวดเร็ว แต่อย่างไรก็ตามความแปรผันของกระบวนการผลิต (Process variation) และความผันผวนของความร้อน (Thermal fluctuations) ส่งผลต่อความน่าเชื่อถือของหน่วยความจำแบบ STT-MRAM [10] [11] ดังนั้น เพื่อที่จะเพิ่มความน่าเชื่อถือของหน่วยความจำแบบ STT-MRAM จึงมีการศึกษาการนำรหัสแอลดีพีซีมาใช้งาน แต่อย่างไรก็ตามหน่วยความจำแบบ STT-MRAM ยังมีปัญหาความไม่สมมาตรของช่องสัญญาณ และความต้องการระยะเวลาในการถอดรหัสที่รวดเร็ว ดังนั้น จึงต้องมีการออกแบบวงจรถอดรหัสแอลดีพีซีเพื่อให้หน่วยความจำแบบ STT-MRAM สามารถทำงานได้รวดเร็วขึ้น

การสื่อสารเคลื่อนที่ไร้สายได้ถูกปรับปรุงและพัฒนาอย่างต่อเนื่อง ปัจจุบันเทคโนโลยีการสื่อสารได้มาถึงยุคที่ 5 หรือ 5G (5th generation) ในการสื่อสารด้วยเทคโนโลยี 5G มีการนำรหัสแอลดีพีซีและรหัสโพลาร์ (Polar codes) [12] มาใช้งาน ซึ่งรหัสแอลดีพีซีได้ถูกกำหนดให้ใช้กับข้อมูลผู้ใช้ (User plane) และรหัสโพลาร์ถูกกำหนดให้ใช้กับข้อมูลควบคุม (Control plane) โดยในงานนี้จะมุ่งศึกษาการถอดรหัสแอลดีพีซีที่ใช้กับข้อมูลผู้ใช้นั้น การนำรหัสแอลดีพีซีมาใช้งานให้มีประสิทธิภาพสูงสุดต้องอาศัยการถอดรหัสด้วยอัลกอริทึม FBP (Flooding Belief Propagation) [13] ซึ่งการถอดรหัสแบบ FBP มีการคำนวณที่ซับซ้อนส่งผลโดยตรงต่อการอิมพลิเมนต์วงจรถอดรหัสบนฮาร์ดแวร์ ทำให้ต้องใช้งานเกทลอจิก (Logic gate) จำนวนมาก ดังนั้น จึงได้มีงานวิจัยมุ่งเน้นการออกแบบการถอดรหัสที่มีประสิทธิภาพดีเทียบเท่าการถอดรหัส FBP แต่มีความซับซ้อนในการคำนวณที่ต่ำกว่าโดยทำให้ใช้วงจรคำนวณทางคณิตศาสตร์ที่ลดลง

## 1.2 วัตถุประสงค์ของการวิจัย

วิทยานิพนธ์ฉบับนี้มีการศึกษาวิจัย 3 เรื่องหลักนั่นคือ การใช้งานรหัสแอลดีพีซีในหน่วยความจำแบบ NAND flash หน่วยความจำแบบ STT-MRAM และระบบสื่อสารตามมาตรฐาน 5G โดยแต่ละหัวข้อจะมีวัตถุประสงค์ที่แตกต่างกัน ดังนี้

### 1.2.1 วัตถุประสงค์ของการวิจัยเรื่องการออกแบบแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีแบบไม่มีโครงสร้างและโพโรโทกราฟีในหน่วยความจำแบบ NAND flash

1) ออกแบบแรงดันไฟฟ้าอ่านที่เหมาะสมต่อรหัสแอลดีพีซีแบบไม่มีโครงสร้างและโพโรโทกราฟีที่มีอยู่ในปัจจุบัน เพื่อเพิ่มสมรรถนะอัตราแก้ไขบิตผิดของรหัสแอลดีพีซีแบบไม่มีโครงสร้างและโพโรโทกราฟี

2) ออกแบบรหัสแอลดีพีซีแบบไม่มีโครงสร้างและโพโรโทกราฟีร่วมกับแรงดันไฟฟ้าอ่านเพื่อเพิ่มสมรรถนะของหน่วยความจำแบบ NAND flash

### 1.2.2 วัตถุประสงค์ของการวิจัยเรื่องการออกแบบการถอดรหัสแอลดีพีซีแบบไม่มีโครงสร้างในหน่วยความจำแบบ STT-MRAM

ออกแบบการถอดรหัสแอลดีพีซีแบบไม่มีโครงสร้างโดยใช้ตาราง เพื่อเพิ่มความรวดเร็วของหน่วยความจำแบบ STT-MRAM

### 1.2.3 วัตถุประสงค์ของการวิจัยเรื่องการออกแบบการตีמודูเลชันและการถอดรหัสแบบใช้ตารางสำหรับรหัสแอลดีพีซีแบบโพทโทกราฟในระบบสื่อสาร 5G

1) ออกแบบการตีמודูเลชันโดยใช้ตาราง เพื่อลดความซับซ้อนของการตีמודูเลชันในระบบสื่อสาร 5G

2) ออกแบบการถอดรหัสแบบ ใช้ตารางสำหรับรหัสแอลดีพีซีแบบโพทโทกราฟร่วมกับการตีמודูเลชัน เพื่อลดความซับซ้อนของการตีמודูเลชันและการถอดรหัสแอลดีพีซีในระบบสื่อสาร 5G

## 1.3 งานวิจัยที่เกี่ยวข้องและแนวคิดของการวิจัย

เนื่องจากวิทยานิพนธ์ฉบับนี้รวบรวมงานวิจัย 3 เรื่องไว้ด้วยกัน ดังนั้นจะมีการทบทวนวรรณกรรมที่เกี่ยวข้องดังนี้

### 1.3.1 การวิจัยเรื่องการออกแบบแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีแบบไม่มีโครงสร้างและโพทโทกราฟในหน่วยความจำแบบ NAND flash

การแก้ปัญหาแรงดันอ่านไฟฟ้าอ่านในหน่วยความจำแบบ NAND flash และ STT-MRAM เพื่อให้ได้ค่าข่าวสารแบบซอฟต์แวร์มีการศึกษามาเป็นเวลานาน ในช่วงเริ่มแรกการอ่านค่าซอฟต์แวร์จะใช้แรงดันไฟฟ้าอ่านจำนวนมากโดยกำหนดให้แรงดันไฟฟ้าอ่านมีค่าต่างกันเป็นค่าคงที่ หรือสามารถพิจารณาเป็นการควอนไทซ์สัญญาณแบบสม่ำเสมอ (Uniform quantizer) ข้อเสียของการใช้การควอนไทซ์แบบสม่ำเสมอคือมีการใช้แรงดันไฟฟ้าอ่านจำนวนมากเพื่อให้ได้ค่าซอฟต์แวร์ที่มีคุณภาพทำให้ใช้เวลามากในการอ่านข้อมูล ต่อมาได้มีการปรับปรุงค่าแรงดันไฟฟ้าอ่านจากเดิมให้มีประสิทธิภาพมากขึ้นโดยใช้แรงดันไฟฟ้าอ่านที่แตกต่างกันไม่เป็นค่าคงที่ หรือเรียกว่าการควอนไทซ์แบบไม่สม่ำเสมอ (Nonuniform quantizer) [14] โดยกำหนดให้ความแตกต่างของแรงดันไฟฟ้าอ่านที่อยู่ระหว่าง pdf (Probability Density Function) ที่อยู่ติดกันมีความแตกต่างกันน้อย ส่วนแรงดันไฟฟ้าอ่านในบริเวณอื่นมีความแตกต่างมาก เมื่อพิจารณาจากจำนวนแรงดันไฟฟ้าอ่านเท่ากัน จะพบว่าการควอนไทซ์แบบไม่สม่ำเสมอสามารถให้สมรรถนะการแก้ไขอัตราบิตผิดพลาดที่ดี ในงานวิจัย [15] ได้นำปัญหาการเลือกค่าแรงดันไฟฟ้าอ่านมาพิจารณา โดยในงานนี้ได้นำเสนอการออกแบบแรงดันไฟฟ้าอ่านโดยใช้ค่าแรงดันไฟฟ้าอ่านที่ทำให้ค่าข่าวสารรวมมีค่าสูงสุด หรือวิธีการ MMI (Maximizing Mutual Information) ซึ่งวิธีการนี้ได้ปรับปรุงให้สมรรถนะอัตราบิตผิดพลาดดีขึ้น เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยสามารถลดจำนวนของแรงดันไฟฟ้าอ่านทำให้เวลาในการอ่านข้อมูลจากเซลล์หน่วยความจำลดลง อย่างไรก็ตามวิธีนี้ยังมีจุดอ่อนที่ยังต้องปรับปรุงนั่นคือ การออกแบบแรงดันไฟฟ้าอ่านนั้นต้องมีเป้าหมายเพื่อที่จะทำให้วงจรถอดรหัสแอลดีพีซีทำงานดีขึ้น ซึ่งการออกแบบแรงดันไฟฟ้าอ่านด้วยวิธีการ MMI จึงยังไม่ใช่วิธีการออกแบบแรงดันไฟฟ้าอ่านที่ดีที่สุดเนื่องจากไม่ได้มีการพิจารณาการถอดรหัสแอลดีพีซีในการออกแบบ ต่อมาในบทความ [16] ได้มีการนำเสนอวิธีการออกแบบแรงดันไฟฟ้าอ่านโดยอาศัยเอนโทรปี (Entropy) ซึ่งแนวคิดในการออกแบบคือจำลองการถอดรหัสแล้วปรับค่าแรงดันไฟฟ้าอ่านตามค่าเอนโทรปีตั้งแต่ 0.01 ถึง 1 โดยจะเลือกใช้ค่าแรงดันไฟฟ้าอ่านในตำแหน่งที่ค่าเอนโทรปีให้สมรรถนะอัตราบิดผิดพลาดต่ำที่สุด วิธีนี้ให้ผลลัพธ์ที่ดีกว่าวิธีการ MMI เนื่องจากมีการนำรหัสแอลดีพีซีไปพิจารณาร่วมในการออกแบบแต่อย่างไรก็ตามวิธีนี้ยังมีข้อเสียนั่นคือสามารถออกแบบแรงดันไฟฟ้าอ่านได้ 1 – 3 ค่าต่อช่วง pdf สองอันที่อยู่ติดกันเท่านั้น และวิธีการออกแบบแรงดันไฟฟ้าอ่านเป็นแบบ Monte Carlo [17] ซึ่งใช้เวลานานในการออกแบบ และจะต้องใช้ข้อมูลในการจำลองที่ครอบคลุมมากพอเพื่อให้ได้ค่าแรงดันไฟฟ้าอ่านที่ถูกต้อง

วิทยานิพนธ์นี้ มีการศึกษาและออกแบบแรงดันไฟฟ้าอ่านสำหรับหน่วยความจำแบบ NAND flash โดยอาศัยการวิเคราะห์สมรรถนะความน่าจะเป็นความผิดพลาดในเชิงทฤษฎีของรหัสแอลดีพีซีที่เรียกว่าการวิวัฒนาการความหนาแน่น (DE: Density Evolution) [18] มาช่วยในการออกแบบแรงดันไฟฟ้าอ่าน โดยมีการศึกษาการออกแบบแรงดันไฟฟ้าอ่านในกรณีที่กำหนดโครงสร้างรหัสแอลดีพีซี การศึกษาการออกแบบรหัสแอลดีพีซีแบบไม่มีโครงสร้างและแบบโปรโตกราฟในกรณีที่กำหนดแรงดันไฟฟ้าอ่าน จนถึงการออกแบบแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีแบบไม่มีโครงสร้างและแบบโปรโตกราฟร่วมกันเพื่อให้สมรรถนะอัตราบิดผิดพลาดที่ดีที่สุด ในงานวิจัยนี้ยังแสดงให้เห็นว่าวงจรถอดรหัสแอลดีพีซีที่ใช้อัลกอริทึมต่าง ๆ ไม่ว่าจะเป็น FBP, MS (Min-Sum), NMS (Normalized Min-Sum) และ OMS (Offset Min-Sum) [19]-[21] ที่อาศัยการวิเคราะห์ด้วยวิธี DE สามารถออกแบบแรงดันไฟฟ้าอ่านที่ให้สมรรถนะที่ดีได้ นอกจากการรหัสแอลดีพีซีแบบไม่มีโครงสร้างอย่างเช่น รหัสแอลดีพีซีแบบไม่สม่ำเสมอ (Irregular LDPC code) [22] แล้ว ในงานวิจัยนี้ยังได้ศึกษาต่อไปถึงรหัสแอลดีพีซีแบบโปรโตกราฟ (Protograph LDPC code) [23] ซึ่งใช้งานอย่างกว้างขวางในระบบสื่อสารสมัยใหม่

### 1.3.2 การวิจัยเรื่องการออกแบบการถอดรหัสแอลดีพีซีแบบไม่มีโครงสร้างในหน่วยความจำแบบ STT-MRAM

ในงานวิจัย [24] ลีและคณะได้นำเสนอรหัสแอลดีพีซีแบบไม่สมมาตร (Asymmetric LDPC codes) สำหรับช่องสัญญาณ STT-MRAM ที่ไม่สมมาตร ผลการจำลองชี้ให้เห็นว่ารหัสแอลดีพีซีแบบไม่สมมาตรที่นำเสนอให้สมรรถนะอัตราบิดผิดพลาดที่ดีกว่ารหัสแอลดีพีซีที่ใช้งานทั่วไปสำหรับหน่วยความจำแบบ STT-MRAM ที่บันทึก 1 บิตต่อ 1 เซลล์ (Single-Level Cell) และมากกว่า 1 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อ 1 เซลล์ (Multi-Level Cell) อย่างไรก็ตามเพื่อให้บรรลุความสามารถในการแก้ไขความผิดพลาดได้อย่างเต็มที่ จะต้องมีการออกแบบรหัสแอลดีพีซีแบบไม่มีโครงสร้าง อย่างเช่น รหัสแอลดีพีซีแบบปกติ (Regular LDPC code) โดยพิจารณาคุณลักษณะของช่องสัญญาณร่วมด้วย ในงานวิจัย [25] ได้มีการนำเสนอรหัสแอลดีพีซีแบบ RCP (Rate-Compatible) เพื่อปรับปรุงความน่าเชื่อถือของหน่วยความจำแบบ STT-MRAM เนื่องจากหน่วยความจำแบบ STT-MRAM มีช่องสัญญาณแบบไม่สมมาตร ดังนั้นอะแดปเตอร์ช่องสัญญาณแบบ i.i.d. (Independent and Identically Distributed Channel Adapter) จึงได้ถูกนำมาใช้เพื่อแปลงช่องสัญญาณให้มีความสมมาตร หลังจากนั้นจึงออกแบบรหัสแอลดีพีซีแบบ RCP สำหรับหน่วยความจำแบบ STT-MRAM โดยใช้อัลกอริทึมแผนภาพ P-EXIT (Protograph-EXtrinsic Information Transfer) และการวิเคราะห์ AWE (Asymptotic Weight Enumerator) รหัสแอลดีพีซีแบบ RCP ที่นำเสนอเหนือกว่ารหัสโพโรโทกราฟแบบ RC-AR4JA (Rate-Compatible Accumulate-Repeat-4-Jagged-Accumulate) และรหัสแอลดีพีซี FR-QC (Fixed-Rate Quasi-Cyclic) ในแง่ของสมรรถนะอัตราบิดผิดพลาดและความเร็วการลู่เข้า (Convergence speed) เนื่องจากหน่วยความจำแบบ STT-MRAM มีข้อดีในด้านความเร็วการอ่าน/เขียนข้อมูล ดังนั้นจึงต้องใช้วงจรถอดรหัสแอลดีพีซีที่มีความซับซ้อนในการคำนวณต่ำเพื่อทำให้การอิมพลีเมนต์ลงอุปกรณ์ฮาร์ดแวร์ง่ายขึ้น วงจรถอดรหัสแอลดีพีซีโดยใช้ตาราง [26]-[30] เป็นหนึ่งในวงจรถอดรหัสที่ง่ายซึ่งใช้ตารางแทนที่การคำนวณทางคณิตศาสตร์ที่ซับซ้อน Meidlinger และคณะ [26] ได้นำเสนอการถอดรหัสโดยใช้ตารางและการดำเนินการทางคณิตศาสตร์อย่างง่ายสำหรับโหนดตัวแปรและโหนดตรวจสอบ ตารางสำหรับถอดรหัสถูกออกแบบโดยใช้การหาค่าในตารางที่ทำให้ค่าข่าวสารร่วมมีค่าสูงสุด นอกจากนี้ Meidlinger และคณะ [27] ยังได้นำเสนอการออกแบบรหัสแอลดีพีซีแบบไม่สม่ำเสมอร่วมกับตารางถอดรหัส ผลการจำลองพบว่าการออกแบบรหัสแอลดีพีซีแบบไม่สม่ำเสมอร่วมกับตารางถอดรหัสมีประสิทธิภาพที่เหนือกว่าการออกแบบรหัสแอลดีพีซีแบบไม่สม่ำเสมอและตารางถอดรหัสแยกกัน ต่อมาวิธีการ IBM (Information Bottleneck Method) ได้ถูกนำเสนอในบทความ [28] และ [29] เพื่อออกแบบตารางถอดรหัสสำหรับโหนดตัวแปร (Variable node) และโหนดตรวจสอบ (Check node) วิธีการ IBM สามารถพิจารณาเป็นวิธีการออปติไมซ์ทางเลือกที่อาศัยการหาค่าข่าวสารร่วมสูงสุด ถัดมา Stark และคณะ [30] ได้นำเสนอการจัดวางตำแหน่งข้อความ (Message alignment) เพื่อจัดเรียงค่าในตารางถอดรหัสสำหรับรหัสแอลดีพีซีแบบไม่สม่ำเสมอ วงจรถอดรหัสโดยใช้ตารางที่มีการจัดวางตำแหน่งข้อความให้สมรรถนะอัตราบิดผิดพลาดที่ดีกว่าเมื่อเปรียบเทียบกับวิธีการออกแบบโดยไม่ได้ใช้การจัดวางตำแหน่งข้อความ

แม้ว่างานวิจัยเหล่านี้จะมีการศึกษาการออกแบบตารางสำหรับวงจรถอดรหัสเพื่อลดความซับซ้อนในการคำนวณในวงจรถอดรหัสและสามารถสร้างบนอุปกรณ์ฮาร์ดแวร์ได้ แต่ว่าการออกแบบเหล่านี้ยังมีข้อเสียหลัก 2 ประการ ประการแรกการออกแบบตารางที่ละตารางแยกกันทำให้ไม่สามารถบรรลุสมรรถนะอัตราบิดผิดพลาดที่ดีที่สุด (Sub-optimum decoder) ประการที่สอง การออกแบบการเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถอดรหัสแบบลำดับตารางมีจำนวนคำนวณโดยใช้ตารางที่มากทำให้เกิดความล่าช้าในการคำนวณ ดังนั้น วิทยานิพนธ์นี้จึงได้แก้ไขปัญหาดังกล่าวโดยการออกแบบตารางทั้งหมดรวมทั้งวงจรควอนไทซ์ร่วมกันโดยใช้ DE เพื่อให้ได้สมรรถนะการถอดรหัสที่ดีขึ้น นอกจากนี้เพื่อลดจำนวนการคำนวณด้วยตารางจึงได้มีการปรับปรุงโครงสร้างการคำนวณที่โหนดจากแบบลำดับตาราง 2 อินพุตเป็นแบบไปข้างหน้าและย้อนกลับ (Forward and backward) งานวิจัยนี้ยังมุ่งเน้นการออกแบบตารางถอดรหัสเพื่อรองรับช่องสัญญาณที่ไม่สมมาตรของหน่วยความจำแบบ STT-MRAM โดยการใช้ฮาร์ดแวร์ช่องสัญญาณแบบ i.i.d. ปรับช่องสัญญาณปรับให้ช่องสัญญาณสมมาตรซึ่งจะส่งผลให้ตารางถอดรหัสที่มีความสมมาตรและสามารถลดขนาดของตารางลงได้

### 1.3.3 วัตถุประสงค์ของการวิจัยเรื่องการออกแบบการตีมอดูเลชันและการถอดรหัสแบบตารางสำหรับรหัสแอลดีพีซีแบบโปรโทกราฟในระบบสื่อสาร 5G

รหัสแอลดีพีซีถูกนำมาใช้ครั้งแรกในระบบสื่อสาร 5G ซึ่งต้องการความเร็วในการรับส่งข้อมูลที่เพิ่มขึ้น ระยะเวลาการรับส่งข้อมูลที่สั้นลง และความน่าเชื่อถือข้อมูลที่มากขึ้น ในระบบสื่อสาร 5G ต้องการใช้นางจรถอดรหัสที่มีความซับซ้อนต่ำแต่ยังให้สมรรถนะการถอดรหัสที่ดี เพื่อใช้สร้างบนอุปกรณ์ฮาร์ดแวร์ได้ ดังนั้นนางจรถอดรหัสโดยใช้ตารางจึงเป็นทางเลือกที่ดีในการนำมาใช้งานในการถอดรหัส ดังที่ทราบกันดีว่าการทำงานของนางจรถอดรหัสแบบตารางจำเป็นต้องพิจารณางจรตีมอดูเลชัน วงจรควอนไทซ์ และอัลกอริทึมการถอดรหัส เพื่อให้ได้นางจรถอดรหัสที่สมบูรณ์และให้สมรรถนะการถอดรหัสที่ดี สำหรับนางจรตีมอดูเลชันที่ให้ค่าข่าวสารแบบซอฟต์แวร์ (Soft demodulator) หรือค่าแอลแอลอาร์ (LLR: Log-Likelihood Ratio) ซึ่งใช้ความน่าจะเป็นภายหลังสูงสุด (MAP: Maximum A-Posteriori) แบบ log หรือ Log-MAP [31] ในการคำนวณ การประมาณค่าแอลแอลอาร์โดยใช้ Log-MAP เป็นที่นิยมเป็นอย่างมาก อย่างไรก็ตามการประมาณค่าแอลแอลอาร์ด้วยวิธีนี้มีความซับซ้อนในการคำนวณสูง ในบทความ [32] ได้มีการประมาณค่าแอลแอลอาร์โดยใช้วิธี Max-log-MAP ซึ่งจะใช้เพียงความน่าจะเป็นของ 2 สัญลักษณ์ในการคำนวณทำให้ลดความซับซ้อนในการคำนวณลงไปได้ ในบทความ [33] มีการประยุกต์ใช้โครงข่ายประสาทเทียมในการแปลงจากสัญญาณเอาต์พุตของสัญญาณเป็นค่าแอลแอลอาร์ หรือเรียกว่า LLRnet ซึ่งให้ผลลัพธ์ที่เทียบเท่าวิธีการ Max-log-MAP แต่มีความซับซ้อนที่ต่ำกว่า สำหรับนางจรควอนไทซ์และการถอดรหัสโดยใช้ตารางได้มีการนำเสนอในงานวิจัย [26]-[30] ดังที่ได้กล่าวถึงในงานวิจัยก่อนหน้านี้แล้ว แต่อย่างไรก็ตามนางจรถอดรหัสแบบตารางสำหรับรหัสแอลดีพีซีแบบโปรโทกราฟ (Protograph LDPC codes) [23] ยังไม่ถูกนำเสนอ รหัสแอลดีพีซีแบบโปรโทกราฟถูกนำมาใช้ในระบบสื่อสาร 5G ซึ่งมีโครงสร้างของรหัสและคุณสมบัติบางอย่างที่แตกต่างออกไป ในบทความ [34] ได้มีการนำเสนอการออกแบบตารางถอดรหัสสำหรับระบบสื่อสาร 5G โดยใช้วิธีการ IBM และการจัดเรียงตำแหน่งข้อความ อย่างไรก็ตามการออกแบบนี้ยังเป็นการออกแบบทีละตารางแยกกันทำให้ไม่ได้สมรรถนะการถอดรหัสที่ดีที่สุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้โครงสร้างการถอดรหัสที่โหนดยังมีจำนวนการคำนวณตารางที่สูงอยู่ และที่สำคัญการออกแบบตารางถอดรหัสนี้พิจารณาเพียงแค่การมอดูเลชันแบบ BPSK เท่านั้น

ดังนั้น เพื่อที่จะปรับปรุงให้วงจรถอดรหัสด้วยตารางให้มีความสมรรถนะสามารถรองรับการมอดูเลชันในมาตรฐานการสื่อสาร 5G ได้ งานวิจัยนี้จึงได้นำเสนอการออกแบบวงจรถอดรหัสแบบตารางที่มีการรวมเอาวงจรมอดูเลชัน วงจรควอนไทซ์ และวงจรถอดรหัสแบบตารางเข้าด้วยกัน โดยอาศัยการวิเคราะห์สมรรถนะด้วยวิธีการ DE โดยวงจรที่นำเสนอจะแทนที่การคำนวณที่ซับซ้อนตั้งแต่่วงจรมอดูเลชันถึงวงจรถอดรหัสแอลดีพีซีแบบตารางทั้งหมด ทำให้วงจรมีความซับซ้อนต่ำ ในส่วนของวงจรถอดรหัสแบบตารางได้มีการปรับอัลกอริทึมถอดรหัสให้เป็นแบบเลเยอร์โดยอาศัยข้อดีของโครงสร้างรหัสแอลดีพีซีแบบพอร์โทกราฟทำให้ได้สมรรถนะที่ดีขึ้นอย่างมาก ในการคำนวณที่โหนดจะใช้โครงสร้างการคำนวณแบบไปข้างหน้าและย้อนกลับเพื่อให้มีการคำนวณน้อยที่สุดทำให้เพิ่มความเร็วในการถอดรหัสขึ้นได้ นอกจากนี้ยังได้อาศัยคุณสมบัติของพอร์โทกราฟเพื่อลดจำนวนตารางลงทำให้ใช้หน่วยความจำในการเก็บตารางลดลงอีกด้วย

#### 1.4 ขอบเขตการวิจัย

งานวิจัยนี้มีขอบเขตในการศึกษาหาลดแอลดีพีซีแบบไม่มีโครงสร้างและแบบพอร์โทกราฟในระบบบันทึกข้อมูล ได้แก่ หน่วยความจำแบบ NAND flash และหน่วยความจำแบบ STT-MRAM สำหรับระบบสื่อสาร 5G จะเป็นการศึกษาเฉพาะมาตรฐานการเข้ารหัสสำหรับข้อมูลผู้ใช้ ในการออกแบบจะมีการวัดผลการออกแบบโดยใช้การจำลองในโปรแกรมคอมพิวเตอร์ทั้งหมด

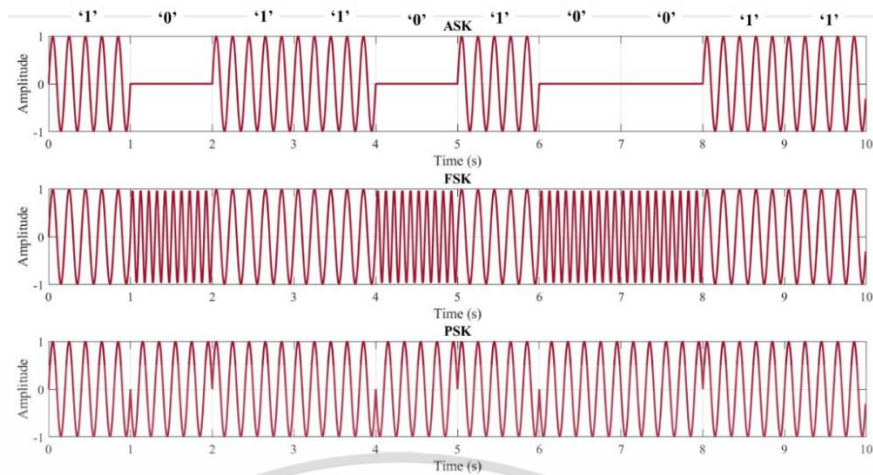
## บทที่ 2

### การมอดูเลชันในระบบบันทึกข้อมูลและระบบสื่อสาร

#### 2.1 พื้นฐานการมอดูเลชันแบบดิจิทัล

การมอดูเลชันแบบดิจิทัลเป็นกระบวนการแปลงสัญลักษณ์แบบดิจิทัล (Digital symbol) ไปเป็นสัญญาณที่เหมาะสมสำหรับการส่งข้อมูลในระบบสื่อสาร หรือการบันทึกข้อมูลสำหรับระบบบันทึกข้อมูล ในการส่งข้อมูลแบบมีสายนิยมจะใช้การมอดูเลชันแบบแถบความถี่ฐาน (Baseband modulation) หรือบางที่เรียกว่าการเข้ารหัสสาย (Line coding) เช่น NRZ-L (Nonreturn to Zero-Level) Unipolar RZ (Return to Zero) PAM (Pulse Amplitude Modulation) ฯลฯ สำหรับการส่งข้อมูลระยะไกลหรือในระบบสื่อสารไร้สายจะใช้การมอดูเลชันแบบแถบความถี่ผ่าน (Bandpass modulation) หรือการมอดูเลชันแบบคลื่นพาห้ (Carrier modulation) สัญลักษณ์แบบดิจิทัลจะถูกใช้เพื่อเปลี่ยนพารามิเตอร์ของสัญญาณไซน์หรือคลื่นพาห้ โดยสัญญาณไซน์สามารถใช้พารามิเตอร์ ได้แก่ แอมพลิจูด ความถี่ และเฟส บ่งชี้ลักษณะของสัญญาณไซน์ ดังนั้นการมอดูเลชันแอมพลิจูด การมอดูเลชันความถี่ และการมอดูเลชันเฟสจึงเป็นวิธีการมอดูเลชันพื้นฐานในการมอดูเลชันแบบแถบความถี่ผ่าน รูปที่ 2.1 แสดงการมอดูเลชันแบบแถบความถี่ผ่านทั้ง 3 แบบ ได้แก่ การมอดูเลชันแบบ ASK (Amplitude Shift Keying) การมอดูเลชันแบบ FSK (Frequency Shift Keying) และการมอดูเลชันแบบ PSK (Phase Shift Keying) สำหรับการมอดูเลชันแบบ ASK วงจรมอดูเลเตอร์จะส่งคลื่นพาห้ออกมาทุกสัญลักษณ์ '1' และไม่มีการส่งคลื่นพาห้ทุกสัญลักษณ์ '0' รูปแบบนี้ เรียกอีกอย่างว่า OOK (On-Off Keying) ทั้งนี้ การมอดูเลชันแบบ ASK แอมพลิจูดของสัญลักษณ์ '0' ไม่จำเป็นต้องเป็นค่า 0 เท่านั้น ในการมอดูเลชันแบบ FSK สัญลักษณ์ '1' จะส่งด้วยคลื่นพาห้ความถี่สูงกว่าและสัญลักษณ์ '0' จะส่งด้วยคลื่นพาห้ความถี่ต่ำกว่า สำหรับการมอดูเลชันแบบ PSK สัญลักษณ์ '1' จะถูกส่งด้วยคลื่นพาห้ที่มีเฟสเริ่มต้น 0 เรเดียน และสัญลักษณ์ '0' จะถูกส่งด้วยคลื่นพาห้ที่มีเฟสเริ่มต้น  $\pi$  เรเดียน ด้วยรูปแบบการมอดูเลชันพื้นฐาน 3 แบบนี้ ก่อให้เกิดคลื่นพาห้ที่หลากหลายรูปแบบที่เกิดจากการรวมกันของการมอดูเลชันพื้นฐาน ในวิทยานิพนธ์ฉบับนี้ จะมีการใช้งานการมอดูเลชันบางรูปแบบ ดังนั้น วิทยานิพนธ์เล่มนี้จะมีเพียงรายละเอียดของการมอดูเลชันบางรูปแบบเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1 การมอดูเลชันแบบแถบความถี่ผ่านทั้ง 3 แบบพื้นฐาน

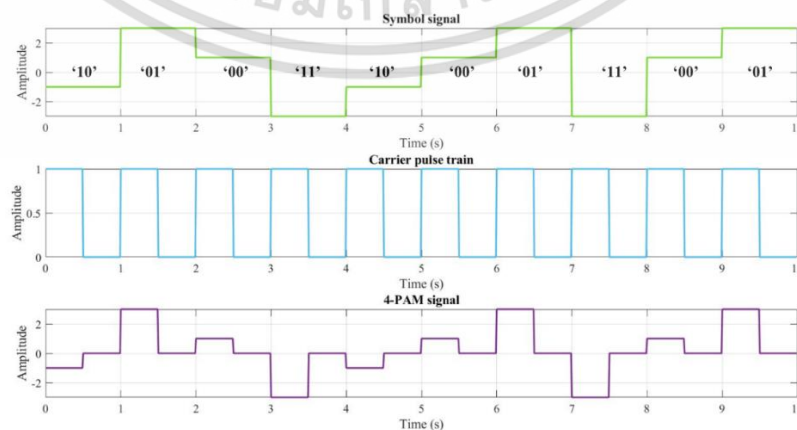
### 2.1.1 การมอดูเลชันแบบ PAM (Pulse Amplitude Modulation)

การมอดูเลชันแบบ PAM (Pulse Amplitude Modulation) เป็นรูปแบบการมอดูเลชันแบบแถบความถี่ฐานแบบหนึ่งที่มีการปรับแอมพลิจูดของพัลส์ (Pulse) ตามสัญลักษณ์ของข้อมูลที่จะส่ง  $m(t)$  การมอดูเลชันแบบ PAM จะผสมข้อมูลเข้ากับคลื่นพาห์แบบขบวนพัลส์ (Carrier pulse train)  $c_{pulse}(t)$  นั่นคือ

$$s_{PAM}(t) = (2m(t) - (M - 1))c_{pulse}(t), \quad 0 < t \leq T \quad (2.1)$$

เมื่อ  $s_{PAM}(t)$  คือสัญญาณที่ถูกมอดูเลชันแบบ PAM  $m(t) \in \{0, 1, 2, \dots, (M - 1)\}$  และ  $M$  คือจำนวนสัญลักษณ์ที่เป็นไปได้

รูปที่ 2.2 แสดงการมอดูเลชันแบบ PAM การส่งข้อมูลประกอบด้วยข้อมูลที่ใช้ส่งซึ่งเป็นลำดับของสัญลักษณ์ และคลื่นพาห์แบบขบวนพัลส์



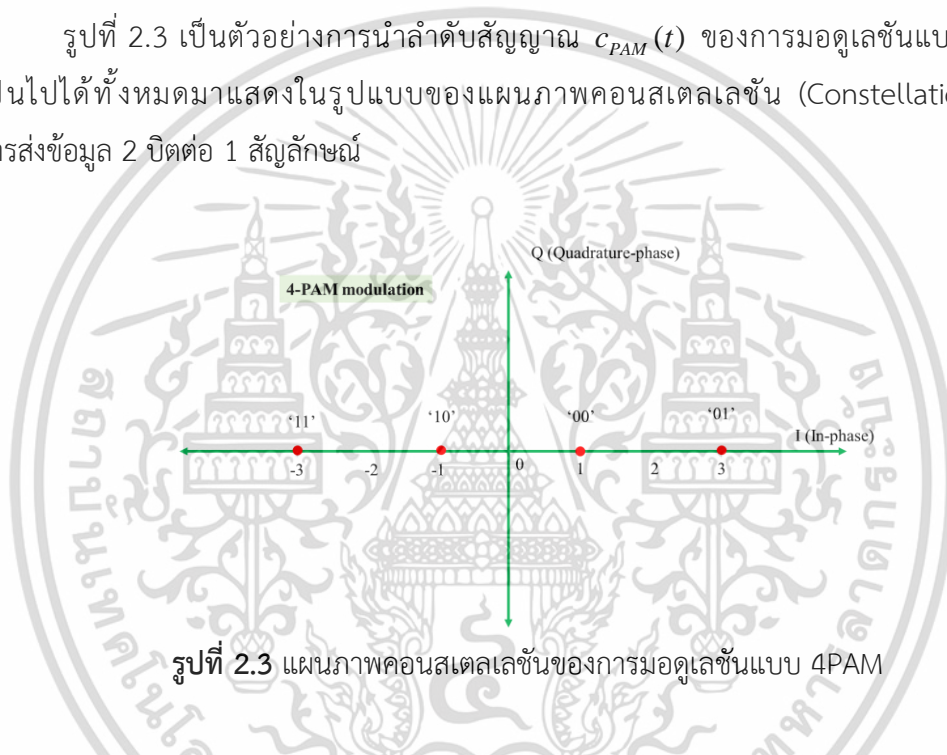
รูปที่ 2.2 ตัวอย่างการมอดูเลชันแบบ 4PAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การมอดูเลชันแบบ PAM สามารถแสดงบนแผนภาพคอนสเทลเลชัน (Constellation) ได้โดยแสดงสัญญาณในรูปของลำดับสัญญาณจำนวนเชิงซ้อนซึ่งประกอบไปด้วยค่าจริง (Real) หรือ Q (Quadrature phase) และค่าจินตภาพ (Imaginary) หรือ I (In-phase) และนำไปพล็อตในแผนภาพคอนสเทลเลชัน สำหรับการมอดูเลชันแบบ PAM พิจารณาให้  $s_{PAM}(t)$  อยู่บนแกนค่าจริงของแผนภาพคอนสเทลเลชัน ดังนั้นจะได้ลำดับสัญญาณ  $c_{PAM}(t)$  ดังนี้

$$c_{PAM}(t) = (2m(t) - (M - 1)) \quad (2.2)$$

รูปที่ 2.3 เป็นตัวอย่างการนำลำดับสัญญาณ  $c_{PAM}(t)$  ของการมอดูเลชันแบบ 4PAM ที่เป็นไปได้ทั้งหมดมาแสดงในรูปแบบของแผนภาพคอนสเทลเลชัน (Constellation) ซึ่งเป็นการส่งข้อมูล 2 บิตต่อ 1 สัญลักษณ์



รูปที่ 2.3 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ 4PAM

### 2.1.2 การมอดูเลชันแบบ BPSK (Binary Phase Shift Keying)

การมอดูเลชันแบบ BPSK (Binary Phase Shift Keying) เป็นการมอดูเลชันแบบแถบความถี่ผ่านแบบหนึ่งที่ใช้การแทนสัญลักษณ์ของข้อมูลที่ส่งด้วยเฟส การมอดูเลชันแบบ BPSK ก็คือการมอดูเลชันแบบ 2PSK สามารถเขียนให้อยู่ในสัญญาณโดเมนเวลาได้ดังนี้

$$s_{BPSK}(t) = I(t) \cos(2\pi f_c t) + Q(t) \sin(2\pi f_c t), \quad 0 < t \leq T \quad (2.3)$$

เมื่อ

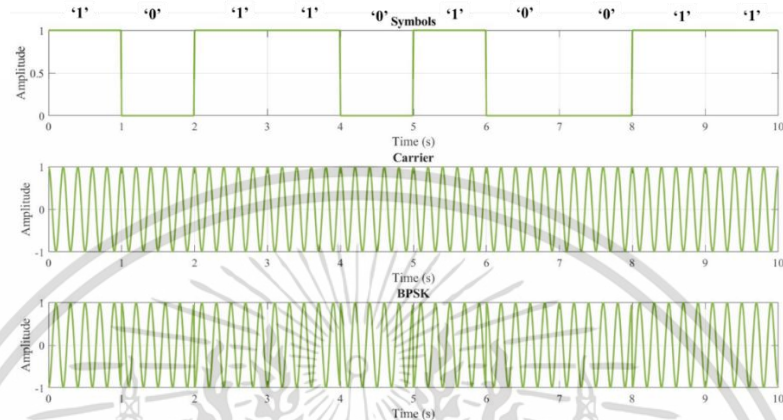
$$Q(t) = -\sin(m(t)\pi) \quad (2.4)$$

$$I(t) = \cos(m(t)\pi) \quad (2.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ  $f_c$  คือความถี่ของคลื่นพาห้

รูปที่ 2.4 ตัวอย่างการมอดูเลชันแบบ BPSK ซึ่งเป็นการส่งข้อมูลสัญลักษณ์  $m(t)$  ไปกับคลื่นพาห้โดยเฟสของสัญญาณที่ถูกมอดูเลตแล้วจะมีเพียงสองเฟสคือ 0 เรเดียน และ  $\pi$  เรเดียน ซึ่งแตกต่างกัน  $\pi$  เรเดียน โดยเฟส  $\pi$  เรเดียน จะแทนบิต '0' และเฟส 0 เรเดียน จะแทนบิต '1'

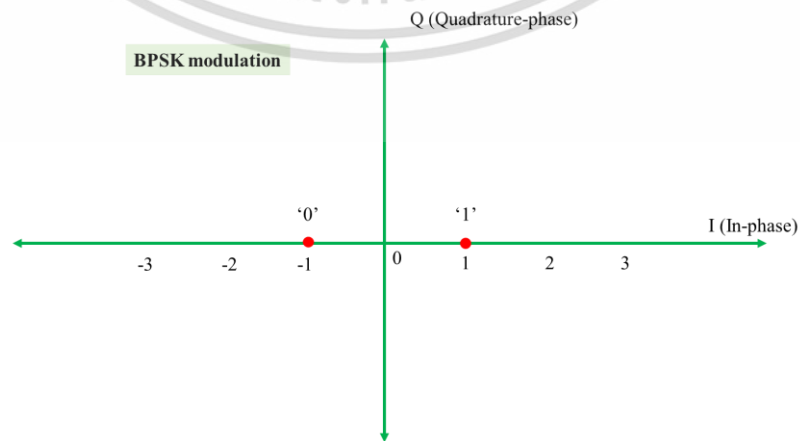


รูปที่ 2.4 ตัวอย่างการมอดูเลชันแบบ BPSK

สัญญาณ  $s_{BPSK}(t)$  สามารถเขียนให้อยู่ในรูปของลำดับสัญญาณจำนวนเชิงซ้อน  $c_{BPSK}(t)$  ดังนี้

$$c_{BPSK}(t) = I(t) + Q(t)j \tag{2.6}$$

รูปที่ 2.5 แสดงรูปแบบการมอดูเลชันแบบ BPSK ในรูปแบบของแผนภาพคอนสเทลเลชันซึ่งได้จากลำดับสัญญาณจำนวนเชิงซ้อน  $c_{BPSK}(t)$  โดยจะมี 2 จุดบนแผนภาพแทนบิต '1' และ '0' ที่มุมเฟส 0 เรเดียน และ  $\pi$  เรเดียน



รูปที่ 2.5 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ BPSK

### 2.1.3 การมอดูเลชันแบบ QPSK (Quadrature Phase Shift Keying)

การมอดูเลชันแบบ QPSK (Quadrature Phase Shift Keying) หรือ 4PSK เป็นการส่งข้อมูล 2 บิตต่อ 1 สัญลักษณ์ โดยแต่ละเฟสของคลื่นพาห้ได้แก่  $\pi/4$   $3\pi/4$   $5\pi/4$  และ  $7\pi/4$  เรเดียน แทนสัญลักษณ์ของข้อมูล '11' '10' '00' และ '01' การมอดูเลชันแบบ QPSK สามารถแสดงในรูปของลำดับสัญญาณจำนวนเชิงซ้อน  $c_{QPSK}(t)$  ดังนี้

$$c_{QPSK}(t) = I(t) + Q(t)j \quad (2.7)$$

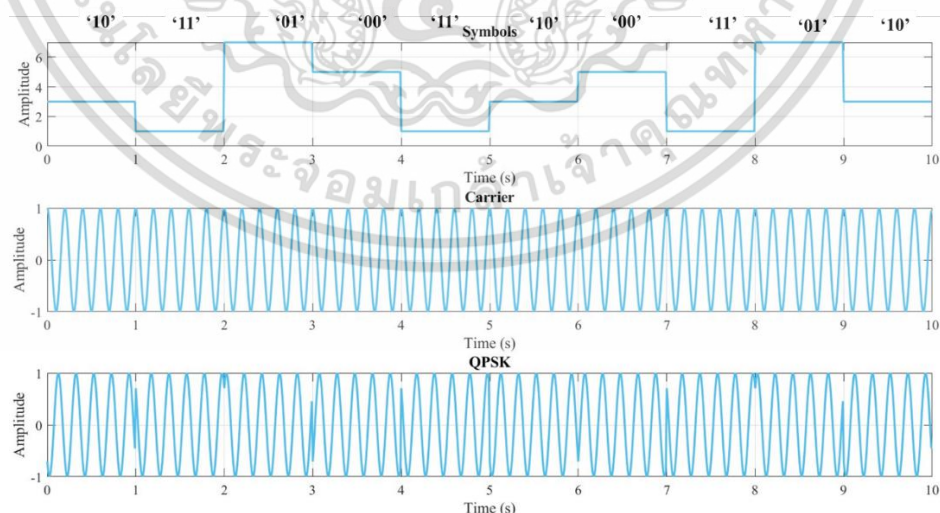
เมื่อ

$$Q(t) = -\sin\left((2m(t)+1)\frac{\pi}{4}\right) \quad (2.8)$$

$$I(t) = \cos\left((2m(t)+1)\frac{\pi}{4}\right) \quad (2.9)$$

และ  $m(t) \in \{0, 1, 2, 3\}$

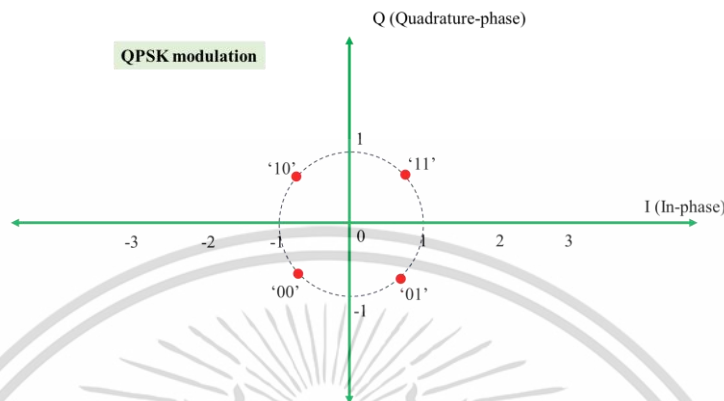
รูปที่ 2.6 แสดงตัวอย่างการมอดูเลชันแบบ QPSK ในโดเมนเวลาซึ่งเป็นการส่งข้อมูลสัญลักษณ์  $m(t)$  ไปกับคลื่นพาห้โดยเฟสของสัญญาณที่ถูกมอดูเลตแล้วจะมี 4 เฟสคือ  $\pi/4$   $3\pi/4$   $5\pi/4$  และ  $7\pi/4$  เรเดียน ซึ่งแตกต่างกัน  $\pi/2$  เรเดียน โดยเฟส  $\pi/4$   $3\pi/4$   $5\pi/4$  และ  $7\pi/4$  เรเดียน จะแทนสัญลักษณ์ข้อมูล '11' '10' '00' และ '01' ตามลำดับ



รูปที่ 2.6 ตัวอย่างการมอดูเลชันแบบ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.7 แสดงรูปแบบการมอดูเลชันแบบ QPSK ในรูปแบบของแผนภาพคอนสเทลเลชันซึ่งจะมี 4 จุดบนแผนภาพแทนสัญลักษณ์ข้อมูล '11' '10' '00' และ '01' ที่มุมเฟส  $\pi/4$   $3\pi/4$   $5\pi/4$  และ  $7\pi/4$  เรเดียน



รูปที่ 2.7 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ QPSK

#### 2.1.4 การมอดูเลชันแบบ QAM (Quadrature Amplitude Modulation)

การมอดูเลชันแบบ QAM (Quadrature Amplitude Modulation) เป็นการรวมเอาการมอดูเลชันแบบ PSK และการมอดูเลชันแบบ ASK เข้าด้วยกัน ดังนั้นการส่งสัญลักษณ์ข้อมูลแต่ละสัญลักษณ์จะมีเฟสและแอมพลิจูดที่แตกต่างกัน การมอดูเลชันแบบ QAM มีทั้งส่วนจริงและส่วนจินตภาพซึ่งสามารถพิจารณาให้เป็นการมอดูเลชันแบบ PAM ในแกนจริงและแกนจินตภาพได้ การมอดูเลชันแบบ QAM สามารถแสดงในรูปแบบลำดับสัญญาณจำนวนเชิงซ้อน  $c_{QAM}(t)$  คือ

$$s_{QAM}(t) = I(t) + Q(t)j \quad (2.10)$$

เมื่อ

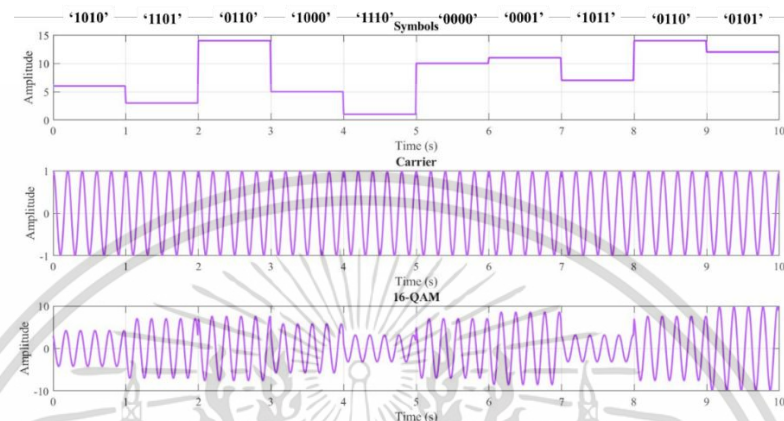
$$Q(t) = -s_{PAM}(t) = -(2m(t) - (M - 1)) \quad (2.11)$$

$$I(t) = s_{PAM}(t) = (2m(t) - (M - 1)) \quad (2.12)$$

รูปที่ 2.8 แสดงตัวอย่างการมอดูเลชันแบบ 16QAM ในโดเมนเวลาซึ่งเป็นการส่งข้อมูลสัญลักษณ์  $m(t)$  ไปกับคลื่นพาห้โดยเฟสของสัญญาณที่ถูกมอดูเลตแล้วจะมี 12 แบบ และมีแอมพลิจูดต่างกัน 3 แบบสำหรับแทนสัญลักษณ์ข้อมูล '1111' '1110' '1100' '1101' '1001' '1000' '1010' '1011' '0011' '0010' '0000' '0001' '0101' '0100' '0110' และ '0111' อย่างที่ได้

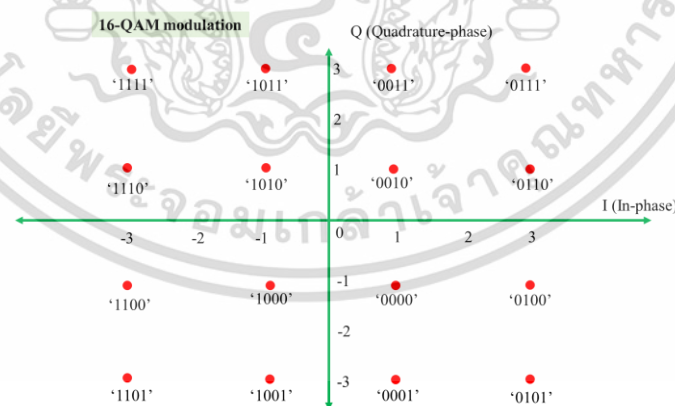
กล่าวไปแล้วว่าการมอดูเลชันแบบ QAM สามารถพิจารณาเป็นการมอดูเลชันแบบ PAM ในแกนจริง เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Q และแกนจินตภาพ I ในตัวอย่างนี้เป็นการมอดูเลชันแบบ 16QAM ดังนั้นจะพิจารณาเป็นการมอดูเลชันแบบ 4PAM บนแกนจริงซึ่งมี 2 บิตต่อ 1 สัญลักษณ์นั้นคือ '11' '10' '00' และ '01' ซึ่งเป็น 2 บิตแรกของ 16QAM และการมอดูเลชันแบบ 4PAM บนแกนจินตภาพซึ่งมี 2 บิตต่อ 1 สัญลักษณ์นั้นคือ '11' '10' '00' และ '01' ซึ่งเป็น 2 บิตหลังของ 16QAM



รูปที่ 2.8 ตัวอย่างการมอดูเลชันแบบ 16QAM

รูปที่ 2.9 แสดงรูปแบบการมอดูเลชันแบบ 16QAM ในรูปแบบของแผนภาพคอนสเทลเลชันซึ่งจะมี 16 จุดบนแผนภาพแทนสัญลักษณ์ข้อมูล '1111' '1110' '1100' '1101' '1001' '1000' '1010' '1011' '0011' '0010' '0000' '0001' '0101' '0100' '0110' และ '0111' รูปแบบของจุดในแผนภาพคอนสเทลเลชันเป็นแบบสี่เหลี่ยมจัตุรัส

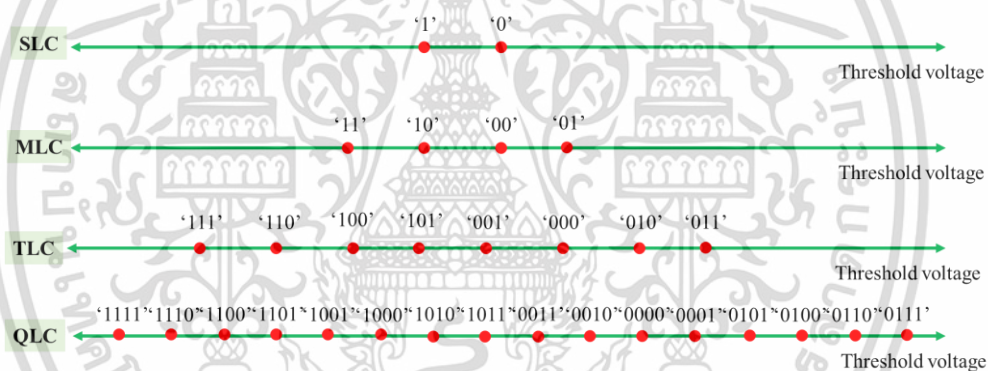


รูปที่ 2.9 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ 16QAM

## 2.2 การมอดูเลชันแบบดิจิทัลในระบบบันทึกข้อมูล

ในระบบบันทึกข้อมูลแบบ NAND flash สามารถพิจารณาการเก็บข้อมูลเหมือนการมอดูเลชันแบบดิจิทัลในระบบสื่อสาร โดยระบบบันทึกข้อมูลแบบ NAND flash จะเป็นการมอดูเลชันแบบแถบเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ฐานเนื่องจากระบบบันทึกข้อมูลไม่ต้องอาศัยคลื่นพาห์ โดยการมอดูเลชันที่ใช้ในระบบบันทึกข้อมูลแบบ NAND flash จะสามารถพิจารณาได้เป็นการมอดูเลชันแบบ PAM นั่นคือการบันทึกข้อมูลหรือการแทนค่าบิตข้อมูลในแต่ละเซลล์หน่วยความจำจะใช้ระดับแรงดันไฟฟ้าเทรสโฮลด์ (Threshold voltage) ทั้งนี้ สำหรับหน่วยความจำที่บันทึก 1 บิตต่อ 1 เซลล์ เรียกว่าหน่วยความจำแบบ SLC (Single-Level Cell) จะมีแรงดันไฟฟ้าเทรสโฮลด์แตกต่างกัน 2 ค่า ดังนั้น สามารถพิจารณาได้เป็นการมอดูเลชันแบบ 2PAM สำหรับหน่วยความจำที่บันทึก 2 บิตต่อ 1 เซลล์ เรียกว่าหน่วยความจำแบบ MLC (Multi-Level Cell) จะมีแรงดันไฟฟ้าเทรสโฮลด์แตกต่างกัน 4 ค่า ดังนั้น จะเป็นการใช้การมอดูเลชันแบบ 4PAM หน่วยความจำที่บันทึก 3 บิตต่อ 1 เซลล์ เรียกว่าหน่วยความจำแบบ TLC (Triple-Level Cell) จะมีแรงดันไฟฟ้าเทรสโฮลด์แตกต่างกัน 8 ค่า ดังนั้น จะเป็นการใช้การมอดูเลชันแบบ 8PAM และหน่วยความจำที่บันทึก 4 บิตต่อ 1 เซลล์ เรียกว่าหน่วยความจำแบบ QLC (Quad-Level Cell) จะมีแรงดันไฟฟ้าเทรสโฮลด์แตกต่างกัน 16 ค่า ดังนั้น จะใช้การมอดูเลชันแบบ 16PAM ดังแสดงในรูปที่ 2.10



รูปที่ 2.10 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ PAM ในระบบบันทึกข้อมูล

### 2.3 การมอดูเลชันในระบบสื่อสารมาตรฐาน 5G

ในระบบสื่อสารมาตรฐาน 5G [35] ใช้การมอดูเลชันแบบดิจิทัล 7 แบบได้แก่ 1) การมอดูเลชันแบบ BPSK 2) การมอดูเลชันแบบ  $\pi/2$ -BPSK 3) การมอดูเลชันแบบ QPSK 4) การมอดูเลชันแบบ 16QAM 5) การมอดูเลชันแบบ 64QAM 6) การมอดูเลชันแบบ 256QAM 7) การมอดูเลชันแบบ 1024QAM ซึ่งมีรายละเอียดดังนี้

#### 2.3.1 การมอดูเลชันแบบ BPSK

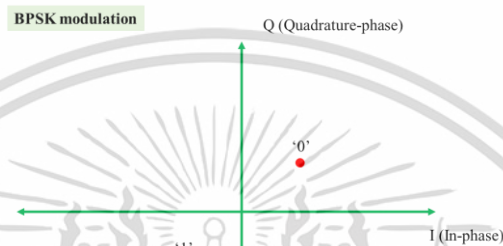
การมอดูเลชันแบบ BPSK เป็นการแทนสัญลักษณ์ของข้อมูลที่ส่ง  $b(i)$  ด้วยเฟสของคลื่นพาห์ โดยในมาตรฐานการสื่อสาร 5G กำหนดให้มุมเฟส  $\pi/4$  เรเดียนแทนบิต '0' และมุมเฟส  $5\pi/4$  เรเดียน แทนบิต '1' ซึ่งสัญญาณที่มอดูเลชันแบบ BPSK  $d(i)$  คำนวณได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$d(i) = \frac{1}{\sqrt{2}} ((1-2b(i)) + j(1-2b(i))) \quad (2.13)$$

เมื่อ  $i$  คือตำแหน่งของบิตอินพุต

แผนภาพคอนสเทลเลชันของการมอดูเลชันแสดงในรูปที่ 2.11 มีจุดที่แทนข้อมูล 2 จุด มีเฟสต่างกัน  $\pi$  เรเดียน



รูปที่ 2.11 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ BPSK

### 2.3.2 การมอดูเลชันแบบ $\pi/2$ -BPSK

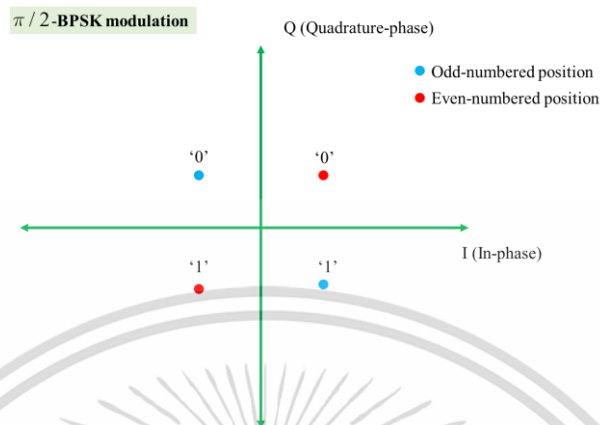
การมอดูเลชันแบบ  $\pi/2$ -BPSK เป็นการเลื่อนเฟสของการมอดูเลชันแบบ BPSK ไป  $\pi/2$  เรเดียน ดังนั้นสัญลักษณ์ของข้อมูลที่ส่ง  $b(i)$  แทนด้วยเฟสของคลื่นพาห์ โดยมีมุมเฟส  $3\pi/4$  เรเดียนแทนบิต '0' และมีมุมเฟส  $7\pi/4$  เรเดียนแทนบิต '1' การมอดูเลชันในมาตรฐาน 5G กำหนดการมอดูเลชันของบิตในตำแหน่งคู่และบิตในตำแหน่งคี่แตกต่างกัน บิตข้อมูลในตำแหน่งคู่จะใช้การมอดูเลชันแบบ BPSK และบิตข้อมูลในตำแหน่งคี่จะใช้การมอดูเลชันแบบ  $\pi/2$ -BPSK ดังนั้นสัญลักษณ์ที่มอดูเลชันแบบ  $\pi/2$ -BPSK  $d(i)$  คำนวณได้จาก

$$d(i) = \frac{e^{j\frac{\pi}{2}(i \bmod 2)}}{\sqrt{2}} ((1-2b(i)) + j(1-2b(i))) \quad (2.14)$$

เมื่อ  $i$  คือตำแหน่งของบิตอินพุต

แผนภาพคอนสเทลเลชันของการมอดูเลชันแสดงในรูปที่ 2.12 มีจุดที่แทนข้อมูล 4 จุด มีเฟสต่างกัน  $\pi/2$  เรเดียน แต่ละจุดแทนบิต '0' และบิต '1' โดยมีมุมเฟส  $\pi/4$  เรเดียนและ  $5\pi/4$

เรเดียน เป็นของบิต '0' และบิต '1' ของบิตตำแหน่งคู่ และมุมเฟส  $3\pi/4$  เรเดียนและ  $7\pi/4$  เรเดียน เป็นของบิต '0' และบิต '1' ของบิตตำแหน่งคี่



รูปที่ 2.12 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ  $\pi/2$ -BPSK

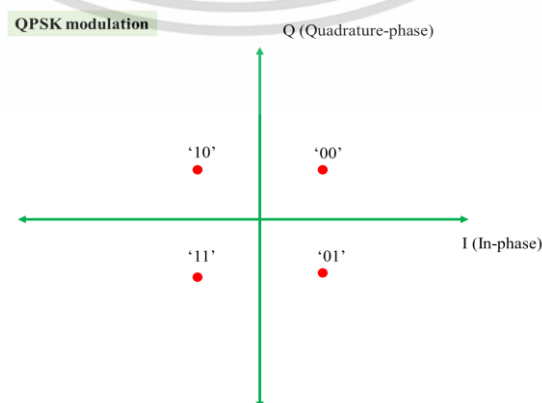
### 2.3.3 การมอดูเลชันแบบ QPSK

การมอดูเลชันแบบ QPSK เป็นการมอดูเลชันที่สัญลักษณ์ของข้อมูลที่ส่ง  $b(i)$  แทนด้วยเฟสของคลื่นพาห์ โดยมุมเฟส  $\pi/4$   $3\pi/4$   $5\pi/4$  และ  $7\pi/4$  เรเดียน แทนบิต '00' '10' '11' และ '01' ตามลำดับ สัญลักษณ์ที่มอดูเลชันแบบ QPSK  $d(i)$  คำนวณได้จาก

$$d(i) = \frac{1}{\sqrt{2}} (1 - 2b(2i)) + j(1 - 2b(2i + 1)) \quad (2.15)$$

เมื่อ  $i$  คือตำแหน่งของบิตอินพุต

แผนภาพคอนสเทลเลชันของการมอดูเลชันแสดงในรูปที่ 2.13 มีจุดที่แทนข้อมูล 4 จุดมีเฟสต่างกัน  $\pi/2$  เรเดียน แต่ละจุดแทนสัญลักษณ์ของข้อมูล '00' '10' '11' และ '01'



รูปที่ 2.13 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ QPSK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

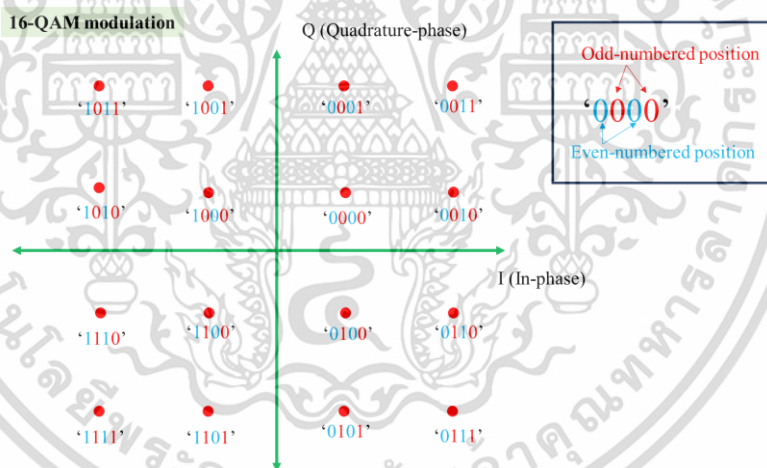
### 2.3.4 การมอดูเลชันแบบ 16QAM

การมอดูเลชันแบบ 16QAM เป็นการมอดูเลชันที่สัญลักษณ์ของข้อมูลที่ส่ง  $b(i)$  จำนวน 16 จุดซึ่งแทนด้วยเฟสของคลื่นพาห์และแอมพลิจูดต่างกัน การมอดูเลชันสามารถพิจารณาเป็นการมอดูเลชันแบบ 4PAM ในแกนจริงและ 4PAM ในแกนจินตภาพ ซึ่งสัญลักษณ์ในแกนจริงจะนำมาจากบิตในตำแหน่งคู่ และสัญลักษณ์ในแกนจินตภาพจะนำมาจากบิตในตำแหน่งคี่ สัญลักษณ์ที่มอดูเลชันแบบ 16QAM  $d(i)$  คำนวณได้จาก

$$d(i) = \frac{1}{\sqrt{10}} \begin{matrix} 1 - 2b(4i) & 2 - (1 - 2b(4i + 2)) \\ j(1 - 2b(4i + 1)) & 2 - (1 - 2b(4i + 3)) \end{matrix} \quad (2.16)$$

เมื่อ  $i$  คือตำแหน่งของบิตอินพุต

แผนภาพคอนสเทลเลชันของการมอดูเลชันแสดงในรูปที่ 2.14 มีจุดที่แทนข้อมูล 16 จุด มีเฟสและแอมพลิจูดต่างกัน รูปแบบจุดเป็นสี่เหลี่ยมจัตุรัส มี 4 แกวและ 4 คอลัมน์



รูปที่ 2.14 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ 16QAM

### 2.3.5 การมอดูเลชันแบบ 64QAM

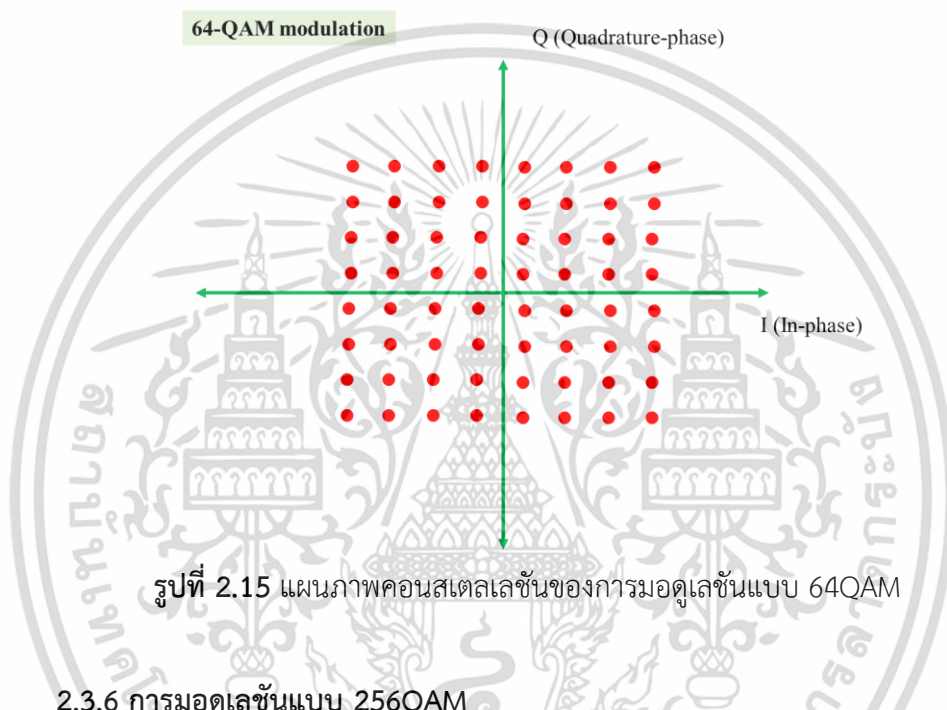
การมอดูเลชันแบบ 64QAM เป็นการมอดูเลชันที่สัญลักษณ์ของข้อมูลที่ส่ง  $b(i)$  จำนวน 64 จุดซึ่งแทนด้วยเฟสของคลื่นพาห์และแอมพลิจูดต่างกัน การมอดูเลชันสามารถพิจารณาเป็นการมอดูเลชันแบบ 8PAM ในแกนจริงและ 8PAM ในแกนจินตภาพ ซึ่งสัญลักษณ์ในแกนจริงจะนำมาจากบิตในตำแหน่งคู่ และสัญลักษณ์ในแกนจินตภาพจะนำมาจากบิตในตำแหน่งคี่ สัญลักษณ์ที่มอดูเลชันแบบ 64QAM  $d(i)$  คำนวณได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$d(i) = \frac{1}{\sqrt{42}} (1-2b(6i)) \ 4 - (1-2b(6i+2)) \ 2 - (1-2b(6i+4)) \ + \\ j(1-2b(6i+1)) \ 4 - (1-2b(6i+3)) \ 2 - (1-2b(6i+5)) \quad (2.17)$$

เมื่อ  $i$  คือตำแหน่งของบิตอินพุต

แผนภาพคอนสเทลเลชันของการมอดูเลชันแสดงในรูปที่ 2.15 มีจุดที่แทนข้อมูล 64 จุด มีเฟสและแอมพลิจูดต่างกัน รูปแบบจุดเป็นสี่เหลี่ยมจัตุรัส มี 8 แถวและ 8 คอลัมน์



รูปที่ 2.15 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ 64QAM

### 2.3.6 การมอดูเลชันแบบ 256QAM

การมอดูเลชันแบบ 256QAM เป็นการมอดูเลชันที่สัญลักษณ์ของข้อมูลที่ส่ง  $b(i)$  จำนวน 256 จุดซึ่งแทนด้วยเฟสของคลื่นพาห์และแอมพลิจูดต่างกัน การมอดูเลชันสามารถพิจารณาเป็นการมอดูเลชันแบบ 16PAM ในแกนจริงและ 16PAM ในแกนจินตภาพ ซึ่งสัญลักษณ์ในแกนจริงจะนำมาจากบิตในตำแหน่งคู่ และสัญลักษณ์ในแกนจินตภาพจะนำมาจากบิตในตำแหน่งคี่ สัญลักษณ์ที่มอดูเลชันแบบ 256QAM  $d(i)$  คำนวณได้จาก

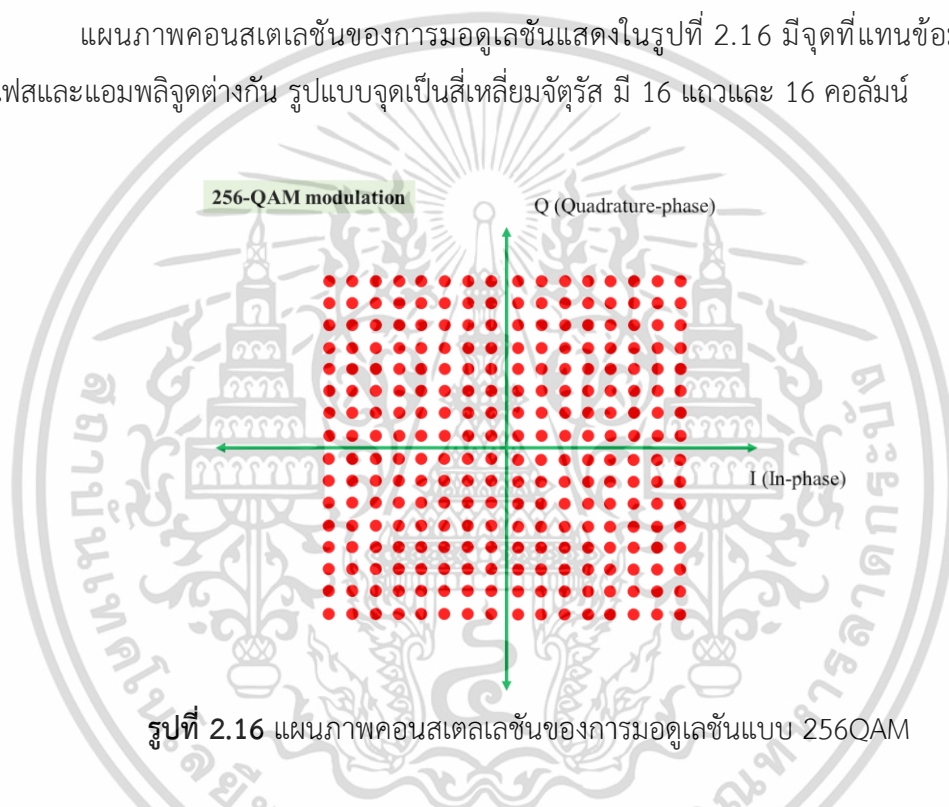
$$d(i) = \frac{1}{\sqrt{170}} B_0 \ 8 - B_2 \ 4 - B_4 \ 2 - B_6 \ + \\ j B_1 \ 8 - B_3 \ 4 - B_5 \ 2 - B_7 \quad (2.18)$$

เมื่อ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 B_0 &= 1 - 2b(8i) \\
 B_1 &= 1 - 2b(8i + 1) \\
 B_2 &= 1 - 2b(8i + 2) \\
 B_3 &= 1 - 2b(8i + 3) \\
 B_4 &= 1 - 2b(8i + 4) \\
 B_5 &= 1 - 2b(8i + 5) \\
 B_6 &= 1 - 2b(8i + 6) \\
 B_7 &= 1 - 2b(8i + 7)
 \end{aligned}$$

แผนภาพคอนสเทเลชันของการมอดูเลชันแสดงในรูปที่ 2.16 มีจุดที่แทนข้อมูล 256 จุด มีเฟสและแอมพลิจูดต่างกัน รูปแบบจุดเป็นสี่เหลี่ยมจัตุรัส มี 16 แถวและ 16 คอลัมน์



รูปที่ 2.16 แผนภาพคอนสเทเลชันของการมอดูเลชันแบบ 256QAM

### 2.3.7 การมอดูเลชันแบบ 1024QAM

การมอดูเลชันแบบ 1024QAM เป็นการมอดูเลชันที่สัญลักษณ์ของข้อมูลที่ส่ง  $b(i)$  จำนวน 1024 จุดซึ่งแทนด้วยเฟสของคลื่นพาห์และแอมพลิจูดต่างกัน การมอดูเลชันสามารถพิจารณาเป็นการมอดูเลชันแบบ 32PAM ในแกนจริงและ 32PAM ในแกนจินตภาพ ซึ่งสัญลักษณ์ในแกนจริงจะนำมาจากบิตในตำแหน่งคู่ และสัญลักษณ์ในแกนจินตภาพจะนำมาจากบิตในตำแหน่งคี่ สัญลักษณ์ที่มอดูเลชันแบบ 256QAM  $d(i)$  คำนวณได้จาก

$$\begin{aligned}
 d(i) = \frac{1}{\sqrt{170}} & B_0 \ 16 - B_2 \ 8 - B_4 \ 4 - B_6 \ 2 - B_8 \quad + \\
 & j \ B_1 \ 16 - B_3 \ 8 - B_5 \ 4 - B_7 \ 2 - B_9 \quad (2.19)
 \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ

$$B_0 = 1 - 2b(10i)$$

$$B_1 = 1 - 2b(10i + 1)$$

$$B_2 = 1 - 2b(10i + 2)$$

$$B_3 = 1 - 2b(10i + 3)$$

$$B_4 = 1 - 2b(10i + 4)$$

$$B_5 = 1 - 2b(10i + 5)$$

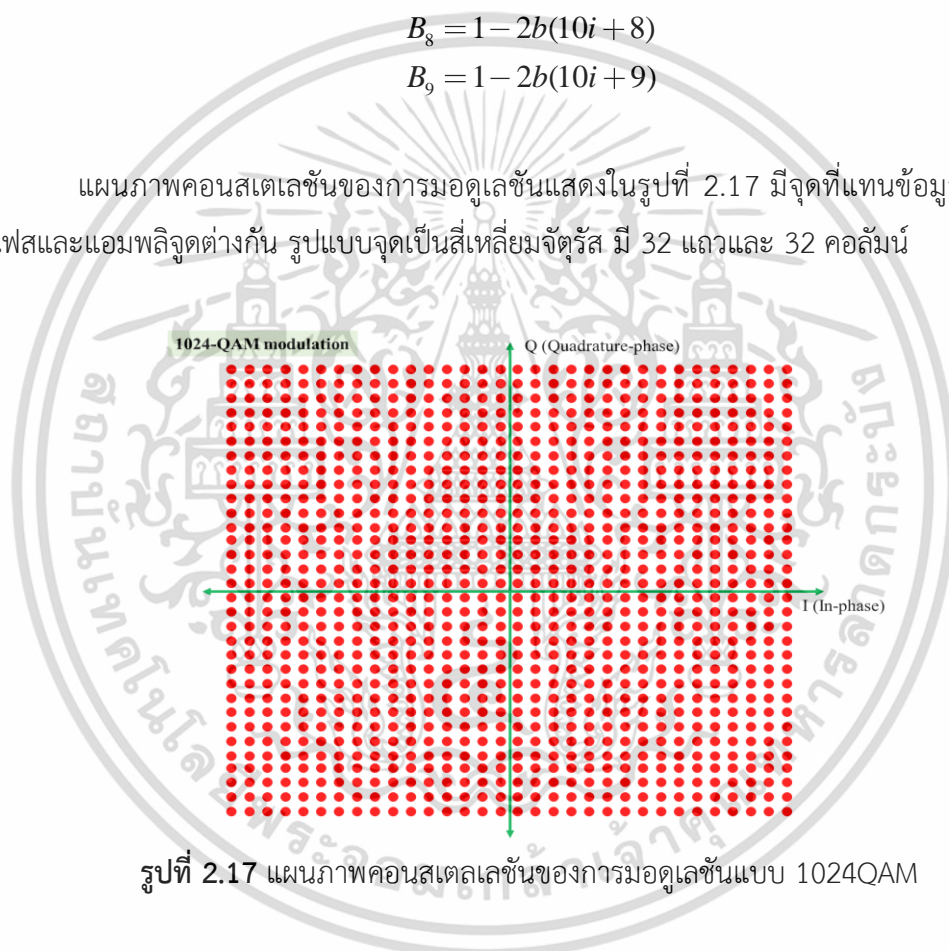
$$B_6 = 1 - 2b(10i + 6)$$

$$B_7 = 1 - 2b(10i + 7)$$

$$B_8 = 1 - 2b(10i + 8)$$

$$B_9 = 1 - 2b(10i + 9)$$

แผนภาพคอนสเทลเลชันของการมอดูเลชันแสดงในรูปที่ 2.17 มีจุดที่แทนข้อมูล 1024 จุด มีเฟสและแอมพลิจูดต่างกัน รูปแบบจุดเป็นสี่เหลี่ยมจัตุรัส มี 32 แถวและ 32 คอลัมน์



รูปที่ 2.17 แผนภาพคอนสเทลเลชันของการมอดูเลชันแบบ 1024QAM

#### 2.4 การตีมอดูเลชันสำหรับระบบบันทึกข้อมูล

ดังที่ได้อธิบายไปแล้วว่าระบบบันทึกข้อมูลจะใช้การมอดูเลชันแบบ PAM ซึ่งการคำนวณหาค่าการตีมอดูเลชันสำหรับระบบบันทึกข้อมูลสามารถหาได้จากข่าวสารแบบซอฟต์แวร์ (Soft-information) หรือค่าแอลแอลอาร์  $L_b(v_{ih})$  สำหรับนำไปใช้เพื่อถอดรหัสแอลดีพีซีนั้นสามารถคำนวณได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L_{b_i}(v_{ih}) = \log \left( \frac{\sum_{s \in \{s_{b_1 \dots b_k} | b_i = 1\}} p(v_{ih} | b_i = s)}{\sum_{s \in \{s_{b_1 \dots b_k} | b_i = 0\}} p(v_{ih} | b_i = s)} \right) \quad (2.20)$$

เมื่อ  $v_{ih}$  คือแรงดันไฟฟ้าเทรสโวลต์ที่อ่านได้จากหน่วยความจำและ  $b_i$  คือบิตที่  $i$  ในสัญลักษณ์  $s$

ตัวอย่างของการคำนวณค่าแอลแอลอาร์ของการมอดูเลชันแบบ 4PAM หรือหน่วยความจำแบบ MLC บิตที่ 1 และบิตที่ 2 ของการมอดูเลชันแบบ 4PAM สามารถคำนวณได้จาก

$$L_{b_1}(v_{ih}) = \log \left( \frac{p(v_{ih} | b_1 = s_{10}) + p(v_{ih} | b_1 = s_{11})}{p(v_{ih} | b_1 = s_{00}) + p(v_{ih} | b_1 = s_{01})} \right) \quad (2.21)$$

และ

$$L_{b_2}(v_{ih}) = \log \left( \frac{p(v_{ih} | b_2 = s_{11}) + p(v_{ih} | b_2 = s_{01})}{p(v_{ih} | b_2 = s_{00}) + p(v_{ih} | b_2 = s_{10})} \right) \quad (2.22)$$

การตัดสินใจบิต  $\hat{b}_1$  และ  $\hat{b}_2$  จากค่าแอลแอลอาร์ของแต่ละบิตในสัญลักษณ์สามารถทำได้โดยการพิจารณาค่าแอลแอลอาร์ที่มากกว่าหรือเท่ากับ 0 เป็นบิต '1' และค่าแอลแอลอาร์ที่น้อยกว่า 0 เป็นบิต '0' นั่นคือ

$$\hat{b}_1 = \begin{cases} 1, & \text{if } L_{b_1}(v_{ih}) \geq 0 \\ 0, & \text{if } L_{b_1}(v_{ih}) < 0 \end{cases} \quad (2.23)$$

และ

$$\hat{b}_2 = \begin{cases} 1, & \text{if } L_{b_2}(v_{ih}) \geq 0 \\ 0, & \text{if } L_{b_2}(v_{ih}) < 0 \end{cases} \quad (2.24)$$

## 2.5 การติมอดูเลชันสำหรับระบบสื่อสารมาตรฐาน 5G

ในมาตรฐานการสื่อสาร 5G มีการกำหนดให้ใช้งานการมอดูเลชันแบบดิจิทัล 7 แบบ ได้แก่ 1) การมอดูเลชันแบบ  $\pi/2$ -BPSK 2) การมอดูเลชันแบบ BPSK 3) การมอดูเลชันแบบ QPSK 4) การมอดูเลชันแบบ 16QAM 5) การมอดูเลชันแบบ 64QAM 6) การมอดูเลชันแบบ 256QAM 7) การมอดูเลชันแบบ 1024QAM [35] สำหรับมาตรฐาน 5G เอาดัตพุตที่ได้จากการติมอดูเลชันจะถูกนำไปใช้สำหรับถอดรหัสแอลดีพีซี ซึ่งการถอดรหัสแอลดีพีซีนั้นจำเป็นต้องใช้ค่าซอฟต์แวร์ในรูปของค่า

แอลแอลอาร์  $L(y)$  ซึ่งคำนวณได้จาก

เอกสารนี้เป็นเอกสารทบทวนเนื้อหาสำหรับการเรียนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L(y) = \log \left( \frac{p(y|x=1)}{p(y|x=0)} \right) \quad (2.25)$$

เมื่อ  $y$  คือเอาต์พุตช่องสัญญาณ  $x$  คืออินพุตบิต และ  $p(y|x)$  คือความน่าจะเป็นของเอาต์พุต  $y$  เมื่อทราบอินพุต  $x$

การตัดสินใจบิต  $\hat{x}$  จากค่าแอลแอลอาร์สามารถประมาณได้จาก

$$\hat{x} = \begin{cases} 1, & \text{if } L(y) \geq 0 \\ 0, & \text{if } L(y) < 0 \end{cases} \quad (2.26)$$

สมการที่ (2.25) สามารถคำนวณค่าแอลแอลอาร์สำหรับการมอดูเลชันแบบไบนารี เช่น การมอดูเลชันแบบ BPSK และการมอดูเลชันแบบ  $\pi/2$ -BPSK ในกรณีที่มีการมอดูเลชันแบบนอนไบนารี เช่น การมอดูเลชันแบบ QPSK การมอดูเลชันแบบ 16QAM การมอดูเลชันแบบ 64QAM การมอดูเลชันแบบ 256QAM และการมอดูเลชันแบบ 1024QAM การคำนวณค่าแอลแอลอาร์จะสามารถคำนวณได้ดังนี้

$$L_{b_i}(y) = \log \left( \frac{\sum_{s \in \{s_{b_1 \dots b_k} | b_i=1\}} p(y|b_i=s)}{\sum_{s \in \{s_{b_1 \dots b_k} | b_i=0\}} p(y|b_i=s)} \right) \quad (2.27)$$

เมื่อ  $b_i$  คือบิตที่  $i$  ในสัญลักษณ์  $s$

การตัดสินใจบิต  $L_{b_i}(y)$  จากค่าแอลแอลอาร์สามารถประมาณได้จาก

$$\hat{b}_i = \begin{cases} 1, & \text{if } L_{b_i}(y) \geq 0 \\ 0, & \text{if } L_{b_i}(y) < 0 \end{cases} \quad (2.28)$$

ตัวอย่างของการคำนวณค่าแอลแอลอาร์ของการมอดูเลชันแบบ 16QAM โดยจะมองเป็นการมอดูเลชันแบบ 4PAM ของแกนจริง และการมอดูเลชันแบบ 4PAM ของแกนจินตภาพ ดังนั้นการคำนวณค่าแอลแอลอาร์ของการมอดูเลชันแบบ 16QAM (4 บิตต่อ 1 สัญลักษณ์) สามารถคำนวณได้จากการมอดูเลชันแบบ 4PAM (2 บิตต่อ 1 สัญลักษณ์) ของแกนจริงและการมอดูเลชันแบบ 4PAM (2 บิตต่อ 1 สัญลักษณ์) ของแกนจินตภาพรวมเป็น 4 บิตของการมอดูเลชันแบบ 16QAM การคำนวณค่าแอลแอลอาร์ บิตที่ 1 และบิตที่ 2 ของการมอดูเลชันแบบ 4PAM สามารถคำนวณได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L_{b_1}(y) = \log \left( \frac{p(y | b_1 = s_{10}) + p(y | b_1 = s_{11})}{p(y | b_1 = s_{00}) + p(y | b_1 = s_{01})} \right) \quad (2.29)$$

และ

$$L_{b_2}(y) = \log \left( \frac{p(y | b_2 = s_{11}) + p(y | b_2 = s_{01})}{p(y | b_2 = s_{00}) + p(y | b_2 = s_{10})} \right) \quad (2.30)$$

จากตัวอย่างจะพบว่าต้องใช้ผลรวมของความน่าจะเป็นที่บิตที่  $i$  ของสัญลักษณ์ที่เป็น '1' และ '0' เนื่องจากความน่าจะเป็นของสัญลักษณ์ที่อยู่ห่างจากค่า  $y$  จะมีค่าน้อยมาก ดังนั้นจึงสามารถประมาณค่าแอลแอลอาร์จากค่าความน่าจะเป็นของสัญลักษณ์ที่ใกล้ค่า  $y$  ที่สุดได้ ซึ่งแนวคิดในการเลือกสัญลักษณ์ที่มีค่าใกล้ที่สุดมาคำนวณคือพิจารณาจากค่าความน่าจะเป็นของแต่ละสัญลักษณ์ สัญลักษณ์ที่ใกล้ค่า  $y$  มากที่สุดจะมีค่าความน่าจะเป็นมากที่สุดเรียกว่า การติมอดูเลชันค่าแอลแอลอาร์สูงสุด (Max-LLR demodulation) [36] ดังนั้นจากสมการ (2.27) จะได้

$$L_{b_i}(y) = \log \left( \frac{\max_{s \in \{s_{b_1 \dots b_k} | b_i = 1\}} p(y | b_i = s)}{\max_{s \in \{s_{b_1 \dots b_k} | b_i = 0\}} p(y | b_i = s)} \right) \quad (2.31)$$

## 2.6 การติมอดูเลชันความซับซ้อนต่ำสำหรับระบบสื่อสารมาตรฐาน 5G

จากสมการที่ (2.31) จำเป็นจะต้องมีการออปติไมซ์หาค่าสูงสุดของค่าความน่าจะเป็นซึ่งทำให้การคำนวณค่าแอลแอลอาร์ล่าช้า ดังนั้น ใน [37] ได้มีการออปติไมซ์ค่าเก็บไว้ในตารางเพื่อให้การคำนวณค่าแอลแอลอาร์มีความรวดเร็วขึ้น

จากสมการที่ (2.31) ถ้ากำหนดให้ช่องสัญญาณเป็นแบบ AWGN (Additive White Gaussian Noise) จะได้

$$L_{b_i}(y) = \log \left( \frac{\max_{s \in \{s_{b_1 \dots b_k} | b_i = 1\}} \frac{1}{\sqrt{2\pi\sigma^2}} \exp\left\{-\frac{(y-s)^2}{2\sigma^2}\right\}}{\max_{s \in \{s_{b_1 \dots b_k} | b_i = 0\}} \frac{1}{\sqrt{2\pi\sigma^2}} \exp\left\{-\frac{(y-s)^2}{2\sigma^2}\right\}} \right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
&= \log \left( \frac{\frac{1}{\sqrt{2\pi\sigma^2}} \max_{s \in \{s_{b_1 \dots b_k} | b_i = 1\}} \exp\left\{-\frac{(y-s)^2}{2\sigma^2}\right\}}{\frac{1}{\sqrt{2\pi\sigma^2}} \max_{s \in \{s_{b_1 \dots b_k} | b_i = 0\}} \exp\left\{-\frac{(y-s)^2}{2\sigma^2}\right\}} \right) \\
&= \log \left( \frac{\max_{s \in \{s_{b_1 \dots b_k} | b_i = 1\}} \exp\left\{-\frac{(y-s)^2}{2\sigma^2}\right\}}{\max_{s \in \{s_{b_1 \dots b_k} | b_i = 0\}} \exp\left\{-\frac{(y-s)^2}{2\sigma^2}\right\}} \right) \\
&= \log \left( \max_{s \in \{s_{b_1 \dots b_k} | b_i = 1\}} \exp\left\{-\frac{(y-s)^2}{2\sigma^2}\right\} \right) \\
&\quad - \log \left( \max_{s \in \{s_{b_1 \dots b_k} | b_i = 0\}} \exp\left\{-\frac{(y-s)^2}{2\sigma^2}\right\} \right) \\
&= \max_{s \in \{s_{b_1 \dots b_k} | b_i = 1\}} \log \left( \exp\left\{-\frac{(y-s)^2}{2\sigma^2}\right\} \right) \\
&\quad - \max_{s \in \{s_{b_1 \dots b_k} | b_i = 0\}} \log \left( \exp\left\{-\frac{(y-s)^2}{2\sigma^2}\right\} \right) \\
&= \max_{s \in \{s_{b_1 \dots b_k} | b_i = 1\}} \left( -\frac{(y-s)^2}{2\sigma^2} \right) - \max_{s \in \{s_{b_1 \dots b_k} | b_i = 0\}} \left( -\frac{(y-s)^2}{2\sigma^2} \right) \\
&= \frac{1}{2\sigma^2} \left( \max_{s \in \{s_{b_1 \dots b_k} | b_i = 1\}} -(y-s)^2 - \max_{s \in \{s_{b_1 \dots b_k} | b_i = 0\}} -(y-s)^2 \right) \\
&= \frac{1}{2\sigma^2} \left( -\min_{s \in \{s_{b_1 \dots b_k} | b_i = 1\}} (y-s)^2 + \min_{s \in \{s_{b_1 \dots b_k} | b_i = 0\}} (y-s)^2 \right) \\
&= \frac{1}{2\sigma^2} \left( \min_{s \in \{s_{b_1 \dots b_k} | b_i = 0\}} (y-s)^2 - \min_{s \in \{s_{b_1 \dots b_k} | b_i = 1\}} (y-s)^2 \right) \tag{2.32}
\end{aligned}$$

จากสมการที่ (2.32) จะต้องมีการหาค่าที่ดีที่สุด (Optimization) หาค่าต่ำสุดของ  $(y-s)^2$  ดังนั้นจะกำหนดให้ค่าเฉลี่ย  $\mu_0$  และค่าเฉลี่ย  $\mu_1$  เป็นค่าเฉลี่ยที่มีระยะห่างจากค่า  $y$  ต่ำที่สุด

$\min_{s \in \{s_{b_1 \dots b_k} | b_i = 0\}} (y-s)^2$  และ  $\min_{s \in \{s_{b_1 \dots b_k} | b_i = 1\}} (y-s)^2$  สามารถเขียนได้เป็น [37]

$$\mu_0 = \min_{s \in \{s_{b_1 \dots b_k} | b_i = 0\}} (y-s)^2 \tag{2.33}$$

$$\mu_1 = \min_{s \in \{s_{b_1 \dots b_k} | b_i = 1\}} (y-s)^2 \tag{2.34}$$

ดังนั้นจากสมการที่ (2.32) จะสามารถเขียนใหม่ได้เป็น

$$L_{b_i}(y) = \frac{1}{2\sigma^2} (y-\mu_0)^2 - (y-\mu_1)^2$$

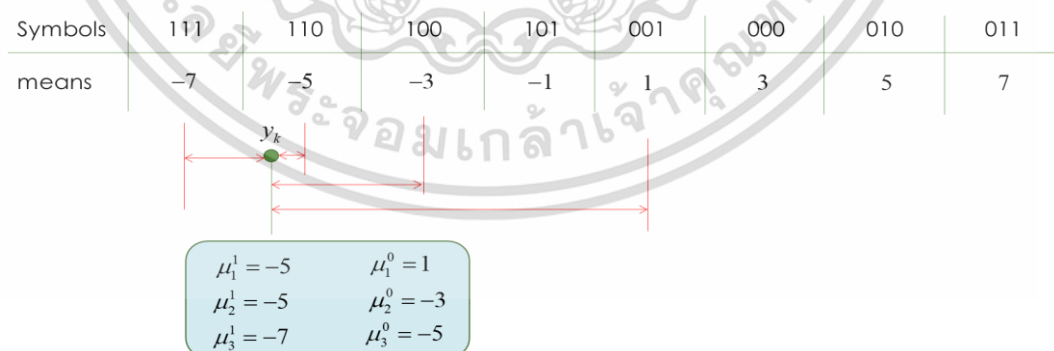
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
&= \frac{1}{2\sigma^2} y^2 - 2y\mu_0 + (\mu_0)^2 - (y^2 - 2y\mu_1 + (\mu_1)^2) \\
&= \frac{1}{2\sigma^2} 2y(\mu_1 - \mu_0) + (\mu_0)^2 - (\mu_1)^2 \quad (2.35)
\end{aligned}$$

ดังนั้น การประมาณค่าแอมพลิจูดด้วยวิธีการตีความอูเลชันค่าแอมพลิจูดสูงสุดด้วยสมการที่ (2.35) ใช้สำหรับคำนวณค่าในแกนจริงและแกนจินตภาพของการมอดูเลชันแบบต่าง ๆ ในมาตรฐาน 5G ที่ส่งผ่านช่องสัญญาณ AWGN เท่านั้น

จากสมการที่ (2.35) จะเห็นได้ว่ามีค่า  $\mu_0$  และ  $\mu_1$  ที่จะต้องออปติไมซ์หาค่าต่ำสุดจากสมการที่ (2.33) และ (2.34) ทำให้สามารถหาค่าดังกล่าวเป็นตารางเก็บไว้เพื่อลดความซับซ้อนและเวลาในการคำนวณค่า วิธีการออกแบบตารางสามารถทำได้โดยการแบ่งช่วงค่า  $y$  ตัวอย่างเช่น การมอดูเลชันแบบ 64QAM จะพิจารณาเป็นการมอดูเลชันแบบ 8PAM ของแกนจริง และการมอดูเลชันแบบ 8PAM ของแกนจินตภาพ ในที่นี้จะยกตัวอย่างเพียง 1 แกน ส่วนที่เหลือคำนวณแบบเดียวกัน ในการมอดูเลชันแบบ 8PAM จะมีการแบ่งค่า  $y$  เป็น 8 ช่วง แต่ละช่วงประกอบด้วย 3 บิต และมีค่าเฉลี่ยดังแสดงในรูปที่ 2.18 สมมุติให้ค่า  $y$  ตกในช่วงของสัญลักษณ์ '110' ค่าเฉลี่ยของสัญลักษณ์ที่มีบิตที่ 1 เป็น '1' จะมีค่า  $\mu_1^1$  ที่ใกล้ค่า  $y$  ที่สุดคือ -5 หรือก็คือค่าเฉลี่ยของช่วงที่ค่า  $y$  อยู่ ค่าเฉลี่ยของสัญลักษณ์ที่มีบิตที่ 1 เป็น '0' จะมีค่า  $\mu_1^0$  ที่ใกล้ค่า  $y$  ที่สุดคือ 1 ค่าเฉลี่ยของสัญลักษณ์ที่มีบิตที่ 2 เป็น '1' จะมีค่า  $\mu_2^1$  ที่ใกล้ค่า  $y$  ที่สุดคือ -5 ค่าเฉลี่ยของสัญลักษณ์ที่มีบิตที่ 2 เป็น '0' จะมีค่า  $\mu_2^0$  ที่ใกล้ค่า  $y$  ที่สุดคือ -3 ค่าเฉลี่ยของสัญลักษณ์ที่มีบิตที่ 3 เป็น '1' จะมีค่า  $\mu_3^1$  ที่ใกล้ค่า  $y$  ที่สุดคือ -7 และค่าเฉลี่ยของสัญลักษณ์ที่มีบิตที่ 3 เป็น '0' จะมีค่า  $\mu_3^0$  ที่ใกล้ค่า  $y$  ที่สุดคือ -5



**รูปที่ 2.18** ตัวอย่างการหาค่าในตารางสำหรับค่า  $\mu_0$  และ  $\mu_1$  ที่มีการมอดูเลชันแบบ 8PAM

จากตัวอย่างวิธีการออกแบบตารางด้านบน สามารถหาค่าในตารางทั้งหมดโดยสมมุติให้ค่า  $y$  อยู่ในแต่ละช่วงแล้วหาค่าจนครบทุกช่วงดังนั้นจะได้ตารางดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 ตัวอย่างตารางค่าเฉลี่ยของบิต '1' ที่ใกล้  $y$  ที่สุด

$LUT_1$					
Input		$-\infty < y \leq -6$	$-6 < y \leq -4$	$-4 < y \leq -2$	$-2 < y \leq 0$
Output	บิตที่ 1	-7	-5	-3	-1
	บิตที่ 2	-7	-5	-5	-5
	บิตที่ 3	-7	-7	-1	-1
Input		$0 < y \leq 2$	$2 < y \leq 4$	$4 < y \leq 6$	$6 < y \leq \infty$
Output	บิตที่ 1	-1	-1	-1	-1
	บิตที่ 2	5	5	5	7
	บิตที่ 3	1	1	7	7

ตารางที่ 2.2 ตัวอย่างตารางค่าเฉลี่ยของบิต '0' ที่ใกล้  $y$  ที่สุด

$LUT_1$					
Input		$-\infty < y \leq -6$	$-6 < y \leq -4$	$-4 < y \leq -2$	$-2 < y \leq 0$
Output	บิตที่ 1	-7	-5	-3	-1
	บิตที่ 2	-7	-5	-5	-5
	บิตที่ 3	-7	-7	-1	-1
Input		$0 < y \leq 2$	$2 < y \leq 4$	$4 < y \leq 6$	$6 < y \leq \infty$
Output	บิตที่ 1	-1	-1	-1	-1
	บิตที่ 2	5	5	5	7
	บิตที่ 3	1	1	7	7

จากสมการที่ (2.35) เมื่อแทนค่า  $\mu_0$  และ  $\mu_1$  ด้วยตารางจะได้ดังนี้

$$L(i) = \frac{1}{2\sigma^2} \left( 2y(n_m)(LUT_1(i, F(y)) - LUT_0(i, F(y))) + (LUT_0(i, F(y)))^2 - (LUT_1(i, F(y)))^2 \right) \quad (2.36)$$

เมื่อ  $n_m \in \{\sqrt{2}, \sqrt{10}, \sqrt{42}, \sqrt{170}, \sqrt{682}\}$   $i$  คือลำดับบิตในสัญลักษณ์ และ  $F(y)$  คือฟังก์ชันในการคำนวณอินตีกซ์ของตารางจากค่า  $y$  คำนวณได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F(y) = \text{saturnate} \left( \text{round} \left( y \frac{n_m}{2} - 0.5 \right) \right) \quad (2.37)$$

เมื่อ

$$\text{saturnate}(x) = \begin{cases} -M/2, & \text{if } x < -M/2 \\ M/2 - 1, & \text{if } x > M/2 - 1 \\ x, & \text{otherwise.} \end{cases} \quad (2.38)$$

และ  $M$  คือ MQAM

จากสมการ (2.36) จะเห็นได้ว่ามีตารางที่สามารถรวมกันเพื่อลดการคำนวณในสมการลงได้ เพื่อลดความซับซ้อนของวงจรในการคำนวณในอุปกรณ์ฮาร์ดแวร์โดยเขียนใหม่ได้เป็น

$$L(i) = \frac{1}{2\sigma^2} (2y(n_m) LUT_A(i, F(y)) + LUT_B(i, F(y))) \quad (2.39)$$

เมื่อ

$$LUT_A(i, F(y)) = LUT_1(i, F(y)) - LUT_0(i, F(y)) \quad (2.40)$$

และ

$$LUT_B(i, F(y)) = (LUT_0(i, F(y)))^2 - (LUT_1(i, F(y)))^2 \quad (2.41)$$

ค่าในตาราง  $LUT_A$  และ  $LUT_B$  คำนวณมาจากตารางที่ 2.1 และ 2.2 แสดงในตารางที่ 2.3 และ 2.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.3 ตัวอย่างตารางผลต่างค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 64QAM

$LUT_A$					
Input		$-\infty < y \leq -6$	$-6 < y \leq -4$	$-4 < y \leq -2$	$-2 < y \leq 0$
Output	บิตที่ 1	-8	-6	-4	-2
	บิตที่ 2	-4	-2	-2	-4
	บิตที่ 3	-2	-2	2	2
Input		$0 < y \leq 2$	$2 < y \leq 4$	$4 < y \leq 6$	$6 < y \leq \infty$
Output	บิตที่ 1	-2	-4	-6	-8
	บิตที่ 2	4	2	2	4
	บิตที่ 3	-2	-2	2	2

ตารางที่ 2.4 ตัวอย่างตารางผลต่างกำลังสองของค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 64QAM

$LUT_B$					
Input		$-\infty < y \leq -6$	$-6 < y \leq -4$	$-4 < y \leq -2$	$-2 < y \leq 0$
Output	บิตที่ 1	-48	-24	-8	0
	บิตที่ 2	-40	-16	-16	-24
	บิตที่ 3	-24	-24	8	8
Input		$0 < y \leq 2$	$2 < y \leq 4$	$4 < y \leq 6$	$6 < y \leq \infty$
Output	บิตที่ 1	0	8	24	48
	บิตที่ 2	-24	-16	-16	-40
	บิตที่ 3	8	8	-24	-24

สำหรับการมอดูเลชันในมาตรฐาน 5G กำหนดให้มีการใช้งานการมอดูเลชัน 7 รูปแบบ ได้แก่ การมอดูเลชันแบบ  $\pi/2$ -BPSK การมอดูเลชันแบบ BPSK การมอดูเลชันแบบ QPSK การมอดูเลชันแบบ 16QAM การมอดูเลชันแบบ 64QAM การมอดูเลชันแบบ 256QAM และการมอดูเลชันแบบ 1024QAM ซึ่งมีตาราง  $LUT_A$  และ  $LUT_B$  ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) การมอดูเลชันแบบ  $\pi/2$ -BPSKตารางที่ 2.5 ตารางผลต่างค่าเฉลี่ยสำหรับการมอดูเลชันแบบ  $\pi/2$ -BPSK

$LUT_A$			
Input		$-\infty < y \leq 0$	$0 < y \leq \infty$
Output	บิตที่ 1	2	2

ตารางที่ 2.6 ตารางผลต่างกำลังสองของค่าเฉลี่ยสำหรับการมอดูเลชันแบบ  $\pi/2$ -BPSK

$LUT_B$			
Input		$-\infty < y \leq 0$	$0 < y \leq \infty$
Output	บิตที่ 1	0	0

## 2) การมอดูเลชันแบบ BPSK

ตารางที่ 2.7 ตารางผลต่างค่าเฉลี่ยสำหรับการมอดูเลชันแบบ BPSK

$LUT_A$			
Input		$-\infty < y \leq 0$	$0 < y \leq \infty$
Output	บิตที่ 1	2	2

ตารางที่ 2.8 ตารางผลต่างกำลังสองของค่าเฉลี่ยสำหรับการมอดูเลชันแบบ BPSK

$LUT_B$			
Input		$-\infty < y \leq 0$	$0 < y \leq \infty$
Output	บิตที่ 1	0	0

## 3) การมอดูเลชันแบบ QPSK

ตารางที่ 2.9 ตารางผลต่างค่าเฉลี่ยสำหรับการมอดูเลชันแบบ QPSK (2PAM)

$LUT_A$			
Input		$-\infty < y \leq 0$	$0 < y \leq \infty$
Output	บิตที่ 1	2	2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.10 ตารางผลต่างกำลังสองของค่าเฉลี่ยสำหรับการมอดูเลชันแบบ QPSK (2PAM)

$LUT_B$			
Input		$-\infty < y \leq 0$	$0 < y \leq \infty$
Output	บิตที่ 1	0	0

4) การมอดูเลชันแบบ 16QAM

ตารางที่ 2.11 ตารางผลต่างค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 16QAM (4PAM)

$LUT_A$					
Input		$-\infty < y \leq -2$	$-2 < y \leq 0$	$0 < y \leq 2$	$2 < y \leq \infty$
Output	บิตที่ 1	-4	-2	-2	-4
	บิตที่ 2	-2	-2	2	2

ตารางที่ 2.12 ตารางผลต่างกำลังสองของค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 16QAM (4PAM)

$LUT_B$					
Input		$-\infty < y \leq -2$	$-2 < y \leq 0$	$0 < y \leq 2$	$2 < y \leq \infty$
Output	บิตที่ 1	-8	0	0	8
	บิตที่ 2	-8	-8	-8	-8

5) การมอดูเลชันแบบ 64QAM

ตารางที่ 2.13 ตารางผลต่างค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 64QAM (8PAM)

$LUT_A$					
Input		$-\infty < y \leq -6$	$-6 < y \leq -4$	$-4 < y \leq -2$	$-2 < y \leq 0$
Output	บิตที่ 1	-8	-6	-4	-2
	บิตที่ 2	-4	-2	-2	-4
	บิตที่ 3	-2	-2	2	2
Input		$0 < y \leq 2$	$2 < y \leq 4$	$4 < y \leq 6$	$6 < y \leq \infty$
Output	บิตที่ 1	-2	-4	-6	-8
	บิตที่ 2	4	2	2	4
	บิตที่ 3	-2	-2	2	2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.14 ตารางผลต่างกำลังสองของค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 64QAM (8PAM)

$LUT_B$					
Input		$-\infty < y \leq -6$	$-6 < y \leq -4$	$-4 < y \leq -2$	$-2 < y \leq 0$
Output	บิตที่ 1	-48	-24	-8	0
	บิตที่ 2	-40	-16	-16	-24
	บิตที่ 3	-24	-24	8	8
Input		$0 < y \leq 2$	$2 < y \leq 4$	$4 < y \leq 6$	$6 < y \leq \infty$
Output	บิตที่ 1	0	8	24	48
	บิตที่ 2	-24	-16	-16	-40
	บิตที่ 3	8	8	-24	-24

6) การมอดูเลชันแบบ 256QAM

ตารางที่ 2.15 ตารางผลต่างค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 256QAM (16PAM)

$LUT_A$					
Input		$-\infty < y \leq -14$	$-14 < y \leq -12$	$-12 < y \leq -10$	$-10 < y \leq -8$
Output	บิตที่ 1	-16	-14	-12	-10
	บิตที่ 2	-8	-6	-4	-2
	บิตที่ 3	-4	-2	-2	-4
	บิตที่ 4	-2	-2	2	2
Input		$-8 < y \leq -6$	$-6 < y \leq -4$	$-4 < y \leq -2$	$-2 < y \leq 0$
Output	บิตที่ 1	-8	1	1	-1
	บิตที่ 2	-2	-3	-1	-9
	บิตที่ 3	4	-5	-5	-1
	บิตที่ 4	-2	-3	-3	-1
Input		$0 < y \leq 2$	$2 < y \leq 4$	$4 < y \leq 6$	$6 < y \leq 8$
Output	บิตที่ 1	1	1	-6	-8
	บิตที่ 2	-3	-1	4	2
	บิตที่ 3	-5	-5	-2	-4
	บิตที่ 4	-3	-3	2	2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input		$8 < y \leq 10$	$10 < y \leq 12$	$12 < y \leq 14$	$14 < y \leq \infty$
Output	บิตที่ 1	-10	-12	-14	-16
	บิตที่ 2	2	4	6	8
	บิตที่ 3	4	2	2	4
	บิตที่ 4	-2	-2	2	2

ตารางที่ 2.16 ตารางผลต่างกำลังสองของค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 256QAM (16PAM)

$LUT_B$					
Input		$-\infty < y \leq -14$	$-14 < y \leq -12$	$-12 < y \leq -10$	$-10 < y \leq -8$
Output	บิตที่ 1	-224	-168	-120	-80
	บิตที่ 2	-176	-120	-72	-32
	บิตที่ 3	-104	-48	-48	-88
	บิตที่ 4	-56	-56	40	40
Input		$-8 < y \leq -6$	$-6 < y \leq -4$	$-4 < y \leq -2$	$-2 < y \leq 0$
Output	บิตที่ 1	-48	-24	-8	0
	บิตที่ 2	-32	-56	-72	-80
	บิตที่ 3	40	16	16	24
	บิตที่ 4	-24	-24	8	8
Input		$0 < y \leq 2$	$2 < y \leq 4$	$4 < y \leq 6$	$6 < y \leq 8$
Output	บิตที่ 1	0	8	24	48
	บิตที่ 2	-80	-72	-56	-32
	บิตที่ 3	24	16	16	40
	บิตที่ 4	8	8	-24	-24
Input		$8 < y \leq 10$	$10 < y \leq 12$	$12 < y \leq 14$	$14 < y \leq \infty$
Output	บิตที่ 1	80	120	168	224
	บิตที่ 2	-32	-72	-120	-176
	บิตที่ 3	-88	-48	-48	-104
	บิตที่ 4	40	40	-56	-56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 7) การมอดูเลชันแบบ 1024QAM

ตารางที่ 2.17 ตารางผลต่างค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 1024QAM (32PAM)

$LUT_A$					
Input		$-\infty < y \leq -30$	$-30 < y \leq -28$	$-28 < y \leq -26$	$-26 < y \leq -24$
Output	บิตที่ 1	-32	-30	-28	-26
	บิตที่ 2	-16	-14	-12	-10
	บิตที่ 3	-8	-6	-4	-2
	บิตที่ 4	-4	-2	-2	-4
	บิตที่ 5	-2	-2	2	2
Input		$-24 < y \leq -22$	$-22 < y \leq -20$	$-20 < y \leq -18$	$-18 < y \leq -16$
Output	บิตที่ 1	-24	-22	-20	-18
	บิตที่ 2	-8	-6	-4	-2
	บิตที่ 3	-2	-4	-6	-8
	บิตที่ 4	4	2	2	4
	บิตที่ 5	-2	-2	2	2
Input		$-16 < y \leq -14$	$-14 < y \leq -12$	$-12 < y \leq -10$	$-10 < y \leq -8$
Output	บิตที่ 1	-16	-14	-12	-10
	บิตที่ 2	-2	-4	-6	-8
	บิตที่ 3	8	6	4	2
	บิตที่ 4	-4	-2	-2	-4
	บิตที่ 5	-2	-2	2	2
Input		$-8 < y \leq -6$	$-6 < y \leq -4$	$-4 < y \leq -2$	$-2 < y \leq 0$
Output	บิตที่ 1	-8	-6	-4	-2
	บิตที่ 2	-10	-12	-14	-16
	บิตที่ 3	2	4	6	8
	บิตที่ 4	4	2	2	4
	บิตที่ 5	-2	-2	2	2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input		$0 < y \leq 2$	$2 < y \leq 4$	$4 < y \leq 6$	$6 < y \leq 8$
Output	บิตที่ 1	-2	-4	-6	-8
	บิตที่ 2	16	14	12	10
	บิตที่ 3	-8	-6	-4	-2
	บิตที่ 4	-4	-2	-2	-4
	บิตที่ 5	-2	-2	2	2
Input		$8 < y \leq 10$	$10 < y \leq 12$	$12 < y \leq 14$	$14 < y \leq 16$
Output	บิตที่ 1	-10	-12	-14	-16
	บิตที่ 2	8	6	4	2
	บิตที่ 3	-2	-4	-6	-8
	บิตที่ 4	4	2	2	4
	บิตที่ 5	-2	-2	2	2
Input		$16 < y \leq 18$	$18 < y \leq 20$	$20 < y \leq 22$	$22 < y \leq 24$
Output	บิตที่ 1	-18	-20	-22	-24
	บิตที่ 2	2	4	6	8
	บิตที่ 3	8	6	4	2
	บิตที่ 4	-4	-2	-2	-4
	บิตที่ 5	-2	-2	2	2
Input		$24 < y \leq 26$	$26 < y \leq 28$	$28 < y \leq 30$	$30 < y \leq \infty$
Output	บิตที่ 1	-26	-28	-30	-32
	บิตที่ 2	10	12	14	16
	บิตที่ 3	-2	4	6	8
	บิตที่ 4	4	2	2	4
	บิตที่ 5	-2	-2	2	2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.18 ตารางผลต่างกำลังสองของค่าเฉลี่ยสำหรับการมอดูเลชันแบบ 1024QAM (32PAM)

$LUT_B$					
Input		$-\infty < y \leq -30$	$-30 < y \leq -28$	$-28 < y \leq -26$	$-26 < y \leq -24$
Output	บิตที่ 1	-960	-840	-728	-624
	บิตที่ 2	-736	-616	-504	-400
	บิตที่ 3	-432	-312	-200	-96
	บิตที่ 4	-232	-112	-112	-216
	บิตที่ 5	-120	-120	104	104
Input		$-24 < y \leq -22$	$-22 < y \leq -20$	$-20 < y \leq -18$	$-18 < y \leq -16$
Output	บิตที่ 1	-528	-440	-360	-288
	บิตที่ 2	-304	-216	-136	-64
	บิตที่ 3	-96	-184	-264	-336
	บิตที่ 4	168	80	80	152
	บิตที่ 5	-88	-88	72	72
Input		$-16 < y \leq -14$	$-14 < y \leq -12$	$-12 < y \leq -10$	$-10 < y \leq -8$
Output	บิตที่ 1	-224	-168	-120	-80
	บิตที่ 2	-64	-120	-168	-208
	บิตที่ 3	176	120	72	32
	บิตที่ 4	-104	-48	-48	-88
	บิตที่ 5	-56	-56	40	40
Input		$-8 < y \leq -6$	$-6 < y \leq -4$	$-4 < y \leq -2$	$-2 < y \leq 0$
Output	บิตที่ 1	-48	-24	-8	0
	บิตที่ 2	-240	-264	-280	-288
	บิตที่ 3	32	56	72	80
	บิตที่ 4	40	16	16	24
	บิตที่ 5	-24	-24	8	8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input		$0 < y \leq 2$	$2 < y \leq 4$	$4 < y \leq 6$	$6 < y \leq 8$
Output	บิตที่ 1	0	8	24	48
	บิตที่ 2	-288	-280	-264	-240
	บิตที่ 3	80	72	56	32
	บิตที่ 4	24	16	16	40
	บิตที่ 5	8	8	-24	-24
Input		$8 < y \leq 10$	$10 < y \leq 12$	$12 < y \leq 14$	$14 < y \leq 16$
Output	บิตที่ 1	80	120	168	224
	บิตที่ 2	-208	-168	-120	-64
	บิตที่ 3	32	72	120	176
	บิตที่ 4	-88	-48	-48	-104
	บิตที่ 5	40	40	-56	-56
Input		$16 < y \leq 18$	$18 < y \leq 20$	$20 < y \leq 22$	$22 < y \leq 24$
Output	บิตที่ 1	288	360	440	528
	บิตที่ 2	-64	-136	-216	-304
	บิตที่ 3	-336	-264	-184	-96
	บิตที่ 4	152	80	80	168
	บิตที่ 5	72	72	-88	-88
Input		$24 < y \leq 26$	$26 < y \leq 28$	$28 < y \leq 30$	$30 < y \leq \infty$
Output	บิตที่ 1	624	728	840	960
	บิตที่ 2	-400	-504	-616	-736
	บิตที่ 3	-96	-200	-312	-432
	บิตที่ 4	-216	-112	-112	-232
	บิตที่ 5	104	104	-120	-120

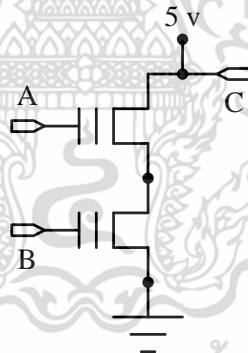
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 3

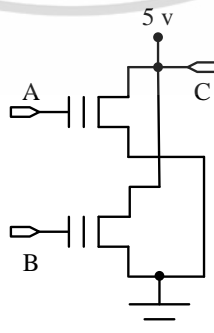
### หน่วยความจำแบบไม่ลบเลือน

#### 3.1 หน่วยความจำแบบ NAND flash

หน่วยความจำแบบ flash เป็นหน่วยความจำแบบไม่ลบเลือน (Nonvolatile memories) กล่าวคือ สามารถที่จะรักษาข้อมูลไว้ได้แม้ว่าไม่มีไฟฟ้าจ่ายให้หน่วยความจำ คำว่า flash นั้นมีที่มาจาก การลบค่าทุกเซลล์ในหนึ่งบล็อกพร้อมกันอย่างรวดเร็ว หน่วยความจำแบบ flash มี 2 ประเภทด้วยกัน คือ หน่วยความจำแบบ NOR flash และหน่วยความจำแบบ NAND flash หน่วยความจำทั้ง 2 ประเภทนี้ใช้ทรานซิสเตอร์แบบโพลติงเกต (FGT: Floating Gate Transistor) [38] เป็นเซลล์สำหรับบันทึกข้อมูลเหมือนกัน แต่ว่าการแบ่งประเภทจะแบ่งจากการจัดเรียงโครงสร้างของเซลล์ หน่วยความจำในบล็อก โดยหน่วยความจำแบบ NAND flash มีการจัดเรียงเซลล์หน่วยความจำดังรูปที่ 3.1 และหน่วยความจำแบบ NOR flash มีการจัดเรียงเซลล์หน่วยความจำดังรูปที่ 3.2 หน่วยความจำแบบ NOR flash ถูกสร้างขึ้นมาครั้งแรกโดยบริษัทอินเทล (Intel) ในปี ค.ศ. 1988 และหน่วยความจำแบบ NAND flash ถูกสร้างขึ้นโดยบริษัทโตชิบา (Toshiba) ในปี ค.ศ. 1989



รูปที่ 3.1 การจัดโครงสร้างเซลล์หน่วยความจำแบบ NAND flash



รูปที่ 3.2 การจัดโครงสร้างเซลล์หน่วยความจำแบบ NOR flash

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

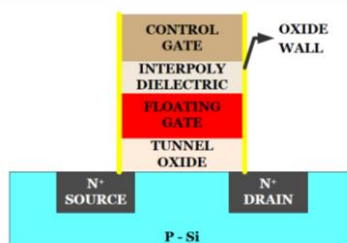
เนื่องจากหน่วยความจำแบบ NOR flash และหน่วยความจำแบบ NAND flash ถูกแบ่งประเภทด้วยโครงสร้างของการจัดเรียงเซลล์ในบล็อก ดังนั้นข้อดีและข้อเสียดังตารางที่ 3.1 จะขึ้นกับโครงสร้างของการจัดเรียงเซลล์หน่วยความจำ โครงสร้างของหน่วยความจำแบบ NAND flash จะมีขนาดเล็กกว่าโครงสร้างของเซลล์หน่วยความจำแบบ NOR flash ถึง 60 เปอร์เซ็นต์ และหน่วยความจำแบบ NAND flash ยังมีการแบ่งข้อมูลเป็นเซกเตอร์ (Sector) คล้ายกับในอุปกรณ์บันทึกข้อมูลฮาร์ดดิสก์ไดรฟ์ (HDD: Hard Disk Drive) เหมาะสำหรับบันทึกข้อมูลภาพ เสียง เพลง หรือวิดีโอ

ตารางที่ 3.1 การเปรียบเทียบข้อดีและข้อเสียในหน่วยความจำแบบ NAND flash

	NAND flash	NOR flash
ข้อดี	<ul style="list-style-type: none"> <li>● การโปรแกรมเซลล์รวดเร็ว</li> <li>● การลบเซลล์ที่รวดเร็ว</li> </ul>	<ul style="list-style-type: none"> <li>● มีการเข้าถึงแบบสุ่มที่รวดเร็ว</li> <li>● สามารถโปรแกรมเป็นไบต์ได้</li> </ul>
ข้อเสีย	<ul style="list-style-type: none"> <li>● เข้าถึงแบบสุ่มช้า</li> <li>● โปรแกรมเซลล์เป็นไบต์ยากกว่า</li> </ul>	<ul style="list-style-type: none"> <li>● การโปรแกรมเซลล์ที่ช้ากว่า</li> <li>● การลบเซลล์ที่ช้ากว่า</li> </ul>

### 3.1.1 ทรานซิสเตอร์แบบโพลติงเกต (Floating gate transistor)

ทรานซิสเตอร์แบบโพลติงเกต (FGT: Floating Gate Transistor) เป็นทรานซิสเตอร์แบบพื้นฐานที่ส่วนใหญ่นิยมใช้กันแพร่หลาย ซึ่งมีลักษณะคล้ายกับทรานซิสเตอร์แบบ MOS (Metal Oxide Semiconductor) ต่างกันที่มีการเพิ่มชั้นโพลติงเกต (Floating gate) เข้าไประหว่างช่องทางเดินกระแสไฟฟ้า (Channel) และเกตควบคุม (Control gate) ดังรูปที่ 3.3 ซึ่งโพลติงเกตถูกล้อมรอบด้วยฉนวนเพื่อช่วยในการเก็บรักษาประจุ (Charge) ให้อยู่ในชั้นโพลติงเกต การเก็บรักษาอิเล็กตรอนนี้ยาวนานพอ (ประมาณ 10 ปี) จึงจัดอยู่ในกลุ่มหน่วยความจำแบบไม่ลบเลือน (Nonvolatile memory) การมีหรือการไม่มีประจุภายในชั้นโพลติงเกตส่งผลต่อระดับแรงดันไฟฟ้าเทรชโฮลด์ (Threshold voltage) ของทรานซิสเตอร์แบบโพลติงเกต ซึ่งใช้ในการจำแนกความแตกต่างระหว่างบิต “1” กับบิต “0”



รูปที่ 3.3 ทรานซิสเตอร์แบบโพลติงเกต (Floating gate transistor) [38]

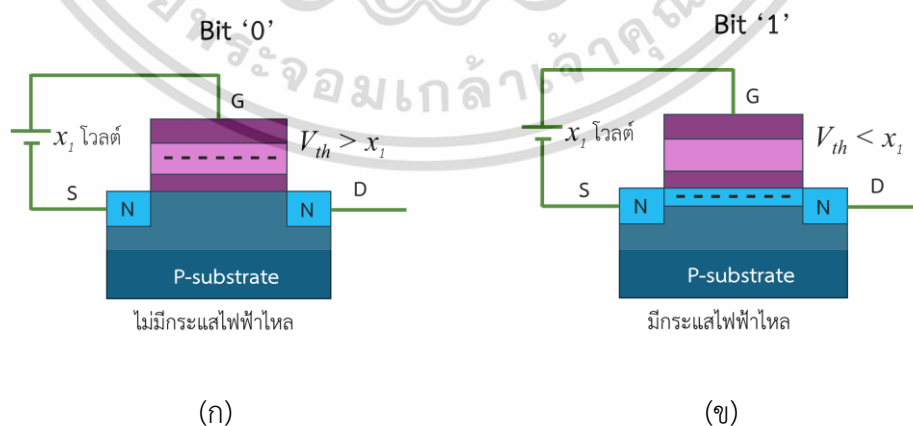
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การส่งประจุไปยังชั้นโพลติงเกตใช้หลักการ Fowler-Nordheim (FN) tunneling [39] โดยการต่อกับแหล่งจ่ายไฟที่มีแรงดันไฟฟ้ามาก ๆ ที่ขาเกตควบคุม กระบวนการดังกล่าวเรียกว่า การโปรแกรมข้อมูล ขณะที่การทำกระบวนการตรงข้ามหรือเป็นการลบข้อมูลในเซลล์ คือการต่อกับแหล่งจ่ายไฟที่มีค่าเป็นลบมาก ๆ ที่กราวด์ส่งผลให้ประจุย้ายจากชั้นโพลติงเกตไปยังซับสเตรท ในบางงานวิจัยจะใช้บิต '0' แทนการมีประจุอยู่ที่โพลติงเกต [40] ในขณะที่งานวิจัยอื่น ๆ เช่น [41] ใช้บิต '1' แทนการมีประจุที่โพลติงเกต ในงานวิจัยนี้กำหนดให้บิต '0' แทนการมีประจุที่โพลติงเกต สำหรับการบันทึก 2 บิต/เซลล์ มีการกำหนดปริมาณประจุที่เก็บในโพลติงเกตสำหรับแทนสัญลักษณ์ (Symbol) '11' '10' '00' และ '01' โดยแต่ละสัญลักษณ์มีปริมาณประจุที่แตกต่างกัน

### 3.1.2 การอ่านเซลล์หน่วยความจำ

#### 1) การตัดสินใจแบบฮาร์ด

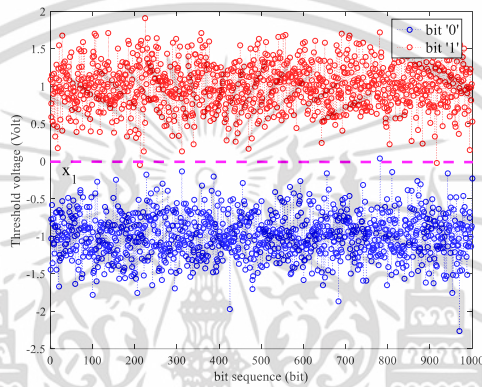
การอ่านเซลล์หน่วยความจำนั้นเป็นการป้อนแรงดันไฟฟ้าที่ใช้อ่านไปยังขาเกต (Gate) ของเซลล์หน่วยความจำ และจะวัดขาเดรน (Drain) ว่ามีกระแสไฟฟ้าไหลหรือไม่ รูปที่ 3.4 แสดงการอ่านค่าออกมาจากเซลล์ โดย  $V_{th}$  เป็นแรงดันไฟฟ้าเทรชโฮลด์เพื่อแทนบิต '0' หรือบิต '1' เมื่อต้องการอ่านข้อมูลออกมาจากเซลล์จะป้อนแรงดันไฟฟ้าอ่าน  $x_1$  ไปยังขาเกตของเซลล์หน่วยความจำ กรณีที่  $V_{th}$  มากกว่า  $x_1$  แรงดันไฟฟ้าทั้งสองจะหักล้างกันทำให้ที่ขาเดรนของเซลล์หน่วยความจำไม่มีกระแสไหล จึงตัดสินใจว่าเป็นบิต '0' ดังแสดงในรูปที่ 3.4 (ก) กรณีที่  $V_{th}$  น้อยกว่า  $x_1$  หลังจากหักล้างกันแล้วก็จะเหลือแรงดันไฟฟ้ามากพอที่จะสร้างชั้นอิเล็กตรอนอิสระบริเวณผิวสัมผัสทำให้สามารถตรวจจบบรรยากาศที่ขาเดรนได้ บางครั้งจะเรียกชั้นนี้ว่าช่องทางเดินกระแสไฟฟ้า (Channel) กรณีนี้จะตัดสินใจว่าเป็นบิต '1' ดังแสดงในรูปที่ 3.4 (ข)



รูปที่ 3.4 การอ่านข้อมูลจากเซลล์หน่วยความจำ

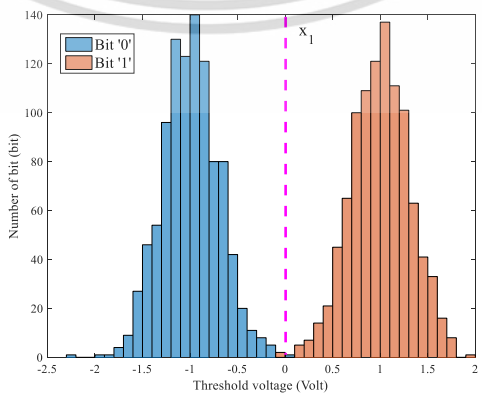
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการบันทึกข้อมูลในหน่วยความจำแบบ NAND flash คล้ายการส่งข้อมูลผ่านช่องสัญญาณรบกวนโดยใช้การมอดูเลตแบบ PAM สมมุติให้ช่องสัญญาณรบกวนเป็นแบบเกาส์เซียน ที่มีค่าเฉลี่ยของบิต '0' และ '1' เป็น -1 โวลต์และ 1 โวลต์ ตามลำดับและค่าความแปรปรวน 0.5 ดังนั้นสัญญาณที่ได้รับจากช่องสัญญาณหรือแรงดันไฟฟ้าเทรสโฮลด์ที่เก็บอยู่ในเซลล์จะความผันผวนดังรูปที่ 3.5 ความผันผวนนี้ทำให้การตัดสินใจบิตให้ถูกต้องทุกบิตเป็นไปได้ยากขึ้น เมื่อทำการป้อนแรงดันไฟฟ้าอ่านที่  $x_1$  จะเห็นว่าค่าแรงดันไฟฟ้าเทรสโฮลด์บางค่าที่ต่ำกว่าและสูงกว่าค่าแรงดันไฟฟ้าอ่าน



รูปที่ 3.5 ความผันผวนของแรงดันไฟฟ้าเทรสโฮลด์จากสัญญาณรบกวน

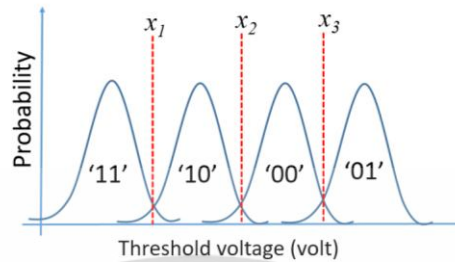
เมื่อทำการพล็อตฮิสโตแกรมของระดับแรงดันไฟฟ้าเทรสโฮลด์ของเซลล์หน่วยความจำดังรูปที่ 3.6 จะทำให้เห็นได้ง่ายว่าเราควรตั้งค่าแรงดันไฟฟ้าอ่านเป็นค่าเท่าใด ที่จะทำให้การตัดสินใจบิตผิดพลาดเกิดขึ้นน้อยที่สุด การตัดสินใจแบบฮาร์ดนั้ค่อนข้างง่ายเพราะค่าแรงดันไฟฟ้าอ่านมีเพียงค่าเดียว โดยค่าที่ทำให้อัตราบิตผิดพลาดต่ำสุดจะเป็นค่ากึ่งกลางระหว่างแรงดันไฟฟ้าเทรสโฮลด์ของบิต '0' และบิต '1'



รูปที่ 3.6 ฮิสโตแกรมของแรงดันไฟฟ้าเทรสโฮลด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เฉพาะในพิธีกรรมาการเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

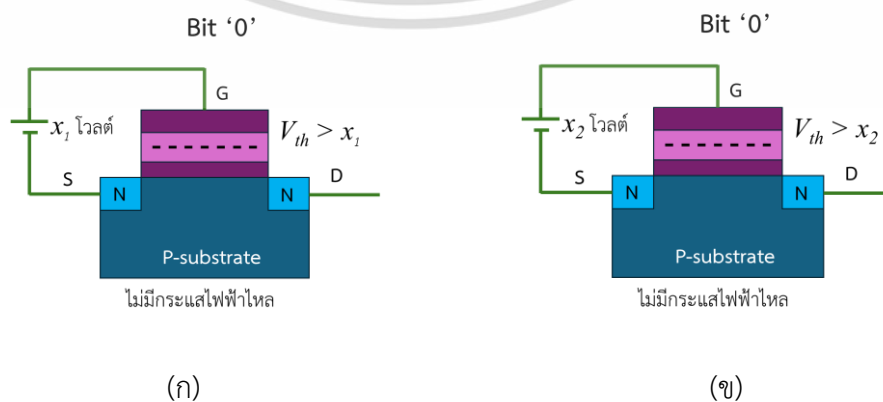
สำหรับการบันทึกข้อมูล 2 บิตต่อเซลล์นั้น pdf ของระดับแรงดันไฟฟ้าทรานซิสเตอร์ที่อยู่ติดกันมีจุดที่ใช้ตัดสินใจเพียง 1 จุดจะถือว่าการตัดสินใจแบบฮาร์ด จากรูปที่ 3.7 สังเกตว่าระหว่าง pdf ของระดับแรงดันไฟฟ้าทรานซิสเตอร์ 4 ระดับมีจุดที่ใช้ตัดสินใจ 1 จุดสำหรับ pdf ที่อยู่ติดกัน



รูปที่ 3.7 การตัดสินใจในแบบฮาร์ดสำหรับการบันทึก 2 บิตต่อ 1 เซลล์

## 2) การตัดสินใจแบบซอฟต์แวร์

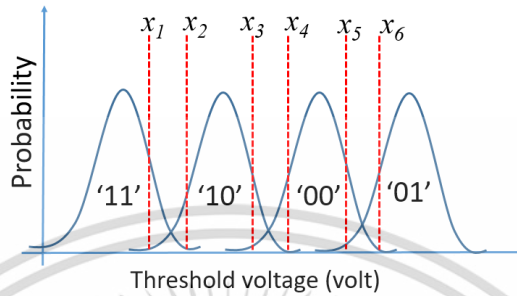
การอ่านเซลล์หน่วยความจำเพื่อให้ได้ค่าซอฟต์แวร์นั้น คล้ายกับการตัดสินใจแบบฮาร์ด คือเป็นการป้อนแรงดันไฟฟ้าอ่านไปยังขาคัท (Gate) ของเซลล์หน่วยความจำ และจะวัดขาเดรน (Drain) ว่ามีกระแสไฟฟ้าไหลหรือไม่ การอ่านค่าซอฟต์แวร์จะทำการอ่านอย่างน้อยสองครั้งด้วยค่าแรงดันไฟฟ้าอ่านที่แตกต่างกัน สมมุติให้การหาค่าซอฟต์แวร์โดยการอ่านสองครั้ง ครั้งแรกอ่านด้วยแรงดันไฟฟ้าอ่าน  $x_1$  และครั้งที่สองอ่านด้วยแรงดันไฟฟ้าอ่าน  $x_2$  ซึ่งผลลัพธ์ที่ได้จะเป็นไปได้ 3 กรณีคือ  $V_{th} < x_1$ ,  $x_1 < V_{th} < x_2$  และ  $V_{th} > x_2$  กรณีที่ 1 อ่านเซลล์ด้วยแรงดันไฟฟ้า  $x_1$  แล้วมีกระแสไฟฟ้าไหล ตัดสินใจเป็นบิต '1' กรณีที่ 2 อ่านเซลล์ด้วยแรงดันไฟฟ้า  $x_2$  แล้วมีกระแสไฟฟ้าไหล ตัดสินใจเป็น Erasure กรณีที่ 3 อ่านเซลล์ด้วยแรงดันไฟฟ้า  $x_2$  แล้วไม่มีกระแสไฟฟ้าไหล ตัดสินใจเป็นบิต '0' ตัวอย่างการตัดสินใจแบบซอฟต์แวร์แสดงในรูปที่ 3.8 กำหนดให้เซลล์บันทึกบิต '0' รูปที่ 3.8 (ก) แสดงการอ่านครั้งที่ 1 ด้วยแรงดันไฟฟ้า  $x_1$  แล้วไม่มีกระแสไฟฟ้าไหล รูปที่ 3.8 (ข) แสดงการอ่านเซลล์ด้วยแรงดันไฟฟ้า  $x_2$  แล้วไม่มีกระแสไฟฟ้าไหล ตัดสินใจเป็นบิต 0



รูปที่ 3.8 การอ่านซอฟต์แวร์จากเซลล์หน่วยความจำ 1 บิตต่อ 1 เซลล์

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามนำไปเผยแพร่โดยไม่ได้รับอนุญาตเห็นว่าเป็นประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

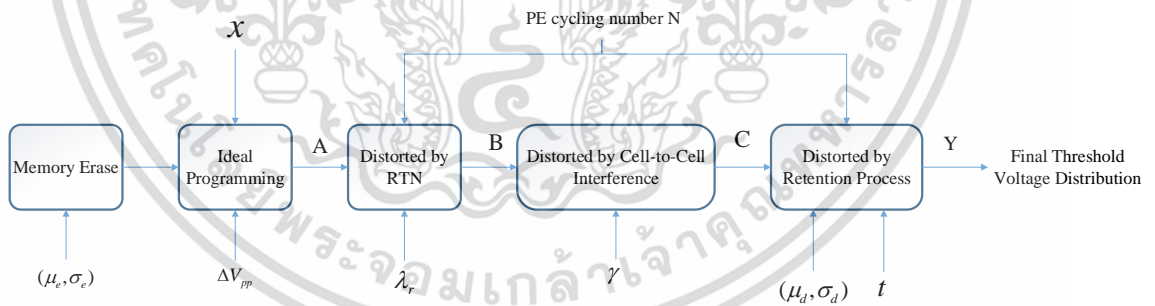
ในการบันทึกข้อมูลในหน่วยความจำแบบ NAND flash สามารถอ่านเซลล์ 3 ครั้งและ 4 ครั้งได้ทำให้มีจุดที่ตัดสินใจมากขึ้นความละเอียดในการอ่านเซลล์เพิ่มขึ้น แต่ด้วยข้อเสียที่ต้องใช้เวลาในการอ่านเซลล์นานขึ้น จึงเลือกใช้วิธีการอ่านเซลล์จำนวนน้อยครั้งที่สุดเพื่อให้ได้ค่าซอฟต์แวร์ออกมา



รูปที่ 3.9 การตัดสินใจแบบซอฟต์แวร์สำหรับการบันทึก 2 บิตต่อ 1 เซลล์

สำหรับระบบบันทึกข้อมูลที่บันทึก 2 บิตต่อเซลล์ การอ่านค่าซอฟต์แวร์จากเซลล์ก็ดูจากจำนวนจุดตัดสินใจที่อยู่ระหว่าง pdf ที่อยู่ติดกันดังรูปที่ 3.9 ซึ่งมีจำนวนจุดตัดสินใจที่อยู่ระหว่าง pdf ที่อยู่ติดกันจำนวน 2 จุด และมีการอ่านค่าจากเซลล์หน่วยความจำทั้งหมด 6 ครั้ง

### 3.1.3 สัญญาณรบกวนที่เกิดในหน่วยความจำแบบ NAND flash



รูปที่ 3.10 สัญญาณรบกวนที่เกิดในหน่วยความจำแบบ NAND flash [42]

รูปที่ 3.10 เป็นภาพรวมของสัญญาณรบกวนในการบันทึกข้อมูลในหน่วยความจำแบบ NAND flash ประกอบด้วย การรบกวนที่มาจากค่าลบในเซลล์ (Memory Erased) ในส่วนนี้ทำให้แรงดันไฟฟ้าเทอร์สโวลต์มีการแจกแจงแบบเกาส์เซียนซึ่งมีค่าพารามิเตอร์ที่สำคัญคือ  $\mu_e$  และ  $\sigma_e$  ถัดมาเป็นสัญญาณรบกวนที่เกิดจากกระบวนการในการโปรแกรมค่าในเซลล์ สัญญาณรบกวนในส่วนนี้เกิดจากกระบวนการในการโปรแกรมเซลล์ซึ่งมีการแจกแจงเป็นแบบสม่ำเสมอ (Uniform) พารามิเตอร์ที่สำคัญในส่วนนี้คือ  $\Delta V_{pp}$  ถัดมาการรบกวนที่เกิดจากสัญญาณรบกวนโทรเลขแบบสุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(RTN: Random Telegraph Noise) ที่พบในอุปกรณ์สารกึ่งตัวนำมีการจำลองให้แรงดันไฟฟ้าเทรสโพลด์เป็นแบบลาปลาซ (Laplace) ดังนั้นพารามิเตอร์ที่สำคัญในส่วนนี้คือ  $\lambda$ , สัญญาณรบกวนถัดมาคือสัญญาณรบกวนที่เกิดจากการแทรกสอดระหว่างเซลล์ (CCI: Cell-to-Cell Interference) เนื่องจากการจัดเรียงโครงสร้างของเซลล์ที่ชิดกันเพื่อให้มีความหนาแน่นในการบันทึกข้อมูลที่มากขึ้น ดังนั้นจึงหลีกเลี่ยงไม่ได้ที่จะเกิดการแทรกสอดระหว่างเซลล์หน่วยความจำ พารามิเตอร์ที่สำคัญได้แก่ อัตราส่วนคู่ควบ  $\gamma$  และสุดท้ายสัญญาณรบกวนที่เกิดจากระยะเวลาในการเก็บข้อมูล (RT: Retention Time) สาเหตุหลักเนื่องมาจากการที่เซลล์หน่วยความจำถูกโปรแกรมและลบหลายครั้งส่งผลให้ชั้นออกไซด์ของเซลล์หน่วยความจำถูกทำลายดังนั้นประจุที่ถูกเก็บไว้จะลดลงทำให้แรงดันไฟฟ้าเทรสโพลด์ที่แทนบิตที่บันทึกในเซลล์หน่วยความจำมีค่าลดลงหรือเปลี่ยนไปจากเดิม ฟังก์ชันการแจกแจงแรงดันไฟฟ้าเทรสโพลด์กำหนดให้เป็นแบบเกาส์เซียนมีค่าพารามิเตอร์ที่สำคัญคือ  $\mu_d$ ,  $\sigma_d$  และ  $t$

1) สัญญาณรบกวนที่เกิดจากการลบค่าในเซลล์

จากรูปที่ 3.10 ก่อนที่จะมีการโปรแกรมข้อมูลลงไปหน่วยความจำแบบ NAND flash จำเป็นที่จะต้องมีการลบค่าที่ถูกเก็บอยู่ในเซลล์ทุกเซลล์ที่อยู่ในบล็อกเดียวกันก่อน จากนั้นจึงจะทำการโปรแกรมค่าใหม่ลงไปเซลล์ ในการลบค่าในเซลล์ทำได้โดยการป้อนแรงดันไฟฟ้าสูงไปที่ขั้วสเตรทและที่เกตควบคุมป้อนแรงดันไฟฟ้า 0 โวลต์ จะทำให้เกิดสนามไฟฟ้าที่มีค่ามากพอที่จะเคลื่อนย้ายประจุที่อยู่ในชั้นโพลติงเกต กลับเข้ามาอยู่ที่ขั้วสเตรท ส่งผลให้ให้แรงดันไฟฟ้าเทรสโพลด์มีระดับต่ำที่สุดเท่าที่จะเป็นไปได้ การแจกแจงของแรงดันไฟฟ้าเทรสโพลด์ในสถานะของการลบค่าสามารถจำลองได้ด้วยฟังก์ชันการแจกแจงแบบเกาส์เซียน  $N(\mu_e, \sigma_e^2)$  [42] [43]

$$p_e(x) = \frac{1}{\sqrt{2\pi\sigma_e^2}} e^{-\frac{(x-\mu_e)^2}{2\sigma_e^2}} \quad (3.1)$$

โดยที่  $x$  คือค่าแรงดันไฟฟ้าเทรสโพลด์

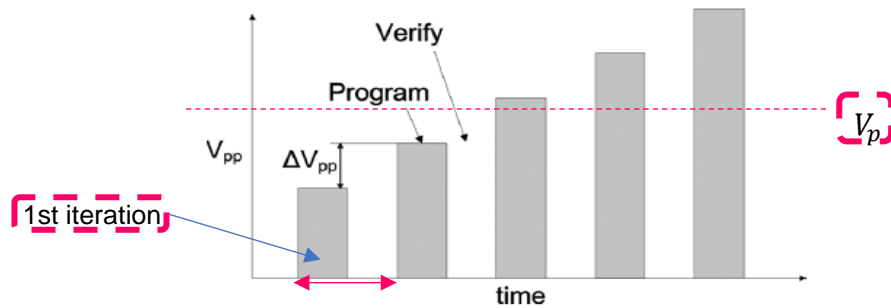
$\mu_e$  คือค่าเฉลี่ยของสถานะลบ

$\sigma_e$  คือค่าเบี่ยงเบนมาตรฐานของสถานะลบค่า

2) สัญญาณรบกวนที่เกิดจากการโปรแกรมค่า

ในขั้นตอนของการโปรแกรมจะใช้วิธีโปรแกรมและตรวจสอบ (Program-and-verify) ดังรูปที่ 3.11 ซึ่งจะมีการกำหนดแรงดันไฟฟ้าเป้าหมาย (Target voltage)  $V_p$  ซึ่งค่านี้จะขึ้นกับการ

แบ่งระดับ เช่น ถ้าเก็บ 1 บิตต่อเซลล์ จะมีการโปรแกรม 1 ระดับ (การลบค่าแทนด้วยบิต '0') เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 การโปรแกรมด้วยวิธี Program-and-verify [44]

การโปรแกรมแทนด้วยบิต ‘1’ แต่ถ้ามีการเก็บข้อมูล 2 บิตต่อเซลล์ ระดับการโปรแกรมจะมี 3 ระดับ (การลบค่าแทนด้วยบิต ‘11’ การโปรแกรมลำดับที่ 1 แทนด้วยบิต ‘10’ การโปรแกรมลำดับที่ 2 แทนด้วยบิต ‘00’ และการโปรแกรมลำดับที่ 3 แทนด้วยบิต ‘01’) เมื่อกำหนดแรงดันไฟฟ้าเป้าหมายแล้ว จากนั้นจึงจ่ายแรงดันไฟฟ้าให้ค่อย ๆ เพิ่มขึ้น (Step) โดยแต่ละขั้นมีแรงดันไฟฟ้าเท่ากันคือ  $\Delta V_{pp}$  หลังการเพิ่มแรงดันไฟฟ้าแต่ละขั้น จะมีการตรวจสอบทุกครั้งว่าค่า  $V_{pp}$  ถึงค่าแรงดันไฟฟ้าเป้าหมายหรือไม่ ถ้ายังไม่ถึงเพิ่มแรงดันไฟฟ้าขึ้นอีก  $\Delta V_{pp}$  และตรวจสอบ ทำซ้ำไปเรื่อย ๆ จนกว่า  $V_{pp}$  จะมีค่ามากกว่าหรือเท่ากับแรงดันไฟฟ้าเป้าหมาย  $V_p$  ทำการโปรแกรมด้วยวิธีนี้ถูกเรียกว่าวิธีโปรแกรมและตรวจสอบ (Program-and-verify) การแจกแจงของค่าแรงดันไฟฟ้าเทรฮอลด์ในสถานะการโปรแกรม เป็นการแจกแจงแบบเอกรูป (Uniform distribution) ของค่าแรงดันไฟฟ้าเทรฮอลด์ในช่วง  $V_p$  ถึง  $V_p + \Delta V_{pp}$  ถ้ากำหนดให้เก็บข้อมูล  $N_b$  บิตต่อเซลล์ จะมีสถานะทั้งหมด  $2^{N_b} - 1$  สถานะ เพื่อให้ง่ายต่อการกำหนดแรงดันไฟฟ้าเป้าหมายในสถานะต่างๆ  $V_p$  ที่สถานะใด ๆ จะกำหนดให้เป็น  $V_l^{(k)}$  เมื่อ  $k \in \{1, \dots, 2^{N_b} - 1\}$  และ  $V_p + \Delta V_{pp}$  ที่สถานะใด ๆ กำหนดให้เป็น  $V_r^{(k)}$  ดังนั้นฟังก์ชันการแจกแจงของสถานะของการโปรแกรม  $p_p^{(k)}(x)$  สามารถเขียนเป็นสมการได้ดังนี้ [42]-[44]

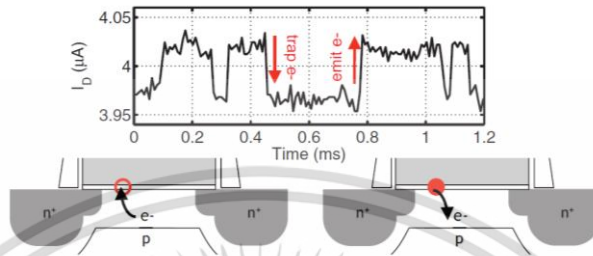
$$p_p^{(k)}(x) = \begin{cases} \frac{1}{\Delta V_{pp}}, & V_l^{(k)} \leq x \leq V_r^{(k)} \\ 0, & \text{otherwise} \end{cases} \quad (3.2)$$

### 3) สัญญาณรบกวนโทรเลขแบบสุ่ม (RTN)

ในทางปฏิบัติ แรงดันไฟฟ้าเทรฮอลด์ได้รับผลกระทบจากจำนวนครั้งในการเขียนและลบหน่วยความจำเพราะว่าในการโปรแกรมและการลบในแต่ละครั้ง ชั้น Tunnel oxide จะถูกทำให้เสียหายเนื่องจากการเคลื่อนย้ายของประจุผ่านชั้น Tunnel oxide ซึ่งทำให้เกิดการเลื่อนและการแกว่งตัวของแรงดันไฟฟ้าที่เรียกว่าสัญญาณรบกวนโทรเลขแบบสุ่ม หรือสัญญาณรบกวน RTN ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณรบกวนโทรเลขแบบสุ่มในทรานซิสเตอร์แบบโพลติงเกตก็คือ กระแสเตรน หรือ ความผันผวนของแรงดันเทอร์สโวลต์ ที่เกิดจากเหตุการณ์การดักจับอิเล็กตรอน (Electron capture) และการปล่อยอิเล็กตรอนออกมา (Electron emission) ที่บริเวณดักประจุ (Charge trap site) ใกล้กับพื้นที่ที่เชื่อมต่อระหว่างซัสเตรทกับฉนวน ดังแสดงในรูปที่ 3.12



รูปที่ 3.12 การดักจับอิเล็กตรอน (Electron capture) และการปล่อยอิเล็กตรอน (Electron emission) [45]

เมื่อความผันผวนของแรงไฟฟ้าดันเทอร์สโวลต์ทำให้เกิดการเชื่อมลงเป็นแบบเอ็กซ์โปเนนเชียล ดังนั้นเราสามารถจำลองฟังก์ชันการแจกแจงแรงดันไฟฟ้าเทอร์สโวลต์ของสัญญาณรบกวนโทรเลขแบบสุ่ม  $p_r(x)$  เป็นฟังก์ชันลาปลาซเซียน [42] ดังสมการ

$$p_r(x) = \frac{1}{2\lambda_r} e^{-\frac{|x|}{\lambda_r}} \tag{3.3}$$

กำหนดให้  $N$  คือจำนวนรอบของการโปรแกรมและลบ,  $\lambda_r$  จะถูกสเกลด้วยค่า  $N$  เพื่อใช้ในการประมาณค่าแนวโน้มการลดลงของกำลังงาน (Power-law fashion) จะได้ว่า  $\lambda_r$  แปรผันตรงกับค่า  $N^\alpha$

4) การแทรกสอดระหว่างเซลล์ (CCI)

ในหน่วยความจำแบบ NAND flash การโปรแกรมค่าลงไปเซลล์ สามารถส่งผลกระทบต่อเซลล์ที่อยู่ใกล้เคียงเนื่องจากผลกระทบการคู่ควบตัวเก็บประจุ (Parasitic capacitance-coupling effect) [46] ในที่นี้เรียกว่าการแทรกสอดระหว่างเซลล์ ซึ่งได้ถูกพิจารณาให้เป็นหนึ่งในแหล่งสัญญาณรบกวนหลักในหน่วยความจำแบบ NAND flash โดยแรงดันไฟฟ้าเทอร์สโวลต์ของเซลล์ที่ได้รับผลกระทบจะเกิดการเลื่อน  $F$  ซึ่งประมาณได้จากสมการ [42] [43]

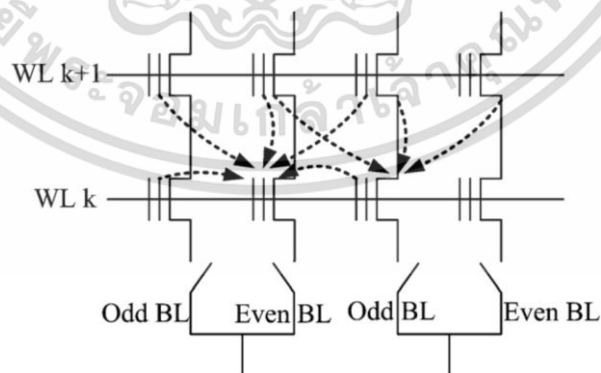
$$F = \sum_k (\Delta V_i^{(k)} \cdot \gamma^{(k)}) \tag{3.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ  $\Delta V_r^{(k)}$  คือผลต่างแรงดันเทรสโฮลด์ระหว่างก่อนและหลังการโปรแกรมเซลล์ใกล้เคียงและอัตราส่วนคู่ควบ  $\gamma^{(k)}$  ถูกกำหนดเป็น [42]-[44]

$$\gamma^{(k)} = \frac{C^{(k)}}{C_{total}} \quad (3.5)$$

เมื่อ  $C^{(k)}$  คือ ค่าความจุพาราซิติก (Parasitic capacitance) ระหว่างเซลล์ที่แทรกสอด (Interfering cell) กับเซลล์ที่ได้รับผลกระทบ (Victim cell) และ  $C_{total}$  คือความจุรวมของเซลล์ที่กำลังได้รับผลกระทบ (Victim cell) ความจุระหว่างเกตควบคู่กับโพลติงเกต และความจุระหว่างโพลติงเกตกับช่องทางเดินกระแส โครงสร้างของบิตไลน์ในหน่วยความจำแบบ NAND flash มีผลต่อลักษณะที่สำคัญของการแทรกสอดระหว่างเซลล์ ในทางปฏิบัติการออกแบบในปัจจุบัน จะออกแบบให้โครงสร้างของบิตไลน์แตกต่างกันสองแบบ คือเป็นโครงสร้างบิตไลน์แบบคู่และโครงสร้างบิตไลน์แบบคู่ [47] [48] และการรวมโครงสร้างบิตไลน์ทั้งสองเข้าด้วยกันในโครงสร้างของบิตไลน์แบบคู่/คี่นั้น เซลล์หน่วยความจำในหนึ่งเวิร์ดไลน์จะเชื่อมต่อบิตไลน์คู่และบิตไลน์คี่สลับกัน เซลล์คู่จะถูกโปรแกรมก่อนเซลล์คี่ ในเวิร์ดไลน์เดียวกัน เพราะฉะนั้นเซลล์คู่จะถูกแทรกสอดจากเซลล์ข้างเคียงจำนวน 5 เซลล์ และเซลล์คี่จะถูกแทรกสอดจากเซลล์ข้างเคียงเพียง 3 เซลล์เท่านั้น [44] ดังแสดงในรูปที่ 3.13 เพราะฉะนั้นเซลล์คู่และเซลล์คี่จะได้รับผลของการแทรกสอดระหว่างเซลล์ ในปริมาณที่แตกต่างกัน เซลล์ในโครงสร้างที่ใช้บิตไลน์เดียวกันทั้งหมด (All bit-line structure) ทนทานต่อการแทรกสอดระหว่างเซลล์น้อยกว่าใช้โครงสร้างบิตไลน์คู่/คี่ แต่โครงสร้างที่ใช้บิตไลน์เดียวกันทั้งหมดสามารถรองรับการตรวจจับกระแสที่มีความไวสูงได้อย่างมีประสิทธิภาพ เพื่อให้ง่ายต่อการพิจารณา ดังนั้นตลอดงานวิจัยนี้จะพิจารณาหน่วยความจำแบบแฟลช ด้วยโครงสร้างที่ใช้บิตไลน์แบบเดียวกันทั้งหมด



รูปที่ 3.13 การแทรกสอดของเซลล์ในโครงสร้างคู่/คี่ [42]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.5) เรากำหนดค่าให้ทั้งอัตราส่วนคู่ควบในแนวตั้ง  $\gamma_y$  และอัตราส่วนคู่ควบในแนวทแยง  $\gamma_{xy}$  เป็นตัวแปรสุ่มที่มีฟังก์ชันการแจกแจงเกาส์เซียนแบบมีขอบเขต (Bounded Gaussian distribution) [42] [43]

$$p_c(x) = \begin{cases} \frac{c_c}{\sigma_c \sqrt{2\pi}} \cdot e^{-(x-\mu_c)^2/2\sigma_c^2}, & \text{if } |x-\mu_c| \leq w_c \\ 0, & \text{else} \end{cases} \quad (3.6)$$

เมื่อ  $\mu_c$  และ  $\sigma_c$  คือค่าเฉลี่ยและส่วนเบี่ยงเบนมาตรฐาน และ  $c_c$  คือค่าคงที่ที่คุณเข้าเพื่อทำให้ผลลัพธ์ของการอินทิเกรตฟังก์ชันเป็น 1 และกำหนดให้ค่า  $w_c = 0.1\mu_c$  และ  $\sigma_c = 0.4\mu_c$  [42] [43]

#### 5) สัญญาณรบกวนจากระยะเวลาการเก็บข้อมูล

สำหรับฟังก์ชันการแจกแจงของสัญญาณรบกวนเนื่องจากระยะเวลาการเก็บข้อมูล (Data retention noise) ระดับแรงดันไฟฟ้าเทรสโฮลด์ที่เก็บอยู่ในชั้นโพลติงเกตเมื่อเวลาผ่านไประยะหนึ่งประจุที่เก็บอยู่ในชั้นโพลติงเกต จะกลับมาอยู่ที่ขั้วสเตรทตามเดิมทำให้แรงดันไฟฟ้าเทรสโฮลด์มีค่าลดลงจากเดิม ทั้งนี้ขึ้นกับจำนวนครั้งในการโปรแกรมและการลบ  $N$  ถ้ามีจำนวนครั้งที่มากทำให้ชั้น Tunnel oxide ได้รับความเสียหาย ทำให้ประจุสามารถกลับไปยังขั้วสเตรทท่างายขึ้นแรงดันไฟฟ้าเทรสโฮลด์จึงลดลงอย่างรวดเร็ว สัญญาณรบกวนเนื่องจากระยะเวลาการเก็บข้อมูลมีฟังก์ชันการแจกแจงแรงดันไฟฟ้าเทรสโฮลด์  $p_r(x)$  แบบเกาส์เซียนที่มี  $\mu_d$  และ  $\sigma_d$  คือค่าเฉลี่ยและค่าเบี่ยงเบนมาตรฐาน [42]

$$p_r(x) = \frac{1}{\sigma_d \sqrt{2\pi}} e^{-\frac{(x-\mu_d)^2}{2\sigma_d^2}} \quad (3.7)$$

สำหรับสัญญาณรบกวนเนื่องจากระยะเวลาการเก็บข้อมูล (Retention noise) ที่มีฟังก์ชันการแจกแจงข้อมูลแบบเกาส์เซียน ค่า  $\mu_d$  และ  $\sigma_d$  จะขึ้นกับจำนวนรอบในการโปรแกรมและลบ  $N$  ซึ่งสามารถประมาณได้จาก [42]

$$\mu_d = K_s(x-x_0)K_d N^{0.5} \ln\left(1 + \frac{t}{t_0}\right) \quad (3.8)$$

$$\sigma_d^2 = K_s(x-x_0)K_m N^{0.6} \ln\left(1 + \frac{t}{t_0}\right) \quad (3.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ  $t$  คือเวลาในการเก็บรักษาข้อมูล  $t_0$  คือเวลาเริ่มต้น กำหนดให้เป็น 1 ชั่วโมง  $x$  คือแรงดันไฟฟ้า เทอร์สโวลต์เริ่มต้น  $x_0 = 1.4$   $K_s = 0.38$   $K_d = 4 \times 10^{-4}$  และ  $K_m = 4 \times 10^{-6}$  ได้จากการวัดค่าที่เหมาะสม [42]

### 3.1.4 แบบจำลองช่องสัญญาณหน่วยความจำแบบ NAND flash

ในหัวข้อนี้จะกล่าวถึงการจำลอง pdf ของช่องสัญญาณของระบบการบันทึกข้อมูลแบบ NAND flash ซึ่งเราทราบมาจากหัวข้อที่ 3.1.3 แล้วว่าในระบบการบันทึกข้อมูลแบบ NAND flash มีสัญญาณรบกวนอะไรบ้าง และมีฟังก์ชันการกระจายตัวเป็นรูปแบบใดบ้าง ในหัวข้อนี้จะเป็นการนำสัญญาณรบกวนดังกล่าวมารวมกัน การรวมกันของตัวแปรสุ่มสัมพันธ์กับ pdf ของช่องสัญญาณ ตามนิยามดังนี้ ให้  $X$  และ  $Y$  เป็นตัวแปรสุ่มที่มี pdf เป็น  $f(x)$  และ  $g(y)$  ตามลำดับ กำหนดให้  $f(x)$  และ  $g(y)$  เป็นจำนวนจริง ถ้า  $Z = X + Y$  และ pdf ของ  $Z$  คือ  $h(z)$  จะสามารถคำนวณได้จาก

$$h(z) = f(x) * g(y) = (f * g)(z) \quad (3.10)$$

$$\begin{aligned} (f * g)(z) &= \int_{-\infty}^{+\infty} f(z-y)g(y)dy \\ &= \int_{-\infty}^{+\infty} g(z-x)f(x)dx \end{aligned} \quad (3.11)$$

สรุปได้ว่าการรวมกันของตัวแปรสุ่ม pdf ใหม่ที่ได้เกิดจากการคอนโวลูชันกันของ pdf สำหรับหน่วยความจำแบบ NAND flash ที่สถานะลบค่า ('11') สัญญาณรบกวนที่มีผลกับสถานะนี้คือสัญญาณรบกวนจากการลบเซลล์  $p_e(x)$  สัญญาณรบกวน RTN  $p_r(x)$  การแทรกสอดระหว่างเซลล์  $p_c(x)$  และความผิดพลาดจากระยะเวลาการบันทึกข้อมูล  $p_t(x)$  สถานะการโปรแกรมที่ 1 ถึง 3 จะประกอบด้วยสัญญาณรบกวนจากการโปรแกรมเซลล์  $p_p^{(k)}(x)$  สัญญาณรบกวน RTN  $p_r(x)$  การแทรกสอดระหว่างเซลล์  $p_c(x)$  และความผิดพลาดจากระยะเวลาการบันทึกข้อมูล  $p_t(x)$  ซึ่งแสดงการคำนวณ pdf ของช่องสัญญาณ NAND flash ได้ดังนี้

$$p_{s11}(x) = p_e(x) * p_r(x) * p_c(x) * p_t(x) \quad (3.12)$$

$$p_{s10}(x) = p_p^{(1)}(x) * p_r(x) * p_c(x) * p_t(x) \quad (3.13)$$

$$p_{s00}(x) = p_p^{(2)}(x) * p_r(x) * p_c(x) * p_t(x) \quad (3.14)$$

$$p_{s01}(x) = p_p^{(3)}(x) * p_r(x) * p_c(x) * p_t(x) \quad (3.15)$$

การคอนโวลูชันทำให้ pdf ของช่องสัญญาณที่มากกว่าสองมีความซับซ้อนมากเพื่อลดความซับซ้อนตรงนี้จึงจำเป็นต้องอาศัยฟังก์ชันคุณลักษณะ (Characteristic function) ของ pdf มาช่วยซึ่งฟังก์ชันคุณลักษณะของฟังก์ชันการแจกแจงแบบเกาส์เซียนคือ

$$\varphi_n(t) = e^{it\mu - \frac{\sigma^2 t^2}{2}} \quad (3.16)$$

ฟังก์ชันคุณลักษณะของฟังก์ชันการแจกแจงแบบลาปลาเซียนคือ

$$\varphi_l(t) = \frac{e^{it\mu}}{1 + \lambda^2 t^2} \quad (3.17)$$

และฟังก์ชันคุณลักษณะของฟังก์ชันการแจกแจงแบบสม่ำเสมอคือ

$$\varphi_u(t) = \frac{e^{itb} - e^{ita}}{it(b-a)} \quad (3.18)$$

ดังนั้นฟังก์ชันคุณลักษณะของ  $p_{s11}(x)$  สามารถคำนวณได้จาก

$$\begin{aligned} \varphi_{s11}(t) &= e^{it\mu_c - \frac{\sigma_c^2 t^2}{2}} \cdot \frac{1}{1 + \lambda_r^2 t^2} \cdot e^{it\mu_c - \frac{\sigma_c^2 t^2}{2}} \cdot e^{it\mu_d - \frac{\sigma_d^2 t^2}{2}} \\ &= \frac{e^{it(\mu_c + \mu_c + \mu_d) - \frac{(\sigma_c^2 + \sigma_c^2 + \sigma_d^2)t^2}{2}}}{1 + \lambda_r^2 t^2} \end{aligned} \quad (3.19)$$

ฟังก์ชันคุณลักษณะของ  $p_{s10}(x)$  สามารถคำนวณได้จาก

$$\begin{aligned} \varphi_{s10}(t) &= \frac{e^{it(V_p^1 + \Delta Vpp)} - e^{itV_p^1}}{it(\Delta Vpp)} \cdot \frac{1}{1 + \lambda_r^2 t^2} \cdot e^{it\mu_c - \frac{\sigma_c^2 t^2}{2}} \cdot e^{it\mu_d - \frac{\sigma_d^2 t^2}{2}} \\ &= \frac{e^{it(V_p^1 + \Delta Vpp + (\mu_c + \mu_d)) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}} - e^{it(V_p^1 + (\mu_c + \mu_d)) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}}}{it(\Delta Vpp)(1 + \lambda_r^2 t^2)} \end{aligned} \quad (3.20)$$

ฟังก์ชันคุณลักษณะของ  $p_{s00}(x)$  สามารถคำนวณได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}\varphi_{s00}(t) &= \frac{e^{it(V_p^2 + \Delta V_{pp})} - e^{itV_p^2}}{it(\Delta V_{pp})} \cdot \frac{1}{1 + \lambda_r^2 t^2} \cdot e^{it\mu_c - \frac{\sigma_c^2 t^2}{2}} \cdot e^{it\mu_d - \frac{\sigma_d^2 t^2}{2}} \\ &= \frac{e^{it(V_p^2 + \Delta V_{pp} + (\mu_c + \mu_d) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2})} - e^{it(V_p^2 + (\mu_c + \mu_d) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2})}}{it(\Delta V_{pp})(1 + \lambda_r^2 t^2)}\end{aligned}\quad (3.21)$$

และฟังก์ชันคุณลักษณะของ  $p_{s01}(x)$  สามารถคำนวณได้จาก

$$\begin{aligned}\varphi_{s01}(t) &= \frac{e^{it(V_p^3 + \Delta V_{pp})} - e^{itV_p^3}}{it(\Delta V_{pp})} \cdot \frac{1}{1 + \lambda_r^2 t^2} \cdot e^{it\mu_c - \frac{\sigma_c^2 t^2}{2}} \cdot e^{it\mu_d - \frac{\sigma_d^2 t^2}{2}} \\ &= \frac{e^{it(V_p^3 + \Delta V_{pp} + (\mu_c + \mu_d) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2})} - e^{it(V_p^3 + (\mu_c + \mu_d) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2})}}{it(\Delta V_{pp})(1 + \lambda_r^2 t^2)}\end{aligned}\quad (3.22)$$

ฟังก์ชันความหนาแน่นความน่าจะเป็นของแต่ละสถานะสามารถคำนวณได้ดังนี้

$$p_{s11}(x) = \frac{1}{2\pi} \int_{-\infty}^{+\infty} \frac{e^{it(\mu_c + \mu_d + \mu_d - x) - \frac{(\sigma_c^2 + \sigma_c^2 + \sigma_d^2)t^2}{2}}}{1 + \lambda_r^2 t^2} dt \quad (3.23)$$

$$p_{s10}(x) = \frac{1}{2\pi} \int_{-\infty}^{+\infty} \frac{e^{it(V_p^1 + \Delta V_{pp} + \mu_c + \mu_d - x) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}} - e^{it(V_p^1 + \mu_c + \mu_d - x) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}}}{it(\Delta V_{pp})(1 + \lambda_r^2 t^2)} dt \quad (3.24)$$

$$p_{s00}(x) = \frac{1}{2\pi} \int_{-\infty}^{+\infty} \frac{e^{it(V_p^2 + \Delta V_{pp} + \mu_c + \mu_d - x) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}} - e^{it(V_p^2 + \mu_c + \mu_d - x) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}}}{it(\Delta V_{pp})(1 + \lambda_r^2 t^2)} dt \quad (3.25)$$

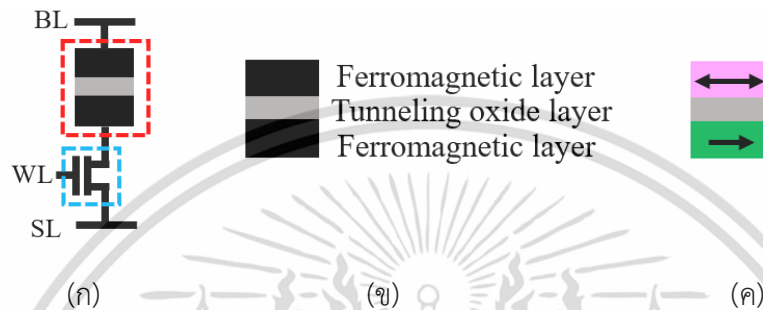
$$p_{s01}(x) = \frac{1}{2\pi} \int_{-\infty}^{+\infty} \frac{e^{it(V_p^3 + \Delta V_{pp} + \mu_c + \mu_d - x) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}} - e^{it(V_p^3 + \mu_c + \mu_d - x) - \frac{(\sigma_c^2 + \sigma_d^2)t^2}{2}}}{it(\Delta V_{pp})(1 + \lambda_r^2 t^2)} dt \quad (3.26)$$

### 3.2 หน่วยความจำแบบ STT-MRAM

การบันทึกข้อมูลในเซลล์หน่วยความจำแบบ STT-MRAM ใช้ค่าความต้านทานที่แตกต่างกันของ MTJ (Magnetic Tunneling Junction) เพื่อแทนบิต '0' หรือ '1' ที่ถูกบันทึกไว้ในเซลล์ เซลล์ STT-MRAM ประกอบไปด้วย 2 ส่วนคือ ทรานซิสเตอร์แบบ CMOS (Complementary Metal Oxide Semiconductor) และตัว MTJ ดังรูปที่ 3.14 (ก) MTJ ที่ทำหน้าที่บันทึกข้อมูลนั้นประกอบด้วยชั้นเฟอร์โรแมกเนติก (Ferromagnetic layer) จำนวน 2 ชั้น และชั้น Tunneling oxide ที่เป็นวัสดุชนิด MgO (Magnesium Oxide) โดยที่ชั้น Tunneling oxide จะแทรกอยู่ตรงกลางระหว่างชั้นเฟอร์โรแมกเนติกทั้งสองชั้น

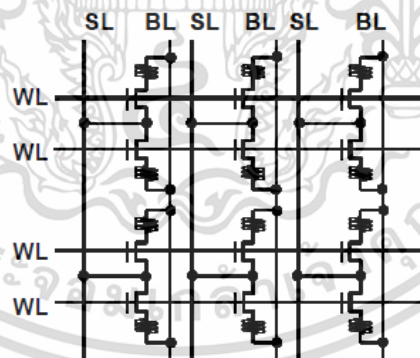
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กลางระหว่างชั้นเฟอร์โรแมกเนติกทั้งสองดังรูปที่ 3.14 (ข) ชั้นเฟอร์โรแมกเนติกนั้น จะมีชั้นหนึ่งที่ทิศทางแม่เหล็ก (Magnetization) ไม่สามารถเปลี่ยนแปลงได้ ทำให้สามารถเรียกว่าเป็นชั้นอ้างอิง (Reference layer) [11] หรือใน [49] เรียกว่าชั้นที่ถูกตรึง (Pinned layer) และชั้นเฟอร์โรแมกเนติกที่สามารถโปรแกรมให้ทิศทางแม่เหล็กมีการเปลี่ยนแปลงได้เรียกว่าชั้นแม่เหล็กอิสระ (Free magnetic layer) ดังแสดงในรูปที่ 3.14 (ค)



รูปที่ 3.14 (ก) โครงสร้างเซลล์ STT-MRAM (ข) ส่วนประกอบของตัว MTJ (ค) ทิศทางแม่เหล็ก

เซลล์ STT-MRAM มีการจัดเรียงโครงสร้างดังรูปที่ 3.15 โดยที่ในแต่ละเวิร์ดไลน์ (WL: Word Line) นั้น จะเชื่อมขาเกตของตัวทรานซิสเตอร์ CMOS ที่อยู่ในแถวเดียวกัน ส่วนในแต่ละบิตไลน์ (BL: Bit Line) นั้น จะเชื่อมตัว MTJ ที่อยู่ในคอลัมน์เดียวกัน และซอร์สไลน์ (SL: Source Line) จะเชื่อมขาซอร์สของทรานซิสเตอร์ CMOS ไว้ด้วยกัน



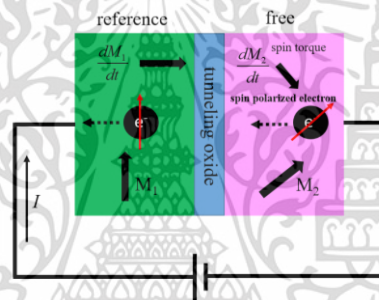
รูปที่ 3.15 การจัดเรียงโครงสร้างเซลล์ STT-MRAM [49]

### 3.2.1 การอ่านและเขียนเซลล์หน่วยความจำแบบ STT-MRAM

สำหรับการเขียนเซลล์นั้นอาศัยกระบวนการที่เรียกว่าการสวิตช์แบบส่งผ่านทอร์คหมุน (STTS: Spin Torque Transfer switching) [49] ซึ่งหลักการทำงานของกระบวนการนี้สามารถอธิบายได้ดังนี้ ถ้ากำหนดให้ทิศทางของโมเมนต์แม่เหล็ก (Magnetic moment) ( $M_1$  และ  $M_2$ ) [50] มีทิศเดียวกัน เมื่อมีกระแสไฟฟ้าไหลผ่านจากชั้นอ้างอิงไปยังชั้นแม่เหล็กอิสระ ทำให้อิเล็กตรอนที่ถูกโพลาไรซ์แบบหมุน (Spin polarized electron) ที่หมุนในทิศทางเดียวกับทิศทางของโมเมนต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ในการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แม่เหล็กเคลื่อนที่ไปในทิศทางตรงข้ามกับกระแสไฟฟ้า การหมุนของอิเล็กตรอนที่ถูกโพลารไรซ์แบบหมุนทำให้เกิดทอร์คแบบหมุน (Spin torque) ( $dM_1 / dt$  และ  $dM_2 / dt$ ) ถ้าทอร์คที่ได้มีขนาดมากพอทำให้ทิศทางแม่เหล็กของชั้นแม่เหล็กอิสระเกิดการพลิกกลับ ดังนั้นทิศทางแม่เหล็กของชั้นแม่เหล็กอิสระและชั้นอ้างอิงจะเปลี่ยนจากทิศทางแม่เหล็กแบบขนานกัน (P: Parallel) เป็นแบบทิศทางตรงข้ามกัน (AP: Anti-parallel) ดังแสดงในรูปที่ 3.16 การที่ทิศทางแม่เหล็กของชั้นแม่เหล็กอิสระ และชั้นอ้างอิงเป็นแบบ AP นั้น อิเล็กตรอนที่ถูกโพลารไรซ์แบบหมุนของชั้นแม่เหล็กอิสระและชั้นอ้างอิงอยู่ในทิศทางตรงข้ามกัน ทำให้สภาพนำไฟฟ้ายิ่งยวดมีค่าลดลงตามกฎของเลนส์ (Lenz's Law) [51] ซึ่งการลดลงของสภาพนำยิ่งยวดบ่งบอกว่ามีสภาพต้านทานเพิ่มมากขึ้น หรืออาจจะกล่าวได้ว่าตัว MTJ นั้นมีค่าความต้านทานมากขึ้นนั่นเอง ในทำนองเดียวกัน เมื่อทิศทางแม่เหล็กของชั้นแม่เหล็กอิสระ และชั้นอ้างอิง เป็นแบบ P ทำให้สภาพนำยิ่งยวดมีค่ามากหรือตัว MTJ มีค่าความต้านทานน้อยลงนั่นเอง



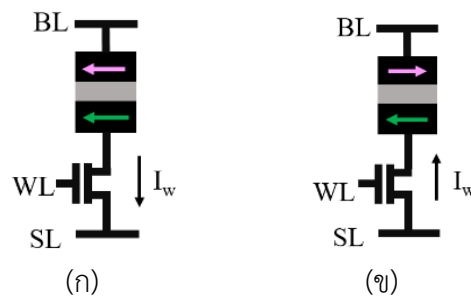
รูปที่ 3.16 กระบวนการสวิตช์แบบส่งผ่านทอร์คหมุนอย่างง่าย [49]

จากหลักการข้างต้น การเขียนบิต '0' หรือบิต '1' ลงไปในเซลล์สามารถทำได้โดยการจ่ายกระแสไฟฟ้าในทิศทางที่ต่างกัน เพื่อเหนี่ยวนำให้ชั้นแม่เหล็กอิสระมีทิศทางแม่เหล็กที่แตกต่างกัน เมื่อเขียนบิต '0' กำหนดให้ทิศทางแม่เหล็กของชั้นแม่เหล็กอิสระและชั้นอ้างอิงอยู่ในทิศทางเดียวกัน เรียกว่าทิศขนานดังรูปที่ 3.17 (ก) ซึ่งสามารถทำได้โดยการต่อแหล่งจ่ายไฟตรงให้กับเวอร์ดไลน์ และบิตไลน์ ส่วนกราวด์ต่อกับซอร์สไลน์ ทรานซิสเตอร์ CMOS ทำหน้าที่เป็นสวิตช์อิเล็กทรอนิกส์ที่ใช้ควบคุมเวลากลับทิศแม่เหล็ก (Switching time) ส่วนการเขียนบิต '1' จะกำหนดให้ทิศทางแม่เหล็กของชั้นแม่เหล็กอิสระ และชั้นอ้างอิงอยู่ในทิศทางตรงข้ามกัน ดังรูปที่ 3.17 (ข) เรียกว่าทิศตรงข้ามซึ่งเวอร์ดไลน์ และซอร์สไลน์จะเชื่อมกับแหล่งจ่ายไฟฟ้า ส่วนที่บิตไลน์เชื่อมกับกราวด์

การอ่านค่าบิตจากเซลล์มี 2 วิธี คือ การอ่านในทิศขนาน (P direction) ด้วยกระแสไฟฟ้าที่มีทิศทางเดียวกับการเขียนบิต '0' และการอ่านในทิศตรงข้าม (AP direction) ด้วยกระแสไฟฟ้าที่มีทิศทางเดียวกับการเขียนบิต '1' ในการอ่านทิศขนานจะมีตัวตรวจจับกระแส (Sense amplifier) ต่อที่ปลายของบิตไลน์เพื่อตรวจจับกระแสและเปรียบเทียบกับกระแสอ้างอิง เพื่อตัดสินใจว่าเป็นบิต

'0' หรือบิต '1'

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 (ก) การเขียนบิต '0' (ข) การเขียนบิต '1'

### 3.2.2 สัญญาณรบกวนที่เกิดในหน่วยความจำแบบ STT-MRAM

#### 3.2.2.1 การเปลี่ยนแปลงที่เกิดในกระบวนการผลิต (Process variation)

สัญญาณรบกวนที่เกิดขึ้นจากความแปรปรวนที่เกิดในกระบวนการผลิตการแบ่งออกเป็น 2 ประเภทได้แก่ ความแปรปรวนที่เกิดในกระบวนการผลิตทรานซิสเตอร์ CMOS และความแปรปรวนที่เกิดในกระบวนการผลิตของ MTJ ซึ่งการเปลี่ยนแปลงที่เกิดในทรานซิสเตอร์ CMOS ได้แก่ ความผันผวนของสารเจือแบบสุ่ม (Random dopant fluctuation) ความหยาบของเส้นขอบ (Line-edge roughness) และความเครียดในการแยกร่องลึกตื้น (Shallow trench isolation stress) [52] ก่อให้เกิดความผันผวนของความแรงในการขับกระแสไฟฟ้าของทรานซิสเตอร์และการเปลี่ยนแปลงทางเรขาคณิตของความยาว/ความกว้างช่องทางเดินกระแสของทรานซิสเตอร์ ส่งผลต่อแรงดันไฟฟ้าเทรสิโวลต์ และความต้านทานของทรานซิสเตอร์ ส่วนความแปรปรวนที่เกิดในกระบวนการผลิต MTJ เกิดจาก 3 ปัจจัย ได้แก่ การเปลี่ยนแปลงรูปร่างของ MTJ การเปลี่ยนแปลงความหนาของชั้นออกไซด์ และความผันผวนของสนามแม่เหล็กแบบแอนไอโซโทรปี (Localized fluctuation of magnetic anisotropy) [53]

#### 3.2.2.2 ความผันผวนความร้อนแบบสุ่ม (Random thermal fluctuation)

โดยทั่วไป พลวัตของทิศทางแม่เหล็ก (Magnetization dynamics) การสวิตช์ของ MTJ ที่ได้รับผลกระทบจากความผันผวนความร้อน (Thermal fluctuation) สามารถจำลองโดยสมการ LLG (Landau–Lifshitz–Gilbert equation) [54] โดยการพิจารณาสนามความผันผวนของความร้อน (Thermal agitation fluctuating field) เนื่องจากความผันผวนความร้อนแบบสุ่มทำให้เวลาที่ใช้ในการสวิตช์ MTJ ทำให้มีค่าไม่เท่าเดิมได้อีกครั้ง

โหมดการสวิตช์ใน MTJ สามารถแบ่งออกเป็น 3 โหมด [55] ได้แก่

1) การกระตุ้นความร้อน (Thermal activation) ใช้พัลส์กระแสไฟฟ้าขนาดยาว (เวลาที่ใช้ในการสวิตช์ MTJ >10 ns) เนื่องจากการใช้เวลาในการสวิตช์ที่นานทำให้เกิดความร้อน

ขึ้น  
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) การสลับแบบหมุนควง (Precessional switching) ใช้พัลส์กระแสไฟฟ้าขนาดสั้น (เวลาที่ใช้ในการสวิตช์ MTJ < 3 ns)

3) การกลับตัวแบบพลวัต (dynamic reversal) ใช้พัลส์กระแสไฟฟ้าขนาดกลาง (เวลาที่ใช้ในการสวิตช์ MTJ อยู่ระหว่าง 3 ns และ 10 ns)

### 3.2.2.3 ความผิดพลาดที่เกิดในการเขียน

ในระหว่างการเขียนจะเกิดความผิดพลาดขึ้น 2 แบบ ได้แก่

1) ความผิดพลาดในการเขียนบิต '1' คือ ต้องการเปลี่ยนแปลงบิตข้อมูลที่ถูกบันทึกจากบิต '0' เป็นบิต '1' แต่เซลล์ยังคงเก็บค่าบิต '0' ไว้เหมือนเดิม

2) ความผิดพลาดในการเขียนบิต '0' คือ ต้องการเปลี่ยนแปลงข้อมูลที่ถูกบันทึกจากบิต '1' เป็นบิต '0' แต่เซลล์ยังคงเก็บค่าบิต '1' ไว้เหมือนเดิม

ความผิดพลาดทั้ง 2 แบบนี้เกิดจาก 2 ปัจจัย ได้แก่ ความแปรปรวนที่เกิดในกระบวนการผลิตทรานซิสเตอร์ และ MTJ ปัจจัยที่ 2 คือ ความผันผวนความร้อนแบบสุ่ม นอกจากนั้น ปัจจัยเหล่านี้ยังทำให้เกิดความไม่สมมาตรระหว่างการเปลี่ยนสถานะการเขียนทั้ง 2 แบบ คือ บิต '0' เป็นบิต '1' และ บิต '1' เป็นบิต '0' ซึ่งเงื่อนไขของความแตกต่างการไบอัสของทรานซิสเตอร์ทำให้การเปลี่ยนบิต '0' เป็นบิต '1' ต้องใช้เวลาในการสวิตช์มากกว่าเมื่อเปรียบเทียบกับ การเปลี่ยนบิต '1' เป็นบิต '0' และส่วนเบี่ยงเบนมาตรฐานของการเปลี่ยนบิต '0' เป็นบิต '1' จะมากกว่าการเปลี่ยนบิต '1' เป็นบิต '0' ดังนั้น การเขียนบิต '0' เป็นบิต '1' ส่งผลให้เกิดความผิดพลาดในการเขียน [56]

### 3.2.2.4 ความผิดพลาดที่เกิดในการอ่าน

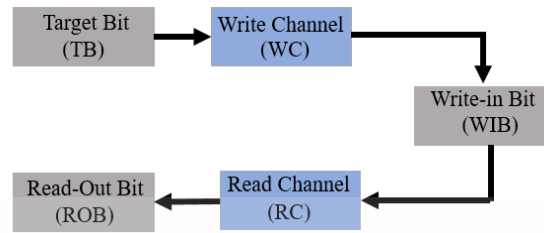
กระแสไฟฟ้าที่ใช้อ่านค่าจากเซลล์หน่วยความจำต้องมีค่าสูงพอที่จะขับวงจรตรวจจับสนกระแสไฟฟ้า (Sense amplifier) และกระแสไฟฟ้าที่ใช้อ่านค่าจากเซลล์หน่วยความจำจะต้องรักษาระดับไว้ไม่ให้สูงเกินไป เพื่อไม่ให้บิตที่ถูกบันทึกไว้ในเซลล์เกิดการพลิกกลับ และเนื่องจากความแปรปรวนที่เกิดในกระบวนการผลิต MTJ และทรานซิสเตอร์ หรือเกิดจากความผันผวนความร้อนทำให้มีความผิดพลาด 3 แบบ ที่เกิดขึ้นในระหว่างการอ่าน ได้แก่

- 1) เซลล์เก็บบิต '0' แต่อ่านออกมาเป็นบิต '1'
- 2) เซลล์เก็บบิต '1' แต่อ่านออกมาเป็นบิต '0'
- 3) เซลล์เก็บบิต '0' (หรือ '1') แต่ถูกพลิกกลับเป็น '1' (หรือ '0') ในระหว่างกระบวนการอ่าน

### 3.2.3 แบบจำลองช่องสัญญาณของเซลล์ STT-MRAM

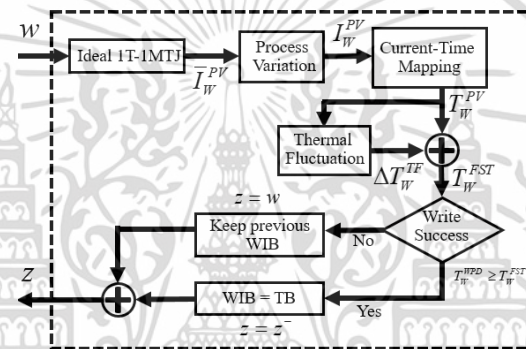
รูปที่ 3.18 แสดงแบบจำลองช่องสัญญาณของหน่วยความจำแบบ STT-MRAM ซึ่งประกอบไปด้วยบิตที่ต้องการบันทึกลงในเซลล์ (TB: Target Bit) ช่องสัญญาณการเขียน (WC: Write Channel)

บิตที่ถูกเขียนลงไปโนเซลล์ (WIB: Write-In Bit) ช่องสัญญาณการอ่าน (RC: Read Channel) และบิตที่อ่านออกมา (ROB: Read-Out Bit)



รูปที่ 3.18 แบบจำลองช่องสัญญาณของหน่วยความจำแบบ STT-MRAM [11]

### 3.2.3.1 ช่องสัญญาณการเขียน (WC)



รูปที่ 3.19 บล็อกไดอะแกรมของช่องสัญญาณเขียน (WC) [11]

แบบจำลองช่องสัญญาณการเขียนดังรูปที่ 3.19 แบ่งเป็น 5 ขั้นตอน ได้แก่

- 1) บิตข้อมูล  $w \in \{0,1\}$  ถูกแปลงเป็นค่ากระแสไฟฟ้าที่ใช้เขียน ( $\bar{I}_w^{PV}$ )
- 2) กระแสไฟฟ้าที่ใช้เขียนได้รับผลกระทบจากความแปรปรวนที่เกิดในกระบวนการผลิต ( $I_w^{PV}$ )
- 3) กระแสไฟฟ้าที่ใช้เขียนที่ได้รับผลกระทบจากความแปรปรวนที่เกิดในกระบวนการผลิต ( $I_w^{PV}$ ) ถูกแปลงไปเป็นเวลาที่ใช้ในการสวิตช์ ( $T_w^{PV}$ )
- 4) เวลาที่ใช้ในการสวิตช์ ( $T_w^{PV}$ ) ได้รับผลกระทบจากความผันผวนความร้อนแบบสุ่มทำให้เวลาที่ใช้ในการสวิตช์มีการเปลี่ยนแปลงไป ( $\Delta T_w^{TF}$ ) ดังนั้นเวลาสุดท้ายที่ใช้ในการสวิตช์ ( $T_w^{FST}$ ) สามารถคำนวณได้จาก [11]

$$T_w^{FST} = T_w^{PV} + \Delta T_w^{TF} \quad (3.27)$$

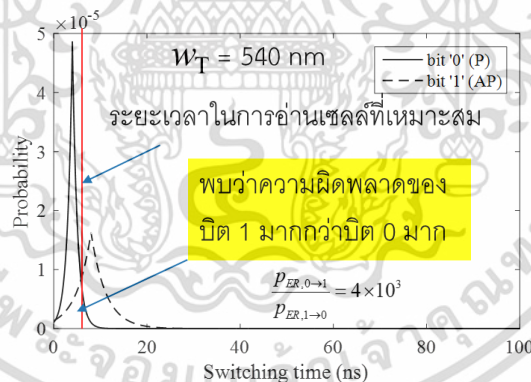
- 5) ตัดสินใจว่าโอเปอเรชันการเขียนสำเร็จหรือล้มเหลว โดยการเปรียบเทียบเวลาของพัลส์เขียน (WPD: Write pulse duration) ที่ใช้อ้างอิงกับเวลาสุดท้ายที่ใช้ในการสวิตช์ (FST: Final

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

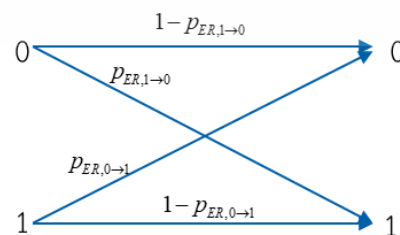
Switching Time) ที่ได้ ถ้า WPD มากกว่า FST แล้ว บิตที่ถูกเขียนลงไปในเซลล์หรือ สถานะ WIB ค่า  $z$  จะถูกอัปเดตให้เป็นไปตามบิตที่ต้องการบันทึกลงในเซลล์หรือ สถานะ TB คือ  $w$  ในกรณีนี้ทำให้กระบวนการเขียนบิตสำเร็จ ถ้า WPD น้อยกว่า FST แล้ว ที่สถานะ WIB ค่า  $z$  จะคงสถานะเดิม  $z^-$  ก่อนที่จะมีการเขียนไว้ [11] นั่นคือกระบวนการเขียนบิตไม่สำเร็จ

$$z = \begin{cases} w, & T_W^{WPD} \geq T_W^{FST} \\ z^-, & T_W^{WPD} \leq T_W^{FST} \end{cases} \quad (3.28)$$

รูปที่ 3.20 แสดงฟังก์ชันการแจกแจงของเวลาที่ใช้ในการเขียนเซลล์เพื่อให้ทิศทางของแม่เหล็กไปตามข้อมูลที่บันทึก สำหรับการอ่านข้อมูลจากหน่วยความจำแบบ STT-MRAM จะเลือกใช้ตำแหน่งของเวลาในการอ่าน 1 ค่าโดยไม่ทำให้ทิศทางแม่เหล็กมีการพลิกกลับ ซึ่งคล้ายกับการตัดสินใจในแบบฮาร์ดและเนื่องจากความไม่สมมาตรของช่องสัญญาณ ส่งผลให้ช่องสัญญาณการอ่านเป็นแบบไม่สมมาตร (BAC: Binary Asymmetric Channel) ดังแสดงในรูปที่ 3.21 ซึ่งมีสัดส่วนของความผิดพลาดในการเขียนบิต 1 และบิต 0 คือ  $\frac{P_{ER,0 \rightarrow 1}}{P_{ER,1 \rightarrow 0}} = 4 \times 10^3$  สำหรับหน่วยความจำแบบ STT-MRAM ที่ใช้ทรานซิสเตอร์ขนาดความกว้าง ( $w_T$ ) 540 nm ซึ่งจะถูกใช้เพื่อการศึกษาวิจัยตลอดบทความนี้



รูปที่ 3.20 ตำแหน่งการอ่านเซลล์หน่วยความจำที่เหมาะสม



รูปที่ 3.21 ช่องสัญญาณแบบไม่สมมาตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.2.3.2 ช่องสัญญาณการอ่าน (RC)

ความไม่สมดุลในการขับเคลื่อนของทรานซิสเตอร์ ทำให้ความน่าจะเป็นความผิดพลาดในการเขียนบิต '1' ลงในเซลล์สูงกว่าการเขียนบิต '0' ลงในเซลล์เนื่องจากการทำให้บิต '0' พลิกเป็นบิต '1' ยากกว่าการพลิกบิต '1' เป็นบิต '0' อย่างไรก็ตามการพลิกจากบิต '0' ไปเป็นบิต '1' ยากกลับส่งผลดีในกระบวนการอ่านเนื่องจากกระแสไฟฟ้าอ่านจะไม่ไปพลิกบิตที่อยู่ในเซลล์ให้เป็นบิตตรงข้าม ทำให้ความน่าจะเป็นความผิดพลาดในการอ่านบิต '0' น้อยลง ดังนั้นในกระบวนการอ่านจะเลือกใช้กระแสอ่านในทิส AP เพื่อป้องกันไม่ให้เกิดการกลับบิตขณะอ่านข้อมูลจากเซลล์หน่วยความจำ

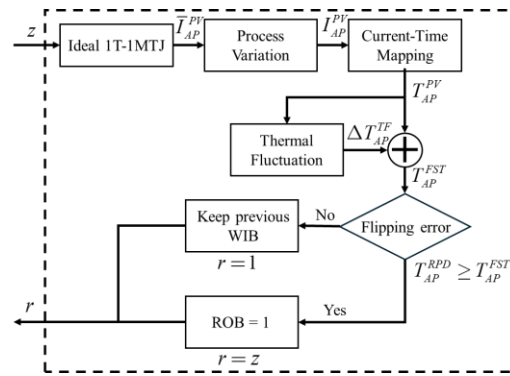
แบบจำลองช่องสัญญาณอ่านดังรูปที่ 3.22 สามารถแบ่งเป็น 5 ลำดับขั้นตอนดังนี้

- 1) สร้างกระแสไฟฟ้าอ่าน ( $\bar{I}_{AP}^{PV}$ ) ในทิส AP
- 2) กระแสไฟฟ้าอ่าน ( $\bar{I}_{AP}^{PV}$ ) ถูกควบคุมด้วยความแปรปรวนที่เกิดในกระบวนการผลิตทำให้ได้กระแสไฟฟ้าอ่านที่มีความผันผวน ( $I_{AP}^{PV}$ )
- 3) แปลงกระแสไฟฟ้าอ่านที่มีความผันผวน ( $I_{AP}^{PV}$ ) ให้เป็นเวลาที่ใช้ในการสวิตช์บิต ( $T_{AP}^{PV}$ )
- 4) เวลาที่ใช้ในการสวิตช์ ( $T_{AP}^{PV}$ ) ได้รับผลกระทบจากความผันผวนความร้อนแบบสุ่มทำให้เวลาที่ใช้ในการสวิตช์มีการเปลี่ยนแปลงไป ( $\Delta T_{AP}^{TF}$ ) ดังนั้นเวลาสุดท้ายที่ใช้ในการสวิตช์ ( $T_{AP}^{FST}$ ) สามารถคำนวณได้จาก [11]

$$T_{AP}^{FST} = T_{AP}^{PV} + \Delta T_{AP}^{TF} \quad (3.29)$$

- 5) ตัดสินใจว่าโอเปอเรชันการอ่านทำให้บิตที่บันทึกถูกพลิกกลับหรือไม่ โดยการเปรียบเทียบเวลาของพัลส์อ่าน (RPD: Read Pulse Duration) ที่ใช้อ้างอิงกับเวลาสุดท้ายที่ใช้ในการสวิตช์ (FST: Final Switching Time) ที่ได้ ถ้า RPD มากกว่า FST แล้ว บิตที่อ่านจะถูกกลับให้เป็นบิต 1 หรือ  $r = 1$  ถ้า RPD น้อยกว่า FST แล้ว บิตข้อมูลที่อ่านจะไม่ถูกกลับหรือ  $r = z$  นั่นคือ

$$r = \begin{cases} 1, & T_{AP}^{RPD} \geq T_{AP}^{FST} \\ z, & T_{AP}^{RPD} < T_{AP}^{FST} \end{cases} \quad (3.30)$$



รูปที่ 3.22 บล็อกไดอะแกรมของช่องสัญญาณอ่าน (RC) [11]



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 4

### รหัสแอลดีพีซี (LDPC)

#### 4.1 รหัสแอลดีพีซี (LDPC: Low-Density Parity-Check Codes)

รหัสตรวจสอบภาวะหนาแน่นต่ำ หรือรหัสแอลดีพีซี [56] เป็นรหัสแก้ไขความผิดพลาด (ECC: Error Correction Code) ประเภทหนึ่งซึ่งจัดเป็นรหัสบล็อกเชิงเส้น (Linear block code) ดังนั้นก่อนที่จะทำความเข้าใจรหัสแอลดีพีซีจะขอเกริ่นนำหลักการของรหัสบล็อกเชิงเส้นเบื้องต้นก่อน

##### 4.1.1 รหัสบล็อกเชิงเส้น

รหัสบล็อกเชิงเส้นแบบ  $(N, K)$  คือรหัสแก้ไขความผิดพลาดประเภทหนึ่งที่มีการแบ่งบิตข้อมูล (Message bit) ที่จะส่งออกเป็นบล็อกย่อย แต่ละบล็อกมีความยาว  $K$  บิต สามารถเขียนเป็นเวกเตอร์ได้ดังนี้  $\mathbf{m} = [m_1, m_2, \dots, m_K]$  บิตข้อมูลที่ถูกแบ่งเป็นบล็อกจะถูกนำไปเข้ารหัสโดยการเติมบิตพาริตี (Parity bit) หรือเขียนรูปเวกเตอร์เป็น  $\mathbf{p} = [p_1, p_2, \dots, p_{N-K}]$  เข้าไปทำให้ได้คำรหัส (Codeword) ที่มีความยาว  $N$  บิต ซึ่งสามารถเขียนเป็นเวกเตอร์ได้ดังนี้  $\mathbf{c} = [c_1, c_2, \dots, c_N]$  บิตพาริตีที่ถูกเพิ่มเข้าไปเป็นส่วนที่ช่วยให้ภาครับสามารถตรวจหาบิตข้อมูลที่มีความผิดพลาดได้ และถ้ามีบิตพาริตีมากพอก็อาจจะสามารถแก้ไขบิตที่ผิดพลาดให้ถูกต้องได้

ในการแบ่งบิตข้อมูลออกเป็นบล็อกย่อย ๆ นั้น ขนาดของบล็อกข้อมูลจะขึ้นอยู่กับแต่ละงานประยุกต์ ซึ่งสัดส่วนของบิตข้อมูลต่อบิตคำรหัสในแต่ละบล็อกจะเรียกว่าอัตรารหัส (Code rate)  $R$  ซึ่งนิยามโดย  $R = K / N$  เมื่อ  $0 \leq R \leq 1$  เสมอ

##### 4.1.2 เมทริกซ์พาริตีเช็กและกราฟแทนเนอร์

รหัสบล็อกเชิงเส้นแบบ  $(N, K)$  สามารถถูกกำหนดด้วยเมทริกซ์ตัวกำเนิด  $\mathbf{G}$  ที่มีขนาด  $K \times N$  โดยเมทริกซ์ตัวกำเนิดจะสัมพันธ์กับเมทริกซ์พาริตีเช็ก  $\mathbf{H}$  ผ่านความสัมพันธ์  $\mathbf{GH}^T = \mathbf{0}$  และคำรหัสจะต้องสอดคล้องกับตามความสัมพันธ์  $\mathbf{Hc}^T = \mathbf{0}$  เสมอ นอกจากนี้สมาชิกในแนวแถวของเมทริกซ์ คือสมการพาริตีเช็ก (Parity check equation) ซึ่งเป็นตัวที่กำหนดความสัมพันธ์ของบิตข้อมูลในแต่ละคำรหัส

$$\mathbf{H} = \begin{bmatrix} 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 1 \\ 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 1 \end{bmatrix}$$

รูปที่ 4.1 ตัวอย่างเมทริกซ์พาริตีเช็ก

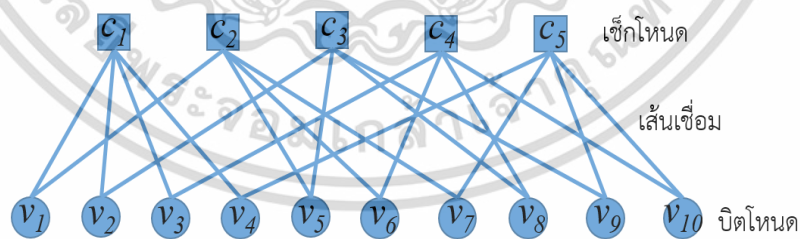
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างเมทริกซ์พาริตีในรูปที่ 4.1 ซึ่งเป็นรหัสบล็อกเชิงเส้นแบบ (10, 5) พบว่าเมทริกซ์พาริตี  
 เช็กรวมทั้งหมด 5 แถว สามารถเขียนสมการพาริตีเช็กรูปนี้

$$\begin{aligned}
 c_1 + c_2 + c_3 + c_4 &= 0 \\
 c_1 + c_5 + c_6 + c_7 &= 0 \\
 c_2 + c_5 + c_8 + c_9 &= 0 \\
 c_3 + c_6 + c_8 + c_{10} &= 0 \\
 c_4 + c_7 + c_9 + c_{10} &= 0
 \end{aligned}
 \tag{4.1}$$

เมทริกซ์พาริตีเช็กรหัส  $\mathbf{H}$  ของรหัสบล็อกเชิงเส้นสามารถแสดงในรูปของกราฟแทนเนอร์  
 (Tanner graph) [57]  $G(\mathbf{V}, \mathbf{C}, \mathbf{E})$  โดยที่กราฟแทนเนอร์เป็นกราฟแบบสองส่วน (Bipartite graph)  
 ซึ่งประกอบด้วยเซตของโหนดตัวแปร  $\mathbf{V}$  เมื่อ  $\mathbf{V} = [v_1, v_2, \dots, v_N]$  คือเซตของโหนดตัวแปร  
 (Variable node) และ  $\mathbf{C} = [c_1, c_2, \dots, c_{N-K}]$  คือเซตของโหนดเช็กรหัส (Check node) และเซตของเส้น  
 เชื่อม (Edge)  $\mathbf{E}$  ซึ่งเชื่อมต่อระหว่างโหนดตัวแปร  $v_j$  และโหนดเช็กรหัส  $c_i$  สามารถเขียนแทนด้วย  
 $(v_j, c_i)$  โดยที่  $(v_j, c_i) \in \mathbf{E}$  ก็ต่อเมื่อ  $h_{ji} \neq 0$  เมื่อ  $h_{ji} \in \mathbf{H}$

จากตัวอย่างในรูปที่ 4.1 จะได้ว่าเซตของโหนดตัวแปรคือ  $\mathbf{V} = [v_1, v_2, v_3, v_4, v_5, v_6, v_7, v_8, v_9, v_{10}]$   
 เซตของโหนดเช็กรหัสคือ  $\mathbf{C} = [c_1, c_2, c_3, c_4, c_5]$  และเซตของเส้นเชื่อมคือ  $\mathbf{E} = [(v_1, c_1), (v_1, c_2), (v_2, c_1), (v_2, c_3), (v_3, c_1), (v_3, c_4), (v_4, c_1), (v_4, c_5), (v_5, c_2), (v_5, c_3), (v_6, c_2), (v_6, c_4), (v_7, c_2), (v_7, c_8), (v_8, c_3), (v_8, c_4), (v_9, c_3), (v_9, c_5), (v_{10}, c_4), (v_{10}, c_5)]$  กราฟแทน  
 เนอร์ของเมทริกซ์พาริตีเช็กรหัส  $\mathbf{H}$  สามารถแสดงได้ดังรูปที่ 4.2



รูปที่ 4.2 กราฟแทนเนอร์ของเมทริกซ์พาริตีเช็กรหัส

#### 4.1.3 นิยามของรหัสแอลดีพีซี

รหัสแอลดีพีซีถูกคิดค้นโดย Gallager [56] ในปี 1962 แต่ในช่วงนั้นรหัสแอลดีพีซียังไม่ได้รับความสนใจมาก เนื่องจากความซับซ้อนในการคำนวณ ต่อมาในปี 1981 Tanner [57] ได้มีการนำเสนอกราฟแทนเนอร์ (Tanner graph) ซึ่งกราฟดังกล่าวแสดงความสัมพันธ์ที่เกิดขึ้นจากการเข้ารหัส และยังสามารถนำมาช่วยในการถอดรหัสข้อมูลให้ง่ายขึ้น ถัดมาในปี 1990 Mackay และเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Neal [58] ได้ค้นพบว่ารหัสแอลดีพีซีมีสมรรถนะเข้าใกล้ขีดจำกัดแชนนอน [59] ภายใต้การอัลกอริทึมการถอดรหัสแบบวนซ้ำ เมื่อเปรียบเทียบกับรหัสเทอร์โบ [60] จะมีข้อดี 2 ประการคือมี error-floor ที่ต่ำกว่าและถอดรหัสได้รวดเร็วกว่า ด้วยเหตุนี้รหัสแอลดีพีซีก็กลับมาได้รับความสนใจอีกครั้งหนึ่ง และในปัจจุบันรหัสแอลดีพีซียังถูกนำไปใช้ในหลาย ๆ งานประยุกต์ เช่นในระบบสื่อสาร และระบบบันทึกข้อมูล

รหัสแอลดีพีซีจัดเป็นรหัสบล็อกเชิงเส้นประเภทหนึ่งที่มีจำนวนที่ไม่ใช่ศูนย์อยู่ในเมทริกซ์พาริตีเช็ก  $\mathbf{H}$  น้อยมาก ๆ เมื่อเทียบกับขนาดของเมทริกซ์  $\mathbf{H}$  หรือกล่าวอีกนัยหนึ่งคือเป็นเมทริกซ์แบบมากเลขศูนย์ (Sparse matrix) [56] เหตุผลที่ต้องให้มีเลขศูนย์ในเมทริกซ์  $\mathbf{H}$  มีจำนวนมาก ๆ ก็เพื่อให้มีระยะทางต่ำสุด (Minimum distance) ของรหัสมีค่ามาก ๆ รหัสแอลดีพีซีสามารถแบ่งออกเป็น 2 ประเภทหลักคือ รหัสแอลดีพีซีแบบไม่มีโครงสร้าง (Nonstructured LDPC code) และรหัสแอลดีพีซีแบบมีโครงสร้าง (Structured LDPC codes)

#### 4.1.3.1 รหัสแอลดีพีซีแบบไม่มีโครงสร้าง (Nonstructured LDPC codes)

รหัสแอลดีพีซีถูกกำหนดด้วยเมทริกซ์พาริตีเช็ก  $\mathbf{H}$  ซึ่งเมทริกซ์สามารถแทนด้วยพารามิเตอร์ที่บ่งบอกถึงจำนวนสมาชิกที่เป็น 1 เมทริกซ์พาริตีเช็ก ตัวอย่างเช่นถ้าเมทริกซ์  $\mathbf{H}$  มีจำนวนสมาชิก 1 ในทุกแถวเท่ากันคือ 3 และมีจำนวนสมาชิก 1 ในทุกหลักเท่ากันคือ 6 ดังนั้นจะแทนเมทริกซ์ ดังกล่าวด้วย  $(3, 6)$  เมื่อต้องการใช้งานเมทริกซ์  $\mathbf{H}$  ก็จะสร้างขึ้นมาโดยมีการวางสมาชิก 1 แบบสุ่ม โดยสอดคล้องกับเงื่อนไขจำนวนสมาชิก 1 ในทุกแถวเท่ากันคือ 3 และจำนวนสมาชิก 1 ในทุกหลักเท่ากันคือ 6 ดังนั้นจะได้เมทริกซ์  $\mathbf{H}$  ที่เป็นแบบไม่มีโครงสร้างเนื่องจากการสุ่มวางตำแหน่งสมาชิก 1 ในเมทริกซ์ รหัสแอลดีพีซีที่ไม่มีโครงสร้างสามารถแบ่งเป็น 2 ประเภท ดังนี้

##### 4.1.3.1.1 รหัสแอลดีพีซีแบบปกติ (Regular LDPC code)

รหัสแอลดีพีซีปกติแบบ  $(d_v, d_c)$  คือ รหัสแอลดีพีซีที่กำหนดด้วยเมทริกซ์พาริตีเช็ก  $\mathbf{H}$  ขนาด  $M \times N$  โดยที่ในแต่ละหลักมีเลขหนึ่งจำนวน  $d_v$  ตัว และแต่ละแถวมีเลขหนึ่งจำนวน  $d_c$  ตัว เมื่อ  $d_v < d_c$  และ  $\{d_v, d_c\} \ll N$  สมการพาริตีเช็กจะสอดคล้องกับบิตที่อยู่ในคำรหัสจำนวน  $d_c$  บิต และแต่ละบิตข้อมูลก็จะสัมพันธ์กันกับสมการพาริตีเช็กจำนวน  $d_v$  สมการ ถ้าเมทริกซ์  $\mathbf{H}$  มีขนาด  $M \times N$  ดังนั้นจะมีจำนวนเลขหนึ่งในเมทริกซ์  $\mathbf{H}$  ทั้งหมดเป็นจำนวน  $Md_c = Nd_v$  ตัว ถ้าแต่ละแถวของเมทริกซ์  $\mathbf{H}$  เป็นอิสระต่อกันแบบเชิงเส้น เราสามารถคำนวณอัตรารหัสของรหัสแอลดีพีซีแบบปกติได้จาก  $R = 1 - M/N = 1 - d_v/d_c$  โดยที่  $d_v < d_c$  เพราะว่า  $R \leq 1$  เสมอ

#### 4.1.3.1.2 รหัสแอลดีพีซีแบบไม่สม่ำเสมอ (Irregular LDPC code)

รหัสแอลดีพีซีแบบไม่สม่ำเสมอที่เป็นรูปแบบทั่วไปของรหัสแอลดีพีซีได้ถูกพัฒนาขึ้นโดย Richardson [61] ในปี 2001 รหัสแอลดีพีซีแบบไม่สม่ำเสมอจะมีการกระจายตัวของเลขหนึ่งในแต่ละแถวและหลักในเมทริกซ์พาริตีซีคเป็นแบบไม่สม่ำเสมอ กล่าวคือจำนวนเลขหนึ่งในแต่ละแถวและหลักอาจจะไม่เท่ากันก็ได้

รหัสแอลดีพีซีแบบไม่สม่ำเสมอถูกนิยามโดยพหุนามการแจกแจงระดับชั้น (Degree distribution polynomial) ซึ่งประกอบด้วยการแจกแจงระดับชั้นของโหนดตัวแปร  $\lambda(x)$  ซึ่งการแจกแจงระดับชั้นนี้เป็นตัวที่บอกว่าแต่ละระดับชั้น หรือจำนวนเลขหนึ่งของแต่ละหลักที่มีค่าเป็น 2, 3, 4, ... มีสัดส่วนเท่าใดของจำนวนเลขหนึ่งทั้งหมด สามารถเขียนเป็นสมการได้ดังนี้

$$\lambda(x) = \sum_{i=2}^{d_{v,\max}} \lambda_i x^{i-1} \quad (4.2)$$

เมื่อ  $\lambda_i$  คือสัดส่วนของเลขหนึ่งของระดับชั้น  $i$

$d_{v,\max}$  คือจำนวนระดับชั้นสูงสุดของโหนดตัวแปรในเมทริกซ์พาริตีซีค

และการแจกแจงระดับชั้นของโหนดซีค  $\rho(x)$  ซึ่งการแจกแจงระดับชั้นนี้เป็นตัวที่บอกว่าแต่ละระดับชั้น หรือจำนวนเลขหนึ่งของแต่ละแถวที่มีค่าเป็น 2, 3, 4, ... มีสัดส่วนเท่าใดของจำนวนเลขหนึ่งทั้งหมด สามารถเขียนเป็นสมการได้ดังนี้

$$\rho(x) = \sum_{j=2}^{d_{c,\max}} \rho_j x^{j-1} \quad (4.3)$$

เมื่อ  $\rho_j$  คือสัดส่วนของเลขหนึ่งของระดับชั้น  $j$

$d_{c,\max}$  คือจำนวนระดับชั้นสูงสุดของโหนดซีคในเมทริกซ์พาริตีซีค

สำหรับอัตราของรหัสแอลดีพีซีแบบไม่สม่ำเสมอ สามารถคำนวณหาอัตรารหัสได้จาก

$$R = 1 - \frac{\sum_{j=2}^{d_{c,\max}} \rho_j / j}{\sum_{i=2}^{d_{v,\max}} \lambda_i / i} \quad (4.4)$$

#### 4.1.3.2 รหัสแอลดีพีซีแบบมีโครงสร้าง (Structured LDPC codes)

รหัสแอลดีพีซีแบบมีโครงสร้างถูกออกแบบมาเพื่อให้สามารถอิมพลีเมนต์บนฮาร์ดแวร์ได้ง่าย เนื่องจากเมทริกซ์ มีโครงสร้างที่แน่นอนนอกจากนี้ยังสามารถปรับปรุงสมรรถนะให้ดีขึ้นได้โดยการปรับโครงสร้างบางอย่างซึ่งรหัสแอลดีพีซีแบบไม่มีโครงสร้างไม่สามารถทำได้ทำให้เป็นข้อได้เปรียบของรหัสแอลดีพีซีแบบมีโครงสร้าง รหัสแอลดีพีซีแบบมีโครงสร้างมีหลายประเภท ได้แก่ รหัสแอลดีพีซีแบบ QC (Quasi-Cyclic) [62] รหัสแอลดีพีซีแบบ MET (Multi-Edge-Type) [63] และรหัสแอลดีพีซีแบบโพรโทกราฟ (Protograph) [23] รหัสแอลดีพีซีแบบมีโครงสร้างนิยมใช้กันอย่างแพร่หลายในระบบสื่อสารสมัยใหม่ โดยเฉพาะอย่างยิ่งรหัสแอลดีพีซีแบบโพรโทกราฟที่มีการใช้งานในระบบสื่อสารตามมาตรฐาน 5G

##### 4.1.3.2.1 รหัสแอลดีพีซีแบบโพรโทกราฟ (Protograph)

รหัสแอลดีพีซีแบบโพรโทกราฟเป็นรหัสแบบมีโครงสร้าง อย่างไรก็ตามไปแล้วว่ารหัสแอลดีพีซีแบบไม่มีโครงสร้างนั้นทำให้วงจรเข้ารหัสมีความซับซ้อนสูง ทำให้ใช้ประโยชน์ทางปฏิบัติได้ยาก ด้วยเหตุนี้จึงมีงานวิจัยจำนวนมากพยายามที่จะออกแบบรหัสแอลดีพีซีแบบมีโครงสร้างที่มีสมรรถนะที่ดี เช่นรหัสแอลดีพีซีแบบ QC แต่ในขณะเดียวกันรหัสแอลดีพีซีแบบ MET ที่ถูกพิจารณาเป็นรหัสที่อยู่ตรงกลางซึ่งเป็นจุดเชื่อมระหว่างรหัสแอลดีพีซีแบบไม่มีโครงสร้างไปสู่รหัสโพรโทกราฟ รหัสแอลดีพีซีแบบ MET ไม่ได้มีแค่ประสิทธิภาพที่เหนือกว่ารหัสแอลดีพีซีแบบไม่มีโครงสร้าง แต่ยังมีความซับซ้อนในการเข้ารหัสที่ต่ำกว่าอีกด้วย แนวคิดหลักของรหัสแอลดีพีซีแบบ MET คือมี “เส้นเชื่อมหลายประเภท” ซึ่งหมายความว่าในรหัสแอลดีพีซีแบบ MET มีเส้นเชื่อมหลายประเภทในแต่ละประเภทอาจจะมีหลายเส้นเชื่อม เป็นที่ทราบกันดีว่าเส้นเชื่อมทั้งหมดในรหัสแอลดีพีซีแบบไม่มีโครงสร้างสามารถใช้แทนกันได้จะนับเป็นเส้นเชื่อมประเภทเดียวกัน ตัวอย่างเช่นรหัสแอลดีพีซี (3, 6) สามารถสร้างเมทริกซ์  $\mathbf{H}$  ขนาด  $4 \times 8$  ได้หลายแบบเนื่องจากไม่มีโครงสร้างที่แน่นอน ในตัวอย่างนี้ขอยกตัวอย่างเพียง 3 แบบดังในรูปที่ 4.3 (ก)-(ค) จะเห็นได้ว่าเมทริกซ์  $\mathbf{H}$  ขนาด  $4 \times 8$  แต่ละแบบสามารถใช้แทนกันได้จึงจัดอยู่ในเส้นเชื่อมประเภทเดียวกัน ความแตกต่างของรหัสแอลดีพีซีแบบไม่มีโครงสร้างกับรหัสแอลดีพีซีแบบ MET คือ รหัสแอลดีพีซีแบบไม่มีโครงสร้างสามารถกำหนดได้เพียงจำนวนสมาชิก 1 ในแต่ละแถวและหลัก แต่รหัสแอลดีพีซีแบบ MET สามารถกำหนดได้ทั้งจำนวนประเภทเส้นเชื่อมและจำนวนเส้นเชื่อมในแต่ละประเภท

$$\mathbf{H} = \begin{bmatrix} 0 & 1 & 0 & 1 & 1 & 1 & 1 & 1 \\ 1 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \\ 1 & 1 & 1 & 0 & 1 & 1 & 0 & 1 \\ 1 & 1 & 1 & 1 & 0 & 1 & 1 & 0 \end{bmatrix} \quad \mathbf{H} = \begin{bmatrix} 1 & 1 & 1 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \\ 1 & 1 & 0 & 0 & 1 & 1 & 1 & 1 \\ 0 & 1 & 1 & 1 & 1 & 1 & 1 & 0 \end{bmatrix}$$

(ก)

(ข)

$$\mathbf{H} = \begin{bmatrix} 1 & 1 & 0 & 1 & 0 & 1 & 1 & 1 \\ 1 & 0 & 1 & 1 & 1 & 0 & 1 & 1 \\ 1 & 1 & 1 & 0 & 1 & 1 & 1 & 0 \\ 0 & 1 & 1 & 1 & 1 & 1 & 0 & 1 \end{bmatrix}$$

(ค)

รูปที่ 4.3 (ก) เมทริกซ์  $\mathbf{H}$  ขนาด 4x8 แบบที่ 1 (ข) เมทริกซ์  $\mathbf{H}$  ขนาด 4x8 แบบที่ 2  
(ค) เมทริกซ์  $\mathbf{H}$  ขนาด 4x8 แบบที่ 3

รหัสโพรโทกราฟได้แนวคิดมาจากรหัสแอลดีพีซีแบบ MET ซึ่งมีโครงสร้างที่เรียบง่าย มีความซับซ้อนในการเข้ารหัสต่ำ และให้สมรรถนะที่ดีกว่ารหัสแอลดีพีซีแบบไม่มีโครงสร้าง รหัสโพรโทกราฟจึงเป็นจุดกำเนิดในการออกแบบรหัสในแนวทางใหม่ และถูกนำมาใช้กันอย่างแพร่หลายในระบบสื่อสารและระบบบันทึกข้อมูลสมัยใหม่

รหัสโพรโทกราฟ [23] เป็นกราฟแทนเนอร์ขนาดเล็กที่ประกอบด้วย เซตของโหนดตัวแปร  $\mathcal{V}$  เซตของโหนดเช็ก  $\mathcal{C}$  และเซตของเส้นเชื่อม  $\mathcal{E}$  ตามลำดับ ซึ่งสอดคล้องกับจำนวนโหนดตัวแปรของโพรโทกราฟ  $N_p$  จำนวนโหนดเช็ก  $M_p$  และจำนวนเส้นเชื่อม  $E_p$  โดยแต่ละเส้นเชื่อม  $e_{i,j,k} \in \mathcal{E}$  จะเชื่อมโหนดตัวแปร  $v_j \in \mathcal{V}$  และโหนดเช็ก  $c_i \in \mathcal{C}$  รหัสแอลดีพีซีแบบโพรโทกราฟแตกต่างจากรหัสแอลดีพีซีแบบไม่มีโครงสร้างคือสามารถมีเส้นเชื่อมแบบขนาน หรือมีจำนวนเส้นเชื่อมระหว่างคู่โหนดเดียวกันมากกว่า 1 เส้นเชื่อม อัตรารหัสของรหัสโพรโทกราฟสามารถคำนวณได้จาก

$$R = \frac{N_p - M_p}{N_p} \quad (4.5)$$

เมทริกซ์ขนาดเล็กมีชื่อเรียกว่าเมทริกซ์ฐาน (Base matrix)  $\mathbf{B}$  บางทีเรียกว่าโพรโทเมทริกซ์ (Protomatrix) ถ้าเมทริกซ์ฐานอยู่ในรูปแทนเนอร์กราฟจะเรียกว่ากราฟฐาน (Base graph) หรือโพรโทกราฟ (Protograph) บางครั้งก็เรียกแทนเมทริกซ์ฐานด้วยโพรโทกราฟหรือกราฟฐานแต่ทั้งหมดหมายถึงสิ่งเดียวกัน ตัวอย่างเมทริกซ์ฐานแสดงในรูปที่ 4.4 ซึ่งประกอบไปด้วยโหนดตัวแปรจำนวน 4 โหนด  $\mathcal{V} = \{v_1, v_2, v_3, v_4\}$  โหนดเช็กจำนวน 3 โหนด  $\mathcal{C} = \{c_1, c_2, c_3\}$  และมีเส้นเชื่อมจำนวน 9 เส้นเชื่อม  $\mathcal{E} = \{(v_1, c_1, 1), (v_1, c_2, 1), (v_1, c_3, 1), (v_2, c_1, 1), (v_2, c_2, 1), (v_3, c_1, 1), (v_3, c_3, 1),$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$(v_4, c_1, 1), (v_4, c_1, 2)$  โดยที่มีประเภทเส้นเชื่อมที่แตกต่างกัน 8 ประเภท สมาชิกของเมทริกซ์ฐานแทนด้วย  $b(e_{i,j,k})$

$$\mathbf{B} = \begin{bmatrix} 1 & 1 & 1 & 2 \\ 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 0 \end{bmatrix}$$

รูปที่ 4.4 ตัวอย่างเมทริกซ์ฐาน

เมื่อมีการใช้รหัสโพรโทกราฟสามารถทำได้โดยการนำเมทริกซ์ฐาน  $\mathbf{B}$  มาสร้างเมทริกซ์  $\mathbf{H}$  ที่มีขนาด  $M \times N = zM_p \times zN_p$  เมื่อ  $z$  คือค่าปัจจัยการยก (Lifting factor) วิธีการสร้างเมทริกซ์  $\mathbf{H}$  จากเมทริกซ์ฐาน  $\mathbf{B}$  คือทำซ้ำและสลับ (Copy-and-permute) [64] ขั้นตอนแรกคือการทำซ้ำคือทำซ้ำเมทริกซ์ฐานดังรูปที่ 4.5 (ก) สมมติให้มีค่าปัจจัยการยกคือ 2 ขั้นตอนที่สองคือการสลับเส้นเชื่อมประเภทเดียวกัน (เส้นเชื่อมแต่ละประเภทแทนด้วยกรอบสีเขียว) ไม่มีการสลับข้ามประเภทดังแสดงในรูปที่ 4.5 (ข) อัลกอริทึมการสลับที่มีประสิทธิภาพดีที่สุดในยมนิยมใช้คือ PEG (Progressive-edge-growth) [65] จะได้เมทริกซ์  $\mathbf{H}$  ที่ยังคงโครงสร้างของเมทริกซ์ฐานไว้ได้

Figure 4.5 illustrates the construction of matrix  $\mathbf{H}$  from base matrix  $\mathbf{B}$ . Part (a) shows the base matrix  $\mathbf{B}$  with  $z=2$  and its replication to form  $\mathbf{H}$  with  $M = zM_p$  and  $N = zN_p$ . Part (b) shows the same  $\mathbf{H}$  matrix after permuting connections within each class, also with  $M = zM_p$  and  $N = zN_p$ .

รูปที่ 4.5 (ก) การทำซ้ำเมทริกซ์ฐาน (ข) การสลับค่าระหว่างเมทริกซ์ฐาน

#### 4.1.3.2.2 รหัสแอลดีพีซีแบบ PBRL

รหัสแอลดีพีซีแบบ PBRL (Protograph-Based Raptor-Like) [66] เป็นรหัสโพรโทกราฟชนิดหนึ่งที่เป็นแบบปรับอัตรารหัสได้ (Rate compatible) โครงสร้างของรหัสแอลดีพีซีแบบ PBRL แสดงในรูปที่ 4.6 ซึ่งประกอบด้วย 2 ส่วนได้แก่ รหัสโพรโทกราฟที่มีอัตรารหัสสูงที่สุด (HRC: Highest-Rate Code) และรหัสโพรโทกราฟที่เพิ่มความซ้ำซ้อนของรหัสขึ้น (IRC: Incremental Redundancy Code) รหัสโพรโทกราฟที่เพิ่มความซ้ำซ้อนของรหัสขึ้นจะทำให้อัตรารหัสมีค่าต่ำลงเมื่อมีการส่งคำ

รหัวยาวขึ้น สามารถแสดงได้ดังนี้  
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\mathbf{B} = \begin{bmatrix} \mathbf{B}_{HRC} & \mathbf{0} \\ \mathbf{B}_{IRC} & \mathbf{I} \end{bmatrix} \quad (4.6)$$

เมื่อ  $\mathbf{B}_{HRC}$  และ  $\mathbf{B}_{IRC}$  คือรหัสโพโรโทกราฟ HRC และรหัสโพโรโทกราฟ IRC

กราฟแทนเนอร์ของรหัสโพโรโทกราฟ PBRL สามารถอธิบายได้ด้วยเมทริกซ์ฐานของรหัสแอลดีพีซีแบบโพโรโทกราฟ กำหนดให้  $\mathbf{0}$  คือเมทริกซ์ศูนย์ทั้งหมดและ  $\mathbf{I}$  คือเมทริกซ์เอกลักษณ์ ดังแสดงในรูป 4.6 (ข) เมื่อต้องการสร้างเมทริกซ์  $\mathbf{H}$  ก็จะใช้กระบวนการทำซ้ำและสลับ ส่วนที่เป็นรหัสโพโรโทกราฟที่มีอัตรารหัสสูงที่สุดจะมีโครงสร้างเหมือนกับโครงสร้าง Precode ในรหัสแรปเตอร์ (Raptor code) [67] ในทำนองเดียวกันโหนดตัวแปรที่มีดีกรี 1 ของส่วนรหัสโพโรโทกราฟที่เพิ่มความซ้ำซ้อนของรหัสขึ้นสามารถเข้ารหัสได้อย่างมีประสิทธิภาพเช่นเดียวกับผลรวมแบบมอดูโล 2 ของสัญลักษณ์ Precode ในลักษณะที่คล้ายกับรหัส LT (Luby Transform) [68] ในรหัสแรปเตอร์

โครงสร้างของรหัสแอลดีพีซีแบบ PBRL มีลักษณะคล้ายกับรหัสแรปเตอร์แต่มีความแตกต่างที่สำคัญบางประการคือ

1) ในรหัสแอลดีพีซีแบบ PBRL โหนดตัวแปรของส่วนที่เป็นรหัสโพโรโทกราฟส่วนที่เป็น HRC หรือเทียบเคียงกับ Precode ของรหัสแรปเตอร์ถูกส่งออกไปแต่ แต่ในรหัสแรปเตอร์ Precode ไม่ได้ถูกส่งออกไป

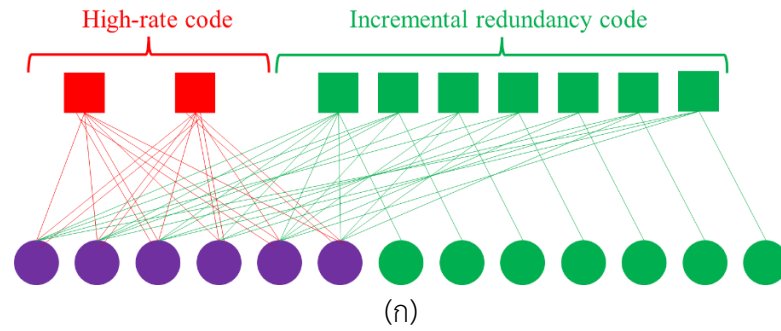
2) ในรหัสแรปเตอร์ส่วนที่เป็นรหัส LT เป็นแบบสุ่มค่าไปเรื่อย ๆ ไม่มีที่สิ้นสุด แต่ในรหัสแอลดีพีซีแบบ PBRL ส่วนที่เป็น IRC หรือเทียบรหัส LT ของรหัสแรปเตอร์เป็นแบบกำหนดได้ มีค่าจำกัดและได้รับการออกแบบมา

3) การถอดรหัสแอลดีพีซีแบบ PBRL แตกต่างจากการถอดรหัสแรปเตอร์

รหัสแอลดีพีซีแบบ PBRL สามารถพิจารณาเป็นการต่อเรียงของรหัสแอลดีพีซีที่มีอัตรารหัสสูงที่สุด  $\mathbf{H}_{HRC}$  และรหัสแอลจีดีเอ็ม (LDGM: Low-Density Generator Matrix) [69] ที่มีเมทริกซ์ตัวกำเนิดแบบเป็นระบบ

$$\mathbf{G} = \begin{bmatrix} \mathbf{I} & \mathbf{H}_{HRC}^T \end{bmatrix} \quad (4.7)$$

เมื่อ  $(\bullet)^T$  คือสัญลักษณ์ทรานสโพสเมทริกซ์ รหัสแอลจีดีเอ็มเป็นที่ทราบกันดีว่ามี Error floor ที่สูงและมีระยะทางต่ำสุดเชิงเส้นกำกับ (Asymptotic minimum distance) [69] ที่น้อย แต่อย่างไรก็ตามการต่อเรียงรหัสแอลจีดีเอ็มและรหัสแอลดีพีซีที่มีอัตรารหัสสูง ได้มีการจัดการกับปัญหา Error floor ที่มีค่าสูงแล้ว



$$\mathbf{B}_{PBRL} = \begin{bmatrix} 1 & 1 & 2 & 1 & 2 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 2 & 2 & 1 & 2 & 1 & 2 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ \hline 1 & 1 & 1 & 1 & 1 & 1 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 1 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 1 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \end{bmatrix}$$

รูปที่ 4.6 (ก) ตัวอย่างกราฟฐาน PBRL (ข) ตัวอย่างเมทริกซ์ฐาน PBRL

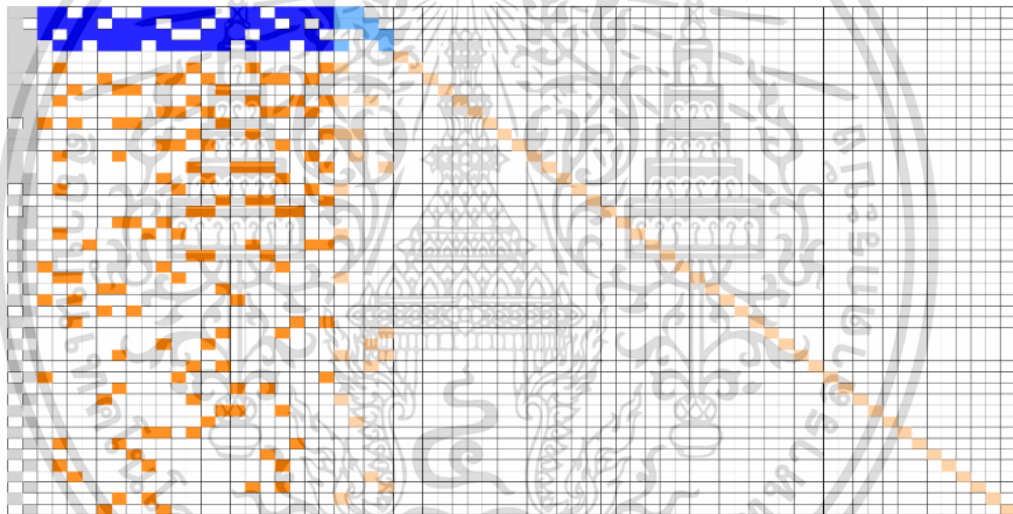
#### 4.1.3.2.3 รหัสแอลดีพีซีในระบบสื่อสารมาตรฐาน 5G

สำหรับรหัสแอลดีพีซีที่ใช้ในมาตรฐาน 5G จะเป็นรหัสแอลดีพีซีแบบ PBRL ซึ่งจะใช้เมทริกซ์ฐาน 2 แบบได้แก่ เมทริกซ์ฐาน 1 และเมทริกซ์ฐาน 2 เพื่อให้สามารถรองรับความยาวข้อมูลและอัตรารหัสที่หลากหลาย เมทริกซ์ฐานที่ใช้ในมาตรฐาน 5G แสดงรูปที่ 3.7 และ 3.8 รหัสแอลดีพีซีสำหรับช่องสัญญาณข้อมูลในมาตรฐาน release 15 [12] เริ่มต้นจากการพิจารณาค่า MCS (Modulation and coding scheme) เพื่อให้ทราบอัตรารหัสที่ต้องใช้ในการเข้ารหัส แล้วทำการเลือกเมทริกซ์ฐานของรหัสแอลดีพีซี ซึ่งเมทริกซ์ฐาน 1 ใช้สำหรับบล็อกข้อมูลขนาดใหญ่ ( $44 \leq K \leq 8448$ ) และอัตรารหัสสูงในช่วง ( $1/3 \leq R \leq 8/9$ ) ในขณะที่เมทริกซ์ฐาน 2 ใช้สำหรับบล็อกข้อมูลขนาดเล็ก ( $20 \leq K \leq 3840$ ) และอัตรารหัสที่ต่ำในช่วง ( $1/5 \leq R \leq 10/13$ ) โดยมีเงื่อนไขในการพิจารณาเลือกดังนี้

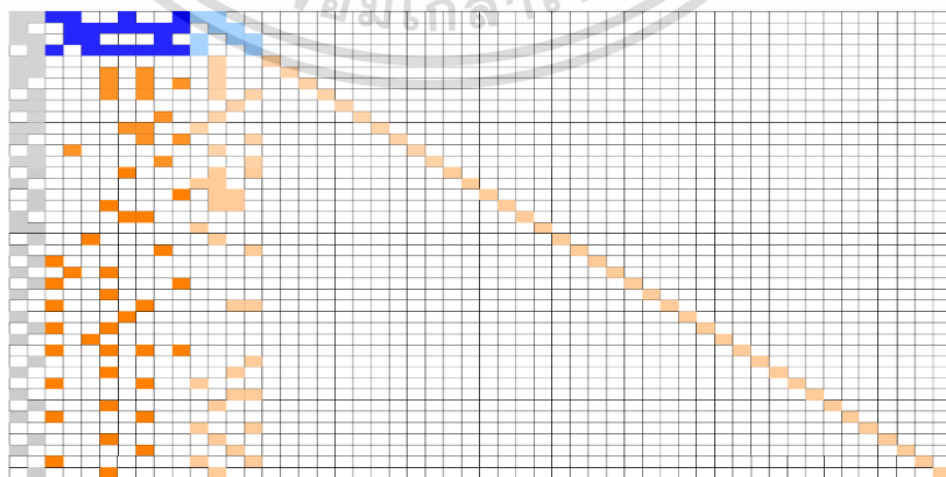
- 1) กรณีความยาวข้อมูลเท่ากับ  $K \leq 292$  บิต ใช้เมทริกซ์ฐาน 2
- 2) กรณีอัตรารหัสเท่ากับ  $R \leq 0.67$  และความยาวข้อมูลเท่ากับ  $K \leq 3824$  บิต ใช้เมทริกซ์ฐาน 2
- 3) กรณีอัตรารหัสเท่ากับ  $R \leq 0.25$  ใช้เมทริกซ์ฐาน 2
- 4) กรณีอื่น ๆ ใช้ เมทริกซ์ฐาน 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างของรหัสแอลดีพีซี ในมาตรฐาน release 15 หรือ มาตรฐาน 5G เฟส 1 แสดงได้โดยใช้เมทริกซ์  $\mathbf{H}$  เมทริกซ์ฐาน 1 ดังรูปที่ 4.7 และเมทริกซ์ฐาน 2 ดังรูปที่ 4.8 ซึ่งมีรายละเอียดของเมทริกซ์ฐานของทั้งเมทริกซ์ฐาน 1 และเมทริกซ์ฐาน 2 แสดงดังตารางที่ 4.1 โดยช่องสี่เหลี่ยมคือเมทริกซ์ศูนย์ขนาด  $Z \times Z$  และช่องสี่เหลี่ยมๆ คือเมทริกซ์ที่มีการสลับเปลี่ยนแบบเวียนหมุน (Circular permutation matrix) ขนาด  $Z \times Z$  การเลือกค่า  $Z$  ต่ำสุดจากตารางที่ 4.2 โดยสอดคล้องกับเงื่อนไข  $K, Z \geq K'$  และ  $K = 22Z$  ในกรณีเมทริกซ์ฐาน 1 และ  $K = 10Z$  ในกรณีเมทริกซ์ฐาน 2 เมื่อ  $K$ , คือความยาวบล็อกข้อมูล และ  $K'$  คือความยาวบล็อกข้อมูลที่มีการเติมบิตรหัส CRC (Cyclic redundancy check) ต่อท้าย เมื่อทราบค่า  $Z$  แล้วจึงสามารถสร้างเมทริกซ์ที่มีการสลับเปลี่ยนแบบเวียนหมุนได้จากการนำเมทริกซ์เอกลักษณ์มาดำเนินการหมุนแบบวนกลับ โดยจำนวนครั้งของการหมุนสามารถหาได้จาก  $P_{i,j} = v_{i,j} \oplus Z$  โดยค่า  $v_{i,j}$  หาได้จากตารางที่ 4.3 และ 4.4 โดยขึ้นอยู่กับค่าดัชนีเซต (Set index) และเมทริกซ์ฐานของรหัสแอลดีพีซี



รูปที่ 4.7 เมทริกซ์ฐาน 1



รูปที่ 4.8 เมทริกซ์ฐาน 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 รายละเอียดเมทริกซ์ฐาน

รายละเอียดของเมทริกซ์ฐาน	เมทริกซ์ฐาน 1	เมทริกซ์ฐาน 2
อัตรารหัส ( $R$ ) ต่ำสุด	1/3	1/5
ขนาดของเมทริกซ์	46x68	42x52
หลักที่เกี่ยวข้องกับบิตข้อมูล	1-22	1-10
หลักที่เกี่ยวข้องกับบิตพาริตี	23-68	11-52
หลักที่เกี่ยวข้องกับบิต puncture	1-2	1-2

ตารางที่ 4.2 ความสัมพันธ์ระหว่างเซตของการเลื่อนค่า (Shift-value set) และขนาดการยกระดับ ( $Z$ ) สำหรับรหัสแอลดีพีซีที่ใช้ใน 5G NR [12]

ดัชนีเซตของการเลื่อนค่า	ขนาดการยกระดับ ( $Z$ )
0	2, 4, 8, 16, 32, 64, 128, 256
1	3, 6, 12, 24, 48, 96, 192, 384
2	5, 10, 20, 40, 80, 160, 320
3	7, 14, 28, 56, 112, 224
4	9, 18, 36, 72, 144, 288
5	11, 22, 44, 88, 176, 352
6	13, 26, 52, 104, 208
7	15, 30, 60, 120, 140

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.3 รายละเอียดค่า  $V_{i,j}$  สำหรับเมทริกซ์ฐาน 1 ของรหัสแอลดีพีซี [12]

$H_{BG}$		$V_{i,j}$							$H_{BG}$		$V_{i,j}$										
Row index $i$	Column index $j$	Set index $i_{LS}$							Row index $i$	Column index $j$	Set index $i_{LS}$										
		0	1	2	3	4	5	6	7			0	1	2	3	4	5	6	7		
0	0	250	307	73	223	211	294	0	135	15	1	96	2	290	120	4	348	6	138		
	1	69	19	15	16	198	118	0	227		10	65	210	60	131	183	15	81	81	220	
	2	226	50	103	94	188	167	0	126		13	63	318	130	209	108	81	182	173		
	3	159	369	49	91	186	330	0	134		18	75	55	184	209	68	176	53	142		
	5	100	181	240	74	219	207	0	84		25	179	269	51	81	64	113	46	49		
	6	10	216	39	10	4	165	0	83		37	0	0	0	0	0	0	0	0		
	9	59	317	15	0	29	243	0	53		1	64	13	69	154	270	190	88	78		
	10	229	288	162	205	144	250	0	225		3	49	338	140	164	13	293	198	152		
	11	110	109	215	216	116	1	0	205		11	49	57	45	43	99	332	160	84		
	12	191	47	164	21	216	339	0	128		20	51	289	115	189	54	331	122	5		
	13	9	357	133	215	115	201	0	75		22	154	57	300	101	0	114	182	205		
	15	195	215	298	14	233	53	0	135		38	0	0	0	0	0	0	0	0		
	16	23	106	110	70	144	347	0	217		0	7	260	257	56	153	110	91	183		
	18	190	242	113	141	95	304	0	220		14	164	303	147	110	137	228	184	112		
	19	35	180	16	198	216	167	0	90		16	59	81	128	200	0	247	30	106		
	20	239	330	189	104	73	47	0	105		17	1	358	51	63	0	116	3	219		
	21	31	346	32	81	261	188	0	137		21	144	375	228	4	162	190	155	129		
	22	1	1	1	1	1	1	0	1		39	0	0	0	0	0	0	0	0		
	23	0	0	0	0	0	0	0	0		1	42	130	260	199	161	47	1	183		
	1	0	2	76	303	141	179	77	22		96	12	233	163	294	110	151	286	41	215	
		2	239	76	294	45	162	225	11		236	13	8	280	291	200	0	246	167	180	
		3	117	73	27	151	223	96	124		136	18	155	132	141	143	241	181	68	143	
		4	124	288	261	46	256	338	0		221	19	147	4	295	186	144	73	148	14	
5		71	144	161	119	160	268	10	128	40	0	0	0	0	0	0	0	0			
7		222	331	133	157	76	112	0	92	0	60	145	64	8	0	87	12	179			
8		104	331	4	133	202	302	0	172	1	73	213	181	6	0	110	6	108			
9		173	178	80	87	117	50	2	56	7	72	344	101	103	118	147	166	159			
11		220	295	129	206	109	167	16	11	8	127	242	270	198	144	258	184	138			
12		102	342	300	93	15	253	60	189	10	224	197	41	8	0	204	191	196			
14		109	217	76	79	72	334	0	95	41	0	0	0	0	0	0	0	0			
15		132	99	266	9	152	242	6	85	0	151	187	301	105	265	89	6	77			
16		142	354	72	118	158	257	30	153	3	186	206	162	210	81	65	12	187			
17		155	114	83	194	147	133	0	87	9	217	264	40	121	90	155	15	203			
19		255	331	260	31	156	9	168	163	11	47	341	130	214	144	244	5	167			
21		28	112	301	187	119	302	31	216	22	160	59	10	183	228	30	30	130			
22		0	0	0	0	0	0	105	0	42	0	0	0	0	0	0	0	0			
23		0	0	0	0	0	0	0	0	1	249	205	79	192	64	162	6	197			
24		0	0	0	0	0	0	0	0	5	121	102	175	131	46	264	86	122			
2		0	106	205	68	207	258	226	132	189	16	109	328	132	220	266	346	96	215		
		1	111	250	7	203	167	35	37	4	20	131	213	283	50	9	143	42	65		
		2	185	328	80	31	220	213	21	225	21	171	97	103	106	18	109	199	216		
		4	63	332	280	176	133	302	180	151	43	0	0	0	0	0	0	0	0		
	5	117	256	38	180	243	111	4	236	0	64	30	177	53	72	280	44	25			
	6	93	161	227	186	202	265	149	117	12	142	11	20	0	189	157	58	47			
	7	229	267	202	95	218	128	48	179	13	188	233	55	3	72	236	130	126			
	8	177	160	200	153	63	237	38	92	17	158	22	316	148	257	113	131	178			
	9	95	63	71	177	0	294	122	24	44	0	0	0	0	0	0	0	0			
	10	39	129	106	70	3	127	195	68	1	156	24	249	88	180	18	45	185			
	13	142	200	295	77	74	110	155	6	2	147	89	50	203	0	6	18	127			
	14	225	88	283	214	229	286	28	101	10	170	61	133	168	0	181	132	117			
	15	225	53	301	77	0	125	85	33	18	152	27	105	122	165	304	100	199			
	17	245	131	184	198	216	131	47	96	45	0	0	0	0	0	0	0	0			
	18	205	240	246	117	269	163	179	125	0	112	298	289	49	236	38	9	32			
	19	251	205	230	223	200	210	42	67	3	86	158	280	157	199	170	125	178			
	20	117	13	276	90	234	7	66	230	4	236	235	110	64	0	249	191	2			
	24	0	0	0	0	0	0	0	0	11	116	339	187	193	266	288	28	156			
	25	0	0	0	0	0	0	0	0	22	222	234	281	124	0	194	6	58			
	3	0	121	276	220	201	187	97	4	128	46	0	0	0	0	0	0	0	0		
		1	89	87	208	18	145	94	6	23	1	23	72	172	1	205	279	4	27		
		3	84	0	30	165	166	49	33	162	6	136	17	295	166	0	255	74	141		
		4	20	275	197	5	108	279	113	220	7	116	383	96	65	0	111	16	11		
6		150	199	61	45	82	139	49	43	14	182	312	46	81	183	54	28	181			
7		131	153	175	142	132	166	21	186	47	0	0	0	0	0	0	0	0			
8		243	56	79	16	197	91	6	96	0	195	71	270	107	0	325	21	163			
10		136	132	281	34	41	106	151	1	2	243	81	110	176	0	326	142	131			
11		86	305	303	155	162	246	83	216	4	215	76	318	212	0	226	192	169			
12		246	231	253	213	57	345	154	22	15	61	136	67	127	277	99	197	98			
13		219	341	164	147	36	269	87	24	48	0	0	0	0	0	0	0	0			
14		211	212	53	69	115	185	5	167	1	25	194	210	208	45	91	98	165			
16		240	304	44	96	242	249	92	200	6	104	194	29	141	36	326	140	232			
17		76	300	28	74	165	215	173	32	8	194	101	304	174	72	268	22	9			
18		244	271	77	99	0	143	120	235	49	0	0	0	0	0	0	0	0			
20		144	39	319	30	113	121	2	172	0	128	222	11	146	275	102	4	32			
21		12	357	68	158	108	121	142	219	4	165	19	293	153	0	1	1	43			
22		1	1	1	1	1	1	0	1	19	181	244	50	217	155	40	40	200			
25		0	0	0	0	0	0	0	0	21	63	274	234	114	62	167	93	205			
4		0	157	332	233	170	246	42	24	50	0	0	0	0	0	0	0	0	0		
		1	102	181	205	10	235	256	204	1	86	252	27	150	0	273	92	232			
		26	0	0	0	0	0	0	0	14	236	5	308	11	180	104	136	32			
		0	205	195	83	164	261	219	185	18	84	147	117	53	0	243	106	118			
5	1	236	14	292	59	181	130	100	25	6	78	29	68	42	107	6	103				
	3	194	115	50	86	72	251	24	51	0	0	0	0	0	0	0	0				
	12	231	166	318	80	283	322	65	0	216	159	91	34	0	171	2	170				
	16	28	241	201	182	254	295	207	10	73	229	23	130	90	16	88	199				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.3 (ต่อ) รายละเอียดค่า  $V_{i,j}$  สำหรับเมทริกซ์ฐาน 1 ของรหัสแอลดีพีซี [12]

$H_{BG}$		$V_{i,j}$								$H_{BG}$		$V_{i,j}$								
Row index $i$	Column index $j$	Set index $i_{LS}$								Row index $i$	Column index $j$	Set index $i_{LS}$								
		0	1	2	3	4	5	6	7			0	1	2	3	4	5	6	7	
6	21	123	51	267	130	79	258	161	180	31	13	120	260	105	210	252	95	112	26	
	22	115	157	279	153	144	283	72	180		24	9	90	135	123	173	212	20	105	
	27	0	0	0	0	0	0	0	0		52	0	0	0	0	0	0	0	0	
6	0	183	278	289	158	80	294	6	199	32	1	95	100	222	175	144	101	4	73	
	6	22	257	21	119	144	73	27	22		7	177	215	308	49	144	297	49	149	
	10	28	1	293	113	169	330	163	23		22	172	258	66	177	166	279	125	175	
	11	67	351	13	21	90	99	50	100		25	61	256	162	128	19	222	194	108	
	13	244	92	232	63	59	172	48	92		53	0	0	0	0	0	0	0	0	
	17	11	253	302	51	177	150	24	207		0	221	102	210	192	0	351	6	103	
	18	157	18	138	136	151	284	38	52		12	112	201	22	209	211	265	126	110	
	20	211	225	235	116	108	305	91	13		14	199	175	271	58	36	338	63	151	
7	28	0	0	0	0	0	0	0	33	24	121	287	217	30	162	83	20	211		
	0	220	9	12	17	169	3	145		77	54	0	0	0	0	0	0	0	0	
	1	44	62	88	76	189	103	88		146	1	2	323	170	114	0	56	10	199	
	4	159	316	207	104	154	224	112		209	2	187	8	20	49	0	304	30	132	
	7	31	333	50	100	184	297	153		32	11	41	361	140	161	76	141	6	172	
	8	167	290	25	150	104	215	159		166	21	211	105	33	137	18	101	92	65	
	14	104	114	76	158	164	39	76		18	55	0	0	0	0	0	0	0	0	
	29	0	0	0	0	0	0	0		0	0	127	230	187	82	197	60	4	161	
8	0	112	307	295	33	54	348	172	181	34	7	167	148	296	186	0	320	153	237	
	1	4	179	133	95	0	75	2	105		15	164	202	5	68	108	112	197	142	
	3	7	165	130	4	252	22	131	141		17	159	312	44	150	0	54	155	180	
	12	211	18	231	217	41	312	141	223		56	0	0	0	0	0	0	0	0	
	16	102	39	296	204	98	224	96	177		1	161	320	207	192	199	100	4	231	
	19	164	224	110	39	46	17	99	145		6	197	335	158	173	278	210	45	174	
	21	109	368	269	58	15	59	101	199		12	207	2	55	26	0	195	168	145	
	22	241	67	245	44	230	314	35	153		22	103	266	285	187	205	268	185	100	
9	24	90	170	154	201	54	244	116	38	35	57	0	0	0	0	0	0	0		
	30	0	0	0	0	0	0	0	0		0	37	210	259	222	216	135	6	11	
	0	103	366	189	9	162	156	6	169		14	105	313	179	157	16	15	200	207	
	1	182	232	244	37	159	88	10	12		15	51	297	178	0	0	35	177	42	
	10	109	321	36	213	93	293	145	206		18	120	21	160	6	0	188	43	100	
	11	21	133	286	105	134	111	53	221		58	0	0	0	0	0	0	0	0	
	13	142	57	151	89	45	92	201	17		1	198	269	298	81	72	319	82	59	
	17	14	303	267	185	132	152	4	212		13	220	82	15	195	144	236	2	204	
10	18	61	63	135	109	76	23	164	92	36	23	122	115	115	138	0	85	135	161	
	20	216	82	209	218	209	337	173	205		59	0	0	0	0	0	0	0	0	
	31	0	0	0	0	0	0	0	0		0	167	185	151	123	190	164	91	121	
	1	98	101	14	82	178	175	126	116		9	151	177	179	90	0	196	64	90	
	2	149	339	80	165	1	253	77	151		10	157	289	64	73	0	209	198	26	
	4	167	274	211	174	28	27	156	70		12	163	214	181	10	0	246	100	140	
	7	160	111	75	19	267	231	16	230		60	0	0	0	0	0	0	0	0	
	8	49	383	161	194	234	49	12	115		1	173	258	102	12	153	236	4	115	
11	14	58	354	311	103	201	267	70	84	37	3	139	93	77	77	0	264	28	188	
	32	0	0	0	0	0	0	0	0		7	149	346	192	49	165	37	109	168	
	0	77	48	16	52	55	25	184	45		19	0	297	208	114	117	272	188	52	
	1	41	102	147	11	23	322	194	115		61	0	0	0	0	0	0	0	0	
	12	83	8	290	2	274	200	123	134		0	157	175	32	67	216	304	10	4	
	16	182	47	289	35	181	351	16	1		8	137	37	80	45	144	237	84	103	
	21	78	188	177	32	273	166	104	152		17	149	312	197	96	2	135	12	30	
	22	252	334	43	84	39	338	109	165		62	0	0	0	0	0	0	0	0	
12	23	22	115	280	201	26	192	124	107	38	1	167	52	154	23	0	123	2	53	
	33	0	0	0	0	0	0	0	0		3	173	314	47	215	0	77	75	189	
	0	160	77	229	142	225	123	6	186		9	139	139	124	60	0	25	142	215	
	1	42	186	235	175	162	217	20	215		18	151	288	207	167	183	272	128	24	
	10	21	174	169	136	244	142	203	124		63	0	0	0	0	0	0	0	0	
	11	32	232	48	3	151	110	153	180		0	149	113	226	114	27	288	163	222	
	13	234	50	105	28	238	176	104	98		4	157	14	65	91	0	83	10	170	
	18	7	74	52	182	243	76	207	80		24	137	218	126	78	35	17	162	71	
13	34	0	0	0	0	0	0	0	39	64	0	0	0	0	0	0	0	0		
	0	177	313	39	81	231	311	52		220	1	151	113	228	206	52	210	1	22	
	3	248	177	302	56	0	251	147		185	16	163	132	69	22	243	3	163	127	
	7	151	266	303	72	216	265	1		154	18	173	114	176	134	0	53	99	49	
	20	185	115	160	217	47	94	16		178	25	139	168	102	161	270	167	98	125	
	23	62	370	37	78	36	81	46		150	65	0	0	0	0	0	0	0	0	
	35	0	0	0	0	0	0	0		0	0	139	80	234	84	18	79	4	191	
	0	206	142	78	14	0	22	1		124	7	157	78	227	4	0	244	6	211	
14	12	55	248	299	175	186	322	202	144	40	9	163	163	259	9	0	293	142	187	
	15	206	137	54	211	253	277	118	182		22	173	274	260	12	57	272	3	148	
	16	127	89	61	191	16	156	130	95		66	0	0	0	0	0	0	0	0	
	17	16	347	179	51	0	66	1	72		1	149	135	101	184	168	82	181	177	
	21	229	12	258	43	79	78	2	76		6	151	149	228	121	0	67	45	114	
	36	0	0	0	0	0	0	0	0		10	167	15	126	29	144	235	153	93	
	0	40	241	229	90	170	176	173	39		45	67	0	0	0	0	0	0	0	0
	15	0	40	241	229	90	170	176	173			39	67	0	0	0	0	0	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.4 รายละเอียดค่า  $V_{i,j}$  สำหรับเมทริกซ์ฐาน 2 ของรหัสแอลดีพีซี [12]

$H_{BG}$		$V_{i,j}$								$H_{BG}$		$V_{i,j}$							
Row index $i$	Column index $j$	Set index $i_{LS}$								Row index $i$	Column index $j$	Set index $i_{LS}$							
		0	1	2	3	4	5	6	7			0	1	2	3	4	5	6	7
0	0	9	174	0	72	3	156	143	145	16	26	0	0	0	0	0	0	0	0
	1	117	97	0	110	26	143	19	131	17	1	254	158	0	48	120	134	57	196
	2	204	166	0	23	53	14	176	71	5	124	23	24	132	43	23	201	173	
	3	26	66	0	181	35	3	165	21	11	114	9	109	206	65	62	142	195	
	6	189	71	0	95	115	40	196	23	12	64	6	18	2	42	163	35	218	
	9	205	172	0	8	127	123	13	112	27	0	0	0	0	0	0	0	0	0
	10	0	0	0	1	0	0	0	1	0	220	186	0	68	17	173	129	128	
	11	0	0	0	0	0	0	0	0	6	194	6	18	16	106	31	203	211	
	0	167	27	137	53	19	17	18	142	7	50	46	86	156	142	22	140	210	
	3	166	36	124	156	94	65	27	174	28	0	0	0	0	0	0	0	0	
	4	253	48	0	115	104	63	3	183	0	87	58	0	35	79	13	110	39	
5	125	92	0	156	66	1	102	27	1	20	42	158	138	28	135	124	84		
6	226	31	88	115	84	55	185	96	10	185	156	154	86	41	145	52	88		
7	156	187	0	200	98	37	17	23	29	0	0	0	0	0	0	0	0		
8	224	185	0	29	69	171	14	9	1	26	76	0	6	2	128	196	117		
9	252	3	55	31	50	133	180	167	4	105	61	148	20	103	52	35	227		
11	0	0	0	0	0	0	0	0	11	29	153	104	141	78	173	114	6		
12	0	0	0	0	0	0	0	0	30	0	0	0	0	0	0	0	0		
0	81	25	20	152	95	98	126	74	0	76	157	0	80	91	156	10	238		
1	114	114	94	131	106	168	163	31	8	42	175	17	43	75	166	122	13		
3	44	117	99	46	92	107	47	3	13	210	67	33	81	81	40	23	11		
4	52	110	9	191	140	82	183	53	31	0	0	0	0	0	0	0	0		
8	240	114	108	91	111	142	132	155	1	222	20	0	49	54	18	202	195		
10	1	1	1	0	1	1	1	0	2	63	52	4	1	132	163	126	44		
12	0	0	0	0	0	0	0	0	32	0	0	0	0	0	0	0	0		
13	0	0	0	0	0	0	0	0	0	23	106	0	156	68	110	52	5		
1	8	136	38	185	120	53	36	239	3	235	86	75	54	115	132	170	94		
2	58	175	15	6	121	174	48	171	5	238	95	158	134	56	150	13	111		
4	158	113	102	36	22	174	18	95	33	0	0	0	0	0	0	0	0		
5	104	72	146	124	4	127	111	110	1	46	182	0	153	30	113	113	81		
6	209	123	12	124	73	17	203	159	2	139	153	69	88	42	108	161	19		
7	54	118	57	110	49	89	3	199	9	8	64	87	63	101	61	88	130		
8	18	28	53	156	128	17	191	43	34	0	0	0	0	0	0	0	0		
9	128	186	46	133	79	105	160	75	0	228	45	0	211	128	72	197	66		
10	0	0	0	1	0	0	0	1	5	156	21	65	94	63	136	194	95		
13	0	0	0	0	0	0	0	0	35	0	0	0	0	0	0	0	0		
0	179	72	0	200	42	86	43	29	2	29	67	0	90	142	36	164	146		
1	214	74	136	16	24	67	27	140	7	143	137	100	6	28	38	172	66		
11	71	29	157	101	51	83	117	180	12	160	55	13	221	100	53	49	190		
14	0	0	0	0	0	0	0	0	13	122	85	7	6	133	145	161	86		
0	231	10	0	185	40	79	136	121	36	0	0	0	0	0	0	0	0		
1	41	44	131	138	140	84	49	41	0	8	103	0	27	13	42	168	64		
5	194	121	142	170	84	35	36	169	6	151	50	32	118	10	104	193	181		
7	159	80	141	219	137	103	132	88	37	0	0	0	0	0	0	0	0		
11	103	48	64	193	71	60	62	207	1	98	70	0	216	106	64	14	7		
15	0	0	0	0	0	0	0	0	2	101	111	126	212	77	24	186	144		
0	155	129	0	123	109	47	7	137	5	135	168	110	193	43	149	46	16		
5	228	92	124	55	87	154	34	72	38	0	0	0	0	0	0	0	0		
7	45	100	99	31	107	10	198	172	0	18	110	0	108	133	139	50	25		
9	28	49	45	222	133	155	168	124	4	28	17	154	61	25	161	27	57		
11	158	184	148	209	139	29	12	56	39	0	0	0	0	0	0	0	0		
16	0	0	0	0	0	0	0	0	2	71	120	0	106	87	84	70	37		
1	129	80	0	103	97	48	163	86	5	240	154	35	44	56	173	17	139		
5	147	186	45	13	135	125	78	186	7	9	52	51	185	104	93	50	221		
7	140	16	148	105	35	24	143	87	9	84	56	134	176	70	29	6	17		
11	3	102	96	150	108	47	107	172	40	0	0	0	0	0	0	0	0		
13	116	143	78	181	65	55	58	154	1	106	3	0	147	80	117	115	201		
17	0	0	0	0	0	0	0	0	13	1	170	20	182	139	148	189	46		
0	142	118	0	147	70	53	101	176	41	0	0	0	0	0	0	0	0		
1	94	70	65	43	69	31	177	169	0	242	84	0	108	32	116	110	179		
12	230	152	87	152	88	161	22	225	5	44	8	20	21	89	73	0	14		
18	0	0	0	0	0	0	0	0	12	166	17	122	110	71	142	163	116		
1	203	28	0	2	97	104	186	167	42	0	0	0	0	0	0	0	0		
8	205	132	97	30	40	142	27	238	2	132	165	0	71	135	105	163	46		
10	61	185	51	184	24	99	205	48	7	164	179	88	12	6	137	173	2		
11	247	178	85	83	49	64	81	68	10	235	124	13	109	2	29	179	106		
19	0	0	0	0	0	0	0	0	43	0	0	0	0	0	0	0	0		
0	11	59	0	174	46	111	125	38	0	147	173	0	29	37	11	197	184		
1	185	104	17	150	41	25	60	217	12	85	177	19	201	25	41	191	135		
6	0	22	156	8	101	174	177	208	13	36	12	78	69	114	162	193	141		
7	117	52	20	56	96	23	51	232	44	0	0	0	0	0	0	0	0		
20	0	0	0	0	0	0	0	0	1	57	77	0	91	60	126	157	85		
0	11	32	0	99	28	91	39	178	5	40	184	157	165	137	152	167	225		
7	236	92	7	138	30	175	29	214	11	63	18	6	55	93	172	181	175		
9	210	174	4	110	116	24	35	168	45	0	0	0	0	0	0	0	0		
13	56	154	2	99	64	141	8	51	0	140	25	0	1	121	73	197	178		
21	0	0	0	0	0	0	0	0	2	38	151	63	175	129	154	167	112		
1	63	39	0	46	33	122	18	124	7	154	170	82	83	26	129	179	106		
3	111	93	113	217	122	11	155	122	46	0	0	0	0	0	0	0	0		
11	14	11	48	109	131	4	49	72	10	219	37	0	40	97	167	181	154		
22	0	0	0	0	0	0	0	0	13	151	31	144	12	56	38	193	114		
0	83	49	0	37	76	29	32	48	47	0	0	0	0	0	0	0	0		
1	2	125	112	113	37	91	53	57	1	31	84	0	37	1	112	157	42		
8	38	35	102	143	62	27	95	167	5	66	151	93	97	70	7	173	41		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.4 (ต่อ) รายละเอียดค่า  $V_{i,j}$  สำหรับเมทริกซ์ฐาน 2 ของรหัสแอลดีพีซี [12]

$H_{BG}$		$V_{i,j}$								$H_{BG}$		$V_{i,j}$							
Row index $i$	Column index $j$	Set index $i_{LS}$								Row index $i$	Column index $j$	Set index $i_{LS}$							
		0	1	2	3	4	5	6	7			0	1	2	3	4	5	6	7
	13	222	166	26	140	47	127	186	219		11	38	190	19	46	1	19	191	105
	23	0	0	0	0	0	0	0	0		48	0	0	0	0	0	0	0	0
	1	115	19	0	36	143	11	91	82		0	239	93	0	106	119	109	181	167
	6	145	118	138	95	51	145	20	232		7	172	132	24	181	32	6	157	45
	11	3	21	57	40	130	8	52	204		12	34	57	138	154	142	105	173	189
	13	232	163	27	116	97	166	109	162		49	0	0	0	0	0	0	0	0
	24	0	0	0	0	0	0	0	0		2	0	103	0	98	6	160	193	78
	0	51	68	0	116	139	137	174	38		10	75	107	36	35	73	156	163	67
	10	175	63	73	200	96	103	108	217		13	120	163	143	36	102	82	179	180
	11	213	81	99	110	128	40	102	157		50	0	0	0	0	0	0	0	0
	25	0	0	0	0	0	0	0	0		1	129	147	0	120	48	132	191	53
	1	203	87	0	75	48	78	125	170		5	229	7	2	101	47	6	197	215
	9	142	177	79	158	9	158	31	23		11	118	60	55	81	19	8	167	230
	11	8	135	111	134	28	17	54	175		51	0	0	0	0	0	0	0	0
	12	242	64	143	97	8	165	176	202										

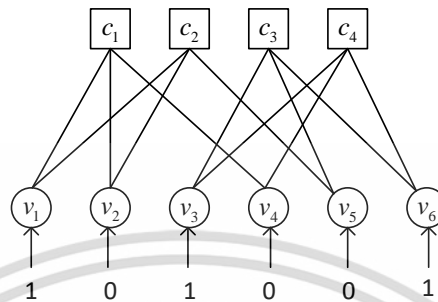
## 4.2 การถอดรหัสแอลดีพีซี

เนื่องจากรหัสแอลดีพีซีเป็นรหัสบล็อกเชิงเส้นดังนั้นจะขอกกล่าวถึงวิธีการถอดรหัสแบบบล็อกเชิงเส้นก่อน ในทางปฏิบัติวิธีการที่ใช้ในการถอดรหัสบล็อกเชิงเส้นคือการถอดรหัสแบบซินโดรม (Syndrome decoding) [70] ค่าซินโดรมจะขึ้นอยู่กับเวกเตอร์ความผิดพลาด ถ้าคำรหัสไม่มีความผิดพลาดเลย (เวกเตอร์ความผิดพลาดเป็นเวกเตอร์ศูนย์) ค่าซินโดรมจะเป็นศูนย์เสมอ โดยทั่วไปการถอดรหัสบล็อกเชิงเส้นจะอาศัยตารางค้นหา (LUT: LookUp Table) [70] ซึ่งแสดงค่าความสัมพันธ์ระหว่างค่าซินโดรมและเวกเตอร์ความผิดพลาด สัญญาณที่ภาครับได้รับ  $\mathbf{r}$  จะถูกนำมาคำนวณหาค่าซินโดรม  $\mathbf{s}$  จาก  $\mathbf{s} = \mathbf{H}\mathbf{r}^T$  จากนั้นก็หาเวกเตอร์ความผิดพลาด  $\mathbf{e}$  ที่สอดคล้องกับค่าซินโดรมจากตารางค้นหา เมื่อได้เวกเตอร์ความผิดพลาดจากตารางแล้วก็นำมาใช้ในการถอดรหัสจาก  $\hat{\mathbf{c}} = \mathbf{r} \oplus \mathbf{e}$  การถอดรหัสข้อมูลแบบซินโดรมสามารถช่วยแก้ไขบิตที่มีความผิดพลาดได้ การถอดรหัสดังกล่าวใช้การได้ดีกับระบบที่มีคำรหัสสั้น ๆ เช่นรหัสแฮมมิง (Hamming code) [71] และบิตผิดพลาดในคำรหัสจะต้องมีจำนวนน้อย แต่ว่าในรหัสแอลดีพีซีนั้นความยาวของคำรหัส  $N$  จะต้องมีความยาวมาก ๆ เพื่อให้มีความหนาแน่น (ของเลขหนึ่ง) ต่ำ ตามชื่อของรหัสแอลดีพีซี ดังนั้นถ้าความยาวของข้อมูล  $K$  คำรหัสที่เป็นไปได้ทั้งหมด คือ  $2^K$  ซึ่งเมื่อนำมาสร้างตารางค้นหาจะได้ตารางที่มีขนาดใหญ่มาก ซึ่งไม่สามารถใช้ได้จริงในทางปฏิบัติ

### 4.2.1 การถอดรหัสแบบ BP (Belief Propagation)

สำหรับการถอดรหัสแอลดีพีซีที่มีคำรหัสยาวมาก ๆ จะอาศัยความสัมพันธ์กันของเมทริกซ์พาริตีเช็ก  $\mathbf{H}$  มาช่วยในการถอดรหัสข้อมูล โดยทั่วไปรหัสแอลดีพีซีจะใช้อัลกอริทึมที่มีชื่อว่าอัลกอริทึมส่งผ่านข่าวสาร (MP: Message Passing algorithm) [56] ซึ่งบางที่เรียกว่าอัลกอริทึมผลคูณรวม (SPA: Sum-Product Algorithm) หรืออัลกอริทึมการแพร่กระจายความเชื่อมั่น (BP: Belief Propagation algorithm) โดยอัลกอริทึมดังกล่าวจะมีการคำนวณหาผลรวมที่โหนดตัวแปรแล้วส่งผ่านข่าวสาร (ค่าความเชื่อมั่น) ผ่านเส้นเชื่อมไปยังโหนดเช็ก ที่โหนดเช็กก็จะมีการคำนวณเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลคูณแล้วส่งผ่านข่าวสารผ่านเส้นเชื่อมกลับไปยังโหนดตัวแปร ในอัลกอริทึมดังกล่าวจะมีการคำนวณค่าวนซ้ำส่งกลับไปกลับมาระหว่างโหนดตัวแปรและโหนดเช็ก การถอดรหัสจะมีประสิทธิภาพเมื่อกราฟแทนเนอร์ไม่มีวัฏจักร (Cycle free) หรือแต่ละบิตในกราฟเป็นอิสระต่อกัน



รูปที่ 4.9 ตัวอย่างกราฟแทนเนอร์

เพื่อให้มีความเข้าใจในการถอดรหัสมากขึ้นเราจะมาพิจารณาตัวอย่างการถอดรหัสในกรณีที่วงจรตรวจหา (Detector) ในภาครับเป็นการตัดสินใจแบบฮาร์ด (Hard decision) ซึ่งจะให้ผลลัพธ์เป็น 0 หรือ 1 เท่านั้น สมมติให้สัญญาณที่ภาครับได้คือ  $\mathbf{r} = [101001]$  สำหรับเมทริกซ์พาริตีเช็กและกราฟแทนเนอร์สำหรับตัวอย่างนี้แสดงในรูปที่ 4.9 เริ่มต้นเมื่อสัญญาณที่ได้รับเข้ามาที่โหนดตัวแปรมีเพียงบิตจากวงจรตรวจหาเท่านั้น จากนั้นบิตดังกล่าวถูกส่งไปที่โหนดเช็กเพื่อตรวจสอบว่าบิตที่รับเข้ามาสอดคล้องกับสมการพาริตีเช็กหรือไม่ สำหรับสมการพาริตีเช็กสำหรับตัวอย่างนี้

สมการพาริตีเช็กของโหนดเช็กที่ 1 คือ  $v_1 \oplus v_2 \oplus v_4 = 0$  เพื่อที่จะทำให้สมการพาริตีเช็กเป็นจริง การคำนวณจะเป็นดังนี้ บิตที่จะส่งกลับลงมาที่โหนดตัวแปรตัวที่ 1 จะได้จาก  $v_1 = v_2 \oplus v_4$  นั่นคือ  $v_1 = 0 \oplus 0 = 0$  ดังรูปที่ 4.10 (ก) บิตที่ส่งกลับมายังโหนดตัวแปรที่ 2 คำนวณได้จาก  $v_2 = v_1 \oplus v_4$  นั่นคือ  $v_2 = 1 \oplus 0 = 1$  ดังรูปที่ 4.10 (ข) และสุดท้ายบิตที่ส่งกลับมายังโหนดตัวแปรตัวที่ 4 คำนวณได้จาก  $v_4 = v_1 \oplus v_2$  นั่นคือ  $v_4 = 1 \oplus 0 = 1$  ดังรูปที่ 4.10 (ค)

ในทำนองเดียวกันสำหรับโหนดเช็กตัวที่ 2 ที่มีสมการพาริตีคือ  $v_1 \oplus v_2 \oplus v_5 = 0$  ทำให้ได้บิตที่ส่งกลับลงมาที่โหนดตัวแปรที่เกี่ยวข้องดังนี้

$$v_1 = v_2 \oplus v_5 = 0 \oplus 0 = 0$$

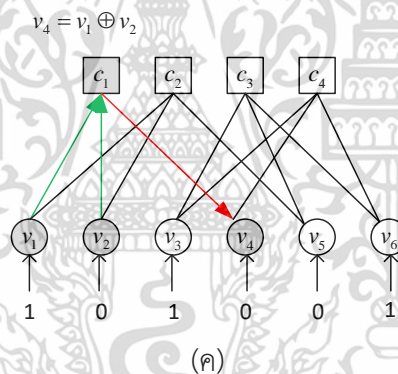
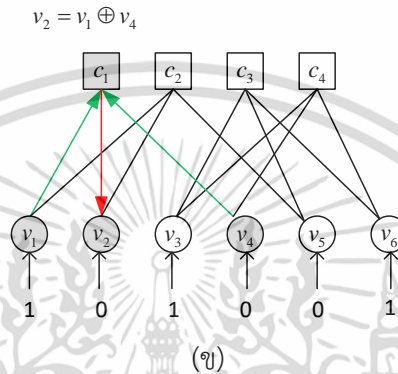
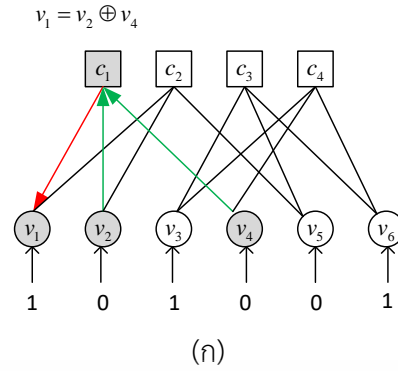
$$v_2 = v_1 \oplus v_5 = 1 \oplus 0 = 1$$

$$v_5 = v_1 \oplus v_2 = 1 \oplus 0 = 1$$

สำหรับโหนดเช็กตัวที่ 3 ที่มีสมการพาริตีคือ  $v_3 \oplus v_5 \oplus v_6 = 0$  ทำให้ได้บิตที่ส่งกลับลงมาที่โหนดตัวแปรที่เกี่ยวข้องดังนี้

$$v_3 = v_5 \oplus v_6 = 0 \oplus 1 = 1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 (ก) การคำนวณค่าส่งยังโหนดตัวแปรที่ 1 (ข) การคำนวณค่าส่งยังโหนดตัวแปรที่ 2 (ค) การคำนวณค่าส่งยังโหนดตัวแปรที่ 4

$$v_5 = v_3 \oplus v_6 = 1 \oplus 1 = 0$$

$$v_6 = v_3 \oplus v_5 = 1 \oplus 0 = 1$$

และสำหรับโหนดเช็กตัวที่ 4 ที่มีสมการพาริตีคือ  $v_3 \oplus v_4 \oplus v_6 = 0$  ทำให้ได้บิตที่ส่งกลับลงมายังโหนดตัวแปรที่เกี่ยวข้องดังนี้

$$v_3 = v_4 \oplus v_6 = 0 \oplus 1 = 1$$

$$v_4 = v_3 \oplus v_6 = 1 \oplus 1 = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานภายในเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาครบทุกโหนดเชิงแล้ว ถัดมาจะพิจารณาค่าที่โหนดตัวแปร โดยจะพิจารณาแต่ละโหนดตัวแปรดังนี้ โหนดตัวแปรตัวที่ 1 มีค่าบิตที่ถูกส่งมายังโหนดนี้คือ บิตจากวงจรตัวหาที่บอกว่าค่าบิตของโหนดนี้เป็นค่า 1 บิตจากโหนดเชิงตัวที่ 1 ที่บอกว่าค่าบิตของโหนดนี้เป็นค่า 0 บิตจากโหนดเชิงตัวที่ 2 ที่บอกว่าค่าจากโหนดนี้เป็นค่า 0 จะพบว่าเสียงส่วนใหญ่บอกว่าค่าบิตของ  $v_1$  ต้องเป็นค่า 0 ดังนั้นค่าบิตของ  $v_1$  จะถูกอัปเดตเป็นค่า 1 (จากเดิมค่า 0) สำหรับค่า  $v_2$  วงจรตรวจหาบอกว่ามีค่า 0 โหนดเชิงตัวที่ 1 บอกว่าค่าของ  $v_2$  เป็นค่า 1 และโหนดเชิงตัวที่ 2 บอกว่า  $v_2$  คือ 1 ดังนั้น  $v_2$  จะถูกอัปเดตเป็นค่า 1 (จากเดิมค่า 0) ส่วนค่าโหนดตัวแปรอื่นจะถูกอัปเดตดังนี้  $v_3 = 1$   $v_4 = 0$   $v_5 = 0$   $v_6 = 1$  เป็นการสิ้นสุดกระบวนการคำนวณในรอบที่ 1 เนื่องจากการถอดรหัสแอลดีพีซีเป็นแบบวนซ้ำ ดังนั้นสามารถทำการส่งค่าของโหนดบิตที่ถูกอัปเดตแล้ว ไปตรวจสอบที่โหนดเชิงแล้วกลับมาที่โหนดบิตจนกว่าจะได้ค่าในโหนดบิตที่ทำให้ทุกสมการพาริตีเชิงเป็นจริงหรือมีค่าเท่ากับ 0 นี้คือตัวอย่างการคำนวณเพื่อให้เห็นภาพคร่าว ๆ ของการถอดรหัส

เวกเตอร์ของสัญญาณที่ได้รับ  $\mathbf{r}$  เป็นลำดับข้อมูลที่เป็นค่าซอฟต์แวร์ กล่าวคือไม่ได้มีค่า 0 หรือ 1 เพียง 2 ค่า ดังนั้นในการถอดรหัสจะอาศัยความน่าจะเป็นเข้ามาช่วย เช่น ค่าที่ได้รับมาคือ 0.23 จะมีความเป็นไปได้ที่จะเป็นบิต 1 เท่าไรและจะมีความเป็นไปได้ที่จะเป็นบิต 0 เท่าไร นั่นคือ  $p(v_j = 1 | r_j = 0.23)$  และ  $p(v_j = 0 | r_j = 0.23)$  ตามลำดับ

ก่อนอื่นจะนิยามตัวแปรขึ้นมาสองตัวแปรคือ  $q_{v_j \rightarrow c_i}(x)$  คือความน่าจะเป็นที่ค่า  $x$  จะถูกส่งจากโหนดตัวแปร  $v_j$  ไปยังโหนดเชิง  $c_i$  และ  $r_{c_i \rightarrow v_j}(x)$  คือความน่าจะเป็นที่ค่า  $x$  จะถูกส่งจากโหนดเชิง  $c_i$  ไปยังโหนดตัวแปรที่  $v_j$  พิจารณาที่โหนดเชิง  $c_1$  ที่มีสมการพาริตีเชิงคือ  $v_1 \oplus v_2 \oplus v_4 = 0$  ค่าความน่าจะเป็นที่จะส่งไปยังโหนดตัวแปรที่ 1 คือ  $r_{c_1 \rightarrow v_1}(0)$  และ  $r_{c_1 \rightarrow v_1}(1)$  เนื่องจาก  $v_1 = v_2 \oplus v_4$  ความเป็นไปได้ทั้งหมดคือ กรณี  $v_1 = 0$  เมื่อ  $v_2 = 0$  และ  $v_4 = 0$  หรือ  $v_2 = 1$  และ  $v_4 = 1$  กรณี  $v_1 = 1$  เมื่อ  $v_2 = 1$  และ  $v_4 = 0$  หรือ  $v_2 = 0$  และ  $v_4 = 1$  จากกรณีทั้งหมดที่กล่าวมา จะได้  $r_{c_1 \rightarrow v_1}(0) = q_{v_2 \rightarrow c_1}(0)q_{v_4 \rightarrow c_1}(0) + q_{v_2 \rightarrow c_1}(1)q_{v_4 \rightarrow c_1}(1)$  และ  $r_{c_1 \rightarrow v_1}(1) = q_{v_2 \rightarrow c_1}(1)q_{v_4 \rightarrow c_1}(0) + q_{v_2 \rightarrow c_1}(0)q_{v_4 \rightarrow c_1}(1)$  จากเงื่อนไข  $q_{v_j \rightarrow c_i}(0) + q_{v_j \rightarrow c_i}(1) = 1$  จะได้  $r_{c_1 \rightarrow v_1}(0) = (1 - q_{v_2 \rightarrow c_1}(1))(1 - q_{v_4 \rightarrow c_1}(1)) + q_{v_2 \rightarrow c_1}(1)q_{v_4 \rightarrow c_1}(1) = 1 - q_{v_2 \rightarrow c_1}(1) - q_{v_4 \rightarrow c_1}(1) + 2q_{v_2 \rightarrow c_1}(1)q_{v_4 \rightarrow c_1}(1)$  และ  $r_{c_1 \rightarrow v_1}(1) = 1 - r_{c_1 \rightarrow v_1}(0)$  จะพบว่า การคำนวณมีความซับซ้อนสูง แต่อย่างไรก็ตาม จากสมการ  $v_1 = v_2 \oplus v_4$  ถ้าสังเกตดี ๆ จะพบว่า ถ้าจำนวนโหนดตัวแปรฝั่งขวาของสมการพาริตีเชิงที่มีค่า 1 เป็นจำนวนคี่ จะได้ว่า  $r_{c_1 \rightarrow v_1}(1) = 1$  กล่าวคือโหนดตัวแปรจะมีค่าเป็น 1 แน่แน่นอน แต่ถ้าจำนวนโหนดตัวแปรฝั่งขวาของสมการพาริตีเชิงที่มีค่า 1 เป็นจำนวนคู่ จะได้ว่า  $r_{c_1 \rightarrow v_1}(1) = 0$  และ  $r_{c_1 \rightarrow v_1}(0) = 1$  จากข้อสังเกตดังกล่าวเขียนเป็นสมการได้ดังนี้

$$r_{c_i \rightarrow v_j}(1) = \frac{1}{2} \left( 1 - \prod_{v_{j'} \in V \setminus v_j} (1 - 2q_{v_{j'} \rightarrow c_i}(1)) \right) \quad (4.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ

$$r_{c_i \rightarrow v_j}(0) = 1 - r_{c_i \rightarrow v_j}(1) \quad (4.9)$$

เมื่อ  $q_{v_j \rightarrow c_i}(x)$  คือความน่าจะเป็นที่ค่า  $x$  จะถูกส่งจากโหนดตัวแปร  $v_j$  ไปยังโหนดเช็ก  $c_i$  โดยที่  $V \setminus v_j$  คือเซตของโหนดตัวแปรทั้งหมดที่เชื่อมกับโหนดเช็ก  $c_i$  ยกเว้นโหนดตัวแปร  $v_j$  เมื่อลองใช้สมการที่ (4.8) กับตัวอย่างก่อนหน้าจะได้

$$\begin{aligned} r_{c_1 \rightarrow v_1}(1) &= \frac{1}{2} (1 - (1 - 2q_{v_2 \rightarrow c_1}(1))(1 - 2q_{v_4 \rightarrow c_1}(1))) \\ r_{c_1 \rightarrow v_1}(1) &= \frac{1}{2} (1 - (1 - 2(0))(1 - 2(0))) = 0 \end{aligned} \quad (4.10)$$

และ

$$r_{c_1 \rightarrow v_1}(0) = 1 - r_{c_1 \rightarrow v_1}(1) = 1 \quad (4.11)$$

ถัดมาพิจารณาที่โหนดตัวแปรจะมีการโหวตว่าที่โหนดตัวแปรจะเป็นบิต 1 หรือบิต 0 จากตัวอย่างเดิม จะได้ว่า  $q_{v_1 \rightarrow c_1}(1) = 1$  ก็ต่อเมื่อ ค่าจากทุกเส้นเชื่อมที่เข้ามายังโหนดตัวแปรที่ 1 มีความมั่นใจว่าเป็นบิต 1 แน่จนกล่าวคือ ความน่าจะเป็นจากช่องสัญญาณ  $p_1(1) = 1$  และ  $r_{c_2 \rightarrow v_1}(1) = 1$  และเช่นเดียวกันในกรณี  $q_{v_1 \rightarrow c_1}(0) = 1$  ก็ต่อเมื่อ  $p_1(0) = 1$  และ  $r_{c_2 \rightarrow v_1}(0) = 1$  ดังนั้นจะได้สมการในการคำนวณคือ

$$q_{v_j \rightarrow c_i}(0) = K_{v_j \rightarrow c_i} (1 - p_j) \prod_{c_i' \in C_{c_i}} r_{c_i' \rightarrow v_j}(0) \quad (4.12)$$

และ

$$q_{v_j \rightarrow c_i}(1) = K_{v_j \rightarrow c_i} (p_j) \prod_{c_i' \in C_{c_i}} r_{c_i' \rightarrow v_j}(1) \quad (4.13)$$

เมื่อ  $K_{v_j \rightarrow c_i}$  คือค่าคงที่เพื่อให้  $q_{v_j \rightarrow c_i}(1) + q_{v_j \rightarrow c_i}(0) = 1$

แต่อย่างไรก็ตามการถอดรหัสในโดเมนความน่าจะเป็นมีความซับซ้อนสูงเนื่องจากใช้การคูณเป็นหลัก ดังนั้นในทางปฏิบัติจึงใช้งานในโดเมนลอการิทึม (Logarithm) ซึ่งจะแสดงการคูณในรูปของการบวก ดังนั้นเราจะนิยามค่าลอการิทึมของอัตราส่วนค่าควรจะเป็น (LLR: Log-Likelihood Ratio)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น เมื่อผู้เผยแพร่เห็นว่าเป็นประโยชน์แก่การวิจัย  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือแอลแอลอาร์ ดังนี้ ค่าแอลแอลอาร์  $L_{ch}$  ของสัญญาณที่ภาครับได้รับ คือ ค่าลอการิทึมของ อัตราส่วนความน่าจะเป็นที่บิตข้อมูล  $v_j = 0$  เมื่อวงจรถวกรับค่า  $y_j$  ได้กับความน่าจะเป็นที่บิตข้อมูล  $v_j = 1$  เมื่อวงจรถวกรับค่า  $y_j$  ได้ นั่นคือ

$$L_{ch_j} = \log \left( \frac{p(v_j = 0 | y_j)}{p(v_j = 1 | y_j)} \right) \quad (4.14)$$

จากกฎของเบส์ (Bayes' rule)

$$p(x | y) = \frac{p(y | x)p(x)}{p(y)} \quad (4.15)$$

ดังนั้น จะได้

$$L_{ch_j} = \log \left( \frac{p(y_j | v_j = 0)p(v_j = 0)}{p(y_j | v_j = 1)p(v_j = 1)} \right) = \log \left( \frac{p(y_j | v_j = 0)}{p(y_j | v_j = 1)} \right) + \log \left( \frac{p(v_j = 0)}{p(v_j = 1)} \right) \quad (4.16)$$

ค่า  $\log \left( \frac{p(y_j | v_j = 0)}{p(y_j | v_j = 1)} \right)$  เรียกว่าความน่าเชื่อถือของช่องสัญญาณ (Channel reliability) ส่วน  $\log \left( \frac{p(v_j = 0)}{p(v_j = 1)} \right)$  คือ รายละเอียดเกี่ยวกับข้อมูลก่อนส่ง (A priori information) ในที่นี้คือความน่าจะเป็นในการส่งบิต 1 และ 0 ในกรณีที่ภาครับไม่มีข้อมูลส่วนนี้อาจกำหนดให้เป็นค่า 0 นั่นคือความน่าจะเป็นในการส่งบิต 1 และ 0 มีค่าเท่ากัน

ถัดมาจะมานิยามค่าแอลแอลอาร์ของการคำนวณที่โหนดเช็ก จากสมการที่ (4.8) เราทราบค่าความน่าจะเป็นของข้อมูลที่ส่งจากโหนดเช็ก  $c_i$  ไปยังโหนดตัวแปร  $v_j$  หรือ  $r_{c_i \rightarrow v_j}(x)$  ดังนั้นจะได้ค่าแอลแอลอาร์  $L_{c_i \rightarrow v_j}$  จาก

$$L_{c_i \rightarrow v_j} = \log \left( \frac{r_{c_i \rightarrow v_j}(0)}{r_{c_i \rightarrow v_j}(1)} \right) \quad (4.17)$$

$$L_{c_i \rightarrow v_j} = \log \left( \frac{1 - \frac{1}{2} \left( 1 - \prod_{v_j' \in V \setminus v_j} (1 - 2q_{v_j' \rightarrow c_i}(1)) \right)}{\frac{1}{2} \left( 1 - \prod_{v_j' \in V \setminus v_j} (1 - 2q_{v_j' \rightarrow c_i}(1)) \right)} \right) \quad (4.18)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L_{c_i \rightarrow v_j} = \log \frac{1 - \frac{1}{2} + \frac{1}{2} \prod_{v_j' \in V \setminus v_j} (1 - 2q_{v_j' \rightarrow c_i}(1))}{\frac{1}{2} \left( 1 - \prod_{v_j' \in V \setminus v_j} (1 - 2q_{v_j' \rightarrow c_i}(1)) \right)} = \log \frac{\frac{1}{2} + \frac{1}{2} \prod_{v_j' \in V \setminus v_j} (1 - 2q_{v_j' \rightarrow c_i}(1))}{\frac{1}{2} \left( 1 - \prod_{v_j' \in V \setminus v_j} (1 - 2q_{v_j' \rightarrow c_i}(1)) \right)} \quad (4.19)$$

$$L_{c_i \rightarrow v_j} = \log \frac{\frac{1}{2} \left( 1 + \prod_{v_j' \in V \setminus v_j} (1 - 2q_{v_j' \rightarrow c_i}(1)) \right)}{\frac{1}{2} \left( 1 - \prod_{v_j' \in V \setminus v_j} (1 - 2q_{v_j' \rightarrow c_i}(1)) \right)} \quad (4.20)$$

$$L_{c_i \rightarrow v_j} = \log \left( \frac{1 + \prod_{v_j' \in V \setminus v_j} (1 - 2q_{v_j' \rightarrow c_i}(1))}{1 - \prod_{v_j' \in V \setminus v_j} (1 - 2q_{v_j' \rightarrow c_i}(1))} \right) \quad (4.21)$$

เนื่องจากค่าแอลแอลอาร์ของโหนดตัวแปร  $v_j'$  ไปยังโหนดเซ็ก  $c_i$  หาได้จาก

$$L_{v_j' \rightarrow c_i} = \log \left( \frac{q_{v_j' \rightarrow c_i}(0)}{q_{v_j' \rightarrow c_i}(1)} \right) \quad (4.22)$$

$$e^{L_{v_j' \rightarrow c_i}} = \frac{q_{v_j' \rightarrow c_i}(0)}{q_{v_j' \rightarrow c_i}(1)} \quad (4.23)$$

$$e^{L_{v_j' \rightarrow c_i}} = \frac{1 - q_{v_j' \rightarrow c_i}(1)}{q_{v_j' \rightarrow c_i}(1)} \quad \text{เมื่อ } q_{v_j' \rightarrow c_i}(0) = 1 - q_{v_j' \rightarrow c_i}(1) \quad (4.24)$$

$$q_{v_j' \rightarrow c_i}(1) e^{L_{v_j' \rightarrow c_i}} + q_{v_j' \rightarrow c_i}(1) = 1 \quad (4.25)$$

$$q_{v_j' \rightarrow c_i}(1) = \frac{1}{e^{L_{v_j' \rightarrow c_i}} + 1} \quad (4.26)$$

นำสมการที่ (4.26) ไปแทนค่าในสมการที่ (4.21) จะได้

$$L_{c_i \rightarrow v_j} = \log \left( \frac{1 + \prod_{v_j' \in V \setminus v_j} \left( 1 - 2 \frac{1}{e^{L_{v_j' \rightarrow c_i}} + 1} \right)}{1 - \prod_{v_j' \in V \setminus v_j} \left( 1 - 2 \frac{1}{e^{L_{v_j' \rightarrow c_i}} + 1} \right)} \right) \quad (4.27)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L_{c_i \rightarrow v_j} = \log \left( \frac{1 + \prod_{v_j' \in V \setminus v_j} \left( \frac{e^{L_{v_j' \rightarrow c_i}} + 1 - 2}{e^{L_{v_j' \rightarrow c_i}} + 1} \right)}{1 - \prod_{v_j' \in V \setminus v_j} \left( \frac{e^{L_{v_j' \rightarrow c_i}} + 1 - 2}{e^{L_{v_j' \rightarrow c_i}} + 1} \right)} \right) = \log \left( \frac{1 + \prod_{v_j' \in V \setminus v_j} \left( \frac{e^{L_{v_j' \rightarrow c_i}} - 1}{e^{L_{v_j' \rightarrow c_i}} + 1} \right)}{1 - \prod_{v_j' \in V \setminus v_j} \left( \frac{e^{L_{v_j' \rightarrow c_i}} - 1}{e^{L_{v_j' \rightarrow c_i}} + 1} \right)} \right) \quad (4.28)$$

จากฟังก์ชันของไฮเปอร์โบลิกแทน

$$\tanh\left(\frac{x}{2}\right) = \frac{e^x - 1}{e^x + 1} \quad (4.29)$$

ดังนั้นจะได้

$$L_{c_i \rightarrow v_j} = \log \left( \frac{1 + \prod_{v_j' \in V \setminus v_j} \tanh\left(\frac{L_{v_j' \rightarrow c_i}}{2}\right)}{1 - \prod_{v_j' \in V \setminus v_j} \tanh\left(\frac{L_{v_j' \rightarrow c_i}}{2}\right)} \right) \quad (4.30)$$

เมื่ออาศัยความสัมพันธ์

$$\tanh^{-1}(p) = \frac{1}{2} \log\left(\frac{1+p}{1-p}\right) \quad (4.31)$$

ดังนั้นจะได้

$$L_{c_i \rightarrow v_j} = 2 \tanh^{-1} \left( \prod_{v_j' \in V \setminus v_j} \tanh\left(\frac{L_{v_j' \rightarrow c_i}}{2}\right) \right) \quad (4.32)$$

และสุดท้ายพิจารณาสมการที่ (4.12) และ (4.13) ซึ่งใช้คำนวณเพื่อส่งค่าจากโหนดตัวแปร  $v_j$  ไปยังโหนดเซ็ก  $c_i$  หรือ  $q_{v_j \rightarrow c_i}(x)$  ค่าแอลแอลอาร์  $L_{v_j \rightarrow c_i}$  คำนวณจาก

$$L_{v_j \rightarrow c_i} = \log\left(\frac{q_{v_j \rightarrow c_i}(0)}{q_{v_j \rightarrow c_i}(1)}\right) \quad (4.33)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L_{v_j \rightarrow c_i} = \log \left( \frac{K_{v_j \rightarrow c_i} (1-p_j) \prod_{c_i' \in C \setminus c_i} r_{c_i' \rightarrow v_j} (0)}{K_{v_j \rightarrow c_i} (p_j) \prod_{c_i' \in C \setminus c_i} r_{c_i' \rightarrow v_j} (1)} \right) \quad (4.34)$$

$$L_{v_j \rightarrow c_i} = \log \left( \frac{(1-p_j) \prod_{c_i' \in C \setminus c_i} r_{c_i' \rightarrow v_j} (0)}{(p_j) \prod_{c_i' \in C \setminus c_i} r_{c_i' \rightarrow v_j} (1)} \right) = \log \left( \frac{1-p_j}{p_j} \right) + \log \left( \prod_{c_i' \in C \setminus c_i} \frac{r_{c_i' \rightarrow v_j} (0)}{r_{c_i' \rightarrow v_j} (1)} \right) \quad (4.35)$$

$$L_{v_j \rightarrow c_i} = L_{ch_j} + \left( \sum_{c_i' \in C \setminus c_i} \log \frac{r_{c_i' \rightarrow v_j} (0)}{r_{c_i' \rightarrow v_j} (1)} \right) \quad (4.36)$$

เมื่อ  $p_j = p(y_j | v_j = 1)$  และ  $1-p_j = p(y_j | v_j = 0)$

$$L_{v_j \rightarrow c_i} = L_{ch_j} + \left( \sum_{c_i' \in C \setminus c_i} L_{c_i' \rightarrow v_j} \right) \quad (4.37)$$

ตอนนี้เราก็ได้สมการสำหรับคำนวณค่าที่ส่งไปมาระหว่างโหนดตัวแปรและโหนดเช็คแล้ว เราจะมาสรุปขั้นตอนการถอดรหัสสำหรับอัลกอริทึมการถอดรหัสแบบกระจายความเชื่อมั่นในโดเมนบล็อกดังนี้

ขั้นตอนที่ 1 การคำนวณค่าแอลแอลอาร์ของข้อมูลที่ได้รับมาจากช่องสัญญาณจาก

$$L_{ch_j} = \log \left( \frac{p(y_j | v_j = 0)}{p(y_j | v_j = 1)} \right) + \log \left( \frac{p(v_j = 0)}{p(v_j = 1)} \right)$$

ขั้นตอนที่ 2 การคำนวณค่าแอลแอลอาร์ส่งไปที่โหนดเช็คด้วย

$$L_{v_j \rightarrow c_i} = L_{ch_j} + \left( \sum_{c_i' \in C \setminus c_i} L_{c_i' \rightarrow v_j} \right)$$

สำหรับในรอบแรกยังไม่มีค่าแอลแอลอาร์ที่มาจากโหนดเช็ค ดังนั้นจะกำหนดให้  $\sum_{c_i' \in C \setminus c_i} L_{c_i' \rightarrow v_j}$  มีค่า

เป็นศูนย์กล่าวคือความน่าจะเป็นของบิต 0 และบิต 1 ที่ส่งมาจากโหนดเช็คมีค่าเท่ากัน

ขั้นตอนที่ 3 การคำนวณค่าแอลแอลอาร์ส่งไปยังโหนดตัวแปรโดยใช้

$$L_{c_i \rightarrow v_j} = 2 \tanh^{-1} \left( \prod_{v_j' \in V \setminus v_j} \tanh \left( \frac{L_{v_j' \rightarrow c_i}}{2} \right) \right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนที่ 4 การคำนวณซ้ำ ขั้นตอนที่ 2 – 3 จนกระทั่ง  $\mathbf{Hc}^T = \mathbf{0}$  หรือมีจำนวนรอบเท่ากับที่ตั้งไว้  
ขั้นตอนที่ 5 การคำนวณในรอบสุดท้ายของการถอดรหัสที่โหนดตัวแปรโดยใช้

$$L_j = L_{ch_j} + \left( \sum_{c_i \in C} L_{c_i \rightarrow v_j} \right)$$

ขั้นตอนที่ 6 การตัดสินใจ

$$\hat{c}_j = \begin{cases} 1, & L_j < 0 \\ 0, & L_j \geq 0 \end{cases}$$

#### 4.2.2 การลดความซับซ้อนการถอดรหัส

การถอดรหัสแอลดีพีซีแบบ BP มีความซับซ้อนในการคำนวณแต่ละโหนดเช็กมากดังที่แสดงในสมการที่ (4.32) ทำให้การอิมพลิเมนต์ลงในฮาร์ดแวร์ทำได้ยาก ทำให้มีวงจรมหาศาลและใช้เวลานานในการถอดรหัสดังนั้นเพื่อที่จะแก้ไขปัญหานี้จึงได้มีการปรับปรุงการคำนวณที่โหนดเช็กเพื่อให้สามารถสร้างวงจรที่สามารถใช้งานได้จริงในอุปกรณ์ฮาร์ดแวร์ดังนี้

##### 1) การถอดรหัสแบบ MS (Min-Sum)

การถอดรหัสแบบ MS เป็นการลดการคำนวณที่โหนดเช็กโดยการเปลี่ยนจากการคำนวณที่ซับซ้อนในสมการ (4.32) ให้เหลือเพียงตัวดำเนินการหาค่าต่ำสุด (Minimizing) ของขนาดแอลแอลอาร์อินพุตนั้นคือ

$$L_{c_i \rightarrow v_j} = \prod_{v_j' \in V \setminus v_j} \text{sign}(L_{v_j' \rightarrow c_i}) \min_{v_j' \in V \setminus v_j} |L_{v_j' \rightarrow c_i}| \quad (4.38)$$

เมื่อ

$$\text{sign}(x) = \begin{cases} -1, & \text{if } x < 0, \\ 1, & \text{otherwise.} \end{cases} \quad (4.39)$$

##### 2) การถอดรหัสแบบ NMS (Normalized Min-Sum)

การถอดรหัสแบบ NMS เป็นการนำวิธีการถอดรหัสแบบ MS ที่มีความซับซ้อนในการถอดรหัสต่ำมาปรับปรุงให้การถอดรหัสมีสมรรถนะที่ดีขึ้นโดยวิธีการสเกลค่าแอลแอลอาร์ต่ำสุดนั้นคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L_{c_i \rightarrow v_j} = \prod_{v_j' \in V \setminus v_j} \text{sign}(L_{v_j' \rightarrow c_i}) \min |L_{v_j' \rightarrow c_i}| \alpha \quad (4.40)$$

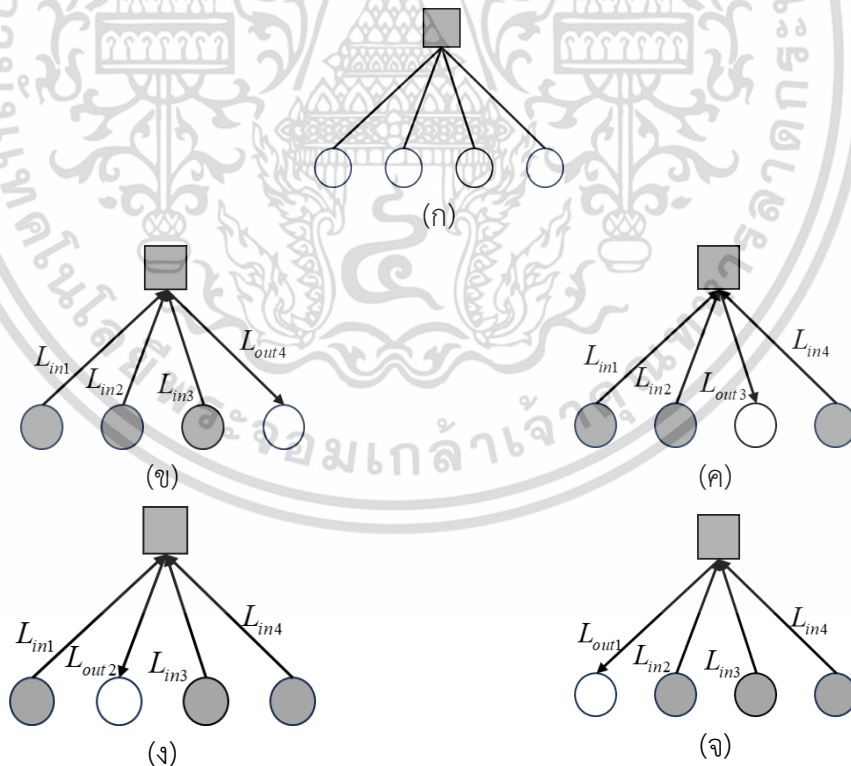
เมื่อ  $0 < \alpha < 1$  คือค่าคงที่ในการนอร์มัลไลซ์

### 3) การถอดรหัสแบบ OMS (Offset Min-Sum)

การถอดรหัสแบบ OMS ได้ปรับปรุงและพัฒนาวิธีการถอดรหัสแบบ MS ที่มีความซับซ้อนในการถอดรหัสต่ำให้มีการถอดรหัสที่ดียิ่งขึ้นโดยวิธีการรวมค่าคงที่เข้าไปกับค่าแอลแอลอาร์ต่ำสุดนั้นคือ

$$L_{c_i \rightarrow v_j} = \prod_{v_j' \in V \setminus v_j} \text{sign}(L_{v_j' \rightarrow c_i}) \max \left( \min |L_{v_j' \rightarrow c_i}| - \beta, 0 \right) \quad (4.41)$$

เมื่อ  $0 < \beta < 1$  คือค่าคงที่ในการออฟเซต



**รูปที่ 4.11** (ก) ตัวอย่างการคำนวณที่โหนดเช็ทที่มี 4 อินพุต (ข) การคำนวณค่าแอลแอลอาร์เอาต์พุตที่ 4 (ค) การคำนวณค่าแอลแอลอาร์เอาต์พุตที่ 3 (ง) การคำนวณค่าแอลแอลอาร์เอาต์พุตที่ 2 (จ) การคำนวณค่าแอลแอลอาร์เอาต์พุตที่ 1

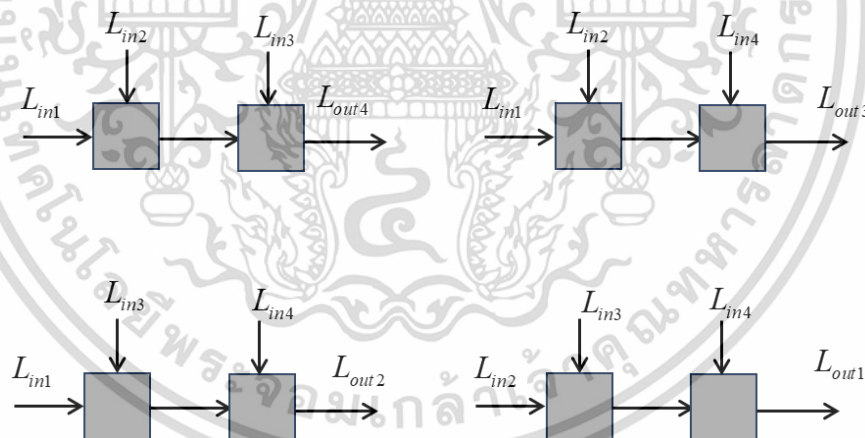
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.3 โครงสร้างการคำนวณที่โหนด

การถอดรหัสแอลติพีซีจะมีการคำนวณค่าที่โหนดตัวแปรและโหนดเชิงซึ่งจะใช้ค่าแอลแอลอาร์อินพุตจำนวนมากในการคำนวณดังรูปที่ 4.11 (ก) สมมติให้โหนดเชิงมี 4 อินพุต ได้แก่  $L_{in1}$   $L_{in2}$   $L_{in3}$  และ  $L_{in4}$  การคำนวณค่าที่โหนดเชิงต้องการคำนวณค่าแอลแอลอาร์เอาต์พุต  $L_{out1}$   $L_{out2}$   $L_{out3}$  และ  $L_{out4}$  ส่งกลับไปยังโหนดตัวแปรเดิมทุกโหนด เมื่อมีการคำนวณแอลแอลอาร์เอาต์พุตไปยังโหนดตัวแปรใดจะไม่นำแอลแอลอาร์อินพุตของโหนดตัวแปรนั้นมาคำนวณด้วยดังแสดงในรูปที่ 4.11 (ข) – (จ) ในอุปกรณ์ฮาร์ดแวร์จะต้องมีการจัดโครงสร้างการคำนวณที่โหนดให้คำนวณทีละคู่ดังนั้นก็จะมีการจัดโครงสร้างวงจรการคำนวณสองแบบด้วยกันนั่นคือ โครงสร้างอินพุตแบบลำดับ (Sequential) และโครงสร้างอินพุตแบบไปข้างหน้าและย้อนกลับ (Forward and backward) ซึ่งมีรายละเอียดดังนี้

#### 4.3.1 โครงสร้างอินพุตแบบลำดับ (Sequential)

สำหรับโครงสร้างอินพุตแบบลำดับ (Sequential) จะมีการคำนวณค่าแอลแอลอาร์เอาต์พุตจากคู่แอลแอลอาร์อินพุตซึ่งจะต้องคำนวณทั้งสิ้น 4 ครั้ง ซึ่งจะได้โครงสร้างการคำนวณดังรูปที่ 4.12 โดยโครงสร้างการคำนวณจะเป็นการคำนวณคู่อินพุตแอลแอลอาร์เป็นลำดับต่อเนื่องซึ่งในหนึ่งโครงสร้างจะมีจำนวนการคำนวณแต่ละค่าเอาต์พุตคือ 2 ครั้ง และมีจำนวนการคำนวณทั้งหมด 8 ครั้ง

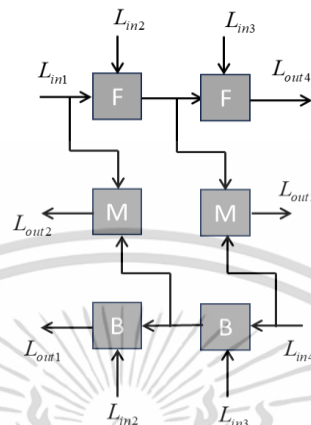


รูปที่ 4.12 ตัวอย่างโครงสร้างอินพุตแบบลำดับของโหนดเชิงที่มี 4 อินพุต หรือดีกรี 4

#### 4.3.2 โครงสร้างอินพุตแบบไปข้างหน้าและย้อนกลับ (Forward and backward)

โครงสร้างอินพุตแบบไปข้างหน้าและย้อนกลับ (Forward and backward) เป็นการปรับปรุงโครงสร้างให้ลดจำนวนการคำนวณลงและลดระยะเวลาในการคำนวณแต่ละโหนดลง อินพุตแบบไปข้างหน้าและย้อนกลับประกอบไปด้วย 3 ชั้นได้แก่ ชั้นคำนวณแบบไปข้างหน้า (Forward layer) ชั้นคำนวณแบบย้อนกลับ (Backward layer) และชั้นผสม (Merge layer) ดังรูปที่ 4.13 จะเห็นว่าเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำนวนครั้งของการคำนวณลดลงเหลือ 6 ครั้งทำให้ระยะเวลาการคำนวณลดลงโดยที่สมรรถนะการถอดรหัสเท่าเดิม ยิ่งจำนวนแอลแอลอาร์อินพุตมากจะยิ่งเห็นได้ชัดว่าจำนวนการคำนวณลดลงอย่างมาก



รูปที่ 4.13 ตัวอย่างโครงสร้างอินพุตแบบไปข้างหน้าและย้อนกลับของโหนดเชิงที่มี 4 อินพุต หรือดีกรี 4

#### 4.4 การลำดับการถอดรหัสแอลดีพีซี (Schedule)

การถอดรหัสแอลดีพีซีอาศัยกราฟแทนเนอร์เป็นโครงสร้างในการถอดรหัสซึ่งในการถอดรหัสจะมีลำดับในการถอดรหัส 2 แบบคือการลำดับแบบฟลัดดิ้ง (Flooding schedule) และการลำดับแบบเลเยอร์ (Layered schedule) ซึ่งมีรายละเอียดดังนี้

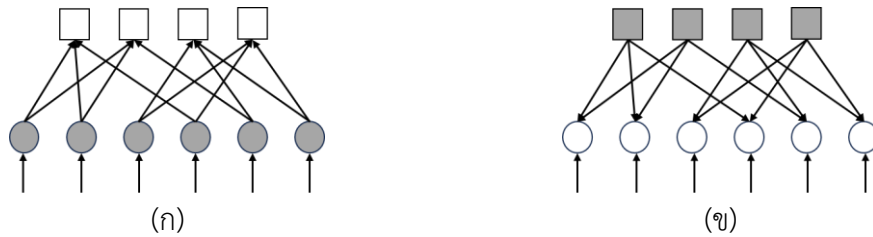
##### 4.4.1 การลำดับการถอดรหัสแอลดีพีซีแบบฟลัดดิ้ง (Flooding schedule)

ในการถอดรหัสแอลดีพีซีจะถอดรหัสตามโครงสร้างของกราฟแทนเนอร์ซึ่งจะมีโหนดตัวแปรโหนดเชิงและเส้นเชื่อมค่าแอลแอลอาร์จะถูกส่งอัปเดตไปมาระหว่างโหนดตัวแปรและโหนดเชิงตามเส้นเชื่อม ดังนั้นจึงต้องมีการจัดเรียงลำดับในการถอดรหัส ลำดับการถอดรหัสแบบฟลัดดิ้งจะคำนวณค่าแอลแอลอาร์ที่โหนดตัวแปรจนครบทุกโหนดตัวแปรของกราฟแทนเนอร์ ดังแสดงในรูปที่ 4.14 (ก) หลังจากนั้นจึงจะคำนวณค่าแอลแอลอาร์ที่โหนดเชิงที่โหนดจนครบทุกโหนด ดังแสดงในรูปที่ 4.14 (ข) และวนกลับไปคำนวณค่าแอลแอลอาร์ที่โหนดตัวแปรอีกครั้งซ้ำไปเรื่อย ๆ

##### 4.4.2 การลำดับการถอดรหัสแอลดีพีซีแบบเลเยอร์ (Layered schedule)

การลำดับการถอดรหัสแบบเลเยอร์เป็นการปรับปรุงการลำดับการถอดรหัสให้มีสมรรถนะมากขึ้นโดยมีแนวคิดว่าการถอดรหัสไม่จำเป็นต้องรอให้คำนวณการถอดรหัสในโหนดตัวแปรให้ครบทุกโหนดก่อนแล้วจึงไปคำนวณการถอดรหัสที่โหนดตัวแปร แต่จะมีการคำนวณค่าที่โหนดตัวแปรควบคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 (ก) การลำดับการถอดรหัสแบบฟลัดดิงที่โหนดตัวแปร (ข) การลำดับการถอดรหัสแบบฟลัดดิงที่โหนดเช็ก

กันไปด้วย คำว่าเลเยอร์ในเมทริกซ์  $\mathbf{H}$  หมายถึงแต่ละแถวของ  $\mathbf{H}$  ส่วนในกราฟแทนเนอร์หมายถึงแต่ละโหนดเช็ก ตัวอย่างการถอดรหัสแบบเลเยอร์แสดงในรูปที่ 4.15 จะมีการคำนวณที่โหนดเช็กแรกหรือเลเยอร์แรกหลังจากนั้นโหนดตัวแปรที่เชื่อมกับโหนดเช็กที่ 1 ก็จะถูกคำนวณดังรูปที่ 4.15 (ก) ถัดมาจะคำนวณโหนดเช็กที่ 2 หรือเลเยอร์ที่ 2 แล้วคำนวณโหนดตัวแปรที่เชื่อมกับโหนดเช็กที่ 2 ดังในรูปที่ 4.15 (ข) การคำนวณในเลเยอร์ที่ 3 และ 4 ก็สามารถคำนวณในทำนองเดียวกันดังแสดงในรูปที่ 4.15 (ค) และ 4.15 (ง) จากรูปจะเห็นได้ว่าบางค่าที่ส่งมาจากโหนดตัวแปรเป็นค่าที่มีการอัปเดตแล้วจากการถอดรหัสเลเยอร์ก่อนหน้าทำให้สามารถลดจำนวนรอบในการถอดรหัสลงได้แต่รหัสแอลดีพีซียังคงมีสมรรถนะที่ดีอยู่



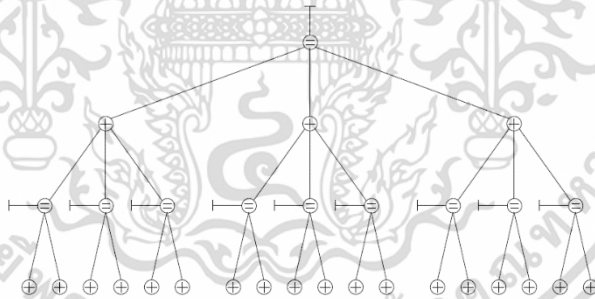
รูปที่ 4.15 (ก) การลำดับการถอดรหัสแบบเลเยอร์ของเลเยอร์ที่ 1 (ข) การลำดับการถอดรหัสแบบเลเยอร์ของเลเยอร์ที่ 2 (ค) การลำดับการถอดรหัสแบบเลเยอร์ของเลเยอร์ที่ 3 (ง) การลำดับการถอดรหัสแบบเลเยอร์ของเลเยอร์ที่ 4

#### 4.5 การวิเคราะห์สมรรถนะของรหัสแอลดีพีซีแบบไม่มีโครงสร้าง

Richardson และคณะ [18] ได้แสดงวิธีการคำนวณค่าเทรสโฮลด์ของตัวถอดรหัสแอลดีพีซีแบบผลคูณรวม (Sum-product) ซึ่งเป็นวิธีการคำนวณเชิงตัวเลขที่มีชื่อว่าการวิวัฒนาการความหนาแน่น (Density evolution) บนช่องสัญญาณ AWGN ค่าเทรสโฮลด์ของตัวถอดรหัสเป็นค่าเอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการเรียนการสอนเท่านั้น เมื่ออนุญาตให้เผยแพร่ขึ้นต้นการคำนวณไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอสเอ็นอาร์ (SNR: Signal-to-Noise Ratio) ที่เป็นเส้นแบ่งระหว่างบริเวณค่าเอสเอ็นอาร์ที่ยังเกิดความผิดพลาดบิตหลังการถอดรหัสและบริเวณค่าเอสเอ็นอาร์ที่ไม่มีผิดพลาดเลยหลังจากถอดรหัสสำหรับรหัสแอลดีพีซีที่มีการออกแบบค่าอัตรารหัส  $R$  และค่าถ่วงน้ำหนักในเมทริกซ์พาริตีซีกต่างกัน ทำให้ค่าเทรสโฮลด์ต่างกัน ดังนั้นจึงมีการนำวิธีการวิวัฒนาการความหนาแน่นมาใช้เพื่อประเมินสมรรถนะของรหัสแอลดีพีซีและการออกแบบรหัสแอลดีพีซี

แนวคิดของวิธีการวิวัฒนาการความหนาแน่นคือการติดตามการเปลี่ยนแปลงของการแจกแจงหรือ pdf ของข้อมูลซึ่งในที่นี้คือค่าแอลแอลอาร์ ในระหว่างที่มีการคำนวณข้อมูลส่งไปมาระหว่างโหนดซีกและโหนดตัวแปรตามเส้นเชื่อม (ดูอัลกอริทึมการถอดรหัสแอลดีพีซีได้ในหัวข้อที่ 4.2.1 และในรอบสุดท้ายของการถอดรหัสจะหา pdf ที่ได้มาประมาณค่าความน่าจะเป็นความผิดพลาดบิต ด้วยวิธีการดังกล่าว สมมติฐานที่สำคัญคือบิตข้อมูลจะต้องมีความยาวเป็นอนันต์ เพื่อที่จะประมาณ pdf ได้ถูกต้อง แต่ละโหนดตัวแปรและโหนดซีกเป็นอิสระต่อกัน และ pdf ของบิต 0 และบิต 1 จะต้องมีความสมมาตรกันเพื่อที่ว่าในตอนติดตามค่า pdf จะได้เลือกติดตาม pdf ของบิต 0 หรือบิต 1 เพียงอย่างเดียวได้ นอกจากนี้ในวิธีการวิวัฒนาการความหนาแน่นยังมองว่ากราฟแทนเนอร์ต้องไม่มีวัฏจักร (Cycle-free) หรือขนาดของวัฏจักรจะต้องใหญ่มาก จนเมื่อถอดรหัสตามรอบที่ต้องการแล้ววัฏจักรยังไม่ครบรอบ และด้วยสมมติฐานนี้ทำให้เราสามารถแสดงการคำนวณเป็นกราฟต้นไม้ได้ดังรูปที่ 4.16



รูปที่ 4.16 แผนภาพต้นไม้สำหรับเส้นทางการคำนวณค่า pdf [72]

ในส่วนของการคำนวณค่า pdf จะเริ่มจาก pdf ของเอาต์พุตของช่องสัญญาณคือ  $p(y|x)$  เนื่องจากอินพุตที่จะใช้ในการถอดรหัสแอลดีพีซีในอัลกอริทึมการแพร่กระจายความเชื่อมั่น (Belief propagation) เป็นค่าแอลแอลอาร์  $L_{ch_j} = \log(p(y_j | v_j = 0) / p(y_j | x_j = 1))$  ดังนั้นเราจะกำหนดให้  $p_{ch}[L]$  เป็น pdf ของแอลแอลอาร์ของช่องสัญญาณ  $L_{ch}$  เมื่อมีการคำนวณค่าไปยังโหนดซีก  $L_{v_j \rightarrow c_i}$  และโหนดตัวแปร  $L_{c_i \rightarrow v_j}$  กำหนดให้  $L_{vN}$  และ  $L_{cN}$  คือตัวแปรสุ่มของ  $L_{v_j \rightarrow c_i}$  และ  $L_{c_i \rightarrow v_j}$  โดยจะกำหนดให้  $p_{vN}[L]$  และ  $p_{cN}[L]$  เป็น pdf ของ  $L_{vN}$  และ  $L_{cN}$  ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.5.1 การวิเคราะห์การเปลี่ยนแปลงของ pdf สำหรับโหนดตัวแปร

การคำนวณในส่วนของโหนดตัวแปรจะแบ่งการคำนวณออกเป็น 2 กรณี คือการคำนวณสำหรับรหัสแอลดีพีซีแบบปกติ (Regular LDPC code) และการคำนวณสำหรับรหัสแอลดีพีซีแบบไม่สม่ำเสมอ (Irregular LDPC code)

สำหรับรหัสแอลดีพีซีแบบปกติที่มีค่าถ่วงน้ำหนักในแนวแถว  $d_v$  เป็นค่าคงที่หรือมีค่าเท่ากันหมดในทุกแถว ดังนั้นการคำนวณค่าแอลแอลอาร์ที่จะส่งออกไปจากโหนดตัวแปรคือ

$$L_{VN} = L_{ch} + \sum_{i=1}^{d_v-1} L_{CN_i} \quad (4.42)$$

สมการนี้บอกว่าคุณค่าแอลแอลอาร์ที่ส่งออกไปยังโหนดเช็กเป็นผลรวมของคุณค่าแอลแอลอาร์ที่เข้ามาไปยังโหนดตัวแปรรวมกับค่าแอลแอลอาร์ที่มาจากช่องสัญญาณ อย่างไรก็ตามในวิธีการวิวัฒนาการความหนาแน่นจะพิจารณาค่าความน่าจะเป็น ดังนั้นเราจะมองว่าคุณค่า  $L_{CN}$   $L_{ch}$  และ  $L_{VN}$  เป็นตัวแปรสุ่มที่มี pdf เป็น  $p_{CN}[L]$   $p_{ch}[L]$  และ  $p_{VN}[L]$  ตามลำดับ ฉะนั้น สมการที่ (3.42) บอกว่าตัวแปรสุ่ม  $L_{VN}$  ได้มาจากการเอาตัวแปรสุ่ม  $L_{ch}$  รวมกับผลรวมของตัวแปรสุ่ม  $L_{CN}$  ที่เข้ามาไปยังโหนดตัวแปร กำหนดให้  $X$   $Y$  และ  $Z$  เป็นตัวแปรสุ่มที่มี pdf  $p_X$   $p_Y$  และ  $p_Z$  ตามลำดับ และจาก

$$p_Z[z] = \sum_{x=-\infty}^{\infty} \sum_{y=-\infty}^{\infty} p_{X,Y}[x,y] \quad (4.43)$$

จาก  $z = x + y$  จะได้

$$p_Z[z] = \sum_{y=-\infty}^{\infty} p_{X,Y}[z-y,y] \quad (4.44)$$

เนื่องจากตัวแปรสุ่ม  $X$  และ  $Y$  เป็นอิสระต่อกันดังนั้น

$$p_Z[z] = \sum_{y=-\infty}^{\infty} p_X[z-y]p_Y[y] \quad (4.45)$$

จากสมการที่ (4.45) จะเห็นว่าการรวมกันของตัวแปรสุ่ม pdf ของตัวแปรสุ่มใหม่ก็คือการคอนโวลูชันกันของ pdf ของตัวแปรสุ่มสองตัว เพื่อให้ให้อยู่ในรูปที่ดูง่าย จะนิยามให้

$$p_z[z] = p_x[x] * p_y[y] = \sum_{y=-\infty}^{\infty} p_x[z-y]p_y[y] \quad (4.46)$$

และ

$$p_x[x] * p_x[x] = p_x[x]^2 \quad (4.47)$$

ดังนั้น ค่า pdf ของแอลแอลอาร์ที่ออกจากโหนดตัวแปร  $p_{VN}$  คือ

$$p_{VN}[L] = p_{ch}[L] * (p_{CN}[L])^{*(d_v-1)} \quad (4.48)$$

สำหรับรหัสแอลดีพีซีแบบไม่สม่ำเสมอค่าการกระจายตัวของเลข 1 ในจำนวนแถวแบบไม่สม่ำเสมอซึ่งมีการแทนด้วยการแจกแจงระดับชั้นของโหนดตัวแปร (Variable node degree distribution) ดังนี้

$$\lambda(x) = \sum_{i=2}^{d_{vmax}} \lambda_i x^{i-1} \quad (4.49)$$

$$\text{เมื่อ } \sum_{i=2}^{d_{vmax}} \lambda_i = 1$$

จากสมการที่ (4.49) จะมีการถ่วงน้ำหนักแต่ละระดับชั้นด้วยค่าสัมประสิทธิ์  $\lambda_i$  ดังนั้นขั้นตอนในการที่จะได้มาซึ่งค่า pdf จะต้องมีการกำหนดระดับชั้นสูงสุด  $d_{vmax}$  ก่อน หลังจากนั้นแต่ละระดับชั้นจะมีการคำนวณด้วยสมการที่ (4.48) เริ่มจากระดับชั้นที่ 2 จะได้

$$p_{VN1}[L] = p_{CN}[L] \quad (4.50)$$

ระดับชั้นที่ 3

$$p_{VN2}[L] = (p_{CN}[L])^2 \quad (4.51)$$

ระดับชั้นที่ 4

$$p_{VN3}[L] = (p_{CN}[L])^3 \quad (4.52)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำซ้ำไปจนถึงระดับขั้นที่  $d_{v,max}$

$$p_{VN(d_{v,max}-1)}[L] = (p_{CN}[L])^{*(d_{v,max}-1)} \quad (4.53)$$

ถัดมา pdf ของแต่ละระดับขั้นจะถูกถ่วงน้ำหนัก และรวมเข้าด้วยกันดังนี้

$$p_{VN}[L] = p_{ch}[L] * \left( \sum_{i=2}^{d_{v,max}} \lambda_i (p_{CN}[L])^{*(i-1)} \right) \quad (4.54)$$

#### 4.5.2 การวิเคราะห์การเปลี่ยนแปลงของ pdf สำหรับโหนดเช็ก

การคำนวณในส่วนของโหนดเช็กจะมีการแบ่งพิจารณาในส่วนของรหัสแวลติพีซีแบบปกติ และรหัสแวลติพีซีแบบสมำเสมอ

สำหรับรหัสแวลติพีซีแบบปกติที่มีค่าถ่วงน้ำหนักในแนวหลัก  $d_c$  เป็นค่าคงที่หรือมีค่าเท่ากันหมดในทุกหลัก ดังนั้นการคำนวณค่าแอลแอลอาร์ที่จะส่งออกไปจากโหนดเช็กคือ

$$\tanh\left(\frac{L_{CN}}{2}\right) = \prod_{i=1}^{d_c-1} \tanh\left(\frac{L_{VNi}}{2}\right) \quad (4.55)$$

สมการนี้บอกว่าคุณค่าแอลแอลอาร์ที่ส่งออกไปยังโหนดเช็ก  $L_{CN}$  เป็นผลคูณของคุณค่าแอลแอลอาร์ที่เข้ามายังโหนดตัวแปร  $L_{VNi}$  อย่างไรก็ตามในวิธีการวิวัฒนาการความหนาแน่นจะพิจารณาค่าความน่าจะเป็น ดังนั้นเราจะมองว่าคุณค่า  $L_{CN}$  และ  $L_{VN}$  เป็นตัวแปรสุ่มที่มี pdf เป็น  $p_{CN}[L]$  และ  $p_{VN}[L]$  ตามลำดับ ฉะนั้น สมการที่ (4.55) บอกว่าฟังก์ชันไฮเปอร์โบลิกแทนของตัวแปรสุ่ม  $L_{VN}/2$  ได้มาจากการคูณกันของฟังก์ชันไฮเปอร์โบลิกแทนของตัวแปรสุ่ม  $L_{CN}/2$  ที่เข้ามายังโหนดเช็ก กำหนดให้  $X$   $Y$  และ  $Z$  เป็นตัวแปรสุ่มที่มี pdf  $p_X$   $p_Y$  และ  $p_Z$  ตามลำดับ และจาก

$$p_Z[z] = \sum_{x=-\infty}^{\infty} \sum_{y=-\infty}^{\infty} p_{X,Y}[x, y] \quad (4.56)$$

จาก  $z = 2 \tanh^{-1}(\tanh(x/2) \tanh(y/2))$  หรือ

$x = 2 \tanh^{-1}(\tanh(z/2) / \tanh(y/2)) = g(z, y)$  จะได้

$$p_Z[z] = \sum_{y=-\infty}^{\infty} p_{X,Y}[g(z, y), y] \quad (4.57)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากตัวแปรสุ่ม  $X$  และ  $Y$  เป็นอิสระต่อกันดังนั้น

$$p_Z[z] = \sum_{y=-\infty}^{\infty} p_X[g(z, y)]p_Y[y] \quad (4.58)$$

จากสมการที่ (4.17) เพื่อให้ให้อยู่ในรูปที่ดูง่าย จะนิยามให้

$$p_Z[z] = p_X[x] \otimes p_Y[y] = \sum_{y=-\infty}^{\infty} p_X[g(z, y)]p_Y[y] \quad (4.59)$$

และ

$$p_X[x] \otimes p_X[x] = p_X[x]^{\otimes 2} \quad (4.60)$$

ดังนั้น ค่า pdf ของแอลแอลอาร์ที่ออกจากโหนดเช็ก  $p_{CN}[L]$  คือ

$$p_{CN}[L] = (p_{VN}[L])^{\otimes (d_c - 1)} \quad (4.61)$$

สำหรับรหัสแอลดีพีซีแบบไม่สม่ำเสมอค่าการกระจายตัวของเลข 1 ในจำนวนหลักแบบไม่สม่ำเสมอซึ่งมีการแทนด้วยการแจกแจงระดับชั้นของโหนดเช็ก (Check node degree distribution) ดังนี้

$$p(x) = \sum_{j=2}^{d_{c\max}} \rho_j x^{j-1} \quad (4.62)$$

$$\text{เมื่อ } \sum_{j=2}^{d_{c\max}} \rho_j = 1$$

จากสมการที่ (4.62) จะมีการถ่วงน้ำหนักแต่ละระดับชั้นด้วยค่าสัมประสิทธิ์  $\rho_j$  ดังนั้นขั้นตอนในการที่จะได้มาซึ่งค่า pdf จะต้องมีการกำหนดระดับชั้นสูงสุด  $d_{c\max}$  ก่อน หลังจากนั้นแต่ละระดับชั้นจะมีการคำนวณด้วยสมการที่ (4.61) เริ่มจากระดับชั้นที่ 2 จะได้

$$p_{CN1}[L] = p_{VN}[L] \quad (4.63)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระดับชั้นที่ 3

$$p_{CN2}[L] = (p_{VN}[L])^{\otimes 2} \quad (4.64)$$

ระดับชั้นที่ 4

$$p_{CN3}[L] = (p_{VN}[L])^{\otimes 3} \quad (4.65)$$

ทำซ้ำไปจนถึงระดับชั้นที่  $d_{c,max}$

$$p_{CN(d_{c,max}-1)}[L] = (p_{VN}[L])^{\otimes (d_{c,max}-1)} \quad (4.66)$$

ถัดมา pdf ของแต่ละระดับชั้นจะถูกถ่วงน้ำหนัก และรวมเข้าด้วยกันดังนี้

$$p_{CN}[L] = \left( \sum_{j=2}^{d_{c,max}} \rho_j (p_{VN}[L])^{*(j-1)} \right) \quad (4.67)$$

เช่นเดียวกันกับในอัลกอริทึมการถอดรหัสแอลดีพีซีจะต้องมีการคำนวณแบบวนซ้ำจนกระทั่งถึงรอบที่กำหนดไว้ จึงนำ pdf มาประมาณค่าความน่าจะเป็นความผิดพลาด เราจะสรุปขั้นตอนในการประมาณค่าความน่าจะเป็นความผิดพลาดโดยวิธีวิวัฒนาการความหนาแน่นดังนี้

1) สำหรับรหัสแอลดีพีซีแบบปกติ

ขั้นตอนที่ 1 กำหนดค่าเริ่มต้นได้แก่ พารามิเตอร์ของช่องสัญญาณ (ค่าเฉลี่ย, ค่าความแปรปรวน) ค่าพารามิเตอร์ของรหัสแอลดีพีซี ( $d_v$ ,  $d_c$ , จำนวนรอบการวนซ้ำ)

ขั้นตอนที่ 2 คำนวณค่า pdf ของแอลแอลอาร์จากช่องสัญญาณ  $p_{ch}[L]$

ขั้นตอนที่ 3 คำนวณค่า pdf ของแอลแอลอาร์ที่จะส่งออกจากโหนดตัวแปร  $L_{VN}[L]$  จาก

$$p_{VN}[L] = p_{ch}[L] * (p_{CN}[L])^{*(d_v-1)} \quad (4.68)$$

ในรอบที่ 1 pdf ของค่าแอลแอลอาร์ที่มาจากโหนดเช็ก  $L_{CN}$  ยังไม่มี ดังนั้น ในรอบที่ 1

$$p_{VN}[L] = p_{ch}[L]$$

ขั้นตอนที่ 4 คำนวณค่า pdf ของแอลแอลอาร์ที่ส่งออกจากโหนดเช็ก  $L_{CN}$  จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$p_{CN}[L] = (p_{VN}[L])^{\otimes(d_c-1)} \quad (4.69)$$

ขั้นตอนที่ 5 ทำซ้ำขั้นตอนที่ 4 – 5 จนกระทั่งการถอดรหัสในรอบสุดท้าย

ขั้นตอนที่ 6 คำนวณ pdf ของโหนดตัวแปรในรอบสุดท้าย  $L_{app}$  จาก

$$p_{app}[L] = p_{ch}[L] * (p_{CN}[L])^{*(d_v)} \quad (4.70)$$

และขั้นตอนที่ 7 นำ pdf ในรอบสุดท้ายมาประมาณค่าความน่าจะเป็นความผิดพลาด  $p_e$  จาก

$$p_e = \int_{-\infty}^0 p_{app}[L] dL \quad (4.71)$$

2) สำหรับรหัสแอลดีพีซีแบบไม่สม่ำเสมอ

ขั้นตอนที่ 1 กำหนดค่าเริ่มต้นได้แก่ พารามิเตอร์ของช่องสัญญาณ (ค่าเฉลี่ย, ค่าความแปรปรวน) ค่าพารามิเตอร์ของรหัสแอลดีพีซี ( $d_{vmax}$ ,  $d_{cmax}$ , การแจกแจงระดับชั้นของโหนดตัวแปร, การแจกแจงระดับชั้นของโหนดเช็ก, จำนวนรอบการวนซ้ำ)

ขั้นตอนที่ 2 คำนวณค่า pdf ของแอลแอลอาร์จากช่องสัญญาณ  $p_{ch}[L]$

ขั้นตอนที่ 3 คำนวณค่า pdf ของแอลแอลอาร์ที่จะส่งออกจากโหนดตัวแปร  $L_{VN}$  จาก

$$p_{VN}[L] = p_{ch}[L] * \left( \sum_{i=2}^{d_{vmax}} \lambda_i (p_{CN}[L])^{*(i-1)} \right) \quad (4.72)$$

ในรอบที่ 1 pdf ของค่าแอลแอลอาร์ที่มาจากโหนดเช็ก  $L_{CN}$  ยังไม่มี ดังนั้น ในรอบที่ 1

$$p_{VN}[L] = p_{ch}[L]$$

ขั้นตอนที่ 4 คำนวณค่า pdf ของแอลแอลอาร์ที่ส่งออกจากโหนดเช็ก  $L_{CN}$  จาก

$$p_{CN}[L] = \left( \sum_{j=2}^{d_{cmax}} \rho_j (p_{VN}[L])^{*(j-1)} \right) \quad (4.73)$$

ขั้นตอนที่ 5 ทำซ้ำขั้นตอนที่ 4 – 5 จนกระทั่งการถอดรหัสในรอบสุดท้าย

ขั้นตอนที่ 6 คำนวณ pdf ของโหนดตัวแปรในรอบสุดท้าย  $L_{app}$  จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$p_{VN}[L] = p_{ch}[L] * \left( \sum_{i=2}^{d_{\max}} \lambda_i (p_{CN}[L])^{*(i)} \right) \quad (4.74)$$

และขั้นตอนที่ 7 นำ pdf ในรอบสุดท้ายมาประมาณค่าความน่าจะเป็นความผิดพลาด  $p_e$  จาก

$$p_e = \int_{-\infty}^0 p_{app}[L] dL \quad (4.75)$$

ในการประมาณหาค่าเทรลโฮลด์ของวงจรถอดรหัสสามารถทำได้โดยการเปลี่ยนค่าเอสเอ็นอาร์ จากมากไปหาน้อย ค่าเอสเอ็นอาร์ค่าแรกที่ให้ค่าความน่าจะเป็นความผิดพลาดมากกว่า  $10^{-6}$  จะเป็น ค่าเอสเอ็นอาร์ที่เป็นเทรลโฮลด์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

# วิธีการออกแบบแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซี สำหรับหน่วยความจำแบบ NAND flash

### 5.1 แรงดันไฟฟ้าอ่านและฟังก์ชันวัตถุประสงค์

#### 5.1.1 นิยามของแรงดันไฟฟ้าอ่าน

งานวิจัยนี้ศึกษาการออกแบบแรงดันไฟฟ้าอ่านสำหรับหน่วยความจำแบบ NAND flash ซึ่งมีการนำรหัสแอลดีพีซีมาใช้เพื่อปรับปรุงความน่าเชื่อถือของการบันทึกข้อมูล อย่างไรก็ตามการที่จะให้ได้สมรรถนะสูงสุดของรหัสแอลดีพีซีจำเป็นจะต้องมีการใช้ค่าข่าวสารแบบซอฟต์แวร์ (Soft information) ที่มีความละเอียดสูง ในการอ่านค่าซอฟต์แวร์ในหน่วยความจำแบบ NAND flash จะใช้แรงดันไฟฟ้าอ่านหลาย ๆ ค่าแล้วพิจารณาว่าค่าที่อ่านได้อยู่ในช่วงของค่าใด วิธีการนี้จะมีการเทรดออฟ (Trade-off) ระหว่างความละเอียดของค่าซอฟต์แวร์ (Resolution) และระยะเวลาในการอ่าน (Latency) กล่าวคือถ้าใช้ความละเอียดของค่าข่าวสารแบบซอฟต์แวร์มากก็จะได้สมรรถนะการถอดรหัสที่ดีแต่ระยะเวลาในการอ่านข้อมูลก็จะนานขึ้นตามไปด้วย เนื่องจากระบบบันทึกข้อมูลแบบ NAND flash ต้องมีคุณสมบัติอ่าน/เขียนด้วยความรวดเร็ว ดังนั้นในงานวิจัยนี้จะใช้จำนวนแรงดันไฟฟ้าอ่านต่ำสุดที่ให้ข่าวสารแบบซอฟต์แวร์นั้นคือ 2 ค่าต่อคู่ pdf ที่อยู่ติดกัน เช่นหน่วยความจำแบบ NAND flash ที่เป็นแบบ SLC จะมี pdf ที่อยู่ติดกัน 1 คู่ ดังนั้นต้องใช้แรงดันไฟฟ้าอ่านอย่างน้อย 2 ค่า เพื่อให้ได้ค่าข่าวสารแบบซอฟต์แวร์สำหรับหน่วยความจำแบบ MLC จะมีคู่ pdf ที่อยู่ติดกัน 3 คู่ ดังนั้นต้องใช้แรงดันไฟฟ้าอ่านอย่างน้อย 6 ค่า เพื่อให้ได้ค่าข่าวสารแบบซอฟต์แวร์ กำหนดให้  $\mathbf{r} = [r_1, r_2, r_3, r_3, r_4, r_5, r_6]$  เป็นเซตของแรงดันไฟฟ้าอ่านของหน่วยความจำแบบ NAND flash โดยขั้นตอนการอ่านจะเริ่มต้นด้วยใช้แรงดันไฟฟ้าอ่าน  $r_1$  แล้วตรวจวัดกระแสไฟฟ้าด้วยตัวตรวจวัดกระแสไฟฟ้า (Sense amplifier) ถ้ายังไม่เจอก็จะใช้แรงดันไฟฟ้าอ่าน  $r_2$  แล้วตรวจวัดกระแสไฟฟ้า กระบวนการดำเนินไปเรื่อย ๆ จนถึงแรงดันไฟฟ้าอ่าน  $r_6$  ดังนั้นจะทราบได้ว่าค่าแรงดันไฟฟ้าเทรสโฮลด์ของหน่วยความจำอยู่ในช่วงใดจากการตรวจวัดกระแสไฟฟ้า แรงดันไฟฟ้าอ่านสามารถพิจารณาให้เป็นวงจรถอนโทษ (Quantizer) ที่ควอนไทซ์แรงดันไฟฟ้าเทรสโฮลด์ของเซลล์หน่วยความจำ

เนื่องจากหน่วยความจำแบบ MLC NAND flash มีการบันทึก 2 บิต/เซลล์ซึ่งพิจารณาเป็นบิตที่มีนัยสำคัญมาก (MSB: Most Significant Bit) และบิตที่มีนัยสำคัญน้อย (LSB: Least Significant Bit) ดังนั้นช่องสัญญาณการอ่าน (Read channel) จะสามารถพิจารณาแยกเป็นช่องสัญญาณที่ไม่มีหน่วยความจำแบบไม่ต่อเนื่อง (DMC: Discrete Memoryless Channel) ของบิต MSB และ LSB แรงดันไฟฟ้าอ่าน  $\mathbf{r} = [r_1, r_2, r_3, r_3, r_4, r_5, r_6]$  จะแบ่งแรงดันไฟฟ้าเทรสโฮลด์ของเซลล์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำเป็น 7 ช่วงนั่นคือ  $\Omega = [\Omega_1, \Omega_2, \Omega_3, \Omega_4, \Omega_5, \Omega_6, \Omega_7]$  เมื่อ  $\Omega_1 \in (-\infty, r_1]$ ,  $\Omega_2 \in [r_1, r_2]$ ,  $\Omega_3 \in [r_2, r_3]$ ,  $\Omega_4 \in [r_3, r_4]$ ,  $\Omega_5 \in [r_4, r_5]$ ,  $\Omega_6 \in [r_5, r_6]$  และ  $\Omega_7 \in [r_6, \infty)$  กำหนดให้  $x_s$  เป็นสัญลักษณ์อินพุต ดังนั้นความน่าจะเป็นแบบมีเงื่อนไข  $p_j(\Omega_j | x_s)$  สามารถคำนวณได้จาก

$$p_j(\Omega_j | x_s) = \int_{\Omega_j} p_s(v_{th}) dv_{th} \quad (5.1)$$

เมื่อ  $v_{th}$  คือแรงดันไฟฟ้าเทอร์สโวลต์  $s \in \{11, 10, 00, 01\}$  และ  $j \in \{1, 2, 3, 4, 5, 6, 7\}$  กำหนดให้  $L_M$  และ  $L_L$  เป็นค่าแวลแวลอาร์ของ MSB และ LSB ที่มีฟังก์ชันการแจกแจงเป็น  $p_M(L)$  และ  $p_L(L)$  ตามลำดับ สามารถคำนวณค่า  $L_M$  และ  $L_L$  ที่เป็นอินพุตของวงจรถอดรหัสแอลดีพีซีได้จาก

$$L_{M_j} = \frac{\sum_{s \in \{11, 10\}} p_j(\Omega_j | x_s)}{\sum_{s \in \{00, 01\}} p_j(\Omega_j | x_s)} \quad (5.2)$$

$$L_{L_j} = \frac{\sum_{s \in \{11, 01\}} p_j(\Omega_j | x_s)}{\sum_{s \in \{00, 10\}} p_j(\Omega_j | x_s)} \quad (5.3)$$

### 5.1.2 การออกแบบฟังก์ชันวัตถุประสงค์

ในงานวิจัยนี้จะมีการออกแบบแรงดันไฟฟ้าอ่านและออกแบบรหัสแอลดีพีซีโดยการออปติไมซ์พารามิเตอร์ ดังนั้นฟังก์ชันวัตถุประสงค์ (Objective function) ที่ใช้ในการออปติไมซ์มีความสำคัญมากเนื่องจากจะเป็นตัวที่บ่งบอกถึงการออกแบบว่าฟังก์ชันที่ใช้มีความสอดคล้องกันกับพารามิเตอร์ที่ต้องการหรือไม่ ในงานวิจัยนี้จะออกแบบแรงดันไฟฟ้าอ่านเซลล์ซึ่งอย่างที่กล่าวในหัวข้อก่อนหน้าว่าแรงดันไฟฟ้าอ่านเซลล์เป็นตัวกำหนดค่าข่าวสารแบบซอฟต์แวร์สำหรับเป็นอินพุตของวงจรถอดรหัสแอลดีพีซีและมีผลต่อสมรรถนะของรหัสแอลดีพีซี ดังนั้นในงานวิจัยนี้จึงได้นำอัลกอริทึมการวิเคราะห์สมรรถนะของวงจรถอดรหัสแอลดีพีซีในเชิงทฤษฎีหรือที่เรียกว่าการวิวัฒนาการความหนาแน่น (DE) [18] มาใช้ในการออปติไมซ์หาค่าแรงดันไฟฟ้าอ่าน การออกแบบสามารถแบ่งเป็น 2 แบบใหญ่ ๆ คือฟังก์ชันวัตถุประสงค์สำหรับรหัสแอลดีพีซีแบบไม่มีโครงสร้างโครงสร้างและรหัสแอลดีพีซีแบบมีโครงสร้าง

#### 5.1.2.1 ฟังก์ชันวัตถุประสงค์สำหรับรหัสแอลดีพีซีแบบไม่มีโครงสร้าง

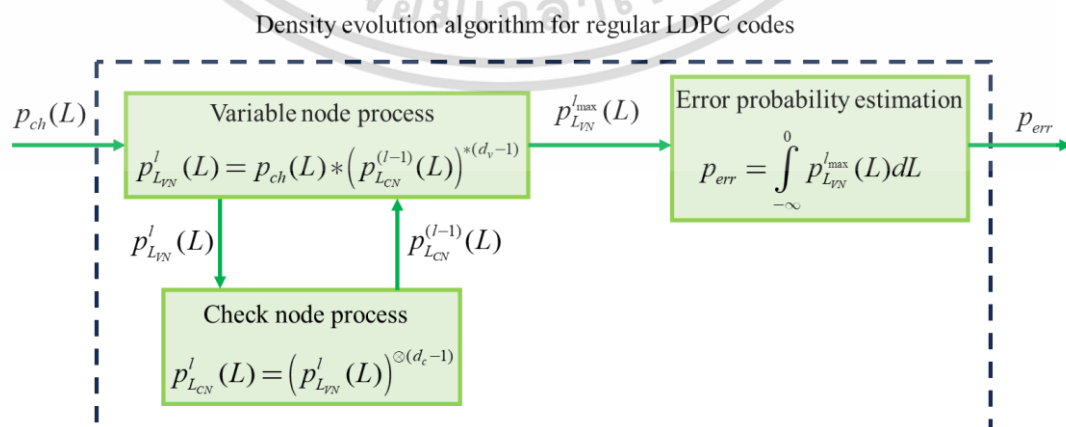
รหัสแอลดีพีซีแบบไม่มีโครงสร้างแบ่งเป็น 2 ประเภทคือรหัสแอลดีพีซีแบบปกติและรหัสแอลดีพีซีแบบสม่ำเสมอซึ่งมีการอธิบายวิธีการวิเคราะห์สมรรถนะของรหัสแอลดีพีซีในเชิงทฤษฎีเอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์เพื่อการใช้ในเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้เผยแพร่เอกสารนี้ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยใช้อัลกอริทึมการวิวัฒนาการความหนาแน่นในบทที่ 4 ในหัวข้อนี้จะสรุปอัลกอริทึมวิวัฒนาการความหนาแน่นของรหัสแอลดีพีซีโดยคร่าว

### 5.1.2.1.1 ฟังก์ชันวัตถุประสงค์สำหรับรหัสแอลดีพีซีแบบปกติ

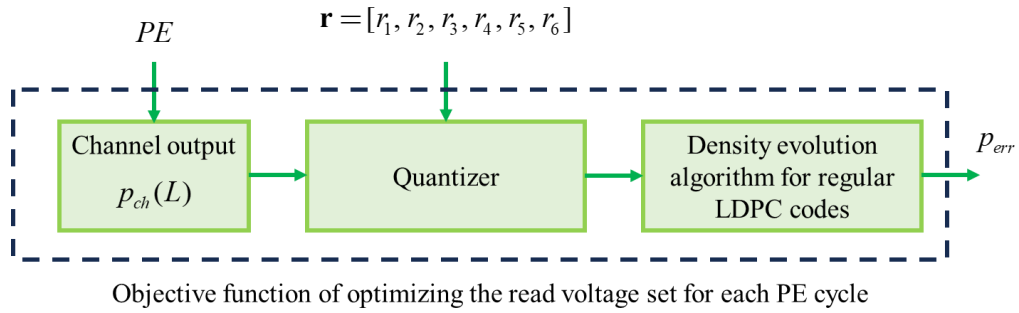
ฟังก์ชันวัตถุประสงค์สำหรับรหัสแอลดีพีซีแบบปกติจะแบ่งเป็น 2 แบบคือฟังก์ชันวัตถุประสงค์สำหรับการหาค่าแรงดันไฟฟ้าอ่านจำนวนหลายชุดที่เหมาะสมสำหรับแต่ละค่าความรุนแรงของสัญญาณรบกวนซึ่งในหน่วยความจำแบบ NAND flash จะพิจารณาระดับความรุนแรงของสัญญาณรบกวนด้วยจำนวนรอบการเขียนและลบ (PE: Programmed and Erased cycle) และการหาค่าแรงดันไฟฟ้าอ่านจำนวน 1 ชุดที่เหมาะสมสำหรับทุกค่า PE cycle

สำหรับฟังก์ชันวัตถุประสงค์สำหรับการหาค่าแรงดันไฟฟ้าอ่านสำหรับแต่ละ PE cycle จะอาศัยการวิเคราะห์สมรรถนะของรหัสแอลดีพีซีด้วยอัลกอริทึมการวิวัฒนาการความหนาแน่นที่สรุปโดยคร่าวแสดงในรูปที่ 5.1 อินพุตของอัลกอริทึมคือฟังก์ชัน pdf ของค่าแอลแอลอาร์จากช่องสัญญาณ  $p_{ch}(L)$  ฟังก์ชัน pdf ดังกล่าวจะถูกคำนวณไปมาระหว่างโหนดตัวแปรและโหนดเช็ทซึ่งจะทำให้ pdf  $p_{L_{VN}}^l(L)$  และ  $p_{L_{CN}}^{(l)}(L)$  มีรูปร่างที่เปลี่ยนแปลงไป และในการคำนวณในโหนดตัวแปรรอบสุดท้ายฟังก์ชัน pdf  $p_{L_{VN}}^{l_{max}}(L)$  จะถูกส่งไปประมาณค่าความน่าจะเป็นความผิดพลาด  $p_{err}$  และเป็นเอาต์พุตของอัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับรหัสแอลดีพีซีแบบปกติ สำหรับอัลกอริทึมการวิวัฒนาการความหนาแน่นนำมาปรับให้เข้ากับการออกแบบแรงดันไฟฟ้าอ่าน  $\mathbf{r} = [r_1, r_2, r_3, r_3, r_4, r_5, r_6]$  จะต้องเปลี่ยนอินพุตให้เป็นชุดแรงดันไฟฟ้าอ่านและค่า PE cycle ซึ่งเพิ่มเข้าไปในระบบที่มีการควอนไทซ์ โดยที่ค่า PE cycle  $PE$  จะปรับระดับความรุนแรงของสัญญาณรบกวนหรือฟังก์ชัน pdf จากช่องสัญญาณ  $p_{ch}(L)$  ทำให้ฟังก์ชันวัตถุประสงค์สามารถกำหนดค่า  $PE$  และปรับอินพุตที่เป็นชุดแรงดันไฟฟ้าอ่านแล้วให้อเอาต์พุตเป็นค่าความน่าจะเป็นความผิดพลาดของรหัสแอลดีพีซี  $p_{err}$  ดังแสดงในรูปที่ 5.2



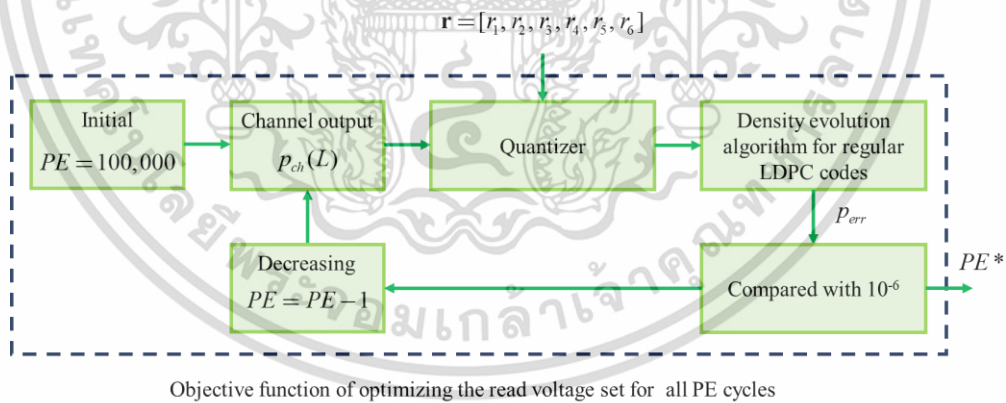
รูปที่ 5.1 แผนภาพบล็อกอัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับรหัสแอลดีพีซีแบบปกติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 แผนภาพบล็อกฟังก์ชันวัตถุประสงค์ในการหาแรงดันไฟฟ้าอ่านสำหรับแต่ละค่า PE ของรหัสแอลดีพีซีแบบปกติ

สำหรับฟังก์ชันวัตถุประสงค์สำหรับการหาค่าแรงดันไฟฟ้าอ่านสำหรับทุก PE cycle จะอาศัยการวิเคราะห์สมรรถนะของรหัสแอลดีพีซีด้วยอัลกอริทึมการวิวัฒนาการความหนาแน่นที่สรุปโดยคร่าวดังแสดงในรูปที่ 5.1 สำหรับอัลกอริทึมการวิวัฒนาการความหนาแน่นนำมาปรับให้เข้ากับการออกแบบแรงดันไฟฟ้าอ่าน  $\mathbf{r} = [r_1, r_2, r_3, r_4, r_5, r_6]$  จะต้องเปลี่ยนอินพุตให้เป็นชุดแรงดันไฟฟ้าอ่านซึ่งเพิ่มเข้าไปในระบบที่มีการควอนไทซ์ โดยที่ค่า PE จะตั้งไว้ที่ค่า 100,000 รอบและจะถูกปรับลดไปเรื่อย ๆ จนกระทั่งอัลกอริทึมการวิวัฒนาการความหนาแน่นให้ค่าเอาต์พุต  $p_{err}$  ต่ำกว่าหรือเท่ากับ  $10^{-6}$  ค่า PE ที่จุดนี้เรียกว่าค่าเทรสโฮลด์การถอดรหัส (Decoding threshold) ซึ่งจะใช้เป็นค่าเอาต์พุตของฟังก์ชันวัตถุประสงค์  $PE^*$  ดังแสดงในรูปที่ 5.3



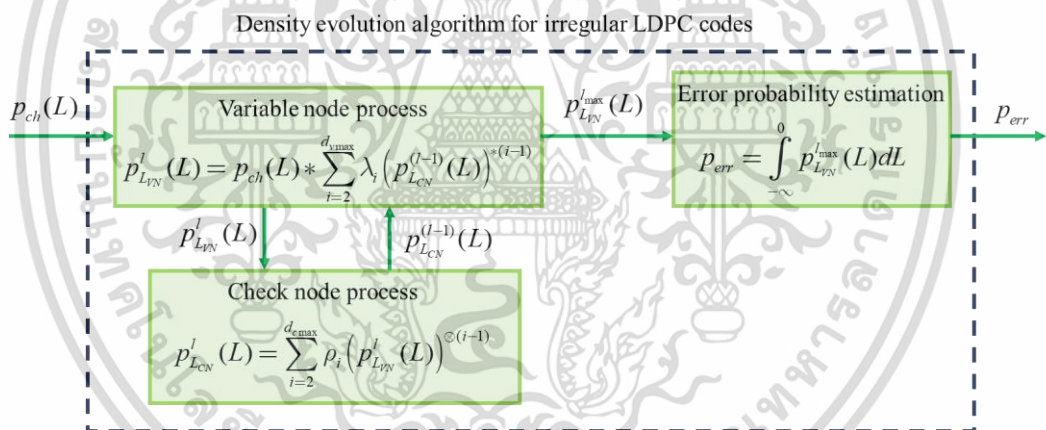
รูปที่ 5.3 แผนภาพบล็อกฟังก์ชันวัตถุประสงค์ในการหาแรงดันไฟฟ้าอ่านสำหรับทุกค่า PE ของรหัสแอลดีพีซีแบบปกติ

### 5.1.2.1.2 ฟังก์ชันวัตถุประสงค์สำหรับรหัสแอลดีพีซีแบบไม่สม่ำเสมอ

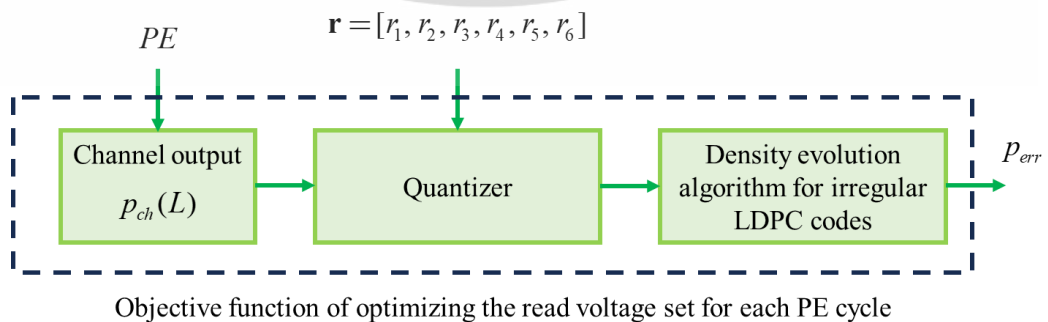
ฟังก์ชันวัตถุประสงค์ของรหัสแอลดีพีซีแบบไม่สม่ำเสมอจะมี 2 ฟังก์ชัน ได้แก่ ฟังก์ชันวัตถุประสงค์สำหรับการหาค่าแรงดันไฟฟ้าอ่านจำนวนหลายชุดที่เหมาะสมสำหรับแต่ละค่าความ

รุนแรงของสัญญาณรบกวน และการหาค่าแรงดันไฟฟ้าอ่านจำนวน 1 ชุดที่เหมาะสมสำหรับทุกค่า PE cycle โดยมีรายละเอียดดังนี้

ฟังก์ชันวัตถุประสงค์ในการหาค่าแรงดันไฟฟ้าอ่านสำหรับแต่ละ PE cycle จะอาศัยการวิเคราะห์สมรรถนะของรหัสแอลดีพีซีด้วยอัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับรหัสแอลดีพีซีแบบไม่สม่ำเสมอที่สรุปโดยคร่าวดังแสดงในรูปที่ 5.4 อัลกอริทึมวิวัฒนาการความหนาแน่นของรหัสแอลดีพีซีแบบไม่สม่ำเสมอจะมีอินพุตเป็น pdf ของข้อมูลที่อ่านได้จากช่องสัญญาณ หลังจากนั้นจะมีการส่ง pdf ของแอลแอลอาร์ไปคำนวณที่โหนดตัวแปรและโหนดเช็กลับๆไปกลับมา ในการถอดรหัสรอบสุดท้ายจะส่ง pdf ของแอลแอลอาร์  $p_{L_{VN}}^{l_{max}}(L)$  ไปประมาณค่าความน่าจะเป็นความผิดพลาด  $p_{err}$  ซึ่งเป็นเอาต์พุตของอัลกอริทึมการวิวัฒนาการความหนาแน่น อัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับการถอดรหัสแอลดีพีซีแบบไม่สม่ำเสมอถูกนำมาใช้ในการสร้างฟังก์ชันวัตถุประสงค์ในการออกแบบแรงดันไฟฟ้าอ่านดังแสดงในรูปที่ 5.5 โดยจะกำหนดให้อินพุตของฟังก์ชันวัตถุประสงค์เป็นชุดของแรงดันไฟฟ้าอ่าน  $\mathbf{r} = [r_1, r_2, r_3, r_4, r_5, r_6]$  และค่า PE ส่วนเอาต์พุตเป็นความน่าจะเป็นความผิดพลาด  $p_{err}$



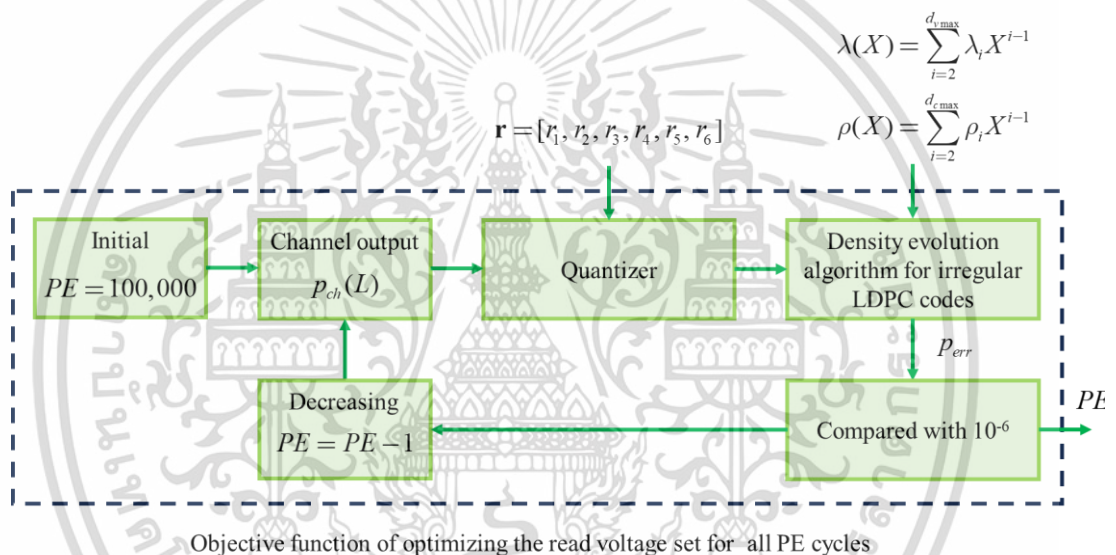
รูปที่ 5.4 แผนภาพบล็อกอัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับรหัสแอลดีพีซีแบบไม่สม่ำเสมอ



รูปที่ 5.5 แผนภาพบล็อกฟังก์ชันวัตถุประสงค์ในการหาแรงดันไฟฟ้าอ่านสำหรับแต่ละค่า PE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชันวัตถุประสงค์สำหรับการหาค่าแรงดันไฟฟ้าอ่านสำหรับทุก PE cycle จะอาศัยการวิเคราะห์สมรรถนะของรหัสแอลดีพีซีด้วยแบบไม่สม่ำเสมอด้วยอัลกอริทึมการวิวัฒนาการความหนาแน่นที่สรุปโดยคร่าวดังแสดงในรูปที่ 5.4 กำหนดให้ฟังก์ชันวัตถุประสงค์มีอินพุตเป็นแรงดันไฟฟ้าอ่าน  $\mathbf{r} = [r_1, r_2, r_3, r_4, r_5, r_6]$  และคู่การแจกแจงดีกรี (Degree distribution pairs)  $\lambda(X)$  และ  $\rho(X)$  ซึ่งสามารถออกแบบทั้งแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีแบบไม่สม่ำเสมอได้ ฟังก์ชันวัตถุประสงค์จะเริ่มต้นค่า PE ที่ค่า 100,000 รอบและจะถูกปรับลดไปเรื่อย ๆ จนกระทั่งอัลกอริทึมการวิวัฒนาการความหนาแน่นให้ค่าเอาต์พุต  $p_{err}$  ต่ำกว่าหรือเท่ากับ  $10^{-6}$  ค่า PE ซึ่งเป็นค่าเทรสโฮลด์การถอดรหัส (Decoding threshold) ที่จะใช้เป็นค่าเอาต์พุตของฟังก์ชันวัตถุประสงค์ PE\* ดังแสดงในรูปที่ 5.6



รูปที่ 5.6 แผนภาพบล็อกฟังก์ชันวัตถุประสงค์ในการหาแรงดันไฟฟ้าอ่านสำหรับทุกค่า PE ของรหัสแอลดีพีซีแบบไม่สม่ำเสมอ

### 5.1.2.2 ฟังก์ชันวัตถุประสงค์สำหรับรหัสแอลดีพีซีแบบมีโครงสร้าง

รหัสแอลดีพีซีแบบมีโครงสร้างในงานวิจัยนี้จะมุ่งศึกษาที่รหัสแอลดีพีซีแบบโพรโทกราฟซึ่งเป็นรหัสแอลดีพีซีแบบมีโครงสร้างที่นิยมใช้กันอย่างแพร่หลายในระบบสื่อสารสมัยใหม่ อย่างไรก็ตามที่ได้กล่าวไปแล้วในบทที่ 4 ว่ารหัสแอลดีพีซีแบบโพรโทกราฟแทนด้วยกราฟฐาน (Base graph) ในการออกแบบอัลกอริทึมการวิวัฒนาการความหนาแน่นของรหัสแอลดีพีซีแบบโพรโทกราฟสำหรับสร้างฟังก์ชันวัตถุประสงค์จะต้องอาศัยกราฟฐาน  $\mathbf{B}$  ในการคำนวณ กราฟฐานประกอบไปด้วยเซตของโหนดตัวแปร  $\mathcal{V}$  เซตของโหนดเช็ก  $\mathcal{C}$  และเซตของเส้นเชื่อม  $\mathcal{E}$  กราฟฐานสามารถยินยอมให้โหนดตัวแปรมี 1 เส้นเชื่อม โหนดตัวแปรสามารถถูกฟังก์เจอร์ (Punctured) และมีเส้นเชื่อมแบบขนานได้ กำหนดให้  $(i, j, k)$  เป็นอินเด็กซ์ของแต่ละเส้นเชื่อมเมื่อ  $i \in \{1, 2, \dots, M_p\}$  คืออินเด็กซ์ของโหนดเช็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$j \in \{1, 2, \dots, N_p\}$  คืออินเด็กซ์ของโหนดตัวแปร และ  $k \in \{1, 2, \dots, b(i, j)\}$  คืออินเด็กซ์ของเส้นขนานของกราฟฐาน  $M_p$  และ  $N_p$  เป็นจำนวนของโหนดเชิงและโหนดตัวแปรของกราฟฐาน และ  $b(i, j) \in \mathbf{B}$  เป็นจำนวนเส้นขนาน กำหนดให้  $L_{VN}(i, j, k)$  เป็นค่าแอลแอลอาร์ที่ส่งจากโหนดตัวแปรที่  $j$  ไปยังโหนดเชิงที่  $i$  บนเส้นขนานที่  $k$  และ  $L_{CN}(i, j, k)$  เป็นค่าแอลแอลอาร์ที่ส่งจากโหนดเชิงที่  $i$  ไปยังโหนดตัวแปรที่  $j$  บนเส้นขนานที่  $k$  โดยที่  $L_{VN}(i, j, k)$  และ  $L_{CN}(i, j, k)$  มีฟังก์ชัน pdf เป็น  $p_{L_{VN}}(L(i, j, k))$  และ  $p_{L_{CN}}(L(i, j, k))$

ที่โหนดเชิง ฟังก์ชัน pdf ของแอลแอลอาร์ที่ส่งออกจากโหนดเชิงสามารถคำนวณได้จาก

$$p_{L_{CN}}^{(l)}(L(i, j, k)) = \Theta_{\{i, j, k' \in \mathcal{M}(i) \setminus j, k\}} p_{L_{VN}}^{(l)}(L(i, j', k')) \quad (5.4)$$

เมื่อ  $\Theta_{\{i \in \{x_1, x_2, x_3\}\}} p(i) = p(x_1) \otimes p(x_2) \otimes p(x_3)$  และ  $\mathcal{M}(i) \setminus j, k$  คือเซตของโหนดตัวแปรและเส้นเชื่อมแบบขนานทั้งหมดที่เชื่อมกับโหนดเชิงที่  $i$  ยกเว้นโหนดตัวแปรที่  $j$  และเส้นเชื่อมแบบขนานที่  $k$

ที่โหนดตัวแปร ฟังก์ชัน pdf ของแอลแอลอาร์ที่ส่งออกจากโหนดตัวแปรสามารถคำนวณได้จาก

$$p_{L_{VN}}^{(l)}(L(i, j, k)) = \Xi_{\{i', j, k \in \mathcal{N}(j) \setminus i, k\}} p_{L_{CN}}^{(l-1)}(L(i', j, k)) * p_{ch}(L(j)) \quad (5.5)$$

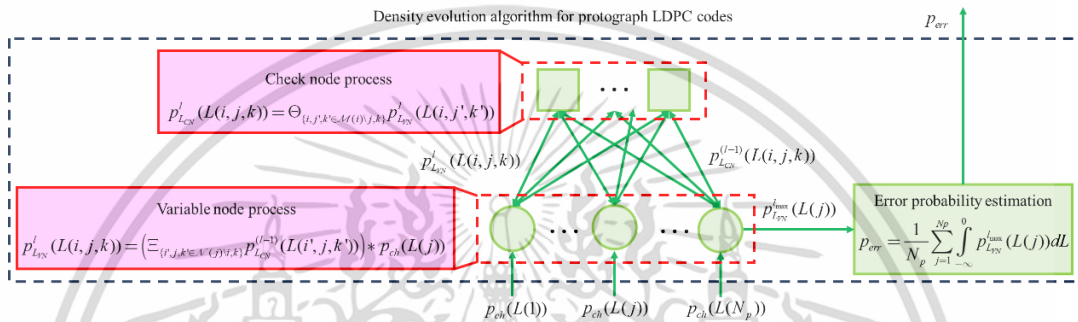
เมื่อ  $\Xi_{\{i \in \{x_1, x_2, x_3\}\}} p(i) = p(x_1) * p(x_2) * p(x_3)$  และ  $\mathcal{N}(j) \setminus i, k$  คือเซตของโหนดเชิงและเส้นเชื่อมแบบขนานทั้งหมดที่เชื่อมกับโหนดตัวแปรที่  $j$  ยกเว้นโหนดเชิงที่  $i$  และเส้นเชื่อมแบบขนานที่  $k$  การคำนวณจะสอดคล้องกับอัลกอริทึมการถอดรหัสแอลดีพีซี นั่นคือมีการคำนวณค่าไปมาระหว่างโหนดตัวแปรและโหนดเชิงจนถึงจำนวนรอบที่กำหนด ในการถอดรหัสรอบสุดท้ายสามารถคำนวณฟังก์ชัน pdf ของแอลแอลอาร์ได้จาก

$$p_{L_{VN}}^{(l_{\max})}(L(j)) = \Xi_{\{i, j, k \in \mathcal{N}(j)\}} p_{L_{CN}}^{(l_{\max}-1)}(L(i, j, k)) * p_{ch}(L(j)) \quad (5.6)$$

เมื่อ  $\mathcal{N}(j)$  คือเซตของโหนดเชิงและเส้นเชื่อมแบบขนานทั้งหมดที่เชื่อมกับโหนดตัวแปรที่  $j$  หลังจากนั้นจะประมาณค่าความน่าจะเป็นความผิดพลาดจากฟังก์ชัน pdf ของแอลแอลอาร์ของการถอดรหัสรอบสุดท้าย นั่นคือ

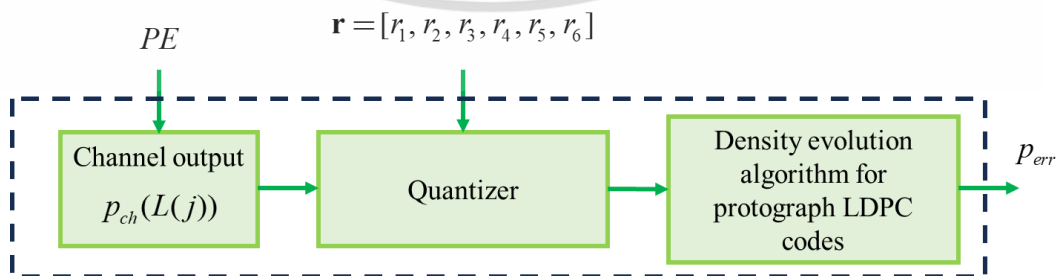
$$p_{err} = \frac{1}{N_p} \sum_{j=1}^{N_p} \int_{-\infty}^0 p_{L_{VN}}^{(l_{max})}(L(j)) dL \tag{5.7}$$

อัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับรหัสแอลดีพีซีแบบโปรโทกราฟสามารถสรุปได้โดยคร่าวดังรูปที่ 5.7 การสร้างฟังก์ชันวัตถุประสงค์สำหรับการใช้ในการออกแบบแรงดันอ่านเซลล์สามารถแบ่งได้เป็น 2 แบบ ได้แก่ ฟังก์ชันวัตถุประสงค์สำหรับการหาค่าแรงดันไฟฟ้าอ่านจำนวนหลายชุดที่เหมาะสมสำหรับแต่ละค่าความรุนแรงของสัญญาณรบกวน และการหาค่าแรงดันไฟฟ้าอ่านจำนวน 1 ชุดที่เหมาะสมสำหรับทุกค่า PE cycle



รูปที่ 5.7 แผนภาพบล็อกอัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับรหัสแอลดีพีซีแบบโปรโทกราฟ

ฟังก์ชันวัตถุประสงค์สำหรับการหาค่าแรงดันไฟฟ้าอ่านจำนวนหลายชุดที่เหมาะสมสำหรับแต่ละค่าความรุนแรงของสัญญาณรบกวนจะเป็นการนำอัลกอริทึมการวิวัฒนาการความหนาแน่นของรหัสแอลดีพีซีแบบโปรโทกราฟมาปรับใช้ในการประมาณค่าความน่าจะเป็นความผิดพลาด ฟังก์ชันวัตถุประสงค์มีจุดมุ่งหมายในการปรับค่าแรงดันไฟฟ้าอ่าน  $\mathbf{r} = [r_1, r_2, r_3, r_4, r_5, r_6]$  และให้อาต์พุตเป็นค่าความน่าจะเป็นความผิดพลาด  $p_{err}$  ดังนั้นจะมีการเติมวงจรคอนโทรลเซอร์เข้าไปก่อนอัลกอริทึมการวิวัฒนาการความหนาแน่น ดังนั้น อินพุตของฟังก์ชันวัตถุประสงค์จะถูกปรับให้อินพุตเป็นแรงดันไฟฟ้าอ่านและค่า PE ดังแสดงในรูปที่ 5.8

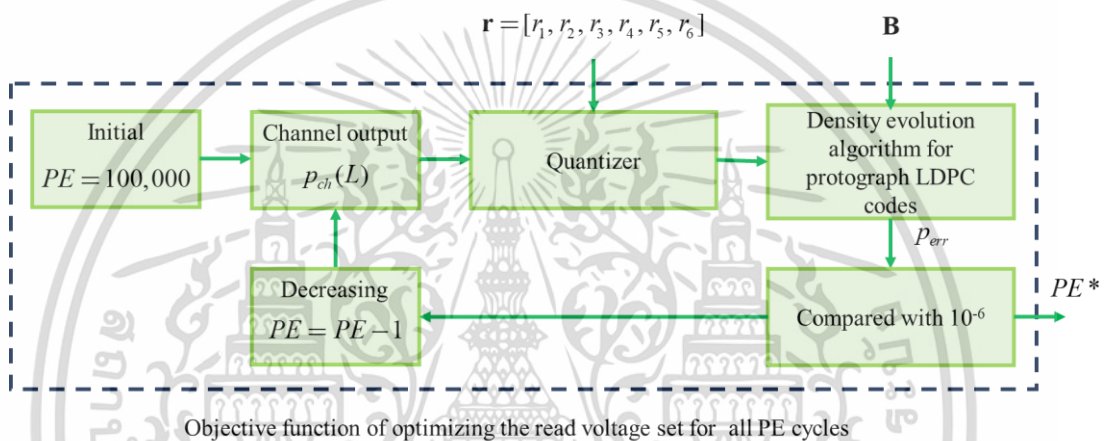


Objective function of optimizing the read voltage set for each PE cycle

รูปที่ 5.8 แผนภาพบล็อกฟังก์ชันวัตถุประสงค์ในการหาแรงดันไฟฟ้าอ่านสำหรับแต่ละค่า PE

ของรหัสแอลดีพีซีแบบโปรโทกราฟ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชันวัตถุประสงค์สำหรับการหาค่าแรงดันไฟฟ้าอ่านสำหรับทุก PE cycle จะอาศัยการวิเคราะห์สมรรถนะของรหัสแอลดีพีซีด้วยแบบไม่สม่ำเสมอด้วยอัลกอริทึมการวิวัฒนาการความหนาแน่นที่สรุปโดยคร่าวดังแสดงในรูปที่ 5.7 กำหนดให้ฟังก์ชันวัตถุประสงค์มีอินพุตเป็นแรงดันไฟฟ้าอ่าน  $\mathbf{r} = [r_1, r_2, r_3, r_4, r_5, r_6]$  และกราฟฐาน  $\mathbf{B}$  ซึ่งสามารถออกแบบทั้งแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีแบบโพรโทกราฟได้ ฟังก์ชันวัตถุประสงค์จะเริ่มต้นค่า  $PE$  ที่ค่า 100,000 รอบและจะถูกปรับลดไปเรื่อย ๆ จนกระทั่งอัลกอริทึมการวิวัฒนาการความหนาแน่นให้ค่าเอาต์พุต  $P_{err}$  ต่ำกว่าหรือเท่ากับ  $10^{-6}$  ค่า  $PE$  ซึ่งเป็นค่าเทรชโฮลด์การถอดรหัส (Decoding threshold) ที่จะใช้เป็นค่าเอาต์พุตของฟังก์ชันวัตถุประสงค์  $PE^*$  ดังแสดงในรูปที่ 5.9



รูปที่ 5.9 แผนภาพบล็อกฟังก์ชันวัตถุประสงค์ในการหาแรงดันไฟฟ้าอ่านสำหรับทุกค่า  $PE$  ของรหัสแอลดีพีซีแบบโพรโทกราฟ

### 5.1.3 การออปติไมซ์ด้วยอัลกอริทึมการวิวัฒนาการผลต่าง (Differential evolution)

อัลกอริทึมวิวัฒนาการผลต่าง (Differential evolution) [73] เป็นอัลกอริทึมในการค้นหาค่าเวกเตอร์ผลเฉลย (Solution) ที่ทำให้ฟังก์ชันวัตถุประสงค์มีค่าต่ำสุดหรือสูงสุด คำว่าวิวัฒนาการผลต่าง คือผลต่างของประชากรของผลเฉลยมีค่าเข้าใกล้ศูนย์เมื่อมีการอัปเดตค่าผลเฉลยให้อยู่ในเจเนอเรชัน (Generation)  $g$  ที่สูงขึ้น หรือกล่าวได้อีกนัยหนึ่งคือประชากรของผลเฉลยมีการลู่เข้าสู่ค่าสูงสุดหรือต่ำสุดค่าเดียวกันในเจเนอเรชันที่สูงขึ้นนั่นเอง ในรูปที่ 3.10 เป็นผังการทำงานของอัลกอริทึมวิวัฒนาการผลต่างในการหาผลเฉลยที่ทำให้ฟังก์ชันวัตถุประสงค์มีค่าสูงสุด ในตอนเริ่มต้นหรือเจเนอเรชันที่ 0 เราจะสร้างผลเฉลย  $\mathbf{x}_{i,g} = [x_1, x_2, \dots, x_D]^T$  ขึ้นมาแบบสุ่ม เมื่อ  $D$  คือจำนวนตัวแปรที่เราจะทำการออปติไมซ์ จำนวนผลเฉลยที่จะสร้างมีจำนวน  $NP$  ผลเฉลย  $i$  คือลำดับผลเฉลย และ  $g$  คือเจเนอเรชันของเมทริกซ์ผลเฉลย หลังจากนั้นจะเริ่มการอัปเดตผลเฉลยจากผลเฉลยที่  $i=1$  จะมีการตรวจสอบว่าผลเฉลยดังกล่าวอยู่ในเจเนอเรชันที่ต่ำกว่าหรือสูงกว่าเจเนอเรชันสูงสุด  $g_{\max}$  ที่กำหนดไว้หรือไม่ ถ้าเกินจะจบการทำงานของอัลกอริทึม แต่ถ้ายังไม่เกินจะทำขั้นตอนต่อไป คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระบวนการมิวเทชัน (Mutation) กระบวนการนี้จะเป็นการสุ่มเลือกเวกเตอร์ผลเฉลยมา 3 อัน จากประชากรของผลเฉลย ได้แก่  $\mathbf{x}_{r_1,g}$ ,  $\mathbf{x}_{r_2,g}$  และ  $\mathbf{x}_{r_3,g}$  นำมาคำนวณเวกเตอร์มิวแทนต์  $\mathbf{v}_{i,g}$  จาก

$$\mathbf{v}_{i,g} = \mathbf{x}_{r_1,g} + F(\mathbf{x}_{r_2,g} - \mathbf{x}_{r_3,g}) \quad (5.8)$$

เมื่อ  $F$  คือค่าคงที่ในช่วง 0 ถึง 2

ถัดมาเป็นกระบวนการผสมระหว่างเวกเตอร์ (Crossover) โดยจะเป็นการผสมระหว่างเวกเตอร์ผลเฉลย  $\mathbf{x}_{i,g}$  และเวกเตอร์มิวแทนต์  $\mathbf{v}_{i,g}$  โดยการผสมทำได้โดย

$$\mathbf{u}_{i,g}(j) = \begin{cases} \mathbf{v}_{i,g}(j) & \text{if } (rand_j \leq CR) \text{ or } j = rn_i \\ \mathbf{x}_{i,g}(j) & \text{if } (rand_j > CR) \text{ or } j \neq rn_i \end{cases} \quad (5.9)$$

เมื่อ  $j = 1, 2, \dots, D$

$rand_j \in [0,1]$  คือจำนวนสุ่ม 0 ถึง 1

$CR \in [0,1]$  คือค่าคงที่การผสมเวกเตอร์ 0 ถึง 1

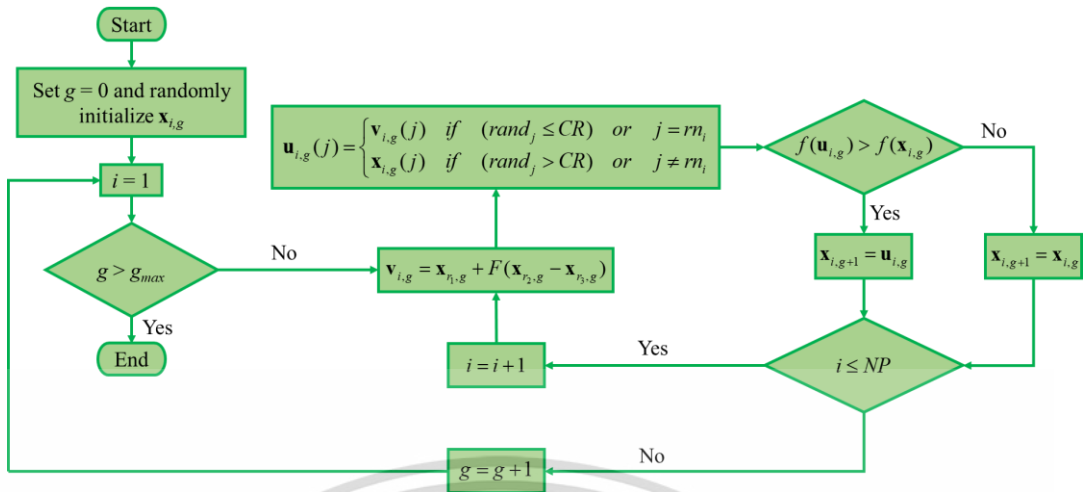
$rn_i \in \{1, 2, \dots, D\}$  คือจำนวนสุ่มที่เป็นจำนวนเต็ม 1 ถึง  $D$

กระบวนการสุดท้ายเรียกว่ากระบวนการเลือกผลเฉลย (Selection) โดยกระบวนการนี้จะเป็นการเปรียบเทียบเวกเตอร์  $\mathbf{u}_{i,g}$  กับเวกเตอร์  $\mathbf{x}_{i,g}$  เมื่อนำค่าผลเฉลยไปใส่แทนลงไปในฟังก์ชันวัตถุประสงค์  $f(\bullet)$  ผลเฉลยจากเวกเตอร์ใดทำให้ฟังก์ชันวัตถุประสงค์มีค่าสูงสุด จะถูกเลือกให้เป็นผลเฉลยลำดับที่  $i$  ในเจเนอเรชันถัดไป  $g+1$  เราจะทำการกระบวนการดังกล่าวจนครบทั้ง  $NP$  เวกเตอร์ผลเฉลย จะทำให้ประชากรผลเฉลยถูกอัปเดตเป็นประชากรผลเฉลยในเจเนอเรชันที่สูงขึ้น เราจะวนทำซ้ำจนกว่าประชากรผลเฉลยจะอยู่ในเจเนอเรชันสูงสุดที่เราตั้งไว้ ซึ่งประชากรผลเฉลยจะเข้าสู่ค่าเดียวกัน

ตัวอย่างการใช้งานอัลกอริทึมวิวัฒนาการผลต่างในการหาค่าผลเฉลยที่ทำให้ฟังก์ชัน  $f(x_1, x_2) = x_1^2 + x_2^2$  มีค่าต่ำสุด โดยกำหนดค่าประชากรผลเฉลยอยู่ในช่วง -1 ถึง 1 และมีค่า  $NP = 100$  สำหรับเวกเตอร์มิวแทนต์ กำหนดค่า  $F = 0.5$  และสำหรับเวกเตอร์ผสม กำหนดค่า  $CR = 0.5$

ผลจากการใช้อัลกอริทึมวิวัฒนาการผลต่างแสดงในรูปที่ 5.11 รูปที่ 5.11 (ก) การกระจายตัวของผลเฉลยในเจเนอเรชันที่ 1 มีช่วงกว้าง ในรูปที่ 5.11 (ข) การกระจายตัวของผลเฉลยในเจเนอเรชันที่ 5 เริ่มลดลง ในรูปที่ 5.11 (ค) ผลเฉลยในเจเนอเรชันที่ 15 มีค่าลู่อู่เข้าสู่ค่าที่ถูกต้อง และในรูปที่ 5.11 (ง) การกระจายตัวของผลเฉลยเป็นค่าเดียวกันในเจเนอเรชันที่ 30 จะพบว่าเมื่อเพิ่มเจเนอเรชันขึ้นการกระจายตัวของค่าผลเฉลยมีค่าลู่อู่เข้าสู่ค่า  $x_1 = 0$  และ  $x_2 = 0$  ซึ่งเป็นจุดที่ฟังก์ชันวัตถุประสงค์มีค่าต่ำสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 ผังการทำงานของอัลกอริทึมวิวัฒนาการผลต่างในการหาค่าเฉลยที่ทำให้ฟังก์ชันวัตถุประสงค์มีค่าสูงสุด



รูปที่ 5.11 (ก) การกระจายตัวของผลเฉลยในเจนเนอเรชันที่ 1 (ข) การกระจายตัวของผลเฉลยในเจนเนอเรชันที่ 5 (ค) การกระจายตัวของผลเฉลยในเจนเนอเรชันที่ 15 (ง) การกระจายตัวของผลเฉลยในเจนเนอเรชันที่ 30

คุณสมบัติของอัลกอริทึมวิวัฒนาการผลต่างคือมีความเป็นอิสระต่อกันของผลเฉลยในเวกเตอร์ และผลเฉลยจะเป็นแบบไม่มีเงื่อนไขใด ๆ แต่ในบางครั้งการอุปติไมซ์บางอย่างต้องมีเงื่อนไขบังคับให้เวกเตอร์ผลเฉลยอยู่ในบริเวณที่ใช้การได้ (Feasible region) ซึ่งสามารถทำได้โดยการเพิ่มฟังก์ชันเพนัลตี (Penalty function) เข้าไปซึ่งฟังก์ชันดังกล่าวจะไปบังคับให้เวกเตอร์ผลเฉลยที่อยู่นอกบริเวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ใช้การได้ ให้กลับมาอยู่ในบริเวณที่ใช้การได้ โดยเงื่อนไขบังคับในการออกแบบมี 3 แบบหลัก ๆ ด้วยกันคือ

$$g_k(\mathbf{x}) \leq 0, \quad k=1, 2, \dots, K \quad (5.10)$$

$$h_l(\mathbf{x}) = 0, \quad l=1, 2, \dots, L < NP \quad (5.11)$$

$$lb_j \leq x_j \leq ub_j, \quad j=1, 2, \dots, NP \quad (5.12)$$

เมื่อ  $g_k(\mathbf{x})$  คือ เงื่อนไขที่เป็นสมการลำดับที่  $k$

$h_l(\mathbf{x})$  คือ เงื่อนไขที่เป็นสมการลำดับที่  $l$

และตัวแปร  $x_j \in \mathbf{x}$  แต่ละค่าอยู่ในช่วง  $[lb_j, ub_j]$

ดังนั้น บริเวณผลเฉลยที่ใช้การได้สามารถเขียนได้เป็น

$$\Omega = \{\mathbf{x} = [x_1, x_2, \dots, x_{NP}] \in \mathbb{R}^{NP} \mid g_k(\mathbf{x}) \leq 0, h_l(\mathbf{x}) = 0, lb_j \leq x_j \leq ub_j, \forall j\} \quad (5.13)$$

ในฟังก์ชันเพนัลตีจะเป็นการหาค่าเวกเตอร์ผลเฉลยที่ทำให้ ฟังก์ชันวัตถุประสงค์ของฟังก์ชันเพนัลตีมีค่าต่ำสุด ซึ่งฟังก์ชันวัตถุประสงค์ของฟังก์ชันเพนัลตีคือ

$$\hat{f}(\mathbf{x}) = P \left( \sum_{k=1}^K G_k(\mathbf{x}) + \sum_{l=1}^L H_l(\mathbf{x}) \right) \quad (5.14)$$

เมื่อ

$$G_k(\mathbf{x}) = \max\{0, g_k(\mathbf{x})\} \quad (5.15)$$

$$H_l(\mathbf{x}) = |h_l(\mathbf{x})| \quad (5.16)$$

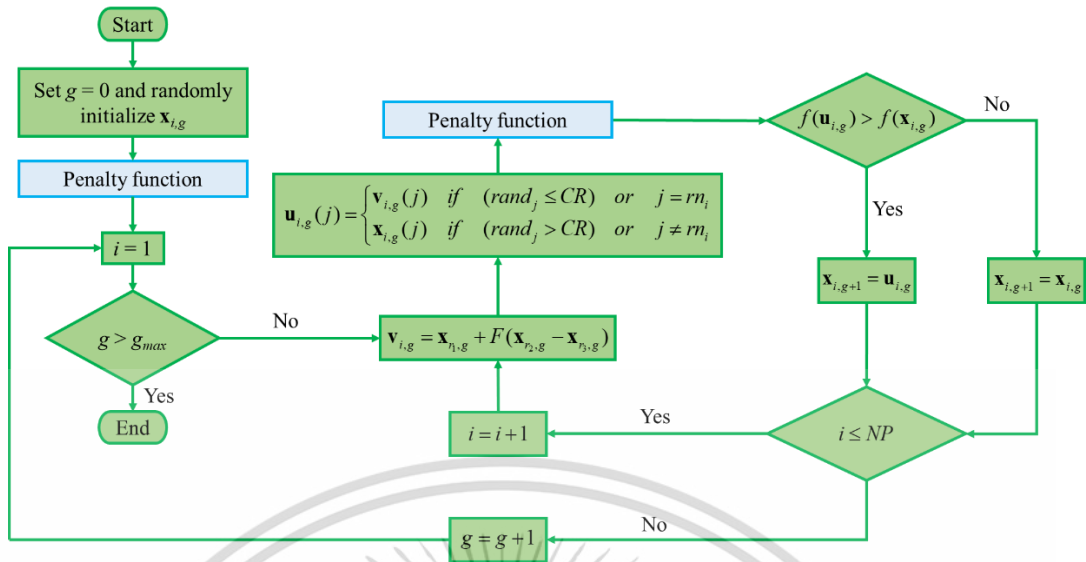
และ  $P$  คือพารามิเตอร์เพนัลตี

อัลกอริทึมการวิวัฒนาการผลต่างในกรณีนี้ที่ออกแบบมีเงื่อนไขบังคับแสดงดังรูปที่ 5.12 มีการดัดแปลงอัลกอริทึมการวิวัฒนาการผลต่างโดยการเพิ่มฟังก์ชันเพนัลตีเข้าไปในอัลกอริทึม

$$2x_1 + 3x_2 \leq 1500 \quad (5.17)$$

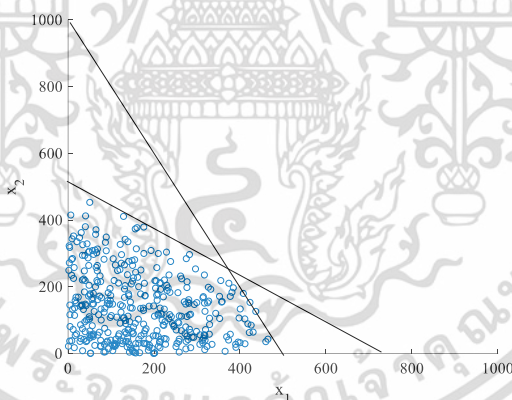
$$2x_1 + x_2 \leq 1000 \quad (5.18)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.12 ผังการทำงานของอัลกอริทึมวิวัฒนาการผลต่างในกรณีที่มีเงื่อนไขบังคับ พิจารณาตัวอย่างของฟังก์ชันเพนัลตีที่มีเงื่อนไขบังคับดังนี้

จากรูปที่ 5.13 เมื่อนำเวกเตอร์ผลเฉลยที่สร้างมาแบบสุ่มไปเข้าฟังก์ชันเพนัลตีจะเห็นว่าเวกเตอร์ผลเฉลยถูกบังคับให้อยู่ในบริเวณที่ใช้การได้



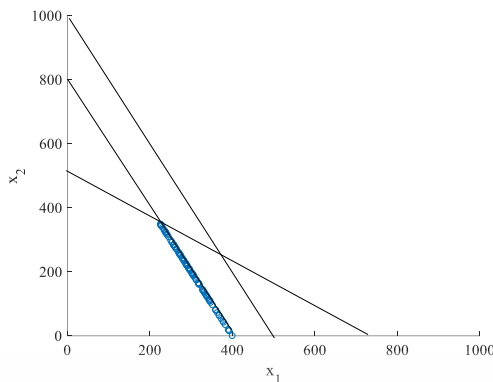
รูปที่ 5.13 การกระจายตัวของเวกเตอร์ผลเฉลยที่ถูกบังคับให้อยู่ในบริเวณที่ใช้การได้

จากเงื่อนไขบังคับก่อนหน้านี้ถ้าลองเพิ่มเงื่อนไขบังคับเข้าไปอีกหนึ่งอย่างคือ

$$2x_1 + x_2 = 800 \tag{5.19}$$

ทำให้ได้สมการเส้นตรงขึ้นมา 1 เส้นซึ่งเป็นเงื่อนไขบังคับที่จำกัดบริเวณที่ใช้การได้ลงไปอีก และการกระจายตัวของเวกเตอร์ผลเฉลยแสดงในรูปที่ 5.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.14 การกระจายตัวของเวกเตอร์ผลเฉลยที่ถูกบังคับให้อยู่ในบริเวณที่ใช้การได้

จากตัวอย่างข้างต้นทำให้สามารถทำความเข้าใจการทำงานของฟังก์ชันเพนัลตีซึ่งเป็นการบังคับการกระจายตัวของเวกเตอร์ผลเฉลยให้อยู่ในบริเวณที่ใช้การได้

## 5.2 การออกแบบแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีสำหรับหน่วยความจำแบบ

### NAND flash

#### 5.2.1 การออกแบบแรงดันไฟฟ้าอ่านกรณีที่กำหนดรหัสแอลดีพีซี

การออกแบบแรงดันไฟฟ้าอ่านสำหรับหน่วยความจำแบบ NAND flash ในกรณีที่มีการกำหนดรหัสแอลดีพีซีมาให้จะแบ่งออกเป็น 2 แบบ ได้แก่ การหาค่าแรงดันไฟฟ้าอ่านจำนวนหลายชุดที่เหมาะสมสำหรับแต่ละค่าความรุนแรงของสัญญาณรบกวน และการหาค่าแรงดันไฟฟ้าอ่านจำนวน 1 ชุดที่เหมาะสมสำหรับทุกค่า PE cycle

#### 5.2.1.1 การหาค่าแรงดันไฟฟ้าอ่านจำนวนหลายชุดที่เหมาะสมสำหรับแต่ละค่าความรุนแรงของสัญญาณรบกวนจะได้แรงดันไฟฟ้าอ่านหลายชุด

การหาค่าแรงดันไฟฟ้าอ่านจำนวนหลายชุดที่เหมาะสมสำหรับแต่ละค่าความรุนแรงของสัญญาณรบกวนจะได้แรงดันไฟฟ้าอ่านหลายชุดมาใช้กับระดับความรุนแรงของสัญญาณรบกวนดังนั้นในการออกแบบจะต้องกำหนดค่าความรุนแรงของระดับสัญญาณรบกวนของหน่วยความจำแบบ NAND flash หรือค่า  $PE$  แนวความคิดในการออกแบบแรงดันไฟฟ้าอ่านคือการค้นหาแรงดันไฟฟ้าอ่าน  $\mathbf{r} = [r_1, r_2, r_3, r_4, r_5, r_6]$  ที่ทำให้ฟังก์ชันวัตถุประสงค์  $P_{err}(\bullet)$  มีค่าต่ำที่สุด นั่นคือ

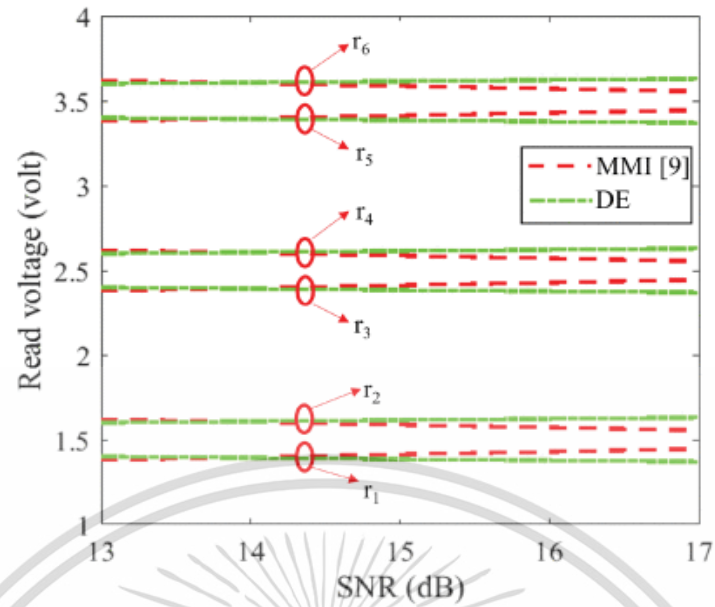
$$\mathbf{r}^* = \arg \min_{\mathbf{r}} P_{err}(\mathbf{r}, PE) \tag{5.20}$$

เนื่องจากช่องสัญญาณของหน่วยความจำแบบ NAND flash เป็นช่องสัญญาณที่ไม่สมมาตร ดังนั้นจึงมีการนำวงจรปรับช่องสัญญาณแบบ i.i.d. (Independent and Identically Distributed channel adapter) [74] มาใช้เพื่อปรับให้ช่องสัญญาณมีความสมมาตร การออกแบบค่าแรงดันไฟฟ้า

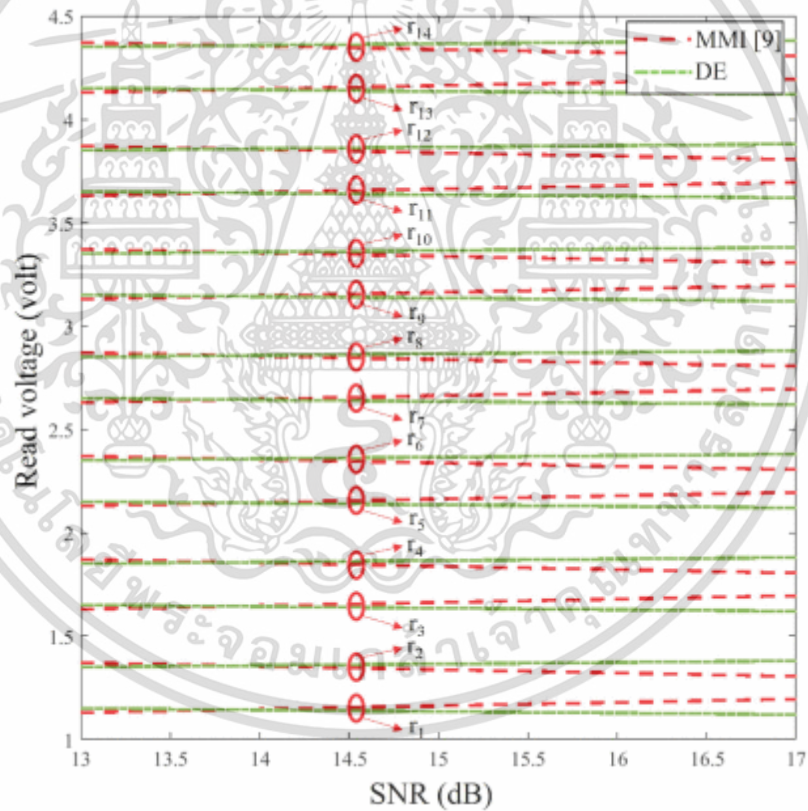
เอกสารนี้เป็นเอกสารทบทวนเนื้อหาสำหรับการเรียนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อ่านอาศัยอัลกอริทึมการวิวัฒนาการผลต่างที่กล่าวถึงในหัวข้อก่อนหน้าในการออกแบบค่าแรงดันไฟฟ้าอ่านที่เหมาะสม  $r^*$  รูปที่ 5.15 (ก) และ (ข) แสดงค่าแรงดันไฟฟ้าอ่านที่เหมาะสมสำหรับหน่วยความจำแบบ MLC NAND flash และหน่วยความจำแบบ TLC NAND flash ที่กำหนดให้มีช่องสัญญาณแบบเกาส์เซียน (Gaussian channel) ในการออกแบบกำหนดให้ใช้กับรหัสแอลดีพีซีแบบปกติ (3, 30) ซึ่งมีอัตรารหัส 0.9 ผลการออกแบบแรงดันไฟฟ้าอ่านของวิธีการวิวัฒนาการความหนาแน่นหรือ DE (Density Evolution) ที่นำเสนอแตกต่างจากวิธีการ MMI (Maximizing mutual information) ที่นำเสนอใน [15] โดยวิธีการ DE มีแนวโน้มของคู่แรงดันไฟฟ้าอ่านกว้างขึ้นเมื่อค่า SNR (Signal-to-Noise Ratio) ของช่องสัญญาณเพิ่มสูงขึ้น ตรงข้ามกับวิธีการ MMI ที่มีแนวโน้มของคู่แรงดันไฟฟ้าอ่านแคบลงเมื่อค่า SNR ของช่องสัญญาณเพิ่มสูงขึ้น ซึ่งคู่ของแรงดันไฟฟ้าอ่านดังกล่าวจะอยู่ระหว่างคู่ของฟังก์ชัน pdf ที่อยู่ติดกันโดยจะเป็นตัวกำหนดจำนวนค่าแอลแอลอาร์ที่เป็น 0 ให้มีปริมาณเหมาะสมที่รหัสแอลดีพีซีสามารถแก้ไขได้

รูปที่ 5.16 แสดงค่าแรงดันไฟฟ้าอ่านที่เหมาะสมสำหรับหน่วยความจำแบบ MLC NAND flash ที่ใช้ช่องสัญญาณจากการประมาณให้ใกล้เคียงกับช่องสัญญาณจริงจากบทที่ 3 ซึ่งแรงดันไฟฟ้าอ่านประมาณได้จาก 3 วิธีคือ DE MMI และเอนโทรปี (Entropy) [16] วิธีการเอนโทรปีจะมีข้อจำกัดคือสามารถออกแบบแรงดันไฟฟ้าอ่านเป็นคู่เท่านั้น และไม่สามารถออกแบบแรงดันไฟฟ้าอ่านจำนวนมากกว่า 3 ค่าที่อยู่ระหว่าง pdf ที่อยู่ติดกัน จากผลการออกแบบพบว่าแต่ละคู่ของแรงดันไฟฟ้าอ่านของวิธีการเอนโทรปีจะกว้างขึ้นเล็กน้อยเมื่อค่า PE cycle เพิ่มขึ้น สำหรับแรงดันไฟฟ้าอ่านที่ได้จากวิธีการ MMI คู่ของ pdf ที่อยู่ติดกันคู่แรกจะมีแรงดันไฟฟ้าอ่าน 1 ค่าเท่านั้นเนื่องจากระยะห่างระหว่าง pdf กว้างที่สุดทำให้มีความน่าจะเป็นความผิดพลาดน้อย คู่ของ pdf ที่อยู่ติดกันคู่ที่สองจะมีแรงดันไฟฟ้าอ่าน 2 ค่าเท่า เนื่องจากระยะห่างระหว่าง pdf เริ่มเข้ามาชิดกันทำให้ค่าความน่าจะเป็นความผิดพลาดเพิ่มมากขึ้น และสุดท้ายคู่ของ pdf ที่อยู่ติดกันคู่ที่สามจะมีแรงดันไฟฟ้าอ่าน 3 ค่า เนื่องจากระยะห่างระหว่าง pdf แคบที่สุดทำให้ค่าความน่าจะเป็นความผิดพลาดสูงสุด แนวโน้มของคู่แรงดันไฟฟ้าอ่านจะกว้างขึ้นเมื่อค่า PE cycle เพิ่มขึ้นเช่นเดียวกับวิธีการเอนโทรปี สุดท้ายวิธีการ DE ที่นำเสนอจะมีจำนวนแรงดันไฟฟ้าอ่านในแต่ละคู่ของ pdf ที่อยู่ติดกันเหมือนกับวิธีการ MMI แต่มีแนวโน้มของคู่แรงดันไฟฟ้าอ่านที่ตรงกันข้าม กล่าวคือคู่ของแรงดันไฟฟ้าอ่านจะแคบลงเมื่อค่า PE cycle สูงขึ้น



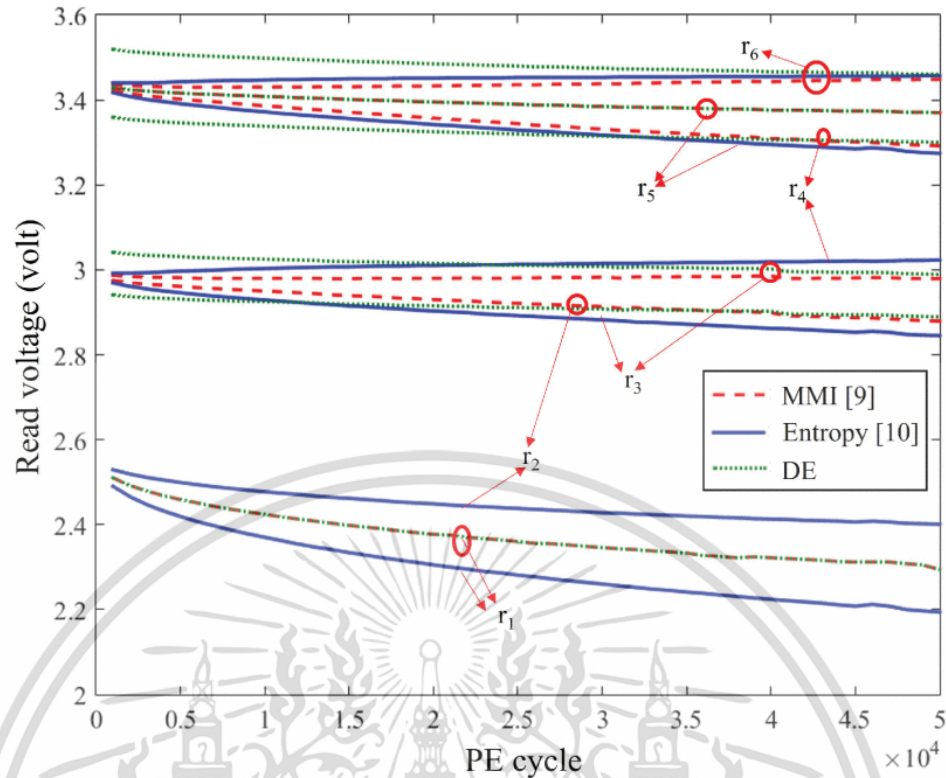
(ก)



(ข)

รูปที่ 5.15 (ก) การเปรียบเทียบแรงดันไฟฟ้าอ่านหลายชุดสำหรับแต่ละค่า  $SNR$  ของหน่วยความจำแบบ MLC NAND flash ที่มีช่องสัญญาณแบบเกาส์เซียน (ข) การเปรียบเทียบแรงดันไฟฟ้าอ่านหลายชุดสำหรับแต่ละค่า  $SNR$  ของหน่วยความจำแบบ TLC NAND flash ที่มีช่องสัญญาณแบบเกาส์เซียน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.16 การเปรียบเทียบแรงดันไฟฟ้าอ่านหลายชุดสำหรับแต่ละค่า  $PE$  ของหน่วยความจำแบบ MLC NAND flash ที่มีช่องสัญญาณมาจากการประมาณ

### 5.2.1.2 การหาค่าแรงดันไฟฟ้าอ่านจำนวน 1 ชุดที่เหมาะสมสำหรับทุกค่า PE cycle

การหาค่าแรงดันไฟฟ้าอ่านจำนวน 1 ชุดที่เหมาะสมสำหรับทุกค่า PE cycle เป็นการออกแบบแรงดันไฟฟ้าอ่านเพียง 1 ชุดและนำไปใช้กับหน่วยความจำแบบ NAND flash ไม่ว่าจะระดับความรุนแรงของช่องสัญญาณจะเปลี่ยนไปก็จะใช้แรงดันไฟฟ้าอ่านชุดเดิม ข้อดีของการออกแบบนี้คือใช้หน่วยความจำในการเก็บแรงดันไฟฟ้าอ่านน้อย แนวคิดในการออกแบบแรงดันไฟฟ้าอ่านคือต้องการหาแรงดันไฟฟ้าอ่านที่ให้ค่าเทรสโฮลด์การถอดรหัสสูงสุด  $PE^*$  นั่นคือ

$$\mathbf{r}^* = \arg \max_{\mathbf{r}} PE^*(\mathbf{r}) \quad (5.21)$$

เมื่อ  $PE^*(\bullet)$  คือฟังก์ชันวัตถุประสงค์ที่ให้เอาต์พุตเป็นค่าเทรสโฮลด์การถอดรหัสสำหรับรหัสแอลดีพีซีแบบปกติ การออกแบบจะอาศัยอัลกอริทึมการวิวัฒนาการผลต่างในการหาค่าแรงดันไฟฟ้าอ่าน

ตารางที่ 5.1 และ 5.2 แสดงค่าแรงดันไฟฟ้าอ่านเซลล์สำหรับหน่วยความจำแบบ MLC NAND flash และ TLC NAND flash ที่กำหนดให้เป็นช่องสัญญาณแบบเกาส์เซียน แรงดันไฟฟ้าอ่านในตารางที่ 5.1 และ 5.2 มีค่าเทรสโฮลด์การถอดรหัสสูงสุดอยู่ที่  $SNR^* = 16.1300$  dB และ  $SNR^* = 16.8620$  dB ซึ่งแรงดันไฟฟ้าอ่านเซลล์เป็นค่าเดียวกับแรงดันไฟฟ้าอ่านในรูปที่ 15.5 (ก) และ (ข) ซึ่งเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นเส้นจุดไขว้ปลาซีเขียวที่ค่า SNR = 16.1300 dB และ SNR = 16.8620 dB ตารางที่ 5.3 แสดงค่าแรงดันไฟฟ้าอ่านสำหรับหน่วยความจำแบบ MLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณที่ประมาณให้ใกล้เคียงกับช่องสัญญาณจริง ค่าเทรสโสมการถอดรหัส  $PE^*$  อยู่ที่ 28,998 และค่าแรงดันไฟฟ้าอ่านเป็นค่าเดียวกับแรงดันไฟฟ้าอ่านในรูปที่ 15.6 ซึ่งเป็นกราฟจุดไขว้ปลาซีเขียวที่ค่า PE cycle = 28,998

**ตารางที่ 5.1** แรงดันไฟฟ้าอ่าน 1 ชุดสำหรับทุกระดับความรุนแรงของสัญญาณรบกวนในหน่วยความจำแบบ MLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณแบบเกาส์เซียน

$r^*$						SNR*
$r_1$	$r_2$	$r_3$	$r_4$	$r_5$	$r_6$	
1.3750	1.6250	2.3750	2.6250	3.3750	3.6250	16.1300

**ตารางที่ 5.2** แรงดันไฟฟ้าอ่าน 1 ชุดสำหรับทุกระดับความรุนแรงของสัญญาณรบกวนในหน่วยความจำแบบ TLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณแบบเกาส์เซียน

$r^*$							SNR*
$r_1$	$r_2$	$r_3$	$r_4$	$r_5$	$r_6$	$r_7$	
1.2375	1.2625	1.7375	1.7625	2.2375	2.2625	2.7375	16.9620
$r_8$	$r_9$	$r_{10}$	$r_{11}$	$r_{12}$	$r_{13}$	$r_{14}$	
2.7625	3.2375	3.2625	3.7375	3.7625	4.2375	4.2625	

**ตารางที่ 5.3** แรงดันไฟฟ้าอ่าน 1 ชุดสำหรับทุกระดับความรุนแรงของสัญญาณรบกวนในหน่วยความจำแบบ MLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณที่ประมาณให้ใกล้เคียงกับช่องสัญญาณจริง

$r^*$						$PE^*$
$r_1$	$r_2$	$r_3$	$r_4$	$r_5$	$r_6$	
2.3940	2.9290	3.0090	3.3400	3.4000	3.4800	28998

### 5.2.2 การออกแบบรหัสแอลดีพีซีรณิที่กำหนดแรงดันไฟฟ้าอ่าน

ในหัวข้อนี้เป็นการออกแบบรหัสแอลดีพีซีสำหรับหน่วยความจำแบบ NAND flash โดยเริ่มจากการออกแบบรหัสแอลดีพีซีแบบไม่สม่ำเสมอในกรณีที่มีการกำหนดแรงดันไฟฟ้าอ่านที่ได้จากวิธีการ MMI และวิธีการเอนโทรปี หลังจากนั้นจะมีการออกแบบรหัสแอลดีพีซีแบบโพโรกราฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 5.2.2.1 การออกแบบรหัสแอลดีพีซีแบบไม่สม่ำเสมอ

การออกแบบรหัสแอลดีพีซีแบบไม่สม่ำเสมอสามารถทำได้โดยการหาค่าของคู่การแจกแจงดีกรี (Degree distribution pairs)  $\lambda(X)$  และ  $\rho(X)$  ที่ทำให้เทรสโพลด์การถอดรหัสมีค่าสูงสุด ในการออกแบบรหัสแอลดีพีซีแบบไม่สม่ำเสมอเราจะนิยามการแจกแจงดีกรีโหนดตัวแปร  $\lambda(X)$  ให้อยู่ในรูปของเวกเตอร์  $\Lambda = [\lambda_2, \lambda_3, \lambda_4, \dots, \lambda_{d_v \max}]$  โดยที่  $\lambda_2, \lambda_3, \lambda_4, \dots, \lambda_{d_v \max}$  มีค่าเป็นจำนวนจริงบวก และผลรวมของ  $\lambda_2, \lambda_3, \lambda_4, \dots, \lambda_{d_v \max}$  มีค่าเป็น 1 สำหรับการแจกแจงดีกรีโหนดเช็ก  $\rho(X)$  จะกำหนดให้เป็นเวกเตอร์  $\Gamma = [0, 0, \dots, 0, \lambda_{d_c}]$  เมื่อ  $\lambda_{d_c} = 1$  จะเห็นว่าเวกเตอร์ของการแจกแจงดีกรีโหนดเช็กเป็น 0 จำนวน  $d_c - 1$  ค่าแรก และเป็น 1 ที่ตำแหน่ง  $d_c$  ดังนั้นเวกเตอร์ของการแจกแจงดีกรีโหนดเช็กออกแบบแค่ค่า  $d_c$  ก็เพียงพอ เมื่อกำหนดแรงดันไฟฟ้าอ่านให้รหัสแอลดีพีซีแบบไม่สม่ำเสมอสามารถออกแบบได้จากการหาค่าของเวกเตอร์การแจกแจงดีกรีโหนดตัวแปร  $\Lambda$  และดีกรีของโหนดเช็ก  $d_c$  ที่ทำให้เทรสโพลด์การถอดรหัสมีค่าสูงสุด กล่าวคือ

$$\{\Lambda^*, d_c^*\} = \arg \max_{\{\Lambda, d_c\}} PE^*(\mathbf{r}^*, \Lambda, d_c) \quad (5.22)$$

โดยมีเงื่อนไขบังคับ

$$\begin{aligned} \lambda_2 &\geq 0 \\ \lambda_3 &\geq 0 \\ \lambda_4 &\geq 0 \\ &\vdots \\ \lambda_{d_v \max} &\geq 0 \end{aligned} \quad (5.23)$$

$$\lambda_2 + \lambda_3 + \lambda_4 + \dots + \lambda_{d_v \max} = 1 \quad (5.24)$$

$$R = 1 - \frac{1/d_c}{\sum_{i=2}^{d_v \max} \lambda_i / i} \quad (5.25)$$

เมื่อ  $PE^*(\bullet)$  คือฟังก์ชันวัตถุประสงค์ที่ให้เอาต์พุตเป็นค่าเทรสโพลด์การถอดรหัสสำหรับรหัสแอลดีพีซีแบบไม่สม่ำเสมอ การออกแบบจะอาศัยอัลกอริทึมการวิวัฒนาการผลต่างที่มีฟังก์ชันเพนัลตีในการหาค่าการแจกแจงดีกรีโหนดตัวแปรและการแจกแจงดีกรีโหนดเช็ก โดยฟังก์ชันเพนัลตีจะประกอบด้วยส่วนที่เป็นอสมการและสมการ ส่วนที่เป็นอสมการจะต้องจัดให้อยู่ในรูป  $g_k(\mathbf{x}) \geq 0$  ซึ่งเงื่อนไขบังคับของอสมการที่ใช้ในฟังก์ชันเพนัลตีจะเป็น  $g_k(\mathbf{x}) = \max(0, \mathbf{x})$  ดังนั้นจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
g_1(\lambda_2) &= \max(0, \lambda_2) \\
g_2(\lambda_3) &= \max(0, \lambda_3) \\
g_3(\lambda_4) &= \max(0, \lambda_4) \\
&\vdots \\
g_{d_{v \max} - 1}(\lambda_{d_{v \max}}) &= \max(0, \lambda_{d_{v \max}})
\end{aligned} \tag{5.26}$$

สำหรับเงื่อนไขบังคับที่เป็นสมการ ต้องจัดให้อยู่ในรูป  $h_l(\mathbf{x}) = 0$  ซึ่งเงื่อนไขบังคับของสมการที่ใช้ในฟังก์ชันเพนัลตีจะเป็น  $h_l(\mathbf{x}) = |h_l(\mathbf{x})|$  ดังนั้นจะได้

$$\begin{aligned}
\lambda_2 + \lambda_3 + \lambda_4 + \dots + \lambda_{d_{v \max}} &= 1 \\
\lambda_2 + \lambda_3 + \lambda_4 + \dots + \lambda_{d_{v \max}} - 1 &= 0 = h_1(\Lambda) \\
h_1(\Lambda) &= |\lambda_2 + \lambda_3 + \lambda_4 + \dots + \lambda_{d_{v \max}} - 1|
\end{aligned} \tag{5.27}$$

และ

$$\begin{aligned}
R &= 1 - \frac{1/d_c}{\sum_{i=2}^{d_{v \max}} \lambda_i / i} \\
R - 1 + \frac{1/d_c}{\sum_{i=2}^{d_{v \max}} \lambda_i / i} &= 0 = h_2(\Lambda) \\
h_2(\Lambda) &= \left| R - 1 + \frac{1/d_c}{\sum_{i=2}^{d_{v \max}} \lambda_i / i} \right|
\end{aligned} \tag{5.28}$$

จากเงื่อนไขบังคับทั้งหมดสามารถสร้างเป็นฟังก์ชันเพนัลตีสำหรับการออกแบบรหัสแอลดีพีซีแบบไม่สม่ำเสมอได้ดังนี้

$$\hat{f}(\mathbf{x}) = P \left( \sum_{k=1}^{d_{v \max} - 1} g_k(\lambda_{k+1}) + \sum_{l=1}^2 h_l(\Lambda) \right) \tag{5.29}$$

เมื่อ  $P$  คือค่าเพนัลตี

ตารางที่ 5.4 แสดงผลการออกแบบรหัสแอลดีพีซีแบบไม่สม่ำเสมอสำหรับหน่วยความจำแบบ MLC NAND flash ในกรณีที่กำหนดแรงดันไฟฟ้าอ่านให้ โดยกำหนดให้ใช้แรงดันไฟฟ้าอ่าน  $\mathbf{r}^*$  ที่ออกแบบมาจากวิธี MMI [15] และวิธีการเอนโทรปี [16] รูปที่ 5.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.4 รหัสแอลดีพีซีแบบไม่สม่ำเสมอสำหรับหน่วยความจำแบบ MLC NAND flash ที่กำหนดแรงดันไฟฟ้าอ่านซึ่งออกแบบมาจากวิธี MMI [15] และวิธีการเอนโทรปี [16]

$\Lambda^*$	MMI	เอนโทรปี
$\lambda_2$	0.0000	0.0000
$\lambda_3$	0.4458	0.4230
$\lambda_4$	0.3768	0.2622
$\lambda_5$	0.0191	0.2222
$\lambda_6$	0.0000	0.0000
$\lambda_7$	0.0000	0.0599
$\lambda_8$	0.0199	0.0092
$\lambda_9$	0.0177	0.0127
$\lambda_{10}$	0.1207	0.0107
$d_c$	38	38
$PE^*$	30,928	33,614

#### 5.2.2.2 การออกแบบรหัสแอลดีพีซีแบบโพรโทกราฟ

ในหัวข้อนี้จะเป็นการออกแบบรหัสโพรโทกราฟซึ่งนิยมใช้กันอย่างแพร่หลายในระบบสื่อสารสมัยใหม่ ตัวอย่างการออกแบบจะยึดโครงสร้างของกราฟฐานตามรหัสแอลดีพีซีแบบ AR4JA [75] ที่เป็นรหัสโพรโทกราฟประเภทหนึ่ง กราฟฐานของรหัสแอลดีพีซีแบบ AR4JA ที่มีอัตรารหัส 0.9 คือ

$$\mathbf{B}_{AR4JA} = \begin{bmatrix} 2 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & \cdots & 0 \\ 3 & 1 & 1 & 0 & 1 & 3 & 1 & 3 & \cdots & 1 \\ 1 & 2 & 2 & 0 & 1 & 1 & 3 & 1 & \cdots & 3 \end{bmatrix} \quad (5.30)$$

เมื่อคอลัมน์แรกของกราฟฐานกำหนดให้เป็นโหนดที่ถูกฟังก์เจอร์ (Punctured node) ในการออกแบบรหัสแอลดีพีซีแบบโพรโทกราฟ จะเป็นการออกแบบสมาชิกในกราฟฐาน  $b(i, j)$  ในงานวิจัยนี้ กำหนดจำนวนคอลัมน์เป็น 21 คอลัมน์และกำหนดจำนวนแถวเป็น 3 แถว กำหนดให้มีโหนดตัวแปรดีกรี 1 และโหนดตัวแปรดีกรี 2 อย่างละ 1 คอลัมน์เพื่อทำให้เทรสโพลด์การถอดรหัสดีขึ้นและทำให้มีคุณสมบัติการเพิ่มของระยะห่างต่ำสุดแบบเชิงเส้น (Linear-minimum-distance property) [76] ซึ่งจะช่วยให้ระดับความผิดพลาดพื้น (Error floor) ต่ำลง ส่วนสมาชิกที่เหลือในคอลัมน์ที่ 6 ถึง 21 จะใช้ค่าเดียวกับรหัสแอลดีพีซีแบบ AR4JA ดังนั้นจะได้โครงร่างของกราฟฐานที่จะออกแบบดังนี้

$$\mathbf{B}_{AR4JA} = \begin{bmatrix} b(1,1) & b(1,2) & b(1,3) & 1 & 0 & 0 & 0 & 0 & \cdots & 0 \\ b(2,1) & b(2,2) & b(2,3) & 0 & 1 & 3 & 1 & 3 & \cdots & 1 \\ b(3,1) & b(3,2) & b(3,3) & 0 & 1 & 1 & 3 & 1 & \cdots & 3 \end{bmatrix} \quad (5.31)$$

เมื่อ  $b(i, j) \in \{0, 1, 2, 3\}$  ค่าเทรสโฮลด์การถอดรหัสของรหัสโพรโทกราฟสามารถประมาณได้โดยใช้การวิวัฒนาการความหนาแน่นสำหรับรหัสโพรโทกราฟดังที่ได้อธิบายไปในหัวข้อก่อนหน้า ในการออกแบบรหัสโพรโทกราฟ จะหาค่าสมาชิกของกราฟฐานที่ทำให้ค่าเทรสโฮลด์การถอดรหัสมีค่าสูงสุด นั่นคือ

$$\mathbf{b}^* = \arg \max_{\mathbf{b}} PE^*(\mathbf{r}^*, \mathbf{b}) \quad (5.32)$$

เมื่อ  $PE^*(\bullet)$  คือฟังก์ชันวัตถุประสงค์ที่ให้เอาต์พุตเป็นค่าเทรสโฮลด์การถอดรหัสสำหรับรหัสแอลติพีซีแบบโพรโทกราฟ และ  $\mathbf{b} = [b(1,1), b(2,1), \dots, b(3,3)]$  โดยมีเงื่อนไขบังคับ

$$\begin{aligned} 0 &\leq b(1,1) \leq 3 \\ 0 &\leq b(2,1) \leq 3 \\ 0 &\leq b(3,1) \leq 3 \\ &\vdots \\ 0 &\leq b(3,3) \leq 3 \end{aligned} \quad (5.33)$$

การออกแบบจะอาศัยอัลกอริทึมการวิวัฒนาการผลต่างที่มีฟังก์ชันเพนัลตีในการหาค่าสมาชิกของกราฟฐาน โดยฟังก์ชันเพนัลตีอยู่ในรูป  $0 \leq g_k(\mathbf{x}) \leq 3$  ซึ่งเงื่อนไขบังคับที่ใช้ในฟังก์ชันเพนัลตีจะเป็น  $g_k(\mathbf{x}) = \min(\max(0, \mathbf{x}), 3)$  ดังนั้นจะได้

$$\begin{aligned} g_1(b(1,1)) &= \min(\max(0, b(1,1)), 3) \\ g_2(b(2,1)) &= \min(\max(0, b(2,1)), 3) \\ g_3(b(3,1)) &= \min(\max(0, b(3,1)), 3) \\ &\vdots \\ g_9(b(3,3)) &= \min(\max(0, b(3,3)), 3) \end{aligned} \quad (5.34)$$

จากเงื่อนไขบังคับทั้งหมดสามารถสร้างเป็นฟังก์ชันเพนัลตีสำหรับการออกแบบรหัสแอลติพีซีแบบไม่สม่ำเสมอได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\hat{f}(\mathbf{x}) = P \left( \sum_{i=1}^3 \sum_{j=1}^3 g_k(b(i, j)) \right) \quad (5.35)$$

เมื่อ  $P$  คือค่าเพนัลตี

รหัสแอลดีพีซีแบบโพโรโทกราฟที่ออกแบบสำหรับหน่วยความจำแบบ MLC NAND flash โดยกำหนดแรงดันไฟฟ้าอ่านที่ได้จากวิธี MMI แสดงได้ดังนี้

$$\mathbf{B}_{AR4JA} = \begin{bmatrix} 2 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & \cdots & 0 \\ 3 & 0 & 3 & 0 & 1 & 3 & 1 & 3 & \cdots & 1 \\ 1 & 3 & 0 & 0 & 1 & 1 & 3 & 1 & \cdots & 3 \end{bmatrix} \quad (5.36)$$

### 5.2.3 การออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซี

ในการออกแบบแรงดันไฟฟ้าอ่านพบว่าแรงดันไฟฟ้าอ่านมีความสัมพันธ์กับโครงสร้างของรหัสแอลดีพีซี ดังนั้นจะต้องออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซีเพื่อให้ได้สมรรถนะอัตราบิตผิดพลาดที่ดีที่สุด ในการออกแบบจะอาศัยการวิเคราะห์สมรรถนะของรหัสแอลดีพีซีโดยใช้การวิวัฒนาการความหนาแน่น

#### 5.2.3.1 การออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซีแบบไม่สม่ำเสมอ

การออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซีแบบไม่สม่ำเสมอเป็นการหาค่าแรงดันไฟฟ้าอ่าน  $\mathbf{r}$  และรหัสแอลดีพีซีแบบไม่สม่ำเสมอ  $\Lambda, d_c$  ที่ทำให้ค่าเทรสโลดต์การถอดรหัสมีค่าสูงสุดนั้นคือ

$$\{\mathbf{r}^*, \Lambda^*, d_c^*\} = \arg \max_{\{\mathbf{r}, \Lambda, d_c\}} PE^*(\mathbf{r}, \Lambda, d_c) \quad (5.37)$$

เมื่อ  $PE^*(\bullet)$  คือฟังก์ชันวัตถุประสงค์ที่ให้เอาต์พุตเป็นค่าเทรสโลดต์การถอดรหัสสำหรับรหัสแอลดีพีซีแบบไม่สม่ำเสมอ โดยมีเงื่อนไขบังคับดังสมการที่ (5.22) (5.23) และ (5.24) การออกแบบจะอาศัยอัลกอริทึมการวิวัฒนาการผลต่างที่มีฟังก์ชันเพนัลตีในการหาค่าแรงดันไฟฟ้าอ่าน การแจกแจงตึกริโหนดตัวแปรและการแจกแจงตึกริโหนดเช็ก โดยฟังก์ชันเพนัลตีจะใช้สมการที่ (5.28) ผลลัพธ์ของการออกแบบแสดงในตารางที่ 5.5 จะเห็นว่าค่าเทรสโลดต์การถอดรหัสของการออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซีแบบไม่สม่ำเสมอในตารางที่ 5.5 มีค่าสูงกว่าค่าเทรสโลดต์การถอดรหัสของการออกแบบแรงดันไฟฟ้าแยกกับรหัสแอลดีพีซีแบบไม่สม่ำเสมอในตารางที่ 5.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.5 ผลการออกแบบแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีแบบไม่สม่ำเสมอสำหรับหน่วยความจำแบบ MLC NAND flash ที่เป็นช่องสัญญาณประมาณใกล้เคียงกับช่องสัญญาณจริง

$\Lambda^*$		$\mathbf{r}^*$	
$\lambda_2$	0.0000	$r_1$	2.3770
$\lambda_3$	0.2762	$r_2$	2.9250
$\lambda_4$	0.3157	$r_3$	3.0150
$\lambda_5$	0.0458	$r_4$	3.3250
$\lambda_6$	0.0471	$r_5$	3.3950
$\lambda_7$	0.0095	$r_6$	3.4850
$\lambda_8$	0.0916		
$\lambda_9$	0.0002		
$\lambda_{10}$	0.2138		
$d_c$	45		
$PE^*$	35,383		

### 5.2.3.2 การออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซีแบบโพโรโทกราฟ

การออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซีแบบโพโรโทกราฟเป็นการหาค่าแรงดันไฟฟ้าอ่าน  $\mathbf{r}$  และรหัสแอลดีพีซีแบบโพโรโทกราฟ  $\mathbf{b}$  ที่ทำให้ค่าเทรสโฮลด์การถอดรหัสมีค่าสูงสุดนั้นคือ

$$\{\mathbf{r}^*, \mathbf{b}^*\} = \arg \max_{\{\mathbf{r}, \mathbf{b}\}} PE^*(\mathbf{r}, \mathbf{b}) \quad (5.38)$$

เมื่อ  $PE^*(\bullet)$  คือฟังก์ชันวัตถุประสงค์ที่ให้เอาต์พุตเป็นค่าเทรสโฮลด์การถอดรหัสสำหรับรหัสแอลดีพีซีแบบโพโรโทกราฟ โดยมีเงื่อนไขบังคับดังสมการที่ (5.32) การออกแบบจะอาศัยอัลกอริทึมการวิวัฒนาการผลต่างที่มีฟังก์ชันเพนัลตีในการหาค่าแรงดันไฟฟ้าอ่าน การแจกแจงตริกโหนดตัวแปรและการแจกแจงตริกโหนดเช็ก โดยฟังก์ชันเพนัลตีจะใช้สมการที่ (5.34) ผลลัพธ์ของการออกแบบแสดงได้ดังนี้

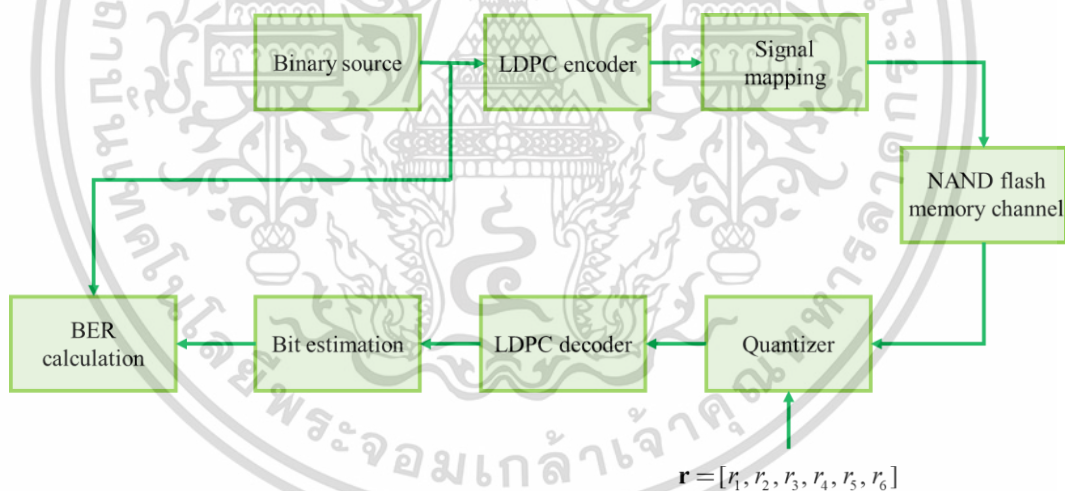
$$\mathbf{B}_{Joint} = \begin{bmatrix} 1 & 2 & 3 & 1 & 0 & 0 & 0 & 0 & \dots & 0 \\ 0 & 3 & 1 & 0 & 1 & 3 & 1 & 3 & \dots & 1 \\ 1 & 2 & 3 & 0 & 1 & 1 & 3 & 1 & \dots & 3 \end{bmatrix} \quad (5.39)$$

และ  $\mathbf{r}^* = [2.2352, 2.8965, 3.0124, 3.3221, 3.3981, 3.4837]$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 5.3 การจำลองสมรรถนะอัตราบิตผิดพลาดและผลการจำลองการออกแบบ แรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีสำหรับหน่วยความจำแบบ NAND flash

การวัดสมรรถนะของการออกแบบแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีจำเป็นการจำลองด้วยโปรแกรม MATLAB ตลอดทั้งงานวิจัย สำหรับช่องสัญญาณและพารามิเตอร์ของช่องสัญญาณจะใช้ค่าพารามิเตอร์ตามที่อธิบายในบทที่ 2 การสร้างเมทริกซ์พาริตีเชิงกจะอาศัยอัลกอริทึม PEG (Progressive edge-growth) [77] รหัสแอลดีพีซีแบบปกติและแบบไม่สม่ำเสมอกำหนดความยาวบล็อกข้อมูลกำหนดเป็น 4,096 บิต สำหรับรหัสแอลดีพีซีแบบโพโรโทกราฟกำหนดให้มีความยาวบล็อกข้อมูล 4,000 บิต จำนวนรอบการถอดรหัสกำหนดให้เป็น 10 รอบ รูปที่ 5.17 แสดงระบบบันทึกข้อมูลในหน่วยความจำแบบ NAND flash เริ่มจากบิตข้อมูลจะถูกนำไปเข้ารหัสแอลดีพีซีแล้วนำไปแมพให้เป็นระดับสัญญาณก่อนที่จะบันทึกลงในหน่วยความจำ ส่วนกระบวนการอ่านจะอ่านข้อมูลโดยใช้แรงดันไฟฟ้าอ่านเพื่อให้ได้ข้อมูลแบบซอฟต์แวร์สำหรับนำไปถอดรหัสแอลดีพีซีสุดท้ายตัดสินใจบิตข้อมูลหลังถอดรหัสและเปรียบเทียบกับข้อมูลที่ส่งว่ามีบิตผิดพลาดจำนวนเท่าใด และนำมาหาอัตราบิตผิดพลาด (BER: Bit-error rate) หรืออัตราเฟรมผิดพลาด (FER: Frame-error rate) ซึ่งจะเป็นตัวชี้วัดสมรรถนะของแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีที่ออกแบบ

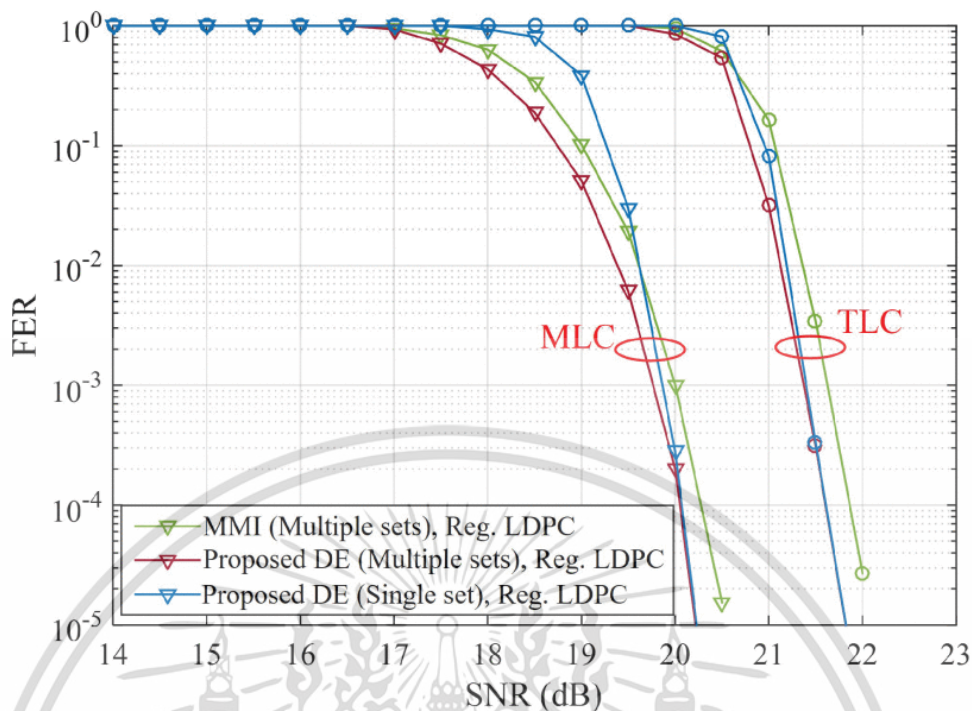


รูปที่ 5.17 แบบจำลองระบบบันทึกข้อมูลแบบ NAND flash ที่ใช้ในวัดประสิทธิภาพของแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีที่ออกแบบ

#### 5.3.1 ผลการออกแบบแรงดันไฟฟ้าอ่านกรณีที่กำหนดรหัสแอลดีพีซี

สำหรับหน่วยความจำแบบ MLC NAND flash และหน่วยความจำแบบ TLC NAND flash ที่มีการจำลองช่องสัญญาณแบบเกาส์เซียน สมรรถนะอัตราเฟรมผิดพลาดของรหัสแอลดีพีซีแบบปกติ (3, 30) ที่ใช้แรงดันไฟฟ้าอ่านซึ่งออกแบบด้วยวิธีการ MMI [15] และวิธีการ DE ที่นำเสนอ แสดงในรูปที่ 5.18 แรงดันไฟฟ้าอ่านที่ออกแบบด้วยวิธีการ DE ให้สมรรถนะอัตราบิตผิดพลาดที่ดีกว่าการใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



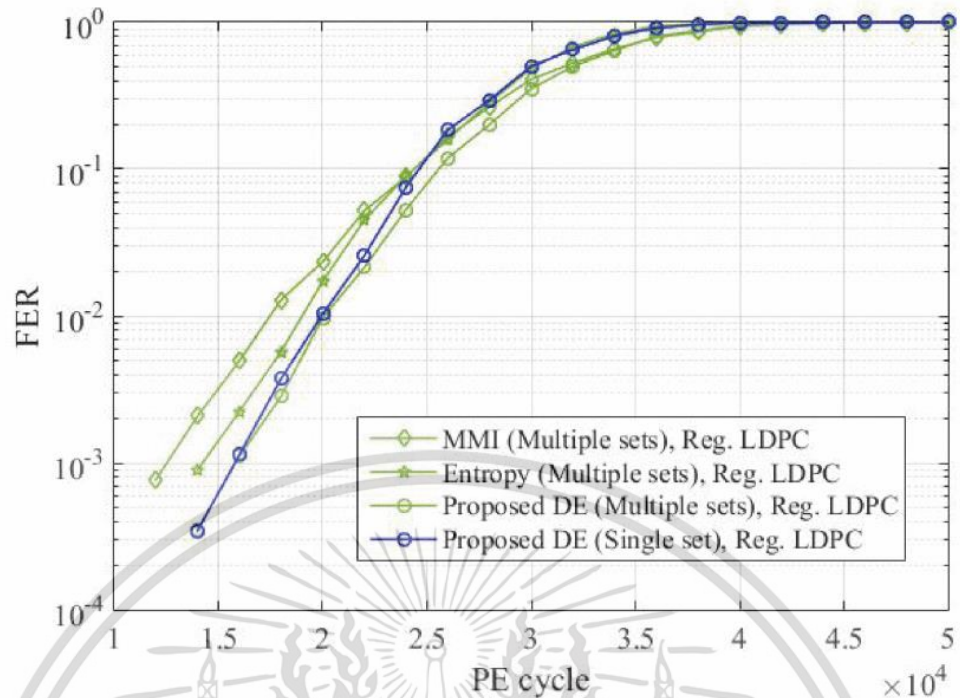
รูปที่ 5.18 การเปรียบเทียบสมรรถนะอัตราเฟรมผิดพลาดของการใช้แรงดันไฟฟ้าอ่านที่ได้จากการ ออกแบบด้วยวิธี MMI และ DE สำหรับหน่วยความจำแบบ MLC NAND flash และ TLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณแบบเกาส์เซียน

แรงดันไฟฟ้าอ่านจากวิธี MMI ทั้งในหน่วยความจำแบบ MLC NAND flash และหน่วยความจำแบบ TLC NAND flash เมื่อเปรียบเทียบการใช้งานแรงดันไฟฟ้าอ่านหลายชุดสำหรับแต่ละค่า SNR ที่ ออกแบบด้วยวิธีการ MMI และแรงดันไฟฟ้าอ่าน 1 ชุดสำหรับทุกค่า SNR ที่ได้จากวิธีการ DE พบว่า แรงดันไฟฟ้าอ่าน 1 ชุดสำหรับทุกค่า SNR สามารถให้สมรรถนะอัตราเฟรมผิดพลาดที่ดีกว่าในช่วงที่ ค่า SNR มีค่ามาก อย่างไรก็ตามในช่วงค่า SNR ต่ำอัตราเฟรมผิดพลาดของการใช้งานแรงดันไฟฟ้า อ่าน 1 ชุดสำหรับทุกค่า SNR มีค่าใกล้เคียงกับการใช้งานแรงดันไฟฟ้าอ่านหลายชุดสำหรับแต่ละค่า SNR ในรูปที่ 5.19 แสดงการเปรียบเทียบสมรรถนะอัตราเฟรมผิดพลาดของการใช้แรงดันไฟฟ้าอ่านที่ ออกแบบด้วยวิธีการ MMI [15] วิธีการเอนโทรปี [16] และวิธีการ DE สำหรับหน่วยความจำแบบ MLC NAND flash ซึ่งใช้แบบจำลองช่องสัญญาณที่ประมาณใกล้เคียงกับช่องสัญญาณจริง พบว่า แรงดันไฟฟ้าอ่านที่ออกแบบด้วยวิธีการ DE ที่นำเสนอให้สมรรถนะอัตราเฟรมผิดพลาดที่ดีกว่า แรงดันไฟฟ้าอ่านที่ได้จากวิธีการ MMI และวิธีการเอนโทรปีเนื่องจากวิธี DE ได้มีการวิเคราะห์ สมรรถนะความน่าจะเป็นความผิดพลาดของรหัสแอลดีพีซีแบบปกติที่มี  $d_v = 3$  และ  $d_c = 30$  ใน การออกแบบแรงดันไฟฟ้าอ่าน เมื่อพิจารณาอัตราเฟรมผิดพลาดที่ระดับ  $10^{-3}$  อัตราขยายสมรรถนะ อัตราเฟรมผิดพลาด (FER performance gain) ของแรงดันไฟฟ้าที่ออกแบบด้วยวิธี DE เทียบกับ วิธีการ MMI คือ 2,000 PE cycles และอัตราขยายสมรรถนะอัตราเฟรมผิดพลาดของแรงดันไฟฟ้าที่

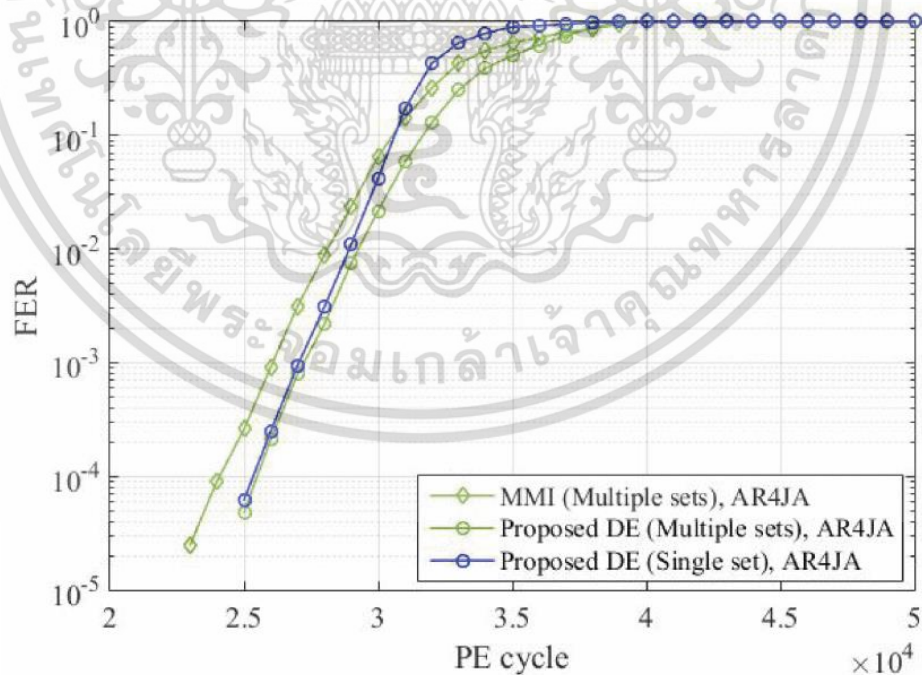
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกแบบด้วยวิธี DE เทียบกับวิธีการเอนโทรปีคือ 1,000 PE cycles สำหรับการใช้แรงดันไฟฟ้า 1 ชุด สำหรับทุก PE cycle ที่ได้จากวิธีการ DE ให้สมรรถนะอัตราบิดผิดพลาดที่ต่ำกว่าการใช้แรงดันไฟฟ้าหลายชุดสำหรับแต่ละ PE cycle ที่ออกแบบด้วยวิธี DE ในช่วงที่ PE cycle มีค่าสูงและมีค่าใกล้เคียงกันในช่วง PE cycle ต่ำ เมื่อพิจารณาอัตราขยายสมรรถนะอัตราเฟรมผิดพลาดของแรงดันไฟฟ้า 1 ชุด สำหรับทุก PE cycle ที่ออกแบบด้วยวิธี DE เทียบกับแรงดันไฟฟ้าหลายชุดสำหรับแต่ละ PE cycle ที่ออกแบบด้วยวิธีการเอนโทรปีคือ 1,000 PE cycles ที่อัตราเฟรมผิดพลาดระดับ  $10^{-3}$  รูปที่ 5.20 แสดงสมรรถนะอัตราเฟรมผิดพลาดของการใช้แรงดันไฟฟ้าอ่านที่ออกแบบด้วยวิธี MMI และเอนโทรปี สำหรับรหัสแอลดีพีซีแบบ AR4JA สำหรับการใช้แรงดันไฟฟ้าหลายชุดสำหรับแต่ละ PE cycle ที่ออกแบบด้วยวิธี DE ให้สมรรถนะอัตราบิดผิดพลาดที่เหนือกว่าใช้แรงดันไฟฟ้าหลายชุดสำหรับแต่ละ PE cycle ที่ออกแบบด้วยวิธี MMI ประมาณ 1,000 PE cycle ที่อัตราเฟรมผิดพลาดระดับ  $10^{-4}$

งานวิจัยนี้ยังได้ศึกษาการออกแบบแรงดันไฟฟ้าอ่านสำหรับวงจรถอดรหัสหลายแบบได้แก่ วงจรถอดรหัสแบบ BP วงจรถอดรหัสแบบ MS วงจรถอดรหัสแบบ NMS และวงจรถอดรหัสแบบ OMS เพื่อแสดงให้เห็นว่าการออกแบบแรงดันไฟฟ้าอ่านด้วยวิธี DE ที่นำเสนอสามารถใช้ได้กับวงจรถอดรหัสใดๆ ผลการจำลองแสดงในรูปที่ 5.21 เป็นการใช้แรงดันไฟฟ้าที่ออกแบบด้วยวิธี DE สำหรับ วงจรถอดรหัสแบบ BP วงจรถอดรหัสแบบ MS วงจรถอดรหัสแบบ NMS และวงจรถอดรหัสแบบ OMS สำหรับจำนวนรอบการถอดรหัสกำหนดให้ใช้ 50 รอบและค่าพารามิเตอร์  $\alpha$  และ  $\beta$  ของวงจรถอดรหัสแบบ NMS และวงจรถอดรหัสแบบ OMS มีการออกแบบใหม่ให้เหมาะสมกับช่องสัญญาณหน่วยความจำแบบ MLC NAND flash ผลการจำลองพบว่าการใช้แรงดันไฟฟ้าอ่านที่ออกแบบด้วยวิธีการ DE ให้สมรรถนะอัตราเฟรมผิดพลาดที่ดีกว่าการใช้แรงดันไฟฟ้าอ่านที่ออกแบบด้วยวิธี MMI โดยเฉพาะอย่างยิ่ง วงจรถอดรหัสแบบ OMS ซึ่งใช้แรงดันไฟฟ้าอ่านที่ออกแบบด้วยวิธีการ MMI ให้สมรรถนะอัตราเฟรมผิดพลาดที่ใกล้เคียงกับวงจรถอดรหัสแบบ NMS ซึ่งใช้แรงดันไฟฟ้าอ่านที่ออกแบบด้วยวิธีการ DE

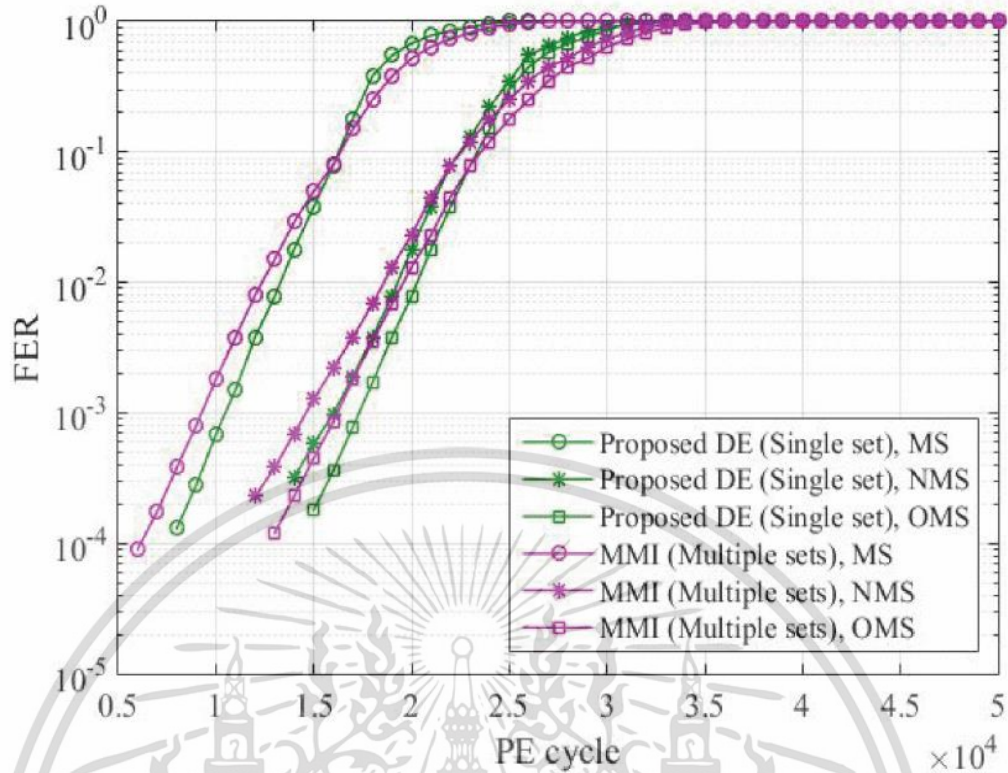


รูปที่ 5.19 การเปรียบเทียบสมรรถนะอัตราเฟรมผิดพลาดของการใช้แรงดันไฟฟ้าอ่านที่ได้จากการออกแบบด้วยวิธี MMI เอนโทรปี และ DE สำหรับหน่วยความจำแบบ MLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณประมาณใกล้เคียงกับช่องสัญญาณจริง



รูปที่ 5.20 การเปรียบเทียบสมรรถนะอัตราเฟรมผิดพลาดของการใช้แรงดันไฟฟ้าอ่านที่ได้จากการออกแบบด้วยวิธี MMI และ DE สำหรับหน่วยความจำแบบ MLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณประมาณใกล้เคียงกับช่องสัญญาณจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.21 การเปรียบเทียบสมรรถนะอัตราเฟรมผิดพลาดของรหัสแอลดีพีซีแบบปกติ (3, 30) ที่ใช้แรงดันไฟฟ้าอ่านที่ได้จากการออกแบบด้วยวิธี MMI และ DE สำหรับหน่วยความจำแบบ MLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณประมาณใกล้เคียงกับช่องสัญญาณจริงโดยใช้วงจรถอดรหัสแบบ MS NMS และ OMS

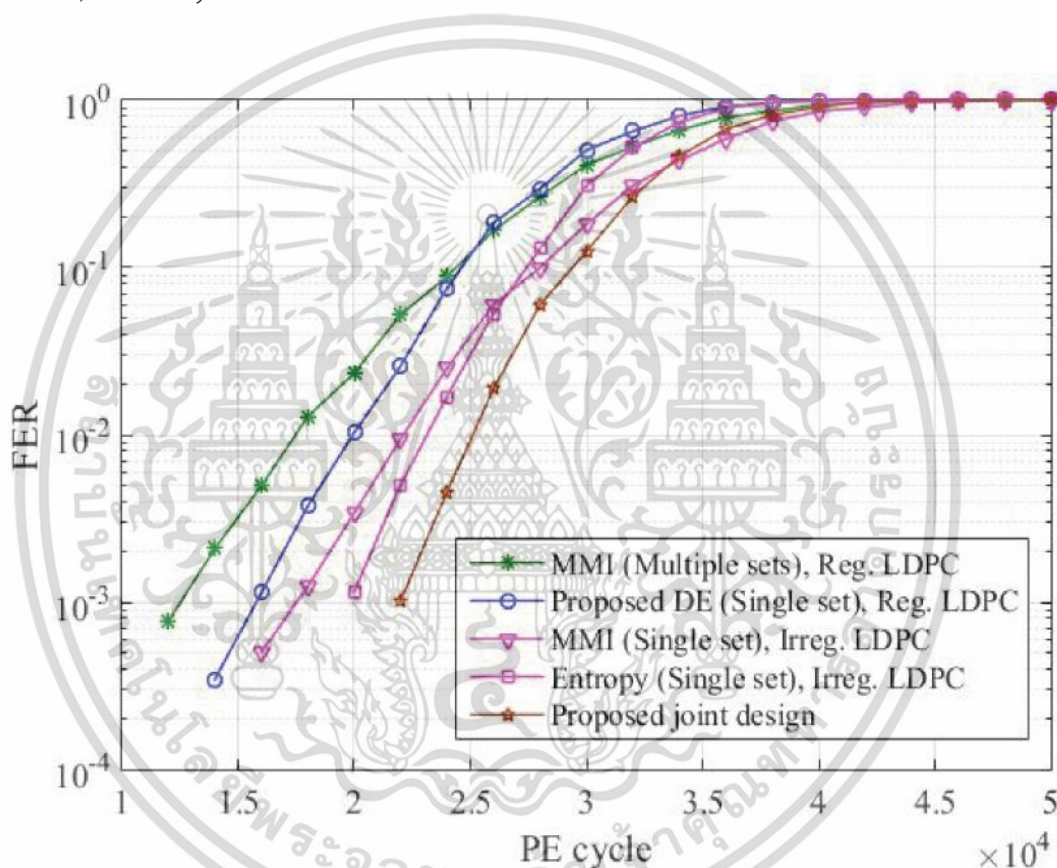
### 5.3.2 ผลการออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซี

รูปที่ 5.22 แสดงการเปรียบเทียบสมรรถนะอัตราบิตเฟรมผิดพลาดของการออกแบบรหัสแอลดีพีซีแบบไม่สม่ำเสมอในกรณีที่กำหนดแรงดันไฟฟ้าอ่าน และการออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซีแบบไม่สม่ำเสมอซึ่งใช้ผลการออกแบบในตารางที่ 5.4 และ 5.5 จากการจำลองพบว่าสมรรถนะอัตราเฟรมผิดพลาดของรหัสแอลดีพีซีแบบไม่สม่ำเสมอที่ออกแบบโดยใช้แรงดันไฟฟ้าอ่านซึ่งออกแบบด้วยวิธีเอนโทรปีดีกว่ารหัสแอลดีพีซีแบบไม่สม่ำเสมอที่ออกแบบโดยใช้แรงดันไฟฟ้าอ่านซึ่งออกแบบด้วยวิธี MMI เพียงเล็กน้อย การออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซีแบบไม่สม่ำเสมอให้สมรรถนะอัตราเฟรมผิดพลาดที่ดีกว่ารหัสแอลดีพีซีแบบไม่สม่ำเสมอที่ออกแบบโดยใช้แรงดันไฟฟ้าอ่านซึ่งออกแบบด้วยวิธีเอนโทรปีซึ่งผลการจำลองสอดคล้องกับค่าเทรสโลด์การถอดรหัส  $PE^*$  ในตารางที่ 5.4 และ 5.5

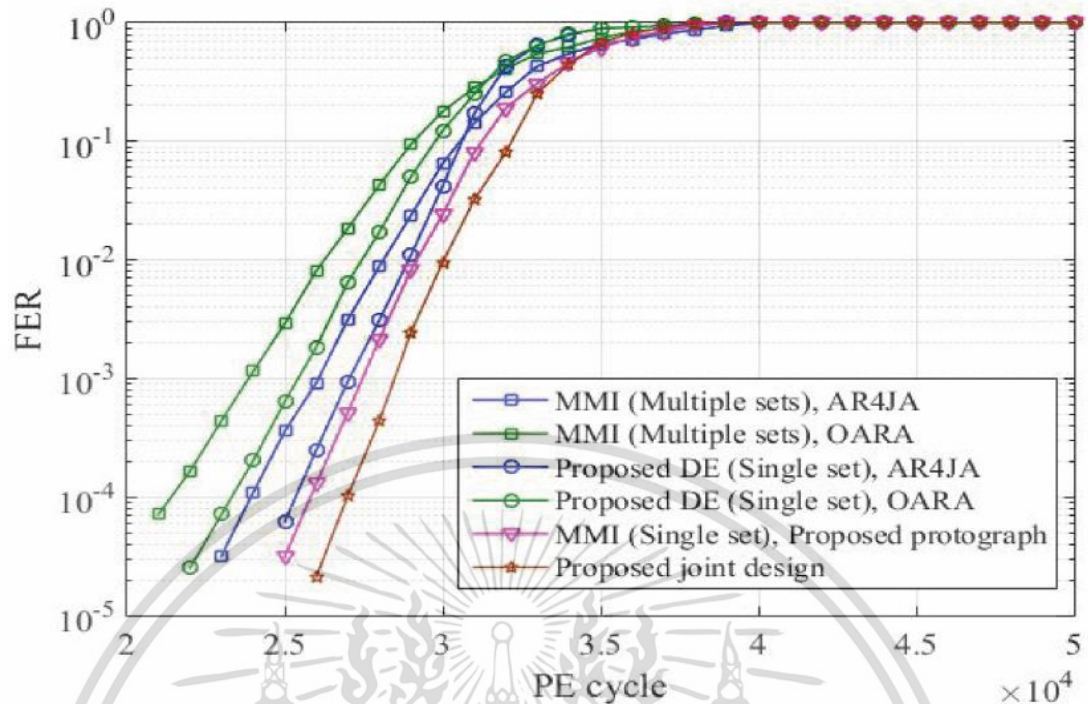
รูปที่ 5.23 แสดงการเปรียบเทียบสมรรถนะอัตราเฟรมผิดพลาดของรหัสแอลดีพีซีแบบ AR4JA [75] รหัสแอลดีพีซีแบบ OARA [78] รหัสแอลดีพีซีแบบโพรโทกราฟที่ออกแบบโดยการกำหนดค่าแรงดันไฟฟ้าอ่านให้ และการออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซีแบบโพรโทกราฟ ผลการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำลองแสดงให้เห็นว่าสมรรถนะอัตราเฟรมผิดพลาดของรหัสแอลดีพีซีแบบโพโรโทกราฟที่ออกแบบเหนือกว่ารหัสแอลดีพีซีแบบ AR4JA สำหรับรหัสแอลดีพีซีแบบ OARA ให้สมรรถนะอัตราเฟรมผิดพลาดที่แยกว่ารหัสแอลดีพีซีแบบ AR4JA เนื่องจากรหัส OARA ถูกออกแบบมาสำหรับระบบ BICM-ID (Bit-interleaved coded modulation with iterative decoding) [79] เท่านั้น เมื่อนำมาเปรียบเทียบในระบบ BICM (Bit-interleaved coded modulation) ทำให้สมรรถนะด้อยกว่า เมื่อพิจารณาอัตราขยายสมรรถนะของการออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซีแบบโพโรโทกราฟเทียบกับการใช้แรงดันไฟฟ้าอ่านที่ออกแบบด้วยวิธี MMI กับรหัสแอลดีพีซีแบบ AR4JA มีค่าเท่ากับ 4,300 PE cycle ที่ระดับอัตราเฟรมผิดพลาด  $10^{-4}$



รูปที่ 5.22 การเปรียบเทียบสมรรถนะอัตราเฟรมผิดพลาดของรหัสแอลดีพีซีแบบไม่สม่ำเสมอที่กำหนดแรงดันไฟฟ้าอ่านที่ได้จากการออกแบบด้วยวิธี MMI และเอนโทรปีให้ และการออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซีแบบไม่สม่ำเสมอสำหรับหน่วยความจำแบบ MLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณประมาณใกล้เคียงกับช่องสัญญาณจริง

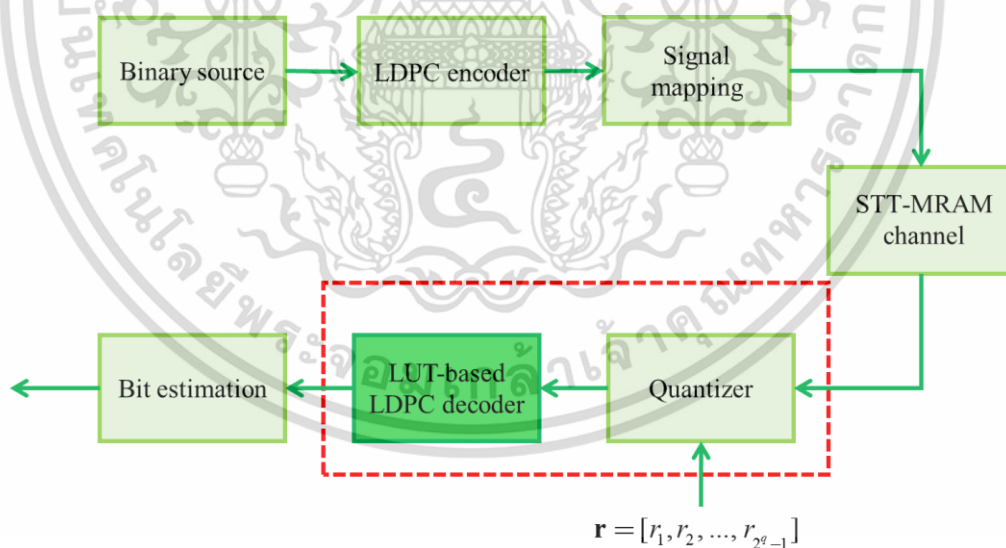


รูปที่ 5.23 การเปรียบเทียบสมรรถนะอัตราเฟรมผิดพลาดของรหัสแอลดีพีซีแบบโพรโทกราฟที่กำหนดแรงดันไฟฟ้าอ่านที่ได้จากการออกแบบด้วยวิธี MMI ให้ และการออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซีแบบโพรโทกราฟสำหรับหน่วยความจำแบบ MLC NAND flash ที่ใช้แบบจำลองช่องสัญญาณประมาณใกล้เคียงกับช่องสัญญาณจริง

## บทที่ 6

# วิธีการออกแบบการถอดรหัสแบบตารางสำหรับรหัสแอลดีพีซีแบบไม่มีโครงสร้างในหน่วยความจำแบบ STT-MRAM

บทนี้จะอธิบายวิธีการออกแบบวงจรถอดรหัสแอลดีพีซีแบบตารางถอดรหัส เนื่องจากวงจรถอดรหัสที่อธิบายในบทที่ 4 มีความซับซ้อนในการคำนวณที่โหนดตัวแปรและโหนดเช็ก โดยเฉพาะอย่างยิ่งที่โหนดเช็กมีการคำนวณที่ซับซ้อนกว่าโหนดตัวแปร เมื่อนำวงจรถอดรหัสดังกล่าวไปสร้างเป็นวงจรถอดรหัสในอุปกรณ์ฮาร์ดแวร์เพื่อใช้งาน ทำให้วงจรการคำนวณที่ซับซ้อนมีขนาดใหญ่และใช้เกตลอจิกจำนวนมาก อีกทั้งวงจรถอดรหัสยังใช้ค่าจำนวนจริงในการคำนวณ ทำให้ใช้หน่วยความจำจำนวนมากในการเก็บค่าระหว่างการถอดรหัส ดังนั้นเพื่อให้สามารถลดความซับซ้อนของวงจรถอดรหัสจำเป็นต้องมีการออกแบบวงจรถอดรหัสให้มีการคำนวณและใช้หน่วยความจำลดลงแต่ยังคงให้สมรรถนะการถอดรหัสที่ดี ในบทนี้ การออกแบบจะแบ่งเป็น 2 ส่วนหลัก ๆ ได้แก่การออกแบบวงจรถอดรหัสสำหรับหน่วยความจำแบบ STT-MRAM ที่มีจำลองให้มีช่องสัญญาณแบบเกาส์เซียนที่มีความสมมาตร ส่วนที่สองจะนำเสนอวิธีการออกแบบวงจรถอดรหัสแอลดีพีซีสำหรับหน่วยความจำแบบ STT-MRAM ที่จำลองช่องสัญญาณให้ใกล้เคียงกับช่องสัญญาณจริงซึ่งเป็นแบบไม่สมมาตร



รูปที่ 6.1 วงจรควอนไทซ์และวงจรถอดรหัสแบบตาราง

### 6.1 วงจรควอนไทซ์และวงจรถอดรหัสแบบตาราง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรถอดรหัสที่ใช้ตารางถอดรหัส (LUT: Lookup table-based LDPC decoder) ประกอบด้วย 2 ส่วนได้แก่ การออกแบบวงจรควอนไทซ์ที่ให้เอาต์พุตเป็นจำนวนเต็ม และวงจรถอดรหัสที่ใช้ค่าจำนวนเต็มตลอดทั้งการถอดรหัสดังแสดงในรูปที่ 6.1 และเพื่อไม่ให้ผู้อ่านสับสน จะกำหนดการใช้งานไว้ดังนี้ ในการออกแบบจะใช้ค่าแอสแอลอาร์ที่เป็นจำนวนจริงทั้งหมดแต่เมื่อนำไปใช้งานจะใช้ค่าแอสแอลอาร์ที่เป็นจำนวนเต็มทั้งหมด โดยการออกแบบสำหรับหัวข้อนี้จะใช้โครงสร้างโหนดแบบลำดับดังที่ได้กล่าวถึงในบทที่ 4

### 6.1.1 พารามิเตอร์ของวงจรควอนไทซ์

วงจรควอนไทซ์จะรับค่าเอาต์พุตของสัญญาณ  $y$  หลังจากนั้นจะเปรียบเทียบกับช่วงการควอนไทซ์  $\mathbf{r} = [r_1, r_2, \dots, r_{2^q-1}]$  เมื่อ  $q$  คือจำนวนบิตควอนไทซ์ เอาต์พุตของวงจรควอนไทซ์จะได้ค่าแอสแอลอาร์ สำหรับการนำแอสแอลอาร์ไปออกแบบตารางถอดรหัสต่อจะใช้แอสแอลอาร์ที่เป็นค่าจำนวนจริง  $L_{q_{ch},real} \in \mathbb{R}$  สำหรับแอสแอลอาร์ที่นำไปถอดรหัสในวงจรจะใช้แอสแอลอาร์ที่เป็นค่าจำนวนเต็ม  $L_{q_{ch},int} \in \mathcal{L}$  เมื่อ  $\mathcal{L} = [0, 1, 2, \dots, 2^q - 1]$  นั่นคือ

$$L_{q_{ch},real} = Q_{real}(y) : \mathbb{R} \rightarrow \mathcal{L} \quad (6.1)$$

$$L_{q_{ch},int} = Q_{int}(y) : \mathbb{R} \rightarrow \mathcal{L} \quad (6.2)$$

เมื่อ  $Q_{real}(x)$  และ  $Q_{int}(x)$  คือฟังก์ชันการควอนไทซ์จำนวนจริงและจำนวนเต็ม

$$Q_{real}(x) = \begin{cases} l_1, & \text{if } x < r_1 \\ l_2, & \text{if } r_1 \leq x < r_2 \\ \vdots & \\ l_{2^q-1}, & \text{if } r_{2^q-1} \leq x \end{cases} \quad (6.3)$$

$$Q_{int}(x) = \begin{cases} 0, & \text{if } x < r_1 \\ 1, & \text{if } r_1 \leq x < r_2 \\ \vdots & \\ 2^q - 1, & \text{if } r_{2^q-1} \leq x \end{cases} \quad (6.4)$$

และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 l_0 &= \log \left( \frac{\int_{-\infty}^{r_1} p(y|b=1)dy}{\int_{-\infty}^{r_1} p(y|b=0)dy} \right) \\
 l_1 &= \log \left( \frac{\int_{r_1}^{r_2} p(y|b=1)dy}{\int_{r_1}^{r_2} p(y|b=0)dy} \right) \\
 &\vdots \\
 l_{2^q-1} &= \log \left( \frac{\int_{r_{2^q-1}}^{\infty} p(y|b=1)dy}{\int_{r_{2^q-1}}^{\infty} p(y|b=0)dy} \right)
 \end{aligned} \tag{6.5}$$

ในวงจรควอนไทซ์จะเห็นว่ามีการใช้ช่วงการควอนไทซ์  $\mathbf{r} = [r_1, r_2, \dots, r_{2^q-1}]$  เพื่อให้ได้ค่าแอสแอลอาร์ ดังนั้นในการออกแบบวงจรควอนไทซ์จะเป็นการออกแบบช่วงการควอนไทซ์ โดยจะกำหนดให้ตัวแปรที่ใช้ในการออกแบบเป็น  $\mathbf{r}_{ch}$  และเอาต์พุตแอสแอลอาร์จากวงจรควอนไทซ์จะมีการกระจายตัวเป็นฟังก์ชัน pdf ที่เป็นแบบไม่ต่อเนื่อง (Discretized function) นั่นคือ  $p_{q, ch, real}[L]$  ซึ่งฟังก์ชันนี้จะถูกส่งต่อไปยังวงจรถอดรหัสเพื่อออกแบบตารางสำหรับถอดรหัสต่อไป

### 6.1.2 พารามิเตอร์ของวงจรถอดรหัส

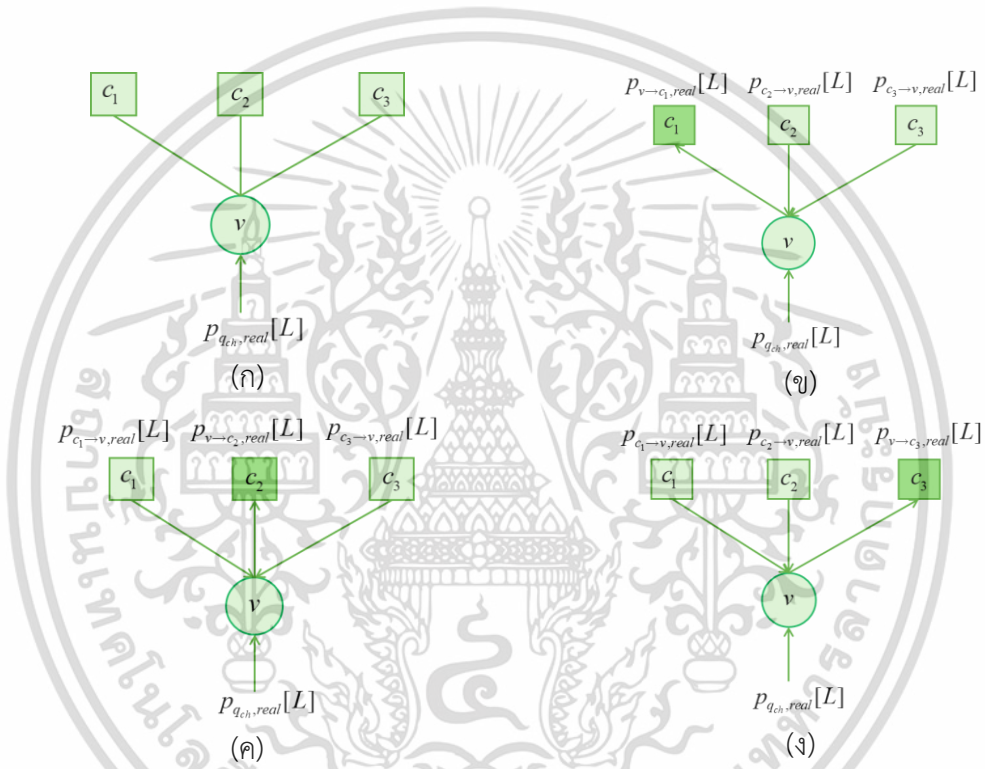
สำหรับวงจรถอดรหัสแบบตารางลำดับจะแบ่งย่อยออกเป็น 2 โหนดหลัก ๆ ได้แก่ตารางสำหรับโหนดตัวแปรและตารางสำหรับโหนดเช็ค เนื่องจากจำนวนอินพุตของโหนดตัวแปรและโหนดเช็คอาจจะมีจำนวนมากส่งผลให้มิติของตารางถอดรหัสเพิ่มขึ้นตามจำนวนอินพุตทำให้ต้องใช้หน่วยความจำในการเก็บตารางจำนวนมากและการเรียกใช้ค่าในตารางทำได้ยาก ดังนั้นจึงมีการแยกการคำนวณในโหนดตัวแปรออกมาเป็นลำดับของตาราง 2 มิติหรือ 2 อินพุต โดยแบ่งโครงสร้างการถอดรหัสด้วยตาราง 2 อินพุตเป็น 2 โครงสร้างได้แก่โครงสร้างแบบลำดับ และโครงสร้างแบบไปข้างหน้าและย้อนกลับ

#### 6.1.2.1 โครงสร้างการถอดรหัสแบบลำดับ

โครงสร้างการถอดรหัสแบบลำดับจะแบ่งย่อยออกเป็น 2 ประเภทคือ โครงสร้างการถอดรหัสแบบลำดับสำหรับโหนดตัวแปร และโครงสร้างการถอดรหัสแบบลำดับสำหรับโหนดเช็ค

6.1.2.1.1 โครงสร้างการถอดรหัสแบบลำดับสำหรับโหนดตัวแปร

สำหรับโหนดตัวแปรจะกำหนดให้  $L_{c \rightarrow v, real}$  คือค่าแอลแอลอาร์ที่เข้ามายังโหนดตัวแปร  $L_{v \rightarrow c, real}$  คือค่าแอลแอลอาร์ที่ออกจากโหนดตัวแปร  $p_{c \rightarrow v, real}[L]$  และ  $p_{v \rightarrow c, real}[L]$  คือฟังก์ชัน pdf ของ  $L_{c \rightarrow v, real}$  และ  $L_{v \rightarrow c, real}$  ในการคำนวณค่าแอลแอลอาร์ที่โหนดตัวแปรจะมีการคำนวณค่าที่ส่งมาจากโหนดเช็กที่เชื่อมกับโหนดตัวแปรนั้นและค่าแอลแอลอาร์จากช่องสัญญาณ รูปที่ 6.2 แสดงตัวอย่างการคำนวณค่าโหนดตัวแปรของรหัสแอลดีพีซีแบบปกติที่มีค่า  $d_v = 3$  โดยรูปที่ 6.2 (ก) แสดงจำนวนเส้นเชื่อมของโหนดตัวแปรใด ๆ ที่มี  $d_v = 3$  และรูปที่ 6.2 (ข) - (ง) แสดงการคำนวณค่าส่งไปยังโหนดเช็ก  $c_1$  ถึง  $c_3$



รูปที่ 6.2 (ก) ตัวอย่างโหนดตัวแปรใด ๆ ที่มี  $d_v = 3$   
 (ข) การคำนวณค่าส่งไปยังโหนดเช็ก  $c_1$   
 (ค) การคำนวณค่าส่งไปยังโหนดเช็ก  $c_2$   
 (ง) การคำนวณค่าส่งไปยังโหนดเช็ก  $c_3$

จากรูปที่ 6.2 เมื่อนำมาเขียนเป็นโครงสร้างการถอดรหัสแบบลำดับจะได้ดังรูปที่ 6.3 (ก) - (ค) จากรูปจะเห็นว่า การคำนวณค่าส่งไปทุกโหนดเช็กจะใช้ตารางทั้งหมดจำนวน 6 ตาราง สามารถเขียนสมการคำนวณให้อยู่ในรูปสมการทั่วไปของโครงสร้างแบบลำดับตารางได้ดังนี้

$$S_1 = \phi_{VN,1,real}^l p_{q_{ch},real}[L], p_{c_1 \rightarrow v,real}[L] \tag{6.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_2 = \phi_{VN,2,real}^l S_1, p_{c_2 \rightarrow v,real}[L] \quad (6.7)$$

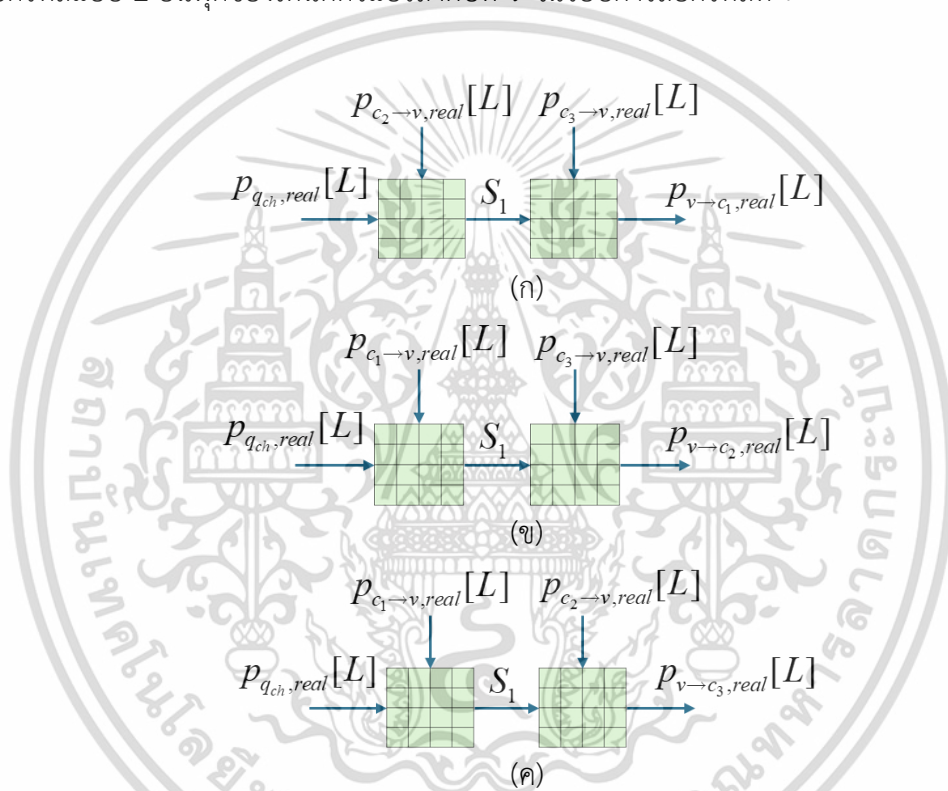
$$\vdots$$

$$S_i = \phi_{VN,i,real}^l S_{i-1}, p_{c_i \rightarrow v,real}[L] \quad (6.8)$$

$$\vdots$$

$$p_{v \rightarrow c_i,real}[L] = \phi_{VN,d_v-1,real}^l S_{d_v-2}, p_{c_{d_v-1} \rightarrow v,real}[L] \quad (6.9)$$

เมื่อ  $S_i$  คือเอาต์พุตฟังก์ชัน pdf ชั่วคราวของตารางถอดรหัสที่  $i$  และ  $\phi_{VN,i,real}^l x, y$  คือตารางถอดรหัสแบบ 2 อินพุตของโหนดตัวแปรลำดับที่  $i$  ในรอบการถอดรหัสที่  $l$



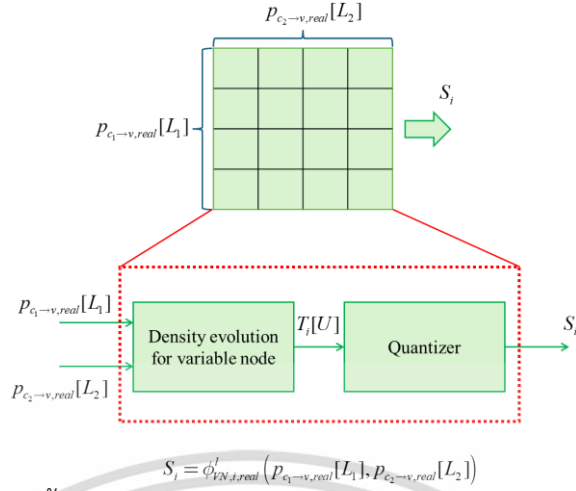
รูปที่ 6.3 (ก) โครงสร้างการคำนวณแบบลำดับตารางส่งไปยังโหนดเชิง  $c_1$

(ข) โครงสร้างการคำนวณแบบลำดับตารางส่งไปยังโหนดเชิง  $c_2$

(ค) โครงสร้างการคำนวณแบบลำดับตารางส่งไปยังโหนดเชิง  $c_3$

ในการออกแบบตารางถอดรหัสแบบลำดับตาราง 2 อินพุตสำหรับโหนดตัวแปร  $\phi_{VN,i,real}^l x, y$  แต่ละตารางจะมี 2 ขั้นตอนคือการคำนวณค่าที่โหนดตัวแปรโดยอาศัยการวิวัฒนาการความหนาแน่นและการควอนไทซ์ค่าเอาต์พุตของโหนดตัวแปรซึ่งขั้นตอนการออกแบบตารางแสดงในรูปที่ 6.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.4 ขั้นตอนการออกแบบตารางถอดรหัสสำหรับโหนดตัวแปร

ขั้นตอนการออกแบบขั้นที่ 1 จะเป็นการรับฟังก์ชัน pdf ของแอลแอลอาร์เข้ามา 2 ค่า  $p_{c_1 \to v, real}[L_1]$  และ  $p_{c_2 \to v, real}[L_2]$  หลังจากนั้นจะคำนวณค่าฟังก์ชัน pdf เอาต์พุต  $T_i[U]$  โดยใช้การวิวัฒนาการความหนาแน่นสำหรับโหนดตัวแปรนั้นคือ

$$T_i[U] = \sum_{\{L_1, L_2: U=L_1+L_2\}} p_{c_1 \to v, real}[L_1] p_{c_2 \to v, real}[L_2]: \mathcal{L} \times \mathcal{L} \quad (6.10)$$

ในขั้นตอนที่ 2 ค่าฟังก์ชัน pdf เอาต์พุตที่มีขนาด  $\mathcal{L} \times \mathcal{L}$  จะถูกนำไปควอนไทซ์ให้มีขนาด  $\mathcal{L}$  เพื่อนำไปใช้ในตารางถัดไป ฟังก์ชันการควอนไทซ์แสดงได้ดังนี้

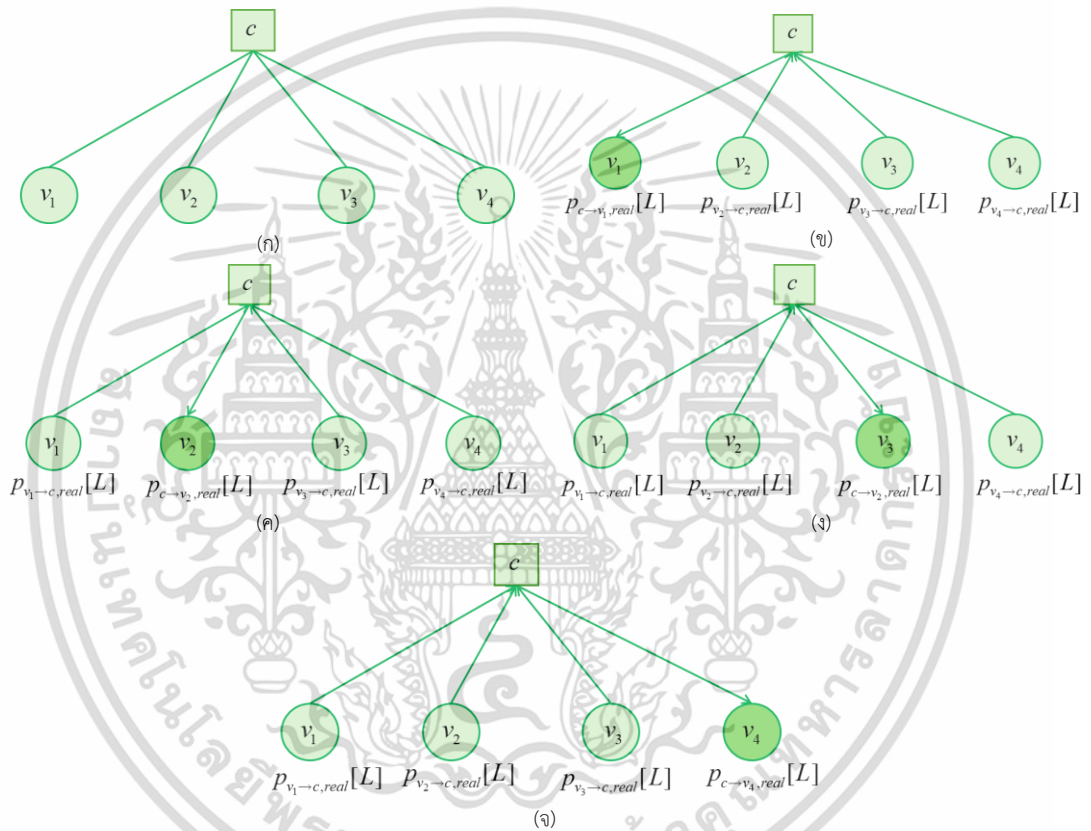
$$S_i = Q_{real}(U): \mathcal{L} \times \mathcal{L} \rightarrow \mathcal{L} \quad (6.11)$$

ดังที่ทราบกันไปก่อนหน้านี้แล้วว่าฟังก์ชันการควอนไทซ์จำเป็นจะต้องใช้ช่วงการควอนไทซ์  $\mathbf{r} = [r_1, r_2, \dots, r_{2^q-1}]$  ดังนั้นในการออกแบบตารางจำเป็นจะต้องใช้ช่วงการควอนไทซ์เพื่อให้ได้ค่าในตาราง เนื่องจากจำนวนโหนดตัวแปรที่ต้องการออกแบบตลอดทั้งการถอดรหัสมีจำนวนมากเพื่อป้องกันความสับสนระหว่างตัวแปรจริงจะกำหนดให้ช่วงการควอนไทซ์สำหรับโหนดตัวแปรใด ๆ คือ  $\mathbf{r}_{VN_i}^{(l)}$  เป็นช่วงการควอนไทซ์สำหรับโหนดตัวแปรลำดับตารางที่  $i$  ในรอบการถอดรหัสที่  $l$  ตัวแปรนี้เป็นตัวแปรที่จะใช้ในการออกแบบตารางถอดรหัส  $\phi_{VN, i, real}^l(x, y)$  หลังจากได้ช่วงการควอนไทซ์  $\mathbf{r}_{VN_i}^{(l)}$  ที่เหมาะสมแล้วจะพิจารณาว่าค่าแอลแอลอาร์ที่เป็นจำนวนจริงอยู่ในช่วงใด โดยแต่ละช่วงจะแทนจำนวนเต็ม 0 ถึง  $2^q - 1$  แล้วจะเปลี่ยนจากค่าแอลแอลอาร์ที่เป็นจำนวนจริงที่อยู่ในช่วงดังกล่าวให้เป็นค่าแอลแอลอาร์ที่เป็นจำนวนเต็ม นั่นคือเปลี่ยนจากตารางถอดรหัสแบบค่าจำนวนจริง  $\phi_{VN, i, real}^l(x, y)$  ไปเป็นตารางถอดรหัสแบบค่าจำนวนเต็ม  $\phi_{VN, i, int}^l(x, y)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.2.1.2 โครงสร้างการถอดรหัสแบบลำดับสำหรับโหนดเช็ก

สำหรับโหนดตัวเช็กจะกำหนดให้  $L_{v \rightarrow c, real}$  คือค่าแอลแอลอาร์ที่เข้ามายังโหนดเช็ก  $L_{c \rightarrow v, real}$  คือค่าแอลแอลอาร์ที่ออกจากโหนดตัวเช็ก  $p_{v \rightarrow c, real}[L]$  และ  $p_{c \rightarrow v, real}[L]$  คือฟังก์ชัน pdf ของ  $L_{v \rightarrow c, real}$  และ  $L_{c \rightarrow v, real}$  ในการคำนวณค่าแอลแอลอาร์ที่โหนดเช็กจะมีการคำนวณค่าที่ส่งมาจากโหนดตัวแปรที่เชื่อมกับโหนดเช็กนั้น รูปที่ 6.5 แสดงตัวอย่างการคำนวณค่าโหนดเช็กของรหัสแอลดีพีซีแบบปกติที่มีค่า  $d_c = 4$  โดยรูปที่ 6.5 (ก) แสดงจำนวนเส้นเชื่อมของโหนดตัวแปรใด ๆ ที่มี  $d_c = 4$  และรูปที่ 6.5 (ข) - (ง) แสดงการคำนวณค่าส่งไปยังโหนดเช็ก  $v_1$  ถึง  $v_4$



รูปที่ 6.5 (ก) ตัวอย่างโหนดเช็กใด ๆ ที่มี  $d_c = 4$

- (ข) การคำนวณค่าส่งไปยังโหนดตัวแปร  $v_1$
- (ค) การคำนวณค่าส่งไปยังโหนดตัวแปร  $v_2$
- (ง) การคำนวณค่าส่งไปยังโหนดตัวแปร  $v_3$
- (จ) การคำนวณค่าส่งไปยังโหนดตัวแปร  $v_4$

จากรูปที่ 6.5 เมื่อนำมาเขียนเป็นโครงสร้างการถอดรหัสแบบลำดับจะได้ดังรูปที่ 6.6 (ก) - (ง) จากรูปจะเห็นว่า การคำนวณค่าส่งไปทุกโหนดตัวแปรจะใช้ตารางทั้งหมดจำนวน 8 ตาราง สามารถเขียนสมการคำนวณให้อยู่ในรูปสมการทั่วไปของโครงสร้างแบบลำดับตารางได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_1 = \phi_{CN,1,real}^l P_{v_1 \rightarrow c,real}[L], P_{v_2 \rightarrow c,real}[L] \quad (6.12)$$

$$S_2 = \phi_{CN,2,real}^l S_1, P_{c_3 \rightarrow v,real}[L] \quad (6.13)$$

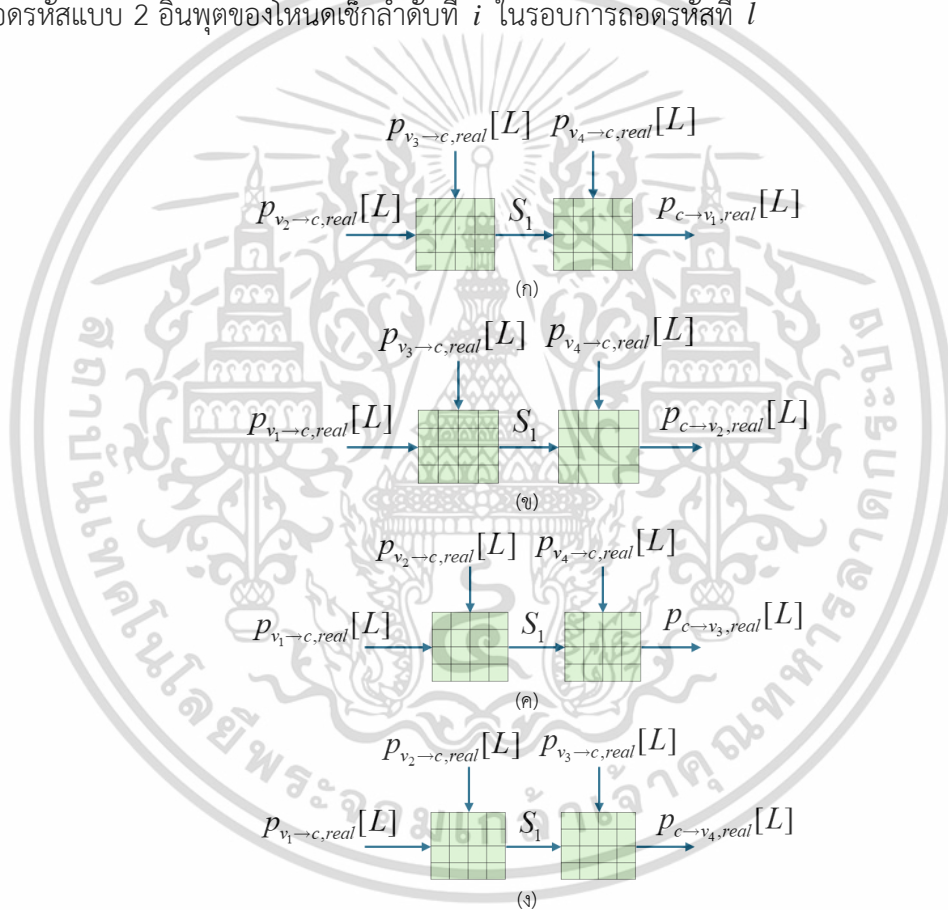
$$\vdots$$

$$S_i = \phi_{CN,i,real}^l S_{i-1}, P_{v_{i+1} \rightarrow c,real}[L] \quad (6.14)$$

$$\vdots$$

$$P_{c \rightarrow v_i,real}[L] = \phi_{CN,d_c-2,real}^l S_{d_c-3}, P_{v_{d_c-1} \rightarrow c,real}[L] \quad (6.15)$$

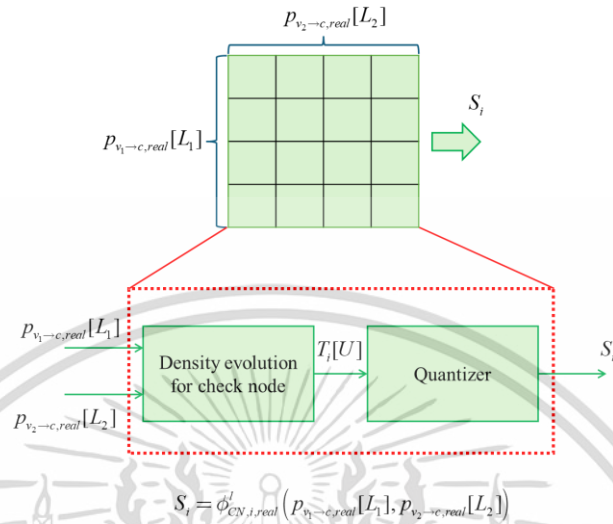
เมื่อ  $S_i$  คือเอาต์พุตฟังก์ชัน pdf ชั่วคราวของตารางถอดรหัสที่  $i$  และ  $\phi_{CN,i,real}^l x, y$  คือตารางถอดรหัสแบบ 2 อินพุตของโหนดเช็กลำดับที่  $i$  ในรอบการถอดรหัสที่  $l$



รูปที่ 6.6 (ก) โครงสร้างการคำนวณแบบลำดับตารางส่งไปยังโหนดตัวแปร  $v_1$   
 (ข) โครงสร้างการคำนวณแบบลำดับตารางส่งไปยังโหนดตัวแปร  $v_2$   
 (ค) โครงสร้างการคำนวณแบบลำดับตารางส่งไปยังโหนดตัวแปร  $v_3$   
 (ง) โครงสร้างการคำนวณแบบลำดับตารางส่งไปยังโหนดตัวแปร  $v_4$

ในการออกแบบตารางถอดรหัสแบบลำดับตาราง 2 อินพุตสำหรับโหนดเช็  $\phi_{CN,i,real}^l x, y$  แต่ละตารางจะมี 2 ขั้นตอนเช่นเดียวกับการออกแบบโหนดตัวแปร คือการคำนวณค่าที่โหนดเช็โดยเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อาศัยการวิวัฒนาการความหนาแน่นและการควอนไทซ์ค่าเอาต์พุตของโหนดตัวแปรซึ่งขั้นตอนการออกแบบตารางแสดงในรูปที่ 6.7



รูปที่ 6.7 ขั้นตอนการออกแบบตารางถอดรหัสสำหรับโหนดเช็ก

ขั้นตอนการออกแบบขั้นที่ 1 จะเป็นการรับฟังก์ชัน pdf ของแอลแอลอาร์เข้ามา 2 ค่า  $P_{v_1 \to c, real}[L_1]$  และ  $P_{v_2 \to c, real}[L_2]$  หลังจากนั้นจะคำนวณค่าฟังก์ชัน pdf เอาต์พุต  $T_i[U]$  โดยใช้การวิวัฒนาการความหนาแน่นสำหรับโหนดเช็กนั้นคือ

$$T_i[U] = \sum_{\{L_1, L_2 : U=f(L_1, L_2)\}} P_{c \to v, real}[L_1] P_{c \to v, real}[L_2] : \mathcal{L} \times \mathcal{L} \quad (6.16)$$

เมื่อ

$$f(L_1, L_2) = -2 \tanh^{-1}(\tanh(L_1/2) \tanh(L_2/2)) \quad (6.17)$$

ในขั้นตอนที่ 2 ค่าฟังก์ชัน pdf เอาต์พุตที่มีขนาด  $\mathcal{L} \times \mathcal{L}$  จะถูกนำไปควอนไทซ์ให้มีขนาด  $\mathcal{L}$  เพื่อนำไปใช้ในตารางถัดไป ในทำนองเดียวกันฟังก์ชันการควอนไทซ์จำเป็นต้องใช้ช่วงการควอนไทซ์  $\mathbf{r} = [r_1, r_2, \dots, r_{2^q-1}]$  ดังนั้นในการออกแบบตารางจำเป็นต้องใช้ช่วงการควอนไทซ์เพื่อให้ได้ค่าในตาราง เนื่องจากจำนวนโหนดเช็กที่ต้องการออกแบบตลอดทั้งการถอดรหัสมีจำนวนมากเพื่อป้องกันความสับสนระหว่างตัวแปรจริงจะกำหนดให้ช่วงการควอนไทซ์สำหรับโหนดตัวแปรใด ๆ คือ  $\mathbf{r}_{CN_i}^{(l)}$  เป็นช่วงการควอนไทซ์สำหรับโหนดเช็กลำดับตารางที่  $i$  ในรอบการถอดรหัสที่  $l$  ตัวแปรนี้เป็นตัวแปรที่จะใช้ในการออกแบบตารางถอดรหัส  $\phi_{CN, i, real}^l(x, y)$  หลังจากได้ช่วงการควอนไทซ์  $\mathbf{r}_{CN_i}^{(l)}$  ที่เหมาะสมแล้วจะพิจารณาว่าค่าแอลแอลอาร์ที่เป็นจำนวนจริงอยู่ในช่วงใด โดยแต่ละช่วงจะแทนจำนวนเต็ม 0 เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้เพื่อการใช้งานเท่านั้น เมื่ออนุญาตให้เผยแพร่ข้อมูลนี้เป็นการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

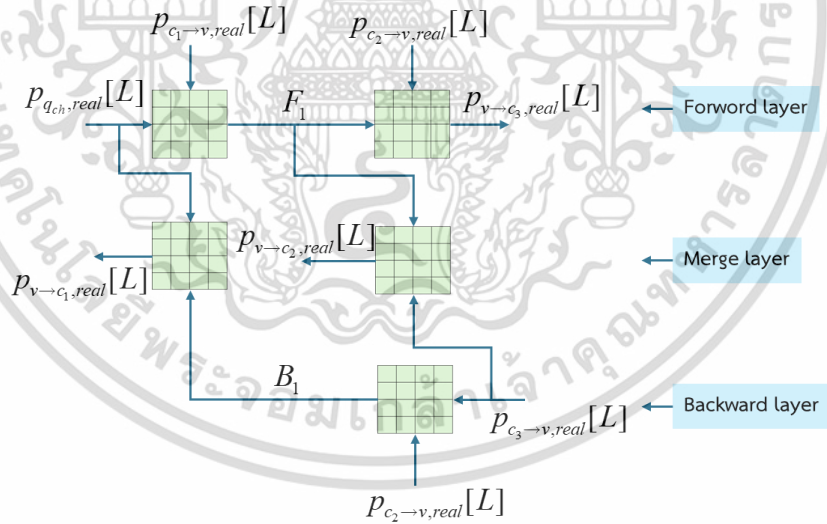
ถึง  $2^q - 1$  แล้วจะเปลี่ยนจากค่าแอสแอลอาร์ที่เป็นจำนวนจริงที่อยู่ในช่วงดังกล่าวให้เป็นค่าแอสแอลอาร์ที่เป็นจำนวนเต็ม นั่นคือการเปลี่ยนจากตารางที่เป็นจำนวนจริง  $\phi_{CN,i,real}^l x, y$  ให้เป็นตารางที่เป็นจำนวนเต็ม  $\phi_{CN,i,int}^l x, y$

**6.1.2.3 โครงสร้างการถอดรหัสแบบไปข้างหน้าและย้อนกลับ**

โครงสร้างการถอดรหัสแบบไปข้างหน้าและย้อนกลับจะแบ่งย่อยออกเป็น 2 ประเภทคือ โครงสร้างการถอดรหัสแบบไปข้างหน้าและย้อนกลับสำหรับโหนดตัวแปร และโครงสร้างการถอดรหัสแบบไปข้างหน้าและย้อนกลับสำหรับโหนดเช็ก

**6.1.2.3.1 โครงสร้างการถอดรหัสแบบไปข้างหน้าและย้อนกลับสำหรับโหนดตัวแปร**

โครงสร้างการถอดรหัสแบบไปข้างหน้าและย้อนกลับเป็นโครงสร้างที่ลดการใช้ตารางคำนวณจากโครงสร้างแบบลำดับลงซึ่งเป็นผลดีกับการสร้างวงจรถอดรหัสบนอุปกรณ์ฮาร์ดแวร์เนื่องจากมีการคำนวณที่ลดลงและลดทรัพยากรที่ใช้สร้างวงจรคำนวณที่โหนดลง รูปที่ 6.8 แสดงโครงสร้างของการคำนวณโหนดแบบไปข้างหน้าและย้อนกลับของรหัสแอลดีพีซีแบบปกติที่มีค่า  $d_v = 3$  ในโครงสร้างจะแบ่งเป็น 3 ชั้นคือชั้นการคำนวณไปข้างหน้า (Forward layer) ชั้นคำนวณย้อนกลับ (Backward layer) และชั้นผสาน (Merge layer)



รูปที่ 6.8 โครงสร้างการคำนวณแบบไปข้างหน้าและย้อนกลับที่ส่งไปยังโหนดเช็ก  $c_1$   $c_2$  และ  $c_3$

จากรูปที่ 6.2 เมื่อนำมาเขียนเป็นโครงสร้างการถอดรหัสแบบไปข้างหน้าและย้อนกลับจะได้ดังรูปที่ 6.8 จากรูปจะเห็นว่าการคำนวณค่าส่งไปทุกโหนดเช็กจะใช้ตารางทั้งหมดจำนวนเพียง 5 ตารางสามารถเขียนสมการคำนวณให้อยู่ในรูปสมการทั่วไปของโครงสร้างแบบไปข้างหน้าและย้อนกลับได้ดังนี้

การคำนวณชั้นไปข้างหน้าสามารถคำนวณได้จากเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F_1 = \phi_{VN,1,real}^{l,F} p_{q_{ch},real}[L], p_{c_1 \rightarrow v,real}[L] \quad (6.18)$$

$$F_2 = \phi_{VN,2,real}^{l,F} F_1, p_{c_2 \rightarrow v,real}[L] \quad (6.19)$$

$$\vdots$$

$$F_i = \phi_{VN,i,real}^{l,F} F_{i-1}, p_{c_i \rightarrow v,real}[L] \quad (6.20)$$

$$\vdots$$

$$p_{v \rightarrow c_{d_v},real}[L] = \phi_{VN,d_v-1,real}^{l,F} F_{d_v-2}, p_{c_{d_v-1} \rightarrow v,real}[L] \quad (6.21)$$

เมื่อ  $F_i$  คือเอาต์พุตฟังก์ชัน pdf ชั่วคราวของตารางถอดรหัสที่  $i$  ของชั้นไปข้างหน้า และ  $\phi_{VN,i,real}^{l,F} x, y$  คือตารางถอดรหัสแบบ 2 อินพุตของโหนดตัวแปรลำดับที่  $i$  ของชั้นไปข้างหน้าในกรอบการถอดรหัสที่  $l$

การคำนวณชั้นย้อนกลับสามารถคำนวณได้จาก

$$B_1 = \phi_{VN,1,real}^{l,B} p_{c_{d_v} \rightarrow v,real}[L], p_{c_{d_v-1} \rightarrow v,real}[L] \quad (6.22)$$

$$B_2 = \phi_{VN,2,real}^{l,B} B_1, p_{c_{d_v-2} \rightarrow v,real}[L] \quad (6.23)$$

$$\vdots$$

$$B_i = \phi_{VN,i,real}^{l,B} B_{i-1}, p_{c_{d_v-i} \rightarrow v,real}[L] \quad (6.24)$$

$$\vdots$$

$$B_{d_v-2} = \phi_{VN,d_v-2,real}^{l,B} B_{d_v-3}, p_{c_2 \rightarrow v,real}[L] \quad (6.25)$$

เมื่อ  $B_i$  คือเอาต์พุตฟังก์ชัน pdf ชั่วคราวของตารางถอดรหัสที่  $i$  ของชั้นย้อนกลับ และ  $\phi_{VN,i,real}^{l,B} x, y$  คือตารางถอดรหัสแบบ 2 อินพุตของโหนดตัวแปรลำดับที่  $i$  ของชั้นย้อนกลับในกรอบการถอดรหัสที่  $l$

การคำนวณชั้นผสานสามารถคำนวณได้จาก

$$p_{v \rightarrow c_1,real}[L] = \phi_{VN,1,real}^{l,M} p_{q_{ch},real}[L], B_{d_v-2} \quad (6.22)$$

$$p_{v \rightarrow c_2,real}[L] = \phi_{VN,2,real}^{l,M} F_1, B_{d_v-3} \quad (6.23)$$

$$\vdots$$

$$p_{v \rightarrow c_i,real}[L] = \phi_{VN,i,real}^{l,M} F_{i-1}, B_{d_v-1-i} \quad (6.24)$$

$$\vdots$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

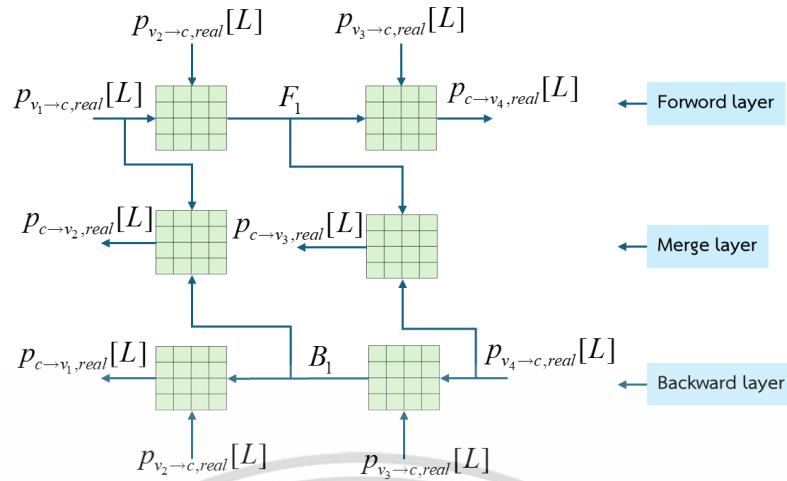
$$p_{v \rightarrow c_{d_v-1}, \text{real}}[L] = \phi_{VN, d_v-1, \text{real}}^{l, M} F_{d_v-2} p_{c_{d_v} \rightarrow v, \text{real}}[L] \quad (6.25)$$

เมื่อ  $\phi_{VN, i, \text{real}}^{l, M} x, y$  คือตารางถอดรหัสแบบ 2 อินพุตของโหนดตัวแปรลำดับที่  $i$  ของชั้นผสมในรอบการถอดรหัสที่  $l$

ในการออกแบบตารางถอดรหัสแบบไปข้างหน้าและย้อนกลับตาราง 2 อินพุตสำหรับโหนดตัวแปร  $\phi_{VN, i, \text{real}}^{l, F} x, y$   $\phi_{VN, i, \text{real}}^{l, B} x, y$  และ  $\phi_{VN, i, \text{real}}^{l, M} x, y$  แต่ละตารางจะมี 2 ขั้นตอนเช่นเดียวกับกับการออกแบบตารางสำหรับโครงสร้างแบบลำดับตาราง คือการคำนวณค่าที่โหนดตัวแปรโดยอาศัยการวิวัฒนาการความหนาแน่นและการควอนไทซ์ค่าเอาต์พุตของโหนดตัวแปรซึ่งขั้นตอนการออกแบบตารางแสดงในรูปที่ 6.4 เช่นเดียวกันกับการออกแบบตารางก่อนหน้า ฟังก์ชันการควอนไทซ์ในขั้นตอนที่ 2 ของการออกแบบตารางจำเป็นจะต้องใช้ช่วงการควอนไทซ์  $\mathbf{r} = [r_1, r_2, \dots, r_{2^q-1}]$  ดังนั้นในการออกแบบตารางจำเป็นต้องใช้ช่วงการควอนไทซ์เพื่อให้ได้ค่าในตาราง เนื่องจากจำนวนโหนดตัวแปรที่ต้องการออกแบบตลอดทั้งการถอดรหัสมีจำนวนมากเพื่อป้องกันความสับสนระหว่างตัวแปรจึงจะกำหนดให้ช่วงการควอนไทซ์สำหรับโหนดตัวแปรใด ๆ คือ  $\mathbf{r}_{VN_i, F}^{(l)}$   $\mathbf{r}_{VN_i, B}^{(l)}$  และ  $\mathbf{r}_{VN_i, M}^{(l)}$  เป็นช่วงการควอนไทซ์สำหรับโหนดตัวแปรลำดับตารางที่  $i$  ของชั้นไปข้างหน้า ชั้นย้อนกลับและชั้นผสมในรอบการถอดรหัสที่  $l$  ตัวแปรนี้เป็นตัวแปรที่จะใช้ในการออกแบบตารางถอดรหัส  $\phi_{VN, i, \text{real}}^{l, F} x, y$   $\phi_{VN, i, \text{real}}^{l, B} x, y$  และ  $\phi_{VN, i, \text{real}}^{l, M} x, y$  หลังจากได้ช่วงการควอนไทซ์  $\mathbf{r}_{VN_i, F}^{(l)}$   $\mathbf{r}_{VN_i, B}^{(l)}$  และ  $\mathbf{r}_{VN_i, M}^{(l)}$  ที่เหมาะสมแล้วจะพิจารณาว่าค่าแอสแอสลอาร์ที่เป็นจำนวนจริงอยู่ในช่วงใด โดยแต่ละช่วงจะแทนจำนวนเต็ม 0 ถึง  $2^q - 1$  แล้วจะเปลี่ยนจากค่าแอสแอสลอาร์ที่เป็นจำนวนจริงที่อยู่ในช่วงดังกล่าวให้เป็นค่าแอสแอสลอาร์ที่เป็นจำนวนเต็ม นั่นคือเปลี่ยนจากตารางถอดรหัสแบบค่าจำนวนจริง  $\phi_{VN, i, \text{real}}^{l, F} x, y$   $\phi_{VN, i, \text{real}}^{l, B} x, y$  และ  $\phi_{VN, i, \text{real}}^{l, M} x, y$  ไปเป็นตารางถอดรหัสแบบค่าจำนวนเต็ม  $\phi_{VN, i, \text{int}}^{l, F} x, y$   $\phi_{VN, i, \text{int}}^{l, B} x, y$  และ  $\phi_{VN, i, \text{int}}^{l, M} x, y$

### 6.1.2.3.2 โครงสร้างการถอดรหัสแบบลำดับตารางสำหรับโหนดเชิง

ตัวอย่างโครงสร้างของการคำนวณโหนดเชิงแบบไปข้างหน้าและย้อนกลับของรหัสแอสดีพีซีแบบปกติที่มีค่า  $d_c = 4$  แสดงในรูปที่ 6.9 ในโครงสร้างจะแบ่งเป็น 3 ชั้นเช่นเดียวกับโหนดตัวแปร คือจะมีชั้นการคำนวณไปข้างหน้า (Forward layer) ชั้นคำนวณย้อนกลับ (Backward layer) และชั้นผสม (Merge layer)



รูปที่ 6.9 โครงสร้างการคำนวณแบบไปข้างหน้าและย้อนกลับที่ส่งไปยังโหนดตัวแปร  $v_1$   $v_2$   $v_3$  และ  $c_4$

จากรูปที่ 6.5 เมื่อนำมาเขียนเป็นโครงสร้างการถอดรหัสแบบไปข้างหน้าและย้อนกลับจะได้ดังรูปที่ 6.9 จากรูปจะเห็นว่า การคำนวณค่าส่งไปทุกโหนดตัวแปรจะใช้ตารางทั้งหมดจำนวนเพียง 6 ตาราง สามารถเขียนสมการคำนวณให้อยู่ในรูปสมการทั่วไปของโครงสร้างแบบไปข้างหน้าและย้อนกลับได้ดังนี้

การคำนวณชั้นไปข้างหน้าสามารถคำนวณได้จาก

$$F_1 = \phi_{CN,1,real}^{l,F} (p_{v_1 \to c, real}[L], p_{v_2 \to c, real}[L]) \quad (6.26)$$

$$F_2 = \phi_{CN,2,real}^{l,F} (F_1, p_{v_3 \to c, real}[L]) \quad (6.27)$$

⋮

$$F_i = \phi_{CN,i,real}^{l,F} (F_{i-1}, p_{v_{i+1} \to c, real}[L]) \quad (6.28)$$

⋮

$$p_{c \to v_{d_c}, real}[L] = \phi_{CN,d_c-2,real}^{l,F} (F_{d_c-3}, p_{v_{d_c-1} \to c, real}[L]) \quad (6.29)$$

เมื่อ  $F_i$  คือเอาต์พุตฟังก์ชัน pdf ชั่วคราวของตารางถอดรหัสที่  $i$  ของชั้นไปข้างหน้า และ  $\phi_{CN,i,real}^{l,F} x, y$  คือตารางถอดรหัสแบบ 2 อินพุตของโหนดเซลล์ลำดับที่  $i$  ของชั้นไปข้างหน้าในรูปการถอดรหัสที่  $l$

การคำนวณชั้นย้อนกลับสามารถคำนวณได้จาก

$$B_1 = \phi_{CN,1,real}^{l,B} (p_{v_{d_c} \to c, real}[L], p_{v_{d_c-1} \to c, real}[L]) \quad (6.30)$$

$$B_2 = \phi_{CN,2,real}^{l,B} (B_1, p_{v_{d_c-2} \to c, real}[L]) \quad (6.31)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned} & \vdots \\ B_i &= \phi_{CN,i,real}^{l,B} B_{i-1}, p_{v_{d_c-i} \rightarrow c,real}[L] \end{aligned} \quad (6.32)$$

$$\begin{aligned} & \vdots \\ p_{c \rightarrow v_1,real}[L] &= \phi_{CN,d_c-2,real}^{l,B} B_{d_c-3}, p_{v_2 \rightarrow c,real}[L] \end{aligned} \quad (6.33)$$

เมื่อ  $B_i$  คือเอาต์พุตฟังก์ชัน pdf ชั่วคราวของตารางถอดรหัสที่  $i$  ของชั้นย้อนกลับ และ  $\phi_{CN,i,real}^{l,B} x, y$  คือตารางถอดรหัสแบบ 2 อินพุตของโหนดเช็กลำดับที่  $i$  ของชั้นย้อนกลับในรอบการถอดรหัสที่  $l$

การคำนวณชั้นผสมสามารถคำนวณได้จาก

$$p_{c \rightarrow v_2,real}[L] = \phi_{CN,1,real}^{l,M} p_{v_1 \rightarrow c,real}[L], B_{d_c-3} \quad (6.34)$$

$$p_{c \rightarrow v_3,real}[L] = \phi_{CN,2,real}^{l,M} F_1, B_{d_c-4} \quad (6.35)$$

$$p_{c \rightarrow v_{i+1},real}[L] = \phi_{CN,i,real}^{l,M} F_{i-1}, B_{d_c-2-i} \quad (6.36)$$

$$p_{c \rightarrow v_{d_c-1},real}[L] = \phi_{CN,d_c-2,real}^{l,M} F_{d_c-3}, p_{v_{d_c} \rightarrow c,real}[L] \quad (6.37)$$

เมื่อ  $\phi_{CN,i,real}^{l,M} x, y$  คือตารางถอดรหัสแบบ 2 อินพุตของโหนดเช็กลำดับที่  $i$  ของชั้นผสมในรอบการถอดรหัสที่  $l$

ในการออกแบบตารางถอดรหัสแบบไปข้างหน้าและย้อนกลับตาราง 2 อินพุตสำหรับโหนดเช็  $\phi_{CN,i,real}^{l,F} x, y$   $\phi_{CN,i,real}^{l,B} x, y$  และ  $\phi_{CN,i,real}^{l,M} x, y$  แต่ละตารางจะมี 2 ชั้นตอนเช่นเดียวกันกับการออกแบบตารางสำหรับโครงสร้างแบบลำดับตาราง คือการคำนวณค่าที่โหนดเช็โดยอาศัยการวิวัฒนาการความหนาแน่นและการควอนไทซ์ค่าเอาต์พุตของโหนดเช็ซึ่งขั้นตอนการออกแบบตารางแสดงในรูป 6.7 เช่นเดียวกันกับการออกแบบตารางก่อนหน้า ฟังก์ชันการควอนไทซ์ในชั้นตอนที่ 2 ของการออกแบบตารางจำเป็นจะต้องใช้ช่วงการควอนไทซ์  $\mathbf{r} = [r_1, r_2, \dots, r_{2^q-1}]$  ดังนั้นในการออกแบบตารางจำเป็นจะต้องใช้ช่วงการควอนไทซ์เพื่อให้ได้ค่าในตาราง เนื่องจากจำนวนโหนดเช็ที่ต้องการออกแบบตลอดทั้งการถอดรหัสมีจำนวนมากเพื่อป้องกันความสับสนระหว่างตัวแปรจึงจะกำหนดให้ช่วงการควอนไทซ์สำหรับโหนดเช็ใด ๆ คือ  $\mathbf{r}_{CN_i,F}^{(l)}$   $\mathbf{r}_{CN_i,B}^{(l)}$  และ  $\mathbf{r}_{CN_i,M}^{(l)}$  เป็นช่วงการควอนไทซ์สำหรับโหนดเช็ลำดับตารางที่  $i$  ของชั้นไปข้างหน้า ชั้นย้อนกลับและชั้นผสมในรอบการถอดรหัสที่  $l$  ตัวแปรนี้เป็นตัวแปรที่จะใช้ในการออกแบบตารางถอดรหัส  $\phi_{CN,i,real}^{l,F} x, y$   $\phi_{CN,i,real}^{l,B} x, y$  และ  $\phi_{CN,i,real}^{l,M} x, y$  หลังจากได้ช่วงการควอนไทซ์  $\mathbf{r}_{CN_i,F}^{(l)}$   $\mathbf{r}_{CN_i,B}^{(l)}$  และ  $\mathbf{r}_{CN_i,M}^{(l)}$  ที่เหมาะสมแล้วจะพิจารณาว่าค่าแอลลอเรียที่เป็นจำนวนจริงอยู่ในช่วงใด โดยแต่ละช่วงจะแทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำนวนเต็ม 0 ถึง  $2^q - 1$  แล้วจะเปลี่ยนจากค่าแอสแอลอาร์ที่เป็นจำนวนจริงที่อยู่ในช่วงดังกล่าวให้เป็นค่าแอสแอลอาร์ที่เป็นจำนวนเต็ม นั่นคือเปลี่ยนจากตารางถอดรหัสแบบค่าจำนวนจริง  $\phi_{CN,i,real}^{l,F} x, y$   $\phi_{CN,i,real}^{l,B} x, y$  และ  $\phi_{CN,i,real}^{l,M} x, y$  ไปเป็นตารางถอดรหัสแบบค่าจำนวนเต็ม  $\phi_{CN,i,int}^{l,F} x, y$   $\phi_{CN,i,int}^{l,B} x, y$  และ  $\phi_{CN,i,int}^{l,M} x, y$

## 6.2 การออกแบบฟังก์ชันวัตถุประสงค์สำหรับการถอดรหัสแบบตาราง

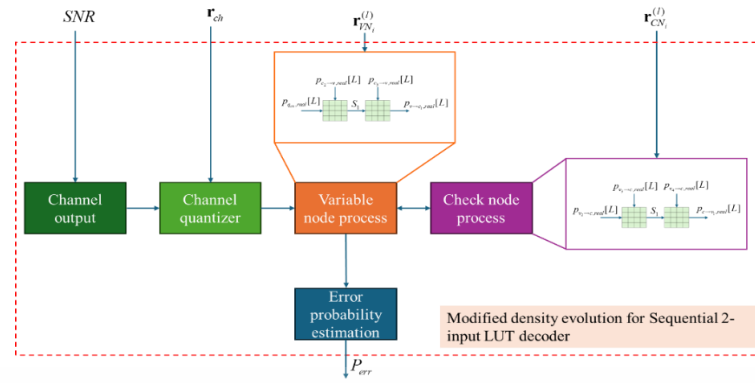
ฟังก์ชันวัตถุประสงค์ในการออกแบบตารางถอดรหัสจะแบ่งเป็นฟังก์ชันวัตถุประสงค์สำหรับโครงสร้างการคำนวณค่าโหนดแบบลำดับและฟังก์ชันวัตถุประสงค์สำหรับโครงสร้างการคำนวณค่าโหนดแบบไปข้างหน้าและย้อนกลับ

### 6.2.1 ฟังก์ชันวัตถุประสงค์สำหรับโครงสร้างการคำนวณค่าโหนดแบบลำดับ

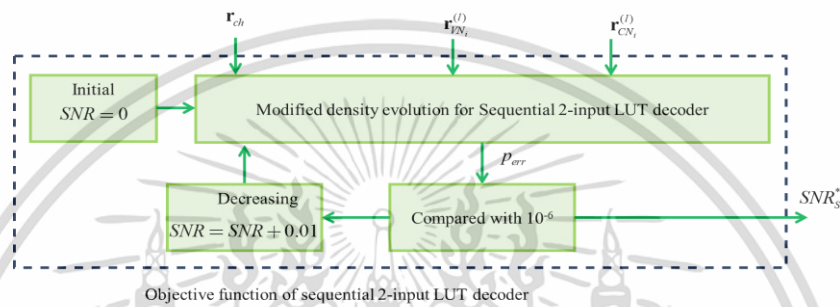
การออกแบบฟังก์ชันวัตถุประสงค์สำหรับโครงสร้างการคำนวณค่าโหนดแบบลำดับจะแบ่งออกเป็น 2 ส่วนคือการประมาณค่าความน่าจะเป็นความผิดพลาด (Error probability)  $P_{err}$  โดยใช้การวิวัฒนาการความหนาแน่นที่ถูกปรับปรุงและการประมาณค่าเทรสโฮลด์การถอดรหัส  $SNR_S^*$  ในส่วนของการประมาณค่าความน่าจะเป็นความผิดพลาดแสดงในรูปที่ 6.10 (ก) เริ่มจากสร้างเอาต์พุตช่องสัญญาณ  $y$  ที่สามารถปรับค่า  $SNR$  ได้ ฟังก์ชัน pdf เอาต์พุตช่องสัญญาณ  $p(y|x)$  จะถูกควอนไทซ์โดยใช้สมการที่ (6.1) ด้วยช่วงการควอนไทซ์  $r_{ch}$  ทำให้ได้ค่าแอสแอลอาร์ของช่องสัญญาณที่ถูกควอนไทซ์  $L_{q_{ch},real}$  และฟังก์ชัน pdf คือ  $p_{q_{ch},real}[L]$  หลังจากนั้นก็ส่งไปคำนวณที่โหนดตัวแปรด้วยสมการที่ (6.6) ถึง (6.9) ซึ่งเป็นโครงสร้างแบบลำดับตารางของโหนดตัวแปร และแต่ละตารางจะมีการคำนวณค่าโหนดตัวแปรและควอนไทซ์ด้วยสมการที่ (6.10) และ (6.11) โดยการควอนไทซ์ที่โหนดตัวแปรจะใช้ช่วงการควอนไทซ์  $r_{VN}^{(l)}$  หลังจากนั้นก็จะส่งค่าไปคำนวณที่โหนดเช็คด้วยสมการที่ (6.12) ถึง (6.15) ซึ่งเป็นโครงสร้างแบบลำดับตารางของโหนดตัวเช็ค และแต่ละตารางจะมีการคำนวณค่าโหนดเช็คและควอนไทซ์ด้วยสมการที่ (6.16) และ (6.11) โดยการควอนไทซ์ที่โหนดเช็คจะใช้ช่วงการควอนไทซ์  $r_{CN}^{(l)}$  ในการถอดรหัสจะมีการคำนวณค่าส่งค่ากลับไปกลับมาระหว่างโหนดตัวแปรและโหนดเช็คจนถึงจำนวนรอบการถอดรหัสสูงสุดที่กำหนดไว้หลังจากนั้นจะนำฟังก์ชัน pdf ของค่าแอสแอลอาร์ที่โหนดตัวแปรมาประมาณค่าความน่าจะเป็นความผิดพลาด  $P_{err}$  ส่วนของการประมาณค่าเทรสโฮลด์การถอดรหัส  $SNR_S^*$  แสดงในรูปที่ 6.10 (ข) โดยจะใส่ค่าเริ่มต้นของ  $SNR = 0dB$  แล้วประมาณค่าความน่าจะเป็นความผิดพลาดแล้วเปรียบเทียบกับค่าความน่าจะเป็นความผิดพลาดที่กำหนดไว้เท่ากับ  $10^{-6}$  ถ้าค่าความน่าจะเป็นความผิดพลาดที่ได้  $P_{err}$  มีค่ามากกว่าก็จะปรับค่า  $SNR$  ขึ้น 0.01 และจะทำซ้ำไปเรื่อย ๆ จนค่าความน่าจะเป็นความผิดพลาด  $P_{err}$  ต่ำกว่า  $10^{-6}$  ค่า  $SNR$  ที่ได้จะเป็นค่าเทรสโฮลด์การถอดรหัส  $SNR_S^*$  ดังนั้นจะกำหนดให้ฟังก์ชันวัตถุประสงค์ของโครงสร้างการคำนวณค่าโหนดแบบลำดับตารางคือ  $SNR_S^*(r_{ch}, r_{VN}, r_{CN})$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 6.10 (ก) อัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับวงจรถอดรหัสแบบลำดับตาราง

(ข) ฟังก์ชันวัตถุประสงค์สำหรับออกแบบตารางสำหรับวงจรถอดรหัสแบบลำดับตาราง

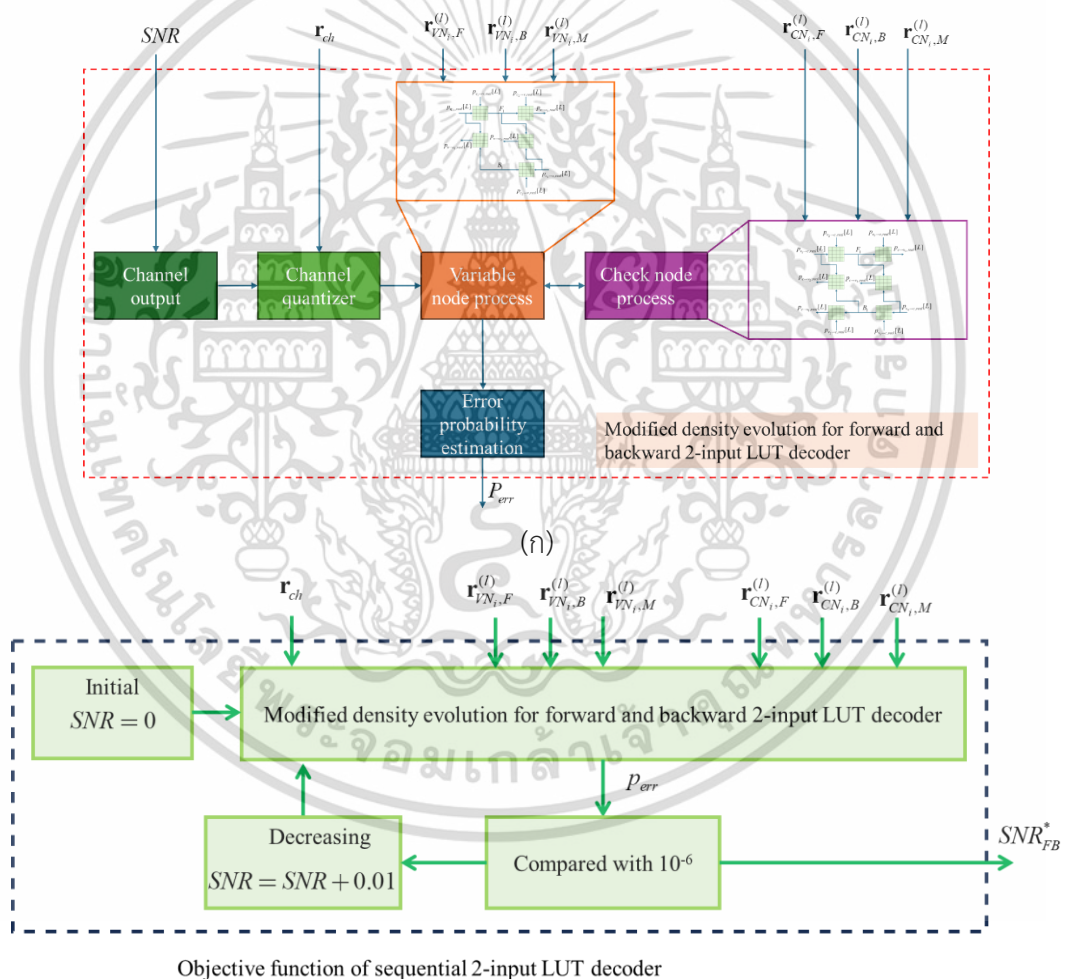
### 6.2.2 ฟังก์ชันวัตถุประสงค์สำหรับโครงสร้างการคำนวณค่าโหนดแบบไปข้างหน้าและ

#### ย้อนกลับ

การออกแบบฟังก์ชันวัตถุประสงค์สำหรับโครงสร้างการคำนวณค่าโหนดแบบไปข้างหน้าและย้อนกลับจะแบ่งออกเป็น 2 ส่วนคือการประมาณค่าความน่าจะเป็นความผิดพลาด (Error probability)  $P_{err}$  โดยใช้ในการวิวัฒนาการความหนาแน่นที่ถูกปรับปรุงและการประมาณค่าเทรลด์การถอดรหัส  $SNR_{FB}^*$  ในส่วนของการประมาณค่าความน่าจะเป็นความผิดพลาดแสดงในรูปที่ 6.11 (ก) เริ่มจากสร้างเอาต์พุตช่องสัญญาณ  $y$  ที่สามารถปรับค่า  $SNR$  ได้ ฟังก์ชัน pdf เอาต์พุตช่องสัญญาณ  $p(y|x)$  จะถูกควอนไทซ์โดยใช้สมการที่ (6.1) ด้วยช่วงการควอนไทซ์  $r_{ch}$  ทำให้ได้ค่าแวลแอลอาร์ของช่องสัญญาณที่ถูกควอนไทซ์  $L_{q_{ch},real}$  และฟังก์ชัน pdf คือ  $p_{q_{ch},real}[L]$  หลังจากนั้นก็จะส่งไปคำนวณที่โหนดตัวแปรด้วยสมการที่ (6.18) ถึง (6.25) ซึ่งเป็นโครงสร้างแบบไปข้างหน้าและย้อนกลับของโหนดตัวแปร และแต่ละตารางจะมีการคำนวณค่าโหนดตัวแปรและควอนไทซ์ด้วยสมการที่ (6.10) และ (6.11) โดยการควอนไทซ์ที่โหนดตัวแปรจะใช้ช่วงการควอนไทซ์  $r_{VN_i}^{(l)}$  หลังจากนั้นก็จะส่งค่าไปคำนวณที่โหนดเช็กด้วยสมการที่ (6.26) ถึง (6.37) ซึ่งเป็นโครงสร้างแบบไปข้างหน้าและย้อนกลับของโหนดตัวเช็ก และแต่ละตารางจะมีการคำนวณค่าโหนดเช็กและควอนไทซ์ด้วยสมการที่ (6.16) และ (6.11) โดยการควอนไทซ์ที่โหนดเช็กจะใช้ช่วงการควอนไทซ์  $r_{CN_i}^{(l)}$  ในการเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถอดรหัสจะมีการคำนวณค่าส่งค่ากลับไปกลับมาระหว่างโหนดตัวแปรและโหนดเช็กจนถึงจำนวนรอบการถอดรหัสสูงสุดที่กำหนดไว้หลังจากนั้นจะนำฟังก์ชัน pdf ของค่าแอลแอลอาร์ที่โหนดตัวแปรมาประมาณค่าความน่าจะเป็นความผิดพลาด  $P_{err}$  ส่วนของการประมาณค่าเทรลโสลด์การถอดรหัส  $SNR_{FB}^*$  แสดงในรูปที่ 6.11 (ข) โดยจะใส่ค่าเริ่มต้นของ  $SNR = 0dB$  แล้วประมาณค่าความน่าจะเป็นความผิดพลาดแล้วเปรียบเทียบกับค่าความน่าจะเป็นความผิดพลาดที่กำหนดไว้  $10^{-6}$  ถ้าค่าความน่าจะเป็นความผิดพลาดที่ได้  $P_{err}$  มีค่ามากกว่าก็จะปรับค่า  $SNR$  ขึ้น 0.01 และจะทำซ้ำไปเรื่อย ๆ จนค่าความน่าจะเป็นความผิดพลาด  $P_{err}$  ต่ำกว่า  $10^{-6}$  ค่า  $SNR$  ที่ได้จะเป็นค่าเทรลโสลด์การถอดรหัส  $SNR_{FB}^*$  ดังนั้นจะกำหนดให้ฟังก์ชันวัตถุประสงค์ของโครงสร้างการคำนวณค่าโหนดแบบลำดับตารางคือ  $SNR_{FB}^*(\mathbf{r}_{ch}, \mathbf{r}_{VN,F}, \mathbf{r}_{VN,B}, \mathbf{r}_{VN,M}, \mathbf{r}_{CN,F}, \mathbf{r}_{CN,B}, \mathbf{r}_{CN,M})$



(ข)

**รูปที่ 6.11** (ก) อัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับวงจรถอดรหัสแบบไปข้างหน้าและย้อนกลับ (ข) ฟังก์ชันวัตถุประสงค์สำหรับออกแบบตารางสำหรับวงจรถอดรหัสแบบไปข้างหน้าและย้อนกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 6.3 การออกแบบตารางถอดรหัสสำหรับวงจรถอดรหัส

#### 6.3.1 การออกแบบวงจรรวอนไทม์ร่วมกับวงจรถอดรหัสแบบลำดับ

ในการออกแบบวงจรถอดรหัสแบบลำดับตารางเป็นการหาค่าช่วงการควอนไทซ์  $\mathbf{r}_{ch}$   $\mathbf{r}_{VN_i}^{(l)}$  และ  $\mathbf{r}_{CN_i}^{(l)}$  ที่ทำให้ฟังก์ชันวัตถุประสงค์มีค่าสูงสุดโดยจะต้องเลือกใช้ให้สอดคล้องกับรหัสแอสติฟิซี เนื่องจากตัวแปรที่ต้องการออกแบบมีจำนวนมากดังนั้นจะมีการจัดกลุ่มเพื่อให้ง่ายต่อการออกแบบ กำหนดให้  $\mathbf{r}_{VN} = [\mathbf{r}_{VN_1}^{(1)}, \mathbf{r}_{VN_2}^{(1)}, \dots, \mathbf{r}_{VN_i}^{(l)}, \dots, \mathbf{r}_{VN_{d_v-2}}^{(l_{\max})}]$  แทนค่าช่วงการควอนไทซ์ทุกลำดับตารางและทุกรอบการถอดรหัสของโหนดตัวแปร และ  $\mathbf{r}_{CN} = [\mathbf{r}_{CN_1}^{(1)}, \mathbf{r}_{CN_2}^{(1)}, \dots, \mathbf{r}_{CN_i}^{(l)}, \dots, \mathbf{r}_{CN_{d_c-2}}^{(l_{\max})}]$  แทนค่าช่วงการควอนไทซ์ทุกลำดับตารางและทุกรอบการถอดรหัสของโหนดเซ็ก ดังนั้นการออกแบบช่วงการควอนไทซ์คือ

$$\{\mathbf{r}_{ch}^*, \mathbf{r}_{CN}^*, \mathbf{r}_{VN}^*\} = \arg \max_{\{\mathbf{r}_{ch}, \mathbf{r}_{VN}, \mathbf{r}_{CN}\}} SNR_S^*(\mathbf{r}_{ch}, \mathbf{r}_{VN}, \mathbf{r}_{CN}) \quad (6.38)$$

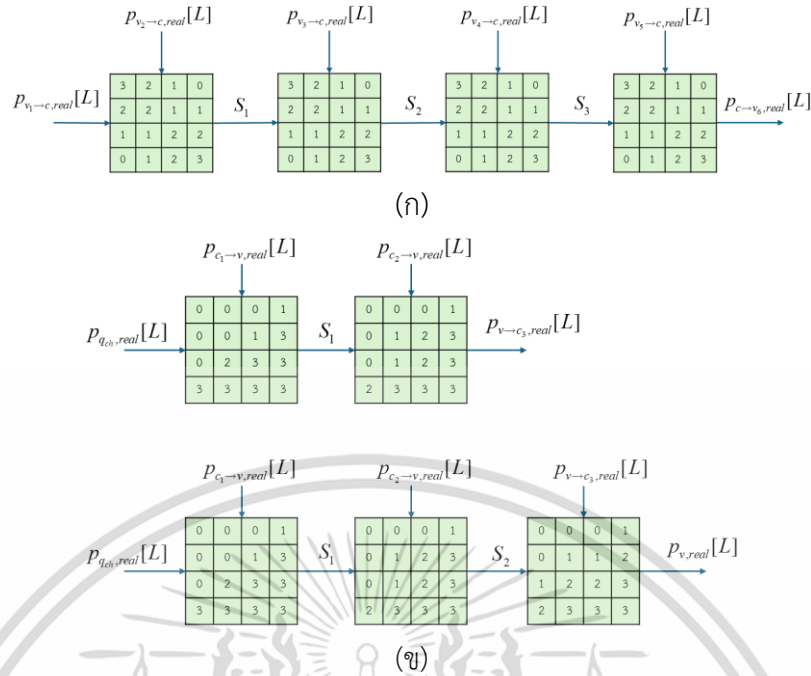
การออกแบบช่วงการควอนไทซ์จะอาศัยอัลกอริทึมการวิวัฒนาการผลต่างที่ได้อธิบายไปในบทที่ 5 ทำให้ได้ค่าช่วงการควอนไทซ์ที่เหมาะสม  $\mathbf{r}_{ch}^*, \mathbf{r}_{CN}^*, \mathbf{r}_{VN}^*$  หลังจากนั้นจะนำค่าดังกล่าวไปออกแบบตารางที่เป็นจำนวนเต็มโดยจะพิจารณาค่าแอสแอลอาร์ที่เป็นจำนวนจริงว่าอยู่ในช่วงใด ซึ่งแต่ละช่วงจะแทนจำนวนเต็ม 0 ถึง  $2^q - 1$  แล้วจะเปลี่ยนจากค่าแอสแอลอาร์ที่เป็นจำนวนจริงที่อยู่ในช่วงดังกล่าวให้เป็นค่าแอสแอลอาร์ที่เป็นจำนวนเต็ม

รูปที่ 6.12 แสดงตัวอย่างผลการออกแบบตารางถอดรหัส เนื่องจากจำนวนตารางมีมากจึงจะยกตัวอย่างเพียงบางตารางที่ออกแบบสำหรับโหนดตัวแปรและโหนดเซ็กเท่านั้น ในรูปที่ 6.12 เป็นการออกแบบตารางถอดรหัสแบบลำดับตารางที่มีการควอนไทซ์ 2 บิตสำหรับรหัสแอสติฟิซีแบบปกติ ที่มี  $d_v = 3$  และ  $d_c = 6$  แต่ละโหนดเซ็กของการถอดรหัสแต่ละรอบจะมี 4 ตารางดังแสดงในรูปที่ 6.12 (ก) และแต่ละโหนดตัวแปรของการถอดรหัสแต่ละรอบจะใช้ 2 ตาราง ในรอบการถอดรหัสสุดท้ายจะมี 3 ตารางดังแสดงในรูปที่ 6.12 (ข) จากผลการออกแบบจะมีบางตารางที่มีค่าซ้ำกันดังนั้นในการใช้งานจริงจะเรียกใช้ตารางเดียวกัน ทำให้สามารถลดการจัดเก็บตารางลงได้

#### 6.3.2 การออกแบบวงจรรวอนไทม์ร่วมกับวงจรถอดรหัสแบบไปข้างหน้าและย้อนกลับ

ในการออกแบบวงจรถอดรหัสแบบไปข้างหน้าและย้อนกลับเป็นการหาค่าช่วงการควอนไทซ์  $\mathbf{r}_{ch}$   $\mathbf{r}_{VN_i,F}^{(l)}$   $\mathbf{r}_{VN_i,B}^{(l)}$   $\mathbf{r}_{VN_i,M}^{(l)}$   $\mathbf{r}_{CN_i,F}^{(l)}$   $\mathbf{r}_{CN_i,B}^{(l)}$  และ  $\mathbf{r}_{CN_i,M}^{(l)}$  ที่ทำให้ฟังก์ชันวัตถุประสงค์มีค่าสูงสุดและต้องเลือกใช้ให้สอดคล้องกับรหัสแอสติฟิซี เนื่องจากตัวแปรที่ต้องการออกแบบมีจำนวนมากดังนั้นจะมีการจัดกลุ่มเพื่อให้ง่ายต่อการออกแบบ กำหนดให้  $\mathbf{r}_{VN,F} = [\mathbf{r}_{VN_1,F}^{(1)}, \mathbf{r}_{VN_2,F}^{(1)}, \dots, \mathbf{r}_{VN_i,F}^{(l)}, \dots, \mathbf{r}_{VN_{d_v-2},F}^{(l_{\max})}]$  แทนค่าช่วงการควอนไทซ์ทุกลำดับตารางและทุกรอบการถอดรหัสในชั้นไปข้างหน้าของโหนดตัวแปร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.12 (ก) ตัวอย่างตารางถอดรหัสแบบลำดับตารางของโหนดเช็ก

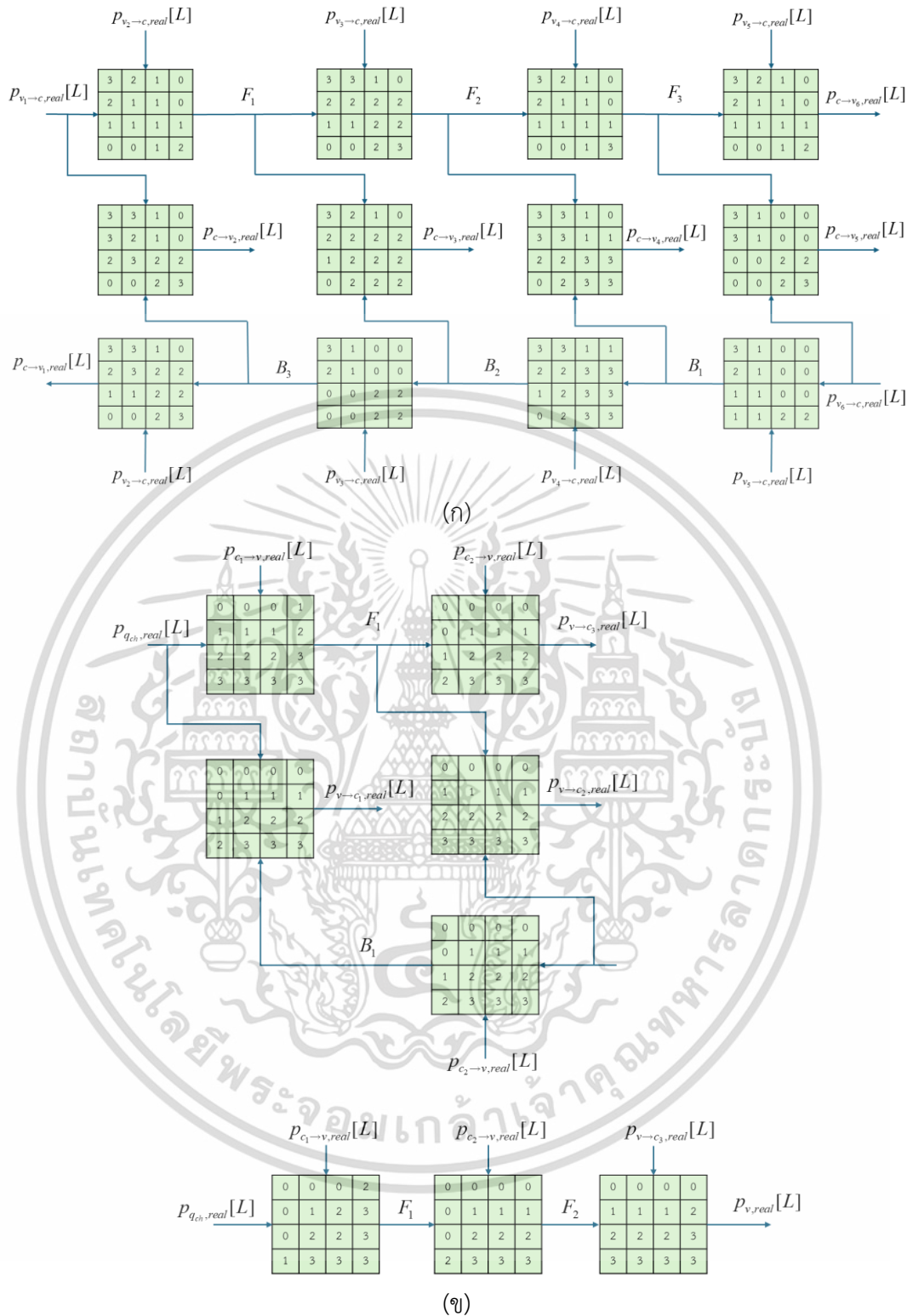
(ข) ตัวอย่างตารางถอดรหัสแบบลำดับตารางของโหนดตัวแปร

$\mathbf{r}_{VN,B} = [\mathbf{r}_{VN_1,B}^{(1)}, \mathbf{r}_{VN_2,B}^{(1)}, \dots, \mathbf{r}_{VN_i,B}^{(l)}, \dots, \mathbf{r}_{VN_{d_c-2},B}^{(l_{\max})}]$  แทนค่าช่วงการควอนไทซ์ทุกลำดับตารางและทุกรอบการถอดรหัสในชั้นย้อนกลับของโหนดตัวแปร  $\mathbf{r}_{VN,M} = [\mathbf{r}_{VN_1,M}^{(1)}, \mathbf{r}_{VN_2,M}^{(1)}, \dots, \mathbf{r}_{VN_i,M}^{(l)}, \dots, \mathbf{r}_{VN_{d_c-2},M}^{(l_{\max})}]$  แทนค่าช่วงการควอนไทซ์ทุกลำดับตารางและทุกรอบการถอดรหัสในชั้นผสมของโหนดตัวแปร  $\mathbf{r}_{CN,F} = [\mathbf{r}_{CN_1,F}^{(1)}, \mathbf{r}_{CN_2,F}^{(1)}, \dots, \mathbf{r}_{CN_i,F}^{(l)}, \dots, \mathbf{r}_{CN_{d_c-2},F}^{(l_{\max})}]$  แทนค่าช่วงการควอนไทซ์ทุกลำดับตารางและทุกรอบการถอดรหัสในชั้นไปข้างหน้าของโหนดเช็ก  $\mathbf{r}_{CN,B} = [\mathbf{r}_{CN_1,B}^{(1)}, \mathbf{r}_{CN_2,B}^{(1)}, \dots, \mathbf{r}_{CN_i,B}^{(l)}, \dots, \mathbf{r}_{CN_{d_c-2},B}^{(l_{\max})}]$  แทนค่าช่วงการควอนไทซ์ทุกลำดับตารางและทุกรอบการถอดรหัสในชั้นย้อนกลับของโหนดเช็ก และ  $\mathbf{r}_{CN,M} = [\mathbf{r}_{CN_1,M}^{(1)}, \mathbf{r}_{CN_2,M}^{(1)}, \dots, \mathbf{r}_{CN_i,M}^{(l)}, \dots, \mathbf{r}_{CN_{d_c-2},M}^{(l_{\max})}]$  แทนค่าช่วงการควอนไทซ์ทุกลำดับตารางและทุกรอบการถอดรหัสในชั้นผสมของโหนดเช็ก ดังนั้นการออกแบบช่วงการควอนไทซ์คือ

$$\{\mathbf{r}_{ch}^*, \mathbf{r}_{CN,F}^*, \mathbf{r}_{CN,B}^*, \mathbf{r}_{CN,M}^*, \mathbf{r}_{VN,F}^*, \mathbf{r}_{VN,B}^*, \mathbf{r}_{VN,M}^*\} = \arg \max_{\{\mathbf{r}_{ch}, \mathbf{r}_{VN,F}, \mathbf{r}_{VN,B}, \mathbf{r}_{VN,M}, \mathbf{r}_{CN,F}, \mathbf{r}_{CN,B}, \mathbf{r}_{CN,M}\}} SNR_{FB}^*(\mathbf{r}_{ch}, \mathbf{r}_{VN,F}, \mathbf{r}_{VN,B}, \mathbf{r}_{VN,M}, \mathbf{r}_{CN,F}, \mathbf{r}_{CN,B}, \mathbf{r}_{CN,M}) \quad (6.39)$$

การออกแบบช่วงการควอนไทซ์จะอาศัยอัลกอริทึมการวิวัฒนาการผลต่างที่ได้อธิบายไปในบทที่ 5 ทำให้ได้ค่าช่วงการควอนไทซ์ที่เหมาะสม  $\mathbf{r}_{ch}^*, \mathbf{r}_{CN,F}^*, \mathbf{r}_{CN,B}^*, \mathbf{r}_{CN,M}^*, \mathbf{r}_{VN,F}^*, \mathbf{r}_{VN,B}^*, \mathbf{r}_{VN,M}^*$  หลังจากนั้นจะนำค่าดังกล่าวไปออกแบบตารางที่เป็นจำนวนเต็มโดยจะพิจารณาค่าแอสแอลอาร์ที่เป็นจำนวนจริงว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.13 (ก) ตัวอย่างตารางถอดรหัสแบบไปข้างหน้าและย้อนกลับของโหนดเช็ก

(ข) ตัวอย่างตารางถอดรหัสแบบไปข้างหน้าและย้อนกลับของโหนดตัวแปร

อยู่ในช่วงใด ซึ่งแต่ละช่วงจะแทนจำนวนเต็ม 0 ถึง  $2^q - 1$  แล้วจะเปลี่ยนจากค่าแอสแอลอาร์ที่เป็นจำนวนจริงที่อยู่ในช่วงดังกล่าวให้เป็นค่าแอสแอลอาร์ที่เป็นจำนวนเต็ม เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.13 แสดงตัวอย่างผลการออกแบบตารางถอดรหัสแบบไปข้างหน้าและย้อนกลับ เนื่องจากจำนวนตารางมีมากจึงจะยกตัวอย่างเพียงบางตารางที่ออกแบบสำหรับโหนดตัวแปรและโหนดเช็ทเท่านั้น ในรูปที่ 6.13 เป็นการออกแบบตารางถอดรหัสแบบลำดับตารางที่มีการควอนไทซ์ 2 บิตสำหรับรหัสแอลดีพีซีแบบปกติที่มี  $d_v = 3$  และ  $d_c = 6$  แต่ละโหนดเช็ทของการถอดรหัสแต่ละรอบจะมี 12 ตารางดังแสดงในรูปที่ 6.13 (ก) และแต่ละโหนดตัวแปรของการถอดรหัสแต่ละรอบจะใช้ 5 ตาราง ในรอบการถอดรหัสสุดท้ายจะมี 3 ตารางดังแสดงในรูปที่ 6.13 (ข) จากผลการออกแบบจะมีบางตารางที่มีค่าซ้ำกันดังนั้นในการใช้งานจริงจะเรียกใช้ตารางเดียวกัน ทำให้สามารถลดการจัดเก็บตารางลงได้

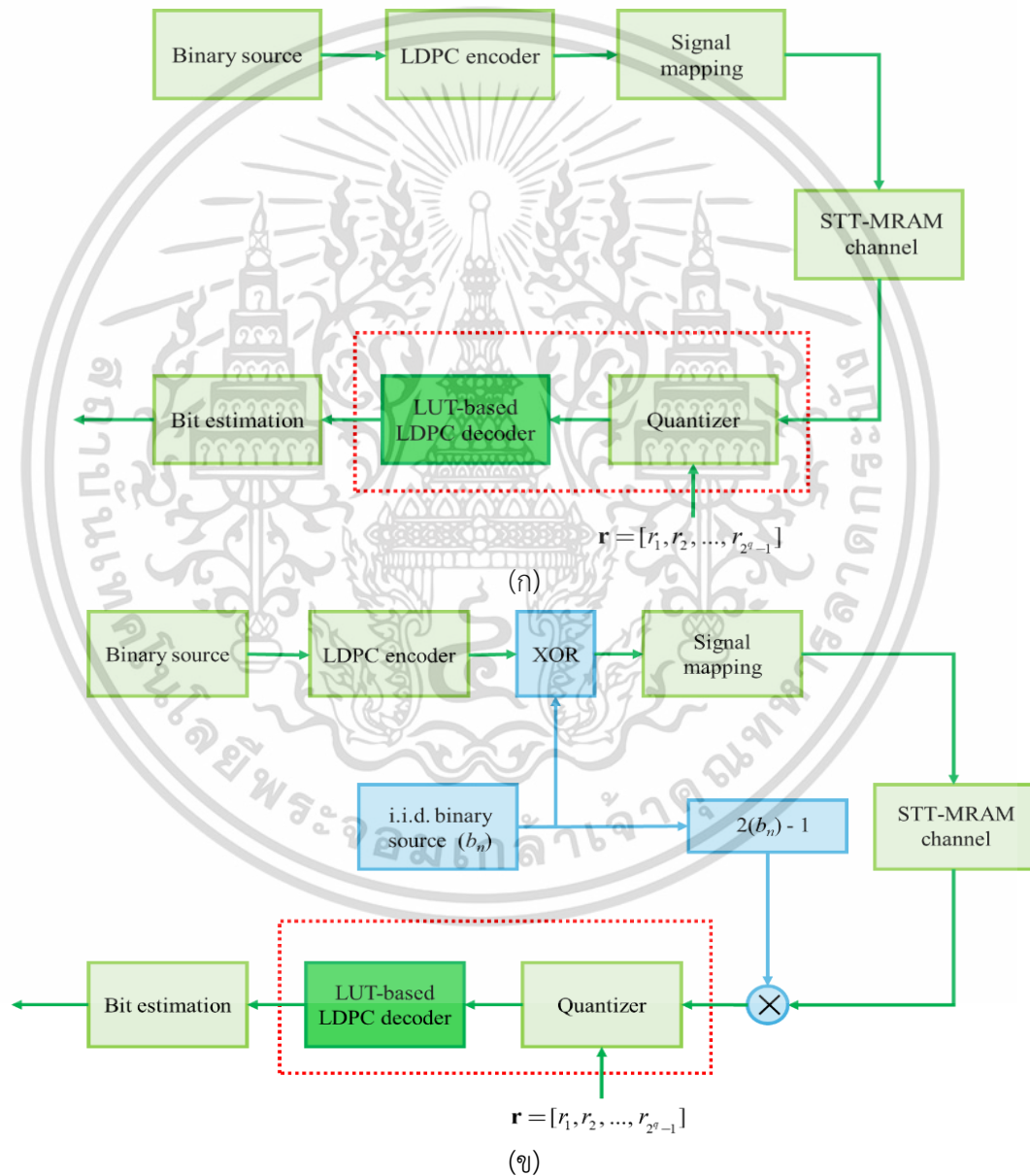
#### 6.4 การจำลองและผลการจำลองสมรรถนะอัตราบิดผิดพลาดของการถอดรหัสโดยใช้ตาราง

ในหัวข้อนี้จะเป็นการจำลองสมรรถนะอัตราบิดผิดพลาด (BER: Bit error rate) ของการใช้งานตารางถอดรหัสที่ออกแบบจากหัวข้อก่อนหน้าในช่องสัญญาณของหน่วยความจำแบบ STT-MRAM ซึ่งจะมีการเปรียบเทียบทั้งการถอดรหัสโดยใช้โครงสร้างแบบลำดับตาราง (Sequential) และแบบไปข้างหน้าและย้อนกลับ (FB: Forward and backward) ช่องสัญญาณของหน่วยความจำแบบ STT-MRAM ที่มีความไม่สมมาตรเนื่องจากการเขียนบิต '1' มีความน่าจะเป็นความผิดพลาดมากกว่าการเขียนบิต '0' ซึ่งได้อธิบายรายละเอียดในบทที่ 3 การออกแบบตารางถอดรหัสจะมีทั้งการออกแบบตารางถอดรหัสสำหรับช่องสัญญาณที่ไม่สมมาตร และการปรับให้ช่องสัญญาณมีความสมมาตรโดยใช้อะแดปเตอร์ช่องสัญญาณแบบ i.i.d. (Independent and identically distributed channel adapter) [74] แล้วจึงออกแบบตารางถอดรหัส

การจำลองระบบบันทึกข้อมูลในหน่วยความจำแบบ STT-MRAM ที่ใช้วงจรถอดรหัสแบบตารางแสดงในรูปที่ 6.14 (ก) เริ่มจากสร้างข้อมูลไบนารีแบบสุ่มที่มีสัดส่วนของบิต '0' และบิต '1' เท่ากันเพื่อใช้เป็นข้อมูลที่ต้องการบันทึกลงในหน่วยความจำหลังจากนั้นข้อมูลจะถูกนำไปเข้ารหัสแอลดีพีซีซึ่งกำหนดให้ใช้รหัสแอลดีพีซีแบบปกติที่มี  $d_v = 3$  และ  $d_c = 30$  ที่มีอัตรารหัส 0.9 หลังจากเข้ารหัสแอลดีพีซีจะได้คำรหัสที่มีความยาว 4,444 บิต คำรหัสดังกล่าวจะถูกแปลงไปเป็นกระแสไฟฟ้าและบันทึกลงให้เซลล์หน่วยความจำแบบ ST-MRAM ในรูปของความต้านทาน ในส่วนของการอ่านข้อมูลกลับจะใช้กระแสไฟฟ้าเพื่ออ่านข้อมูลซึ่งเป็นขั้นตอนของวงจรควอนไทซ์ หลังจากนั้นจะได้เอาต์พุตเป็นค่าแอลแอลอาร์ที่เป็นจำนวนเต็มและส่งไปถอดรหัสในวงจรถอดรหัสแบบตารางโดยใช้ตารางที่ออกแบบซึ่งกำหนดจำนวนรอบการถอดรหัสสูงสุดเป็น 10 รอบ และประมาณค่าบิตข้อมูลออกมา ในการวัดสมรรถนะอัตราบิดผิดพลาดจะเป็นการเปรียบเทียบบิตข้อมูลที่บันทึกและบิตข้อมูลที่ประมาณได้หลังจากวงจรถอดรหัส รูปที่ 6.14 (ข) แสดงแบบจำลองระบบบันทึกข้อมูลใน

หน่วยความจำแบบ STT-MRAM ที่ใช้วงจรถอดรหัสแบบตารางและใช้อะแดปเตอร์ช่องสัญญาณแบบเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

i.i.d. ซึ่งจะส่วนที่เพิ่มเติมเข้ามาคือการใช้งานใช้อะแดปเตอร์ช่องสัญญาณแบบ i.i.d. เพื่อปรับให้ช่องสัญญาณมีความสมมาตร โดยอะแดปเตอร์ช่องสัญญาณจะเป็นการสร้างข้อมูลไบนารีแบบสุ่มที่มีความน่าจะเป็นของบิต 0 และบิต 1 เท่ากัน นั่นคือ 0.5 โดยฝั่งการเขียนข้อมูลจะนำชุดข้อมูลไบนารีไปผ่านโอเปอเรชัน XOR กับคีย์สุ่มที่สุ่มได้จะมีความน่าจะเป็นของบิต 0 และบิต 1 มีค่า 0.5 เท่ากัน ส่วนที่ฝั่งการอ่านสัญญาณจากหน่วยความจำ สัญญาณที่ได้จะอ่านได้จะถูกนำไปคูณกับสัญญาณไบนารีจากอะแดปเตอร์ช่องสัญญาณที่มีการแปลงบิต 1 เป็นค่า 1 และบิต 0 เป็นค่า -1 เพื่อให้ได้ค่าตรงกับข้อมูลที่ต้องการเขียนลงในหน่วยความจำ



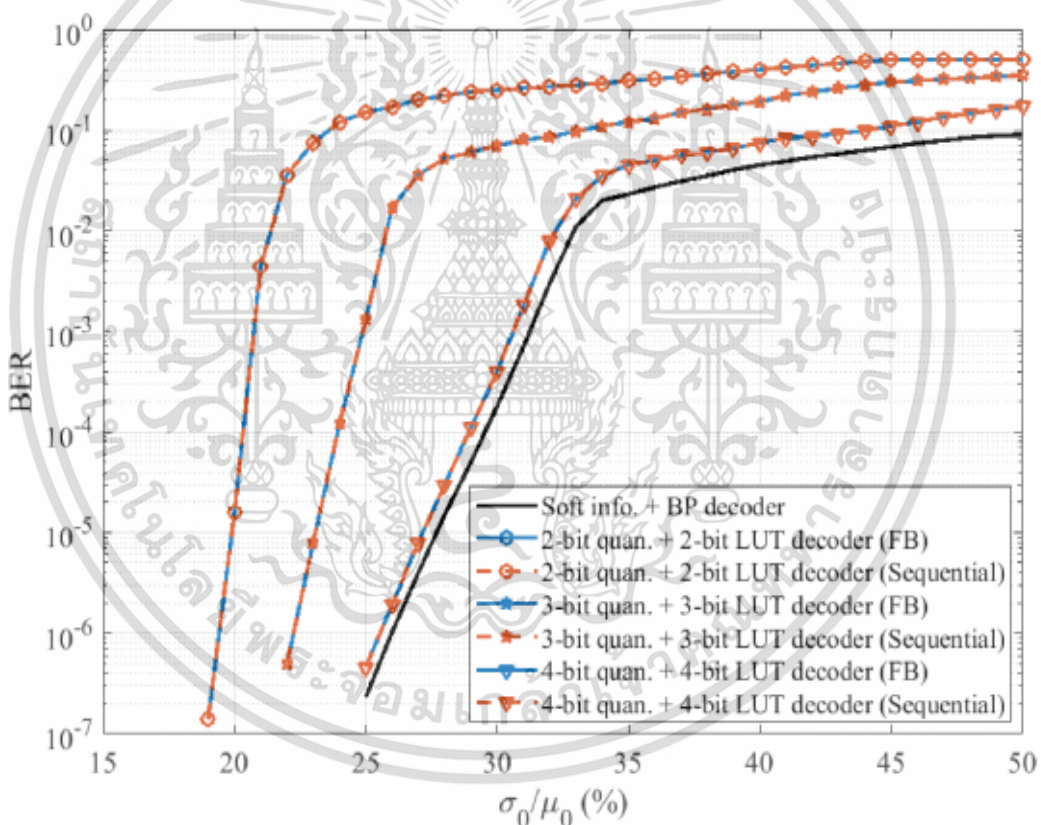
รูปที่ 6.14 (ก) แบบจำลองระบบบันทึกข้อมูลในหน่วยความจำแบบ STT-MRAM ที่ใช้วงจรถอดรหัสแบบตาราง (ข) แบบจำลองระบบบันทึกข้อมูลในหน่วยความจำแบบ STT-MRAM

ที่ใช้วงจรถอดรหัสแบบตารางและใช้อะแดปเตอร์ช่องสัญญาณแบบ i.i.d.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการจำลองจะเริ่มจากการเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของการใช้งานตารางถอดรหัสแบบลำดับตารางและแบบไปข้างหน้าและย้อนกลับโดยใช้ตารางถอดรหัสที่ออกแบบ ตารางที่ออกแบบจะแบ่งเป็น 3 แบบคือตารางที่มีการควอนไทซ์ 2 บิต ตารางที่มีการควอนไทซ์ 3 บิต และตารางที่มีการควอนไทซ์ 4 บิต รูปที่ 6.15 แสดงการเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของการใช้ตารางถอดรหัสที่มีโครงสร้างแบบลำดับตารางและโครงสร้างแบบไปข้างหน้าและย้อนกลับ แม้ว่าโครงสร้างแบบไปข้างหน้าและย้อนกลับมีจำนวนการคำนวณโหนดและระยะเวลาการคำนวณที่น้อยกว่า อย่างไรก็ตามผลการจำลองพบว่าสมรรถนะอัตราบิดผิดพลาดของทั้งสองโครงสร้างมีค่าเท่ากันทั้งตารางที่มีการควอนไทซ์ 2 บิต ตารางที่มีการควอนไทซ์ 3 บิต และตารางที่มีการควอนไทซ์ 4 บิต เมื่อพิจารณาจำนวนบิตควอนไทซ์จะพบว่าสมรรถนะอัตราบิดผิดพลาดเข้าใกล้การถอดรหัสแอลดีพีซีที่ไม่มีการควอนไทซ์

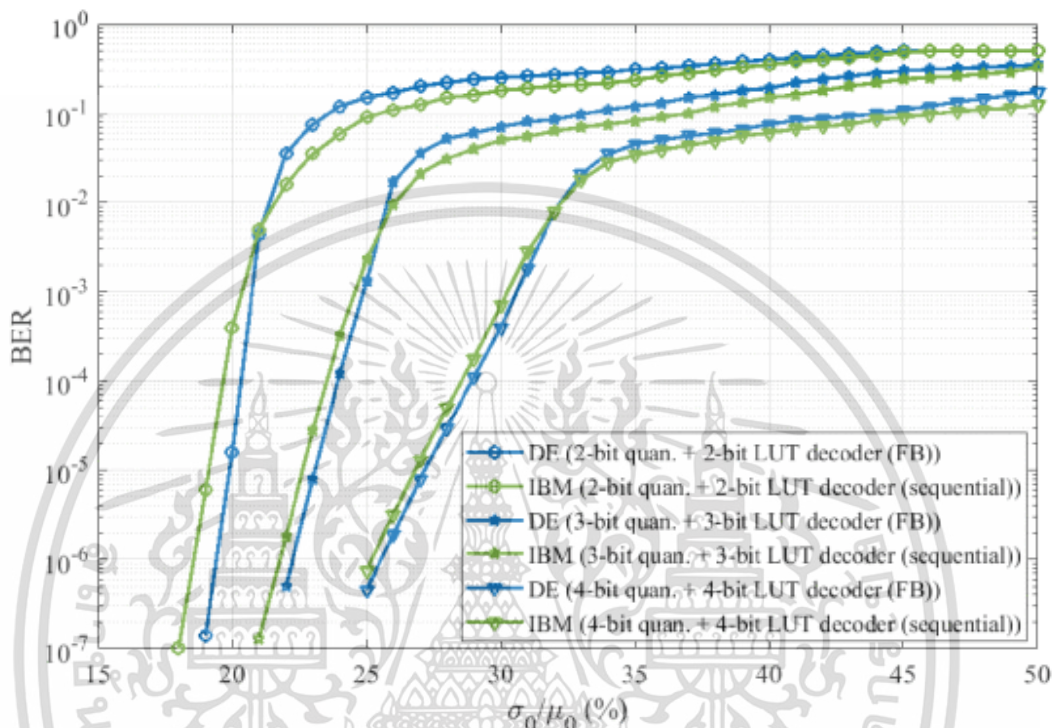


รูปที่ 6.15 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของวงจรถอดรหัสแบบตารางที่มีโครงสร้างการคำนวณที่โหนดแบบลำดับตารางและแบบไปข้างหน้าและย้อนกลับ

ถัดมาจะเป็นการเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของการถอดรหัสแบบตารางที่มีโครงสร้างแบบไปข้างหน้าและย้อนกลับที่นำเสนอ (DE) กับตารางที่ออกแบบด้วยวิธีการ IBM (Information bottleneck method) [29] ที่มีโครงสร้างแบบลำดับตารางโดยมีการปรับ

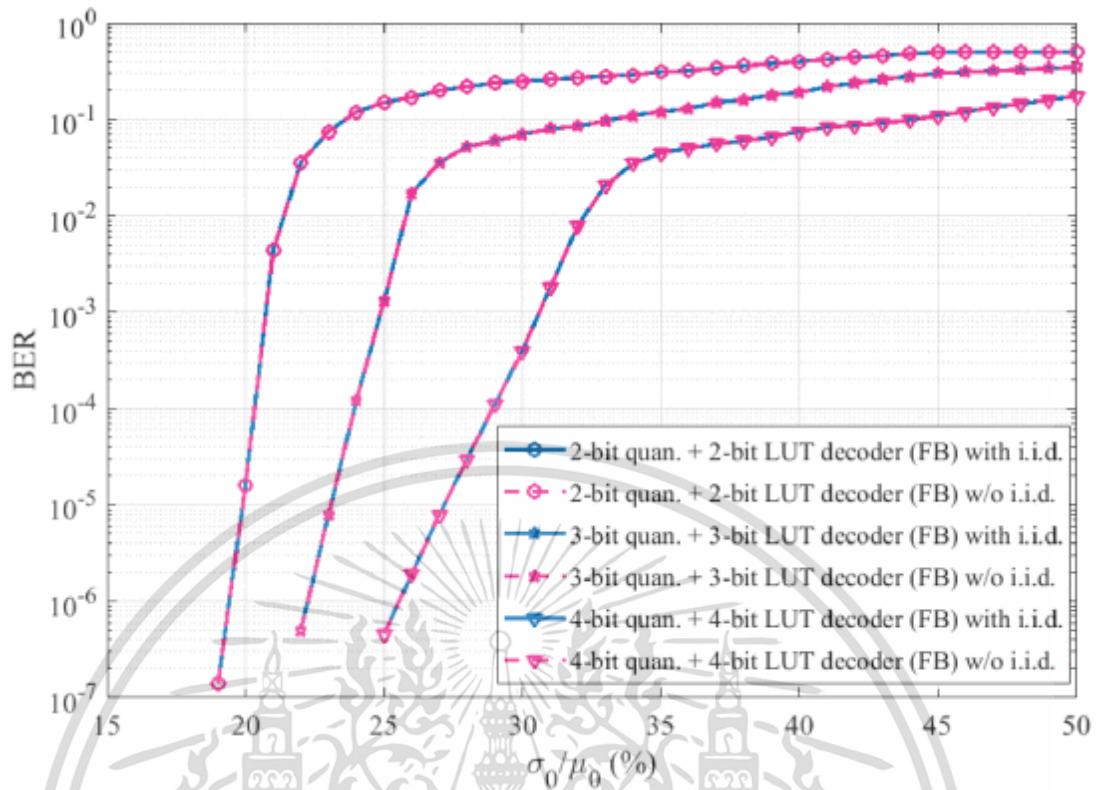
ช่องสัญญาณด้วยอะแดปเตอร์ช่องสัญญาณแบบ i.i.d. ดังแสดงในรูปที่ 6.16 ผลการจำลองพบว่า เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่ขึ้นต้นการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการออกแบบที่นำเสนอให้สมรรถนะที่ดีกว่าการออกแบบตารางถอดรหัสด้วยวิธีการ IBM ในช่วงที่ค่าเปอร์เซ็นต์  $\sigma_0 / \mu_0$  สูง ทั้งตารางที่มีการควอนไทซ์ 2 บิต ตารางที่มีการควอนไทซ์ 3 บิต และตารางที่มีการควอนไทซ์ 4 บิต ตัวอย่างเช่น ตารางที่มีการควอนไทซ์ 2 บิต เมื่อพิจารณาที่อัตราบิตผิดพลาด  $10^{-6}$  จะพบว่าวิธีการที่นำเสนอมีอัตราขยายสมรรถนะ (Performance gain) ประมาณ 1%



รูปที่ 6.16 การเปรียบเทียบสมรรถนะอัตราบิตผิดพลาดของวงจรถอดรหัสแบบตารางที่ออกแบบด้วยวิธีการ IBM [29] และวิธีการ DE ที่นำเสนอ

ในงานวิจัยนี้ยังได้ศึกษาถึงผลของการออกแบบตารางถอดรหัสสำหรับระบบบันทึกข้อมูลแบบ STT-MRAM ที่มีความไม่สมมาตรของช่องสัญญาณ โดยจะมีการออกแบบตารางถอดรหัสที่มีโครงสร้างแบบไปข้างหน้าและย้อนกลับสำหรับช่องสัญญาณ STT-MRAM ที่ไม่สมมาตรโดยตรง และออกแบบตารางถอดรหัสแบบไปข้างหน้าและย้อนกลับสำหรับช่องสัญญาณ STT-MRAM ที่มีการปรับช่องสัญญาณให้มีความสมมาตรด้วยการใช้แฉดเตอร์ช่องสัญญาณแบบ i.i.d. ในรูปที่ 6.17 ผลการจำลองสมรรถนะอัตราบิตผิดพลาดพบว่าตารางถอดรหัสที่ได้ให้สมรรถนะอัตราบิตที่เท่ากัน ทั้งตารางที่มีการควอนไทซ์ 2 บิต ตารางที่มีการควอนไทซ์ 3 บิต และตารางที่มีการควอนไทซ์ 4 บิต



รูปที่ 6.17 การเปรียบเทียบสมรรถนะอัตราบิดเบือนของวงจรถอดรหัสแบบตารางที่ใช้ อะแดปเตอร์ของสัญญาณแบบ i.i.d. และไม่ใช่อะแดปเตอร์ของสัญญาณแบบ i.i.d.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 7

### วิธีการออกแบบการติมอดูเลชันร่วมกับการถอดรหัสแวลดีพีซีแบบตาราง ที่มีเลเยอร์สำหรับระบบสื่อสาร 5G

บทนี้เป็นการศึกษาการออกแบบตารางถอดรหัสสำหรับระบบสื่อสาร 5G ปัญหาที่เกิดขึ้นในการถอดรหัสแบบตารางคือต้องมีการควอนไทซ์เพื่อให้ได้ค่าจำนวนเต็ม อย่างไรก็ตามยังมีเพียง การออกแบบตารางถอดรหัสสำหรับการมอดูเลชันแบบ BPSK เท่านั้น อย่างไรก็ตาม ในระบบสื่อสาร 5G กำหนดให้มีรูปแบบการมอดูเลชัน 7 แบบ ได้แก่การมอดูเลชันแบบ  $\pi/2$ -BPSK การมอดูเลชันแบบ BPSK การมอดูเลชันแบบ QPSK การมอดูเลชันแบบ 16QAM การมอดูเลชันแบบ 64QAM การมอดูเลชันแบบ 256QAM และการมอดูเลชันแบบ 1024QAM ซึ่งการออกแบบวงจรควอนไทซ์ที่เหมาะสมสำหรับการมอดูเลชันและต้องสอดคล้องกับตารางถอดรหัสจึงเป็นประเด็นสำคัญในบทนี้ เพื่อให้สมรรถนะอัตราบิดผิดพลาดที่ดีที่สุดในขณะที่ความซับซ้อนของวงจรถอดรหัส การใช้งานหน่วยความจำและระยะเวลาในกระบวนการถอดรหัสลดลง โดยวิทยานิพนธ์ฉบับนี้จะพิจารณาช่องสัญญาณแบบ AWGN ในการออกแบบเป็นหลัก และเพื่อเพิ่มสมรรถนะในการถอดรหัสให้ดียิ่งขึ้น จึงได้มีการนำอัลกอริทึมการถอดรหัสแบบเลเยอร์มาใช้ร่วมกับการถอดรหัสแบบตาราง

เนื่องจากในบทนี้มีการศึกษาวิจัยและออกแบบหลายส่วนดังนั้นเพื่อไม่ให้ผู้อ่านเกิดความสับสน จึงจะขออธิบายระบบโดยคร่าวดังนี้ การศึกษาวิจัยในส่วนที่ 1 จะเป็นการศึกษาและออกแบบ วงจรติมอดูเลชันและวงจรควอนไทซ์ จะเริ่มศึกษาจากวงจรติมอดูเลชันทั้ง 7 แบบที่ถูกกำหนดให้ใช้งานในมาตรฐานการสื่อสาร 5G โดยวงจรติมอดูเลชันจะรับสัญญาณเอาต์พุตของสัญญาณ  $y$  ที่เป็นค่าจำนวนจริงและให้เอาต์พุตเป็นค่าแวลแอลอาร์  $L_{ch}$  ที่เป็นจำนวนจริง ในการคำนวณค่าแวลแอลอาร์ของวงจรติมอดูเลชันจะมี 3 แบบคือ 1) การคำนวณจากผลรวมของค่า pdf ทุกสัญลักษณ์เรียกว่าค่าแวลแอลอาร์แบบผลรวมความน่าจะเป็น (SP: Sum-Probability LLR) 2) การคำนวณจากค่าสูงสุดของค่า pdf ของสัญลักษณ์เรียกว่า ค่าแวลแอลอาร์ความน่าจะเป็นสูงสุด (MP: Max-Probability LLR) และ 3) การคำนวณจากค่าสูงสุดของค่า pdf ของสัญลักษณ์โดยหาค่าเฉลี่ยของค่า pdf ที่อยู่ใกล้ค่า  $y$  มากที่สุดเก็บไว้ในตารางเพื่อให้สะดวกต่อการนำมาคำนวณ เรียกว่าค่าแวลแอลอาร์ความน่าจะเป็นสูงสุดแบบอาศัยตาราง (LUT-based MP: LUT-based Max-Probability LLR) สำหรับวงจรควอนไทซ์จะมีการศึกษาและออกแบบ 2 แบบได้แก่ 1) วงจรควอนไทซ์ค่าแวลแอลอาร์จากวงจรติมอดูเลชัน เรียกว่าวงจรควอนไทซ์แวลแอลอาร์ (LLR quantizer) ซึ่งจะควอนไทซ์ค่าแวลแอลอาร์จากวงจรติมอดูเลชันและให้เอาต์พุตได้ 3 แบบคือค่าแวลแอลอาร์ที่เป็นจำนวนจริงและมีจำนวนจำกัด (Finite-LLR quantizer) สำหรับถอดรหัสกับวงจรถอดรหัสแวลดีพีซีทั่วไป และค่าแวลแอลอาร์ที่เป็นจำนวนเต็ม (Integer-LLR quantizer) ซึ่งจะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้สำหรับวงจรถอดรหัสแบบตารางเท่านั้น 2) วงจรควอนไทซ์ค่าเอาต์พุตช่องสัญญาณ (Channel output quantizer) ซึ่งวงจรควอนไทซ์สัญญาณเอาต์พุตช่องสัญญาณจะให้เอาต์พุต 2 แบบคือ ค่าเอาต์พุตช่องสัญญาณที่มีจำนวนจำกัด (Finite-channel output quantizer) ก่อนจะนำไปคำนวณค่าแอสแอลอาร์ และค่าแอสแอลอาร์ โดยเอาต์พุตที่เป็นค่าแอสแอลอาร์จะมี 2 แบบคือ 1) ค่าแอสแอลอาร์ที่เป็นจำนวนจริงและมีจำนวนจำกัด (Jointly demodulator and finite-LLR quantizer) สำหรับวงจรถอดรหัสแอสแอลดีพีซีทั่วไป 2) ค่าแอสแอลอาร์ที่เป็นจำนวนเต็ม (Jointly demodulator and integer-LLR quantizer) สำหรับวงจรถอดรหัสแบบตารางเท่านั้น การศึกษาวิจัยในส่วนที่ 2 จะเป็นวงจรถอดรหัสแอสแอลดีพีซีซึ่งจะแบ่งเป็น 4 แบบได้แก่ 1) วงจรถอดรหัสแบบ FBP (Flooding Belief Propagation) ที่สามารถรับค่าอินพุตเป็นค่าแอสแอลอาร์ที่เป็นจำนวนจริง และค่าแอสแอลอาร์ที่เป็นจำนวนจริงและมีจำนวนจำกัดได้ 2) วงจรถอดรหัสแบบ LUT-FBP (LUT-based Flooding Belief Propagation) ที่รับค่าอินพุตเป็นค่าแอสแอลอาร์ที่เป็นจำนวนเต็มและมีจำนวนจำกัดเท่านั้น 3. วงจรถอดรหัสแบบ LBP (Layered Belief Propagation) ที่สามารถรับค่าอินพุตเป็นค่าแอสแอลอาร์ที่เป็นจำนวนจริง และค่าแอสแอลอาร์ที่เป็นจำนวนจริงและมีจำนวนจำกัดได้ 4. วงจรถอดรหัสแบบ LUT-LBP (LUT-based Layered Belief Propagation) ที่รับค่าอินพุตเป็นค่าแอสแอลอาร์ที่เป็นจำนวนเต็มและมีจำนวนจำกัดเท่านั้น

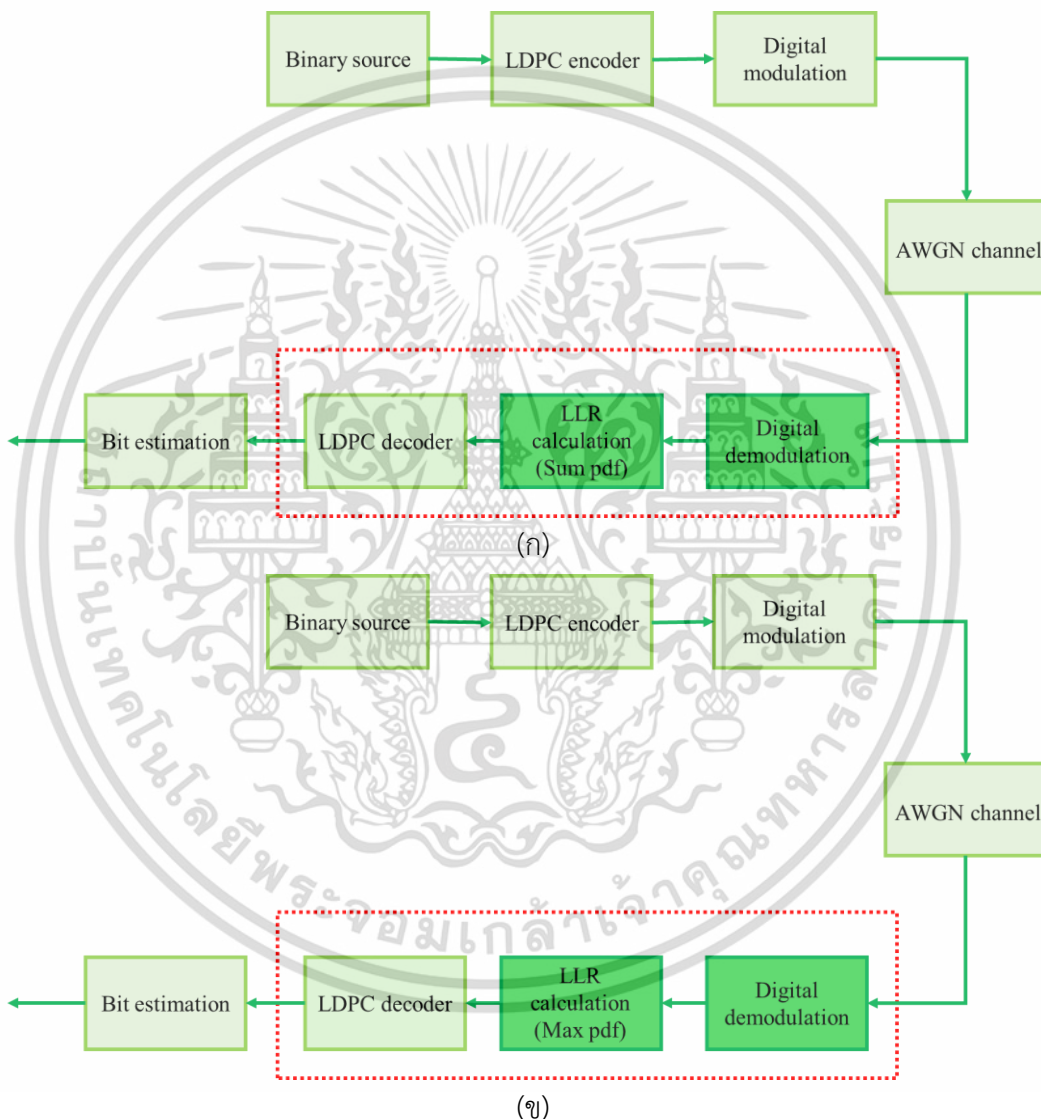
## 7.1 การกำหนดฟังก์ชันวัตถุประสงค์สำหรับการออกแบบการตีมอดูเลชันร่วมกับการถอดรหัสแอสแอลดีพีซีโดยใช้ตารางแบบ LFB (Layered Forward and Backward)

ในหัวข้อนี้เป็นการศึกษาและการออกแบบการถอดรหัสแบบตารางร่วมกับการควอนไทซ์สัญญาณจากช่องสัญญาณ รายละเอียดของการออกแบบจะแบ่งเป็น 2 ส่วนหลักคือ ส่วนของการควอนไทซ์ช่องสัญญาณจะมีประเด็นของการมอดูเลชันเข้ามาเกี่ยวข้องซึ่งการออกแบบในบทความก่อนหน้านี้ยังไม่ได้มีการพิจารณาการมอดูเลชันแบบอื่น มีเพียงแต่การมอดูเลชันแบบ BPSK ในหัวข้อนี้จะมีการพิจารณาการสร้างวงจรควอนไทซ์สำหรับการมอดูเลชันแบบต่าง ๆ ที่กำหนดในการสื่อสารมาตรฐาน 5G เพื่อลดความซับซ้อนในวงจรควอนไทซ์ ส่วนที่ 2 คือการออกแบบวงจรถอดรหัสแบบตาราง ในงานวิจัยนี้จะมีการปรับปรุงสมรรถนะการถอดรหัสให้ดีขึ้นโดยนำอัลกอริทึมการถอดรหัสแบบเลเยอร์มาใช้เพื่อปรับปรุงสมรรถนะอัตราบิดผิดพลาดให้ดีขึ้น นอกจากนี้ รหัสแอสแอลดีพีซีที่กำหนดให้ใช้ในมาตรฐานการสื่อสาร 5G เป็นรหัสแอสแอลดีพีซีแบบโปรโทกราฟซึ่งเป็นรหัสแอสแอลดีพีซีแบบมีโครงสร้างตั้งนั้นการออกแบบฟังก์ชันวัตถุประสงค์จะต้องมีการปรับปรุงใหม่ให้เหมาะสม

### 7.1.1 การออกแบบวงจรควอนไทซ์สำหรับระบบสื่อสาร 5G

การใช้งานวงจรถอดรหัสแบบตารางจำเป็นต้องมีการใช้วงจรควอนไทซ์เพื่อให้อินพุตที่เข้าสู่วงจรถอดรหัสเป็นค่าจำกัดที่สอดคล้องกับวงจรถอดรหัสแบบตาราง รูปที่ 7.1 แสดงระบบสื่อสารเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างง่ายที่ประกอบไปด้วยกระบวนการเข้ารหัสแอลดีพีซี กระบวนการมอดูเลชันแบบดิจิทัล ช่องสัญญาณแบบ AWGN ที่ผู้รับประกอบด้วยวงจรมอดูเลชันแบบดิจิทัล วงจรคำนวณค่าแอลแอลอาร์ วงจรถอดรหัสแอลดีพีซีและวงจรประมาณค่าบิตข้อมูล ซึ่งการคำนวณค่าแอลแอลอาร์มี 2 แบบคือการคำนวณค่าแอลแอลอาร์โดยวิธีผลรวม pdf ดังแสดงในรูปที่ 7.1 (ก) และการคำนวณค่าแอลแอลอาร์โดยวิธีค่า pdf สูงสุดดังแสดงในรูปที่ 7.1 (ข) ซึ่งรายละเอียดได้ถูกอธิบายไว้ในบทที่ 2

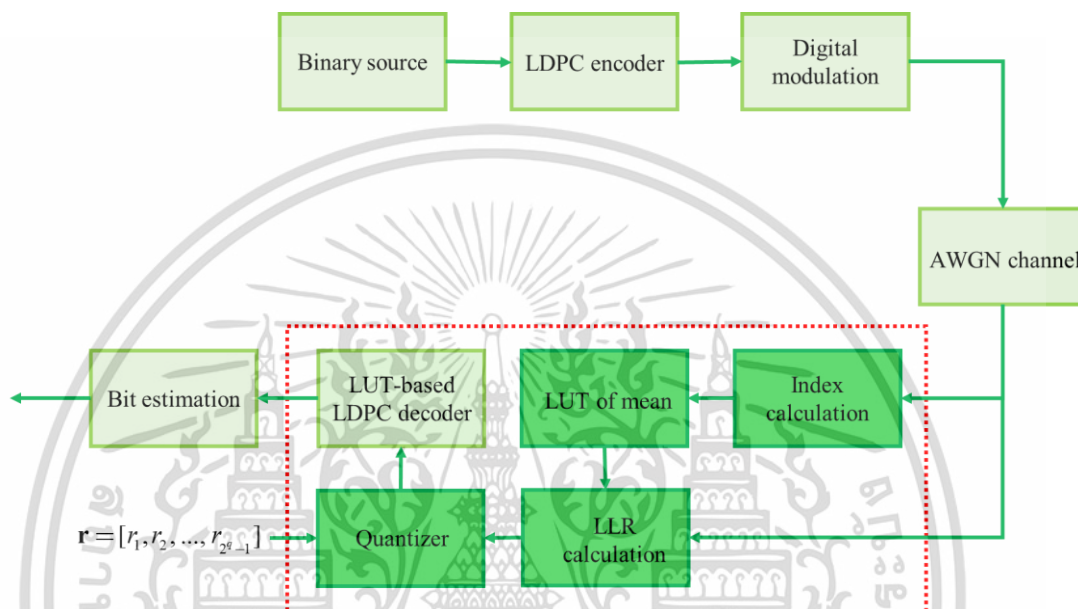


รูปที่ 7.1 (ก) ภาพรวมระบบสื่อสาร 5G ที่คำนวณค่าแอลแอลอาร์ด้วยวิธีผลรวมค่า pdf

(ข) ภาพรวมระบบสื่อสาร 5G ที่คำนวณค่าแอลแอลอาร์ด้วยวิธีค่า pdf สูงสุด

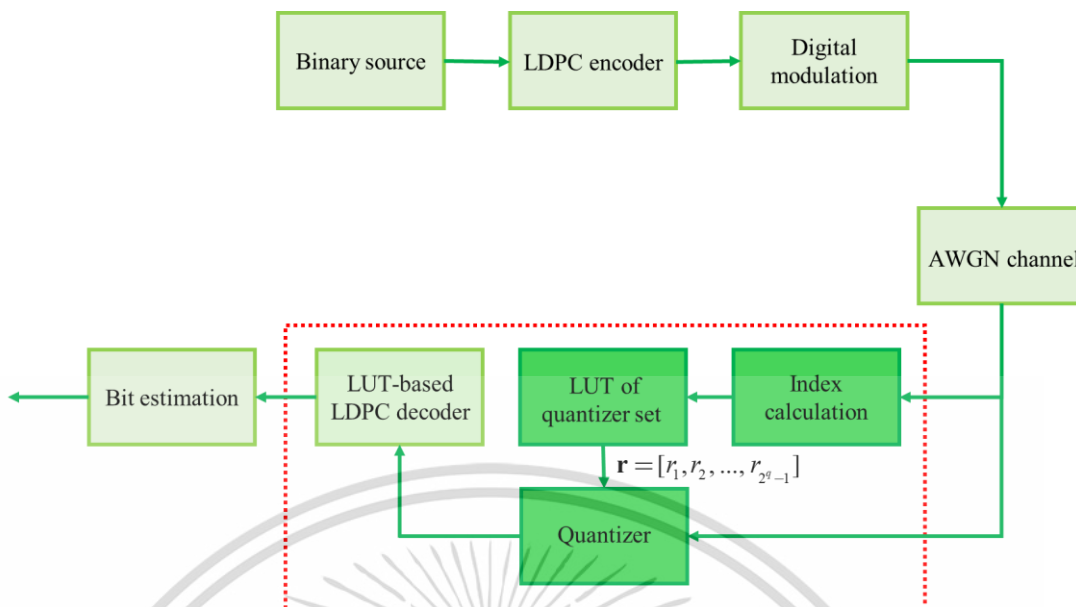
การคำนวณค่าแอลแอลอาร์ด้วยวิธีค่า pdf สูงสุดสามารถสร้างเป็นตารางเพื่อให้ง่ายต่อการคำนวณดังที่ได้อธิบายในบทที่ 2 ซึ่งนำมาเขียนเป็นแผนภาพวงจรได้ดังรูปที่ 7.2 การยู่บรวมกันเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวงจรมอดูเลชันและวงจรควอนไทซ์ส่งผลให้เหลือเพียงการเรียกใช้ค่าในตารางและลดการคำนวณในวงจรลง สัญญาณเอาต์พุตของสัญญาณจะถูกนำไปคำนวณหาตรรกะนี้ค่าในตาราง โดยค่าในตารางจะเป็นคู่ของค่าเฉลี่ยของ pdf ของบิต '0' และบิต '1' ที่อยู่ใกล้ค่าเอาต์พุตของสัญญาณมากที่สุดหลังจากนั้นค่าเฉลี่ยจากตารางและเอาต์พุตของสัญญาณจะถูกนำมาคำนวณค่าแอลแอลอาร์และควอนไทซ์ให้เป็นจำนวนจำกัดก่อนส่งไปยังวงจรถอดรหัสแบบตาราง



รูปที่ 7.2 การคำนวณค่าแอลแอลอาร์ด้วยวิธีค่า pdf สูงสุดโดยใช้ตารางและวงจรควอนไทซ์

วิธีการคำนวณค่าแอลแอลอาร์ด้วยวิธีค่า pdf สูงสุดโดยใช้ตารางและวงจรควอนไทซ์มีการคำนวณหลายขั้นตอนส่งผลให้เกิดความล่าช้าในการถอดรหัส ดังนั้นจะต้องมีการปรับปรุงวงจรควอนไทซ์ให้มีการคำนวณลดลงซึ่งงานวิจัยนี้จะตัดการคำนวณค่าแอลแอลอาร์ออกเปลี่ยนเป็นการใช้ตารางแทนดังรูปที่ 7.3 จะเห็นว่าการคำนวณค่าหมดไปเหลือเพียงการค้นหาค่าในตารางเท่านั้น ซึ่งส่งผลให้วงจรมีขนาดเล็กลงเนื่องจากไม่มีการคำนวณค่าแอลแอลอาร์ การควอนไทซ์สัญญาณเริ่มจากรับเอาต์พุตสัญญาณและคำนวณค่าตรรกะนี้เพื่อตั้งค่าในตาราง โดยตารางนี้จะแตกต่างจากในรูปที่ 7.2 ที่เป็นตารางของค่าเฉลี่ยของฟังก์ชัน pdf แต่ตารางที่ใช้ในรูปที่ 7.3 เป็นตารางของค่าควอนไทซ์ซึ่งจะมีหลายชุด ซึ่งแต่ละชุดจะใช้ในการควอนไทซ์ค่าเอาต์พุตของสัญญาณที่อยู่ในช่วงที่แตกต่างกัน ชุดของค่าควอนไทซ์จะถูกนำมาควอนไทซ์เอาต์พุตของสัญญาณและจะได้ค่าแอลแอลอาร์ที่เป็นจำนวนจำกัดเพื่อส่งไปถอดรหัสต่อไป



รูปที่ 7.3 การคำนวณค่าแอสแอลอาร์และวงจรควอนไทซ์ที่นำเสนอ

ตัวอย่างของการออกแบบวงจรควอนไทซ์สำหรับการมอดูเลชันแบบ 16QAM ที่สามารถพิจารณาเป็นการมอดูเลชัน 4PAM ในแกนค่าจริงและแกนค่าจินตภาพ เนื่องจากทั้ง 2 แกนมีการมอดูเลชันแบบเดียวกัน ดังนั้นจึงพิจารณาเพียง 1 แกน การคำนวณค่าแอสแอลอาร์ดังที่กล่าวถึงในบทที่ 2 สามารถคำนวณได้จากการหาค่าสูงสุดของฟังก์ชัน pdf ของบิต ‘0’ และบิต ‘1’ ซึ่งก็คือฟังก์ชัน pdf ของบิต ‘0’ และบิต ‘1’ ที่อยู่ใกล้เคียงกับค่าเอาต์พุตของสัญญาณ (y) มากที่สุดใน [37] เป็นการจับคู่ค่าเฉลี่ยของฟังก์ชัน pdf ของบิต ‘0’ และบิต ‘1’ ที่ใกล้เคียงกับค่าเอาต์พุตของสัญญาณและเก็บไว้ในรูปแบบของตารางเพื่อให้ง่ายต่อการใช้งาน คู่ของค่าเฉลี่ยของฟังก์ชัน pdf ของบิต ‘0’ และบิต ‘1’ ที่อยู่ใกล้เคียงกับค่าเอาต์พุตของสัญญาณมากที่สุดของการมอดูเลชันแบบ 4PAM สามารถสรุปได้ดังตารางที่ 7.1

ตารางที่ 7.1 คู่ของค่าเฉลี่ยของฟังก์ชัน pdf ของบิต ‘0’ และบิต ‘1’ ที่อยู่ใกล้เคียงกับค่าเอาต์พุตของสัญญาณมากที่สุด

	$-\infty \leq y < -2$		$-2 \leq y < 0$		$0 \leq y < 2$		$0 \leq y < \infty$	
	บิต ‘0’	บิต ‘1’	บิต ‘0’	บิต ‘1’	บิต ‘0’	บิต ‘1’	บิต ‘0’	บิต ‘1’
บิตที่ 1	1	-3	1	-1	1	-1	3	-1
บิตที่ 2	-1	-3	-1	-3	1	3	1	3

จากตารางที่ 7.1 จะเห็นว่ามีคู่ของค่าเฉลี่ยของฟังก์ชัน pdf ของบิต ‘0’ และบิต ‘1’ ที่ต่างกันจำนวน 5 คู่ได้แก่ (1, -3), (-1, -3), (1, -1), (1, 3) และ (3, -1) ดังนั้นจะต้องมีการออกแบบชุดค่าควอนไทซ์  $\mathbf{r} = [r_1, r_2, \dots, r_{2^g-1}]$  สำหรับแต่ละคู่ของค่าเฉลี่ยของฟังก์ชัน pdf ของบิต ‘0’ และ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต ‘1’ นั้นคือมีชุดของค่าควอนไทซ์จำนวน 5 ชุด ( $r_{Qset1}, r_{Qset2}, r_{Qset3}, r_{Qset4}, r_{Qset5}$ ) ดังแสดงในตารางที่ 7.2 โดยที่แต่ละชุดจะต้องมีจำนวนบิตที่ถูกควอนไทซ์ ( $q$ ) สอดคล้องกับตารางถอดรหัส เพื่อให้ค่าเอาต์พุตที่เป็นจำนวนเต็มจากวงจรควอนไทซ์สามารถนำไปถอดรหัสด้วยวงจรถอดรหัสแบบตารางได้ ดังนั้นในการออกแบบวงจรควอนไทซ์ช่องสัญญาณสำหรับมาตรฐานการสื่อสาร 5G ที่มีการมอดูเลชันแตกต่างกัน 7 แบบ จะเป็นการออกแบบชุดการควอนไทซ์  $r_{Qseti}$  ซึ่งจำนวนชุดการควอนไทซ์จะขึ้นอยู่กับรูปแบบการมอดูเลชัน

ตารางที่ 7.2 ชุดของค่าควอนไทซ์ (Quantizer set) ของฟังก์ชัน pdf ของบิต ‘0’ และบิต ‘1’

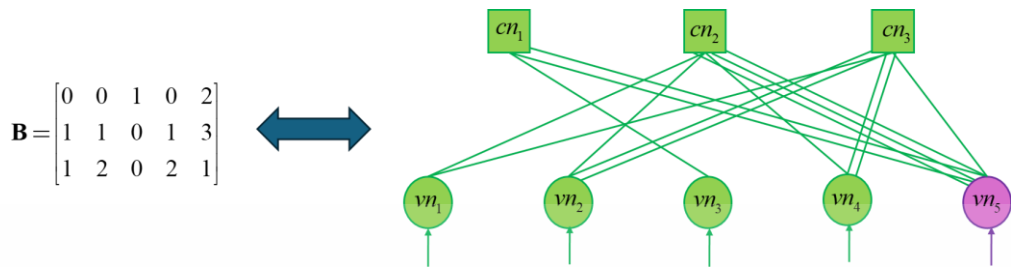
	$-\infty \leq y < -2$	$-2 \leq y < 0$	$0 \leq y < 2$	$0 \leq y < \infty$
บิตที่ 1	$r_{Qset1}$	$r_{Qset3}$	$r_{Qset3}$	$r_{Qset5}$
บิตที่ 2	$r_{Qset2}$	$r_{Qset2}$	$r_{Qset4}$	$r_{Qset4}$

### 7.1.2 การออกแบบอัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับวงจรถอดรหัสแบบ LUT-FBP ในระบบสื่อสาร 5G

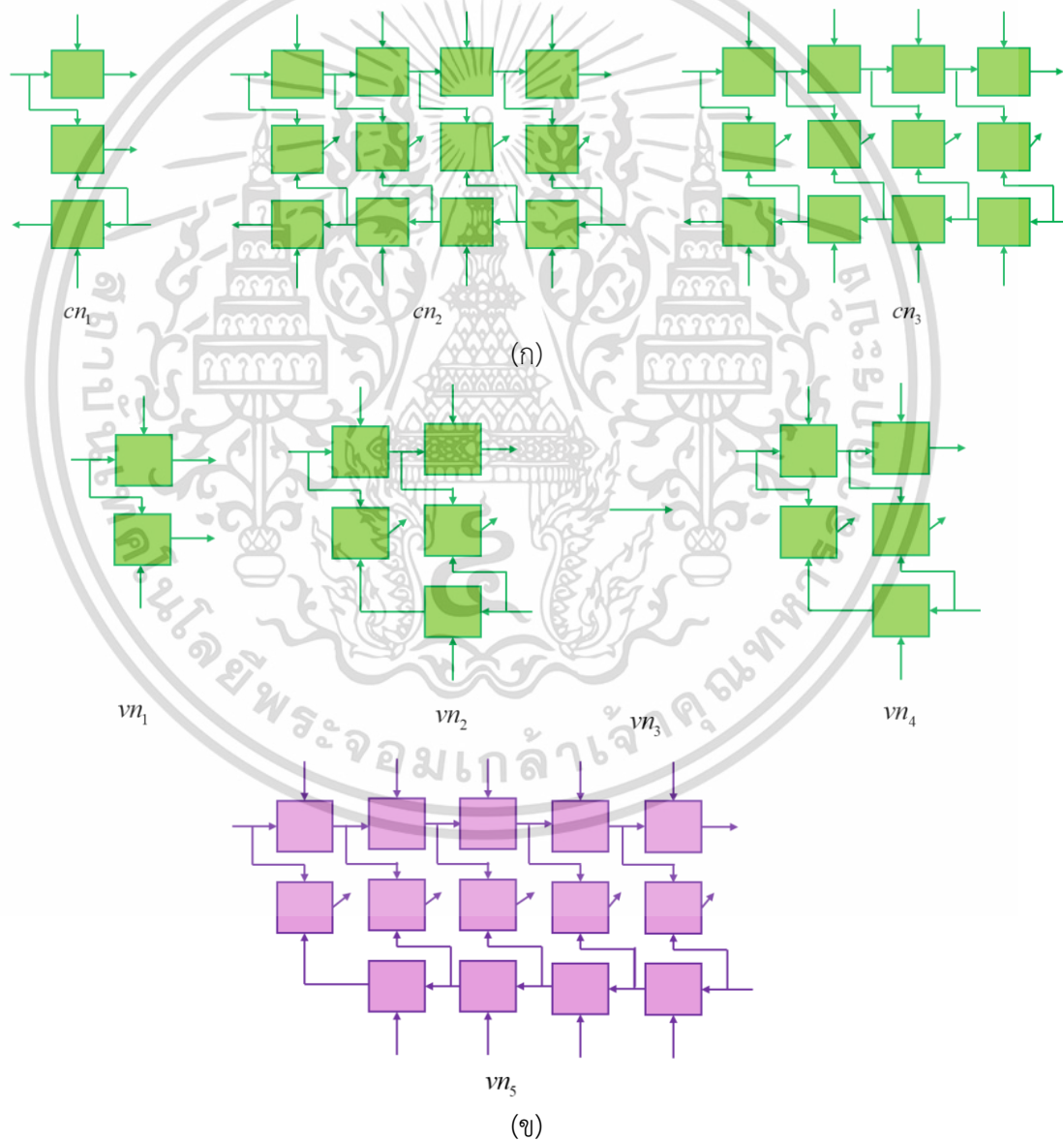
สำหรับการออกแบบวงจรถอดรหัสแอลดีพีซีแบบตารางจะนำเอาโครงสร้างการคำนวณโหนดตัวแปรและโหนดเช็กแบบไปข้างหน้าและย้อนกลับมาใช้เพื่อให้มีความรวดเร็วในการถอดรหัสและใช้ตารางถอดรหัสจำนวนน้อยกว่าโครงสร้างการคำนวณแบบลำดับตาราง นอกจากนี้ยังได้มีการนำอัลกอริทึมการถอดรหัสแบบเลเยอร์ (LBP: Layered Belief Propagation decoder) มาใช้งาน เนื่องจากสาเหตุหลัก 2 ประการคือ การถอดรหัสด้วยอัลกอริทึมแบบเลเยอร์ได้รับการพิสูจน์ว่าให้สมรรถนะอัตราบิดผิดพลาดที่ดีกว่าอัลกอริทึมการถอดรหัสแบบฟลัดดิ้ง (FBP: Flooding Belief Propagation decoder) ประการที่สองคือรหัสแอลดีพีซีที่ใช้ในมาตรฐานการสื่อสาร 5G เป็นรหัสแอลดีพีซีแบบโพโรโทกราฟ หรืออยู่ในประเภทการถอดรหัสแบบที่เป็นโครงสร้าง (Structured code) ซึ่งเป็นข้อดีที่ทำให้สามารถออกแบบตารางสำหรับวงจรถอดรหัสแบบเลเยอร์ได้ วงจรถอดรหัสที่ออกแบบที่ได้จะเรียกว่าวงจรถอดรหัส LUT-LBP (LUT-based LBP) เนื่องจากกราฟฐานหรือ เมทริกซ์ฐานของรหัสแอลดีพีซีที่กำหนดให้ใช้งานในมาตรฐานการสื่อสาร 5G มีขนาดใหญ่มาก ดังนั้นเพื่อความสะดวกและง่ายต่อการอธิบายการออกแบบฟังก์ชันวัตถุประสงค์ จะใช้กราฟฐานของรหัสแอลดีพีซีแบบโพโรโทกราฟของรหัส AR4JA [75] ที่มีขนาดเล็กกว่า ส่วนเมทริกซ์ฐานสำหรับ 5G ก็จะใช้วิธีเดียวกันในการออกแบบ

กราฟฐานของรหัส AR4JA สามารถแสดงในรูปที่ 7.4 กราฟฐานประกอบด้วยโหนดตัวแปรและโหนดเช็กที่ถูกเชื่อมโยงกันด้วยเส้นเชื่อม กราฟฐานที่นำมาเป็นตัวอย่างในการออกแบบนี้มีขนาดเล็กและมีคุณสมบัติต่างๆ ใกล้เคียงกับกราฟฐานของรหัสแอลดีพีซี เช่น มีโหนดตัวแปรที่

ถูกฟังก์เจอร์ (Punctured node) ในตัวอย่างคือโหนดสีชมพู และมีโหนดตัวแปรที่มีดีกรี 1 ในตัวอย่างคือโหนดตัวแปร  $vn_3$



รูปที่ 7.4 ตัวอย่างกราฟฐานของรหัสแอลดีพีซีแบบโปรโทกราฟสำหรับใช้อธิบายการออกแบบ



รูปที่ 7.5 (ก) โครงสร้างการคำนวณแบบไปข้างหน้าและย้อนกลับสำหรับแต่ละโหนดเช็ท

(ข) โครงสร้างการคำนวณแบบไปข้างหน้าและย้อนกลับสำหรับแต่ละโหนดตัวแปร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการออกแบบวงจรถอดรหัสแบบ LFB จะกำหนดให้แต่ละโหนดมีโครงสร้างการคำนวณแบบไปข้างหน้าและย้อนกลับดังแสดงในรูปที่ 7.5 ในกราฟฐานตัวอย่างจะมี 3 โหนดเช็ก โหนดเช็ก  $cn_1$  มี 3 เส้นเชื่อมดังนั้นการคำนวณแบบไปข้างหน้าและย้อนกลับจะมีโครงสร้างแสดงดังรูปที่ 7.5 (ก) รูปด้านซ้ายสุด โหนดเช็ก  $cn_2$  มี 6 เส้นเชื่อมการคำนวณแบบไปข้างหน้าและย้อนกลับแสดงได้ในรูปที่ 7.5 (ก) รูปตรงกลาง และโหนดเช็ก  $cn_3$  มี 6 เส้นเชื่อมการคำนวณแบบไปข้างหน้าและย้อนกลับแสดงได้ในรูปที่ 7.5 (ก) รูปด้านขวาสุด เช่นเดียวกันสำหรับโหนดตัวแปร  $vn_1$  มี 2 เส้นเชื่อมจากโหนดเช็กและ 1 อินพุตจากช่องสัญญาณ ดังนั้นการคำนวณแบบไปข้างหน้าและย้อนกลับแสดงได้ในรูปที่ 7.5 (ข) รูปซ้ายสุด โหนดตัวแปร  $vn_2$  มี 3 เส้นเชื่อมจากโหนดเช็กและ 1 อินพุตจากช่องสัญญาณ ดังนั้นการคำนวณแบบไปข้างหน้าและย้อนกลับแสดงได้ในรูปที่ 7.5 (ข) รูปซ้าย โหนดตัวแปร  $vn_3$  มีเพียง 1 เส้นเชื่อมจากโหนดเช็กและ 1 อินพุตจากช่องสัญญาณ ดังนั้น ไม่มีการคำนวณที่โหนดตัวแปรดังกล่าวเป็นเพียงการส่งค่าอินพุตไปยังโหนดเช็กแสดงได้ในรูปที่ 7.5 (ข) รูปขวา โหนดตัวแปร  $vn_4$  มี 3 เส้นเชื่อมจากโหนดเช็กและ 1 อินพุตจากช่องสัญญาณ ดังนั้น การคำนวณแบบไปข้างหน้าและย้อนกลับแสดงได้ในรูปที่ 7.5 (ข) รูปขวาสุด และโหนดตัวแปร  $vn_5$  มี 6 เส้นเชื่อมจากโหนดเช็กและ 1 อินพุตจากช่องสัญญาณ ดังนั้นการคำนวณแบบไปข้างหน้าและย้อนกลับแสดงได้ในรูปที่ 7.5 (ข) รูปล่าง

จากโครงสร้างของกราฟฐานในรูปที่ 7.4 และโครงสร้างการคำนวณโหนดในรูปที่ 7.5 สามารถนำมาออกแบบลำดับการถอดรหัสแบบเลเยอร์ได้ดังนี้

1) กำหนดฟังก์ชัน pdf จากช่องสัญญาณ  $p_{ch_1}[L]$   $p_{ch_2}[L]$   $p_{ch_3}[L]$   $p_{ch_4}[L]$  และ  $p_{ch_5}[L]$  ตามจำนวนโหนดตัวแปร ซึ่งฟังก์ชัน  $p_{ch_1}[L]$   $p_{ch_2}[L]$   $p_{ch_3}[L]$  และ  $p_{ch_4}[L]$  จะได้จากการควอนไทซ์ฟังก์ชัน pdf จากช่องสัญญาณ และสำหรับโหนดตัวแปรที่ถูกฟังก์เจอร์ ฟังก์ชัน  $p_{ch_5}[L]$  กำหนดให้เป็นฟังก์ชันอิมพัลส์ นั่นคือ

$$p_{ch_5}[L] = \begin{cases} 1, & \text{if } L=0 \\ 0, & \text{otherwise.} \end{cases} \quad (7.1)$$

2) การถอดรหัสในรอบที่ 1 จะเป็นการส่งฟังก์ชัน  $p_{ch_1}[L]$   $p_{ch_2}[L]$   $p_{ch_3}[L]$   $p_{ch_4}[L]$  และ  $p_{ch_5}[L]$  ผ่านโหนดตัวแปรไปยังโหนดเช็ก โดยในการคำนวณเลเยอร์ที่ 1 คือการคำนวณค่าที่โหนดเช็ก  $cn_1$  ตามโครงสร้างแบบไปข้างหน้าและย้อนกลับ กำหนดให้  $p_{v_j \rightarrow c_l}^{(l)}[L]$  คือฟังก์ชัน pdf ของค่าแอลลออาร์ที่ส่งจากโหนดตัวแปรไปยังโหนดเช็กในการถอดรหัสรอบที่  $l$  และ  $p_{c_l \rightarrow v_j}^{(l)}[L]$  คือฟังก์ชัน pdf ของค่าแอลลออาร์ที่ส่งจากโหนดเช็กไปยังโหนดตัวแปรในการถอดรหัสรอบที่  $l$  อินพุตและเอาต์พุตของโหนดแสดงในรูปที่ 7.6 จากรูปจะเห็นว่า การคำนวณค่าฟังก์ชัน  $p_{cn_1 \rightarrow vn_3}^{(1)}[L]$  ส่งไปยังโหนดตัวแปร  $vn_3$  อินพุตฟังก์ชันที่เข้ามา  $p_{vn_{5,1} \rightarrow cn_1}^{(1)}[L]$  และ  $p_{vn_{5,2} \rightarrow cn_1}^{(1)}[L]$  มาจากโหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ถูกฟังก์ชันเจอร์ที่มีฟังก์ชันเป็นอิมพัลส์ เมื่อนำมาคำนวณตามสมการโหนดเชิงจะได้เอาต์พุตเป็นฟังก์ชันอิมพัลส์ นั่นคือ

$$p_{cn_1 \rightarrow vn_5}^{(1)}[L] = \sum_{\{L_1, L_2 : L=g(L_1, L_2)\}} p_{vn_{5,1} \rightarrow cn_1}^{(1)}[L_1] p_{vn_{5,2} \rightarrow cn_1}^{(1)}[L_2] \quad (7.2)$$

เมื่อ  $g(L_1, L_2) = 2 \tanh^{-1}(\tanh(L_1/2) \tanh(L_2/2))$  การคำนวณค่าฟังก์ชัน  $p_{cn_1 \rightarrow vn_{5,1}}^{(1)}[L]$  ที่ส่งไปโหนดตัวแปร  $vn_5$  บนเส้นเชื่อมที่ 1 คำนวณมาจากอินพุต  $p_{vn_5 \rightarrow cn_1}^{(1)}[L]$  และ  $p_{vn_{5,2} \rightarrow cn_1}^{(1)}[L]$  ซึ่งอินพุต  $p_{vn_{5,2} \rightarrow cn_1}^{(1)}[L]$  มาจากโหนดตัวแปรที่ถูกฟังก์เจอร์ เมื่อคำนวณตามสมการ (7.2) จะได้เอาต์พุตเป็นฟังก์ชันอิมพัลส์ และสุดท้ายการคำนวณค่าฟังก์ชัน  $p_{cn_1 \rightarrow vn_{5,2}}^{(1)}[L]$  ที่ส่งไปโหนดตัวแปร  $vn_5$  บนเส้นเชื่อมที่ 2 คำนวณมาจากอินพุต  $p_{vn_5 \rightarrow cn_1}^{(1)}[L]$  และ  $p_{vn_{5,1} \rightarrow cn_1}^{(1)}[L]$  ซึ่งอินพุต  $p_{vn_{5,1} \rightarrow cn_1}^{(1)}[L]$  มาจากโหนดตัวแปรที่ถูกฟังก์เจอร์ เมื่อคำนวณตามสมการ (7.2) จะได้เอาต์พุตเป็นฟังก์ชันอิมพัลส์ เช่นเดียวกัน ดังนั้นจึงสรุปได้ว่าถ้ามีฟังก์ชันอินพุตอย่างน้อยหนึ่งฟังก์ชันเป็นฟังก์ชันอิมพัลส์จะได้ฟังก์ชันเอาต์พุตเป็นฟังก์ชันอิมพัลส์เสมอ ดังนั้นในการออกแบบตารางลดทอนหัสสามารถที่จะข้ามการออกแบบตารางลดทอนหัสไปได้เนื่องจากทราบฟังก์ชันเอาต์พุต ทำให้สามารถลดจำนวนตารางลดทอนหัสได้



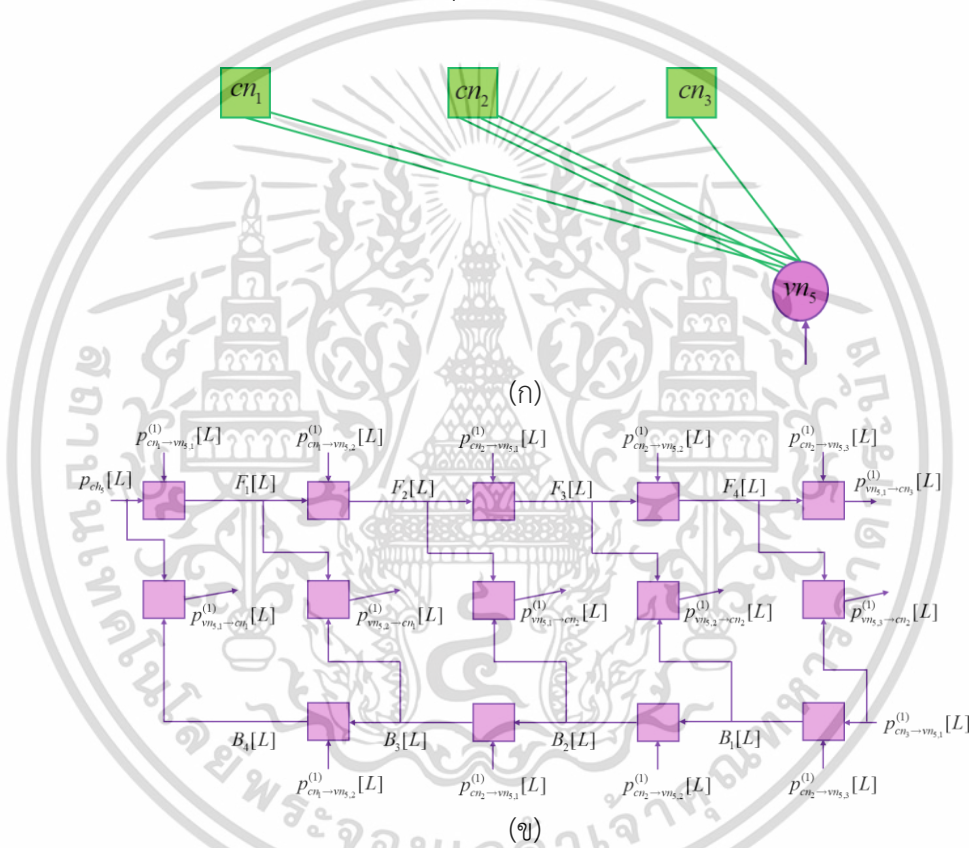
รูปที่ 7.6 ตัวอย่างการคำนวณเลเยอร์ที่ 1

3) การอัปเดตฟังก์ชัน pdf ของโหนดตัวแปรที่เชื่อมโยงกับโหนดเชิง  $cn_1$  หรือเลเยอร์ที่ 1 ซึ่งประกอบไปด้วยโหนดตัวแปร  $vn_3$  และ  $vn_5$  ดังรูปที่ 7.6 เพื่อส่งต่อไปคำนวณในเลเยอร์อื่นที่เกี่ยวข้อง พิจารณาโหนดตัวแปร  $vn_3$  พบว่ามีเพียงเส้นเชื่อมกับ  $cn_1$  เท่านั้นดังนั้นจึงไม่มีการอัปเดตฟังก์ชันที่โหนดตัวแปร  $vn_3$  ถัดมาพิจารณาที่โหนดตัวแปร  $vn_5$  พบว่ามีเส้นเชื่อมกับโหนดเชิง  $cn_1$ ,  $cn_2$  และ  $cn_3$  ดังแสดงในรูปที่ 7.7 (ก) โดยการคำนวณค่าจะคำนวณตามโครงสร้างแบบไปข้างหน้าและย้อนกลับดังรูปที่ 7.7 (ข) การคำนวณค่าแต่ละคู่สามารถคำนวณได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$p_{out}[L] = \sum_{\{L_1, L_2 : L=L_1+L_2\}} p_{in_1}^{(1)}[L_1] p_{in_2}^{(1)}[L_2] \quad (7.3)$$

ในกรณีที่ฟังก์ชันอินพุตเป็นอิมพัลส์ทั้งคู่สามารถข้ามการออกแบบตารางได้เนื่องจากฟังก์ชันเอาต์พุตจะได้อิมพัลส์ สำหรับกรณีที่ฟังก์ชันอินพุต  $p_{in_1}^{(1)}[L_1]$  เป็นฟังก์ชันอิมพัลส์ ดังนั้นฟังก์ชันเอาต์พุตจะเท่ากับ  $p_{in_2}^{(1)}[L_2]$  และถ้าฟังก์ชันอินพุต  $p_{in_2}^{(1)}[L_2]$  เป็นฟังก์ชันอิมพัลส์ จะได้ฟังก์ชันเอาต์พุตจะเท่ากับ  $p_{in_1}^{(1)}[L_1]$  กรณีเหล่านี้สามารถข้ามการออกแบบตารางได้เนื่องจากทราบฟังก์ชันเอาต์พุตอยู่แล้วทำให้สามารถลดจำนวนตารางลงไปได้ แต่สำหรับกรณีที่อินพุตทั้งสองไม่เป็นฟังก์ชันอิมพัลส์จะต้องคำนวณฟังก์ชันเอาต์พุตซึ่งกรณีนี้จะต้องมีการออกแบบตาราง



รูปที่ 7.7 (ก) โหนดตัวแปร  $vn_5$  ของการถอดรหัสเลเยอร์ที่ 1

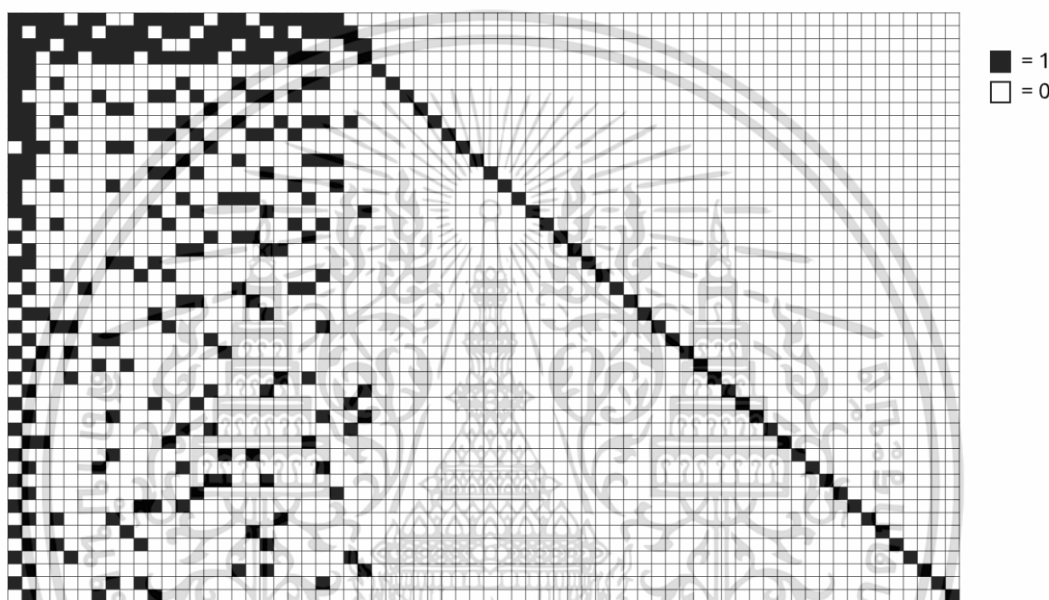
(ข) โครงสร้างการคำนวณแบบไปข้างหน้าและย้อนกลับสำหรับการอัปเดตโหนดตัวแปร  $vn_5$  ของการถอดรหัสเลเยอร์ที่ 1

4) สำหรับการคำนวณในเลเยอร์ถัดมาก็สามารถทำได้ในทำนองเดียวกันโดยการคำนวณฟังก์ชันที่โหนดเช็ก และอัปเดตโหนดตัวแปรที่เชื่อมโยงกับโหนดเช็คนั้นโดยจะมีการพิจารณาว่าอินพุตที่เข้ามาเป็นฟังก์ชันอิมพัลส์หรือไม่ เพื่อพิจารณาการออกแบบตารางหรือข้ามการออกแบบตารางตามเงื่อนไขที่ได้อธิบายไปแล้ว เมื่อคำนวณจนครบทุกโหนดเช็กก็จะจบการถอดรหัส 1 รอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในวิทยานิพนธ์ฉบับนี้กำหนดให้มีการถอดรหัสจำนวน 10 รอบ ในรอบการถอดรหัสครั้งสุดท้ายจะมีการนำฟังก์ชัน pdf ไปประมาณค่าความน่าจะเป็นความผิดพลาด

หลังจากที่ได้ทราบรายละเอียดในการออกแบบแล้วถัดมาจะเป็นการนำวิธีการมาประยุกต์ใช้กับกราฟฐาน 1 ของรหัสแอลดีพีซีที่กำหนดให้ใช้งานในมาตรฐานการสื่อสาร 5G ดังรูปที่ 7.8 ขนาดของกราฟฐาน 1 คือ  $46 \times 68$  โดย 22 คอลัมน์แรกถูกกำหนดให้เป็นตำแหน่งของข้อมูล 46 คอลัมน์ถัดไปคือตำแหน่งของบิตพาริตี ใน 22 คอลัมน์ที่เป็นตำแหน่งของบิตข้อมูลจะกำหนดให้ 2 คอลัมน์แรกเป็นตำแหน่งบิตฟังก์เจอร์



รูปที่ 7.8 กราฟฐาน 1 ที่กำหนดให้ใช้งานในมาตรฐานการสื่อสาร 5G

ขั้นตอนการออกแบบฟังก์ชันวิวัฒนาการความหนาแน่นเพื่อการออกแบบตารางถอดรหัสสำหรับวงจรถอดรหัสแบบ LFB ของกราฟฐาน 1 มีรายละเอียดดังนี้

1) กำหนดฟังก์ชัน pdf ของช่องสัญญาณที่ถูกควอนไทซ์ที่ได้จากวงจรควอนไทซ์ที่อธิบายรายละเอียดไปแล้วในหัวข้อที่ 7.1.1 กำหนดให้  $p_{ch_1}[L]$  เป็นฟังก์ชัน pdf ของช่องสัญญาณที่ถูกควอนไทซ์ในคอลัมน์ที่ 3 ถึง 68 ของกราฟฐาน 1 นั่นคือ  $p_{ch_3}[L]$  ถึง  $p_{ch_{68}}[L]$  สำหรับคอลัมน์ที่ 1 และ 2 กำหนดให้  $p_{ch_1}[L]$  และ  $p_{ch_2}[L]$  เป็นฟังก์ชันอิมพลัส

2) ในการถอดรหัสรอบที่ 1 จะมีการส่งผ่านฟังก์ชัน  $p_{ch_1}[L]$  ถึง  $p_{ch_{68}}[L]$  ผ่านโหนดตัวแปรเพื่อไปคำนวณที่โหนดเช็ก กำหนดให้  $p_{vn_1 \rightarrow cn_1, real}^{(l)}[L]$   $p_{vn_1 \rightarrow cn_2, real}^{(l)}[L]$  ...  $p_{vn_{68} \rightarrow cn_{46}, real}^{(l)}[L]$  คือฟังก์ชัน pdf ที่จะป้อนในการคำนวณค่าที่โหนดเช็กในการถอดรหัสรอบที่  $l$  โดยในการถอดรหัสรอบที่ 1 ฟังก์ชัน  $p_{ch_1}[L]$  จะถูกส่งต่อให้ฟังก์ชัน  $p_{vn_1 \rightarrow cn_1, real}^{(1)}[L]$   $p_{vn_1 \rightarrow cn_2, real}^{(1)}[L]$  ...  $p_{vn_1 \rightarrow cn_{45}, real}^{(1)}[L]$  หรือฟังก์ชันที่ออกจากโหนดตัวแปร  $vn_1$  และจะส่งต่อค่าในทำนองเดียวกันสำหรับ

ค่า  $p_{ch_2}[L]$  ถึง  $p_{ch_{68}}[L]$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) การคำนวณค่าที่โหนดเช็ก  $cn_1$  หรือเลเยอร์ที่ 1 ด้วยโครงสร้างการคำนวณแบบไปข้างหน้า และย้อนกลับ กำหนดให้  $d_{cn_1}, d_{cn_2}, \dots, d_{cn_{46}}$  คือจำนวนเส้นเชื่อมของโหนดเช็ก  $cn_1, cn_2, \dots, cn_{46}$  ตามลำดับ สามารถแสดงการคำนวณตามโครงสร้างไปข้างหน้าและย้อนกลับของ  $cn_1$  ได้ดังนี้

การคำนวณในชั้นไปข้างหน้าสามารถคำนวณได้จาก

$$F_1 = \phi_{CN,1,real}^{l,F} p_{vn_1 \rightarrow cn_1,real}^{(l)}, p_{vn_2 \rightarrow cn_1,real}^{(l)} [L] \quad (7.4)$$

$$F_2 = \phi_{CN,2,real}^{l,F} F_1, p_{vn_3 \rightarrow cn_1,real}^{(l)} [L] \quad (7.5)$$

⋮

$$p_{cn_1 \rightarrow vn_{24},real}^{(l)} [L] = \phi_{CN,d_{cn_1}-2,real}^{l,F} F_{d_{cn_1}-3}, p_{vn_{23} \rightarrow cn_1,real}^{(l)} [L] \quad (7.6)$$

การคำนวณในชั้นย้อนกลับสามารถคำนวณได้จาก

$$B_1 = \phi_{CN,1,real}^{l,B} p_{vn_{24} \rightarrow cn_1,real}^{(l)}, p_{vn_{23} \rightarrow cn_1,real}^{(l)} [L] \quad (7.7)$$

$$B_2 = \phi_{CN,2,real}^{l,B} B_1, p_{vn_{21} \rightarrow cn_1,real}^{(l)} [L] \quad (7.8)$$

⋮

$$p_{cn_1 \rightarrow vn_1,real}^{(l)} [L] = \phi_{CN,d_{cn_1}-2,real}^{l,B} B_{d_{cn_1}-3}, p_{vn_2 \rightarrow cn_1,real}^{(l)} [L] \quad (7.9)$$

การคำนวณในชั้นพสานสามารถคำนวณได้จาก

$$p_{cn_1 \rightarrow vn_2,real}^{(l)} [L] = \phi_{CN,1,real}^{l,M} p_{vn_1 \rightarrow cn_1,real}^{(l)}, B_{d_{cn_1}-3} \quad (7.10)$$

$$p_{cn_1 \rightarrow vn_3,real}^{(l)} [L] = \phi_{CN,2,real}^{l,M} F_1, B_{d_{cn_1}-4} \quad (7.11)$$

⋮

$$p_{cn_1 \rightarrow vn_{23},real}^{(l)} [L] = \phi_{CN,d_{cn_1}-2,real}^{l,M} F_{d_{cn_1}-3}, p_{vn_{24} \rightarrow cn_1,real}^{(l)} [L] \quad (7.12)$$

ในการคำนวณแต่ละครั้งจะต้องมีการพิจารณาว่าฟังก์ชันอินพุตที่เข้ามาเป็นอิมพัลส์ฟังก์ชันหรือไม่ทุกครั้งเพื่อที่จะใช้ในการตัดสินใจข้ามการออกแบบตาราง ฟังก์ชัน  $\phi_{CN,i,real}^{l,F} x_1, x_2$   $\phi_{CN,i,real}^{l,B} x_1, x_2$  และ  $\phi_{CN,i,real}^{l,M} x_1, x_2$  เป็นฟังก์ชันในการออกแบบตารางถอดรหัส การออกแบบตารางถอดรหัสแต่ละตารางจะประกอบไปด้วย 2 ขั้นตอนย่อยได้แก่ การคำนวณค่าโหนดเช็กและการควอนไทซ์ โดยมีรายละเอียดดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการออกแบบขั้นที่ 1 จะเป็นการรับฟังก์ชัน pdf ของแอลแอลอาร์เข้ามา 2 ค่า  $p_1[L_1]$  และ  $p_2[L_2]$  หลังจากนั้นจะคำนวณค่าฟังก์ชัน pdf เอادتพุต  $T_i[U]$  โดยใช้การวิวัฒนาการ ความหนาแน่นสำหรับโหนดเช็คนั้นคือ

$$T_i[U] = \sum_{\{L_1, L_2: U=g(L_1, L_2)\}} p_1[L_1]p_2[L_2]: \mathcal{L} \times \mathcal{L} \quad (7.13)$$

เมื่อ

$$g(L_1, L_2) = -2 \tanh^{-1}(\tanh(L_1/2) \tanh(L_2/2)) \quad (7.14)$$

ในขั้นตอนที่ 2 ค่าฟังก์ชัน pdf เอادتพุตที่มีขนาด  $\mathcal{L} \times \mathcal{L}$  จะถูกนำไปควอนไทซ์ให้มีขนาด  $\mathcal{L}$  เพื่อนำไปใช้ในตารางถัดไป ฟังก์ชันการควอนไทซ์จำเป็นจะต้องใช้ช่วงการควอนไทซ์  $\mathbf{r} = [r_1, r_2, \dots, r_{2^q-1}]$  ดังนั้นในการออกแบบตารางจำเป็นต้องใช้ช่วงการควอนไทซ์เพื่อให้ได้ค่าในตาราง เนื่องจากจำนวนโหนดเช็ที่ที่ต้องการออกแบบตลอดทั้งการถอดรหัสมีจำนวนมากเพื่อป้องกันความสับสนระหว่างตัวแปร จึงจะกำหนดให้ช่วงการควอนไทซ์สำหรับโหนดตัวแปรใด ๆ คือ  $\mathbf{r}_{CN_i}^{(l)}$  เป็นช่วงการควอนไทซ์สำหรับโหนดเช็ลำดับตารางที่  $i$  ในรอบการถอดรหัสที่  $l$  ตัวแปรนี้เป็นตัวแปรที่จะใช้ในการออกแบบตารางถอดรหัส  $\phi_{CN,i,real}^{l,F} x_1, x_2$   $\phi_{CN,i,real}^{l,B} x_1, x_2$  และ  $\phi_{CN,i,real}^{l,M} x_1, x_2$  หลังจากได้ช่วงการควอนไทซ์  $\mathbf{r}_{CN_i,F}^{(l)}$   $\mathbf{r}_{CN_i,B}^{(l)}$  และ  $\mathbf{r}_{CN_i,M}^{(l)}$  ที่เหมาะสมแล้วจะพิจารณาว่าค่าแอลแอลอาร์ที่เป็นจำนวนจริงอยู่ในช่วงใด โดยแต่ละช่วงจะแทนจำนวนเต็ม 0 ถึง  $2^q - 1$  แล้วจะเปลี่ยนจากค่าแอลแอลอาร์ที่เป็นจำนวนจริงที่อยู่ในช่วงดังกล่าวให้เป็นค่าแอลแอลอาร์ที่เป็นจำนวนเต็ม นั่นคือการเปลี่ยนจากตารางที่เป็นจำนวนจริง  $\phi_{CN,i,real}^{l,F} x_1, x_2$   $\phi_{CN,i,real}^{l,B} x_1, x_2$  และ  $\phi_{CN,i,real}^{l,M} x_1, x_2$  ให้เป็นตารางที่เป็นจำนวนเต็ม  $\phi_{CN,i,int}^{l,F} x_1, x_2$   $\phi_{CN,i,int}^{l,B} x_1, x_2$  และ  $\phi_{CN,i,int}^{l,M} x_1, x_2$

4) การอัปเดตโหนดตัวแปรที่เชื่อมกับโหนดเช็  $cn_1$  ได้แก่  $vn_1$   $vn_2$   $vn_3$   $vn_4$   $vn_6$   $vn_7$   $vn_{10}$   $vn_{11}$   $vn_{12}$   $vn_{13}$   $vn_{14}$   $vn_{16}$   $vn_{17}$   $vn_{19}$   $vn_{20}$   $vn_{21}$   $vn_{22}$   $vn_{23}$  และ  $vn_{24}$  การอัปเดตโหนดตัวแปรจะคำนวณตามโครงสร้างไปข้างหน้าและย้อนกลับ โดยเริ่มต้นจากโหนดตัวแปร  $vn_1$  กำหนดให้  $p_{cn_1 \rightarrow vn_1, real}^{(l)}$   $p_{cn_2 \rightarrow vn_1, real}^{(l)}$  ...  $p_{cn_{45} \rightarrow vn_1, real}^{(l)}$  คือฟังก์ชัน pdf ที่จะป็นอินพุตในการคำนวณค่าที่โหนดตัวแปรในการถอดรหัสรอบที่  $l$  และกำหนดให้  $d_{vn_1}$   $d_{vn_2}$  ...  $d_{vn_{68}}$  คือจำนวนเส้นเชื่อมของโหนดตัวแปร  $vn_1$   $vn_2$  ...  $vn_{68}$  ตามลำดับ สามารถแสดงการคำนวณตามโครงสร้างไปข้างหน้าและย้อนกลับของ  $vn_1$  ได้ดังนี้

การคำนวณในชั้นไปข้างหน้าสามารถคำนวณได้จาก

$$F_1 = \phi_{VN,1,real}^{l,F} p_{ch} [L], p_{cn_1 \rightarrow vn_1, real}^{(l)} [L] \quad (7.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$F_2 = \phi_{VN,2,real}^{l,F} F_1, p_{cn_2 \rightarrow vn_1,real}^{(l)}[L] \quad (7.16)$$

⋮

$$p_{vn_1 \rightarrow cn_{45},real}^{(l)}[L] = \phi_{VN,d_{vn_1}-1,real}^{l,F} F_{d_{vn_1}-2}, p_{cn_{45} \rightarrow vn_1,real}^{(l)}[L] \quad (7.17)$$

การคำนวณในชั้นย้อนกลับสามารถคำนวณได้จาก

$$B_1 = \phi_{VN,1,real}^{l,B} p_{cn_{45} \rightarrow vn_1,real}^{(l)}[L], p_{cn_{45} \rightarrow vn_1,real}^{(l)}[L] \quad (7.18)$$

$$B_2 = \phi_{VN,2,real}^{l,B} B_1, p_{cn_{41} \rightarrow vn_1,real}^{(l)}[L] \quad (7.19)$$

⋮

$$B_{d_{vn_1}-2} = \phi_{VN,d_{vn_1}-2,real}^{l,B} B_{d_{vn_1}-3}, p_{cn_2 \rightarrow vn_1,real}^{(l)}[L] \quad (7.20)$$

การคำนวณในชั้นผลสามารถคำนวณได้จาก

$$p_{vn_1 \rightarrow cn_1,real}^{(l)}[L] = \phi_{VN,1,real}^{l,M} p_{ch_1}[L], B_{d_{vn_1}-2} \quad (7.21)$$

$$p_{vn_1 \rightarrow cn_2,real}^{(l)}[L] = \phi_{VN,2,real}^{l,M} F_1, B_{d_{vn_1}-3} \quad (7.22)$$

⋮

$$p_{vn_1 \rightarrow cn_{45},real}^{(l)}[L] = \phi_{VN,d_{vn_1}-1,real}^{l,M} F_{d_{vn_1}-1}, p_{cn_{45} \rightarrow vn_1,real}^{(l)}[L] \quad (7.23)$$

ในการคำนวณแต่ละครั้งจะต้องมีการพิจารณาว่าฟังก์ชันอินพุตที่เข้ามาเป็นอิมพัลส์ฟังก์ชันหรือไม่ทุกครั้งเพื่อที่จะใช้ในการตัดสินใจขำการออกแบบตาราง ฟังก์ชัน  $\phi_{VN,i,real}^{l,F} x_1, x_2$   $\phi_{VN,i,real}^{l,B} x_1, x_2$  และ  $\phi_{VN,i,real}^{l,M} x_1, x_2$  เป็นฟังก์ชันในการออกแบบตารางถอดรหัส ดังที่ได้อธิบายไปก่อนหน้านี้ การออกแบบตารางถอดรหัสแต่ละตารางจะประกอบไปด้วย 2 ขั้นตอนย่อยได้แก่ การคำนวณค่าโหนดตัวแปรและการควอนไทซ์ โดยมีรายละเอียดดังนี้

ขั้นตอนการออกแบบขั้นที่ 1 จะเป็นการรับฟังก์ชัน pdf ของแอลแอลอาร์เข้ามา 2 ค่า  $p_1[L_1]$  และ  $p_2[L_2]$  หลังจากนั้นจะคำนวณค่าฟังก์ชัน pdf เอาต์พุต  $T_i[U]$  โดยใช้การวิวัฒนาการความหนาแน่นสำหรับโหนดตัวแปรนั้นคือ

$$T_i[U] = \sum_{\{L_1, L_2 : U=L_1+L_2\}} p_1[L_1]p_2[L_2] : \mathcal{L} \times \mathcal{L} \quad (7.24)$$

ในขั้นตอนที่ 2 ค่าฟังก์ชัน pdf เอาต์พุตที่มีขนาด  $\mathcal{L} \times \mathcal{L}$  จะถูกนำไปควอนไทซ์ให้มีขนาด  $\mathcal{L}$  เพื่อนำไปใช้ในตารางถัดไป ในทำนองเดียวกันกับโหนดเช็ค ฟังก์ชันการควอนไทซ์จำเป็นจะต้องใช้เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงการควอนไทซ์  $\mathbf{r} = [r_1, r_2, \dots, r_{2^q-1}]$  ดังนั้นในการออกแบบตารางจำเป็นต้องใช้ช่วงการควอนไทซ์เพื่อให้ได้ค่าในตาราง เนื่องจากจำนวนโหนดตัวแปรที่ต้องการออกแบบตลอดทั้งการถอดรหัสมีจำนวนมากเพื่อป้องกันความสับสนระหว่างตัวแปร จึงจะกำหนดให้ช่วงการควอนไทซ์สำหรับโหนดตัวแปรใด ๆ คือ  $\mathbf{r}_{VN_i}^{(l)}$  เป็นช่วงการควอนไทซ์สำหรับโหนดตัวแปรลำดับตารางที่  $i$  ในรอบการถอดรหัสที่  $l$  ตัวแปรนี้เป็นตัวแปรที่จะใช้ในการออกแบบตารางถอดรหัส  $\phi_{VN,i,real}^{l,F} x_1, x_2$   $\phi_{VN,i,real}^{l,B} x_1, x_2$  และ  $\phi_{VN,i,real}^{l,M} x_1, x_2$  หลังจากได้ช่วงการควอนไทซ์  $\mathbf{r}_{VN_i,F}^{(l)}$   $\mathbf{r}_{VN_i,B}^{(l)}$  และ  $\mathbf{r}_{VN_i,M}^{(l)}$  ที่เหมาะสมแล้วจะพิจารณาว่าค่าแอสแอลอาร์ที่เป็นจำนวนจริงอยู่ในช่วงใด โดยแต่ละช่วงจะแทนจำนวนเต็ม 0 ถึง  $2^q - 1$  แล้วจะเปลี่ยนจากค่าแอสแอลอาร์ที่เป็นจำนวนจริงที่อยู่ในช่วงดังกล่าวให้เป็นค่าแอสแอลอาร์ที่เป็นจำนวนเต็ม นั่นคือการเปลี่ยนจากตารางที่เป็นจำนวนจริง  $\phi_{VN,i,real}^{l,F} x_1, x_2$   $\phi_{VN,i,real}^{l,B} x_1, x_2$  และ  $\phi_{VN,i,real}^{l,M} x_1, x_2$  ให้เป็นตารางที่เป็นจำนวนเต็ม  $\phi_{VN,i,int}^{l,F} x_1, x_2$   $\phi_{VN,i,int}^{l,B} x_1, x_2$  และ  $\phi_{VN,i,int}^{l,M} x_1, x_2$  สำหรับโหนดตัวแปรอื่น ๆ ที่เหลือจะถูกอัปเดตด้วยวิธีการเดียวกันกับที่กล่าวไปข้างต้นจนครบทุกโหนดตัวแปร

5) โหนดเช็ทที่เหลือจะถูกคำนวณด้วยวิธีเดียวกันกับ 3) และจะมีการอัปเดตโหนดตัวแปรทุกโหนดที่เชื่อมโยงกับโหนดเช็ทนั้นด้วยวิธีเดียวกันกับ 4) จนกระทั่งโหนดเช็ททุกโหนดถูกคำนวณจึงจะจบการถอดรหัส 1 รอบ เมื่อมีการถอดรหัสในรอบถัดไปก็จะมีค่าคำนวณที่โหนดเช็ทแล้วอัปเดตโหนดตัวแปรที่เชื่อมกับโหนดเช็ทนั้นจนครบจะเป็นการถอดรหัสจบ 1 รอบ ในงานวิจัยนี้กำหนดให้มีการถอดรหัส 10 รอบ

6) หลังจากโหนดเช็ทสุดท้าย  $cn_{46}$  ของการถอดรหัสรอบที่ 10 ค่าคำนวณเสร็จและอัปเดตโหนดตัวแปรที่เชื่อมกับโหนดเช็ทนั้นจนครบทุกโหนดจะมีการคำนวณฟังก์ชัน pdf ของแต่ละโหนดตัวแปรทุกโหนด  $p_{app_1}[L]$   $p_{app_2}[L]$  ...  $p_{app_{68}}[L]$  ตัวอย่างการคำนวณของโหนดตัวแปร  $vn_1$  คือ

$$F_1 = \phi_{VN,1,real}^{l,max,F} p_{ch_1}[L], p_{cn_1 \rightarrow vn_1,real}^{(l,max-1)}[L] \quad (7.25)$$

$$F_2 = \phi_{VN,2,real}^{l,max,F} F_1, p_{cn_2 \rightarrow vn_1,real}^{(l,max-1)}[L] \quad (7.26)$$

$$\vdots$$

$$p_{app_1}[L] = \phi_{VN,d_{vn_1},real}^{l,max,F} F_{d_{vn_1-1}}, p_{cn_{43} \rightarrow vn_1,real}^{(l,max-1)}[L] \quad (7.27)$$

สำหรับโหนดตัวแปรที่เหลืออื่น ๆ ก็สามารถคำนวณด้วยวิธีเดียวกันจนครบทุกโหนดตัวแปร หลังจากนั้นฟังก์ชัน  $p_{app_1}[L]$   $p_{app_2}[L]$  ...  $p_{app_{68}}[L]$  ที่ได้จะถูกนำไปประมาณค่าความน่าจะเป็นความผิดพลาดเฉลี่ย  $p_{err}$  ดังนี้

$$p_{err} = \frac{1}{68} \sum_{i=1}^{68} p_{e_i} \quad (7.28)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ

$$p_{e_i} = \sum_{j=1}^{2^q-1} p_{app_i}[L_j] \quad (7.28)$$

และ  $L_j \in \mathcal{L}$

### 7.1.3 การออกแบบฟังก์ชันวัตถุประสงค์สำหรับออกแบบตารางของวงจรถอดรหัสแบบ LBP ในระบบสื่อสาร 5G

การออกแบบฟังก์ชันวัตถุประสงค์ออกแบบตารางถอดรหัสสำหรับวงจรถอดรหัสแบบ LBP จะแบ่งออกเป็น 2 ส่วนคือการประมาณค่าความน่าจะเป็นความผิดพลาดเฉลี่ย (Error probability)  $P_{err}$  โดยใช้การวิวัฒนาการความหนาแน่นที่ถูกออกแบบสำหรับวงจรถอดรหัสแบบ LFB และการประมาณค่าเทรสโวลด์การถอดรหัส  $SNR_{LFB}^*$  ในส่วนของการประมาณค่าความน่าจะเป็นความผิดพลาดแสดงในรูปที่ 7.8 (ก) เริ่มจากสร้างเอาต์พุตช่องสัญญาณ  $y$  ที่สามารถปรับค่า  $SNR$  ได้ ฟังก์ชัน pdf เอาต์พุตช่องสัญญาณ  $p(y|x)$  เมื่อ  $x$  คือสัญลักษณ์ (Symbol) ที่สอดคล้องกับการมอดูเลชันค่า  $y$  จะถูกนำไปคำนวณหาค่าตรวจรับของตารางที่เก็บชุดค่าควอนไทซ์  $i$  เพื่อเลือกชุดค่าควอนไทซ์  $\mathbf{r}_{Qseti}$  ที่เหมาะสมกับค่า  $y$  หลังจากนั้นค่า  $y$  จะถูกควอนไทซ์โดยใช้สมการที่ (6.1) ในบทที่ 6 ด้วยช่วงการควอนไทซ์  $\mathbf{r}_{Qseti}$  ทำให้ได้ฟังก์ชัน pdf ที่ถูกควอนไทซ์  $p_{ch_3}[L]$  ถึง  $p_{ch_68}[L]$  และกำหนดฟังก์ชัน pdf ของ  $p_{ch_1}[L]$  และ  $p_{ch_2}[L]$  เป็นฟังก์ชันอิมพัลส์เนื่องจากเป็นตำแหน่งที่ถูกฟังก์เจอร์ หลังจากนั้นฟังก์ชัน  $p_{ch_1}[L]$  ถึง  $p_{ch_68}[L]$  จะถูกส่งไปคำนวณที่โหนดเชิงผ่านเส้นเชื่อมไปยังโหนดเชิง  $p_{vn_1 \rightarrow cn_1, real}^{(l)}[L]$   $p_{vn_1 \rightarrow cn_2, real}^{(l)}[L]$  ...  $p_{vn_68 \rightarrow cn_{46}, real}^{(l)}[L]$  การคำนวณที่โหนดเชิงจะคำนวณที่โหนดเชิงหรือเรียกว่าเลเยอร์ด้วยโครงสร้างแบบไปข้างหน้าและย้อนกลับ ตามสมการที่ (7.4)-(7.12) เพื่อคำนวณเสร็จเอาต์พุตฟังก์ชัน  $p_{cn_1 \rightarrow vn_1, real}^{(l)}[L]$   $p_{cn_2 \rightarrow vn_1, real}^{(l)}[L]$  ...  $p_{cn_{45} \rightarrow vn_1, real}^{(l)}[L]$  จะถูกส่งไปอัปเดตที่โหนดตัวแปรที่เชื่อมโยงกับโหนดเชิงนั้น การอัปเดตค่าที่โหนดตัวแปรที่ใช้โครงสร้างการคำนวณแบบไปข้างหน้าและย้อนกลับดังในสมการที่ (7.15)-(7.23) เมื่ออัปเดตครบทุกโหนดตัวแปรที่เชื่อมกับโหนดเชิงนั้น ก็จะกลับไปคำนวณค่าในโหนดเชิงหรือเลเยอร์ถัดไปและอัปเดตค่าจนกระทั่งครบทุกโหนดเชิงจึงเรียกว่าสิ้นสุดการถอดรหัส 1 รอบ ในการถอดรหัสรอบถัดไปก็จะใช้วิธีการคำนวณแบบเดียวกันจนครบจำนวนรอบการถอดรหัสสูงสุดที่กำหนดไว้จึงจะคำนวณฟังก์ชัน pdf สุดท้าย  $p_{app_1}[L]$   $p_{app_2}[L]$  ...  $p_{app_{68}}[L]$  ตามสมการที่ (7.25)-(7.27) สำหรับนำไปประมาณค่าความน่าจะเป็นความผิดพลาดเฉลี่ย  $P_{err}$  โดยใช้สมการที่ (7.28) และ (7.29) ตลอดการคำนวณจะมีการพิจารณาฟังก์ชันอินพุตเสมอถ้ามีฟังก์ชันอิมพัลส์อย่างน้อย 1 อินพุตก็จะสามารถ

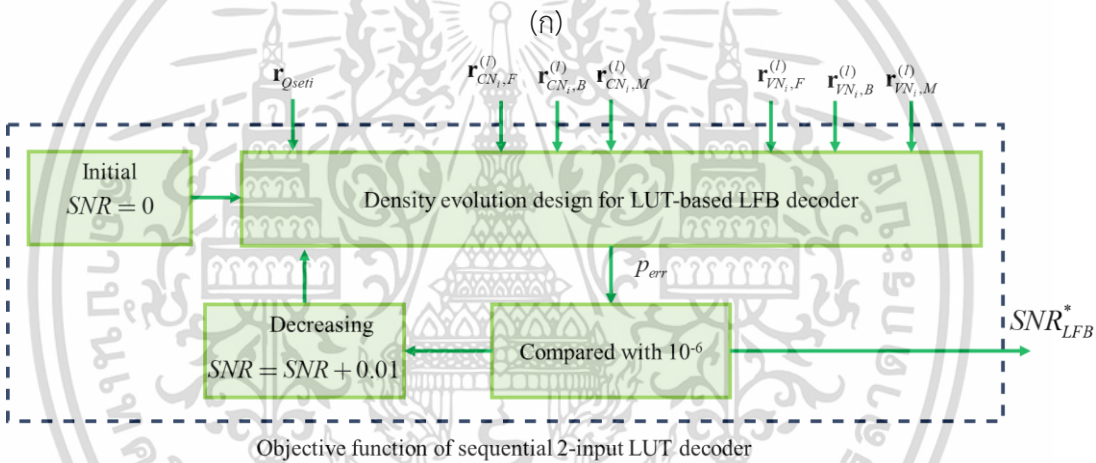
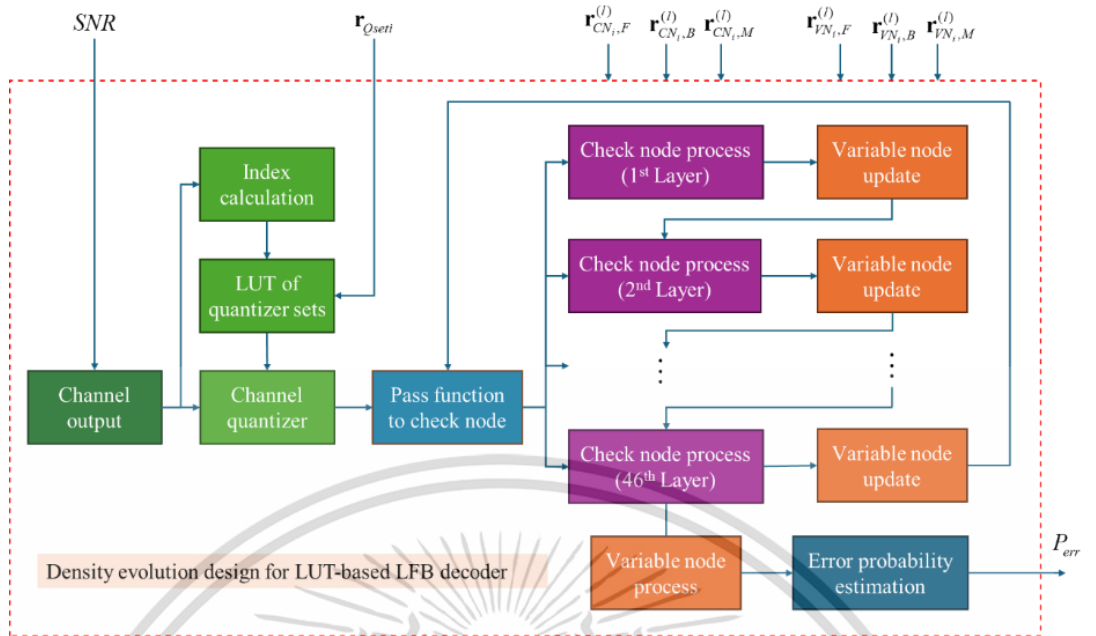
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้ามการออกแบบตารางได้ทำให้ลดจำนวนตารางถอดรหัสลงได้ ในระหว่างการคำนวณจะมีตัวแปรที่ต้องออกแบบคือ  $\mathbf{r}_{Qseti}$ ,  $\mathbf{r}_{CN_i,F}^{(l)}$ ,  $\mathbf{r}_{CN_i,B}^{(l)}$ ,  $\mathbf{r}_{CN_i,M}^{(l)}$ ,  $\mathbf{r}_{VN_i,F}^{(l)}$ ,  $\mathbf{r}_{VN_i,B}^{(l)}$  และ  $\mathbf{r}_{VN_i,M}^{(l)}$  เนื่องจากจำนวนตัวแปรที่ต้องการออกแบบมีจำนวนมาก ดังนั้นเพื่อให้ง่ายต่อการเขียนฟังก์ชันจะนิยามให้  $\mathbf{r}_{ch} = [\mathbf{r}_{Qset1}, \mathbf{r}_{Qset2}, \dots, \mathbf{r}_{QsetN}]$  คือชุดของช่วงการควอนไทซ์ช่องสัญญาณ  $\mathbf{r}_{VN} = [\dots, \mathbf{r}_{VN_i,F}^{(l)}, \mathbf{r}_{VN_i,B}^{(l)}, \mathbf{r}_{VN_i,M}^{(l)}, \dots]$  คือชุดของช่วงการควอนไทซ์โหนดตัวแปรของทุกตารางและทุกรอบการถอดรหัส และช่องสัญญาณ  $\mathbf{r}_{CN} = [\dots, \mathbf{r}_{CN_i,F}^{(l)}, \mathbf{r}_{CN_i,B}^{(l)}, \mathbf{r}_{CN_i,M}^{(l)}, \dots]$  คือชุดของช่วงการควอนไทซ์โหนดตัวเข้าของทุกตารางและทุกรอบการถอดรหัส ส่วนของการประมาณค่าเทรโฮลด์การถอดรหัส  $SNR_{LFB}^*$  แสดงในรูปที่ 7.8 (ข) โดยจะใส่ค่าเริ่มต้นของ  $SNR = 0dB$  แล้วประมาณค่าความน่าจะเป็นความผิดพลาดแล้วเปรียบเทียบกับค่าความน่าจะเป็นความผิดพลาดที่กำหนดไว้  $10^{-6}$  ถ้าค่าความน่าจะเป็นความผิดพลาดที่ได้  $P_{err}$  มีค่ามากกว่าก็จะปรับค่า  $SNR$  ขึ้น 0.01 และจะทำซ้ำไปเรื่อย ๆ จนค่าความน่าจะเป็นความผิดพลาด  $P_{err}$  ต่ำกว่า  $10^{-6}$  ค่า  $SNR$  ที่ได้จะเป็นค่าเทรโฮลด์การถอดรหัส  $SNR_{LFB}^*$  ดังนั้นจะกำหนดให้ฟังก์ชันวัตถุประสงค์ของโครงสร้างการคำนวณค่าโหนดแบบลำดับตารางคือ  $SNR_{LFB}^*(\mathbf{r}_{ch}, \mathbf{r}_{VN}, \mathbf{r}_{CN})$

## 7.2 การออกแบบวงจรมอดูเลชัน วงจรควอนไทซ์เซอร์ และวงจรถอดรหัสแอลดีพีซีโดยใช้ตาราง

การออกแบบวงจรถอดรหัสแบบตารางถอดรหัสจะมี 2 ส่วนคือวงจรควอนไทซ์และวงจรถอดรหัสโดยใช้ตาราง อย่างไรก็ตามในการส่งข้อมูลจะต้องมีการมอดูชันเสมอซึ่งจะส่งผลต่อเนื่องมาถึงวงจรควอนไทซ์และวงจรถอดรหัส ดังนั้นในงานวิจัยนี้จะมีการออกแบบวงจรถอดรหัสโดยใช้ตารางที่มีการพิจารณาวงจรมอดูเลชันด้วย

ในการออกแบบตารางถอดรหัสสามารถทำได้โดยการออกแบบตารางทั้งหมดพร้อมกัน (Global optimization) และการออกแบบทีละตารางตามลำดับ (Local optimization) ในงานวิจัย [80] พบว่าการออกแบบตารางทั้งหมดพร้อมกันสามารถให้สมรรถนะการถอดรหัสที่เหนือกว่าการออกแบบทีละตารางตามลำดับ เนื่องจากการออกแบบทีละตารางตามลำดับทำให้ข่าวสารสูญหายในระหว่างการออกแบบมากกว่าการออกแบบตารางทั้งหมดพร้อมกัน ในการออกแบบสามารถที่จะพิจารณาค่าข่าวสารร่วม หรือค่าความน่าจะเป็นความผิดพลาดในการออกแบบได้ แต่ในวิทยานิพนธ์ฉบับนี้เลือกพิจารณาค่าความน่าจะเป็นความผิดพลาดเนื่องจากมีความซับซ้อนในการคำนวณน้อยกว่า ทำให้ออกแบบตารางได้รวดเร็วกว่า งานวิจัยนี้จะแตกต่างจากการออกแบบตารางถอดรหัสในบทก่อนหน้า เนื่องจากในมาตรฐานการสื่อสาร 5G ใช้รหัสแอลดีพีซีแบบโพโรโทกราฟที่มีโครงสร้างแตกต่างจากรหัสแอลดีพีซีแบบปกติและรหัสแอลดีพีซีแบบไม่สม่ำเสมอที่ออกแบบในบทก่อนหน้า



รูปที่ 7.8 (ก) อัลกอริทึมการวิวัฒนาการความหนาแน่นสำหรับวงจรถอดรหัสแบบ LFB

(ข) ฟังก์ชันวัตถุประสงค์สำหรับออกแบบตารางสำหรับวงจรถอดรหัสแบบ LFB

เนื่องจากรหัสแอลดีพีซีแบบโพรโทกราฟจะต้องพิจารณาหนดตัวแปรที่มีดีกรี 1 เส้นเชื่อมแบบขนานมากกว่า 1 และหนดตัวแปรที่ถูกฟังก์เจอร์

การออกแบบส่วนที่ 1 จะพิจารณาการออกแบบวงจรดีมอดูเลชันและวงจรรวอนโทษ์โดยจะใช้วงจรมอดูเลชันแบบ LUT-based MP ลำดับการทำงานของระบบคือสัญญาณเอาต์พุตของสัญญาณ  $y$  จะเป็นอินพุตของวงจรถอดรหัส วงจรมอดูเลชันแบบ LUT-based MP จะให้อาต์พุตเป็นค่าแอลแอลอาร์จำนวนจริง หลังจากนั้นค่าแอลแอลอาร์จะถูกควอนโทษ์ด้วยวงจรรวอนโทษ์ซึ่งจะได้ค่าเอาต์พุตเป็นค่าแอลแอลอาร์ที่เป็นจำนวนจริงจำกัด ในการออกแบบวงจรรวอนโทษ์เนื่องจากจะพิจารณาเพียงวงจรรวอนโทษ์เท่านั้นจึงไม่มีการพิจารณาวงจรถอดรหัสร่วมด้วย ดังนั้น การออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรควอนโทซ์ที่ไม่มีรหัสแวลดีพีซีจึงมีเพียง การหาช่วงการควอนโทซ์  $\mathbf{r}_{ch}$  ที่ทำให้ค่าข่าวสารร่วม (MI: Mutual information) มีค่าสูงสุดนั้นคือ

$$\{\mathbf{r}_{ch}^*\} = \arg \max_{\{\mathbf{r}_{ch}\}} I(\mathbf{r}_{ch}) \tag{7.29}$$

เมื่อ

$$I(\mathbf{r}_{ch}) = \sum_{i=1}^M \sum_{j=1}^{2^q} p(x_i, l_j(\mathbf{r}_{ch})) \log \left( \frac{p(x_i, l_j(\mathbf{r}_{ch}))}{p(x_i)p(l_j(\mathbf{r}_{ch}))} \right) \tag{7.30}$$

และ

$$l_j(\mathbf{r}_{ch}) = \int_{\Omega_j} p(L_{ch} | x_i) dL_{ch} \tag{7.31}$$

เมื่อ  $\Omega_j \in \{(-\infty, r_1], (r_1, r_2], (r_2, r_3], \dots, (r_{2^q-1}, \infty)\}$

ตัวอย่างผลลัพธ์การออกแบบวงจรรควอนโทซ์สำหรับการมอดูเลชันแบบ 16QAM ที่มี 2 บิต 3 บิตและ 4 บิตแสดงในตารางที่ 7.3 ถึง 7.5

**ตารางที่ 7.3** ตัวอย่างช่วงการควอนโทซ์ของวงจรรควอนโทซ์ 2 บิตแบบ Finite-LLR สำหรับการมอดูเลชันแบบ 16QAM

	$r_1$	$r_2$	$r_3$
$\mathbf{r}_{ch}$	-6.3240	0	6.3240

**ตารางที่ 7.4** ตัวอย่างช่วงการควอนโทซ์ของวงจรรควอนโทซ์ 3 บิตแบบ Finite-LLR สำหรับการมอดูเลชันแบบ 16QAM

	$r_1$	$r_2$	$r_3$	$r_4$	$r_5$	$r_6$	$r_7$
$\mathbf{r}_{ch}$	-12.8115	-8.2399	-4.0406	0	4.0406	8.2399	12.8115

ตารางที่ 7.5 ตัวอย่างช่วงการควอนไทซ์ของวงจรถอนไอซ์ 4 บิตแบบ Finite-LLR สำหรับการมอดูเลชันแบบ 16QAM

	$r_1$	$r_2$	$r_3$	$r_4$	$r_5$	$r_6$	$r_7$
$r_{ch}$	-17.7737	-13.3181	-10.2876	-7.8767	-5.6458	-3.6561	-1.7975
	$r_8$	$r_9$	$r_{10}$	$r_{11}$	$r_{12}$	$r_{13}$	$r_{14}$
$r_{ch}$	0	1.7975	3.6561	5.6458	7.8767	10.2876	13.3181
	$r_{15}$						
$r_{ch}$	17.7737						

การศึกษาการออกแบบวงจรถอนไอซ์แบบที่ 2 ลำดับการทำงานของระบบคือ การออกแบบวงจรถอนไอซ์ร่วมกับวงจรถอนไอซ์ (Joint demodulator and finite-LLR quantizer) ซึ่งวงจรถอนไอซ์จะเป็นการควมรวมนวงจรถอนไอซ์และวงจรถอนไอซ์ซึ่งวงจรถอนไอซ์สามารถลดการคำนวณค่าแอสแอลอาร์ในวงจรถอนไอซ์ลงได้ โดยจะรับอินพุตเป็นค่าเอาต์พุตของสัญญาณและให้เอาต์พุตเป็นค่าแอสแอลอาร์ที่เป็นจำนวนจริงจำกัด ในการออกแบบจะขอยกตัวอย่างวงจรถอนไอซ์แบบ 16QAM ซึ่งสามารถพิจารณาเป็นการมอดูเลชันแบบ 4PAM ในแกนค่าจริงและ 4PAM ในแกนค่าจินตภาพ ดังที่ได้อธิบายไปแล้วในหัวข้อที่ 7.1.1 ว่าการคำนวณค่าแอสแอลอาร์ในวงจรถอนไอซ์แบบ LUT-based MP จะใช้คู่ของฟังก์ชัน pdf ของสัญลักษณ์ที่มีค่าเฉลี่ยของบิต '1' และบิต '0' ใกล้ค่าเอาต์พุตของสัญญาณ  $y$  มากที่สุด ซึ่งในกรณีการมอดูเลชันแบบ 16QAM จะมีคู่ของฟังก์ชัน pdf ของสัญลักษณ์ที่มีค่าเฉลี่ยของบิต '1' และบิต '0' ใกล้ค่าเอาต์พุตของสัญญาณที่แตกต่างกันทั้งหมด 5 คู่ ดังนั้นจะต้องมีจำนวนชุดการควอนไทซ์ทั้งหมด 5 ชุด เมื่อพิจารณาการออกแบบวงจรถอนไอซ์ที่ปราศจากการเข้ารหัสแอสดีพีซี จะสามารถออกแบบโดยใช้หาค่า  $\mathbf{r}_{Qset1}$ ,  $\mathbf{r}_{Qset2}$ ,  $\mathbf{r}_{Qset3}$ ,  $\mathbf{r}_{Qset4}$ ,  $\mathbf{r}_{Qset5}$  ที่ทำให้ค่าข่าวสารรวมมีค่าสูงสุด นั่นคือ

$$\{\mathbf{r}_{Qsetk}^*\} = \arg \max_{\{\mathbf{r}_{Qsetk}\}} I(\mathbf{r}_{Qsetk}) \quad (7.32)$$

เมื่อ

$$I(\mathbf{r}_{Qsetk}) = \sum_{i=1}^M \sum_{j=1}^{2^q} p(x_i, l_j(\mathbf{r}_{Qsetk})) \log \left( \frac{p(x_i, l_j(\mathbf{r}_{Qsetk}))}{p(x_i)p(l_j(\mathbf{r}_{Qsetk}))} \right) \quad (7.33)$$

ตัวอย่างผลลัพธ์การออกแบบวงจรถอนไอซ์หลายชุดที่นำเสนอสำหรับการมอดูเลชันแบบ 16QAM ที่มี 2 บิตแสดงในตารางที่ 7.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 7.6 ตัวอย่างชุดของช่วงการควอนไทซ์ (Quantizer set) แบบ 2 บิตสำหรับการมอดูเลชันแบบ 16QAM

	$-\infty \leq y < -2$		$-2 \leq y < 0$		$0 \leq y < 2$		$0 \leq y < \infty$	
บิตที่ 1	$\mathbf{r}_{Qset1}$		$\mathbf{r}_{Qset3}$		$\mathbf{r}_{Qset3}$		$\mathbf{r}_{Qset5}$	
	$r_1$	-0.4803	$r_1$	-0.1977	$r_1$	-0.1977	$r_1$	0.1522
	$r_2$	-0.3162	$r_2$	0	$r_2$	0	$r_2$	0.3162
	$r_3$	-0.1522	$r_3$	0.1977	$r_3$	0.1977	$r_3$	0.4803
บิตที่ 2	$\mathbf{r}_{Qset2}$		$\mathbf{r}_{Qset2}$		$\mathbf{r}_{Qset4}$		$\mathbf{r}_{Qset4}$	
	$r_1$	-0.8301	$r_1$	-0.8301	$r_1$	0.4348	$r_1$	0.4348
	$r_2$	-0.6324	$r_2$	-0.6324	$r_2$	0.6325	$r_2$	0.6325
	$r_3$	-0.4347	$r_3$	-0.4347	$r_3$	0.8302	$r_3$	0.8302

ถัดมาเป็นการออกแบบในส่วนที่ 2 นั่นคือวงจรถอดรหัสแบบตาราง ในการออกแบบวงจรถอดรหัสแบบ LUT-FBP และ LUT-LBP ซึ่งประกอบไปด้วยวงจรมอดูเลชัน วงจรควอนไทซ์ และวงจรถอดรหัสแบบตาราง ในการออกแบบนี้ใช้ช่วงการควอนไทซ์  $\mathbf{r}_{ch}$  หรือ  $\mathbf{r}_{Qsetk}$  ที่ได้จากการออกแบบในส่วนที่ 1 มาใช้ออกแบบในส่วนที่ 2 ซึ่งเป็นการหาค่าช่วงการควอนไทซ์  $\mathbf{r}_{VN_i}^{(l)}$  และ  $\mathbf{r}_{CN_i}^{(l)}$  ที่ทำให้ฟังก์ชันวัตถุประสงค์มีค่าสูงสุดโดยจะต้องเลือกใช้ให้สอดคล้องกับรหัสแอลดีพีซี เนื่องจากตัวแปรที่ต้องการออกแบบมีจำนวนมากดังนั้นจะมีการจัดกลุ่มเพื่อให้ง่ายต่อการออกแบบ กำหนดให้  $\mathbf{r}_{VN} = [\mathbf{r}_{VN_1}^{(1)}, \mathbf{r}_{VN_2}^{(1)}, \dots, \mathbf{r}_{VN_r}^{(l)}, \dots, \mathbf{r}_{VN_{d_c-2}}^{(max)}]$  แทนค่าช่วงการควอนไทซ์ทุกลำดับตารางและทุกรอบการถอดรหัสของโหนดตัวแปร และ  $\mathbf{r}_{CN} = [\mathbf{r}_{CN_1}^{(1)}, \mathbf{r}_{CN_2}^{(1)}, \dots, \mathbf{r}_{CN_r}^{(l)}, \dots, \mathbf{r}_{CN_{d_c-2}}^{(max)}]$  แทนค่าช่วงการควอนไทซ์ทุกลำดับตารางและทุกรอบการถอดรหัสของโหนดเช็ก ดังนั้นการออกแบบช่วงการควอนไทซ์คือ

$$\{\mathbf{r}_{CN}^*, \mathbf{r}_{VN}^*\} = \arg \max_{\{\mathbf{r}_{VN}, \mathbf{r}_{CN}\}} SNR_{LFB}^*(\mathbf{r}_{VN}, \mathbf{r}_{CN}) \quad (7.34)$$

การออกแบบช่วงการควอนไทซ์จะอาศัยอัลกอริทึมการวิวัฒนาการผลต่างที่ได้อธิบายไปในบทที่ 5 ทำให้ได้ค่าช่วงการควอนไทซ์ที่เหมาะสม  $\mathbf{r}_{CN}^*, \mathbf{r}_{VN}^*$  หลังจากนั้นจะนำค่าดังกล่าวไปออกแบบตารางที่เป็นจำนวนเต็มโดยจะพิจารณาค่าแอลแอลอาร์ที่เป็นจำนวนจริงว่าอยู่ในช่วงใด ซึ่งแต่ละช่วงจะแทนจำนวนเต็ม 0 ถึง  $2^q - 1$  แล้วจะเปลี่ยนจากค่าแอลแอลอาร์ที่เป็นจำนวนจริงที่อยู่ในช่วงดังกล่าวให้เป็นค่าแอลแอลอาร์ที่เป็นจำนวนเต็ม

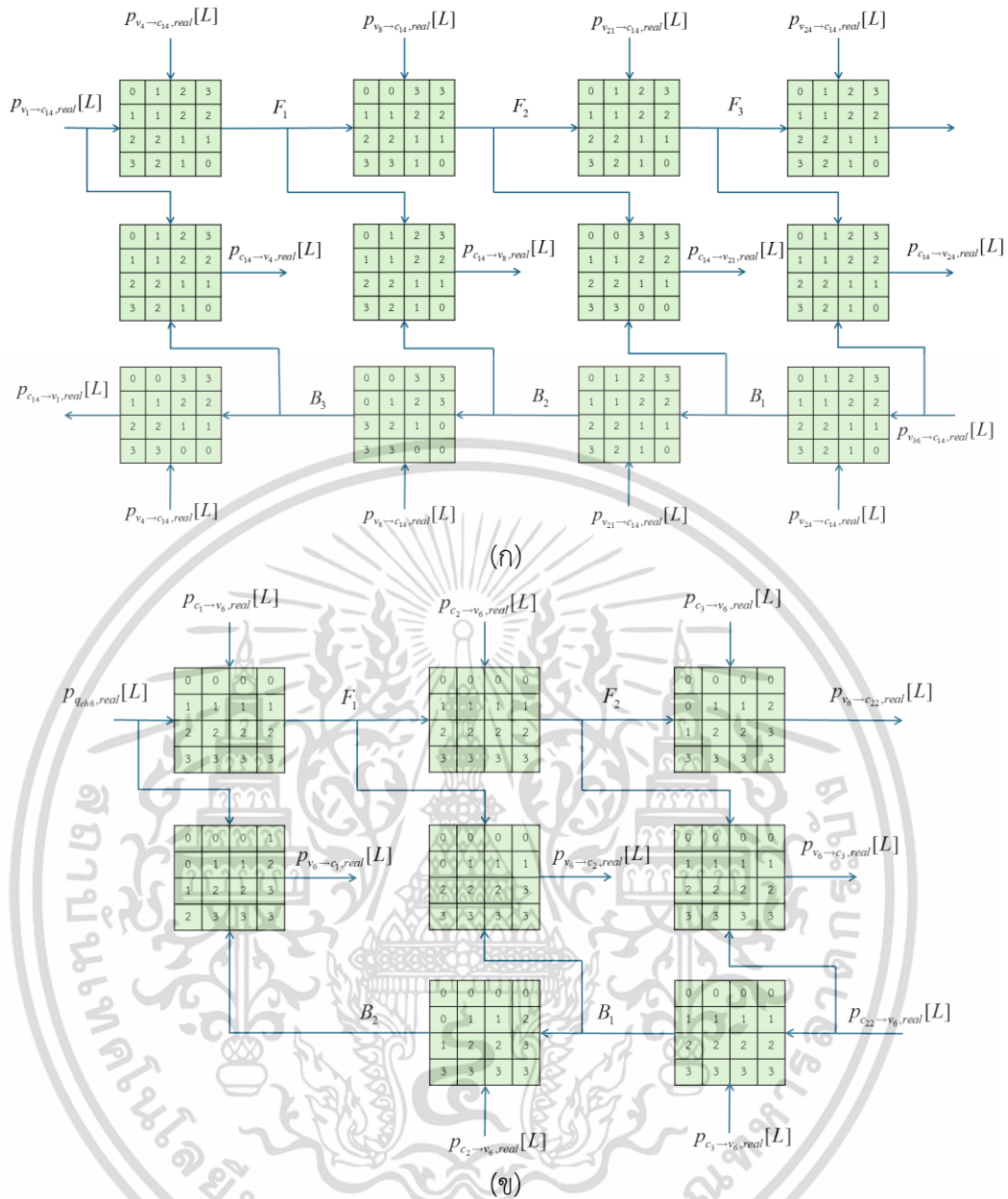
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบสุดท้ายเป็นการควมรวมการออกแบบวงจรมอดูเลชัน วงจรควอนไทซ์ และ วงจรถอดรหัสร่วมกัน เนื่องจากลำดับการทำงานมีความเกี่ยวเนื่องกันและลดการสูญเสียปริมาณ ข่าวสารในระหว่างการออกแบบให้มากที่สุด วงจรที่ออกแบบจะเริ่มจากการควอนไทซ์ช่องสัญญาณ แล้วให้เอาต์พุตเป็นจำนวนเต็มซึ่งใช้ชุดของช่วงการควอนไทซ์เอาต์พุตช่องสัญญาณ  $\mathbf{r}_{Qsetk}$  และ วงจรถอดรหัสแบบ LUT-FBP และ LUT-LBP ซึ่งใช้ชุดของช่วงการควอนไทซ์โหนดตัวแปร  $\mathbf{r}_{VN}$  และ ชุดการควอนไทซ์โหนดเช็ก  $\mathbf{r}_{CN}$  ที่ทำให้ฟังก์ชันวัตถุประสงค์มีค่าสูงสุด

$$\{\mathbf{r}_{Qsetk}^*, \mathbf{r}_{CN}^*, \mathbf{r}_{VN}^*\} = \arg \max_{\{\mathbf{r}_{Qsetk}, \mathbf{r}_{VN}, \mathbf{r}_{CN}\}} SNR_{LFB}^*(\mathbf{r}_{Qsetk}, \mathbf{r}_{VN}, \mathbf{r}_{CN}) \quad (7.35)$$

การออกแบบช่วงการควอนไทซ์จะอาศัยอัลกอริทึมการวิวัฒนาการผลต่างที่ได้อธิบายไปใน บทที่ 5 ทำให้ได้ค่าช่วงการควอนไทซ์ที่เหมาะสม  $\mathbf{r}_{Qsetk}^*, \mathbf{r}_{CN}^*, \mathbf{r}_{VN}^*$  หลังจากนั้นจะนำค่าดังกล่าวไป ออกแบบตารางที่เป็นจำนวนเต็มโดยจะพิจารณาค่าแอสแอลอาร์ที่เป็นจำนวนจริงในช่วงใด ซึ่ง แต่ละช่วงจะแทนจำนวนเต็ม 0 ถึง  $2^q - 1$  แล้วจะเปลี่ยนจากค่าแอสแอลอาร์ที่เป็นจำนวนจริงที่อยู่ใน ช่วงดังกล่าวให้เป็นค่าแอสแอลอาร์ที่เป็นจำนวนเต็ม

รูปที่ 7.9 แสดงตัวอย่างผลการออกแบบตารางถอดรหัส เนื่องจากจำนวนตารางมีมากจึงจะ ยกตัวอย่างเพียงบางตารางที่ออกแบบสำหรับบางโหนดตัวแปรและโหนดเช็กเท่านั้น ในรูปที่ 7.9 เป็น การออกแบบตารางถอดรหัสแบบลำดับตารางที่มีการควอนไทซ์ 2 บิตสำหรับรหัสแอลดีพีซีแบบ โพรโทกราฟที่ใช้ในมาตรฐานสื่อสาร 5G รูปที่ 7.9 (ก) แสดงตัวอย่างตารางถอดรหัสที่ออกแบบของ โหนดเช็กที่ 14 ของกราฟฐานที่ 1 ซึ่งเชื่อมกับโหนดตัวแปร 6 โหนดได้แก่  $v_1, v_4, v_8, v_{21}, v_{24}$  และ  $v_{36}$  ซึ่งมีการคำนวณที่โหนดแบบลำดับไปข้างหน้าและย้อนกลับซึ่งใช้ตารางทั้งหมด 6 ตารางใน การคำนวณ รูปที่ 7.9 (ข) แสดงตัวอย่างตารางถอดรหัสที่ออกแบบของโหนดตัวแปรที่ 6 ของ กราฟฐานที่ 1 ซึ่งเชื่อมกับโหนดเช็ก 4 โหนดได้แก่  $c_1, c_2, c_3$  และ  $c_{22}$  ซึ่งมีการคำนวณที่โหนดแบบ ลำดับไปข้างหน้าและย้อนกลับซึ่งใช้ตารางทั้งหมด 8 ตารางในการคำนวณ



รูปที่ 7.9 (ก) ตัวอย่างตารางถอตรหัสแบบลำดับตารางในโหนดเช็กที่ 14 ของกราฟฐาน 1

(ข) ตัวอย่างตารางถอตรหัสแบบลำดับตารางในโหนดตัวแปรที่ 6 ของกราฟฐาน 1

ในการออกแบบตารางสำหรับรหัสแอลดีพีซีแบบโปรโทกราฟมีการลดจำนวนตารางลงในกรณีที่มีอินพุตแอลแอลอาร์เป็น 0 หรือเชื่อมต่อกับโหนดตัวแปรที่ถูกฟังก์เจอร์ซึ่งสรุปได้ดังตารางที่ 7.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

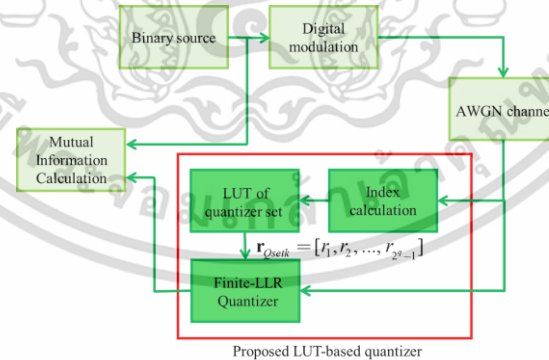
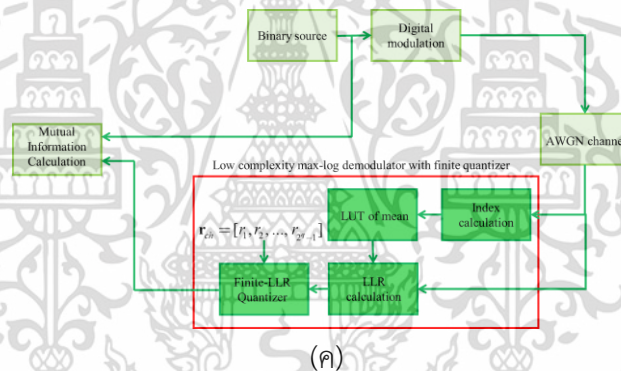
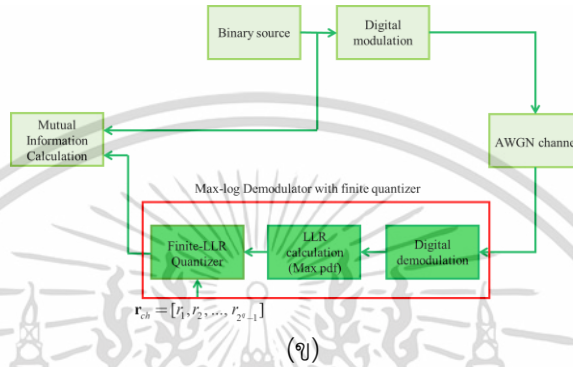
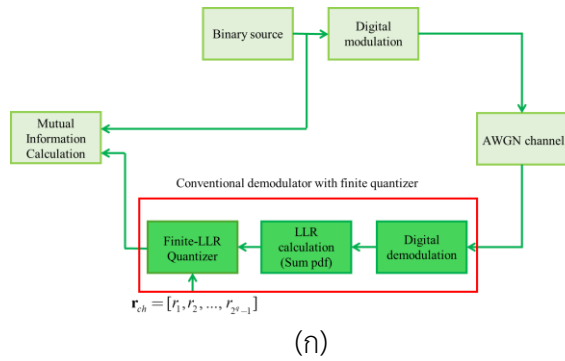
**ตารางที่ 7.7** การเปรียบเทียบจำนวนตารางในกรณีที่มีการลดจำนวนตารางโดยอาศัยข้อได้เปรียบของรหัสแอลดีพีซีแบบโพโรโทกราฟ

	จำนวนตารางถอดรหัสทั้งหมด	จำนวนตารางถอดรหัสหลังลดจำนวนตาราง	เปอร์เซ็นต์การลดจำนวนตาราง
วงจรถอดรหัสแบบ LUT-FBP	13,498	12,393	8.19%
วงจรถอดรหัสแบบ LUT-LBP	104,320	102,182	2.05%

### 7.3 การจำลองและผลการออกแบบวงจรถอดรหัสแบบวงจรถอดรหัสที่มีเลเยอร์

หัวข้อนี้เป็นการจำลองสมรรถนะของการออกแบบโดยจะเริ่มจากการเปรียบเทียบค่าข่าวสารร่วมของการออกแบบช่วงการควอนไทซ์ที่ได้จากวิธีการหาค่าสูงสุดของข่าวสารร่วม (MMI: Maximizing Mutual Information) โดยแผนภาพการจำลองดังแสดงในรูปที่ 7.10 (ก)-(ง) รูปที่ 7.10 (ก) เป็นแผนภาพการใช้งานวงจรถอดรหัสแบบธรรมดาที่ใช้วงจรถอดรหัสที่มีค่าจำกัด (Conventional demodulator with finite quantizer) หรือ CD + Q ซึ่งวงจรถอดรหัสนี้จะใช้การตีมอดูเลชันแบบ SP และมีการวัดค่าข่าวสารร่วมหลังจากวงจรถอดรหัส รูปที่ 7.10 (ข) เป็นแผนภาพการใช้งานวงจรถอดรหัสแบบ Max-log ที่ใช้วงจรถอดรหัสที่มีค่าจำกัด (Max-log demodulator with finite quantizer) หรือ MLD + Q ซึ่งวงจรถอดรหัสนี้จะใช้การตีมอดูเลชันแบบ MP และมีการวัดค่าข่าวสารร่วมหลังจากวงจรถอดรหัส รูปที่ 7.10 (ค) เป็นแผนภาพการใช้งานวงจรถอดรหัสแบบ Max-log ความซับซ้อนต่ำที่ใช้วงจรถอดรหัสที่มีค่าจำกัด (Low-complexity max-log demodulator with finite quantizer) หรือ LC-MLD + Q ซึ่งวงจรถอดรหัสนี้จะใช้ตารางในการคำนวณค่าแอลแอลอาร์และมีการวัดค่าข่าวสารร่วมหลังจากวงจรถอดรหัส และรูปที่ 7.10 (ง) เป็นแผนภาพการใช้งานวงจรถอดรหัสแบบตารางที่นำเสนอ (Proposed LUT-based quantizer) หรือ Proposed LUT based-Q ซึ่งวงจรถอดรหัสนี้จะใช้ตารางในการควอนไทซ์และมีการวัดค่าข่าวสารร่วมหลังจากวงจรถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

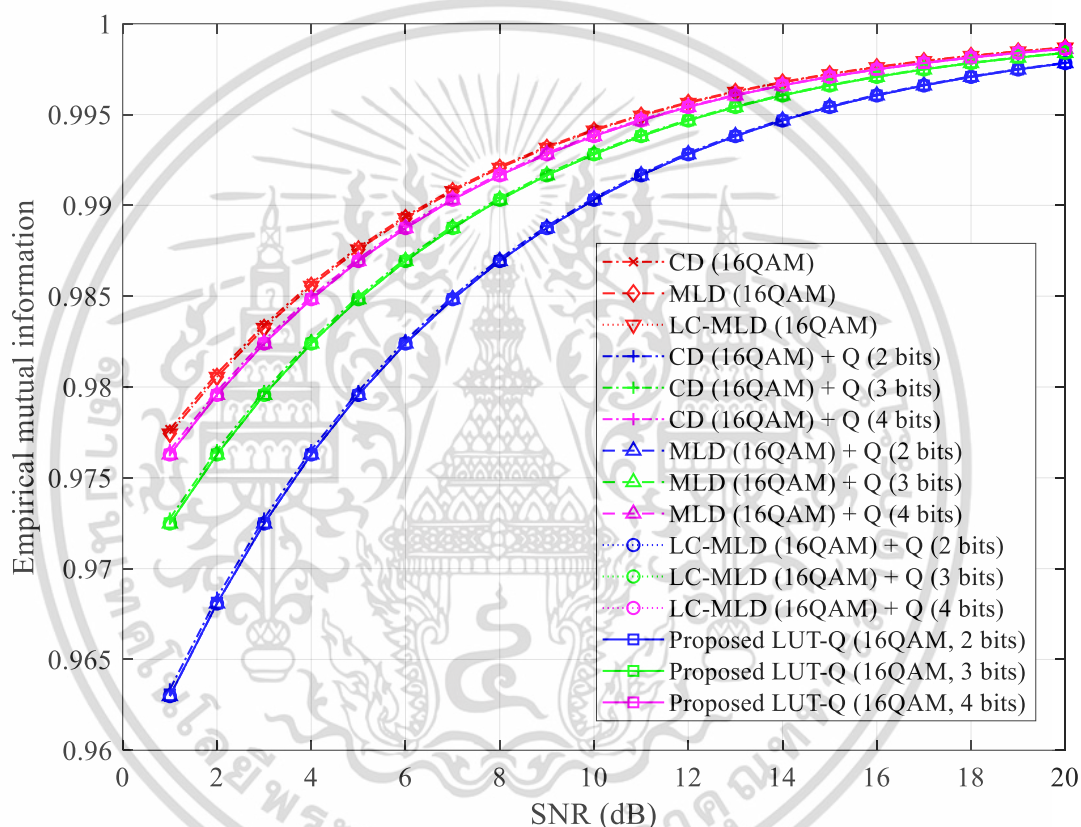


รูปที่ 7.10 (ก) การใช้งานวงจรดีมอดูเลชันแบบธรรมดาที่ใช้วงจรควอนไทซ์ที่มีค่าจำกัด (ข) แผนภาพแบบจำลองระบบการใช้นางจรดีมอดูเลชันแบบ Max-log ที่ใช้วงจรควอนไทซ์ที่มีค่าจำกัด (ค) แผนภาพแบบจำลองระบบการใช้นางจรดีมอดูเลชันแบบ Max-log ความซับซ้อนต่ำที่ใช้วงจรควอนไทซ์ที่มีค่าจำกัด (ง) แผนภาพแบบจำลองระบบการใช้นางจรควอนไทซ์แบบ

ตารางที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 7.11 แสดงผลการจำลองเปรียบเทียบค่าข่าวสารร่วมภายหลังวงจรควอนไทซ์โดยกำหนดให้มีการควอนไทซ์ 2 บิต 3 บิต และ 4 บิตเปรียบเทียบกับค่าข่าวสารร่วมของช่องสัญญาณที่ไม่มีวงจรควอนไทซ์ของการมอดูเลชันแบบ 16QAM จากการจำลองพบว่าเมื่อค่า SNR เพิ่มขึ้นทำให้ค่าข่าวสารร่วมเพิ่มสูงขึ้น วงจรควอนไทซ์ทั้ง 4 แบบให้ค่าข่าวสารร่วมที่เท่ากันที่จำนวนบิตควอนไทซ์เท่ากัน จำนวนบิตควอนไทซ์ที่เพิ่มขึ้นทำให้ค่าข่าวสารร่วมเข้าใกล้วงจรมอดูเลชันที่ไม่มีวงจรควอนไทซ์ จากการจำลองพบว่าจำนวนบิตควอนไทซ์ 4 บิตก็เพียงพอที่ทำให้ค่าข่าวสารร่วมใกล้เคียงกับวงจรมอดูเลชันที่ไม่มีวงจรควอนไทซ์

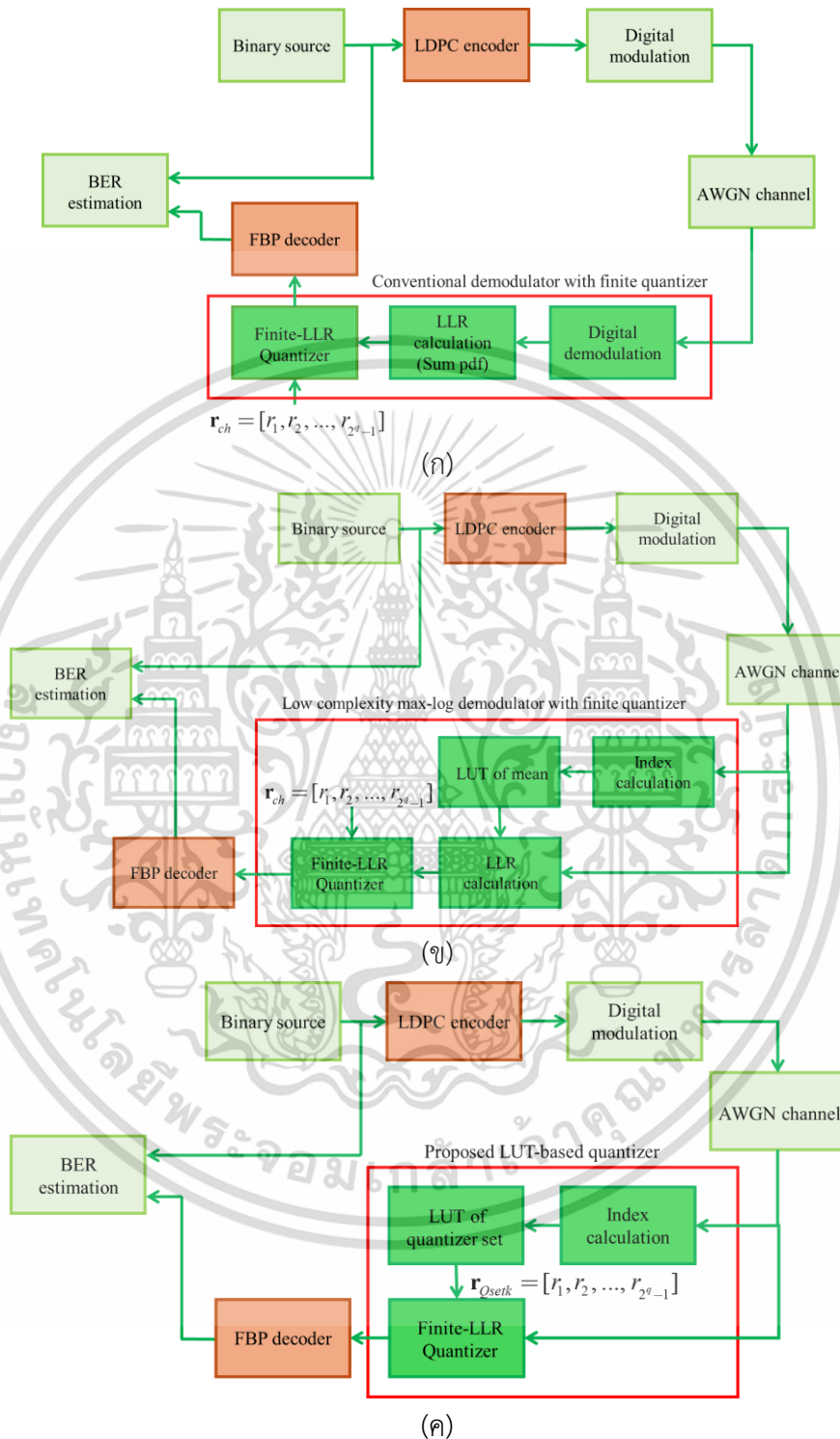


รูปที่ 7.11 การเปรียบเทียบค่าข่าวสารร่วมของวงจรควอนไทซ์ 2 บิต 3 บิตและ 4 บิตของวงจรควอนไทซ์ทั้ง 4 แบบ

ถัดมาเป็นการศึกษาการใช้งานวงจรควอนไทซ์กับวงจรถอดรหัสแอสติพิซีแบบพลัดติง โดยจะเป็นการนำวงจรควอนไทซ์ที่ได้ออกแบบจากการจำลองก่อนหน้านี้มาใช้งานได้แก่ วงจรมอดูเลชันแบบธรรมดาที่ใช้วงจรควอนไทซ์ที่มีค่าจำกัด วงจรมอดูเลชันแบบ Max-log ความซับซ้อนต่ำที่ใช้วงจรควอนไทซ์ที่มีค่าจำกัด และวงจรควอนไทซ์แบบตารางที่นำเสนอ แผนภาพการจำลองดังแสดงในรูปที่ 7.12 (ก)-(ค) โดยกำหนดให้ใช้รหัสแอสติพิซีมาตรฐาน 5G กราฟฐาน 1 ที่มีขนาดลิฟติง (Lifting size) 52 ซึ่งมีอัตรารหัส 0.5 ข้อกำหนดดังกล่าวทำให้ใช้บล็อกข้อมูลมีขนาด 1,144 บิต ในการถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

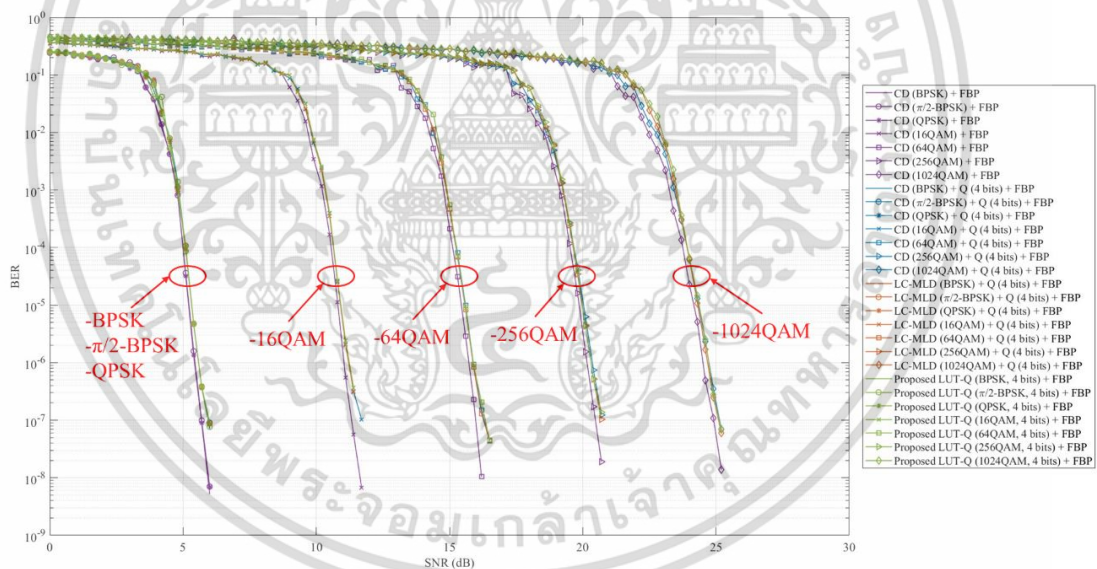
กำหนดให้มีจำนวนรอบ 10 รอบ สำหรับการมอดูเลชันกำหนดให้ใช้การมอดูเลชันทั้ง 7 แบบตามมาตรฐาน 5G



รูปที่ 7.12 (ก) การใช้งานวงจรตีมอดูเลชันแบบธรรมดาที่ใช้วงจรควอนไทซ์ที่มีค่าจำกัดและวงจรถอดรหัสแบบ FBP (ข) แผนภาพแบบจำลองระบบการใช้นวงจรตีมอดูเลชันแบบ Max-log ความซับซ้อนต่ำที่ใช้วงจรควอนไทซ์ที่มีค่าจำกัดและวงจรถอดรหัสแบบ FBP (ค) แผนภาพ

แบบจำลองระบบการใช้นวงจรควอนไทซ์แบบตารางที่นำเสนอและวงจรถอดรหัสแบบ FBP เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

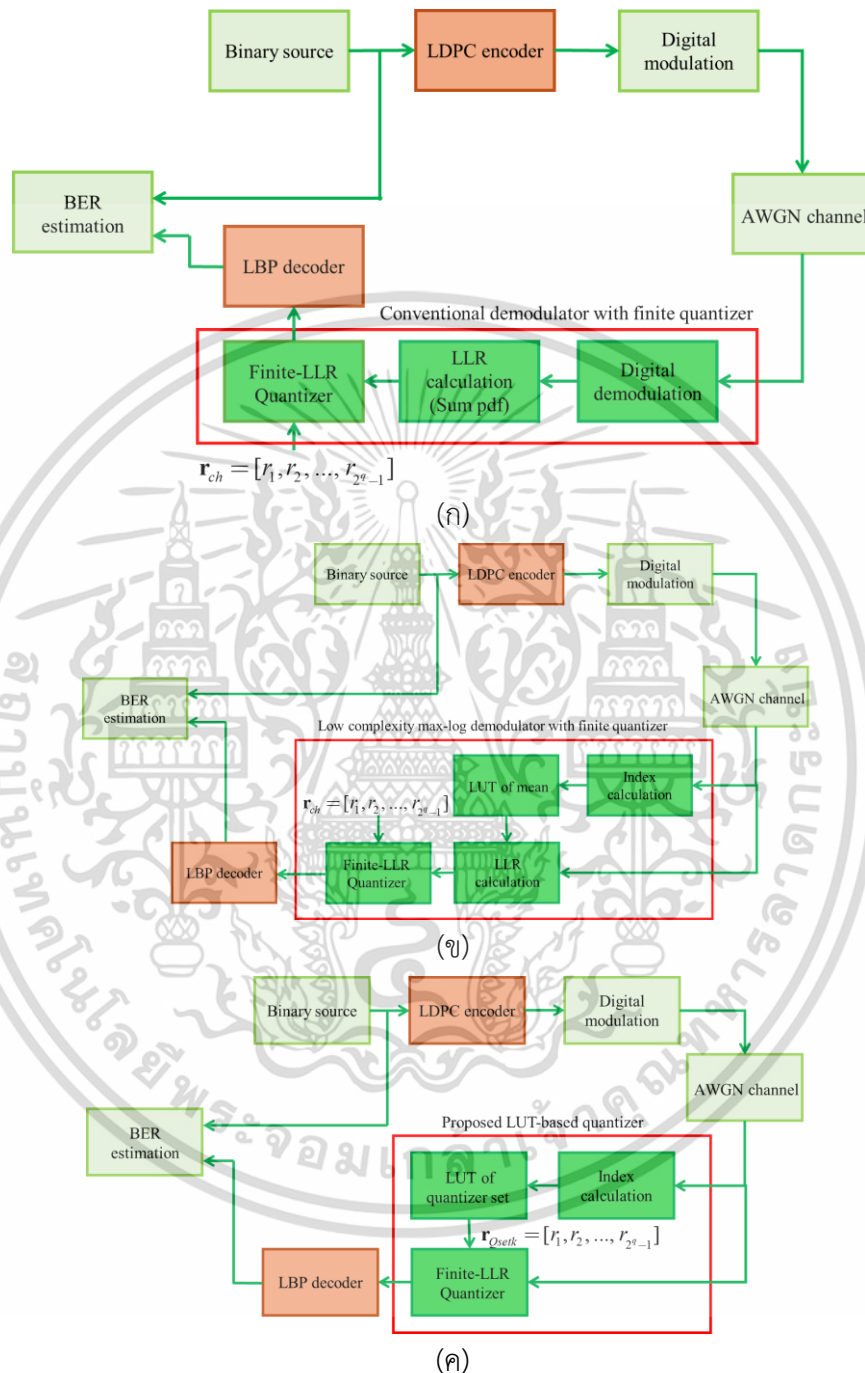
ผลการจำลองแสดงในรูปที่ 7.13 กราฟสีม่วงแทนการใช้งานวงจรมอดูเลชันแบบธรรมดาต่อกับวงจรถอดรหัสแบบ FBP กราฟสีน้ำเงินแทนการใช้งานวงจรมอดูเลชันแบบธรรมดาที่ใช้วงจรถอนโทษที่มีค่าจำกัดที่ให้ค่าเอาต์พุตเป็นค่าจำนวนจริงที่มีค่าจำกัด และต่อกับวงจรถอดรหัสแบบ FBP กราฟสีส้มแทนการใช้งานวงจรมอดูเลชันแบบ Max-log ความซับซ้อนต่ำที่ใช้วงจรถอนโทษที่มีค่าจำกัดที่ให้ค่าเอาต์พุตเป็นค่าจำนวนจริงที่มีค่าจำกัด และต่อกับวงจรถอดรหัสแบบ FBP และกราฟสีเขียวแทนการใช้งานวงจรถอนโทษแบบตารางที่นำเสนอ และต่อกับวงจรถอดรหัสแบบ FBP ซึ่งมาร์คเกอร์แต่ละแบบแทนการมอดูเลชันที่แตกต่างกัน ผลการจำลองพบว่าการมอดูเลชันแบบ BPSK  $\pi/2$ -BPSK และ QPSK ให้สมรรถนะอัตราบิดผิดพลาดเท่ากัน ส่วนการมอดูเลชันแบบ 16QAM 64QAM 256QAM และ 1024QAM ให้สมรรถนะอัตราบิดผิดพลาดที่ด้อยลงตามลำดับ สำหรับการมอดูเลชันเดียวกัน การใช้งานวงจรถอนโทษที่แตกต่างกันได้สมรรถนะอัตราบิดผิดพลาดที่เท่ากัน อย่างไรก็ตามวงจรถอนโทษแบบตารางที่นำเสนอให้วงจรมอดูเลชันที่มีความซับซ้อนต่ำที่สุดสำหรับกรณีที่ไม่มอดูเลชันและต่อกับวงจรถอดรหัสแบบ FBP จากผลการจำลองพบว่าสำหรับทุกการมอดูเลชันการใช้งานวงจรถอนโทษ 4 บิตทำให้สมรรถนะอัตราบิดผิดพลาดแย่งเพียงเล็กน้อย



รูปที่ 7.13 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของวงจรถอนโทษทั้ง 3 แบบเมื่อต่อกับวงจรถอดรหัสแบบ FBP

การจำลองต่อมาเป็นการนำวงจรถอนโทษที่ออกแบบทั้ง 3 แบบได้แก่ วงจรมอดูเลชันแบบธรรมดาที่ใช้วงจรถอนโทษที่มีค่าจำกัด วงจรมอดูเลชันแบบ Max-log ความซับซ้อนต่ำที่ใช้วงจรถอนโทษที่มีค่าจำกัด และวงจรถอนโทษแบบตารางที่นำเสนอ มาใช้กับวงจรถอดรหัสแบบ LBP ดังแสดงในรูปที่ 7.14 (ก)-(ค) โดยกำหนดให้ใช้รหัสแอลดีพีซีมาตรฐาน 5G กราฟฐาน 1 ที่มีขนาดลิฟติง (Lifting size) 52 ซึ่งมีอัตรารหัส 0.5 ข้อกำหนดดังกล่าวทำให้ใช้บล็อกข้อมูลมีขนาดเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

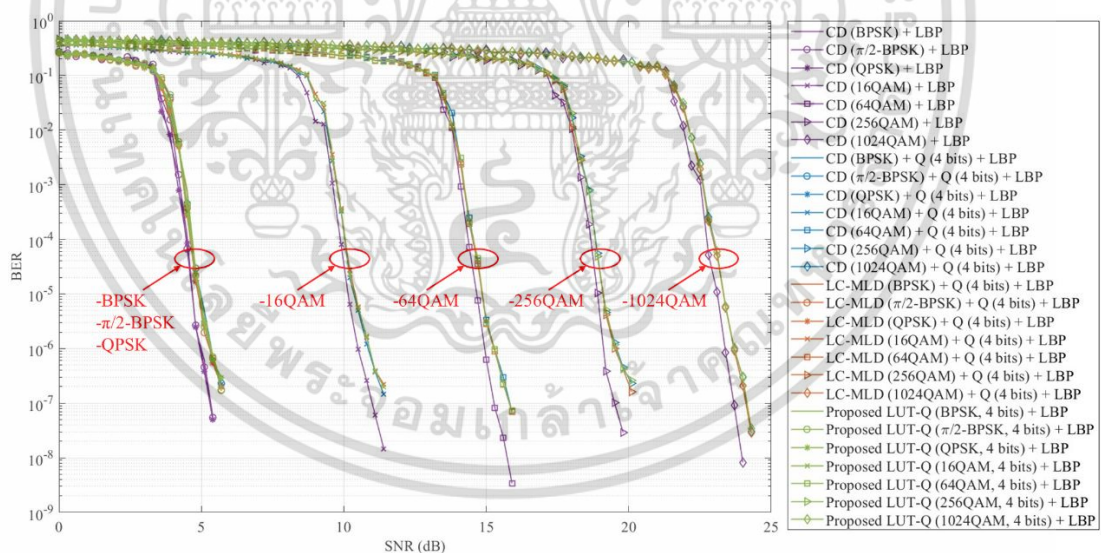
1,144 บิต ในการถอดรหัสกำหนดให้มีจำนวนรอบ 10 รอบ สำหรับการมอดูเลชัน กำหนดให้ใช้การมอดูเลชันทั้ง 7 แบบตามมาตรฐาน 5G



รูปที่ 7.14 (ก) การใช้งานวงจรดีมอดูเลชันแบบธรรมดาที่ใช้วงจรคอนโวลูชันที่มีค่าจำกัดและวงจรถอดรหัสแบบ LBP (ข) แผนภาพแบบจำลองระบบการใช้งานวงจรดีมอดูเลชันแบบ Max-log ความซับซ้อนต่ำที่ใช้วงจรคอนโวลูชันที่มีค่าจำกัดและวงจรถอดรหัสแบบ LBP (ค) แผนภาพแบบจำลองระบบการใช้งานวงจรคอนโวลูชันแบบตารางที่นำเสนอและวงจรถอดรหัสแบบ LBP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการจำลองแสดงในรูปที่ 7.15 กำหนดให้กราฟสีม่วงแสดงสมรรถนะอัตราบิดผิดพลาดของการใช้งานวงจรมอดูเลชันแบบธรรมดาต่อกับวงจรถอดรหัสแบบ LBP กราฟสีน้ำเงินแสดงสมรรถนะอัตราบิดผิดพลาดของการใช้งานวงจรมอดูเลชันแบบธรรมดาที่ใช้วงจรควอนไทซ์ที่มีค่าจำกัดที่ให้ค่าเอาต์พุตเป็นค่าจำนวนจริงที่มีค่าจำกัด และต่อกับวงจรถอดรหัสแบบ LBP กราฟสีส้มแสดงสมรรถนะอัตราบิดผิดพลาดของการใช้งานวงจรมอดูเลชันแบบ Max-log ความซับซ้อนต่ำที่ใช้วงจรควอนไทซ์ที่มีค่าจำกัดที่ให้ค่าเอาต์พุตเป็นค่าจำนวนจริงที่มีค่าจำกัด และต่อกับวงจรถอดรหัสแบบ LBP และกราฟสีเขียวแสดงสมรรถนะอัตราบิดผิดพลาดของการใช้งานวงจรควอนไทซ์แบบใช้ตารางที่นำเสนอ และต่อกับวงจรถอดรหัสแบบ LBP ซึ่งมาร์คเกอร์แต่ละแบบแทนการมอดูเลชันที่แตกต่างกัน ผลการจำลองพบว่าการมอดูเลชันแบบ BPSK  $\pi/2$ -BPSK และ QPSK ให้สมรรถนะอัตราบิดผิดพลาดเท่ากัน ส่วนการมอดูเลชันแบบ 16QAM 64QAM 256QAM และ 1024QAM ให้สมรรถนะอัตราบิดผิดพลาดที่ด้อยกว่าตามลำดับ สำหรับการมอดูเลชันเดียวกัน การใช้วงจรควอนไทซ์ที่แตกต่างกันได้สมรรถนะอัตราบิดผิดพลาดที่เท่ากันแต่ว่าวงจรควอนไทซ์แบบตารางที่นำเสนอให้วงจรที่มีความซับซ้อนต่ำที่สุด ในทำนองเดียวกันสำหรับกรณีที่ไม่มีวงจรควอนไทซ์และต่อกับวงจรถอดรหัสแบบ LBP จากผลการจำลองพบว่าสำหรับทุกการมอดูเลชันการใช้วงจรควอนไทซ์ 4 บิตทำให้สมรรถนะอัตราบิดผิดพลาดแย่งเพียงเล็กน้อย

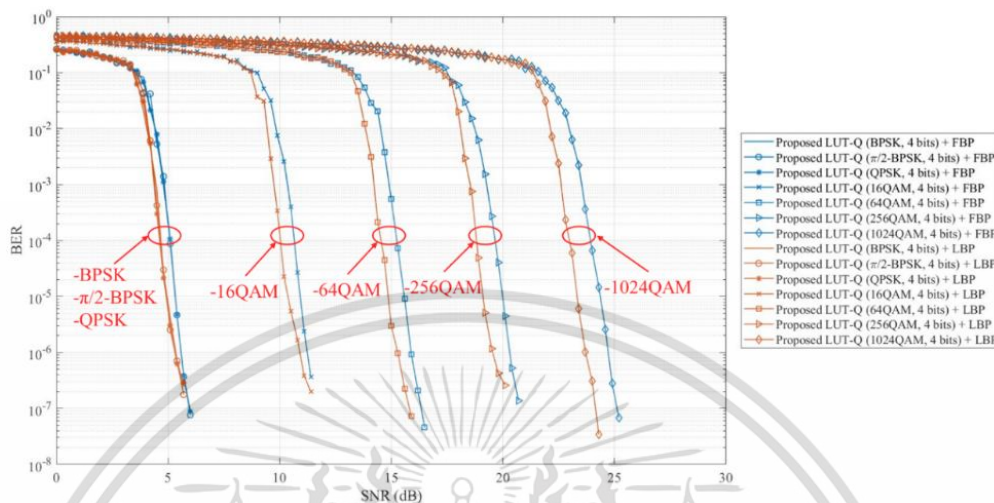


รูปที่ 7.15 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของวงจรควอนไทซ์ทั้ง 3 แบบเมื่อต่อกับวงจรถอดรหัสแบบ LBP

รูปที่ 7.16 แสดงการเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของการใช้งานวงจรควอนไทซ์แบบตารางที่นำเสนอต่อกับวงจรถอดรหัสแบบ FBP และ LBP ผลการจำลองพบว่าวงจรถอดรหัส LBP ให้สมรรถนะอัตราบิดผิดพลาดที่เหนือกว่าวงจรถอดรหัส FBP เมื่อพิจารณาที่  $10^{-6}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

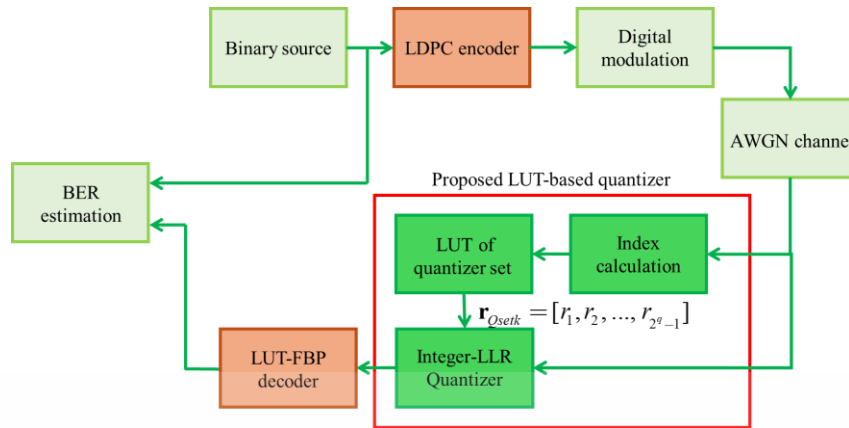
การมอดูเลชันแบบ BPSK  $\pi/2$ -BPSK และ QPSK ให้อัตราขยาย 0.3 dB ส่วนการมอดูเลชันแบบ 16QAM, 64QAM, 256QAM และ 1024QAM ให้อัตราขยาย 0.3 dB, 0.5 dB, 1 dB และ 1.8 dB ตามลำดับ



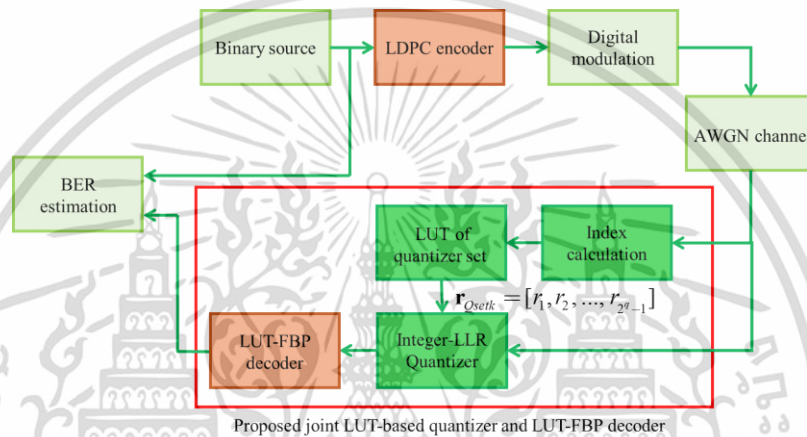
รูปที่ 7.16 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของวงจรควอนไทซ์ที่นำเสนอเมื่อเทียบกับวงจรถอดรหัสแบบ FBP และ LBP

การจำลองถัดมาเป็นการศึกษาสมรรถนะอัตราบิดผิดพลาดในกรณีที่ออกแบบวงจรควอนไทซ์แบบตารางและวงจรถอดรหัส LUT-FBP แยกกัน และกรณีที่ออกแบบวงจรควอนไทซ์แบบตารางและวงจรถอดรหัส LUT-FBP ร่วมกันดังแสดงในรูปที่ 7.17 (ก) และ (ข) ตามลำดับ กำหนดให้ใช้การควอนไทซ์ 4 บิต

รูปที่ 7.18 แสดงการเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดในกรณีที่กำหนดค่าวงจรควอนไทซ์ 4 บิตให้ และออกแบบวงจรถอดรหัสแบบ LUT-FBP โดยการออกแบบจะมี 3 วิธีคือการออกแบบโดยใช้ค่าข่าวสารร่วมออกแบบที่ละตาราง (Local optimization MI) การออกแบบโดยใช้ค่าข่าวสารร่วมออกแบบตารางทั้งหมดพร้อมกัน (Global optimization MI) และการออกแบบโดยใช้การวิวัฒนาการความหนาแน่นออกแบบตารางทั้งหมดพร้อมกัน (Global optimization DE) ผลการจำลองพบว่าการออกแบบโดยใช้ค่าข่าวสารร่วมออกแบบที่ละตารางจะให้สมรรถนะอัตราบิดผิดพลาดแย่ที่สุด ส่วนการออกแบบโดยใช้ค่าข่าวสารร่วมออกแบบตารางทั้งหมดพร้อมกัน และการออกแบบโดยใช้การวิวัฒนาการความหนาแน่นออกแบบตารางทั้งหมดพร้อมกันให้สมรรถนะอัตราบิดผิดพลาดที่เท่ากันและเหนือกว่าการออกแบบโดยใช้ค่าข่าวสารร่วมออกแบบที่ละตาราง และการออกแบบโดยใช้ค่าข่าวสารร่วม (MI) ออกแบบวงจรควอนไทซ์และตารางทั้งหมดพร้อมกันและการออกแบบโดยใช้การวิวัฒนาการความหนาแน่น (DE) ออกแบบวงจรควอนไทซ์และตารางทั้งหมดพร้อมกันให้สมรรถนะอัตราบิดผิดพลาดที่เท่ากันและดีที่สุด แม้ว่าการออกแบบโดยใช้ค่าข่าวสารร่วมออกแบบวงจรควอนไทซ์และตารางทั้งหมดพร้อมกันและการออกแบบโดยใช้การวิวัฒนาการ



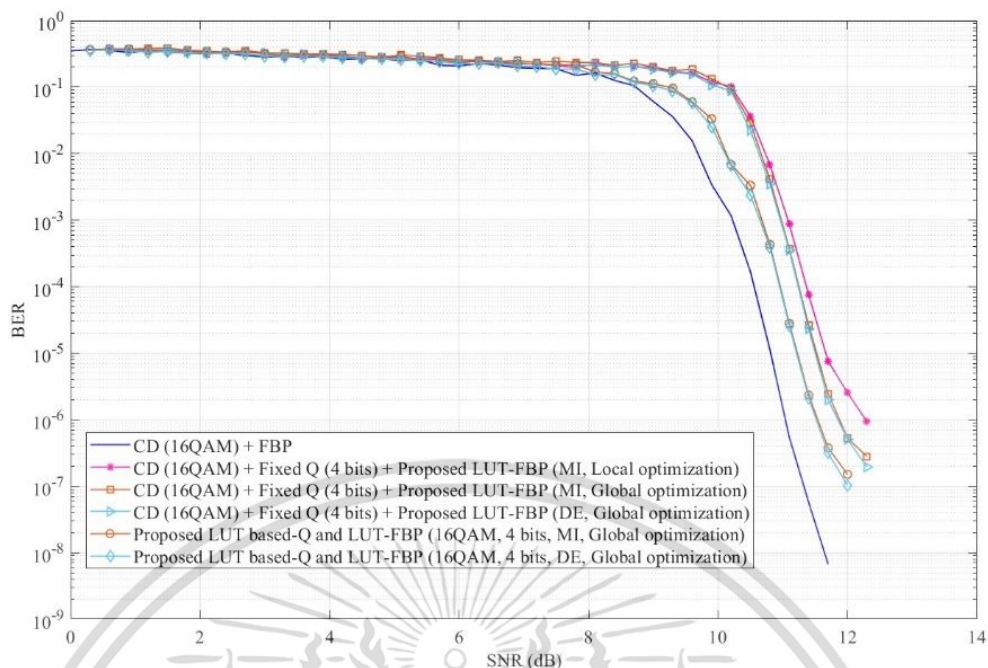
(ก)



(ข)

รูปที่ 7.17 (ก) แผนภาพแบบจำลองระบบการใช้งานวงจรควอนไทซ์แบบตารางที่นำเสนอและวงจรถอดรหัสแบบ LUT-FBP ที่ออกแบบแยก (ข) แผนภาพแบบจำลองระบบการใช้งานวงจรควอนไทซ์แบบตารางที่นำเสนอและวงจรถอดรหัสแบบ LUT-FBP ที่ออกแบบร่วม

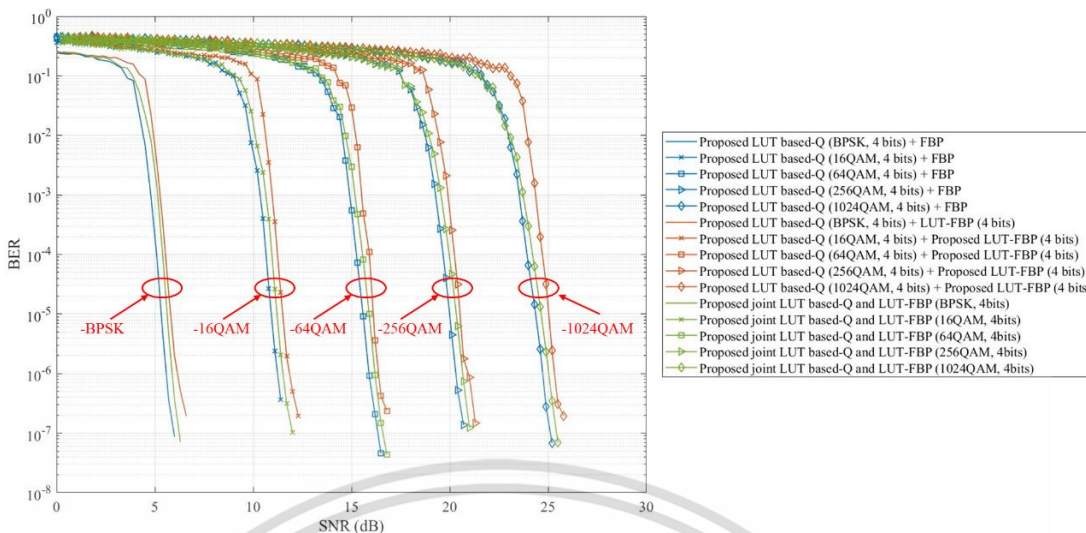
ความหนาแน่นออกแบบวงจรควอนไทซ์และตารางทั้งหมดพร้อมกันให้สมรรถนะอัตราบิดผิดพลาดที่เท่ากัน แต่ว่าการวิวัฒนาการความหนาแน่นใช้ระยะเวลาในการออกแบบที่น้อยกว่าเนื่องจากการคำนวณค่าความน่าจะเป็นความผิดพลาดรวดเร็วกว่าการคำนวณค่าข่าวสารร่วม



รูปที่ 7.18 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของวงจรรวมไอซีทั้ง 3 แบบเมื่อเทียบกับ วงจรถอดรหัสแบบ FBP

ผลการจำลองแสดงในรูปที่ 7.19 กำหนดให้กราฟสีน้ำเงินแสดงสมรรถนะอัตราบิดผิดพลาดของการใช้งานวงจรรวมไอซีแบบตารางที่นำเสนอซึ่งให้ค่าเอาต์พุตเป็นค่าจำนวนจริงที่มีค่าจำกัด และต่อกับวงจรถอดรหัสแบบ FBP กราฟสีส้มแสดงสมรรถนะอัตราบิดผิดพลาดของการใช้งานวงจรรวมไอซีแบบตารางที่นำเสนอซึ่งให้ค่าเอาต์พุตเป็นค่าจำนวนเต็มที่มีค่าจำกัด และต่อกับวงจรถอดรหัสแบบ LUT-FBP ซึ่งออกแบบแยกกัน และกราฟสีเขียวแสดงสมรรถนะอัตราบิดผิดพลาดของการใช้งานวงจรรวมไอซีแบบตารางที่นำเสนอซึ่งให้ค่าเอาต์พุตเป็นค่าจำนวนเต็มที่มีค่าจำกัด และต่อกับวงจรถอดรหัสแบบ LUT-FBP ซึ่งออกแบบร่วมกันซึ่งมาร์คเกอร์แต่ละแบบแทนการมอดูเลชันที่แตกต่างกัน เนื่องจากผลการจำลองก่อนหน้าการมอดูเลชันแบบ BPSK  $\pi/2$ -BPSK และ QPSK ให้สมรรถนะอัตราบิดผิดพลาดเท่ากัน ดังนั้นในผลการจำลองนี้จะแสดงเพียงการมอดูเลชันแบบ BPSK เมื่อพิจารณาว่าการมอดูเลชันเดียวกันการออกแบบวงจรรวมไอซีแบบตาราง และวงจรถอดรหัสแบบ LUT-FBP แยกกันให้สมรรถนะอัตราบิดผิดพลาดที่แย่ที่สุด และการออกแบบวงจรรวมไอซีแบบตาราง และวงจรถอดรหัสแบบ LUT-FBP ร่วมกันให้สมรรถนะอัตราบิดผิดพลาดที่เข้าใกล้การใช้วงจรรวมไอซีแบบ FBP อย่างไรก็ตามวงจรรวมไอซีแบบ LUT-FBP มีความซับซ้อนที่น้อยกว่าวงจรรวมไอซีแบบ FBP

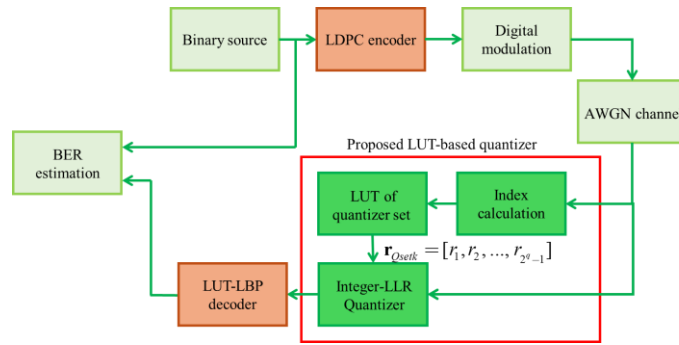
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



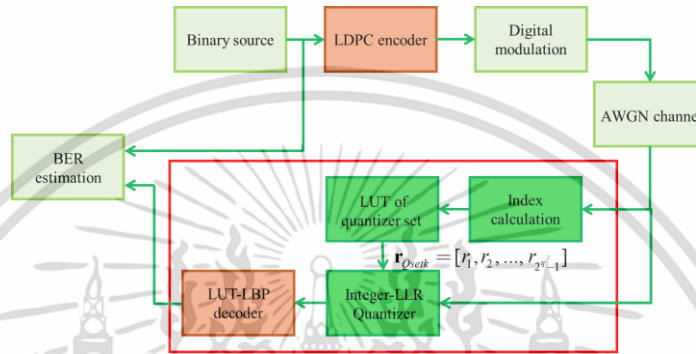
**รูปที่ 7.19** การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของการออกแบบวงจรควอนไทซ์แบบตารางและวงจรถอดรหัส LUT-FBP แบบแยกและการออกแบบวงจรควอนไทซ์แบบตารางและวงจรถอดรหัส LUT-FBP แบบรวม

การจำลองสุดท้ายเป็นการศึกษาสมรรถนะอัตราบิดผิดพลาดในกรณีที่ออกแบบวงจรควอนไทซ์แบบตารางและวงจรถอดรหัส LUT-LBP แยกกัน และกรณีที่ออกแบบวงจรควอนไทซ์แบบตารางและวงจรถอดรหัส LUT-LBP ร่วมกันดังแสดงในรูปที่ 7.20 (ก) และ (ข) ตามลำดับ กำหนดให้ใช้การควอนไทซ์ 4 บิต

ผลการจำลองในรูปที่ 7.21 จะเป็นการเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดกรณีที่มีการออกแบบตารางไม่ตรงกับการถอดรหัส และการออกแบบตารางตรงกับการถอดรหัส กล่าวคือใช้ตารางที่ออกแบบสำหรับการถอดรหัสแบบ LUT-FBP มาถอดรหัสแบบ LUT-LBP ซึ่งเป็นการใช้ตารางที่ไม่ตรงกับการถอดรหัส และใช้ตารางที่ออกแบบสำหรับการถอดรหัสแบบ LUT-FBP มาถอดรหัสแบบ LUT-FBP ซึ่งเป็นการออกแบบตารางที่ตรงกับการถอดรหัส ผลการจำลองพบว่าสำหรับทุกการมอดูเลชัน การออกแบบตารางที่ไม่ตรงกับการถอดรหัสให้สมรรถนะที่ต่ำกว่าการออกแบบตารางที่ตรงกับการถอดรหัสมาก

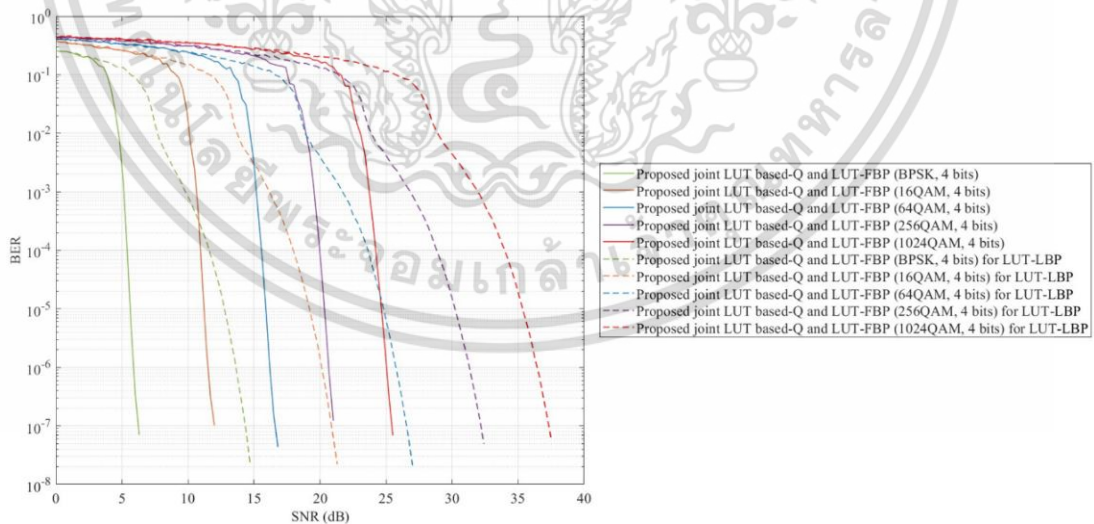


(ก)



(ข)

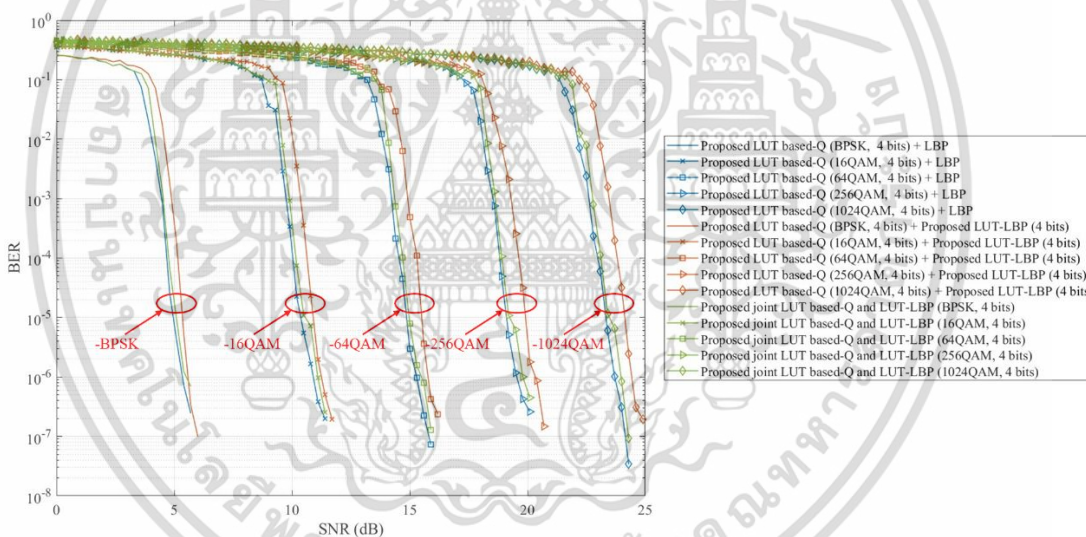
รูปที่ 7.20 (ก) แผนภาพแบบจำลองระบบการใช้งานวงจรควอนไทซ์แบบตารางที่นำเสนอและวงจรถอดรหัสแบบ LUT-LBP ที่ออกแบบแยก (ข) แผนภาพแบบจำลองระบบการใช้งานวงจรควอนไทซ์แบบตารางที่นำเสนอและวงจรถอดรหัสแบบ LUT-LBP ที่ออกแบบร่วม



รูปที่ 7.21 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของการออกแบบวงจรควอนไทซ์แบบตารางและวงจรถอดรหัส LUT-FBP แบบร่วมโดยใช้การถอดรหัสแบบพลาตติงและการถอดรหัสแบบเลเยอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการจำลองแสดงในรูปที่ 7.22 กำหนดให้กราฟสีน้ำเงินแทนสมรรถนะอัตราบิดผิดพลาดของการใช้งานวงจรควอนไทซ์แบบตารางที่นำเสนอซึ่งให้ค่าเอาต์พุตเป็นค่าจำนวนจริงที่มีค่าจำกัด และต่อกับวงจรถอดรหัสแบบ LBP กราฟสีส้มแทนสมรรถนะอัตราบิดผิดพลาดของการใช้งานวงจรควอนไทซ์แบบตารางที่นำเสนอซึ่งให้ค่าเอาต์พุตเป็นค่าจำนวนเต็มที่มีค่าจำกัด และต่อกับวงจรถอดรหัสแบบ LUT-LBP ซึ่งออกแบบแยกกัน และกราฟสีเขียวแทนสมรรถนะอัตราบิดผิดพลาดของการใช้งานวงจรควอนไทซ์แบบตารางที่นำเสนอซึ่งให้ค่าเอาต์พุตเป็นค่าจำนวนเต็มที่มีค่าจำกัด และต่อกับวงจรถอดรหัสแบบ LUT-LBP ซึ่งออกแบบร่วมกันซึ่งมาร์คเกอร์แต่ละแบบแทนการมอดูเลชันที่แตกต่างกันในทำนองเดียวกันเมื่อพิจารณาที่การมอดูเลชันเดียวกันการออกแบบวงจรควอนไทซ์แบบตาราง และวงจรถอดรหัสแบบ LUT-LBP แยกกันให้สมรรถนะอัตราบิดผิดพลาดที่แย่ที่สุด และการออกแบบวงจรควอนไทซ์แบบตาราง และวงจรถอดรหัสแบบ LUT-LBP ร่วมกันให้สมรรถนะอัตราบิดผิดพลาดที่เข้าใกล้การใช้วงจรถอดรหัส LBP อย่างไรก็ตามวงจรถอดรหัสแบบ LUT-LBP มีความซับซ้อนที่น้อยกว่าวงจรถอดรหัสแบบ LBP เนื่องจากไม่มีการคำนวณทางคณิตศาสตร์ในอัลกอริทึมการถอดรหัส



รูปที่ 7.22 การเปรียบเทียบสมรรถนะอัตราบิดผิดพลาดของการออกแบบวงจรควอนไทซ์แบบตารางและวงจรถอดรหัส LUT-LBP แบบแยกและการออกแบบวงจรควอนไทซ์แบบตารางและวงจรถอดรหัส LUT-LBP แบบร่วม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 8

### สรุปผลและข้อเสนอแนะ

#### 8.1 สรุปผล

##### 8.1.1 การออกแบบแรงดันไฟฟ้าอ่านและรหัสแอลดีพีซีแบบไม่มีโครงสร้างและแบบโปรโทกราฟสำหรับหน่วยความจำแบบ NAND flash

งานวิจัยนี้ได้ศึกษาและออกแบบแรงดันไฟฟ้าอ่านสำหรับวงจรถอดรหัสแอลดีพีซีในหน่วยความจำแบบ NAND ด้วยวิธีการพัฒนาการความหนาแน่น (DE) โดยเริ่มศึกษาจากการออกแบบแรงดันไฟฟ้าอ่านสำหรับรหัสแอลดีพีซีแบบปกติ โดยการเปรียบเทียบระหว่างการใช้อ่านหลายชุดสำหรับแต่ละค่า PE cycle ที่ออกแบบด้วยวิธี MMI [15] และวิธีการ DE ที่นำเสนอ ผลการจำลองพบว่าเมื่อพิจารณาที่อัตราเฟรมผิดพลาดที่ระดับ  $10^{-3}$  วิธีการ DE ที่นำเสนอให้สมรรถนะอัตราเฟรมผิดพลาด (FER) ที่ดีกว่าวิธีการ MMI ประมาณ 2,000 PE cycles เนื่องจากการพิจารณารหัสแอลดีพีซีในการออกแบบ ถัดมาได้มีการศึกษาการใช้งานแรงดันไฟฟ้าอ่าน 1 ชุดสำหรับทุกค่า PE cycle เพื่อลดจำนวนการเก็บแรงดันไฟฟ้าอ่านหลายชุด ผลการจำลองพบว่า แม้ในช่วง PE cycle สูง สมรรถนะอัตราเฟรมผิดพลาดจะแย่กว่าการใช้งานแรงดันไฟฟ้าอ่านหลายชุดสำหรับแต่ละค่า PE cycle แต่ช่วงค่า PE cycle สูง การใช้งานแรงดันไฟฟ้าอ่าน 1 ชุดสำหรับทุกค่า PE cycle มีสมรรถนะอัตราเฟรมผิดพลาดใกล้เคียงค่าเดียวกับการใช้แรงดันไฟฟ้าอ่านหลายชุดสำหรับแต่ละค่า PE cycle ซึ่งออกแบบด้วยวิธีการ DE

นอกจากนี้ งานวิจัยยังได้ศึกษาการออกแบบแรงดันไฟฟ้าอ่านสำหรับรหัสแอลดีพีซีแบบไม่สม่ำเสมอ และรหัสแอลดีพีซีแบบโปรโทกราฟ และยังสามารถออกแบบแรงดันไฟฟ้าอ่านร่วมกับการออกแบบรหัสแอลดีพีซีแบบไม่สม่ำเสมอและรหัสแอลดีพีซีแบบโปรโทกราฟซึ่งการออกแบบร่วมกัน ผลการจำลองพบว่า เมื่อพิจารณาที่อัตราเฟรมผิดพลาดที่ระดับ  $10^{-3}$  วิธีการออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซีแบบไม่สม่ำเสมอให้สมรรถนะอัตราเฟรมผิดพลาดที่ดีกว่าวิธีการ MMI ที่ใช้กับรหัสแอลดีพีซีแบบไม่สม่ำเสมอประมาณ 5,000 PE cycles และเมื่อพิจารณาอัตราขยายสมรรถนะของการออกแบบแรงดันไฟฟ้าอ่านร่วมกับรหัสแอลดีพีซีแบบโปรโทกราฟเทียบกับการใช้แรงดันไฟฟ้าอ่านที่ออกแบบด้วยวิธี MMI กับรหัสแอลดีพีซีแบบ AR4JA มีค่าเท่ากับ 4,300 PE cycle ที่ระดับอัตราเฟรมผิดพลาด  $10^{-4}$

##### 8.1.2 การออกแบบการถอดรหัสแบบตารางสำหรับหน่วยความจำแบบ STT-MRAM

งานวิจัยนี้เป็นการศึกษาการออกแบบวงจรถอดรหัสที่มีความซับซ้อนต่ำแต่ยังมีประสิทธิภาพในการถอดรหัสที่ดี ซึ่งวงจรถอดรหัสจะแทนที่การคำนวณที่ซับซ้อนที่แต่ละโหนดด้วยตารางการถอดรหัสด้วยตารางจะมีการออกแบบ 2 ส่วนคือวงจรควอนไทซ์และวงจรถอดรหัสด้วยตาราง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่ขึ้นต้นการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรรควอนโทซ์จะเหมือนกับการออกแบบแรงดันไฟฟ้าอ่าน ส่วนการออกแบบวงจรถอดรหัสด้วยตารางจะอาศัยวิธีการ DE ในการคำนวณเพื่อออกแบบตาราง การคำนวณค่าที่โหนดโดยใช้ตารางจะเป็นการใช้ตารางแบบ 2 อินพุตทำให้ในการคำนวณที่โหนดแบ่งเป็น 2 โครงสร้างคือ โครงสร้างแบบลำดับตาราง และโครงสร้างแบบไปข้างหน้าและย้อนกลับ ซึ่งโครงสร้างแบบไปข้างหน้าและย้อนกลับที่นำเสนอสามารถลดจำนวนตารางที่ต้องใช้ลงได้ ผลการจำลองพบว่าการใช้วงจรถอดรหัสด้วยตารางที่มีการควอนโทซ์ 4 บิตก็เพียงพอที่ค่าสมรรถนะอัตราบิตผิดพลาดเข้าสู่การถอดรหัสแบบ BP ที่มีการคำนวณที่ซับซ้อนและไม่มีการควอนโทซ์ โดยมีอัตราขยายสมรรถนะ 1% ที่ระดับอัตราบิตผิดพลาด  $10^{-6}$  เมื่อพิจารณาที่จำนวนบิตควอนโทซ์เท่ากันพบว่าสมรรถนะอัตราบิตผิดพลาดของโครงสร้างการคำนวณโหนดแบบลำดับตารางและแบบไปข้างหน้าและย้อนกลับมีค่าเท่ากันแต่อย่างไรก็ตามจำนวนตารางของโครงสร้างการถอดรหัสแบบไปข้างหน้าและย้อนกลับมีน้อยกว่า เมื่อเปรียบเทียบสมรรถนะอัตราบิตผิดพลาดของการออกแบบตารางถอดรหัสด้วยวิธีการ IBM ซึ่งแต่ละตารางถูกออกแบบแยกกันกับวิธีการ DE ที่นำเสนอที่ทุกตารางออกแบบร่วมกันพบว่าการออกแบบวงจรถอดรหัสด้วยวิธีการ DE ที่ทุกตารางออกแบบร่วมกันให้สมรรถนะอัตราบิตผิดพลาดที่เหนือกว่าทั้งจำนวนการควอนโทซ์ 2 บิต 3 บิต และ 4 บิตโดยมีอัตราขยายสมรรถนะ 1%, 0.7% และ 0.3% ตามลำดับ นอกจากนี้ยังได้ศึกษาถึงการออกแบบวงจรถอดรหัสสำหรับช่องสัญญาณ STT-MRAM ที่ไม่สมมาตรซึ่งการออกแบบจะมี 2 แบบ คือใช้อะแดปเตอร์ช่องสัญญาณแบบ i.i.d. เพื่อปรับให้ช่องสัญญาณมีความสมมาตรก่อนออกแบบวงจรรควอนโทซ์และตารางถอดรหัส และออกแบบวงจรรควอนโทซ์และตารางถอดรหัสโดยที่ไม่มีการปรับช่องสัญญาณ ผลการจำลองพบว่าทั้ง 2 วิธีการให้สมรรถนะอัตราบิตผิดพลาดที่เท่ากัน

### 8.1.3 การออกแบบการติมอดูเลชันร่วมกับการถอดรหัสแอลดีพีซีแบบโพโรโทกราฟโดยใช้ตารางที่มีเลเยอร์สำหรับระบบสื่อสาร 5G

งานวิจัยนี้เป็นการศึกษาการออกแบบวงจรถอดรหัสแบบตารางในมาตรฐานการสื่อสาร 5G ซึ่งต้องรองรับการมอดูเลชันในอันดับที่สูงขึ้น นอกจากนี้รหัสแอลดีพีซีที่กำหนดให้ใช้งานในมาตรฐานสื่อสาร 5G เป็นรหัสแอลดีพีซีแบบโพโรโทกราฟซึ่งมีความซับซ้อนในการออกแบบวงจรถอดรหัสมากกว่ารหัสแอลดีพีซีแบบปกติและรหัสแอลดีพีซีแบบไม่สม่ำเสมอเนื่องจากมีจำนวนโหนดตัวแปรที่มี 1 ดิกรี มีเส้นเชื่อมระหว่างโหนดแบบขนานมากกว่า 1 มีโหนดที่ถูกฟังก์เจอร์ และด้วยโครงสร้างของรหัสแอลดีพีซีแบบโพโรโทกราฟยังเอื้อให้สามารถออกแบบวงจรถอดรหัสแบบตารางที่มีอัลกอริทึมการถอดรหัสแบบเลเยอร์ได้ ในงานวิจัยนี้ได้นำเสนอการออกแบบวงจรรควอนโทซ์ที่มีความซับซ้อนต่ำเนื่องจากใช้ตารางในการควอนโทซ์ เมื่อเทียบกับวงจรมอดูเลชันแบบธรรมดา วงจรมอดูเลชันแบบ MLD และวงจรมอดูเลชันแบบ LC-MLD ซึ่งต่อด้วยวงจรรควอนโทซ์แบบจำกัดแล้วพบว่าให้ค่าข่าวสารร่วมที่เท่ากันเมื่อพิจารณาที่จำนวนบิตควอนโทซ์เท่ากัน แต่วงจรรควอนโทซ์ที่นำเสนอมีเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความซับซ้อนที่ต่ำที่สุด เมื่อนำไปใช้กับวงจรถอดรหัสแบบ FBP และ LBP พบว่าสามารถให้สมรรถนะ อัตราบิดผิดพลาดที่เท่ากันเมื่อพิจารณาที่การมอดูเลชันเดียวกัน เมื่อเปรียบเทียบระหว่าง วงจรถอดรหัสแบบ FBP และ LBP ที่ใช้การมอดูเลชันเดียวกันและใช้จำนวนรอบการถอดรหัสเท่ากัน พบว่าการถอดรหัสแบบ LBP เมื่อพิจารณาที่  $10^{-6}$  การมอดูเลชันแบบ BPSK  $\pi/2$ -BPSK และ QPSK ให้อัตราขยาย 0.3 dB ส่วนการมอดูเลชันแบบ 16QAM 64QAM 256QAM และ 1024QAM ให้ อัตราขยาย 0.3 dB 0.5 dB 1 dB และ 1.8 dB ตามลำดับ ถัดมาเป็นการศึกษาการออกแบบ วงจรควอนไทซ์และวงจรถอดรหัสแบบตารางซึ่งมีการศึกษาทั้งวงจรถอดรหัสแบบตาราง ได้แก่ LUT-FBP และ LUT-LBP ซึ่งผลการจำลองพบว่าการออกแบบควอนไทซ์และวงจรถอดรหัสแบบตาราง แยกกันให้สมรรถนะอัตราบิดผิดพลาดที่ต่ำกว่าการออกแบบวงจรควอนไทซ์และวงจรถอดรหัสแบบ ตารางร่วมกันเมื่อพิจารณาที่การมอดูเลชันเดียวกัน สำหรับการถอดรหัสแบบ LUT-FBP เมื่อพิจารณา ที่  $10^{-6}$  การมอดูเลชันแบบ BPSK ให้อัตราขยาย 0.1 dB ส่วนการมอดูเลชันแบบ 16QAM 64QAM 256QAM และ 1024QAM ให้อัตราขยาย 0.3 dB 0.1 dB 0.2 dB และ 0.3 dB ตามลำดับ สำหรับการ ถอดรหัสแบบ LUT-LBP เมื่อพิจารณาที่  $10^{-6}$  การมอดูเลชันแบบ BPSK ให้อัตราขยาย 0.1 dB ส่วน การมอดูเลชันแบบ 16QAM 64QAM 256QAM และ 1024QAM ให้อัตราขยาย 0.1 dB 0.3 dB 1.2 dB และ 1 dB ตามลำดับ

## 8.2 ข้อเสนอแนะ

สำหรับงานวิจัยนี้ทั้งหมดอยู่บนพื้นฐานของการจำลองโดยใช้โปรแกรมคอมพิวเตอร์ซึ่งมี การสร้างช่องสัญญาณโดยอาศัยสมการทางคณิตศาสตร์มาอธิบายปรากฏการณ์ที่คาดว่าจะเกิดขึ้นใน หน่วยความจำยังไม่ได้มีการทดสอบใช้งานบนอุปกรณ์จริง ดังนั้นเมื่อมีการใช้งานจริงจำเป็นต้องมี การปรับให้เข้ากับอุปกรณ์อีกครั้ง โดยอาศัยการประมาณค่าช่องสัญญาณจากอุปกรณ์จริง และ สามารถใช้วิธีการที่นำเสนอในการออกแบบได้โดยตรง การออกแบบการถอดรหัสโดยใช้ตารางยังมี ข้อด้อยคือเป็นการออกแบบที่จำเพาะกับช่องสัญญาณเมื่อมีการเปลี่ยนแปลงช่องสัญญาณจะต้อง เปลี่ยนตารางถอดรหัสใหม่เพื่อให้ได้สมรรถนะการถอดรหัสที่ดี

## เอกสารอ้างอิง

- [1] K. Kanda, M. Koyanagi, T. Yamamura, K. Hosono, M. Yoshihara, T. Miwa, et al., "A 120 nm 2 16 Gb 4-MLC NAND flash memory with 43 nm CMOS technology", IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, pp. 430-431, Feb. 2008.
- [2] S.-H. Chang, S. K. Lee, S. J. Park, M. J. Jung, J. C. Han, I. S. Wang, et al., "A 48 nm 32 Gb 8-level NAND flash memory with 5.5 MB/s program throughput", Proc. IEEE Int. Solid-State Circuits Conf., pp. 240-241, Feb. 2009.
- [3] Y. Takai, M. Fukuchi, R. Kinoshita, C. Matsui and K. Takeuchi, "Analysis on heterogeneous SSD configuration with quadruple-level cell (QLC) NAND flash memory", Proc. IEEE 11th Int. Memory Workshop (IMW), pp. 1-4, May 2019.
- [4] X. Wang, G. Dong, L. Pan and R. Zhou, "Error correction codes and signal processing in flash memory" in Flash Memories, Rijeka, Croatia:InTech, Sep. 2011.
- [5] G. Dong, Y. Pan, N. Xie, C. Varanasi and T. Zhang, "Estimating information-theoretical NAND flash memory storage capacity and its implication to memory system design space exploration", IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 20, no. 9, pp. 1705-1714, Sep. 2012.
- [6] Q. Xu, P. Gong, T. M. Chen, J. Michael and S. Li, "Modelling and characterization of NAND flash memory channels", Measurement, vol. 70, pp. 225-231, Jun. 2015.
- [7] G. Dong, N. Xie and T. Zhang, "On the use of soft-decision error-correction codes in NAND flash memory", IEEE Trans. Circuits Syst. I Reg. Papers, vol. 58, no. 2, pp. 429-439, Feb. 2011.
- [8] Q. Li, Q. Wang, Q. Xu and Z. Huo, "A fast read retry method for 3D NAND flash memories using novel valley search algorithm", IEICE Electron. Exp., vol. 15, no. 22, 2018.
- [9] K. Cai, Z. Qin and B. Chen, "Channel capacity and soft-decision decoding of LDPC codes for spin-torque transfer magnetic random-access memory (STT-MRAM)", Proc. Int. Conf. Comput. Netw. Commun. (ICNC), pp. 550-554, Jan. 2013.
- [10] T. Na, S. H. Kang and S.-O. Jung, "STT-MRAM sensing: A review", IEEE Trans. Circuits Syst. II Exp. Briefs, vol. 68, no. 1, pp. 12-18, Jan. 2021.
- [11] J. Yang, B. Geller, M. Li and T. Zhang, "An information theory perspective for the binary STT-MRAM cell operation channel", IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 24, no. 3, pp. 979-991, Mar. 2016.
- [12] 3rd Generation Partnership Project (3GPP), "Multiplexing and channel coding," 3GPP TS 38.212 V.16.2.0, 2020.
- [13] E. Sharon, S. Litsyn and J. Goldberger, "Efficient serial message-passing schedules for LDPC decoding", IEEE Trans. Inf. Theory, vol. 53, no. 11, pp. 4076-4091, Nov. 2007.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [14] G. Dong, N. Xie, and T. Zhang, "On the use of soft-decision error-correction codes in nand flash memory, " IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 58, no. 2, pp. 429-439, 2011.
- [15] J. Wang, K. Vakili, T.-Y. Chen, T. Courtade, G. Dong, T. Zhang, et al., "Enhanced precision through multiple reads for LDPC decoding in flash memories", IEEE J. Sel. Areas Commun., vol. 32, no. 5, pp. 880-891, May 2014.
- [16] C. A. Aslam, Y. L. Guan and K. Cai, "Read and write voltage signal optimization for multi-level-cell (MLC) NAND flash memory", IEEE Trans. Commun., vol. 64, no. 4, pp. 1613-1623, Apr. 2016.
- [17] Chanan Singh; Panida Jirutitijaroen; Joydeep Mitra, "Monte Carlo Simulation," in Electric Power Grid Reliability Evaluation: Models and Methods, IEEE, 2019, pp.165-183, doi: 10.1002/9781119536772.ch6.
- [18] T. J. Richardson, M. A. Shokrollahi and R. L. Urbanke, "Design of capacity-approaching irregular low-density parity-check codes", IEEE Trans. Inf. Theory, vol. 47, no. 2, pp. 619-637, Feb. 2001.
- [19] M. P. C. Fossorier, M. Mihaljevic and H. Imai, "Reduced complexity iterative decoding of low-density parity check codes based on belief propagation", IEEE Trans. Commun., vol. 47, no. 5, pp. 673-680, May 1999.
- [20] J. Chen and M. P. C. Fossorier, "Near optimum universal belief propagation-based decoding of low-density parity check codes", IEEE Trans. Commun., vol. 50, no. 3, pp. 406-414, Mar. 2002.
- [21] J. Chen and M. P. C. Fossorier, "Density evolution for two improved BP-based decoding algorithms of LDPC codes", IEEE Commun. Lett., vol. 6, no. 5, pp. 208-210, May 2002.
- [22] D. A. Spielman, "Linear-time encodable and decodable error-correcting codes," in IEEE Transactions on Information Theory, vol. 42, no. 6, pp. 1723-1731, Nov. 1996, doi: 10.1109/18.556668.
- [23] J. Thorpe, "Low-density parity-check (LDPC) codes constructed from protographs", Proc. IPN Progr. Rep., pp. 1-7, Aug. 2003.
- [24] B. Li, Y. Pei and W. Wen, "Efficient low-density parity-check (LDPC) code decoding for combating asymmetric errors in STT-RAM", Proc. IEEE Comput. Soc. Annu. Symp. VLSI (ISVLSI), pp. 266-271, Jul. 2016.
- [25] Z. Xingwei, K. Cai, P. Chen and Z. Mei, "Design of rate-compatible protograph LDPC codes for spin-torque transfer magnetic random-access memory (STT-MRAM)", IEEE Access, vol. 7, pp. 182425-182432, 2019.
- [26] M. Meidlinger, A. Balatsoukas-Stimming, A. Burg and G. Matz, "Quantized message passing for LDPC codes", Proc. 49th Asilomar Conf. Signals Syst. Comput., pp. 1606-1610, Nov. 2015.

- [27] M. Meidlinger and G. Matz, "On irregular LDPC codes with quantized message passing decoding", Proc. IEEE 18th Int. Workshop Signal Process. Adv. Wireless Commun. (SPAWC), pp. 1-5, Jul. 2017.
- [28] J. Lewandowsky and G. Bauch, "Trellis based node operations for LDPC decoders from the information bottleneck method", Proc. 9th Int. Conf. Signal Process. Commun. Syst. (ICSPCS), pp. 1-10, Dec. 2015.
- [29] J. Lewandowsky and G. Bauch, "Information-optimum LDPC decoders based on the information Bottleneck method", IEEE Access, vol. 6, pp. 4054-4071, 2018.
- [30] M. Stark, J. Lewandowsky and G. Bauch, "Information-optimum LDPC decoders with message alignment for irregular codes", Proc. IEEE Global Commun. Conf. (GLOBECOM), pp. 1-6, Dec. 2018.
- [31] J. Erfanian, S. Pasupathy and G. Gulak, "Reduced complexity symbol detectors with parallel structure for ISI channels", IEEE Transactions on Communications, vol. 42, no. 234, pp. 1661-1671, February 1994.
- [32] P. Robertson, E. Villebrun and P. Hoeher, "A comparison of optimal and sub-optimal MAP decoding algorithms operating in the log domain", Proceedings IEEE International Conference on Communications ICC '95, vol. 2, pp. 1009-1013, June 1995.
- [33] O. Shental and J. Hoydis, "Machine Learning: Learning to Softly Demodulate," 2019 IEEE Globecom Workshops (GC Wkshps), Waikoloa, HI, USA, 2019, pp. 1-7, doi: 10.1109/GCWkshps45667.2019.9024433.
- [34] M. Stark, L. Wang, G. Bauch and R. D. Wesel, "Decoding Rate-Compatible 5G-LDPC Codes with Coarse Quantization Using the Information Bottleneck Method," in IEEE Open Journal of the Communications Society, vol. 1, pp. 646-660, 2020, doi: 10.1109/OJCOMS.2020.2994048.
- [35] 3rd Generation Partnership Project (3GPP), "Physical channel and modulation," 3GPP TS 38.211 V.17.4.0, 2022.
- [36] M. Sandell, F. Tosato and A. Ismail, "Low Complexity Max-log LLR Computation for Nonuniform PAM Constellations," in IEEE Communications Letters, vol. 20, no. 5, pp. 838-841, May 2016, doi: 10.1109/LCOMM.2016.2535116.
- [37] Advanced micro devices (AMD), "Soft-Decision QAM Demodulator Design on AI Engine," April, 2023.
- [38] V. Mohan, "Modelling the physical characteristics of NAND flash memory," May 2010.
- [39] M. Lenzlinger and E.H. Snow. "Fowler-Nordheim tunneling into thermally grown SiO<sub>2</sub>. Electron Devices," IEEE Transactions on, 15(9):686-686, Sep 1968.
- [40] J.E. Brewer and M. Gill, editors. "Nonvolatile Memory Technologies with Emphasis on Flash," IEEE Press, 2008.

- [41] T. Tanaka and et. al., “A quick intelligent page-programming architecture and a shielded bit-line sensing method for 3V-only nand flash memory,” Solid-State Circuits, IEEE Journal, Nov 1994.
- [42] G. Dong, Y. Pan, N. Xie, C. Varanasi, and T. Zhang, “Estimating Information-Theoretical NAND Flash Memory Storage Capacity and its Implication to Memory System Design Space Exploration,” IEEE transactions on very large-scale integration (VLSI) systems, VOL. 20, NO. 9, SEPTEMBER 2012.
- [43] C. A. Aslam, Y. Liang Guan, and K. Cai “Read and write voltage signal optimization for multi-level-cell (MLC) NAND flash Memory,” IEEE Trans. Commun. Vol. 64, No. 4, Apr 2016.
- [44] G. Dong, S. Li, and T. Zhang, “Using data post-compensation and pre-distortion to tolerate cell-to-cell interference in MLC NAND flash memory,” IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 57, no. 10, pp. 2718–2728, Oct. 2010.
- [45] S. Realov, and K. L. Shepard, “Analysis of Random Telegraph Noise in 45-nm CMOS Using On-Chip Characterization System,” IEEE transactions on electron devices, VOL. 60, NO. 5, May 2013.
- [46] J.-D. Lee, S.-H. Hur, and J.-D. Choi, “Effects of floating-gate interference on NAND flash memory cell operation,” IEEE Electron. Device Lett., vol. 23, no. 5, pp. 264–266, May 2002.
- [47] K. Takeuchi, Y. Kameda, S. Fujimura, H. Otake, K. Hosono, H. Shiga, Y. Watanabe, T. Futatsuyama, Y. Shindo, M. Kojima, M. Iwai, M. Shirakawa, M. Ichige, K. Hatakeyama, S. Tanaka, T. Kamei, J.-Y. Fu, A. Cernea, Y. Li, M. Higashitani, G. Hemink, S. Sato, K. Oowada, S.-C. Lee, N. Hayashida, J. Wan, J. Lutze, S. Tsao, M. Mofidi, K. Sakurai, N. Tokiwa, H. Waki, Y. Nozawa, K. Kanazawa, and S. Ohshima, “A 56-nm CMOS 99-mm 8-Gb multi-level NAND flash Memory with 10-MB/s program throughput,” IEEE J. Solid-State Circuits, vol. 42, no. 1, pp. 219–232, Jan. 2007.
- [48] K.-T. Park, M. Kang, D. Kim, S.-W. Hwang, B. Y. Choi, Y.-T. Lee, C. Kim, and K. Kim, “A zeroing cell-to-cell interference page architecture with temporary LSB storing and parallel MSB program scheme for MLC NAND flash memories,” IEEE J. Solid-State Circuits, vol. 40, no. 4, pp. 919–928, Apr. 2008.
- [49] M. Hosomi, H. Yamagishi, T. Yamamoto, K. Bessho, Y. Higo, K. Yamane, H. Yamada, M. Shoji, H. Hachino, C. Fukumoto, H. Nagao, and H. Kano, “A novel nonvolatile memory with spin torque transfer magnetization switching: Spin-RAM,” in Tech. Dig. Intl. Electron Devices Meeting (IEDM), Washington, USA, Dec. 2005, pp. 459–462.
- [50] T. Yamamoto, et al., “Magnetoresistive random access memory operation error by thermally activated reversal,” J. Appl. Phys., 97, 10P503 (2005).

- [51] Hugh D. Young and Roger A. Freedman, "University Physics with Modern Physics," Pearson Education Indochina Ltd, Inc., 3rd editions, 2548.
- [52] Y. Ye, F. Liu, M. Chen, S. Nassif, and Y. Cao, "Statistical modeling and simulation of threshold variation under random dopant fluctuations and line-edge roughness," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 19, no. 6, pp. 987–996, Jun. 2011.
- [53] J. Li, C. Augustine, S. Salahuddin, and K. Roy, "Modeling of failure probability and statistical design of spin-torque transfer magnetic random-access memory (STT MRAM) array for yield enhancement," in *Proc. 45th ACM/IEEE Design Autom. Conf. (DAC)*, Anaheim, CA, USA, Jun. 2008, pp. 278–283.
- [54] X. Wang, Y. Zheng, H. Xi, and D. Dimitrov, "Thermal fluctuation effects on spin torque induced switching: Mean and variations," *J. Appl. Phys.*, vol. 103, no. 3, p. 034507, Feb. 2008.
- [55] Z. Diao et al., "Spin-transfer torque switching in magnetic tunnel junctions and spin-transfer torque random access memory," *J. Phys., Condens. Matter*, vol. 19, no. 16, pp. 165209-1–165209-13, Apr. 2007.
- [56] R. G. Gallager, *Low-Density Parity-Check Codes*, Cambridge, MA, USA: MIT Press, 1963.
- [57] R. M. Tanner, "A recursive approach to low complexity codes," *IEEE Trans on Inform Theory*, vol. IT-27, no.5, pp. 533-547, Sep 1981.
- [58] Mackay, D.J.C., Neal, R.M, "Near Shannon limit performance of low density parity check codes," *Electr. Lett.*, 1997, 33, (6), pp. 457–458.
- [59] C.E. Shannon, "A mathematical theory of communication," *Bell System Technical Journal*, vol. 27, pp. 379 – 423, 623 – 656, July, October 1948.
- [60] C. Berrou, A. Glavieux, and P. Thitimajshima, "Near Shannon limit error-correcting coding and decoding: Turbo-codes," in *Proc. IEEE Int. Conf. Communications*, Geneva, Switzerland, May 1993, pp. 1064–1070.
- [61] T. Richardson, A. Shokrollahi, and R. Urbanke, "Design of capacity approaching irregular low-density parity-check codes," *IEEE Trans. Inform. Theory*, vol. 47, no. 2, pp. 619–637, Feb. 2001.
- [62] M. Fossorier, "Quasi-cyclic low-density parity-check codes from circulant permutation matrices", *IEEE Trans. Inf. Theory*, vol. 50, no. 8, pp. 1788-1793, Aug. 2004.
- [63] T. Richardson and R. Urbanke, "Multi-edge type LDPC codes", *Workshop honoring Prof. Bob McEliece on his 60th birthday*, May 2002, [online] Available: <http://citeseerx.ist.psu.edu/viewdoc/summary?doi=10.1.1.106.7310>.
- [64] D. Divsalar, S. Dolinar, C. Jones and K. Andrews, "Capacity-approaching protograph codes", *IEEE J. Sel. Areas Commun.*, vol. 27, no. 6, pp. 876-888, Aug. 2009.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่ภายนอก

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [65] V. Nguyen, Design of capacity-approaching protograph-based LDPC coding systems, Dec. 2012.
- [66] T.-Y. Chen, D. Divsalar and R. Wesel, "Protograph-based Raptor-like LDPC codes with low thresholds", Proc. IEEE ICC, pp. 2161-2165, Jun. 2012.
- [67] A. Shokrollahi, "Raptor codes," in IEEE Transactions on Information Theory, vol. 52, no. 6, pp. 2551-2567, June 2006, doi: 10.1109/TIT.2006.874390.
- [68] M. Luby, "LT-codes", Proc. 43rd Annu. IEEE Symp. Foundations of Computer Science (FOCS), pp. 271-280, 2002-Nov.
- [69] J. Garcia-Frias and W. Zhong, "Approaching Shannon performance by iterative decoding of linear codes with low-density generator matrix", IEEE Commun. Lett., vol. 7, no. 6, pp. 266-268, Jun. 2003.
- [70] S. B. Wicker, Error control systems for digital communication and storage. New Jersey: Printice Hall International, 1995.
- [71] R.W. Hamming, "Coding and Information Theory", 2nd, Prentice Hall, 1986.
- [72] S.-Y. Chung, "On the construction of some capacity-approaching coding schemes," Ph.D. dissertation, Massachusetts Institute of Technology, Cambridge, 2000.
- [73] R. Storn and K. Price, "Differential evolution—A simple and efficient heuristic adaptive scheme for global optimization over continuous spaces", J. Global Optimiz., vol. 11, pp. 341-359, Dec. 1997.
- [74] J. Hou, P. H. Siegel, L. B. Milstein and H. D. Pfister, "Capacity-approaching bandwidth- efficient coded modulation schemes based on low-density parity-check codes", IEEE Trans. Inf. Theory, vol. 49, no. 9, pp. 2141-2155, Sep. 2003.
- [75] D. Divsalar, S. Dolinar, C. Jones and K. Andrews, "Capacity-approaching protograph codes", IEEE J. Sel. Areas Commun., vol. 27, no. 6, pp. 876-888, Aug. 2009.
- [76] D. Divsalar, S. Dolinar, and C. Jones, "Construction of protograph LDPC codes with linear minimum distance," in Proc. IEEE ISIT, Jul. 2006, pp. 664–668.
- [77] Xiao-Yu Hu, E. Eleftheriou and D. M. Arnold, "Regular and irregular progressive edge-growth tanner graphs," in IEEE Transactions on Information Theory, vol. 51, no. 1, pp. 386-398, Jan. 2005, doi: 10.1109/TIT.2004.839541.
- [78] Y. Bu, Y. Fang, G. Han, S. Mumtaz and M. Guizani, "Design of protograph-LDPC-based BICM-ID for multi-level-cell (MLC) NAND flash memory", IEEE Commun. Lett., vol. 23, no. 7, pp. 1127-1131, Jul. 2019.
- [79] Y. Fang, G. Zhang, G. Cai, F. C. M. Lau, P. Chen and G. Han, "Root-protograph-based BICM-ID: A reliable and efficient transmission solution for block-fading channels", IEEE Trans. Commun., vol. 67, no. 9, pp. 5921-5939, Sep. 2019.
- [80] C. Duangthong, P. Supnithi and W. Phakphisut, "Joint Design of Channel Output Quantizer and LUT-Based LDPC Decoder," 2021 18th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Information Technology (ECTI-CON), Chiang Mai, Thailand, 2021, pp. 508-511, doi:  
10.1109/ECTI-CON51831.2021.9454862.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ประวัติผู้เขียน

ชื่อ-นามสกุล	นายจตุพร ด้วงทอง
วัน เดือน ปีเกิด	28 เมษายน พ.ศ. 2535 ที่อุบลราชธานี
ที่อยู่	1 หมู่ที่ 1 ตำบลคำขวาง อำเภวารินชำราบ จังหวัดอุบลราชธานี 34190
ประวัติการศึกษา	2558 วิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2560 วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ผลงานวิจัยที่ได้รับการตีพิมพ์

### ผลงานวิจัยที่ได้รับการตีพิมพ์ในวารสารวิชาการ

- พ.ศ. 2564 1. **C. Duangthong**, W. Phakphisut and P. Supnithi, "Design of LUT-Based LDPC Decoders for Spin-Transfer Torque Magnetic Random Access Memory," in IEEE Transactions on Magnetics, vol. 58, no. 8, pp. 1-5, Aug. 2022, Art no. 3401105, doi: 10.1109/TMAG.2021.3137556.
- พ.ศ. 2565 2. **C. Duangthong**, P. Supnithi, and W. Phakphisut, "Two-Dimensional Error Correction Code for Spin-Transfer Torque Magnetic Random-Access Memory (STT-MRAM) Caches", ECTI-CIT Transactions, vol. 16, no. 3, pp. 237–246, Jun. 2022.
- พ.ศ. 2566 3. **C. Duangthong**, W. Phakphisut and P. Wardkein, "Efficient Design of Read Voltages and LDPC Codes in NAND Flash Memory Using Density Evolution," in IEEE Access, vol. 11, pp. 74420-74437, 2023, doi: 10.1109/ACCESS.2023.3296250.

### ผลงานวิจัยที่ได้นำเสนอในงานประชุมวิชาการ

- พ.ศ. 2562 1. **C. Duangthong**, W. Phakphisut and P. Supnithi, "Capacity Enhancement of Asymmetric Multi-Level Cell (MLC) NAND Flash Memory using Write Voltage Optimization," 2019 34th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), Jeju, Korea (South), 2019, pp. 1-4, doi: 10.1109/ITC-CSCC.2019.8793445.
- พ.ศ. 2562 2. **C. Duangthong**, W. Phakphisut and P. Supnithi, "Read Voltage Optimization in MLC NAND Flash Memory via the Density Evolution," 2019 26th International Conference on Telecommunications (ICT), Hanoi, Vietnam, 2019, pp. 361-365, doi: 10.1109/ICT.2019.8798808.
- พ.ศ. 2564 3. **C. Duangthong**, P. Supnithi and W. Phakphisut, "Joint Design of Channel Output Quantizer and LUT-Based LDPC Decoder," 2021 18th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON), Chiang Mai, Thailand, 2021, pp. 508-511, doi: 10.1109/ECTI-CON51831.2021.9454862.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- พ.ศ. 2565 4. **C. Duangthong** and W. Phakphisut, "Design of Lookup-Table (LUT) Decoder for Protograph-Based Low-Density Parity-Check (LDPC) codes," 2022 37th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), Phuket, Thailand, 2022, pp. 844-847, doi: 10.1109/ITC-CSCC55581.2022.9895041.
- พ.ศ. 2565 5. A. Wongsas, K. Mueadkhunthod, W. Phakphisut, **C. Duangthong**, K. Puntsri and T. Sapon, "Development of 5G Polar Experimental Kit," 2022 37th International Technical Conference on Circuits/Systems, Computers and Communications (ITC-CSCC), Phuket, Thailand, 2022, pp. 852-855, doi: 10.1109/ITC-CSCC55581.2022.9895025.
- พ.ศ. 2566 6. T. Srisupha, A. Wongsas, **C. Duangthong** and W. Phakphisut, "Development of High Efficient LDPC Encoder for Deep Space Applications," 2023 International Technical Conference on Circuits/Systems, Computers, and Communications (ITC-CSCC), Jeju, Korea, Republic of, 2023, pp. 1-5, doi: 10.1109/ITC-CSCC58803.2023.10212651.
- พ.ศ. 2566 7. K. Mueadkhunthod, A. Wongsas, T. Srisupha, **C. Duangthong**, K. Puntsri and W. Phakphisut, "5G Channel Coding Tool: Learning and Performance Evaluation," 2023 International Technical Conference on Circuits/Systems, Computers, and Communications (ITC-CSCC), Jeju, Korea, Republic of, 2023, pp. 1-6, doi: 10.1109/ITC-CSCC58803.2023.10212899.

### ต้นแบบซอฟต์แวร์

ซอฟต์แวร์สำหรับออกแบบวงจรควอนไทซ์ และวงจรถอดรหัสแบบตาราง และระบบจำลองสมรรถนะ อัตราบิตผิดพลาด

### ประกาศนียบัตรการทำงาน

- พ.ศ. 2557 - 2562 ผู้ช่วยสอนในระดับปริญญาตรีรายวิชาการสื่อสารดิจิทัล
- พ.ศ. 2563 ผู้ช่วยวิจัยในโครงการ “โครงการพัฒนาความพร้อมระดับประเทศของการสื่อสารไร้สายในยุค 5G”
- พ.ศ. 2563 หนึ่งในผู้เขียนหนังสือ “เทคโนโลยีการสื่อสารยุค 5G”
- พ.ศ. 2565 สตาร์ทอัพในโครงการ “Space economy: lifting off 2022”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- พ.ศ. 2566 ผู้ช่วยวิจัยในโครงการ “โครงการพัฒนาอุปกรณ์ถอดรหัสช่องสัญญาณมาตรฐาน 5G สำหรับสื่อการสอนและการ์ดเร่งความเร็วสำหรับโครงข่าย O-RAN”
- พ.ศ. 2566 ก่อตั้งบริษัท มณีแลบ จำกัด
- พ.ศ. 2566 รับทุนจาก TEDFund ภายใต้โครงการ “ManeeLab: การพัฒนาวงจรเข้าและถอดรหัสแอลดีพีซีตามมาตรฐานสื่อสารอวกาศบนชิปเอพพีจีเอ”



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้