วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์แบบแอคทีฟโดยใช้วงจร VDTA

ACTIVE IMMITTANCE FUNCTION SIMULATORS USING VDTAs

พิชญานิน มูลเมือง

PITCHAYANIN MOONMUANG

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2566

KMITL-2023-EN-D-018-009

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ACTIVE IMMITTANCE FUNCTION SIMULATORS USING VDTAs

PITCHAYANIN MOONMUANG

A THESIS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENTS FOR THE DEGREE OF

DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING

SCHOOL OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2023

KMITL-2023-EN-D-018-009

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COPYRIGHT 2023
SCHOOL OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์แบบแอคทีฟโดยใช้วงจร VDTA
นักศึกษา	นางสาวพิชญานิน มูลเมือง
รหัสประจำตัว	63601238
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2566
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ศ.ดร. วรพงศ์ ตั้งศรีรัตน์

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เสนอการออกแบบการออกแบบและสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียและวงจรเลียนแบบค่าอิมพีแดนซ์โดยใช้อุปกรณ์แอคทีฟหลัก (active element) คือ วงจร VDTA (voltage differencing transconductance amplifier) ซึ่งวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่มีการสูญเสียใช้วงจร VDTA จำนวนหนึ่งตัวต่อร่วมกับอุปกรณ์พาสซีฟจำนวนสองตัวเท่านั้น ในขณะที่วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ที่ออกแบบขึ้นจากวงจร VDTA ไม่เกินสองตัวต่อร่วมกับอุปกรณ์พาสซีฟจำนวนหนึ่งเท่านั้น ซึ่งค่าความต้านทานสมมูล ค่าความจุไฟฟ้าสมมูลและค่าความเหนี่ยวนำสมมูล ของวงจรที่นำเสนอนี้สามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการแปรกระแสไบอัสจากภายนอกของวงจร VDTA คุณสมบัติในการทำงานของวงจรที่นำเสนอถูกแสดงให้เห็นผลจริงด้วยผลการจำลองการทำงานผ่านโปรแกรม PSPICE ด้วยเทคโนโลยีแบบ CMOS ขนาด 0.18 μm ของบริษัท TSMC พร้อมการประยุกต์ใช้งานในวงจรกรองสัญญาณชนิดต่างๆ และการต่อทดลองด้วยวงจรจริงโดยใช้ไอซีเบอร์ CA3080 ซึ่งผลที่ได้มีความสอดคล้องและเป็นไปตามกับหลักการในทางทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Active Immittance function simulators using VDTAs
Student	Ms. Pitchayanin Moonmuang
Student ID.	63601238
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2023
Thesis Advisor	Prof. Dr. Worapong Tangsrirat

ABSTRACT

In this thesis propose and synthesize lossy inductance simulators for circuits and immittance function simulators by using VDTA (voltage differencing transconductance amplifier) as an active element. The proposed floating lossy inductance simulator circuits are made up of one VDTA and two passive components. Meanwhile, the immittance function simulators use no more than two VDTA circuits and two passive components. The simulated values of equivalent resistance, equivalent inductance, and equivalent capacitance can be tuned electronically by the external bias currents of the VDTAs. The performance of the proposed circuits has been evaluated through PSPICE simulation with TSMC 0.18 μm CMOS technology, including filter applications. The experimental measurements of the commercially available integrated circuit, CA3080, with which the results are tallied corroborate the theoretical principle.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จสมบูรณ์ได้ด้วยดีจากความช่วยเหลือของอาจารย์และบุคคลหลายท่านดังนี้

ผู้เขียนขอกราบขอบพระคุณอาจารย์ผู้ควบคุมวิทยานิพนธ์ ศาสตราจารย์ ดร. วรพงศ์ ตั้งศรีรัตน์ ที่กรุณารับผู้เขียนเป็นศิษย์ คอยให้คำแนะนำขั้นตอนวิธีการทำวิจัยที่ถูกต้อง พร้อมแนวทางการแก้ไขปัญหาต่างๆ ที่เกิดขึ้น ตลอดการเขียนวิทยานิพนธ์ฉบับนี้ผู้เขียนได้รับความรู้ความเข้าใจเกี่ยวกับวิทยานิพนธ์อย่างถ่องแท้ รวมถึงประสบการณ์ที่ได้มีโอกาสเข้าร่วมการประชุมทางวิชาการทั้งในประเทศและต่างประเทศ พร้อมทั้งคอยปลูกฝังแนวคิดการดำเนินชีวิตที่เป็นแบบอย่างที่ดีให้แก่ผู้เขียน จึงขอกราบขอบพระคุณเป็นอย่างสูงมา ณ ที่นี้

ขอกราบขอบพระคุณรองศาสตราจารย์ ดร. ธีรศิลป์ ทุมวิภาต และรองศาสตราจารย์ ดร. สุมาลี อุหณวณิชย์ ภาควิชาวิศวกรรมเครื่องมือวัดและอิเล็กทรอนิกส์ (IEE) คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ ศาสตราจารย์ ดร. วันชัย ริ้วรุจา รองศาสตราจารย์ ดร. วรรณดี เพชรมณีล้ำค่า รองศาสตราจารย์ ดร. ทัตยา ปุคคละนันทน์ ผู้ช่วยศาสตราจารย์ ดร. สิริชัย ธรรมารักษ์วัฒนะ และผู้ช่วยศาสตราจารย์ ดร. อภินัย ฤกษ์รัตน์ ภาควิชาวิศวกรรมการวัดและควบคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ให้คำแนะนำ ให้ความรู้ในเรื่องต่างๆทั้งในตำราและนอกตำราเรียนแก่ผู้เขียนเสมอมา

ขอกราบขอบพระคุณ Assoc. Prof. Dr. Masaaki Fukuhara, Department of Embedded Technology, School of Information and Telecommunication Engineering, Tokai University จังหวัดโตเกียว ประเทศญี่ปุ่น และสมาชิกทุกคนใน Fukuhara Lab. ได้แก่ Shoma Shima Sawada Nishiguchi และ Fuminao ที่คอยให้คำชี้แนะในการทำวิจัยระยะสั้น ดูแลเป็นอย่างดีตลอดระยะเวลาที่ผู้เขียนทำวิจัยอยู่ ณ มหาวิทยาลัยโตไก ประเทศญี่ปุ่น

ขอขอบคุณทุนปริญญาเอก (KMITL Doctoral Scholarships) สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง เลขที่สัญญา KDS2020/008 ที่ให้ทุนสนับสนุนค่าเทอมตลอดระยะเวลาที่ทำการศึกษา สนับสนุนการวิจัยในวิทยานิพนธ์ฉบับนี้และทำวิจัยระยะสั้น ณ มหาวิทยาลัยโทไก จังหวัดโตเกียว ประเทศญี่ปุ่น

ขอขอบคุณห้องปฏิบัติการวิจัยประมวลผลสัญญาณรวม (Mixed Signal Processing Laboratory, MSP Lab) ซึ่งให้การสนับสนุนพื้นที่การทำงานวิจัย เครื่องมือต่างๆ ที่ใช้ในการทดลองเพื่อแสดงในวิทยานิพนธ์ฉบับนี้ และขอขอบคุณพี่ๆทุกคน และมาสเตอร์ ซึ่งคอยให้คำชี้แนะในเรื่องต่างๆ รวมทั้งเป็นกำลังใจที่สำคัญแก่ผู้เขียนตลอดระยะเวลาของการศึกษา

ขอขอบคุณห้องปฏิบัติการวิจัยประมวลผลสัญญาณรวม (Mixed Signal Processing Laboratory, MSP Lab) ซึ่งให้การสนับสนุนพื้นที่การทำงานวิจัย เครื่องมือต่างๆ ที่ใช้ในการทดลองเพื่อแสดงในวิทยานิพนธ์ฉบับนี้

ขอขอบคุณพี่เจต พี่ปอนด์ พี่พิน และโอม ณ ห้องปฏิบัติการวิจัย MSP Lab สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ซึ่งเป็นกำลังใจและชี้แนะแนวทางการแก้ปัญหา รวมทั้งสนับสนุนเครื่องมือและอุปกรณ์ต่างๆกับผู้เขียนตลอดระยะเวลาของการศึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขอกราบขอบพระคุณนางนภาพร มูลเมือง ซึ่งเป็นมารดา และนายนิคม มูลเมืองซึ่งเป็นบิดาของข้าพเจ้า ที่เป็นกำลังใจให้การสนับสนุนและให้ความช่วยเหลือผู้เขียนในทุกๆ ด้านเสมอมา ซึ่งมีค่ากับผู้เขียนอย่างยิ่ง

สุดท้ายนี้ขอขอบพระคุณบุคคลที่มิได้เอ่ยนามมา ณ ที่นี้ ซึ่งให้การสนับสนุนผู้เขียน และเป็นกำลังใจให้กับผู้เขียนเสมอมา

คุณประโยชน์อันพึงมาจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแด่ผู้มีพระคุณทุกท่าน

พิชญานิน มูลเมือง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย I
บทคัดย่อภาษาอังกฤษ II
กิตติกรรมประกาศ III
สารบัญ V
สารบัญตาราง IX
สารบัญรูป XI
บทที่ 1 บทนำ 1
1.1 ความเป็นมาและความสำคัญของปัญหา 1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา 6
1.3 หลักการใหม่ที่นำเสนอในวิทยานิพนธ์ 7
1.4 รายละเอียดของวิทยานิพนธ์ 7
1.5 เอกสารอ้างอิงบทที่ 1 9

บทที่ 2 วงจร VDTA 13
2.1 กล่าวนำ 13
2.2 หลักการทำงานพื้นฐานของวงจร VDTA 13
2.2.1 คุณสมบัติวงจร VDTA ในทางอุดมคติ 14
2.2.2 คุณสมบัติวงจร VDTA ในทางปฏิบัติ 15
2.3 วงจร VDTA แบบใช้เทคโนโลยีมอสทรานซิสเตอร์ 16
2.4 การสังเคราะห์วงจร VDTA แบบใช้เทคโนโลยีมอสทรานซิสเตอร์ 17
2.4.1 วงจรขยายค่าความนำ 18
2.4.2 วงจรสะท้อนกระแส 19
2.5 ผลการจำลองการทำงานวงจร VDTA 21
2.6 ผลการต่อทดลองด้วยวงจรจริง 25
2.7 สรุป 29
2.8 เอกสารอ้างอิงบทที่ 2 29

บทที่ 3 วงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่มีการสูญเสียโดยใช้ตัวต้านทานและตัวเก็บประจุเทียบกราวด์อย่างละหนึ่งตัว 31
3.1 กล่าวนำ 31
3.2 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบลอยตัวที่นำเสนอ 32
3.3 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบลอยตัวที่นำเสนอในทางปฏิบัติ 33
3.4 ผลการจำลองการทำงานของวงจร 35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

3.4.1 ผลการจำลองการทำงานของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรม 35
3.4.2 ผลการจำลองการทำงานของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนาน 38
3.5 ผลการต่อทดลองด้วยวงจรจริง 40
3.5.1 ผลการจำลองการทำงานของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรม 41
3.5.2 ผลการจำลองการทำงานของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบขนาน 45
3.6 การประยุกต์ใช้งานของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียที่นำเสนอ 48
3.7 สรุป 50
3.8 เอกสารอ้างอิงบทที่ 3 50

บทที่ 4 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC 53
4.1 กล่าวนำ 53
4.2 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ที่นำเสนอ 54
4.2.1 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ที่นำเสนอ 54
4.2.2 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอ 57
4.3 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ที่นำเสนอในทางปฏิบัติ 59
4.3.1 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ในรูป 4.1 59
4.3.2 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวในรูป 4.3 61
4.4 ผลการจำลองการทำงานของวงจร 64
4.4.1 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ในรูป 4.1 64
4.4.2 ผลการจำลองการทำงานของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวในรูปที่ 4.3 70
4.5 ผลการต่อทดลองด้วยวงจรจริง 81
4.6 การประยุกต์ใช้งานของวงจรเลียนแบบอิมพีแดนซ์ RL และ RC ที่นำเสนอ 93
4.7 สรุป 96
4.8 เอกสารอ้างอิงบทที่ 4 97

บทที่ 5 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์โดยใช้อุปกรณ์พาสซีฟจำนวนสองตัว 98
5.1 กล่าวนำ 98
5.2 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ที่นำเสนอ 99
5.2.1 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ 99

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

5.2.2 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอในรูปที่ 5.2 101
5.3 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ที่นำเสนอในทางปฏิบัติ 104
5.3.1 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ 104
5.3.2 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอในรูปที่ 5.2 106
5.4 ผลการจำลองการทำงานของวงจร 108
5.4.1 ผลการจำลองการทำงานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบอนุกรมในรูปที่ 5.1 (ก) 108
5.4.2 ผลการจำลองการทำงานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบขนานในรูปที่ 5.1 (ข) 111
5.4.3 ผลการจำลองการทำงานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบอนุกรมที่นำเสนอในรูปที่ 5.2 (ก) 114
5.4.4 ผลการจำลองการทำงานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบขนานในรูปที่ 5.2 (ข) 120
5.5 ผลการต่อทดลองด้วยวงจรจริง 125
5.5.1 ผลการต่อทดลองของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบอนุกรม 126
5.5.2 ผลการต่อทดลองของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบขนาน 131
5.6 การประยุกต์ใช้งานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอ 136
5.6.1 การประยุกต์ใช้งานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบอนุกรมในรูปที่ 5.2 (ก) 136
5.6.2 การประยุกต์ใช้งานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบขนานที่นำเสนอในรูปที่ 5.2 (ข) 131
5.7 สรุป 140
5.8 เอกสารอ้างอิงบทที่ 5 140

บทที่ 6 บทสรุปและข้อเสนอแนะแนวทางในการทำวิจัยต่อ 143
6.1 บทสรุป 143
6.2 ข้อเสนอแนะแนวทางในการทำวิจัยต่อ 145
6.3 เอกสารอ้างอิงบทที่ 6 146

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

ภาคผนวก 148
ภาคผนวก ก การวิเคราะห์คุณสมบัติของวงจร VDTA 149
ภาคผนวก ข การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสีย ต่อลอยตัวในรูปที่ 3.1 158
ภาคผนวก ค การวิเคราะห์คุณสมบัติของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ที่นำเสนอในรูปที่ 4.1 และรูปที่ 4.2 171
ภาคผนวก ง การวิเคราะห์คุณสมบัติของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอในรูปที่ 4.3 186
ภาคผนวก จ การประยุกต์ใช้งานของวงจรเลียนแบบอิมพีแดนซ์ RL และ RC ที่นำเสนอ 194
ภาคผนวก ฉ การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ ต่อเทียบกราวด์ที่นำเสนอในรูปที่ 5.1 198
ภาคผนวก ช การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ ต่อลอยตัวที่นำเสนอในรูปที่ 5.2 207
ภาคผนวก ซ การประยุกต์ใช้งานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ ต่อลอยตัวที่นำเสนอในรูปที่ 5.2 220
ภาคผนวก ฌ บทความวิจัยที่ได้รับการตีพิมพ์ 224

ประวัติผู้เขียน 162

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

1.1 ชนิดและจำนวนอุปกรณ์แอคทีฟและพาสซีฟสำหรับออกแบบวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่มีการสูญเสีย 2

2.1 อัตราส่วนความกว้างต่อความยาวช่องนำกระแส (W/L) ของช่องนำกระแสสำหรับมอสทรานซิสเตอร์ในรูปที่ 2.5 22

2.2 ความสัมพันธ์ของค่า g_{mF} กับค่าความคลาดเคลื่อนที่เกิดขึ้นเมื่อแปรค่า I_{BF} ในรูปที่ 2.13 25

2.3 รายละเอียดของ g_{mF} เมื่อแปรค่า I_{BF} ในรูปที่ 2.18 27

3.1 ค่า R_{eq} และ L_{eq} ของวงจรที่นำเสนอในรูปที่ 3.1 32

3.2 ค่า R_{eq} และ L_{eq} ของวงจรที่นำเสนอในทางปฏิบัติ 34

3.3 ค่า R_{eq1} และ L_{eq1} ของวงจรที่นำเสนอดังรูปที่ 3.1 (ก) เมื่อทำการแปรค่า I_B 35

3.4 ค่า Z_{eq1} และ $\angle Z_{eq1}$ ของวงจรที่นำเสนอดังรูปที่ 3.9 (ก) ที่ตำแหน่งความถี่ต่างๆ 44

3.5 ค่า Z_{eq1} และ $\angle Z_{eq1}$ ของวงจรที่นำเสนอเมื่อแปรค่า g_m = 0.5 mA/V 44

3.6 ค่า Z_{eq1} และ $\angle Z_{eq1}$ ของวงจรที่นำเสนอเมื่อแปรค่า g_m = 2 mA/V 44

3.7 ค่า Z_{eq2} และ $\angle Z_{eq2}$ ของวงจรที่นำเสนอดังรูปที่ 3.9 (ข) ที่ตำแหน่งความถี่ต่างๆ 45

3.8 ค่า Z_{eq2} และ $\angle Z_{eq2}$ ของวงจรที่นำเสนอเมื่อแปรค่า g_m = 0.5 mA/V 48

3.9 ค่า Z_{eq2} และ $\angle Z_{eq2}$ ของวงจรที่นำเสนอเมื่อแปรค่า g_m = 2 mA/V 48

3.10 รายละเอียดค่าอุปกรณ์หลังจากทำการนอร์มอลไลซ์และการสเกลในรูปที่ 3.17 49

3.11 รายละเอียดของ $R_{eq1.i}$ และ $L_{eq1.i}$ ของวงจรที่นำเสนอในรูปที่ 3.1 (ก) 49

4.1 ค่าอุปกรณ์สมมูลของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ที่นำเสนอ 55

4.2 ค่าอุปกรณ์สมมูลของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอ 58

4.3 ค่าอุปกรณ์สมมูลของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ที่นำเสนอในทางปฏิบัติ 60

4.4 ค่าอุปกรณ์สมมูลของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวในทางปฏิบัติ 62

4.5 ค่าอุปกรณ์สมมูลและค่าความถี่มุมของวงจรที่นำเสนอในรูปที่ 4.1 และรูปที่ 4.2 65

4.6 ค่าอุปกรณ์สมมูลของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอ 70

4.7 รายละเอียดต่างๆของวงจรที่นำเสนอในรูปที่ 4.3 เมื่อ $Z_{eqi} = Z_{eq1}$ โดยแปรค่า g_m 75

4.8 รายละเอียดต่างๆของวงจรที่นำเสนอในรูปที่ 4.3 เมื่อ $Y_{eqi} = Y_{eq2}$ โดยแปรค่า g_m 75

4.9 รายละเอียดต่างๆของวงจรที่นำเสนอในรูปที่ 4.3 เมื่อ $Z_{eqi} = Z_{eq3}$ โดยแปรค่า g_m 76

4.10 รายละเอียดต่างๆของวงจรที่นำเสนอในรูปที่ 4.3 เมื่อ $Y_{eqi} = Y_{eq4}$ โดยแปรค่า g_m 76

4.11 รายละเอียดข้อมูลของวงจรที่นำเสนอในรูปที่ 4.1 และรูปที่ 4.2 สำหรับผลการทดลอง 82

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.12 ค่า Z_{eqi} และ $\angle Z_{eqi}$ ของวงจรที่นำเสนอ ณ ตำแหน่งความถี่ต่างๆ....87
4.13 รายละเอียดผลการทดลองของวงจรที่นำเสนอในรูปที่ 4.1 และรูปที่ 4.2 เมื่อแปรค่า g_{m1} 92
5.1 ฟังก์ชันอิมมิตแตนซ์ของวงจรที่นำเสนอในรูปที่ 5.1 100
5.2 การเลือกประเภทฟังก์ชันของวงจรที่นำเสนอในรูปที่ 5.2 102
5.3 ค่าอุปกรณ์สมมูลของวงจรที่นำเสนอในรูปที่ 5.1 เมื่อพิจารณาผลกระทบในทางปฏิบัติ....104
5.4 ค่าความไวของวงจรที่นำเสนอในรูปที่ 5.1 ในทางปฏิบัติ....105
5.5 ค่าอุปกรณ์สมมูลของวงจรที่นำเสนอในรูปที่ 5.2 เมื่อพิจารณาผลกระทบในทางปฏิบัติ....106
5.6 ค่าความไวของวงจรที่นำเสนอในรูปที่ 5.2 ในทางปฏิบัติ....107
5.7 ค่าอุปกรณ์สมมูลและค่าความถี่มุมของวงจรที่นำเสนอในรูปที่ 5.1 (ก)....111
5.8 ค่าอุปกรณ์สมมูลและค่าความถี่มุมของวงจรที่นำเสนอในรูปที่ 5.2 (ข)....114
5.9 ค่าอุปกรณ์สมมูลและค่าความถี่มุมของวงจรที่นำเสนอในรูปที่ 5.2 (ก)....117
5.10 ค่าอุปกรณ์สมมูลของวงจรที่นำเสนอในรูปที่ 5.2 (ก) เมื่อแปรค่า g_{m2} 119
5.11 ค่าอุปกรณ์สมมูลและค่าความถี่มุมของวงจรที่นำเสนอในรูปที่ 5.2 (ข)....120
5.12 ค่าอุปกรณ์สมมูลของวงจรที่นำเสนอในรูปที่ 5.2 (ข) เมื่อแปรค่า g_{m2} 124
5.13 รายละเอียดข้อมูลของวงจรที่นำเสนอในรูปที่ 5.1 (ก) สำหรับผลการทดลอง....127
5.14 ค่า Z_{eqi} และ $\angle Z_{eqi}$ ของวงจรที่นำเสนอดังรูปที่ 5.1 (ก) ที่ตำแหน่งความถี่ต่างๆ....131
5.15 รายละเอียดข้อมูลของวงจรที่นำเสนอในรูปที่ 5.1 (ข) สำหรับผลการทดลอง....135
5.16 ค่า Z_{eqi} และ $\angle Z_{eqi}$ ของวงจรที่นำเสนอดังรูปที่ 5.1 (ข) ที่ตำแหน่งความถี่ต่างๆ....135
ข1 ค่าอุปกรณ์ของวงจรกรองสัญญาณในรูปที่ ข3 เมื่อ ω_c = 1 rad/sec....169
ข2 ค่าอุปกรณ์ของวงจรกรองสัญญาณในรูปที่ ข3 เมื่อ ω_c = 3.14 Mrad/sec....169
ข3 รายละเอียดการแปรค่า I_{Bi} และ g_{mi} ของวงจร VDTA สำหรับค่า $R_{eq1.i}$ และ $L_{eq1.i}$....170

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

2.1 วงจร VDTA 14
2.2 วงจรสมมูลทางไฟฟ้าของวงจร VDTA ในทางปฏิบัติ 15
2.3 สัญลักษณ์ของมอสทรานซิสเตอร์ 16
2.4 วงจรสมมูลของมอสทรานซิสเตอร์ชนิด N กรณีสัญญาณขนาดเล็ก 17
2.5 โครงสร้างภายในของวงจร VDTA แบบเทคโนโลยีแบบมอสทรานซิสเตอร์ที่นำเสนอ 17
2.6 วงจรสะท้อนกระแสแบบพื้นฐาน 20
2.7 ผลการจำลองคุณสมบัติไฟตรงระหว่าง I_{z+} และ I_{z-} เทียบกับ v_{in} 22
2.8 ผลการจำลองอัตราขยายค่าความนำของวงจร VDTA เมื่อแปรค่า I_{BF} 22
2.9 ผลการจำลองคุณสมบัติไฟตรงระหว่าง I_{x+} และ I_{x-} เทียบกับ v_{z+} 23
2.10 ผลการจำลองผลตอบสนองทางความถี่ของ r_p และ r_n 23
2.11 ผลการจำลองผลตอบสนองทางความถี่ของ r_{z+} และ r_{z-} 24
2.12 ผลการจำลองผลตอบสนองทางความถี่ของ r_{x+} และ r_{x-} 24
2.13 ผลการจำลองผลตอบสนองทางความถี่ของ g_{mF} เมื่อแปรค่า I_{BF} 25
2.14 วงจร VDTA ที่ใช้ในการทดลอง 26
2.15 ผลการวัดแรงดัน v_{in} และ v_{z+} ของวงจร VDTA ในรูปที่ 2.14 27
2.16 ผลการวัดแรงดัน v_{in} และ v_{z-} ของวงจร VDTA ในรูปที่ 2.14 27
2.17 ผลการวัดแรงดัน v_{z+} เปรียบเทียบกับ v_{x+} และ v_{x-} ของวงจร VDTA ในรูปที่ 2.14 28
2.18 ผลการวัดผลตอบสนองทางความถี่ของ g_{mF} เมื่อแปรค่า I_{BF} 28
3.1 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบลอยตัว 33
3.2 ผลการจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอในรูปที่ 3.1 (ก) 36
3.3 ผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 3.1 (ก) 36
3.4 ผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูป 3.1 (ก) เมื่อแปรค่า I_B 37
3.5 ผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูป 3.1 (ก) เมื่อแปรค่า R_1 37
3.6 ผลจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอในรูปที่ 3.1 (ข) 38
3.7 ผลตอบสนองทางความถี่ของของวงจรที่นำเสนอในรูปที่ 3.1 (ข) 39
3.8 ผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 3.1 (ข) เมื่อแปรค่า I_B 39
3.9 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวในรูปที่ 3.1 สำหรับแผ่นวงจรพิมพ์ 40
3.10 ภาพถ่ายแผ่นวงจรพิมพ์ของวงจรที่นำเสนอในรูปที่ 3.9 41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ หน้า

3.11 ผลการวัดผลตอบสนองทางเวลาของวงจรในรูปที่ 3.9 (ก) เมื่อ $g_m \cong 1$ mA/V 42

3.12 ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.9 (ก) เมื่อ $g_m \cong 1$ mA/V 42

3.13 ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.9 (ก) เมื่อแปร g_m 43

3.14 ผลการวัดผลตอบสนองทางเวลาของวงจรในรูปที่ 3.9 (ข) เมื่อ $g_m \cong 1$ mA/V 46

3.15 ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.9 (ข) เมื่อ $g_m \cong 1$ mA/V 46

3.16 ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.9 (ข) เมื่อแปร g_m 47

3.17 วงจรกรองผ่านความถี่ต่ำอันดับสี่แบบริปเปิลโดยใช้วงจรที่นำเสนอในรูปที่ 3.1 (ก) 49

3.18 ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านความถี่ต่ำอันดับสี่แบบริปเปิล เท่ากันที่ 3 dB ในรูปที่ 3.17 49

4.1 วงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อเทียบกราวด์และวงจรสมมูลที่ได้ 56

4.2 วงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อเทียบกราวด์และวงจรสมมูลที่ได้ 58

4.3 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวในรูปแบบอนุกรมและแบบขนาน 58

4.4 ผลจำลองผลตอบสนองทางเวลาของวงจรเลียนแบบค่าอิมพีแดนซ์ RL ดังรูปที่ 4.1 66

4.5 ผลจำลองผลตอบสนองทางเวลาของวงจรเลียนแบบค่าอิมพีแดนซ์ RC ดังรูปที่ 4.2 67

4.6 ผลจำลองผลตอบสนองทางความถี่ของวงจรเลียนแบบค่าอิมพีแดนซ์ RL ดังรูปที่ 4.1 68

4.7 ผลจำลองผลตอบสนองทางความถี่ของวงจรเลียนแบบค่าอิมพีแดนซ์ RC ดังรูปที่ 4.2 69

4.8 ผลจำลองผลตอบสนองทางเวลาของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ในรูปที่ 4.3 72

4.9 ผลจำลองผลตอบสนองทางเวลาของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ในรูปที่ 4.3. 73

4.10 ผลจำลองผลตอบสนองทางความถี่เชิงขนาดของวงจรที่นำเสนอในรูปที่ 4.3 เมื่อ $Z_{eqi} = Z_{eq1}$ 77

4.11 ผลจำลองผลตอบสนองทางความถี่เชิงขนาดของวงจรที่นำเสนอในรูปที่ 4.3 เมื่อ $Y_{eqi} = Y_{eq2}$ 78

4.12 ผลจำลองผลตอบสนองทางความถี่เชิงขนาดของวงจรที่นำเสนอในรูปที่ 4.3 เมื่อ $Z_{eqi} = Z_{eq3}$ 79

4.13 ผลจำลองผลตอบสนองทางความถี่เชิงขนาดของวงจรที่นำเสนอในรูปที่ 4.3 เมื่อ $Y_{eqi} = Y_{eq4}$ 80

4.14 วงจร VDTA ที่ใช้ในการทดลอง 81

4.15 ภาพถ่ายแผ่นวงจรพิมพ์ของวงจร VDTA ที่ใช้ในการทดลอง 81

4.16 ภาพถ่ายแผ่นวงจรพิมพ์ของวงจรที่นำเสนอในรูปที่ 4.1 (ก) 82

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ หน้า

4.17 ผลการวัดผลตอบสนองทางเวลาของวงจรเลียนแบบค่าอิมพีแดนซ์ RL ที่นำเสนอ ในรูปที่ 4.1 83

4.18 ผลการวัดผลตอบสนองทางเวลาของวงจรเลียนแบบค่าอิมพีแดนซ์ RL ที่นำเสนอ ในรูปที่ 4.2 84

4.19 ผลการวัดผลตอบสนองทางขนาดและมุมเฟสของวงจรเลียนแบบอิมพีแดนซ์ RL ในรูปที่ 4.1 85

4.20 ผลการวัดผลตอบสนองทางขนาดและมุมเฟสของวงจรเลียนแบบอิมพีแดนซ์ RC ในรูปที่ 4.2 86

4.21 ผลการวัดผลตอบสนองทางขนาดและมุมเฟสของวงจรที่นำเสนอ ในรูปที่ 4.1 และรูปที่ 4.2 เมื่อ g_{m1} = 0.5 mA/V 88

4.22 ผลการวัดผลตอบสนองทางขนาดและมุมเฟสของวงจรที่นำเสนอ ในรูปที่ 4.1 และรูปที่ 4.2 เมื่อ g_{m1} = 2 mA/V 88

4.23 วงจรกรองผ่านแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอ ในรูปที่ 4.3 และรูปที่ 4.2 (ข) 93

4.24 ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่อันดับสอง 94

4.25 วงจรกรองผ่านแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอ ในรูปที่ 4.3 และรูปที่ 4.1 (ข) 95

4.26 ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่อันดับสอง 96

5.1 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ที่นำเสนอ 101

5.2 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบอนุกรมและแบบขนานที่นำเสนอ 103

5.3 ผลจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอแบบอนุกรมดังรูปที่ 5.1 (ก) 109

5.4 ผลจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอแบบอนุกรมดังรูปที่ 5.1 (ก) 110

5.5 ผลจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอแบบขนานดังรูปที่ 5.1 (ข) 112

5.6 ผลจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอแบบขนานดังรูปที่ 5.1 (ข) 113

5.7 ผลจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอแบบอนุกรมดังรูปที่ 5.2 (ก) 115

5.8 ผลจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอแบบอนุกรมดังรูปที่ 5.2 (ก) 116

5.9 ผลจำลองผลตอบสนองทางขนาดของวงจรที่นำเสนอเมื่อแปรค่า g_{m2} 118

5.10 ผลจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอแบบขนานดังรูปที่ 5.2 (ข) 121

5.11 ผลจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอแบบขนานดังรูปที่ 5.2 (ข) 122

5.12 ผลจำลองผลตอบสนองทางขนาดของวงจรที่นำเสนอเมื่อแปรค่า g_{m2} 123

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ หน้า

5.13 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ที่นำเสนอในรูป 5.1 125

5.14 ภาพถ่ายแผ่นวงจรพิมพ์ของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ที่นำเสนอ .. 126

5.15 ผลการวัดผลตอบสนองทางเวลาของวงจรที่นำเสนอแบบอนุกรมดังรูปที่ 5.1 (ก) 128

5.16 ผลการวัดผลตอบสนองทางขนาดของวงจรที่นำเสนอแบบอนุกรมดังรูปที่ 5.1 (ก) 129

5.17 ผลการวัดผลตอบสนองทางมุมเฟสของวงจรที่นำเสนอแบบอนุกรมดังรูปที่ 5.1 (ก) 130

5.18 ผลการวัดผลตอบสนองทางเวลาของวงจรที่นำเสนอแบบขนานดังรูปที่ 5.1 (ข) 132

5.19 ผลการวัดผลตอบสนองทางขนาดของวงจรที่นำเสนอแบบขนานดังรูปที่ 5.1 (ข) 133

5.20 ผลการวัดผลตอบสนองทางมุมเฟสของวงจรที่นำเสนอแบบขนานดังรูปที่ 5.1 (ข) 134

5.21 วงจรกรองผ่านแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอในรูปที่ 5.2 (ก) 136

5.22 ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่อันดับสอง 137

5.23 วงจรหยุดแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอในรูปที่ 5.2 (ข) 138

5.24 ผลจำลองผลตอบสนองทางความถี่เชิงขนาดของวงจรหยุดแถบความถี่อันดับสอง 139

5.25 ผลจำลองผลตอบสนองทางความถี่เชิงมุมเฟสของวงจรหยุดแถบความถี่อันดับสอง 139

ก1 วงจรขยายค่าความนำของมอสทรานซิสเตอร์ M_1-M_4 ในรูปที่ 2.5 150

ก2 วงจรขยายค่าความนำของมอสทรานซิสเตอร์ M_5-M_8 ในรูปที่ 2.5 152

ก3 วงจรสมมูลของรูปที่ ก1 เมื่อพิจารณาที่มอสทรานซิสเตอร์ M_1-M_4 154

ก4 วงจรสมมูลจากรูปที่ ก3 เมื่อพิจารณาเฉพาะที่มอสทรานซิสเตอร์ M_1-M_2 155

ก5 วงจรสมมูลของรูปที่ ก1 เมื่อพิจารณาที่มอสทรานซิสเตอร์ M_5-M_8 156

ก6 วงจรสมมูลของวงจรสะท้อนกระแสในรูปที่ 2.6 156

ข1 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรมในรูปที่ 3.1 (ก) 159

ข2 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบขนานในรูปที่ 3.1 (ข) 161

ข3 วงจรกรองผ่านความถี่ต่ำอันดับสี่แบบริปเปิลเท่ากันที่ 3 dB 170

ข4 วงจรกรองผ่านความถี่ต่ำอันดับสี่แบบริปเปิลเท่ากันโดยใช้วงจรที่นำเสนอในรูปที่ 3.1 (ก) .. 170

ค1 วงจรเลียนแบบค่าอิมพีแดนซ์ RL รูปแบบอนุกรมต่อเทียบกราวด์ในรูป 4.1 (ก) 172

ค2 วงจรเลียนแบบค่าอิมพีแดนซ์ RL รูปแบบขนานต่อเทียบกราวด์ในรูป 4.1 (ข) 174

ค3 วงจรเลียนแบบค่าอิมพีแดนซ์ RC รูปแบบอนุกรมต่อเทียบกราวด์ในรูป 4.2 (ก) 176

ค4 วงจรเลียนแบบค่าอิมพีแดนซ์ RC รูปแบบขนานต่อเทียบกราวด์ในรูป 4.2 (ข) 177

ง1 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอในรูปที่ 4.3 187

ง2 วงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อลอยตัวในรูปแบบขนาน 188

จ1 วงจรกรองผ่านแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอในรูปที่ 4.3 และรูปที่ 4.2 (ข) .. 195

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่ หน้า

จ1 วงจรกรองผ่านแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอในรูปที่ 4.3 และรูปที่ 4.1 (ข) ..196

ฉ1 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบอนุกรมที่นำเสนอดังรูปที่ 5.1 (ก)..199

ฉ2 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบขนานที่นำเสนอดังรูปที่ 5.1 (ข) 201

ช1 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวในรูปแบบอนุกรมที่นำเสนอดังรูปที่ 5.2 (ก) .208

ช2 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวในรูปแบบขนานดังรูปที่ 5.2 (ข).....211

ซ1 วงจรกรองผ่านแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอในรูปที่ 5.2 (ก).....221

ซ2 วงจรกรองผ่านแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอในรูปที่ 5.2 (ข).....222

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหาวิจัย

ปัจจุบันความก้าวหน้าของเทคโนโลยีส่งผลให้เกิดการเปลี่ยนแปลงและพัฒนาอย่างรวดเร็วในหลายๆด้าน ทั้งด้านสังคมและเศรษฐกิจ รวมถึงความก้าวไกลของเทคโนโลยีจนเข้าสู่ยุคอุตสาหกรรม 4.0 ทำให้เทคโนโลยีในอุตสาหกรรมต้องพัฒนาให้ทันยุคทันสมัยเพื่อตอบโจทย์การใช้งานของผู้คนในปัจจุบัน ดังนั้นการออกแบบเทคโนโลยีจะต้องทำงานได้อย่างรวดเร็ว มีความหยืดหยุ่นสูง และมีประสิทธิภาพมากขึ้น วงจรรวม (integrated circuit, IC) ถือเป็นหัวใจสำคัญสำหรับอุปกรณ์อิเล็กทรอนิกส์ชนิดต่างๆ อาทิเช่น คอมพิวเตอร์ เครื่องมือวัดไฟฟ้า เครื่องใช้ไฟฟ้า เครื่องคำนวณ เป็นต้น โดยโครงสร้างภายในวงจรรวมประกอบไปด้วยสารกึ่งตัวนำที่ถูกนำมาออกแบบให้ทำงานร่วมกับตัวต้านทาน ตัวเก็บประจุไฟฟ้า ตัวเหนี่ยวนำ เพื่อประมวลผลสัญญาณทางแอนะล็อก (analog signal processing) ซึ่งอุปกรณ์อิเล็กทรอนิกส์ในปัจจุบันมีข้อจำกัด อันเนื่องจากการออกแบบให้มีขนาดเล็กลง แต่ยังสามารถใช้งานในฟังก์ชันที่หลากหลาย แต่อย่างไรก็ตามอุปกรณ์อิเล็กทรอนิกส์พื้นฐานประเภทอุปกรณ์พาสซีฟ (passive element) นั้นยังมีขนาดทางกายภาพค่อนข้างใหญ่ จึงใช้พื้นที่ในวงจรมาก และอุปกรณ์พาสซีฟดังกล่าวนั้นจะมีค่าคงที่ ไม่สามารถเปลี่ยนแปลงค่าได้ จึงยากต่อการนำไปประยุกต์ใช้งาน จากข้อเสียดังกล่าวจึงก่อให้เกิดอุปกรณ์อิเล็กทรอนิกส์ประเภทอุปกรณ์แอคทีฟ (active element) [1] ที่มีขนาดค่อนข้างเล็ก ทำให้ใช้พื้นที่ในวงจรรวมลดลง อีกทั้งอุปกรณ์แอคทีฟบางชนิดยังสามารถปรับเปลี่ยนค่าได้ทางอิเล็กทรอนิกส์ในขณะที่ใช้แรงดันไฟเลี้ยงของวงจรที่ต่ำ (low-supply voltage) แนวคิดในการออกแบบวงจรเลียนแบบอุปกรณ์พาสซีฟหรือวงจรเลียนแบบค่าอิมมิตแตนซ์ (impedance simulator) จึงถูกนำเสนอขึ้นด้วยอุปกรณ์แอคทีฟหลากหลายชนิด อาทิเช่น operational transresistance amplifier (OTRA) [2] วงจร CC (current conveyor) [3] วงจร CFOA (Current Feedback Operational Amplifier) [4] วงจร CDTA (current differencing transconductance amplifier) [5] วงจร VDCC (voltage differencing current conveyor) [6]-[7] วงจร VDBA (voltage differencing buffered amplifier) [8] วงจร FB-VDBA (Fully balanced voltage differencing buffered Amplifier) [9] และวงจร VDTA (voltage differencing transconductance amplifier) [10] ดังนั้นวิทยานิพนธ์ฉบับนี้จึงได้นำเสนอการออกแบบและสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียและวงจรเลียนแบบค่าอิมมิตแตนซ์ซึ่งจากการศึกษาค้นคว้างานวิจัยเกี่ยวข้องกับวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียทั้งรูปแบบอนุกรมและแบบขนาน [11]-[27] พบว่างานวิจัยที่นำเสนอก่อนหน้านี้ได้ออกแบบวงจรโดยมีรายละเอียดในเรื่องชนิดและจำนวนของอุปกรณ์แอคทีฟและพาสซีฟ การปรับค่าได้ทางอิเล็กทรอนิกส์ (electronic tuning) เงื่อนไขการเท่ากันของอุปกรณ์ (component-matching condition) รวมถึงแรงดันไฟเลี้ยงของวงจรที่แตกต่างกัน ซึ่งสามารถสรุปได้ดังตารางที่ 1.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1.1 ชนิดและจำนวนอุปกรณ์แอคทีฟและพาสซีฟสำหรับออกแบบวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่มีการสูญเสีย

เอกสารอ้างอิง	ประเภทของวงจรที่เสนอ	ชนิดและจำนวนอุปกรณ์แอคทีฟ	จำนวนอุปกรณ์พาสซีฟในวงจร				เงื่อนไขการเท่ากันของอุปกรณ์	ปรับค่าได้ทางอิเล็กทรอนิกส์	แรงดันไฟเลี้ยง	
			ตัวต้านทาน		ตัวเก็บประจุไฟฟ้า					
			เทียบกราวด์	ลอยตัว	เทียบกราวด์	ลอยตัว			ผลจำลอง	ผลทดลอง
[11]	RL อนุกรม (รูปที่ 3) RL ขนาน (รูปที่ 2)	CCII+ = 2 CCII- = 1	-	-	-	1	ไม่มี	ได้	V± = 2.5V	V± = 5V
[12]	RL อนุกรม (รูปที่ 2a)	DVCCS = 1, OA = 3	-	2	-	1	มี	ไม่ได้	ไม่ระบุ	-
	RL อนุกรม (รูปที่ 2b)	DVCCS = 1, OA = 2	-	2	-	1	มี	ไม่ได้		
	RL ขนาน (รูปที่ 2c)	DVCCS = 1, OA = 2	-	2	-	1	มี	ไม่ได้		
[13]	RL ขนาน	CFOA = 2	-	3	-	2	มี	ไม่ได้	-	V± = 15V
[14]	RL อนุกรม (รูปที่ 1a) RL ขนาน (รูปที่ 1b)	CFOA = 2	-	2	-	1	ไม่มี	ไม่ได้	-	ไม่ระบุ
[15]	RL อนุกรม	DDCC = 1	1	1	1	-	มี	ไม่ได้	V± = 0.9V, V_b = 0.34V	-
	RL ขนาน		1	1	-	1				
[16]	RL ขนาน (รูปที่ 2)	DO-DDCC = 1	1	1	1	-	ไม่มี	ไม่ได้	V± = 1.5V, Vb = -0.9V	-
[17]	RL อนุกรม (รูปที่ 2) RL ขนาน (รูปที่ 3)	CCI+ = 2	-	2	-	1	ไม่มี	ไม่ได้	V± = 2V	-
[18]	RL อนุกรม	CFOA = 2	-	2	-	1	ไม่มี	ไม่ได้	ไม่ระบุ	-
[19]	RL อนุกรม (รูปที่ 2)	DDCC = 2	1	1	1	-	มี	ไม่ได้	V± = 0.75V	-

เอกสารอ้างอิง	ประเภทของวงจรที่เสนอ	ชนิดและจำนวนอุปกรณ์แอคทีฟ	จำนวนอุปกรณ์พาสซีฟในวงจร				เงื่อนไขการเท่ากันของอุปกรณ์	ปรับค่าได้ทางอิเล็กทรอนิกส์	แรงดันไฟเลี้ยง	
			ตัวต้านทาน		ตัวเก็บประจุไฟฟ้า					
			เทียบกราวด์	ลอยตัว	เทียบกราวด์	ลอยตัว			ผลจำลอง	ผลทดลอง
[20]	RL อนุกรม (รูปที่ 1a)	CFOA = 2	-	2	-	1	ไม่มี	ไม่ได้	ไม่ระบุ	ไม่ระบุ
	RL ขนาน (รูปที่ 1f)		1	2	1	-				
[21]	RL อนุกรม	DVB = 1,ECCII+ = 2, ECCII- = 1	-	3	1	-	ไม่มี	ได้	V± = 5V	V± = 5V
[22]	RL ขนาน (รูปที่ 5)	DDCC = 1	2	-	1	-	มี	ไม่ได้	V± = 0.75V	ไม่ระบุ
[23]	RL อนุกรม (รูปที่ 2)	DDCC = 1	-	2	-	1	ไม่มี	ไม่ได้	V± = 0.75V	V± = 9V
	RL ขนาน (รูปที่ 3)		-	2	-	1				
[24]	RL อนุกรม (รูปที่ 2)	OMA = 2, MOS = 8	-	1	-	-	ไม่มี	ไม่ได้	V± = 5V	-
[25]	RL อนุกรม (รูปที่ 5a)	FB-VDBA = 1	-	1	-	1	ไม่มี	ได้	V± = 5V	-
[26]	RL อนุกรม (รูปที่ 4)	VDDDA = 2	-	1	1	-	ไม่มี	ได้	V± = 5V	V± = 5V
	RL ขนาน (รูปที่ 5)		-	1	1	-				
[27]	RL อนุกรม (รูปที่ 2)	VDBA = 3	-	-	1	-	มี	ได้	V± = 0.75V	V± = 5V
	RL ขนาน (รูปที่ 3)									
[28]	RL อนุกรม (รูปที่ 3a)	VDTA = 1	1	-	1	-	ไม่มี	ได้	V± = 1V	V± = 5V
	RL ขนาน (รูปที่ 3b)		-	1	1	-				
[29]	RL อนุกรม (รูปที่ 3)	VDTA = 2	-	-	1	-	ไม่มี	ได้	V± = 1V	V± = 5V
	RL ขนาน (รูปที่ 3)									
[30]	RL อนุกรม (รูปที่ 2)	VDTA = 2	1	-	1	-	ไม่มี	ได้	V± = 1V	V± = 5V
	RL ขนาน (รูปที่ 3)		1	-	1	-				

โดยที่ OA แทนถึง Operational Amplifiers

CFOA แทนถึง Current Feedback Operational Amplifier

CCI+ แทนถึง First Generation Current Conveyor

CCII แทนถึง Second Generation Current Conveyors

CCII- แทนถึง Second Generation Negative Current Conveyors

CCII+ แทนถึง Second Generation Positive Current Conveyors

ECCII+ แทนถึง Electronically Controllable Positive Current Conveyors

ECCII- แทนถึง Electronically Controllable Negative Current Conveyors

DVCCS แทนถึง Differential Voltage Current Conveyors

DDCC แทนถึง Differential Difference Current Conveyor

DO-DDCC แทนถึง Dual-Output Differential Difference Current Conveyor

DVB แทนถึง Differential Voltage Buffer

OMA แทนถึง Operational Mirrored Amplifier

VDBA แทนถึง Voltage Differencing Buffered Amplifier

FB-VDBA แทนถึง Fully Balanced Voltage Differencing Buffered Amplifier

VDDDA แทนถึง Voltage Differencing Differential Difference Amplifier

“-” แทนถึง ไม่นำเสนอ

ตารางที่ 1.1 แสดงงานวิจัยที่เกี่ยวกับวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่มีการสูญเสีย โดยเปรียบเทียบดังหัวข้อต่อไปนี้ ชนิดและจำนวนของอุปกรณ์แอคทีฟ จำนวนอุปกรณ์พาสซีฟที่ออกแบบในวงจรต่อเทียบกราวด์หรือต่อลอยตัว นอกจากนี้ยังพิจารณาถึงเงื่อนไขการเท่ากันของอุปกรณ์ การปรับค่าได้ในทางอิเล็กทรอนิกส์ แรงดันไฟเลี้ยงที่จ่ายแก่วงจร และผลการทำงานของวงจรที่นำเสนอในรูปแบบผลการจำลองผ่านโปรแกรมหรือการทดสอบด้วยวงจรจริง จากงานวิจัย [11]-[12], [21] พบว่าวงจรที่นำเสนอต้องใช้อุปกรณ์แอคทีฟที่แตกต่างกันจำนวนสองชนิด ซึ่งจะส่งผลต่อกระบวนผลิตวงจรรวมที่มีความยุ่งยากมากขึ้น ในขณะที่งานวิจัยบางส่วนในตารางที่ 1.1 ได้ใช้อุปกรณ์แอคทีฟอย่างน้อยสามตัว [11]-[12] จึงใช้พื้นที่ของวงจรรวมมาก ทั้งยังมีความซับซ้อนในการใช้งานอีกด้วย แม้งานวิจัยที่ [13]-[14], [17]-[20] มีการออกแบบวงจรที่นำเสนอด้วยอุปกรณ์แอคทีฟจำนวนเพียงสองตัวเท่านั้น แต่ก็ต้องใช้อุปกรณ์พาสซีฟอย่างน้อยสามตัว ซึ่งอุปกรณ์พาสซีฟนั้นมีขนาดค่อนข้างใหญ่ หากมีจำนวนที่มาก จะทำให้ใช้พื้นที่ของวงจรที่นำเสนอมากขึ้น นอกจากนี้กำลังไฟฟ้าที่สูญเสียก็จะมากขึ้นเช่นกัน หากพิจารณาเพิ่มเติมในส่วนของเงื่อนไขการเท่ากันของอุปกรณ์ในงานวิจัย [12]-[13], [15] , [22] , [27] พบว่าวงจรที่นำเสนอต้องเลือกค่าอุปกรณ์ให้เหมาะสมก่อนใช้งาน จึงเป็นข้อเสียเนื่องจากมีข้อจำกัดในการใช้งาน การทดสอบและยืนยันผลการทำงานของวงจรที่นำเสนอเป็นสิ่งสำคัญ ดังนั้นงานวิจัย [11]-[12], [15]-[30] จึงทำการตรวจสอบผลการทำงานของวงจรที่นำเสนอว่าเป็นตามหลักการทางทฤษฎีหรือไม่ ด้วยผลการจำลองการทำงานที่นำเสนอด้วยโปรแกรมคอมพิวเตอร์ แต่มีเพียงบางงานวิจัย [11], [13]-[14], [20]-[23], [26]-[30] ได้นำเสนอวิธีการทดสอบผ่านการต่อทดลองด้วยวงจรจริงโดยใช้ไอซีสำเร็จรูป ซึ่งผลที่ได้แสดงถึงการทำงานที่มีความผิดพลาดไปจากค่าในทางทฤษฎีเนื่องจากค่าความคลาดเคลื่อนของอุปกรณ์ต่างๆ เช่น ไอซี ตัวต้านทาน ตัวเก็บประจุไฟฟ้า เป็นต้น จากที่กล่าวมาข้างต้นหากสามารถสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่มีการสูญเสียให้มีจำนวนอุปกรณ์แอคทีฟและพาสซีฟในวงจรที่น้อยลงได้ จะทำให้ขนาดพื้นที่ของวงจรรวมลดลง มีโครงสร้างภายในไม่ซับซ้อน นอกจากนี้ถ้าออกแบบให้วงจรสามารถทำงานภายใต้แรงดันไฟเลี้ยงต่ำ ย่อมส่งผลให้มีกำลังไฟฟ้าสูญเสียต่ำ (low-power consumption) เช่นกัน

ในปี ค.ศ. 2008 Dalibor Biolek และคณะผู้ร่วมวิจัย [1] ได้กล่าวถึงอุปกรณ์แอคทีฟที่มีศักยภาพในการทำงานสูงหลากหลายชนิด อาทิเช่น current conveyor (CC), operational transconductance amplifier (OTA), current differencing unit (CDU), current differencing transconductance amplifier (CDTA) และ voltage differencing buffered amplifier (VDBA) เป็นต้น ซึ่งทางบทความได้อธิบายถึงคุณสมบัติพื้นฐานอย่างง่ายเพื่อนำไปประยุกต์ใช้งานต่อได้อย่างเหมาะสม โดยวงจร VDTA ได้ถูกกล่าวถึงเป็นครั้งแรกในบทความวิจัยนี้ วงจร VDTA เป็นอุปกรณ์แอคทีฟที่สังเคราะห์จากวงจร OTA แบบหลายเอาต์พุตจำนวนสองวงจรต่อคาดเคสกัน โดยกระแสเอาต์พุตที่สังเคราะห์ขึ้นสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ ทำให้วงจร VDTA ถูกนำไปใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มากมาย เช่น วงจรกรองสัญญาณอเนกประสงค์ (universal filter) [31]-[33] วงจรออสซิลเลเตอร์ (oscillator) [34]-[35] เป็นต้น

ดังนั้นวิทยานิพนธ์ฉบับนี้มีวัตถุประสงค์เพื่อนำเสนอวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่มีการสูญเสีย [28] โดยใช้วงจร VDTA จำนวนหนึ่งตัวต่อร่วมกับอุปกรณ์พาสซีฟจำนวนสองตัวเท่านั้น นอกจากนี้ในงานวิจัย [29]-[30] ได้นำเสนอวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ที่ออกแบบขึ้นจากวงจร VDTA ไม่เกินสองตัวต่อร่วมกับอุปกรณ์พาสซีฟจำนวนหนึ่งเท่านั้น โดยสามารถสังเคราะห์ได้หลากหลายฟังก์ชันซึ่งประกอบไปด้วย ตัวต้านทานอนุกรมหรือขนานกับตัวเก็บประจุไฟฟ้า และตัวเก็บประจุไฟฟ้าอนุกรมหรือขนานกับตัวเหนี่ยวนำ จากวงจรที่นำเสนอในข้างต้นนั้นมีข้อดีอันเนื่องจากขนาดที่กระทัดรัด มีความซับซ้อนน้อย ทั้งยังสามารถปรับค่าทางอิเล็กทรอนิกส์จากภายนอกของวงจร VDTA รวมถึงใช้แรงดันไฟเลี้ยงที่ต่ำอีกด้วย

1.2 ความมุ่งหมายและวัตถุประสงค์ของการวิจัย

วิทยานิพนธ์ฉบับนี้มีวัตถุประสงค์เพื่อออกแบบและสังเคราะห์วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์โดยใช้วงจร VDTA เป็นอุปกรณ์แอคทีฟหลัก ต่อร่วมกับอุปกรณ์พาสซีฟ ได้แก่ ตัวต้านทาน ตัวเก็บประจุไฟฟ้า โดยสามารถแบ่งการนำเสนอออกเป็นสามประเด็นดังต่อไปนี้

1) วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบลอยตัวซึ่งปรับค่าได้ทางอิเล็กทรอนิกส์ วงจรที่นำเสนอประกอบไปด้วยวงจร VDTA จำนวนหนึ่งตัว ตัวต้านทานและตัวเก็บประจุไฟฟ้าอย่างละหนึ่งตัว [28]

2) วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ทั้งรูปแบบอนุกรมและขนาน โดยแบ่งออกเป็นโครงสร้างแบบต่อเทียบกราวด์ ซึ่งประกอบด้วยวงจร VDTA จำนวนหนึ่งตัวต่อร่วมกับตัวเก็บประจุไฟฟ้าจำนวนหนึ่งตัว ในขณะที่โครงสร้างแบบต่อลอยตัวจะประกอบไปด้วยวงจร VDTA จำนวนสองตัวต่อร่วมกับตัวเก็บประจุไฟฟ้าจำนวนหนึ่งตัว [29]

3) วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ โดยแบ่งออกเป็นโครงสร้างแบบต่อเทียบกราวด์ ซึ่งประกอบไปด้วยวงจร VDTA จำนวนหนึ่งตัวต่อร่วมกับอุปกรณ์พาสซีฟจำนวนสองตัว และโครงสร้างแบบต่อลอยตัวซึ่งประกอบไปด้วย วงจร VDTA จำนวนสองตัวต่อร่วมกับอุปกรณ์พาสซีฟจำนวนสองตัว หากเลือกใช้งานอุปกรณ์พาสซีฟอย่างเหมาะสม จะพบว่าวงจรที่นำเสนอสามารถสังเคราะห์เป็นฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสีย ฟังก์ชันเลียนแบบค่าอิมมิตแตนซ์ RC และฟังก์ชันเลียนแบบค่าอิมมิตแตนซ์ LC โดยที่ทุกฟังก์ชันที่นำเสนอมีทั้งรูปแบบอนุกรมและขนาน [30]

เป้าหมายของวิทยานิพนธ์ฉบับนี้เพื่อสังเคราะห์วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ที่ออกแบบด้วยอุปกรณ์แอคทีฟหลักคือ วงจร VDTA ต่อร่วมกับอุปกรณ์พาสซีฟจำนวนน้อย โดยที่ค่าอิมพีแดนซ์สมมูลของวงจรที่นำเสนอนี้สามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการแปรค่าจากกระแสไบอัสจากภายนอกของวงจร VDTA นอกจากนี้วงจรที่นำเสนอได้นำไปประยุกต์ใช้งานในวงจรกรองสัญญาณชนิดต่างๆ ได้แก่ วงจรกรองผ่านแถบความถี่อันดับสอง (second-order band-pass filter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองผ่านความถี่ต่ำบัตเตอร์เวิร์ทอันดับสี่ (fourth-order Butterworth low-pass filter) และวงจรกรองผ่านความถี่ต่ำริปเปิลเท่ากันอันดับสี่ (fourth-order equal-ripple low-pass filter) ซึ่งผลการจำลองการทำงานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ได้แสดงให้เห็นจริงผ่านโปรแกรม PSPICE ด้วยเทคโนโลยีแบบ CMOS ขนาด 0.18 μm ของบริษัท TSMC (Taiwan Semiconductor Manufacturing Company) พร้อมทั้งการออกแบบวงจร VDTA โดยใช้ไอซีสำเร็จรูปเบอร์ CA3080 ทางบริษัท Harris semiconductor เพื่อทดสอบผลจากการปฏิบัติงานจริงด้วยเครื่องวิเคราะห์อิมพีแดนซ์

1.3 หลักการใหม่ที่นำเสนอในวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้ได้นำเสนอการออกแบบวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ในรูปแบบลอยตัวและรูปแบบเทียบกราวด์ที่มีฟังก์ชันหลากหลายถึง 6 รูปแบบได้แก่ วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรม วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนาน วงจรเลียนแบบค่าอิมพีแดนซ์ RC แบบอนุกรม วงจรเลียนแบบค่าอิมพีแดนซ์ RC แบบขนาน วงจรเลียนแบบค่าอิมพีแดนซ์ LC แบบอนุกรม และวงจรเลียนแบบค่าอิมพีแดนซ์ LC แบบขนาน โดยวงจรที่นำเสนอมีฟังก์ชันที่หลากหลายจึงง่ายต่อการนำไปประยุกต์ใช้งาน นอกจากนี้วงจรทั้งหมดที่นำเสนอยังสามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ผ่านทางอุปกรณ์แอคทีฟหรือก็คือวงจร VDTA จึงทำให้วงจรที่นำเสนอมีความยืดหยุ่นสูง อีกทั้งวงจร VDTA ที่ใช้ออกแบบยังใช้แรงดันไฟเลี้ยงต่ำส่งผลให้เกิดกำลังไฟฟ้าสูญเสียในวงจรที่น้อย ผลการจำลองการทำงานถูกแสดงให้เห็นด้วยโปรแกรมคอมพิวเตอร์ รวมถึงผลการทดลองด้วยวงจรจริง ทำให้วงจรที่นำเสนอมีความน่าเชื่อถือและเป็นไปตามหลักการทางทฤษฎี

1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์ฉบับนี้ ได้แบ่งเนื้อหาออกเป็น 6 บท และภาคผนวกอีก 7 ภาค โดยแต่ละบท มีรายละเอียดดังต่อไปนี้

บทที่ 1 บทนำได้กล่าวถึงความเป็นมาและความสำคัญของปัญหา เพื่อแสดงถึงจุดมุ่งหมายและวัตถุประสงค์ของการศึกษา รวมถึงหลักการและแนวคิดใหม่ที่นำเสนอในวิทยานิพนธ์ พร้อมรายละเอียดเนื้อหาโดยสรุปแต่ละบทของวิทยานิพนธ์ฉบับนี้

บทที่ 2 กล่าวถึงคุณสมบัติและหลักการทำงานพื้นฐานของวงจร VDTA ผลการจำลองการทำงานและผลการทดลองจริงของวงจร

บทที่ 3 กล่าวถึงการสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบลอยตัวทั้งรูปแบบอนุกรมและรูปแบบขนานซึ่งปรับค่าได้ทางอิเล็กทรอนิกส์ วงจรที่นำเสนอประกอบด้วย วงจร VDTA จำนวนหนึ่งตัว ตัวต้านทานและตัวเก็บประจุไฟฟ้าอย่างละหนึ่งตัว ผลการจำลองการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของวงจรด้วยโปรแกรม PSPICE ด้วยเทคโนโลยี 0.18 μm CMOS ของบริษัท TSMC พร้อมผลจากการทำงานจริงของวงจรจากไอซีเบอร์ CA3080

บทที่ 4 กล่าวถึงการสังเคราะห์วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสีย และวงจรเลียนแบบค่าอิมพีแดนซ์ RC ทั้งรูปแบบอนุกรมและขนาน โดยแบ่งออกเป็นโครงสร้างแบบต่อเทียบกราวด์และแบบต่อลอยตัว ซึ่งประกอบไปด้วยวงจร VDTA จำนวนไม่เกินสองตัวต่อร่วมกับตัวเก็บประจุไฟฟ้าจำนวนหนึ่งตัวเท่านั้น โดยที่ประสิทธิภาพการทำงานของวงจรที่นำเสนอถูกแสดงให้เห็นจริงด้วยผลการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE และผลการต่อทดลองจริงโดยใช้ไอซีเบอร์ CA3080

บทที่ 5 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ โดยแบ่งออกเป็นโครงสร้างแบบต่อเทียบกราวด์และแบบต่อลอยตัว ซึ่งประกอบไปด้วย วงจร VDTA จำนวนไม่เกินสองตัวและอุปกรณ์พาสซีฟจำนวนสองตัวเท่านั้น โดยเลือกใช้งานอุปกรณ์พาสซีฟอย่างเหมาะสมเพื่อออกแบบฟังก์ชันที่ต้องการ คุณสมบัติในการทำงานของวงจรถูกแสดงให้เห็นด้วยผลการจำลองการทำงานของวงจร และผลการทดลองจากการต่อวงจรจริงทดสอบอีกด้วย

บทที่ 6 สรุปผลงานวิจัยที่ได้นำเสนอไว้ภายในวิทยานิพนธ์ พร้อมทั้งข้อเสนอแนะแนวทางเพื่อนำไปพัฒนางานวิจัยต่อไป

ส่วนท้ายของวิทยานิพนธ์จะเป็นภาคผนวก ซึ่งแสดงการวิเคราะห์คุณสมบัติและสมการที่ใช้ภายในแต่ละบท มีรายละเอียดดังต่อไปนี้

ภาคผนวก ก การวิเคราะห์คุณสมบัติของวงจรขยายค่าความนำ

ภาคผนวก ข การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำในรูปที่ 3.1

ภาคผนวก ค การวิเคราะห์คุณสมบัติของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ที่นำเสนอในรูปที่ 4.1 และรูปที่ 4.2

ภาคผนวก ง การวิเคราะห์คุณสมบัติของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอในรูปที่ 4.3

ภาคผนวก จ การประยุกต์ใช้งานของวงจรเลียนแบบอิมพีแดนซ์ RL และ RC ที่นำเสนอ

ภาคผนวก ฉ การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ที่นำเสนอในรูปที่ 5.1

ภาคผนวก ช การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอในรูปที่ 5.2

ภาคผนวก ซ การประยุกต์ใช้งานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ที่นำเสนอในรูปที่ 5.2

ภาคผนวก ฌ บทความวิจัยที่ได้รับการตีพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 เอกสารอ้างอิงบทที่ 1

[1] D. Biolek, R. Senani, V. Biolková and Z. Kolka, "Active elements for analog signal processing: classification, review, and new proposals", **Radioengineering**, vol. 17, no. 4, pp. 15-32, 2008.

[2] U. Çam, F. Kaçar, O. Çiçekoğlu, H. Kuntman and A. Kuntman, "Novel two OTRA-based grounded immitance simulator topologies", **Analog Integrated Circuits and Signal Processing**, vol. 39, no. 2, pp. 169-175, 2004.

[3] A. Paul and D. Patranabis, "Active simulation of grounded inductors using a single current conveyor", **IEEE Transactions on Circuits and Systems**, vol. 28, no. 2, pp. 164-165, 1981.

[4] E. Yuce, "Novel lossless and lossy grounded inductor simulators consisting of a canonical number of components", **Analog Integrated Circuits and Signal Processing**, vol. 59, no. 1, pp. 77-82, 2009.

[5] W. Jaikla and M. Siripruchyanan, "Current controlled CDTA (CCCDTA) based-novel floating and grounded inductance simulators," **Proceedings of the International Symposium on Communications and Information Technologies**, Bangkok, Thailand, 18-20 Oct., pp. 348-351, 2006.

[6] D. Prasad and J. Ahmad, "New electronically-controllable lossless synthetic floating inductance circuit using single VDCC," **Circuits and Systems**, vol. 05, no. 01, pp. 13–17, 2014.

[7] F. Kaçar, A. Yeşil, S. Minaei, and H. Kuntman, "Positive/negative lossy/lossless grounded inductance simulators employing single VDCC and only two passive elements," **International Journal of Electronics and Communications (AEU)**, vol. 68, no. 1, pp. 73–78, Jan. 2014.

[8] T. Pukkalanun, N. Roongmuanpha and W. Tangsrirat, "Variable lossy series inductance simulator using single voltage differencing buffered amplifier (VDBA)", **Proceedings of the International MultiConference of Engineers and Computer Scientists 2017 Vol II (IMECS 2017)**, Kowloon, Hong Kong, 15-17 March, pp. 656-659, 2017.

[9] J. Pimpol, O. Channumsin, and W. Tangsrirat, "Floating series RC impedance simulator using single FB-VDBA," **Proceedings of the 8th International Electrical Engineering Congress (iEECON2020),** Mar. 2020.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[10] M. Srivastava, D. Prasad and D. R. Bhaskar, "New parallel R-L impedance using single VDTA & its high pass filter application", **Proceedings of International Conference on Signal Processing and Integrated Networks (SPIN 2014)**, Noida, India, pp. 535-537, 20-21 February, 2014.

[11] S. Minaei and E. Yuce, "Realization of tunable active floating inductance simulators," **International Journal of Electronics**, vol. 95, no. 1, pp. 27–37, Jan. 2008.

[12] R. Senani, "New single-capacitor simulations of floating inductors," **ElectroComponent Science and Technology**, vol. 10, no. 1, pp. 7–12, 1982.

[13] R. Senani and D. R. Bhaskar, "New lossy/loss-less synthetic floating inductance configuration realized with only two CFOAs," **Analog Integrated Circuits and Signal Processing**, vol. 73, no. 3, pp. 981–987, Jun. 2012.

[14] D. R. Bhaskar and R. Senani, Synthetic floating inductors realized with only two current feedback op-amps. **American Journal of Electrical and Electronic Engineering**. vol. 3, no. 4, pp. 88–92, 2015.

[15] E. Yuce, "New low component count floating inductor simulators consisting of a single DDCC," **Analog Integrated Circuits and Signal Processing**, vol. 58, no. 1, pp. 61–66, 2009.

[16] M. A. Ibrahim, S. Minaei, D. Universitesi, E. Yuce, and N. Herencsar, "Lossy/lossless floating/grounded inductance simulation using one DDCC," **Radioengineering**. May 2015, pp. 2–10, 2012.

[17] S. Minaei, M. Yildiz, B. Metin, and O. Cicekoglu, "New active realizations of floating lossless inductance and R-L impedance simulators," **The 2nd Annual IEEE Northeast Workshop on Circuits and Systems**, 313–316, 2004.

[18] R. Bhaskar and R. Senani, "Simulation of a floating inductance: A new two-CFOA-based configuration," **Proceedings of the 5th International Conference on Computational Intelligence, Modelling and Simulation**, pp. 381–383, 2013.

[19] E. Yuce, S. Tokat, and H. Alpaslan, "Grounded capacitor-based new floating inductor simulators and a stability test," **Turkish Journal of Electrical Engineering and Computer Sciences**, vol. 23, pp. 2138–2149, 2015.

[20] M. T. Abuelma'atti, S. K. Dhar, and Z. J. Khalifa, "New two-CFOA-based floating immittance simulators," **Analog Integrated Circuits and Signal Processing**, vol. 91, no. 3, pp. 479–489, 2017.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[21] R. Sotner, N. Herencsar, J. Jerabek, A. Kartci, J. Koton, and T. Dostal, "Pseudo-differential filter design using novel adjustable floating inductance simulator with electronically controllable current conveyors," **Elektronika ir Elektrotechnika**, vol. 23, no. 2, pp. 31–35, 2017.

[22] A. Abaci and E. Yuce, "Single DDCC based new immittance function simulators employing only grounded passive elements and their applications," **Microelectronics Journal**, vol. 83, pp. 94–103, Jan. 2019.

[23] A. Abaci and E. Yuce, "Single DDCC– based simulated floating inductors and their applications," **IET Circuits, Devices & Systems**, vol. 14, no. 6, pp. 796–804, Sep. 2020.

[24] R. K. Sharma, R. Senani, D. R. Bhaskar, A. K. Singh, and S. S. Gupta, "Electronically-controllable floating inductor using OMA with enhanced input dynamic range," **Proceedings of the 6th International Conference on Electrical and Electronics Engineering (ELECO2009)**, no. 1, pp. 63–66, 2009.

[25] V. Biolkova, Z. Kolka, and D. Biolek, "Fully balanced voltage differencing buffered amplifier and its applications," **Proceedings of the 52th IEEE International Midwest Symposium on Circuits and Systems**, Aug. 2009.

[26] W. Jaikla, R. Sotner, and F. Khateb, "Design and analysis of floating inductance simulators using VDDDAs and their applications," **International Journal of Electronics and Communications (AEU)**, vol. 112, p. 152937, 2019, doi: 10.1016/j.aeue.2019.152937.

[27] T. Pukkalanun, P. Moonmuang, and W. Tangsrirat, "On the resistorless realization of simulated tunable floating lossy inductors with voltage differencing buffered amplifiers," **Journal of Communications Technology and Electronics**, vol. 66, no. 4, pp. 439–450, Apr. 2021.

[28] P. Moonmuang, W. Tangsrirat, "Single VDTA-based tunable floating lossy inductance simulation circuits", **IETE Journal of Research**, 2021.

[29] P. Moonmuang, M. Faseehuddin, N. Herencsar, T. Pukkalanun and Worapong Tangsrirat, "VDTA-Based floating/grounded series/parallel R-L and R-C immittance simulators with a single grounded capacitor," **International Journal of Electronics and Communications (AEU)**, vol. 160, 154502, 2023.

[30] P. Moonmuang, T. Pukkalanun, W. Tangsrirat, "Floating/grounded series/parallel R-L, R-C and L-C immittance simulators employing VDTAs and only two grounded

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

passive elements", **International Journal of Electronics and Communications (AEU)**, vol. 145, 2022.

[31] A. Yesil, F. Kacar and H. Kuntman, "New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application", **Radioengineering**, vol. 20, no. 3, pp. 632-637, 2011.

[32] D. Biolek, M. Shaktour, V. Biolkova and Z. Kolka, "Current-input current-output universal biquad employing two bulk-driven VDTAs", **International Congress on Ultra Modern Telecommunications and Control Systems and Workshops**, Article number 6459714, pp. 484-489, 2012.

[33] J. Satansup, T. Pukkalanun and W. Tangsrirat, "Electronically tunable current-mode universal filter using VDTAs and grounded capacitors", **Proceedings of the International MultiConference of Engineers and Computer Scientists (IMECS 2013)**, Kowloon, Hong Kong, pp. 647-650, 13-15 March, 2013.

[34] R. Sotner, J. Jerabek, N. Herencsar, K. Vrba and Z. Kincl, "Tunable oscillator derived from Colpitts structure with simply controllable condition of oscillation and synthetic inductor based on current amplifier and voltage differencing transconductance amplifier" , **Proceedings of the 8th International Conference on Electrical and Electronics Engineering (ELECO 2013)**, Bursa, Turkey, Article number 6713928, pp. 21-25, 28-30 November, 2013.

[35] M. Srivastava, D. Prasad and D. R. Bhaskar, "Voltage mode quadrature oscillator employing single VDTA and grounded passive elements", **Contemporary Engineering Sciences**, vol. 7, no. 25-28, pp. 1501-1507, 2014.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
วงจร VDTA

2.1 กล่าวนำ

วงจร VDTA (voltage differencing transconductance amplifier) ถือเป็นอุปกรณ์แอคทีฟ (active element) ที่ถูกนำเสนอโดย Dalibor Biolek และคณะผู้วิจัย [1] ซึ่งเป็นอุปกรณ์ที่มีความเหมาะสมแก่การนำไปออกแบบเป็นวงจรรวม (integrated circuit, IC) เพื่อประมวลผลสัญญาณทางแอนาล็อก (analog signal processing) เนื่องจากข้อดีในเรื่องขนาดที่ค่อนข้างเล็กทำให้ใช้พื้นที่สำหรับออกแบบวงจรลดลง ทั้งยังมีความยืดหยุ่นสูง ความสามารถในการปรับค่าได้ทางอิเล็กทรอนิกส์ และใช้ไฟเลี้ยงต่ำอีกด้วย วงจร VDTA เกิดจากการปรับเปลี่ยนโครงสร้างในส่วนภาคอินพุตเดิมจากวงจร CDTA (current differencing transconductance amplifier) [2] ที่ขั้วด้านอินพุตรับสัญญาณแบบผลต่างกระแสไปเป็นแบบผลต่างแรงดัน ทำให้วงจร VDTA มีความเหมาะสมกับการทำงานทั้งในโหมดแรงดัน (voltage-mode) และโหมดกระแส (current-mode) โครงสร้างของวงจร VDTA ถูกสังเคราะห์ขึ้นจากวงจร OTA แบบหลายเอาต์พุตจำนวนสองวงจรต่อคาดเคสกัน จากการติดตามผลงานวิจัยพบว่าวงจร VDTA ถูกนำไปประยุกต์ใช้งานอย่างหลากหลาย อาทิเช่น วงจรคูณค่าความประจุไฟฟ้า (capacitance multiplier) [3] วงจรกรองสัญญาณอเนกประสงค์ (universal filter) [4]-[5] วงจรออสซิลเลเตอร์ (oscillator) [6] เป็นต้น

บทที่สองในวิทยานิพนธ์ฉบับนี้จะกล่าวถึงหลักการทำงานพื้นฐานและโครงสร้างภายในของวงจร VDTA ทั้งในทางอุดมคติและทางปฏิบัติ ผลการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE รวมถึงประสิทธิภาพของวงจรด้วยผลการทดลองจริงจากการต่อไอซีเบอร์ CA3080 ของบริษัท Harris Semiconductor

2.2 หลักการทำงานพื้นฐานของวงจร VDTA

การทำงานของวงจร VDTA ประกอบไปด้วยแหล่งจ่ายกระแสควบคุมด้วยผลต่างของแรงดันต่อร่วมกับวงจร OTA แบบหลายเอาต์พุต (multi-output operational transconductance amplifier) ซึ่งวงจรมีคุณสมบัติสำคัญคือสามารถปรับค่าอัตราขยายค่าความนำ (transconductance gain, g_m) ด้วยวิธีการทางอิเล็กทรอนิกส์จากภายนอก นอกจากนี้วงจรยังมีค่าอิมพีแดนซ์อินพุตที่สูง (high input impedance) ในขณะที่อิมพีแดนซ์เอาต์พุต (output impedance) มีค่าต่ำ จึงเหมาะสมต่อการใช้งานวงจรทั้งในโหมดแรงดันและโหมดกระแส

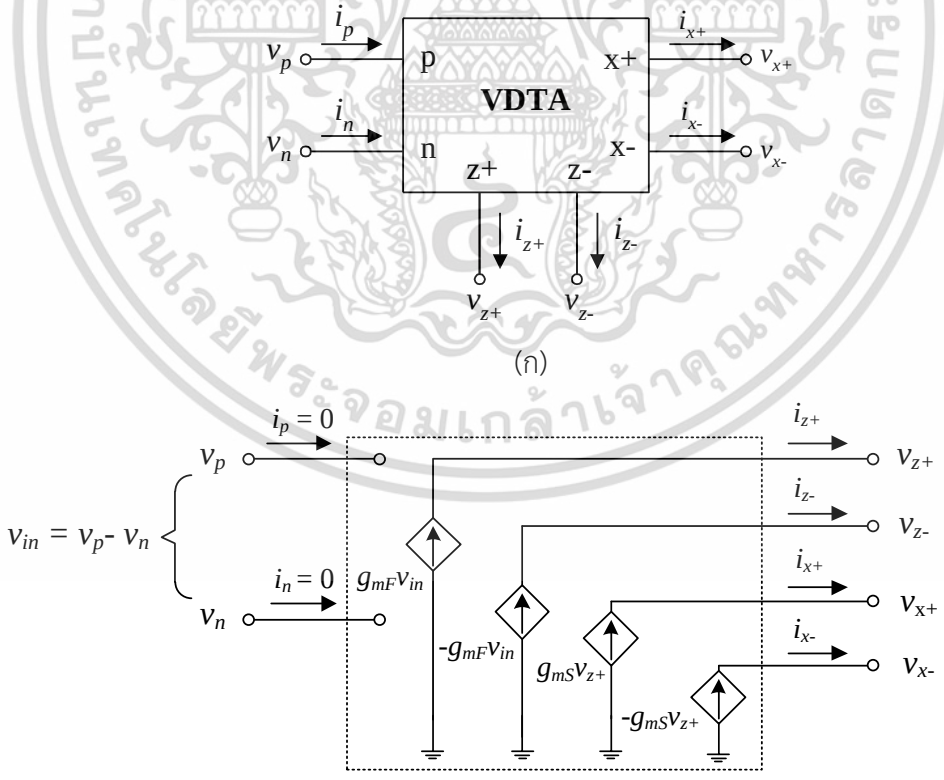
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 คุณสมบัติของวงจร VDTA ในทางอุดมคติ

วงจร VDTA เป็นอุปกรณ์แอคทีฟแบบหกขั้ว ซึ่งมีสัญลักษณ์และวงจรสมมูลทางไฟฟ้าแสดงได้ดังรูปที่ 2.1 โดยที่ขั้ว p และขั้ว n ทำหน้าที่เป็นขั้วอินพุต ในขณะที่ขั้ว z+ ขั้ว z- ขั้ว x+ และขั้ว x- จะทำหน้าที่เป็นขั้วเอาต์พุต คุณสมบัติการทำงานของวงจร VDTA ในทางอุดมคติสามารถเขียนอธิบายได้ดังนี้

$$\begin{bmatrix} i_p \\ i_n \\ i_{z+} \\ i_{z-} \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ +g_{mF} & -g_{mF} & 0 & 0 & 0 & 0 \\ -g_{mF} & +g_{mF} & 0 & 0 & 0 & 0 \\ 0 & 0 & +g_{mS} & 0 & 0 & 0 \\ 0 & 0 & -g_{mS} & 0 & 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} v_p \\ v_n \\ v_{z+} \\ v_{z-} \\ v_{x+} \\ v_{x-} \end{bmatrix} \quad (2.1)$$

โดยที่ g_m คือ อัตราขยายค่าความนำ (transconductance gain) ซึ่งทั่วไปสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ด้วยการควบคุมกระแสไบอัสจากภายนอก สมการ (2.1) แสดงให้เห็นว่าแรงดันอินพุตแบบผลต่างที่ขั้ว p และขั้ว n (v_p - v_n) จะถูกเปลี่ยนไปเป็นกระแสเอาต์พุต i_z ที่ขั้ว z และแรงดันที่ตกคร่อมขั้ว z จะถูกส่งผ่านไปเป็นแรงดันเอาต์พุตที่ขั้ว w (v_w)



รูปที่ 2.1 วงจร VDTA

(ก) สัญลักษณ์ทางไฟฟ้า (ข) วงจรสมมูลทางไฟฟ้าในทางอุคมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

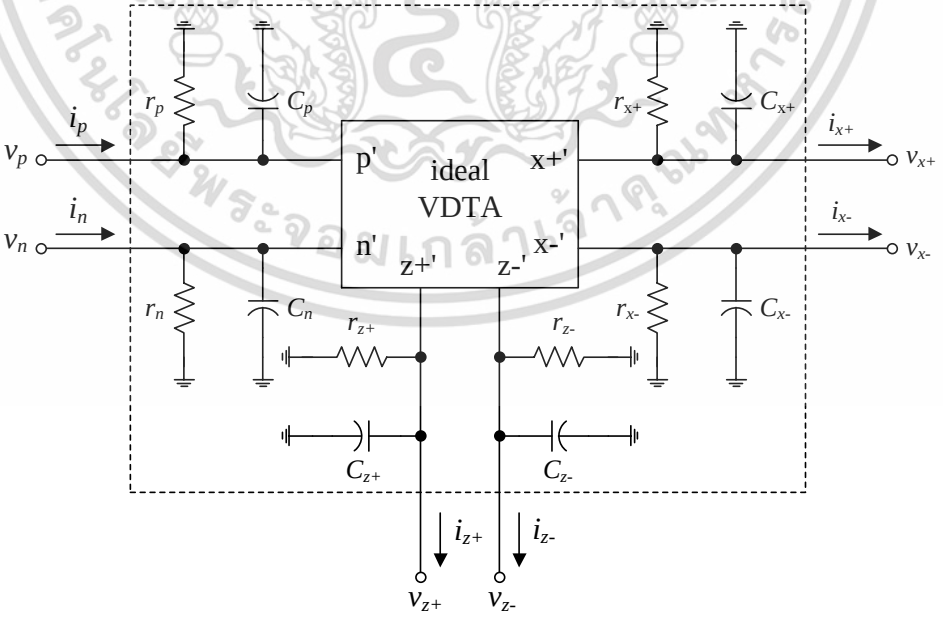
2.2.2 คุณสมบัติของวงจร VDTA ในทางปฏิบัติ

คุณสมบัติของวงจร VDTA กรณีที่มีการทำงานไม่เป็นไปตามอุดมคติ (non-ideal) จะมีความสัมพันธ์ระหว่างแรงดันกับกระแสเปลี่ยนไปซึ่งสามารถเขียนสมการ (2.1) ได้ใหม่กลายเป็น

$$\begin{bmatrix} i_p \\ i_n \\ i_{z+} \\ i_{z-} \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ +\beta_F g_{mF} & -\beta_F g_{mF} & 0 & 0 & 0 & 0 \\ -\beta_F g_{mF} & +\beta_F g_{mF} & 0 & 0 & 0 & 0 \\ 0 & 0 & +\beta_S g_{mS} & 0 & 0 & 0 \\ 0 & 0 & -\beta_S g_{mS} & 0 & 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} v_p \\ v_n \\ v_{z+} \\ v_{z-} \\ v_{x+} \\ v_{x-} \end{bmatrix} \quad (2.2)$$

โดยที่ $\beta_F = 1 - \varepsilon_{g_{mF}}$ และ $\varepsilon_{g_{mF}}$ ($\varepsilon_{g_{mF}} << 1$) คือ ค่าความเบี่ยงเบนในการส่งผ่านอัตราขยายค่าความนำ (transconductance tracking error) จากขั้ว p และขั้ว n ไปยังขั้ว z+ และ z- ในขณะที่ $\beta_S = 1 - \varepsilon_{g_{mS}}$ และ $\varepsilon_{g_{mS}}$ ($\varepsilon_{g_{mS}} << 1$) คือ ค่าความเบี่ยงเบนในการส่งผ่านอัตราขยายค่าความนำจากขั้ว z+ ไปยังขั้ว x+ และขั้ว x- ตามลำดับ

วงจรสมมูลทางไฟฟ้าของวงจร VDTA ในทางปฏิบัติสามารถเขียนแสดงได้ดังรูปที่ 2.2 ซึ่งประกอบด้วยอิมพีแดนซ์แฝงที่ด้านอินพุตของขั้ว p ($r_p//C_p$) และขั้ว n ($r_n//C_n$) รวมถึงอิมพีแดนซ์แฝงที่ด้านเอาต์พุตจำนวนสี่ขั้ว ได้แก่ ขั้ว z+ ($r_{z+}//C_{z+}$) ขั้ว z- ($r_{z-}//C_{z-}$) ขั้ว x+ ($r_{x+}//C_{x+}$) และขั้ว x- ($r_{x-}//C_{x-}$)

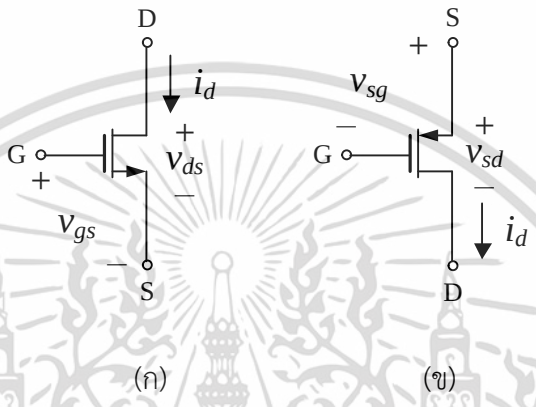


รูปที่ 2.2 วงจรสมมูลทางไฟฟ้าของวงจร VDTA ในทางปฏิบัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 เทคโนโลยีมอสทรานซิสเตอร์

มอสทรานซิสเตอร์ (Metal Oxide Semiconductor Field Effect Transistor, MOSFET) ซึ่งแบ่งออกเป็นสองชนิดได้แก่ ชนิด P (PMOS) และชนิด N (NMOS) ดังรูปที่ 2.3 เป็นอุปกรณ์สารกึ่งตัวนำที่ได้รับการเคลือบผิวบางส่วนด้วยซิลิกอนไดออกไซด์ (silicon dioxide, SiO_2) ทั้งสองชนิดจะประกอบไปด้วย ขาเกท (gate, G) ขาเดรน (drain, D) และ ขาซอร์ส (source, S) [7] ที่อาศัยหลักการทำงานด้วยสนามไฟฟ้าควบคุมการไหลของกระแส



รูปที่ 2.3 สัญลักษณ์ของมอสทรานซิสเตอร์
(ก) ชนิด N (ข) ชนิด P

วิทยานิพนธ์ฉบับนี้ได้กล่าวถึงมอสทรานซิสเตอร์ที่ทำงานในย่านอิ่มตัว (saturation region) โดยสามารถอธิบายถึงความสัมพันธ์ของแรงดันระหว่างขาเกท ขาเดรน และ ขาซอร์ส เมื่อพิจารณากรณีที่มอสทรานซิสเตอร์ชนิด N ทำงานในช่วงอิ่มตัวได้ดังนี้

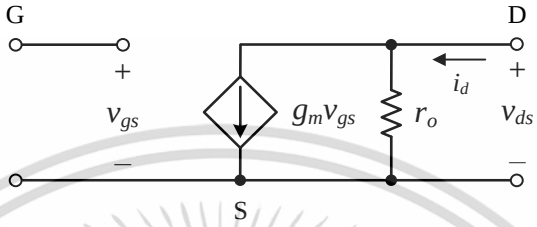
$$v_{DS} \geq v_{GS} - V_{TH} \tag{2.3}$$

เมื่อ v_{GS} (gate to source voltage) คือแรงดันเข้าที่ขาเกทเทียบกับขาซอร์ส V_{TH} (threshold voltage) คือแรงดันขีดเริ่มที่ทำให้เกิดช่องทางเดินกระแส v_{DS} (drain to source voltage) คือแรงดันที่ขาเดรนเทียบกับขาซอร์ส โดยที่กระแสไหลจากขาเดรนไปยังขาซอร์ส (i_D) มีค่าเท่ากับ

$$i_D = \frac{\mu C_{ox}}{2}\left(\frac{W}{L}\right)\left(v_{GS} - V_{TH}\right)^2\left(1 + \lambda v_{DS}\right) \tag{2.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

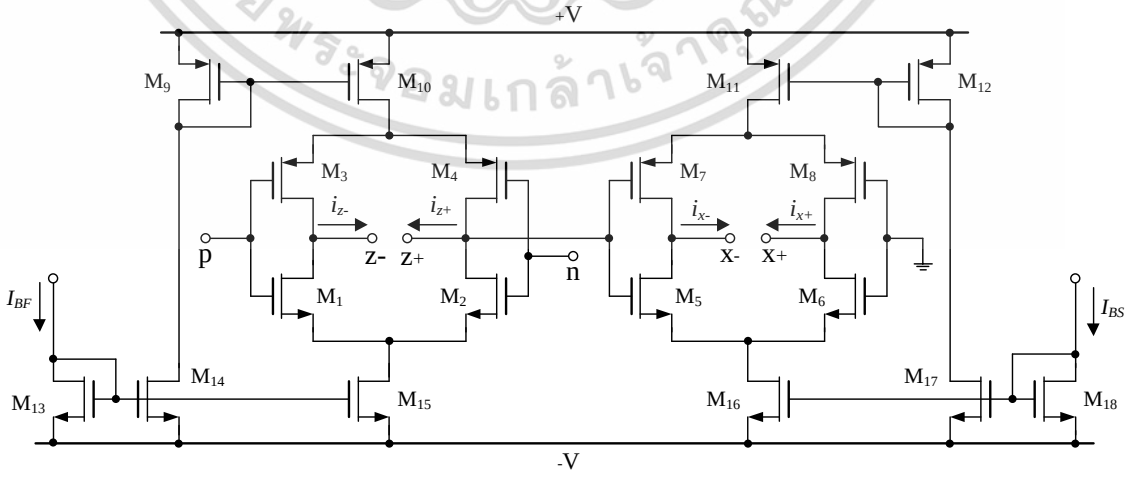
โดยที่ μ คือ ค่าความคล่องตัวของพาหะตัวนำ (effective carrier mobility) C_{ox} คือ ค่าความจุไฟฟ้าแฝงต่อหนึ่งหน่วยพื้นที่ (gate oxide capacitance per unit area) W และ L คือ ความกว้างประสิทธิผลและความยาวประสิทธิผลของช่องนำกระแส (effective channel width and length) และ λ คือ การมอดูเลตความยาวของช่องนำกระแส (channel length modulation) วงจรสมมูลของมอสทรานซิสเตอร์ชนิด N กรณีสัญญาณขนาดเล็ก แสดงได้ดังรูปที่ 2.4 เมื่อ r_o คือ ค่าความต้านทานระหว่างขาเดรนกับขาซอร์ส



รูปที่ 2.4 วงจรสมมูลของมอสทรานซิสเตอร์ชนิด N กรณีสัญญาณขนาดเล็ก

2.4 การสังเคราะห์วงจร VDTA แบบใช้เทคโนโลยีมอสทรานซิสเตอร์

หัวข้อนี้กล่าวถึงการสังเคราะห์วงจร VDTA แบบใช้เทคโนโลยีมอสทรานซิสเตอร์ ซึ่ง Abdullah Yesil และคณะผู้วิจัยได้นำเสนอวงจร VDTA ในปี ค.ศ. 2011 แบบใช้ MOSFET ขึ้นโดย [8] มีโครงสร้างภายในดังแสดงในรูปที่ 2.5 วงจรดังกล่าวประกอบด้วยแหล่งจ่ายกระแสลอยตัว (floating current source) หรือวงจรขยายค่าความนำในรูปแบบของ Arbel-Goldminz [9] ที่ออกแบบด้วยมอสทรานซิสเตอร์ M_1 - M_4 และ M_5 - M_8 โดยที่มอสทรานซิสเตอร์ M_{13} - M_{18} ทำหน้าที่เป็นวงจรสะท้อนกระแสชนิดบวก ในขณะที่มอสทรานซิสเตอร์ M_9 - M_{12} ทำงานในรูปแบบวงจรสะท้อนกระแสชนิดลบ



รูปที่ 2.5 โครงสร้างภายในของวงจร VDTA แบบเทคโนโลยีแบบมอสทรานซิสเตอร์ที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1 วงจรขยายค่าความนำ

วงจรที่หนึ่งของวงจรขยายค่าความนำที่ประกอบด้วยมอสทรานซิสเตอร์ M_1-M_4 ในรูปที่ 2.5 กรณีที่มอสทรานซิสเตอร์ทำงานในย่านอิ่มตัว ส่งผลให้เกิดแรงดันอินพุตแบบผลต่าง (differential input voltage) ระหว่างขั้ว p และขั้ว n ($V_{in} = V_p - V_n$) ถูกส่งไปเป็นกระแสเอาต์พุตที่ขั้ว z+ (I_{z+}) และ z- (I_{z-}) เมื่อกำหนดให้ W และ L ของมอสทรานซิสเตอร์มีค่าเท่ากันทุกตัวจะได้ความสัมพันธ์ของกระแสและแรงดันไฟตรงเขียนอธิบายได้ดังนี้

$$I_{D1} = \left(\frac{\mu C_{OX}}{2}\right)\left(\frac{W}{L}\right)\left(V_{GS1} - V_{TH}\right)^2 \tag{2.5}$$

และ

$$I_{D2} = \left(\frac{\mu C_{OX}}{2}\right)\left(\frac{W}{L}\right)\left(V_{GS2} - V_{TH}\right)^2 \tag{2.6}$$

วงจรที่สองของวงจรขยายค่าความนำประกอบไปด้วยมอสทรานซิสเตอร์ M_5-M_8 สำหรับมอสทรานซิสเตอร์ทุกตัวทำงานในย่านอิ่มตัว วงจรจะทำหน้าที่เปลี่ยนแรงดันตกคร่อมที่ขั้ว z+ (V_{z+}) ไปเป็นกระแสเอาต์พุตที่ขั้ว x+ (I_{x+}) และ x- (I_{x-}) ความสัมพันธ์ของกระแสและแรงดันไฟตรงแสดงได้ดังนี้

$$I_{D5} = \left(\frac{\mu C_{OX}}{2}\right)\left(\frac{W}{L}\right)\left(V_{GS5} - V_{TH}\right)^2 \tag{2.7}$$

และ

$$I_{D6} = \left(\frac{\mu C_{OX}}{2}\right)\left(\frac{W}{L}\right)\left(V_{GS6} - V_{TH}\right)^2 \tag{2.8}$$

จากสมการ (2.5) และ (2.6) หากกำหนดให้ I_{BF} คือกระแสไบอัสจากภายนอก (DC bias current) จะได้กระแสเอาต์พุต $I_z = I_{z+} = I_{z-}$ ดังนี้ [ภาคผนวก ก1]

$$I_z = \frac{\mu C_{OX}}{2}\left(\frac{W}{L}\right) V_{in}\sqrt{\frac{4I_{BF}}{(\mu C_{OX})(W/L)} - V_{in}^{\,2}} \tag{2.9}$$

ในกรณีพิจารณาจากสมการ (2.7) และ (2.8) โดยที่ I_{BS} คือกระแสไบอัสจากภายนอก จะได้กระแสเอาต์พุต $I_x = I_{x+} = I_{x-}$ อธิบายได้ดังสมการ (2.10)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_x = \frac{\mu C_{OX}}{2}\left(\frac{W}{L}\right)V_{z+}\sqrt{\frac{4I_{BS}}{(\mu C_{OX})(W/L)}} - V_{z+}{}^2 \qquad (2.10)$$

กรณีนี้สามารถหาอัตราขยายค่าความนำของวงจรที่หนึ่ง (first transconductance, g_{mF}) และอัตราขยายค่าความนำของวงจรที่สอง (second transconductance, g_{mS}) ของวงจร VDTA ในรูปที่ 2.5 ได้เท่ากับ [ภาคผนวก ก2]

$$g_{mF} = \frac{g_1 g_2}{g_1 + g_2} + \frac{g_3 g_4}{g_3 + g_4} \cong (g_{1,2} + g_{3,4})/2 \qquad (2.11)$$

และ
$$g_{mS} = \frac{g_5 g_6}{g_5 + g_6} + \frac{g_7 g_8}{g_7 + g_8} \cong (g_{5,6} + g_{7,8})/2 \qquad (2.12)$$

โดยที่ g_i คือ อัตราขยายค่าความนำของทรานซิสเตอร์ของตัวที่ i (i = 1, 2, 3,...n) มีค่าเท่ากับ

$$g_i = \sqrt{I_{Bi}\mu C_{OX}(W/L)} \qquad (2.13)$$

2.4.2 วงจรสะท้อนกระแส

โครงสร้างภายในของวงจร VDTA ที่ใช้เทคโนโลยีแบบมอสทรานซิสเตอร์ดังแสดงในรูปที่ 2.7 ประกอบไปด้วยวงจรสะท้อนกระแสสองแบบได้แก่ มอสทรานซิสเตอร์ M_{13} - M_{18} เป็นวงจรสะท้อนกระแสชนิดบวก และมอสทรานซิสเตอร์ M_9 - M_{12} เป็นวงจรสะท้อนกระแสชนิดลบ ซึ่งวงจรสะท้อนกระแสแบบพื้นฐานอธิบายได้ดังรูปที่ 2.6 เมื่อกำหนดให้ W และ L ของมอสทรานซิสเตอร์ M_{1x}-M_{2x} มีค่าเท่ากันทุกตัว และจ่ายแรงดันไบอัสเท่ากันจะส่งผลให้ค่ากระแสเอาต์พุตที่ขั้วเดรนนั้นมีค่าเท่ากัน [10] โดยที่ I_{in} คือกระแสอินพุต (input current) และ I_{out} คือกระแสเอาต์พุต (output current) ของวงจรสะท้อนกระแส มีความสัมพันธ์ดังสมการต่อไปนี้

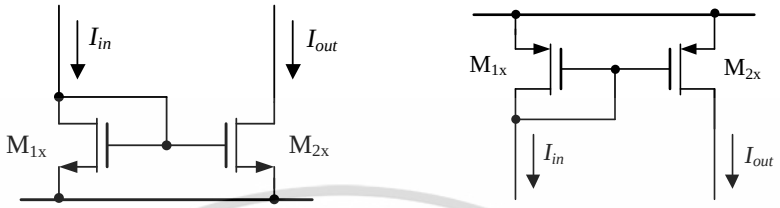
$$\frac{I_{out}}{I_{in}} = \left(\frac{W_{2x}L_{1x}}{W_{1x}L_{2x}}\right)\left(\frac{V_{GS2x} - V_{TH2x}}{V_{GS1x} - V_{TH1x}}\right)^2\left(\frac{1+\lambda_{2x}V_{DS2x}}{1+\lambda_{1x}V_{DS1x}}\right)\left(\frac{\mu C_{ox2x}}{\mu C_{ox1x}}\right) \qquad (2.14)$$

โดยที่ λ_{ix} คือค่ามอดูเลตความยาวของช่องนำกระแสของมอสทรานซิสเตอร์ตัวที่ i เมื่อพิจารณาทรานซิสเตอร์ M_{1x} และ M_{2x} จะได้อัตราขยายกระแสของวงจรสะท้อนกระแสในรูปที่ 2.6 เท่ากับ

$$\frac{I_{out}}{I_{in}} = \left(\frac{W_{2x}L_{1x}}{W_{1x}L_{2x}}\right) \qquad (2.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการข้างต้นแสดงให้เห็นว่าการส่งผ่านกระแสจาก I_{in} ไปยัง I_{out} จะขึ้นอยู่กับค่า W และ L ของมอสทรานซิสเตอร์ M_{1x}-M_{2x} ที่ทำงานอยู่ในย่านอิ่มตัว ดังนั้น I_{in} จึงทำหน้าที่เสมือนแหล่งจ่ายกระแสคงที่ในช่วงอิ่มตัว



(ก) (ข)

รูปที่ 2.6 วงจรสะท้อนกระแสแบบพื้นฐาน
(ก) ชนิดบวก (ข) ชนิดลบ

เมื่อพิจารณาในกรณีสัญญาณขนาดเล็กของวงจรสะท้อนกระแสในเชิงความถี่ จะพบว่าอัตราขยายกระแสมีค่าเท่ากับ [ภาคผนวก ก3]

$$\frac{i_{out}}{i_{in}} = \frac{g_{m2x}}{g_{m1x}} \left[\frac{1}{1 + \frac{s(C_{gs1x} + C_{gs2x})}{g_{m1x}}} \right] \tag{2.16}$$

หากพิจารณาในสมการข้างต้นที่ความถี่ต่ำ จะพบว่าอัตราขยายกระแสของวงจรสะท้อนกระแสมีค่าเท่ากับ

$$\frac{i_{out}}{i_{in}} = \frac{g_{m2x}}{g_{m1x}} \tag{2.17}$$

ดังนั้นวงจร VDTA แบบเทคโนโลยีมอสทรานซิสเตอร์ที่นำเสนอในวิทยานิพนธ์ฉบับนี้ ดังรูปที่ 2.5 นั้นประกอบไปด้วยวงจร OTA แบบหลายเอาต์พุต ทำให้มีคุณสมบัติเด่นในการปรับอัตราขยายค่าความนำโดยการแปรค่ากระแสไบอัสทางอิเล็กทรอนิกส์จากภายนอก นอกจากนี้วงจรยังมีค่าความต้านทานอินพุตสูง ในขณะที่ค่าความต้านทานเอาต์พุตมีค่าต่ำอีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 ผลการจำลองการทำงานของวงจร VDTA

หัวข้อนี้จะกล่าวถึงผลการทำงานพื้นฐานของวงจร VDTA โดยใช้โปรแกรม PSPICE เพื่อจำลองการทำงานที่สอดคล้องและเป็นไปตามหลักการทางทฤษฎี วงจร VDTA แบบใช้เทคโนโลยีมอสทรานซิสเตอร์ในรูปที่ 2.5 นั้นได้ออกแบบโดยใช้มอสทรานซิสเตอร์ขนาด 0.18 μm ของบริษัท TSMC โดยกำหนดอัตราส่วนความกว้างต่อความยาวของช่องนำกระแส (W/L) ของช่องนำกระแสสำหรับมอสทรานซิสเตอร์แสดงดังตารางที่ 2.1 และแหล่งจ่ายไฟเลี้ยงเท่ากับ $+\mathrm{V} = -\mathrm{V} = 1\mathrm{V}$ จากผลการจำลองการทำงานพบว่ามีกำลังไฟฟ้าสูญเสียทั้งหมด (total power consumption) ของวงจรที่นำเสนอเท่ากับ 0.4 mW

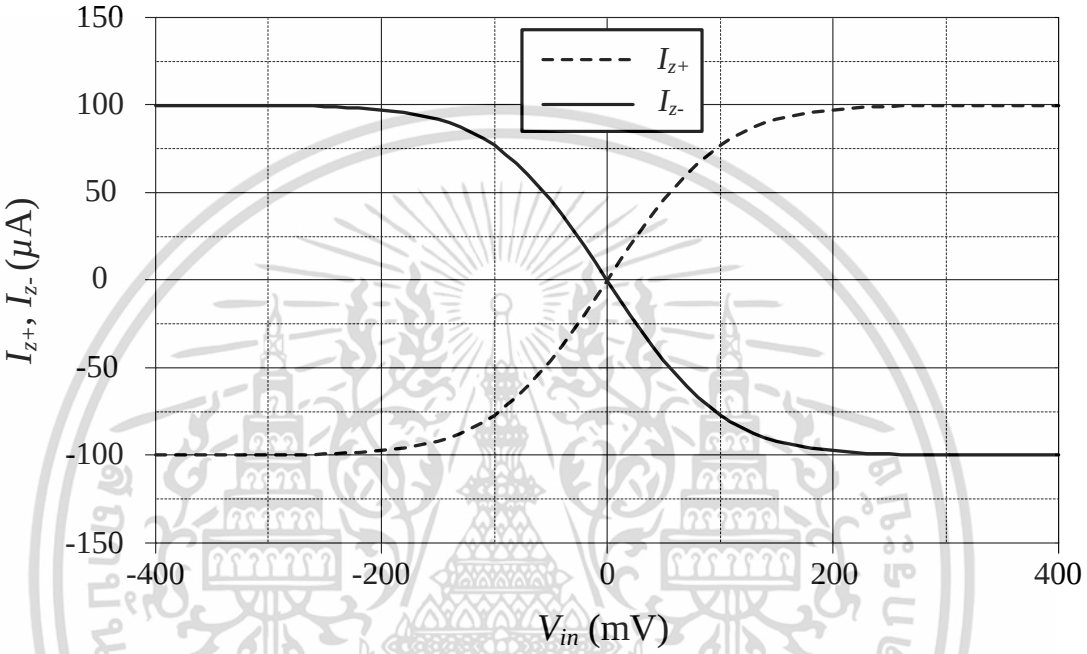
ผลการจำลองการทดสอบคุณสมบัติไฟฟ้ากระแสตรง (DC transfer characteristics) ระหว่างกระแสเอาต์พุต I_{z+} และ I_{z-} เทียบกับแรงดันอินพุตแบบผลต่าง ($V_{in} = V_p - V_n$) เมื่อกำหนดให้กระแสไบอัส I_{BF} เท่ากับ 100 μA (g_{mF} = 1.14 mA/V) โดยแปรค่า V_{in} ระหว่าง -400 mV จนถึง 400 mV แสดงได้ดังรูปที่ 2.7 ผลการจำลองแสดงให้เห็นว่าผลการทำงานมีค่าใกล้เคียงกับค่าทางทฤษฎีในช่วงแรงดันอินพุตระหว่าง -100 mV ถึง 100 mV รูปที่ 2.8 แสดงผลการปรับอัตราขยายค่าความนำ g_m ด้วยการแปรค่า I_{BF} จาก 0 μA ถึง 500 μA ของวงจร VDTA โดยเปรียบเทียบระหว่างผลการจำลองกับผลทางทฤษฎี ซึ่งพบว่า I_{BF} ในช่วง 100 μA ถึง 250 μA มีค่าความคลาดเคลื่อนน้อยกว่า 10 % และเมื่อพิจารณาคุณสมบัติไฟฟ้ากระแสตรงระหว่างกระแสเอาต์พุต I_{x+} และ I_{x-} เทียบกับแรงดันที่ขั้ว z+ (V_{z+}) โดยแปรช่วงแรงดันระหว่าง -400 mV จนถึง 400 mV เมื่อกำหนดให้ I_{BS} = 100 μA (g_{mS} = 1.14 mA/V) จะได้ผลตอบสนองดังรูปที่ 2.9

รูปที่ 2.10 แสดงผลจำลองผลตอบสนองทางความถี่ของค่าความต้านทานอินพุตของวงจร VDTA ในรูปที่ 2.5 เมื่อพิจารณาที่ความถี่ 1 kHz, 10 kHz, 100 kHz และ 1 MHz พบว่าความต้านทานอินพุตที่ขั้ว p (r_p) และขั้ว n (r_n) มีค่าเท่ากับ 1.85 GΩ, 185.86 MΩ, 18.54 MΩ และ 1.84 MΩ ตามลำดับ รูปที่ 2.11 แสดงผลจำลองผลตอบสนองทางความถี่ของค่าความต้านทานที่ขั้ว z+ (r_{z+}) และขั้ว z- (r_{z-}) พบว่ามีค่าประมาณ 45.06 kΩ ในช่วงความถี่ระหว่าง 1 kHz ถึง 2 MHz และรูปที่ 2.12 แสดงผลจำลองผลตอบสนองทางความถี่ของค่าความต้านทานที่ขั้ว x+ (r_{x+}) และขั้ว x- (r_{x-}) พบว่ามีค่าประมาณ 45.06 kΩ รูปที่ 2.13 แสดงคุณสมบัติการแปรค่าอัตราขยายค่าความนำ g_{mF} เมื่อทำการแปรค่า I_{BF} เป็น 50 μA, 100 μA, 200 μA และ 300 μA ตามลำดับ ตารางที่ 2.2 แสดงให้เห็นถึงผลทางทฤษฎีและผลการจำลอง รวมถึงค่าความคลาดเคลื่อนที่เกิดขึ้น

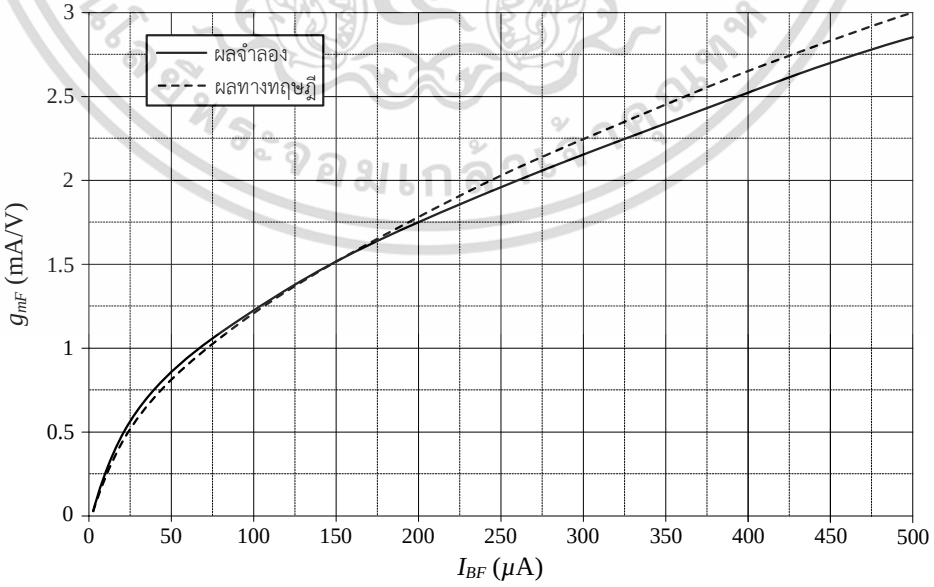
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 อัตราส่วนความกว้างต่อความยาวช่องนำกระแส (W/L) ของช่องนำกระแสสำหรับมอสทรานซิสเตอร์ในรูปที่ 2.5

ทรานซิสเตอร์	W/L (μm/μm)
$M_1 - M_2$, $M_5 - M_6$	23/0.18
$M_3 - M_4$, $M_7 - M_8$	30/0.18
M_9 - M_{18}	5/0.18

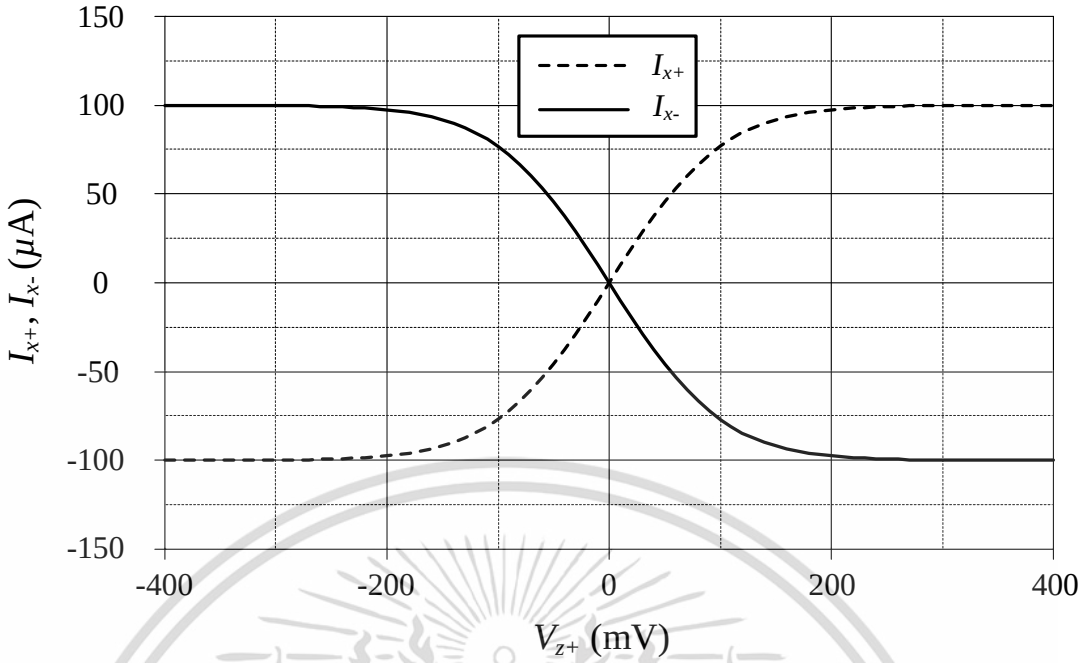


รูปที่ 2.7 ผลการจำลองคุณสมบัติไฟตรงระหว่าง I_{z+} และ I_{z-} เทียบกับ v_{in}

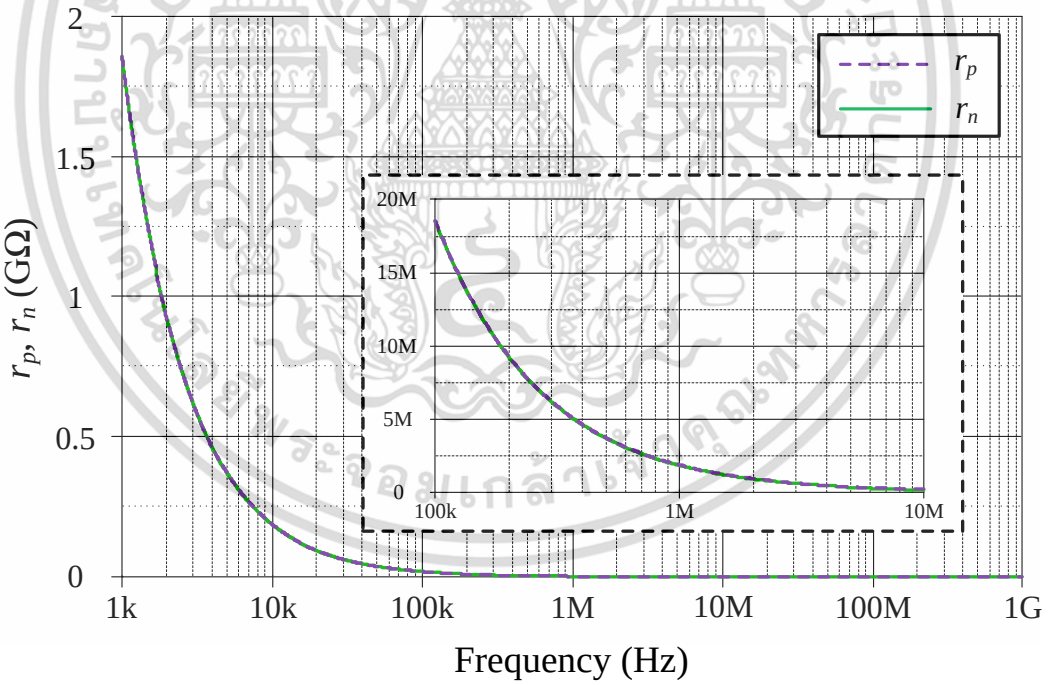


รูปที่ 2.8 ผลการจำลองอัตราขยายค่าความนำของวงจร VDTA เมื่อแปรค่า I_{BF}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

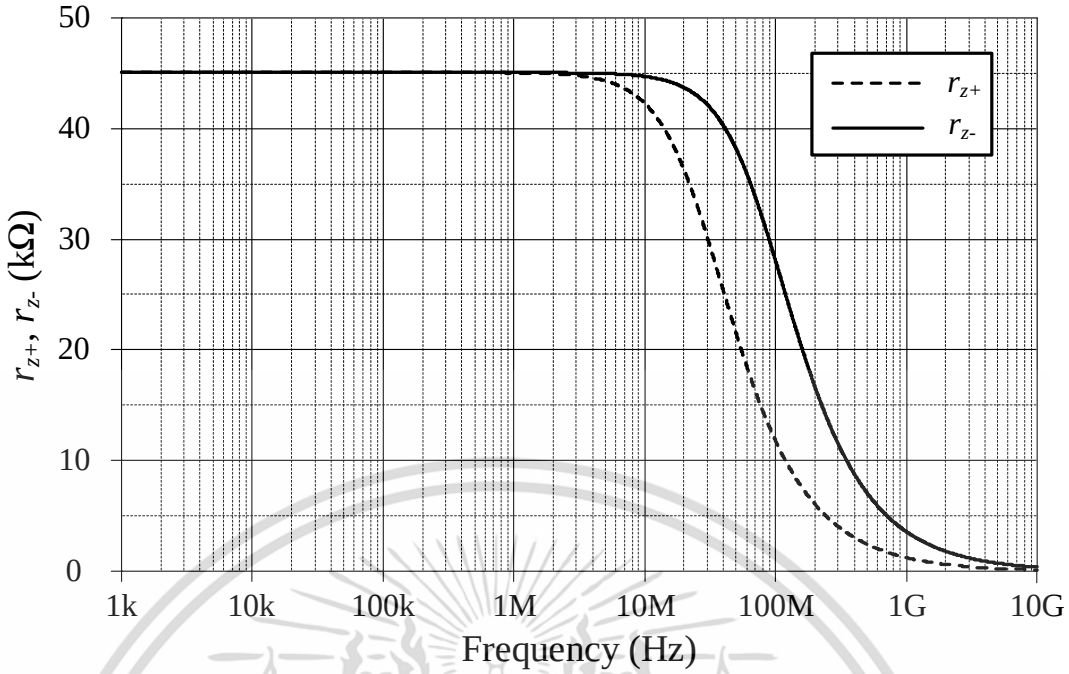


รูปที่ 2.9 ผลการจำลองคุณสมบัติไฟตรงระหว่าง I_{x+} และ I_{x-} เทียบกับ v_{z+}

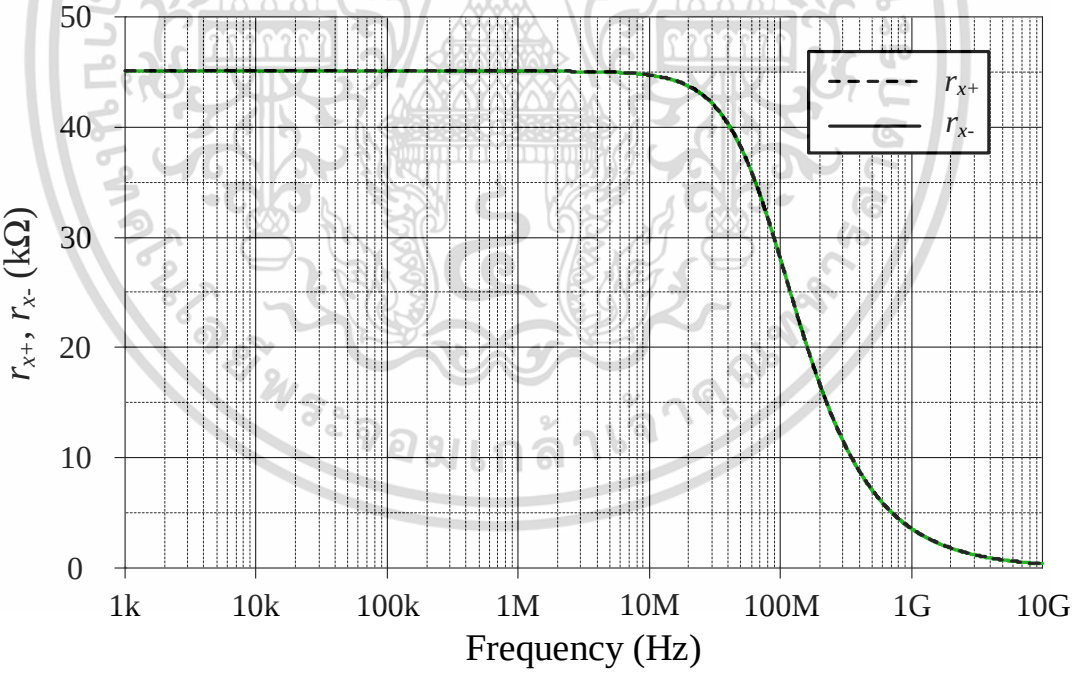


รูปที่ 2.10 ผลการจำลองผลตอบสนองทางความถี่ของ r_p และ r_n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

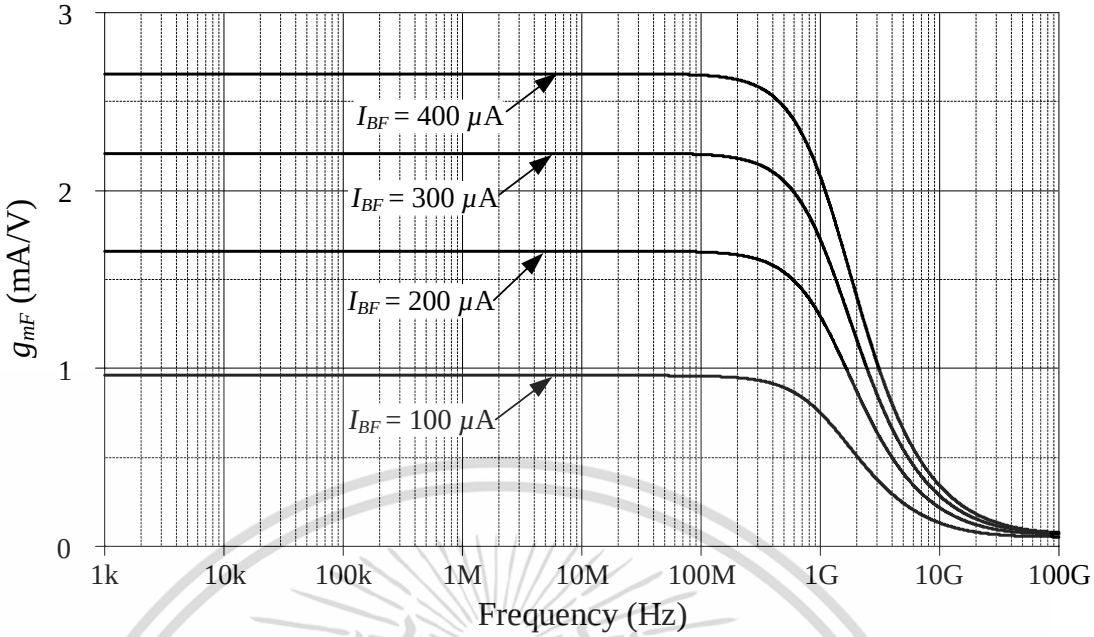


รูปที่ 2.11 ผลการจำลองผลตอบสนองทางความถี่ของ r_{z+} และ r_{z-}



รูปที่ 2.12 ผลการจำลองผลตอบสนองทางความถี่ของ r_{x+} และ r_{x-}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 ผลการจำลองผลตอบสนองทางความถี่ของ g_{mF} เมื่อแปรค่า I_{BF}

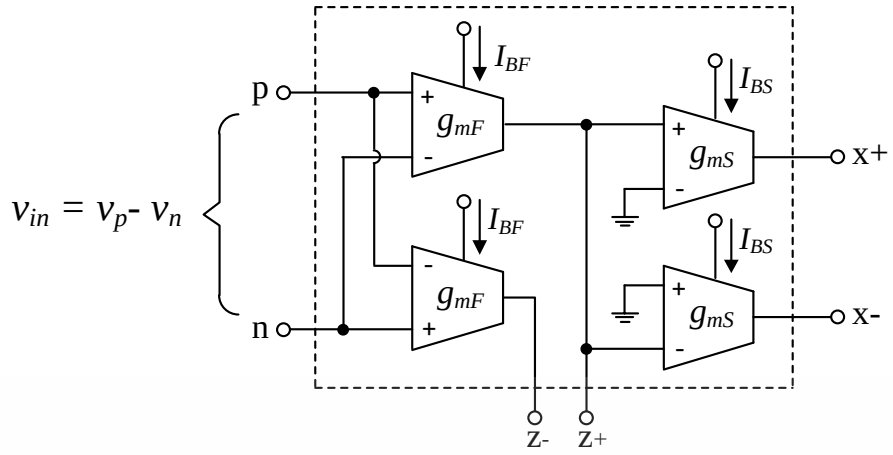
ตารางที่ 2.2 ความสัมพันธ์ของค่า g_{mF} กับค่าความคลาดเคลื่อนที่เกิดขึ้นเมื่อแปรค่า I_{BF} ในรูปที่ 2.13

I_{BF} (μA)	g_{mF} (mA/V)		ค่าความคลาดเคลื่อน (%)
	ผลทางทฤษฎี	ผลการจำลอง	
100	1.140	1.029	9.69
200	1.612	1.694	5.112
300	1.974	2.199	11.405
400	2.279	2.593	13.752

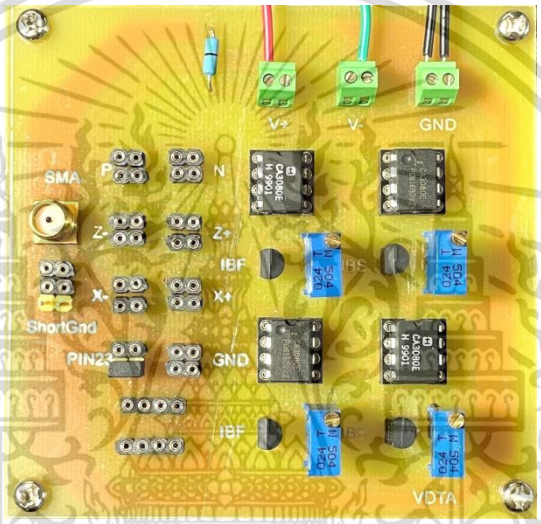
2.6 ผลการต่อทดลองด้วยวงจรจริง

วงจร VDTA ถูกสังเคราะห์ขึ้นจากไอซีเบอร์ CA3080 อธิบายได้ดังรูปที่ 2.14 เพื่อออกแบบเป็นวงจรขยายค่าความนำ ซึ่งวงจรดังกล่าวถูกนำมาทดลองและบันทึกผลด้วยเครื่องดิจิตัลออสซิลโลสโคป รุ่น EDUX1002G ของบริษัท Keysight เพื่อแสดงให้เห็นถึงคุณสมบัติการทำงานของวงจร VDTA ในทางปฏิบัติที่มีความสอดคล้องกับผลในทางทฤษฎี รูปที่ 2.15 แสดงแผ่นวงจรพิมพ์ของวงจร VDTA ในรูปที่ 2.14 โดยที่อัตราขยายค่าความความนำหาได้จาก $g_m = \frac{I_B}{2V_T}$ เมื่อกำหนดให้ V_T = 25 mV และ $I_B = I_{BF} = I_{BS}$ = 50 μA จะได้ $g_m = g_{mF} = g_{mS}$ = 1 mA/V [11] การทดสอบการทำงานของวงจร VDTA ได้เลือกป้อนแรงดันอินพุตสามเหลี่ยม ($v_{in} = v_p - v_n$) ขนาด 50 mVp ที่ f = 100 kHz เมื่อกำหนดให้ +V = −V = 5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 2.14 วงจร VDTA

(ก) สังเคราะห์จากไอซีเบอร์ CA3080 (ข) ภาพถ่ายแผ่นวงจรพิมพ์

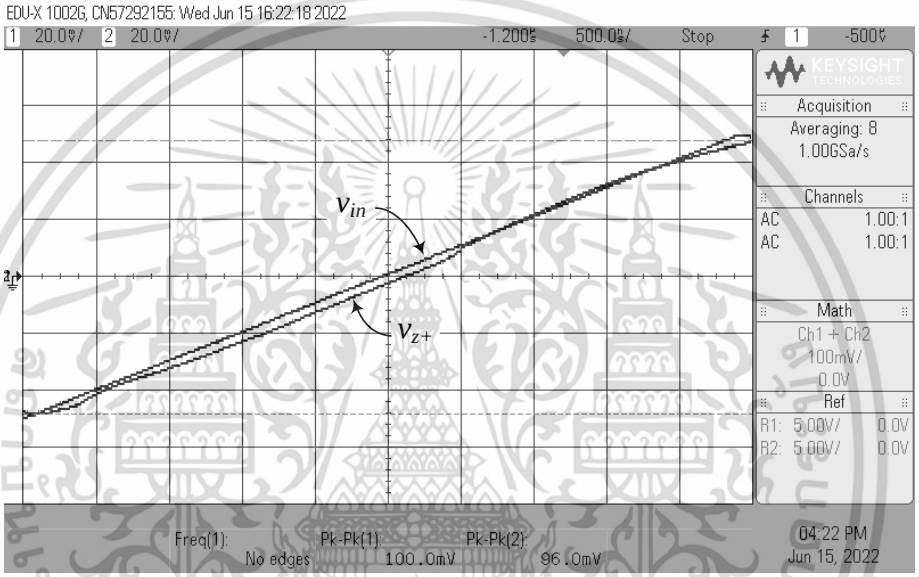
เมื่อพิจารณาผลตอบสนองทางเวลาของ VDTA ที่นำเสนอในรูปที่ 2.14 โดยสามารถวัดแรงดันอินพุตที่ขั้ว p (v_p) เมื่อขั้ว n ต่อเทียบกราวด์ (v_n = 0) หรือ v_{in} กับแรงดันเอาต์พุตที่ขั้ว z+ (v_{z+}) แสดงได้ดังรูปที่ 2.15 ซึ่งในการวัด v_{z+} จะต้องใช้วงจร CFOA (AD844) [12] ต่อร่วมกับตัวต้านทานขนาด 1 kΩ เพื่อเปลี่ยนจากกระแสเอาต์พุตเป็นแรงดันเพื่อวัดขนาดของแรงดันที่ตกคร่อมขั้ว z ในกรณีเดียวกันแรงดันเอาต์พุตที่ขั้ว z- (v_{z-}) เทียบกับ v_{in} แสดงได้ดังรูปที่ 2.16 ในขณะที่รูปที่ 2.17 แสดงการวัดผลตอบสนองทางเวลา เมื่อป้อนแรงดัน v_{z+} และวัดค่ากระเอาต์พุตที่ขั้ว x+ (I_{x+}) และ x- (I_{x-}) โดยการต่อ วงจร CFOA เพื่อเปลี่ยนกระแส I_{x+} และ I_{x-} ไปเป็น v_{x+} และ v_{x-} ตามลำดับ ผลตอบสนองทางความถี่ของอัตราขยายค่าความนำ (g_{mF}) เมื่อทำการแปร I_{BF} เป็น 0.5, 1 และ 2 mA/V แสดงดังรูปที่ 2.18 ผลการวัดจริงและผลในทางทฤษฎีอธิบายดังตารางที่ 2.3 จากผลการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

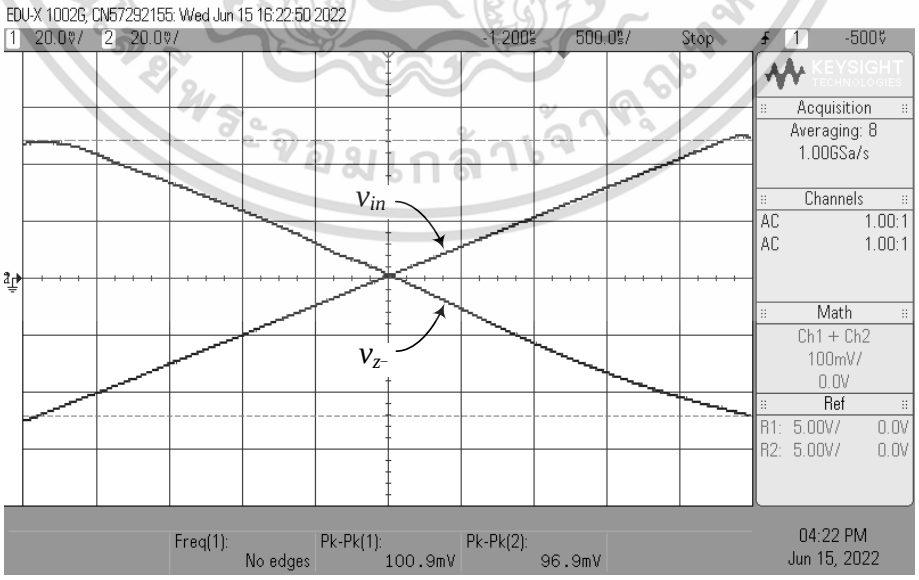
ทดลองแสดงถึงประสิทธิภาพการทำงานของวงจร VDTA ที่สามารถปรับอัตราขยายค่าความนำด้วยการแปรค่า I_{BF} จากภายนอก

ตารางที่ 2.3 รายละเอียดของ g_{mF} เมื่อแปรค่า I_{BF} ในรูปที่ 2.18

I_{BF} (μA)	g_m (mA/V)		ค่าความคลาดเคลื่อน (%)
	ผลทางทฤษฎี	ผลการวัด	
50	0.5	0.489	2.2
100	1	0.988	1.2
150	2	1.945	2.75

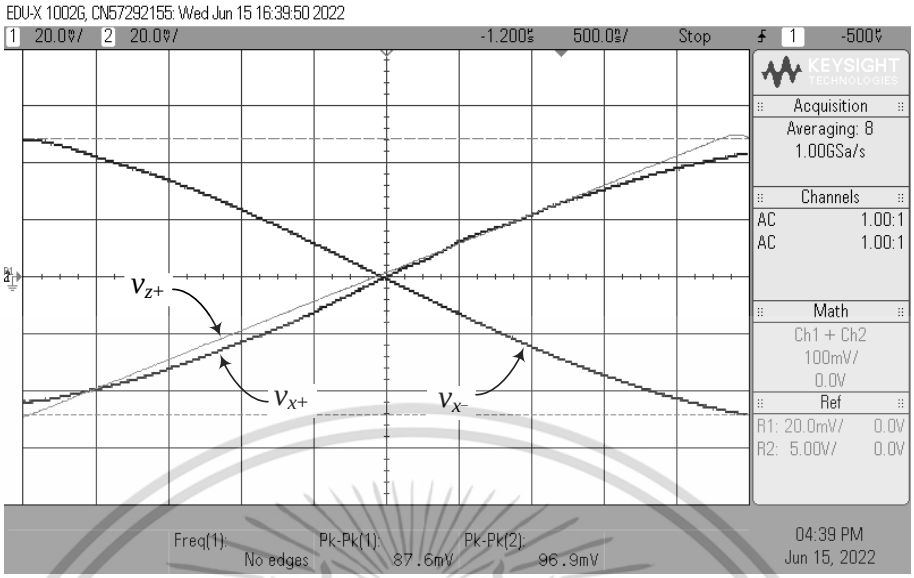


รูปที่ 2.15 ผลการวัดแรงดัน v_{in} และ v_{z+} ของวงจร VDTA ในรูปที่ 2.14

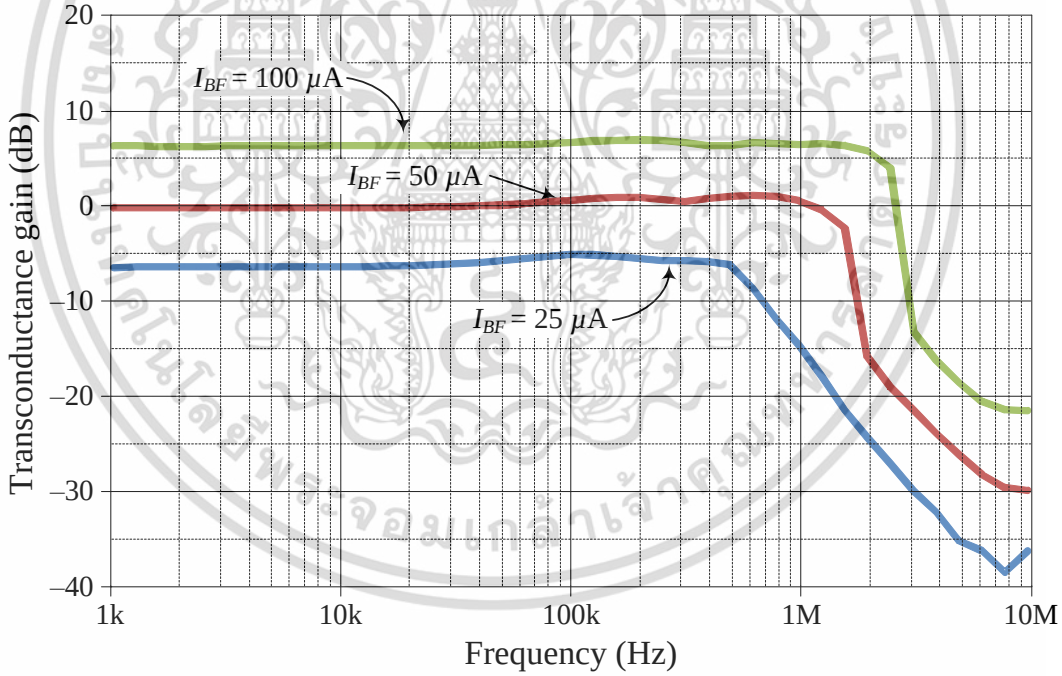


รูปที่ 2.16 ผลการวัดแรงดัน v_{in} และ v_{z-} ของวงจร VDTA ในรูปที่ 2.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 ผลการวัดแรงดัน v_{z+} เปรียบเทียบกับ v_{x+} และ v_{x-} ของวงจร VDTA ในรูปที่ 2.14



รูปที่ 2.18 ผลการวัดผลตอบสนองทางความถี่ของ g_{mF} เมื่อแปรค่า I_{BF}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 สรุป

บทนี้ได้กล่าวถึงวงจร VDTA ซึ่งเป็นอุปกรณ์แอคทีฟหลักสำหรับวิทยานิพนธ์เล่มนี้ โดยอธิบายถึงที่มาความสำคัญของวงจร หลักการทำงานพื้นฐาน คุณสมบัติของวงจรทั้งทางอุดมคติและทางปฏิบัติ การวิเคราะห์วงจรสำหรับสัญญาณขนาดเล็กและขนาดใหญ่ เป็นต้น วงจร VDTA มีโครงสร้างภายในแบบเทคโนโลยีมอสทรานซิสเตอร์ ที่ประกอบไปด้วยแหล่งจ่ายกระแสควบคุมด้วยผลต่างของแรงดันต่อร่วมกับวงจร OTA แบบหลายเอาต์พุต ซึ่งมีคุณสมบัติสำคัญคือสามารถปรับค่าอัตราขยายค่าความนำด้วยวิธีการทางอิเล็กทรอนิกส์จากภายนอก ผลการจำลองการทำงานถูกแสดงให้เห็นด้วยโปรแกรม PSPICE และผลการต่อวงจรจริงที่สังเคราะห์ขึ้นจากไอซีเบอร์ CA3080 เพื่อตรวจสอบการทำงานของวงจร VDTA ที่มีความถูกต้องและสอดคล้องกับผลลัพธ์ในทางทฤษฎี

2.8 เอกสารอ้างอิงบทที่ 2

[1] D. Biolek, R. Senani, V. Biolkova and Z. Kolka, “Active elements for analog signal processing : Classification, review, and new proposals”, **Radioengineering**, vol. 17, no. 4, pp. 15-32, 2008.

[2] D. Biolek, “CDTA-building block for current-mode analog signal processing”, **Proceedings of the 16th IEEE European Conference on Circuits Theory and Design (ECCTD 2003)**, Krakow, Poland, vol. 3, pp. 397-400, 2003.

[3] D. Ozenli, E. Alaybeyoglu, and H. Kuntman, “A Grounded capacitance multiplier circuit employing VDTA,” **Proceedings of the 13th International Conference on Electrical and Electronics Engineering (ELECO2021)**, Nov. 2021.

[4] J. Satansup and W. Tangsrirat, “Compact VDTA-based current-mode electronically tunable universal filters using grounded capacitors”, **Microelectronics Journal**, vol. 45, no. 6, pp. 613-618, 2014.

[5] D. Prasad, D. Bhaskar and M. Srivastava, “Universal current-mode biquad filter using a VDTA”, **Circuits and Systems**, vol. 4, no. 1, pp. 29-33, 2013.

[6] N. Herencsar, R. Sotner, J. Koton, J. Misurec and K. Vrba, “New compact VM four-phase oscillator employing only single Z-copy VDTA and all grounded passive elements”, **Elektronika ir Elektrotechnika**, vol. 19, no. 10, pp. 87-90, 2013.

[7] Donald A. Neamen, **Electronic circuit analysis and design**, Second edition. McGraw-Hill, Inc., 2001.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[8] A. Yesil, F. Kacar and H. Kuntman, “New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application”, **Radioengineering**, vol. 20, no. 3, pp. 632-637, 2011.

[9] A. F. Arbel and L. Goldminz, “Output stage for current-mode feedback amplifiers, theory and applications”, **Analog Integrated Circuits and Signal Processing**, vol. 2, pp. 243-255, 1992.

[10] K. Tanno, O. Ishizuka, Z. Tang, “Low voltage and low frequency current mirror using a two-MOS subthreshold op amp”, **Electronics Letters**, vol. 32, no. 7, pp. 605-606, 1996.

[11] Harris semiconductor, “2 MHz, operational transconductance amplifier (OTA)”, **CA3080 datasheet**, Nov. 1996.

[12] Analog Devices, “60 MHz, 2000 V/μs, monolithic op amp with quad low noise”, **AD844 datasheet**.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
วงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่มีการสูญเสีย โดยใช้ตัวต้านทานและตัวเก็บประจุเทียบกราวด์อย่างละหนึ่งตัว

3.1 กล่าวนำ

ปัจจุบันอุปกรณ์แอคทีฟสมัยใหม่ (modern active element) ได้ถูกนำมาออกแบบเป็นเทคโนโลยีวงจรรวม (integrated circuit, IC) สำหรับการประมวลผลสัญญาณทางแอนะล็อก (analog signal processing) ซึ่งคุณสมบัติเด่นของอุปกรณ์แอคทีฟดังกล่าวคือ มีลักษณะทางกายภาพเล็กรวมถึงการบริโภคแรงดันไฟเลี้ยงที่ต่ำ (low-supply voltage) อุปกรณ์ดังกล่าวสามารถนำไปประยุกต์ใช้ได้อย่างหลากหลาย อาทิเช่น วงจรกรองสัญญาณ (filter circuit) [1]-[2] วงจรออสซิลเลเตอร์ (oscillator) [3] และการกำจัดค่าอุปกรณ์แฝงภายในวงจร (cancellation of unavoidable parasitic element values) [4] โดยส่วนใหญ่แล้วจะประกอบไปด้วยอุปกรณ์อิเล็กทรอนิกส์พื้นฐานได้แก่ตัวเหนี่ยวนำแบบพาสซีฟ (passive inductor) ซึ่งอุปกรณ์พาสซีฟดังกล่าวนั้นมีขนาดทางกายภาพค่อนข้างใหญ่ ทั้งยังมีน้ำหนักมาก ทำให้สิ้นเปลืองพื้นที่ในวงจร ไม่เหมาะกับการสังเคราะห์เป็นวงจรรวม จึงทำให้อุปกรณ์แอคทีฟได้เข้ามามีบทบาทสำคัญในการออกแบบวงจรเลียนแบบตัวเหนี่ยวนำ เนื่องจากทำให้ลักษณะทางกายของวงจรมีแนวโน้มที่เล็กลง รวมถึงยังสามารถปรับแต่งค่าทางอิเล็กทรอนิกส์ได้อีกด้วย จากการทบทวนงานวิจัยที่เกี่ยวกับวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่มีการสูญเสีย [5]-[12] จะพบว่างานวิจัย [5]-[8] ต้องอาศัยอุปกรณ์แอคทีฟมากกว่าสองตัวสำหรับการสังเคราะห์วงจร ในขณะที่งานวิจัย [9]-[12] วงจรที่นำเสนอต้องใช้อุปกรณ์พาสซีฟอย่างต่ำสามตัว จึงส่งผลต่อการออกแบบวงจรรวมเนื่องจากต้องใช้พื้นที่มาก ถึงแม้ในการออกแบบจะต้องใช้ตัวเก็บประจุไฟฟ้าแบบพาสซีฟ แต่เมื่อเทียบกับขนาดทางกายภาพของตัวเหนี่ยวนำแบบพาสซีฟแล้วจะพบว่าตัวเก็บประจุไฟฟ้าแบบพาสซีฟยังมีขนาดเล็กกว่ามาก บางงานวิจัยต้องใช้อุปกรณ์แอคทีฟหลากหลายชนิด [6], [10] ทำให้วงจรที่นำเสนอไม่คล่องตัวต่อการนำไปออกแบบวงจรรวม จากการค้นคว้างานวิจัย [13]-[16] พบว่าวงจรมีข้อเสียเนื่องจากไม่สามารถปรับแต่งค่าได้ในทางอิเล็กทรอนิกส์จากภายนอก นอกจากนี้งานวิจัย [16] วงจรที่นำเสนอสามารถทำงานได้ที่ระดับแหล่งจ่ายไฟเลี้ยงมากกว่า ± 1.5 V ซึ่งจะส่งผลให้เกิดกำลังไฟฟ้าสูญเสียในวงจรมากขึ้นเช่นกัน

อุปกรณ์แอคทีฟที่มีชื่อว่า วงจร VDTA (voltage difference transconductance amplifier) ได้ถูกนำเสนอขึ้นในปี ค.ศ 2008 [17] โดยมีขั้วอินพุตเป็นรูปแบบแรงดันและขั้วเอาต์พุตเป็นรูปแบบกระแส ซึ่งมีคุณสมบัติเป็นแหล่งจ่ายกระแสควบคุมด้วยผลต่างของแรงดันและอัตราขยายค่าความนำ อีกทั้งวงจรยังมีโครงสร้างไม่ซับซ้อน ทำให้วงจร VDTA ถูกนำไปประยุกต์ใช้งานอย่างแพร่หลาย อาทิเช่น วงจรกรองสัญญาณ [18] วงจรออสซิลเลเตอร์ [19] และวงจรเลียนแบบตัวเหนี่ยวนำ [20] เป็นต้น ดังนั้นวัตถุประสงค์ของวิทยานิพนธ์ฉบับนี้เพื่อนำเสนอวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรมและขนานที่ปรับค่าได้ทางอิเล็กทรอนิกส์ [21] ประกอบไปด้วยอุปกรณ์แอคทีฟหลักคือวงจร VDTA จำนวนหนึ่งตัว ตัวต้านทานแบบลอยตัวจำนวนหนึ่งตัวและตัวเก็บประจุไฟฟ้าแบบเทียบกราวด์จำนวนหนึ่งตัว เนื่องจากการใช้อุปกรณ์แอคทีฟแค่ตัวเดียว จึงทำให้มีลักษณะเรียบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ง่ายไม่ซับซ้อน ใช้พื้นที่ในการออกแบบวงจรรวมน้อยลง นอกจากนี้วงจรที่นำเสนอยังสามารถปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์โดยการแปรค่ากระแสไบอัสจากภายนอกของวงจร ซึ่งวงจรที่นำเสนอได้แสดงให้เห็นถึงผลการทำงานจริงด้วยผลการจำลองการทำงานด้วยโปรแกรม PSPICE แบบเทคโนโลยี CMOS ขนาด 0.18 μm ของบริษัท TSMC พร้อมทั้งผลการทดลองจริงจากการสังเคราะห์วงจร VDTA โดยใช้ไอซีเบอร์ CA3080 นอกจากนี้เพื่อยืนยันการทำงานของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวที่นำเสนอจึงถูกนำไปประยุกต์ใช้งานในวงจรกรองผ่านความถี่ต่ำอันดับสี่แบบริปเปิลเท่ากัน

3.2 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบลอยตัวที่นำเสนอ

วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรมและขนาน ซึ่งประกอบด้วยวงจร VDTA จำนวนหนึ่งตัว ตัวต้านทานและตัวเก็บประจุไฟฟ้าอย่างละหนึ่งตัวดังแสดงในรูปที่ 3.1 เมื่อวิเคราะห์วงจรโดยอาศัยคุณสมบัติของวงจร VDTA ดังสมการ (2.1) จะพบว่าค่าอิมพีแดนซ์อินพุต (input impedance, Z_{in}) และแอดมิตแตนซ์อินพุต (input admittance, Y_{in}) ของวงจรเลียนแบบตัวเหนี่ยวนำมีค่าดังนี้

สำหรับรูปที่ 3.1(ก) จะได้ [ภาคผนวก ข1]

$$Z_{in} = Z_{eq1} = \left(\frac{v_1 - v_2}{i_1}\right) = \left(\frac{v_2 - v_1}{i_2}\right) = R_{eq1} + sL_{eq1} = \left(\frac{1}{g_{mF} g_{mS} R_1}\right) + s\left(\frac{C_1}{g_{mF} g_{mS}}\right) \quad (3.1)$$

สำหรับรูปที่ 3.1(ข) จะได้ [ภาคผนวก ข2]

$$Y_{in} = Y_{eq2} = \left(\frac{i_1}{v_1 - v_2}\right) = \left(\frac{i_2}{v_2 - v_1}\right) = \frac{1}{R_{eq2}} + \frac{1}{sL_{eq2}} = \left(\frac{1}{R_2}\right) + \left(\frac{g_{mF} g_{mS}}{sC_2}\right) \quad (3.2)$$

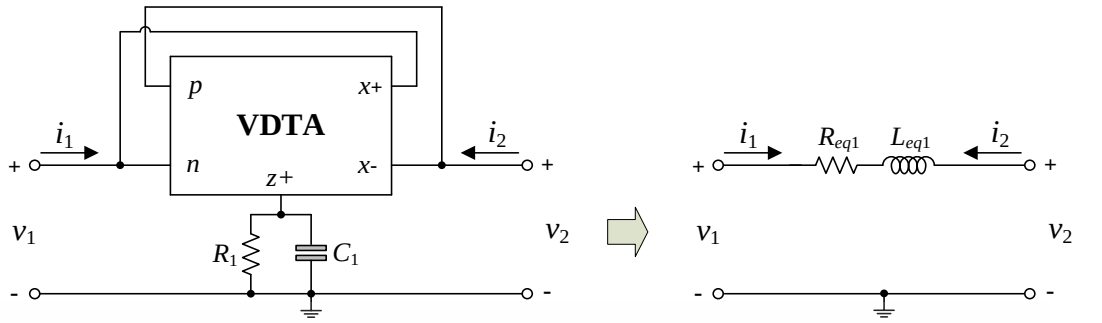
ซึ่งทำให้จะได้ค่าความต้านทานสมมูล (R_{eq}) และค่าความเหนี่ยวนำสมมูล (L_{eq}) ที่นำเสนอในรูปที่ 3.1 ดังตารางที่ 1

ตารางที่ 3.1 ค่า R_{eq} และ L_{eq} ของวงจรที่นำเสนอในรูปที่ 3.1

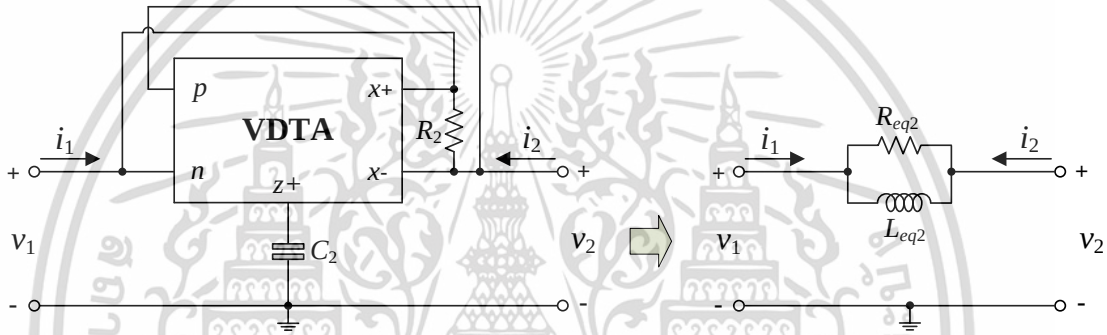
วงจรที่นำเสนอ	R_{eq}	L_{eq}
รูปที่ 3.1 (ก)	$R_{eq1} = 1/g_{mF} g_{mS} R_1$	$L_{eq1} = C_1/g_{mF} g_{mS}$
รูปที่ 3.1 (ข)	$R_{eq2} = R_2$	$L_{eq2} = C_2/g_{mF} g_{mS}$

ตารางที่ 3.1 แสดงให้เห็นว่าวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรมและขนานดังรูปที่ 3.1 สามารถปรับค่า L_{eq1} หรือ L_{eq2} ได้ด้วยการแปรค่า g_{mF} และ/หรือ g_{mS} ของแต่ละวงจรที่นำเสนอ นอกจากนี้ค่า R_{eq1} และ R_{eq2} ยังสามารถปรับแต่งค่าได้โดยไม่ส่งผลต่อค่าความเหนี่ยวนำสมมูลผ่านตัวต้านทาน R_1 และ R_2 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 3.1 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบลอยตัว
(ก) แบบอนุกรม (ข) แบบขนาน

3.3 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบลอยตัวที่นำเสนอในทางปฏิบัติ

การออกแบบวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรมแสดงดังรูปที่ 3.1 (ก) หากวิเคราะห์คุณสมบัติการทำงานในทางปฏิบัติของวงจร VDTA ดังสมการ (2.2) พบว่าค่าอิมพีแดนซ์อินพุตของวงจร Z_{eq1} เท่ากับ [ภาคผนวก ข3]

$$Z_{in}^{'} = Z_{eq1} = = \left(\frac{1}{\beta_F \beta_S g_{mF} g_{mS} R_1} \right) + s \left(\frac{C_1}{\beta_F \beta_S g_{mF} g_{mS}} \right) \qquad (3.3)$$

สมการข้างต้นแสดงให้เห็นว่า $1/\beta_F\beta_S$ ส่งผลต่อการทำงานของวงจร ซึ่งในทางปฏิบัติค่าของ β_F และ β_S จะมีค่าประมาณ 0.995 ดังนั้นผลกระทบของคุณสมบัติการทำงานที่ไม่เป็นไปตามอุดมคติจะส่งผลต่อวงจรที่นำเสนอเพียงเล็กน้อยเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะที่วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบขนานแสดงได้ดังรูปที่ 3 (ข) หากวิเคราะห์คุณสมบัติการทำงานของวงจรที่ไม่เป็นไปตามอุดมคติของวงจร VDTA จะพบว่าค่า Y_{eq2} เท่ากับ [ภาคผนวก ข4]

$$Y'_{in} = Y'_{eq2} = \left(\frac{1}{R_2}\right) + \left(\frac{\beta_F \beta_S g_{mF} g_{mS}}{sC_2}\right) \tag{3.4}$$

หากวิเคราะห์คุณสมบัติการทำงานในทางปฏิบัติของวงจรที่นำเสนอในรูปที่ 3.1 จากสมการ (3.3) - (3.4) จะได้ค่าความต้านทานสมมูลและค่าความเหนี่ยวนำสมมูลดังตารางที่ 3.2

ตารางที่ 3.2 ค่า R_{eq} และ L_{eq} ของวงจรที่นำเสนอในทางปฏิบัติ

วงจรที่นำเสนอ	R_{eq}	L_{eq}
รูปที่ 3.1 (ก)	$R_{eq1} = 1/\beta_F\beta_S g_{mF} g_{mS} R_1$	$L_{eq1} = C_1/\beta_F \beta_S g_{mF} g_{mS}$
รูปที่ 3.1 (ข)	$R_{eq2} = R_2$	$L_{eq2} = C_2/\beta_F \beta_S g_{mF} g_{mS}$

จากสมการข้างต้นแสดงให้เห็นว่าค่า β_F และ β_S ในทางปฏิบัติจะส่งผลกระทบของคุณสมบัติการทำงานของวงจรที่นำเสนอ ซึ่งเราสามารถปรับแต่งค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ด้วยอัตราขยายค่าความนำของวงจร VDTA เพื่อชดเชยผลกระทบดังกล่าวให้มีการทำงานที่ใกล้เคียงกับทางทฤษฎีมากยิ่งขึ้น

การวิเคราะห์คุณสมบัติค่าความไว (sensitivity) ของค่า R_{eq1} R_{eq2} L_{eq1} และ L_{eq2} สำหรับวงจรที่นำเสนอในรูปที่ 3.1 ต่อการเบี่ยงเบนค่าอุปกรณ์แอคทีฟและพาสซีฟในวงจร จะได้ [ภาคผนวก ข5]

$$S_{\beta_F}^{R_{eq1}} = S_{\beta_S}^{R_{eq1}} = S_{g_{mF}}^{R_{eq1}} = S_{g_{mS}}^{R_{eq1}} = S_{R_1}^{R_{eq1}} = -1 \tag{3.5}$$

$$S_{\beta_F}^{L_{eq1}} = S_{\beta_S}^{L_{eq1}} = S_{g_{mF}}^{L_{eq1}} = S_{g_{mS}}^{L_{eq1}} = -1 \tag{3.6}$$

$$S_{C_1}^{L_{eq1}} = 1 \tag{3.7}$$

$$S_{R_2}^{R_{eq2}} = -1 \tag{3.8}$$

$$S_{\beta_F}^{L_{eq2}} = S_{\beta_S}^{L_{eq2}} = S_{g_{mF}}^{L_{eq2}} = S_{g_{mS}}^{L_{eq2}} = -1 \tag{3.9}$$

และ

$$S_{C_2}^{L_{eq2}} = 1 \tag{3.10}$$

สมการข้างต้นพบว่าค่าความไวทั้งหมดมีขนาดไม่เกินหนึ่ง ดังนั้นวงจรมีคุณสมบัติค่าความไวต่อการเปลี่ยนแปลงอุปกรณ์แอคทีฟและพาสซีฟในวงจรที่ต่ำ ซึ่งบ่งชี้ถึงเสถียรภาพที่ดีของวงจรที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยกตัวอย่างในกรณีสมการ (3.5) หากค่าองค์ประกอบ g_{mF} มีค่าเปลี่ยนแปลงเพิ่มขึ้น 1 % จะทำให้ค่า R'_{eq1} ของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรมมีค่าลดลง 1 % เช่นกัน

3.4 ผลการจำลองการทำงานของวงจร

คุณสมบัติการทำงานวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรมและขนานที่นำเสนอในรูปที่ 3.1 ถูกแสดงให้เห็นจริงด้วยผลการจำลองการทำงานด้วยโปรแกรม PSPICE ภายใต้เทคโนโลยีแบบ 0.18-μm CMOS ของบริษัท TSMC โดยเลือกใช้โครงสร้างภายในของวงจร VDTA แสดงในรูปที่ 2.5 ซึ่งมีอัตราส่วน W/L (μm/μm) ของทรานซิสเตอร์ในวงจรเป็นดังตารางที่ 2.1 เมื่อกำหนดให้แหล่งจ่ายไฟเลี้ยงมีค่าเท่ากับ +V = -V = 1 V

3.4.1 ผลการจำลองการทำงานของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรม

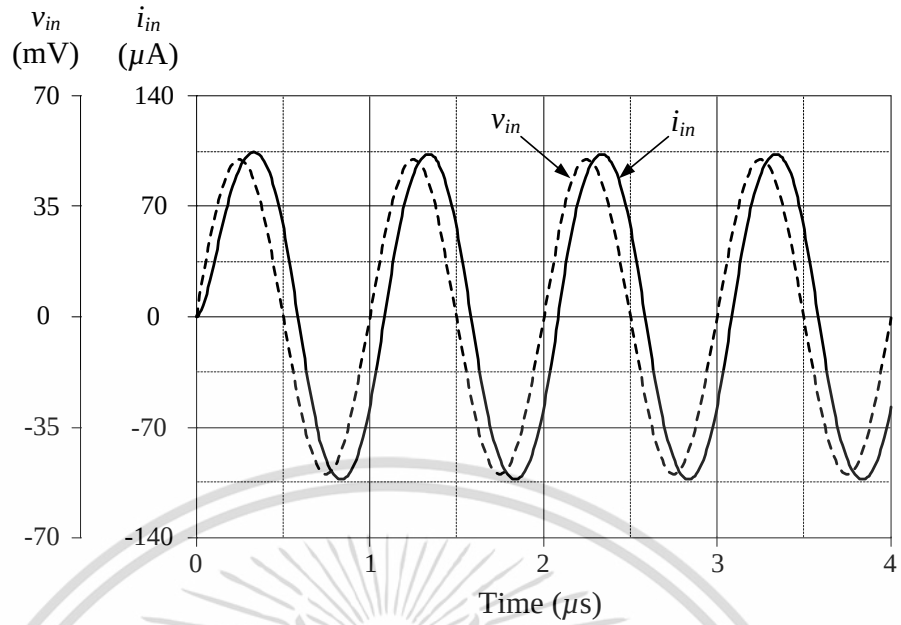
รูปที่ 3.2 แสดงผลการจำลองผลตอบสนองทางเวลาของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรมที่นำเสนอในรูปที่ 3(ก) โดยกำหนดให้ $I_B = I_{BF} = I_{BS} = 200$ μA ($g_m = g_{mF} = g_{mS} \cong 1.612$ mA/V) $R_1 = 1$ kΩ และ $C_1 = 100$ pF ซึ่งจะได้ $R_{eq1} = 384.83$ Ω และ $L_{eq1} = 38.48$ μH เมื่อป้อนค่าสัญญาณอินพุต v_{in} เท่ากับ 50 mVp ที่ความถี่ 1 MHz พบว่า $v_{in} = v_1 - v_2$ มีมุมเฟสนำหน้า $i_{in} = i_1 = -i_2$ ประมาณ 28.8^o ซึ่งใกล้เคียงกับค่าทางทฤษฎี คือ 32.14^o โดยกำลังไฟฟ้าสูญเสียที่เกิดขึ้นในวงจร (total power dissipation) มีค่าเท่ากับ 0.8 mW

รูปที่ 3.3 แสดงผลจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปแบบอนุกรมดังรูปที่ 3.1 (ก) เมื่อเปรียบเทียบกับผลตอบสนองทางทฤษฎี จากกราฟแสดงให้เห็นว่าวงจรมีคุณสมบัติการทำงานที่ถูกต้องสอดคล้อง กับผลตอบสนองทางทฤษฎีในช่วงความถี่ปฏิบัติงานระหว่าง 1 kHz ถึง 2 MHz รูปที่ 3.4 แสดงผลตอบสนองทางความถี่เชิงขนาดของวงจรที่นำเสนอในรูปแบบอนุกรมดังรูปที่ 3.1 (ก) เมื่อกำหนดให้ $R_1 = 1$ kΩ และ $C_1 = 100$ pF และทำการแปรค่า $I_B = I_{BF} = I_{BS}$ ($g_m = g_{mF} = g_{mS}$) จำนวนสามค่า โดยอาศัยความสัมพันธ์ดังตารางที่ 1 จะได้ R_{eq1} และ L_{eq1} มีค่าเปลี่ยนแปลงไปดังสรุปในตารางที่ 3.3 ในขณะเดียวกันค่า L_{eq1} สามารถปรับอิสระจาก R_{eq1} แสดงได้ดังรูปที่ 3.5 โดยกำหนดให้ $I_B = 200$ μA ($g_m \cong 1.612$ mA/V) และ $C_1 = 100$ pF จะพบว่าค่าความเหนี่ยวนำสมมูลมีค่าคงที่เท่ากับ 38.48 μH และทำการแปรค่า R_1 จำนวนสามค่าดังนี้ 0.5 kΩ, 1 kΩ และ 2 kΩ จะได้ค่า R_{eq1} เปลี่ยนแปลงเป็น 769.66 Ω 384.83 kΩ และ 192.42 kΩ ตามลำดับ จากผลการจำลองการทำงานจะพบว่าวงจรที่เสนอในรูปแบบอนุกรมดังรูปที่ 3.1 (ก) ค่าความต้านทานสมมูลและค่าความเหนี่ยวนำสมมูลสามารถปรับค่าได้ด้วยอัตราขยายความนำของวงจร VDTA ด้วยการควบคุมกระแสไบอัสภายนอก

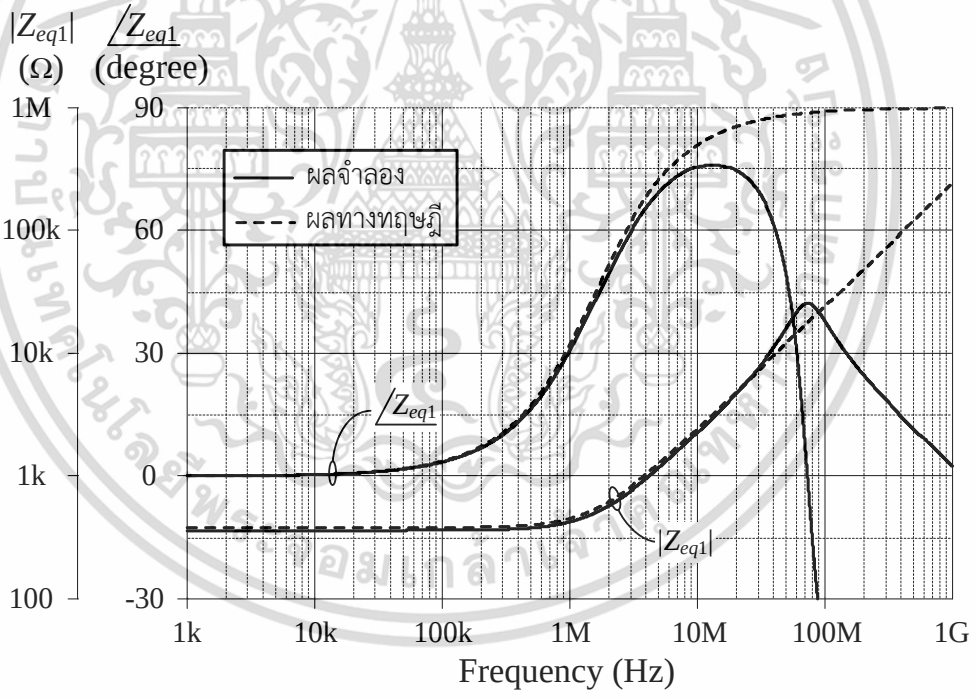
ตารางที่ 3.3 ค่า R_{eq1} และ L_{eq1} ของวงจรที่นำเสนอดังรูปที่ 3.1 (ก) เมื่อทำการแปรค่า I_B

I_B (μA)	g_m (mA/V)	R_{eq1} (Ω)	L_{eq1} (μH)
100	1.14	769.47	76.95
230	1.73	334.90	33.49
450	2.42	141.04	17.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

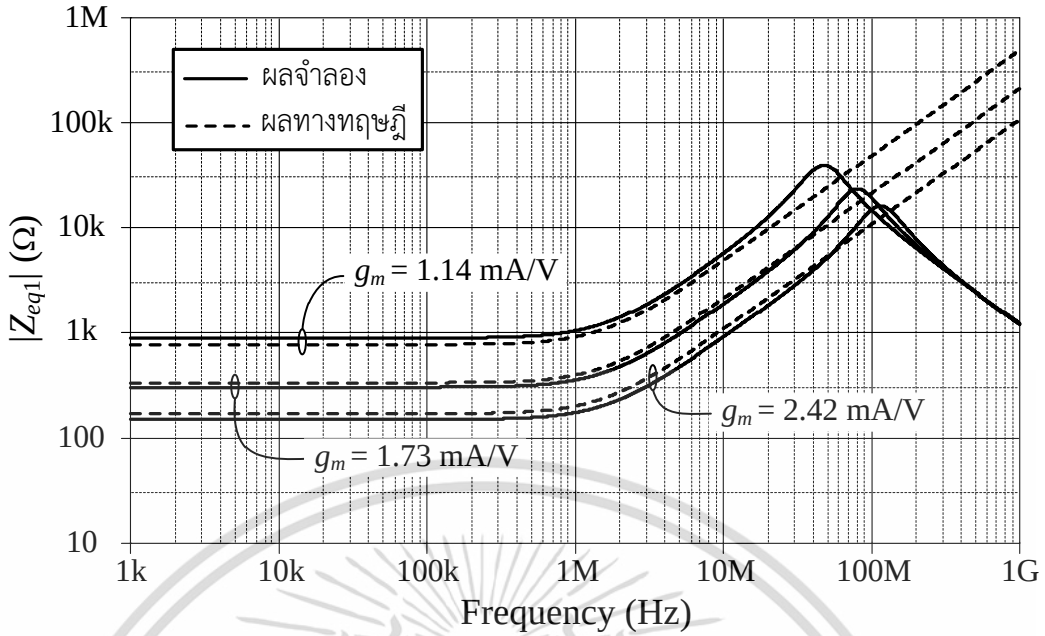


รูปที่ 3.2 ผลการจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอในรูปที่ 3.1 (ก)

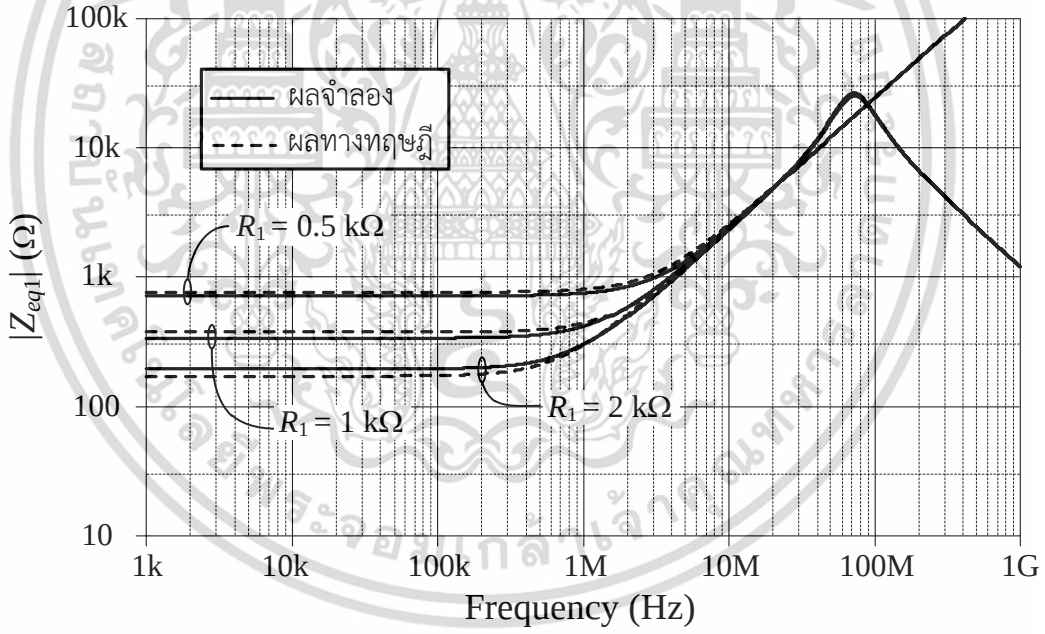


รูปที่ 3.3 ผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 3.1 (ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 ผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูป 3.1 (ก) เมื่อแปรค่า I_B



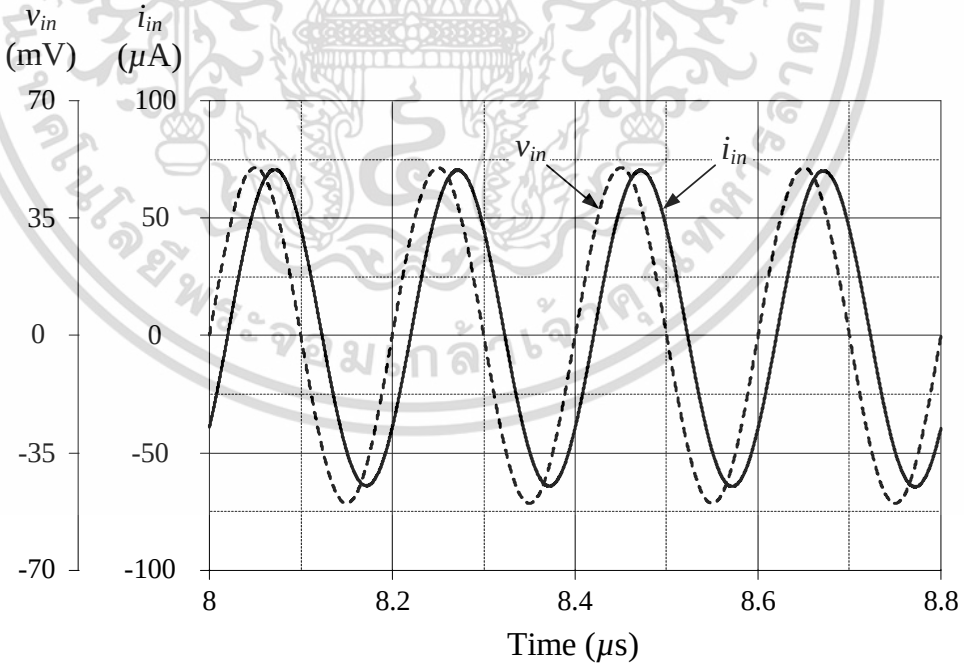
รูปที่ 3.5 ผลการจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูป 3.1 (ก) เมื่อแปรค่า R_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2 ผลการจำลองการทำงานของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนาน

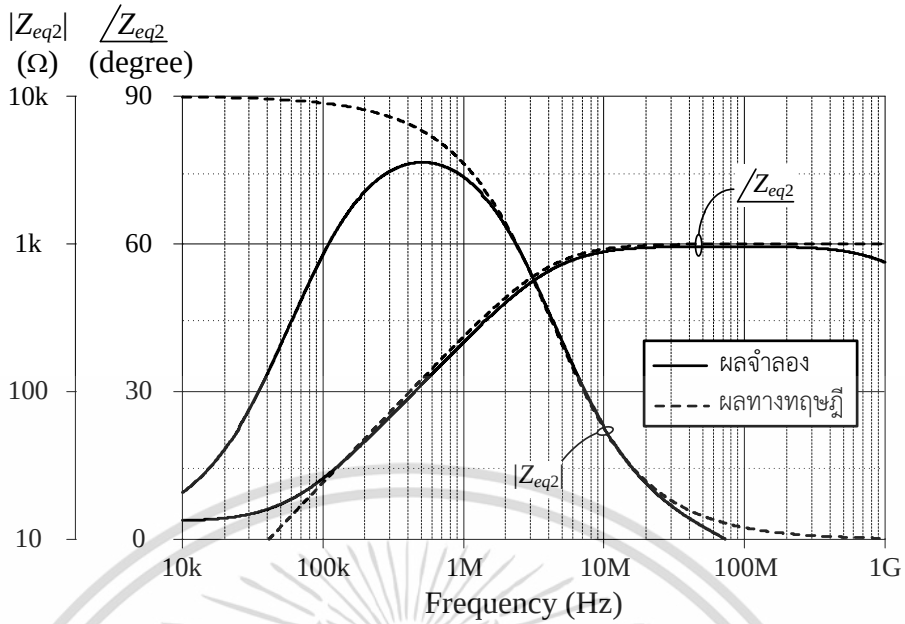
รูปที่ 3.6 แสดงผลการจำลองผลตอบสนองทางเวลาของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบขนานที่นำเสนอในรูปที่ 3.1 (ข) เมื่อป้อนค่าสัญญาณอินพุต v_{in} เท่ากับ 50 mVp ที่ความถี่ 5 MHz พบว่า $v_{in} = v_1 - v_2$ มีมุมเฟสนำหน้า $i_{in} = i_1 = -i_2$ ประมาณ 37.26^{o} ใกล้เคียงกับค่าทางทฤษฎีคือ 39.60 ^{o} ซึ่งมีความผิดพลาดจากผลทางทฤษฎีเมื่อคิดเป็นเปอร์เซ็นต์มีค่าเท่ากับ 2.55 โดยกำหนดให้ $I_B = I_{BF} = I_{BS} = 200$ μA ($g_m = g_{mF} = g_{mS} \cong 1.612$ mA/V) $R_2 =$ 1 kΩ และ $C_2 = 100$ pF จะได้ $R_{eq2} = 1$ kΩ และ $L_{eq2} = 38.48$ μH ซึ่งกำลังไฟฟ้าสูญเสียที่เกิดขึ้นในวงจร (total power dissipation) มีค่าเท่ากับ 0.8 mW รูปที่ 3.7 แสดงผลจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปแบบขนานดังรูปที่ 3.1 (ข) เมื่อเปรียบเทียบกับผลตอบสนองทางทฤษฎี จะแสดงให้เห็นว่าวงจรมีคุณสมบัติการทำงานที่ถูกต้องสอดคล้องกับผลตอบสนองทางทฤษฎีในช่วงความถี่ปฏิบัติงานระหว่าง 2 MHz ถึง 20 MHz

รูปที่ 3.8 แสดงผลตอบสนองความถี่เชิงขนาดของวงจรที่นำเสนอในรูปแบบขนานดังรูปที่ 3.1 (ข) เมื่อกำหนดให้ $R_2 = 1$ kΩ จะได้ R_{eq2} คงที่เท่ากับ 1 kΩ หากแปรค่า $g_m = g_{mF} = g_{mS}$ จำนวนสามค่า ดังนี้ 1.14 mA/V, 1.73 mA/V และ 2.42 mA/V พบว่าค่าความเหนี่ยวนำสมมูลเปลี่ยนแปลงเป็น 76.95 μH, 33.49 μH และ 17.10 μH ตามลำดับ จากผลการจำลองผลตอบสนองแสดงให้เห็นว่าวงจรที่นำเสนอมีการทำงานคลาดเคลื่อนไปจากค่าในทางทฤษฎีที่ตำแหน่งความถี่ 1 MHz เท่ากับ 9.25%, 12.18% และ 16.38% ตามลำดับ จากผลการจำลองผลตอบสนองแสดงให้เห็นว่าค่า L_{eq2} สามารถปรับอิสระจาก R_{eq2} ได้ด้วยวิธีการทางอิเล็กทรอนิกส์ด้วยอัตราขยายความนำของวงจร VDTA ผ่านการควบคุมกระแสไบอัสภายนอก

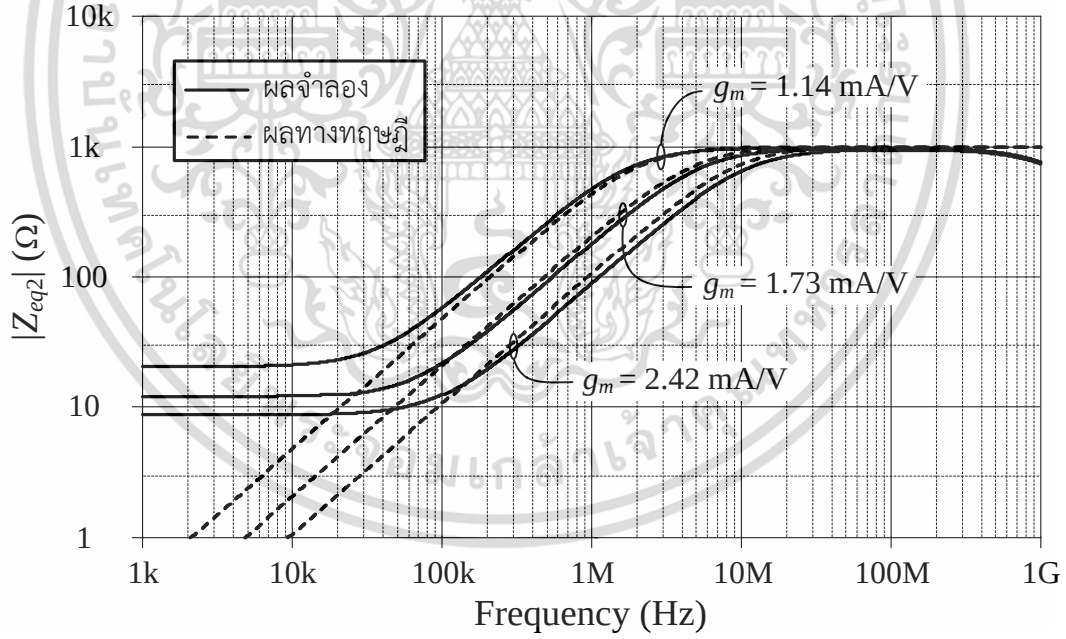


รูปที่ 3.6 ผลจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอในรูปที่ 3.1 (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 ผลตอบสนองทางความถี่ของของวงจรที่นำเสนอในรูปที่ 3.1 (ข)

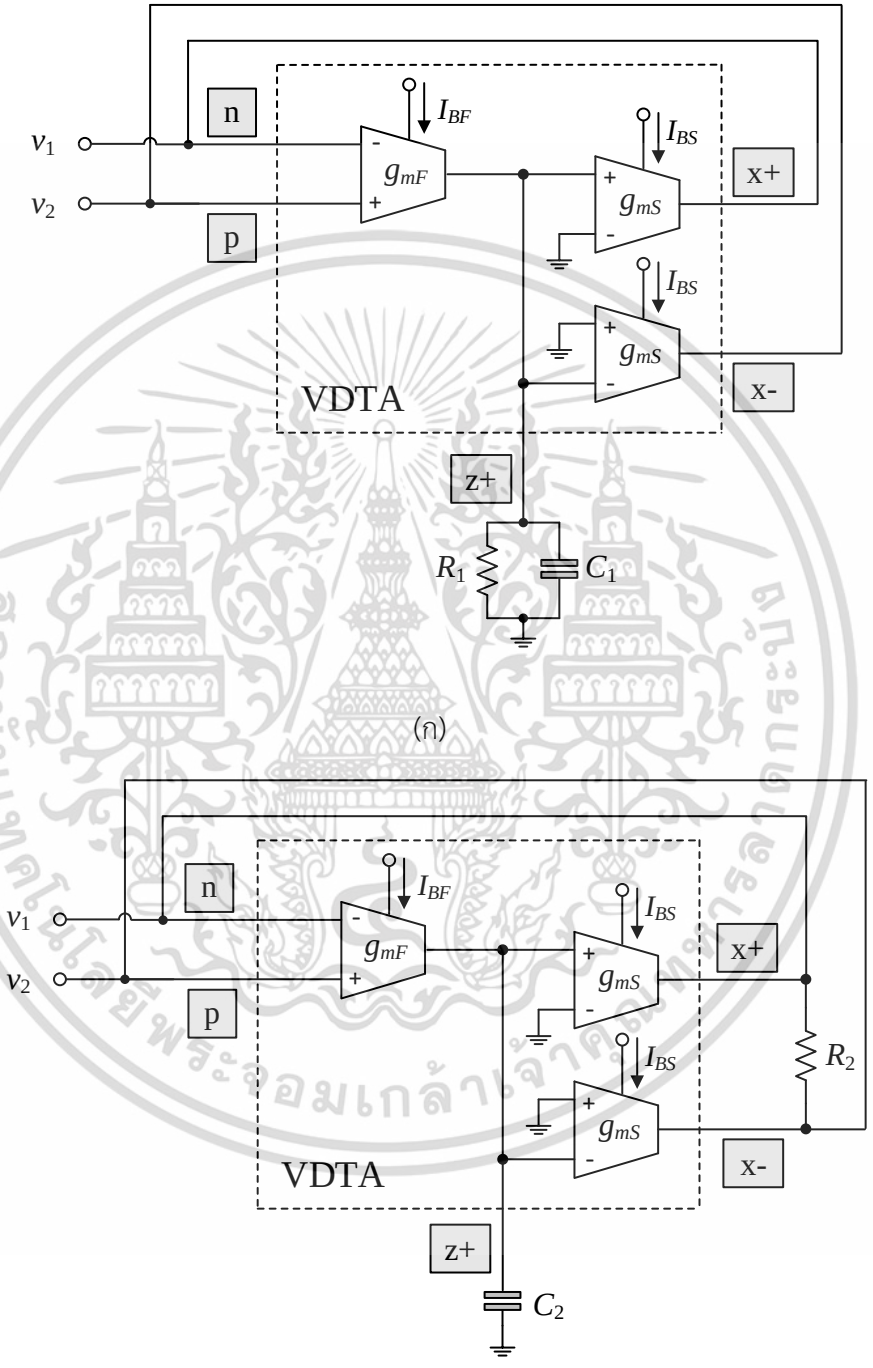


รูปที่ 3.8 ผลตอบสนองทางความถี่ของวงจรที่นำเสนอในรูปที่ 3.1 (ข) เมื่อแปรค่า I_B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

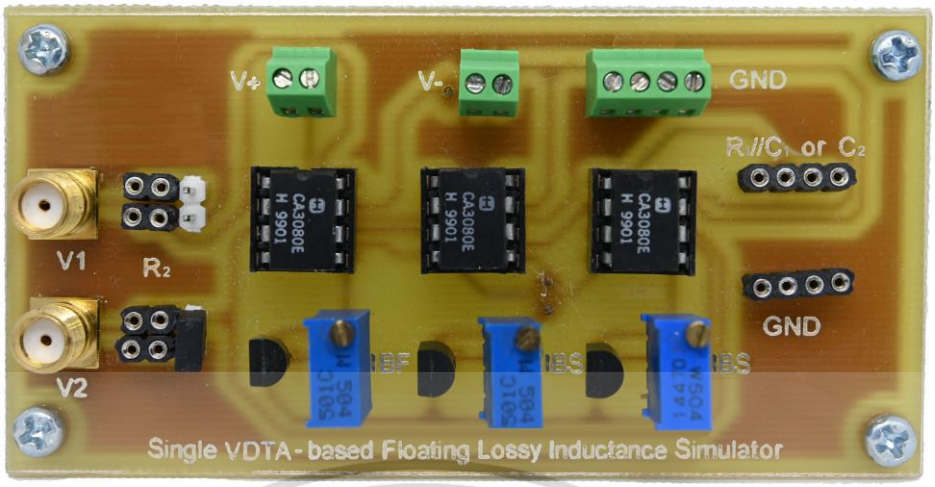
3.5 ผลการต่อทดลองด้วยวงจรจริง

หัวข้อนี้จะนำเสนอผลการต่อทดลองของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรมและขนานที่นำเสนอในรูปที่ 3.1 โดยมีรายละเอียดการสังเคราะห์วงจรโดยใช้ไอซีเบอร์ CA3080 [22] ดังรูปที่ 3.9 และนำไปออกแบบบนแผ่นวงจรพิมพ์ดังภาพถ่ายในรูปที่ 3.10



รูปที่ 3.9 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวในรูปที่ 3.1 สำหรับแผ่นวงจรพิมพ์ (ก) แบบอนุกรม (ข) แบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 ภาพถ่ายแผ่นวงจรพิมพ์ของวงจรที่นำเสนอในรูปที่ 3.9

3.5.1 ผลการต่อทดลองของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรม

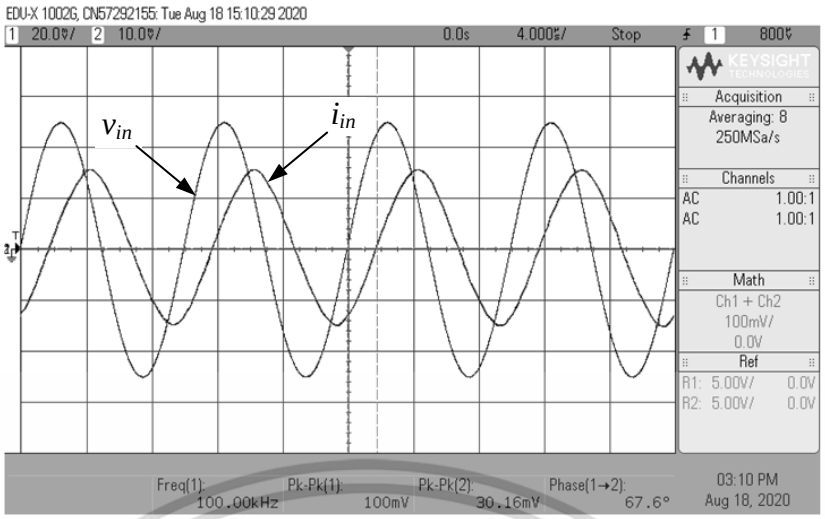
รูปที่ 3.11 แสดงผลการวัดผลตอบสนองทางเวลาของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรมที่นำเสนอดังรูปที่ 3.9 (ก) เมื่อป้อนค่าสัญญาณอินพุต v_{in} เท่ากับ 50 mVp ที่ความถี่ 100 kHz พบว่ามุมต่างเฟสมีค่าประมาณ 67.6^{o} ซึ่งใกล้เคียงกับค่าทางทฤษฎี คือ 71.29^{o} กำหนดให้ $g_m = g_{mF} = g_{mS} \cong 1$ mA/V ($I_B = I_{BF} = I_{BS} \cong 50\ \mu$A) $R_1 = 1$ kΩ $C_1 = 4.7$ nF และเลือกใช้ไฟเลี้ยง $+V = -V = 5$ V ในขณะที่ผลการวัดผลตอบสนองทางความถี่สามารถแสดงได้ดังรูปที่ 3.12 จากสมการ (3.1) จะได้ $R_{eq1} = 1$ kΩ และ $L_{eq1} = 4.7$ mH ซึ่งวงจรเลียนแบบตัวเหนี่ยวนำสามารถหาค่าความถี่มุม (corner frequency, f_c) ได้ดังนี้

$$f_c = \frac{R_{eq}}{2\pi L_{eq}} \tag{3.11}$$

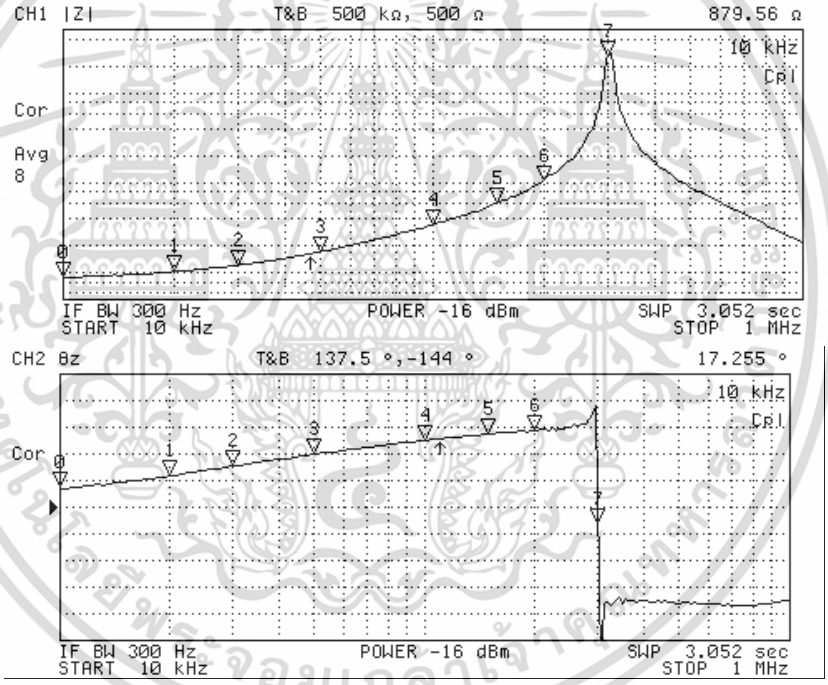
ดังนั้นจากค่า R_{eq1} และ L_{eq1} จะพบว่าค่าความถี่มุมมีค่าเท่ากับ 33.86 kHz ซึ่งผลการวัดผลตอบสนองในเชิงความถี่ของ Z_{eq1} และ $\angle Z_{eq1}$ ณ ตำแหน่งความถี่ต่างๆ โดยเปรียบเทียบระหว่างผลการทดลองและผลในทางทฤษฎีแสดงได้ดังตารางที่ 3.4 จากผลการทดลองของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียที่นำเสนอดังรูปที่ 3.9 (ก) มีคุณสมบัติการทำงานที่สอดคล้องกับผลทางทฤษฎีในช่วงความถี่ 10 kHz ถึง 150 kHz

รูปที่ 3.13 (ก) ผลการวัดผลตอบสนองทางความถี่เมื่อแปรค่า $g_m = g_{mF} = g_{mS} = 0.5$ mA/V ซึ่งแสดงข้อมูลของค่า Z_{eq1} และ $\angle Z_{eq1}$ ที่ตำแหน่งความถี่ต่างๆในตารางที่ 3.5 วงจรที่นำเสนอในรูปที่ 3.9 (ก) ได้เลือกใช้ $R_1 = 1$ kΩ $C_1 = 4.7$ nF พบว่าค่า R_{eq1} เท่ากับ 4 kΩ และ L_{eq1} จะมีค่า 18.80 mH ในขณะที่รูปที่ 3.13 (ข) ผลการวัดผลตอบสนองทางความถี่เมื่อแปรค่า $g_m = 2$ mA/V จะได้ $R_{eq1} = 250$ Ω และ $L_{eq1} = 1.18$ mH ตารางที่ 3.6 แสดงค่า Z_{eq1} และ $\angle Z_{eq1}$ ที่ได้จากการแปรค่าอัตราขยายค่าความนำ โดยที่ค่าความถี่มุมสำหรับการแปรค่าอัตราขยายความนำทั้งสองค่ามีค่าเท่ากันที่ 33.86 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

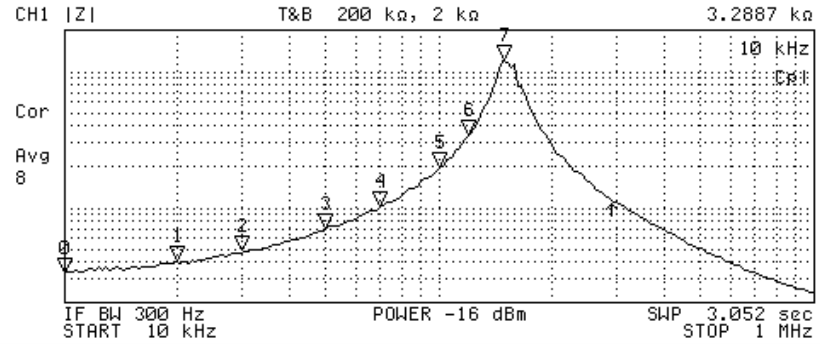


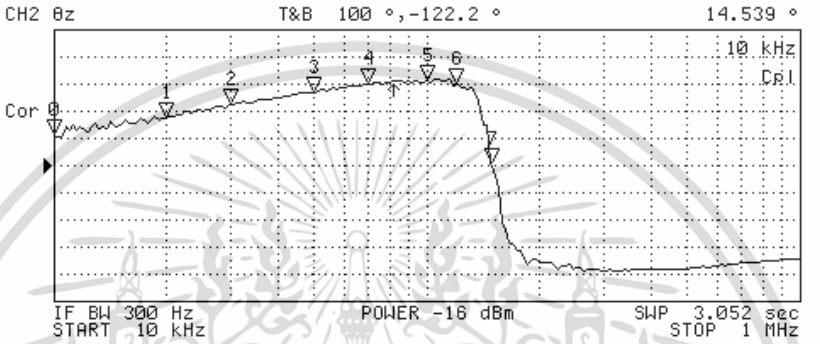
รูปที่ 3.11 ผลการวัดผลตอบสนองทางเวลาของวงจรในรูปที่ 3.9 (ก) เมื่อ $g_m \cong 1$ mA/V



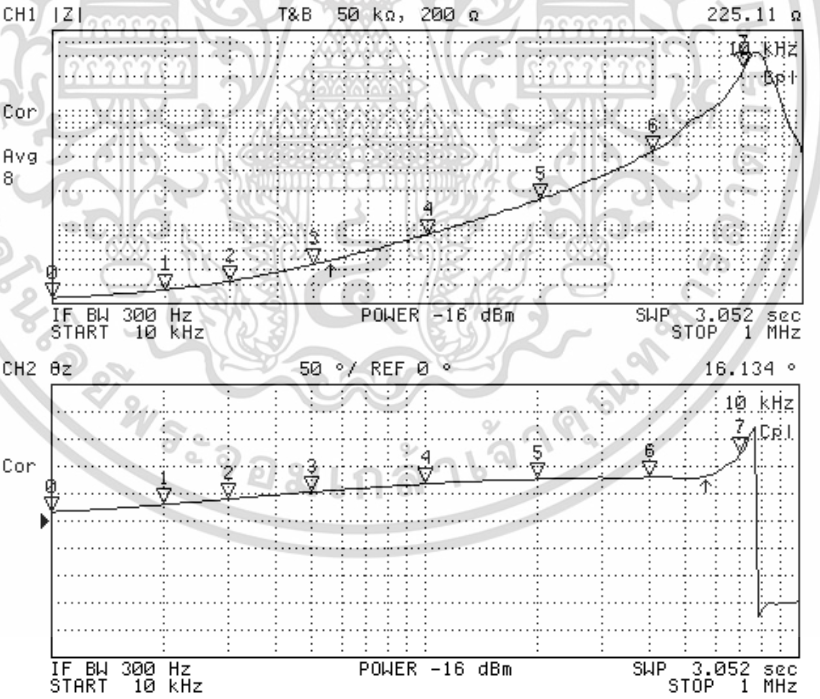
รูปที่ 3.12 ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.9 (ก) เมื่อ $g_m \cong 1$ mA/V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





(ก)



(ข)

รูปที่ 3.13 ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.9 (ก) เมื่อแปร g_m
(ก) g_m = 0.5 mA/V (ข) g_m = 2 mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.4 ค่า Z_{eq1} และ $\angle Z_{eq1}$ ของวงจรที่นำเสนอดังรูปที่ 3.9 (ก) ที่ตำแหน่งความถี่ต่างๆ

f (kHz)	Z_{eq1} (kΩ)		$\angle Z_{eq1}$ (องศา)	
	ผลการทดลอง	ผลทางทฤษฎี	ผลการทดลอง	ผลทางทฤษฎี
10	0.88	1.04	17.26	16.45
30	1.21	1.34	40.27	41.54
50	1.70	1.78	52.67	55.89
100	3.38	3.12	67.42	71.29
150	5.87	4.54	73.79	77.28

ตารางที่ 3.5 ค่า Z_{eq1} และ $\angle Z_{eq1}$ ของวงจรที่นำเสนอเมื่อแปรค่า g_m = 0.5 mA/V

f (kHz)	Z_{eq1} (kΩ)		$\angle Z_{eq1}$ (องศา)	
	ผลการทดลอง	ผลทางทฤษฎี	ผลการทดลอง	ผลทางทฤษฎี
10	3.29	4.17	14.54	16.45
20	3.94	4.65	27.81	30.57
30	4.69	5.34	38.61	41.54
50	6.89	7.13	48.86	55.89
70	10.25	9.19	55.66	64.18

ตารางที่ 3.6 ค่า Z_{eq1} และ $\angle Z_{eq1}$ ของวงจรที่นำเสนอเมื่อแปรค่า g_m = 2 mA/V

f (kHz)	Z_{eq1} (Ω)		$\angle Z_{eq1}$ (องศา)	
	ผลการทดลอง	ผลทางทฤษฎี	ผลการทดลอง	ผลทางทฤษฎี
10	225.11	260.67	16.13	16.45
30	316.31	333.99	40.36	41.54
50	442.37	445.83	53.27	55.89
100	807.91	779.45	67.68	71.29
200	1.64k	1.45k	76.75	80.39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.2 ผลการต่อทดลองของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบขนาน

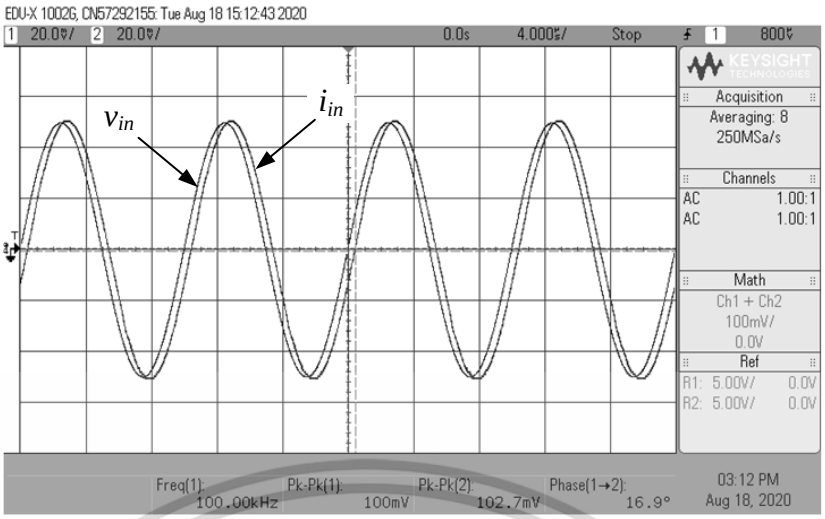
รูปที่ 3.14 แสดงผลการวัดผลตอบสนองทางเวลาเมื่อป้อนค่าสัญญาณอินพุต v_{in} เท่ากับ 50 mVp ที่ความถี่ 100 kHz พบว่ามุมต่างเฟสมีค่าประมาณ 16.9^{o} ซึ่งใกล้เคียงกับค่าทางทฤษฎี คือ 18.71^{o} ในขณะที่รูปที่ 3.15 แสดงผลการวัดผลตอบสนองทางความถี่วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบขนานที่นำเสนอดังรูปที่ 3.9 (ข) กำหนดให้ $g_m = g_{mF} = g_{mS} \cong 1$ mA/V ($I_B = I_{BF} = I_{BS} \cong 50\ \mu$A) $R_2 = 1$ kΩ $C_2 = 4.7$ nF จากสมการ (3.2) จะได้ $R_{eq2} = 1$ kΩ และ $L_{eq2} = 4.7$ mH จะพบว่าค่าความถี่มุมเท่ากับ 33.86 kHz ซึ่งผลการวัดผลตอบสนองในเชิงความถี่ของ Z_{eq2} และ $\angle Z_{eq2}$ ณ ตำแหน่งความถี่ต่างๆ โดยเปรียบเทียบระหว่างผลการทดลองและผลในทางทฤษฎีแสดงได้ดังตารางที่ 3.7 ดังนั้นวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียที่นำเสนอดังรูปที่ 3.9 (ข) มีคุณสมบัติการทำงานที่สอดคล้องกับผลทางทฤษฎีในช่วงความถี่ 10 kHz ถึง 100 kHz

รูปที่ 3.16 (ก) ผลการวัดผลตอบสนองทางความถี่เมื่อแปรค่า $g_m = g_{mF} = g_{mS} = 0.5$ mA/V ซึ่งแสดงข้อมูลของค่า Z_{eq2} และ $\angle Z_{eq2}$ ที่ตำแหน่งความถี่ต่างๆในตารางที่ 3.8 วงจรที่นำเสนอในรูปที่ 3.9 (ข) ได้เลือกใช้ $R_2 = 1$ kΩ $C_2 = 4.7$ nF พบว่าค่า R_{eq2} เท่ากับ 1 kΩ และ L_{eq2} จะมีค่า 18.80 mH โดยที่ค่าความถี่มุมเท่ากับ 8.47 kHz ในขณะที่รูปที่ 3.16 (ข) ผลการวัดผลตอบสนองทางความถี่เมื่อแปรค่า $g_m = 2$ mA/V จะได้ $R_{eq2} = 1$ kΩ และ $L_{eq2} = 1.18$ mH ตารางที่ 3.9 แสดงค่า Z_{eq2} และ $\angle Z_{eq2}$ ที่ได้จากการแปรค่าอัตราขยายค่าความนำ จะได้ $f_c =$ 135.45 kHz

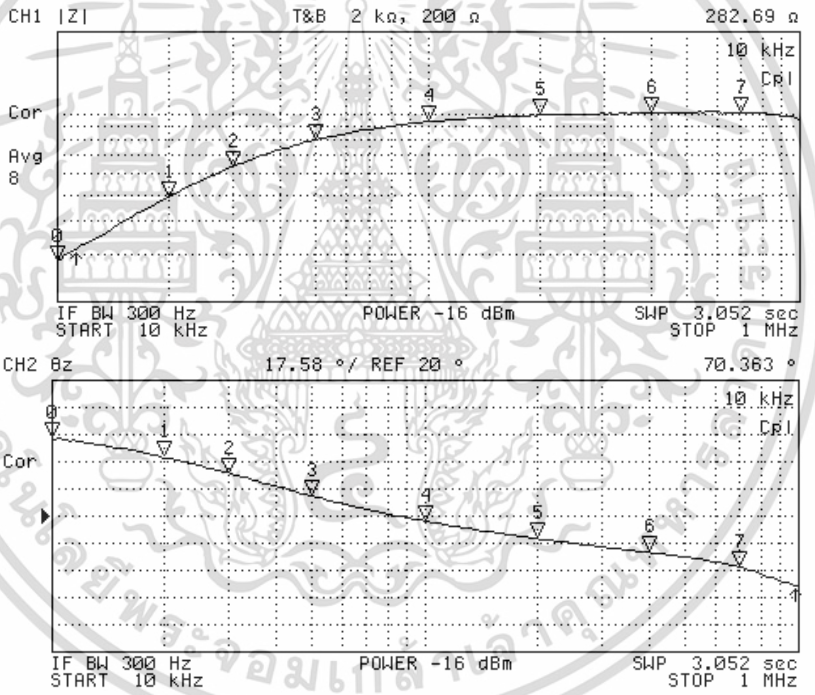
ตารางที่ 3.7 ค่า Z_{eq2} และ $\angle Z_{eq2}$ ของวงจรที่นำเสนอดังรูปที่ 3.9 (ข) ที่ตำแหน่งความถี่ต่างๆ

f (kHz)	Z_{eq2} (Ω)		$\angle Z_{eq2}$ (องศา)	
	ผลการทดลอง	ผลทางทฤษฎี	ผลการทดลอง	ผลทางทฤษฎี
10	282.69	283.22	70.36	73.55
20	488.61	508.54	58.05	59.43
30	635.88	663.13	47.83	48.46
50	795.38	827.98	33.10	34.11
100	930.11	947.17	16.83	18.71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

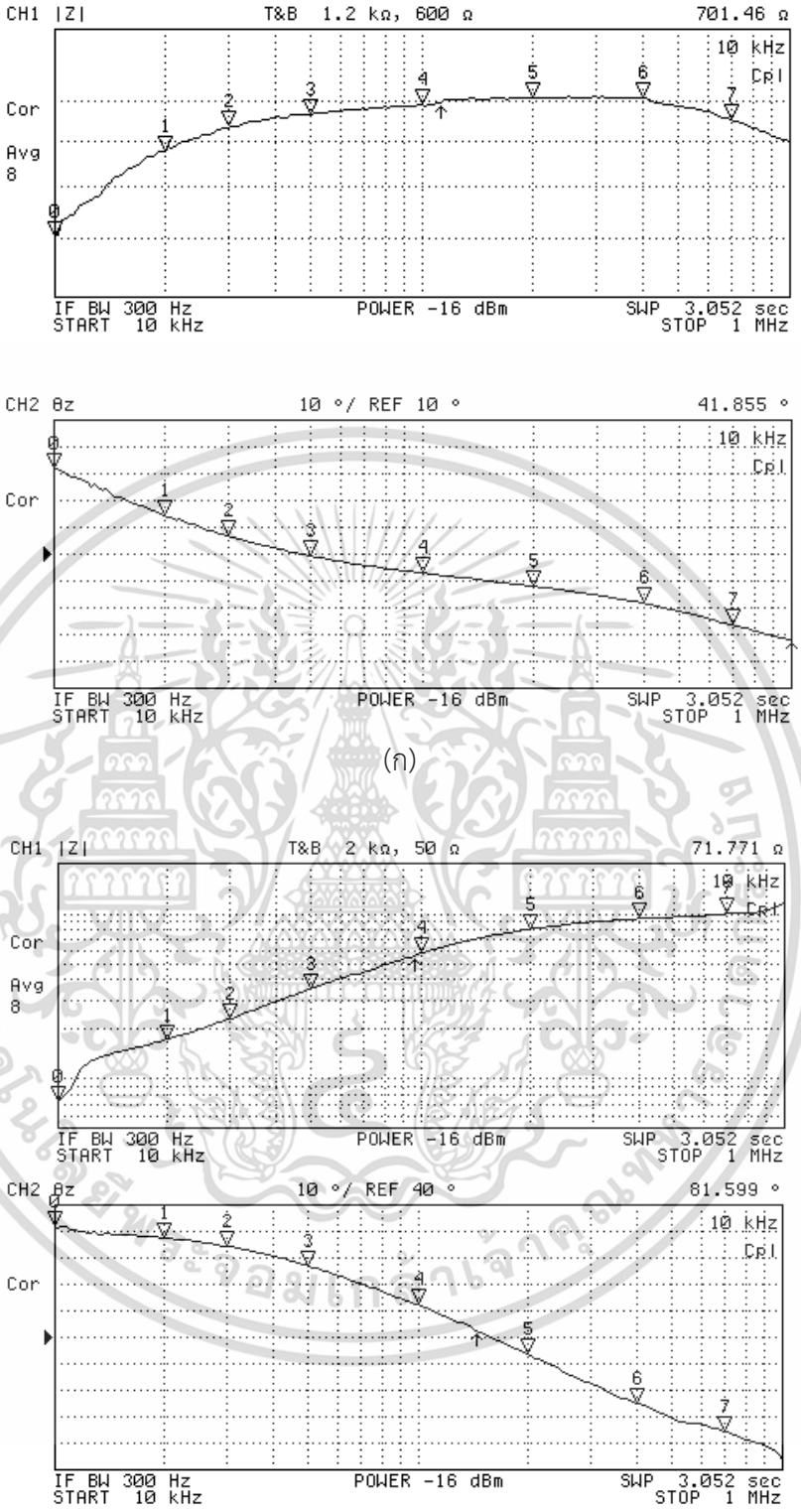


รูปที่ 3.14 ผลการวัดผลตอบสนองทางเวลาของวงจรในรูปที่ 3.9 (ข) เมื่อ $g_m \cong 1$ mA/V



รูปที่ 3.15 ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.9 (ข) เมื่อ $g_m \cong 1$ mA/V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

(ข)

รูปที่ 3.16 ผลการวัดผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.9 (ข) เมื่อแปร g_m
(ก) g_m = 0.5 mA/V (ข) g_m = 2 mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.8 ค่า Z_{eq2} และ $\angle Z_{eq2}$ ของวงจรที่นำเสนอเมื่อแปรค่า g_m = 0.5 mA/V

f (kHz)	Z_{eq2} (Ω)		$\angle Z_{eq2}$ (องศา)	
	ผลการทดลอง	ผลทางทฤษฎี	ผลการทดลอง	ผลทางทฤษฎี
10	701.46	763.23	41.86	40.25
20	875.78	920.90	24.59	22.94
30	931.71	962.42	16.73	15.76
50	963.67	985.97	9.41	9.61
100	986.15	996.44	3.05	4.84

ตารางที่ 3.9 ค่า Z_{eq2} และ $\angle Z_{eq2}$ ของวงจรที่นำเสนอเมื่อแปรค่า g_m = 2 mA/V

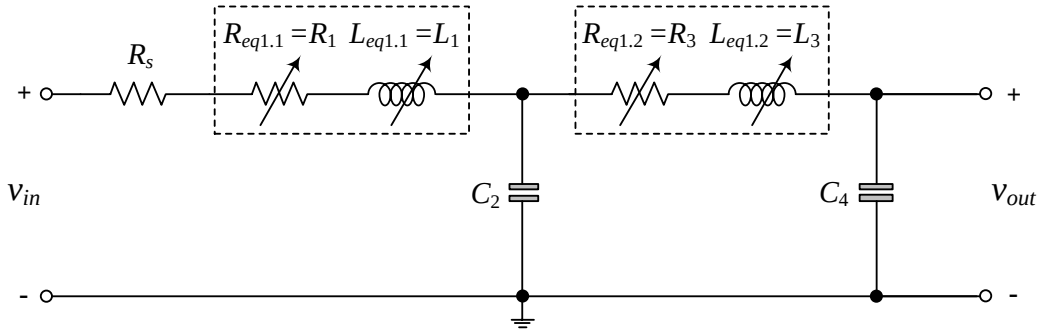
f (kHz)	Z_{eq2} (Ω)		$\angle Z_{eq2}$ (องศา)	
	ผลการทดลอง	ผลทางทฤษฎี	ผลการทดลอง	ผลทางทฤษฎี
10	71.77	73.63	81.60	85.78
20	171.21	146.07	77.42	81.60
30	229.56	216.242	74.42	77.51
50	348.19	346.30	67.06	69.74
100	571.12	593.95	52.26	53.56

3.6 การประยุกต์ใช้งานของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียที่นำเสนอ

การประยุกต์ใช้งานของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรมที่นำเสนอในรูปที่ 3.1 (ก) ถูกสังเคราะห์เป็นวงจรกรองผ่านความถี่ต่ำอันดับสี่แบบริปเปิลเท่ากันที่ 3 dB (fourth order equal-ripple (3dB) low–pass filter) แสดงดังรูปที่ 3.17 เมื่อกำหนดให้ความถี่คัทออฟ (cutoff frequency) f_c = 500 kHz หลังจากทำการนอร์มอลไลซ์ (normalized value) และการสเกล (scaling) [23] ด้วยค่าสเกลความถี่ (frequency scaling factor) k_f = 3.14 Mrad/s และค่าสเกลขนาด (magnitude scaling factor) k_m = 10k หลังจากนั้นจะได้ค่าอุปกรณ์ใหม่ดังตารางที่ 3.10 [ภาคผนวก ข6] วงจรกรองสัญญาณในรูปที่ 3.17 สังเคราะห์ขึ้นจากวงจรเลียนแบบตัวเหนี่ยวนำที่นำเสนอในรูปที่ 3.1 (ก) จำนวนสองชุด โดยค่า $R_{eq1.i}$ และ $L_{eq1.i}$ (i = 1, 2) เมื่อกำหนดให้ g_m = g_{mF} = g_{mS} (I_B = I_{BF} = I_{BS}) สามารถสรุปได้ดังตารางที่ 3.11

รูปที่ 3.18 แสดงผลจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านความถี่ต่ำอันดับสี่แบบริปเปิลเท่ากันที่ 3 dB ในรูปที่ 3.17 โดยใช้วงจรเลียนแบบตัวเหนี่ยวนำที่นำเสนอในรูปที่ 3.1(ก) จำนวนสองชุด จากผลการจำลองการทำงานมีความสอดคล้องกับผลทางทฤษฎีในช่วงความถี่ 10 kHz ถึง 500 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



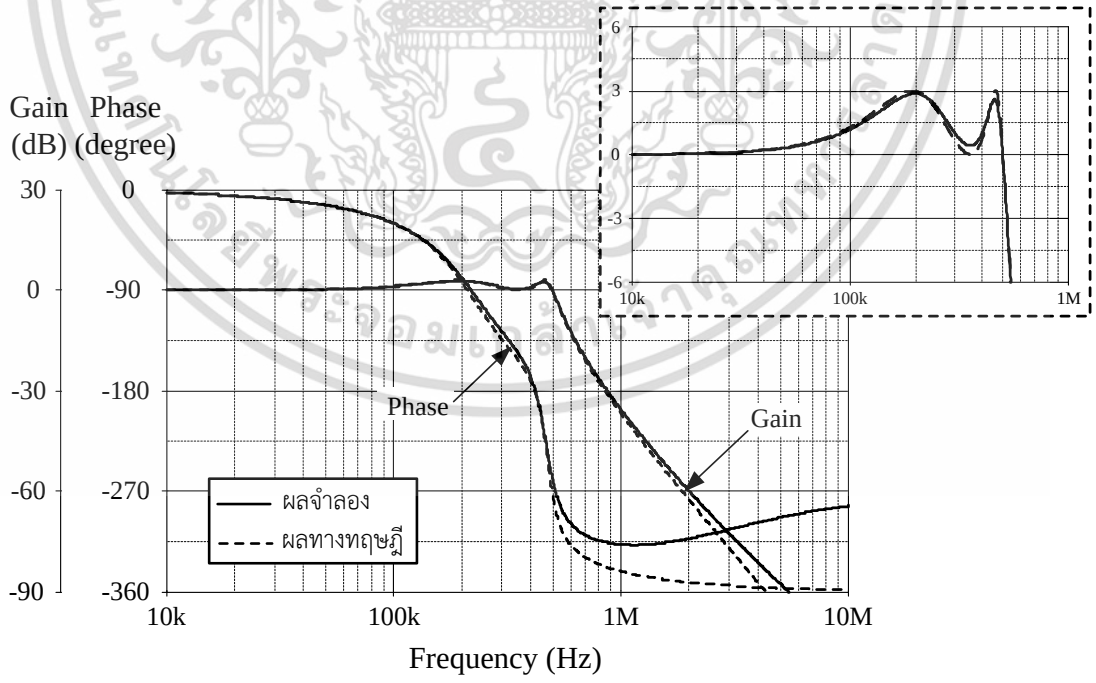
รูปที่ 3.17 วงจรกรองผ่านความถี่ต่ำอันดับสี่แบบริปเปิลโดยใช้วงจรที่นำเสนอในรูปที่ 3.1 (ก)

ตารางที่ 3.10 รายละเอียดค่าอุปกรณ์หลังจากทำการนอร์มอลไลซ์และการสเกลในรูปที่ 3.17

R_s (kΩ)	R_1 (kΩ)	L_1 (mH)	C_2 (pF)	R_3 (kΩ)	L_3 (mH)	C_4 (pF)
10	1.040	6.61	36.46	1.45	9.25	26.02

ตารางที่ 3.11 รายละเอียดของ $R_{eq1.i}$ และ $L_{eq1.i}$ ของวงจรที่นำเสนอในรูปที่ 3.1 (ก)

I_B (μA)	g_m (mA/V)	R_1 (kΩ)	C_1 (nF)	$R_{eq1.i}$ (kΩ) ในรูปที่ 3.1 (ก)	$L_{eq1.i}$ (mH) ในรูปที่ 3.1 (ก)
80	1	0.9	6.6	$R_{eq1.1}$ = 1.1	$L_{eq1.1}$ = 6.6
55	0.84			$R_{eq1.2}$ = 1.57	$L_{eq1.2}$ = 9.35



รูปที่ 3.18 ผลจำลองผลตอบสนองทางความถี่ของ
วงจรกรองผ่านความถี่ต่ำอันดับสี่แบบริปเปิลเท่ากันที่ 3 dB ในรูปที่ 3.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 สรุป

บทความนี้ได้นำเสนอวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรมและขนานโดยใช้วงจร VDTA จำนวนหนึ่งตัว ซึ่งเป็นอุปกรณ์แอคทีฟหลัก ต่อรวมกับตัวต้านทานแบบลอยตัวจำนวนหนึ่งตัวและตัวเก็บประจุไฟฟ้าเทียบกราวด์จำนวนหนึ่งตัว วงจรที่นำเสนอสามารถปรับค่าความต้านทานสมมูลและความเหนี่ยวนำสมมูลได้ด้วยวิธีทางอิเล็กทรอนิกส์โดยการแปรค่ากระแสไบอัสจากภายนอกของวงจร VDTA ซึ่งวงจรที่นำเสนอได้แสดงให้เห็นถึงผลการทำงานจริงด้วยผลการจำลองการทำงานผ่านโปรแกรม PSPICE แบบเทคโนโลยี CMOS ขนาด 0.18 μm ของบริษัท TSMC เพื่อยืนยันผลการทำงานที่สอดคล้องกับผลในทางทฤษฎี พร้อมทั้งผลการทดลองจริงจากการสังเคราะห์วงจร VDTA โดยใช้ไอซีเบอร์ CA3080 สังเคราะห์เป็นวงจรเลียนแบบตัวเหนี่ยวนำและนำไปออกแบบเป็นแผ่นวงจรพิมพ์เพื่อสะดวกและง่ายต่อการวัดค่าของผลทดลอง นอกจากนี้วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวที่นำเสนอถูกนำไปประยุกต์ใช้งานในวงจรกรองผ่านความถี่ต่ำอันดับสี่แบบริปเปิลเท่ากัน

3.8 เอกสารอ้างอิงบทที่ 3

[1] J. Ramirez-Angulo and E. Sanchez-Sinencio, “High frequency compensated current-mode ladder filters using multiple output OTAs”, **IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing**, vol. 41, no. 9, pp. 581-586, 1994.

[2] S. Szczepanski, J. Jakusz and R. Schaumann, “A linear fully balanced CMOS OTA for VHF filtering applications”, **IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing**, vol. 44, no. 3, pp. 174-187, 1997.

[3] M. T. Abuelma'atti and A. A. Al-Ghumaiz, “Novel CCI-based single-element-controlled oscillators employing grounded resistors and capacitors”, **IEEE Transactions on Circuits and Systems I : Fundamental Theory and Applications**, vol. 43, no. 2, pp. 153-155, 1996.

[4] L. Serrano, A. Carlosena, “Active RC impedance revisited”, **International Journal of Circuit Theory and Applications**, vol.25, pp.289-305, 1997.

[5] S. Minaei and E. Yuce, “Realization of tunable active floating inductance simulators,” **International Journal of Electronics**, vol. 95, no. 1, pp. 27–37, Jan. 2008.

[6] R. Senani, “New single-capacitor simulations of floating inductors,” **ElectroComponent Science and Technology**, vol. 10, no. 1, pp. 7–12, 1982.

[7] W. Jaikla, R. Sotner, and F. Khateb, “Design and analysis of floating inductance simulators using VDDDAs and their applications,” **AEU - International Journal of Electronics and Communications**, vol. 112, p. 152937, Dec. 2019.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[8] T. Pukkalanun, P. Moonmuang, and W. Tangsrirat, “On the resistorless realization of simulated tunable floating lossy inductors with voltage differencing buffered amplifiers,” **Journal of Communications Technology and Electronics**, vol. 66, no. 4, pp. 439–450, Apr. 2021.

[9] M. T. Abuelma’atti, S. K. Dhar, and Z. J. Khalifa, “New two-CFOA-based floating immittance simulators,” **Analog Integrated Circuits and Signal Processing**, vol. 91, no. 3, pp. 479–489, Mar. 2017.

[10] R. Sotner, N. Herencsar, J. Jerabek, A. Kartci, J. Koton, and T. Dostal, “Pseudo-differential filter design using novel adjustable floating inductance simulator with electronically controllable current conveyors,” **Elektronika ir Elektrotechnika**, vol. 23, no. 2, Apr. 2017.

[11] A. Abaci and E. Yuce, “Single DDCC based new immittance function simulators employing only grounded passive elements and their applications,” **Microelectronics Journal**, vol. 83, pp. 94–103, Jan. 2019.

[12] A. Abaci and E. Yuce, “Single DDCC– based simulated floating inductors and their applications,” **IET Circuits, Devices & Systems**, vol. 14, no. 6, pp. 796–804, Sep. 2020.

[13] R. Senani, “New single-capacitor simulation of floating inductors” **ElectroComponent Science and Technology** , vol. 10, no. 1, pp. 7–12, 1982.

[14] R. Senani and D. R. Bhaskar, “New lossy/loss-less synthetic floating inductance configuration realized with only two CFOAs,” **Analog Integrated Circuits and Signal Processing**, vol. 73, no. 3, pp. 981–987, Jun. 2012.

[15] R. Senani, “New tunable synthetic floating inductors,” **Electronics Letters**, vol. 16, no. 10, p. 382, 1980.

[16] M. A. Ibrahim, S. Minaei, E. Yuce, N. Herencsar and J. Koton, “Lossy/lossless floating/grounded inductance simulation using one DDCC,” **Radioengineering**, vol. 21, no. 1, pp. 3–10, 2012.

[17] D. Biolek, R. Senani, V. Biolkova and Z. Kolka, “Active elements for analog signal processing : Classification, review, and new proposals”, **Radioengineering**, vol. 17, no. 4, pp. 15-32, 2008.

[18] D. Prasad, D. Bhaskar and M. Srivastava, “Universal current-mode biquad filter using a VDTA”, **Circuits and Systems**, vol. 4, no. 1, pp. 29-33, 2013.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[19] M. Srivastava, D. Prasad and D. R. Bhaskar, “Voltage mode quadrature oscillator employing single VDTA and grounded passive elements”, **Contemporary Engineering Sciences**, vol. 7, no. 25-28, pp. 1501-1507, 2014.

[20] M. Srivastava, D. Prasad and D. R. Bhaskar, “New parallel R-L impedance using single VDTA & its high pass filter application”, **Proceedings of International Conference on Signal Processing and Integrated Networks (SPIN 2014)**, Noida, India, pp. 535-537, 20-21 February, 2014.

[21] P. Moonmuang, W. Tangsrirat, “Single VDTA-based tunable floating lossy inductance simulation circuits”, **IETE Journal of Research**, pp. 1-18, 2021.

[22] Harris semiconductor, “2 MHz, operational transconductance amplifier (OTA)”, **CA3080 datasheet**, Nov, 1996.

[23] วรพงศ์ ตั้งศรีรัตน์. **การออกแบบและสังเคราะห์วงจรกรองสัญญาณแอนะล็อกและวงจรออสซิลเลเตอร์.** กรุงเทพฯ : คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2552.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC

4.1 กล่าวนำ

อิมพีแดนซ์ RL และ RC ล้วนเป็นวงจรพื้นฐานที่สำคัญในการออกแบบวงจรรวม (integrated circuit, IC) แต่อุปกรณ์เหล่านี้มีข้อเสียเนื่องจากไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ รวมถึงมีโครงสร้างที่ค่อนข้างใหญ่ ส่งผลต่อพื้นที่ในวงจรรวมที่มาก ไม่นานมานี้วงจร VDTA (voltage differencing transconductance amplifier) [1] ซึ่งเป็นอุปกรณ์แอคทีฟได้ถูกนำเสนอขึ้นและออกแบบด้วยวงจรแหล่งจ่ายกระแสควบคุมด้วยผลต่างของแรงดัน ต่อร่วมกับวงจร OTA แบบหลายเอาต์พุต (multi-output operational transconductance amplifier) ที่มีคุณสมบัติที่ดีเนื่องจากค่าอิมพีแดนซ์อินพุตที่สูง (high input impedance) จึงเหมาะสมต่อการใช้งานในวงจรโหมดแรงดัน (voltage-mode) นอกจากนี้วงจร VDTA ได้ถูกนำไปประยุกต์ใช้อย่างหลากหลาย อาทิเช่น วงจรกรองสัญญาณ (filter circuit) [2]-[3] วงจรออสซิลเลเตอร์ (oscillator) [4] เป็นต้น

จากวิทยานิพนธ์ในบทที่ 3 พบว่าวงจรวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียที่นำเสนอ [5] นั้นยังคงอาศัยตัวต้านทานพาสซีฟจากภายนอก ซึ่งส่งผลต่อการออกแบบวงจรรวมเนื่องจากต้องใช้พื้นที่มากขึ้น เช่นเดียวกับงานวิจัย [6]-[8] ต้องอาศัยตัวต้านทานจากภายนอกอย่างน้อยสองตัวจึงจะสามารถออกแบบวงจรได้ จากเหตุผลที่กล่าวมาข้างต้น วิทยานิพนธ์บทนี้จึงมีวัตถุประสงค์เพื่อสังเคราะห์วงจรเลียนแบบค่าอิมพีแดนซ์ RL หรือวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียโดยปราศจากตัวต้านทานจากภายนอก [9] ที่ออกแบบด้วยวงจร VDTA เป็นอุปกรณ์แอคทีฟหลัก ที่มีโครงสร้างภายในไม่ซับซ้อน ทำงานภายใต้แรงดันไฟเลี้ยงต่ำ รวมถึงมีช่วงปฏิบัติงานที่กว้าง วงจรที่นำเสนอประกอบไปด้วยสองส่วน ส่วนแรกวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC แบบเทียบกราวด์ ประกอบไปด้วยวงจร VDTA จำนวนหนึ่งตัว และตัวเก็บประจุไฟฟ้าเพียงหนึ่งตัวเท่านั้น ส่วนที่สองวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC แบบลอยตัว ซึ่งออกแบบโดยใช้วงจร VDTA จำนวนสองตัว และตัวเก็บประจุไฟฟ้าจำนวนหนึ่งตัว ส่งผลให้วงจรมีความเรียบง่าย ลดความซับซ้อน ทั้งยังใช้ขนาดพื้นที่ในวงจรรวมลดลงอีกด้วย วงจรที่นำเสนอยังมีคุณสมบัติที่ดีในการปรับค่าได้ทางอิเล็กทรอนิกส์ด้วยอัตราขยายค่าความนำของวงจร VDTA ผลจำลองผลการทำงานถูกแสดงให้เห็นจริงโดยโปรแกรม PSPICE ด้วยเทคโนโลยีแบบ CMOS ขนาด 0.18 μm ของบริษัท TSMC พร้อมกับผลการทดลองด้วยวงจรจริงที่สังเคราะห์จากไอซีเบอร์ CA3080

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ที่นำเสนอ

4.2.1 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ที่นำเสนอ

วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ในรูปแบบอนุกรมและแบบขนาน แสดงดังรูปที่ 4.1 และรูปที่ 4.2 ตามลำดับ ซึ่งวงจรเลียนแบบค่าอิมพีแดนซ์ทั้งสี่วงจรได้ถูกออกแบบโดยใช้วงจร VDTA จำนวนหนึ่งตัวและตัวเก็บประจุไฟฟ้าเทียบกราวด์จำนวนหนึ่งตัว หากวิเคราะห์วงจรที่นำเสนอด้วยคุณสมบัติของวงจร VDTA ในทางอุดมคติดังสมการ (2.1) พบว่าอิมพีแดนซ์อินพุตและแอตมิตแตนซ์อินพุตของวงจรเท่ากับ [ภาคผนวก ค1]

สำหรับรูปที่ 4.1(ก) ตัวต้านทานต่ออนุกรมกับตัวเหนี่ยวนำ [ภาคผนวก ค1.1]

$$Z_{eq1} = R_{eq1} + sL_{eq1} = \frac{1}{g_{mF1}} + \frac{sC_1}{g_{mF1}g_{mS1}} \tag{4.1}$$

สำหรับรูปที่ 4.1(ข) ตัวต้านทานต่อขนานกับตัวเหนี่ยวนำ [ภาคผนวก ค1.2]

$$Y_{eq2} = R_{eq2} + \frac{1}{sL_{eq2}} = g_{mS1} + \frac{g_{mF1}g_{mS1}}{sC_2} \tag{4.2}$$

สำหรับรูปที่ 4.2(ก) ตัวต้านทานต่ออนุกรมกับตัวเก็บประจุไฟฟ้า [ภาคผนวก ค1.3]

$$Z_{eq3} = R_{eq3} + \frac{1}{sC_{eq3}} = \frac{1}{g_{mF1}} + \frac{1}{sC_3} \tag{4.3}$$

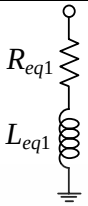
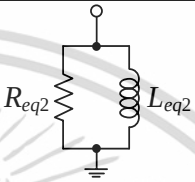
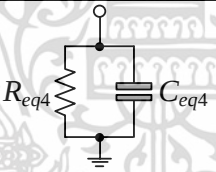
สำหรับรูปที่ 4.2(ข) ตัวต้านทานต่อขนานกับตัวเก็บประจุไฟฟ้า [ภาคผนวก ค1.4]

$$Y_{eq4} = R_{eq4} + sC_4 = g_{mS1} + sC_4 \tag{4.4}$$

จากสมการข้างต้นพบว่าค่าความต้านทานสมมูล (equivalent resistance, R_{eq}) ค่าความเหนี่ยวนำสมมูล (equivalent inductance, L_{eq}) และค่าความจุไฟฟ้าสมมูล (equivalent capacitance, C_{eq}) ของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ที่นำเสนอแสดงได้ดังตารางที่ 4.1

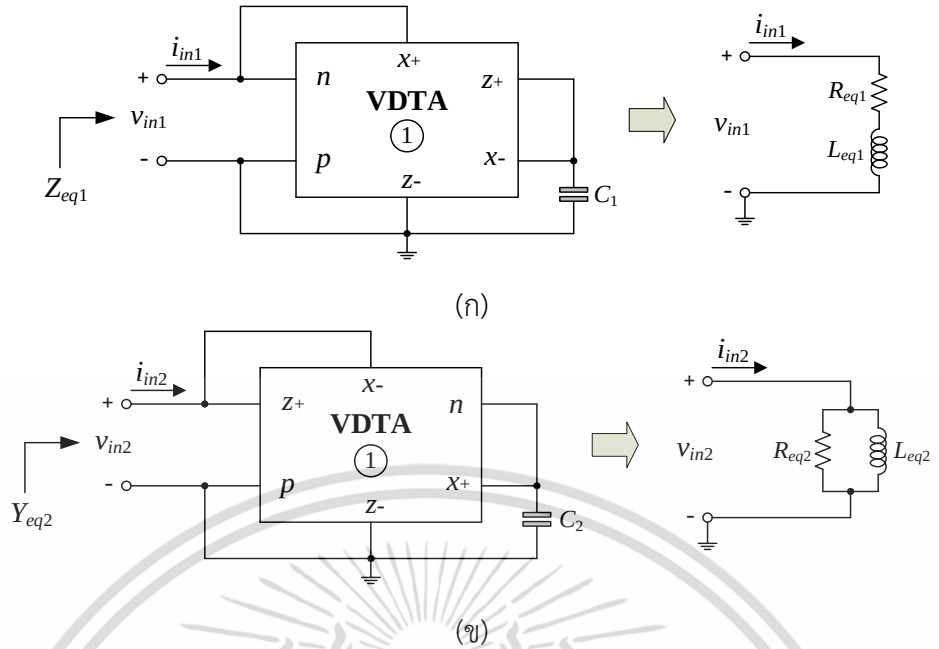
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 ค่าอุปกรณ์สมมูลของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ที่นำเสนอ

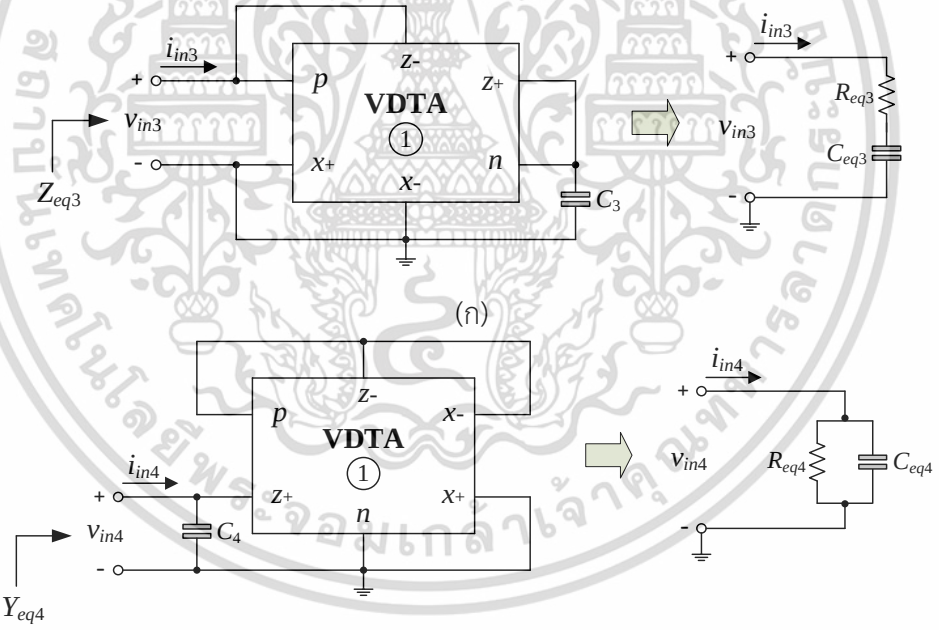
วงจรที่นำเสนอ	อิมพีแดนซ์อินพุตและแอตมิตแตนซ์อินพุต	วงจรสมมูล	ค่าอุปกรณ์สมมูล
รูปที่ 4.1(ก)	Z_{eq1}		$R_{eq1}=\frac{1}{g_{mF1}}$ $L_{eq1}=\frac{C_1}{g_{mF1}g_{mS1}}$
รูปที่ 4.1(ข)	Y_{eq2}		$R_{eq2}=\frac{1}{g_{mS1}}$ $L_{eq2}=\frac{C_2}{g_{mF1}g_{mS1}}$
รูปที่ 4.2(ก)	Z_{eq3}		$R_{eq3}=\frac{1}{g_{mF1}}$ $C_{eq3}=C_3$
รูปที่ 4.2(ข)	Y_{eq4}		$R_{eq4}=\frac{1}{g_{mS1}}$ $C_{eq4}=C_4$

จากตารางที่ 4.1 หากพิจารณาในรูปที่ 4.1 (ก) ของวงจรเลียนแบบค่าอิมพีแดนซ์ในรูปแบบ R_{eq1} ต่ออนุกรมกับ L_{eq1} จะสามารถปรับค่าอุปกรณ์สมมูลได้ เริ่มจากการปรับค่า R_{eq1} ก่อนด้วย g_{mF1} ของวงจร VDTA จากนั้นก็ทำการปรับ L_{eq1} ด้วยการแปรค่าด้วยอัตราขยายค่าความนำหรือ g_{mF2} เช่นเดียวกับวงจรเลียนแบบค่าอิมพีแดนซ์ในรูปแบบ R_{eq2} ต่อขนานกับ L_{eq2} ในรูปที่ 4.1 (ข) ที่สามารถแปรค่าได้อย่างอิสระด้วยวิธีการทางอิเล็กทรอนิกส์จากภายนอกของวงจร VDTA ในขณะที่วงจรเลียนแบบค่าอิมพีแดนซ์ RC ดังรูปที่ 4.2 จะพบว่า R_{eq3} และ R_{eq4} สามารถปรับเปลี่ยนค่าด้วยอัตราขยายค่าความนำ g_{mF1} และ g_{mS1} ตามลำดับ จากนั้นก็สามารถเลือกค่า C_{eq3} และ C_{eq4} ได้อย่างอิสระด้วยอุปกรณ์พาสซีฟในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 วงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อเทียบกราวด์และวงจรสมมูลที่ได้
(ก) แบบอนุกรม (ข) แบบขนาน



รูปที่ 4.2 วงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อเทียบกราวด์และวงจรสมมูลที่ได้
(ก) แบบอนุกรม (ข) แบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอ

วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวในรูปแบบอนุกรมและแบบขนานแสดงดังรูปที่ 4.3 โดยสามารถสังเคราะห์ทั้งสี่ฟังก์ชันดังนี้ ตัวต้านทานต่ออนุกรมกับตัวเหนี่ยวนำ ตัวต้านทานต่อขนานกับตัวเหนี่ยวนำ ตัวต้านทานต่ออนุกรมกับตัวเก็บประจุไฟฟ้าและตัวต้านทานต่อขนานกับตัวเก็บประจุไฟฟ้า ซึ่งวงจรทั้งหมดที่กล่าวถึงออกแบบโดยใช้วงจร VDTA จำนวนสองตัวและตัวเก็บประจุไฟฟ้าเทียบกราวด์จำนวนหนึ่งตัว หากวิเคราะห์วงจรที่นำเสนอด้วยคุณสมบัติของวงจร VDTA ในทางอุดมคติดังสมการ (2.1) พบว่าอิมพีแดนซ์อินพุตและแอตมิตแตนซ์อินพุตของวงจรเท่ากับ [ภาคผนวก ง1]

สำหรับรูปที่ 4.3 เมื่อกำหนดให้ $Z_{eqi} = Z_{eq1}$ จะได้ R_{in1} ต่อขนานกับ C_{in1}

$$Y_{in1} = \frac{1}{Z_{in1}} = \frac{i_{in1}}{v_{in1}} = \frac{1}{R_{in1}} + sC_{in1} = \frac{g_{mF2}g_{mS2}}{g_{mF1}} + \frac{sC_1 g_{mF2}g_{mS2}}{g_{mF1}g_{mS1}} \tag{4.5}$$

สำหรับรูปที่ 4.3 เมื่อกำหนดให้ $Y_{eqi} = Y_{eq2}$ จะได้ R_{in2} ต่ออนุกรมกับ C_{in2}

$$Z_{in2} = \frac{1}{Y_{in2}} = \frac{v_{in2}}{i_{in2}} = R_{in2} + \frac{1}{sC_{in2}} = \frac{g_{mS1}}{g_{mF2}g_{mS2}} + \frac{g_{mF1}g_{mS1}}{sC_2 g_{mF2}g_{mS2}} \tag{4.6}$$

สำหรับรูปที่ 4.3 เมื่อกำหนดให้ $Z_{eqi} = Z_{eq3}$ จะได้ R_{in3} ต่อขนานกับ L_{in3}

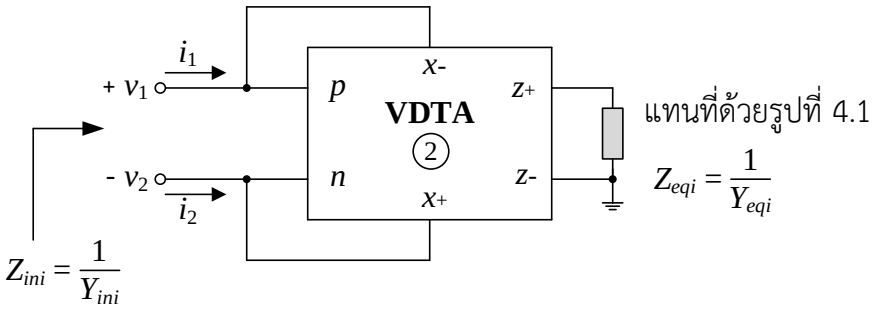
$$Y_{in3} = \frac{1}{Z_{in3}} = \frac{i_{in3}}{v_{in3}} = \frac{1}{R_{in3}} + \frac{1}{sL_{in3}} = \frac{g_{mF2}g_{mS2}}{g_{mF1}} + \frac{g_{mF2}g_{mS2}}{sC_3} \tag{4.7}$$

สำหรับรูปที่ 4.3 เมื่อกำหนดให้ $Y_{eqi} = Y_{eq4}$ จะได้ R_{in4} ต่ออนุกรมกับ C_{in4}

$$Z_{in4} = \frac{1}{Y_{in4}} = \frac{v_{in4}}{i_{in4}} = R_{in4} + sL_{in4} = \frac{g_{mS1}}{g_{mF2}g_{mS2}} + \frac{sC_4}{g_{mF2}g_{mS2}} \tag{4.8}$$

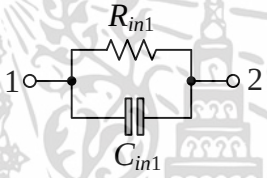
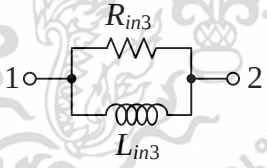
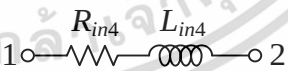
จากสมการข้างต้นจะเห็นได้ว่าหากเลือก Z_{eqi} หรือ Y_{eqi} โดยที่ i = 1, 2, 3, 4 อย่างเหมาะสมจะสามารถสังเคราะห์วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวในฟังก์ชันต่างๆได้ อาทิเช่น หากเลือก Z_{eq1} หรือวงจรเลียนแบบค่าอิมพีแดนซ์ R_{eq1} ต่ออนุกรมกับ L_{eq1} ในรูปแบบต่อเทียบกราวด์นี้ไปต่อร่วมกับวงจรที่นำเสนอในรูปที่ 4.3 จะสามารถสังเคราะห์วงจรเลียนแบบค่าอิมพีแดนซ์ R_{in1} ต่ออนุกรมกับ C_{in1} ในรูปแบบต่อลอยตัว ซึ่งมีข้อดีอันเนื่องจากค่าความต้านทานสมมูลและค่าความจุไฟฟ้าสมมูลที่ได้นั้นสามารถปรับอิสระจากกันด้วยอัตราขยายค่าความนำของวงจร VDTA อธิบายได้ดังตารางที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวในรูปแบบอนุกรมและแบบขนาน

ตารางที่ 4.2 ค่าอุปกรณ์สมมูลของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอ

วงจรที่นำเสนอ	อิมพีแดนซ์อินพุตและแอดมิตแตนซ์อินพุต	วงจรสมมูล	ค่าอุปกรณ์สมมูล
รูปที่ 4.3 เมื่อ $Z_{eqi} = Z_{eq1}$	Z_{in1}		$R_{in1} = \frac{g_{mF1}}{g_{mF2}g_{mS2}}$ $C_{in1} = \frac{g_{mF2}g_{mS2}C_1}{g_{mF1}g_{mS1}}$
รูปที่ 4.3 เมื่อ $Y_{eqi} = Y_{eq2}$	Y_{in2}		$R_{in2} = \frac{g_{mS1}}{g_{mF2}g_{mS2}}$ $C_{in2} = \frac{g_{mF2}g_{mS2}C_2}{g_{mF1}g_{mS1}}$
รูปที่ 4.3 เมื่อ $Z_{eqi} = Z_{eq3}$	Z_{in3}		$R_{in3} = \frac{g_{mF1}}{g_{mF2}g_{mS2}}$ $L_{in3} = \frac{C_3}{g_{mF2}g_{mS2}}$
รูปที่ 4.3 เมื่อ $Y_{eqi} = Y_{eq4}$	Y_{in4}		$R_{in4} = \frac{g_{mS1}}{g_{mF2}g_{mS2}}$ $L_{in4} = \frac{C_4}{g_{mF2}g_{mS2}}$

จากตารางที่ 4.2 พบว่าวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวในรูปแบบอนุกรมและแบบขนานแสดงดังรูปที่ 4.3 สามารถปรับค่าอุปกรณ์สมมูลได้เป็นอิสระด้วยอัตราขยายค่าความนำของวงจร VDTA รวมถึงอุปกรณ์พาสซีฟในวงจรด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ที่นำเสนอในทางปฏิบัติ

4.3.1 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ในรูป 4.1

หากวิเคราะห์คุณสมบัติการทำงานในทางปฏิบัติของวงจร VDTA สำหรับวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์แบบอนุกรมและแบบขนานในรูปที่ 4.1 และรูปที่ 4.2 ตามลำดับ พบว่าอิมพีแดนซ์อินพุตและแอตมิตแตนซ์อินพุตของวงจรเปลี่ยนแปลงไปดังนี้ [ภาคผนวก ค2]

สำหรับรูปที่ 4.1(ก) ตัวต้านทานต่ออนุกรมกับตัวเหนี่ยวนำ [ภาคผนวก ค2.1]

$$Z'_{eq1} = R'_{eq1} + sL'_{eq1} = \frac{1}{\beta_{F1} g_{mF1}} + \frac{sC_1}{\beta_{F1}\beta_{S1} g_{mF1} g_{mS1}} \tag{4.9}$$

สำหรับรูปที่ 4.1(ข) ตัวต้านทานต่อขนานกับตัวเหนี่ยวนำ [ภาคผนวก ค2.2]

$$Y'_{eq2} = R'_{eq2} + \frac{1}{sL'_{eq2}} = \beta_{S1} g_{mS1} + \frac{\beta_{F1}\beta_{S1} g_{mF1} g_{mS1}}{sC_2} \tag{4.10}$$

สำหรับรูปที่ 4.2(ก) ตัวต้านทานต่ออนุกรมกับตัวเก็บประจุไฟฟ้า [ภาคผนวก ค2.3]

$$Z'_{eq3} = R'_{eq3} + \frac{1}{sC'_{eq3}} = \frac{1}{\beta_{F1} g_{mF1}} + \frac{1}{sC_3} \tag{4.11}$$

สำหรับรูปที่ 4.2(ข) ตัวต้านทานต่อขนานกับตัวเก็บประจุไฟฟ้า [ภาคผนวก ค2.4]

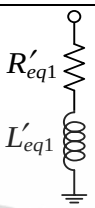
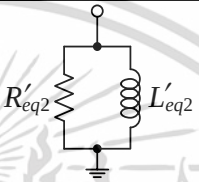
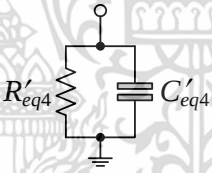
$$Y_{eq4} = R_{eq4} + sC_4 = \beta_{S1} g_{mS1} + sC_4 \tag{4.12}$$

จากสมการข้างต้นหากพิจารณาผลกระทบจากการทำงานที่ไม่เป็นตามอุดมคติของวงจร VDTA แล้วจะพบว่าค่าความต้านทานสมมูล ค่าความเหนี่ยวนำสมมูลและค่าความจุไฟฟ้าสมมูลของแต่ละฟังก์ชันที่ออกแบบสามารถแสดงได้ดังตารางต่อไปนี้

ตารางที่ 4.3 สำหรับค่าอุปกรณ์สมมูลในทางปฏิบัติของวงจรเลียนแบบค่าอิมพีแดนซ์ RL จะพบว่า β_{F1} และ β_{S1} ส่งผลต่อค่า R'_{eq1} และ L'_{eq1} (R'_{eq2} และ L'_{eq2}) ที่ได้จากการสังเคราะห์วงจร ซึ่งในทางปฏิบัติค่าดังกล่าวส่วนใหญ่จะมีค่าต่ำกว่าหนึ่ง ดังนั้นจึงส่งผลต่อวงจรที่นำเสนอเพียงเล็กน้อยเท่านั้น ในขณะที่วงจรเลียนแบบค่าอิมพีแดนซ์ RC ผลกระทบเกิดจาก β_{S1} เฉพาะในส่วนของค่าความต้านทานสมมูลเท่านั้น ซึ่งสามารถปรับเปลี่ยนผลลัพธ์ที่ได้ให้ใกล้เคียงทฤษฎีมากยิ่งขึ้นด้วยการแปรค่าอัตราขยายค่าความนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.3 ค่าอุปกรณ์สมมูลของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ที่นำเสนอในทางปฏิบัติ

วงจรที่นำเสนอ	อิมพีแดนซ์อินพุตและแอตมิตแตนซ์อินพุต	วงจรสมมูล	ค่าอุปกรณ์สมมูล
รูปที่ 4.1(ก)	Z'_{eq1}		$R'_{eq1}=\frac{1}{\beta_{F1}g_{mF1}}$ $L'_{eq1}=\frac{C_1}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}}$
รูปที่ 4.1(ข)	Y'_{eq2}		$R'_{eq2}=\frac{1}{\beta_{S1}g_{mS1}}$ $L'_{eq2}=\frac{C_2}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}}$
รูปที่ 4.2(ก)	Z'_{eq3}		$R'_{eq3}=\frac{1}{\beta_{F1}g_{mF1}}$ $C'_{eq3}=C_3$
รูปที่ 4.2(ข)	Y'_{eq4}		$R'_{eq4}=\frac{1}{\beta_{S1}g_{mS1}}$ $C'_{eq4}=C_4$

การวิเคราะห์คุณสมบัติค่าความไวของ R'_{eqi} C'_{eqi} และ L'_{eqi} สำหรับวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ในรูป 4.1 ต่อการเบี่ยงเบนค่าอุปกรณ์แอคทีฟและพาสซีฟของวงจรในตารางที่ 4.1 อธิบายได้ดังนี้ [ภาคผนวก ค3]

สำหรับรูปที่ 4.1(ก) R'_{eq1} ต่ออนุกรมกับ L'_{eq1}

$$S_{\beta_{F1}}^{R'_{eq1}}=S_{g_{mF1}}^{R'_{eq1}}=-1 \tag{4.13}$$

$$S_{C_1}^{L'_{eq1}}=1 \tag{4.14}$$

และ $$S_{\beta_{F1}}^{L'_{eq1}}=S_{\beta_{S1}}^{L'_{eq1}}=S_{g_{mF1}}^{L'_{eq1}}=S_{g_{mS1}}^{L'_{eq1}}=-1 \tag{4.15}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับรูปที่ 4.1(ข) R'_{eq2} ต่อขนานกับ L'_{eq2}

$$S_{\beta_{S1}}^{R'_{eq2}} = S_{g_{mS1}}^{R'_{eq2}} = -1 \tag{4.16}$$

$$S_{C_2}^{L'_{eq2}} = 1 \tag{4.17}$$

และ $$S_{\beta_{F1}}^{L'_{eq2}} = S_{\beta_{S1}}^{L'_{eq2}} = S_{g_{mF1}}^{L'_{eq2}} = S_{g_{mS1}}^{L'_{eq2}} = -1 \tag{4.18}$$

สำหรับรูปที่ 4.2(ก) R'_{eq3} ต่ออนุกรมกับ C'_{eq3}

$$S_{\beta_{F1}}^{R'_{eq3}} = S_{g_{mF1}}^{R'_{eq3}} = -1 \tag{4.19}$$

และ $$S_{C_3}^{C'_{eq3}} = 1 \tag{4.20}$$

สำหรับรูปที่ 4.2(ข) R'_{eq4} ต่อขนานกับ C'_{eq4}

$$S_{\beta_{S1}}^{R'_{eq4}} = S_{g_{mS1}}^{R'_{eq4}} = -1 \tag{4.21}$$

และ $$S_{C_4}^{C'_{eq4}} = 1 \tag{4.22}$$

4.3.2 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวในรูป 4.3

หากวิเคราะห์คุณสมบัติการทำงานในทางปฏิบัติของวงจร VDTA สำหรับวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวดังรูปที่ 4.3 พบว่าอิมพีแดนซ์อินพุตและแอดมิตแตนซ์อินพุตของวงจรเปลี่ยนแปลงไปดังนี้ [ภาคผนวก ง2]

สำหรับรูปที่ 4.3 เมื่อกำหนดให้ $Z_{eqi} = Z'_{eq1}$ จะได้ Y'_{in1} เท่ากับ

$$Y'_{in1} = \frac{1}{Z'_{in1}} = \frac{1}{R'_{in1}} + sC'_{in1} = \frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}{\beta_{F1}g_{mF1}} + \frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}sC_1}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}} \tag{4.23}$$

สำหรับรูปที่ 4.3 เมื่อกำหนดให้ $Y_{eqi} = Y_{eq2}$ จะได้ Z'_{in2} เท่ากับ

$$Z'_{in2} = \frac{1}{Y'_{in2}} = R'_{in2} + \frac{1}{sC'_{in2}} = \frac{\beta_{F1}g_{mS1}}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}} + \frac{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}sC_2} \tag{4.24}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับรูปที่ 4.3 เมื่อกำหนดให้ $Z_{eqi} = Z_{eq3}$ จะได้ Y'_{in3} เท่ากับ

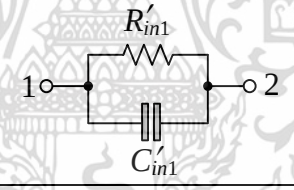
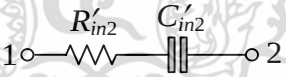
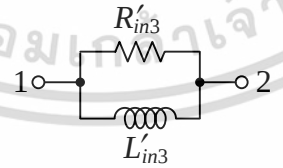
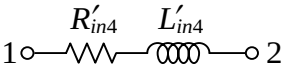
$$Y'_{in3} = \frac{1}{Z'_{in3}} = \frac{1}{R'_{in3}} + \frac{1}{sL'_{in3}} = \frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}{\beta_{F1}g_{mF1}} + \frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}{sC_3} \tag{4.25}$$

สำหรับรูปที่ 4.3 เมื่อกำหนดให้ $Y_{eqi} = Y_{eq4}$ จะได้ Z'_{in4} เท่ากับ

$$Z'_{in4} = \frac{1}{Y'_{eq4}} = R'_{in4} + sL'_{in4} = \frac{\beta_{S1}g_{mS1}}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}} + \frac{sC_4}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}} \tag{4.26}$$

จากสมการข้างต้นหากพิจารณาผลกระทบจากการทำงานที่ไม่เป็นตามอุดมคติของวงจร VDTA แล้วจะพบว่าค่า R'_{eqi} L'_{eqi} และ C'_{eqi} ของแต่ละฟังก์ชันที่สังเคราะห์ขึ้นสามารถอธิบายดังตารางต่อไปนี้

ตารางที่ 4.4 ค่าอุปกรณ์สมมูลของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอในทางปฏิบัติ

วงจรที่นำเสนอ	อิมพีแดนซ์อินพุตและแอดมิตแตนซ์อินพุต	วงจรสมมูล	ค่าอุปกรณ์สมมูล
รูปที่ 4.3 เมื่อ $Z_{eqi} = Z_{eq1}$	Z'_{in1}		$R_{in1} = \frac{\beta_{F1}g_{mF1}}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}$ $C_{in1} = \frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}C_1}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}}$
รูปที่ 4.3 เมื่อ $Y_{eqi} = Y_{eq2}$	Y'_{in2}		$R_{in2} = \frac{\beta_{S1}g_{mS1}}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}$ $C_{in2} = \frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}C_2}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}}$
รูปที่ 4.3 เมื่อ $Z_{eqi} = Z_{eq3}$	Z'_{in3}		$R_{in3} = \frac{\beta_{F1}g_{mF1}}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}$ $L_{in3} = \frac{C_3}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}$
รูปที่ 4.3 เมื่อ $Y_{eqi} = Y_{eq4}$	Y'_{in4}		$R_{in4} = \frac{\beta_{S1}g_{mS1}}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}$ $L_{in4} = \frac{C_4}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}$

จากตารางข้างต้นจะพบว่าค่าในทางปฏิบัติ β_{Fk} และ β_{Sk} เมื่อ k = 1, 2 ของวงจร VDTA จะส่งผลต่อค่า R'_{eqi} L'_{eqi} และ C'_{eqi} ของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC แบบลอยตัวที่นำเสนอในรูปที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 ซึ่งสามารถลดผลกระทบดังกล่าวโดยการแปรค่า g_{mFi} และ g_{mSi} ของวงจร VDTA ตัวที่ k ทำให้ค่าอุปกรณ์สมมูลที่ได้มีค่าใกล้เคียงทฤษฎีมากยิ่งขึ้น

การวิเคราะห์คุณสมบัติค่าความไวของ R'_{ini} C'_{ini} และ L'_{ini} สำหรับวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวในรูป 4.3 ต่อการเบี่ยงเบนค่าอุปกรณ์แอคทีฟและพาสซีฟของวงจรในตารางที่ 4.2 อธิบายได้ดังนี้ [ภาคผนวก ง3]

สำหรับรูปที่ 4.3 กำหนดให้ $Z_{eqi} = Z_{eq1}$ จะพบว่า

$$S_{\beta_{F1}}^{R'_{in1}} = S_{g_{mF1}}^{R'_{in1}} = 1 \tag{4.27}$$

$$S_{\beta_{F2}}^{R'_{in1}} = S_{\beta_{S2}}^{R'_{in1}} = S_{g_{mF2}}^{R'_{in1}} = S_{g_{mS2}}^{R'_{in1}} = -1 \tag{4.28}$$

$$S_{\beta_{F2}}^{C'_{in1}} = S_{\beta_{S2}}^{C'_{in1}} = S_{g_{mF2}}^{C'_{in1}} = S_{g_{mS2}}^{C'_{in1}} = S_{C_1}^{C'_{in1}} = 1 \tag{4.29}$$

และ
$$S_{\beta_{F1}}^{C'_{eq1}} = S_{\beta_{S1}}^{C'_{eq1}} = S_{g_{mF1}}^{C'_{eq1}} = S_{g_{mS1}}^{C'_{eq1}} = -1 \tag{4.30}$$

สำหรับรูปที่ 4.3 กำหนดให้ $Y_{eqi} = Y_{eq2}$ จะพบว่า

$$S_{\beta_{F1}}^{R'_{in2}} = S_{g_{mF1}}^{R'_{in2}} = 1 \tag{4.31}$$

$$S_{\beta_{F2}}^{R'_{in2}} = S_{\beta_{S2}}^{R'_{in2}} = S_{g_{mF2}}^{R'_{in2}} = S_{g_{mS2}}^{R'_{in2}} = -1 \tag{4.32}$$

$$S_{\beta_{F2}}^{C'_{in2}} = S_{\beta_{S2}}^{C'_{in2}} = S_{g_{mF2}}^{C'_{in2}} = S_{g_{mS2}}^{C'_{in2}} = S_{C_2}^{C'_{in1}} = 1 \tag{4.33}$$

และ
$$S_{\beta_{F1}}^{C'_{eq2}} = S_{\beta_{S1}}^{C'_{eq2}} = S_{g_{mF1}}^{C'_{eq2}} = S_{g_{mS1}}^{C'_{eq2}} = -1 \tag{4.34}$$

สำหรับรูปที่ 4.3 กำหนดให้ $Z_{eqi} = Z_{eq3}$ จะพบว่า

$$S_{\beta_{F1}}^{R'_{in3}} = S_{g_{mF1}}^{R'_{in3}} = 1 \tag{4.35}$$

$$S_{\beta_{F2}}^{R'_{in3}} = S_{\beta_{S2}}^{R'_{in3}} = S_{g_{mF2}}^{R'_{in3}} = S_{g_{mS2}}^{R'_{in3}} = -1 \tag{4.36}$$

$$S_{C_3}^{L'_{in3}} = 1 \tag{4.37}$$

และ
$$S_{\beta_{F2}}^{L'_{eq3}} = S_{\beta_{S2}}^{L'_{eq3}} = S_{g_{mF2}}^{L'_{eq3}} = S_{g_{mS2}}^{L'_{eq3}} = -1 \tag{4.38}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับรูปที่ 4.3 กำหนดให้ $Y_{eqi} = Y_{eq4}$ จะพบว่า

$$S_{\beta_{S1}}^{R'_{in4}} = S_{g_{mS1}}^{R'_{in4}} = 1 \tag{4.39}$$

$$S_{\beta_{F2}}^{R'_{in4}} = S_{\beta_{S2}}^{R'_{in4}} = S_{g_{mF2}}^{R'_{in4}} = S_{g_{mS2}}^{R'_{in4}} = -1 \tag{4.40}$$

$$S_{C_4}^{L'_{in4}} = 1 \tag{4.41}$$

และ $$S_{\beta_{F2}}^{L'_{eq4}} = S_{\beta_{S2}}^{L'_{eq4}} = S_{g_{mF2}}^{L'_{eq4}} = S_{g_{mS2}}^{L'_{eq4}} = -1 \tag{4.42}$$

4.4 ผลการจำลองการทำงานของวงจร

หัวข้อนี้จะกล่าวถึงผลการจำลองการทำงานของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ในรูปแบบอนุกรมดังรูปที่ 4.1 และรูปแบบขนานดังรูปที่ 4.2 รวมถึงวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอในรูป 4.3 โดยใช้โปรแกรม PSPICE ภายใต้เทคโนโลยี CMOS ขนาด 0.18 μm ของบริษัท TSMC มีโครงสร้างภายในของวงจร VDTA แสดงในรูปที่ 2.5 เมื่อกำหนดให้ V+ = V− = 1 V และใช้อัตราส่วน W/L (μm/μm) ของทรานซิสเตอร์แสดงดังตารางที่ 2.1

4.4.1 ผลการจำลองการทำงานของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์

รูปที่ 4.4 และรูปที่ 4.5 แสดงผลการจำลองผลตอบสนองทางเวลาของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ดังรูปที่ 4.1 และรูปที่ 4.2 ตามลำดับ หากป้อนค่าสัญญาณอินพุต v_{in} เท่ากับ 50 mVp ที่ความถี่ 1 MHz เมื่อกำหนดให้ $I_{B1} = I_{BF1} = I_{BS1} = 200$ μA ($g_{m1} = g_{mF1} = g_{mS1} \cong 1.612$ mA/V) และ $C_1 = C_2 = C_3 = C_4 = 100$ pF จากผลการจำลองสามารถสรุปค่าอุปกรณ์สมมูลและมุมเฟสระหว่าง v_{in} และ i_{in} ได้ดังตารางที่ 4.5 และหาค่าความถี่มุม (corner frequency, f_c) อธิบายได้ดังสมการต่อไปนี้

กรณี R_{eqi} อนุกรมหรือขนานกับ L_{eqi} จะได้

$$f_c = \frac{R_{eqi}}{2\pi L_{eqi}} \tag{4.43}$$

กรณี R_{eqi} อนุกรมหรือขนานกับ C_{eqi} จะได้

$$f_c = \frac{1}{2\pi R_{eqi} C_{eqi}} \tag{4.44}$$

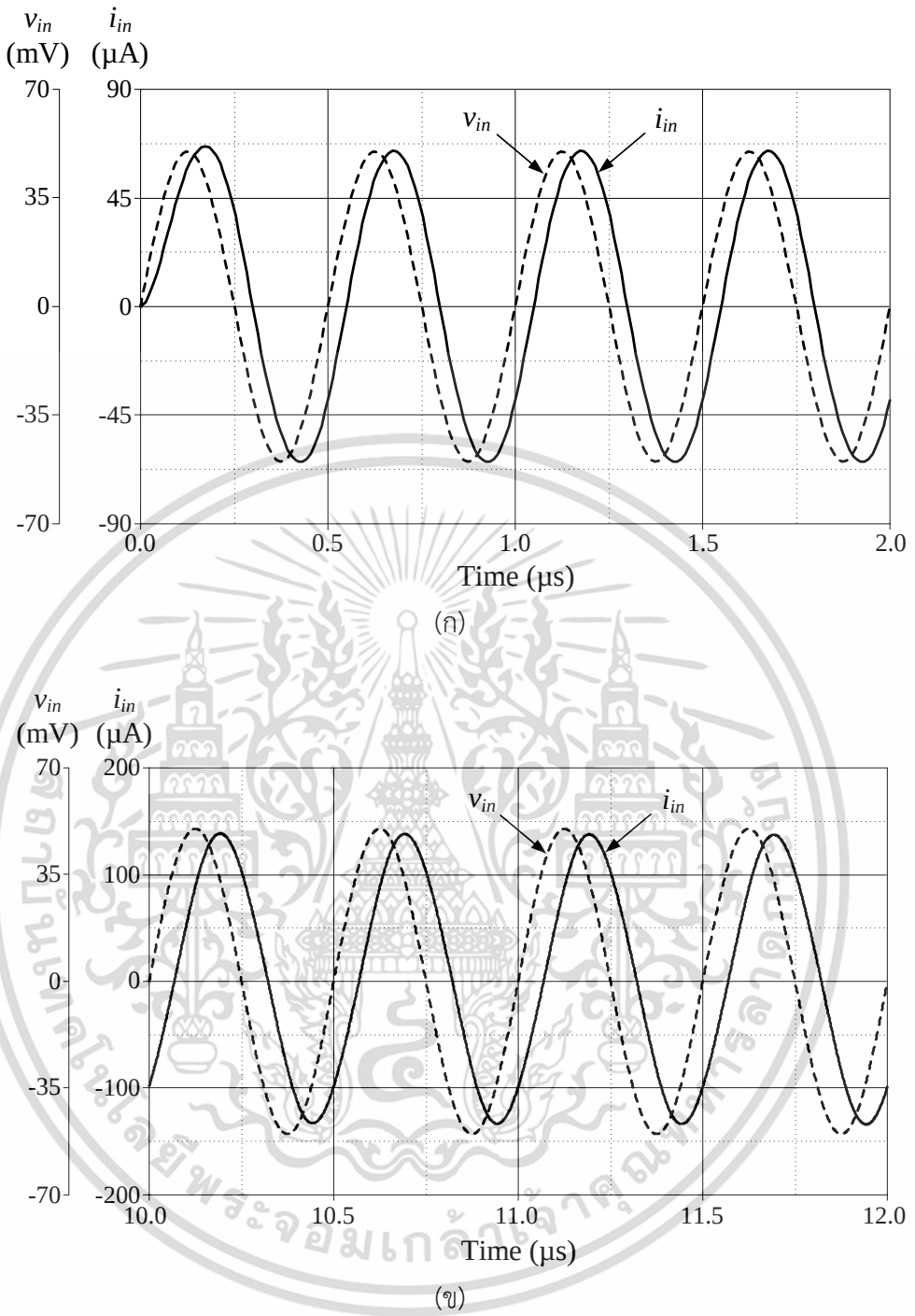
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.5 ค่าอุปกรณ์สมมูลและค่าความถี่มุมของวงจรที่นำเสนอในรูปที่ 4.1 และรูปที่ 4.2

Z_{eqi}	วงจรที่นำเสนอ	อุปกรณ์สมมูล	f_c (MHz)	มุมเฟสระหว่าง v_{in} และ i_{in}	
				ทางปฏิบัติ	ทางทฤษฎี
Z_{eq1}	ในรูป 4.1 (ก) R_{eq1} อนุกรม L_{eq1} แบบเทียบกราวด์	R_{eq1} = 620.35 Ω L_{eq1} = 38.48 μH	2.57	35.98°	37.94°
Z_{eq2}	ในรูป 4.1 (ข) R_{eq2} ขนาน L_{eq2} แบบเทียบกราวด์	R_{eq2} = 620.35 Ω L_{eq2} = 38.48 μH		52.12°	51.63°
Z_{eq3}	ในรูป 4.2 (ก) R_{eq3} อนุกรม C_{eq3} แบบเทียบกราวด์	R_{eq3} = 620.35 Ω C_{eq3} = 100 pF		53.93°	51.94°
Z_{eq4}	ในรูป 4.2 (ข) R_{eq4} ขนาน C_{eq4} แบบเทียบกราวด์	R_{eq4} = 620.35 Ω C_{eq4} = 100 pF		36.80°	38°

รูปที่ 4.6 และรูปที่ 4.7 แสดงผลการจำลองผลตอบสนองความถี่ของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ดังรูปที่ 4.1 และรูปที่ 4.2 ตามลำดับ พบว่ากำลังไฟฟ้าสูญเสียที่เกิดขึ้นในวงจร (total power dissipation) มีค่าเท่ากับ 0.8 mW

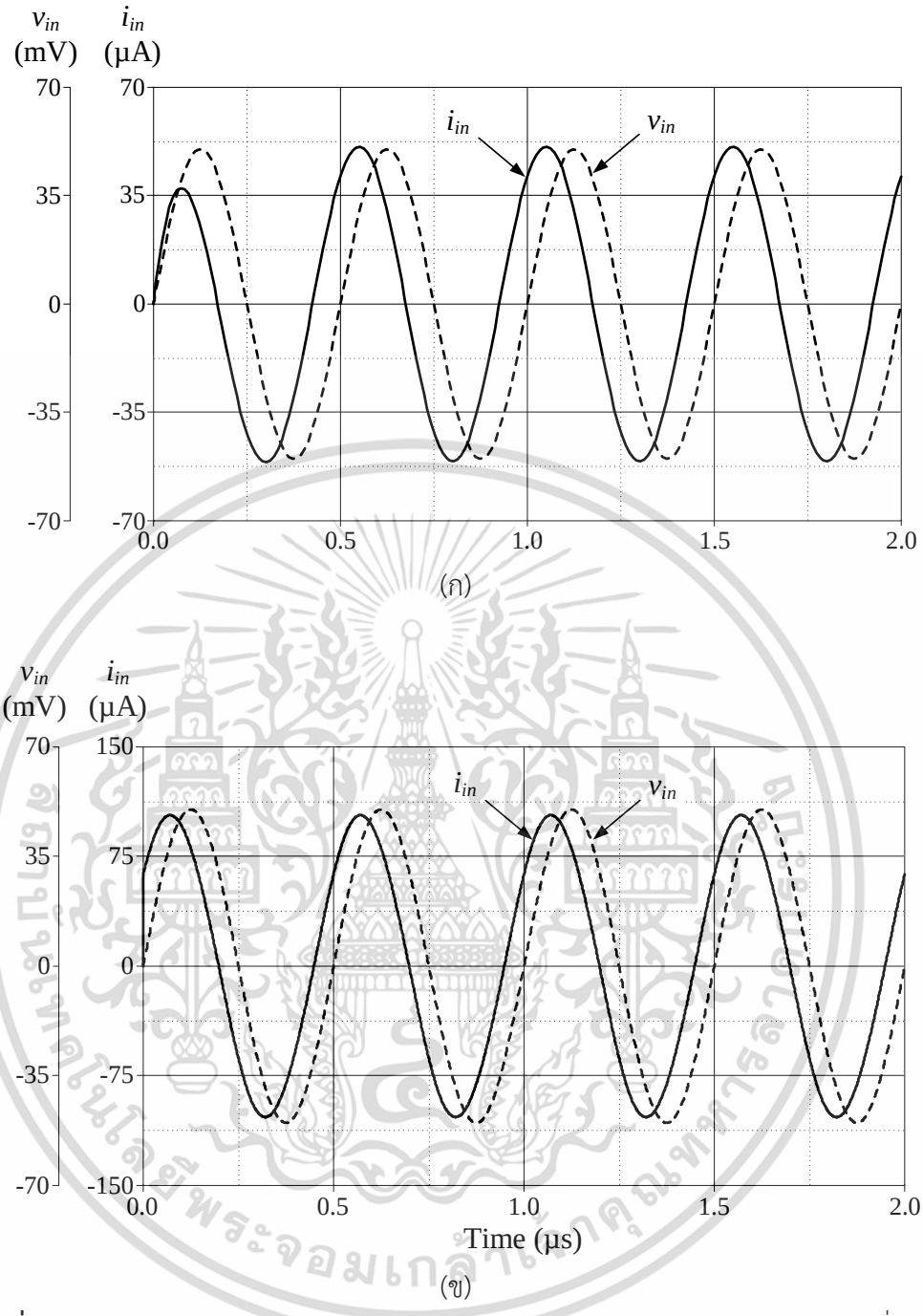
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 ผลจำลองผลตอบสนองทางเวลาของวงจรเลียนแบบค่าอิมพีแดนซ์ RL ดังรูปที่ 4.1

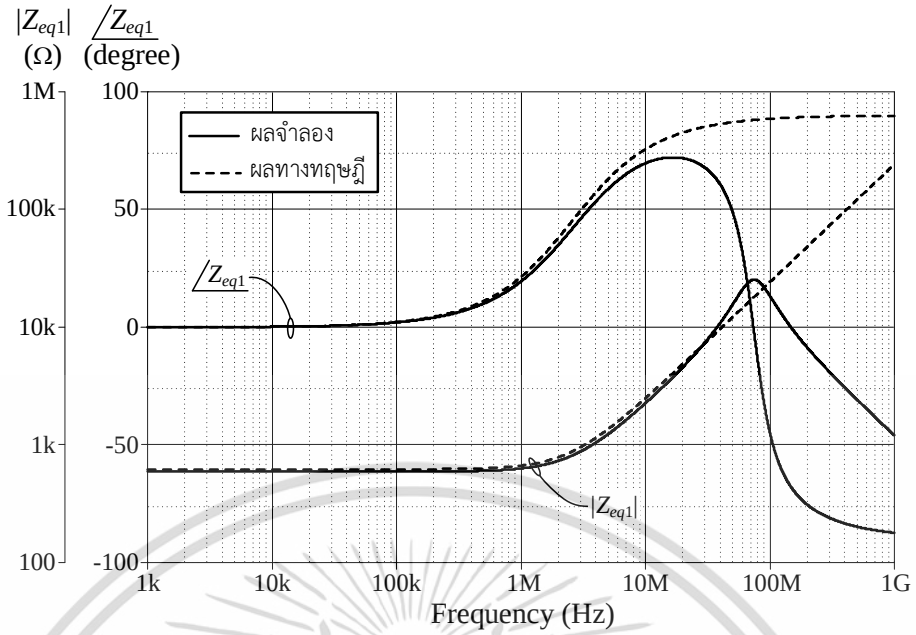
(ก) R_{eq1} อนุกรม L_{eq1} (ข) R_{eq2} ขนาน L_{eq2}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 ผลจำลองผลตอบสนองทางเวลาของวงจรเลียนแบบค่าอิมพีแดนซ์ RC ดังรูปที่ 4.2 (ก) R_{eq3} อนุกรม C_{eq3} (ข) R_{eq4} ขนาน C_{eq4}

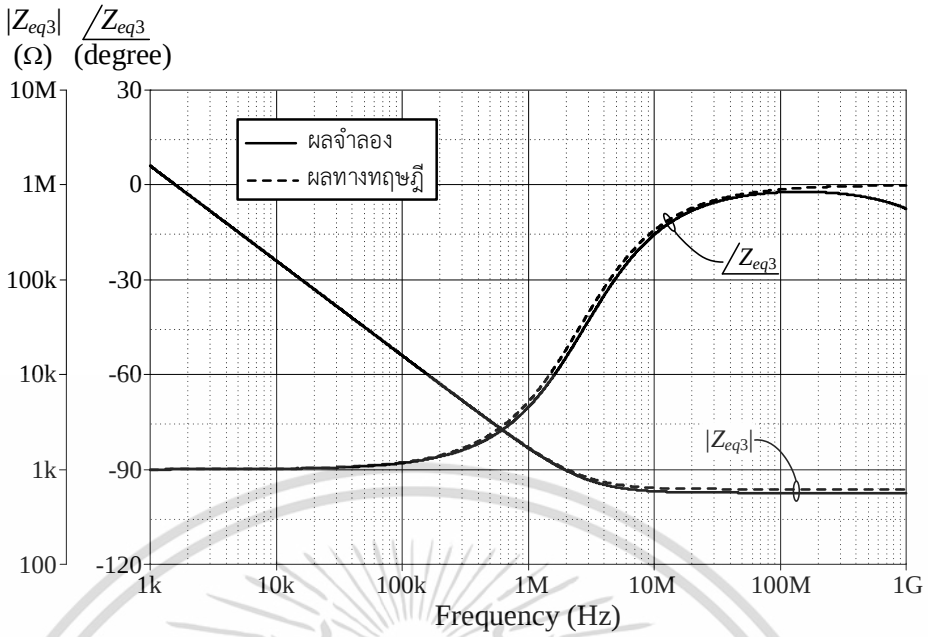
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 ผลจำลองผลตอบสนองทางความถี่ของวงจรเลียนแบบค่าอิมพีแดนซ์ RL ดังรูปที่ 4.1

(ก) R_{eq1} อนุกรม L_{eq1} (ข) R_{eq2} ขนาน L_{eq2}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 ผลจำลองผลตอบสนองทางความถี่ของวงจรเลียนแบบค่าอิมพีแดนซ์ RC ดังรูปที่ 4.2

(ก) R_{eq3} อนุกรม C_{eq3} (ข) R_{eq4} ขนาน C_{eq4}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

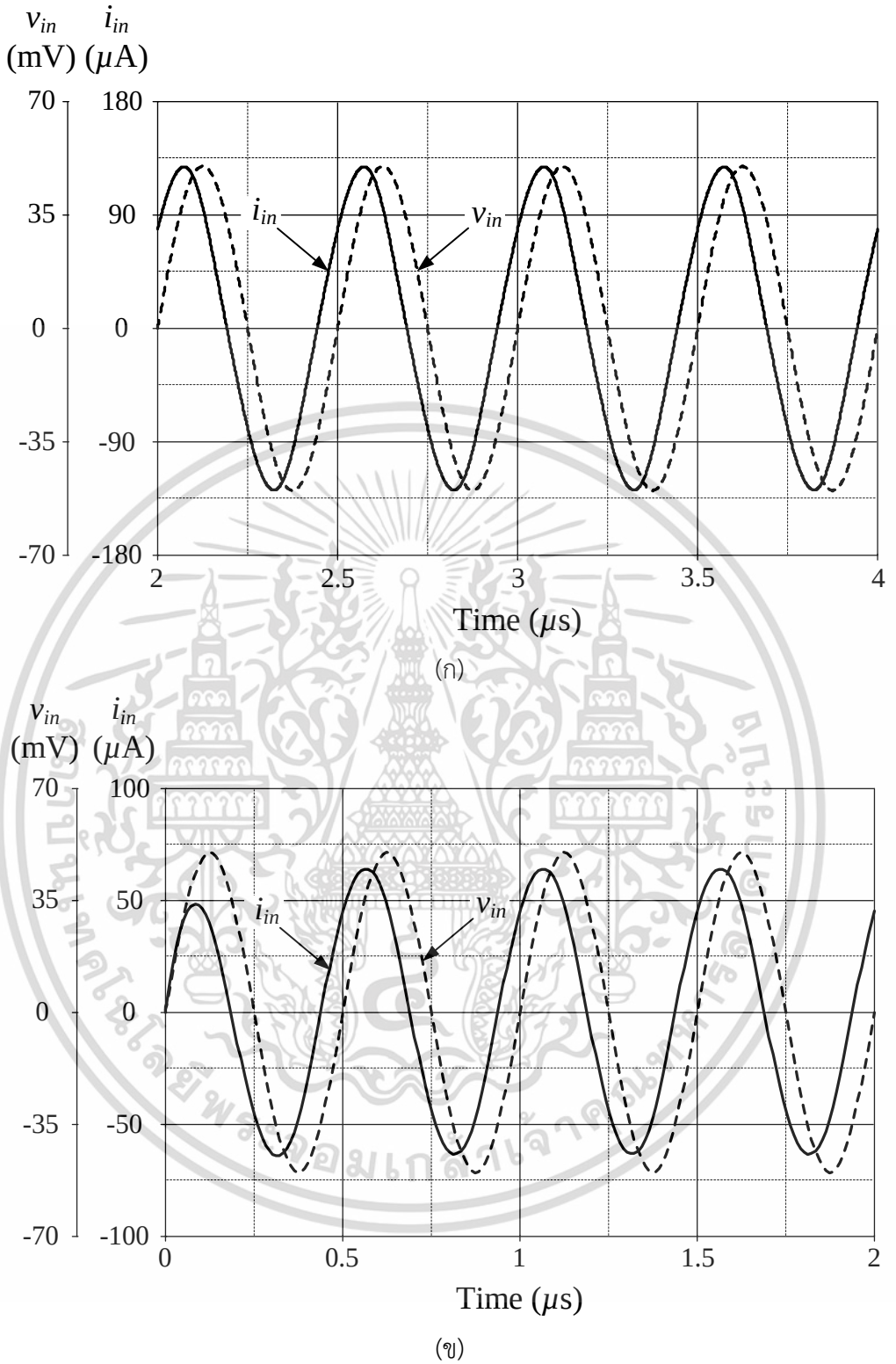
4.4.2 ผลการจำลองการทำงานของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวในรูปที่ 4.3

รูปที่ 4.8 แสดงผลการจำลองผลตอบสนองทางเวลาของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวดังรูปที่ 4.3 ซึ่งออกแบบฟังก์ชันที่ต้องการด้วยการเลือกใช้ Z_{eqi} ที่เหมาะสม หากป้อนค่าสัญญาณอินพุต v_{in} เท่ากับ 50 mVp ที่ความถี่ 2 MHz เมื่อกำหนดให้ $I_{B1} = I_{BF1} = I_{BS1} = 150$ μA ($g_{m1} = g_{mF1} = g_{mS1} \cong 1.396$ mA/V) $I_{B2} = I_{BF2} = I_{BS2} = 200$ μA ($g_{m2} = g_{mF2} = g_{mS2} \cong 1.612$ mA/V) และ $C_1 = C_2 = C_3 = C_4 = 100$ pF ตารางที่ 4.6 แสดงถึงค่าอุปกรณ์สมมูลและมุมเฟสระหว่าง v_{in} และ i_{in} รวมถึงค่าความถี่มุมของแต่ละฟังก์ชันของวงจรที่นำเสนอ

ตารางที่ 4.6 ค่าอุปกรณ์สมมูลของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอ

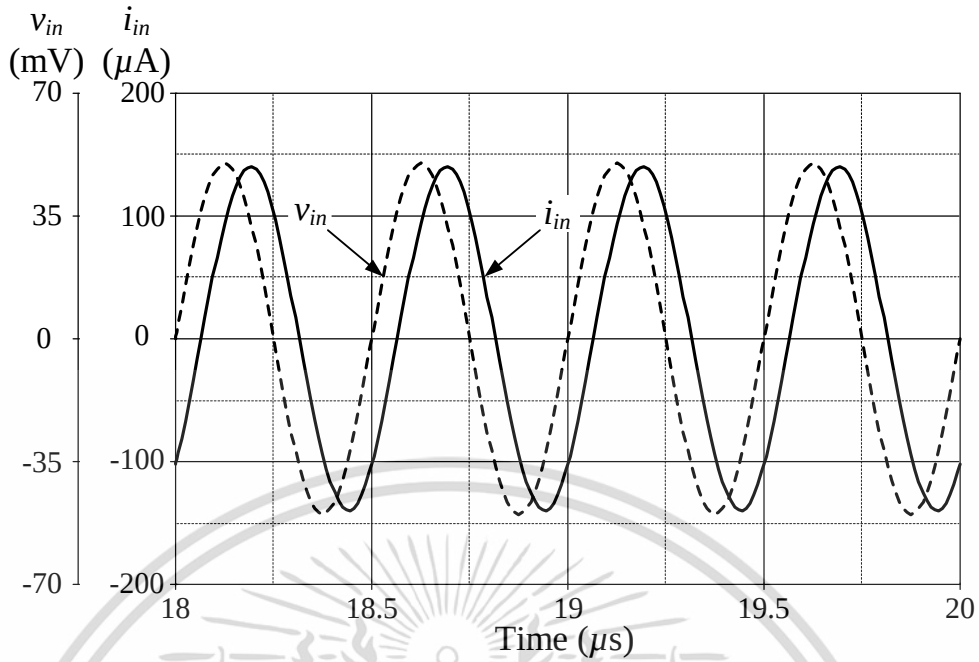
วงจรที่นำเสนอ	ผลตอบสนองทางเวลา	Z_{ini}	ค่าอุปกรณ์สมมูล	f_c (MHz)	มุมเฟสระหว่าง v_{in} และ i_{in}	
					ทางปฏิบัติ	ทางทฤษฎี
จากรูปที่ 4.3 เมื่อ $Z_{eqi} = Z_{eq1}$	รูปที่ 4.6 (ก) R_{in1} ขนาน C_{in1}	Z_{in1}	$R_{in1} = 620.35\ \Omega$ $C_{in1} = 100$ pF	2.22	41.90°	42.58°
จากรูปที่ 4.3 เมื่อ $Y_{eqi} = Y_{eq2}$	รูปที่ 4.6 (ข) R_{in2} อนุกรม C_{in2}	$1/Z_{in2}$	$R_{in2} = 620.35\ \Omega$ $C_{in2} = 100$ pF		46.8°	47.94°
รูปที่ 4.3 เมื่อ $Z_{eqi} = Z_{eq3}$	รูปที่ 4.6 (ค) R_{in3} ขนาน L_{in3}	Z_{in3}	$R_{in3} = 620.35\ \Omega$ $L_{in3} = 38.48$ μH		46.66°	48.21°
จากรูปที่ 4.3 เมื่อ $Y_{eqi} = Y_{eq4}$	รูปที่ 4.6 (ง) R_{in4} อนุกรม L_{in4}	$1/Z_{in4}$	$R_{in4} = 620.35\ \Omega$ $L_{in4} = 38.48$ μH		40.67°	41.99°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

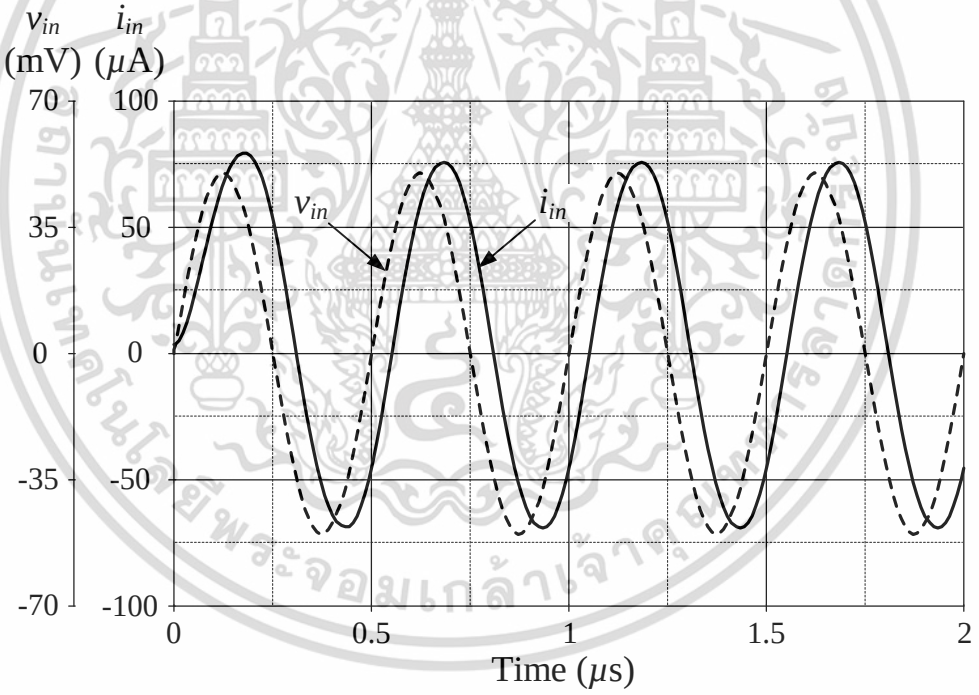


รูปที่ 4.8 ผลจำลองผลตอบสนองทางเวลาของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ในรูปที่ 4.3 (ก) R_{in1} ขนาน C_{in1} (ข) R_{in2} อนุกรม C_{in2} (ค) R_{in3} ขนาน L_{in3} (ง) R_{in4} อนุกรม L_{in4}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค)



(ง)

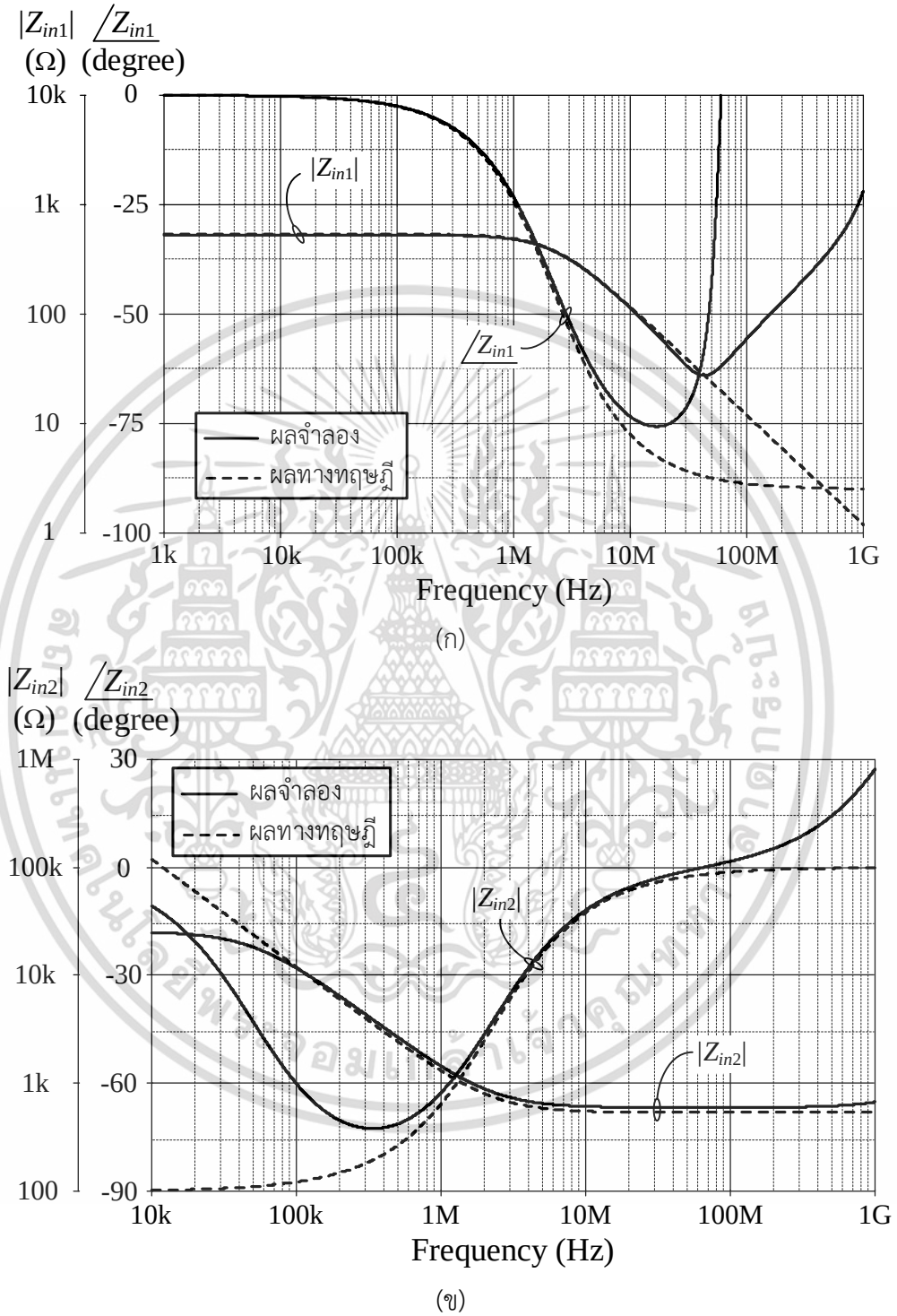
รูปที่ 4.8 ผลจำลองผลตอบสนองทางเวลา

ของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ในรูปที่ 4.3 (ต่อ)

(ก) R_{in1} ขนาน C_{in1} (ข) R_{in2} อนุกรม C_{in2} (ค) R_{in3} ขนาน L_{in3} (ง) R_{in4} อนุกรม L_{in4}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะที่ผลการจำลองผลตอบสนองความถี่ของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวแสดงดังรูปที่ 4.9 โดยกำลังไฟฟ้าสูญเสียที่เกิดขึ้นในวงจรเท่ากับ 1.6 mW

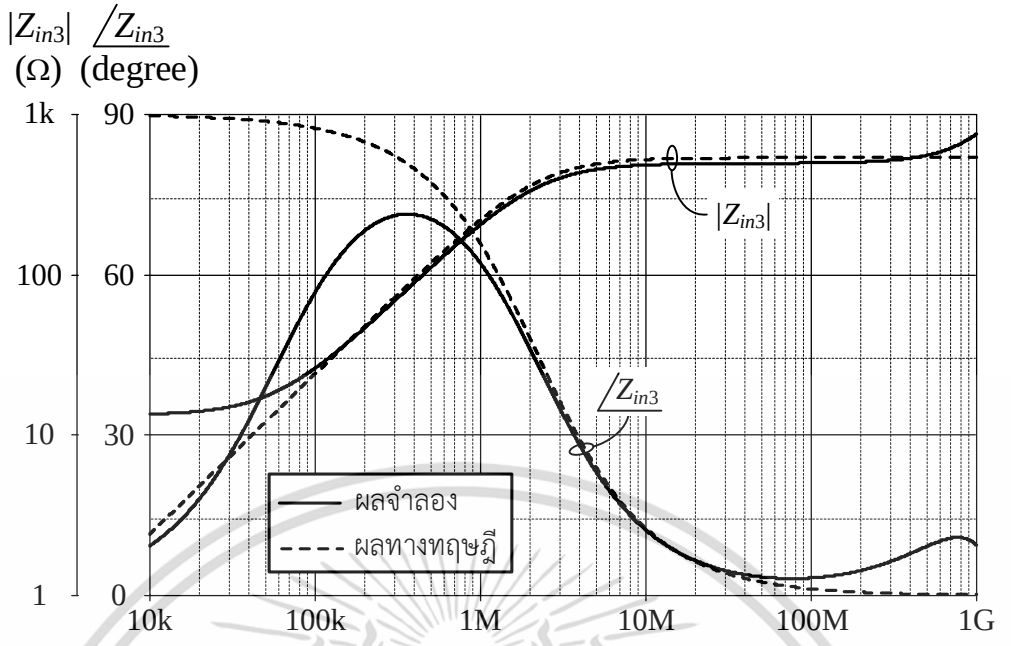


รูปที่ 4.9 ผลจำลองผลตอบสนองทางความถี่

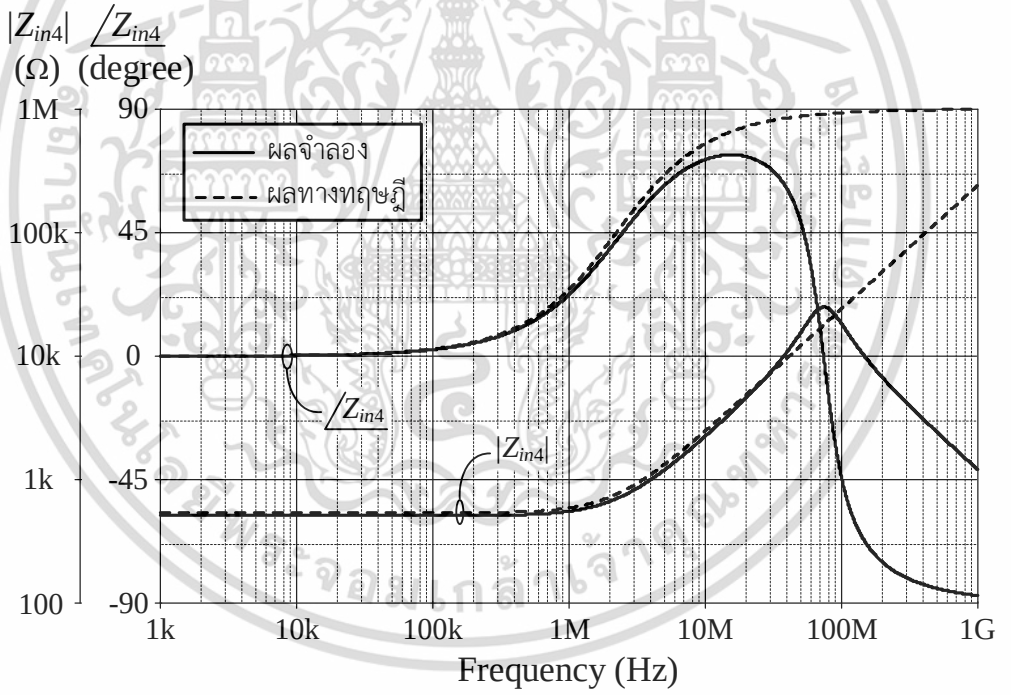
ของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ในรูปที่ 4.3

(ก) R_{in1} ขนาน C_{in1} (ข) R_{in2} อนุกรม C_{in2} (ค) R_{in3} ขนาน L_{in3} (ง) R_{in4} อนุกรม L_{in4}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค)



(ง)

รูปที่ 4.9 ผลจำลองผลตอบสนองทางความถี่

ของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ในรูปที่ 4.3 (ต่อ)

(ก) R_{in1} ขนาน C_{in1} (ข) R_{in2} อนุกรม C_{in2} (ค) R_{in3} ขนาน L_{in3} (ง) R_{in4} อนุกรม L_{in4}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.10 แสดงผลจำลองผลตอบสนองความถี่เชิงขนาด เมื่อแปรอัตราขยายค่าความนำ $g_{m1} = g_{mF1} = g_{mS1}$ และ $g_{m2} = g_{mF2} = g_{mS2}$ ของวงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อลอยตัวในรูปแบบขนานดังรูปที่ 4.3 กรณี $Z_{eqi} = Z_{eq1}$ และกำหนดให้ $C_1 = 100$ pF ซึ่งมีรายละเอียดของค่า g_m ที่เลือกใช้ ค่าอุปกรณ์สมมูล ค่าอิมพีแดนซ์อินพุตที่ความถี่ 100 kHz รวมถึงค่าความคลาดเคลื่อนที่เกิดขึ้นเมื่อเปรียบเทียบกับผลลัพธ์ในทางทฤษฎีอธิบายได้ดังตารางที่ 4.7 ในขณะที่วงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อลอยตัวในรูปแบบอนุกรมดังรูปที่ 4.3 กรณี $Y_{eqi} = Y_{eq2}$ หากทำการแปรค่า g_{m1} และ g_{m2} สามารถแสดงผลจำลองผลตอบสนองความถี่เชิงขนาดได้ดังรูปที่ 4.11 เมื่อกำหนดให้ $C_2 = 100$ pF โดยตารางที่ 4.8 อธิบายถึงอัตราขยายค่าความนำที่เลือกใช้ รวมถึงพิจารณาถึงค่าอิมพีแดนซ์อินพุต ณ ตำแหน่งความถี่ 100 kHz พร้อมค่าความคลาดเคลื่อนที่เกิดขึ้น ผลของกราฟในรูปที่ 4.10 และรูปที่ 4.11 พบว่าวงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อลอยตัวในรูปแบบอนุกรมและแบบขนานสามารถแปรค่าความต้านทานสมมูลโดยการปรับอัตราขยายค่าความนำของวงจร VDTA รวมถึงยังปรับค่าความจุไฟฟ้าสมมูลได้อย่างอิสระด้วยอุปกรณ์พาสซีฟในวงจร

ตารางที่ 4.7 รายละเอียดต่างๆของวงจรที่นำเสนอในรูปที่ 4.3 เมื่อ $Z_{eqi} = Z_{eq1}$ โดยแปรค่า g_m

g_m (mA/V)		ค่าอุปกรณ์สมมูล		ผลการจำลอง (Ω)	ผลทางทฤษฎี (Ω)	ค่าความคลาดเคลื่อน
g_{m1}	g_{m2}	R_{in1} (Ω)	C_{in1} (pF)			
1.14	1.61	438.71	199.99	419.32	438.04	4.27 %
1.73		664.99	87.02	635.44	664.47	4.37 %
2.42		944.38	43.15	889.58	944.09	5.77 %
1.61	1.14	1.24k	50	1.21k	1.24k	2.20 %
	1.73	539.86	114.91	518.07	539.44	3.96 %
	2.42	267.68	231.75	256.33	267.47	4.17 %

ตารางที่ 4.8 รายละเอียดต่างๆของวงจรที่นำเสนอในรูปที่ 4.3 เมื่อ $Y_{eqi} = Y_{eq2}$ โดยแปรค่า g_m

g_m (mA/V)		ค่าอุปกรณ์สมมูล		ผลการจำลอง (Ω)	ผลทางทฤษฎี (Ω)	ค่าความคลาดเคลื่อน
g_{m1}	g_{m2}	R_{in2} (Ω)	C_{in2} (pF)			
1.14	1.61	438.71	199.99	457.13	438.04	4.18 %
1.73		664.99	87.02	678.87	664.47	2.05 %
2.42		944.38	43.15	995.10	944.09	7.88 %
1.61	1.14	1.2k	50	1.31k	1.24k	5.21 %
	1.73	539.86	114.10	567.83	539.44	5.22 %
	2.42	267.68	231.75	287.27	267.47	7.36 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.12 แสดงผลตอบสนองความถี่เชิงขนาดเมื่อแปรอัตราขยายค่าความนำ $g_{m1} = g_{mF1} = g_{mS1}$ และ $g_{m2} = g_{mF2} = g_{mS2}$ ของวงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อลอยตัวในรูปแบบขนานดังรูปที่ 4.3 กำหนดให้ $Z_{eqi} = Z_{eq3}$ และ $C_3 = 100$ pF โดยตารางที่ 4.9 อธิบายรายละเอียดการแปรอัตราขยายค่าความนำจำนวนสามค่า พร้อมทั้งแสดงค่าความต้านทานสมมูลและความเหนี่ยวสมมูลที่ได้ ในขณะที่รูปที่ 4.13 แสดงผลตอบสนองความถี่เชิงขนาดเมื่อแปรอัตราขยายค่าความนำ g_{m1} และ g_{m2} ของวงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อลอยตัวในรูปแบบอนุกรมดังรูปที่ 4.3 กำหนดให้ $Y_{eqi} = Y_{eq4}$ และ $C_4 = 100$ pF ซึ่งมีรายละเอียดของค่า g_m ที่เลือกใช้ ค่าอุปกรณ์สมมูล ค่าอิมพีแดนซ์อินพุตที่ความถี่ 10 MHz รวมถึงค่าความคลาดเคลื่อนที่เกิดขึ้นเมื่อเปรียบเทียบกับผลลัพธ์ในทางทฤษฎี อธิบายได้ดังตารางที่ 4.10 จากผลจำลองการทำงานของวงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อลอยตัวในรูปแบบขนานและแบบอนุกรม จะพบว่าค่า R_{in3} และ R_{in4} สามารถแปรค่าได้อย่างอิสระจากค่าความเหนี่ยวนำสมมูลด้วยวิธีการทางอิเล็กทรอนิกส์ผ่านอัตราขยายค่าความนำ g_{mF1} และ g_{mS1} ตามลำดับ ในขณะที่ค่า L_{in3} และ L_{in4} สามารถปรับเปลี่ยนได้ด้วยอัตราขยายค่าความนำ g_{mF2} และ g_{mS2} นอกจากนี้ยังสามารถปรับอิสระจากค่าความต้านทานสมมูลโดยการปรับ C_3 และ C_4 ตามลำดับอีกด้วย

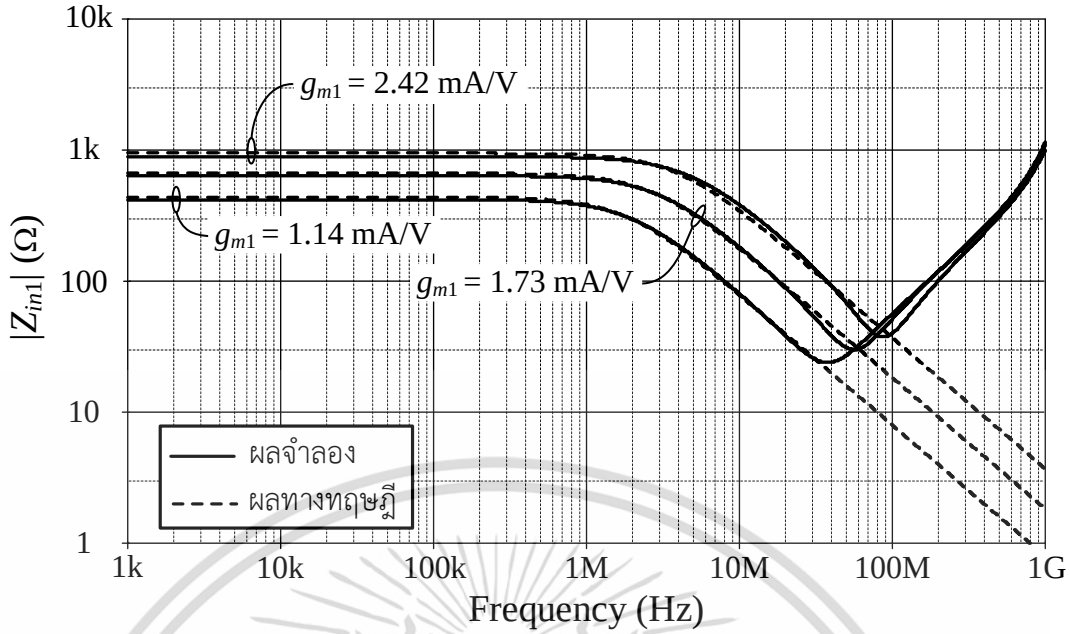
ตารางที่ 4.9 รายละเอียดต่างๆของวงจรที่นำเสนอในรูปที่ 4.3 เมื่อ $Z_{eqi} = Z_{eq3}$ โดยแปรค่า g_m

g_m (mA/V)		ค่าอุปกรณ์สมมูล		ผลการจำลอง (Ω) ที่ f = 100 MHz	ผลทางทฤษฎี (Ω)	ค่าความคลาดเคลื่อน
g_{m1}	g_{m2}	R_{in3} (Ω)	L_{in3} (μH)			
1.14	1.61	438.71	38.48	424.31	438.63	3.27%
1.73		664.99		684.13	664.65	2.93%
2.42		944.27		1.07k	943.68	13.05%
1.61	1.14	1240.38	76.95	1.36k	1.24k	10%
	1.73	539.86	33.49	573.02	539.67	6.18%
	2.42	267.68	16.61	244.05	267.59	8.80%

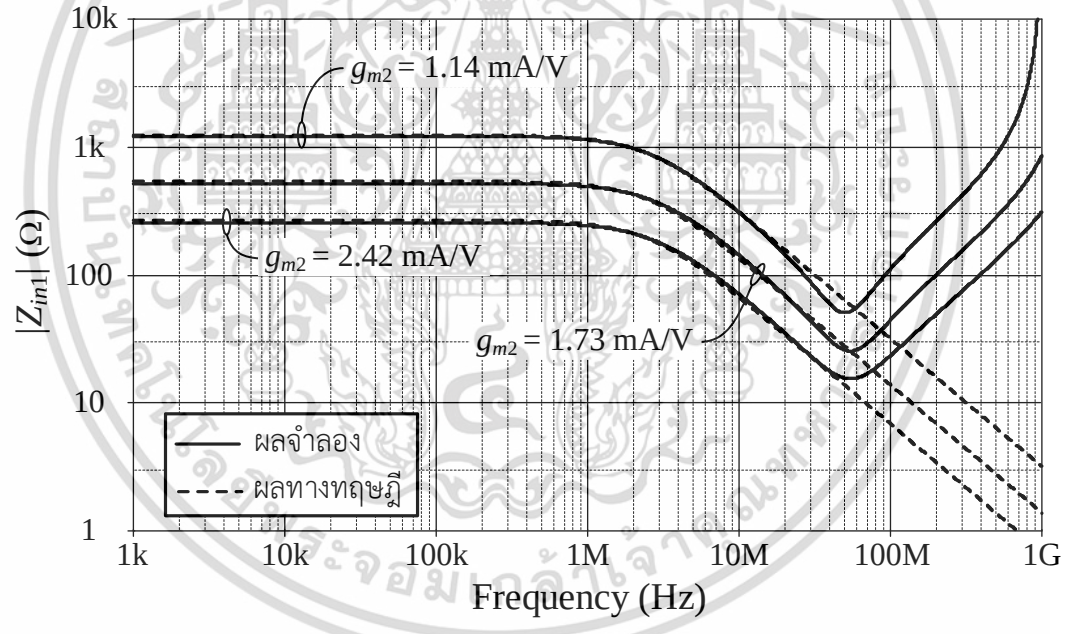
ตารางที่ 4.10 รายละเอียดต่างๆของวงจรที่นำเสนอในรูปที่ 4.3 เมื่อ $Y_{eqi} = Y_{eq4}$ โดยแปรค่า g_m

g_m (mA/V)		ค่าอุปกรณ์สมมูล		ผลการจำลอง (Ω)	ผลทางทฤษฎี (Ω)	ค่าความคลาดเคลื่อน
g_{m1}	g_{m2}	R_{in4} (Ω)	L_{in4} (μH)			
1.14	1.61	1240.38	76.95	4.82k	4.99k	3.39 %
1.73		539.86	33.49	2.1727k	2.1724k	0.01 %
2.42		267.68	16.61	1k	1.08k	7.15 %
1.61	1.14	438.71	38.48	424.31	438.63	3.27 %
	1.73	664.99		684.13	664.65	2.93 %
	2.42	944.27		1.07k	943.68	13.05 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



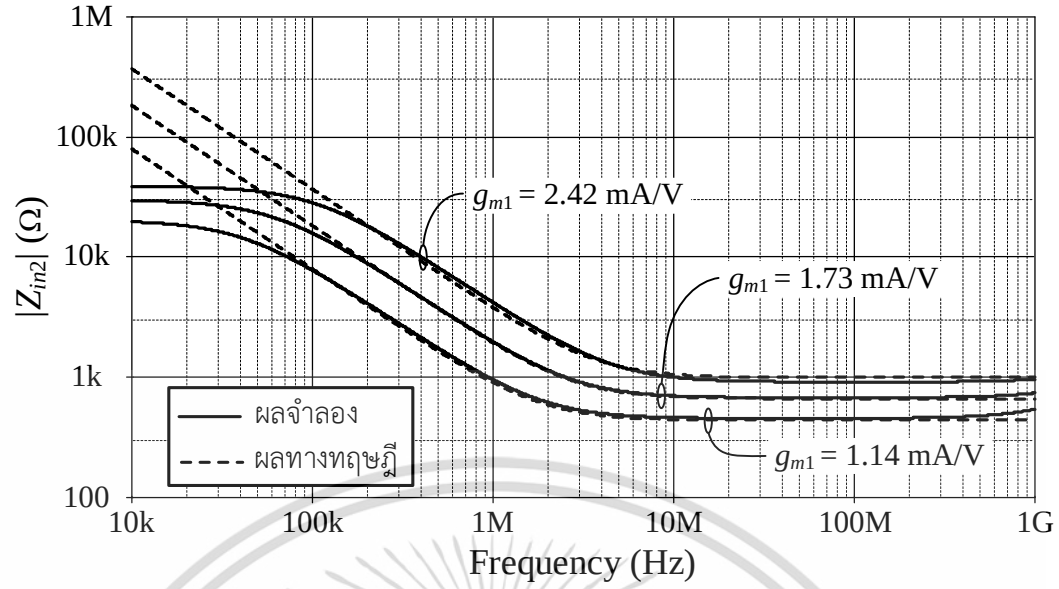
(ข)

รูปที่ 4.10 ผลจำลองผลตอบสนองทางความถี่เชิงขนาดของวงจรที่นำเสนอในรูปที่ 4.3

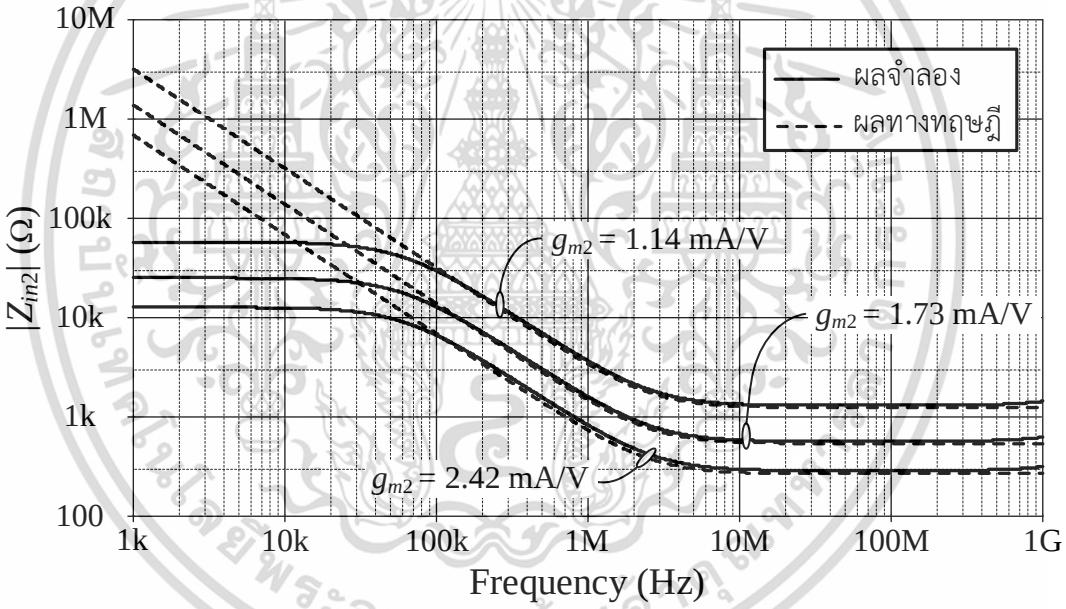
เมื่อ $Z_{eqi} = Z_{eq1}$

(ก) แปรค่า g_{m1} (ข) แปรค่า g_{m2}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



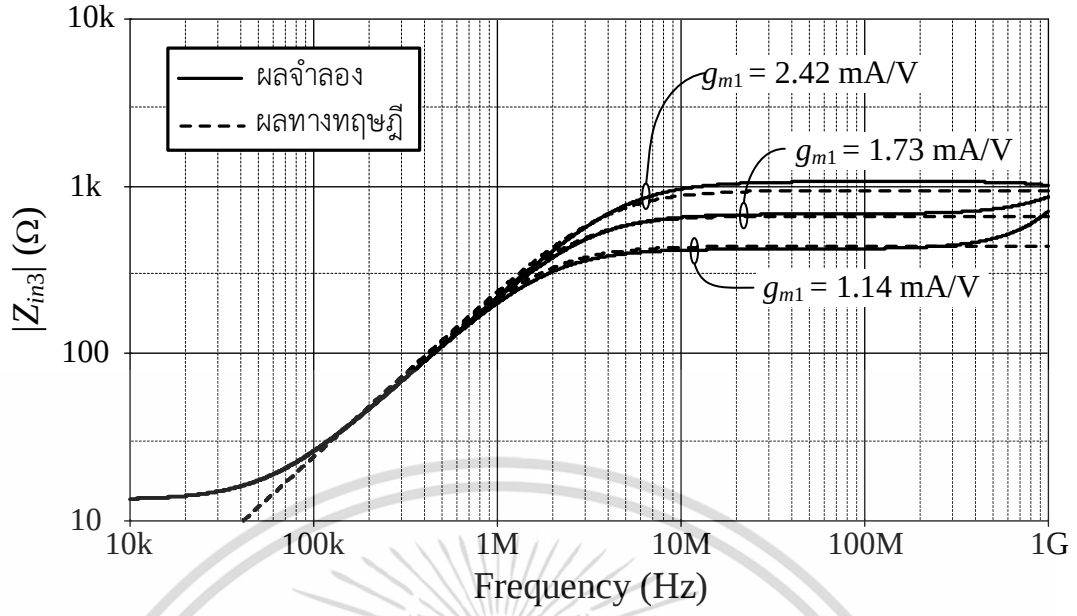
(ข)

รูปที่ 4.11 ผลจำลองผลตอบสนองทางความถี่เชิงขนาดของวงจรที่นำเสนอในรูปที่ 4.3

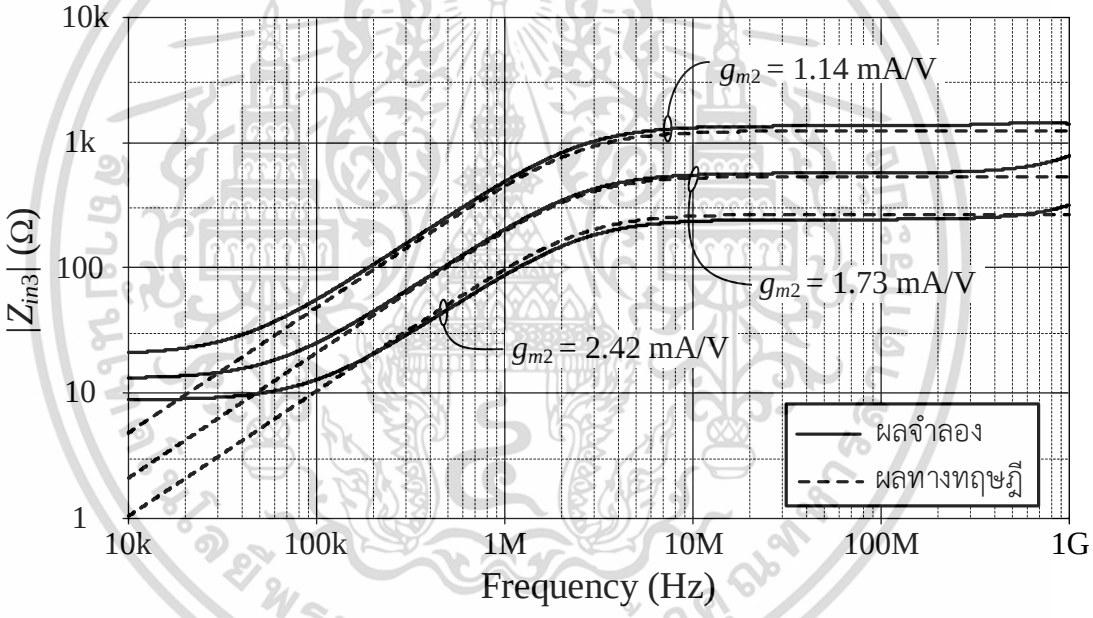
เมื่อ $Y_{eqi} = Y_{eq2}$

(ก) แปรค่า g_{m1} (ข) แปรค่า g_{m2}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

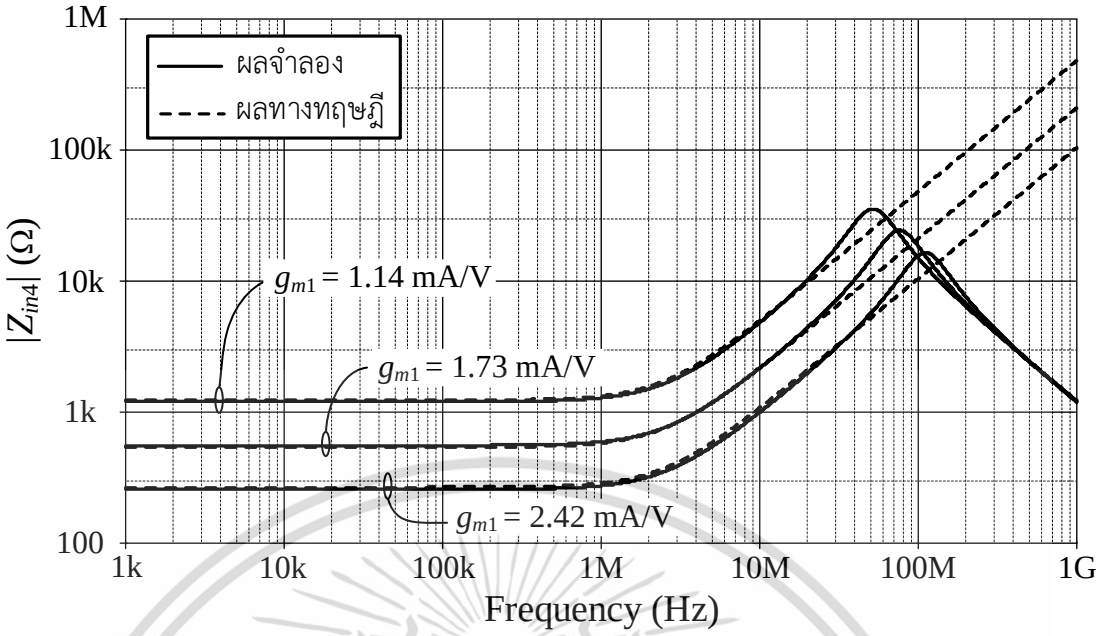


(ข)

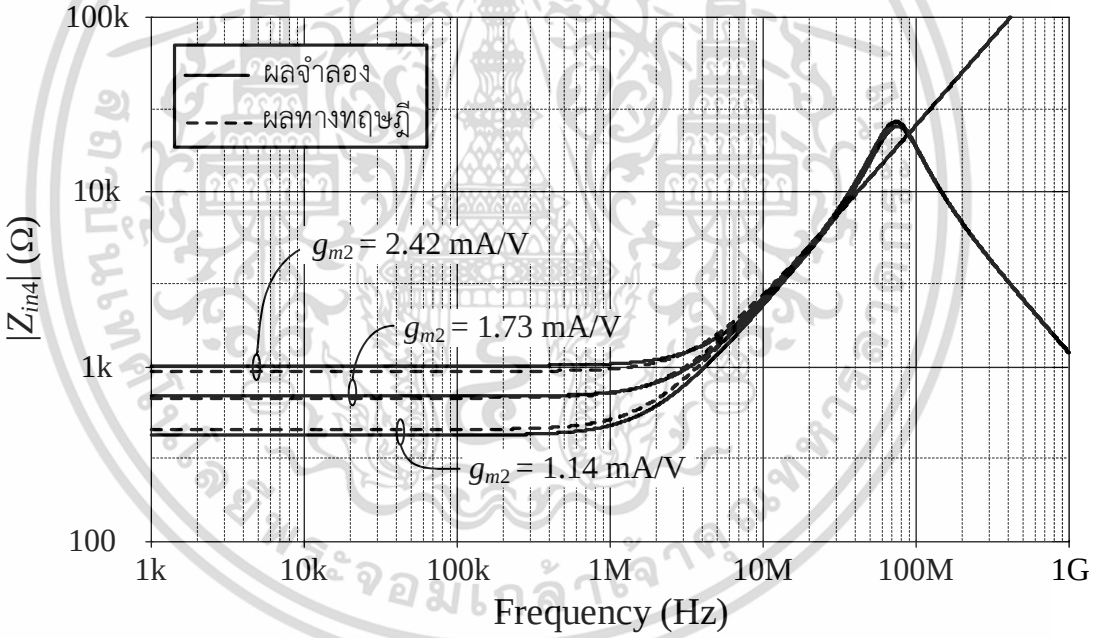
รูปที่ 4.12 ผลจำลองผลตอบสนองทางความถี่เชิงขนาดของวงจรที่นำเสนอในรูปที่ 4.3 เมื่อ $Z_{eqi} = Z_{eq3}$

(ก) แปรค่า g_{m1} (ข) แปรค่า g_{m2}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 4.13 ผลจำลองผลตอบสนองทางความถี่เชิงขนาดของวงจรที่นำเสนอในรูปที่ 4.3

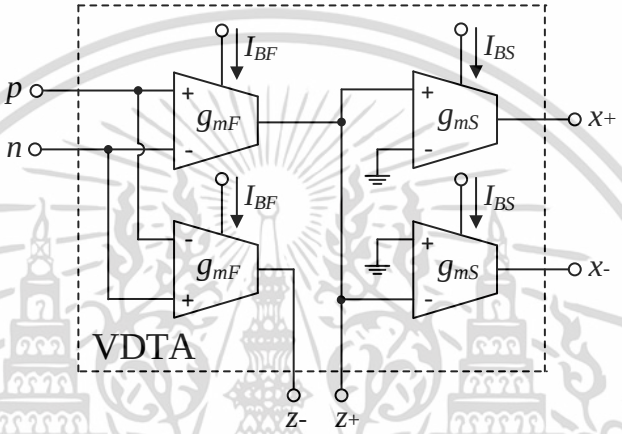
เมื่อ $Y_{eqi} = Y_{eq4}$

(ก) แปรค่า g_{m1} (ข) แปรค่า g_{m2}

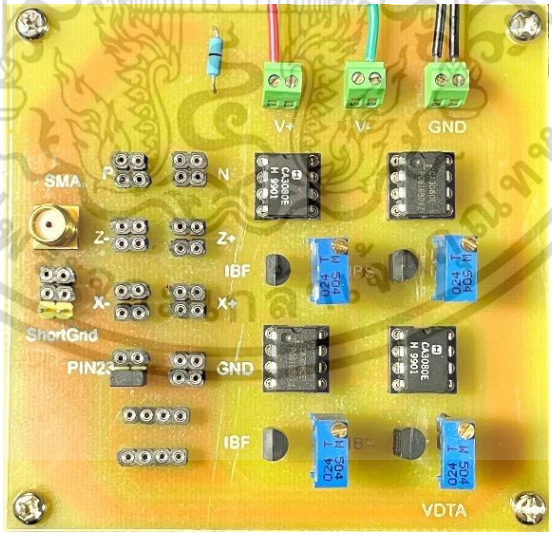
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 ผลการต่อทดลองด้วยวงจรจริง

ผลการต่อทดลองถือเป็นแนวทางหนึ่งที่สำคัญในการยืนยันคุณสมบัติการทำงานของวงจรที่นำเสนอ โดยทำการสังเคราะห์วงจร VDTA ซึ่งเป็นอุปกรณ์แอคทีฟหลักขึ้นจากไอซีเบอร์ CA3080 [10] จำนวนสี่ตัวแสดงดังรูปที่ 4.14 และออกแบบแผ่นวงจรพิมพ์ดังภาพถ่ายในรูปที่ 4.15 โดยใช้แรงดันไฟเลี้ยง $V+ = V- = 5\ V$ จากนั้นทำการสังเคราะห์เป็นวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ที่นำเสนอ ยกตัวเช่น หากต้องการออกแบบวงจรเลียนแบบค่าอิมพีแดนซ์ R อนุกรมกับ L ต่อเทียบกราวด์ที่นำเสนอในรูปที่ 4.1 (ก) จะสามารถเชื่อมขั้วต่างๆ ของวงจร VDTA ดังแสดงในรูปที่ 4.16

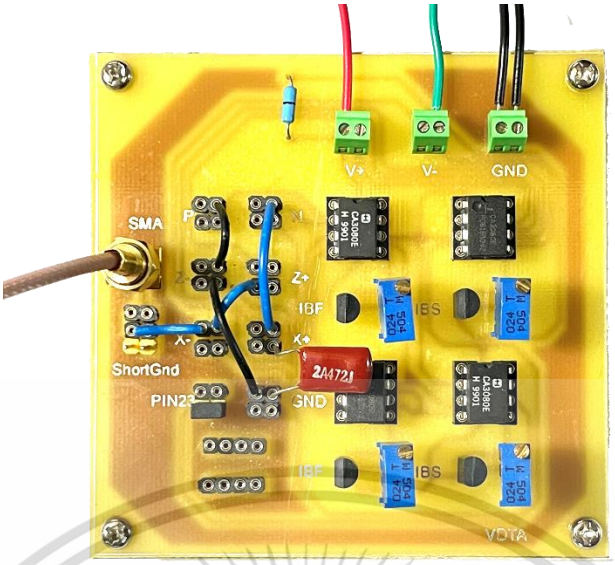


รูปที่ 4.14 วงจร VDTA ที่ใช้ในการทดลอง



รูปที่ 4.15 ภาพถ่ายแผ่นวงจรพิมพ์ของวงจร VDTA ที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



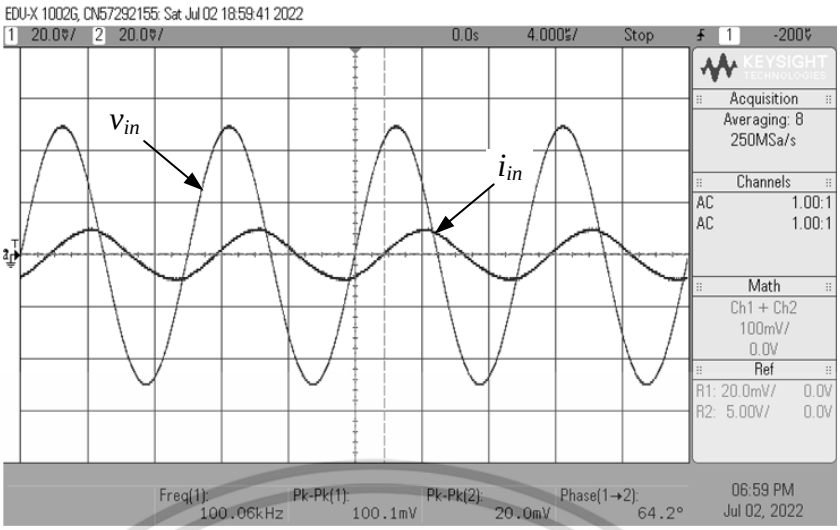
รูปที่ 4.16 ภาพถ่ายแผ่นวงจรพิมพ์ของวงจรที่นำเสนอในรูปที่ 4.1 (ก)

รูปที่ 4.17 แสดงผลการวัดผลตอบสนองทางเวลาของวงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อเทียบกราวด์ในรูปแบบอนุกรมและขนานดังรูปที่ 4.1 กำหนดให้ $I_{B1} = I_{BF1} = I_{BS1} = 50\ \mu\text{A}$ ($g_{m1} = g_{mF1} = g_{mS1} \cong 1$ mA/V) และ $C_1 = C_2 = C_3 = C_4 = 4.7$ nF ในขณะที่รูปที่ 4.18 แสดงผลการวัดผลตอบสนองทางเวลาของวงจรเลียนแบบค่าอิมพีแดนซ์ RC ที่นำเสนอดังรูปที่ 4.2 หากป้อนค่าสัญญาณอินพุต v_{in} เท่ากับ 50 mVp ที่ความถี่ 100 kHz พบว่ามุมต่างเฟสระหว่าง v_{in} และ i_{in} ค่าอุปกรณ์สมมูลและค่าความถี่มุมของวงจรที่นำเสนอมีรายละเอียดดังตารางที่ 4.11

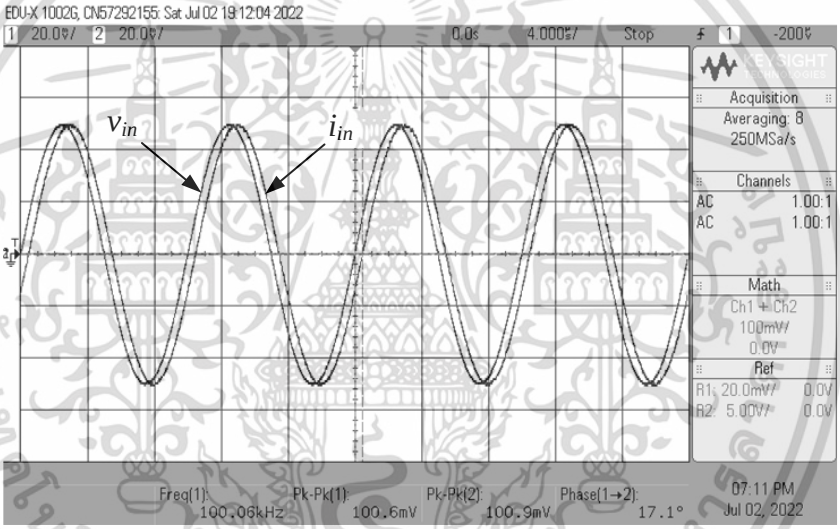
ตารางที่ 4.11 รายละเอียดข้อมูลของวงจรที่นำเสนอในรูปที่ 4.1 และรูปที่ 4.2 สำหรับผลการทดลอง

Z_{eqi}	วงจรที่นำเสนอ	ค่าอุปกรณ์สมมูล	f_c (kHz)	มุมเฟสระหว่าง v_{in} และ i_{in}	
				ทางปฏิบัติ	ทางทฤษฎี
Z_{eq1}	ในรูป 4.1 (ก) R_{eq1} อนุกรม L_{eq1}	$R_{eq1} = 1$ kΩ $L_{eq1} = 4.7$ mH	33.86	64.2°	71.29°
$1/Z_{eq2}$	ในรูป 4.1 (ข) R_{eq2} ขนาน L_{eq2}	$R_{eq2} = 1$ kΩ $L_{eq2} = 4.7$ mH		17.1°	18.71°
Z_{eq3}	ในรูป 4.2 (ก) R_{eq3} อนุกรม C_{eq3}	$R_{eq3} = 1$ kΩ $C_{eq3} = 4.7$ nF		18.4°	18.71°
$1/Z_{eq4}$	ในรูป 4.2 (ข) R_{eq4} ขนาน C_{eq4}	$R_{eq4} = 1$ kΩ $C_{eq4} = 4.7$ nF		70.5°	71.29°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

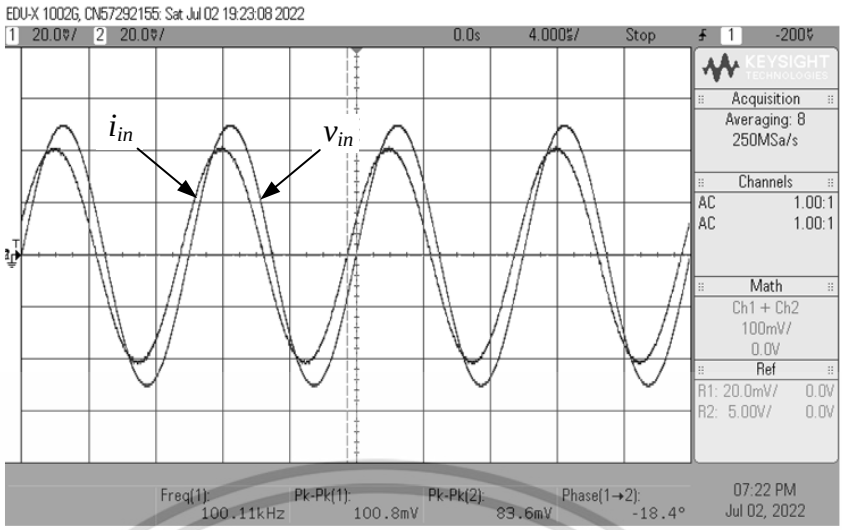


(ข)

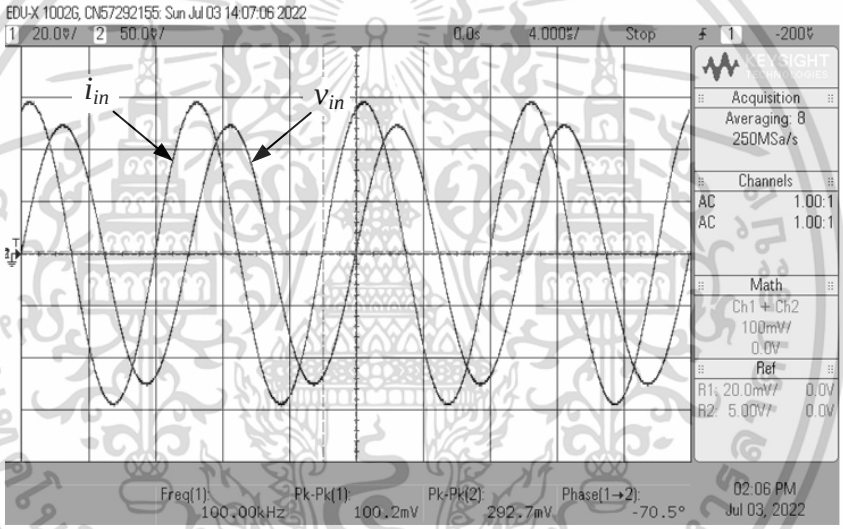
รูปที่ 4.17 ผลการวัดผลตอบสนองทางเวลาของวงจรเลียนแบบค่าอิมพีแดนซ์ RL ที่นำเสนอในรูปที่ 4.1

(ก) R_{eq1} อนุกรม L_{eq1} (ข) R_{eq2} ขนาน L_{eq2}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



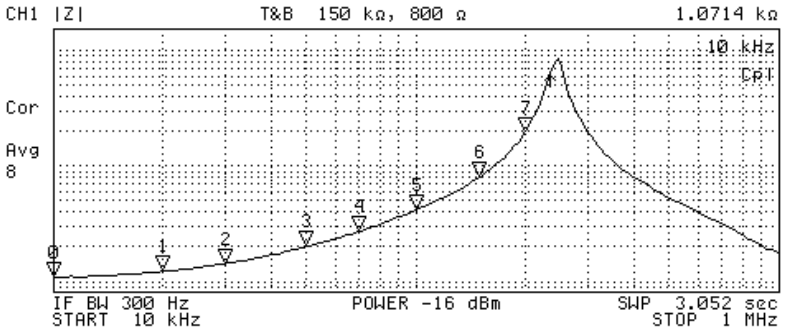
(ข)

รูปที่ 4.18 ผลการวัดผลตอบสนองทางเวลาของวงจรเลียนแบบค่าอิมพีแดนซ์ RC ที่นำเสนอในรูปที่ 4.2

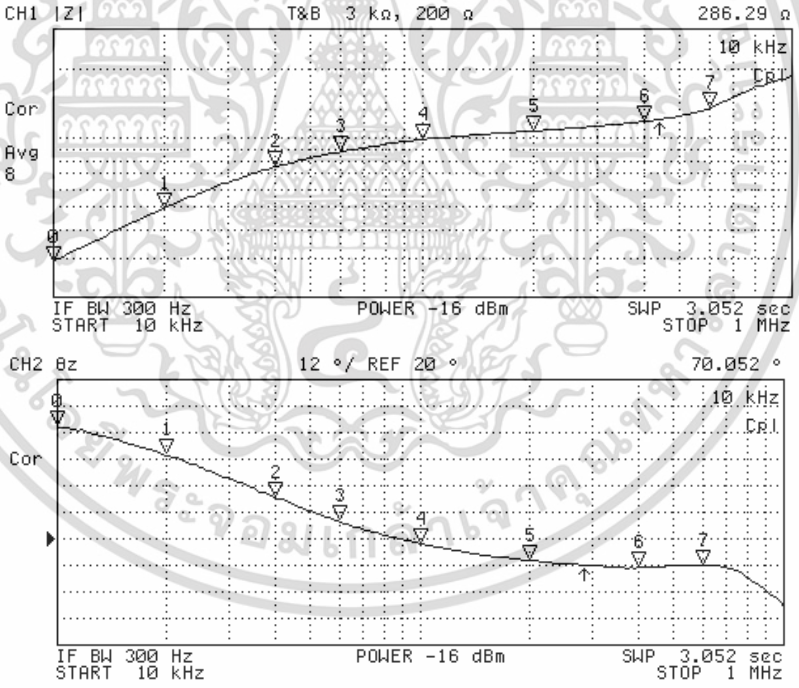
(ก) R_{eq3} อนุกรม C_{eq3} (ข) R_{eq4} ขนาน C_{eq4}

ผลการวัดผลตอบสนองทางขนาดและมุมเฟสของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC แสดงได้ดังรูปที่ 4.19 และรูปที่ 4.20 ตามลำดับ กำหนดให้ g_{m1} = 1 mA/V (I_{B1} = 50 μA) และ $C_1 = C_2 = C_3 = C_4$ = 4.7 nF จะได้ $R_{eq1} = R_{eq2} = R_{eq3} = R_{eq4}$ = 1 kΩ $L_{eq1} = L_{eq2}$ = 4.7 mH และ $C_{eq3} = C_{eq4}$ = 4.7 nF โดยที่ผลการวัดค่า Z_{eqi} และ $\angle Z_{eqi}$ ณ ตำแหน่งความถี่ต่างๆ เมื่อเปรียบเทียบระหว่างผลการทดลองและผลในทางทฤษฎีแสดงได้ดังตารางที่ 4.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

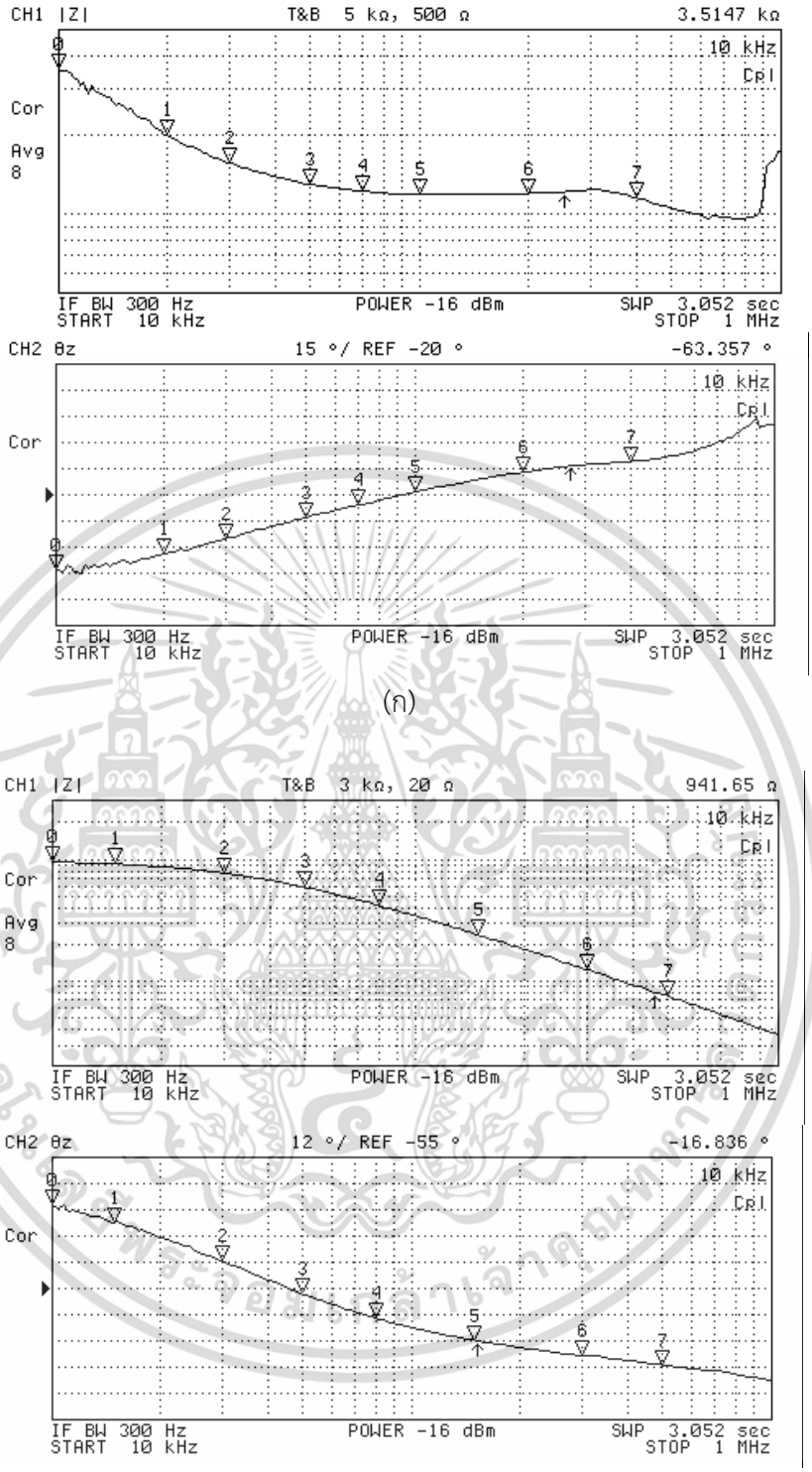


(ข)

รูปที่ 4.19 ผลการวัดผลตอบสนองทางขนาดและมุมเฟสของวงจรเลียนแบบอิมพีแดนซ์ RL ในรูปที่ 4.1

(ก) R_{eq1} อนุกรม L_{eq1} (ข) R_{eq2} ขนาน L_{eq2}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.20 ผลการวัดผลตอบสนองทางขนาดและมุมเฟสของวงจรเลียนแบบอิมพีแดนซ์ RC ในรูปที่ 4.2

(ก) R_{eq3} อนุกรม C_{eq3} (ข) R_{eq4} ขนาน C_{eq4}

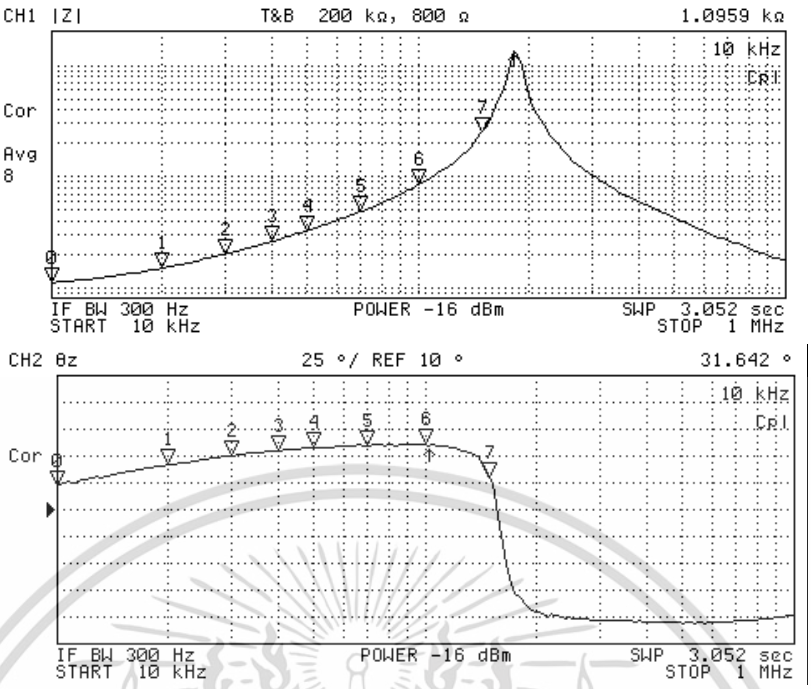
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.12 ค่า Z_{eqi} และ $\angle Z_{eqi}$ ของวงจรที่นำเสนอ ณ ตำแหน่งความถี่ต่างๆ

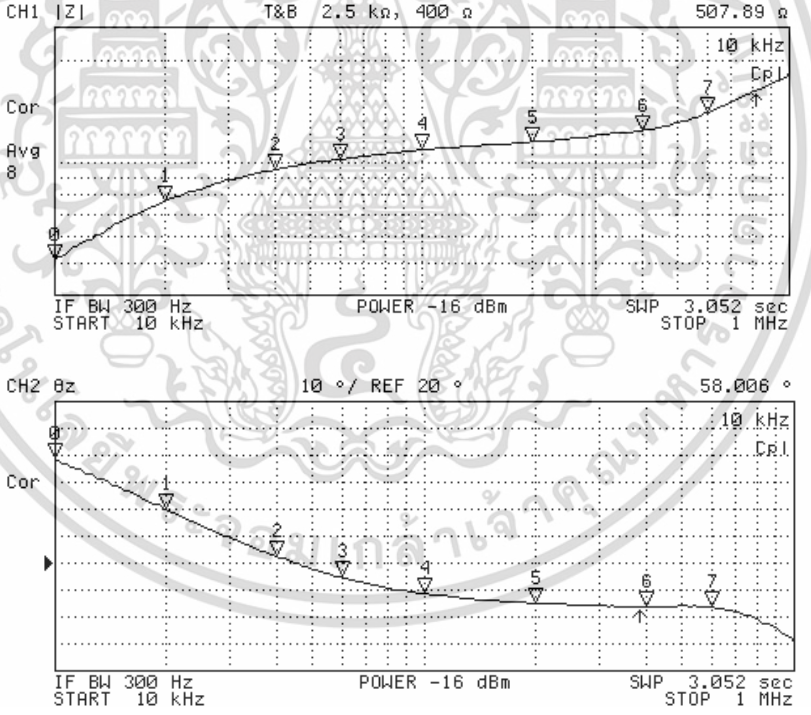
Z_{eqi}	วงจรที่นำเสนอ	f (kHz)	Z_{eqi} (Ω) ในรูปที่ 4.19		$\angle Z_{eqi}$ ในรูปที่ 4.20	
			ผลการทดลอง	ผลทางทฤษฎี	ผลการทดลอง	ผลทางทฤษฎี
Z_{eq1}	R_{eq1} อนุกรม L_{eq1} ในรูปที่ 4.1 (ก)	30	1.41k	1.34k	43.20°	41.54°
		50	1.98k	1.78k	55°	55.89°
		100	4.07k	3.12k	65.70°	77.28°
$1/Z_{eq2}$	R_{eq2} ขนาน L_{eq2} ในรูปที่ 4.1 (ข)	40	743.65	763.23	38.21°	40.25°
		60	866.13	870.88	27.27°	29.44°
		100	985.43	947.17	17.39°	18.71°
Z_{eq3}	R_{eq3} อนุกรม C_{eq3} ในรูปที่ 4.2 (ก)	50	1.29k	1.21k	-33.13°	-34.11°
		70	1.22k	1.11k	-25.92°	-25.82°
		100	1.18k	1.06k	-18.53°	-18.71°
$1/Z_{eq4}$	R_{eq4} ขนาน C_{eq4} ในรูปที่ 4.2 (ข)	50	582.13	560.76	-57.34	-55.89°
		80	412.52	389.80	-68.55	-67.06°
		150	237.26	220.21	-78.65	-77.28°

จุดเด่นสำคัญสำหรับวงจรที่นำเสนอคือค่าอุปกรณ์สมมูลที่ได้นั้นสามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ผ่านทางอัตราขยายค่าความนำของวงจร VDTA ซึ่งเป็นอุปกรณ์แอคทีฟ พร้อมทั้งสามารถปรับเปลี่ยนค่าเพิ่มเติมด้วยอุปกรณ์พาสซีฟในวงจรได้อีกด้วย ดังนั้นรูปที่ 4.21 จึงแสดงถึงผลการวัดผลตอบสนองทางขนาดและมุมเฟสเมื่อแปรค่า g_{m1} = 0.5 mA/V ($g_{m1} = g_{mF1} = g_{mS1}$) หรือคือ I_{B1} = 25 μA และรูปที่ 4.22 แสดงการแปร g_{m1} = 2 mA/V (I_{B1} = 100 μA) ของวงจรเลียนแบบอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ในรูปที่ 4.1 และรูปที่ 4.2 หากกำหนดให้ $C_1 = C_2 = C_3 = C_4$ = 4.7 nF ซึ่งมีรายละเอียด f_c แสดงดังตารางที่ 4.13 โดยที่ผลการวัดค่า Z_{eqi} และ $\angle Z_{eqi}$ ที่ความถี่ต่างๆ เมื่อเปรียบเทียบระหว่างผลการทดลองและผลในทางทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

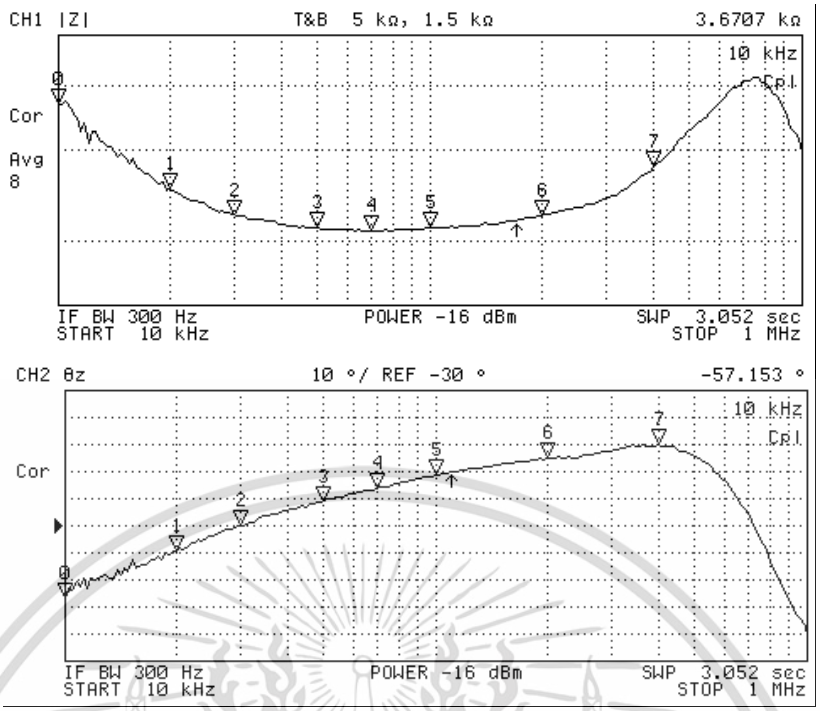


(ข)

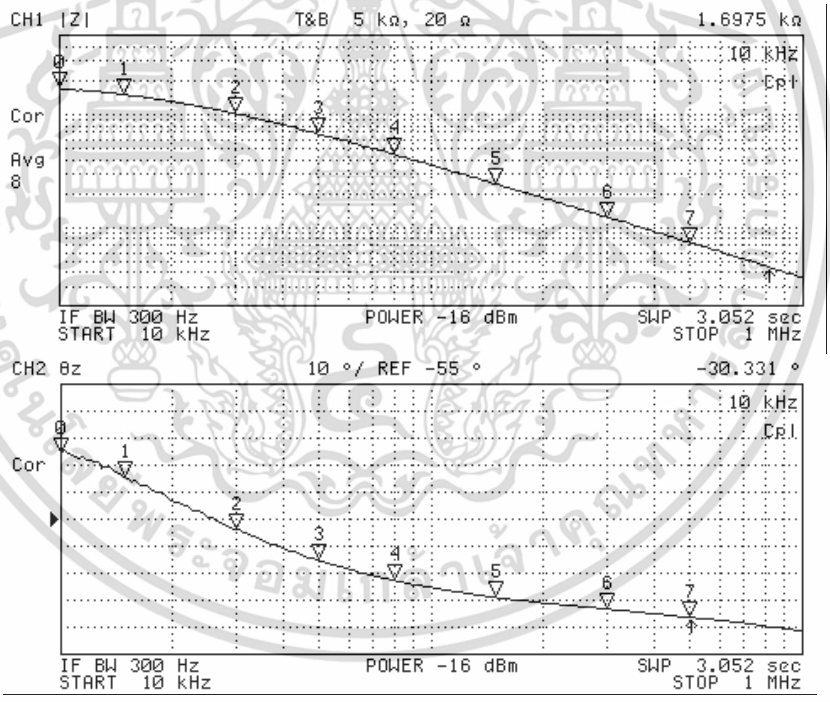
รูปที่ 4.21 ผลการวัดผลตอบสนองทางขนาดและมุมเฟสของวงจรที่นำเสนอในรูปที่ 4.1 และรูปที่ 4.2 เมื่อ g_{m1} = 0.5 mA/V

(ก) R_{eq1} อนุกรม L_{eq1} (ข) R_{eq2} ขนาน L_{eq2} (ค) R_{eq3} อนุกรม C_{eq3} (ง) R_{eq4} ขนาน C_{eq4}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค)

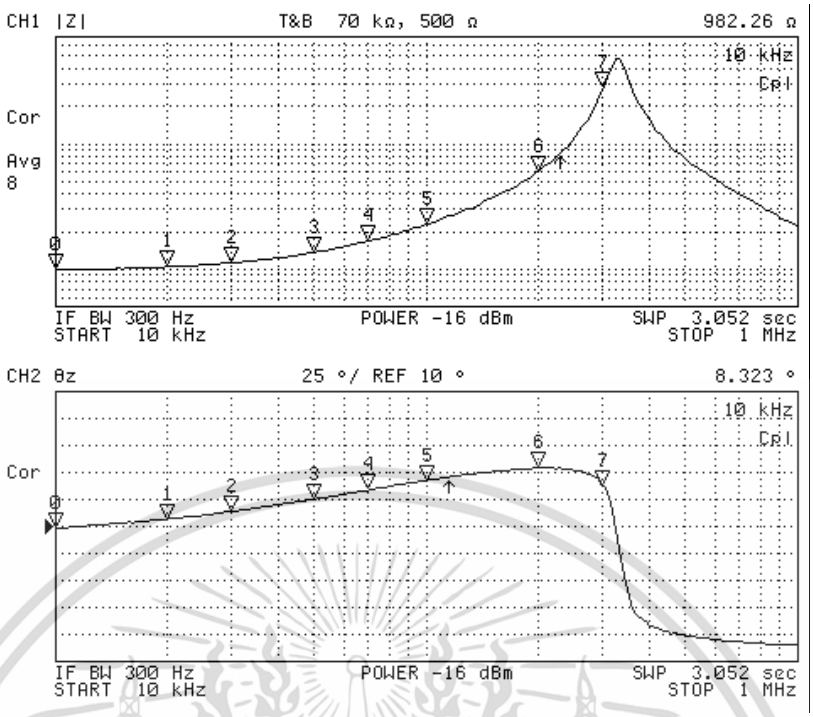


(ง)

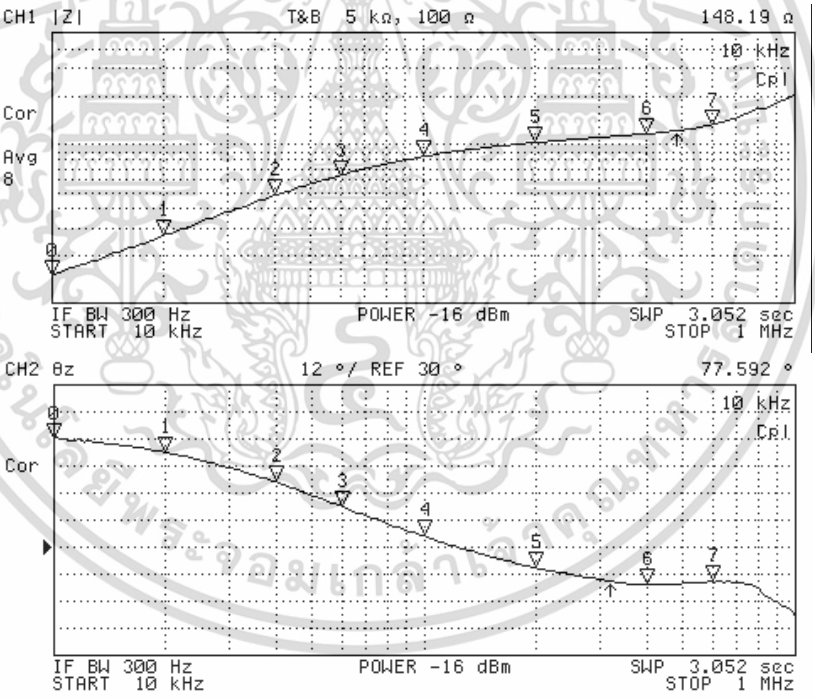
รูปที่ 4.21 ผลการวัดผลตอบสนองทางขนาดและมุมเฟสของวงจรที่นำเสนอในรูปที่ 4.1 และรูปที่ 4.2 เมื่อ g_{m1} = 0.5 mA/V (ต่อ)

(ก) R_{eq1} อนุกรม L_{eq1} (ข) R_{eq2} ขนาน L_{eq2} (ค) R_{eq3} อนุกรม C_{eq3} (ง) R_{eq4} ขนาน C_{eq4}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

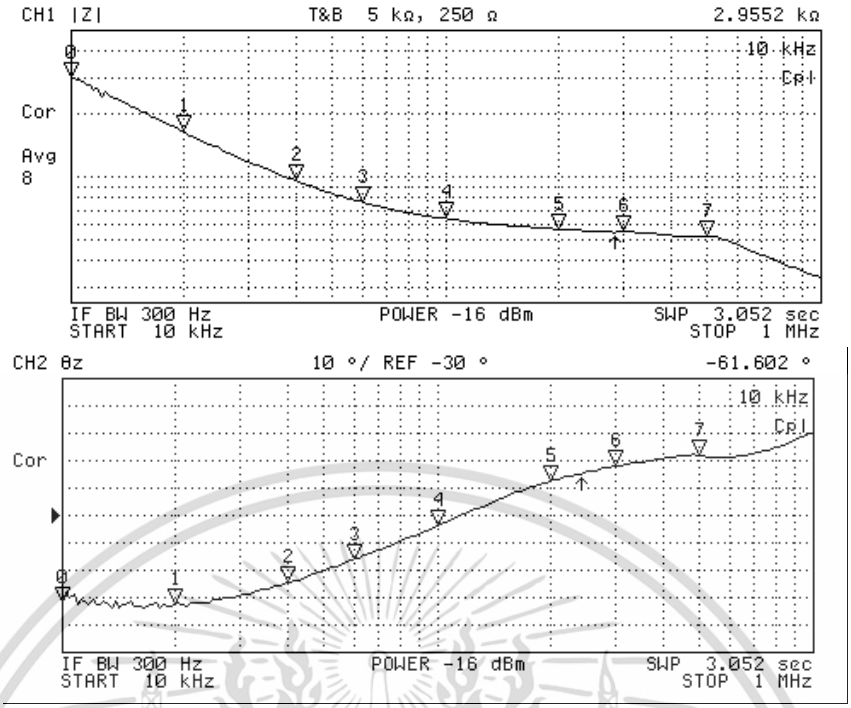


(ข)

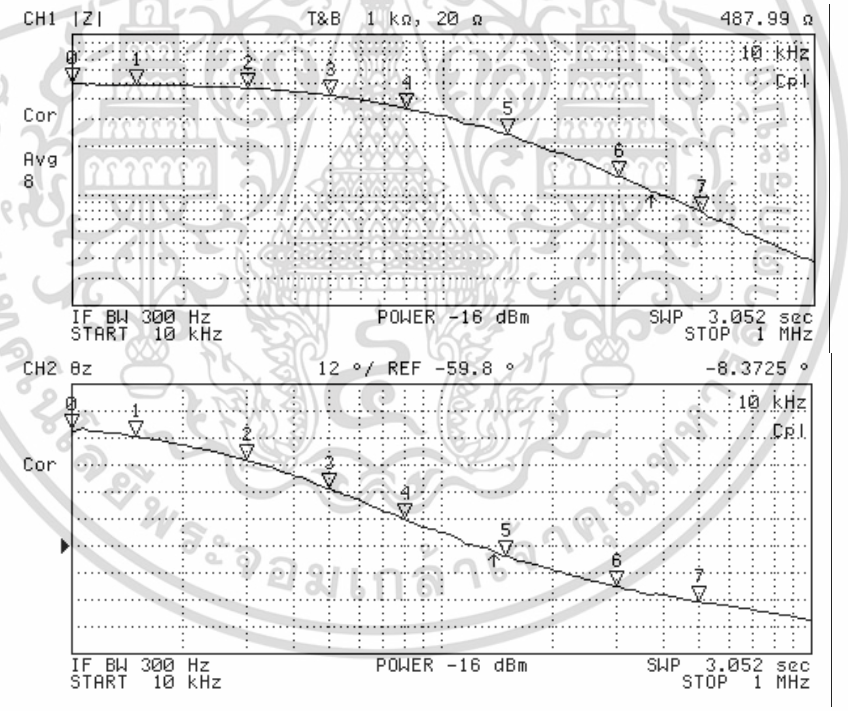
รูปที่ 4.22 ผลการวัดผลตอบสนองทางขนาดและมุมเฟสของวงจรที่นำเสนอในรูปที่ 4.1 และรูปที่ 4.2 เมื่อ g_{m1} = 2 mA/V

(ก) R_{eq1} อนุกรม L_{eq1} (ข) R_{eq2} ขนาน L_{eq2} (ค) R_{eq3} อนุกรม C_{eq3} (ง) R_{eq4} ขนาน C_{eq4}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค)



(ง)

รูปที่ 4.22 ผลการวัดผลตอบสนองทางขนาดและมุมเฟสของวงจรที่นำเสนอในรูปที่ 4.1 และรูปที่ 4.2 เมื่อ g_{m1} = 2 mA/V (ต่อ)

(ก) R_{eq1} อนุกรม L_{eq1} (ข) R_{eq2} ขนาน L_{eq2} (ค) R_{eq3} อนุกรม C_{eq3} (ง) R_{eq4} ขนาน C_{eq4}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

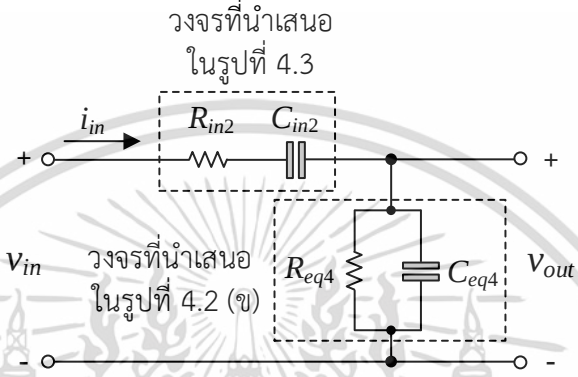
ตารางที่ 4.13 รายละเอียดผลการทดลองของวงจรที่นำเสนอในรูปที่ 4.1 และรูปที่ 4.2 เมื่อแปรค่า g_{m1}

Z_{eqi}	g_{m1} (mA/V)		อุปกรณ์สมมูล	f_c (kHz)	f (kHz)	Z_{eqi} (Ω)		$\angle Z_{eqi}$	
	g_{mF1}	g_{mS1}				ผลการทดลอง	ผลทางทฤษฎี	ผลการทดลอง	ผลทางทฤษฎี
Z_{eq1}	1	0.5	R_{eq1} = 1 kΩ L_{eq1} =9.4 mH	16.93	40	2.58k	2.57k	65.02°	67.06°
		2	R_{eq1} = 1 kΩ L_{eq1} =2.35 mH	67.73	30	1.11k	1.09k	24.07°	23.89°
$1/Z_{eq2}$	0.5	1	R_{eq2} = 1 kΩ L_{eq2} = 9.4 mH	16.93	100	1.08k	985.97	8.29°	9.61°
	2		R_{eq2} = 1 kΩ L_{eq2} =2.35 mH	67.73	100	832.95	827.98	34.35°	34.11°
Z_{eq3}	0.5	1	R_{eq3} = 2 kΩ C_{eq3} = 4.7 nF	16.93	100	2.12	2.03	-11.44°	-9.61°
	2		R_{eq3} = 0.5 kΩ C_{eq3} = 4.7 nF	67.73	100	631.74	603.88	-33.92°	-34.11°
$1/Z_{eq4}$	1	0.5	R_{eq4} = 2 kΩ C_{eq4} = 4.7 nF	16.93	80	439.41	414.11	-77.60°	-78.05°
		2	R_{eq4} = 2 kΩ C_{eq4} = 4.7 nF	67.73	80	342.77	323.06	-48.11°	-49.75°

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 การประยุกต์ใช้งานของวงจรเลียนแบบอิมพีแดนซ์ RL และ RC ที่นำเสนอ

ในหัวข้อนี้จะกล่าวถึงการประยุกต์ใช้งานเพื่อเป็นการยืนยันการทำงานของวงจรที่นำเสนอว่าเป็นไปตามหลักการในทางทฤษฎี พร้อมทั้งแสดงคุณสมบัติการปรับความถี่คัทออฟ (cutoff frequency, f_c) ด้วยอุปกรณ์สมมูลที่สามารถแปรค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์โดยใช้อัตราขยายค่าความนำของวงจร VDTA รูปที่ 4.23 แสดงถึงวงจรกรองผ่านแถบความถี่อันดับสอง (second-order band-pass filter) ที่สังเคราะห์ขึ้นจากวงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อลอยตัวและต่อเทียบกราวด์ในรูปที่ 4.3 และรูปที่ 4.2 (ข) ตามลำดับ



รูปที่ 4.23 วงจรกรองผ่านแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอในรูปที่ 4.3 และรูปที่ 4.2 (ข)

จากรูปที่ 4.23 วงจรกรองผ่านแถบความถี่ประกอบไปด้วยตัวต้านทานอนุกรมกับตัวเก็บประจุไฟฟ้าต่อลอยตัว ได้ถูกแทนที่ด้วยวงจรเลียนแบบค่าอิมพีแดนซ์ RC ในรูปที่ 4.3 เมื่อ $Y_{eqi} = Y_{eq2}$ โดยกำหนดให้ $I_{BF1} = I_{BS1} = 100\ \mu\text{A}$ ($g_{mF1} = g_{mS1} \cong 1.14\ \text{mA/V}$) $I_{BF2} = I_{BS2} = 150\ \mu\text{A}$ ($g_{mF2} = g_{mS2} \cong 1.396\ \text{mA/V}$) และ $C_2 = 500\ \text{pF}$ จะพบว่า $R_{in2} = 584.97\ \Omega$ และ $C_{in2} = 749.77\ \text{pF}$ ในขณะที่อุปกรณ์พาสซีฟได้แก่ ตัวต้านทานขนานกับตัวเก็บประจุไฟฟ้าต่อเทียบกราวด์จะถูกออกแบบโดยวงจรที่นำเสนอในรูปที่ 4.2 (ข) โดยมีรายละเอียดดังนี้ $I_{B1} = I_{BF1} = I_{BS1} = 225\ \mu\text{A}$ ($g_{m1} = g_{mF1} = g_{mS1} \cong 1.71\ \text{mA/V}$) และ $C_4 = 750\ \text{pF}$ จะพบว่า $R_{eq4} = 584.97\ \Omega$ และ $C_{eq4} = 750\ \text{pF}$ ดังนั้นเมื่อ $C_{eq} = C_{in2} = C_{eq4}$ และ $R_{eq} = R_{in2} = R_{eq4}$ จะสามารถวิเคราะห์หาฟังก์ชันถ่ายโอนแรงดัน (voltage transfer function) ของวงจรกรองผ่านแถบความถี่อันดับสองได้เท่ากับ [ภาคผนวก จ1.1]

$$H_{BP}(s) = \frac{v_{out}}{v_{in}} = \frac{s\left(\dfrac{1}{R_{eq}C_{eq}}\right)}{s^2 + s\left(\dfrac{3}{R_{eq}C_{eq}}\right) + \dfrac{1}{R_{eq}^2 C_{eq}^2}} \tag{4.45}$$

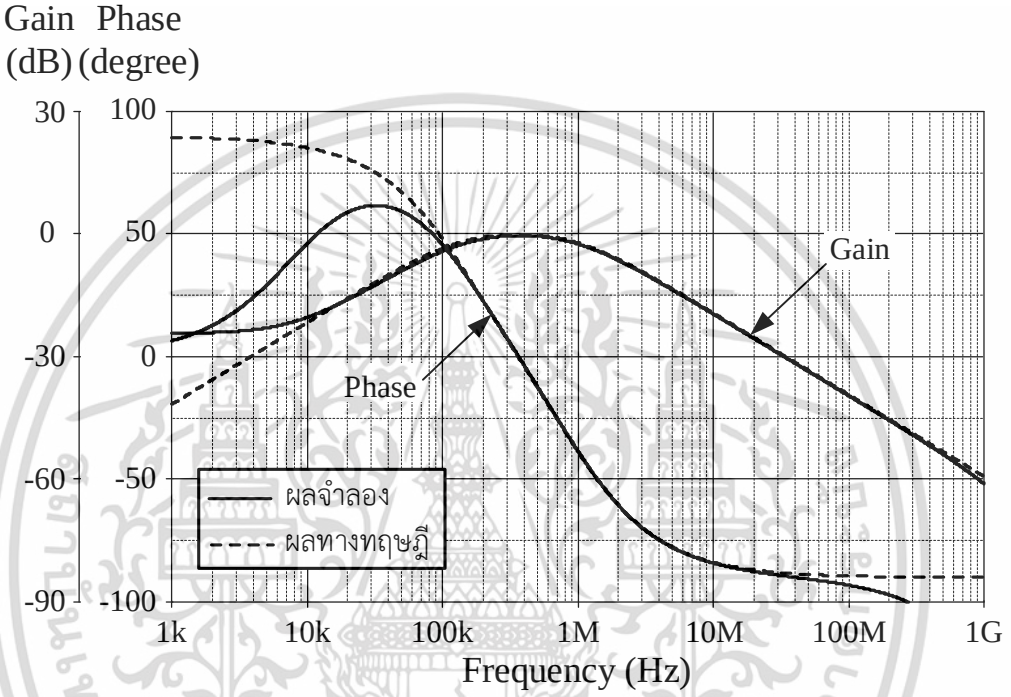
โดยที่ f_c และตัวประกอบคุณภาพ (quality factor, Q) ของวงจรมีค่าเท่ากับ

$$f_c = \frac{1}{2\pi R_{eq}C_{eq}} \tag{4.46}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

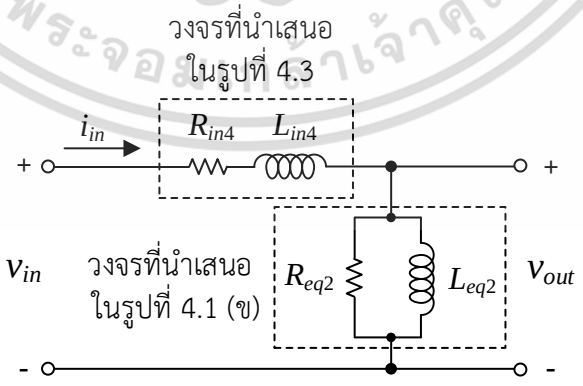
และ $$Q = \frac{1}{3} \quad (4.47)$$

จากสมการข้างต้นจะพบว่า f_c = 362.78 MHz และ Q = 0.33 รูปที่ 4.24 แสดงผลจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่อันดับสอง ผลการจำลองพบว่าการทำงานของวงจรกรองผ่านแถบความถี่อันดับสองมีความถูกต้องและเป็นไปตามหลักการทางทฤษฎีในช่วงความถี่ 100 kHz ถึง 20 MHz



รูปที่ 4.24 ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่อันดับสอง

นอกจากนี้วงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อลอยตัวและต่อเทียบกราวด์ในรูปที่ 4.3 และรูปที่ 4.1 (ข) ได้ถูกนำไปสังเคราะห์เป็นวงจรกรองผ่านแถบความถี่อันดับสองแสดงได้ดังรูปที่ 4.25



รูปที่ 4.25 วงจรกรองผ่านแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอในรูปที่ 4.3 และรูปที่ 4.1 (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสังเคราะห์วงจรกรองผ่านแถบความถี่จากรูปที่ 4.25 ประกอบไปด้วยตัวต้านทานอนุกรมกับตัวเหนี่ยวนำต่อลอยตัวซึ่งถูกแทนที่ด้วยวงจรเลียนแบบค่าอิมพีแดนซ์ RL ในรูปที่ 4.3 เมื่อ Y_{eqi} = Y_{eq4} โดยกำหนดให้ g_{mF1} = g_{mS1} ≅ 1.14 mA/V g_{mF2} = g_{mS2} ≅ 1.396 mA/V และ C_4 = 500 pF จะพบว่า R_{in4} = 584.97 Ω และ L_{in4} = 0.26 mH ในส่วนของตัวต้านทานขนานกับตัวเหนี่ยวนำต่อเทียบกราวด์นั้นถูกออกแบบด้วยวงจรที่นำเสนอในรูปที่ 4.1 (ข) โดยมีรายละเอียดดังนี้ g_{m1} = g_{mF1} = g_{mS1} ≅ 1.71 mA/V และ C_2 = 750 pF พบว่า R_{eq2} = 585.94 Ω และ L_{eq2} = 0.26 mH ดังนั้นเมื่อ L_{eq} = L_{in4} = L_{eq2} และ R_{eq} = R_{in4} = R_{eq2} จะสามารถวิเคราะห์หาฟังก์ชันถ่ายโอนแรงดันของวงจรกรองผ่านแถบความถี่อันดับสองได้เท่ากับ [ภาคผนวก จ1.2]

$$H_{BP}(s) = \frac{v_{out}}{v_{in}} = \frac{s\left(\frac{R_{eq}}{L_{eq}}\right)}{s^2 + s\left(\frac{3R_{eq}}{L_{eq}}\right) + \frac{R_{eq}^2}{L_{eq}^2}} \tag{4.48}$$

โดยที่ f_c และ Q ของวงจรมีค่าเท่ากับ

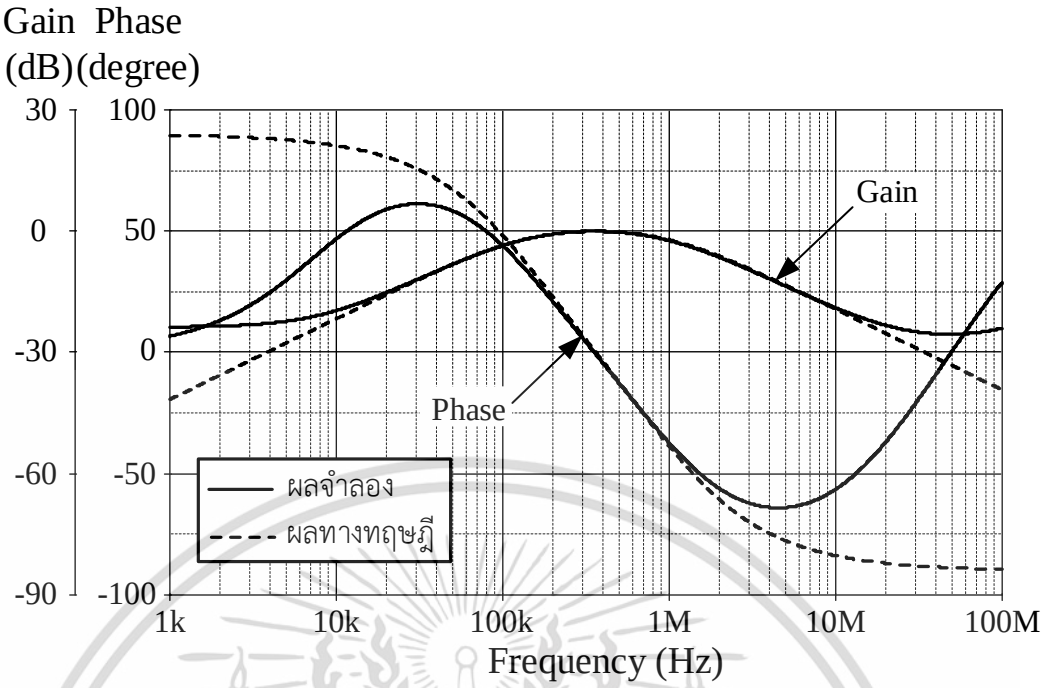
$$f_c = \frac{R_{eq}}{2\pi L_{eq}} \tag{4.49}$$

และ

$$Q = \frac{1}{3} \tag{4.50}$$

จากสมการข้างต้นจะพบว่า f_c = 353.99 MHz และ Q = 0.33 รูปที่ 4.26 แสดงผลจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่อันดับสอง ผลการจำลองพบว่าการทำงานของวงจรมีความถูกต้องและเป็นไปตามหลักการทางทฤษฎีในช่วงความถี่ 200 kHz ถึง 1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.26 ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่อันดับสอง

4.7 สรุป

วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ในรูปแบบอนุกรมและแบบขนานได้ถูกนำเสนอขึ้น ซึ่งนำเสนอสองแบบดังนี้ แบบที่หนึ่งคือการต่อเทียบกราวด์ ประกอบไปด้วยวงจร VDTA จำนวนหนึ่งตัว และตัวเก็บประจุไฟฟ้าเพียงหนึ่งตัวเท่านั้น ในขณะที่แบบที่สองคือการต่อลอยตัว ซึ่งออกแบบด้วยวงจร VDTA จำนวนสองตัว และตัวเก็บประจุไฟฟ้าจำนวนหนึ่งตัว เนื่องจากปราศจากตัวต้านทานพาสซีฟจากภายนอกจึงมีลักษณะวงจรที่เรียบง่าย ไม่ซับซ้อน ส่งผลให้ใช้พื้นที่ในการออกแบบวงจรน้อยลง นอกจากนี้วงจรที่นำเสนอยังสามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการแปรค่ากระแสไบอัสของวงจร VDTA ซึ่งผลการจำลองการทำงานผ่านโปรแกรม PSPICE และการต่อทดลองด้วยวงจรจริง รวมถึงนำไปประยุกต์ใช้งานในวงจรกรองผ่านแถบความถี่อันดับสองนั้นแสดงให้เห็นว่าวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ที่นำเสนอมีความถูกต้องและสอดคล้องตามหลักการทางทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8 เอกสารอ้างอิงบทที่ 4

[1] D. Biolek, R. Senani, V. Biolkova and Z. Kolka, “Active elements for analog signal processing : Classification, review, and new proposals”, **Radioengineering**, vol. 17, no. 4, pp. 15-32, 2008.

[2] J. Satansup and W. Tangsrirat, “Compact VDTA-based current-mode electronically tunable universal filters using grounded capacitors”, **Microelectronics Journal**, vol. 45, no. 6, pp. 613-618, 2014.

[3] D. Prasad, D. Bhaskar and M. Srivastava, “Universal current-mode biquad filter using a VDTA”, **Circuits and Systems**, vol. 4, no. 1, pp. 29-33, 2013.

[4] N. Herencsar, R. Sotner, J. Koton, J. Misurec and K. Vrba, “New compact VM four-phase oscillator employing only single Z-copy VDTA and all grounded passive elements”, **Elektronika ir Elektrotechnika**, vol. 19, no. 10, pp. 87-90, 2013.

[5] P. Moonmuang, W. Tangsrirat, “Single VDTA-based tunable floating lossy inductance simulation circuits”, **IETE Journal of Research**, pp. 1-18, 2021.

[6] R. Senani, “New single-capacitor simulations of floating inductors,” **ElectroComponent Science and Technology**, vol. 10, no. 1, pp. 7–12, 1982.

[7] R. Senani and D. R. Bhaskar, “New lossy/loss-less synthetic floating inductance configuration realized with only two CFOAs,” **Analog Integrated Circuits and Signal Processing**, vol. 73, no. 3, pp. 981–987, Jun. 2012.

[8] D. R. Bhaskar and R. Senani, Synthetic floating inductors realized with only two current feedback op-amps. **American Journal of Electrical and Electronic Engineering**. vol. 3, no. 4, pp. 88–92, 2015.

[9] P. Moonmuang, M. Faseehuddin, N. Herencsar, T. Pukkalanun and Worapong Tangsrirat, “VDTA-Based floating/grounded series/parallel R-L and R-C immittance simulators with a single grounded capacitor,” **International Journal of Electronics and Communications (AEU)**, vol. 160, 154502, 2023.

[10] Harris semiconductor, “2 MHz, operational transconductance amplifier (OTA)”, **CA3080 datasheet**, Nov, 1996.

[11] วรพงศ์ ตั้งศรีรัตน์. **การออกแบบและสังเคราะห์วงจรกรองสัญญาณแอนะล็อกและวงจรออสซิลเลเตอร์.** กรุงเทพฯ : คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2552.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ โดยใช้อุปกรณ์พาสซีฟจำนวนสองตัว

5.1 กล่าวนำ

วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์สามารถออกแบบได้หลากหลายฟังก์ชันสำหรับการใช้งาน อาทิเช่น วงจรเลียนแบบตัวต้านทาน (resistance simulator) [1] วงจรเลียนแบบตัวเหนี่ยวนำ (inductance simulator) [2] วงจรเลียนแบบค่าอิมพีแดนซ์ RC [3] วงจรกำเนิดสัญญาณโดยใช้ LC (LC oscillator circuit) [4] เป็นต้น วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์โดยใช้อุปกรณ์แอคทีฟได้ถูกนำเสนอขึ้นอย่างมากมายดังงานวิจัย [5]-[10] เนื่องจากอุปกรณ์แอคทีฟนั้นมีข้อดีในเรื่องของลักษณะทางกายภาพเล็กและใช้แรงดันไฟเลี้ยงที่ต่ำ รวมถึงสามารถปฏิบัติงานในย่านความถี่สูง จึงมีความเหมาะสมสำหรับการใช้งานในการประมวลผลสัญญาณทางแอนะล็อก (analog signal processing) นอกจากนี้อุปกรณ์แอคทีฟบางประเภทสามารถปรับลักษณะการทำงานได้อย่างง่ายทำให้เหมาะสมกับการประยุกต์ใช้งานเพื่อก่อให้เกิดประสิทธิภาพสูงสุดอีกด้วย ซึ่งอุปกรณ์แอคทีฟที่นำเสนอในยุคแรก คือ ออปแอมป์ (operational amplifier, OA) [11] ถือว่านิยมใช้กันอย่างแพร่หลาย จากนั้นได้มีการพัฒนาต่อยอดเรื่อยมา เช่น วงจร OTA (operational transconductance amplifier) [12] วงจร CC (current conveyor) [13]-[14] วงจร CDTA (current differencing transconductance amplifier) [15]-[16] จากนั้นวงจร VDTA (voltage differencing transconductance amplifier) [17]-[18] ได้ถูกนำเสนอและเป็นที่รู้จักในปี ค.ศ. 2008 โดย Dalibor Biolek และคณะ มีลักษณะโครงสร้างเป็นวงจรขยายกระแสที่ควบคุมด้วยผลต่างแรงดันในส่วนของภาคอินพุต และวงจร OTA เป็นส่วนภาคเอาต์พุต จากการรวบรวมข้อมูลงานวิจัยส่วนใหญ่ของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ล้วนออกแบบโดยใช้อุปกรณ์แอคทีฟ ส่งผลให้แนวคิดดังกล่าวนำมาสู่บทที่ 5 ที่สังเคราะห์วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ โดยใช้วงจร VDTA จำนวนหนึ่งตัวสำหรับการออกแบบฟังก์ชันเทียบกราวด์และใช้วงจร VDTA จำนวนสองตัวสำหรับออกแบบฟังก์ชันลอยตัว ต่อร่วมกับอุปกรณ์พาสซีฟจำนวนสองตัว [19] สามารถแบ่งเป็นหัวข้อได้ดังนี้

1) วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ในรูปแบบอนุกรมและรูปแบบขนานที่นำเสนอในรูป 5.1 อธิบายได้ดังหัวข้อที่ 5.1

2) วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวในรูปแบบอนุกรมและรูปแบบขนานที่นำเสนอในรูป 5.2 อธิบายได้ดังหัวข้อที่ 5.2

จากการออกแบบวงจรที่นำเสนอทั้งสองวงจรไม่ว่าจะเป็นฟังก์ชันเทียบกราวด์หรือลอยตัว นั้นสามารถสังเคราะห์ฟังก์ชันต่างๆ ได้ดังนี้ ตัวต้านทานต่ออนุกรมหรือต่อขนานกับตัวเหนี่ยวนำ ตัวต้านทานต่ออนุกรมหรือต่อขนานกับตัวเก็บประจุไฟฟ้า และตัวเหนี่ยวนำต่ออนุกรมหรือต่อขนานกับตัวเก็บประจุไฟฟ้า ซึ่งค่าอุปกรณ์สมมูลที่ได้นั้นสามารถปรับค่าได้ทางอิเล็กทรอนิกส์ด้วยอัตราขยายค่าความนำผ่านการแปรค่ากระแสไบอัสจากภายนอกของ VDTA ซึ่งผลการจำลองการทำงานของวงจรที่นำเสนอได้ถูกแสดงให้เห็นจริงโดยใช้โปรแกรม PSPICE ภายใต้เทคโนโลยีขนาด 0.18 μm CMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของบริษัท TSMC พร้อมทั้งผลการต่อทดลองด้วยวงจรจริงโดยใช้ไอซีสำเร็จรูปเบอร์ CA3080 ของบริษัท Harris Semiconductor โดยวัดผลการทดลองด้วยเครื่องวิเคราะห์อิมพีแดนซ์ นอกจากนี้วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ในกรณีสังเคราะห์เป็นฟังก์ชันตัวเหนี่ยวนำต่ออนุกรมและขนานกับตัวเก็บประจุไฟฟ้า ถูกนำไปยืนยันผลการทำงานจริงด้วยการประยุกต์ใช้งานในวงจรกรองผ่านแถบความถี่อันดับสองและวงจรหยุดแถบความถี่อันดับสอง

5.2 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ที่นำเสนอ

5.2.1 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์

วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบอนุกรมและขนานที่นำเสนอถูกออกแบบโดยใช้วงจร VDTA จำนวนหนึ่งตัวและอุปกรณ์พาสซีฟจำนวนสองตัวแสดงดังรูปที่ 5.1 โดยสามารถสังเคราะห์ฟังก์ชันที่ต้องการด้วยการเลือก Z_A และ Z_B ที่เหมาะสมหรือก็คือการเลือกชนิดของอุปกรณ์พาสซีฟสำหรับวงจรที่นำเสนออธิบายดังตารางที่ 5.1 หากวิเคราะห์วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ที่นำเสนอด้วยคุณสมบัติของวงจร VDTA ในทางอุดมคติดังสมการ (2.1) พบว่าอิมพีแดนซ์อินพุตและแอดมิตแตนซ์อินพุตของวงจรเท่ากับ [ภาคผนวก ฉ1]

สำหรับรูปที่ 5.1(ก) [ภาคผนวก ฉ1.1]

$$Z_{eq} = \frac{v_{in}}{i_{in}} = \frac{1}{g_{mF1} g_{mS1} Z_A} + Z_B \tag{5.1}$$

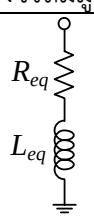
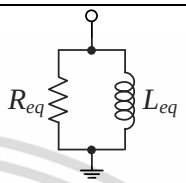
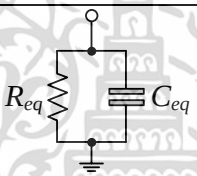
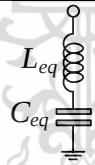
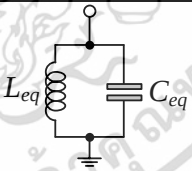
สำหรับรูปที่ 5.1(ข) [ภาคผนวก ฉ1.2]

$$Y_{eq} = \frac{i_{in}}{v_{in}} = g_{mF1} g_{mS1} Z_A + \frac{1}{Z_B} \tag{5.2}$$

จากสมการข้างต้นหากเลือกค่า Z_A และ Z_B ที่ต้องการแล้ว จะได้ค่าความต้านทานสมมูล (equivalent resistance, R_{eq}) ค่าความเหนี่ยวนำสมมูล (equivalent inductance, L_{eq}) และค่าความจุไฟฟ้าสมมูล (equivalent capacitance, C_{eq}) ของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบอนุกรมและแบบขนานที่นำเสนอโดยขึ้นอยู่กับแต่ละฟังก์ชันที่เลือกดังแสดงในตารางที่ 5.1

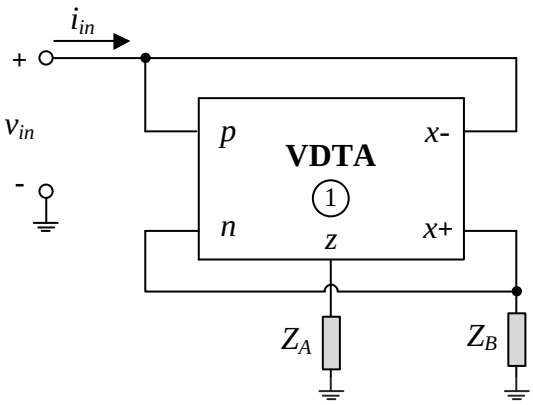
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.1 ฟังก์ชันอิมมิตแตนซ์ของวงจรที่นำเสนอในรูปที่ 5.1

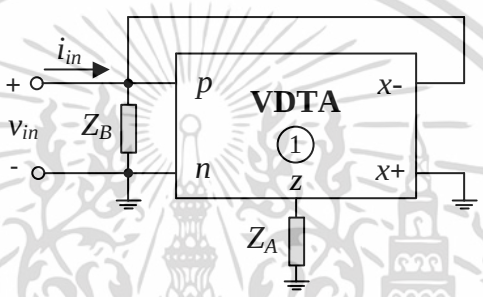
Z_{eqi}	Z_A	Z_B	วงจรที่นำเสนอ	วงจรสมมูล	ค่าอุปกรณ์สมมูล
Z_{eq1}	$1/sC_A$	R_B	รูปที่ 5.1 (ก)		$R_{eq} = R_B$ $L_{eq} = \frac{C_A}{g_{mF1}g_{mS1}}$
$1/Z_{eq1}$			รูปที่ 5.1 (ข)		
Z_{eq2}	R_A	$1/sC_B$	รูปที่ 5.1 (ก)		$R_{eq} = \frac{1}{g_{mF1}g_{mS1}R_A}$ $C_{eq} = C_B$
$1/Z_{eq2}$			รูปที่ 5.1 (ข)		
Z_{eq3}	$1/sC_A$	$1/sC_B$	รูปที่ 5.1 (ก)		$L_{eq} = \frac{C_A}{g_{mF1}g_{mS1}}$ $C_{eq} = C_B$
$1/Z_{eq3}$			รูปที่ 5.1 (ข)		

จากตารางที่ 5.1 แสดงให้เห็นว่าหากเลือก Z_A และ Z_B อย่างเหมาะสมแล้วจะสามารถสังเคราะห์ฟังก์ชันทั้งหมด 6 รูปแบบดังนี้ ตัวต้านทานอนุกรมหรือขนานกับตัวเหนี่ยวนำ ตัวต้านทานอนุกรมหรือขนานกับตัวเก็บประจุไฟฟ้า และตัวเก็บประจุไฟฟ้าอนุกรมหรือขนานกับตัวเหนี่ยวนำ ยกตัวอย่างเช่น หากกำหนดให้ $Z_A = 1/sC_A$ และ $Z_B = 1/sC_B$ ของวงจรที่นำเสนอในรูปที่ 5.1 (ก) จะสามารถสังเคราะห์ฟังก์ชันตัวเก็บประจุไฟฟ้าอนุกรมกับตัวเหนี่ยวนำ หรือคือ C_{eq} อนุกรม L_{eq} ซึ่งวงจรที่นำเสนอในรูปที่ 5.1 สามารถปรับค่าความต้านทานสมมูลและความเหนี่ยวนำสมมูลด้วยวิธีการทางอิเล็กทรอนิกส์จากภายนอกของวงจร VDTA นอกจากนี้ค่าความจุไฟฟ้าสมมูลก็สามารถปรับเพิ่มเติมได้อย่างอิสระด้วยอุปกรณ์พาสซีฟในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 5.1 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ที่นำเสนอ
(ก) แบบอนุกรม (ข) แบบขนาน

5.2.2 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอในรูปที่ 5.2

จากวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ที่นำเสนอในรูปที่ 5.1 ดังหัวข้อที่ 5.2.1 เมื่อนำมาต่อยอดโดยเพิ่มวงจร VDTA จำนวนหนึ่งตัวก็จะสามารถออกแบบวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบอนุกรมและแบบขนานที่นำเสนอดังรูปที่ 5.2 ที่ประกอบไปด้วยวงจร VDTA จำนวนสองตัวและอุปกรณ์พาสซีฟจำนวนสองตัวเท่านั้น ซึ่งมีข้อดีในการนำไปประยุกต์ใช้งานได้อย่างหลากหลายมากยิ่งขึ้น หากวิเคราะห์วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ที่นำเสนอด้วยคุณสมบัติของวงจร VDTA ในทางอุดมคติดังสมการ (2.1) พบว่าอิมพีแดนซ์อินพุตและแอตมิตแตนซ์อินพุตของวงจรเท่ากับ [ภาคผนวก ช1]

สำหรับรูปที่ 5.2 (ก) [ภาคผนวก ช1.1]

$$Z_{in} = \left(\frac{v_1 - v_2}{i_1}\right) = \left(\frac{v_2 - v_1}{i_2}\right) = \left(\frac{1}{g_{mF2}g_{mS2}}\right)\left(\frac{1}{Z_A} + g_{mF1}g_{mS1}Z_B\right) \qquad (5.3)$$

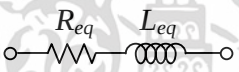
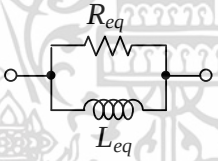
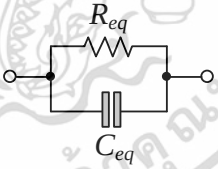
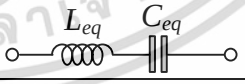
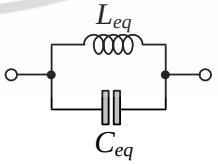
สำหรับรูปที่ 5.2 (ข) [ภาคผนวก ช1.2]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

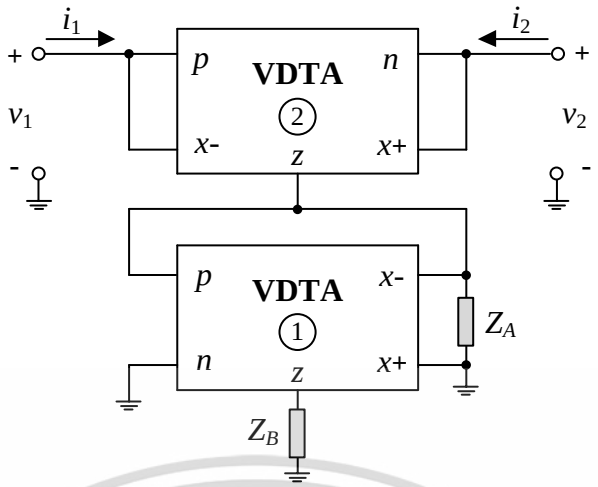
$$Y_{in} = \left(\frac{i_1}{v_1 - v_2} \right) = \left(\frac{i_2}{v_2 - v_1} \right) = g_{mF2} g_{mS2} \left(Z_A + \frac{1}{g_{mF1} g_{mS1} Z_B} \right) \quad (5.4)$$

ตารางที่ 5.2 แสดงให้เห็นว่าวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบอนุกรมและแบบขนานที่นำเสนอดังรูปที่ 5.2 สามารถออกแบบได้หลากหลายฟังก์ชันโดยการเลือกอุปกรณ์พาสซีฟที่เหมาะสม สามารถสังเคราะห์วงจรได้ดังนี้ ตัวต้านทานอนุกรมหรือขนานกับตัวเหนี่ยวนำ ตัวต้านทานอนุกรมหรือขนานกับตัวเก็บประจุไฟฟ้า และตัวเก็บประจุไฟฟ้าอนุกรมหรือขนานกับตัวเหนี่ยวนำ ซึ่งค่า R_{eq} C_{eq} และ L_{eq} ที่สังเคราะห์ขึ้นสามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ด้วยอัตราขยายค่าความนำทั้ง g_{mFi} และ g_{mSi} ของวงจร VDTA ตัวที่ i = 1, 2 ยกตัวอย่างเช่น หากกำหนดให้ $Z_A = R_A$ และ $Z_B = 1/sC_B$ ของวงจรที่นำเสนอในรูปที่ 5.2 (ข) จะพบว่าสามารถสังเคราะห์ฟังก์ชันตัวต้านทานที่ขนานอยู่กับตัวเก็บประจุไฟฟ้า หรือคือ R_{eq} ขนานกับ L_{eq} สามารถปรับค่าได้อย่างอิสระจากการแปรค่าอัตราขยายค่าความนำรวมทั้งอุปกรณ์พาสซีฟในวงจรอีกด้วย

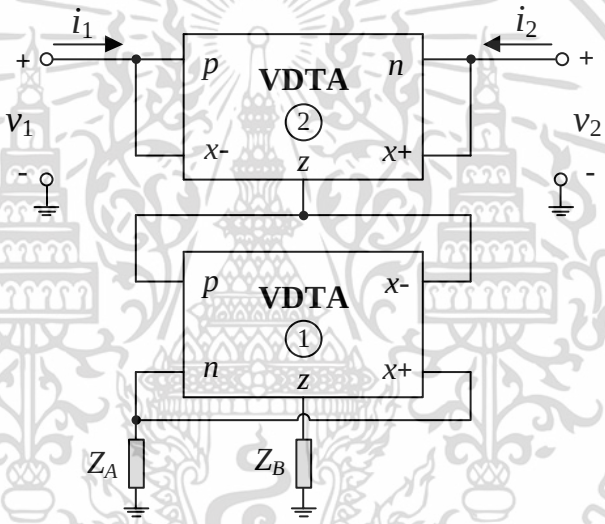
ตารางที่ 5.2 การเลือกประเภทฟังก์ชันของวงจรที่นำเสนอในรูปที่ 5.2

Z_{ini}	Z_A	Z_B	วงจรที่นำเสนอ	วงจรสมมูล	ค่าอุปกรณ์สมมูล
Z_{in1}	$1/sC_A$	R_B	รูปที่ 5.2 (ก)		$R_{eq} = \frac{g_{mF1} g_{mS1} R_B}{g_{mF2} g_{mS2}}$ $L_{eq} = \frac{C_A}{g_{mF2} g_{mS2}}$
$1/Z_{in1}$			รูปที่ 5.2 (ข)		
Z_{in2}	R_A	$1/sC_B$	รูปที่ 5.2 (ก)		$R_{eq} = \frac{1}{g_{mF2} g_{mS2} R_A}$ $C_{eq} = \frac{g_{mF2} g_{mS2} C_B}{g_{mF1} g_{mS1}}$
$1/Z_{in2}$			รูปที่ 5.2 (ข)		
Z_{in3}	$1/sC_A$	$1/sC_B$	รูปที่ 5.2 (ก)		$L_{eq} = \frac{C_A}{g_{mF2} g_{mS2}}$ $C_{eq} = \frac{g_{mF2} g_{mS2} C_B}{g_{mF1} g_{mS1}}$
$1/Z_{in3}$			รูปที่ 5.2 (ข)		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 5.2 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบอนุกรมและแบบขนานที่นำเสนอ
(ก) แบบอนุกรม (ข) แบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ที่นำเสนอในทางปฏิบัติ

5.3.1 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์

หากวิเคราะห์คุณสมบัติการทำงานในทางปฏิบัติของวงจร VDTA ของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ที่นำเสนอในรูปที่ 5.1 พบว่าอิมพีแดนซ์อินพุตและแอตมิตแตนซ์อินพุตของวงจรเปลี่ยนแปลงไปดังนี้ [ภาคผนวก ฉ2]

สำหรับรูปที่ 5.1(ก) [ภาคผนวก ฉ2.1]

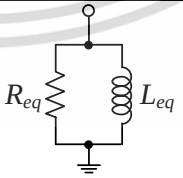
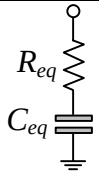
$$Z'_{eq} = \frac{v_{in}}{i_{in}} = \frac{1}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}Z_A} + Z_B \tag{5.5}$$

สำหรับรูปที่ 5.1(ข) [ภาคผนวก ฉ2.2]

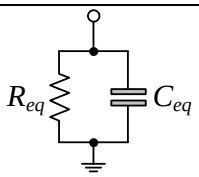
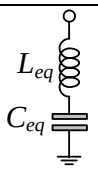
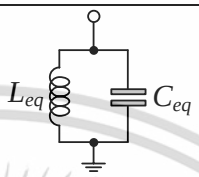
$$Y'_{eq} = \frac{i_{in}}{v_{in}} = \beta_{F1}\beta_{S1}g_{mF1}g_{mS1}Z_A + \frac{1}{Z_B} \tag{5.6}$$

จากสมการข้างต้นหากเลือกอุปกรณ์พาสซีฟที่เหมาะสมสำหรับการใช้งานแล้วพิจารณาผลกระทบจากการทำงานที่ไม่เป็นตามอุดมคติของวงจร VDTA แล้วจะพบว่าค่าความต้านทานสมมูล ค่าความเหนี่ยวนำสมมูลและค่าความจุไฟฟ้าสมมูลแสดงได้ดังตารางต่อไปนี้

ตารางที่ 5.3 ค่าอุปกรณ์สมมูลของวงจรที่นำเสนอในรูปที่ 5.1 เมื่อพิจารณาผลกระทบในทางปฏิบัติ

Z_{eqi}	Z_A	Z_B	วงจรที่นำเสนอ	วงจรสมมูล	ค่าอุปกรณ์สมมูล
Z_{eq1}	$1/sC_A$	R_B	รูปที่ 5.1 (ก)		$R_{eq} = R_B$ $L_{eq} = \frac{C_A}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}}$
$1/Z_{eq1}$			รูปที่ 5.1 (ข)		
Z_{eq2}	R_A	$1/sC_B$	รูปที่ 5.1 (ก)		$R_{eq} = \frac{1}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}R_A}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$1/Z_{eq2}$			รูปที่ 5.1 (ข)		$C_{eq} = C_B$
Z_{eq3}	$1/sC_A$	$1/sC_B$	รูปที่ 5.1 (ก)		$L_{eq} = \dfrac{C_A}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}}$
$1/Z_{eq3}$			รูปที่ 5.1 (ข)		$C_{eq} = C_B$

ตารางที่ 5.4 ค่าความไวของวงจรที่นำเสนอในรูปที่ 5.1 ในทางปฏิบัติ

Z_A	Z_B	วงจรที่นำเสนอ	วงจรสมมูล	ค่าความไวของอุปกรณ์สมมูล
$1/sC_A$	R_B	รูปที่ 5.1 (ก)	R_{eq} อนุกรม L_{eq}	$S_{R_B}^{R_{eq}} = 1,\ S_{C_A}^{L_{eq}} = 1,$
		รูปที่ 5.1 (ข)	R_{eq} ขนาน L_{eq}	$S_{\beta_{F1}}^{L_{eq}} = S_{\beta_{S1}}^{L_{eq}} = S_{g_{mF1}}^{L_{eq}} = S_{g_{mS1}}^{L_{eq}} = -1$
R_A	$1/sC_B$	รูปที่ 5.1 (ก)	R_{eq} อนุกรม C_{eq}	$S_{R_A}^{R_{eq}} = 1,\ S_{C_B}^{C_{eq}} = 1,$
		รูปที่ 5.1 (ข)	R_{eq} ขนาน C_{eq}	$S_{\beta_{F1}}^{R_{eq}} = S_{\beta_{S1}}^{R_{eq}} = S_{g_{mF1}}^{R_{eq}} = S_{g_{mS1}}^{R_{eq}} = -1$
$1/sC_A$	$1/sC_B$	รูปที่ 5.1 (ก)	L_{eq} อนุกรม C_{eq}	$S_{C_B}^{C_{eq}} = 1,\ S_{C_A}^{L_{eq}} = 1,$
		รูปที่ 5.1 (ข)	L_{eq} ขนาน C_{eq}	$S_{\beta_{F1}}^{L_{eq}} = S_{\beta_{S1}}^{L_{eq}} = S_{g_{mF1}}^{L_{eq}} = S_{g_{mS1}}^{L_{eq}} = -1$

ตารางที่ 5.4 พบว่าค่าความไวทั้งหมดมีขนาดไม่เกินหนึ่ง แสดงให้เห็นว่าวงจรมีคุณสมบัติค่าความไวต่อการเปลี่ยนแปลงอุปกรณ์แอคทีฟและพาสซีฟในวงจรที่ต่ำ ซึ่งบ่งชี้ถึงเสถียรภาพที่ดีของวงจรที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3.2 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอในรูปที่ 5.2

หากวิเคราะห์คุณสมบัติการทำงานในทางปฏิบัติของวงจร VDTA ของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอในรูปที่ 5.2 พบว่าอิมพีแดนซ์อินพุตและแอตมิตแตนซ์อินพุตของวงจรเปลี่ยนแปลงไปดังนี้ [ภาคผนวก ช2]

สำหรับรูปที่ 5.2 (ก) [ภาคผนวก ช2.1]

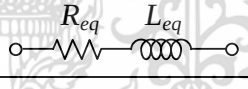
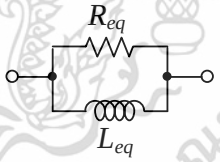
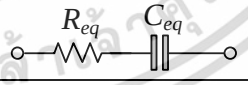
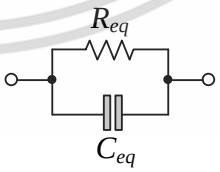
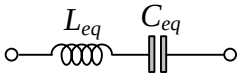
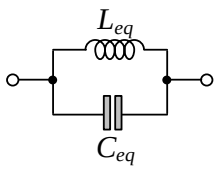
$$Z'_{in}=\left(\frac{v_1-v_2}{i_1}\right)=\left(\frac{v_2-v_1}{i_2}\right)=\left(\frac{1}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}\right)\left(\frac{1}{Z_A}+\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}Z_B\right) \qquad (5.7)$$

สำหรับรูปที่ 5.2 (ข) [ภาคผนวก ช2.2]

$$Y'_{in}=\left(\frac{i_1}{v_1-v_2}\right)=\left(\frac{i_2}{v_2-v_1}\right)=\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}\left(Z_A+\frac{1}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}Z_B}\right) \qquad (5.8)$$

สมการข้างต้นแสดงให้เห็นว่า β_{Fi} และ β_{Si} ที่เกิดจากการทำงานไม่เป็นตามอุดมคติของวงจร VDTA จะพบว่าค่า R_{eq} C_{eq} และ L_{eq} สำหรับวงจรที่นำเสนอในรูปที่ 5.2 จะเปลี่ยนไปดังตารางที่ 5.5

ตารางที่ 5.5 ค่าอุปกรณ์สมมูลของวงจรที่นำเสนอในรูปที่ 5.2 เมื่อพิจารณาผลกระทบในทางปฏิบัติ

Z_{in}	Z_A	Z_B	วงจรที่นำเสนอ	วงจรสมมูล	ค่าอุปกรณ์สมมูล
Z_{in1}	$1/sC_A$	R_B	รูปที่ 5.2 (ก)		$R_{eq}=\frac{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}R_B}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}$ $L_{eq}=\frac{C_A}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}$
$1/Z_{in1}$			รูปที่ 5.2 (ข)		
Z_{in2}	R_A	$1/sC_B$	รูปที่ 5.2 (ก)		$R_{eq}=\frac{1}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}R_A}$ $C_{eq}=\frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}C_B}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}}$
$1/Z_{in2}$			รูปที่ 5.2 (ข)		
Z_{in3}	$1/sC_A$	$1/sC_B$	รูปที่ 5.2 (ก)		$L_{eq}=\frac{C_A}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}$ $C_{eq}=\frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}C_B}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}}$
$1/Z_{in3}$			รูปที่ 5.2 (ข)		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.5 แสดงให้เห็นว่า β_{Fi} และ β_{Si} ของวงจร VDTA ที่เกิดจากการทำงานในทางปฏิบัติ ส่งผลให้ R_{eq} C_{eq} และ L_{eq} เกิดความผิดพลาดไปจากค่าในทางทฤษฎี ซึ่งสามารถลดผลกระทบดังกล่าวต่อค่าอุปกรณ์สมมูลของวงจรที่นำเสนอในรูปที่ 5.2 โดยการปรับชดเชยด้วยอัตราขยายค่าความนำทั้ง g_{mFi} และ g_{mSi} ของวงจร VDTA เพื่อให้ผลลัพธ์ที่ได้นั้นมีค่าใกล้เคียงทฤษฎีมากยิ่งขึ้น

การวิเคราะห์คุณสมบัติค่าความไวของ R_{eq} C_{eq} และ L_{eq} สำหรับวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอในรูปที่ 5.2 ต่อการเบี่ยงเบนค่าอุปกรณ์แอคทีฟและพาสซีฟในวงจรอธิบายได้ดังตารางที่ 5.6 [ภาคผนวก ช3]

ตารางที่ 5.6 พบว่าค่าความไวทั้งหมดมีขนาดไม่เกินหนึ่ง แสดงให้เห็นว่าวงจรมีคุณสมบัติค่าความไวต่อการเปลี่ยนแปลงอุปกรณ์แอคทีฟและพาสซีฟในวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอในรูปที่ 5.2 ต่ำ ซึ่งบ่งชี้ถึงเสถียรภาพที่ดีของวงจรที่นำเสนอ

ตารางที่ 5.6 ค่าความไวของวงจรที่นำเสนอในรูปที่ 5.2 ในทางปฏิบัติ

Z_A	Z_B	วงจรที่นำเสนอ	วงจรสมมูล	ค่าความไวของอุปกรณ์สมมูล
$1/sC_A$	R_B	รูปที่ 5.2 (ก)	R_{eq} อนุกรม L_{eq}	$S_{R_B}^{R_{eq}}=1,$ $S_{\beta_{F1}}^{R_{eq}}=S_{\beta_{S1}}^{R_{eq}}=S_{g_{mF1}}^{R_{eq}}=S_{g_{mS1}}^{R_{eq}}=1,$ $S_{\beta_{F2}}^{R_{eq}}=S_{\beta_{S2}}^{R_{eq}}=S_{g_{mF2}}^{R_{eq}}=S_{g_{mS2}}^{R_{eq}}=-1,$
		รูปที่ 5.2 (ข)	R_{eq} ขนาน L_{eq}	$S_{C_A}^{L_{eq}}=1,$ $S_{\beta_{F2}}^{L_{eq}}=S_{\beta_{S2}}^{L_{eq}}=S_{g_{mF2}}^{L_{eq}}=S_{g_{mS2}}^{L_{eq}}=-1$
R_A	$1/sC_B$	รูปที่ 5.2 (ก)	R_{eq} อนุกรม C_{eq}	$S_{R_A}^{R_{eq}}=-1,$ $S_{\beta_{F2}}^{R_{eq}}=S_{\beta_{S2}}^{R_{eq}}=S_{g_{mF2}}^{R_{eq}}=S_{g_{mS2}}^{R_{eq}}=-1,$ $S_{C_B}^{C_{eq}}=1,$ $S_{\beta_{F2}}^{C_{eq}}=S_{\beta_{S2}}^{C_{eq}}=S_{g_{mF2}}^{C_{eq}}=S_{g_{mS2}}^{C_{eq}}=1,$ $S_{\beta_{F1}}^{C_{eq}}=S_{\beta_{S1}}^{C_{eq}}=S_{g_{mF1}}^{C_{eq}}=S_{g_{mS1}}^{C_{eq}}=-1$
		รูปที่ 5.2 (ข)	R_{eq} ขนาน C_{eq}	
$1/sC_A$	$1/sC_B$	รูปที่ 5.2 (ก)	L_{eq} อนุกรม C_{eq}	$S_{C_A}^{L_{eq}}=1,$ $S_{\beta_{F2}}^{L_{eq}}=S_{\beta_{S2}}^{L_{eq}}=S_{g_{mF2}}^{L_{eq}}=S_{g_{mS2}}^{L_{eq}}=-1$ $S_{C_B}^{C_{eq}}=1,$ $S_{\beta_{F2}}^{C_{eq}}=S_{\beta_{S2}}^{C_{eq}}=S_{g_{mF2}}^{C_{eq}}=S_{g_{mS2}}^{C_{eq}}=1$ $S_{\beta_{F1}}^{C_{eq}}=S_{\beta_{S1}}^{C_{eq}}=S_{g_{mF1}}^{C_{eq}}=S_{g_{mS1}}^{C_{eq}}=-1$
		รูปที่ 5.2 (ข)	L_{eq} ขนาน C_{eq}	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4 ผลการจำลองการทำงานของวงจร

หัวข้อนี้จะกล่าวถึงผลการจำลองการทำงานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ที่นำเสนอในรูปที่ 5.1 และต่อลอยตัวที่นำเสนอในรูปที่ 5.2 โดยใช้โปรแกรม PSPICE ภายใต้เทคโนโลยี CMOS ขนาด 0.18 μm ของบริษัท TSMC มีโครงสร้างภายในของวงจร VDTA แสดงในรูปที่ 2.5 ซึ่งอัตราส่วน W/L (μm/μm) ของทรานซิสเตอร์ในวงจรเป็นดังตารางที่ 2.1 เมื่อกำหนดให้ V+ = V− = 1 V

5.4.1 ผลการจำลองการทำงานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบอนุกรมในรูปที่ 5.1 (ก)

รูปที่ 5.3 และรูปที่ 5.4 แสดงผลการจำลองผลตอบสนองทางเวลาและผลจำลองผลตอบสนองทางความถี่ของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบอนุกรมที่นำเสนอในรูปที่ 5.1 (ก) หากป้อนค่าสัญญาณอินพุต v_{in} เท่ากับ 50 mVp ที่ความถี่ 1 MHz เมื่อกำหนดให้ I_{B1} = I_{BF1} = I_{BS1} = 200 μA (g_{m1} = g_{mF1} = g_{mS1} ≅ 1.612 mA/V) R_A = R_B = 1 kΩ และ C_A = C_B = 100 pF ตารางที่ 5.7 แสดงการออกแบบฟังก์ชันด้วย Z_A และ Z_B ที่สามารถสังเคราะห์ตัวต้านทานอนุกรมกับตัวเหนี่ยวนำ ตัวต้านทานอนุกรมกับตัวเก็บประจุไฟฟ้า และตัวเก็บประจุไฟฟ้าอนุกรมกับตัวเหนี่ยวนำ รวมถึงค่าอุปกรณ์สมมูลที่ได้จากวงจรที่นำเสนอ นอกจากนี้ยังแสดงค่ามุมเฟสระหว่าง v_{in} และ i_{in} และหาค่าความถี่มุม (corner frequency, f_c) อธิบายได้ดังสมการต่อไปนี้

สำหรับตัวต้านทานอนุกรมหรือขนานกับตัวเหนี่ยวนำ

$$f_c = \frac{R_{eq}}{2\pi L_{eq}} \tag{5.9}$$

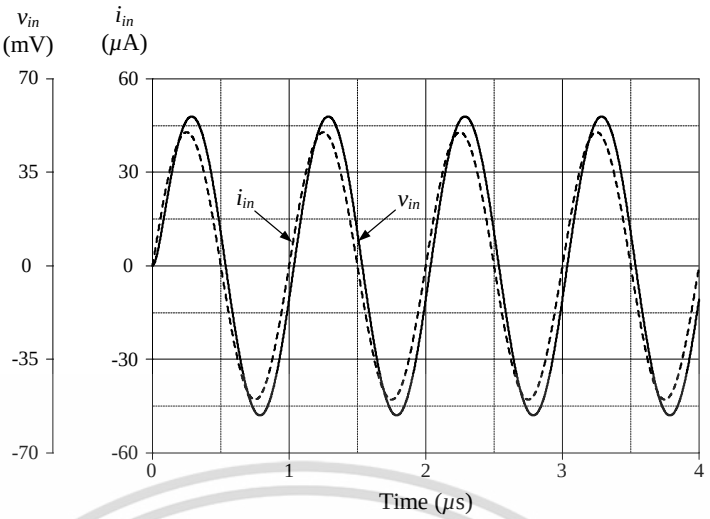
สำหรับตัวต้านทานอนุกรมหรือขนานกับตัวเก็บประจุไฟฟ้า

$$f_c = \frac{1}{2\pi R_{eq} C_{eq}} \tag{5.10}$$

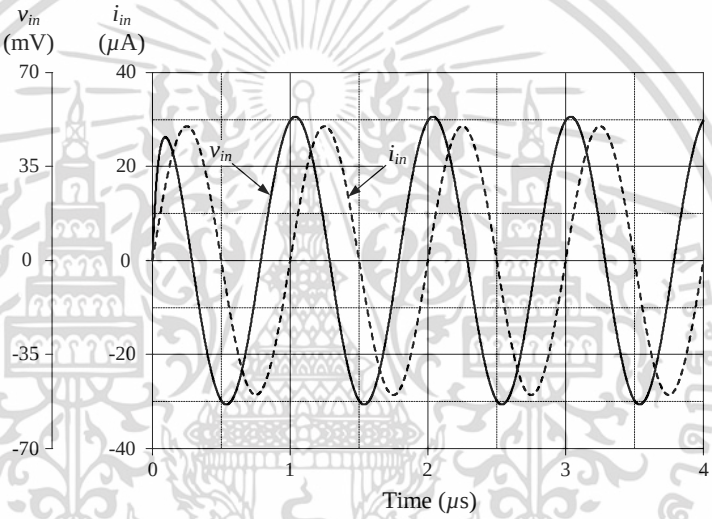
สำหรับตัวตัวเหนี่ยวนำอนุกรมหรือขนานกับตัวเก็บประจุไฟฟ้า

$$f_c = \frac{1}{2\pi \sqrt{L_{eq} C_{eq}}} \tag{5.11}$$

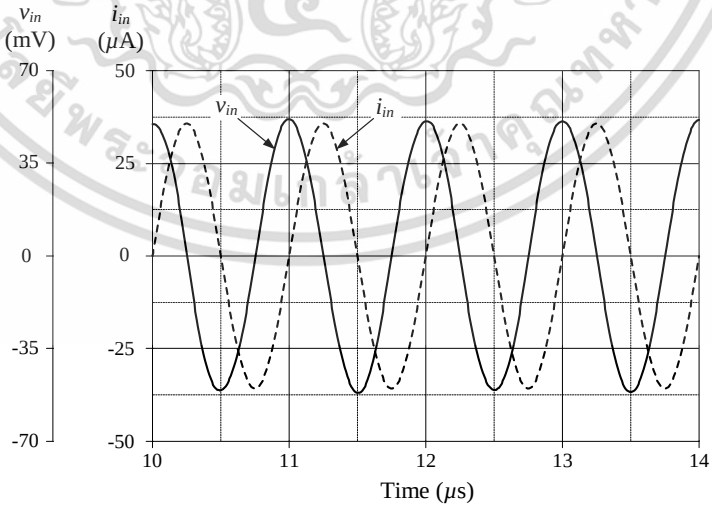
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

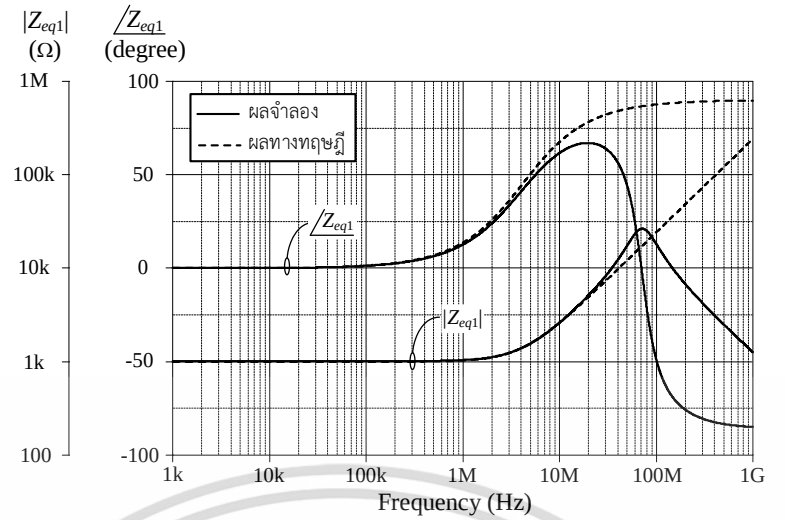


(ค)

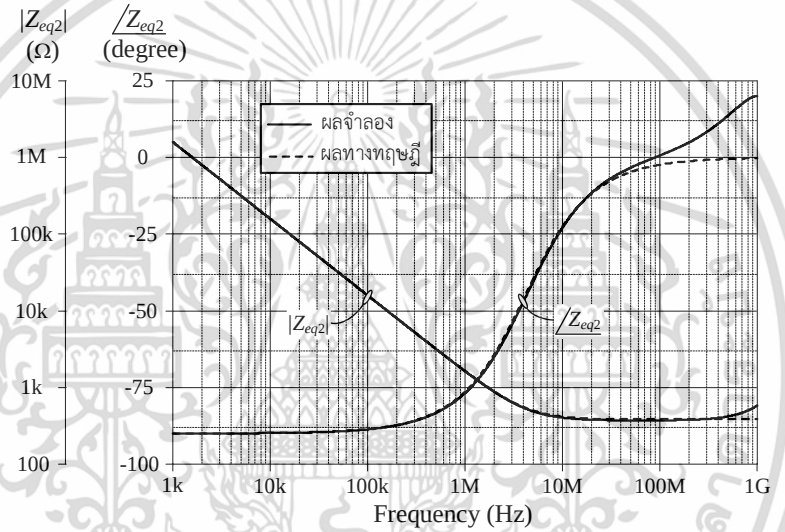
รูปที่ 5.3 ผลจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอแบบอนุกรมดังรูปที่ 5.1 (ก)

(ก) R_{eq} อนุกรม L_{eq} (ข) R_{eq} อนุกรม C_{eq} (ค) L_{eq} อนุกรม C_{eq}

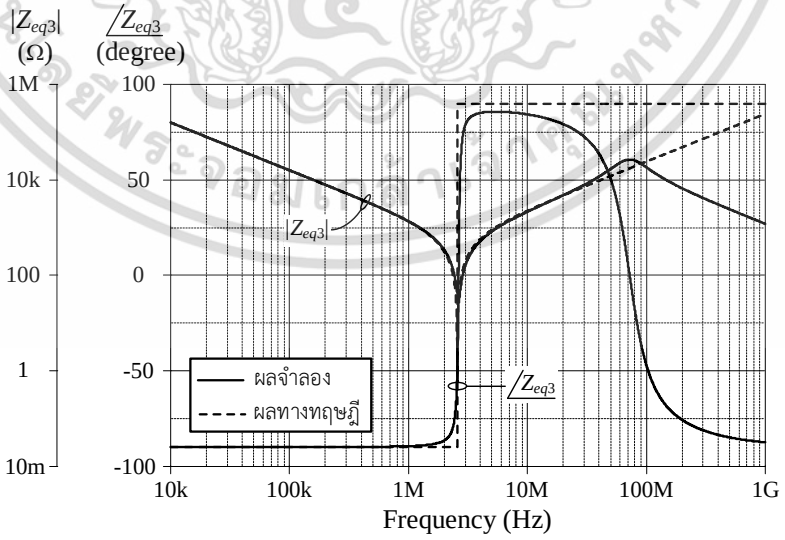
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)



(ค)

รูปที่ 5.4 ผลจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอแบบอนุกรมดังรูปที่ 5.1 (ก)

(ก) R_{eq} อนุกรม L_{eq} (ข) R_{eq} อนุกรม C_{eq} (ค) L_{eq} อนุกรม C_{eq}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

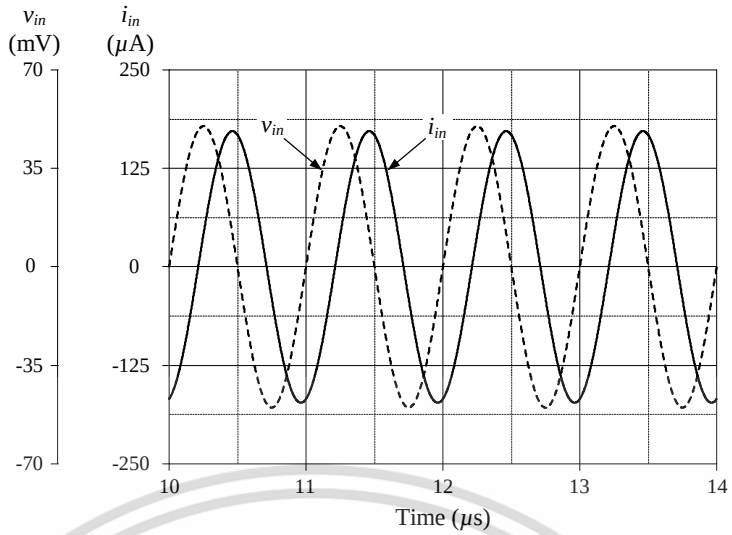
ตารางที่ 5.7 ค่าอุปกรณ์สมมูลและค่าความถี่มุมของวงจรที่นำเสนอในรูปที่ 5.1 (ก)

Z_{eqi}	Z_A	Z_B	วงจรที่นำเสนอ	ค่าอุปกรณ์สมมูล	f_c (MHz)	มุมเฟสระหว่าง v_{in} และ i_{in}	
						ทางปฏิบัติ	ทางทฤษฎี
Z_{eq1}	$1/sC_A$	R_B	รูปที่ 5.1 (ก) R_{eq} อนุกรม L_{eq} แบบเทียบกราวด์	R_{eq} = 1 kΩ L_{eq} = 38.48 μH	4.13	12.96°	13.59°
Z_{eq2}	R_A	$1/sC_B$	รูปที่ 5.1 (ก) R_{eq} อนุกรม C_{eq} แบบเทียบกราวด์	R_{eq} = 384.83 Ω C_{eq} = 100 pF	4.13	79.55°	76.41°
Z_{eq3}	$1/sC_A$	$1/sC_B$	รูปที่ 5.1 (ก) L_{eq} อนุกรม C_{eq} แบบเทียบกราวด์	L_{eq} = 38.48 μH C_{eq} = 100 pF	2.57	89.95°	90°

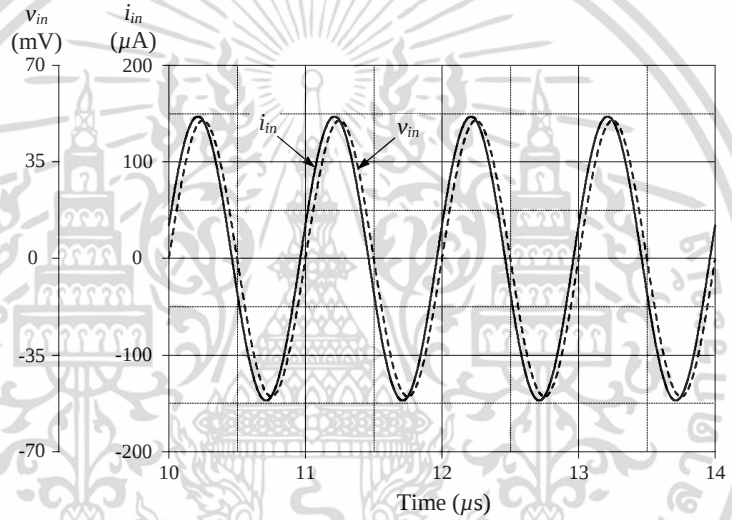
5.4.2 ผลการจำลองการทำงานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบขนานในรูปที่ 5.1 (ข)

รูปที่ 5.5 แสดงผลการจำลองผลตอบสนองทางเวลาของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบขนานที่นำเสนอดังรูปที่ 5.2 (ข) เมื่อป้อนค่าสัญญาณอินพุต v_{in} เท่ากับ 50 mVp ที่ความถี่ 1 MHz หากเลือกอุปกรณ์พาสซีฟที่เหมาะสมแล้วจะสามารถสังเคราะห์ตัวต้านทานขนานกับตัวเหนี่ยวนำ ตัวต้านทานขนานกับตัวเก็บประจุไฟฟ้า และตัวเก็บประจุไฟฟ้าขนานกับตัวเหนี่ยวนำ จากผลการจำลองการทำงานสามารถคำนวณหาค่าอุปกรณ์สมมูลที่ได้และค่าความถี่มุมจากสมการ (5.9) ถึง (5.11) รวมถึงค่ามุมเฟสระหว่าง v_{in} และ i_{in} เปรียบเทียบระหว่างผลการจำลองและผลในทางทฤษฎีแสดงได้ดังตารางที่ 5.8 ในขณะที่ผลจำลองผลตอบสนองทางความถี่แสดงดังรูปที่ 5.6 หากกำหนดให้ $I_{B1} = I_{BF1} = I_{BS1} = 200$ μA ($g_{m1} = g_{mF1} = g_{mS1} \cong 1.612$ mA/V) $R_A = R_B = 1$ kΩ และ $C_A = C_B = 100$ pF และกำลังไฟฟ้าสูญเสียที่เกิดขึ้นในวงจรมีค่าเท่ากับ 0.76 mW

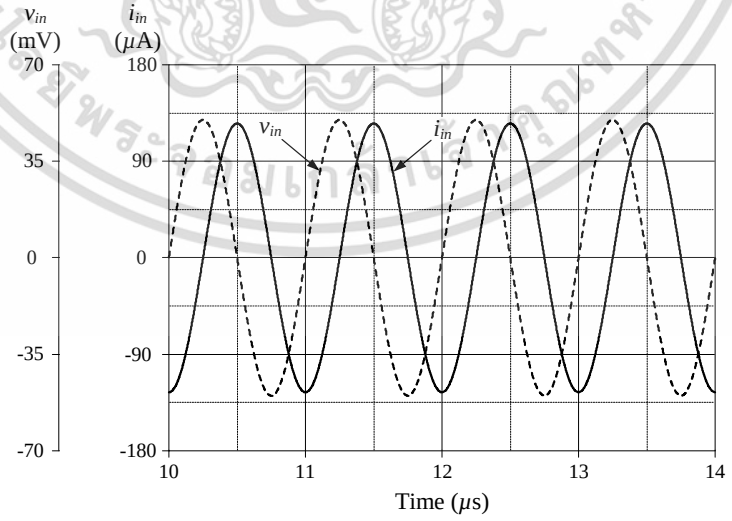
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

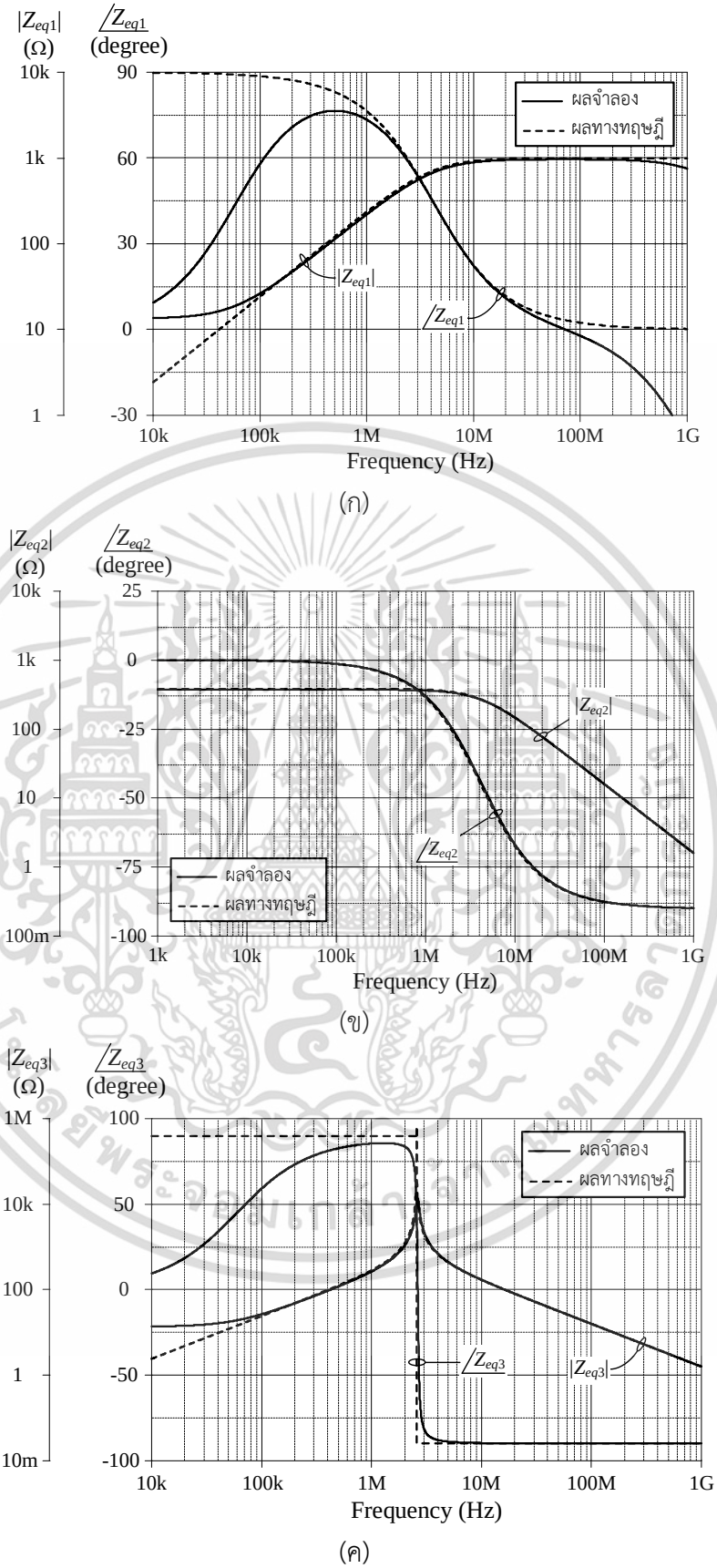


(ค)

รูปที่ 5.5 ผลจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอแบบขนานดังรูปที่ 5.1 (ข)

(ก) R_{eq} ขนาน L_{eq} (ข) R_{eq} ขนาน C_{eq} (ค) L_{eq} ขนาน C_{eq}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.6 ผลจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอแบบขนานดังรูปที่ 5.1 (ข)

(ก) R_{eq} ขนาน L_{eq} (ข) R_{eq} ขนาน C_{eq} (ค) L_{eq} ขนาน C_{eq}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

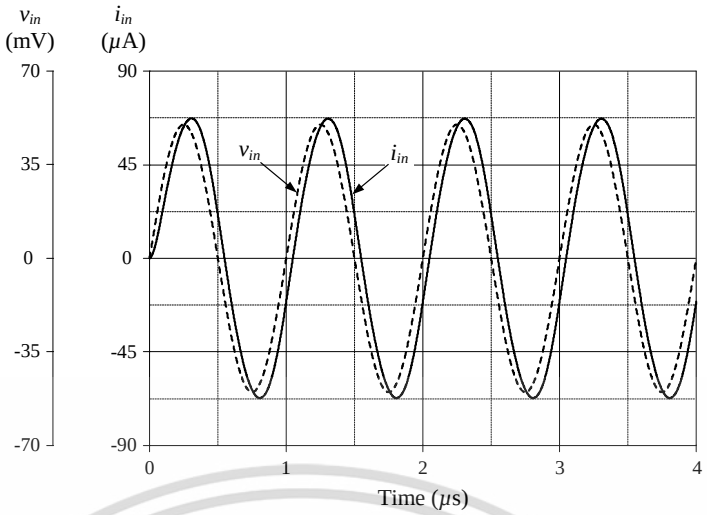
ตารางที่ 5.8 ค่าอุปกรณ์สมมูลและค่าความถี่มุมของวงจรที่นำเสนอในรูปที่ 5.2 (ข)

Z_{eqi}	Z_A	Z_B	วงจรที่นำเสนอ	ค่าอุปกรณ์สมมูล	f_c (MHz)	มุมเฟสระหว่าง v_{in} และ i_{in}	
						ทางปฏิบัติ	ทางทฤษฎี
$1/Z_{eq1}$	$1/sC_A$	R_B	รูปที่ 5.1 (ข) R_{eq} ขนาน L_{eq} แบบเทียบกราวด์	R_{eq} = 1 kΩ L_{eq} = 38.48 μH	4.13	73.33°	76.41°
$1/Z_{eq2}$	R_A	$1/sC_B$	รูปที่ 5.1 (ข) R_{eq} ขนาน C_{eq} แบบเทียบกราวด์	R_{eq} = 384.83 Ω C_{eq} = 100 pF	4.13	13.25°	13.59°
$1/Z_{eq3}$	$1/sC_A$	$1/sC_B$	รูปที่ 5.1 (ข) L_{eq} ขนาน C_{eq} แบบเทียบกราวด์	L_{eq} = 38.48 μH C_{eq} = 100 pF	2.57	89.95°	90°

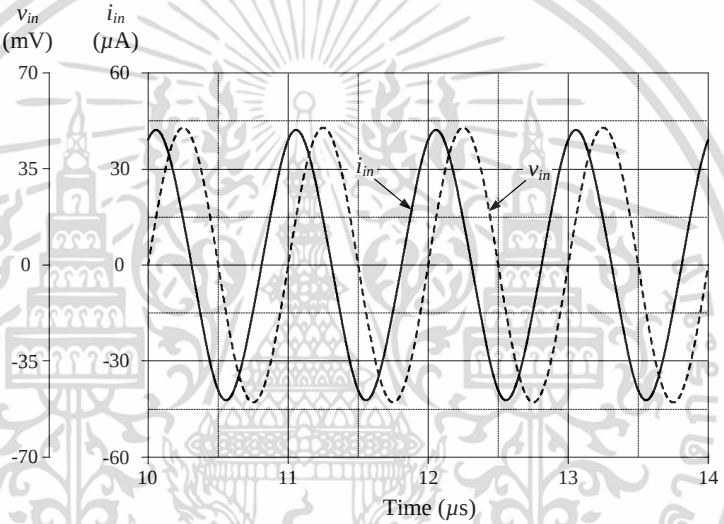
5.4.3 ผลการจำลองการทำงานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบอนุกรมที่นำเสนอในรูปที่ 5.2 (ก)

รูปที่ 5.7 แสดงผลการจำลองผลตอบสนองทางเวลาของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบอนุกรมที่นำเสนอในรูป 5.2 (ก) หากป้อนค่าสัญญาณอินพุต v_{in} เท่ากับ 50 mVp ที่ความถี่ 1 MHz พบว่ามุมเฟสระหว่าง $v_{in} = v_1 - v_2$ และ $i_{in} = i_1 = -i_2$ แสดงดังตารางที่ 5.9 ในขณะที่ผลจำลองผลตอบสนองทางความถี่แสดงดังรูปที่ 5.8 เมื่อกำหนดให้ $I_{B1} = I_{BF1} = I_{BS1} =$ 150 μA ($g_{m1} = g_{mF1} = g_{mS1} \cong$ 1.40 mA/V) $I_{B2} = I_{BF2} = I_{BS2} =$ 200 μA ($g_{m2} = g_{mF2} = g_{mS2} \cong$ 1.612 mA/V) $R_A = R_B =$ 1 kΩ และ $C_A = C_B =$ 100 pF การออกแบบฟังก์ชันทำโดยเลือกอุปกรณ์พาสซีฟ Z_A และ Z_B โดยค่าอุปกรณ์สมมูลที่ได้แสดงดังตารางที่ 5.7 ซึ่งสามารถหาค่าความถี่มุม (corner frequency, f_c) ที่ได้จากสมการ (5.9) ถึง (5.11)

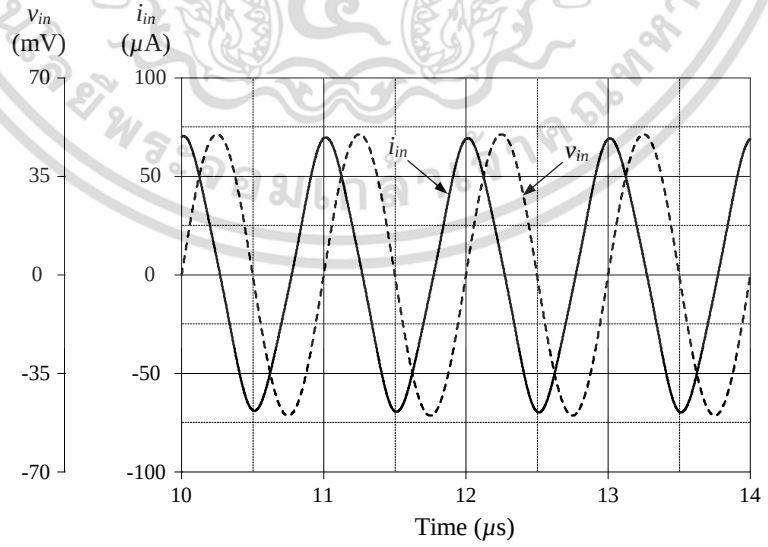
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

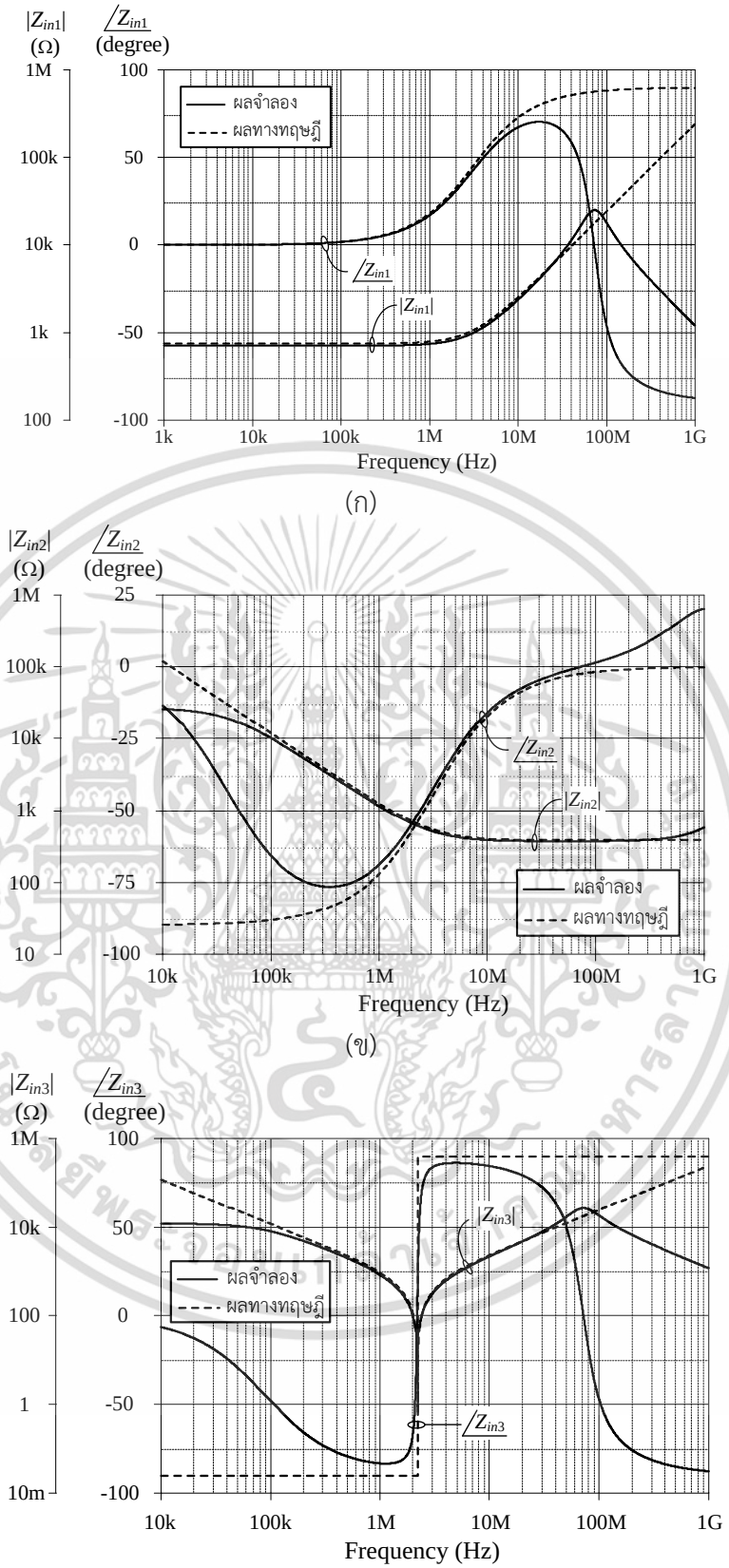


(ค)

รูปที่ 5.7 ผลจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอแบบอนุกรมดังรูปที่ 5.2 (ก)

(ก) R_{eq} อนุกรม L_{eq} (ข) R_{eq} อนุกรม C_{eq} (ค) L_{eq} อนุกรม C_{eq}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.8 ผลจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอแบบอนุกรมดังรูปที่ 5.2 (ก)

(ก) R_{eq} อนุกรม L_{eq} (ข) R_{eq} อนุกรม C_{eq} (ค) L_{eq} อนุกรม C_{eq}

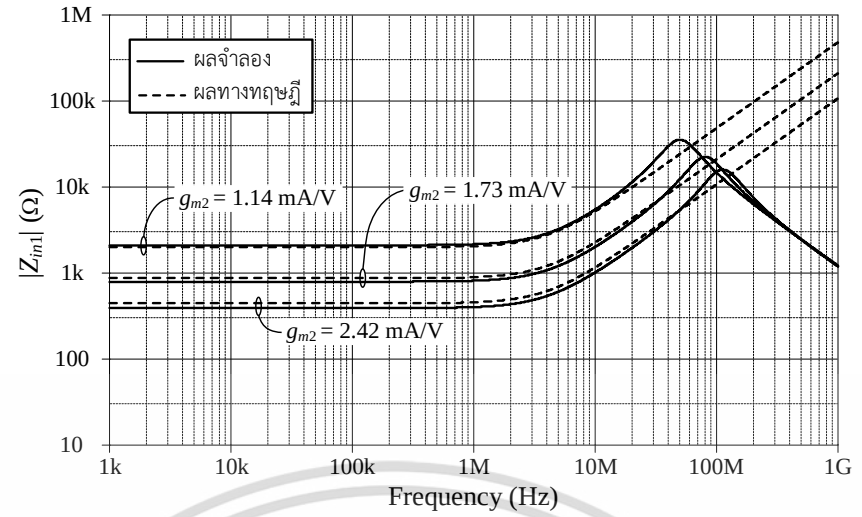
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.9 ค่าอุปกรณ์สมมูลและค่าความถี่มุมของวงจรที่นำเสนอในรูปที่ 5.2 (ก)

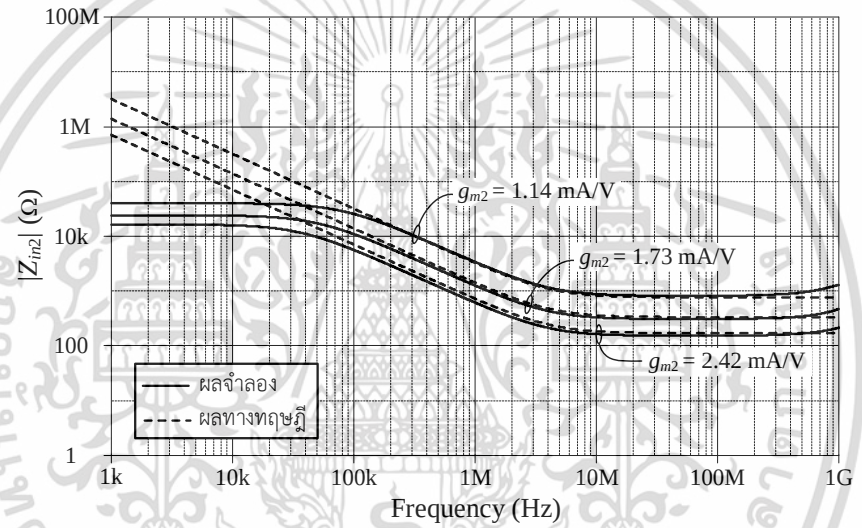
Z_{ini}	Z_A	Z_B	วงจรที่นำเสนอ	ค่าอุปกรณ์สมมูล	f_c (MHz)	มุมเฟสระหว่าง v_{in} และ i_{in}	
						ทางปฏิบัติ	ทางทฤษฎี
Z_{in1}	$1/sC_A$	R_B	รูปที่ 5.2 (ก) R_{eq} อนุกรม L_{eq} แบบลอยตัว	R_{eq} = 749.86 Ω L_{eq} = 38.48 μH	2.2	19.08°	17.86°
Z_{in2}	R_A	$1/sC_B$	รูปที่ 5.2 (ก) R_{eq} อนุกรม C_{eq} แบบลอยตัว	R_{eq} = 384.83 Ω C_{eq} = 13.33 pF	3.1	72°	72.14°
Z_{in3}	$1/sC_A$	$1/sC_B$	รูปที่ 5.2 (ก) L_{eq} อนุกรม C_{eq} แบบลอยตัว	L_{eq} = 38.48 μH C_{eq} = 13.33 pF	3.1	85.50°	90°

รูปที่ 5.9 แสดงผลตอบสนองความถี่เชิงขนาดของวงจรที่นำเสนอในรูปที่ 5.2 (ก) เมื่อกำหนดให้ $I_{B1} = I_{BF1} = I_{BS1}$ = 200 μA ($g_{m1} = g_{mF1} = g_{mS1} \cong$ 1.612 mA/V) $R_A = R_B$ = 1 kΩ และ $C_A = C_B$ = 100 pF หากแปรค่า $g_{m2} = g_{mF2} = g_{mS2}$ จำนวนสามค่าดังนี้ 1.14 mA/V, 1.73 mA/V และ 2.42 mA/V จากตารางที่ 5.2 สามารถหาค่าอุปกรณ์สมมูล R_{eq} C_{eq} และ L_{eq} แสดงดังตารางที่ 5.10 นอกจากนี้ยังพิจารณาถึงความคลาดเคลื่อนของ Z_{ini} ที่เกิดขึ้นเปรียบเทียบผลในทางทฤษฎีและทางปฏิบัติ ณ ตำแหน่งความถี่ 1 MHz และกำลังไฟฟ้าสูญเสียที่เกิดขึ้นในวงจรมีค่าเท่ากับ 1.34 mW จากผลจำลองการทำงานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบอนุกรมที่นำเสนอในรูปที่ 5.2 (ก) นั้นแสดงให้เห็นว่าค่า R_{eq} C_{eq} และ L_{eq} สามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการแปรอัตราขยายค่าความนำของวงจร VDTA

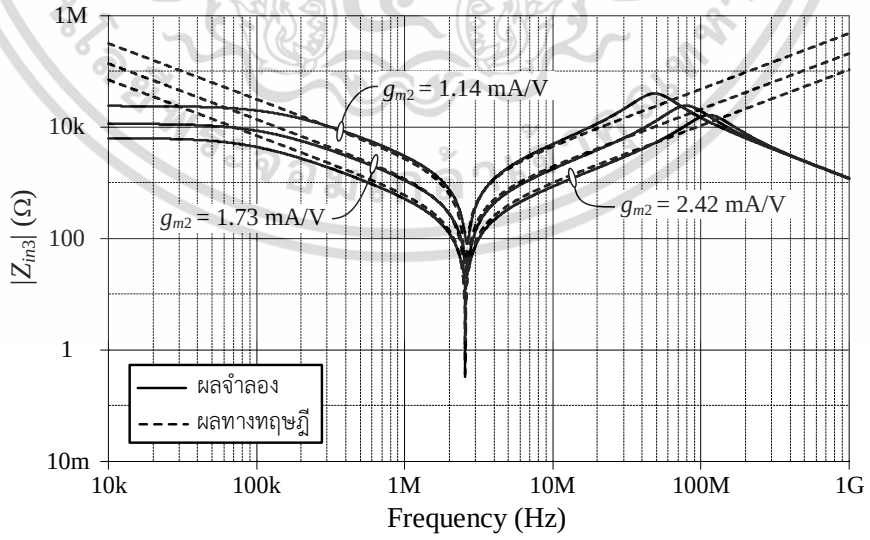
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)



(ค)

รูปที่ 5.9 ผลจำลองผลตอบสนองทางขนาดของวงจรที่นำเสนอเมื่อแปรค่า g_{m2}

(ก) R_{eq} อนุกรม L_{eq} (ข) R_{eq} อนุกรม C_{eq} (ค) L_{eq} อนุกรม C_{eq}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.10 ค่าอุปกรณ์สมมูลของวงจรที่นำเสนอในรูปที่ 5.2 (ก) เมื่อแปรค่า g_{m2}

Z_{ini}	เลือกฟังก์ชัน	g_{m2} (mA/V)	ค่าอุปกรณ์สมมูล	Z_{ini} (Ω)		
				ผลการจำลอง	ผลทางทฤษฎี	ค่าความคลาดเคลื่อน
Z_{in1}	$Z_A = 1/sC_A$ $Z_B = R_B$	1.14	R_{eq} = 2 kΩ L_{eq} = 76.95 μH	2.16 kΩ	2.06 kΩ	5.12 %
		1.73	R_{eq} = 870.25 Ω L_{eq} = 33.49 μH	814.76 Ω	895.33 Ω	9 %
		2.42	R_{eq} = 444.44 Ω L_{eq} = 17.10 μH	402.41 Ω	457.24 Ω	11.99 %
Z_{in2}	$Z_A = R_A$ $Z_B = 1/sC_B$	1.14	R_{eq} = 769.47 Ω C_{eq} = 50 pF	3.40 kΩ	3.27 kΩ	3.79 %
		1.73	R_{eq} = 334.90 Ω C_{eq} = 114.9 pF	1.26 kΩ	1.43 kΩ	11.33 %
		2.42	R_{eq} = 171.04 Ω C_{eq} = 225 pF	616.82 Ω	727.74 Ω	15.24 %
Z_{in3}	$Z_A = 1/sC_A$ $Z_B = 1/sC_B$	1.14	L_{eq} = 76.95 μH C_{eq} = 50 pF	3.04 kΩ	2.71 kΩ	12.11 %
		1.73	L_{eq} = 33.49 μH C_{eq} = 114.9 pF	1.21 kΩ	1.18 kΩ	4.84 %
		2.42	L_{eq} = 17.10 μH C_{eq} = 225 pF	519.9 Ω	601.79 Ω	13.61 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.4 ผลการจำลองการทำงานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบขนานในรูปที่ 5.2 (ข)

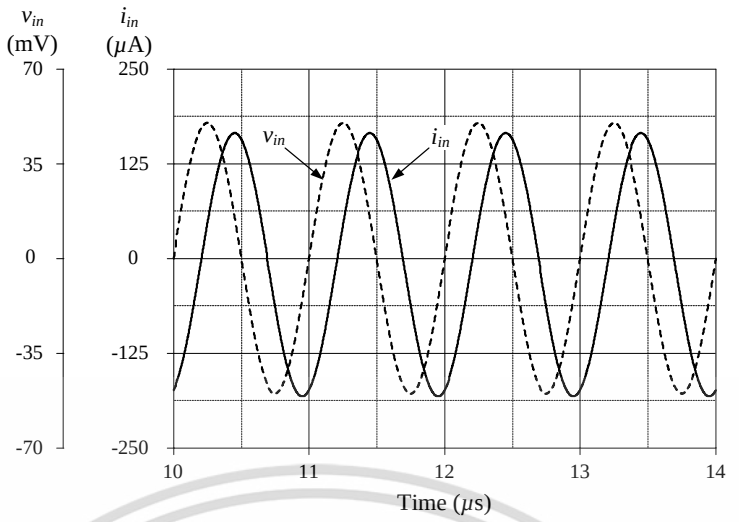
เพื่อยืนยันการทำงานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบขนานจึงจำลองผลการทำงานของวงจรผ่านโปรแกรม PSPICE ซึ่งการออกแบบฟังก์ชันต้องทำการเลือกอุปกรณ์พาสซีฟที่เหมาะสมเพื่อสังเคราะห์ตัวต้านทานขนานกับตัวเหนี่ยวนำ ตัวต้านทานขนานกับตัวเก็บประจุไฟฟ้าและตัวเก็บประจุไฟฟ้าขนานกับตัวเหนี่ยวนำ รูปที่ 5.10 แสดงผลการจำลองผลตอบสนองทางเวลาของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบขนานที่นำเสนอในรูปที่ 5.2 (ข) หากป้อนค่าสัญญาณอินพุต v_{in} เท่ากับ 50 mVp ที่ความถี่ 1 MHz พบว่ามุมเฟสระหว่าง $v_{in} = v_1 - v_2$ และ $i_{in} = i_1 = -i_2$ แสดงดังตารางที่ 5.7 จะพบว่าค่าอุปกรณ์สมมูลที่ได้และค่าความถี่มุมที่คำนวณจากสมการ (5.9) ถึง (5.11) นั้นแสดงรายละเอียดดังตารางที่ 5.11 ในขณะที่ผลจำลองผลตอบสนองทางความถี่แสดงดังรูปที่ 5.11 หากกำหนดให้ $I_{B1} = I_{BF1} = I_{BS1} = 150\ \mu$A ($g_{m1} = g_{mF1} = g_{mS1} \cong 1.40$ mA/V) $I_{B2} = I_{BF2} = I_{BS2} = 200\ \mu$A ($g_{m2} = g_{mF2} = g_{mS2} \cong 1.612$ mA/V) $R_A = R_B = 1$ kΩ และ $C_A = C_B = 100$ pF และกำลังไฟฟ้าสูญเสียที่เกิดขึ้นในวงจรมีค่าเท่ากับ 1.34 mW

วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบขนานนำเสนอในรูปที่ 5.2 (ข) สามารถปรับค่าอุปกรณ์สมมูล R_{eq} C_{eq} และ L_{eq} ได้ด้วยวิธีการทางอิเล็กทรอนิกส์โดยการแปร g_m ของวงจร VDTA รูปที่ 5.12 แสดงผลตอบสนองความถี่เชิงขนาดของวงจรที่นำเสนอในรูปที่ 5.2 (ข) เมื่อกำหนดให้ $I_{B1} = I_{BF1} = I_{BS1} = 200\ \mu$A ($g_{m1} = g_{mF1} = g_{mS1} \cong 1.612$ mA/V) $R_A = R_B = 1$ kΩ และ $C_A = C_B = 100$ pF หากแปรค่า $g_{m2} = g_{mF2} = g_{mS2}$ จำนวนสามค่าดังนี้ 1.14 mA/V, 1.73 mA/V และ 2.42 mA/V ตารางที่ 5.12 แสดงค่าความต้านทานสมมูล ค่าความเหนี่ยวนำสมมูลและค่าความจุไฟฟ้าสมมูลที่เปลี่ยนไปเมื่อแปรค่า g_{m2} นอกจากนี้ยังพิจารณาถึงความผิดพลาดของอิมพีแดนซ์อินพุตของแต่ละฟังก์ชันที่เกิดขึ้นโดยเปรียบเทียบผลในทางทฤษฎีและผลทางปฏิบัติ ณ ตำแหน่งความถี่ 1 MHz

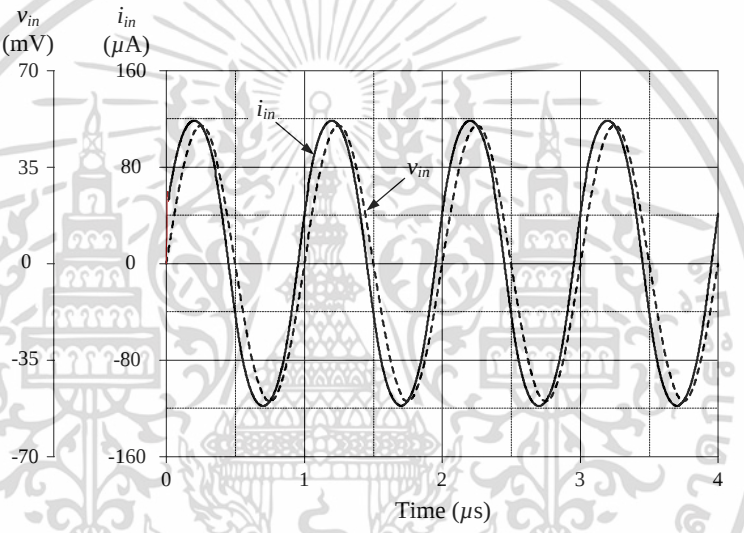
ตารางที่ 5.11 ค่าอุปกรณ์สมมูลและค่าความถี่มุมของวงจรที่นำเสนอในรูปที่ 5.2 (ข)

Z_{ini}	Z_A	Z_B	วงจรที่นำเสนอ	ค่าอุปกรณ์สมมูล	f_c (MHz)	มุมเฟสระหว่าง v_{in} และ i_{in}	
						ทางปฏิบัติ	ทางทฤษฎี
$1/Z_{in1}$	$1/sC_A$	R_B	รูปที่ 5.2 (ข) R_{eq} ขนาน L_{eq}	$R_{eq} = 749.86\ \Omega$ $L_{eq} = 38.48\ \mu$H	2.2	68.33°	72.18°
$1/Z_{in2}$	R_A	$1/sC_B$	รูปที่ 5.2 (ข) R_{eq} ขนาน C_{eq}	$R_{eq} = 384.83\ \Omega$ $C_{eq} = 13.33$ pF	3.1	20.36°	17.82°
$1/Z_{in3}$	$1/sC_A$	$1/sC_B$	รูปที่ 5.2 (ข) L_{eq} ขนาน C_{eq}	$L_{eq} = 38.48\ \mu$H $C_{eq} = 13.33$ pF	3.1	85.68°	90°

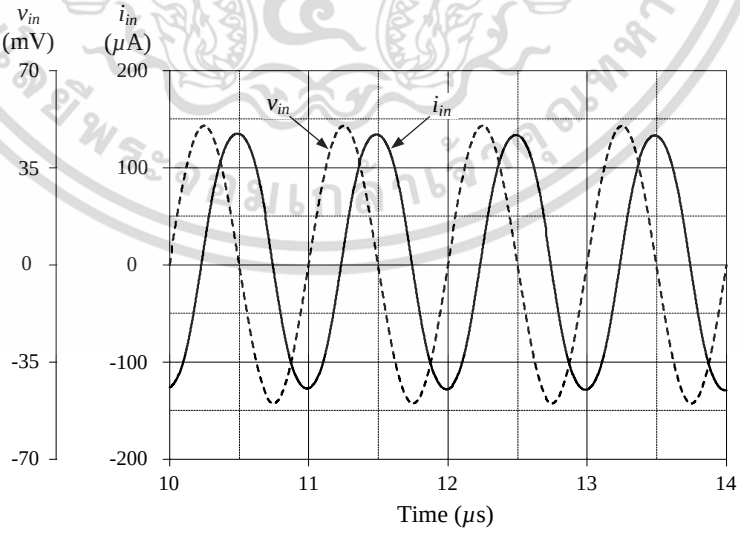
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

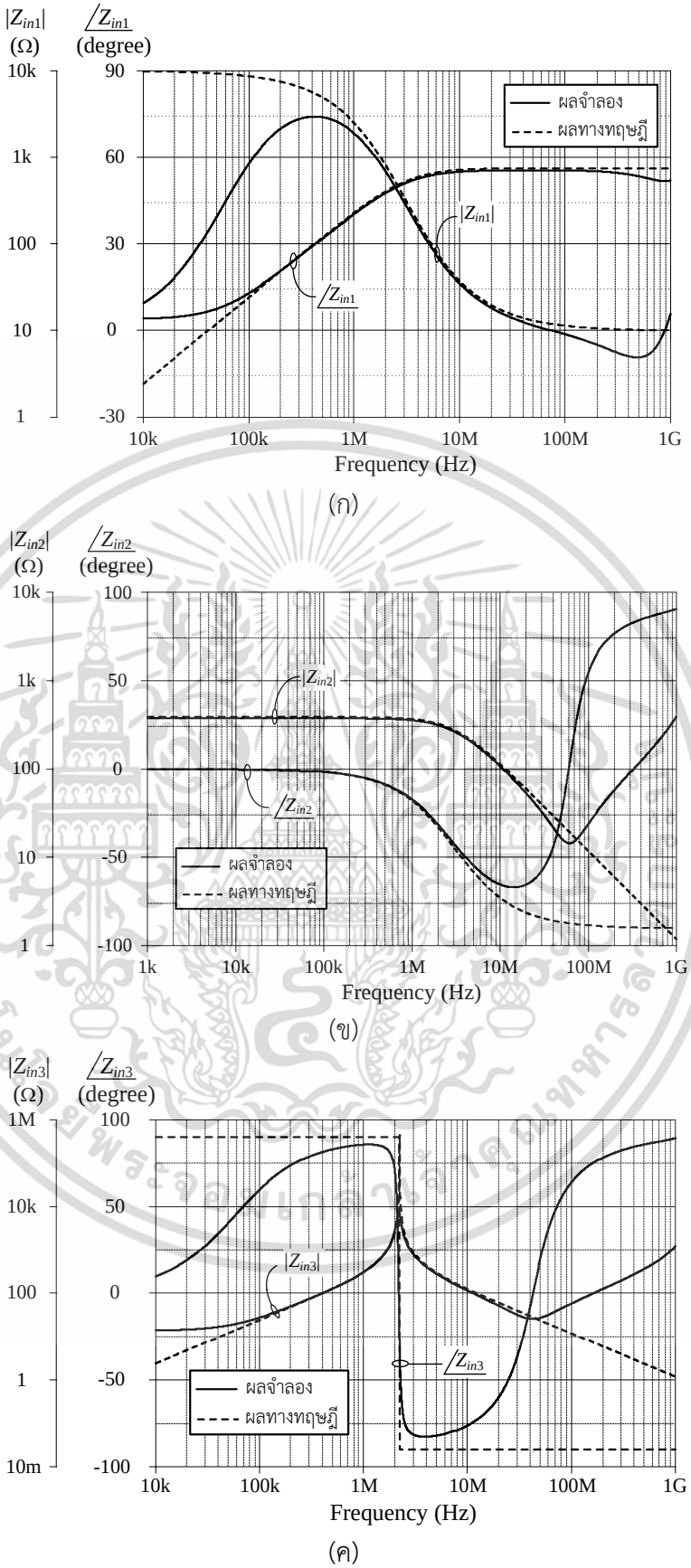


(ค)

รูปที่ 5.10 ผลจำลองผลตอบสนองทางเวลาของวงจรที่นำเสนอแบบขนานดังรูปที่ 5.2 (ข)

(ก) R_{eq} ขนาน L_{eq} (ข) R_{eq} ขนาน C_{eq} (ค) L_{eq} ขนาน C_{eq}

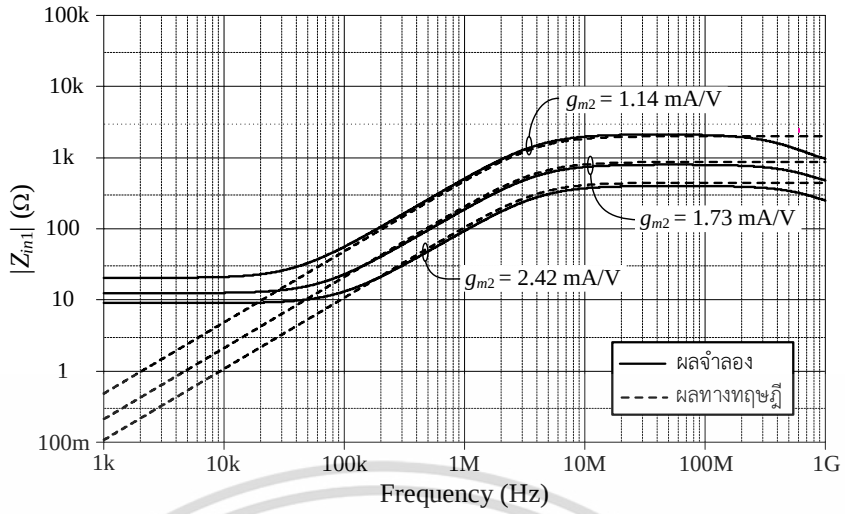
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



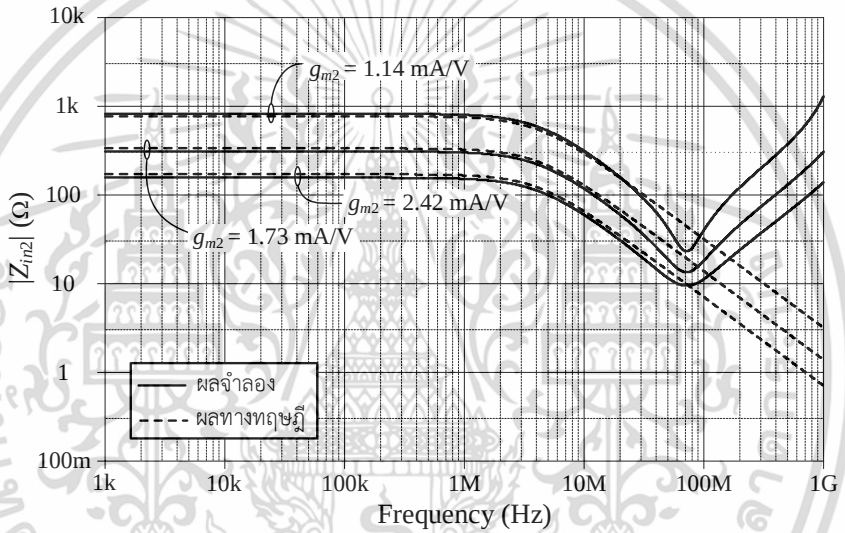
รูปที่ 5.11 ผลจำลองผลตอบสนองทางความถี่ของวงจรที่นำเสนอแบบขนานดังรูปที่ 5.2 (ข)

(ก) R_{eq} ขนาน L_{eq} (ข) R_{eq} ขนาน C_{eq} (ค) L_{eq} ขนาน C_{eq}

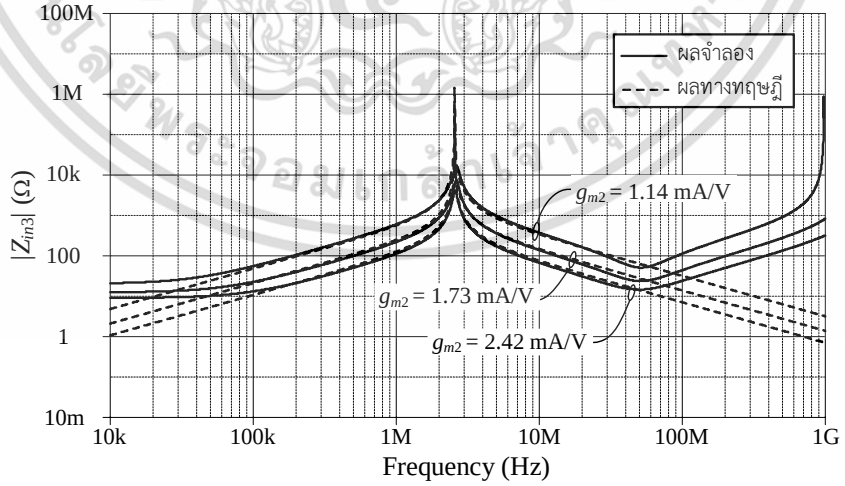
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)



(ค)

รูปที่ 5.12 ผลจำลองผลตอบสนองทางขนาดของวงจรที่นำเสนอเมื่อแปรค่า g_{m2}

(ก) R_{eq} ขนาน L_{eq} (ข) R_{eq} ขนาน C_{eq} (ค) L_{eq} ขนาน C_{eq}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

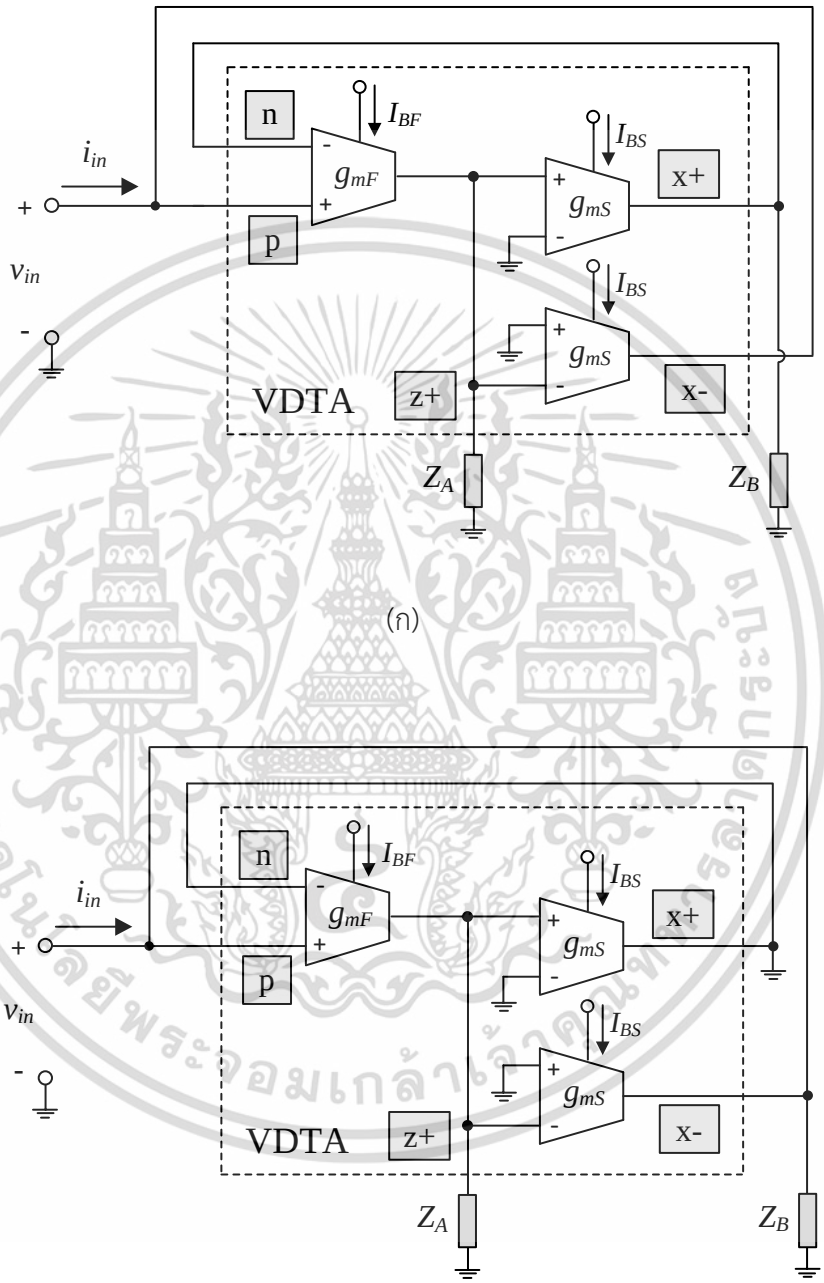
ตารางที่ 5.12 ค่าอุปกรณ์สมมูลของวงจรที่นำเสนอในรูปที่ 5.2 (ข) เมื่อแปรค่า g_{m2}

Z_{ini}	เลือกฟังก์ชัน	g_{m2} (mA/V)	ค่าอุปกรณ์สมมูล	ผลการจำลอง	ผลทางทฤษฎี	ค่าความคลาดเคลื่อน
$1/Z_{in1}$	$Z_A = 1/sC_A$ $Z_B = R_B$	1.14	R_{eq} = 2 kΩ L_{eq} = 76.95 μH	506.45 Ω	469.94 Ω	7.77 %
		1.73	R_{eq} = 870.25 Ω L_{eq} = 33.49 μH	187.51 Ω	204.53 Ω	8.32 %
		2.42	R_{eq} = 444.44 Ω L_{eq} = 17.10 μH	93.6 Ω	104.43 Ω	10.31 %
$1/Z_{in2}$	$Z_A = R_A$ $Z_B = 1/sC_B$	1.14	R_{eq} = 769.47 Ω C_{eq} = 50 pF	800.19 Ω	747.92 Ω	6.99 %
		1.73	R_{eq} = 334.90 Ω C_{eq} = 114.9 pF	300.80 Ω	325.52 Ω	7.59 %
		2.42	R_{eq} = 171.04 Ω C_{eq} = 225 pF	152.05 Ω	166.25 Ω	8.54 %
$1/Z_{in3}$	$Z_A = 1/sC_A$ $Z_B = 1/sC_B$	1.14	L_{eq} = 76.95 μH C_{eq} = 50 pF	603.36 Ω	570.10 Ω	5.83 %
		1.73	L_{eq} = 33.49 μH C_{eq} = 114.9 pF	248.12 Ω	221.80 Ω	11.87 %
		2.42	L_{eq} = 17.10 μH C_{eq} = 225 pF	126.69 Ω	112.94 Ω	12.17 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

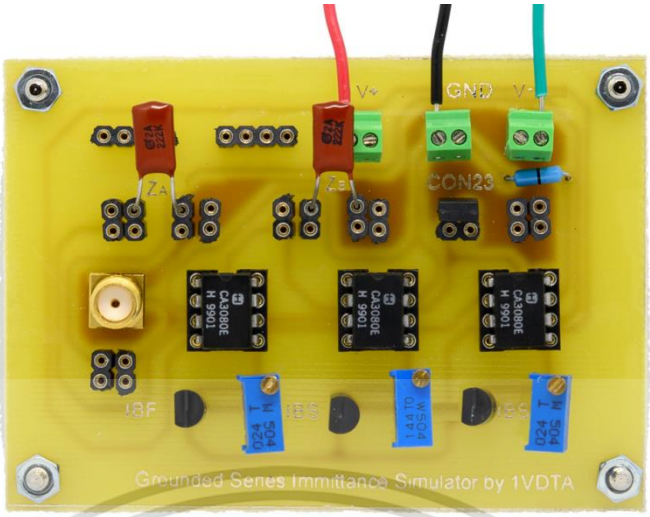
5.5 ผลการต่อทดลองด้วยวงจรจริง

วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ที่นำเสนอในรูป 5.1 ได้ถูกนำไปต่อทดลองเป็นวงจรจริง โดยสังเคราะห์ขึ้นจากไอซีเบอร์ CA3080 [20] จำนวนสามตัวแสดงดังรูปที่ 5.13 และออกแบบแผ่นวงจรพิมพ์ดังภาพถ่ายในรูปที่ 5.14

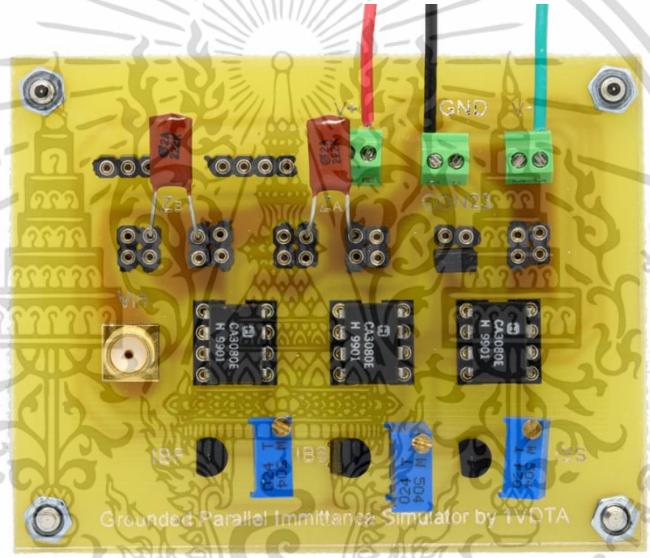


รูปที่ 5.13 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ที่นำเสนอในรูป 5.1
(ก) แบบอนุกรม (ข) แบบขนาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

รูปที่ 5.14 ภาพถ่ายแผ่นวงจรพิมพ์ของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ที่นำเสนอ (ก) แบบอนุกรม (ข) แบบขนาน

5.5.1 ผลการต่อทดลองของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบอนุกรม

รูปที่ 5.15 แสดงผลการวัดผลตอบสนองทางเวลาของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบอนุกรมที่นำเสนอในรูปที่ 5.1 (ก) ซึ่งวงจรใช้แรงดันไฟเลี้ยง V+ = V− = 5 V และกำหนดให้ $I_{B1} = I_{BF1} = I_{BS1} = 50\ \mu A$ ($g_{m1} = g_{mF1} = g_{mS1} \cong 1$ mA/V) $R_A = R_B = 1\ k\Omega$ และ $C_A = C_B = 4.7$ nF เมื่อป้อนค่าสัญญาณอินพุต v_{in} เท่ากับ 50 mVp ที่ความถี่ 60 kHz พบว่ามุมต่างเฟสระหว่าง v_{in} และ i_{in} ค่าอุปกรณ์สมมูลและค่าความถี่มุมของวงจรที่นำเสนอมีรายละเอียดดังตารางที่ 5.13 ในขณะที่ผลการวัดผลตอบสนองทางขนาดและผลการวัดผลตอบสนองทางมุมเฟสแสดงได้ดังรูปที่ 5.16 และรูปที่ 5.17 ตามลำดับ ซึ่งประกอบไปด้วยวงจร R_{eq} อนุกรมกับ L_{eq} สำหรับรูปที่ 5.16 (ก) R_{eq} อนุกรมกับ C_{eq} สำหรับรูปที่ 5.16 (ข) และ L_{eq} อนุกรมกับ C_{eq} สำหรับ

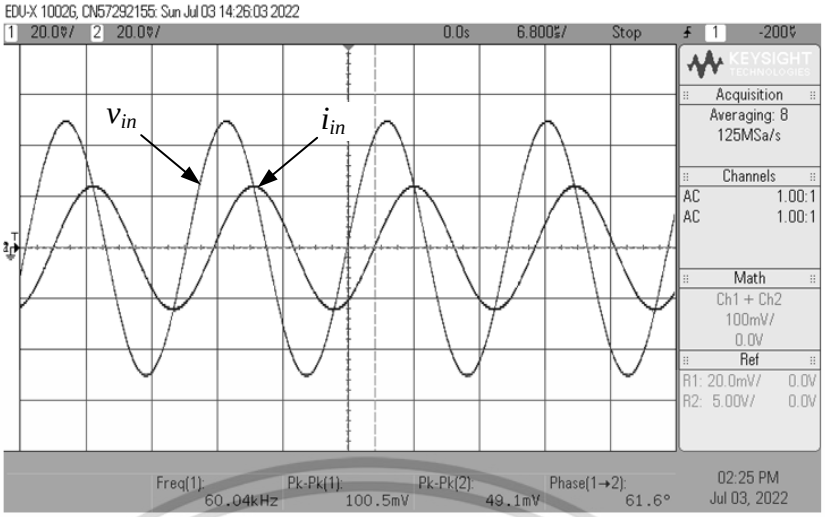
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.16 (ค) โดยที่ผลการวัดค่า Z_{eqi} และ $\angle Z_{eqi}$ ณ ตำแหน่งความถี่ 10 kHz 20 kHz และ 100 kHz เมื่อเปรียบเทียบระหว่างผลการทดลองและผลในทางทฤษฎีแสดงได้ดังตารางที่ 5.14

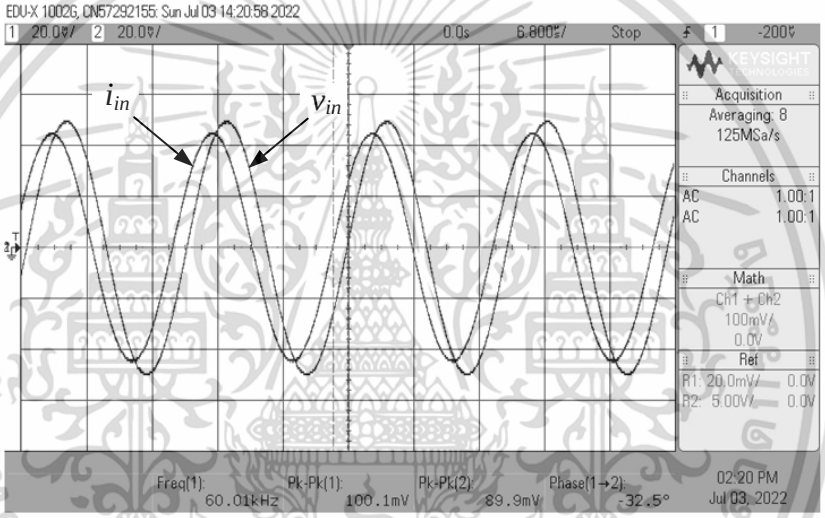
ตารางที่ 5.13 รายละเอียดข้อมูลของวงจรที่นำเสนอในรูปที่ 5.1 (ก) สำหรับผลการทดลอง

Z_{eqi}	Z_A	Z_B	วงจรที่นำเสนอ	ค่าอุปกรณ์สมมูล	f_c (kHz)	มุมเฟสระหว่าง v_{in} และ i_{in}	
						ทางปฏิบัติ	ทางทฤษฎี
Z_{eq1}	$1/sC_A$	R_B	รูปที่ 5.13 (ก) R_{eq} อนุกรม L_{eq} แบบเทียบกราวด์	R_{eq} = 1 kΩ L_{eq} = 4.7 mH	338.62	61.6°	60.56°
Z_{eq2}	R_A	$1/sC_B$	รูปที่ 5.13 (ก) R_{eq} อนุกรม C_{eq} แบบเทียบกราวด์	R_{eq} = 1 kΩ C_{eq} = 4.7 nF	338.62	32.5°	29.44°
Z_{eq3}	$1/sC_A$	$1/sC_B$	รูปที่ 5.13 (ก) L_{eq} อนุกรม C_{eq} แบบเทียบกราวด์	L_{eq} = 4.7 mH C_{eq} = 4.7 nF	338.62	86.7°	90°

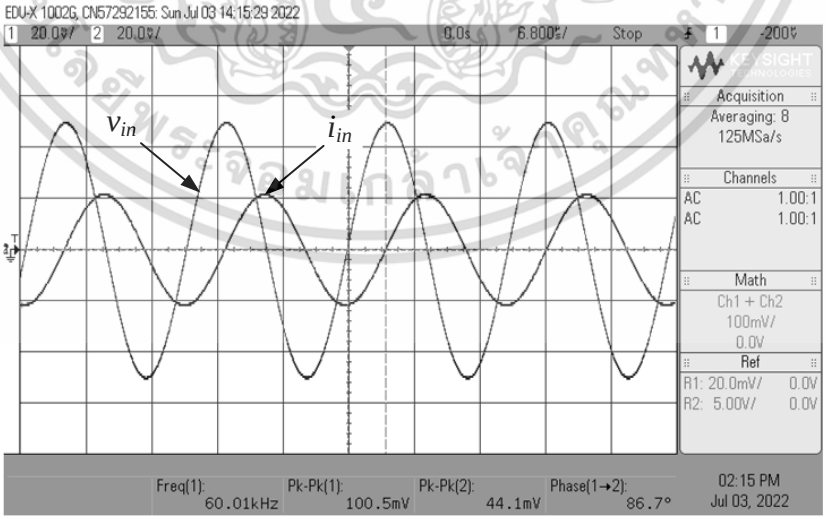
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

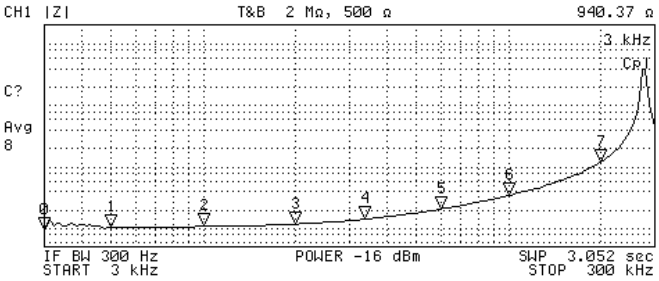


(ค)

รูปที่ 5.15 ผลการวัดผลตอบสนองทางเวลาของวงจรที่นำเสนอแบบอนุกรมดังรูปที่ 5.1 (ก)

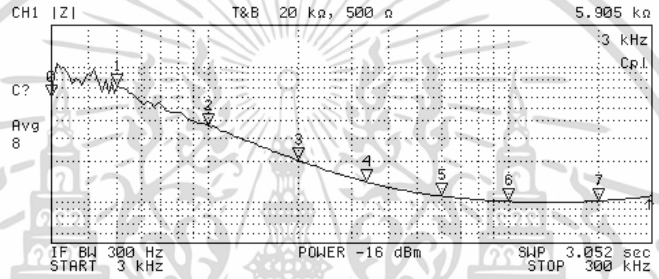
(ก) R_{eq} อนุกรม L_{eq} (ข) R_{eq} อนุกรม C_{eq} (ค) L_{eq} อนุกรม C_{eq}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



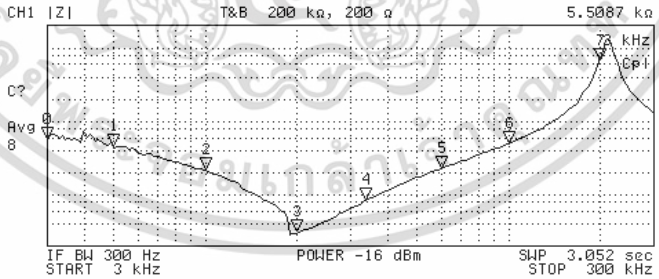
N	SWP PARAM	VAL
0	3 kHz	940.37 Ω
1	5 kHz	1.0164 kΩ
2	10 kHz	1.0663 kΩ
3	20 kHz	1.1667 kΩ
4	34 kHz	1.4064 kΩ
5	60 kHz	2.0331 kΩ
6	100 kHz	3.3919 kΩ
7	200 kHz	11.788 kΩ

(ก)



N	SWP PARAM	VAL
0	3 kHz	5.905 kΩ
1	5 kHz	7.0426 kΩ
2	10 kHz	3.6663 kΩ
3	20 kHz	2.0407 kΩ
4	34 kHz	1.4063 kΩ
5	60 kHz	1.112 kΩ
6	100 kHz	1.0135 kΩ
7	200 kHz	1.0236 kΩ

(ข)



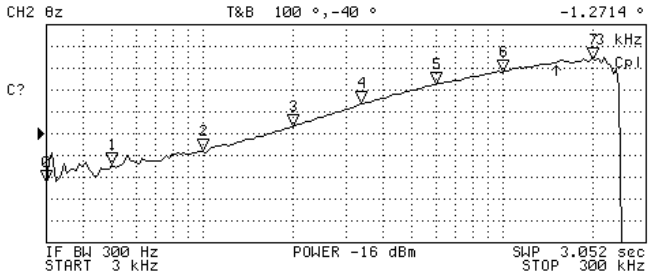
N	SWP PARAM	VAL
0	3 kHz	5.5087 kΩ
1	5 kHz	4.4115 kΩ
2	10 kHz	2.1059 kΩ
3	20 kHz	301.66 Ω
4	34 kHz	830.72 Ω
5	60 kHz	2.2467 kΩ
6	100 kHz	4.9477 kΩ
7	200 kHz	65.207 kΩ

(ค)

รูปที่ 5.16 ผลการวัดผลตอบสนองทางขนาดของวงจรที่นำเสนอแบบอนุกรมดังรูปที่ 5.1 (ก)

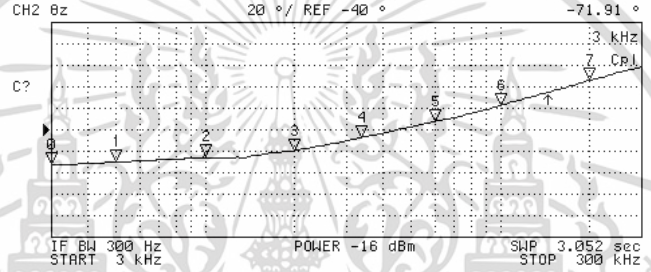
(ก) R_{eq} อนุกรม L_{eq} (ข) R_{eq} อนุกรม C_{eq} (ค) L_{eq} อนุกรม C_{eq}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



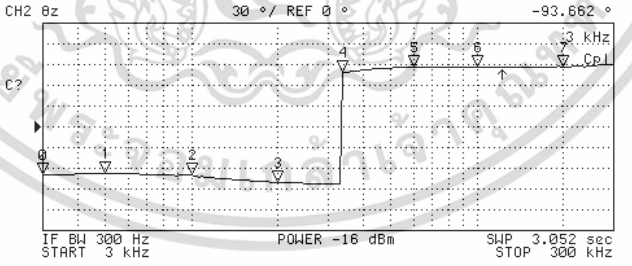
N	SWP PARAM	VAL
0	3 kHz	-1.2714 °
1	5 kHz	9.6972 °
2	10 kHz	18.62 °
3	20 kHz	34.544 °
4	34 kHz	48.993 °
5	60 kHz	61.452 °
6	100 kHz	69.674 °
7	200 kHz	77.669 °

(ก)



N	SWP PARAM	VAL
0	3 kHz	-71.91 °
1	5 kHz	-70.85 °
2	10 kHz	-64.57 °
3	20 kHz	-59.696 °
4	34 kHz	-47.459 °
5	60 kHz	-32.457 °
6	100 kHz	-17.235 °
7	200 kHz	5.6627 °

(ข)



N	SWP PARAM	VAL
0	3 kHz	-68.662 °
1	5 kHz	-66.536 °
2	10 kHz	-69.929 °
3	20 kHz	-80.093 °
4	34 kHz	78.079 °
5	60 kHz	86.108 °
6	100 kHz	86.547 °
7	200 kHz	86.896 °

(ค)

รูปที่ 5.17 ผลการวัดผลตอบสนองทางมุมเฟสของวงจรที่นำเสนอแบบอนุกรมดังรูปที่ 5.1 (ก)

(ก) R_{eq} อนุกรม L_{eq} (ข) R_{eq} อนุกรม C_{eq} (ค) L_{eq} อนุกรม C_{eq}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

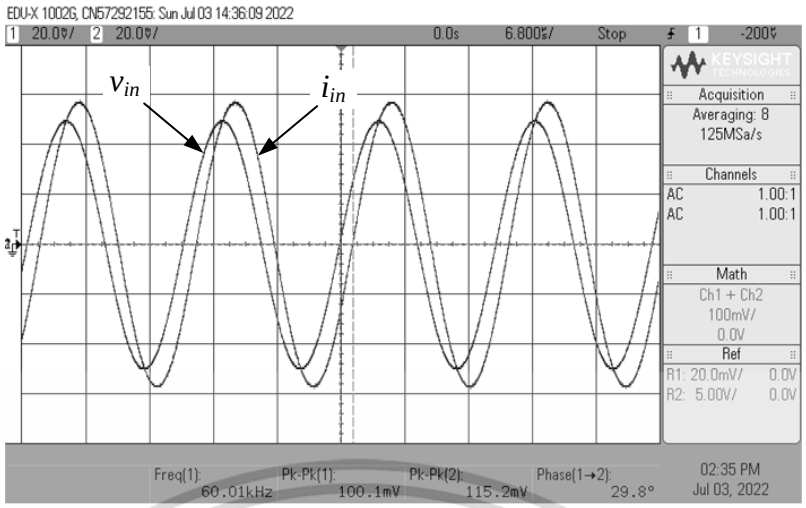
ตารางที่ 5.14 ค่า Z_{eqi} และ $\angle Z_{eqi}$ ของวงจรที่นำเสนอดังรูปที่ 5.1 (ก) ที่ตำแหน่งความถี่ต่างๆ

Z_{eqi}	เลือกฟังก์ชัน	f (kHz)	Z_{eqi} (kΩ) ในรูปที่ 5.16		$\angle Z_{eqi}$ ในรูปที่ 5.17	
			ผลการทดลอง	ผลทางทฤษฎี	ผลการทดลอง	ผลทางทฤษฎี
Z_{eq1}	$Z_A = 1/sC_A$ $Z_B = R_B$	10	1.07	1.04	18.62°	16.45°
		20	1.17	1.16	34.54°	30.57°
		100	3.39	3.12	69.67°	71.29°
Z_{eq2}	$Z_A = R_A$ $Z_B = 1/sC_B$	10	3.67	3.53	-64.57°	-73.55°
		20	2.04	1.97	-59.70°	-59.43°
		100	1.01	1.06	-17.24°	-18.71°
Z_{eq3}	$Z_A = 1/sC_A$ $Z_B = 1/sC_B$	10	2.11	3.68	-69.93°	-90°
		20	0.30	2.28	-80.09°	-90°
		100	4.95	3.29	86.90°	90°

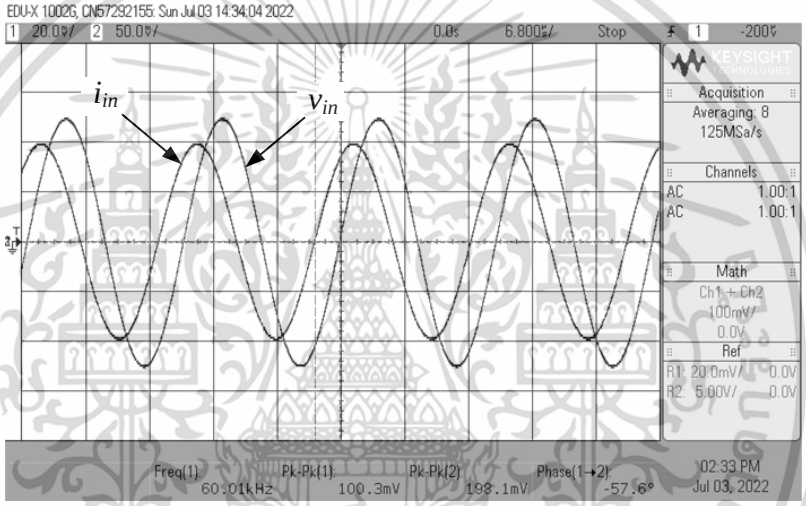
5.5.2 ผลการต่อทดลองของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบขนาน

ผลการต่อทดลองของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบขนานที่นำเสนอในรูปที่ 5.1 (ข) โดยใช้แผ่นวงจรพิมพ์ในรูปที่ 5.14 สำหรับวัดผลตอบสนองทางเวลาและผลตอบสนองทางความถี่เพื่อยืนยันการทำงานของวงจรที่เป็นไปตามหลักการในทางทฤษฎี โดยเลือกใช้ไฟเลี้ยง V+ = V− = 5 V รูปที่ 5.18 แสดงผลการวัดผลตอบสนองทางเวลาของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบขนานที่นำเสนอในรูปที่ 5.1 (ข) เมื่อป้อนค่าสัญญาณอินพุต v_{in} เท่ากับ 50 mVp ที่ความถี่ 60 kHz พบว่ามุมต่างเฟส และค่า R_{eq} C_{eq} L_{eq} ที่ได้แต่ละฟังก์ชัน รวมถึงค่าความถี่มุมของวงจรที่นำเสนอมีรายละเอียดดังตารางที่ 5.15 เมื่อกำหนดให้ $I_{B1} = I_{BF1} = I_{BS1} = 50\ \mu$A ($g_{m1} = g_{mF1} = g_{mS1} \cong 1$ mA/V) $R_A = R_B = 1$ kΩ และ $C_A = C_B =$ 4.7 nF ในขณะที่ผลการวัดผลตอบสนองทางขนาดและผลการวัดผลตอบสนองทางมุมเฟสแสดงได้ดังรูปที่ 5.19 และรูปที่ 5.20 ตามลำดับ ฟังก์ชันที่ออกแบบมีทั้งหมดสามวงจรได้แก่ R_{eq} ขนานกับ L_{eq} R_{eq} ขนานกับ C_{eq} และ L_{eq} ขนานกับ C_{eq} โดยที่ผลการวัดค่า Z_{eqi} และ $\angle Z_{eqi}$ ณ ตำแหน่งความถี่ 10 kHz 20 kHz และ 100 kHz เมื่อเปรียบเทียบระหว่างผลการทดลองและผลในทางทฤษฎีแสดงได้ดังตารางที่ 5.16

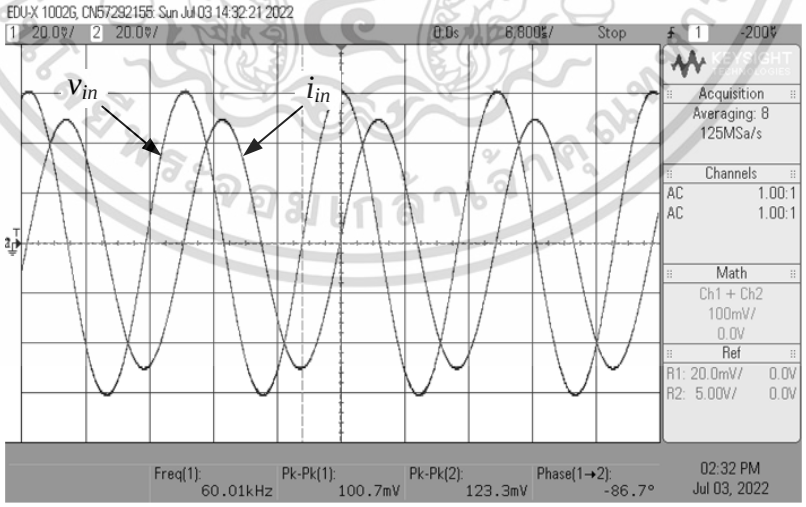
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

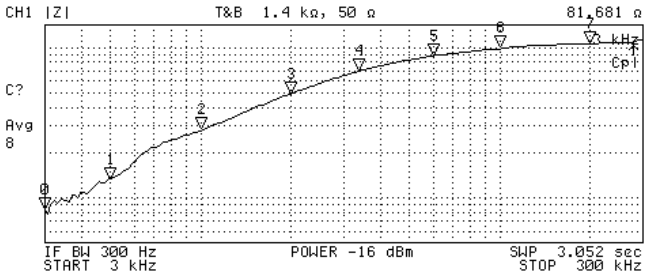


(ค)

รูปที่ 5.18 ผลการวัดผลตอบสนองทางเวลาของวงจรที่นำเสนอแบบขนานดังรูปที่ 5.1 (ข)

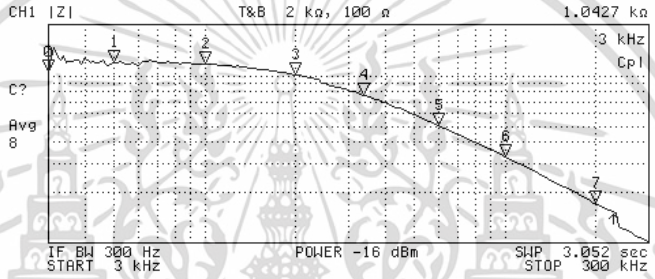
(ก) R_{eq} อนุกรม L_{eq} (ข) R_{eq} อนุกรม C_{eq} (ค) L_{eq} อนุกรม C_{eq}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



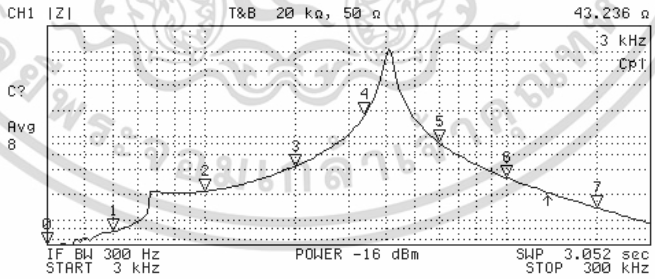
N	SWP PARAM	VAL
0	3 kHz	81.681 Ω
1	5 kHz	131.54 Ω
2	10 kHz	278.84 Ω
3	20 kHz	486.49 Ω
4	34 kHz	689.78 Ω
5	60 kHz	870.48 Ω
6	100 kHz	972.55 Ω
7	200 kHz	1.0525 kΩ

(ก)



N	SWP PARAM	VAL
0	3 kHz	1.0427 kΩ
1	5 kHz	1.1901 kΩ
2	10 kHz	1.1641 kΩ
3	20 kHz	1.0085 kΩ
4	34 kHz	758.84 Ω
5	60 kHz	504.06 Ω
6	100 kHz	326.76 Ω
7	200 kHz	172.99 Ω

(ข)



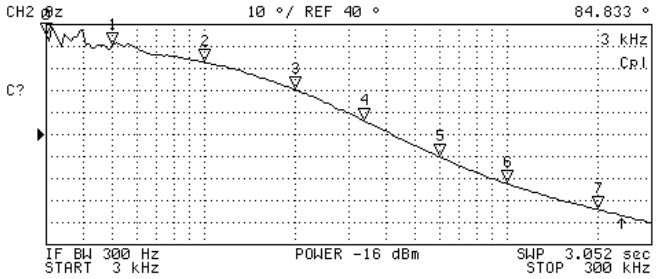
N	SWP PARAM	VAL
0	3 kHz	43.236 Ω
1	5 kHz	71.761 Ω
2	10 kHz	215.62 Ω
3	20 kHz	429.68 Ω
4	34 kHz	1.7421 kΩ
5	60 kHz	815.26 Ω
6	100 kHz	317.1 Ω
7	200 kHz	138.76 Ω

(ค)

รูปที่ 5.19 ผลการวัดผลตอบสนองทางขนาดของวงจรที่นำเสนอแบบขนานดังรูปที่ 5.1 (ข)

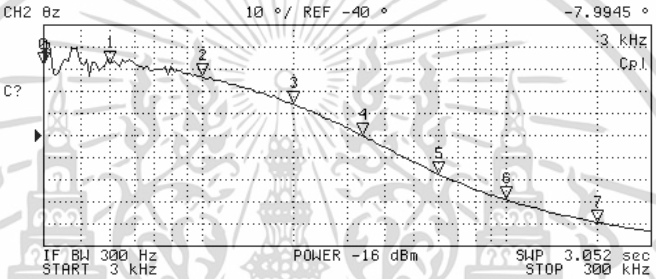
(ก) R_{eq} อนุกรม L_{eq} (ข) R_{eq} อนุกรม C_{eq} (ค) L_{eq} อนุกรม C_{eq}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



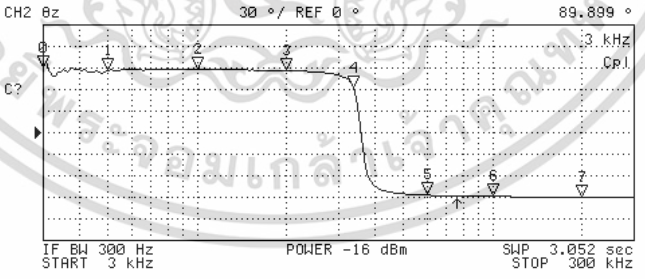
N	SWP PARAM	VAL
0	3 kHz	84.833 °
1	5 kHz	80.395 °
2	10 kHz	72.911 °
3	20 kHz	60.492 °
4	34 kHz	46.282 °
5	60 kHz	29.834 °
6	100 kHz	17.846 °
7	200 kHz	5.9589 °

(ก)



N	SWP PARAM	VAL
0	3 kHz	-7.9945 °
1	5 kHz	-7.4812 °
2	10 kHz	-13.105 °
3	20 kHz	-25.772 °
4	34 kHz	-40.263 °
5	60 kHz	-57.213 °
6	100 kHz	-68.983 °
7	200 kHz	-79.177 °

(ข)



N	SWP PARAM	VAL
0	3 kHz	89.899 °
1	5 kHz	86.035 °
2	10 kHz	87.561 °
3	20 kHz	86.61 °
4	34 kHz	61.221 °
5	60 kHz	-86.886 °
6	100 kHz	-88.851 °
7	200 kHz	-89.524 °

(ค)

รูปที่ 5.20 ผลการวัดผลตอบสนองทางมุมเฟสของวงจรที่นำเสนอแบบขนานดังรูปที่ 5.1 (ข)

(ก) R_{eq} อนุกรม L_{eq} (ข) R_{eq} อนุกรม C_{eq} (ค) L_{eq} อนุกรม C_{eq}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 5.15 รายละเอียดข้อมูลของวงจรที่นำเสนอในรูปที่ 5.1 (ข) สำหรับผลการทดลอง

Z_{eqi}	Z_A	Z_B	วงจรที่นำเสนอ	ค่าอุปกรณ์สมมูล	f_c (kHz)	มุมเฟสระหว่าง v_{in} และ i_{in}	
						ทางปฏิบัติ	ทางทฤษฎี
$1/Z_{eq1}$	$1/sC_A$	R_B	รูปที่ 5.13 (ข) R_{eq} ขนาน L_{eq} แบบเทียบกราวด์	R_{eq} = 1 kΩ L_{eq} = 4.7 mH	338.62	29.8°	29.44°
$1/Z_{eq2}$	R_A	$1/sC_B$	รูปที่ 5.13 (ข) R_{eq} ขนาน C_{eq} แบบเทียบกราวด์	R_{eq} = 1 kΩ C_{eq} = 4.7 nF	338.62	-57.6°	-60.56°
$1/Z_{eq3}$	$1/sC_A$	$1/sC_B$	รูปที่ 5.13 (ข) L_{eq} ขนาน C_{eq} แบบเทียบกราวด์	L_{eq} = 4.7 mH C_{eq} = 4.7 nF	338.62	-86.7°	-90°

ตารางที่ 5.16 ค่า Z_{eqi} และ $\angle Z_{eqi}$ ของวงจรที่นำเสนอดังรูปที่ 5.1 (ข) ที่ตำแหน่งความถี่ต่างๆ

Z_{eqi}	เลือกฟังก์ชัน	f (kHz)	Z_{eqi} (kΩ) ในรูปที่ 5.19		$\angle Z_{eqi}$ ในรูปที่ 5.20	
			ผลการทดลอง	ผลทางทฤษฎี	ผลการทดลอง	ผลทางทฤษฎี
$1/Z_{eq1}$	$Z_A = 1/sC_A$ $Z_B = R_B$	10	0.28	0.28	72.91°	73.55°
		20	0.49	0.50	60.49°	59.43°
		100	0.97	0.95	17.85°	18.71°
$1/Z_{eq2}$	$Z_A = R_A$ $Z_B = 1/sC_B$	10	1.16	0.96	-13.10°	-16.45°
		20	1	0.86	-25.77°	-30.57°
		100	0.33	0.32	-68.98°	-71.29°
$1/Z_{eq3}$	$Z_A = 1/sC_A$ $Z_B = 1/sC_B$	10	0.22	0.27	87.56°	90°
		20	0.43	0.44	86.61°	90°
		100	0.32	0.30	-88.85°	-90°

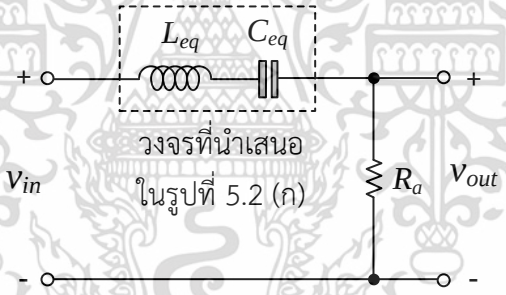
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.6 การประยุกต์ใช้งานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอ

ในหัวข้อนี้จะกล่าวถึงการประยุกต์ใช้งานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอในรูปที่ 5.2 เพื่อเป็นการยืนยันการทำงานของวงจรที่นำเสนอว่าเป็นไปตามหลักการในทางทฤษฎี โดยวงจรเลียนแบบฟังก์ชันแบบตัวเหนี่ยวนำต่ออนุกรมหรือขนานกับตัวเก็บประจุไฟฟ้าจะถูกนำไปประยุกต์ในวงจรกรองผ่านแถบความถี่อันดับสอง (second order band-pass filter) และวงจรหยุดแถบความถี่อันดับสอง (second order band-stop filter) วงจรที่นำเสนอมีข้อดีอันเนื่องจากความสามารถในการปรับค่าอุปกรณ์สมมูลได้ด้วยวิธีทางอิเล็กทรอนิกส์โดยใช้อัตราขยายค่าความนำของวงจร VDTA

5.6.1 การประยุกต์ใช้งานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบอนุกรมในรูปที่ 5.2 (ก)

วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบอนุกรมที่นำเสนอดังรูปที่ 5.2 (ก) ถูกนำไปประยุกต์ใช้งานในวงจรกรองผ่านแถบความถี่อันดับสองแสดงได้ดังรูปที่ 5.21 เมื่อกำหนดให้ v_{in} = 50 $\mathrm{mV_p}$ และ R_a = 500 Ω สำหรับวงจรที่นำเสนอได้เลือกใช้ I_{B1} = I_{BF1} = I_{BS1} = 150 μA (g_{m1} = g_{mF1} = g_{mS1} $\cong$ 1.40 mA/V) I_{B2} = I_{BF2} = I_{BS2} = 200 μA (g_{m2} = g_{mF2} = g_{mS2} $\cong$ 1.612 mA/V) และ C_A = C_B = 100 pF จะได้ L_{eq} = 38.48 μH และ C_{eq} = 133.33 pF



รูปที่ 5.21 วงจรกรองผ่านแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอในรูปที่ 5.2 (ก)

ฟังก์ชันถ่ายโอนแรงดัน (voltage transfer function) ของวงจรกรองผ่านแถบความถี่อันดับสองในรูปที่ 5.21 สามารถวิเคราะห์หาได้ดังนี้ [ภาคผนวก ซ1]

$$H_{BP}(s)=\frac{v_{out}}{v_{in}}=\frac{s\left(\frac{R_a}{L_{eq}}\right)}{s^2+s\left(\frac{R_a}{L_{eq}}\right)+\frac{1}{L_{eq}C_{eq}}} \qquad (5.12)$$

โดยที่ความถี่คัทออฟ (cutoff frequency, f_c) และตัวประกอบคุณภาพ (quality factor, Q) ของวงจรมีค่าเท่ากับ [ภาคผนวก ซ1]

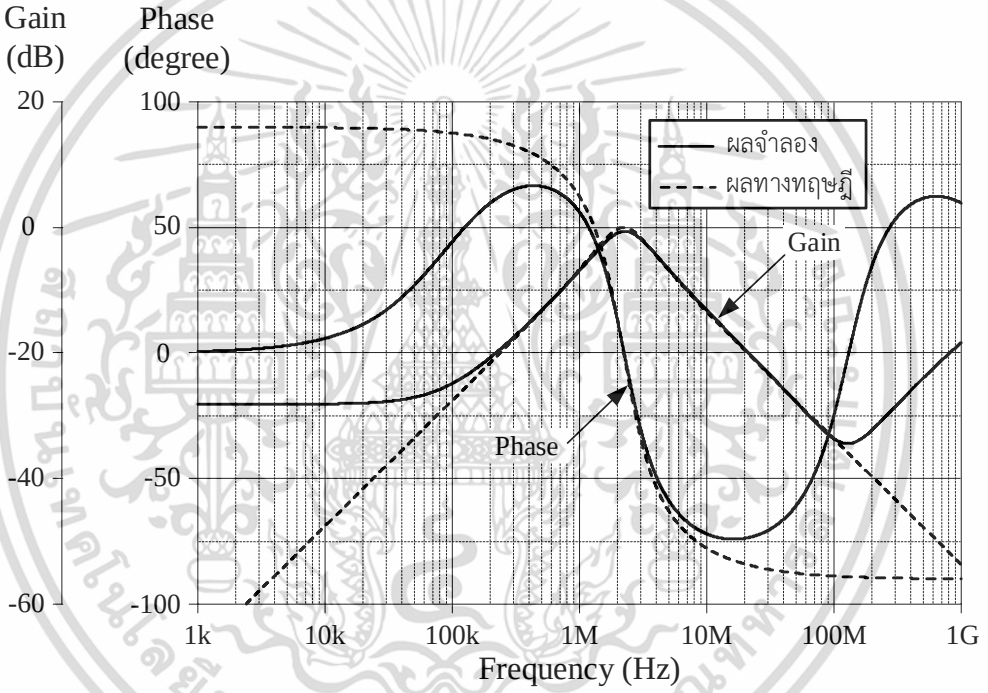
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_c = \frac{1}{2\pi\sqrt{L_{eq}C_{eq}}} \tag{5.13}$$

และ

$$Q = \frac{1}{R_a}\sqrt{\frac{L_{eq}}{C_{eq}}} \tag{5.14}$$

รูปที่ 5.22 แสดงผลจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่อันดับสอง จากสมการ (5.13) และ (5.14) จะได้ f_c = 2.22 MHz และ Q = 1.07 ผลการจำลองพบว่าการทำงานของวงจรมีความถูกต้องและเป็นไปตามหลักการทางทฤษฎีในช่วงความถี่ 1 MHz ถึง 10 MHz

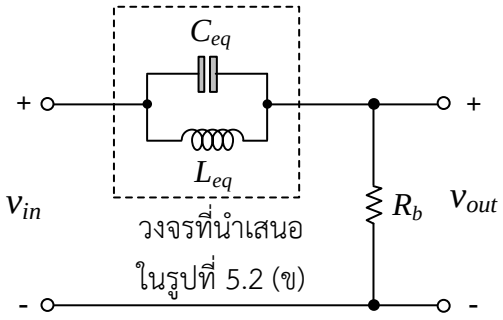


รูปที่ 5.22 ผลจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่อันดับสอง

5.6.2 การประยุกต์ใช้งานของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบขนานที่นำเสนอในรูปที่ 5.2 (ข)

วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวแบบขนานที่นำเสนอในรูปที่ 5.2 (ข) ถูกนำไปประยุกต์ใช้งานในวงจรหยุดแถบความถี่อันดับสองแสดงได้ดังรูปที่ 5.23 เมื่อกำหนดให้ v_{in} = 50 mV_p และ R_b = 500 Ω สำหรับวงจรที่นำเสนอได้เลือกใช้อุปกรณ์สมมูล L_{eq} = 38.48 μH และ C_{eq} = 133.33 pF แทนที่อุปกรณ์พาสซีฟในวงจรหยุดแถบความถี่ โดยกำหนดให้ $I_{B1} = I_{BF1} = I_{BS1}$ = 150 μA ($g_{m1} = g_{mF1} = g_{mS1} \cong$ 1.40 mA/V) $I_{B2} = I_{BF2} = I_{BS2}$ = 200 μA ($g_{m2} = g_{mF2} = g_{mS2} \cong$ 1.612 mA/V) และ $C_A = C_B$ = 100 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.23 วงจรหยุดแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอในรูปที่ 5.2 (ข)

วงจรหยุดแถบความถี่อันดับสองในรูปที่ 5.23 มีฟังก์ชันถ่ายโอนแรงดันเท่ากับ [ภาคผนวก ซ2]

$$H_{BS}(s) = \frac{v_{out}}{v_{in}} = \frac{s^2 + \dfrac{1}{L_{eq}C_{eq}}}{s^2 + s\left(\dfrac{1}{C_{eq}R_a}\right) + \dfrac{1}{L_{eq}C_{eq}}} \tag{5.15}$$

โดยที่ความถี่คัทออฟและตัวประกอบคุณภาพของวงจรมีค่าเท่ากับ [ภาคผนวก ซ2]

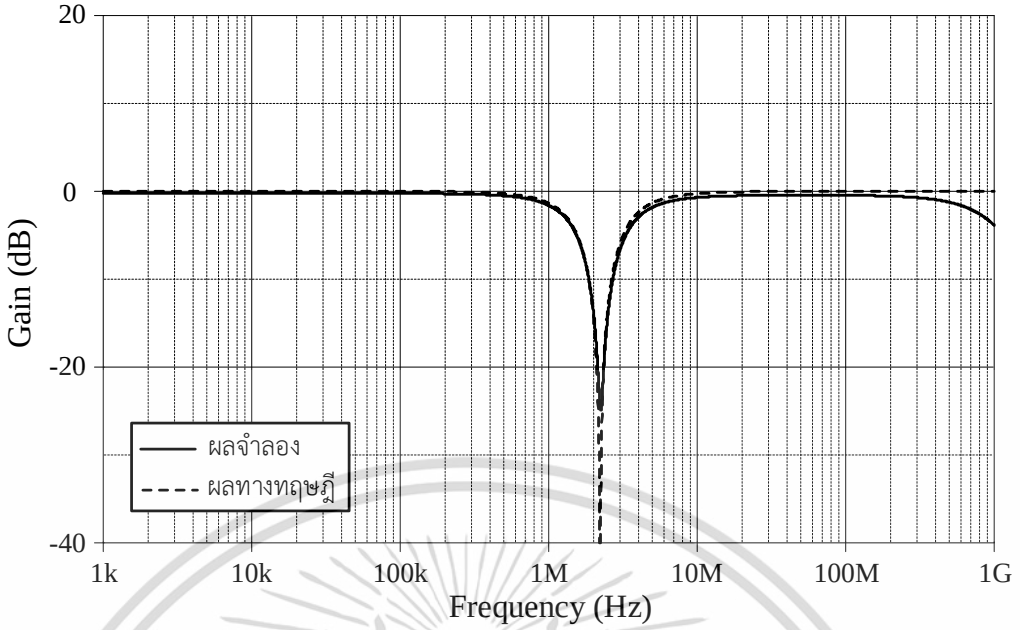
$$f_c = \frac{1}{2\pi\sqrt{L_{eq}C_{eq}}} \tag{5.16}$$

และ

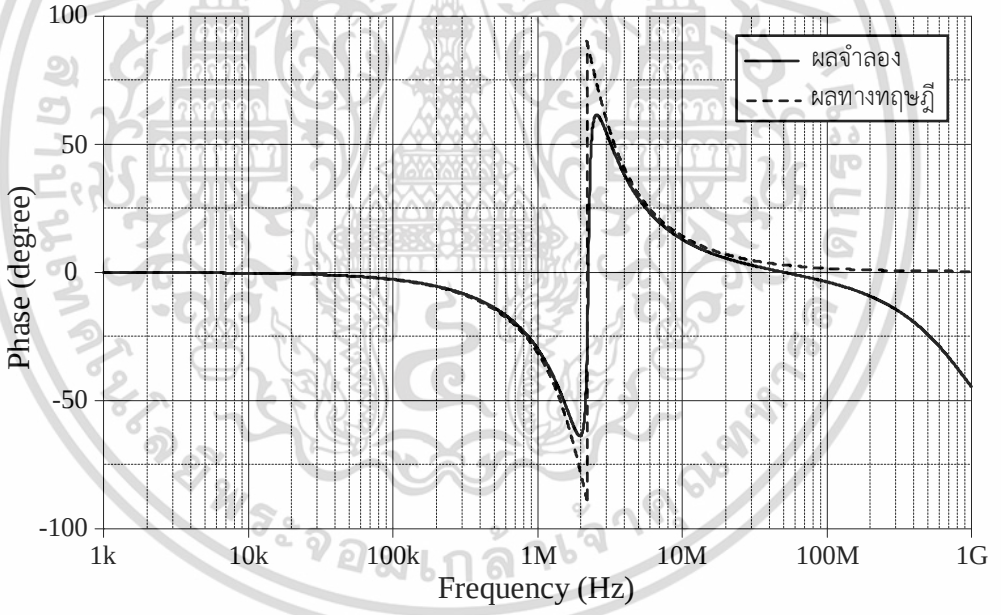
$$Q = R_b\sqrt{\frac{C_{eq}}{L_{eq}}} \tag{5.17}$$

รูปที่ 5.24 แสดงผลจำลองผลตอบสนองทางความถี่เชิงขนาด ในขณะที่รูปที่ 5.25 แสดงผลจำลองผลตอบสนองทางความถี่เชิงมุมเฟสของวงจรหยุดแถบความถี่อันดับสอง จากสมการ (5.16) และ (5.17) จะได้ f_c = 2.22 MHz และ Q = 0.93 ผลการจำลองพบว่าการทำงานของวงจรมีความถูกต้องและเป็นไปตามหลักการทางทฤษฎีในช่วงความถี่ 100 kHz ถึง 100 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.24 ผลจำลองผลตอบสนองทางความถี่เชิงขนาดของวงจรหยุดแถบความถี่อันดับสอง



รูปที่ 5.25 ผลจำลองผลตอบสนองทางความถี่เชิงมุมเฟสของวงจรหยุดแถบความถี่อันดับสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.7 สรุป

วิทยานิพนธ์บทนี้ได้นำเสนอวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์และต่อลอยตัวที่นำเสนอ ซึ่งวงจรดังกล่าวสามารถออกแบบฟังก์ชันที่ต้องการเพียงเลือกอุปกรณ์พาสซีฟที่เหมาะสมซึ่งออกแบบได้ทั้งหมดหกฟังก์ชัน ได้แก่ ตัวต้านทานต่ออนุกรมหรือขนานกับตัวเหนี่ยวนำ ตัวต้านทานต่ออนุกรมหรือขนานกับตัวเก็บประจุไฟฟ้า และตัวเหนี่ยวนำต่ออนุกรมหรือขนานกับตัวเก็บประจุไฟฟ้า โดยค่าความต้านทานสมมูล ค่าความจุไฟฟ้าสมมูลและค่าความเหนี่ยวนำสมมูลที่สังเคราะห์ได้จากวงจรที่นำเสนอสามารถปรับได้ด้วยวิธีทางอิเล็กทรอนิกส์โดยการแปรอัตราขยายค่าความนำผ่านกระแสไบอัสของวงจร VDTA คุณสมบัติในการทำงานของวงจรที่นำเสนอได้ถูกทดสอบด้วยผลการจำลองการทำงานผ่านโปรแกรม PSPICE และผลการต่อทดลองจริงโดยใช้ไอซีเบอร์ CA3080 รวมถึงการประยุกต์ใช้งานจากการสังเคราะห์ฟังก์ชันที่ออกแบบตัวเหนี่ยวนำต่ออนุกรมและขนานกับตัวเก็บประจุไฟฟ้านำไปแทนที่อุปกรณ์พาสซีฟในวงจรกรองผ่านแถบความถี่อันดับสองและวงจรหยุดแถบความถี่อันดับสอง ซึ่งผลการจำลองผลการทำงานที่ได้มีความสอดคล้องและเป็นไปตามหลักการทางทฤษฎี

5.8 เอกสารอ้างอิงบทที่ 5

[1] M. T. Abuelma'Atti and N. A. Tasadduq, “Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor”, **Microelectronics Journal**, vol. 30, no. 9, pp. 869-873, 1999.

[2] E. Yuce, O. Cicekoglu and S. Minaei, “CCII-based grounded to floating immittance converter and a floating inductance simulator”, **Analog Integrated Circuits and Signal Processing**, vol. 46, no. 3, pp. 287-291, 2006.

[3] P. Moonmuang, T. Pukkalanun and W. Tangsrirat, “VDBA-based series RC impedance simulator using single grounded capacitor”, **Proceedings of The 4th International Conference on Engineering, Applied Sciences and Technology (ICEAST 2018)**, Phuket, Thailand, 4-7 July, 2018.

[4] A. Sadat, Yi Liu, Chuanzhao Yu, J.S. Yuan, “Analysis and modeling of LC oscillator reliability”, **IEEE Transactions on Device and Materials Reliability**, vol. 5, no. 1, pp. 119-126, 2005.

[5] H. Kuntman, M. Gülsoy and O. Çiçekoğlu, “Actively simulated grounded lossy inductors using third generation current conveyors”, **Microelectronics Journal**, vol. 31, no. 4, pp. 245-250, 2000.

[6] O. Çiçekoğlu, A. Toker and H. Kuntman, “Universal immittance function simulators using current conveyors”, **Computers and Electrical Engineering**, vol. 27, no. 3, pp. 227-238, 2001.

[7] M. Incekaraoglu and U. Çam, “Realization of series and parallel R-L and C-D impedances using single differential voltage current conveyor”, **Analog Integrated Circuits and Signal Processing**, vol. 43, no. 1, pp. 101-104, 2005.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[8] F. Kaçar and A. Yeşil, “Novel grounded parallel inductance simulators realization using a minimum number of active and passive components”, **Microelectronics Journal**, vol. 41, no. 10, pp. 632-638, 2010.

[9] J. Jerabek, R. Sotner, R. Prokop, V. Kledrowetz, A. Kartci and U. E. Ayten, “Inductance simulator based on dual controlled CMOS voltage differencing current conveyor”, **Proceedings of the 59th International Midwest Symposium on Circuits and Systems (MWSCAS 2016)**, Abu Dhabi, United Arab Emirates, 16-19 October, 2016.

[10] B. Metin, M. Atasoyu, E. Arslan, N. Herencsar and O. Çiçekoğlu, “A tunable immitance simulator with a voltage differential current conveyor”, **Proceedings of the 60th International Midwest Symposium on Circuits and Systems (MWSCAS 2017)**, Boston, MA, USA, 6-9 August, pp. 739-742, 2017.

[11] N. A. Shah and S. Z. Iqbal, “Versatile voltage mode universal biquad filter using the operational amplifier pole”, **International Journal of Electronics**, vol. 94, no. 1, pp. 75-79, 2007.

[12] P. Prommee and K. Dejhan, “An integrable electronic-controlled quadrature sinusoidal oscillator using CMOS operational transconductance amplifier”, **International Journal of Electronics**, vol. 89, no. 5, pp. 365-379, 2002.

[13] B. Wilson, “Floating FDNR employing a new CCII- conveyor implementation”, **Electronics Letters**, vol. 21, no. 21, pp. 996-997, 1985.

[14] M. Higashimura and Y. Fukui, “Realization of current mode all-pass networks using a current conveyor”, **IEEE Transactions on Circuits and Systems**, vol. 37, no. 5, pp. 660-661, 1990.

[15] N. A. Shah, M. Quadri and S. Z. Iqbal, “CDTA based universal transadmittance filter”, **Analog Integrated Circuits and Signal Processing**, vol. 52, no. 1-2, pp. 65-69, 2007.

[16] W. Jaikla, M. Siripruchyanun, J. Bajer and D. Biolek, “A simple current-mode quadrature oscillator using single CDTA”, **Radioengineering**, vol. 17, no. 4, pp. 33-40, 2008.

[17] J. Satansup, T. Pukkalanun and W. Tangsrirat, “Electronically tunable single-input five-output voltage-mode universal filter using VDTAs and grounded passive elements”, **Circuits, Systems, and Signal Processing**, vol. 32, no. 3, pp. 945-957, 2013.

[18] D. Prasadl, D. R. Bhaskar and M. Srivastava, “Universal voltage-mode biquad filter using voltage differencing transconductance amplifier”, **Indian Journal of Pure and Applied Physics**, vol. 51, no. 12, pp. 864-868, 2013.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[19] P. Moonmuang, T. Pukkalanun, W. Tangsrirat, “Floating/grounded series/parallel R-L, R-C and L-C immittance simulators employing VDTAs and only two grounded passive elements”, **International Journal of Electronics and Communications (AEU)**, vol. 145, 2022.

[20] Harris semiconductor, “2 MHz, operational transconductance amplifier (OTA)”, **CA3080 datasheet**, Nov, 1996.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
บทสรุปและข้อเสนอแนะแนวทางในการทำวิจัยต่อ

6.1 บทสรุป

วิทยานิพนธ์ฉบับนี้มีวัตถุประสงค์เพื่อออกแบบและสังเคราะห์วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์โดยใช้อุปกรณ์แอคทีฟหลักคือวงจร VDTA ที่ขั้วด้านอินพุตรับสัญญาณแบบผลต่างแรงดันและเปลี่ยนเป็นกระแสเอาต์พุต ทำให้วงจร VDTA มีความเหมาะสมกับการทำงานทั้งในโหมดแรงดัน และโหมดกระแส ทั้งยังมีช่วงปฏิบัติงานที่กว้าง ซึ่งวงจร VDTA แบบใช้เทคโนโลยีมอสทรานซิสเตอร์ภายในจะประกอบไปด้วยแหล่งจ่ายกระแสควบคุมด้วยผลต่างของแรงดัน ต่อร่วมกับวงจร OTA แบบหลายเอาต์พุต ที่มีคุณสมบัติสำคัญคือสามารถปรับอัตราขยายค่าความนำด้วยวิธีการทางอิเล็กทรอนิกส์จากภายนอก ทำให้วงจรมีความเรียบง่าย ไม่ซับซ้อน กินพื้นที่ในการนำไปออกแบบวงจรรวมน้อย รวมถึงใช้ไฟเลี้ยงต่ำอีกด้วย ดังนั้นวิทยานิพนธ์ฉบับนี้จึงเลือกใช้วงจร VDTA เพื่อนำไปสังเคราะห์เป็นวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์โดยมีรายละเอียดดังต่อไปนี้

1) บทที่ 3 นำเสนอวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบลอยตัว ซึ่งประกอบไปด้วยวงจร VDTA จำนวนหนึ่งตัว ตัวต้านทานและตัวเก็บประจุไฟฟ้าอย่างละหนึ่งตัว

2) บทที่ 4 นำเสนอวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ทั้งรูปแบบอนุกรมและขนาน โดยแบ่งออกเป็นโครงสร้างแบบต่อเทียบกราวด์ ซึ่งประกอบด้วยวงจร VDTA จำนวนหนึ่งตัวต่อร่วมกับตัวเก็บประจุไฟฟ้าจำนวนหนึ่งตัว ในขณะที่โครงสร้างแบบต่อลอยตัวจะประกอบไปด้วยวงจร VDTA จำนวนสองตัวต่อร่วมกับตัวเก็บประจุไฟฟ้าจำนวนหนึ่งตัว

3) บทที่ 5 นำเสนอวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ โดยแบ่งออกเป็นโครงสร้างแบบต่อเทียบกราวด์ ซึ่งประกอบไปด้วยวงจร VDTA จำนวนหนึ่งตัวต่อร่วมกับอุปกรณ์พาสซีฟจำนวนสองตัว และโครงสร้างแบบต่อลอยตัวซึ่งประกอบไปด้วย วงจร VDTA จำนวนสองตัวต่อร่วมกับอุปกรณ์พาสซีฟจำนวนสองตัว โดยที่สามารถสังเคราะห์เป็นฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสีย ฟังก์ชันเลียนแบบค่าอิมพีแดนซ์ RC และฟังก์ชันเลียนแบบค่าอิมพีแดนซ์ LC โดยที่ทุกฟังก์ชันที่นำเสนอมีทั้งรูปแบบอนุกรมและขนาน

วงจรที่นำเสนอในข้างต้นแสดงให้เห็นถึงผลการจำลองการทำงานด้วยโปรแกรม PSPICE ภายใต้เทคโนโลยี CMOS ขนาด 0.18 μm ของบริษัท TSMC (Taiwan Semiconductor Manufacturing Company) และได้ถูกนำไปประยุกต์ใช้งานในวงจรกรองสัญญาณชนิดต่างๆ ได้แก่ วงจรกรองผ่านแถบความถี่อันดับสอง และวงจรกรองผ่านความถี่ต่ำบัตเตอร์เวิร์ทริปเปิลเท่ากันอันดับสี่ พร้อมทั้งผลการทดลองโดยใช้โดยไอซีสำเร็จรูปเบอร์ CA3080 จากบริษัท Harris semiconductor เพื่อออกแบบเป็นวงจร VDTA สำหรับทดสอบวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์จากการปฏิบัติงานจริงด้วยเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิเคราะห์อิมพีแดนซ์ จากผลการจำลองและผลการทดลองจริงของวงจรที่นำเสนอแสดงให้เห็นว่าผลการทำงานที่ได้นั้นมีความสอดคล้องตามหลักการในทางทฤษฎี

ผลการวิจัยทั้งหมดที่ได้รับการพิจารณาตีพิมพ์ในงานประชุมวิชาการระดับชาติและระดับนานาชาติดังนี้ [1]-[15]

นอกจากนี้ผลการวิจัยทั้งหมดที่ได้รับการพิจารณาตีพิมพ์ในวารสารวิชาการระดับนานาชาติจำนวน 6 บทความ [1]-[6] และตีพิมพ์ในการประชุมวิชาการระดับนานาชาติจำนวน 2 บทความ [7]-[8] แสดงดังนี้

1. P. Moonmuang, T. Pukkalanun, S. Unhavanich, and W. Tangsrirat, “Actively simulated floating lossless inductor for short range wireless communication,” **Journal of Mobile Multimedia**, Jul. 2020. [1]
2. P. Moonmuang and W. Tangsrirat, “Single VDTA-based tunable floating lossy inductance simulation circuits,” **IETE Journal of Research**, DOI: 10.1080/03772063.2021.1900752. [2]
3. T. Pukkalanun, P. Moonmuang, S. Unhavanich, W. Tangsrirat, “Practical simulation of grounded/floating lossy inductors based on commercially available integrated circuit LT1228,” **Advances in Science, Technology and Engineering Systems Journal**, vol. 6, no. 2, pp. 512–520, Mar. 2021. [3]
4. T. Pukkalanun, P. Moonmuang, and W. Tangsrirat, “On the resistorless realization of simulated tunable floating lossy inductors with voltage differencing buffered amplifiers,” **Journal of Communications Technology and Electronics**, vol.66, no. 4, pp. 439–450, April. 2021. [4]
5. P. Moonmuang, T. Pukkalanun, and W. Tangsrirat, “Floating/grounded series/parallel R-L, R-C and L-C immittance simulators employing VDTAs and only two grounded passive elements,” **International Journal of Electronics and Communications (AEU)**, vol. 145, p. 154095, Feb. 2022. [5]
6. P. Moonmuang, M. Faseehuddin, T. Pukkalanun, N. Herencsar, and W. Tangsrirat, “VDTA-based floating/grounded series/parallel R-L and R-C immittance simulators with a single grounded capacitor,” **International Journal of Electronics and Communications (AEU)**, vol. 160, p. 154502, Feb. 2023. [6]
7. P. Mongkolwai, P. Moonmuang, T. Pukkalanun, and W. Tangsrirat, “Grounded parallel RL, RC, and LC immittance simulators using VDBAs and passive elements,” **Proceedings of the 10th International Electrical Engineering Congress (iEECON2020)**, Mar. 2022. [7]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. T. Pukkalanun, P. Moonmuang, and W. Tangsrirat, “Grounded series/parallel RL/RC immittance simulators with a single VDTA”, **Proceedings of the 19th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2022)**, Prachuap Khiri Khan, Thailand, 24-27 May, 2022. [8]

โดยรายละเอียดทั้งหมดของแต่ละบทความได้รวบรวมไว้ในภาคผนวก ฌ

6.2 ข้อเสนอแนะแนวทางในการทำวิจัยต่อ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์จำนวนสามวงจร ซึ่งจากการจำลองผลการทำงานและต่อทดลองด้วยวงจรจริงพบว่าวงจรที่นำเสนอสามารถนำไปปรับปรุงให้มีคุณสมบัติการทำงานที่ดีและคล่องตัวมากยิ่งขึ้นดังต่อไปนี้

ประการแรก วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ทั้งหมดที่นำเสนอในวิทยานิพนธ์ฉบับนี้ออกแบบโดยใช้อุปกรณ์แอคทีฟหรือวงจร VDTA ซึ่งมีโครงสร้างภายในที่สังเคราะห์ขึ้นจากเทคโนโลยีแบบมอสทรานซิสเตอร์ ทำให้อัตราขยายค่าความนำที่ได้มีการปรับค่าแบบไม่เป็นเชิงเส้น จึงควรพัฒนาวงจร VDTA ให้สามารถปรับอัตราขยายค่าความนำได้อย่างเป็นเชิงเส้น

ประการที่สอง วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบขนานที่นำเสนอในบทที่ 4 ประกอบไปด้วยอุปกรณ์พาสซีฟจำนวนสองตัว ได้แก่ ตัวเก็บประจุไฟฟ้าแบบเทียบกราวด์และตัวต้านทานแบบลอยตัว หากสามารถออกแบบให้วงจรสามารถสังเคราะห์ได้โดยอาศัยตัวต้านทานแบบเทียบกราวด์จะทำให้สะดวกต่อการพัฒนาต่อยอดเป็นวงจรรวมและง่ายต่อการประยุกต์ใช้งานมากยิ่งขึ้น

ประการที่สาม วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ที่นำเสนอในบทที่ 5 สามารถสังเคราะห์ฟังก์ชันได้ทั้งหมดหกรูปแบบดังนี้ ตัวต้านทานต่ออนุกรมหรือขนานกับตัวเหนี่ยวนำ ตัวต้านทานต่ออนุกรมหรือขนานกับตัวเก็บประจุไฟฟ้า และตัวเหนี่ยวนำต่ออนุกรมหรือขนานกับตัวเก็บประจุไฟฟ้า โดยฟังก์ชันบางชนิดที่สังเคราะห์ขึ้นพบว่าค่าความต้านทานสมมูลและค่าความจุไฟฟ้าสมมูลไม่สามารถปรับค่าทางอิเล็กทรอนิกส์ได้ หากสามารถปรับปรุงวงจรที่นำเสนอให้ค่าอุปกรณ์สมมูลทุกตัวสามารถปรับค่าทางอิเล็กทรอนิกส์ได้ จะส่งผลให้วงจรที่นำเสนอมีความยืดหยุ่นต่อการนำไปประยุกต์ใช้งานได้หลากหลายมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 เอกสารอ้างอิงบทที่ 6

[1] P. Moonmuang, T. Pukkalanun, S. Unhavanich, and W. Tangsrirat, “Actively simulated floating lossless inductor for short range wireless communication,” **Journal of Mobile Multimedia**, vol. 15, no. 4, pp. 321–338, Jul. 2020.

[2] P. Moonmuang and W. Tangsrirat, “Single VDTA-based tunable floating lossy inductance simulation circuits,” **IETE Journal of Research**, DOI: 10.1080/03772063.2021.1900752.

[3] T. Pukkalanun, P. Moonmuang, S. Unhavanich, W. Tangsrirat, “Practical simulation of grounded/floating lossy inductors based on commercially available integrated circuit LT1228,” **Advances in Science, Technology and Engineering Systems Journal**, vol. 6, no. 2, pp. 512–520, Mar. 2021.

[4] T. Pukkalanun, P. Moonmuang, and W. Tangsrirat, “On the resistorless realization of simulated tunable floating lossy inductors with voltage differencing buffered amplifiers,” **Journal of Communications Technology and Electronics**, vol.66, no. 4, pp. 439–450, April. 2021.

[5] P. Moonmuang, T. Pukkalanun, and W. Tangsrirat, “Floating/grounded series/parallel R-L, R-C and L-C immittance simulators employing VDTAs and only two grounded passive elements,” **International Journal of Electronics and Communications (AEU)**, vol. 145, p. 154095, Feb. 2022.

[6] P. Moonmuang, M. Faseehuddin, T. Pukkalanun, N. Herencsar, and W. Tangsrirat, “VDTA-based floating/grounded series/parallel R-L and R-C immittance simulators with a single grounded capacitor,” **International Journal of Electronics and Communications (AEU)**, vol. 160, p. 154502, Feb. 2023.

[7] P. Mongkolwai, P. Moonmuang, T. Pukkalanun, and W. Tangsrirat, “Grounded parallel RL, RC, and LC immittance simulators using VDBAs and passive elements,” **Proceedings of the 10th International Electrical Engineering Congress (iEECON2020)**, Mar. 2022.

[8] T. Pukkalanun, P. Moonmuang, and W. Tangsrirat, “Grounded series/parallel RL/RC immittance simulators with a single VDTA”, **Proceedings of the 19th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2022)**, Prachuap Khiri Khan, Thailand, 24-27 May, 2022.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

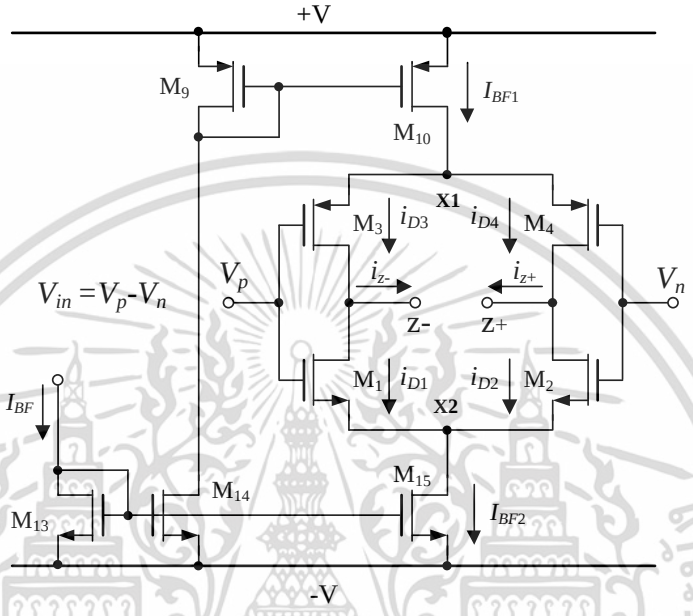
ภาคผนวก ก

การวิเคราะห์คุณสมบัติของวงจร VDTA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก1 การวิเคราะห์คุณสมบัติของวงจรขยายค่าความนำแบบเทคโนโลยีมอสทรานซิสเตอร์

โครงสร้างภายในของวงจร VDTA ที่ใช้เทคโนโลยีแบบมอสทรานซิสเตอร์แสดงดังรูปที่ 2.5 เมื่อวิเคราะห์คุณสมบัติของวงจรขยายค่าความนำที่ประกอบด้วยมอสทรานซิสเตอร์ M_1-M_4 โดยคำนึงถึงกระแสที่เกิดขึ้นในวงจรสามารถอธิบายได้ดังรูปที่ ก1



รูปที่ ก1 วงจรขยายค่าความนำของมอสทรานซิสเตอร์ M_1-M_4 ในรูปที่ 2.5

จากรูปที่ ก1 เมื่อพิจารณาที่โหนด x1 และ x2 ตามลำดับ จะพบว่าผลรวมของกระแสเท่ากับ

$$I_{D3} + I_{D4} = I_{BF1} \qquad \text{(ก1.1)}$$

และ $$I_{D1} + I_{D2} = I_{BF2} \qquad \text{(ก1.2)}$$

เมื่อ I_{Di} คือกระแสเดรนของทรานซิสเตอร์ตัวที่ i เมื่อกำหนดให้ $I_{BF} = I_{BF1} = I_{BF2}$ และมอสทรานซิสเตอร์ M_1-M_4 นั้นมีความสมพงษ์กันทุกประการส่งผลให้ $I_{D1} = I_{D4}$ และ $I_{D2} = I_{D3}$ ดังนั้นหากพิจารณาความสัมพันธ์ของกระแสเอาต์พุต I_{z^-} และ I_{z^+} มีค่าเท่ากับ

$$I_{z-} = I_{D3} - I_{D1} \qquad \text{(ก1.3)}$$

และ $$I_{z+} = I_{D4} - I_{D2} \qquad \text{(ก1.4)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อมอสทรานซิสเตอร์ทุกทำงานในช่วงอิ่มตัว จะได้กระแสเดรนดังนี้

$$I_{D1} = \frac{\mu C_{OX}}{2}\left(\frac{W}{L}\right)\left(V_{GS1} - V_{TH}\right)^2 \qquad \text{(ก1.5)}$$

และ $$I_{D2} = \frac{\mu C_{OX}}{2}\left(\frac{W}{L}\right)\left(V_{GS2} - V_{TH}\right)^2 \qquad \text{(ก1.6)}$$

ดังนั้นแรงดันอินพุตมีค่าเท่ากับ

$$V_{in} = V_p - V_n = V_{GS1} - V_{GS2} \qquad \text{(ก1.7)}$$

เมื่อแทนสมการ (ก1.5) และ (ก1.6) ลงในสมการ (ก1.7) จะสามารถเขียนใหม่ได้ดังนี้

$$V_{in} = \sqrt{\frac{2I_{D1}}{\mu C_{OX}(W/L)}} - \sqrt{\frac{2I_{D2}}{\mu C_{OX}(W/L)}} \qquad \text{(ก1.8)}$$

จากสมการ (ก1.1)-(ก1.2) และ (ก1.8) จะได้ความสัมพันธ์ดังนี้

$$I_{D1} = \frac{I_{BF}}{2} + \frac{\mu C_{OX}}{4}\left(\frac{W}{L}\right)V_{in}\sqrt{\frac{4I_{BF}}{\mu C_{OX}\left(W/L\right)} - V_{in}^{\,2}} \qquad \text{(ก1.9)}$$

และ $$I_{D2} = \frac{I_{BF}}{2} - \frac{\mu C_{OX}}{4}\left(\frac{W}{L}\right)V_{in}\sqrt{\frac{4I_{BF}}{\mu C_{OX}\left(W/L\right)} - V_{in}^{\,2}} \qquad \text{(ก1.10)}$$

แทนค่าสมการ (ก1.9) ลงใน (ก1.3) และ (ก1.10) ลงใน (ก1.4) จะได้

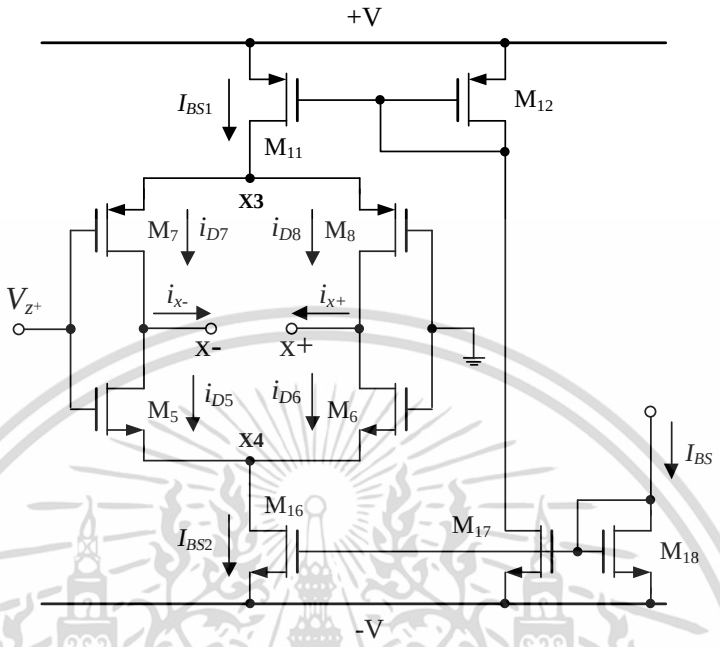
$$I_{z+} = -I_{z-} = \frac{\mu C_{OX}}{2}\left(\frac{W}{L}\right)V_{in}\sqrt{\frac{4I_{BF}}{\mu C_{OX}\left(W/L\right)} - V_{in}^{\,2}} \qquad \text{(ก1.11)}$$

ดังนั้นค่าอัตราขยายค่าความนำเท่ากับ

$$G = \left.\frac{dI_z}{dV_{in}}\right|_{V_{in}=0} = \sqrt{I_{BF}\mu C_{OX}\left(\frac{W}{L}\right)} \qquad \text{(ก1.12)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่นเดียวกันเมื่อพิจารณาของวงจรขยายค่าความนำที่ประกอบด้วยมอสทรานซิสเตอร์ M_5-M_8 โดยกำหนดทิศทางกระแสที่ไหลในส่วนต่างๆ ของวงจรดังรูปที่ ก2



รูปที่ ก2 วงจรขยายค่าความนำของมอสทรานซิสเตอร์ M_5-M_8 ในรูปที่ 2.5

จากรูปที่ ก2 เมื่อพิจารณาที่โหนด x3 และ x4 ตามลำดับ จะพบว่าผลรวมของกระแสเท่ากับ

$$I_{D7} + I_{D8} = I_{BS1} \qquad \text{(ก1.13)}$$

และ

$$I_{D5} + I_{D6} = I_{BS2} \qquad \text{(ก1.14)}$$

เมื่อ I_{Di} คือกระแสเดรนของทรานซิสเตอร์ตัวที่ i เมื่อกำหนดให้ $I_{BS} = I_{BS1} = I_{BS2}$ และมอสทรานซิสเตอร์ M_5-M_8 นั้นมีความสมพงษ์กันทุกประการส่งผลให้ $I_{D5} = I_{D7}$ และ $I_{D6} = I_{D8}$ ดังนั้นหากพิจารณาความสัมพันธ์ของกระแสเอาต์พุต I_{x-} และ I_{x+} มีค่าเท่ากับ

$$I_{x-} = I_{D7} - I_{D5} \qquad \text{(ก1.15)}$$

และ

$$I_{x+} = I_{D8} - I_{D6} \qquad \text{(ก1.16)}$$

เมื่อมอสทรานซิสเตอร์ทุกทำงานในช่วงอิ่มตัว จะได้กระแสเดรนดังนี้

$$I_{D5} = \frac{\mu C_{OX}}{2}\left(\frac{W}{L}\right)\left(V_{GS1} - V_{TH}\right)^2 \qquad \text{(ก1.17)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $$I_{D6} = \frac{\mu C_{OX}}{2}\left(\frac{W}{L}\right)\left(V_{GS2} - V_{TH}\right)^2 \quad \text{(ก1.18)}$$

ดังนั้นแรงดันอินพุตมีค่าเท่ากับ

$$V_{in} = V_{z+} = V_{GS5} - V_{GS6} \quad \text{(ก1.19)}$$

เมื่อแทนสมการ (ก1.17) และ (ก1.18) ลงในสมการ (ก1.9) จะสามารถเขียนใหม่ได้ดังนี้

$$V_z = \sqrt{\frac{2I_{D5}}{\mu C_{OX}(W/L)}} - \sqrt{\frac{2I_{D6}}{\mu C_{OX}(W/L)}} \quad \text{(ก1.20)}$$

จากสมการ (ก1.13) และ (ก1.14) จะได้ความสัมพันธ์ดังนี้

$$I_{D5} = \frac{I_{BS}}{2} + \frac{\mu C_{OX}}{4}\left(\frac{W}{L}\right)V_{z+}\sqrt{\frac{4I_{BS}}{\mu C_{OX}(W/L)}} - V_{z+}^{\ 2} \quad \text{(ก1.21)}$$

และ $$I_{D6} = \frac{I_{BS}}{2} + \frac{\mu C_{OX}}{4}\left(\frac{W}{L}\right)V_{z+}\sqrt{\frac{4I_{BS}}{\mu C_{OX}(W/L)}} - V_{z+}^{\ 2} \quad \text{(ก1.22)}$$

แทนค่าสมการ (ก1.21) ลงใน (ก1.15) และ (ก1.22) ลงใน (ก1.16) จะได้

$$I_{x+} = -I_{x-} = \frac{\mu C_{OX}}{2}\left(\frac{W}{L}\right)V_{z+}\sqrt{\frac{4I_{BS}}{\mu C_{OX}(W/L)}} - V_{z+}^{\ 2} \quad \text{(ก1.23)}$$

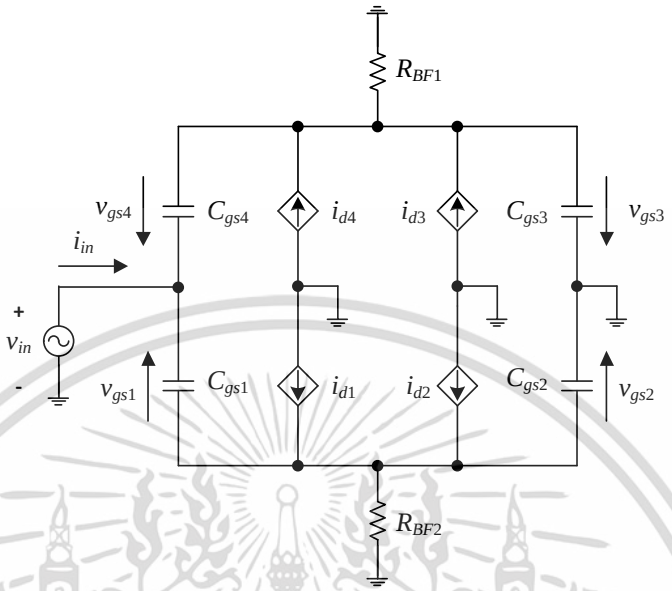
ซึ่งทำให้ได้อัตราขยายค่าความนำเท่ากับ

$$G = \left.\frac{dI_Z}{dV_z}\right|_{V_{z+}=0} = \sqrt{I_{BS}\mu C_{OX}\left(\frac{W}{L}\right)} \quad \text{(ก1.24)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก2 การวิเคราะห์สมรรถนะทางความถี่ของวงจรขยายค่าความนำ

สมรรถนะทางความถี่ของวงจรขยายค่าความนำของมอสทรานซิสเตอร์ M_1-M_4 ในรูปที่ ก1 ซึ่งมีวงจรสมมูลดังแสดงในรูปที่ ก3



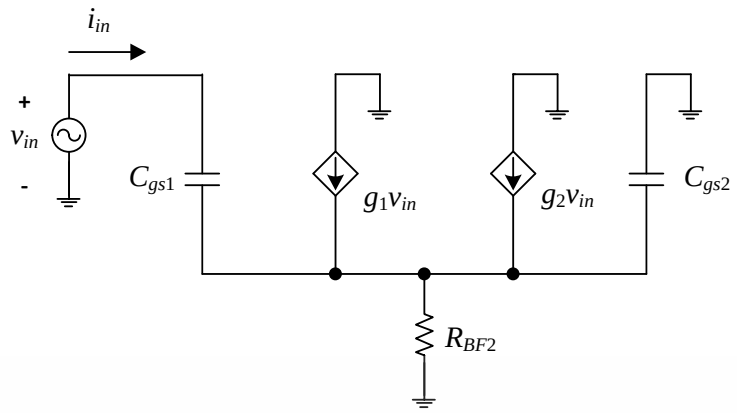
รูปที่ ก3 วงจรสมมูลของรูปที่ ก1 เมื่อพิจารณาที่มอสทรานซิสเตอร์ M_1-M_4

เมื่อกำหนดให้ทรานซิสเตอร์ M_1-M_2 และ M_3-M_4 มีความสมมาตรกันทุกประการ (symmetrical) จะได้ความสัมพันธ์ระหว่างกระแสและแรงดันดังนี้

$$i_{di} = g_i \, v_{gsi} \qquad \text{(ก2.1)}$$

เมื่อ i_{di} คือกระแสเดรน g_i คืออัตราขยายค่าความนำของทรานซิสเตอร์ v_{gsi} คือ แรงดันระหว่างขาเกทกับขาซอร์สของมอสทรานซิสเตอร์ตัวที่ i และ R_{BF1} และ R_{BF2} คือค่าความต้านทานภายในแหล่งจ่ายกระแส I_{BF1} และ I_{BF2} ของมอสทรานซิสเตอร์ M_{10} และ M_{15} ตามลำดับ ซึ่งมีค่าสูงมาก เมื่อวิเคราะห์วงจรโดยพิจารณาที่มอสทรานซิสเตอร์ M_1 และ M_2 พบว่าวงจรสมมูลในรูปที่ ก3 สามารถเขียนได้ใหม่ดังรูปที่ ก4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก4 วงจรสมมูลจากรูปที่ ก3 เมื่อพิจารณาเฉพาะที่มอสทรานซิสเตอร์ M_1-M_2

จากรูปที่ ก4 หากวิเคราะห์ในกรณีความถี่ต่ำจะพบว่าทรานซิสเตอร์ M_1 และ M_2 ต่อร่วมกันในลักษณะขนานกัน ดังนั้นสามารถเขียนแสดงสัมพันธ์ของกระแสและแรงดันของวงจรได้ดังนี้

$$\frac{i_{in}}{2} \cong \left(\frac{g_1 g_2}{g_1 + g_2} \right) v_{in} \qquad \text{(ก2.2)}$$

และเช่นเดียวกับกรณีของมอสทรานซิสเตอร์ M_3 และ M_4 จะพบว่า

$$\frac{i_{in}}{2} \cong \left(\frac{g_3 g_4}{g_4 + g_4} \right) v_{in} \qquad \text{(ก2.3)}$$

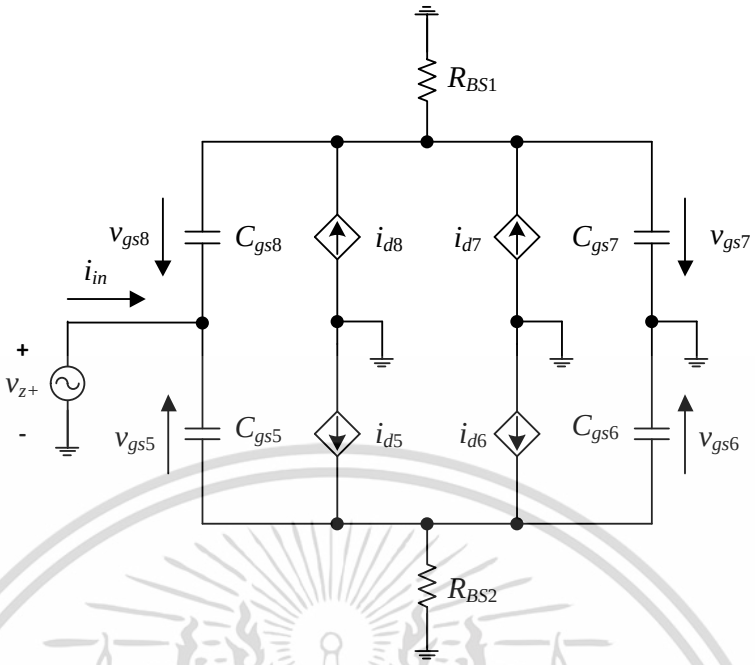
จากสมการ (ก2.2) และ (ก2.3) จะได้อัตราขยายค่าความนำสำหรับการทำงานของมอสทรานซิสเตอร์ M_1-M_4 ในรูปที่ ก1 ดังต่อไปนี้

$$g_{mF} \cong \frac{i_{in}}{v_{in}} \cong \left(\frac{g_1 g_2}{g_1 + g_2} \right) + \left(\frac{g_3 g_4}{g_4 + g_4} \right) \qquad \text{(ก2.4)}$$

เมื่อพิจารณาสมรรถนะทางความถี่ของวงจรอัตราขยายค่าความนำของของมอสทรานซิสเตอร์ M_5-M_8 ในรูปที่ ก2 โดยวิเคราะห์จากวงจรสมมูลดังแสดงในรูปที่ ก5 เช่นเดียวกันกับนำการวิเคราะห์ของวงจรขยายค่าความนำของมอสทรานซิสเตอร์ M_1-M_4 จะได้อัตราขยายค่าความนำของวงจรแหล่งจ่ายกระแสลอยตัววงจรที่สองในรูปที่ ก2 ดังนี้

$$g_{mS} \cong \frac{i_{in}}{v_z} \cong \left(\frac{g_5 g_6}{g_5 + g_6} \right) + \left(\frac{g_7 g_8}{g_7 + g_8} \right) \qquad \text{(ก2.5)}$$

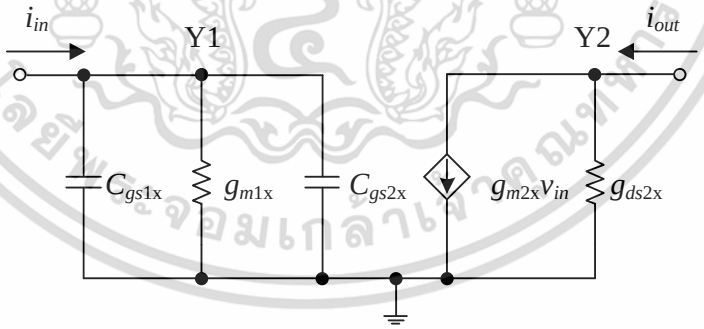
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก5 วงจรสมมูลของรูปที่ ก1 เมื่อพิจารณาที่มอสทรานซิสเตอร์ M_5-M_8

ก3 การวิเคราะห์ผลตอบสนองทางความถี่ของวงจรสะท้อนกระแส

เมื่อการวิเคราะห์ผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสในรูปที่ 2.6 ซึ่งผลตอบสนองทางความถี่ของวงจรสะท้อนกระแส M_{1x}-M_{2x} สามารถวิเคราะห์หาได้จากฟังก์ชันถ่ายโอน (transfer function) ของวงจรสมมูลในรูปที่ ก6 ดังนี้



รูปที่ ก6 วงจรสมมูลของวงจรสะท้อนกระแสในรูปที่ 2.6

จากรูปที่ ก6 เมื่อพิจารณาที่โหนด Y1 โดยใช้กฎกระแสเคอร์ชอฟฟ์ (Kirchoff's current law, KCL) จะได้ความสัมพันธ์ดังนี้

$$i_{in} = \left(sC_{gs1x} + g_{m1x} + sC_{gs2x}\right) v_{in} \qquad (ก3.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ $$v_{in} = \frac{i_{in}}{sC_{gs1x} + g_{m1x} + sC_{gs2x}} \quad \text{(ก3.2)}$$

เมื่อพิจารณาที่โหนด Y2 จะได้ว่า

$$i_{out} = g_{m2x} v_{in} \quad \text{(ก3.3)}$$

แทนค่าสมการ (ก3.2) ลงใน (ก3.3) จะได้

$$\frac{i_{out}}{i_{in}} = \frac{g_{m2x}}{g_{m1x} + s(C_{gs1x} + C_{gs2x})} \quad \text{(ก3.4)}$$

หรือ $$\frac{i_{out}}{i_{in}} = \frac{g_{m2x}}{g_{m1x}} \left[\frac{1}{1 + \frac{s(C_{gs1x} + C_{gs2x})}{g_{m1x}}} \right] \quad \text{(ก3.5)}$$

จากสมการ (ก3.5) หากพิจารณาในกรณีความถี่ต่ำ พบว่าอัตราขยายกระแสของวงจรสะท้อนกระแสจะเท่ากับ

$$\frac{i_{out}}{i_{in}} = \frac{g_{m2x}}{g_{m1x}} \quad \text{(ก3.6)}$$

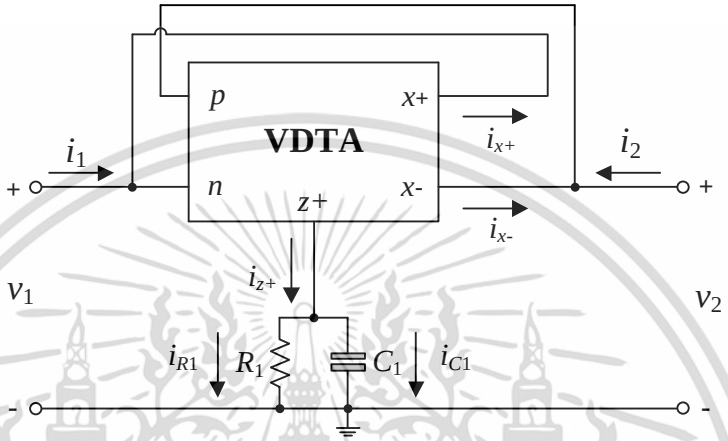
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข
การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำ ที่มีการสูญเสียต่อลอยตัวในรูปที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข1 การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรมในรูปที่ 3.1 (ก)

วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรมในรูปที่ 3.1 (ก) ได้มีการกำหนดทิศทางการไหลของกระแสดังแสดงในรูปที่ ข1 หากอาศัยคุณสมบัติของวงจร VDTA ในทางอุดมคติดังสมการ (3.1) ซึ่งสามารถวิเคราะห์หาค่าอิมพีแดนซ์อินพุต (input impedance, Z_{in}) หรือ Z_{eq1} ได้ดังรายละเอียดต่อไปนี้



รูปที่ ข1 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบอนุกรมในรูปที่ 3.1 (ก)

ความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจร VDTA มีคุณสมบัติดังนี้

$$i_p = i_n = 0 \tag{ข1.1}$$

$$i_{z+} = g_{mF}\left(v_p - v_n\right) \tag{ข1.2}$$

และ $$i_{x+} = -i_{x+} = g_{mS} v_{z+} \tag{ข1.3}$$

เมื่อวิเคราะห์ที่โหนด v_1 จะได้กระแส i_1 ดังนี้

$$i_1 = -g_{mS} v_{z+}$$

หรือ $$v_{z+} = \frac{-i_1}{g_{mS}} \tag{ข1.4}$$

เมื่อวิเคราะห์ที่โหนด v_2 จะได้กระแส i_2 ดังนี้

$$i_2 = g_{mS} v_{z+}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ $$v_{z+} = \frac{i_2}{g_{mS}} \quad \text{(ข1.5)}$$

เมื่อวิเคราะห์ที่ขั้ว $z+$ โดยอาศัยหลักการกฎของเคอร์ชอฟฟ์ (Kirchhoff's Laws) จะได้ผลรวมกระแสเท่ากับ

$$i_{z+} = i_{R1} + i_{C1} \quad \text{(ข1.6)}$$

แทนสมการ (ข1.2) พบว่า

$$g_{mF}\left(v_2 - v_1\right) = v_{z+}\left(\frac{1}{R_1} + sC_1\right) \quad \text{(ข1.7)}$$

แทนสมการ (ข1.4) ลงในสมการ (ข1.7) จะได้

$$g_{mF}\left(v_1 - v_2\right) = \frac{-i_1}{g_{mS}}\left(\frac{1}{R_1} + sC_1\right)$$

หรือ $$Z_{eq1} = \frac{v_1 - v_2}{i_1} = \frac{1}{g_{mF}g_{mS}R_1} + \frac{sC_1}{g_{mF}g_{mS}} \quad \text{(ข1.8)}$$

ในขณะเดียวกันหากแทนสมการ (ข1.5) ลงในสมการ (ข1.7) จะได้

$$g_{mF}\left(v_2 - v_1\right) = \frac{i_2}{g_{mS}}\left(\frac{1}{R_1} + sC_1\right)$$

หรือ $$Z_{eq1} = \frac{v_2 - v_1}{i_2} = \frac{1}{g_{mF}g_{mS}R_1} + \frac{sC_1}{g_{mF}g_{mS}} \quad \text{(ข1.9)}$$

ในกรณีนี้จะได้ค่าอิมพีแดนซ์อินพุต (Z_{in}) เท่ากับ

$$Z_{in} = Z_{eq1} = \left(\frac{v_1 - v_2}{i_1}\right) = \left(\frac{v_2 - v_1}{i_2}\right) = R_{eq1} + sL_{eq1} = \left(\frac{1}{g_{mF}g_{mS}R_1}\right) + s\left(\frac{C_1}{g_{mF}g_{mS}}\right) \quad \text{(ข1.10)}$$

ดังนั้นค่าความต้านทานสมมูล (R_{eq1}) และค่าความเหนี่ยวนำสมมูล (L_{eq1}) ของวงจรที่นำเสนอจะมีค่าเท่ากับ

$$R_{eq1} = g_{mF}g_{mS}R_1 \quad \text{(ข1.11)}$$

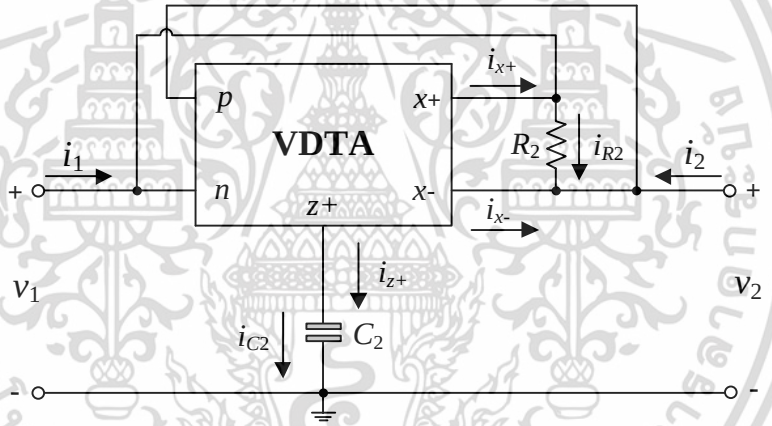
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $$L_{eq1} = \frac{sC_1}{g_{mF} g_{mS}} \qquad (ข1.12)$$

สมการข้างต้นแสดงให้เห็นว่าจะต้องปรับค่าความเหนี่ยวนำสมมูลให้ได้ค่าที่ต้องการก่อนด้วยวิธีการทางอิเล็กทรอนิกส์ผ่านทางอัตราขยายค่าความนำของวงจร VDTA จึงค่อยทำการปรับค่าความต้านทานสมมูลได้อย่างอิสระด้วย R_1

ข2 การวิเคราะห์คุณสมบัติของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบขนานในรูปที่ 3.1 (ข)

วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบขนานในรูปที่ 3.1 (ข) ได้มีการกำหนดทิศทางการไหลของกระแสดังแสดงในรูปที่ ข2 หากอาศัยคุณสมบัติของวงจร VDTA ในทางอุดมคติดังสมการ (3.1) ซึ่งสามารถวิเคราะห์หาค่าแอตมิตแตนซ์อินพุต (input admittance, Y_{in}) หรือ Y_{eq2} ได้ดังรายละเอียดต่อไปนี้



รูปที่ ข2 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวแบบขนานในรูปที่ 3.1 (ข)

เมื่อวิเคราะห์ที่โหนด v_1 โดยอาศัยหลักการกฎของเคอร์ชอฟฟ์จะได้ผลรวมกระแสเท่ากับ

$$i_1 + i_{x+} = i_{R2} \qquad (ข2.1)$$

แทนสมการ (ข1.3) ลงในสมการ (ข2.1) จะพบว่า

$$i_1 + g_{mS} v_{z+} = \frac{v_1 - v_2}{R_2}$$

หรือ $$v_{z+} = \frac{(v_1 - v_2) - i_1 R_2}{g_{mS} R_2} \qquad (ข2.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวิเคราะห์ที่โหนด v_2 โดยอาศัยหลักการกฎของเคอร์ชอฟฟ์จะได้ผลรวมกระแสเท่ากับ

$$i_2 + i_{R2} = -i_{x-} \tag{ข2.3}$$

แทนสมการ (ข1.3) ลงในสมการ (ข2.3) จะพบว่า

$$i_2 + \frac{v_1 - v_2}{R_2} = g_{mS} v_{z+}$$

หรือ
$$v_{z+} = \frac{i_2 R_2 - (v_2 - v_1)}{g_{mS} R_2} \tag{ข2.4}$$

เมื่อวิเคราะห์ที่ขั้ว $z+$ โดยอาศัยหลักการกฎของเคอร์ชอฟฟ์ จะได้ผลรวมกระแสเท่ากับ

$$i_{z+} = i_{C2} \tag{ข2.5}$$

แทนสมการ (ข1.2) ลงในสมการ (ข2.5) จะได้

$$g_{mF}(v_2 - v_1) = v_{z+} sC_2 \tag{ข2.6}$$

แทนสมการ (ข2.2) ลงในสมการ (ข2.6) จะได้

$$g_{mF}(v_2 - v_1) = \left[\frac{(v_1 - v_2) - i_1 R_2}{g_{mS} R_2} \right] sC_2$$

หรือ
$$Y_{eq2} = \frac{i_1}{v_1 - v_2} = \frac{1}{R_2} + \frac{g_{mF} g_{mS}}{sC_2} \tag{ข2.7}$$

ในขณะเดียวกันหากแทนสมการ (ข2.4) ลงในสมการ (ข2.6) จะได้

$$g_{mF}(v_2 - v_1) = \left[\frac{i_2 R_2 - (v_2 - v_1)}{g_{mS} R_2} \right] sC_2$$

หรือ
$$Y_{eq2} = \frac{i_1}{v_1 - v_2} = \frac{1}{R_2} + \frac{g_{mF} g_{mS}}{sC_2} \tag{ข2.8}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีนี้จะได้ค่าแอตมิตแตนซ์อินพุต (Y_{in}) เท่ากับ

$$Y_{in} = Y_{eq2} = \left(\frac{i_1}{v_1 - v_2} \right) = \left(\frac{i_2}{v_2 - v_1} \right) = \frac{1}{R_{eq2}} + \frac{1}{sL_{eq2}} = \left(\frac{1}{R_2} \right) + \left(\frac{g_{mF} g_{mS}}{sC_2} \right) \quad \text{(ข2.9)}$$

ดังนั้นค่าความต้านทานสมมูล (R_{eq2}) และค่าความเหนี่ยวนำสมมูล (L_{eq2}) ของวงจรที่นำเสนอจะมีค่าเท่ากับ

$$R_{eq2} = R_2 \quad \text{(ข2.10)}$$

และ
$$L_{eq2} = \frac{sC_2}{g_{mF} g_{mS}} \quad \text{(ข2.11)}$$

ข3 การวิเคราะห์คุณสมบัติในทางปฏิบัติของวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่มีการสูญเสียในรูปแบบอนุกรมดังรูปที่ 3.1 (ก)

เมื่อพิจารณผลกระทบจากความไม่เป็นอุดมคติของวงจร VDTA ดังสมการ (ข3.1) – (ข3.3) ของวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่มีการสูญเสียในรูปแบบอนุกรมดังรูปที่ 3.1 (ก) สามารถอธิบายรายละเอียดได้ดังต่อไปนี้

$$i_p = i_n = 0 \quad \text{(ข3.1)}$$

$$i_{z+} = \beta_F g_{mF} \left(v_p - v_n \right) \quad \text{(ข3.2)}$$

และ
$$i_{x+} = -i_{x+} = \beta_S g_{mS} v_{z+} \quad \text{(ข3.3)}$$

เมื่อวิเคราะห์ที่โหนด v_1 จะได้กระแส i_1 ดังนี้

$$i_1 = -\beta_S g_{mS} v_{z+}$$

หรือ
$$v_{z+} = \frac{-i_1}{\beta_S g_{mS}} \quad \text{(ข3.4)}$$

เมื่อวิเคราะห์ที่โหนด v_2 จะได้กระแส i_2 ดังนี้

$$i_2 = \beta_S g_{mS} v_{z+}$$

หรือ
$$v_{z+} = \frac{i_2}{\beta_S g_{mS}} \quad \text{(ข3.5)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวิเคราะห์ที่ขั้ว $z+$ โดยอาศัยหลักการกฎของเคอร์ชอฟฟ์ จะได้ผลรวมกระแสเท่ากับ

$$i_{z+} = i_{R1} + i_{C1} \tag{ข3.6}$$

แทนสมการ (ข3.2) ลงในสมการ (ข3.6) พบว่า

$$\beta_F g_{mF}\left(v_2 - v_1\right) = v_{z+}\left(\frac{1}{R_1} + sC_1\right) \tag{ข3.7}$$

แทนสมการ (ข3.4) ลงในสมการ (ข3.7) จะได้

$$\beta_F g_{mF}\left(v_1 - v_2\right) = \frac{-i_1}{\beta_S g_{mS}}\left(\frac{1}{R_1} + sC_1\right)$$

หรือ $$Z'_{eq1} = \frac{v_1 - v_2}{i_1} = \frac{1}{\beta_F \beta_S g_{mF} g_{mS} R_1} + \frac{sC_1}{\beta_F \beta_S g_{mF} g_{mS}} \tag{ข3.8}$$

ในขณะเดียวกันหากแทนสมการ (ข3.5) ลงในสมการ (ข3.7) จะได้

$$\beta_F g_{mF}\left(v_2 - v_1\right) = \frac{i_2}{\beta_S g_{mS}}\left(\frac{1}{R_1} + sC_1\right)$$

หรือ $$Z'_{eq1} = \frac{v_2 - v_1}{i_2} = \frac{1}{\beta_F \beta_S g_{mF} g_{mS} R_1} + \frac{sC_1}{\beta_F \beta_S g_{mF} g_{mS}} \tag{ข3.9}$$

ในกรณีนี้จะได้ค่าอิมพีแดนซ์อินพุตในทางปฏิบัติ (Z'_{in}) เท่ากับ

$$Z'_{in} = Z'_{eq1} = \left(\frac{1}{\beta_F \beta_S g_{mF} g_{mS} R_1}\right) + s\left(\frac{C_1}{\beta_F \beta_S g_{mF} g_{mS}}\right) \tag{3.10}$$

ดังนั้นค่าความต้านทานสมมูล (R'_{eq1}) และค่าความเหนี่ยวนำสมมูล (L'_{eq1}) ของวงจรที่นำเสนอจะมีค่าเท่ากับ

$$R'_{eq1} = \frac{1}{\beta_F \beta_S g_{mF} g_{mS} R_1} \tag{ข3.11}$$

และ $$L'_{eq1} = \frac{sC_1}{\beta_F \beta_S g_{mF} g_{mS}} \tag{ข3.12}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการข้างต้นแสดงให้เห็นว่าค่า β_F และ β_S ในทางปฏิบัติจะส่งผลกระทบของคุณสมบัติการทำงานของวงจรที่นำเสนอ ซึ่งเราสามารถปรับแต่งค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ด้วยอัตรขยายค่าความนำของวงจร VDTA เพื่อชดเชยผลกระทบดังกล่าวให้มีการทำงานที่ใกล้เคียงกับทางทฤษฎีมากยิ่งขึ้น

ข4 การวิเคราะห์คุณสมบัติในทางปฏิบัติของวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่มีการสูญเสียในรูปแบบขนานดังรูปที่ 3.1 (ข)

เมื่อพิจารณผลกระทบจากความไม่เป็นอุดมคติของวงจร VDTA ดังสมการ (ข3.1) – (ข3.3) ของวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่มีการสูญเสียในรูปแบบขนานดังรูปที่ 3.1 (ข) สามารถอธิบายรายละเอียดได้ดังต่อไปนี้

เมื่อวิเคราะห์ที่โหนด v_1 โดยอาศัยหลักการกฎของเคอร์ชอฟฟ์จะได้ผลรวมกระแสเท่ากับ

$$i_1 + i_{x+} = i_{R2} \tag{ข4.1}$$

แทนสมการ (ข3.3) ลงในสมการ (ข4.1) จะพบว่า

$$i_1 + \beta_S g_{mS} v_{z+} = \frac{v_1 - v_2}{R_2}$$

หรือ
$$v_{z+} = \frac{(v_1 - v_2) - i_1 R_2}{\beta_S g_{mS} R_2} \tag{ข4.2}$$

เมื่อวิเคราะห์ที่โหนด v_2 โดยอาศัยหลักการกฎของเคอร์ชอฟฟ์จะได้ผลรวมกระแสเท่ากับ

$$i_2 + i_{R2} = -i_{x-} \tag{ข4.3}$$

แทนสมการ (ข3.3) ลงในสมการ (ข4.3) จะพบว่า

$$i_2 + \frac{v_1 - v_2}{R_2} = \beta_S g_{mS} v_{z+}$$

หรือ
$$v_{z+} = \frac{i_2 R_2 - (v_2 - v_1)}{\beta_S g_{mS} R_2} \tag{ข4.4}$$

เมื่อวิเคราะห์ที่ขั้ว $z+$ โดยอาศัยหลักการกฎของเคอร์ชอฟฟ์ จะได้ผลรวมกระแสเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{z+} = i_{C2} \tag{ข4.5}$$

แทนสมการ (ข3.2) ลงในสมการ (ข4.5) จะได้

$$\beta_F g_{mF}\left(v_2 - v_1\right) = v_{z+} sC_2 \tag{ข4.6}$$

แทนสมการ (ข4.2) ลงในสมการ (ข4.6) จะได้

$$\beta_F g_{mF}\left(v_2 - v_1\right) = \left[\frac{\left(v_1 - v_2\right) - i_1 R_2}{\beta_S g_{mS} R_2}\right] sC_2$$

หรือ

$$Y_{eq2} = \frac{i_1}{v_1 - v_2} = \frac{1}{R_2} + \frac{\beta_F \beta_S g_{mF} g_{mS}}{sC_2} \tag{ข4.7}$$

ในขณะเดียวกันหากแทนสมการ (ข4.4) ลงในสมการ (ข4.6) จะได้

$$\beta_F g_{mF}\left(v_2 - v_1\right) = \left[\frac{i_2 R_2 - \left(v_2 - v_1\right)}{\beta_S g_{mS} R_2}\right] sC_2$$

หรือ

$$Y_{eq2} = \frac{i_2}{v_2 - v_1} = \frac{1}{R_2} + \frac{\beta_F \beta_S g_{mF} g_{mS}}{sC_2} \tag{ข4.8}$$

ในกรณีนี้จะได้ค่าแอตมิตแตนซ์อินพุต (Y'_{in}) เท่ากับ

$$Y'_{in} = Y'_{eq2} = \left(\frac{1}{R_2}\right) + \left(\frac{\beta_F \beta_S g_{mF} g_{mS}}{sC_2}\right) \tag{ข4.9}$$

ดังนั้นค่าความต้านทานสมมูล (R'_{eq2}) และค่าความเหนี่ยวนำสมมูล (L'_{eq2}) ของวงจรที่นำเสนอจะมีค่าเท่ากับ

$$R'_{eq2} = R_2 \tag{ข4.10}$$

และ

$$L'_{eq2} = \frac{sC_2}{\beta_F \beta_S g_{mF} g_{mS}} \tag{ข4.11}$$

จากสมการ (ข4.11) พบว่าค่า L_{eq2} ของวงจรที่นำเสนอในทางปฏิบัติจะมีค่าของ β_F และ β_S แฝงอยู่ด้วย ซึ่งค่าองค์ประกอบนี้จะส่งผลต่อการทำงานของวงจรเลียนแบบตัวเหนี่ยวนำที่นำเสนอ โดยจะสามารถลดผลกระทบจากค่าองค์ประกอบดังกล่าวได้ด้วยการปรับชดเชยด้วยอัตราขยายค่าความนำของวงจร VDTA เพื่อให้วงจรมีค่าใกล้เคียงทฤษฎีมากยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข5 การวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงค่าองค์ประกอบในวงจร

คุณสมบัติในการทำงานของวงจรขึ้นอยู่กับค่าองค์ประกอบต่างๆ ยกตัวอย่างเช่น กระบวนการผลิต ระยะเวลาการใช้งาน อุณหภูมิ และความชื้นเป็นต้น ซึ่งถ้าค่าองค์ประกอบที่เปลี่ยนแปลงไปจะส่งผลกับวงจรอย่างไรนั้น สามารถตรวจสอบได้จากการวิเคราะห์ค่าความไวของวงจร (circuit sensitivity, S) สามารถอธิบายได้ดังนี้

$$\frac{\%\ change\ in\ y}{\%\ change\ in\ x} = \frac{\left(\frac{\Delta y}{y}\right)\times 100\%}{\left(\frac{\Delta x}{x}\right)\times 100\%} \qquad (ข5.1)$$

เมื่อ x คือองค์ประกอบในวงจรที่เปลี่ยนแปลง และ y คือคุณสมบัติของวงจรที่พิจารณาค่าความไวต่อการเปลี่ยนแปลงค่า x จากสมการ (ข5.1) พบว่าหากอัตราส่วนดังกล่าวมีค่าต่ำๆ หรือมีค่าน้อยกว่าหนึ่งจะหมายถึงวงจรมีเสถียรภาพที่ดี เมื่อกำหนดให้ S_x^y แทนค่าความไวของคุณสมบัติ y ต่อการเปลี่ยนแปลงค่าองค์ประกอบ x [22] ดังนั้นจะสามารถเขียนได้ใหม่คือ

$$S_x^y = \frac{\left(\frac{\Delta y}{y}\right)}{\left(\frac{\Delta x}{x}\right)} = \frac{\partial y / y}{\partial x / x} = \frac{\partial(\ln y)}{\partial(\ln x)} = \frac{x}{y}\frac{\partial y}{\partial x} \qquad (ข5.2)$$

หากวิเคราะห์หาค่าความไวของค่าความต้านทานสมมูล และค่าความเหนี่ยวนำสมมูลวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่มีการสูญเสียในรูปแบบอนุกรมดังรูปที่ 3.1 (ก) มีรายละเอียดดังต่อไปนี้ หากกำหนดให้ $x = \beta_F$ และ $y = R'_{eq1}$

$$S_{\beta_F}^{R'_{eq1}} = \frac{\beta_F}{R'_{eq1}} \cdot \frac{\partial R'_{eq1}}{\partial \beta_F} \qquad (ข5.3)$$

แทนค่าสมการ (ข3.11) ลงใน (ข5.3) จะได้

$$S_{\beta_F}^{R'_{eq1}} = \frac{\beta_F}{\left(\frac{1}{\beta_F \beta_S g_{mF} g_{mS} R_1}\right)} \cdot \frac{\partial\left(\frac{1}{\beta_F \beta_S g_{mF} g_{mS} R_1}\right)}{\partial \beta_F} \qquad (ข5.4)$$

จากนั้นทำการหาอนุพันธ์ของผลหารของสมการข้างต้น ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_{\beta_F}^{R'_{eq1}} = \beta_F^2 \cdot \frac{\partial\left(\frac{1}{\beta_F}\right)}{\partial\beta_F}$$

หรือ $$S_{\beta_F}^{R'_{eq1}} = -1 \qquad \text{(ข5.5)}$$

จากนั้นวิเคราะห์หาค่าความไวของค่า R'_{eq1} R'_{eq2} L'_{eq1} และ L'_{eq2} จากสมการ (ข3.11) – (3.12) ต่อการเปลี่ยนแปลงค่าองค์ประกอบอื่นๆในวงจรโดยใช้วิธีเดียวกับที่นำเสนอในข้างต้นจะมีรายละเอียดดังนี้

$$S_{\beta_F}^{R'_{eq1}} = S_{\beta_S}^{R'_{eq1}} = S_{g_{mF}}^{R'_{eq1}} = S_{g_{mS}}^{R'_{eq1}} = S_{R_1}^{R'_{eq1}} = -1 \qquad \text{(ข5.6)}$$

$$S_{\beta_F}^{L'_{eq1}} = S_{\beta_S}^{L'_{eq1}} = S_{g_{mF}}^{L'_{eq1}} = S_{g_{mS}}^{L'_{eq1}} = -1 \qquad \text{(ข5.7)}$$

และ $$S_{C_1}^{L'_{eq1}} = 1 \qquad \text{(ข5.8)}$$

ในขณะเดียวกันค่าความไวของ R'_{eq2} และ L'_{eq2} จากสมการ (ข4.10) - (ข4.11) ต่อการเปลี่ยนแปลงค่าองค์ประกอบ R_2 C_2 g_{mF} g_{mS} β_F และ β_S ของวงจรเลียนแบบตัวเหนี่ยวนำแบบลอยตัวที่มีการสูญเสียในรูปแบบขนานดังรูปที่ 3.1 (ข) แสดงได้ดังต่อไปนี้

$$S_{R_2}^{R'_{eq2}} = -1 \qquad \text{(ข5.9)}$$

$$S_{\beta_F}^{L'_{eq2}} = S_{\beta_S}^{L'_{eq2}} = S_{g_{mF}}^{L'_{eq2}} = S_{g_{mS}}^{L'_{eq2}} = -1 \qquad \text{(ข5.10)}$$

และ $$S_{C_2}^{L'_{eq2}} = 1 \qquad \text{(ข5.11)}$$

สมการข้างต้นพบว่าค่าความไวทั้งหมดมีขนาดไม่เกินหนึ่ง แสดงให้เห็นว่าวงจรมีคุณสมบัติค่าความไวต่อการเปลี่ยนแปลงอุปกรณ์แอคทีฟและพาสซีฟในวงจรที่ต่ำ ซึ่งบ่งชี้ถึงเสถียรภาพที่ดีของวงจรที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข6 การวิเคราะห์วงจรกรองผ่านความถี่ต่ำอันดับสี่แบบริปเปิลเท่ากันที่ 3 dB ในรูปที่ 3.17

วงจรกรองผ่านความถี่ต่ำอันดับสี่แบบริปเปิลเท่ากันที่ 3 dB แสดงดังรูปที่ ข3 โดยที่ R_S คือความต้านทานภายในแหล่งจ่าย จากการนอร์มอลไลซ์ (normalized value) เมื่อความถี่กลาง (central frequency) ω_c = 1 rad/sec จะพบว่าค่าอุปกรณ์ต่างๆ ในวงจรแสดงดังตารางที่ ข1 โดยวิทยานิพนธ์ฉบับนี้เลือกใช้ ω_c = 3.14 Mrad/sec หรือก็คือค่าคงที่ในการสเกลความถี่ (frequency scaling factor) k_f = 3.14 Mrad/sec และค่าคงที่ในการสเกลขนาด (magnitude scaling factor) k_m = 10k เมื่อแทน k_f k_m และค่าอุปกรณ์ในตารางที่ ข1 ลงในสมการ (ข6.1) ถึง (ข6.3) จะได้ค่าอุปกรณ์ใหม่ดังตารางที่ ข2 เมื่อนำไปสังเคราะห์วงจรกรองผ่านความถี่ต่ำอันดับสี่แบบริปเปิลเท่ากันที่ 3 dB แสดงดังรูปที่ ข4 โดยที่อุปกรณ์พาสซีฟ R_1 อนุกรมกับ L_1 และ R_3 อนุกรมกับ L_3 ถูกต่อแทนด้วยวงจรเลียนแบบตัวเหนี่ยวนำที่นำเสนอในรูปที่ 3.1 (ก) จำนวนสองชุด โดยค่า $R_{eq1.i}$ และ $L_{eq1.i}$ (i = 1, 2) เมื่อกำหนดให้ $g_m = g_{mF} = g_{mS}$ ($I_B = I_{BF} = I_{BS}$) สามารถสรุปได้ดังตารางที่ ข3

$$R_{new} = k_m R_{old} \tag{ข6.1}$$

$$L_{new} = \frac{k_m}{k_f} L_{old} \tag{ข6.2}$$

และ

$$C_{new} = \frac{1}{k_m k_f} C_{old} \tag{ข6.3}$$

โดยที่ตัวห้อย “new” แทนถึงค่าอุปกรณ์ใหม่หลังจากทำงานสเกล และตัวห้อย “old” แทนถึงค่าอุปกรณ์ก่อนทำการสเกล [23]

ตารางที่ ข1 ค่าอุปกรณ์ของวงจรกรองสัญญาณในรูปที่ ข3 เมื่อ ω_c = 1 rad/sec

R_s (Ω)	R_1 (Ω)	L_1 (H)	C_2 (F)	R_3 (Ω)	L_3 (H)	C_4 (F)
1	0.104	2.076	1.145	0.145	2.906	0.817

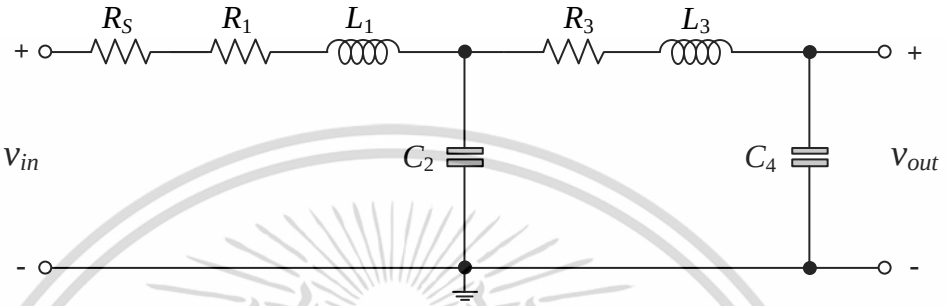
ตารางที่ ข2 ค่าอุปกรณ์ของวงจรกรองสัญญาณในรูปที่ ข3 เมื่อ ω_c = 3.14 Mrad/sec

R_s (kΩ)	R_1 (kΩ)	L_1 (mH)	C_2 (pF)	R_3 (kΩ)	L_3 (mH)	C_4 (pF)
10	1.040	6.61	36.46	1.45	9.25	26.02

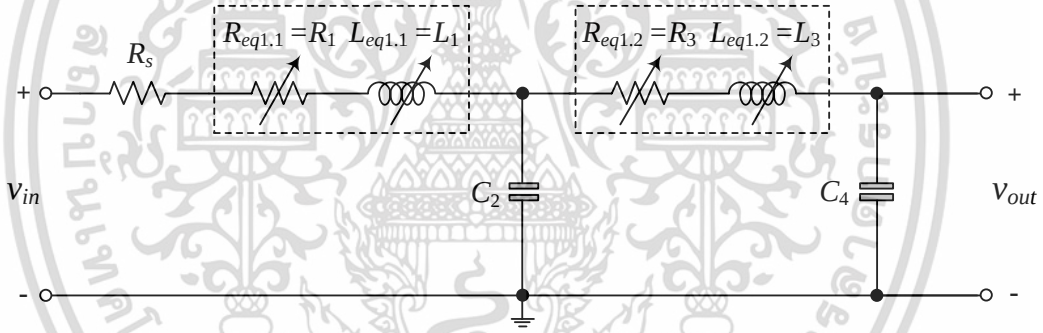
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ข3 รายละเอียดการแปรค่า I_{Bi} และ g_{mi} ของวงจร VDTA สำหรับค่า $R_{eq1.i}$ และ $L_{eq1.i}$

I_B (μA)	g_m (mA/V)	R_1 (kΩ) ในรูปที่ 3.1 (ก)	C_1 (nF) ในรูปที่ 3.1 (ก)	$R_{eq1.i}$ (kΩ)	$L_{eq1.i}$ (mH)
80	1	0.9	6.6	$R_{eq1.1}$ = 1.1	$L_{eq1.1}$ = 6.6
55	0.84			$R_{eq1.2}$ = 1.57	$L_{eq1.2}$ = 9.35



รูปที่ ข3 วงจรกรองผ่านความถี่ต่ำอันดับสี่แบบริปเปิลเท่ากันที่ 3 dB



รูปที่ ข4 วงจรกรองผ่านความถี่ต่ำอันดับสี่แบบริปเปิลเท่ากันโดยใช้วงจรที่นำเสนอในรูปที่ 3.1 (ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

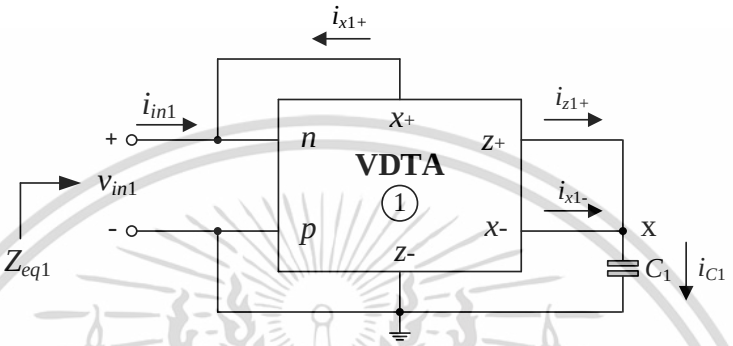
ภาคผนวก ค
การวิเคราะห์คุณสมบัติของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อเทียบกราวด์ที่นำเสนอในรูปที่ 4.1 และรูปที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค1 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ที่นำเสนอ

ค1.1 วงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อเทียบกราวด์ในรูปแบบอนุกรมดังรูป 4.1 (ก)

วงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อเทียบกราวด์ในรูปแบบอนุกรมดังรูป 4.1 (ก) ได้มีการกำหนดทิศทางการไหลของกระแสดังแสดงในรูปที่ ค1 หากอาศัยคุณสมบัติของวงจร VDTA ในทางอุดมคติดังสมการ (2.1) ซึ่งสามารถวิเคราะห์หาค่าอิมพีแดนซ์อินพุต (input impedance, Z_{in}) หรือ Z_{eq1} ได้ดังรายละเอียดต่อไปนี้



รูปที่ ค1 วงจรเลียนแบบค่าอิมพีแดนซ์ RL รูปแบบอนุกรมต่อเทียบกราวด์ในรูป 4.1 (ก)

ความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจร VDTA มีคุณสมบัติดังนี้

$$i_p = i_n = 0 \tag{ค1.1}$$

$$i_{z+} = -i_{z-} = g_{mF}\left(v_p - v_n\right) \tag{ค1.2}$$

$$i_{x+} = g_{mS} v_{z+} \tag{ค1.3}$$

และ $$i_{x-} = -g_{mS} v_{z+} \tag{ค1.4}$$

เมื่อวิเคราะห์ที่โหนด $z1_+$ จะผลรวมกระแสดังนี้

$$i_{z1+} + i_{x1-} = \frac{v_{z1+}}{sC_1} \tag{ค1.5}$$

แทนสมการ (ค1.2) และ (ค1.4) พบว่า

$$g_{mF1}\left(v_{p1} - v_{n1}\right) - g_{mS1} v_{z1+} = \frac{v_{z1+}}{sC_1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ $$v_{z1+} = -\frac{g_{mF1}v_{in1}}{sC_1 + g_{mS1}} \quad \text{(ค1.6)}$$

เมื่อวิเคราะห์ที่ขั้ว $x1+$ จะได้ผลรวมกระแสเท่ากับ

$$i_{in1} = -i_{x1+} \quad \text{(ค1.7)}$$

แทนสมการ (ค1.3) พบว่า

$$i_{in1} = -g_{mS1}v_{z1+} \quad \text{(ค1.8)}$$

แทนสมการ (ค1.6) ลงในสมการ (ค1.8) จะได้

$$i_{in1} = \frac{g_{mF1}g_{mS1}v_{in1}}{sC_1 + g_{mS1}} \quad \text{(ค1.9)}$$

จัดรูปสมการหา Z_{eq1} ได้ดังนี้

$$Z_{eq1} = \frac{v_{in1}}{i_{in1}} = \frac{sC_1}{g_{mF1}g_{mS1}} + \frac{1}{g_{mF1}} \quad \text{(ค1.10)}$$

จะได้ความต้านทานสมมูล (R_{eq1}) และค่าความเหนี่ยวนำสมมูล (L_{eq1}) ของวงจรที่นำเสนอจะมีค่าเท่ากับ

$$R_{eq1} = \frac{1}{g_{mF1}} \quad \text{(ค1.11)}$$

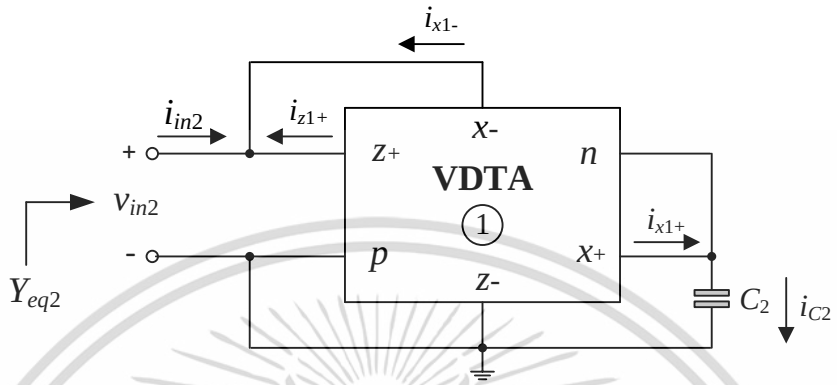
และ $$L_{eq1} = \frac{C_1}{g_{mF1}g_{mS1}} \quad \text{(ค1.12)}$$

สมการข้างต้นแสดงให้เห็นว่าจะต้องปรับค่าความต้านทานสมมูลให้ได้ค่าที่ต้องการก่อน โดยวิธีการทางอิเล็กทรอนิกส์ผ่านทาง g_{mF1} ของวงจร VDTA จึงค่อยทำการปรับค่าเหนี่ยวนำสมมูลได้อย่างอิสระด้วย g_{mS1} และอุปกรณ์พาสซีฟ C_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค1.2 วงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อเทียบกราวด์ในรูปแบบขนานดังรูป 4.1 (ข)

วงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อเทียบกราวด์ในรูปแบบขนานดังรูป 4.1 (ข) ได้มีการกำหนดทิศทางการไหลของกระแสดังแสดงในรูปที่ ค2 หากอาศัยคุณสมบัติของวงจร VDTA ในทางอุดมคติดังสมการ (2.1) ซึ่งสามารถวิเคราะห์หาค่าอิมพีแดนซ์อินพุต Z_{eq2} ได้ดังรายละเอียดต่อไปนี้



รูปที่ ค2 วงจรเลียนแบบค่าอิมพีแดนซ์ RL รูปแบบขนานต่อเทียบกราวด์ในรูป 4.1 (ข)

เมื่อวิเคราะห์ที่ขั้ว $x1+$ จะได้ผลรวมกระแสเท่ากับ

$$i_{x1+} = i_{C2} \tag{ค1.13}$$

แทนสมการ (ค1.3) พบว่า

$$g_{mS1} v_{z1+} = v_{n1} sC_2$$

หรือ

$$v_{n1} = \frac{g_{mS1} v_{in2}}{sC_2} \tag{ค1.14}$$

เมื่อวิเคราะห์ที่โหนด v_{in2} จะได้กระแส i_{in2} ดังนี้

$$i_{in2} = i_{x1+} - i_{z1+} \tag{ค1.15}$$

แทนสมการ (ค1.2) และ (ค1.3) พบว่า

$$i_{in2} = g_{mS1} v_{z1+} + g_{mF1} v_{n1} \tag{ค1.16}$$

แทนสมการ (ค1.14) ลงในสมการ (ค1.16) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{in2} = g_{mS1}v_{in2} + \frac{g_{mF1}g_{mS1}v_{in2}}{sC_2}$$

หรือ
$$i_{in2} = v_{in2}\left(g_{mS1} + \frac{g_{mF1}g_{mS1}}{sC_2} \right) \quad \text{(ค1.17)}$$

จัดรูปสมการหา Y_{eq2} ได้ดังนี้

$$Y_{eq2} = \frac{i_{in2}}{v_{in2}} = g_{mS1} + \frac{g_{mF1}g_{mS1}}{sC_2} \quad \text{(ค1.18)}$$

จะได้ความต้านทานสมมูล (R_{eq2}) และค่าความเหนี่ยวนำสมมูล (L_{eq2}) ของวงจรที่นำเสนอจะมีค่าเท่ากับ

$$R_{eq2} = \frac{1}{g_{mS1}} \quad \text{(ค1.19)}$$

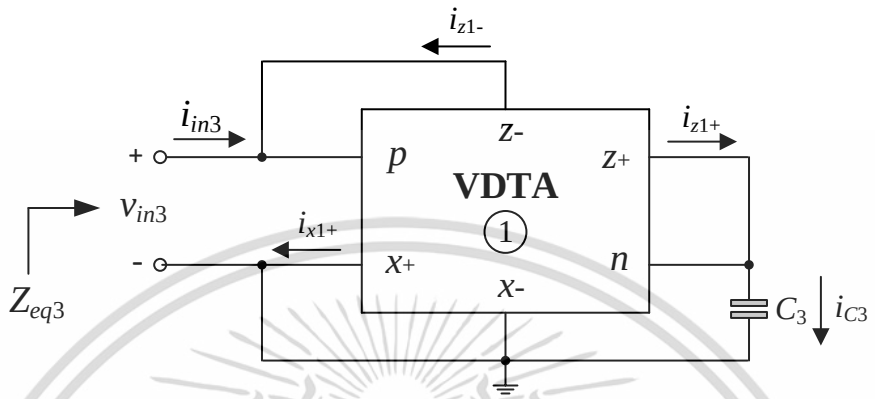
และ
$$L_{eq2} = \frac{C_2}{g_{mF1}g_{mS1}} \quad \text{(ค1.20)}$$

สมการข้างต้นแสดงให้เห็นว่าจะต้องปรับค่า R_{eq2} ด้วย g_{mS1} ให้ได้ค่าที่ต้องการก่อน จึงค่อยทำการปรับค่าเหนี่ยวนำสมมูลได้อย่างอิสระด้วยอุปกรณ์พาสซีฟ C_2 และอัตราขยายค่าความนำ g_{mF1} ของวงจร VDTA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค1.3 วงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อเทียบกราวด์ในรูปแบบอนุกรมดังรูป 4.2 (ก)

วงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อเทียบกราวด์ในรูปแบบอนุกรมดังรูป 4.2 (ก) ได้มีการกำหนดทิศทางการไหลของกระแสดังแสดงในรูปที่ ค3 หากอาศัยคุณสมบัติของวงจร VDTA ในทางอุดมคติดังสมการ (2.1) ซึ่งสามารถวิเคราะห์หาค่าอิมพีแดนซ์อินพุต Z_{eq3} ได้ดังรายละเอียดต่อไปนี้



รูปที่ ค3 วงจรเลียนแบบค่าอิมพีแดนซ์ RC รูปแบบอนุกรมต่อเทียบกราวด์ในรูป 4.2 (ก)

เมื่อวิเคราะห์ที่โหนด v_{in3} จะได้กระแส i_{in3} ดังนี้

$$i_{in3} = g_{mF1}(v_{in3} - v_{z1+})$$

หรือ

$$v_{z1+} = v_{in3} - \frac{i_{in3}}{g_{mF1}} \qquad \text{(ค1.21)}$$

เมื่อวิเคราะห์ที่โหนด $z1_+$ จะผลรวมกระแสดังนี้

$$i_{z1+} = i_{C_3} \qquad \text{(ค1.22)}$$

แทนสมการ (ค1.2) พบว่า

$$g_{mF1}\left(v_{in3} - v_{z1+}\right) = v_{z1+} sC_3 \qquad \text{(ค1.23)}$$

แทนสมการ (ค1.21) ลงในสมการ (ค1.23) จะได้

$$i_{in3} = \left(v_{in3} - \frac{i_{in3}}{g_{mF1}}\right) sC_3 \qquad \text{(ค1.24)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จัดรูปสมการหา Z_{eq3} ได้ดังนี้

$$Z_{eq3} = \frac{v_{in3}}{i_{in3}} = \frac{1}{g_{mF1}} + \frac{1}{sC_3} \qquad \text{(ค1.25)}$$

จะได้ความต้านทานสมมูล (R_{eq3}) และค่าความจุไฟฟ้าสมมูล (C_{eq3}) ของวงจรที่นำเสนอจะมีค่าเท่ากับ

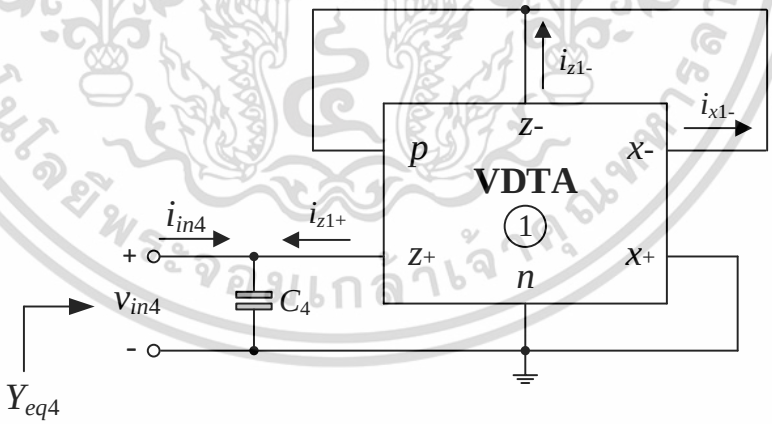
$$R_{eq3} = \frac{1}{g_{mF1}} \qquad \text{(ค1.26)}$$

และ
$$C_{eq3} = \frac{1}{sC_3} \qquad \text{(ค1.27)}$$

สมการข้างต้นแสดงให้เห็นว่า R_{eq3} และ C_{eq3} สามารถปรับแยกกันได้อย่างอิสระด้วยอัตราขยายค่าความนำของวงจร VDTA และอุปกรณ์พาสซีฟในวงจรตามลำดับ

ค1.4 วงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อเทียบกราวด์ในรูปแบบขนานดังรูป 4.2 (ข)

วงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อเทียบกราวด์ในรูปแบบขนานดังรูป 4.2 (ข) ได้มีการกำหนดทิศทางการไหลของกระแสดังแสดงในรูปที่ ค4 หากอาศัยคุณสมบัติของวงจร VDTA ในทางอุดมคติดังสมการ (2.1) ซึ่งสามารถวิเคราะห์หาค่าอิมพีแดนซ์อินพุต Z_{eq4} ได้ดังรายละเอียดต่อไปนี้



รูปที่ ค4 วงจรเลียนแบบค่าอิมพีแดนซ์ RC รูปแบบขนานต่อเทียบกราวด์ในรูป 4.2 (ข)

เมื่อวิเคราะห์ที่ขั้ว x- จะได้ผลรวมกระแสเท่ากับ

$$i_{z1-} = -i_{x1-} \qquad \text{(ค1.28)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนสมการ (ค1.2) และ (ค1.4) พบว่า

$$g_{mF1}v_{p1} = -g_{mS1}v_{in4}$$

หรือ $$v_{p1} = -\frac{g_{mS1}v_{in4}}{g_{mF1}} \quad \text{(ค1.29)}$$

เมื่อวิเคราะห์ที่โหนด v_{in4} จะได้ผลรวมกระแสดังนี้

$$i_{in4} + i_{z1+} = i_{C_4} \quad \text{(ค1.30)}$$

แทนสมการ (ค1.2) พบว่า

$$i_{in4} + g_{mF1}v_{p1} = v_{in4}sC_4 \quad \text{(ค1.31)}$$

แทนสมการ (ค1.29) ลงในสมการ (ค1.31) จะได้

$$i_{in4} - g_{mS1}v_{in4} = v_{in4}sC_4$$

หรือ $$i_{in4} = v_{in4}\left(sC_4 + g_{mS1}\right) \quad \text{(ค1.32)}$$

จัดรูปสมการหา Y_{eq4} ได้ดังนี้

$$Y_{eq4} = \frac{i_{in4}}{v_{in4}} = sC_4 + g_{mS1} \quad \text{(ค1.33)}$$

จะได้ความต้านทานสมมูล (R_{eq4}) และค่าความจุไฟฟ้าสมมูล (C_{eq4}) ของวงจรที่นำเสนอจะมีค่าเท่ากับ

$$R_{eq4} = \frac{1}{g_{mS1}} \quad \text{(ค1.34)}$$

และ $$C_{eq4} = C_4 \quad \text{(ค1.35)}$$

สมการข้างต้นแสดงให้เห็นว่า R_{eq4} และ C_{eq4} สามารถปรับแยกกันได้อย่างอิสระด้วยอัตราขยายค่าความนำของวงจร VDTA และอุปกรณ์พาสซีฟในวงจรตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค2 การวิเคราะห์คุณสมบัติในทางปฏิบัติของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ที่นำเสนอ

ค2.1 วงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อเทียบกราวด์ในรูปแบบอนุกรมดังรูป 4.1 (ก) เมื่อพิจารณาคุณสมบัติในทางปฏิบัติ

เมื่อพิจารณผลกระทบจากความไม่เป็นอุดมคติของวงจร VDTA ดังสมการ (ค2.1) – (ค2.4) ของวงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อเทียบกราวด์ในรูปแบบอนุกรมดังรูป 4.1 (ก) สามารถอธิบายรายละเอียดได้ดังต่อไปนี้

$$i_p = i_n = 0 \tag{ค2.1}$$

$$i_{z+} = -i_{z-} = \beta_F g_{mF}\left(v_p - v_n\right) \tag{ค2.2}$$

$$i_{x+} = \beta_S g_{mS} v_{z+} \tag{ค2.3}$$

และ
$$i_{x-} = -\beta_S g_{mS} v_{z+} \tag{ค2.4}$$

เมื่อวิเคราะห์ที่โหนด $z1_+$ จะผลรวมกระแสดังนี้

$$i_{z1+} + i_{x1-} = \frac{v_{z1+}}{sC_1} \tag{ค2.5}$$

แทนสมการ (ค2.2) และ (ค2.4) พบว่า

$$\beta_{F1} g_{mF1}\left(v_{p1} - v_{n1}\right) - \beta_{S1} g_{mS1} v_{z+1} = \frac{v_{z1+}}{sC_1}$$

หรือ
$$v_{z1+} = -\frac{\beta_{F1} g_{mF1} v_{in1}}{sC_1 + \beta_{S1} g_{mS1}} \tag{ค2.6}$$

เมื่อวิเคราะห์ที่ขั้ว $x1+$ จะได้ผลรวมกระแสเท่ากับ

$$i_{in1} = -i_{x1+} \tag{ค2.7}$$

แทนสมการ (ค2.3) ลงในสมการ (ค2.7) พบว่า

$$i_{in1} = -\beta_{S1} g_{mS1} v_{z1+} \tag{ค2.8}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนสมการ (ค2.6) ลงในสมการ (ค2.8) จะได้

$$i_{in1} = \frac{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}v_{in1}}{sC_1 + \beta_{S1}g_{mS1}} \quad \text{(ค2.9)}$$

จัดรูปสมการหา Z'_{eq1} ได้ดังนี้

$$Z'_{eq1} = \frac{v_{in1}}{i_{in1}} = \frac{sC_1}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}} + \frac{1}{\beta_{F1}g_{mF1}} \quad \text{(ค2.10)}$$

จะได้ความต้านทานสมมูล (R'_{eq1}) และค่าความเหนี่ยวนำสมมูล (L'_{eq1}) ของวงจรที่นำเสนอจะมีค่าเท่ากับ

$$R'_{eq1} = \frac{1}{\beta_{F1}g_{mF1}} \quad \text{(ค2.11)}$$

และ
$$L'_{eq1} = \frac{C_1}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}} \quad \text{(ค2.12)}$$

จากสมการข้างต้นแสดงให้เห็นว่าค่า β_{F1} และ β_{S1} ในทางปฏิบัติจะส่งผลกระทบต่อผลการทำงานของวงจรที่นำเสนอ ซึ่งเราสามารถปรับแต่งค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ผ่านอัตรขยายค่าความนำของวงจร VDTA เพื่อชดเชยผลกระทบดังกล่าวให้ผลการทำงานที่ได้รับใกล้เคียงกับผลในทางทฤษฎีมากยิ่งขึ้น

ค2.2 วงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อเทียบกราวด์ในรูปแบบขนานดังรูป 4.1 (ข) เมื่อพิจารณาคุณสมบัติในทางปฏิบัติ

เมื่อพิจารณผลกระทบจากความไม่เป็นอุดมคติของวงจร VDTA ดังสมการ (ค2.1) – (ค2.4) ของวงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อเทียบกราวด์ในรูปแบบขนานดังรูป 4.1 (ข) สามารถอธิบายรายละเอียดได้ดังต่อไปนี้

เมื่อวิเคราะห์ที่ขั้ว $x1+$ จะได้ผลรวมกระแสเท่ากับ

$$i_{x1+} = i_{C2} \quad \text{(ค2.13)}$$

แทนสมการ (ค2.3) ลงในสมการ (ค2.13) พบว่า

$$\beta_{S1}g_{mS1}v_{z1+} = v_{n1}sC_2$$

หรือ
$$v_{n1} = \frac{\beta_{S1}g_{mS1}v_{in2}}{sC_2} \quad \text{(ค2.14)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวิเคราะห์ที่โหนด v_{in2} จะได้กระแส i_{in2} ดังนี้

$$i_{in2} = i_{x1+} - i_{z1+} \tag{ค2.15}$$

แทนสมการ (ค2.2) และ (ค2.3) ลงในสมการ (ค2.15) พบว่า

$$i_{in2} = \beta_{S1} g_{mS1} v_{z1+} + \beta_{F1} g_{mF1} v_{n1} \tag{ค2.16}$$

แทนสมการ (ค2.14) ลงในสมการ (ค2.16) จะได้

$$i_{in2} = \beta_{S1} g_{mS1} v_{in2} + \frac{\beta_{F1}\beta_{S1} g_{mF1} g_{mS1} v_{in2}}{sC_2}$$

หรือ

$$i_{in2} = v_{in2}\left(\beta_{S1} g_{mS1} + \frac{\beta_{F1}\beta_{S1} g_{mF1} g_{mS1}}{sC_2}\right) \tag{ค2.17}$$

จัดรูปสมการหา Y_{eq2} ได้ดังนี้

$$Y'_{in2} = \frac{i_{in2}}{v_{in2}} = \beta_{S1} g_{mS1} + \frac{\beta_{F1}\beta_{S1} g_{mF1} g_{mS1}}{sC_2} \tag{ค2.18}$$

จะได้ความต้านทานสมมูล (R'_{eq2}) และค่าความเหนี่ยวนำสมมูล (L'_{eq2}) ของวงจรที่นำเสนอจะมีค่าเท่ากับ

$$R'_{eq2} = \frac{1}{\beta_{S1} g_{mS1}} \tag{ค2.19}$$

และ

$$L'_{eq2} = \frac{C_2}{\beta_{F1}\beta_{S1} g_{mF1} g_{mS1}} \tag{ค2.20}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค2.3 วงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อเทียบกราวด์ในรูปแบบอนุกรมดังรูป 4.2 (ก) เมื่อพิจารณาคุณสมบัติในทางปฏิบัติ

เมื่อพิจารณผลกระทบจากความไม่เป็นอุดมคติของวงจร VDTA ดังสมการ (ค2.1) – (ค2.4) ของวงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อเทียบกราวด์ในรูปแบบอนุกรมดังรูป 4.2 (ก) สามารถอธิบายรายละเอียดได้ดังต่อไปนี้

$$i_{in3} = \beta_{F1} g_{mF1} (v_{in3} - v_{z1+})$$

หรือ
$$v_{z1+} = v_{in3} - \frac{i_{in3}}{\beta_{F1} g_{mF1}} \quad \text{(ค2.21)}$$

เมื่อวิเคราะห์ที่โหนด $z1_+$ จะผลรวมกระแสดังนี้

$$i_{z1+} = i_{C_3} \quad \text{(ค2.22)}$$

แทนสมการ (ค2.2) ลงในสมการ (ค2.22) พบว่า

$$\beta_{F1} g_{mF1} \left(v_{in3} - v_{z1+} \right) = v_{z1+} sC_3 \quad \text{(ค2.23)}$$

แทนสมการ (ค2.21) ลงในสมการ (ค2.23) จะได้

$$i_{in3} = \left(v_{in3} - \frac{i_{in3}}{\beta_{F1} g_{mF1}} \right) sC_3 \quad \text{(ค2.24)}$$

จัดรูปสมการหา Z'_{eq3} ได้ดังนี้

$$Z'_{eq3} = \frac{v_{in3}}{i_{in3}} = \frac{1}{\beta_{F1} g_{mF1}} + \frac{1}{sC_3} \quad \text{(ค2.25)}$$

จะได้ความต้านทานสมมูล (R'_{eq3}) และค่าความจุไฟฟ้าสมมูล (C'_{eq3}) ของวงจรที่นำเสนอจะมีค่าเท่ากับ

$$R'_{eq3} = \frac{1}{\beta_{F1} g_{mF1}} \quad \text{(ค2.26)}$$

และ
$$C'_{eq3} = \frac{1}{sC_3} \quad \text{(ค2.27)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค2.4 วงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อเทียบกราวด์ในรูปแบบขนานดังรูป 4.2 (ข) เมื่อพิจารณาคุณสมบัติในทางปฏิบัติ

เมื่อพิจารณผลกระทบจากความไม่เป็นอุดมคติของวงจร VDTA ดังสมการ (ค2.1) – (ค2.4) ของวงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อเทียบกราวด์ในรูปแบบขนานดังรูป 4.2 (ข) สามารถอธิบายรายละเอียดได้ดังต่อไปนี้

เมื่อวิเคราะห์ที่ขั้ว $x1$- จะได้ผลรวมกระแสเท่ากับ

$$i_{z1-} = -i_{x1-} \tag{ค2.28}$$

แทนสมการ (ค2.2) และ (ค2.4) ลงในสมการ (ค2.28) พบว่า

$$\beta_{F1} g_{mF1} v_{p1} = -\beta_{S1} g_{mS1} v_{in4}$$

หรือ
$$v_{p1} = -\frac{\beta_{S1} g_{mS1} v_{in4}}{\beta_{F1} g_{mF1}} \tag{ค2.29}$$

เมื่อวิเคราะห์ที่โหนด v_{in4} จะได้ผลรวมกระแสดังนี้

$$i_{in4} + i_{z1+} = i_{C_4} \tag{ค2.30}$$

แทนสมการ (ค2.2) ลงในสมการ (ค2.30) พบว่า

$$i_{in4} + \beta_{F1} g_{mF1} v_{p1} = v_{in4} s C_4 \tag{ค2.31}$$

แทนสมการ (ค2.29) ลงในสมการ (ค2.31) จะได้

$$i_{in4} - \beta_{S1} g_{mS1} v_{in4} = v_{in4} s C_4$$

หรือ
$$i_{in4} = v_{in4} \left(s C_4 + \beta_{S1} g_{mS1} \right) \tag{ค2.32}$$

จัดรูปสมการหา Y'_{eq4} ได้ดังนี้

$$Y'_{in4} = \frac{i_{in4}}{v_{in4}} = s C_4 + \beta_{S1} g_{mS1} \tag{ค2.33}$$

จะได้ความต้านทานสมมูล (R'_{eq4}) และค่าความจุไฟฟ้าสมมูล (C'_{eq4}) ของวงจรที่นำเสนอจะมีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R'_{eq4} = \frac{1}{\beta_{S1} g_{mS1}} \quad \text{(ค2.34)}$$

และ $$C'_{eq4} = C_4 \quad \text{(ค2.35)}$$

ค3 การวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงค่าองค์ประกอบในวงจรที่นำเสนอ

หากวิเคราะห์หาค่าความไวของอุปกรณ์สมมูล ได้แก่ ค่าความต้านทานสมมูล ค่าความเหนี่ยวนำสมมูล และค่าความจุไฟฟ้าสมมูลสำหรับวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ที่นำเสนอดังรูปที่ 4.1 และรูปที่ 4.2 โดยใช้ความสัมพันธ์ของสมการดังต่อไปนี้

$$S_x^y = \frac{\left(\frac{\Delta y}{y}\right)}{\left(\frac{\Delta x}{x}\right)} = \frac{\partial y / y}{\partial x / x} = \frac{\partial(\ln y)}{\partial(\ln x)} = \frac{x}{y}\frac{\partial y}{\partial x} \quad \text{(ค3.1)}$$

จากสมการข้างต้นหากวิเคราะห์หาค่าความไวของค่า R'_{eq} C'_{eq} และ L'_{eq} ซึ่งแทนตัวแปร y ต่อการเปลี่ยนแปลงค่าองค์ประกอบอื่นๆ ได้แก่ g_{mF1} g_{mS1} C_i β_{F1} และ β_{S1} ที่แทนด้วยตัวแปร x จะมีผลลัพธ์ดังต่อไปนี้

สำหรับวงจรสมมูล R'_{eq1} อนุกรม L'_{eq1} ในรูปที่ 4.1(ก)

$$S_{\beta_{F1}}^{R'_{eq1}} = S_{g_{mF1}}^{R'_{eq1}} = -1 \quad \text{(ค3.2)}$$

$$S_{C_1}^{L'_{eq1}} = 1 \quad \text{(ค3.3)}$$

และ $$S_{\beta_{F1}}^{L'_{eq1}} = S_{\beta_{S1}}^{L'_{eq1}} = S_{g_{mF1}}^{L'_{eq1}} = S_{g_{mS1}}^{L'_{eq1}} = -1 \quad \text{(ค3.4)}$$

สำหรับวงจรสมมูล R'_{eq2} ขนาน L'_{eq2} ในรูปที่ 4.1(ข)

$$S_{\beta_{S1}}^{R'_{eq2}} = S_{g_{mS1}}^{R'_{eq2}} = -1 \quad \text{(ค3.5)}$$

$$S_{C_2}^{L'_{eq2}} = 1 \quad \text{(ค3.6)}$$

และ $$S_{\beta_{F1}}^{L'_{eq2}} = S_{\beta_{S1}}^{L'_{eq2}} = S_{g_{mF1}}^{L'_{eq2}} = S_{g_{mS1}}^{L'_{eq2}} = -1 \quad \text{(ค3.7)}$$

สำหรับวงจรสมมูล R'_{eq3} อนุกรม C'_{eq3} ในรูปที่ 4.2(ก)

$$S_{\beta_{F1}}^{R'_{eq3}} = S_{g_{mF1}}^{R'_{eq3}} = -1 \quad \text{(ค3.8)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $$S_{C_3}^{C'_{eq3}} = 1 \quad \text{(ค3.9)}$$

สำหรับวงจรสมมูล R'_{eq4} อนุกรม C'_{eq4} ในรูปที่ 4.2(ข)

$$S_{\beta_{S1}}^{R'_{eq4}} = S_{g_{mS1}}^{R'_{eq4}} = -1 \quad \text{(ค3.10)}$$

และ $$S_{C_4}^{C'_{eq4}} = 1 \quad \text{(ค3.11)}$$

สมการข้างต้นพบว่าค่าความไวทั้งหมดมีขนาดไม่เกินหนึ่ง แสดงให้เห็นว่าวงจรมีคุณสมบัติค่าความไวต่อการเปลี่ยนแปลงอุปกรณ์แอคทีฟและพาสซีฟในวงจรที่ต่ำ ซึ่งบ่งชี้ถึงเสถียรภาพที่ดีของวงจรที่นำเสนอ

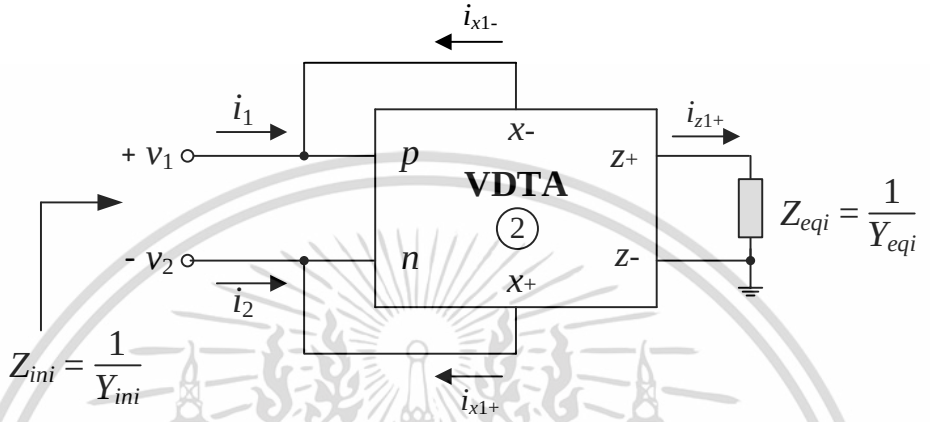
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง
การวิเคราะห์คุณสมบัติของวงจรเลียนแบบ
ค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอในรูปที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ง1 การวิเคราะห์คุณสมบัติของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอในรูปที่ 4.3

วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอในรูปที่ 4.3 ได้มีการกำหนดทิศทางการไหลของกระแสดังแสดงในรูปที่ ง1 หากอาศัยคุณสมบัติของวงจร VDTA ในทางอุดมคติดังสมการ (2.1) ซึ่งสามารถวิเคราะห์หาค่าอิมพีแดนซ์อินพุต (input impedance, Z_{in}) ได้ดังรายละเอียดต่อไปนี้



รูปที่ ง1 วงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอในรูปที่ 4.3

เมื่อวิเคราะห์ที่โหนด v_1 จะได้กระแส i_1 ดังนี้

$$i_1 = g_{mS2} v_{z2+}$$

หรือ
$$v_{z2+} = \frac{i_1}{g_{mS2}} \qquad \text{(ง1.1)}$$

เมื่อวิเคราะห์ที่โหนด v_2 จะได้กระแส i_2 ดังนี้

$$i_2 = -g_{mS2} v_{z2+}$$

หรือ
$$v_{z2+} = -\frac{i_2}{g_{mS2}} \qquad \text{(ง1.2)}$$

เมื่อวิเคราะห์ที่โหนด $z2_+$ จะผลรวมกระแสดังนี้

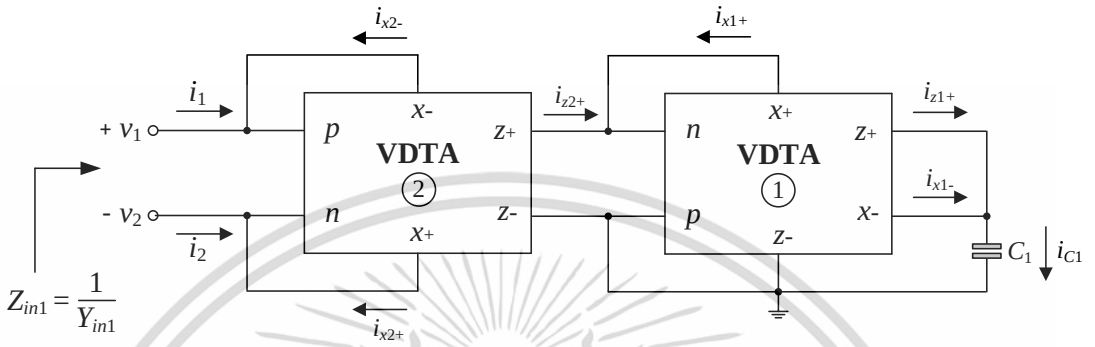
$$i_{z2+} = i_{Zeqi} \qquad \text{(ง1.3)}$$

แทนสมการ (ค1.2) พบว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$g_{mF2}\left(v_1 - v_2\right) = \frac{v_{z2+}}{Z_{eqi}} \tag{ง1.4}$$

ในรูปที่ ง1 เมื่อกำหนดให้ $Z_{eqi} = Z_{eq1}$ จะสามารถออกแบบเป็นวงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อลอยตัวในรูปแบบขนานได้ดังรูปที่ ง2



รูปที่ ง2 วงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อลอยตัวในรูปแบบขนาน

แทนสมการ (ค1.10) ลงในสมการ (ง1.4) จะได้

$$g_{mF2}\left(v_1 - v_2\right) = v_{z2+}\left(\frac{g_{mF1}g_{mS1}}{sC_1 + g_{mS1}}\right) \tag{ง1.5}$$

แทนสมการ (ง1.1) ลงในสมการ (ง1.5) จะได้

$$g_{mF2}\left(v_1 - v_2\right) = \frac{i_1}{g_{mS2}}\left(\frac{g_{mF1}g_{mS1}}{sC_1 + g_{mS1}}\right) \tag{ง1.6}$$

จัดรูปสมการหาแอตมิตแตนซ์อินพุตได้ดังนี้

$$\frac{i_1}{\left(v_1 - v_2\right)} = \frac{g_{mF2}g_{mS2}sC_1}{g_{mF1}g_{mS1}} + \frac{g_{mF2}g_{mS2}}{g_{mF1}} \tag{ง1.7}$$

แทนสมการ (ง1.2) ลงในสมการ (ง1.5) จะได้

$$g_{mF2}\left(v_1 - v_2\right) = -\frac{i_2}{g_{mS2}}\left(\frac{g_{mF1}g_{mS1}}{sC_1 + g_{mS1}}\right) \tag{ง1.8}$$

จัดรูปสมการหาแอตมิตแตนซ์อินพุตได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_2}{(v_2-v_1)}=\frac{g_{mF2}g_{mS2}sC_1}{g_{mF1}g_{mS1}}+\frac{g_{mF2}g_{mS2}}{g_{mF1}} \qquad (ง1.9)$$

จากสมการ (ง1.7) และ (ง1.9) จะเห็นได้ว่าแอตมิตแตนซ์อินพุตของวงจรทั้งสองฝั่งนั้นมีค่าเท่ากัน ส่งผลให้วงจรมีคุณสมบัติที่ดีเนื่องจากไม่มีเงื่อนไขการเท่ากันของอุปกรณ์หรือเขียนเป็นสมการได้ดังนี้

$$Y_{in1}=\frac{i_{in1}}{v_{in1}}=\frac{i_1}{(v_1-v_2)}=\frac{i_2}{(v_2-v_1)}=\frac{g_{mF2}g_{mS2}}{g_{mF1}}+\frac{sC_1g_{mF2}g_{mS2}}{g_{mF1}g_{mS1}} \qquad (ง1.10)$$

ในทำนองเดียวกันในรูปที่ ง1 เมื่อกำหนดให้ $Y_{eqi} = Y_{eq2}$ และแทนสมการ (ค1.18) ลงในสมการ (ง1.4) พบว่าค่าอิมพีแดนซ์อินพุตแสดงได้ดังต่อไปนี้

$$Z_{in2}=\frac{v_{in2}}{i_{in2}}=\frac{(v_1-v_2)}{i_1}=\frac{(v_2-v_1)}{i_2}=\frac{g_{mS1}}{g_{mF2}g_{mS2}}+\frac{g_{mF1}g_{mS1}}{sC_2g_{mF2}g_{mS2}} \qquad (ง1.11)$$

เมื่อกำหนดให้ $Z_{eqi} = Z_{eq3}$ และแทนสมการ (ค1.25) ลงในสมการ (ง1.4) พบว่าค่าแอตมิตแตนซ์อินพุตแสดงได้ดังต่อไปนี้

$$Y_{in3}=\frac{i_{in3}}{v_{in3}}=\frac{i_1}{(v_1-v_2)}=\frac{i_2}{(v_2-v_1)}=\frac{g_{mF2}g_{mS2}}{g_{mF1}}+\frac{g_{mF2}g_{mS2}}{sC_3} \qquad (ง1.12)$$

เมื่อกำหนดให้ $Y_{eqi} = Y_{eq4}$ และแทนสมการ (ค1.33) ลงในสมการ (ง1.4) พบว่าค่าอิมพีแดนซ์อินพุตแสดงได้ดังต่อไปนี้

$$Z_{in4}=\frac{v_{in4}}{i_{in4}}=\frac{(v_1-v_2)}{i_1}=\frac{(v_2-v_1)}{i_2}=\frac{g_{mS1}}{g_{mF2}g_{mS2}}+\frac{sC_4}{g_{mF2}g_{mS2}} \qquad (ง1.13)$$

ง2 การวิเคราะห์คุณสมบัติในทางปฏิบัติของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอในรูปที่ 4.3

เมื่อพิจารณผลกระทบจากความไม่เป็นอุดมคติของวงจร VDTA ดังสมการ (ง1.14) – (ง1.17) ของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอในรูปที่ 4.3 สามารถอธิบายรายละเอียดได้ดังต่อไปนี้

$$i_{p2}=i_{n2}=0 \qquad (ง2.1)$$

$$i_{z2+}=-i_{z2-}=\beta_{F2}g_{mF2}(v_{p2}-v_{n2}) \qquad (ง2.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{x2+} = \beta_{S2} g_{mS2} v_{z2+} \quad \text{(ง2.3)}$$

และ $$i_{x2-} = -\beta_{S2} g_{mS2} v_{z2+} \quad \text{(ง2.4)}$$

เมื่อวิเคราะห์ที่โหนด v_1 จะได้กระแส i_1 ดังนี้

$$i_1' = \beta_{S2} g_{mS2} v_{z2+}$$

หรือ $$v_{z2+} = \frac{i_1'}{\beta_{S2} g_{mS2}} \quad \text{(ง2.5)}$$

เมื่อวิเคราะห์ที่โหนด v_2 จะได้กระแส i_2 ดังนี้

$$i_2' = -\beta_{S2} g_{mS2} v_{z2+}$$

หรือ $$v_{z2+} = -\frac{i_2'}{\beta_{S2} g_{mS2}} \quad \text{(ง2.6)}$$

เมื่อวิเคราะห์ที่โหนด $z2_+$ จะผลรวมกระแสดังนี้

$$i_{z2+} = i_{Zeqi} \quad \text{(ง2.7)}$$

แทนสมการ (ง2.2) ลงในสมการ (ง2.7) พบว่า

$$\beta_{F2} g_{mF2} \left(v_1' - v_2' \right) = \frac{v_{z2+}}{Z_{eqi}} \quad \text{(ง2.8)}$$

แทนสมการ (ค2.10) ลงในสมการ (ง2.8) จะได้

$$\beta_{F2} g_{mF2} \left(v_1' - v_2' \right) = v_{z2+} \left(\frac{\beta_{F1} \beta_{S1} g_{mF1} g_{mS1}}{sC_1 + \beta_{S1} g_{mS1}} \right) \quad \text{(ง2.9)}$$

แทนสมการ (ง2.5) ลงในสมการ (ง2.9) จะได้

$$\beta_{F2} g_{mF2} \left(v_1' - v_2' \right) = \frac{i_1'}{\beta_{S2} g_{mS2}} \left(\frac{\beta_{F1} \beta_{S1} g_{mF1} g_{mS1}}{sC_1 + \beta_{S1} g_{mS1}} \right) \quad \text{(ง2.10)}$$

จัดรูปสมการหาแอตมิตแตนซ์อินพุตได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{i_1'}{\left(v_1'-v_2'\right)}=\frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}{\beta_{F1}g_{mF1}}+\frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}sC_1}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}} \qquad (ง2.11)$$

แทนสมการ (ง2.6) ลงในสมการ (ง2.9) จะได้

$$\beta_{F2}g_{mF2}\left(v_1'-v_2'\right)=-\frac{i_2'}{g_{mS2}}\left(\frac{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}}{sC_1+\beta_{S1}g_{mS1}}\right) \qquad (ง2.12)$$

จัดรูปสมการหาแอตมิตแตนซ์อินพุตได้ดังนี้

$$\frac{i_2'}{\left(v_2'-v_1'\right)}=\frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}{\beta_{F1}g_{mF1}}+\frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}sC_1}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}} \qquad (ง2.13)$$

จากสมการ (ง2.11) และ (ง2.13) จะเห็นได้ว่าแอตมิตแตนซ์อินพุตของวงจรทั้งสองฝั่งนั้นมีค่าเท่ากัน จึงไม่มีเงื่อนไขการเท่ากันของอุปกรณ์ ซึ่งสามารถเขียนใหม่เป็น

$$Y_{in1}'=\frac{i_{in1}'}{v_{in1}'}=\frac{i_1'}{\left(v_1'-v_2'\right)}=\frac{i_2'}{\left(v_2'-v_1'\right)}=\frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}{\beta_{F1}g_{mF1}}+\frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}sC_1}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}} \qquad (ง2.14)$$

ในทำนองเดียวกันในรูปที่ ง1 เมื่อกำหนดให้ $Y_{eqi}=Y_{eq2}$ และแทนสมการ (ค2.18) ลงในสมการ (ง2.8) พบว่าค่าอิมพีแดนซ์อินพุตแสดงได้ดังต่อไปนี้

$$Z_{in2}'=\frac{v_{in2}'}{i_{in2}'}=\frac{\left(v_1'-v_2'\right)}{i_1'}=\frac{\left(v_2'-v_1'\right)}{i_2'}=\frac{\beta_{F1}g_{mS1}}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}+\frac{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}sC_2} \qquad (ง2.15)$$

เมื่อกำหนดให้ $Z_{eqi}=Z_{eq3}$ และแทนสมการ (ค2.25) ลงในสมการ (ง2.8) พบว่าค่าแอตมิตแตนซ์อินพุตแสดงได้ดังต่อไปนี้

$$Y_{in3}'=\frac{i_{in3}'}{v_{in3}'}=\frac{i_1'}{\left(v_1'-v_2'\right)}=\frac{i_2'}{\left(v_2'-v_1'\right)}=\frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}{\beta_{F1}g_{mF1}}+\frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}{sC_3} \qquad (ง2.16)$$

เมื่อกำหนดให้ $Y_{eqi}=Y_{eq4}$ และแทนสมการ (ค2.33) ลงในสมการ (ง2.8) พบว่าค่าอิมพีแดนซ์อินพุตแสดงได้ดังต่อไปนี้

$$Z_{in4}'=\frac{v_{in4}'}{i_{in4}'}=\frac{\left(v_1'-v_2'\right)}{i_1'}=\frac{\left(v_2'-v_1'\right)}{i_2'}=\frac{\beta_{S1}g_{mS1}}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}+\frac{sC_4}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}} \qquad (ง2.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (ง2.14) – (ง2.17) พบว่าค่าอุปกรณ์สมมูลของวงจรที่นำเสนอในทางปฏิบัติจะมีค่าของ β_F และ β_S แฝงอยู่ด้วย ซึ่งค่าองค์ประกอบนี้จะส่งผลต่อการทำงานของวงจรเลียนแบบค่าอิมพีแดนซ์ RL และ RC ต่อลอยตัวที่นำเสนอ โดยสามารถลดผลกระทบจากค่าองค์ประกอบดังกล่าวได้ด้วยการปรับชดเชยด้วยอัตราขยายค่าความนำของวงจร VDTA เพื่อให้วงจรมีค่าใกล้เคียงทฤษฎีมากยิ่งขึ้น

ง3 การวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงค่าองค์ประกอบในวงจร

หากวิเคราะห์หาค่าความไวของค่าความต้านทานสมมูล ค่าความจุไฟฟ้าสมมูลและค่าความเหนี่ยวนำสมมูลวงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อลอยตัวในรูป 4.3 เมื่อกำหนดให้ $Z_{eqi} = Z'_{eq1}$ มีรายละเอียดดังต่อไปนี้ โดยที่ $x = \beta_{F1}$ และ $y = R_{in1}$

$$S_{\beta_{F1}}^{R_{in1}} = \frac{\beta_{F1}}{R_{in1}} \cdot \frac{\partial R_{in1}}{\partial \beta_{F1}} \tag{ง3.1}$$

แทนค่าสมการ (ง2.14) ลงใน (ง3.1) จะได้

$$S_{\beta_{F1}}^{R_{in1}} = \frac{\beta_{F1}}{\left(\dfrac{\beta_{F1} g_{mF1}}{\beta_{F2}\beta_{S2} g_{mF2} g_{mS2}}\right)} \cdot \frac{\partial\left(\dfrac{\beta_{F1} g_{mF1}}{\beta_{F2}\beta_{S2} g_{mF2} g_{mS2}}\right)}{\partial \beta_{F1}} \tag{ง3.2}$$

จากนั้นทำการหาอนุพันธ์ของผลหารของสมการข้างต้น ดังนั้น

$$S_{\beta_{F1}}^{R_{in1}} = \beta_{F1}^2 \cdot \frac{\partial\left(\dfrac{1}{\beta_{F1}}\right)}{\partial \beta_{F1}}$$

หรือ $$S_{\beta_{F1}}^{R_{in1}} = 1 \tag{ง3.3}$$

จากนั้นวิเคราะห์หาค่าความไวของค่า R_{ini} C_{ini} และ L_{ini} จากสมการ (ง2.14) – (ง2.17) ต่อการเปลี่ยนแปลงค่าองค์ประกอบอื่นๆ ในวงจรโดยใช้วิธีเดียวกับที่นำเสนอในข้างต้นจะมีรายละเอียดดังนี้

สำหรับรูปที่ 4.3 กำหนดให้ $Z_{eqi} = Z_{eq1}$ จะสามารถวิเคราะห์หาค่าความไวของอุปกรณ์สมมูลได้ดังนี้

$$S_{\beta_{F1}}^{R'_{in1}} = S_{g_{mF1}}^{R'_{in1}} = 1 \tag{ง3.4}$$

$$S_{\beta_{F2}}^{R'_{in1}} = S_{\beta_{S2}}^{R'_{in1}} = S_{g_{mF2}}^{R'_{in1}} = S_{g_{mS2}}^{R'_{in1}} = -1 \tag{ง3.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_{\beta_{F2}}^{C'_{in1}} = S_{\beta_{S2}}^{C'_{in1}} = S_{g_{mF2}}^{C'_{in1}} = S_{g_{mS2}}^{C'_{in1}} = S_{C_1}^{C'_{in1}} = 1 \quad (ง3.6)$$

และ $$S_{\beta_{F1}}^{C'_{eq1}} = S_{\beta_{S1}}^{C'_{eq1}} = S_{g_{mF1}}^{C'_{eq1}} = S_{g_{mS1}}^{C'_{eq1}} = -1 \quad (ง3.7)$$

สำหรับรูปที่ 4.3 กำหนดให้ $Y_{eqi} = Y_{eq2}$ จะสามารถวิเคราะห์หาค่าความไวของอุปกรณ์สมมูลได้ดังนี้

$$S_{\beta_{F1}}^{R'_{in2}} = S_{g_{mF1}}^{R'_{in2}} = 1 \quad (ง3.8)$$

$$S_{\beta_{F2}}^{R'_{in2}} = S_{\beta_{S2}}^{R'_{in2}} = S_{g_{mF2}}^{R'_{in2}} = S_{g_{mS2}}^{R'_{in2}} = -1 \quad (ง3.9)$$

$$S_{\beta_{F2}}^{C'_{in2}} = S_{\beta_{S2}}^{C'_{in2}} = S_{g_{mF2}}^{C'_{in2}} = S_{g_{mS2}}^{C'_{in2}} = S_{C_2}^{C'_{in1}} = 1 \quad (ง3.10)$$

และ $$S_{\beta_{F1}}^{C'_{eq2}} = S_{\beta_{S1}}^{C'_{eq2}} = S_{g_{mF1}}^{C'_{eq2}} = S_{g_{mS1}}^{C'_{eq2}} = -1 \quad (ง3.11)$$

สำหรับรูปที่ 4.3 กำหนดให้ $Z_{eqi} = Z_{eq3}$ จะสามารถวิเคราะห์หาค่าความไวของอุปกรณ์สมมูลได้ดังนี้

$$S_{\beta_{F1}}^{R'_{in3}} = S_{g_{mF1}}^{R'_{in3}} = 1 \quad (ง3.12)$$

$$S_{\beta_{F2}}^{R'_{in3}} = S_{\beta_{S2}}^{R'_{in3}} = S_{g_{mF2}}^{R'_{in3}} = S_{g_{mS2}}^{R'_{in3}} = -1 \quad (ง3.13)$$

$$S_{C_3}^{L'_{in3}} = 1 \quad (ง3.14)$$

และ $$S_{\beta_{F2}}^{L'_{eq3}} = S_{\beta_{S2}}^{L'_{eq3}} = S_{g_{mF2}}^{L'_{eq3}} = S_{g_{mS2}}^{L'_{eq3}} = -1 \quad (ง3.15)$$

สำหรับรูปที่ 4.3 กำหนดให้ $Y_{eqi} = Y_{eq4}$ จะสามารถวิเคราะห์หาค่าความไวของอุปกรณ์สมมูลได้ดังนี้

$$S_{\beta_{S1}}^{R'_{in4}} = S_{g_{mS1}}^{R'_{in4}} = 1 \quad (ง3.16)$$

$$S_{\beta_{F2}}^{R'_{in4}} = S_{\beta_{S2}}^{R'_{in4}} = S_{g_{mF2}}^{R'_{in4}} = S_{g_{mS2}}^{R'_{in4}} = -1 \quad (ง3.17)$$

$$S_{C_4}^{L'_{in4}} = 1 \quad (ง3.18)$$

และ $$S_{\beta_{F2}}^{L'_{eq4}} = S_{\beta_{S2}}^{L'_{eq4}} = S_{g_{mF2}}^{L'_{eq4}} = S_{g_{mS2}}^{L'_{eq4}} = -1 \quad (ง3.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

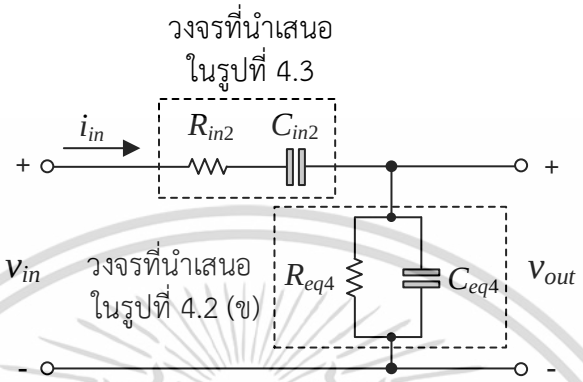
ภาคผนวก จ
การประยุกต์ใช้งานของวงจรเลียนแบบอิมพีแดนซ์ RL และ RC ที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จ1 การวิเคราะห์วงจรกรองผ่านแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอ

จ1.1 วงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อลอยตัวและเทียบกราวด์ในรูปที่ 4.3 และรูปที่ 4.2 (ข)

วงจรเลียนแบบค่าอิมพีแดนซ์ RC ต่อลอยตัวและเทียบกราวด์ในรูปที่ 4.3 และรูปที่ 4.2 (ข) ได้ถูกนำไปประยุกต์ใช้งานในวงจรกรองผ่านแถบความถี่อันดับสองแสดงได้ดังรูปที่ จ1



รูปที่ จ1 วงจรกรองผ่านแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอในรูปที่ 4.3 และรูปที่ 4.2 (ข)

เมื่อวิเคราะห์วงจรกรองผ่านความถี่ต่ำอันดับสองในรูปที่ จ1 ที่โหนด v_{in} ด้วยกฎกระแสของเคอร์ชอฟฟ์ (Kirchhoff's current law, KCL) เมื่อกำหนดให้ $C_{eq} = C_{in2} = C_{eq4}$ และ $R_{eq} = R_{in2} = R_{eq4}$ จะพบว่า

$$v_{in} = i_{in}\left(R_{eq} + \frac{1}{sC_{eq}} + \frac{R_{eq}}{sC_{eq}R_{eq}+1}\right) \qquad \text{(จ1.1)}$$

เมื่อวิเคราะห์ที่โหนด v_{out} จะได้

$$v_{out} = i_{in}\left(\frac{R_{eq}}{sC_{eq}R_{eq}}\right) \qquad \text{(จ1.2)}$$

จากสมการ (จ1.1) และ (จ1.2) สามารถหาอัตราส่วนระหว่าง v_{out} กับ v_{in} ได้เท่ากับ

$$\frac{v_{out}}{v_{in}} = \frac{sC_{eq}R_{eq}}{s^2C_{eq}^2R_{eq}^2 + 3sC_{eq}R_{eq} + 1} \qquad \text{(จ1.3)}$$

เมื่อนำ $C_{eq}^2R_{eq}^2$ หารทั้งเศษและส่วนของสมการข้างต้น จะสามารถจัดรูปเป็นฟังก์ชันถ่ายโอนแรงดัน (voltage transfer function) ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H_{BP}(s)=\frac{v_{out}}{v_{in}}=\frac{\dfrac{s}{C_{eq}R_{eq}}}{s^2+\dfrac{3s}{C_{eq}R_{eq}}+\dfrac{1}{C_{eq}^2R_{eq}^2}} \qquad \text{(จ1.4)}$$

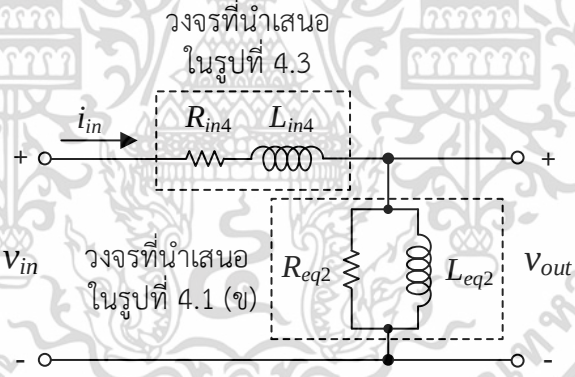
โดยที่ความถี่คัทออฟ (cutoff frequency, f_c) และตัวประกอบคุณภาพ (quality factor, Q) มีค่าเท่ากับ

$$f_c=\frac{1}{2\pi R_{eq}C_{eq}} \qquad \text{(จ1.5)}$$

และ $$Q=\frac{1}{3} \qquad \text{(จ1.6)}$$

จ1.2 วงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อลอยตัวและเทียบกราวด์ในรูปที่ 4.3 และรูปที่ 4.1 (ข)

วงจรเลียนแบบค่าอิมพีแดนซ์ RL ต่อลอยตัวและเทียบกราวด์ในรูปที่ 4.3 และรูปที่ 4.1 (ข) ได้ถูกนำไปประยุกต์ใช้งานในวงจรกรองผ่านแถบความถี่อันดับสองแสดงได้ดังรูปที่ จ2



รูปที่ จ2 วงจรกรองผ่านแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอในรูปที่ 4.3 และรูปที่ 4.1 (ข)

เมื่อวิเคราะห์วงจรกรองผ่านความถี่ต่ำอันดับสองในรูปที่ จ2 ที่โหนด v_{in} ด้วยกฎกระแสของเคอร์ชอฟฟ์ เมื่อกำหนดให้ $L_{eq}=L_{in4}=L_{eq2}$ และ $R_{eq}=R_{in4}=R_{eq2}$ จะพบว่า

$$v_{in}=i_{in}\left(R_{eq}+sL_{eq}+\frac{sR_{eq}L_{eq}}{R_{eq}+sL_{eq}}\right) \qquad \text{(จ1.7)}$$

เมื่อวิเคราะห์ที่โหนด v_{out} จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_{out} = i_{in}\left(\frac{sR_{eq}L_{eq}}{R_{eq}+sL_{eq}}\right) \quad \text{(จ1.8)}$$

จากสมการ (จ1.7) และ (จ1.8) สามารถหาอัตราส่วนระหว่าง v_{out} กับ v_{in} ได้เท่ากับ

$$\frac{v_{out}}{v_{in}} = \frac{sR_{eq}L_{eq}}{s^2L_{eq}^2+3sR_{eq}L_{eq}+R_{eq}^2} \quad \text{(จ1.9)}$$

เมื่อนำ L_{eq}^2 หารทั้งเศษและส่วนของสมการข้างต้น จะสามารถจัดรูปเป็นฟังก์ชันถ่ายโอนแรงดันได้ดังนี้

$$H_{BP}(s) = \frac{v_{out}}{v_{in}} = \frac{\frac{sR_{eq}}{L_{eq}}}{s^2+\frac{3s}{L_{eq}}+\frac{R_{eq}^2}{L_{eq}^2}} \quad \text{(จ1.10)}$$

โดยที่ความถี่คัทออฟและตัวประกอบคุณภาพมีค่าเท่ากับ

$$f_c = \frac{R_{eq}}{2\pi L_{eq}} \quad \text{(จ1.11)}$$

และ

$$Q = \frac{1}{3} \quad \text{(จ1.12)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ฉ
การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ที่นำเสนอในรูปที่ 5.1

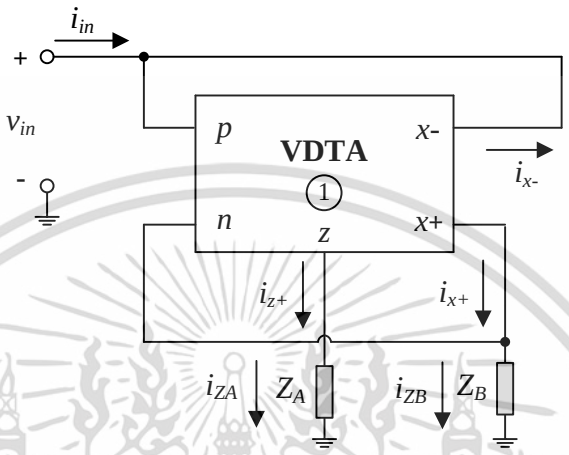


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฉ1 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ที่นำเสนอ

ฉ1.1 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์รูปแบบอนุกรมที่นำเสนอดังรูปที่ 5.1 (ก)

วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ในรูปแบบอนุกรมดังรูปที่ 5.1 (ก) ได้มีการกำหนดทิศทางการไหลของกระแสดังแสดงในรูปที่ ฉ1 หากอาศัยคุณสมบัติของวงจร VDTA ในทางอุดมคติดังสมการ (2.1) ซึ่งสามารถวิเคราะห์หาค่าอิมพีแดนซ์อินพุตได้ดังรายละเอียดต่อไปนี้



รูปที่ ฉ1 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบอนุกรมที่นำเสนอดังรูปที่ 5.1 (ก)

ความสัมพันธ์ระหว่างแรงดันกับกระแสมีคุณสมบัติดังนี้ เมื่อ i = 1, 2 ของวงจร VDTA ตัวที่ i

$$i_p = i_n = 0 \tag{ฉ1.1}$$

$$i_{z+} = -i_{z-} = g_{mF}\left(v_p - v_n\right) \tag{ฉ1.2}$$

$$i_{x+} = g_{mS} v_{z+} \tag{ฉ1.3}$$

และ

$$i_{x-} = -g_{mS} v_{z+} \tag{ฉ1.4}$$

เมื่อวิเคราะห์ที่โหนด $x1_+$ จะได้ผลรวมกระแสดังนี้

$$i_{x1+} = i_{Z_B} \tag{ฉ1.5}$$

แทนสมการ (ฉ1.3) และ (ฉ1.5) พบว่า

$$g_{mS1} v_{z1+} = \frac{v_{n1}}{Z_B}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ $$v_{n1} = g_{mS1} v_{z1+} Z_B \quad \text{(ฉ1.6)}$$

เมื่อวิเคราะห์ที่ขั้ว $x1-$ จะได้ผลรวมกระแสเท่ากับ

$$i_{in1} = i_{x1-} \quad \text{(ฉ1.7)}$$

แทนสมการ (ฉ1.4) พบว่า

$$i_{in1} = g_{mS1} v_{z1+}$$

หรือ $$v_{z1+} = \frac{i_{in}}{g_{mS1}} \quad \text{(ฉ1.8)}$$

เมื่อวิเคราะห์ที่โหนด $z1_+$ จะได้ผลรวมกระแสดังนี้

$$i_{z1+} = i_{Z_A} \quad \text{(ฉ1.9)}$$

แทนสมการ (ฉ1.2) และ (ฉ1.9) พบว่า

$$g_{mF1}\left(v_{p1} - v_{n1}\right) = i_{Z_A} \quad \text{(ฉ1.10)}$$

แทนสมการ (ฉ1.6) ลงในสมการ (ฉ1.10) จะได้

$$g_{mF1}\left(v_{p1} - g_{mS1} v_{z1+} Z_B\right) = \frac{v_{z1+}}{Z_A} \quad \text{(ฉ1.11)}$$

แทนสมการ (ฉ1.8) ลงในสมการ (ฉ1.11) จะได้

$$g_{mF1}\left(v_{p1} - Z_B i_{in}\right) = \frac{i_{in}}{g_{mS1} Z_A} \quad \text{(ฉ1.12)}$$

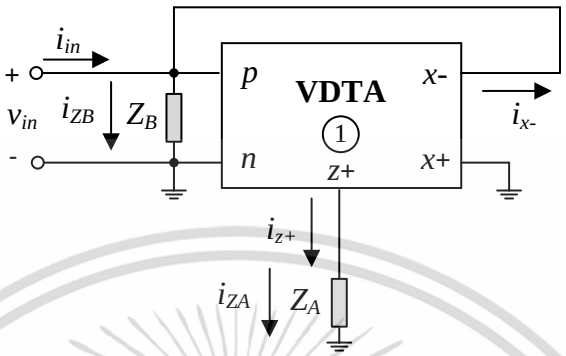
จัดรูปสมการหา Z_{eq} ได้ดังนี้

$$Z_{eq} = \frac{v_{in}}{i_{in}} = \frac{1}{g_{mF1} g_{mS1} Z_A} + Z_B \quad \text{(ฉ1.13)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฉ1.2 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์รูปแบบขนานที่นำเสนอดังรูปที่ 5.1 (ข)

วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ในรูปแบบขนานดังรูปที่ 5.1 (ข) ได้มีการกำหนดทิศทางการไหลของกระแสดังแสดงในรูปที่ ฉ2 หากอาศัยคุณสมบัติของวงจร VDTA ในทางอุดมคติดังสมการ (2.1) ซึ่งสามารถวิเคราะห์หาค่าแอตมิตแตนซ์อินพุตได้ดังรายละเอียดต่อไปนี้



รูปที่ ฉ2 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์แบบขนานที่นำเสนอดังรูปที่ 5.1 (ข)

เมื่อวิเคราะห์ที่โหนด $z1_+$ จะได้ผลรวมกระแสดังนี้

$$i_{z1+} = i_{Z_A} \tag{ฉ1.14}$$

แทนสมการ (ฉ1.2) ลงใน (ฉ1.14) พบว่า

$$g_{mF1}\left(v_{p1} - v_{n1}\right) = \frac{v_{z1+}}{Z_A}$$

หรือ
$$v_{z1+} = g_{mF1} v_{in} Z_A \tag{ฉ1.15}$$

เมื่อวิเคราะห์ที่ขั้ว $x1$- จะได้ผลรวมกระแสเท่ากับ

$$i_{in} = i_{x1-} + i_{Z_B} \tag{ฉ1.16}$$

แทนสมการ (ฉ1.4) ลงในสมการ (ฉ1.16) พบว่า

$$i_{in} = g_{mS1} v_{z1+} + \frac{v_{in}}{Z_B} \tag{ฉ1.17}$$

แทนสมการ (ฉ1.15) ลงในสมการ (ฉ1.17) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{in} = g_{mF1} g_{mS1} v_{in} Z_A + \frac{v_{in}}{Z_B}$$

หรือ $$i_{in} = v_{in}(g_{mF1} g_{mS1} Z_A + \frac{1}{Z_B}) \quad \text{(ฉ1.18)}$$

จัดรูปสมการหา Y_{eq} ได้ดังนี้

$$Y_{eq} = \frac{i_{in}}{v_{in}} = g_{mF1} g_{mS1} Z_A + \frac{1}{Z_B} \quad \text{(ฉ1.19)}$$

ฉ2 การวิเคราะห์คุณสมบัติในทางปฏิบัติของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ที่นำเสนอ

ฉ2.1 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ในรูปแบบอนุกรมที่นำเสนอดังรูปที่ 5.1 (ก) เมื่อพิจารณาคุณสมบัติในทางปฏิบัติ

เมื่อพิจารณาผลกระทบจากความไม่เป็นอุดมคติของวงจร VDTA ดังสมการ (ฉ2.1) – (ฉ2.4) ของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ในรูปแบบอนุกรมดังรูปที่ 5.1 (ก) สามารถอธิบายรายละเอียดได้ดังต่อไปนี้

$$i_p = i_n = 0 \quad \text{(ฉ2.1)}$$

$$i_{z+} = -i_{z-} = \beta_F g_{mF} \left(v_p - v_n \right) \quad \text{(ฉ2.2)}$$

$$i_{x+} = \beta_S g_{mS} v_{z+} \quad \text{(ฉ2.3)}$$

และ $$i_{x-} = -\beta_S g_{mS} v_{z+} \quad \text{(ฉ2.4)}$$

เมื่อวิเคราะห์ที่โหนด $x1_+$ ในรูปที่ ฉ1 จะได้ผลรวมกระแสดังนี้

$$i_{x1+} = i_{Z_B} \quad \text{(ฉ2.5)}$$

แทนสมการ (ฉ2.3) และ (ฉ2.5) พบว่า

$$\beta_{S1} g_{mS1} v_{z1+} = \frac{v_{n1}}{Z_B}$$

หรือ $$v_{n1} = \beta_{S1} g_{mS1} v_{z1+} Z_B \quad \text{(ฉ2.6)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวิเคราะห์ที่ขั้ว $x1$- จะได้ผลรวมกระแสเท่ากับ

$$i_{in1} = i_{x1-} \tag{ฉ2.7}$$

แทนสมการ (ฉ2.4) ลงในสมการ (ฉ2.7) พบว่า

$$i_{in1} = \beta_{S1} g_{mS1} v_{z1+}$$

หรือ
$$v_{z1+} = \frac{i_{in1}}{\beta_{S1} g_{mS1}} \tag{ฉ2.8}$$

เมื่อวิเคราะห์ที่โหนด $z1_+$ จะได้ผลรวมกระแสดังนี้

$$i_{z1+} = i_{Z_A} \tag{ฉ2.9}$$

แทนสมการ (ฉ2.2) และ (ฉ2.9) พบว่า

$$\beta_{F1} g_{mF1} \left(v_{p1} - v_{n1} \right) = i_{Z_A} \tag{ฉ2.10}$$

แทนสมการ (ฉ2.6) ลงในสมการ (ฉ2.10) จะได้

$$\beta_{F1} g_{mF1} \left(v_{p1} - \beta_{S1} g_{mS1} v_{z1+} Z_B \right) = \frac{v_{z1+}}{Z_A} \tag{ฉ2.11}$$

แทนสมการ (ฉ2.8) ลงในสมการ (ฉ2.11) จะได้

$$\beta_{F1} g_{mF1} \left(v_{in} - Z_B i_{in} \right) = \frac{i_{in}}{\beta_{S1} g_{mS1} Z_A} \tag{ฉ2.12}$$

จัดรูปสมการหา Z'_{eq} ได้ดังนี้

$$Z'_{eq} = \frac{v_{in}}{i_{in}} = \frac{1}{\beta_{F1} \beta_{S1} g_{mF1} g_{mS1} Z_A} + Z_B \tag{ฉ2.13}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฉ1.2 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ในรูปแบบขนานที่นำเสนอดังรูปที่ 5.1 (ข) เมื่อพิจารณาคุณสมบัติในทางปฏิบัติ

เมื่อพิจารณผลกระทบจากความไม่เป็นอุดมคติของวงจร VDTA ดังสมการ (ฉ2.1) – (ฉ2.4) ของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ในรูปแบบขนานดังรูปที่ 5.1 (ข) สามารถอธิบายรายละเอียดได้ดังต่อไปนี้

เมื่อวิเคราะห์ที่โหนด $z1_+$ จะได้ผลรวมกระแสดังนี้

$$i_{z1+} = i_{Z_A} \tag{ฉ2.14}$$

แทนสมการ (ฉ2.2) ลงใน (ฉ2.14) พบว่า

$$\beta_{F1} g_{mF1} \left(v_{p1} - v_{n1} \right) = i_{Z_A}$$

หรือ
$$v_{z1+} = \beta_{F1} g_{mF1} v_{in} Z_A \tag{ฉ2.15}$$

เมื่อวิเคราะห์ที่ขั้ว $x1-$ จะได้ผลรวมกระแสเท่ากับ

$$i_{in} = i_{x1-} + i_{Z_B} \tag{ฉ2.16}$$

แทนสมการ (ฉ2.4) ลงในสมการ (ฉ2.16) พบว่า

$$i_{in} = \beta_{S1} g_{mS1} v_{z1+} + \frac{v_{in}}{Z_B} \tag{ฉ2.17}$$

แทนสมการ (ฉ1.15) ลงในสมการ (ฉ1.17) จะได้

$$i_{in} = \beta_{F1} \beta_{S1} g_{mF1} g_{mS1} v_{in} Z_A + \frac{v_{in}}{Z_B}$$

หรือ
$$i_{in} = v_{in} (\beta_{F1} \beta_{S1} g_{mF1} g_{mS1} Z_A + \frac{1}{Z_B}) \tag{ฉ2.18}$$

จัดรูปสมการหา Y'_{eq} ได้ดังนี้

$$Y'_{eq} = \frac{i_{in}}{v_{in}} = \beta_{F1} \beta_{S1} g_{mF1} g_{mS1} Z_A + \frac{1}{Z_B} \tag{ฉ2.19}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฉ3 การวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงค่าองค์ประกอบในวงจรที่นำเสนอ

หากวิเคราะห์หาค่าความไวของอุปกรณ์สมมูล ได้แก่ ค่าความต้านทานสมมูล ค่าความเหนี่ยวนำสมมูล และค่าความจุไฟฟ้าสมมูลสำหรับวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อเทียบกราวด์ที่นำเสนอดังรูปที่ 5.1 โดยใช้ความสัมพันธ์ของสมการดังต่อไปนี้

$$S_x^y = \frac{\left(\frac{\Delta y}{y}\right)}{\left(\frac{\Delta x}{x}\right)} = \frac{\partial y / y}{\partial x / x} = \frac{\partial(\ln y)}{\partial(\ln x)} = \frac{x}{y}\frac{\partial y}{\partial x} \qquad \text{(ฉ3.1)}$$

จากสมการข้างต้นหากวิเคราะห์หาค่าความไวของค่า R'_{eq} C'_{eq} และ L'_{eq} ซึ่งแทนตัวแปร y ต่อการเปลี่ยนแปลงค่าองค์ประกอบอื่นๆ ได้แก่ g_{mF1} g_{mS1} C_A C_B β_{F1} และ β_{S1} ที่แทนด้วยตัวแปร x จะมีผลลัพธ์ดังต่อไปนี้

สำหรับวงจรสมมูล R'_{eq} อนุกรมและขนาน L'_{eq} ในรูปที่ 5.1

$$S_{\beta_{F1}}^{L_{eq}} = S_{\beta_{S1}}^{L_{eq}} = S_{g_{mF1}}^{L_{eq}} = S_{g_{mS1}}^{L_{eq}} = -1 \qquad \text{(ฉ3.2)}$$

$$S_{R_B}^{R_{eq}} = 1 \qquad \text{(ฉ3.3)}$$

และ $$S_{C_A}^{L_{eq}} = 1 \qquad \text{(ฉ3.4)}$$

สำหรับวงจรสมมูล R'_{eq} อนุกรมและขนาน C'_{eq} ในรูปที่ 5.1

$$S_{\beta_{F1}}^{R_{eq}} = S_{\beta_{S1}}^{R_{eq}} = S_{g_{mF1}}^{R_{eq}} = S_{g_{mS1}}^{R_{eq}} = -1 \qquad \text{(ฉ3.5)}$$

$$S_{R_A}^{R_{eq}} = 1 \qquad \text{(ฉ3.6)}$$

และ $$S_{C_B}^{C_{eq}} = 1 \qquad \text{(ฉ3.7)}$$

สำหรับวงจรสมมูล L'_{eq} อนุกรมและขนาน C'_{eq} ในรูปที่ 5.1

$$S_{\beta_{F1}}^{L_{eq}} = S_{\beta_{S1}}^{L_{eq}} = S_{g_{mF1}}^{L_{eq}} = S_{g_{mS1}}^{L_{eq}} = -1 \qquad \text{(ฉ3.8)}$$

$$S_{C_B}^{C_{eq}} = 1 \qquad \text{(ฉ3.9)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ $$S_{C_A}^{L_{eq}} = 1 \quad \text{(ฉ3.10)}$$

สมการข้างต้นพบว่าค่าความไวทั้งหมดมีขนาดไม่เกินหนึ่ง แสดงให้เห็นว่าวงจรมีคุณสมบัติค่าความไวต่อการเปลี่ยนแปลงอุปกรณ์แอคทีฟและพาสซีฟในวงจรที่ต่ำ ซึ่งบ่งชี้ถึงเสถียรภาพที่ดีของวงจรที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ช
การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอในรูปที่ 5.2

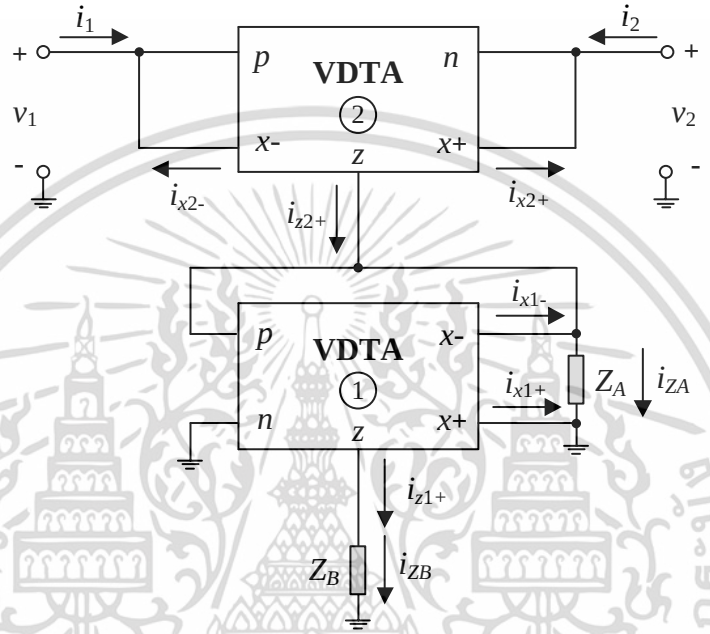


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช1 การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอในรูปที่ 5.1

ช1.1 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวในรูปแบบอนุกรมที่นำเสนอดังรูปที่ 5.2 (ก)

วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวในแบบอนุกรมดังรูปที่ 5.2 (ก) ได้มีการกำหนดทิศทางการไหลของกระแสดังแสดงในรูปที่ ช1 หากอาศัยคุณสมบัติของวงจร VDTA ในทางอุดมคติดังสมการ (2.1) ซึ่งสามารถวิเคราะห์หาค่าอิมพีแดนซ์อินพุตได้ดังรายละเอียดต่อไปนี้



รูปที่ ช1 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวในรูปแบบอนุกรมที่นำเสนอดังรูปที่ 5.2 (ก)

ความสัมพันธ์ระหว่างแรงดันกับกระแสมีคุณสมบัติดังนี้ เมื่อ i = 1, 2 ของวงจร VDTA ตัวที่ i

$$i_{pi} = i_{ni} = 0 \tag{ช1.1}$$

$$i_{zi+} = g_{mFi}\left(v_{pi} - v_{ni}\right) \tag{ช1.2}$$

และ $$i_{xi+} = -i_{xi+} = g_{mSi} v_{zi+} \tag{ช1.3}$$

เมื่อวิเคราะห์ที่โหนด v_1 จะได้ i_1 ดังนี้

$$i_1 = g_{mS2} v_{z2+}$$

หรือ $$v_{z2+} = \frac{i_1}{g_{mS2}} \tag{ช1.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวิเคราะห์ที่โหนด v_2 จะได้ i_2 ดังนี้

$$i_2 = g_{mS2} v_{z2+}$$

หรือ
$$v_{z2+} = -\frac{i_2}{g_{mS2}} \quad \text{(ช1.5)}$$

เมื่อวิเคราะห์ที่ขั้ว z_{1+} จะได้ผลรวมกระแสเท่ากับ

$$i_{z1+} = i_{Z_B} \quad \text{(ช1.6)}$$

แทนสมการ (ช1.2) ลงในสมการ (ช1.6) จะพบว่า

$$g_{mF1} v_{z2+} = \frac{v_{z1+}}{Z_B}$$

หรือ
$$v_{z1+} = g_{mF1} Z_B v_{z2+} \quad \text{(ช1.7)}$$

เมื่อวิเคราะห์ที่ขั้ว z_{2+} จะได้ผลรวมกระแสเท่ากับ

$$i_{z2+} = i_{Z_A} + i_{x1-} \quad \text{(ช1.8)}$$

แทนสมการ (ช1.2) และ (ช1.3) ลงในสมการ (ช1.8) พบว่า

$$g_{mF2}\left(v_1 - v_2\right) = \frac{v_{z2+}}{Z_A} + g_{mS1} v_{z1+} \quad \text{(ช1.9)}$$

แทนสมการ (ช1.7) ลงในสมการ (ช1.9) จะได้

$$g_{mF2}\left(v_1 - v_2\right) = v_{z2+}\left(\frac{1}{Z_A} + g_{mF1} g_{mS1} Z_B\right) \quad \text{(ช1.10)}$$

แทนสมการ (ช1.4) ลงในสมการ (ช1.10) จะได้

$$g_{mF2}\left(v_1 - v_2\right) = \frac{i_1}{g_{mS2}}\left(\frac{1}{Z_A} + g_{mF1} g_{mS1} Z_B\right) \quad \text{(ช1.11)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จัดรูปสมการหา Z_{in1} ได้ดังนี้

$$Z_{in1} = \left(\frac{v_1 - v_2}{i_1}\right) = \left(\frac{1}{g_{mF2}g_{mS2}}\right)\left(\frac{1}{Z_A} + g_{mF1}g_{mS1}Z_B\right) \qquad \text{(ช1.12)}$$

เช่นเดียวกัน หากแทนสมการ (ช1.5) ลงในสมการ (ช1.10) จะได้

$$Z_{in2} = \left(\frac{v_2 - v_1}{i_2}\right) = \left(\frac{1}{g_{mF2}g_{mS2}}\right)\left(\frac{1}{Z_A} + g_{mF1}g_{mS1}Z_B\right) \qquad \text{(ช1.13)}$$

จากสมการ (ช1.12) และ (ช1.13) จะเห็นได้ว่าเมื่อหาค่าอิมพีแดนซ์อินพุตทั้งสองด้านแล้วจะมีผลลัพธ์ที่เหมือนกัน ดังนั้น $Z_{in} = Z_{in1} = Z_{in2}$ สำหรับการใช้งานฟังก์ชันต้องทำการกำหนด Z_A และ Z_B หรือคืออุปกรณ์พาสซีฟในวงจรที่นำเสนอ ยกตัวอย่างเช่น หากเลือก $Z_A = 1/sC_A$ และ $Z_B = R_B$ จะได้ความต้านทานสมมูล (R_{eq}) และค่าความเหนี่ยวนำสมมูล (L_{eq}) ของวงจรที่นำเสนอจะมีค่าเท่ากับ

$$R_{eq} = \frac{g_{mF1}g_{mS1}R_B}{g_{mF2}g_{mS2}} \qquad \text{(ช1.14)}$$

และ

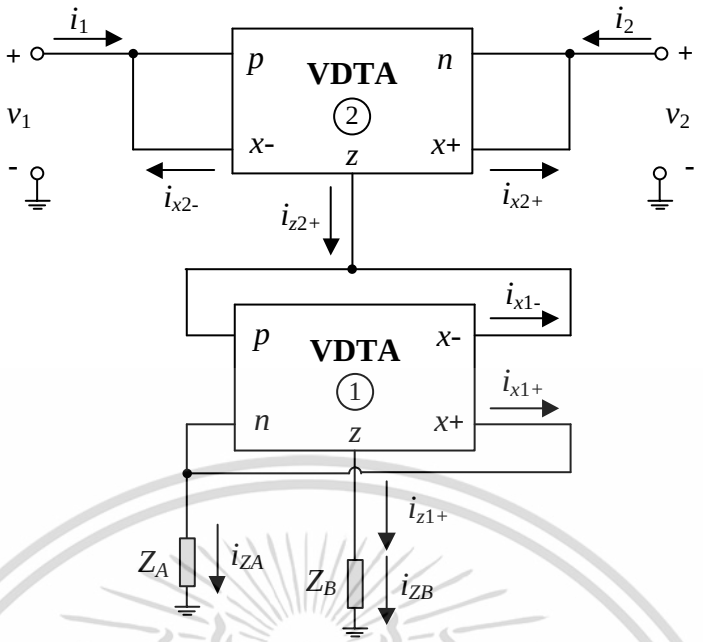
$$L_{eq} = \frac{C_A}{g_{mF2}g_{mS2}} \qquad \text{(ช1.15)}$$

สมการข้างต้นแสดงให้เห็นว่าค่าความต้านทานสมมูลและค่าความเหนี่ยวนำสมมูลสามารถแปรค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ผ่านทางอัตราขยายค่าความนำของวงจร VDTA

ช1.2 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวในรูปแบบขนานที่นำเสนอดังรูปที่ 5.2 (ข)

วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวในรูปแบบขนานที่นำเสนอดังรูปที่ 5.2 (ข) ได้มีการกำหนดทิศทางการไหลของกระแสดังแสดงในรูปที่ ช2 หากอาศัยคุณสมบัติของวงจร VDTA ในทางอุดมคติดังสมการ (2.1) ซึ่งสามารถวิเคราะห์หาค่าแอดมิตแตนซ์อินพุต (input admittance, Y_{in}) ได้ดังรายละเอียดต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ช2 วงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียต่อลอยตัวในรูปแบบขนานดังรูปที่ 5.2 (ข)

เมื่อวิเคราะห์ที่โหนด v_1 จะได้ i_1 ดังนี้

$$i_1 = g_{mS2} v_{z2+}$$

หรือ

$$v_{z2+} = \frac{i_1}{g_{mS2}} \qquad \text{(ช1.16)}$$

เมื่อวิเคราะห์ที่โหนด v_2 จะได้ i_2 ดังนี้

$$i_2 = g_{mS2} v_{z2+}$$

$$v_{z2+} = -\frac{i_2}{g_{mS2}} \qquad \text{(ช1.17)}$$

เมื่อวิเคราะห์ที่ขั้ว z_{2+} จะได้ผลรวมกระแสเท่ากับ

$$i_{z2+} = i_{x1-} \qquad \text{(ช1.18)}$$

แทนสมการ (ช1.2) และ (ช 1.3) ลงสมการข้างต้นจะพบว่า

$$g_{mF2}(v_1 - v_2) = g_{mS1} v_{z1+}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ $$v_{z1+} = \frac{g_{mF2}(v_1 - v_2)}{g_{mS1}} \quad \text{(ช1.19)}$$

เมื่อวิเคราะห์ที่ขั้ว x_{1+} จะได้ผลรวมกระแสเท่ากับ

$$i_{x1+} = i_{Z_A} \quad \text{(ช1.20)}$$

แทนสมการ (ช1.3) ลงในสมการ (ช1.20) จะได้

$$g_{mS1}v_{z1+} = \frac{v_{n1}}{Z_A}$$

หรือ $$v_{n1} = g_{mS1}Z_A v_{z1+} \quad \text{(ช1.21)}$$

เมื่อวิเคราะห์ที่ขั้ว z_{1+} จะได้ผลรวมกระแสเท่ากับ

$$i_{z1+} = i_{Z_B} \quad \text{(ช1.22)}$$

แทนสมการ (ช1.2) ลงในสมการ (ช1.22) จะได้

$$g_{mF1}(v_{z2+} - v_{n1}) = \frac{v_{z1+}}{Z_B} \quad \text{(ช1.23)}$$

แทนสมการ (ช1.19) และ (ช1.21) ลงในสมการข้างต้นจะได้

$$g_{mF1}\left[v_{z2+} - g_{mF1}g_{mF2}Z_A(v_1 - v_2)\right] = \frac{g_{mF2}(v_1 - v_2)}{g_{mS1}Z_B}$$

หรือ $$v_{z2+} = \frac{g_{mF2}(v_1 - v_2)}{g_{mF1}g_{mS1}Z_B} + g_{mF2}Z_A(v_1 - v_2) \quad \text{(ช1.24)}$$

แทนสมการ (ช1.16) ลงในสมการ (ช1.24) จะได้

$$\frac{i_1}{g_{mS2}} = \frac{g_{mF2}(v_1 - v_2)}{g_{mF1}g_{mS1}Z_B} + g_{mF2}Z_A(v_1 - v_2) \quad \text{(ช1.25)}$$

จัดรูปสมการหา Y_{in1} ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Y_{in1} = \left(\frac{i_1}{v_1 - v_2} \right) = g_{mF2} g_{mS2} \left(Z_A + \frac{1}{g_{mF1} g_{mS1} Z_B} \right) \quad \text{(ช1.26)}$$

เช่นเดียวกัน หากแทนสมการ (ช1.17) ลงในสมการ (ช1.24) จะได้

$$Y_{in2} = \left(\frac{i_2}{v_2 - v_1} \right) = g_{mF2} g_{mS2} \left(Z_A + \frac{1}{g_{mF1} g_{mS1} Z_B} \right) \quad \text{(ช1.27)}$$

จากสมการ (ช1.26) และ (ช1.27) จะเห็นได้ว่าเมื่อหาค่าแอตมิตแตนซ์อินพุต ทั้งสองด้านแล้วจะมีผลลัพธ์ที่เหมือนกัน หรือ $Y_{in} = Y_{in1} = Y_{in2}$ ดังนั้นค่าอุปกรณ์สมมูลที่ได้จะขึ้นอยู่กับการเลือกอุปกรณ์พาสซีพหรือ Z_A และ Z_B ยกตัวอย่างเช่น หากเลือก $Z_A = R_A$ และ $Z_B = 1/sC_B$ จะได้ความต้านทานสมมูลและค่าความจุไฟฟ้าสมมูล (C_{eq}) ของวงจรที่นำเสนอจะมีค่าเท่ากับ

$$R_{eq} = \frac{1}{g_{mF2} g_{mS2} R_A} \quad \text{(ช1.28)}$$

และ

$$C_{eq} = \frac{g_{mF2} g_{mS2} C_B}{g_{mF1} g_{mS1}} \quad \text{(ช1.29)}$$

ช2 การวิเคราะห์คุณสมบัติในทางปฏิบัติของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอดังรูปที่ 5.2

คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอดังรูปที่ 5.2 เมื่อพิจารณาผลกระทบจากความไม่เป็นอุดมคติของวงจร VDTA ดังสมการ (ช2.1) – (ช2.3) จะได้ความสัมพันธ์ระหว่างแรงดันกับกระแสมีคุณสมบัติเปลี่ยนไปดังนี้

$$i_{pi} = i_{ni} = 0 \quad \text{(ช2.1)}$$

$$i_{zi+} = \beta_{Fi} g_{mFi} \left(v_{pi} - v_{ni} \right) \quad \text{(ช2.2)}$$

และ

$$i_{xi+} = -i_{xi+} = \beta_{Si} g_{mSi} v_{zi+} \quad \text{(ช2.3)}$$

ช2.1 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวในรูปแบบอนุกรมที่นำเสนอดังรูปที่ 5.2 (ก)

หากอาศัยคุณสมบัติของวงจร VDTA ในทางปฏิบัติดังสมการ (ช2.1) ถึง (ช2.3) และกำหนดทิศทางการไหลของกระแสดังแสดงในรูปที่ ช1 ซึ่งสามารถวิเคราะห์หาค่าอิมพีแดนซ์อินพุตที่เปลี่ยนไปแสดงดังรายละเอียดต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวิเคราะห์ที่โหนด v_1 จะได้ i_1 ดังนี้

$$i_1 = \beta_{S2} g_{mS2} v_{z2+}$$

หรือ $$v_{z2+} = \frac{i_1}{\beta_{S2} g_{mS2}} \quad \text{(ช2.4)}$$

เมื่อวิเคราะห์ที่โหนด v_2 จะได้ i_2 ดังนี้

$$i_2 = \beta_{S2} g_{mS2} v_{z2+}$$

หรือ $$v_{z2+} = -\frac{i_2}{\beta_{S2} g_{mS2}} \quad \text{(ช2.5)}$$

เมื่อวิเคราะห์ที่ขั้ว z_{1+} จะได้ผลรวมกระแสเท่ากับ

$$i_{z1+} = i_{Z_B} \quad \text{(ช2.6)}$$

แทนสมการ (ช1.2) ลงในสมการ (ช2.6) พบว่า

$$\beta_{F1} g_{mF1} v_{z2+} = \frac{v_{z1+}}{Z_B}$$

หรือ $$v_{z1+} = \beta_{F1} g_{mF1} Z_B v_{z2+} \quad \text{(ช2.7)}$$

เมื่อวิเคราะห์ที่ขั้ว z_{2+} จะได้ผลรวมกระแสเท่ากับ

$$i_{z2+} = i_{Z_A} + i_{x1-} \quad \text{(ช2.8)}$$

แทนสมการ (ช2.2) และ (ช2.3) ลงในสมการ (ช2.8) พบว่า

$$\beta_{F2} g_{mF2} (v_1 - v_2) = \frac{v_{z2+}}{Z_A} + \beta_{S1} g_{mS1} v_{z1+} \quad \text{(ช2.9)}$$

แทนสมการ (ช2.7) ลงในสมการ (ช2.9) จะได้

$$\beta_{F2} g_{mF2} (v_1 - v_2) = v_{z2+} \left(\frac{1}{Z_A} + \beta_{F1} \beta_{S1} g_{mF1} g_{mS1} Z_B \right) \quad \text{(ช2.10)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนสมการ (ช2.4) ลงในสมการ (ช2.10) จะได้

$$\beta_{F2} g_{mF2} (v_1 - v_2) = \frac{i_1}{\beta_{S2} g_{mS2}} \left(\frac{1}{Z_A} + \beta_{F1} \beta_{S1} g_{mF1} g_{mS1} Z_B \right) \qquad \text{(ช2.11)}$$

จัดรูปสมการหา Z'_{in1} ได้ดังนี้

$$Z'_{in1} = \left(\frac{v_1 - v_2}{i_1} \right) = \left(\frac{1}{\beta_{F2} \beta_{S2} g_{mF2} g_{mS2}} \right) \left(\frac{1}{Z_A} + \beta_{F1} \beta_{S1} g_{mF1} g_{mS1} Z_B \right) \qquad \text{(ช2.12)}$$

เช่นเดียวกัน หากแทนสมการ (ช2.5) ลงในสมการ (ช2.10) จะได้

$$Z'_{in2} = \left(\frac{v_2 - v_1}{i_2} \right) = \left(\frac{1}{\beta_{F2} \beta_{S2} g_{mF2} g_{mS2}} \right) \left(\frac{1}{Z_A} + \beta_{F1} \beta_{S1} g_{mF1} g_{mS1} Z_B \right) \qquad \text{(ช2.13)}$$

จากสมการ (ช2.12) และ (ช2.13) จะเห็นได้ว่าเมื่อหาค่าอิมพีแดนซ์อินพุตในทางปฏิบัติทั้งสองด้านแล้วจะมีผลลัพธ์ที่เหมือนกัน ดังนั้น $Z'_{in} = Z'_{in1} = Z'_{in2}$ สำหรับการใช้งานฟังก์ชันต้องทำการกำหนด Z_A และ Z_B หรือคืออุปกรณ์พาสซีพในวงจรที่นำเสนอ ยกตัวอย่างเช่น หากเลือก $Z_A = 1/sC_A$ และ $Z_B = R_B$ จะได้ค่า R_{eq} และ L_{eq} ในทางปฏิบัติของวงจรที่นำเสนอมีค่าเท่ากับ

$$R_{eq} = \frac{\beta_{F1} \beta_{S1} g_{mF1} g_{mS1} R_B}{\beta_{F2} \beta_{S2} g_{mF2} g_{mS2}} \qquad \text{(ช2.14)}$$

และ

$$L_{eq} = \frac{C_A}{\beta_{F2} \beta_{S2} g_{mF2} g_{mS2}} \qquad \text{(ช2.15)}$$

จากสมการข้างต้นแสดงให้เห็นว่าค่า β_{Fi} และ β_{Si} ในทางปฏิบัติจะส่งผลกระทบของคุณสมบัติการทำงานของวงจรที่นำเสนอ ซึ่งเราสามารถปรับแต่งค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ด้วยอัตราขยายค่าความนำของวงจร VDTA เพื่อชดเชยผลกระทบดังกล่าวให้มีการทำงานที่ใกล้เคียงกับทางทฤษฎีมากยิ่งขึ้น

ช2.2 วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวในรูปแบบขนานที่นำเสนอดังรูปที่ 5.2 (ข)

วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวในรูปแบบขนานที่นำเสนอดังรูปที่ 5.2 (ข) ได้มีการกำหนดทิศทางการไหลของกระแสดังแสดงในรูปที่ ช2 หากอาศัยคุณสมบัติของวงจร VDTA ที่เปลี่ยนไปในทางปฏิบัติดังสมการ (ช2.1) – (ช2.3) ซึ่งสามารถวิเคราะห์หาค่า Y_{in} ที่เปลี่ยนไปได้ดังรายละเอียดต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวิเคราะห์ที่โหนด v_1 จะได้ i_1 ดังนี้

$$i_1 = \beta_{S2} g_{mS2} v_{z2+}$$

หรือ $$v_{z2+} = \frac{i_1}{\beta_{S2} g_{mS2}} \quad \text{(ช2.16)}$$

เมื่อวิเคราะห์ที่โหนด v_2 จะได้ i_2 ดังนี้

$$i_2 = \beta_{S2} g_{mS2} v_{z2+}$$

หรือ $$v_{z2+} = -\frac{i_2}{\beta_{S2} g_{mS2}} \quad \text{(ช2.17)}$$

เมื่อวิเคราะห์ที่ขั้ว z_{2+} จะได้ผลรวมกระแสเท่ากับ

$$i_{z2+} = i_{x1-} \quad \text{(ช2.18)}$$

แทนสมการ (ช1.2) และ (ช1.3) ลงสมการข้างต้นจะพบว่า

$$\beta_{F2} g_{mF2} (v_1 - v_2) = \beta_{S1} g_{mS1} v_{z1+}$$

หรือ $$v_{z1+} = \frac{\beta_{F2} g_{mF2} (v_1 - v_2)}{\beta_{S1} g_{mS1}} \quad \text{(ช2.19)}$$

เมื่อวิเคราะห์ที่ขั้ว x_{1+} จะได้ผลรวมกระแสเท่ากับ

$$i_{x1+} = i_{Z_A} \quad \text{(ช2.20)}$$

แทนสมการ (ช1.3) ลงในสมการ (ช2.20) จะได้

$$\beta_{S1} g_{mS1} v_{z1+} = \frac{v_{n1}}{Z_A}$$

หรือ $$v_{n1} = \beta_{S1} g_{mS1} Z_A v_{z1+} \quad \text{(ช2.21)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวิเคราะห์ที่ขั้ว z_{1+} จะได้ผลรวมกระแสเท่ากับ

$$i_{z1+} = i_{Z_B} \tag{ช2.22}$$

แทนสมการ (ช1.2) ลงในสมการ (ช2.22) จะได้

$$\beta_{F1} g_{mF1} (v_{z2+} - v_{n1}) = \frac{v_{z1+}}{Z_B} \tag{ช2.23}$$

แทนสมการ (ช2.19) และ (ช2.21) ลงในสมการข้างต้นจะได้

$$\beta_{F1} g_{mF1} \left[v_{z2+} - \beta_{F1}\beta_{F2} g_{mF1} g_{mF2} Z_A (v_1 - v_2) \right] = \frac{\beta_{F2} g_{mF2} (v_1 - v_2)}{\beta_{S1} g_{mS1} Z_B}$$

หรือ

$$v_{z2+} = \frac{\beta_{F2} g_{mF2} (v_1 - v_2)}{\beta_{F1} g_{mF1} g_{mS1} Z_B} + \beta_{F2} g_{mF2} Z_A (v_1 - v_2) \tag{ช2.24}$$

แทนสมการ (ช2.16) ลงในสมการ (ช2.24) จะได้

$$\frac{i_1}{\beta_{S2} g_{mS2}} = \frac{\beta_{F2} g_{mF2} (v_1 - v_2)}{\beta_{F1}\beta_{S1} g_{mF1} g_{mS1} Z_B} + \beta_{F2} g_{mF2} Z_A (v_1 - v_2) \tag{ช2.25}$$

จัดรูปสมการหา Y'_{in1} ได้ดังนี้

$$Y'_{in1} = \left(\frac{i_1}{v_1 - v_2} \right) = \beta_{F2}\beta_{S2} g_{mF2} g_{mS2} \left(Z_A + \frac{1}{\beta_{F1}\beta_{S1} g_{mF1} g_{mS1} Z_B} \right) \tag{ช2.26}$$

เช่นเดียวกัน หากแทนสมการ (ช2.17) ลงในสมการ (ช2.24) จะได้

$$Y'_{in2} = \left(\frac{i_2}{v_2 - v_1} \right) = \beta_{F2}\beta_{S2} g_{mF2} g_{mS2} \left(Z_A + \frac{1}{\beta_{F1}\beta_{S1} g_{mF1} g_{mS1} Z_B} \right) \tag{ช2.27}$$

จากสมการ (ช2.26) และ (ช2.27) จะพบว่าค่าแอตมิตแตนซ์อินพุตที่เปลี่ยนไปทั้งสองด้านนั้นมีผลลัพธ์ที่เหมือนกัน ดังนั้น $Y'_{in} = Y'_{in1} = Y'_{in2}$ โดยค่าอุปกรณ์สมมูลที่ได้จะขึ้นอยู่กับการเลือกอุปกรณ์พาสซีพหรือ Z_A และ Z_B ยกตัวอย่างเช่น หากเลือก $Z_A = R_A$ และ $Z_B = 1/sC_B$ จะได้ R_{eq} และ C_{eq} ในทางปฏิบัติของวงจรที่นำเสนอจะมีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{eq} = \frac{1}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}R_A} \quad (ช2.28)$$

และ $$C_{eq} = \frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}C_B}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}} \quad (ช2.29)$$

ช3 การวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงค่าองค์ประกอบในวงจร

การวิเคราะห์ค่าความไวของวงจรเพื่อตรวจสอบคุณสมบัติในการทำงานโดยใช้ความสัมพันธ์ดังสมการต่อไปนี้

$$S_x^y = \frac{\left(\frac{\Delta y}{y}\right)}{\left(\frac{\Delta x}{x}\right)} = \frac{\partial y / y}{\partial x / x} = \frac{\partial(\ln y)}{\partial(\ln x)} = \frac{x}{y}\frac{\partial y}{\partial x} \quad (ช3.1)$$

โดยที่ x คือองค์ประกอบในวงจรที่เปลี่ยนแปลง และ y คือคุณสมบัติของวงจรที่พิจารณาค่าความไวต่อการเปลี่ยนแปลงค่า x ดังนั้นหากวิเคราะห์หาค่าความไวของค่าความต้านทานสมมูล ค่าความเหนี่ยวนำสมมูลและความจุไฟฟ้าสมมูลต่อการเปลี่ยนแปลงค่าองค์ประกอบแอคทีฟและพาสซีฟในวงจรของวงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอดังรูปที่ 5.2 มีรายละเอียดดังต่อไปนี้

สำหรับวงจรสมมูล R_{eq} อนุกรมหรือขนาน L_{eq}

$$S_{R_B}^{R_{eq}} = 1 \quad (ช3.2)$$

$$S_{\beta_{F1}}^{R_{eq}} = S_{\beta_{S1}}^{R_{eq}} = S_{g_{mF1}}^{R_{eq}} = S_{g_{mS1}}^{R_{eq}} = 1 \quad (ช3.3)$$

$$S_{\beta_{F2}}^{R_{eq}} = S_{\beta_{S2}}^{R_{eq}} = S_{g_{mF2}}^{R_{eq}} = S_{g_{mS2}}^{R_{eq}} = -1 \quad (ช3.4)$$

$$S_{C_A}^{L_{eq}} = 1 \quad (ช3.5)$$

$$S_{\beta_{F2}}^{L_{eq}} = S_{\beta_{S2}}^{L_{eq}} = S_{g_{mF2}}^{L_{eq}} = S_{g_{mS2}}^{L_{eq}} = -1 \quad (ช3.6)$$

สำหรับวงจรสมมูล R_{eq} อนุกรมหรือขนาน C_{eq}

$$S_{R_A}^{R_{eq}} = -1 \quad (ช3.7)$$

$$S_{\beta_{F2}}^{R_{eq}} = S_{\beta_{S2}}^{R_{eq}} = S_{g_{mF2}}^{R_{eq}} = S_{g_{mS2}}^{R_{eq}} = -1 \quad (ช3.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_{C_B}^{C_{eq}} = 1 \quad \text{(ช3.9)}$$

$$S_{\beta_{F2}}^{C_{eq}} = S_{\beta_{S2}}^{C_{eq}} = S_{g_{mF2}}^{C_{eq}} = S_{g_{mS2}}^{C_{eq}} = 1 \quad \text{(ช3.10)}$$

$$S_{\beta_{F1}}^{C_{eq}} = S_{\beta_{S1}}^{C_{eq}} = S_{g_{mF1}}^{C_{eq}} = S_{g_{mS1}}^{C_{eq}} = -1 \quad \text{(ช3.11)}$$

สำหรับวงจรสมมูล L_{eq} อนุกรมหรือขนาน C_{eq}

$$S_{C_A}^{L_{eq}} = 1 \quad \text{(ช3.12)}$$

$$S_{\beta_{F2}}^{L_{eq}} = S_{\beta_{S2}}^{L_{eq}} = S_{g_{mF2}}^{L_{eq}} = S_{g_{mS2}}^{L_{eq}} = -1 \quad \text{(ช3.13)}$$

$$S_{C_B}^{C_{eq}} = 1 \quad \text{(ช3.14)}$$

$$S_{\beta_{F2}}^{C_{eq}} = S_{\beta_{S2}}^{C_{eq}} = S_{g_{mF2}}^{C_{eq}} = S_{g_{mS2}}^{C_{eq}} = 1 \quad \text{(ช3.15)}$$

$$S_{\beta_{F1}}^{C_{eq}} = S_{\beta_{S1}}^{C_{eq}} = S_{g_{mF1}}^{C_{eq}} = S_{g_{mS1}}^{C_{eq}} = -1 \quad \text{(ช3.16)}$$

สมการ (ช3.2) ถึง (ช3.16) พบว่าค่าความไวทั้งหมดมีขนาดไม่เกินหนึ่ง แสดงให้เห็นว่าวงจรมีคุณสมบัติค่าความไวต่อการเปลี่ยนแปลงอุปกรณ์แอคทีฟและพาสซีฟในวงจรที่ต่ำ ซึ่งบ่งชี้ถึงเสถียรภาพที่ดีของวงจรที่นำเสนอ

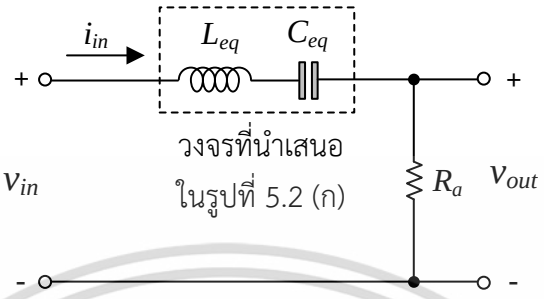
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ซ
การประยุกต์ใช้งานของวงจรเลียนแบบ ฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวที่นำเสนอในรูปที่ 5.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซ1 การวิเคราะห์วงจรกรองผ่านแถบความถี่อันดับสองในรูปที่ 5.21

วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวในรูปแบบอนุกรมที่นำเสนอในรูปที่ 5.2 (ก) ได้ถูกนำไปประยุกต์ใช้งานในวงจรกรองผ่านแถบความถี่อันดับสองแสดงได้ดังรูปที่ ซ1



รูปที่ ซ1 วงจรกรองผ่านแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอในรูปที่ 5.2 (ก)

เมื่อวิเคราะห์วงจรกรองผ่านความถี่ต่ำอันดับสองในรูปที่ ซ1 ด้วยกฎแรงดันของเคอร์ซอฟฟ์ (Kirchhoff's voltage law, KVL) จะได้

$$-v_{in} + v_{L_{eq}} + v_{C_{eq}} + v_{R_a} = 0 \qquad \text{(ซ1.1)}$$

เมื่อ $v_{L_{eq}} = sL_{eq}i_{in}$ $v_{C_{eq}} = \left(\frac{1}{sC_{eq}}\right) i_{in}$ และ $v_{R_a} = R_a i_{in}$ จะได้

$$-v_{in} + sL_{eq}i_{in} + \left(\frac{1}{sC_{eq}}\right) i_{in} + R_a i_{in} + = 0 \qquad \text{(ซ1.2)}$$

จัดรูปได้ดังนี้

$$v_{in} = \left(R_1 + sL_1 + \frac{1}{sC_{eq}}\right) i_{in} \qquad \text{(ซ1.3)}$$

พิจารณาที่ขั้วเอาต์พุตของวงจรสามารถหาค่า v_{out} ได้เท่ากับ

$$v_{out} = R_a i_{in} \qquad \text{(ซ1.4)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (ซ1.4) และ (ซ1.3) สามารถหาอัตราส่วนระหว่าง v_{out} กับ v_{in} ได้เท่ากับ

$$\frac{v_{out}}{v_{in}} = \frac{sR_aC_{eq}}{s^2L_{eq}C_{eq} + sR_aC_{eq} + 1} \qquad \text{(ซ1.5)}$$

เมื่อนำ $L_{eq}C_{eq}$ หารทั้งเศษและส่วนของสมการข้างต้น จะสามารถจัดรูปเป็นฟังก์ชันถ่ายโอนแรงดัน (voltage transfer function) ดังนี้

$$H_{BP}(s) = \frac{v_{out}}{v_{in}} = \frac{s\left(\frac{R_a}{L_{eq}}\right)}{s^2 + s\left(\frac{R_a}{L_{eq}}\right) + \frac{1}{L_{eq}C_{eq}}} \qquad \text{(ซ1.6)}$$

โดยที่ความถี่คัทออฟ (cutoff frequency, f_c) และตัวประกอบคุณภาพ (quality factor, Q) มีค่าเท่ากับ

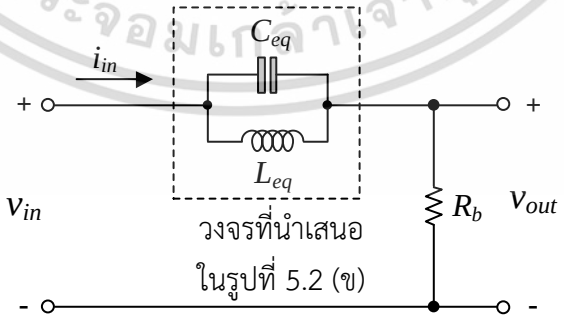
$$f_c = \frac{1}{2\pi\sqrt{L_{eq}C_{eq}}} \qquad \text{(ซ1.7)}$$

และ

$$Q = \frac{1}{R_a}\sqrt{\frac{L_{eq}}{C_{eq}}} \qquad \text{(ซ1.8)}$$

ซ2 การวิเคราะห์วงจรกรองผ่านแถบความถี่อันดับสองในรูปที่ 5.23

วงจรเลียนแบบฟังก์ชันอิมมิตแตนซ์ต่อลอยตัวในรูปแบบขนานที่นำเสนอในรูปที่ 5.2 (ข) ได้ถูกนำไปประยุกต์ใช้งานในวงจรหยุดแถบความถี่อันดับสองแสดงได้ดังรูปที่ ซ2



รูปที่ ซ2 วงจรกรองผ่านแถบความถี่อันดับสองโดยใช้วงจรที่นำเสนอในรูปที่ 5.2 (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวิเคราะห์วงจรกรองผ่านความถี่ต่ำอันดับสองในรูปที่ ซ2 ด้วยกฎแรงดันของเคอร์ซอฟฟ์ (Kirchhoff's voltage law, KVL) จะได้

$$-v_{in} + v_{L_{eq}//C_{eq}} + v_{R_b} = 0 \qquad \text{(ซ2.1)}$$

เมื่อ $v_{L_{eq}//C_{eq}} = \left(\frac{sL_{eq}}{s^2 C_{eq} L_{eq} + 1}\right) i_{in}$ และ $v_{R_b} = R_b i_{in}$ จะได้

$$-v_{in} + s\left(\frac{sL_{eq}}{s^2 C_{eq} L_{eq} + 1}\right) i_{in} + R_b i_{in} + = 0 \qquad \text{(ซ2.2)}$$

หรือ

$$v_{in} = \left(\frac{s^2 L_{eq} C_{eq} R_b + sL_{eq} + R_b}{s^2 L_{eq} C_{eq} + 1}\right) i_{in} \qquad \text{(ซ2.3)}$$

พิจารณาที่ขั้วเอาต์พุตของวงจรสามารถหาค่า v_{out} ได้เท่ากับ

$$v_{out} = R_b i_{in} \qquad \text{(ซ2.4)}$$

จากสมการ (ซ2.4) และ (ซ2.3) สามารถหาอัตราส่วนระหว่าง v_{out} กับ v_{in} ได้เท่ากับ

$$\frac{v_{out}}{v_{in}} = \frac{s^2 L_{eq} C_{eq} R_b + R_b}{s^2 L_{eq} C_{eq} R_b + sL_{eq} + R_b} \qquad \text{(ซ2.5)}$$

เมื่อนำ $L_{eq}C_{eq}R_b$ หารทั้งเศษและส่วนของสมการข้างต้น จะสามารถจัดรูปเป็นฟังก์ชันถ่ายโอนแรงดันดังนี้

$$H_{BS}(s) = \frac{v_{out}}{v_{in}} = \frac{s^2 + \frac{1}{L_{eq}C_{eq}}}{s^2 + s\left(\frac{1}{C_{eq}R_a}\right) + \frac{1}{L_{eq}C_{eq}}} \qquad \text{(ซ2.6)}$$

โดยที่ความถี่คัทออฟและตัวประกอบคุณภาพมีค่าเท่ากับ

$$f_c = \frac{1}{2\pi\sqrt{L_{eq}C_{eq}}} \qquad \text{(ซ2.7)}$$

และ

$$Q = R_b\sqrt{\frac{C_{eq}}{L_{eq}}} \qquad \text{(ซ2.8)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ฌ
บทความวิจัยที่ได้รับการตีพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทความวิจัยที่ได้รับการตีพิมพ์ลงในวารสารวิชาการระดับนานาชาติจำนวน 6 บทความ และในการประชุมวิชาการระดับนานาชาติจำนวน 2 บทความดังต่อไปนี้

[1] P. Moonmuang, T. Pukkalanun, S. Unhavanich, and W. Tangsrirat, "Actively simulated floating lossless inductor for short range wireless communication," **Journal of Mobile Multimedia**, Jul. 2020.

[2] P. Moonmuang and W. Tangsrirat, "Single VDTA-based tunable floating lossy inductance simulation circuits," **IETE Journal of Research**, DOI: 10.1080/03772063.2021.1900752.

[3] T. Pukkalanun, P. Moonmuang, S. Unhavanich, W. Tangsrirat, "Practical simulation of grounded/floating lossy inductors based on commercially available integrated circuit LT1228," **Advances in Science, Technology and Engineering Systems Journal**, vol. 6, no. 2, pp. 512–520, Mar. 2021.

[4] T. Pukkalanun, P. Moonmuang, and W. Tangsrirat, "On the resistorless realization of simulated tunable floating lossy inductors with voltage differencing buffered amplifiers," **Journal of Communications Technology and Electronics**, vol.66, no. 4, pp. 439–450, April. 2021.

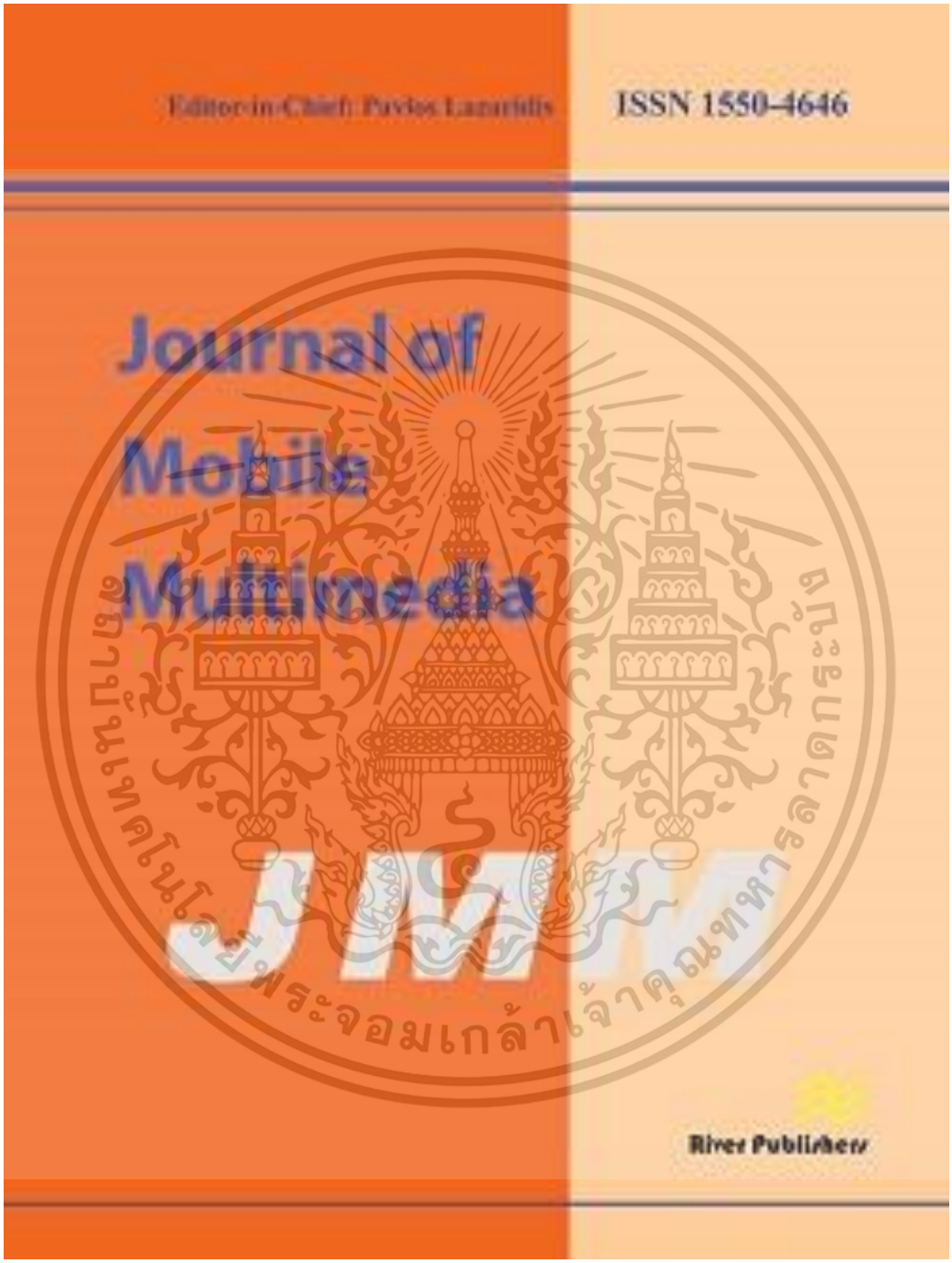
[5] P. Moonmuang, T. Pukkalanun, and W. Tangsrirat, "Floating/grounded series/parallel R-L, R-C and L-C immittance simulators employing VDTAs and only two grounded passive elements," **International Journal of Electronics and Communications (AEU)**, vol. 145, p. 154095, Feb. 2022.

[6] P. Moonmuang, M. Faseehuddin, T. Pukkalanun, N. Herencsar, and W. Tangsrirat, "VDTA-based floating/grounded series/parallel R-L and R-C immittance simulators with a single grounded capacitor," **International Journal of Electronics and Communications (AEU)**, vol. 160, p. 154502, Feb. 2023.

[7] P. Mongkolwai, P. Moonmuang, T. Pukkalanun, and W. Tangsrirat, "Grounded parallel RL, RC, and LC immittance simulators using VDBAs and passive elements," **Proceedings of the 10th International Electrical Engineering Congress (iEECON2020)**, Mar. 2022.

[8] T. Pukkalanun, P. Moonmuang, and W. Tangsrirat, "Grounded series/parallel RL/RC immittance simulators with a single VDTA", **Proceedings of the 19th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2022)**, Prachuap Khiri Khan, Thailand, 24-27 May, 2022.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Actively Simulated Floating Lossless Inductor for Short Range Wireless Communication

Pitchayanin Moonmuang[1], Tattaya Pukkalanun[1], Sumalee Unhavanich[2] and Worapong Tangsrirat[1,*]

[1]*Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok 10520, Thailand*
[2]*Faculty of Digital Technology, Chitralada Technology Institute, Bangkok 10300, Thailand*
E-mail: worapong.ta@kmitl.ac.th
[*]*Corresponding Author*

Received 01 May 2020; Accepted 14 May 2020;
Publication 24 July 2020

Abstract

This communication describes the resistorless simulation of the floating lossless inductor using three voltage differencing buffered amplifiers (VDBAs) and one grounded capacitor. The circuit employs only a grounded capacitor, and no other extra resistor element is employed. Thus, it is suitable for further communication integrated front-end circuit design in short-range wireless and application. The realized equivalent inductance value of the simulated inductor can be changed electronically via the external biasing currents of the VDBAs. Sufficient simulation results with the PSPICE program are provided to validate the functionality of the realized inductor. In addition to establishing the practical operation of the simulator, the measured test results obtained from hardware implementation using readily available integrated chips (ICs) are also included.

Journal of Mobile Multimedia, Vol. 15_4, 371–388.
doi: 10.13052/jmm1550-4646.1544
© 2020 River Publishers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Keywords: Communication circuits and devices, short range wireless communication, near-field communication, inductance simulator, voltage differencing buffered amplifier (VDBA).

1 Introduction

In the last decades, LC filters are an important building block of modern communication electronic architecture [1]. It is also well known that every communication system and wireless application requires one or more filters in their circuit structure. The LC filter in the communication front-end section performs a significant part for controlling the selective frequency band of wireless standard, and eliminating the unwanted frequency band. In addition, discrete inductors find several applications in active filters, LC oscillators and comparators for impedance matching, parasitic cancellation and phase shifters [2]. For short range wireless communication, they are employed to appropriately tune and couple the front-end module and power amplifiers. They are also used to form the impedance matching in the near field communication circuit. However, from the viewpoint of the communication integrated circuit (IC) design, the major restrictions of the use of physical spiral inductors are their bulky structure, and small and non-tuneable inductance values. Therefore, it is highly preferable to simulate floating inductors with modern electronic active building blocks. Over the years, several floating lossless inductance simulator circuits have been designed using different types of active building blocks [6–14]. However, some of the inductance simulator circuits are realized with two kinds of active building blocks [4, 8–10]. The configurations reported in Refs. [5, 7, 11–13] require two active and three passive components for realizing floating lossless inductance simulators. In Refs. [3, 5–8, 10–14], many external passive resistors are employed for their realizations. In addition, in Refs. [3, 5–7, 10, 11] a floating resistor is used, which is not desirable for the IC fabrication. Furthermore, the floating lossless inductor realizations reported in Refs. [3, 5–7, 10–12] do not possess electronic tuning capability.

Recently, the novel reported active building block the so-called voltage differencing buffered amplifier (VDBA) has been proved to be a useful and versatile active element in realizing a class of analogue signal processing circuits and applications [17–20]. In the following sections, we focus our attention on the floating lossless inductor simulation realization based on the VDBAs, designed with a single grounded capacitor. The circuit comprises only three VDBAs and one grounded capacitor without using any external

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

resistor component. The simulated equivalent inductance value can be regulated electronically through the adjustment of the external bias currents of the VDBAs. A detailed analysis of the VDBA non-ideal parameters and sensitivity performance are investigated. The functionality of the proposed simulator is illustrated by the PSPICE simulation results based on complimentary metal–oxide–semiconductor (CMOS) VDBA implementation using TSMC 0.25-μm CMOS technology process parameters. In addition to confirming the claimed idea, the practical results using commercially available LT1228 IC chips are also incorporated.

2 Proposed Floating Lossless Inductance Simulator

The proposed floating lossless inductance simulator circuit using three VDBAs and one grounded capacitor is shown in Figure 1(a). According to the standard notation, the terminal relations of the VDBA element can be defined as

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ \alpha g_m & -\alpha g_m & 0 & 0 \\ 0 & 0 & \beta & 0 \end{bmatrix} \cdot \begin{bmatrix} v_p \\ v_n \\ v_z \\ i_w \end{bmatrix}, \tag{1}$$

where g_m is an effective small signal transconductance gain of the VDBA. The parameters α and β are the non-ideal transconductance gain and the non-ideal transfer voltage gain, respectively. In an ideal case, the parameters α and β are equal to unity. Based on the behaviour relation (1) of the VDBA and an analysis of the circuit in Figure 1(a) with $g_m = g_{m1} = g_{m2}$ results in the following input impedance

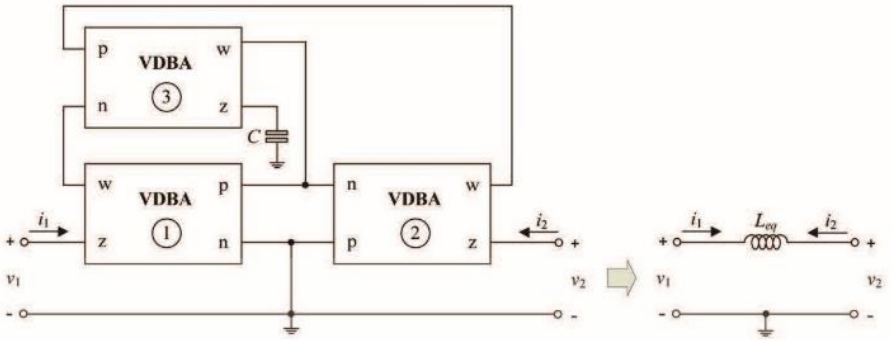
$$Z_{\text{in}} = \frac{v_1 - v_2}{i_1} = \frac{v_2 - v_1}{i_2} = sL_{\text{eq}} = s\left(\frac{C}{g_m g_{m3}}\right). \tag{2}$$

This implies that the proposed circuit simulates a floating lossless inductor with the equivalent inductance value expressed as

$$L_{\text{eq}} = \frac{C}{g_m g_{m3}}. \tag{3}$$

It is clear that the value of L_{eq} is feasible by electronic means through the $g_m g_{m3}$ product, and the equivalent model of this configuration is modelled in Figure 1(b).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) (b)

Figure 1 Proposed floating lossless inductance simulator circuit.

3 Non-ideal Analysis and Sensitivity Performance

If the non-ideal transconductance gain α and the non-ideal transfer voltage gain β of the VDBA are taken into consideration, then the expressions for the non-ideal Z_{in} of the circuit in Figure 1(a) are obtained as follows

$$Z_{\text{in}} = \left.\frac{v_1}{i_1}\right|_{v_2=0} = sL_{\text{eq}} = s\left(\frac{C}{\alpha_1\alpha_3\beta_1\beta_3 g_{m1}g_{m3}}\right), \tag{4}$$

and

$$Z_{\text{in}} = \left.\frac{v_2}{i_2}\right|_{v_1=0} = sL_{\text{eq}} = s\left(\frac{C}{\alpha_2\alpha_3\beta_2\beta_3 g_{m2}g_{m3}}\right), \tag{5}$$

The relative sensitivities of L_{eq} regarding active and passive components are found as

$$S_{g_{m1}}^{L_{\text{eq}}} = S_{g_{m2}}^{L_{\text{eq}}} = S_{g_{m3}}^{L_{\text{eq}}} = -1, \tag{6}$$

$$S_{\alpha_1}^{L_{\text{eq}}} = S_{\alpha_2}^{L_{\text{eq}}} = S_{\alpha_3}^{L_{\text{eq}}} = -1, \tag{7}$$

$$S_{\beta_1}^{L_{\text{eq}}} = S_{\beta_2}^{L_{\text{eq}}} = S_{\beta_3}^{L_{\text{eq}}} = -1 \tag{8}$$

and

$$S_C^{L_{\text{eq}}} = 1. \tag{9}$$

Since the absolute values of all sensitivity coefficients are no more than unity, the circuit exhibits low sensitivity performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4 Simulation Results

To reveal the performance of the proposed VDBA-based floating lossless inductance simulator in Figure 1(a), the simulations based on the PSPICE program have been carried out. In the simulations, the CMOS VDBA depicted in Figure 2 [18, 20] was employed using the TSMC 0.25-μm CMOS process model parameters. The bias voltage and the bias current were set as +V = -V = 0.75 V and $I_A = 50$ μA. The aspect ratios (W/L) of the transistors in Figure 2 are the same as provided in Refs. [18, 20].

The proposed floating lossless inductance simulator in Figure 1(a) was simulated with the following circuit component values: $g_{m1} = g_{m2} = g_{m3} = 1.58$ mA/V ($I_{B1} = I_{B2} = I_{B3} = 100$ μA) and $C = 100$ pF. Therefore, the value of an equivalent inductance equal to $L_{eq} \cong 40$ μH is obtained. Figure 3 shows the simulated transient waveforms for the input voltage (v_{in}=$v_1 - v_2$) and the input current ($i_{in} = i_1 = -i_2$) of the simulator with 50 mV (peak) input voltage at 10 MHz. The simulation result shows the phase difference between v_{in} and i_{in} of about 89°, which is nearly close to the predicted value equal to 90°.

With the same component values, the simulated frequency responses of the input impedance (Z_{in}) of the proposed inductance simulator, which are compared with the predicted responses, are also plotted in Figure 4. From these results, it can be noticed that, for the frequency range between 50 kHz and 30 MHz, the maximum errors in magnitude and phase are found to be approximated as 22% and 15%, respectively. Additionally, the total power consumption of the simulator is measured as 1.13 mW.

In order to further testify the electronic tuning capability of the circuit, the plots of $|Z_{in}|$ against frequency characteristics are given in Figure 5 for $g_{m1} = g_{m2} = 1.58$ mA/V and $C = 100$ pF and three different values of

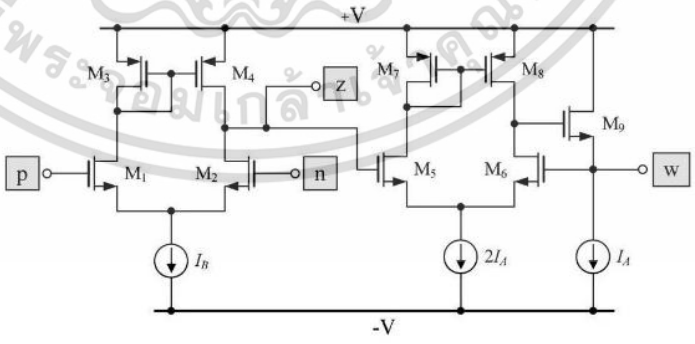


Figure 2 CMOS internal structure of the VDBA used in simulations [18, 20].

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

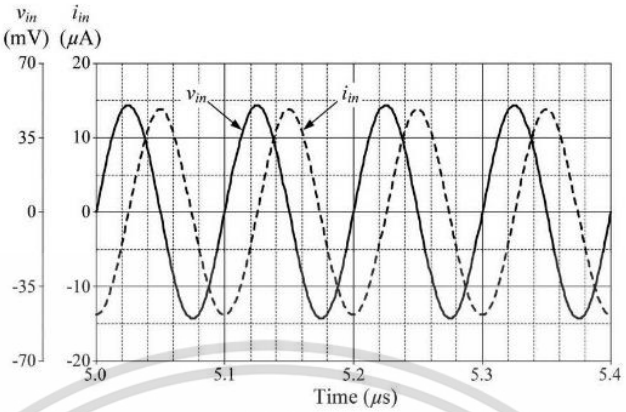


Figure 3 Transient response analysis of the proposed lossless inductor in Figure 1(a) for 10-MHz sinusoidal input voltage of 50 mV (peak).

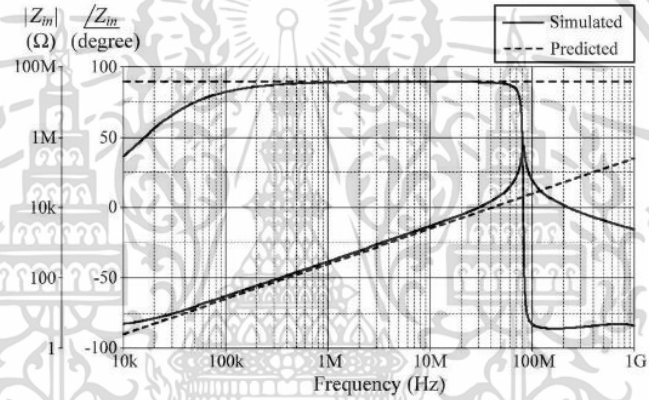


Figure 4 Frequency response analysis of the proposed lossless inductor in Figure 1(a).

g_{m3}, i.e., g_{m3} = 1.12 mA/V, 1.58 mA/V and 2.24 mA/V (I_{B3} = 50 μA, 100 μA and 200 μA). These designed component values are in accordance with the simulated equivalent inductance values of L_{eq} = 56 μH, 40 μH and 28 μH, respectively. It is clearly demonstrated that, for different values of transconductance g_{m3}, the value of L_{eq} can be changed electronically.

5 Experimental Test Results

To affirm the earlier given theoretical predictions, the experimental test results have been also performed through the hardware implementation of the VDBA using the commercially available IC LT1228 [21]. It may be further noted that the LT1228 only based implementation of the VDBA provides the possibility

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

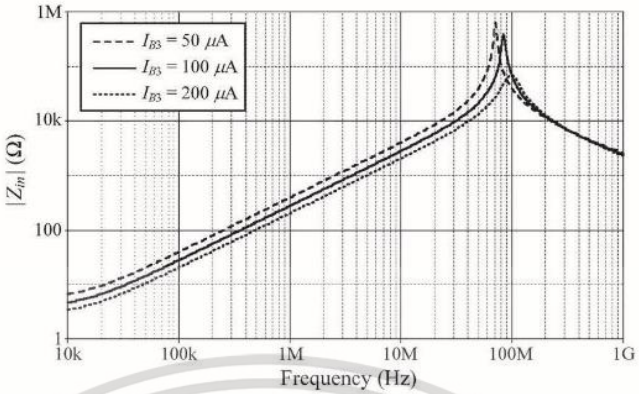


Figure 5 Magnitude frequency responses of the proposed lossless inductor in Figure 1(a) with tuning g_{m3} (I_{B3}).

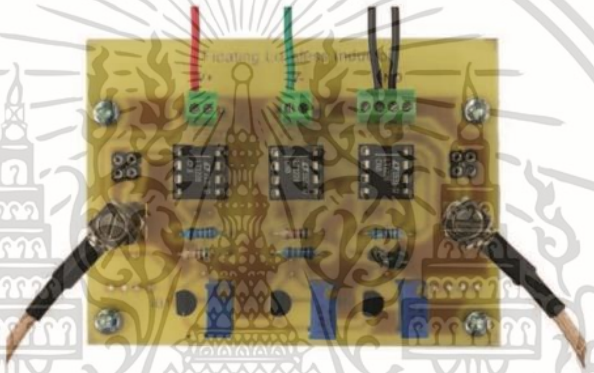


Figure 6 Fabricated PCB of the proposed floating lossless inductor in Figure 1(a).

of tuning g_m with the external bias current I_B, namely $g_m = 10I_B$. The printed circuit board (PCB) used in the experimental measurements of the proposed floating lossless inductor is pictured in Figure 6. The symmetrical supply voltages used were ±5 V. For all real measurements, the element values of the synthetic inductance simulator were set to $g_{m1} = g_{m2} = 1$ mA/V ($I_{B1} = I_{B2} = 100$ μA), and $C = 1$ nF. The measured waveforms of v_{in} and i_{in} through the proposed simulator are given in Figure 7 with 200-kHz sine wave input voltage of 50 mV (peak). In this measurement, the transconductance $g_{m3} = 1$ mA/V is chosen to obtain the synthetic inductor with $L_{\text{eq}} = 1$ mH. As expected, it can be recorded from the graphs that the phase of i_{in} lags that of v_{in} by 88.1°, where the theoretical value is equal to 90°.

Likewise, the measurement data of the impedance-frequency characteristics of the proposed floating lossless inductor for $g_{m3} = 0.5$ mA/V, 1 mA/V,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

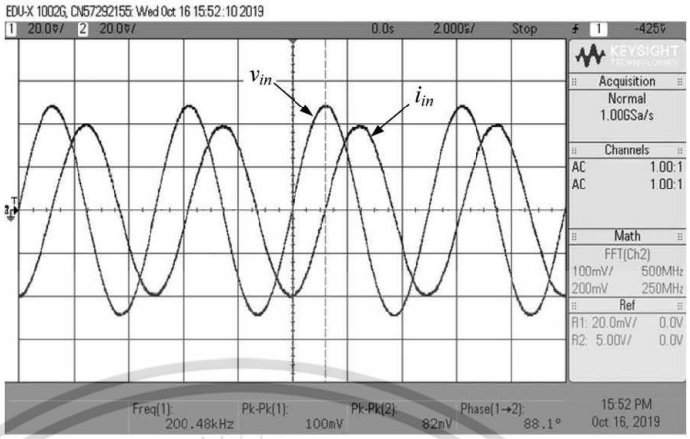


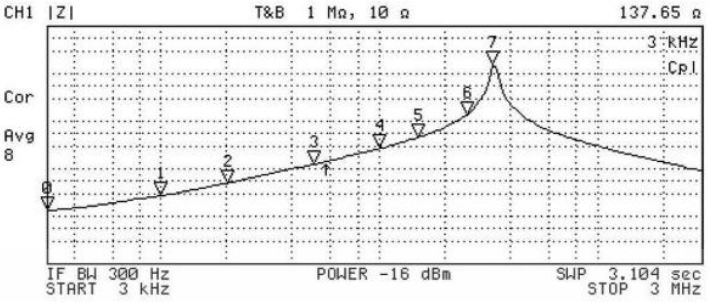
Figure 7 Measured results for the waveforms v_{in} and i_{in} of the proposed lossless inductor with 200-kHz sinusoidal input voltage of 50 mV (peak).

2 mA/V and 5 mA/V ($I_{B3} = 50\ \mu$A, 100 μA, 200 μA and 500 μA) are respectively given in Figures 8–11. For the given component values using Equation (3), the corresponding equivalent inductance values are obtained as $L_{\text{eq}} = 2$ mH, 1 mH, 0.5 mH and 0.2 mH, respectively. It is noticeable that the experimental test results given in Figures 8–11 actualize the practical behaviour of the proposed floating synthetic lossless inductor.

6 Applications to Filter Realization

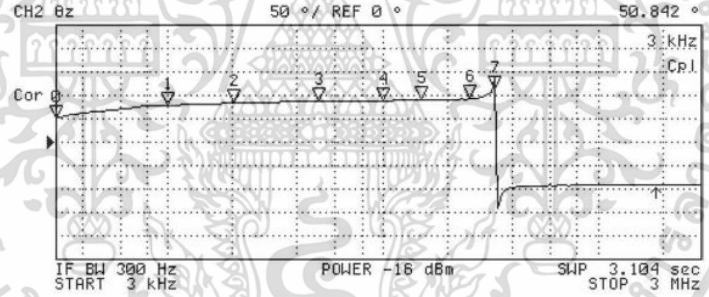
To demonstrate the behaviour of the proposed floating lossless inductance simulator circuit of Figure 1, the same is employed to replace the passive inductors of the lowpass (LP) and bandpass (BP) filters given in Figures 12(a) and 12(b), respectively. In the circuit realization, the following passive components have been selected as $R_{LP} = R_{BP} = 632\ \Omega$ and $C_{LP} = C_{BP} = 100$ pF. Further, an effective inductance of $L_{\text{eq}} \cong 40\ \mu$H was implemented with the proposed inductor of Figure 1(a). Its component values are the same as that mentioned in Section 4. In this setting, the important frequency characteristics are obtained as $f_o = \omega_o/2\pi = 1/(L_{\text{eq}}C_{LP})^{1/2} = 1/(L_{\text{eq}}C_{BP})^{1/2} \cong 2.52$ MHz and $Q = (1/R_{LP})(L_{\text{eq}}/C_{LP})^{1/2} = (1/R_{BP})(L_{\text{eq}}/C_{BP})^{1/2} = 1$. Figure 13 shows the simulated frequency responses of both filters of Figure 12, compared with that of ideal floating inductors. It can be observed that the simulated values exhibit excellent agreement with theoretical results over a wide range.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	3 kHz	137.65 Ω
1	10 kHz	270.41 Ω
2	20 kHz	501.85 Ω
3	50 kHz	1.2509 kΩ
4	100 kHz	2.661 kΩ
5	150 kHz	4.5336 kΩ
6	250 kHz	13.614 kΩ
7	330 kHz	157.54 kΩ

(a)

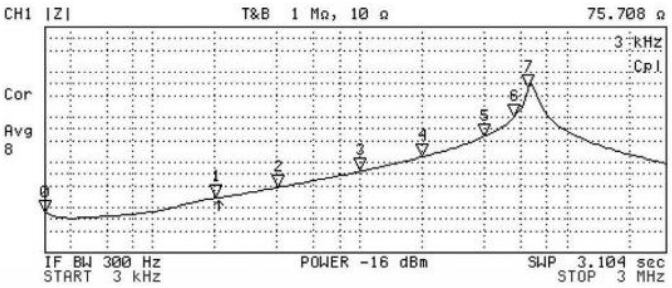


N	SWP PARAM	VAL
0	3 kHz	50.842 °
1	10 kHz	78.406 °
2	20 kHz	83.549 °
3	50 kHz	87.233 °
4	100 kHz	88.753 °
5	150 kHz	89.724 °
6	250 kHz	93.873 °
7	330 kHz	111.72 °

(b)

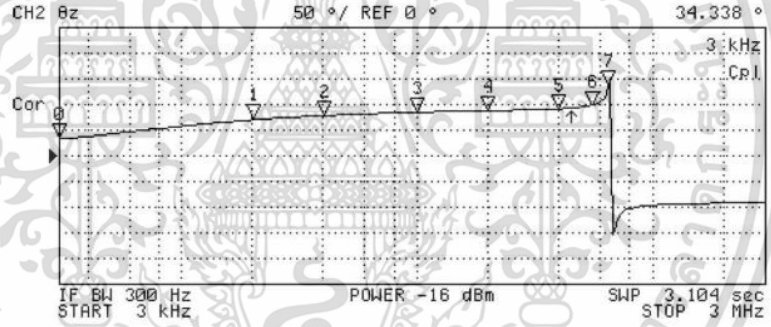
Figure 8 Experimental results of the impedance-frequency responses for $g_{m3} = 0.5$ mA/V. (a) magnitude response and (b) phase response.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	3 kHz	75.708 Ω
1	20 kHz	161.09 Ω
2	40 kHz	275.95 Ω
3	100 kHz	629.96 Ω
4	200 kHz	1.319 kΩ
5	400 kHz	3.6989 kΩ
6	550 kHz	9.955 kΩ
7	650 kHz	45.726 kΩ

(a)

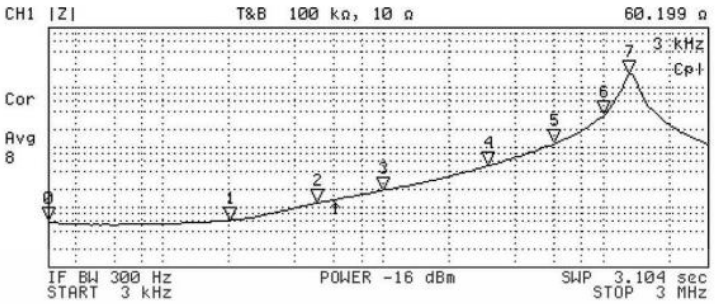


N	SWP PARAM	VAL
0	3 kHz	34.338 °
1	20 kHz	70.468 °
2	40 kHz	78.681 °
3	100 kHz	84.973 °
4	200 kHz	88.047 °
5	400 kHz	91.819 °
6	550 kHz	98.352 °
7	650 kHz	136.73 °

(b)

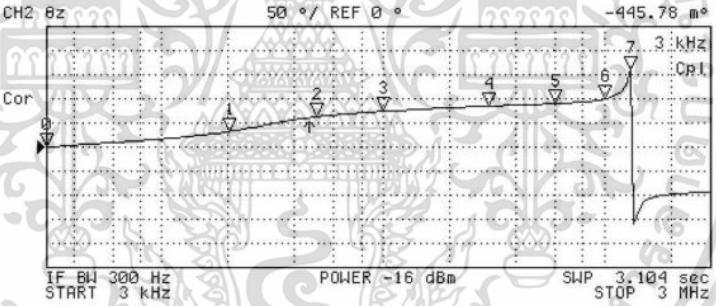
Figure 9 Experimental results of the impedance-frequency responses for $g_{m3} = 1$ mA/V. (a) magnitude response and (b) phase response.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	3 kHz	60.199 Ω
1	20 kHz	60.715 Ω
2	50 kHz	117.4 Ω
3	100 kHz	192.17 Ω
4	300 kHz	491.19 Ω
5	600 kHz	1.1551 kΩ
6	1 MHz	3.4763 kΩ
7	1.3 MHz	16.956 kΩ

(a)

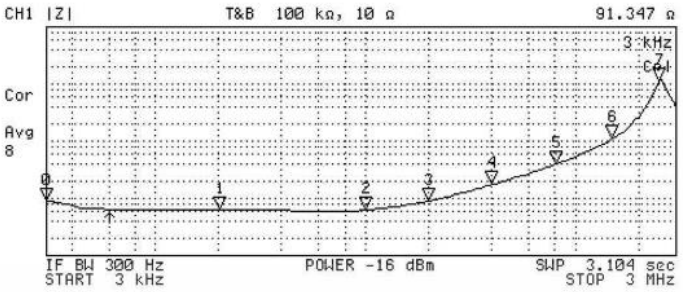


N	SWP PARAM	VAL
0	3 kHz	−445.78 m°
1	20 kHz	31.986 °
2	50 kHz	62.771 °
3	100 kHz	74.073 °
4	300 kHz	84.564 °
5	600 kHz	90.112 °
6	1 MHz	98.85 °
7	1.3 MHz	159.45 °

(b)

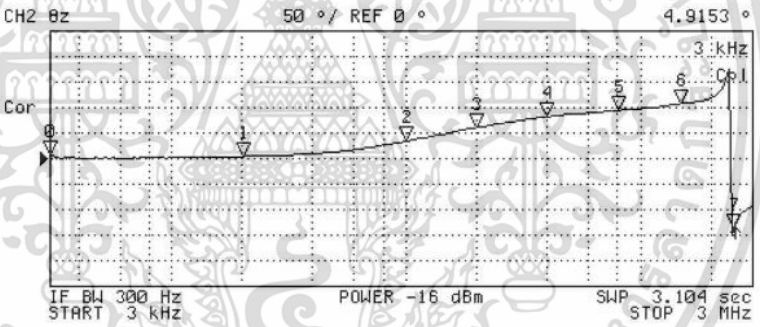
Figure 10 Experimental results of the impedance-frequency responses for $g_{m3} = 2$ mA/V. (a) magnitude response and (b) phase response.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	3 kHz	91.347 Ω
1	20 kHz	64.102 Ω
2	100 kHz	62.588 Ω
3	200 kHz	89.458 Ω
4	400 kHz	173.28 Ω
5	800 kHz	390.54 Ω
6	1.5 MHz	1.0979 kΩ
7	2.5 MHz	11.35 kΩ

(a)

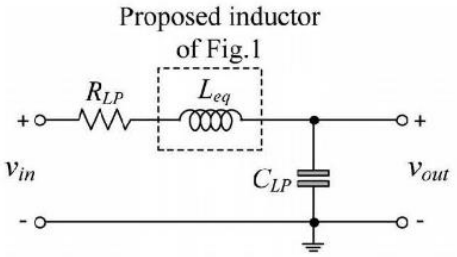


N	SWP PARAM	VAL
0	3 kHz	4.9153 °
1	20 kHz	4.5831 °
2	100 kHz	34.613 °
3	200 kHz	60.494 °
4	400 kHz	81.856 °
5	800 kHz	94.689 °
6	1.5 MHz	107.72 °
7	2.5 MHz	−137.79 °

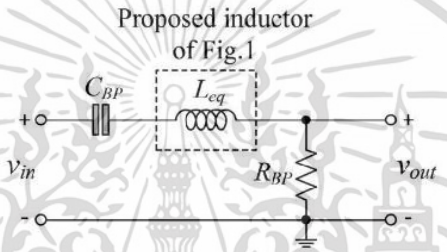
(b)

Figure 11 Experimental results of the impedance-frequency responses for g_{m3} = 5 mA/V. (a) magnitude response and (b) phase response.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

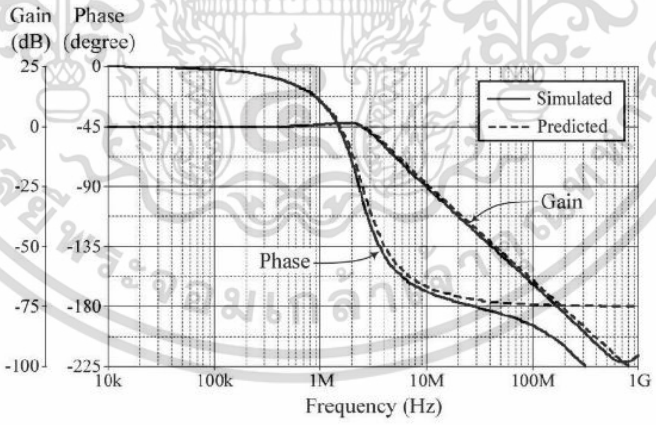


(a)



(b)

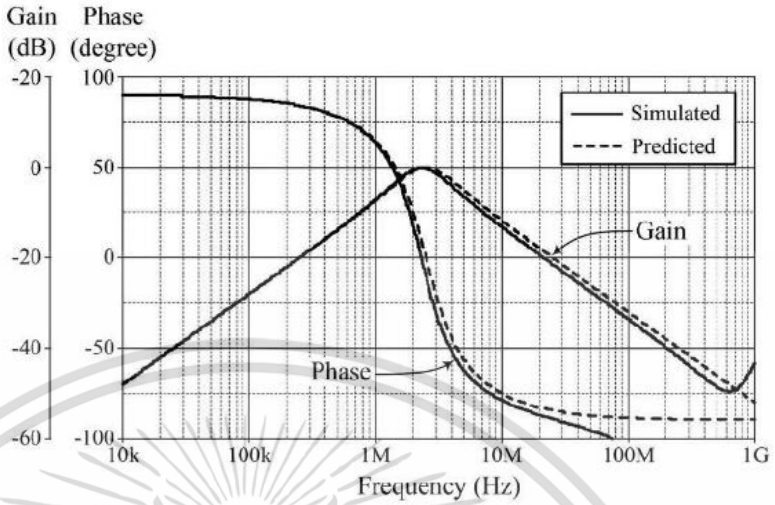
Figure 12 RLC filter realizations using the proposed inductor in Figure 1. (a) lowpass filter and (b) bandpass filter.



(a)

Figure 13 Theoretical and simulated frequency responses of the filters in Figure 12. (a) lowpass filter and (b) bandpass filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(b)

Figure 13 Continued.

7 Concluding Remarks

In this work, the floating lossless inductance simulator consisting of three VDBAs and one grounded capacitor is developed. The proposed synthetic lossless inductor provides the following advantages: (i) no employment of any external resistor element, (ii) the use of only grounded capacitor as preferred for integration, (iii) simulated equivalent inductance can be scaled electronically through transconductance gains of the VDBAs and (iv) low active and passive sensitivity indexes. Applications of the proposed floating inductance simulator circuit in the RLC LP and BP filter realizations have also been outlined. A number of PSPICE simulation and experimental test results has been performed to validate the behaviour of the proposed inductance simulator. Therefore, the proposed circuit may be used to the design of highly integrated communication systems, since several filtering functions had to be performed off-ship. In the future, as the number of smart mobile phone and other miniature multimedia device products would have been dramatically increasing, the proposed active inductor circuit is expected to be useful in short range wireless communication and application.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Acknowledgements

This work is supported by the Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang under the contract number 2563-02-01-033. The authors also gratefully acknowledge Assistant Professor Dr. Sathaporn Promwong, the coordinating guest editor of the special issue on Smart Innovative Technology for Future Industry and Multimedia Application, for useful information of this special issue.

References

[1] V. S. Kumar, S. Ramesh, 'LCP based planar high Q embedded band pass filter for wireless applications', J. Mobile Multimedia, vol. 14, no. 3, pp. 307–318, 2018.

[2] D. Harjunowibowo, R. W. Hastuti, K. A. Ratopo, A. Jamaluddin, S. Annur, 'Simple blocking oscillator performance analysis for battery volateg enhancement', J. Mobile Multimedia, vol. 11, no. 3&4, pp. 321–329, 2015.

[3] W. Kiranon, P. Pawarangkoon, 'Floating inductance simulation based on current conveyors', Electron. Lett., vol. 33, pp. 1748–1749, 1997.

[4] E. Yuce, S. Minaei, O. Cicekoglu, 'Resistorless floating immittance function simulators employing current controlled conveyors and a grounded capacitor', Electri. Eng., vol. 88, pp. 519–525, 2006.

[5] S. Minaei, E. Yuce, O. Cicekoglu, 'A versatile active circuit for realising floating inductance, capacitance, FDNR and admittance converter', Analog Integr. Circ. Signal Process., vol. 47, no. 2, pp. 199–202, 2006.

[6] E. Yuce, 'On the implementation of the floating simulators employing a single active device', Int. J. Electron. Commun. (AEU), vol. 61, no. 7, pp. 453–458, 2007.

[7] E. Yuce, S. Minaei, 'A modified CFOA and its applications to simulated inductors, capacitance multipliers, and analog filters', IEEE Trans. Circuits Syst I: Reg. Papers, vol. 55, no. 1, pp. 266–275, 2008.

[8] M. Sagbas, U. E. Ayten, H. Sedef, M. Koksal, 'Floating immittance function simulator and its applications', Circuits Syst. Signal Proces., vol. 28, no. 1, pp. 55–63, 2009.

[9] M. Sagbas, U. E. Ayten, H. Sedef, M. Koksal, 'Electronically tunable floating inductance simulator', Int. J. Electron. Commun. (AEU), vol. 63, no. 5, pp. 423–427, 2009.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[10] E. Yuce, S. Minaei, 'Novel floating simulated inductors with wider operating-frequency ranges', Microelectron. J., vol. 40, no. 6, pp. 928–938, 2009.
[11] J. W. Horng, 'Lossless inductance simulation and voltage-mode universal biquadratic filter with one input and five outputs using DVCCs', Analog Integr. Circ. Signal Process., vol. 62, no. 3, pp. 407–413, 2010.
[12] E. Yuce, 'A novel floating simulation topology composed of only grounded passive components', Int. J. Electron., vol. 97, no. 3, pp. 249–262, 2010.
[13] U. E. Ayten, M. Sagbas, N. Herencsar, J. Koton, 'Novel floating general element simulators using CBTA', Radioengineering, vol. 21, no. 1, pp. 11–19, 2012.
[14] D. Prasad, J. Ahmad, 'New electronically-controllable lossless synthetic floating inductance circuit using single VDCC', Circuits Syst., vol. 5, pp. 13–17, 2014.
[15] F. Kacar, A. Yesil and A. Noori, 'New CMOS realization of voltage differencing buffered amplifier and its biquad filter applications', Radioengineering, vol. 21, no. 1 , pp. 333–339, 2012.
[16] O. Channumsin and W. Tangsrirat, 'Single VDBA-based phase shifter with low output impedance', Proc. of ECTI-CON'17, Phuket, Thailand, 27–30 Jun, 2017.
[17] A. Yesil, F. Kacar and K. Gurkan, 'Lossless grounded inductance simulator employing single VDBA and its experimental band-pass filter application', Int. J. Electron. Commun. (AEU), vol. 68, pp. 143–150, 2014.
[18] W. Tangsrirat, 'Synthetic grounded lossy inductance simulators using single VDIBA', IETE Journal of Research, vol. 63, pp. 134–141, 2017.
[19] W. Tangsrirat, O. Channumsin, 'Tunable floating capacitance multiplier using single fully balanced voltage differencing buffered amplifier', J. Commun. Tech. Electron., vol. 64, no. 8, pp. 797–803, 2019.
[20] W. Tangsrirat, 'Actively floating lossy inductance simulators using voltage differencing buffered amplifiers', IETE Journal of Research, vol. 65, no. 4, pp. 446–459, 2019.
[21] Linear Technology, "100MHz Current Feedback Amplifier with DC Gain Control", LT1228 datasheet, (http://www.linear.com/product/LT1228).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Biographies



Pitchayanin Moonmuang received her B. Eng. degree (Honors) in Electronics Engineering, and M. Eng. degree in Control Engineering both from the Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 2016 and 2019, respectively. During her masters, she created several adjustable capacitance multiplier circuits, which resulted in conference presentations and published papers. She is currently a doctoral student in Electrical Engineering at KMITL. Pitchayanin's current research revolves mostly around the areas of immittance function simulators and active analog filter design.



Tattaya Pukkalanun received the B.Eng.(Honors) degree in Control Engineering from King Mongkut's Institute of Technology Ladkrabang (KMITL), Thailand, in 1998, M.Sc. degree in Advanced Electronic Engineering (with Distinction) from the University of Warwick, UK, in 2001, and M.Eng. and D.Eng. degrees in Electrical Engineering from KMITL in 2003 and 2010, respectively. Currently, she is an Associate Professor at the Department of Instrumentation and Control Engineering, Faculty of Engineering, KMITL. Her research areas include analog circuit design, signal processing and electronic control engineering.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Sumalee Unhavanich is an Associate Professor in the Faculty of Digital Technology at the Chitralada Technology Institute. Dr. Sumalee completed her D.Eng. degree in Electrical Engineering from King Mongkut's Institute of Technology Ladkrabang (KMITL) and her undergraduate studies at King Mongkut's University of Technology North Bangkok (KMUTNB). Her research interests lie in the area of electronic instrumentation and control system design, and analog signal processing applications.



Worapong Tangsrirat received the B.Ind.Tech. degree (Honors) in Electronics Engineering, and M.Eng. and D.Eng. degrees in Electrical Engineering all from Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 1991, 1997, 2003, respectively. Since 1995, he has been a faculty member at KMITL, where he is currently a Full Professor in Electrical Engineering at the Department of Instrumentation and Control Engineering. Presently, he is also an Executive Vice Dean Research and Innovation of the Faculty of Engineering, KMITL. Professor Worapong's research interests are primarily in the areas of analog signal processing and integrated circuits, current-mode circuits, and active filter and oscillator design. He has edited or written 15 books, and has had more than 100 research articles published in peer reviewed international journals.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IETE JOURNAL OF RESEARCH
https://doi.org/10.1080/03772063.2021.1900752

Check for updates

Single VDTA-Based Tunable Floating Lossy Inductance Simulation Circuits

Pitchayanin Moonmuang and Worapong Tangsrirat

School of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok 10520, Thailand

ABSTRACT

In this study, two circuit topologies for simulating tunable lossy floating inductors are proposed. In each design, the simulators make use of a single voltage differencing transconductance amplifier (VDTA), and only two passive elements with a grounded capacitor. The proposed active inductance simulators do not need some kind of component matching conditions and cancellation constraints for the desired realization. Besides, the simulated equivalent resistance and inductance values are independently tunable through a single resistor and/or the transconductances of the VDTA. The workability of all the proposed circuits is well accomplished through PSPICE simulations and experimental test results. To ascertain the feasibility of the proposed inductor designs, they are used to construct a fourth-order equal-ripple (3-dB) lowpass filter and an electronically tunable sinusoidal oscillator.

KEYWORDS

Inductance simulator; Lossy inductor; RL impedance; Voltage differencing transconductance amplifier (VDTA)

1. INTRODUCTION

Inductance simulator circuits are extremely useful subparts in an active network synthesis and design mostly for active filters, LC oscillators, electromagnetic interference elimination, impedance matching circuitry, and cancellation of parasitic elements. As a result, the research issue of active synthetic inductor topologies has been extensively investigated in the past years. It is observed from the literature that a variety of active elements have been used to realize floating lossy inductance simulator topologies [1–22]. The reported inductance simulations of [1–5,7,9,11–20] usually contain at least two active elements. The passive elements of several works that appeared in [1–5,9,11,13,15–19,21,22] are not canonical. They use three or more grounded and/or floating passive components for their realizations. Moreover, in [2,3,5,9,12,16,21], any kind of component-matching constraints are also required in these circuit realizations. A topology without critical matching condition requirements has inherent advantages from the practical circuit realization point of view. Besides, the simulator topologies with a single active element are reported for floating lossy inductance simulations [6,8,10,21,22]. Despite this advantage, these topologies still suffer from employing a various number of passive elements and do not provide inbuilt tunability. Inbuilt tuning capability is considered the desired design requirement in today's mixed-signal systems.

In 2008, the circuit concept named voltage differencing transconductance amplifier (VDTA) was introduced as a choice for analog signal processing circuits and solutions [23]. Numerous implementations of VDTA-based circuits have also been developed by various analog researchers [24–30]. Therefore this work is devoted to present two floating lossy inductance (FLI) simulator topologies employing a single VDTA, one resistor, and one grounded capacitor. The first FLI topology with all grounded passive elements is intended for series-type lossy inductance simulation, while the second FLI topology is for parallel-type lossy inductance simulation. The values of the simulated equivalent elements in both topologies can be tuned through a single resistance and/or the transconductances of the VDTA. The designs do not require component-matching conditions. The non-ideality feature of the proposed FLI simulator circuits is also investigated. Some computer simulation results with TSMC 0.25-μm CMOS technology are included to verify the theoretical propositions. The simulation results are also verified experimentally with the readily available IC CA3080s. A comparative statement of the proposed FLI topologies with the previously reported inductor structures [1–22] is summarized in Tables 1 and 2.

2. VOLTAGE DIFFERENCING TRANSCONDUCTANCE AMPLIFIER (VDTA)

The VDTA is a recently defined analog active component composed of two separate transconductances. Figure 1 shows the symbolic circuit representation of the ideal VDTA and its CMOS implementation is also shown in

© 2021 IETE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1: Comparison of the proposed FLI simulators with previously similar works

Ref.	Inductor type	No. of active element	No. of passive element	Matching requirement	Availability of electronic tuning	Supply voltages
[1]	series (Figure 1b) parallel (Figure 1c)	CCII = 2	R = 2, C = 1	no	no	NA
[2]	series (Figure 2b) parallel (Figure 2c)	OA = 2, OTA = 1	R = 2, C = 1	yes	no	NA
[3]	series, (Figure 3f)	OA = 2	R = 3, C = 2	yes	no	NA
	parallel (Figure 3c)	OA = 1, OTA = 1	R = 3, C = 1	no	yes	
[4]	series,(Figure 3a, c, f, g) parallel,(Figure 3b, d, e, h)	CCII = 2	R = 2,C = 1	no	no	NA
[5]	parallel	CCII = 2	R = 2, C = 1	yes	no	±12 V
[6]	series	CCII = 1	R = 2, C = 1	no	no	NA
[7]	series, (Figure 3)	CCCII+ = 2, CCCII- = 1	C = 1	no	yes	±2.5 V (simulation), ±5 V (experiment)
	parallel (Figure 2)	CCCII- = 2				
[8]	series/parallel	DDCC = 1	R = 2, C = 1	no	no	±0.9 V, −0.34 V
[9]	parallel	CFOA = 2	R = 3, C = 2	yes	no	±15 V
[10]	parallel, (Figure 2)	DO-DDCC = 1	R = 2, C = 1	no	no	±1.5 V, −0.9 V
[11]	series, (Figure 1a) parallel (Figure 1b)	CFOA = 2	R = 2,C = 1	no	no	NA
[12]	series, (Figure 2) parallel (Figure 3)	VDBA = 2	R = 1, C = 1	yes	yes	±0.75 V (simulation), ±5 V (experiment)
[13]	series (Figure 2) parallel (Figure 3)	CCI+ = 2	R = 2, C = 1	no	no	±2 V
[14]	series (Figure 2)	OMA = 2, MOS = 8	R = 1	no	no	±5 V
[15]	series	CFOA = 2	R = 2, C = 1	no	no	NA
[16]	series (Figure 2)	DDCC = 2	R = 2, C = 1	yes	no	±0.75 V
[17]	series (Figure 1a, e) parallel (Figure 1f)	CFOA = 2	R = 2, C = 1	no	no	NA
[18]	series	DVB = 1, ECCII+ = 2, ECCII- = 1	R = 3, C = 1	no	yes	±5 V (simulation), ±5 V (experiment)
[19]	series (Figure 4) parallel (Figure 5)	VDDDA = 2	R = 1, C = 1	no	yes	±5 V (simulation), ±5 V (experiment)
[20]	series	VDBA = 2	C = 1	no	yes	±0.75 V
[21]	parallel (Figure 4)	DDCC = 1	R = 2, C = 1	yes	no	±0.75 V
[22]	series (Figure 2)	DDCC = 1	R = 2, C = 1	no	no	±0.75 V, +0.23 V (simulation), ±9 V (experiment)
Proposed circuits	series (Figure 3a) parallel (Figure 3b)	VDTA = 1	R = 1, C = 1	no	yes	±1 V (simulation), ±5 V (experiment)

NA: Not Available
CCII: second-generation current conveyor, CCIII: third-generation current conveyor, CCCII±: positive/negative current-controlled conveyor, CCI+: positive first generation current conveyor, ECCII±: positive/negative electronically controllable current conveyor, OA: operational amplifier, OTA: operational transconductance amplifier, OMA: operational mirrored amplifier, DDCC: differential difference current conveyor, DO-DDCC: dual-output differential difference current conveyor, CFOA: current feedback operational amplifier, VDBA: voltage differencing buffered amplifier, VDDDA: voltage differencing differential difference amplifier

Table 2: Transistor aspect ratios (W/L) of the VDTA in Figure 2

Transistors	W/L (μm/μm)
M_1-M_2, M_5-M_6	5/0.25
M_3-M_4, M_7-M_8	8/0.25
M_9-M_{12}	5.2/0.25
$M_{13}-M_{14}, M_{17}-M_{18}$	3/0.25
$M_{15}-M_{16}$	3.2/0.25

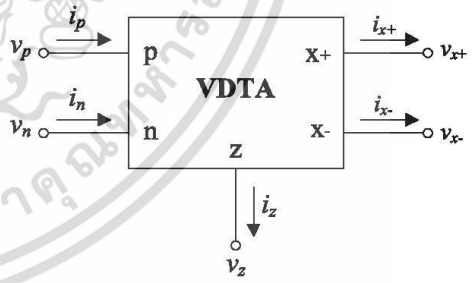


Figure 1: Symbolic circuit representation of the VDTA

Figure 2 [23–26]. The port characteristic of the VDTA can be described by the following matrix form.

$$\begin{bmatrix} i_z \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} g_{mF} & -g_{mF} & 0 \\ 0 & 0 & g_{mS} \\ 0 & 0 & -g_{mS} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \end{bmatrix}, \quad (1)$$

where g_{mF} and g_{mS} are the effective first and second transconductance gains of the VDTA, respectively. It may be noted from Equation (1) that the differential input voltage ($v_p - v_n$) is converted into current i_z via g_{mF} parameter and the voltage v_z developed at z-terminal is

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

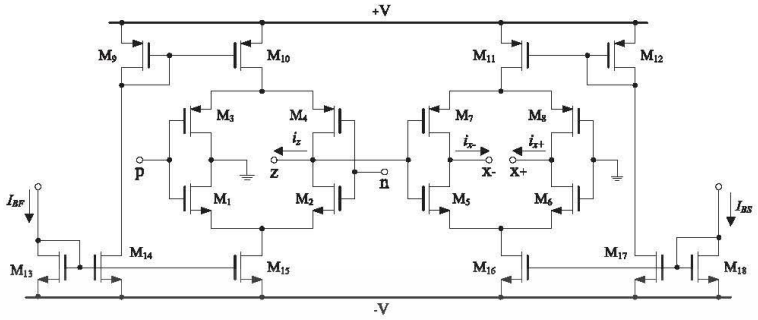


Figure 2: MOS transistor-based realization of the VDTA

transformed into currents i_{x+} and i_{x-} via g_{mS} parameter. From Figure 2, the transconductance gains g_{mF} and g_{mS} can respectively be determined by [31]

$$g_{mF} \cong \left(\frac{g_1 g_2}{g_1 + g_2}\right) + \left(\frac{g_3 g_4}{g_3 + g_4}\right) \tag{2}$$

$$\text{and } g_{mS} \cong \left(\frac{g_5 g_6}{g_5 + g_6}\right) + \left(\frac{g_7 g_8}{g_7 + g_8}\right) \tag{3}$$

where $g_i = \sqrt{I_{Bi}\mu C_{ox}\frac{W_i}{L_i}}$ is the transconductance parameter of the i-th transistor ($i = 1, 2, \ldots, 8$), I_{Bi} is the DC bias current, μ is the free carrier mobility, C_{ox} is the gate-oxide capacitance per unit area, and W_i and L_i are the effective channel width and length of the transistor M_i, respectively.

3. PROPOSED TUNABLE FLOATING LOSSY INDUCTANCE SIMULATORS

The proposed schematics for tunable matchless FLIs availing single VDTA element are shown in Figure 3. It should be noted that, in both the two proposed topologies, each of which employs a single VDTA as an active element and one resistor and one grounded capacitor as passive elements. It is further noted that in the proposed structure of Figure 3(a) only grounded passive elements are employed, which is advantageous for fabrication and attractive in mitigating parasitic and noise effects [32]. A straight forward analysis of the proposed FLI shown in Figure 3(a) using Equation (1) yields the equivalent input impedance as:

$$Z_{eq1} = \left(\frac{v_1 - v_2}{i_1}\right) = \left(\frac{v_2 - v_1}{i_2}\right) = R_{eq1} + sL_{eq1}$$
$$= \left(\frac{1}{g_{mF}g_{mS}R_1}\right) + s\left(\frac{C_1}{g_{mF}g_{mS}}\right). \tag{4}$$

The topology of Figure 3(a), therefore, simulates the series-type FLI with equivalent resistance and inductance values equal to $R_{eq1} = 1/(g_{mF}g_{mS}R_1)$ and $L_{eq1} = C_1/(g_{mF}g_{mS})$, respectively.

Similarly, the equivalent input admittance ($Y_{eq2} = 1/Z_{eq2}$) for the proposed FLI circuit shown in Figure 3(b) can be given by

$$Y_{eq2} = \left(\frac{i_1}{v_1 - v_2}\right) = \left(\frac{i_2}{v_2 - v_1}\right) = \frac{1}{R_{eq2}} + \frac{1}{sL_{eq2}}$$
$$= \left(\frac{1}{R_2}\right) + \left(\frac{g_{mF}g_{mS}}{sC_2}\right), \tag{5}$$

which proves that the circuit simulates a parallel-type FLI with $R_{eq2} = R_2$ and $L_{eq2} = C_2/(g_{mF}g_{mS})$. From Equations (4) and (5), the simulated equivalent resistance value (R_{eq1} or R_{eq2}) is tunable orthogonally of the associated resistive part through a single variable resistor (R_1 or R_2), whereas the simulated equivalent inductance value (L_{eq1} or L_{eq2}) is controllable electronically through g_{mF} and/or g_{mS}. Moreover, in both the proposed topologies, they are also free from any cancellation condition or realization constraint to simulate the desired type of impedances.

4. EFFECT OF PARASITIC GAINS

Under the effect of the VDTA non-ideal performance, its port relationships expressed by Equation (1) are modified as:

$$\begin{bmatrix} i_z \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} \beta_F g_{mF} & -\beta_F g_{mF} & 0 \\ 0 & 0 & \beta_{SP} g_{mS} \\ 0 & 0 & -\beta_{SN} g_{mS} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \end{bmatrix}, \tag{6}$$

where β_F, β_{SP} and β_{SN} are the parasitic gains for the first and second stages of the VDTA, respectively. Thus, the re-analysis of the circuits in Figure 3 with $\beta_S = \beta_{SP} \cong \beta_{SN}$ results in the following non-ideal impedance and

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

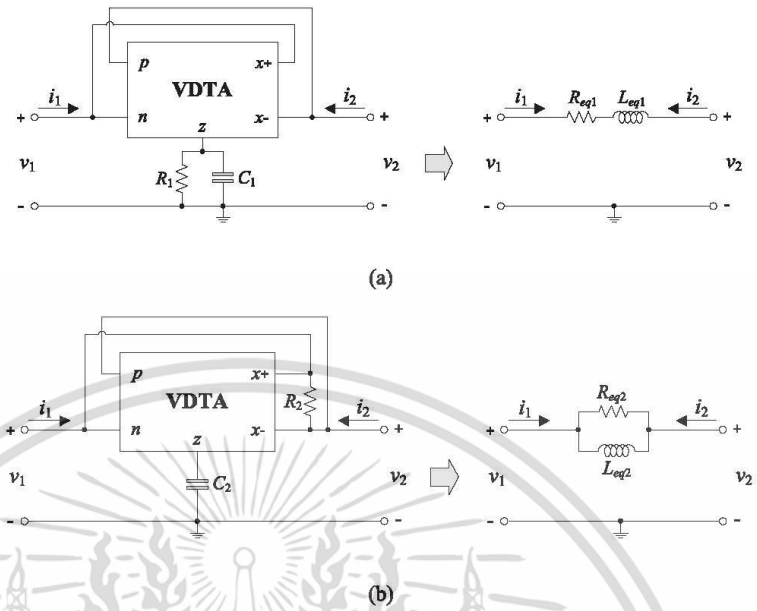


Figure 3: Proposed topologies for single VDTA-based tunable FLI simulation. (a) series RL-type (b) parallel RL-type

admittance expressions:

$$Z_{eq1} = \left(\frac{1}{\beta_F \beta_S g_{mF} g_{mS} R_1}\right) + s\left(\frac{C_1}{\beta_F \beta_S g_{mF} g_{mS}}\right), \tag{7}$$

$$\text{and } Y_{eq2} = \left(\frac{1}{R_2}\right) + \left(\frac{\beta_F \beta_S g_{mF} g_{mS}}{sC_2}\right). \tag{8}$$

It is readily deduced that even under the non-ideal condition, the equivalent impedance Z_{eq1} and the equivalent admittance Y_{eq2} are affected by the unwanted multiplication factor $(1/\beta_F\beta_S)$. Practically, the typical values of β_F and β_S are very slightly less than unity (approximately 0.995). Therefore, the behaviour of proposed FLI circuits is also slightly diverted by VDTA parasitic gains.

5. EFFECT OF PARASITIC IMPEDANCES

Figure 4 shows the various non-ideal parasitic impedances at different terminals of the VDTA. There are shunt parasitic resistances (R_p, R_n, R_z, R_{x+}, and R_{x-}) and capacitances (C_p, C_n, C_z, C_{x+}, and C_{x-}) associated with ports p, n, z, x+, and x−, respectively. By considering these parasites, the proposed FLI simulator circuits of Figure 3 can then be illustrated in Figure 5, where $R_1' = R_1//R_z$, $R_{px} = R_p//R_{x-}$, $R_{nx} = R_n//R_{x+}$, $C_1' = C_1 + C_z$, $C_{px} = C_p + C_{x-}$, and $C_{nx} = C_n + C_{x+}$. For simplification of parasitic effect consideration, we assume that R_p

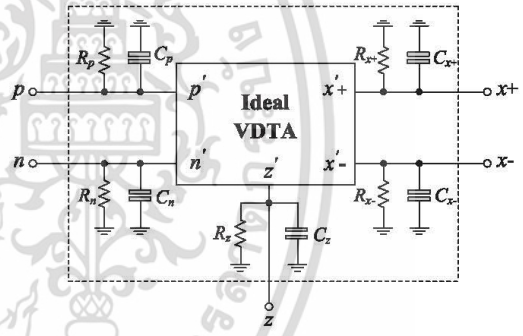


Figure 4: Non-ideal behaviour model of the VDTA

$\cong R_n$, $R_{x+} \cong R_{x-}$, $C_p \cong C_n$, and $C_{x+} \cong C_{x-}$, then $R_{extra1} = R_{px} = R_{nx}$ and $C_{extra1} = C_{px} = C_{nx}$. Hence, taking into account the dominant parasitic impedances of the VDTA represented in Figure 4, the non-ideal equivalent admittance for the proposed FLI simulator given in Figure 3(a) can be re-expressed as:

$$Y_{eq1}' = \frac{1}{Z'_{eq1}} = \left(\frac{1}{R'_{eq1} + sL'_{eq1}}\right) + \frac{1}{R_{extra1}} + sC_{extra1}, \tag{9}$$

$$\text{where } R'_{eq1} = \frac{R_1 + R_z}{g_{mF} g_{mS} R_1 R_z}, \tag{10}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

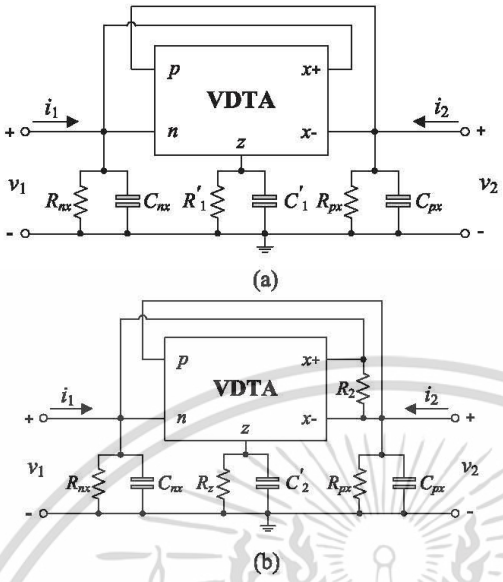


Figure 5: Proposed FLI simulator circuits of Figure 3 consisting various non-ideal parasitics. (a) series RL-type (b) parallel RL-type

and $L_{eq1} = \dfrac{C_1 + C_z}{g_{mF} g_{mS}}$. (11)

From the above component expressions, a non-ideal equivalent impedance of the circuit in Figure 3(a) is derivable which can be represented in Figure 6.

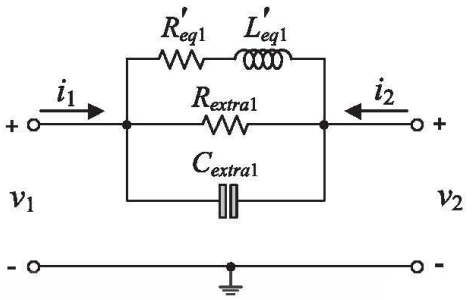


Figure 6: Non-ideal equivalent circuit of the proposed FLI simulator circuit of Figure 3(a)

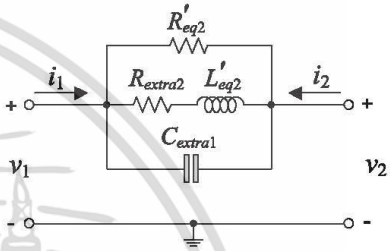


Figure 7: Non-ideal equivalent circuit of the proposed FLI simulator circuit of Figure 3(b)

Similarly, an equivalent admittance function of the floating parallel RL impedance simulator in Figure 3(b) including VDTA parasitic elements can be found as:

$$Y'_{eq2} = \frac{1}{R'_{eq2}} + \left(\frac{1}{R_{extra2} + sL'_{eq2}}\right) + sC_{extra1}, \quad (12)$$

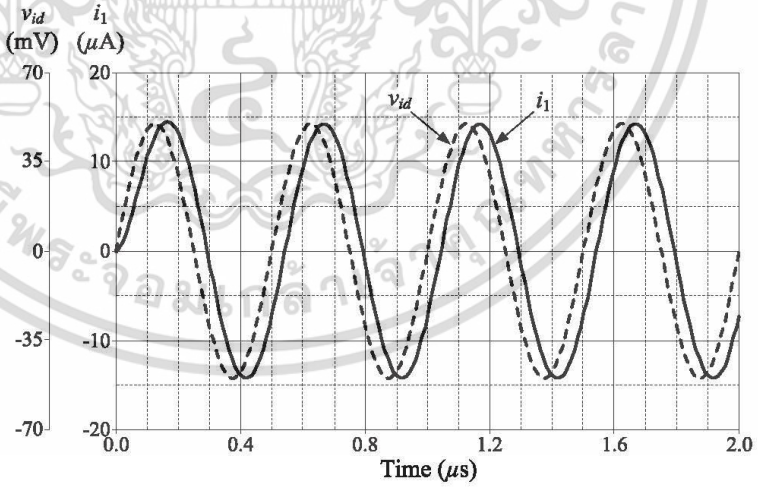


Figure 8: Simulated waveforms of voltage and current for the proposed FLI simulator circuit of Figure 3(a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

where $R'_{eq2} = R_2 // R_{extra1}$, (13)

$$R_{extra2} = \frac{1}{g_{mF}g_{mS}R_z}, \quad (14)$$

and $$L'_{eq2} = \frac{C_2 + C_z}{g_{mF}g_{mS}}. \quad (15)$$

According to Equations (12)–(15), the non-ideal equivalent impedance is realizable and also given in Figure 7. It is observed from the above analytical results that the parasites of the VDTA bring extra intrinsic terms (R_{extra1}, C_{extra1}, and R_{extra2}) to the impedances of the FLI simulator circuits. Therefore, by choosing R_1 C_z, and setting low value for $(1/g_{mF}g_{mS})$ in comparison with R_z value, the effects of the non-ideal parasitic elements on inductor design can be diminished.

6. SIMULATIONS AND DISCUSSIONS

PSPICE programme is performed to evaluate the performance of the proposed floating FLI simulator circuits given in Figure 3. The CMOS VDTA of Figure 2 was simulated with a real 0.25-μm CMOS process technology extracted from TSMC. The power supply voltages were kept at ± 1 V.

6.1 Simulations of the Proposed FLI Simulator Circuit in Figure 3(a)

The simulated time-domain analysis results of the proposed FLI circuit in Figure 3(a) for peak-to-peak 100 mV and 2 MHz sinusoidal input voltage are given in Figure 8. The circuit components are taken as: $g_m = g_{mF} \cong$

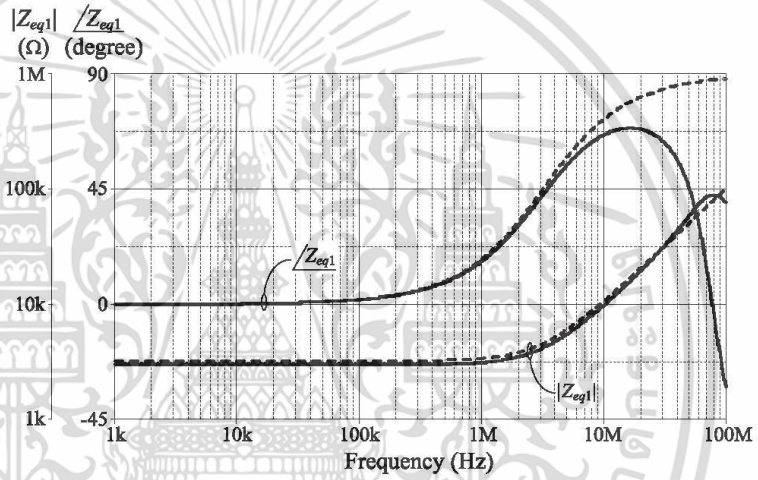


Figure 9: Ideal (dashed line) and simulated (solid line) magnitude and phase frequency responses of Z_{eq1} of Figure 3(a)

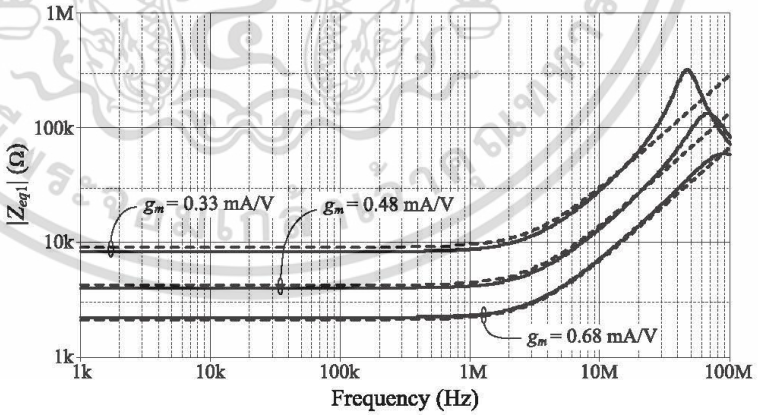


Figure 10: Ideal (dashed line) and simulated (solid line) magnitude-frequency responses of Z_{eq1} for different values of g_m

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$g_{mS} = 0.56\,\text{mA/V}$ ($I_B = I_{BF} \cong I_{BS} = 200\,\mu\text{A}$), $R_1 = 1\,\text{k}\Omega$ and $C_1 = 50\,\text{pF}$, thus the simulated elements $R_{eq1} = 3.22\,\text{k}\Omega$ and $L_{eq1} = 0.16\,\text{mH}$ are obtained. As reported in Figure 8, the phase difference between v_{id} ($v_1 - v_2$) and i_1 is found to be 30°, confirming the characteristic of the simulated series-type lossy inductor equal to $\tan^{-1}(\omega L_{eq1}/R_{eq1}) = 32°$. The ideal and simulated magnitude and phase frequency responses of equivalent impedance Z_{eq1} are also represented in Figure 9. It is further inferred from the results that the simulated and ideal responses bear a close resemblance. The measured value of the total power consumption is observed as 0.8 mW.

The proposed FLI circuit in Figure 3(a) has been further simulated with $R_1 = 1\,\text{k}\Omega$ and $C_1 = 50\,\text{pF}$, for three different values of g_m, i.e. $g_m = 0.33$, 0.48 and 0.68 mA/V ($I_B = 70\,\mu\text{A}$, 150 μA, and 300 μA). Figure 10 shows the variation of Z_{eq1} with g_m, which validates the electronically tunable behaviour of the synthetic active inductor. For the given g_m values, the corresponding R_{eq1} and L_{eq1} could be simulated as follows: ($R_{eq1} = 9.2\,\text{k}\Omega$ and $L_{eq1} = 0.46\,\text{mH}$), ($R_{eq1} = 4.3\,\text{k}\Omega$ and $L_{eq1} = 0.22\,\text{mH}$), and ($R_{eq1} = 2.15\,\text{k}\Omega$ and $L_{eq1} = 0.11\,\text{mH}$), respectively. In Figure 11, the plots of the magnitude-frequency characteristics of Z_{eq1} with R_1 tuning are given. This setting is for $g_m = 0.39\,\text{mA/V}$ ($I_B = 100\,\mu\text{A}$) and $C_1 = 50\,\text{pF}$, to obtain $L_{eq1} = 0.32\,\text{mH}$ for all plots. The simulated values of R_{eq1} for given R_1 values are found to be 12.87, 6.44, and 3.22 kΩ, respectively. The results of Figure 11 illustrate that, as deduced previously; the value of R_{eq1} can be set without affecting the inductance by changing the value of R_1.

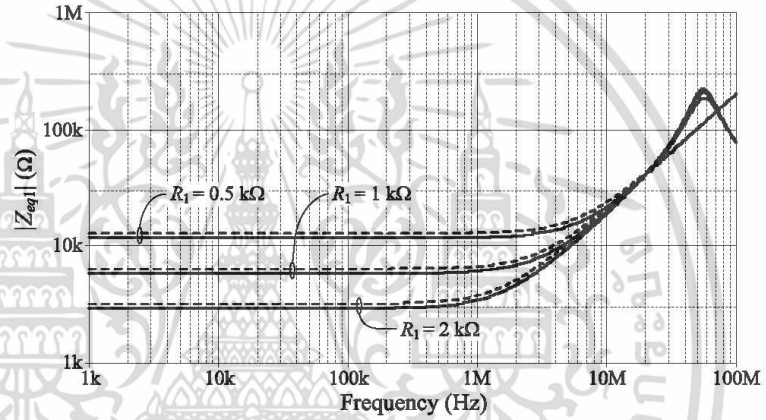


Figure 11: Ideal (dashed line) and simulated (solid line) magnitude-frequency responses of Z_{eq1} for different values of R_1

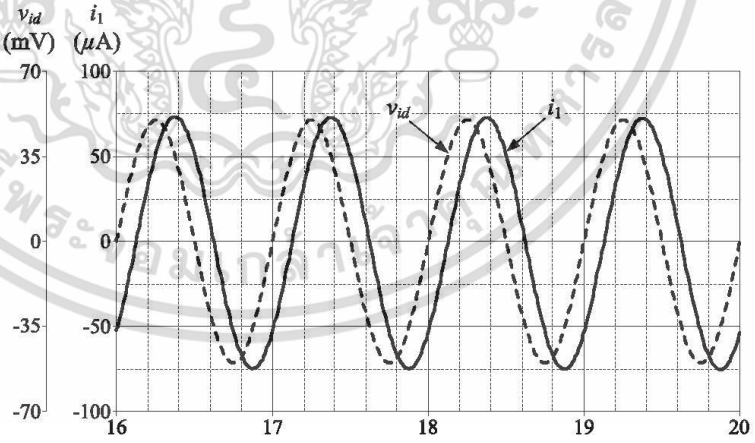


Figure 12: Simulated waveforms of voltage and current for the proposed FLI simulator circuit of Figure 3(b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

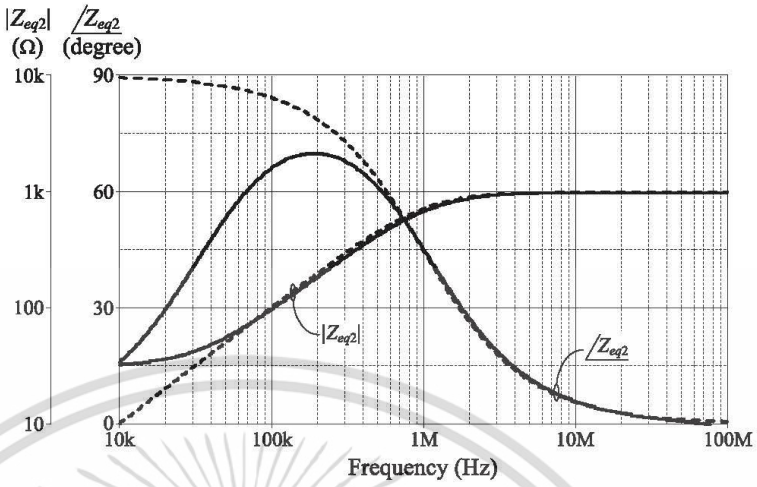


Figure 13: Ideal (dashed line) and simulated (solid line) magnitude and phase frequency responses of Z_{eq2} of Figure 3(b)

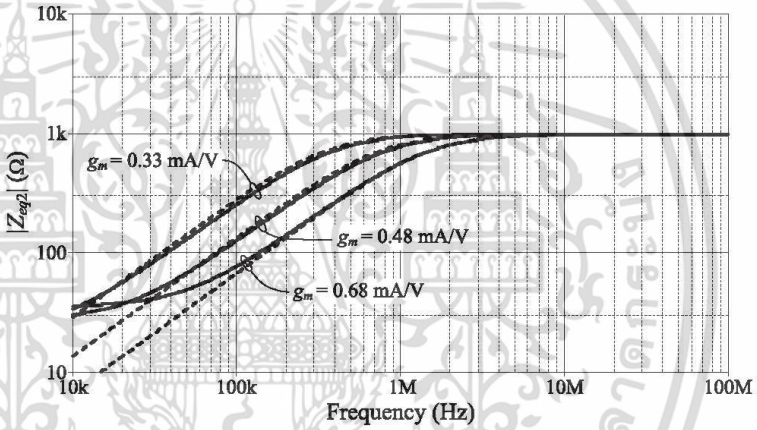


Figure 14: Ideal (dashed line) and simulated (solid line) magnitude-frequency responses of Z_{eq2} for different values of g_m

6.2 Simulations of the Proposed FLI Simulator Circuit in Figure 3(b)

Similarly, the time-domain analysis result is observed in Figure 12 for of the proposed FLI circuit in Figure 3(b) with $g_m = g_{mF} \cong g_{mS} = 0.56\,\text{mA/V}$ ($I_B = I_{BF} \cong I_{BS} = 200\,\mu\text{A}$), $R_2 = 1\,\text{k}\Omega$, $C_2 = 50\,\text{pF}$ and a sinusoidal input of $100\,\text{mV}_{\text{pp}}$ at 1 MHz. This results in $R_{eq2} = 1\,\text{k}\Omega$ and $L_{eq2} = 0.16\,\text{mH}$. The corresponding waveforms give voltage leads of around 44° with current, which follows the theory of the basic parallel-type lossy inductor concept. In ideal case, the phase shift of the circuit can be calculated as: $\tan^{-1}(R_{eq2}/\omega L_{eq2}) = 45°$. The devised simulator circuit consumes a power of 0.8 mW. In

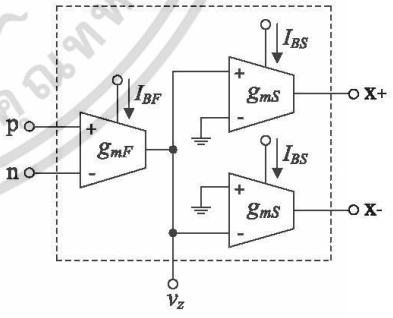


Figure 15: Practical realization of VDTA using readily available IC OTA CA3080s.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 13, the simulated impedance frequency characteristics of the proposed inductor comparing with ideal responses are also shown, where the cut-off frequency was found to be 1 MHz. As has been discussed in Section 3, the VDTA's transconductances are useful for tuning L_{eq2} while retaining R_{eq2} constant. For this purpose, the transconductance g_m will change the values 0.33, 0.48, and 0.68 mA/V, resulting in values of L_{eq2} equal to 0.46, 0.22, and 0.11 mH, respectively. The obtained responses at the operating frequency of 100 kHz are given in Figure 14. According to these plots, the maximum magnitude errors equal to 8.68%, 5.19%, and 14.62% respectively are observed for given values of g_m.

7. EXPERIMENTAL TEST RESULTS

The functionality of the proposed FLI simulator circuits in Figure 3 is also verified by experimental test results. In measurements, the VDTA was implemented with commercially available CA3080 IC chips of Harris Semiconductor [27,30], as displayed in Figure 15. A print circuit board of the proposed circuits in Figure 3 used for experimental testing is shown in Figure 16 and biased under ±5 V DC supply values. Experimentally measured results

Table 3: Measured and theoretical values for Z_{eq1}-frequency responses of the proposed FLI circuit in Figure 3(a)

	$\lvert Z_{eq1} \rvert$ (kΩ)		$\angle Z_{eq1}$ (degree)	
Frequency(kHz)	Measured	Calculated	Measured	Calculated
10	0.879	1.043	17.255	16.452
20	1.021	1.161	30.097	30.567
30	1.207	1.336	40.274	41.539
50	1.698	1.783	52.666	55.892
100	3.376	3.118	67.421	71.292
150	5.865	4.541	73.794	77.279
200	10.467	5.990	77.702	80.390
300	250.72	9.916	−21.447	83.560

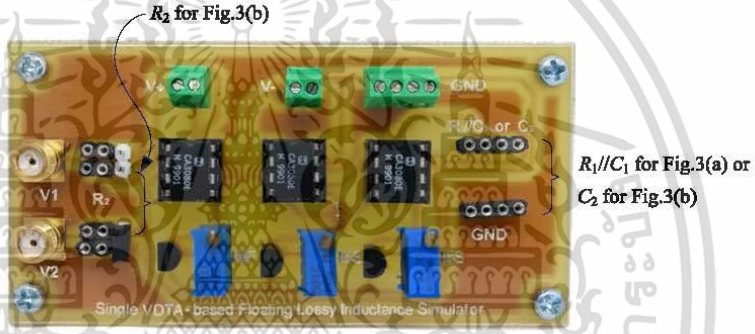


Figure 16: Print circuit board of the proposed topologies in Figure 3

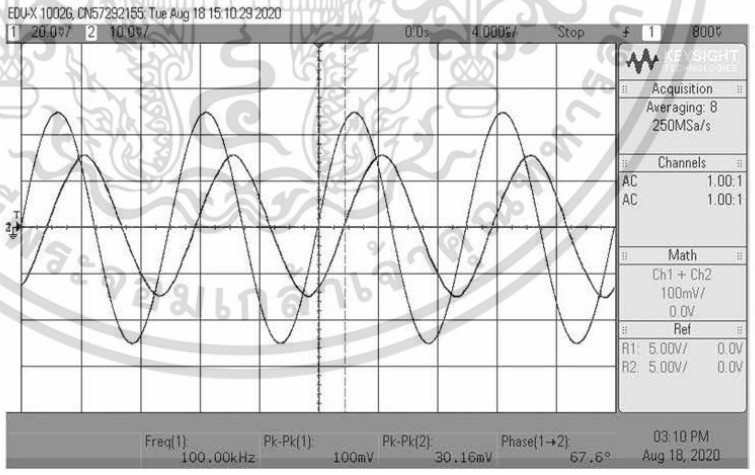
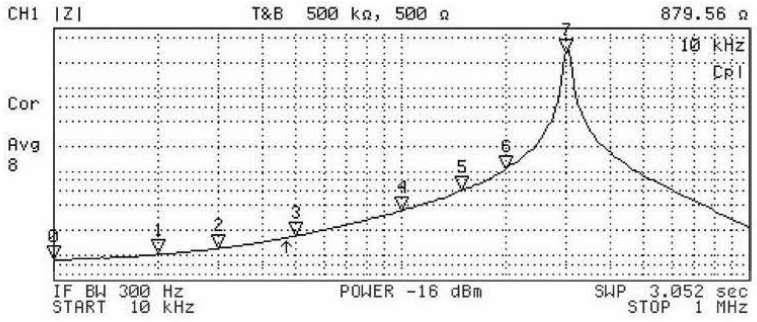


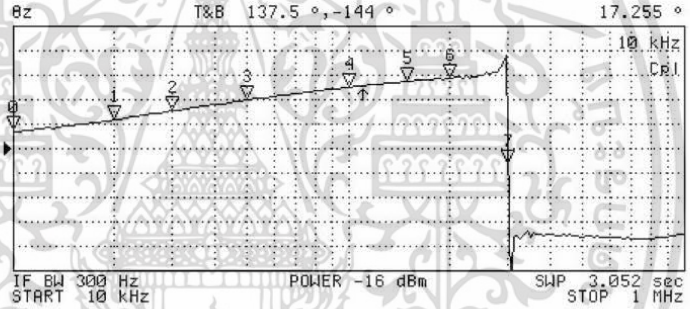
Figure 17: Measured waveforms of voltage and current for the proposed FLI circuit in Figure 3(a)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	10 kHz	879.56 Ω
1	20 kHz	1.0209 kΩ
2	30 kHz	1.2072 kΩ
3	50 kHz	1.6985 kΩ
4	100 kHz	3.3756 kΩ
5	150 kHz	5.8654 kΩ
6	200 kHz	10.467 kΩ
7	300 kHz	250.72 kΩ

(a)

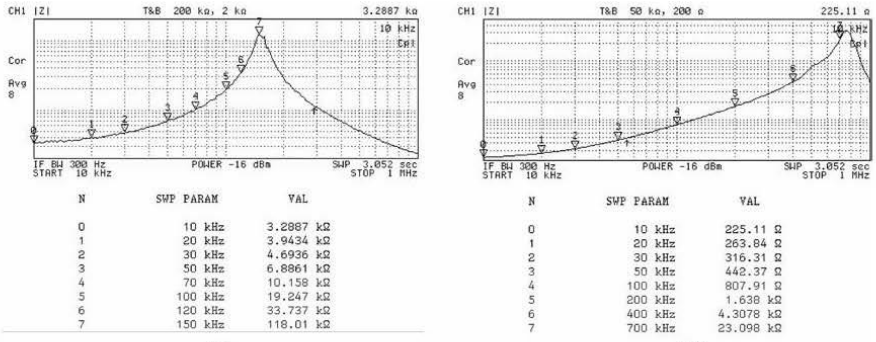


N	SWP PARAM	VAL
0	10 kHz	17.255 °
1	20 kHz	30.097 °
2	30 kHz	40.274 °
3	50 kHz	52.666 °
4	100 kHz	67.421 °
5	150 kHz	73.794 °
6	200 kHz	77.702 °
7	300 kHz	-21.447 °

(b)

Figure 18: Measured frequency characteristics of Z_{eq1} for the proposed FLI circuit in Figure 3(a). (a) magnitude characteristic (b) phase characteristic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

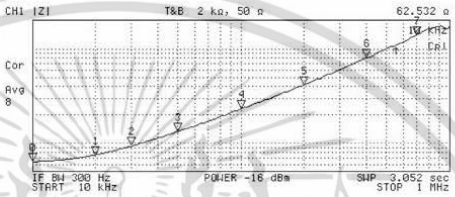


N	SWP PARAM	VAL
0	10 kHz	3.2887 kΩ
1	20 kHz	3.9434 kΩ
2	30 kHz	4.6936 kΩ
3	50 kHz	6.8861 kΩ
4	70 kHz	10.158 kΩ
5	100 kHz	19.247 kΩ
6	120 kHz	33.737 kΩ
7	150 kHz	118.01 kΩ

(a)

N	SWP PARAM	VAL
0	10 kHz	225.11 Ω
1	20 kHz	263.84 Ω
2	30 kHz	316.31 Ω
3	50 kHz	442.37 Ω
4	100 kHz	807.91 Ω
5	200 kHz	1.638 kΩ
6	400 kHz	4.3078 kΩ
7	700 kHz	23.098 kΩ

(b)



N	SWP PARAM	VAL
0	10 kHz	62.532 Ω
1	20 kHz	74.598 Ω
2	30 kHz	92.489 Ω
3	50 kHz	131.88 Ω
4	100 kHz	228.21 Ω
5	200 kHz	409.97 Ω
6	400 kHz	790.7 Ω
7	700 kHz	1.3872 kΩ

(c)

Figure 19: Measured magnitude responses of Z_{eq1} for different values of g_m. (a) $g_m = 0.5$ mA/V (b) $g_m = 2$ mA/V (c) $g_m = 4$mA/V

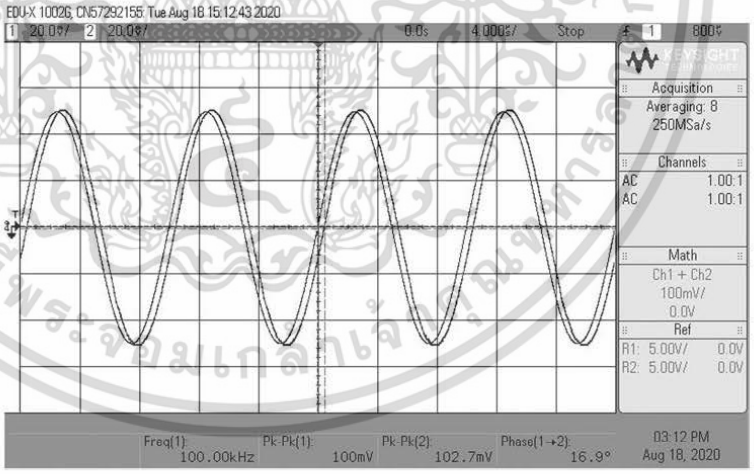
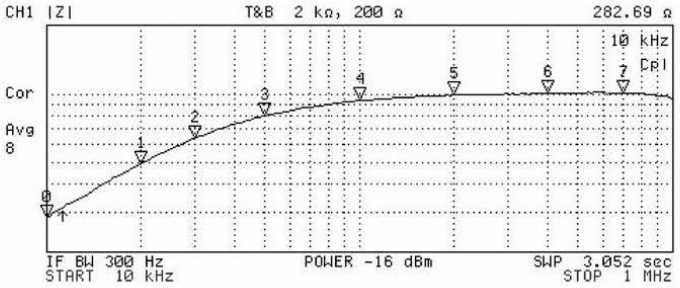


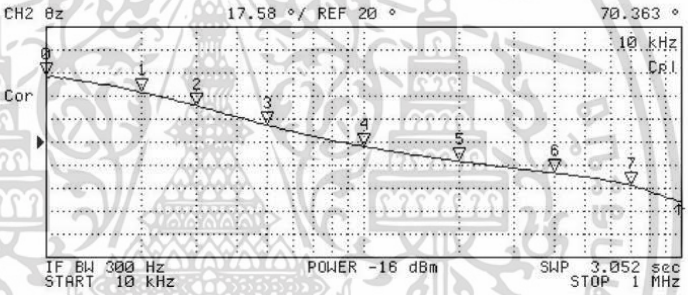
Figure 20: Measured waveforms of voltage and current for the proposed FLI circuit in Figure 3(b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	10 kHz	282.69 Ω
1	20 kHz	488.61 Ω
2	30 kHz	635.88 Ω
3	50 kHz	795.38 Ω
4	100 kHz	930.11 Ω
5	200 kHz	983.73 Ω
6	400 kHz	999.58 Ω
7	700 kHz	1.0003 kΩ

(a)



N	SWP PARAM	VAL
0	10 kHz	70.363 °
1	20 kHz	58.045 °
2	30 kHz	47.831 °
3	50 kHz	33.095 °
4	100 kHz	16.834 °
5	200 kHz	5.4198 °
6	400 kHz	−3.5142 °
7	700 kHz	−13.044 °

(b)

Figure 21: Measured frequency characteristics of Z_{eq2} for the proposed FLI circuit in Figure 3(b). (a) magnitude characteristic (b) phase characteristic

for proposed circuits were carried out through Keysight EDU-X 1002G oscilloscope and HP4395A impedance analyzer.

For the proposed series-type FLI simulator in Figure 3(a), the circuit components are taken as: $g_m = 1\,\text{mA/V}$ (for $I_B = 50\,\mu\text{A}$), $R_1 = 1\,\text{k}\Omega$, and $C_1 = 4.7\,\text{nF}$. It is

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

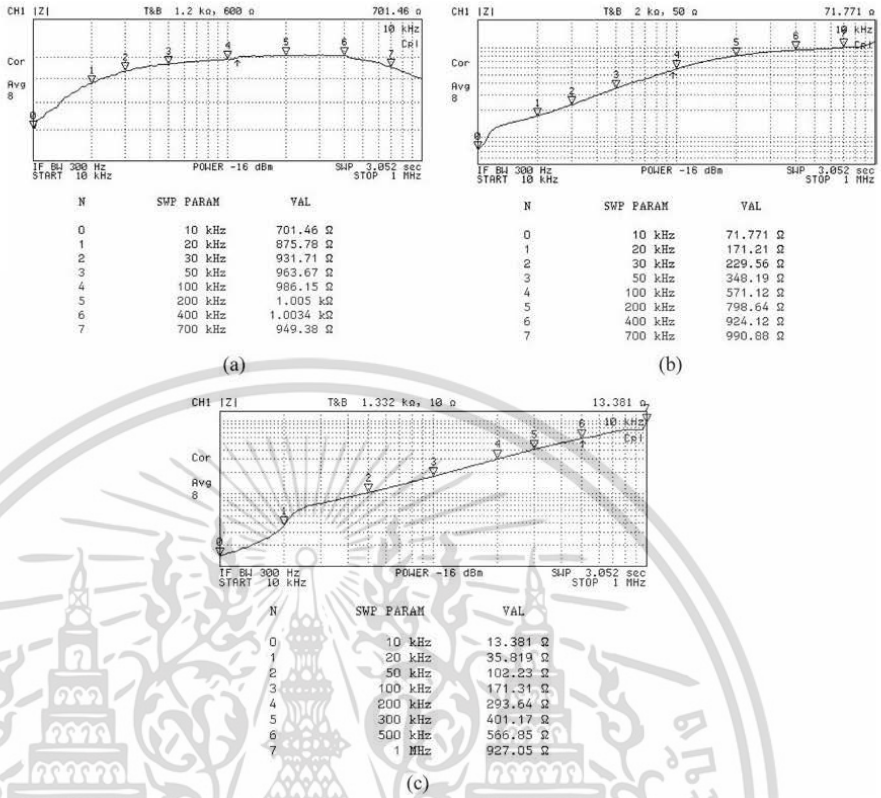


Figure 22: Measured magnitude responses of Z_{eq2} for different values of g_m. (a) $g_m = 0.5$ mA/V (b) $g_m = 2$ mA/V (c) $g_m = 4$ mA/V

designed for equivalent serial elements of $R_{eq1} = 1\,\text{k}\Omega$, and $L_{eq1} = 4.7$ mH. The experimental time-domain signal waveforms through the simulator, when a sinusoidal input signal with 100 mV peak-to-peak value at 100 kHz is applied, are given in Figure 17. The measured magnitude- and phase-frequency characteristics of the impedance Z_{eq1} are also given in Figure 18. As can be recorded from Figure 18, a comparison between measured and calculated values has been carried out in Table 3. These results, therefore, support the practical workability of the proposed FLI circuit. To demonstrate the electronic control of the simulator, the magnitude frequency responses of Z_{eq1} have been plotted for three different values of the transconductance g_m, where $g_m = g_{mF} \cong g_{mS}$. Figure 19 shows the measured magnitude responses at $g_m = 0.5$, 2 and 4 mA/V ($I_B = 25$, 100, and 200 μA).

To further validate the proposed parallel-type FLI simulator in Figure 3(b), it is designed for a lossy parallel inductor with $R_{eq2} = 1\,\text{k}\Omega$ and $L_{eq2} = 4.7$ mH, by setting component values equal to $g_m = 1$ mA/V, $R_2 = 1\,\text{k}\Omega$, and $C_2 = 4.7$ nF. The experimentally measured input waveforms of the voltage and current are shown in Figure 20 for a signal of 100 mV peak-to-peak amplitude at 100 kHz. On the other hand, the measured magnitudes and phases of the impedance Z_{eq2} are shown in Figure 21. Also, the measurements and calculations of magnitudes and phases of Z_{eq2} for further comparison are provided in Table 4. As shown in Figure 22, the experimental measurements for the magnitude responses of the proposed simulator are plotted for different transconductances g_m. It should be noted that the synthetic inductor can be tuned by varying g_m-value of the VDTA, as can be deduced from Equation (5),

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 4: Measured and theoretical values for Z_{eq2}-frequency responses of the proposed FLI circuit in Figure 3(b)

	$\lvert Z_{eq2} \rvert$ (Ω)		$\angle Z_{eq2}$ (degree)	
Frequency(kHz)	Measured	Calculated	Measured	Calculated
10	282.69	283.22	70.363	73.548
20	488.61	508.54	58.045	59.433
30	635.88	663.12	47.831	48.461
50	795.38	827.98	33.095	34.108
100	930.11	947.17	16.834	18.708
200	983.73	985.97	5.419	9.610
400	999.58	996.44	−3.514	4.839
700	1000	999.83	−13.044	2.770

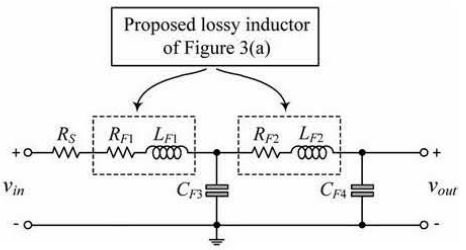


Figure 23: Fourth-order equal-ripple (3-dB) lowpass filter realization

without requiring any alteration in the passive component values.

8. APPLICATION EXAMPLES

As a practical application example of the proposed FLI series RL-type simulator in Figure 3(a), a fourth-order equal-ripple (3-dB) lowpass filter as shown in Figure 23 is implemented. Starting from the nominal component values for the prototype lowpass filter at $\omega = 1$ rad/sec as: $R_S = 1\,\Omega$, $R_{F1} = 0.104\,\Omega$, $R_{F2} = 0.145\,\Omega$, $L_{F1} = 2.076$ H, $L_{F2} = 2.906$ H, $C_{F3} = 1.145$ F, and $C_{F4} = 0.817$ F [33]. After appropriate magnitude and frequency scaling, the de-normalized components values for the cut-off frequency of 500 kHz are obtained as: $R_S = 10\,\text{k}\Omega$, $R_{F1} = 1.04\,\text{k}\Omega$, $R_{F2} = 1.45\,\text{k}\Omega$, $L_{F1} = 6.61$ mH, $L_{F2} =$

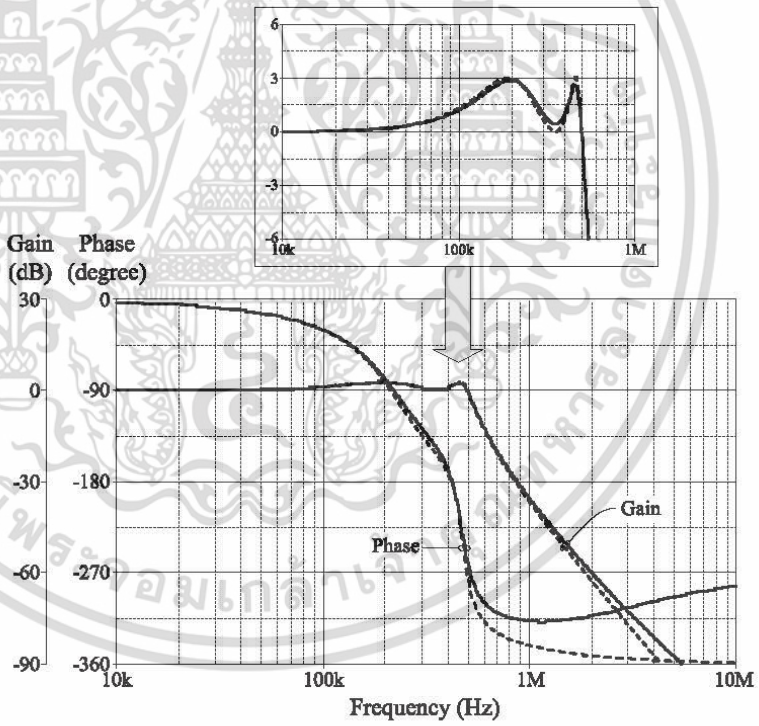


Figure 24: Ideal (dashed line) and simulated (solid line) frequency responses of the realized filter in Figure 23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

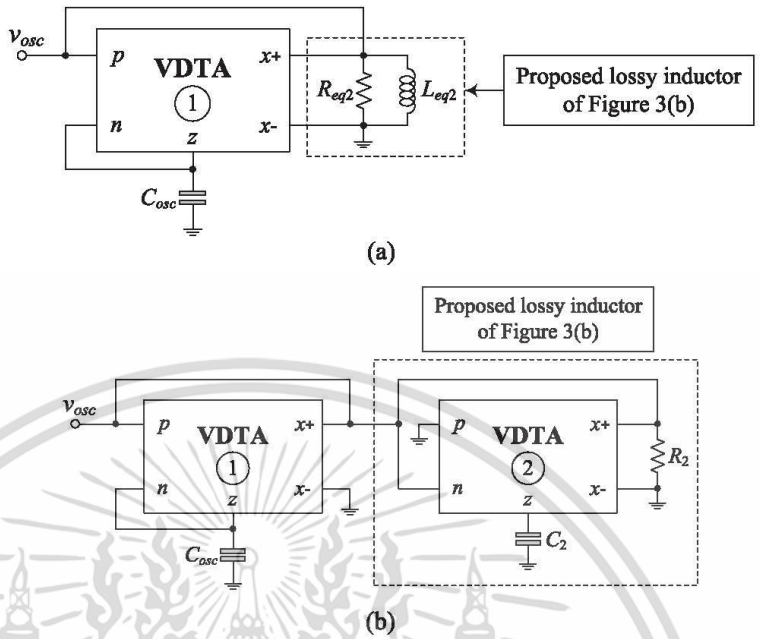


Figure 25: Electronically tunable VDTA-based sinusoidal oscillator. (a) prototype configuration (b) simulated configuration using the proposed lossy inductor of Figure 3(b)

9.25 mH, $C_{F3} = 36$ pF, and $C_{F4} = 26$ pF. Two series RL braches in Figure 23 have been replaced by two FLI simulators of Figure 3(a) with the following values: $R_1 = 3\,\text{k}\Omega$, $C_1 = 2$ nF, $g_{mF} = g_{mS} = 0.55$ mA/V (to get $R_{eq1} = R_{F1}$ and $L_{eq1} = L_{F1}$), and $g_{mF} = g_{mS} = 0.47$ mA/V (to get $R_{eq2} = R_{F2}$ and $L_{eq2} = L_{F2}$). Figure 24 shows the ideal and simulated frequency responses of the resulting fourth-order equal-ripple lowpass filter. The results show that the simulation is a little bit different from the ideal responses, which demonstrates that the circuit performs as series RL impedance.

To further demonstrate the practical use of the proposed FLI parallel RL-type simulator in Figure 3(b), an electronically tunable VDTA-based sinusoidal oscillator as illustrated in Figure 25(a) is designed [34]. The oscillator characteristic equation has the following form:

$$s^2 + s\left[\frac{R_{eq2}}{L_{eq2}} + \frac{g_{mF1}}{C_{osc}}(1 - g_{mS1}R_{eq2})\right] + \left(\frac{g_{mF1}R_{eq2}}{L_{eq2}C_{osc}}\right) = 0. \tag{16}$$

Accordingly, the condition of oscillation (CO) and the oscillation frequency (ω_o) of the scheme are respectively found as

$$\frac{R_{eq2}}{L_{eq2}} + \frac{g_{mF1}}{C_{osc}} = \frac{g_{mF1}g_{mS1}R_{eq2}}{C_{osc}}, \tag{17}$$

$$\text{and } \omega_o = 2\pi f_o = \sqrt{\frac{g_{mF1}R_{eq2}}{L_{eq2}C_{osc}}}. \tag{18}$$

Also, the proposed parallel lossy inductance simulator of Figure 3(b) is used to emulate a parallel RL impedance circuit as depicted in Figure 25(b). As a design example, the element values of the synthetic simulator of Figure 3(b) are selected as $R_2 = 2\,\text{k}\Omega$, $C_2 = 0.5$ nF at $g_{mF2} = g_{mS2} = 0.71$ mA/V to obtain $R_{eq2} = 2\,\text{k}\Omega$ and $L_{eq2} = 1$ mH. The active and passive component values for the oscillator circuit are $g_{mF1} = g_{mS1} = 1$ mA/V and $C_{osc} = 0.5$ nF. From the given component values, the calculated f_o using Equation (18) is found to be 318 kHz. The simulated output waveforms and spectral analysis of the oscillator are represented in Figures 26 and 27, respectively. From the simulations, the oscillator provides

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

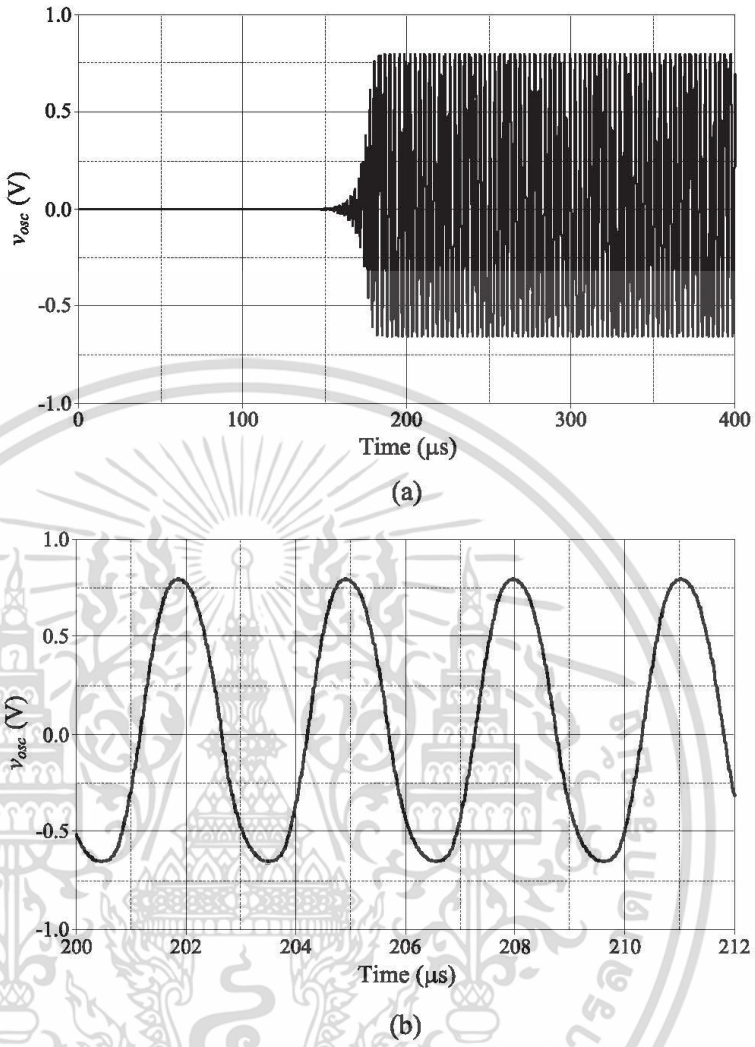


Figure 26: Simulated output waveform of Figure 25(b). (a) initial state showing startup time ≅ 150 μs (b) steady state

a total harmonic distortion of 6.62% in the oscillation. It can also be found that the simulated f_o is 284 kHz, which corresponds to an error of 10.69% from its theoretically calculated value.

9. CONCLUSIONS

Two floating lossy inductance (FLI) simulator circuits including a single voltage differencing transconductance amplifier (VDTA), one resistor, and a grounded capacitor are proposed in this paper. The proposed series-type FLI simulator contains all grounded passive elements, while the parallel-type one has a floating resistor. Both of the proposed inductance simulators are free from any component-matching conditions. The simulated equivalent resistance and inductance values can be tuned through the bias currents of the VDTA and/or a single resistor in the simulators. Many simulations and

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

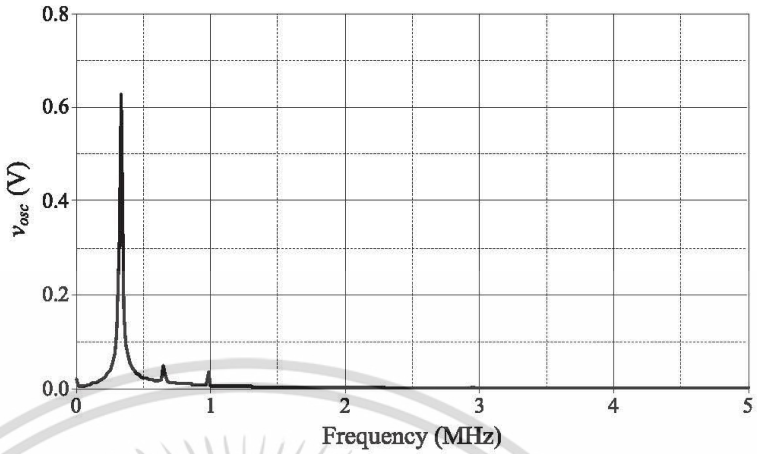


Figure 27: Spectral analysis for v_{osc} of Figure 25(b)

experimental measurements are included to confirm our allegations. To claim the usability of the proposed circuits, a fourth-order Chebyshev lowapss approximation and sinusoidal oscillator application are designed and simulated.

ACKNOWLEDGMENTS

This work was supported by King Mongkut's Institute of Technology Ladkrabang. The authors are deeply indebted to the anonymous reviewers for their helpful comments and suggestions.

FUNDING

This work was supported by King Mongkut's Institute of Technology Ladkrabang.

REFERENCES

1. R. Senani, "New tunable synthetic floating inductors," *Electron. Lett.*, Vol. 16, no. 10, pp. 382–3, May 1980.

2. R. Senani, "New single-capacitor simulation of floating inductors," *Electrocomponent Sci. Technol.*, Vol. 10, pp. 7–12, Mar. 1982.

3. R. Senani, "Network transformations for incorporating nonideal simulated immittances in the design of active filters and oscillators," *IEE Proc., Pt. G.*, Vol. 134, no. 4, pp. 158–66, Aug. 1987.

4. R. Senani, "Floating immittance realisation: nullor approach," *Electron. Lett.*, Vol. 24, no. 7, pp. 403–5, Mar. 1988.

5. B. Metin, and O. Cicekoglu, "A novel floating lossy inductance realization topology with NICs using current conveyors," *IEEE Trans. Circuit Syst.-II: Express Briefs*, Vol. 53, no. 6, pp. 483–6, Jun. 2006.

6. B. Metin, "The advantages of floating serial RL simulators in ladder filter implementation," *Electron. World*, Vol. 114, no. 1863, pp. 46–7, Mar. 2008.

7. S. Minaei, and E. Yuce, "Realization of tunable active floating inductance simulators," *Int. J. Electron*, Vol. 95, no. 1, pp. 27–37, 2008.

8. E. Yuce, "New low component count floating inductor simulators consisting of a single DDCC," *Analog Integr. Circ. Sig. Process.*, Vol. 58, no. 1, pp. 61–6, Jan. 2009.

9. R. Senani, and D. R. Bhaskar, "New lossy/loss-less synthetic floating inductance configuration realized with only two CFOAs," *Analog Integr. Circ. Sig. Process.*, Vol. 73, no. 3, pp. 981–7, Dec.2012.

10. M. A. Ibrahim, S. Minaei, E. Yuce, N. Herencsar, and J. Koton, "Lossy/lossless floating/grounded inductance simulation using one DDCC," *Radioengineering*, Vol. 21, no. 1, pp. 3–10, Apr. 2012.

11. D. R. Bhaskar, and R. Senani, "Synthetic floating inductors realized with only two current feedback op-amps," *American J. Electrical Electron. Eng.*, Vol. 3, no. 4, pp. 88–92, Sep. 2015.

12. W. Tangsrirat, "Actively floating lossy inductance simulators using voltage differencing buffered amplifiers," *IETE. J. Res.*, Vol. 65, no. 4, pp. 446–59, Jul. 2019.

13. S. Minaei, M. Yildiz, B. Metin, and O. Cicekoglu. "New active realizations of floating lossless inductance and R-L impedance simulators," in *Proc. 2nd Annual IEEE Northeast Workshop on Circuits Syst. (NEWCAS)*, Montreal, QC, Canada, 2004. pp. 313–316.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

14. R. K. Sharma, R. Senani, D. R. Bhaskar, A. K. Singh, and S. S. Gupta. "Electronically-controllable floating inductor using OMA with enhanced input dynamic range," in *Proc. Int. Conf. Electri. Electron. Eng. (ELECO)*, Bursa, Turkey, 2009, pp. II-63–II-66.

15. D. R. Bhaskar, and R. Senani. "Simulation of a floating inductance: a new two-CFOA-based configuration," in *Proc. 5th Int. Conf. Computational Intelligence, Modelling and Simulation*, Seoul, South Korea, 2013, pp. 381–383.

16. E. Yuce, S. Tokat, and H. Alpaslan, "Grounded capacitor-based new floating inductor simulators and a stability test," *Turk. J. Elec. Eng. & Comp. Sci.*, Vol. 23, pp. 2138–49, Aug. 2015.

17. M. T. Abuelma'atti, S. K. Dhar, and Z. J. Khalifa, "New two-CFOA-based floating immittance simulators," *Analog Integr. Circ. Sig. Process.*, Vol. 91, pp. 479–89, Jun. 2017.

18. R. Sotner, N. Herencsar, J. Jerabek, A. Kartci, J. Koton, and T. Dostal, "Pseudo-differential filter design using novel adjustable floating inductance simulator with electronically controllable current conveyors," *Elektron. Elektrotech.*, Vol. 23, no. 2, pp. 31–5, Apr. 2017.

19. W. Jaikla, R. Sotner, and F. Khateb, "Design and analysis of floating inductance simulators using VDDDAs and their applications," *Int. J. Electron. Commun. (AEU)*, Vol. 112, pp. 152937, Dec. 2019.

20. O. Channumsin, T. Pukkalanun, and W. Tangsrirat. "Electronically tunable floating lossy series-type inductance simulator using VDBAs," in *Proc. 8th Int. Conf. Informatics, Environment, Energy and Applications (IEEA)*, Osaka, Japan, 2019, pp. 204–207.

21. A. Abaci, and E. Yuce, "Single DDCC based new immittance function simulators employing only grounded passive elements and their applications," *Microelectron. J.*, Vol. 83, pp. 94–103, Jan. 2019.

22. A. Abaci, and E. Yuce, "Single DDCC– based simulated floating inductors and their applications," *IET Circuits Devices Syst.*, Vol. 14, no. 6, pp. 796–804, Sep. 2020.

23. D. Biolek, R. Senani, V. Biolkova, and Z. Kolka, "Active elements for analog signal processing: classification, review, and new proposals," *Radioengineering*, Vol. 17, no. 4, pp. 15–32, 2008.

24. A. Yesil, F. Kacar, and H. Kuntman, "New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application," *Radioengineering*, Vol. 20, no. 3, pp. 632–7, Sep. 2011.

25. J. Satansup, T. Pukkalanun, and W. Tangsrirat, "Electronically tunable single-input five-output voltage-mode universal filter using VDTAs and grounded passive elements," *Circuits Syst. Signal Process.*, Vol. 32, no. 3, pp. 945–57, Jun. 2013.

26. J. Satansup, and W. Tangsrirat, "Compact VDTA-based current-mode electronically tunable universal filters using grounded capacitors," *Microelectron. J.*, Vol. 45, no. 6, pp. 613–8, Jun. 2014.

27. P. Kumar, N. Pandey, and S. K. Paul, "Operational simulation of LC ladder filter using VDTA," *Active Passive Electron. Comp.*, Vol. 2017, Article ID 1836727, p. 1–8, 2017. doi:10.1155/2017/1836727.

28. Y. A. Li, "Synthesis of compact VDTA-based wien oscillators with grounded capacitors," *Int. J. Electron. Commun. (AEU)*, Vol. 84, no. 2, pp. 281–9, Feb.2018.

29. W. Tangsrirat, "Voltage differencing transconductance amplifier-based quadrature opscillator and biquadratic filter realization with all grounded passive elements," *J. Commun. Tech. Electron.*, Vol. 63, no. 12, pp. 1418–23, Dec.2018.

30. K. Banerjee, D. Singh, and S. K. Paul, "Single VDTA based resistorless quadrature oscillator," *Analog Integr. Circ. Sig. Process.*, Vol. 100, no. 2, pp. 494–500, Aug.2019.

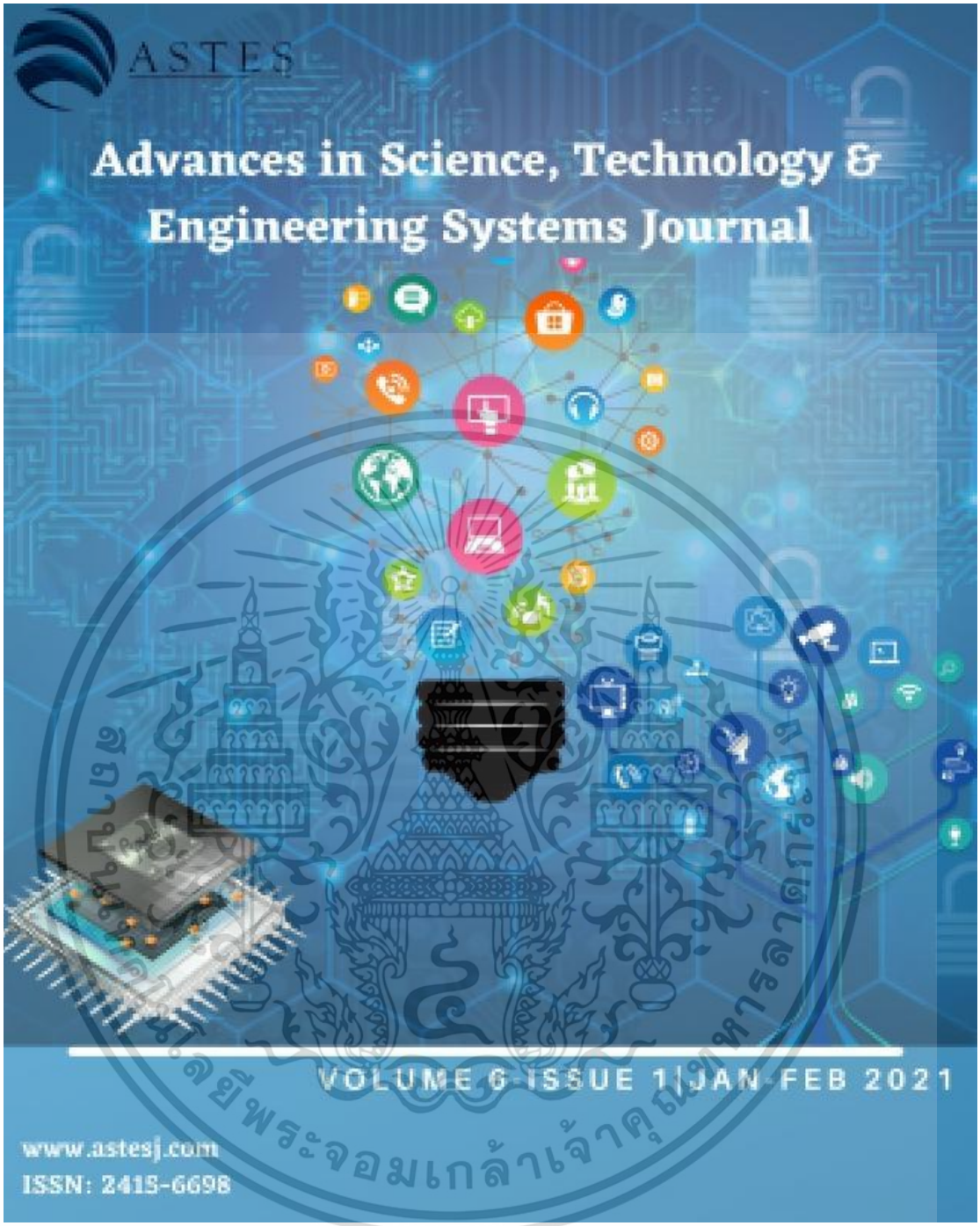
31. A. F. Arbel, and L. Goldminz, "Output stage for current-mode feedback amplifiers, theory and applications," *Analog Integr. Circ. Sig. Process.*, Vol. 2, no. 3, pp. 243–55, Sep.1992.

32. P. V. Ananda Mohan, "Grounded capacitor based grounded and floating inductance simulation using current conveyors," *Electron. Lett.*, Vol. 34, no. 11, pp. 1037–8, 1998.

33. A. Budak. *Passive and active network analysis and synthesis*. Boston: Houghton Mifflin, 1974. pp.543–553.

34. I. Pal, V. Kumar, S. Saha, S. Banerjee, and A. Islam, "An electronically-tunable VDTA based sinusoidal oscillator," in *Communications in computer and information science*, Vol. 836, J. Mandal, and D. Sinha, Eds. Singapore: Springer, 2018, pp. 115–23.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ASTES

Advances in Science, Technology and Engineering Systems Journal Vol. 6, No. 2, 512-520 (2021)

www.astesj.com

Special Issue on Multidisciplinary Sciences and Engineering

ASTESJ

ISSN: 2415-6698

Practical Simulation of Grounded/Floating Lossy Inductors Based on Commercially Available Integrated Circuit LT1228

Tattaya Pukkalanun[1], Pitchayanin Moonmuang[1], Sumalee Unhavanich[2], Worapong Tangsrirat[1,*]

[1]*School of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok 10520, Thailand*

[2]*Faculty of Digital Technology, Chitralada Technology Institute, Bangkok 10300, Thailand*

ARTICLE INFO

Article history:
Received: 19 December, 2020
Accepted: 28 February, 2021
Online: 17 March, 2021

Keywords:
Commercially available IC
LT1228
Inductance Simulator
Lossy Inductor

ABSTRACT

The article suggests four circuit topologies for the practical simulation of grounded and floating lossy inductors. All the suggested circuits use commercially available integrated circuit LT1228 chips as active elements, and only two passive elements, namely one resistor and one capacitor. The first two of the proposed circuits employ only a single LT1228 active element and can realize grounded lossy inductors without the need for element-matching conditions. The last two of the proposed circuits can realize synthetic floating lossy inductors with only two LT1228s. The values of simulated equivalent elements can be tuned electronically by simply adjusting the external DC bias current of the LT1228. Non-ideal transfer error effects of the LT1228 on the synthetic inductor performance are inspected. Sensitivity performance concerning transfer errors and active and passive elements is also demonstrated. PSPICE simulation results and experimental measurements of the commercially available integrated circuit, LT1228, are incorporated to corroborate all our theoretical analyses.

1. Introduction

An inductance simulator circuit is an advantageous element in active circuit design and synthesis, especially for analog signal processing solutions and applications such as active filter, analog phase shifter, chaotic oscillator, and parasitic cancellation circuitry. In the past, there are various publications on the implementation of actively simulated lossy inductance simulators based on several active elements [1-34]. The first ones are intended for grounded lossy inductance simulation [1-22], while the others are for floating ones [23, 34]. However, from a careful inspection of the reported circuit topologies in these references, they have one or more of the following disadvantage features:

1. The use of a relatively large number of active and passive electronic components for their constructions [2, 4-6, 20-21, 23-27, 30-32]. Although the circuits of [1, 7-19, 28-29, 33-34] employ only a single active component, they still require at least three passive elements. Owing to the employment of an excessive number of circuit components, these designs are not suitable for an integrated circuit (IC) implementation point of view.
2. The lack of electronic tuning facility [1–2, 4, 6-18, 20-21, 24-31, 34].
3. The need for strict component-matching conditions or cancellations for the grounded inductance function simulation [1, 6, 9].
4. The use of different types of active electronic devices [20, 23-24, 32], which is inconvenient for further integrated circuit applications.
5. The use of commercially unavailable ICs [1–3, 5-12, 15-17, 19-24, 26, 28-30, 32-34]. Also, the active building blocks used in these publications are complicated active functional blocks. Accordingly, the verification of the proposed realization is mostly performed by only computer simulation results.

Recently, several attempts have been proved that LT1228 IC package has now become a versatile and standard commercial IC in the realization of various types of analog signal processing applications [35-37]. This article reports the four circuit topologies for simulating all grounded/floating lossy inductors employing

*Corresponding Author: Worapong Tangsrirat, Email: worapong.ta@kmitl.ac.th
This paper is an extended version from the proceedings of 2020 8th International Electrical Engineering Congress (iEECON) [38]

https://dx.doi.org/10.25046/aj060258

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

commercially available IC LT1228 chips as essential active components [38-39]. The first two circuit topologies ideally provide grounded lossy series and parallel inductors, while the other two topologies can emulate floating lossy series and parallel inductors. All the realized inductors employ canonical active and passive elements and are made adjustable electronically through the externally supplied current of the LT1228. The tracking error effects of the LT1228 on the circuit performance are investigated, and the active and passive sensitivity analyses are also evaluated. The validity of the synthetic lossy inductors is confirmed by the PSPICE simulation results using the macro-model of the LT1228 by Linear Technology as well as the prototype circuit test results using IC LT1228. Also, the circuit performance is demonstrated on an illustrative example of a voltage-mode second-order bandpass filter. The performance of the proposed practical grounded/floating lossy inductance simulators is compared with the previously presented similar works and also summarized in Table 1.

2. Characteristic of IC LT1228

Figure 1 shows the pin configuration and electrical symbol of the LT1228. It is a commercially available IC package, which is internally a combination of an operational transconductance amplifier (OTA) and a current feedback operational amplifier (CFA). The relationships between the appropriate terminal of LT1228 can be expressed through the following matrix expression given below [39]:

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ v_o \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \\ i_o \end{bmatrix} \quad (1)$$

In matrix (1), g_m is the transconductance gain of the LT1228, which is directly proportional to the external DC supplied current I_B, as defined by the following relation [39]:

$$g_m = 10I_B. \quad (2)$$

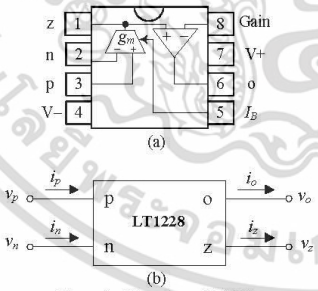


Figure 1: IC package LT1228
(a) internal active element and pin configuration (b) electrical symbol

3. Actively Realizable Lossy Inductance Simulator Circuits

Fig.2 shows the generic circuit configuration for the simulation of lossy grounded and floating inductors. They consist of IC package LT1228s as active elements. Routine analyses of the proposed circuits in Figure 2 yield the inductance functions and the finite quality factor (Q) given in Table 2. Inspection of the table, the four different inductance functions realized by the generic circuit topologies can be described in detail below.

(i) Figure 2(a) can emulate a grounded series RL-type lossy inductor with $R_{eq1} = 1/g_m$ and $L_{eq1} = R_1C_1/g_m$.

(ii) Figure 2(b) can emulate a grounded parallel RL-type lossy inductor with $R_{eq2} = R_2$ and $L_{eq2} = R_2C_2/g_m$.

(iii) The circuit in Figure 2(c) can emulate a floating series RL-type lossy inductor with $R_{eq3} = 1/g_m$ and $L_{eq3} = R_3C_3/g_m$.

(iv) The last circuit in Figure 2(d) can emulate a floating parallel RL-type lossy inductor with $R_{eq4} = 1/g_{m2}$ and $L_{eq4} = C_4/g_{m1}g_{m2}$.

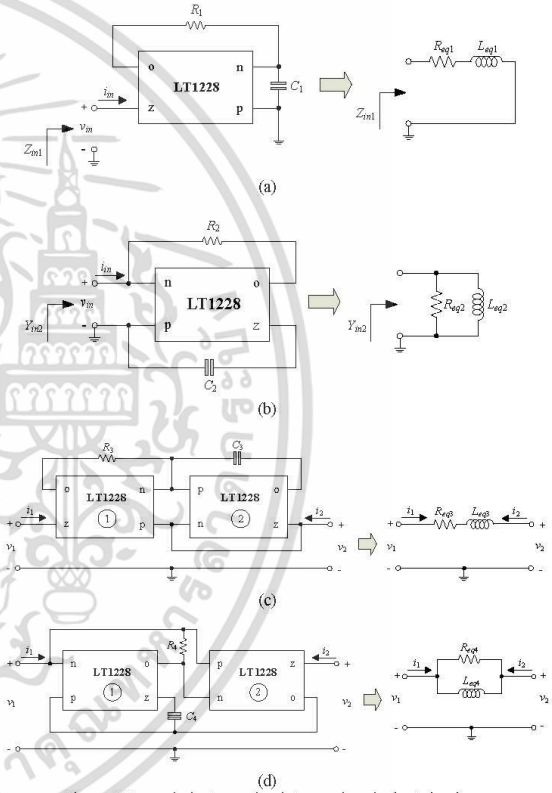


Figure 2: Lossy inductance simulators and equivalent circuits
(a) grounded series RL-type (b) grounded parallel RL-type
(c) floating series RL-type (d) floating parallel RL-type

Note that the proposed grounded lossy inductance sections of Figures 2(a) and 2(b) are no need for critical component-matching conditions. It is known that one can adjust the g_m-parameter by changing the bias current of the LT1228, and then the simulated equivalent elements R_{eq} and L_{eq} of the synthetic lossy inductors are electronically tunable.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1: Performance comparison between the proposed lossy inductance simulators in Figure 2 and the previously published similar works

Reference	Configuration	Inductor Type	Active device number	Passive device number	Commercially available IC	Matching condition	Electronic tuning	Technology	Supply voltage	Power dissipation
[1]	grounded	series, parallel	CCII = 1	R = 4, C = 1	no	yes	no	N/A	N/A	N/A
[2]		series, parallel	CCII = 3	R ≥ 2, C ≥ 1	no	no	no	AD844	±12V	N/A
[3]		parallel (Fig.3)	DO-VDBA = 2	C = 1	no	no	yes	N/A	N/A	N/A
[4]		series, parallel	CCII = 3	R ≥ 2, C ≥ 1	yes	no	no	AD844	±12V	N/A
[5]		series (Fig.3f) / parallel (Fig.3d)	EXCCTA = 2	R = 2, C = 1	no	no	yes	TSMC 0.18-µm CMOS	±0.9V	N/A
[6]		series (Fig.2)	CFOA = 2	R = 3, C = 1	no	yes	no	IBM 0.13-µm CMOS	±0.75V (simulation), ±6V (experiment)	3.53mW
[7]		series, parallel	CCIII = 1	R = 2, C = 1	no	no	no	B101 and B102 BJT	±10V	N/A
[8]		series, parallel	CCIII = 1	R = 2, C = 1	no	no	no	TSMC 0.6-µm CMOS	±2.5V	N/A
[9]		parallel (Fig.2c)	DXCCII = 1	R = 2, C = 1	no	yes	no	TSMC 0.35-µm CMOS	±1.5V	N/A
[10]		series, parallel	DXCCII = 1	R ≥ 2, C = 1	no	no	no	TSMC 0.35-µm CMOS	±2.5V, +1.44V	N/A
[11]		series, parallel	DVCC = 1	R = 2, C = 1	no	no	no	MIETEC 0.5-µm CMOS	±2.5V	N/A
[12]		series, parallel	OTRA = 1	R ≥ 2, C ≥ 1	no	no	no	MIETEC 1.2-µm CMOS	±5V	N/A
[13]		series	CFOA = 1	R = 2, C = 1	yes	no	no	AD844	±15V	N/A
[14]		series	CFOA = 1	R = 2, C = 1	yes	no	no	AD844	±10V	N/A
[15]		series, parallel	CFOA = 1	R = 2, C = 1	no	no	no	IBM 0.13-µm CMOS	±0.75V	0.89mW
[16]		parallel	CDBA = 1	R = 2, C = 1	no	no	no	AD844	±12V	N/A
[17]		series (Fig.2e)	DXCCII = 1	R = 2, C = 1	no	no	no	TSMC 0.35-µm CMOS	±1.5V	N/A
[18]		series (Fig.2d)	CFOA = 1	R = 2, C = 2	yes	no	no	AD844	±12V	N/A
[19]		series, parallel	FTFNTA = 1	R = 1, C = 2	no	no	yes	N/A	N/A	N/A
[20]		parallel (Fig.3)	VF = 1, CF = 1	R = 3, C = 1	no	no	no	0.25-µm CMOS, AD844	±1.25V, +0.4V (simulation), ±12V (experiment)	6.87mW
[21]		parallel (Fig.2a)	OTRA = 2	R = 4, C = 1	no	no	no	AD844	±10V	N/A
[22]		series (Fig.2c)	VDCC = 1	R = 1, C = 1	no	no	yes	TSMC 0.18-µm CMOS	±0.9V	0.87mW
[23]	floating	series (Fig.3)	CCCII+ = 2, CCCII- = 1	C = 1	no	no	yes	NR100&PR100 BJT, AD844	±2.5V (simulation), ±5V (experiment)	3.17mW
		parallel (Fig.2)	CCCII- = 2	C = 1						
[24]		series (Fig.2a)	DVCCS = 1, OA = 3	R = 2, C = 1	no	yes	no	N/A	N/A	N/A
		series (Fig.2b)	DVCCS = 1, OA = 2							
		parallel (Fig.2c)	DVCCS = 1, OA = 2							
[25]		parallel	CFOA = 2	R = 3, C = 2	yes	yes	no	AD844	±15V (experiment)	N/A
[26]		series, parallel	CCII = 2	R = 2, C = 1	no	no	no	N/A	N/A	N/A
[27]		series, parallel	CFOA = 2	R = 2, C = 1	yes	no	no	AD844	N/A	N/A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[28]		series, parallel	DDCC = 1	R = 2, C = 1	no	yes	no	TSMC 0.18-µm CMOS	±0.9V, +0.34V	N/A
[29]		parallel	DO-DDCC = 1	R = 2, C = 1	no	no	no	TSMC 0.35-µm CMOS	±1.5V, -0.9V	N/A
[30]		series (Fig.2)	DDCC = 2	R = 2, C = 1	no	yes	no	IBM 0.13-µm CMOS	±0.75V	6.9mW
[31]		series, parallel	CFOA = 2	R = 2, C = 1	yes	no	no	AD844	N/A	N/A
[32]		series (Fig.1)	DVB = 1, ECCII+ = 2, ECCII- = 1	R = 3, C = 1	no	no	yes	EL2082, AD830	±5V	N/A
[33]		parallel (Fig.4)	DDCC = 1	R = 2, C = 1	no	yes	no	IBM 0.13-µm CMOS, AD844	±0.75V	2.08mW
[34]		series (Fig.2), parallel (Fig.3)	DDCC = 1	R = 2, C = 1	no	no	no	IBM 0.13-µm CMOS, AD844	±0.75V, +0.23V (simulation), ±9V (experiment)	2.06mW
Proposed circuits	grounded	series (Fig.2a)	LT1228 = 1	R = 1, C = 1	yes	no	yes	LT1228 from Linear Technology Company	±5V	56.7mW
		parallel (Fig.2b)	LT1228 = 1			no	yes			41.2mW
	floating	series (Fig.2c)	LT1228 = 2			yes	yes			0.114W
		parallel (Fig.2d)	LT1228 = 2			yes	yes			0.117W

N/A : Not available
CCII : second-generation current conveyor, DO-VDBA : dual-output voltage-differencing buffered amplifier,
EXCCTA : extra X current conveyor transconductance amplifier, CFOA : current feedback operational amplifier, CCIII : third-generation current conveyor,
DXCCII : dual X second-generation current conveyor, DVCC : differential voltage current conveyor, OTRA : operational transresistance amplifier,
CDBA : current differencing buffered amplifier, FTFNTA : four terminal floating nullor transconductance amplifier,
VF : voltage follower, CF : current follower, VDCC : voltage differencing current conveyor, CCCII± : positive/negative current-controlled conveyor,
DVCCS : differential voltage controlled current source, OA : operational amplifier, DDCC : differential difference current conveyor,
DVB: differential voltage buffer, DO-DDCC : dual-output differential difference current conveyor,
ECCII± : positive/negative electronically controllable current conveyor

Table 2: Summary of the lossy inductance simulation using the proposed circuit configurations of Figure 2.

Topology	Matching Condition	Realized inductance	Q
Figure 2(a)	no	$Z_{in1} = R_{eq1} + sL_{eq1} = \frac{1}{g_m} + s\left(\frac{R_1C_1}{g_m}\right)$	$\alpha\beta R_1C_1$
Figure 2(b)	no	$Y_{in2} = \frac{1}{R_{eq2}} + \frac{1}{sL_{eq2}} = \frac{1}{R_2} + \frac{g_m}{sR_2C_2}$	$\alpha C_2/\beta g_m$
Figure 2(c)	$g_m = g_{m1} = g_{m2}$	$Z_{in3} = R_{eq3} + sL_{eq3} = \frac{1}{g_m} + s\left(\frac{R_3C_3}{g_m}\right)$	$\alpha\beta R_3C_3$
Figure 2(d)	$R_4 = 1/g_{m2}$	$Y_{in4} = \frac{1}{R_{eq4}} + \frac{1}{sL_{eq4}} = g_{m2} + \frac{g_{m1}g_{m2}}{sC_4}$	$\alpha C_4/\beta g_{m1}$

4. Non-Ideal Consideration and Sensitivity Performance

If the non-ideal transfer errors are considered, the terminal relationships of the LT1228 can be described as follows:

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ v_o \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ \alpha g_m & -\alpha g_m & 0 & 0 \\ 0 & 0 & \beta & 0 \end{bmatrix} \cdot \begin{bmatrix} v_p \\ v_n \\ v_z \\ i_o \end{bmatrix} \quad (3)$$

here, $\alpha = (1 - \varepsilon_{gm})$ and $\beta = (1 - \varepsilon_v)$, where ε_{gm} and ε_v are respectively the transconductance inaccuracy and the voltage transfer error in which $|\varepsilon_{gm}| << 1$ and $|\varepsilon_v| << 1$. Re-analysis all the topologies in Figure 2 by taking the non-ideal parameters of the LT1228 into account, the various non-ideal characteristic parameters of the synthetic inductors can be evaluated and summarized in Table 3.

Table 3: Non-ideal parameters of the designed inductors in Figure 2.

Topology	Simulated equivalent elements		Q
Figure 2(a)	$R_{eq1} = 1/\alpha\beta g_m$	$L_{eq1} = R_1C_1/\alpha\beta g_m$	$\alpha\beta R_1C_1$
Figure 2(b)	$R_{eq2} = R_2$	$L_{eq2} = R_2C_2/\alpha\beta g_m$	$\alpha C_2/\alpha\beta g_m$
Figure 2(c)	$R_{eq3} = 1/\alpha_1\beta_1 g_m$	$L_{eq3} = R_3C_3/\alpha_1\beta_1 g_m$	$\alpha\beta R_3C_3$
Figure 2(d)	$R_{eq4} = 1/g_{m2}$	$L_{eq4} = C_4/\alpha_1\beta_1 g_{m1}g_{m2}$	$\alpha C_4/\alpha_1\beta_1 g_{m1}$

Normalized sensitivities of the simulated equivalent values R_{eq} and L_{eq} with respect to active and passive elements are obtained as:

For Figure 2(a);

$$S^{R_{eq1}}_{R_1,C_1} = 0, \quad S^{L_{eq1}}_{R_1,C_1} = 1, \quad S^{R_{eq1}}_{\alpha,\beta,g_m} = S^{L_{eq1}}_{\alpha,\beta,g_m} = -1 \quad (4)$$

For Figure 2(b);

$$S^{R_{eq2}}_{R_2} = 1, \; S^{R_{eq2}}_{C_2} = 0, \; S^{L_{eq2}}_{R_2,C_2} = 1, \; S^{R_{eq2}}_{\alpha,\beta,g_m} = 0, \; S^{L_{eq2}}_{\alpha,\beta,g_m} = -1 \quad (5)$$

For Figure 2(c);

$$S^{R_{eq3}}_{R_3,C_3} = 0, \; S^{L_{eq3}}_{R_3,C_3} = 1, \; S^{R_{eq3}}_{\alpha_1,\beta_1,g_m} = S^{L_{eq3}}_{\alpha_1,\beta_1,g_m} = -1 \quad (6)$$

For Figure 2(d);

$$S^{L_{eq4}}_{C_4} = 1, \; S^{L_{eq4}}_{\alpha_1,\beta_1,g_{m1},g_{m2}} = -1, \; S^{R_{eq4}}_{\alpha_1,\beta_1,g_{m1}} = 0, \; S^{R_{eq4}}_{g_{m2}} = -1 \quad (7)$$

From the above, it is clearly seen that the magnitudes of these sensitivity coefficients are less than or equal to unity. Thus, it can be realized that all the proposed inductors exhibit good sensitivity performance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. Simulation Results

The proposed lossy inductance simulators in Figure 2 have been simulated by the PSPICE program using LT1228 standard SPICE macro-model obtained from Linear Technology. The LT1228 was biased with symmetrical supply voltages of +V = -V = 5 V. As an example, the proposed floating lossy series inductor of Figure 2(c) has been designed to simulate a floating series RL impedance with R_{eq3} = 1 kΩ and L_{eq3} = 1 mH. For this purpose, the component values are set as: $I_B = I_{B1} = I_{B2}$ = 100 μA for $g_m = g_{m1} = g_{m2}$ = 1 mA/V, R_3 = 1 kΩ and C_3 = 1 nF. Figure 5 shows the simulated transient responses of the input voltage and current (v_{in} and i_1), where a sinusoidal input voltage of 50 mV (peak) at the frequency of 500 kHz is applied to the simulator. The resulting waveforms show that the current i_1 lags the voltage v_{in} by 70°, whereas the theoretical calculation is equal to $\tan^{-1}(\omega L_{eq3}/R_{eq3}) = \tan^{-1}(2\pi\times500\times10^3\times1\times10^{-3})/(1\times10^3) = 72.34°$. With the same component values, the simulated frequency responses corroborating the ideal responses are also plotted in Figure 6. As can be observed from the results, it behaves serial RL impedance well for the frequencies around 1 kHz to 1 MHz.

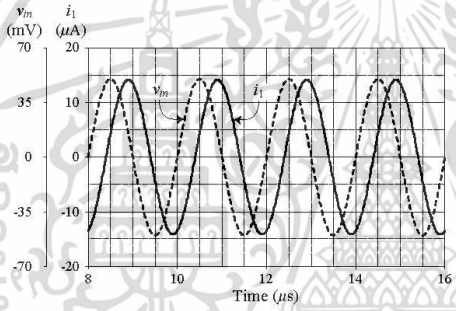


Figure 5: Simulated transient responses of the floating lossy series inductor in Figure 2(c)

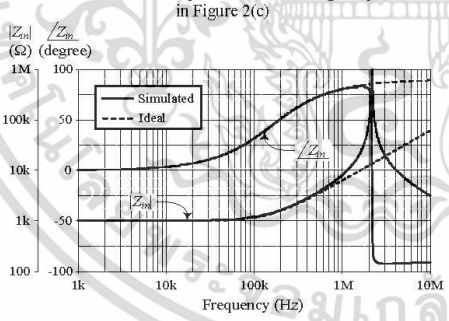


Figure 6: Ideal and simulated frequency responses of the floating lossy series inductor simulator in Figure 2(c).

To show the electronic tunability of the inductor in Figure 2(c), the detailed analysis of frequency characteristic is provided in Figure 7. In the figure, the magnitude responses of the input impedance Z_{in3} are compared with the ideal series RL impedance by changing the bias current for I_B = 50 μA, 200 μA and 400 μA (g_m = 0.5 mA/V, 2 mA/V and 4 mA/V).

On the other hand, the simulated transient responses of the proposed floating lossy parallel inductor of Figure 2(d) are given in Figure 8. In this case, the active and passive components are taken as follows: I_B = 100 μA (g_m = 1 mA/V), R_4 = 1 kΩ and C_4 = 1 nF, which yields R_{eq4} = 1 kΩ and L_{eq4} = 1 mH. In Figure 8, a sinusoidal input signal was applied to the input of the inductor at a frequency of 200 kHz and signal amplitude of 50 mV peak. The phase difference between v_{in} and i_1 is approximately 36°, which is close to the ideal value $(\tan^{-1}(R_{eq4}/\omega L_{eq4}) = \tan^{-1}(1\times10^3)/(2\pi\times200\times10^3\times1\times10^{-3}) = 38.51°)$ with a percentage deviation of 6.52%. The tuning capability of the proposed floating lossy parallel inductor has also been tested for I_{B1} = 50 μA, 200 μA, and 400 μA, while keeping I_{B2} constant at 100 μA. The resulting frequency characteristics showing in Figure 10 prove that the proposed inductor circuit can be conveniently tuned by electronic means.

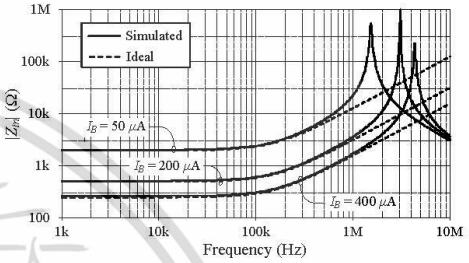


Figure 7: Simulated frequency responses for Z_{in3} in Figure 2(c) with I_B tuning

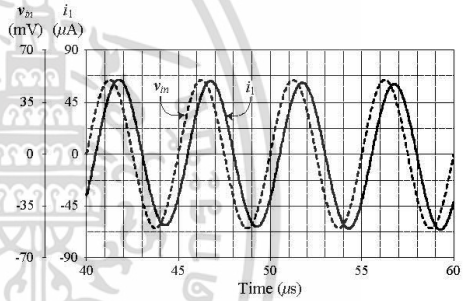


Figure 8: Simulated transient responses of the floating lossy parallel inductor in Figure 2(d)

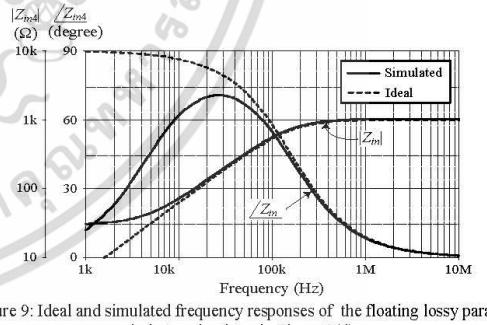


Figure 9: Ideal and simulated frequency responses of the floating lossy parallel inductor simulator in Figure 2(d)

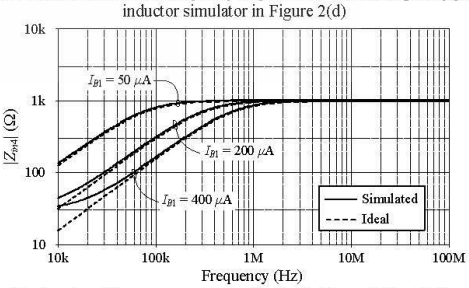


Figure 10: Simulated frequency responses for Z_{in4} in Figure 2(d) with I_{B1} tuning.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. Experimental Results

To further represent the validity of the presented theory, the proposed circuits of Figure 2 were implemented in prototype hardware using IC LT1228 from Linear Technology. The LT1228 is biased with ±5 V supplies. For the experimental testing of Figure 2(a) and 2(b), the passive components in the schematic diagram are the following values: $R_1 = R_2 = 1$ kΩ and $C_1 = C_2 = 1$ nF. The measured magnitude and phase responses of the proposed grounded series lossy inductor in Figure 2(a) for I_B = 50 μA, 100 μA, 200 μA, and 400 μA are shown in Figures 11 and 12, respectively. The calculated and measurement results for the Z_{in1} frequency responses at a frequency of 100 kHz are summarized in Table 4. According to this table, parasitic gains and signal transfer errors at the corresponding terminals of the LT1228 in conjunction with the tolerances in passive elements used will deviate the impedance frequency responses of the simulated lossy inductor. It should be taken into account the fact that the current and voltage conveying realized by an LT1228 is actually valid under a small-signal operation. However, appropriate adjusting g_m with I_B gives a significant improvement in the magnitude and phase responses.

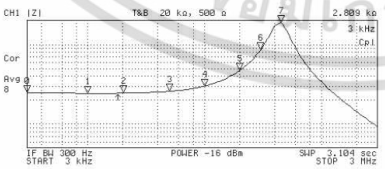
In the same manner, the measured frequency responses for the input impedance Z_{in2} of the proposed grounded parallel lossy inductor in Figure 2(b) are presented in Figures 13 and 14. Regarding the experimental testing for the actively simulated lossy inductor, the results of the Z_{in2}-frequency response at f = 100 kHz is provided in Table 5. Obviously, the practical results are consistent with the theoretical ones. However, the deviation in the magnitude and phase responses is mainly due to the non-ideal parasitic effects and the resistor and capacitor tolerances.

Table 4: Summary of the measured values for the Z_{in1} in Figure 2(a)

I_B (μA)	g_m (mA/V)	$\lvert Z_{in1}\rvert$ (kΩ)		$\angle Z_{in1}$ (degree)	
		Measured	Calculated	Measured	Calculated
50	0.5	2.98	2.36	26.51	32.14
100	1	1.39	1.18	32.40	32.14
200	2	0.84	0.59	44.11	32.14
400	4	0.38	0.29	50.11	32.14

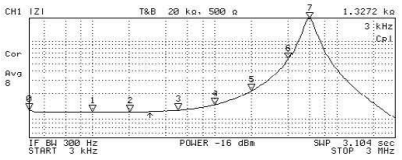
Table 5: Summary of the measured values for the Z_{in2} in Figure 2(b)

I_B (μA)	g_m (mA/V)	$\lvert Z_{in2}\rvert$ (Ω)		$\angle Z_{in2}$ (degree)	
		Measured	Calculated	Measured	Calculated
50	0.5	536.14	782.48	53.94	38.51
100	1	440.83	532.02	63.54	57.86
200	2	232.05	299.72	81.17	72.56
400	4	126.62	155.12	80.73	81.07



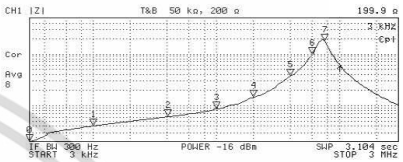
N	SWP PARAM	VAL
0	3 kHz	2.4809 kΩ
1	10 kHz	2.3973 kΩ
2	20 kHz	2.4347 kΩ
3	50 kHz	2.5615 kΩ
4	100 kHz	2.9767 kΩ
5	200 kHz	4.6988 kΩ
6	300 kHz	8.4936 kΩ
7	450 kHz	18.552 kΩ

(a)



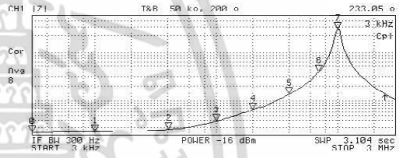
N	SWP PARAM	VAL
0	3 kHz	1.8172 kΩ
1	10 kHz	1.1105 kΩ
2	20 kHz	1.1235 kΩ
3	50 kHz	1.1827 kΩ
4	100 kHz	1.3909 kΩ
5	200 kHz	2.1356 kΩ
6	400 kHz	5.6811 kΩ
7	600 kHz	19.611 kΩ

(b)



N	SWP PARAM	VAL
0	3 kHz	199.9 Ω
1	10 kHz	399.13 Ω
2	40 kHz	597.57 Ω
3	100 kHz	843.77 Ω
4	200 kHz	1.4215 kΩ
5	400 kHz	3.6385 kΩ
6	600 kHz	9.8176 kΩ
7	750 kHz	17.988 kΩ

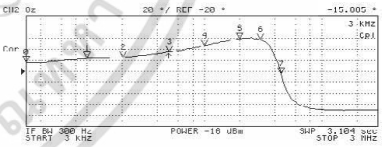
(c)



N	SWP PARAM	VAL
0	3 kHz	233.05 Ω
1	10 kHz	241.17 Ω
2	40 kHz	261.62 Ω
3	100 kHz	381.66 Ω
4	200 kHz	655.13 Ω
5	400 kHz	1.9259 kΩ
6	700 kHz	3.7082 kΩ
7	1 MHz	27.251 kΩ

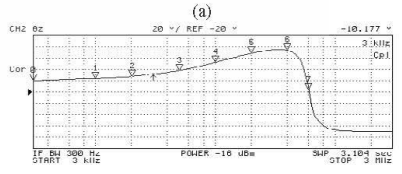
(d)

Figure 11: Measured magnitude responses of the proposed grounded series lossy inductor in Figure 2(a)
(a) I_B = 50 μA (b) I_B = 100 μA (c) I_B = 200 μA (d) I_B = 400 μA



N	SWP PARAM	VAL
0	3 kHz	-3.2885 °
1	10 kHz	3.3293 °
2	20 kHz	5.3911 °
3	50 kHz	14.624 °
4	100 kHz	26.51 °
5	200 kHz	39.152 °
6	300 kHz	36.918 °
7	450 kHz	-24.900 °

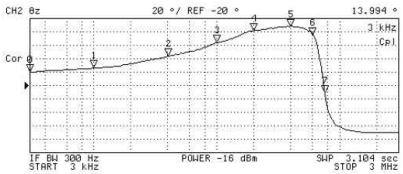
(a)



N	SWP PARAM	VAL
0	3 kHz	0.1774 °
1	10 kHz	3.9026 °
2	20 kHz	8.0636 °
3	50 kHz	18.031 °
4	100 kHz	32.397 °
5	200 kHz	48.494 °
6	400 kHz	53.774 °
7	600 kHz	-16.424 °

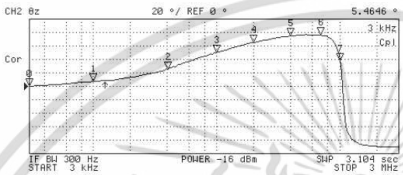
(b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	3 kHz	1.7994 °
1	10 kHz	5.9821 °
2	40 kHz	23.974 °
3	100 kHz	44.115 °
4	200 kHz	61.743 °
5	400 kHz	68.106 °
6	600 kHz	55.572 °
7	750 kHz	-31.374 °

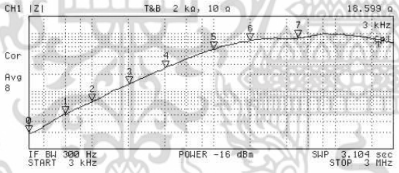
(c)



N	SWP PARAM	VAL
0	3 kHz	2.4646 °
1	10 kHz	7.3182 °
2	40 kHz	25.301 °
3	100 kHz	50.111 °
4	200 kHz	65.223 °
5	400 kHz	74.951 °
6	700 kHz	75.881 °
7	1 MHz	37.342 °

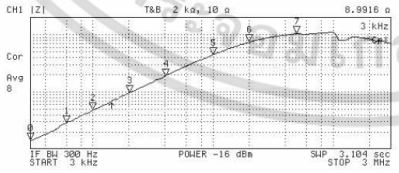
(d)

Figure 12: Measured phase responses of the proposed grounded series lossy inductor in Figure 2(a) (a) $I_B = 50\ \mu A$ (b) $I_B = 100\ \mu A$ (c) $I_B = 200\ \mu A$ (d) $I_B = 400\ \mu A$



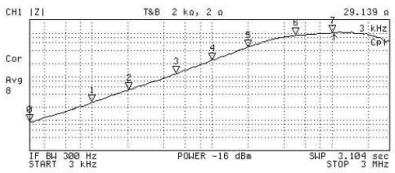
N	SWP PARAM	VAL
0	3 kHz	18.599 Ω
1	6 kHz	40.525 Ω
2	10 kHz	65.485 Ω
3	20 kHz	132.23 Ω
4	40 kHz	251.76 Ω
5	100 kHz	536.14 Ω
6	200 kHz	751.61 Ω
7	500 kHz	838.94 Ω

(a)



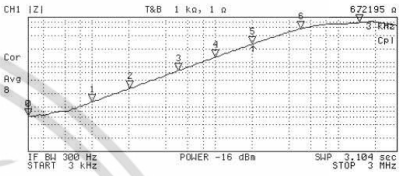
N	SWP PARAM	VAL
0	3 kHz	16.916 Ω
1	6 kHz	28.047 Ω
2	10 kHz	46.916 Ω
3	20 kHz	94.538 Ω
4	40 kHz	187.12 Ω
5	100 kHz	440.83 Ω
6	200 kHz	732.02 Ω
7	500 kHz	1.0219 kΩ

(b)



N	SWP PARAM	VAL
0	3 kHz	9.139 Ω
1	10 kHz	25.64 Ω
2	20 kHz	48.543 Ω
3	50 kHz	114.87 Ω
4	100 kHz	232.05 Ω
5	200 kHz	465.16 Ω
6	500 kHz	864.36 Ω
7	1 MHz	987.67 Ω

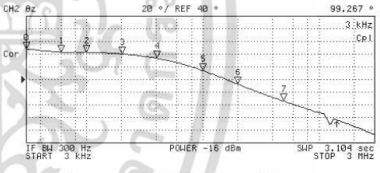
(c)



N	SWP PARAM	VAL
0	3 kHz	6.2195 Ω
1	10 kHz	12.852 Ω
2	20 kHz	25.261 Ω
3	50 kHz	63.414 Ω
4	100 kHz	126.62 Ω
5	200 kHz	248.32 Ω
6	500 kHz	551.03 Ω
7	1.5 MHz	758.66 Ω

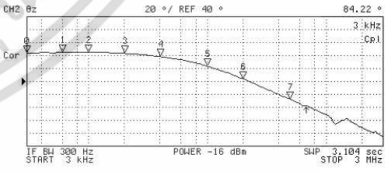
(d)

Figure 13: Measured magnitude responses of the proposed grounded series lossy inductor in Figure 2(b) (a) $I_B = 50\ \mu A$ (b) $I_B = 100\ \mu A$ (c) $I_B = 200\ \mu A$ (d) $I_B = 400\ \mu A$



N	SWP PARAM	VAL
0	3 kHz	94.267 °
1	6 kHz	82.793 °
2	10 kHz	83.121 °
3	20 kHz	80.294 °
4	40 kHz	73.487 °
5	100 kHz	53.942 °
6	200 kHz	32.572 °
7	500 kHz	5.8288 °

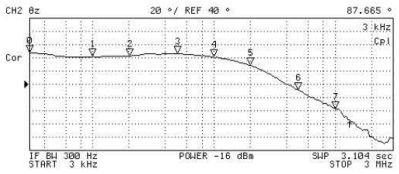
(a)



N	SWP PARAM	VAL
0	3 kHz	84.22 °
1	6 kHz	85.306 °
2	10 kHz	85.211 °
3	20 kHz	83.327 °
4	40 kHz	78.37 °
5	100 kHz	63.542 °
6	200 kHz	43.865 °
7	500 kHz	12.439 °

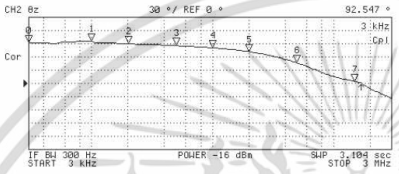
(b)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	3 kHz	87.665 °
1	10 kHz	81.894 °
2	20 kHz	82.902 °
3	50 kHz	86.225 °
4	100 kHz	81.173 °
5	200 kHz	68.506 °
6	500 kHz	31.294 °
7	1 MHz	2.7541 °

(c)



N	SWP PARAM	VAL
0	3 kHz	92.547 °
1	10 kHz	95.763 °
2	20 kHz	89.72 °
3	50 kHz	85.618 °
4	100 kHz	80.735 °
5	200 kHz	71.897 °
6	500 kHz	46.118 °
7	1.5 MHz	3.8374 °

(d)

Figure 14: Measured phase responses of the proposed grounded series lossy inductor in Figure 2(b) (a) $I_B = 50\ \mu A$ (b) $I_B = 100\ \mu A$ (c) $I_B = 200\ \mu A$ (d) $I_B = 400\ \mu A$

7. Example of Application

To illustrative an application example, the proposed inductor topologies in Figures 2(b) and 2(c) are used for the simulation of serial RL and parallel RL elements of the bandpass filter in Figure 15. The voltage transfer function of Figure 15 is found as:

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{\left(\frac{R_{eq2}}{L_{eq3}}\right)s}{D(s)}, \quad (8)$$

where the denominator $D(s)$ is equal to

$$D(s) = s^2 + \left(\frac{R_{eq2}}{L_{eq2}} + \frac{R_{eq2}}{L_{eq3}} + \frac{R_{eq3}}{L_{eq2}}\right)s + \left(\frac{R_{eq2}R_{eq3}}{L_{eq2}L_{eq3}}\right). \quad (9)$$

From Equations (8)-(9), the natural angular frequency (ω_o) and the quality factor (Q) of the proposed filter in Figure 15 can be characterized as given respectively by the following equations:

$$\omega_o = 2\pi f_o = \sqrt{\frac{R_{eq2}R_{eq3}}{L_{eq2}L_{eq3}}}, \quad (10)$$

and

$$Q = \frac{\sqrt{R_{eq2}R_{eq3}L_{eq2}L_{eq3}}}{R_{eq2}(L_{eq2}+L_{eq3}) + R_{eq3}L_{eq2}}. \quad (11)$$

In the simulation, the element values for bandpass filter in Figure 15 with f_o = 159.15 kHz and Q = 0.33 are specified as follows: g_m = 1 mA/V (I_B = 100 μA), $R_2 = R_3$ = 1 kΩ, $C_2 = C_3$ = 1 nF. Figure 16 shows the plots of the theoretical and simulated frequency responses of the filter, in which $R_{eq2} = R_{eq3}$ = 1 kΩ and $L_{eq2} = L_{eq3}$ = 1 mH. From Figure 16, the simulated f_o is 156.15 kHz, where the relative error is found as 1.88%.

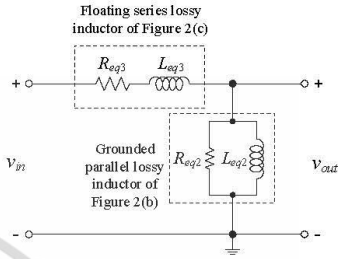


Figure 15: Voltage-mode bandpass filter realization using the proposed actively simulated inductors of Figure 2(b) and 2(c).

8. Conclusions

In this study, the actively simulated grounded/floating lossy inductance simulators using commercially available IC named LT1228 are reported. All of the reported topologies employ a capacitor and a resistor as passive elements and can be tuned electronically through the bias current of the LT1228. The simulation and experimental testing results are achieved to validate their practical performances.

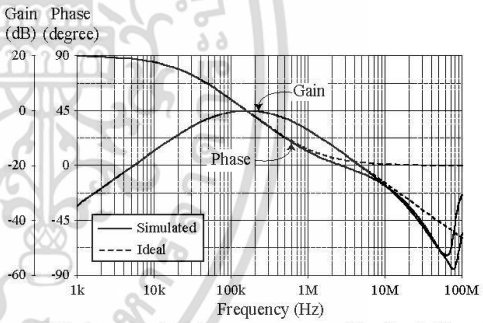


Figure 16: Ideal and simulated frequency responses of the filter in Figure 15

Conflict of Interest

The authors declare no conflict of interest.

Acknowledgment

This work is supported by Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang under the contract number 2563-02-01-033.

References

[1] A. N. Paul, D. Patranabis, "Active simulation of grounded inductors using a single current conveyor" IEEE Trans. Circuits Syst., **28**(2), 164–165, 1981. https://doi.org/10.1109/TCS.1981.1084947

[2] M. O. Cicekoglu, "Active simulation of grounded inductors with CCII+s and grounded passive elements" Int. J. Electron., **85**(4), 455–462, 1998. https://doi.org/10.1080/002072198134003

[3] M. Srivastava, K. Bhardwaj, A. Roy, A. Singh, "An active-C realization for simulating electronically controllable lossy grounded inductance" in 6th International Conference on Signal Processing and Integrated Networks (SPIN), Noida, India, 137–140, 2019. https://doi.org/10.1109/SPIN.2019.8711758

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[4] O. Cicekoglu, A. Toker, H. Kuntman, "Universal immittance function simulators using current conveyors" Computers and Electrical Eng., **27**, 227–238, 2001. https://doi.org/10.1016/S0045-7906(00)00018-5

[5] M. Faseehuddin, J. Sampe, S. Shireen, S. H. M. Ali, "Lossy and lossless inductance simulators and universal filters employing a new versatile active block" Informacije MIDEM, **48**(2), 97–113, 2018.

[6] M. Dogan, E. Yuce, "CFOA based a new grounded inductor simulator and its applications" Microelectron. J., **90**, 297–300, 2019. https://doi.org/10.1016/j.mejo.2019.07.002

[7] H. Kuntman, M. Gulsoy, O. Cicekoglu, "Actively simulated grounded lossy inductors using third-generation current conveyors" Microelectron. J., **31**, 245–250, 2000. https://doi.org/10.1016/S0026-2692(99)00108-1

[8] H. Y. Wang, C. T. Lee, "Systematic synthesis of R-L and C-D immittances using single CCIII" Int. J. Electron., **87**(3), 292–301, 2000. https://doi.org/10.1080/002072100132192

[9] F. Kacar, A. Yesil, "Novel grounded parallel inductance simulators realization using a minimum number of active and passive components" Microelectron. J., **41**, 632–638, 2010. https://doi.org/10.1016/j.mejo.2010.06.011

[10] B. Metin, "Supplementary inductance simulator topologies employing single DXCCII" Radioengineering, **20**(3), 614–618, 2011.

[11] M. Incekaraoglu, U. Cam, "Realization of series and parallel R-L and C-D impedances using single differential voltage current conveyor" Analog Integr. Circ. Signal Process., **43**, 101–104, 2005. https://doi.org/10.1007/s10470-005-6577-8

[12] U. Cam, F. Kacar, O. Cicekoglu, H. Kuntman, A. Kuntman, "Novel grounded parallel immittance simulator topologies employing single OTRA" Int. J. Electron. Commun. (AEU), **57**(4), 287–290, 2003. https://doi.org/10.1078/1434-8411-54100173

[13] E. Yuce, "Novel lossless and lossy grounded inductor simulators consisting of a canonical number of components" Analog Integr. Circ. Signal Process., **59**, 77–82, 2009. https://doi.org/10.1007/s10470-008-9235-0

[14] F. Kacar, H. Kuntman, "CFOA-based lossless and lossy inductance simulators" Radioengineering, **20**(3), 627–631, 2011.

[15] H. Alpaslan, E. Yuce, "Inverting CFOA based lossless and lossy grounded inductor simulators" Circuits Syst. Signal Process., **34**, 3081–3100, 2015. https://doi.org/10.1007/s00034-015-0004-x

[16] J. K. Pathak, A. K. Singh, R. Senani, "New canonic lossy inductor using a single CDBA and its application" Int. J. Electron., **103**(1), 1–13, 2016. https://doi.org/10.1080/00207217.2015.1020884

[17] A. Yesil, F. Kacar, "New DXCCII-based grounded series inductance simulator topologies" Istanbul University-Journal of Electrical and Electronics Engineering (IU-JEEE), **14**(2), 1785–1789, 2014.

[18] E. Basak, F. Kacar, "Lossy/lossless grounded inductance simulators using current feedback operational amplifier (CFOA)" Electrica, **18**(1), 95–99, 2018. https://doi.org/10.5152/iujeee.2018.1815

[19] R. Singh, D. Prasad, "Grounded lossy inductance simulator using single FTFNTA" in IEEE 17th India Council International Conference (INDICON), New Delhi, India, pp. 1–6, 2020. https://doi.org/10.1109/INDICON49873.2020.9342507

[20] H. Alpaslan, E. Yuce, "Current-mode biquadratic universal filter design with two terminal unity gain cells" Radioengineering, **21**(1), 304–311, 2012.

[21] U. Cam, F. Kacar, O. Cicekoglu, H. Kuntman, A. Kuntman, "Novel two OTRA-based grounded immitance simulator topologies" Analog Integr. Circ. Signal Process., **39**, 169–175, 2004. https://doi.org/10.1023/B:ALOG.0000024064.73784.58

[22] F. Kacar, A. Yesil, S. Minaei, H. Kuntman, "Positive/negative lossy/lossless grounded inductance simulators employing single VDCC and only two passive elements", Int. J. Electron. Commun. (AEU), **68**(1), 73–78, 2014. https://doi.org/10.1016/j.aeue.2013.08.020

[23] S. Minaei and E. Yuce, "Realization of tunable active floating inductance simulators" Int. J. Electron., **95**(1), 27–37, 2008. https://doi.org/10.1080/00207210701809333

[24] R. Senani, "New single-capacitor simulation of floating inductors" Electrocomponent Science and Technology, **10**, 7–12, 1982. https://doi.org/10.1155/APEC.10.7

[25] R. Senani and D. R. Bhaskar, "New lossy/loss-less synthetic floating inductance configuration realized with only two CFOAs" Analog Integr. Circ. Sig. Process., **73**, 981–987, 2012. https://doi.org/10.1007/s10470-012-9897-5

[26] R. Senani, "New tunable synthetic floating inductors" Electron. Lett., **16**(10), 382–383, 1980. https://doi.org/10.1049/el:19800270

[27] D. R. Bhaskar and R. Senani, "Synthetic floating inductors realized with only two current feedback op-amps" American J. Electrical Electron. Eng., **3**(4), 88–92, 2015.

[28] E. Yuce, "New low component count floating inductor simulators consisting of a single DDCC" Analog Integr. Circ. Sig. Process., **58**, 61–66, 2009. https://doi.org/10.1007/s10470-008-9218-1

[29] M. A. Ibrahim, S. Minaei, E. Yuce, N. Herencsar and J. Koton, "Lossy/lossless floating/grounded inductance simulation using one DDCC" Radioengineering, **21**(1), 3–10, 2012.

[30] E. Yuce, S. Tokat, H. Alpaslan, "Grounded capacitor-based new floating inductor simulators and a stability test" Turk. J. Elec. Eng. & Comp. Sci., **23**, 2138–2149, 2015. http://doi.org/10.3906/elk-1301-183

[31] M. T. Abuelma'atti, S. K. Dhar, Z. J. Khalifa, "New two-CFOA-based floating immittance simulators" Analog Integr. Circ. Sig. Process., **91**, 479–489, 2017. https://doi.org/10.1007/s10470-017-0956-9

[32] R. Sotner, N. Herencsar, J. Jerabek, A. Kartci, J. Koton, T. Dostal, "Pseudo-differential filter design using novel adjustable floating inductance simulator with electronically controllable current conveyors" Elektron. Elektrotech., **23**(2), 31–35, 2017. https://doi.org/10.5755/j01.eie.23.2.17996

[33] A. Abaci, E. Yuce, "Single DDCC based new immittance function simulators employing only grounded passive elements and their applications" Microelectron. J., **83**, 94–103, 2019. https://doi.org/10.1016/j.mejo.2018.11.014

[34] A. Abaci, E. Yuce, "Single DDCC− based simulated floating inductors and their applications" IET Circuits, Devices & Systems, **14**(6), 796–804, 2020. https://doi.org/10.1049/iet-cds.2019.0558

[35] N. Roongmuanpha, W. Tangsrirat, "SITO current-mode multifunction biquad using readily available IC LT1228s", in The 6th International Conference on Engineering, Applied Sciences and Technology (ICEAST-2020), July 1-4, Thailand, pp. 108-111, 2020. https://doi.org/10.1109/iceast50382.2020.9165538

[36] R. Sotner, N. Herencsar, J. Jerabek, L. Langhammer, J. Polak, "On practical construction of electronically controllable compact current amplifier based on commercially available elements and its application", Int. J. Electron. Commun. (AEU), **81**(11), 56-66, 2017. https://doi.org/10.1016/j.aeue.2017.07.002

[37] N. Roongmuanpha, T. Pukkalanun, W. Tangsrirat, "Practical realization of electronically adjustable universal filter using commercially available IC-based VDBA" Engineering Review, **41**(3), 2020. https://doi.org/10.30765/er.1547

[38] P. Moonmuang, N. Roongmuanpha, T. Pukkalanun, W. Tangsrirat, "On the realization of simulated lossy inductors using voltage differencing buffered amplifiers" in 2020 8th International Electrical Engineering Congress (iEECON), Chiang Mai, Thailand, 2020. https://doi.org/10.1109/iEECON48109.2020.229469

[39] Linear Technology, "100MHz current feedback amplifier with DC gain control", LT1228 datasheet, 1994.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISSN 1064-2269, Journal of Communications Technology and Electronics, 2021, Vol. 66, No. 4, pp. 439–450. © Pleiades Publishing, Inc., 2021.

THEORY
OF RADIO CIRCUITS

On the Resistorless Realization of Simulated Tunable Floating Lossy Inductors with Voltage Differencing Buffered Amplifiers

T. Pukkalanun[a], P. Moonmuang[a], and W. Tangsrirat[a, *]

[a] *Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, 10520 Thailand*

**e-mail: worapong.ta@kmitl.ac.th*

Received November 11, 2019; revised November 11, 2019; accepted August 10, 2020

Abstract—Alternative circuit designs concerning the simulation of floating lossy inductors using voltage differencing buffered amplifiers (VDBAs) are described. The topologies proposed here require only three VDBAs and one capacitor to simulate a floating inductance with series and parallel resistance. The simulated equivalent elements, namely equivalent resistance (R_{eq}) and equivalent inductance (L_{eq}) are electronically controllable through the external bias currents of the VDBAs. The VDBA non-idealities including transconductance inaccuracy and voltage transfer error on the performance of the circuits has been discussed in detail. To support the theoretical analysis and demonstrate the practical workability of the proposed synthetic inductors, PSPICE simulation and experimental test results are also reported.

Keywords: voltage differencing buffered amplifier (VDBA), floating inductor, inductance simulator, lossy inductor, electronically tunable circuit

DOI: 10.1134/S1064226921040100

INTRODUCTION

Floating inductance simulators are useful functional circuit blocks widely used in a number of analog signal processing circuits and signal generation applications. Therefore, during the last decade, this issue became an interesting research topic. Although large numbers of simulated floating lossy inductor circuits have been reported earlier in the literature [1–8], they suffer from the following discussed weakness. All of the previously reported lossy inductance simulators require any external passive resistors for their realizations. The simulator in [1] employs more than three active elements, which enlarge the chip area, and require high power consumption. Although some of these lossy inductance simulators require a single active element, they still contain at least three passive components [2–5, 7, 8]. Moreover, the simulated equivalent elements of the configurations in [1–5, 7, 8] are not programmable electronically.

Recently, the newly defined active building block called as voltage differencing buffered amplifier (VDBA) has been extensively employed in designing analog active filter and sinusoidal oscillator [6, 9–12]. Therefore, the major goal of this article is to propose the two circuit configurations for the simulation of electronically tunable floating series and parallel RL lossy inductors using VDBAs as active components. Each of the proposed circuits consists of three VDBAs and a single passive capacitor, which results in a resistorless structure realization. The circuits are canonic nature and appear to be suitable from the point of view of monolithic integrated circuit design. The simulated equivalent element values can be controlled through the VDBA bias currents. Various non-ideal parameters of the VDBAs arising from the practical implementation are considered and discussed in detail. To verify the theory, PSPICE simulation results using TSMC 0.25 μm CMOS technology are given. Practically, to demonstrate the workability of the synthetic floating inductors, appropriate hardware implementation results based on LT1228 IC type are also provided.

1. PROPOSED FLOATING LOSSY INDUCTANCE SIMULATORS

Consider the circuit symbol of the VDBA device given in Fig. 1. Its terminal characteristic by considering the non-idealities into account can be represented by

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ \alpha g_m & -\alpha g_m & 0 & 0 \\ 0 & 0 & \beta & 0 \end{bmatrix} \cdot \begin{bmatrix} v_p \\ v_n \\ v_z \\ i_w \end{bmatrix}. \quad (1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

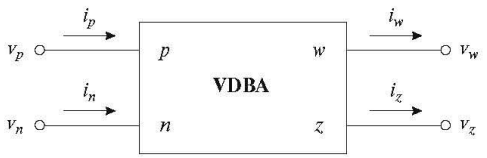


Fig. 1. Circuit symbol of the VDBA.

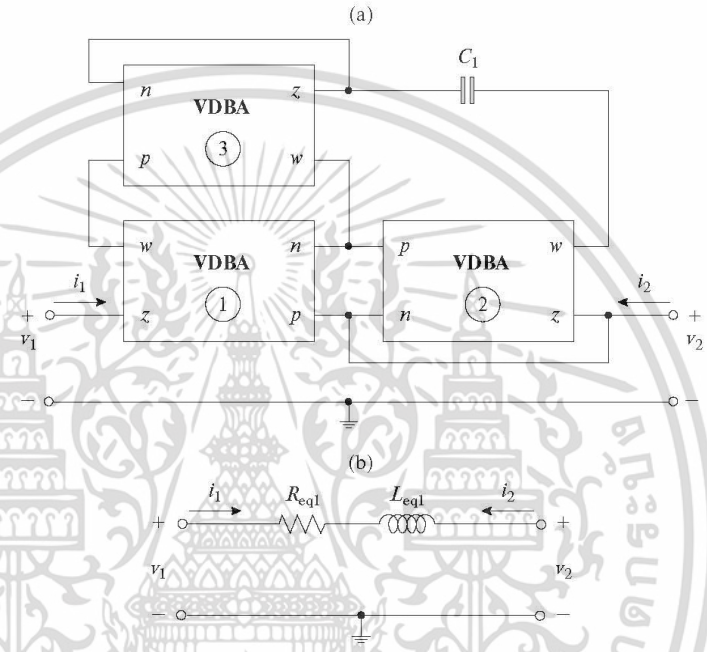


Fig. 2. Proposed floating lossy series inductance simulator (a) and its equivalent circuit (b).

In above equation, g_m is the small-signal transconductance gain of the VDBA, α is the non-ideal transconductance gain and β is the non-ideal transfer voltage gain. The actual values of parameters α and β strongly depend on the real realization of the VDBA. In ideal case, the α and β values are assumed to be unity.

The proposed topologies for simulating floating inductance in series and in parallel with resistance are shown in Figs. 2 and 3, respectively. The topologies require three VDBAs and only one capacitor without the requirement of any resistor passive element. Routine circuit analysis of the proposed circuits with $g_m = g_{m1} = g_{m2}$ yields an equivalent input impedance of Fig. 2a to be expressed as:

$$Z_{in} = \frac{v_{in}}{i_{in}} = \frac{v_1 - v_2}{i_1} = \frac{v_2 - v_1}{i_2} = R_{eq1} + sL_{eq1} = \frac{1}{g_m} + \frac{sC_1}{g_m g_{m3}}. \quad (2)$$

On the other hand, an equivalent input admittance of Fig. 3a can be given by:

$$Y_{in} = \frac{i_{in}}{v_{in}} = \frac{i_1}{v_1 - v_2} = \frac{i_2}{v_2 - v_1} = \frac{1}{R_{eq2}} + \frac{1}{sL_{eq2}} = g_m + \frac{g_m g_{m3}}{sC_2}. \quad (3)$$

From Eqs. (2) and (3), it may be concluded that the realized circuit of Fig. 2a simulates a floating series

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

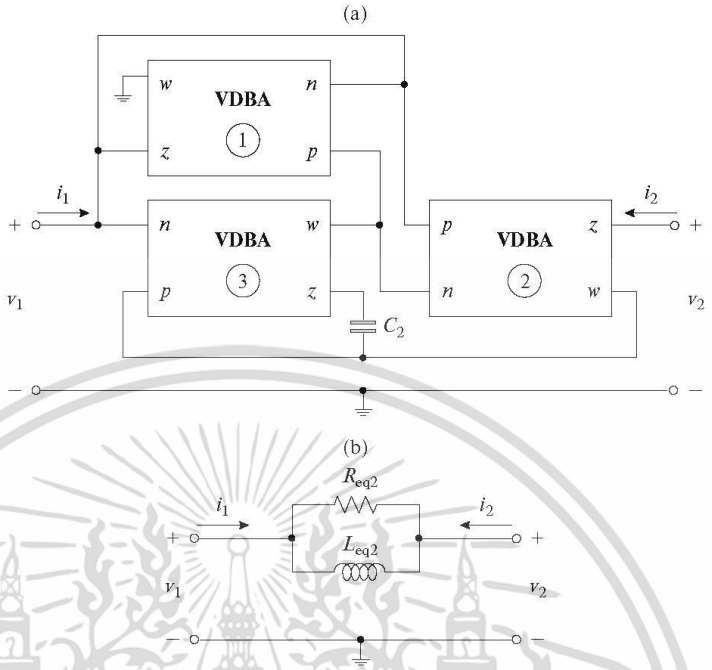


Fig. 3. Proposed floating lossy parallel inductance simulator (a) and its equivalent circuit (b).

RL-type lossy inductor with equivalent series resistance $R_{eq1} = 1/g_m$ and equivalent series inductance $L_{eq1} = C_1/g_m g_{m3}$ as shown in Fig. 2b, while the proposed circuit of Fig. 3a realizes a floating parallel RL-type lossy inductor with $R_{eq2} = 1/g_m$ and $L_{eq2} = C_2/g_m g_{m3}$ as shown in Fig. 3b. In both circuits, it is possible to tune the value of the simulated equivalent inductance L_{eq1} (L_{eq2}) independently by a single variable transconductance g_{m3}.

2. EFFECTS OF NON-IDEAL PARAMETERS OF THE VDBAs

2.1. Non-Ideal Analysis of the Proposed Floating Lossy Series Inductor in Fig. 2a

Taking into consider the non-ideal parameters α and β of the VDBA given in Eq. (1), the currents i_1 and i_2 for the proposed floating series *RL*-type lossy inductance simulator in Fig. 2a can be derived by the following expressions:

$$i_1 = \left(\frac{\alpha_1 g_{m1}}{1+\dfrac{sC_1}{\alpha_3 g_{m3}}}\right)\left\{\beta_1\beta_3 v_1 - \left[1+\frac{sC_1(1-\beta_2\beta_3)}{\alpha_3 g_{m3}}\right]v_2\right\}, \quad (4)$$

and

$$i_2 = \left(\frac{\alpha_2 g_{m2}}{1+\dfrac{sC_1}{\alpha_3 g_{m3}}}\right)\left\{\left[1+\frac{sC_1(1-\beta_2\beta_3)}{\alpha_3 g_{m3}}\right]v_2 - \beta_1\beta_3 v_1\right\}, \quad (5)$$

where parameters α_i and β_i (i = 1, 2, 3) refer to the parameters α and β of the ith VDBA. From Eq. (4), if $v_2 = 0$, then the simulated input impedance looking into the port 1 is found to be:

$$Z'_{in}\Big|_{v_2=0} = \frac{v_1}{i_1} = R'_{eq1} + sL'_{eq1} = \left(\frac{1}{\alpha_1\beta_1\beta_3 g_{m1}}\right) + s\left(\frac{C_1}{\alpha_1\alpha_3\beta_1\beta_3 g_{m1} g_{m3}}\right). \quad (6)$$

In this case, the simulator performs a grounded series lossy inductor with the following equivalent element values being expressed by:

$$R'_{eq1} = \frac{1}{\alpha_1\beta_1\beta_3 g_{m1}}, \quad (7)$$

and

$$L'_{eq1} = \frac{C_1}{\alpha_1\alpha_3\beta_1\beta_3 g_{m1} g_{m3}}. \quad (8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

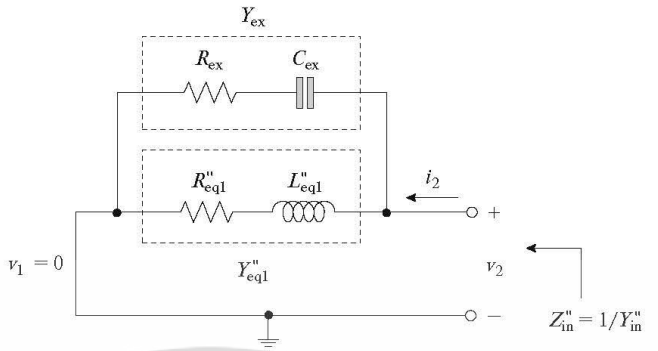


Fig. 4. The equivalent non-ideal impedance of the proposed series inductor of Fig. 2a.

On the other hand, for $v_1 = 0$ in Eq. (5), the simulated input admittance seen at the port 2 is obtained as:

$$Y''_{in}\Big|_{v_1=0} = \frac{i_2}{v_2} = Y''_{eq1} + Y_{ex} = \left[\frac{\alpha_2 g_{m2}}{1+\dfrac{sC_1}{\alpha_3 g_{m3}}}\right] + \left[\frac{\dfrac{sC_1(1-\beta_2\beta_3)\alpha_2 g_{m2}}{\alpha_3 g_{m3}}}{1+\dfrac{sC_1}{\alpha_3 g_{m3}}}\right]. \quad (9)$$

Therefore, it is readily seen that, due to the VDBA non-idealities, an equivalent admittance Y''_{eq1} in parallel with an extra admittance Y_{ex} is obtained from the simulator of Fig. 2a. The values of these admittance parameters can be expressed by the following relations:

$$Z''_{eq1} = \frac{1}{Y''_{eq1}} = \left(\frac{1}{\alpha_2 g_{m2}}\right) + s\left(\frac{C_1}{\alpha_2\alpha_3 g_{m2} g_{m3}}\right) = R''_{eq1} + sL''_{eq1}, \quad (10)$$

and

$$Z_{ex} = \frac{1}{Y_{ex}} = \left[\frac{1}{\alpha_2(1-\beta_2\beta_3)g_{m2}}\right] + \frac{1}{s\left[\dfrac{C_1(1-\beta_2\beta_3)\alpha_2 g_{m2}}{\alpha_3 g_{m3}}\right]} = R_{ex} + \frac{1}{sC_{ex}}. \quad (11)$$

In view of this, the equivalent non-ideal impedance of the proposed inductance simulator of Fig. 2a resulting from parasitic gains can be represented in Fig. 4. It can be easily visualized that with assuming $\alpha_i = \beta_i \cong 1$ and $g_{m1} \cong g_{m2}$, the non-ideal expression in Eq. (9) reduces to that in Eq. (2).

2.2. Non-Ideal Analysis of the Proposed Floating Lossy Parallel Inductor in Fig. 3a

Similarly, considering the effects of the non-ideal parameters α and β on the proposed floating parallel *RL*-type lossy inductance simulator in Fig. 3a, we have the currents i_1 and i_2 as follows:

$$i_1 = \alpha_1 g_{m1} \times \left[\left(1+\frac{\alpha_3\beta_3 g_{m3}}{sC_2}\right)v_1 - \beta_2\beta_3\left(1+\frac{\alpha_3 g_{m3}}{sC_2}\right)v_2\right], \quad (12)$$

and

$$i_2 = \alpha_2 g_{m2} \times \left[\beta_2\beta_3\left(1+\frac{\alpha_3 g_{m3}}{sC_2}\right)v_2 - \left(1+\frac{\alpha_3\beta_3 g_{m3}}{sC_2}\right)v_1\right]. \quad (13)$$

Note from Eq. (12) that by choosing $v_2 = 0$, a grounded parallel RL impedance is realized with equivalent parallel resistance $R'_{eq2} = 1/(\alpha_1 g_{m1})$ and equivalent parallel inductance $L'_{eq2} = C_2/(\alpha_1\alpha_3\beta_3 g_{m1} g_{m3})$. However, setting $v_1 = 0$ in Eq. (13) results in another grounded parallel *RL* impedance with $R''_{eq2} = 1/(\alpha_2\beta_2\beta_3 g_{m2})$ and $L''_{eq2} = C_2/(\alpha_2\alpha_3\beta_2\beta_3 g_{m2} g_{m3})$.

3. SIMULATION RESULTS

Both of the proposed floating lossy inductance simulator circuits in Figs. 2a and 3a have been simulated by PSPICE program employing TSMC 0.25 μm CMOS process parameters. To achieve simulations, the VDBA circuit given in Fig. 5 is performed [11]. The aspect ratios (W/L) of transistors M_1–M_2, M_5–M_6 and M_9 are chosen to be (25 μm/0.25 μm). For M_3 and M_7 transistors, the corresponding values are (32 μm/0.25 μm), while for M_4 and M_8 transistors the values are (35 μm/0.25 μm). The symmetrical supply voltages are equal to $\pm V = 0.75$ V and the biasing cur-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

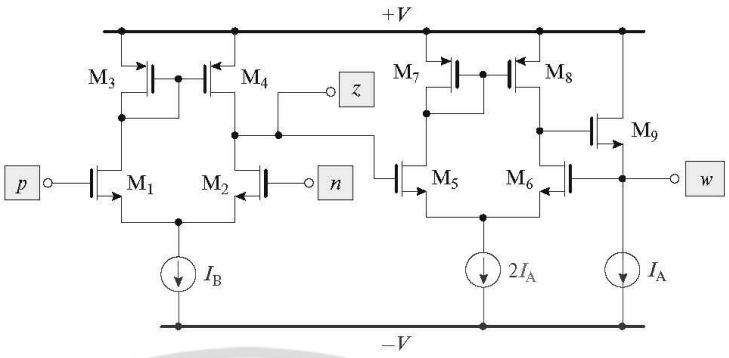


Fig. 5. Exemplary CMOS realization of the VDBA used in simulations.

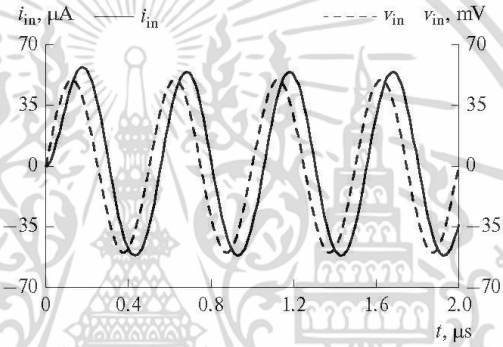


Fig. 6. Simulated time-domain responses for v_{in} and i_{in} of the proposed series inductor in Fig. 2a.

rents are taken as $I_A = 50$ μA. In this structure, the transconductance gain can be expressed as:

$$g_m = \sqrt{\mu C_{ox} \frac{W}{L} I_B}. \quad (14)$$

Thus, the g_m value of the VDBA can be controlled by external biasing current I_B.

3.1. Simulations of the Proposed Floating Lossy Series Inductor in Fig. 2

For the proposed floating lossy series inductor in Fig. 2a, the following components are used for simulations: $g_{m1} = g_{m2} = g_{m3} = 1.58$ mA/V ($I_{B1} = I_{B2} = I_{B3} = 100$ μA) and $C_1 = 100$ pF, yielding $R_{eq1} = 632$ Ω and $L_{eq1} = 40$ μH. Figure 6 shows the simulated time-domain responses of $v_{in} = v_1 - v_2$ and $i_{in} = i_1 = -i_2$ when the sinusoidal input voltage with 50 mV peak magnitude at $f = 2$ MHz is injected to the proposed simulator of Fig. 2a. The resulting graphs have revealed the phase difference between v_{in} and i_{in} as about 43°, while the theoretical value is equal to 38°. Both of the theoretical and simulated frequency responses for Z_{in} of the circuit are also plotted in Fig. 7. It is observed from these responses that the useful frequency range of the synthetic inductor is up to a frequency of around 20 MHz. The DC power dissipation of the circuit is 1.13 mW.

The electronic tunability of the simulated equivalent elements R_{eq1} and L_{eq1} with g_m is depicted in Fig. 8a. The resulting magnitude curves have been obtained by keeping g_{m3} at a constant value of 1.58 mA/V ($I_{B3} = 100$ μA) and changing g_m (= g_{m1} = g_{m2}) to be 1.12, 1.58 and 2.24 mA/V ($I_B = I_{B1} = I_{B2} = 50$, 100, and 200 μA), respectively. For three different

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

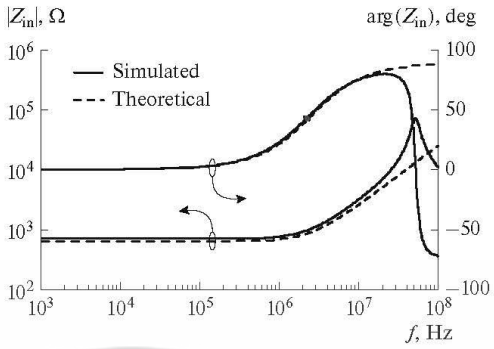


Fig. 7. Simulated and ideal frequency responses for Z_{in} of the proposed series inductor in Fig. 2a.

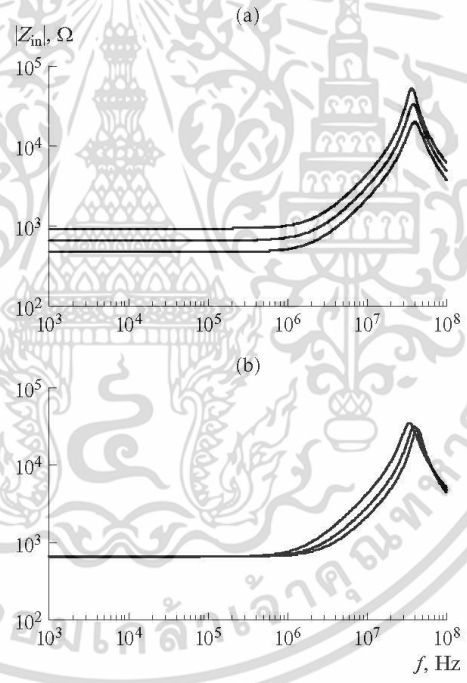


Fig. 8. Simulated magnitude-frequency responses of Z_{in} of the proposed series inductor in Fig. 2a: (a) with tuning g_m (The above line g_m = 1.12 mA/V, and the others—only 1.58 and 2.24 mA/V), (b) with tuning g_{m3} (the above line g_{m3} = 1.12 mA/V, and the others—only 1.58 and 2.24 mA/V).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

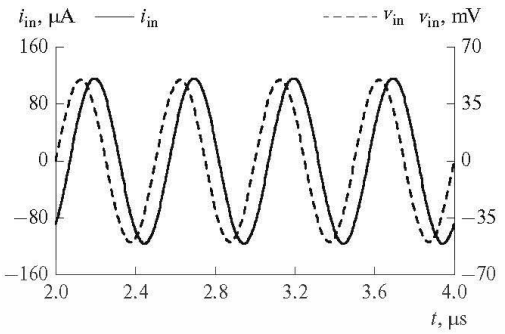


Fig. 9. Simulated time-domain responses for v_{in} and i_{in} of the proposed parallel inductor in Fig. 3a.

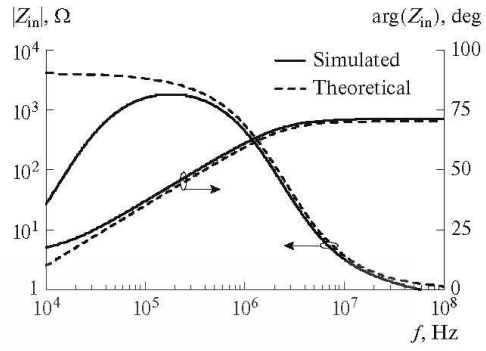


Fig. 10. Simulated and ideal frequency responses for Z_{in} of the proposed parallel inductor in Fig. 3a.

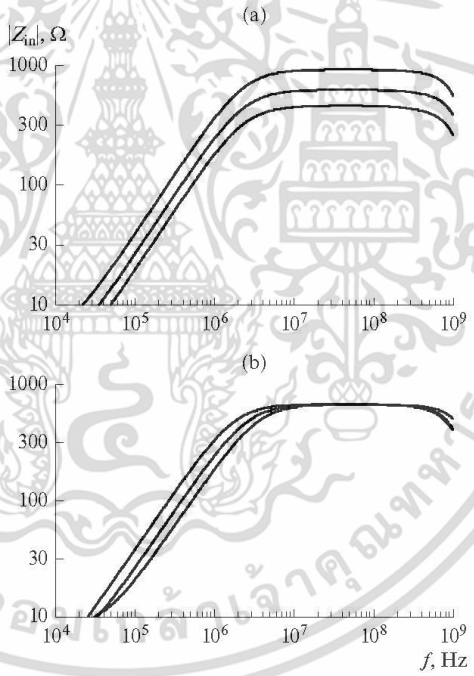


Fig. 11. Simulated magnitude-frequency responses of Z_{in} of the proposed parallel inductor in Fig. 3a: (a) with tuning g_m (The above line g_m = 1.12 mA/V, and the others—only 1.58 and 2.24 mA/V); (b) with tuning g_{m3} (The above line g_{m3} = 1.12 mA/V, and the others – only 1.58 and 2.24 mA/V).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

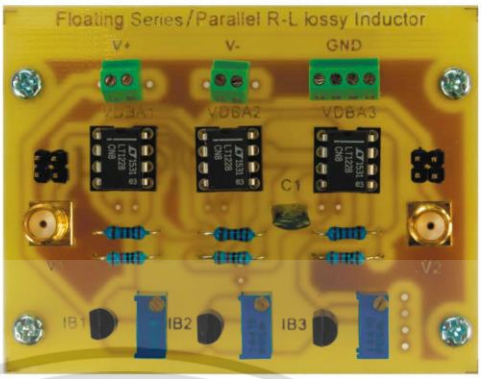


Fig. 12. PCB used for experimental measurement.

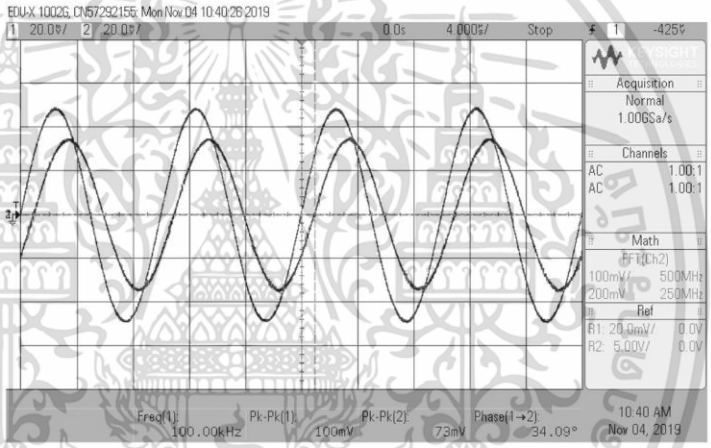


Fig. 13. Measured time-domain waveforms for v_{in} and i_{in} of the proposed series inductor in Fig. 2a.

values of the given g_m, the values of R_{eq1} and L_{eq1} can be realized as: (R_{eq1} = 894 Ω, L_{eq1} = 56 µH), (R_{eq1} = 632 Ω, L_{eq1} = 40 µH) and (R_{eq1} = 447 Ω, L_{eq1} = 28 µH). In the same manner, an orthogonal tuning feature of L_{eq1} is also demonstrated in Fig. 8b for g_m = 1.58 mA/V and three various values of g_{m3}. For the given transconductance values, R_{eq1} = 632 Ω is obtained, while the corresponding L_{eq} value is changed as: 56, 40, and 28 µH, respectively. The simulated magnitude responses clearly indicate that it is conveniently to tune L_{eq1} without changing the value of R_{eq1} by controlling g_{m3}.

3.2. Simulations of the Proposed Floating Lossy Parallel Inductor in Fig. 3

To simulate R_{eq2} = 632 Ω and L_{eq2} = 40 µH, the proposed floating lossy parallel inductor in Fig. 3a is realized with $g_{m1} = g_{m2} = g_{m3}$ = 1.58 mA/V and C_2 = 100 pF. In Fig. 9, the simulated v_{in} and i_{in} waveforms for 2 MHz sinusoidal input voltage of 50 mV peak are

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

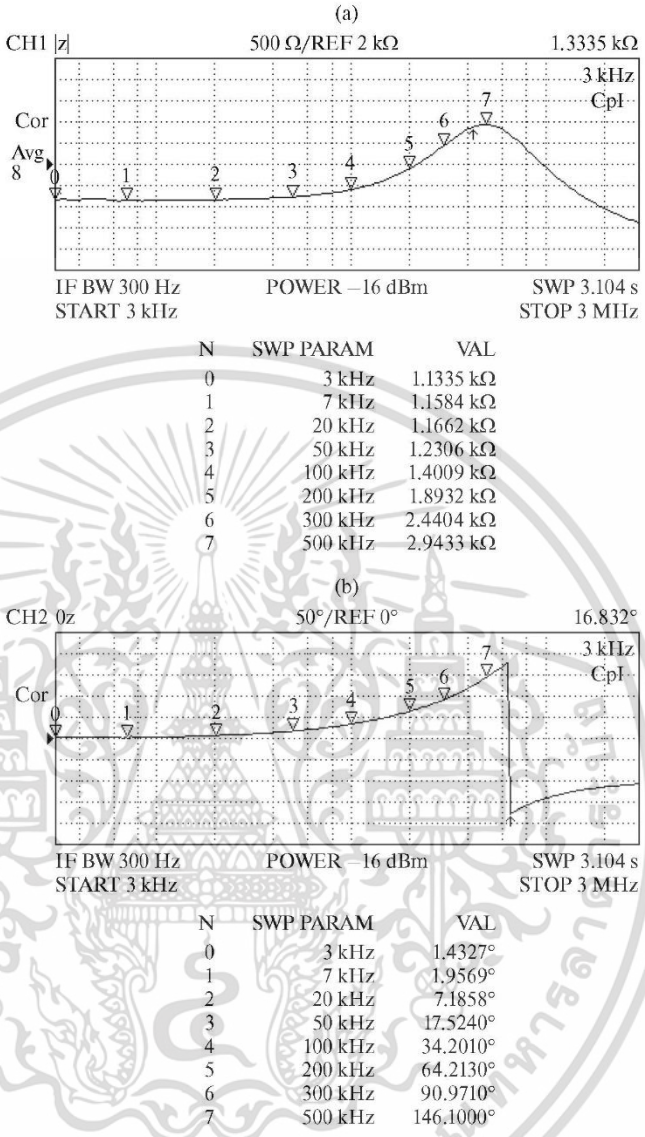


Fig. 14. Measured frequency characteristics for Z_{in} of the proposed series inductor in Fig. 2a: (a) magnitude response, (b) phase response.

drawn, in which their phase shifting is measured as 49° resulting in 3.59% in error with the theoretical result. On the other hand, the magnitude and phase variations for Z_{in} are also demonstrated in Fig. 10. The power dissipation is found to be 1.80 mW.

The electronic tuning feature of the synthetic parallel inductor of Fig. 3a are given in Fig. 11. In Fig. 11a, the transconductance g_{m3} is kept to be constant at 1.58 mA/V, and the transconductance g_m is changed for three different values, i.e., $g_m \cong 1.12$, 1.58 and

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

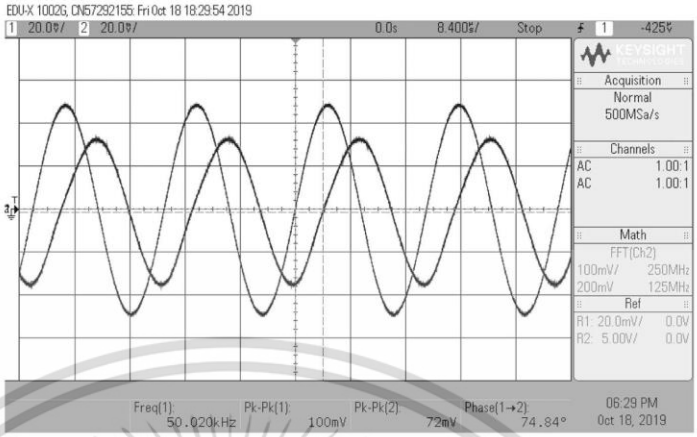


Fig. 15. Measured time-domain waveforms for v_{in} and i_{in} of the proposed parallel inductor in Fig. 3a.

2.24 mA/V. This results in the following equivalent element values: (R_{eq2} = 894 Ω in parallel with L_{eq2} = 56 µH), (R_{eq2} = 632 Ω in parallel with L_{eq2} = 40 µH), and (R_{eq2} = 447 Ω in parallel with L_{eq2} = 28 µH), respectively. In Fig. 11b, g_m = 1.58 mA/V is set to get a constant value of R_{eq2} = 632 Ω, and g_{m3} is adjusted for three different values (for different values of L_{eq2}). As can be observed from the results magnitude characteristics, the simulated equivalent elements of the proposed parallel lossy inductance simulator in Fig. 3a can be tuned electronically through the transconductances of the VDBAs, and the value of L_{eq2} is independently variable with direct adjustment of g_{m3}.

4. EXPERIMENTAL RESULTS

For experimental measurement, the VDBA device is constructed using commercially available IC device LT1228 from Analog Devices [13]. Thanks to the manufacturer, the g_m of the LT1228-based VDBA implementation is controlled conveniently by the external DC bias current I_B. Its relation can be defined by $g_m = 10I_B$. The print circuit board (PCB) used for experimental measurement is shown in Fig. 12 with DC supply voltages of ±5 V. In all measurements, the polyester capacitors C_1 and C_2 having 1% tolerances are selected as: $C_1 = C_2$ = 1 nF.

The proposed series lossy inductor in Fig. 2a is realized with $g_{m1} = g_{m2} = g_{m3}$ = 1 mA/V ($I_{B1} = I_{B2} = I_{B3}$ = 100 µA) to obtain R_{eq1} = 1 kΩ in series with L_{eq1} = 1 mH. Figure 13 shows the measured waveforms of v_{in} and i_{in} with 50 mV peak input voltage signal at f = 100 kHz. The experimental results indicate that there is a 34.09° phase shifting between v_{in} and i_{in}, which is in close correspondence with the analytical calculation equal to 32.14°. In the same way, the measured magnitude and phase frequency responses for Z_{in} of the simulator at the setting transconductances are also shown in Fig. 14. From these results, it can be observed that the practical series lossy inductor works well with the predicted theory for frequencies up to around 400 kHz.

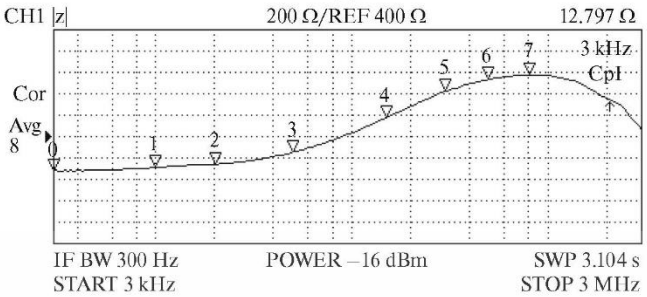
With the same component values chosen as above, the experiment test results for v_{in} and i_{in} of the proposed parallel lossy inductor in Fig. 3a at frequency of 50 kHz are demonstrated in Fig. 15, in which R_{eq2} = 1 kΩ and L_{eq2} = 1 mH are simulated. The phase shifting between v_{in} and i_{in} is appeared at 74.84° in practice. The measured magnitude and phase of the input impedance of the circuit versus frequency are also shown in Fig. 16.

CONCLUSIONS

In this work, the floating series and parallel RL-type lossy inductance simulator configurations are introduced that use three VDBAs and only one capacitors without using any external passive resistor elements. The values of simulated resistance and inductance elements can be adjusted electronically. The simulation results with TSMC 0.25 µm CMOS technology appear to be in accordance with the theoretical predictions. The measured data based on the VDBA constructed from readily available IC LT1228 have also been included to verify the practical operation of both proposed synthetic lossy inductors.

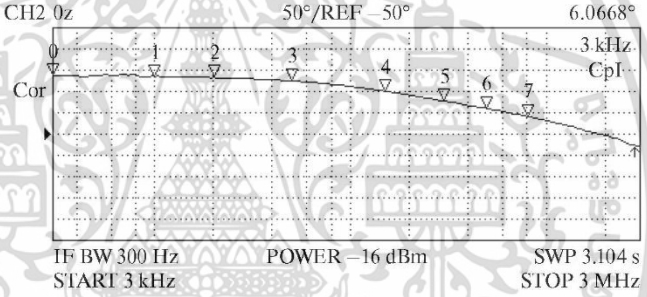
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(a)



N	SWP PARAM	VAL
0	3 kHz	102.79 Ω
1	10 kHz	121.67 Ω
2	20 kHz	141.48 Ω
3	50 kHz	252.31 Ω
4	150 kHz	577.77 Ω
5	300 kHz	820.68 Ω
6	500 kHz	932.80 Ω
7	800 kHz	975.61 Ω

(b)



N	SWP PARAM	VAL
0	3 kHz	87.6680°
1	10 kHz	85.8070°
2	20 kHz	82.8270°
3	50 kHz	74.8750°
4	150 kHz	51.2000°
5	300 kHz	28.1010°
6	500 kHz	9.8125°
7	800 kHz	–8.1690°

Fig. 16. Measured frequency characteristics for Z_{in} of the proposed parallel inductor in Fig. 3a: (a) magnitude response, (b) phase response.

ACKNOWLEDGMENTS

This work was supported by King Mongkut's Institute of Technology Ladkrabang Research Fund (grant no. KREF046213).

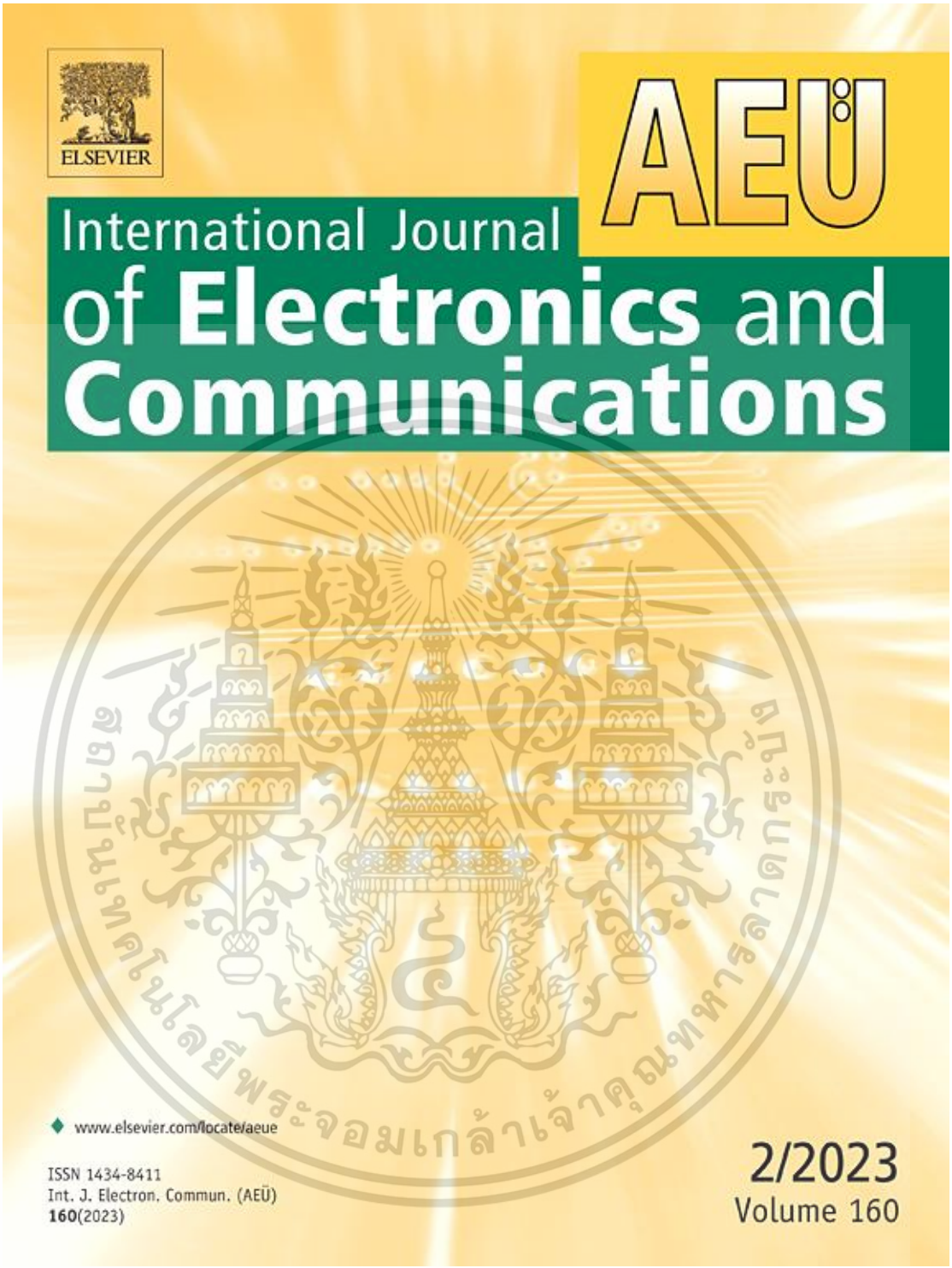
REFERENCES

1. R. Senani, Electrocomp. Sci. Tech. **10**, 7 (1982).
2. R. Senani, Electron. Lett. **16**, 382 (1980).
3. R. Senani, Electron. Lett. **24**, 403 (1988).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. R. Senani and D. R. Bhaskar, Analog Integr. Circ. Sig. Process. **73**, 981 (2012).
5. D. R. Bhaskar and R. Senani, Am. J. Electr. Electron. Eng. **3**, 88 (2015).
6. W. Tangsrirat, IETE J. Res. **64**, 446 (2019).
7. E. Yuce, Analog Integr. Circ. Sig. Process. **58**, 61 (2009).
8. M. A. Ibrahim, S. Minaei, E. Yuce, N. Herencsar, and J. Koton, Radioengineering **21**, 3 (2012).
9. R. Sotner, J. Jerabek, and N. Herencsar, Radioengineering **22**, 490 (2013).
10. A. Yesil, F. Kacar, and K. Gurkan, Int. J. Electron. Commun. (AEU) **68**, 143 (2014).
11. W. Tangsrirat, Rev. Roum. Sci. Techn.– Electrotechn. et Energ. **62**, 72 (2017).
12. W. Tangsrirat and O. Channumsin, J. Commun. Tech. Electron. **64**, 797 (2019).
13. Linear Technology, 100 MHz Current Feedback Amplifier with DC Gain Control, LT1228 datasheet, (http://www.linear.com/product/LT1228).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Int. J. Electron. Commun. (AEÜ) 145 (2022) 154095

Contents lists available at ScienceDirect

International Journal of Electronics and Communications

journal homepage: www.elsevier.com/locate/aeue

Floating/grounded series/parallel R-L, R-C and L-C immittance simulators employing VDTAs and only two grounded passive elements

Pitchayanin Moonmuang, Tattaya Pukkalanun, Worapong Tangsrirat *

School of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok 10520, Thailand

ARTICLE INFO

Keywords:
Voltage Differencing Transconductance Amplifier (VDTA)
Immittance function
Impedance simulator
Filters

ABSTRACT

In this paper, four floating/grounded series and parallel immittance simulator topologies are proposed, utilizing voltage differencing transconductance amplifiers (VDTAs) as useful active devices. Each of the proposed topologies requires only two grounded passive components. The floating series and parallel simulated immittance circuits proposed here require just two VDTAs, whilst the grounded ones require only one. The proposed topologies can simulate R-L, R-C, and L-C immittances in series and parallel. All of the simulated equivalent elements for the realized immittances are orthogonal adjustable. Furthermore, there are no critical element equality criteria required for the desired immittance function realization. The behavior of the proposed VDTA-based immittance simulators is exemplified in LC ladder filter and sinusoidal oscillator applications. To illustrate the simulator's performance, PSPICE simulation and experimental test results are used.

1. Introduction

Actively simulated immittance function circuits, which enable simulation of both series and parallel R-L, R-C, and L-C impedance types, are very useful research topics since they can be widely applied in areas like LC oscillator design, active ladder filter design, and impedance matching circuitry. Several schemes for active simulation for realizing immittance functions and inductances have even appeared in the literature [1–25]. Among these, operational transconductance amplifier (OTA)-based immittance simulator circuits were presented in [1–4]. All of them are related to the simulation of lossless inductance, positive and negative resistances, frequency-dependent negative resistance (FDNR), and frequency-dependent negative conductance (FDNC). These topologies cannot be utilized to create specific circuits for simulating series and parallel R-L, R-C, and L-C grounded and floating immittance functions. In the literature [5–11], the inductance simulations have been proposed with the employment of a single active component and two to four passive elements. Only lossy and lossless inductance simulators are available from these topologies. One or more floating passive components are also required for their realization. Grounded passive structures are preferable from the viewpoint of the advent of micro-electronic miniaturization. Several simulated immittance realizations that employ a single active element were developed to simulate floating/grounded series and parallel R-L impedances [12–14]. However, they require three to six floating passive components. In addition to the immittance topologies of [15] and [16], the grounded series and parallel R-L-C impedance simulators can be derived by employing a single second-generation current conveyor (CCII) and three to seven passive elements. Specific topologies are available in the literature for the realization of R-L and C-D immittances [17–20]. Although these topologies require a single active block for construction, they also include three or more passive elements from which some of them are floating. Moreover, the simulators of [17–18] do not exhibit independent adjustability. The other immittance function simulators developed in [21] require all the three grounded passive elements and only one differential difference current conveyor (DDCC) to emulate floating and grounded lossy inductors. In [22], a catalog of floating inductance emulator circuits has been proposed using only two current-feedback operational amplifiers (CFOAs) together with three to five passive elements (some of them are floating). Furthermore, a recheck of all previously mentioned simulators reveals that the electronic tuning capability is not available from these works [5–10,12–22]. Moreover, several of them necessitate critical component matching conditions in the design. [6,8,15,17,21]. The availability of realized circuits devoid of component matching constraints, as well as the ability for designers to access a speedy design technique, would be tremendously advantageous. The given circuit of [23] permits the simulating of a floating inductor, capacitor, and resistor depending on the grounded passive

* Corresponding author.
E-mail address: worapong.ta@kmitl.ac.th (W. Tangsrirat).

https://doi.org/10.1016/j.aeue.2021.154095
Received 13 September 2021; Accepted 20 December 2021
Available online 23 December 2021
1434-8411/© 2021 Elsevier GmbH. All rights reserved.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1
Performance comparison of the proposed and previously published immittance simulator topologies.

Ref.	Type	Immittance function	Active element number	Passive element number	All grounded passive elements	Matching requirement	Electronic tunable	Simulation results	Experimental results
[1]	G	positive and negative R	OTA = 1	0	–	no	yes	no	no
	F	positive R	OTA = 2	R = 1	yes	no	yes	no	no
	F	lossless L	OTA = 2	C = 1	yes	no	yes	no	no
[2]	G/F	lossless L	OTA = 2/3	C = 1	yes	no	yes	no	no
[3]	G/F	lossless L	OTA = 3/4	R = 1, C = 1	yes	no	yes	no	no
	F	positive R	OTA = 4	R = 2	yes	no	yes	no	no
	F	FDNC	OTA = 3	C = 2	yes	no	yes	no	no
[4]	G	lossless L Fig. 3.3)	OTA = 2	C = 1	yes	no	yes	no	no
	G	FDNC (Fig. 3.4)	OTA = 3	C = 2	yes	no	yes	yes	no
	G	FDNR (Fig. 3.5)	OTA = 5	C = 2	yes	no	yes	yes	no
	F	lossless L (Figs. 3.6 and 3.7)	OTA = 4/3	C = 1	yes	no	yes	no	no
	F	lossless L (Fig. 3.8)	OTA = 5	C = 1	yes	yes	yes	no	yes
	F	lossless L (Figs. 3.9 and 3.10)	OTA = 4	C = 1	yes	yes	yes	no	yes
	F	lossless L (Figs. 3.11 and 3.12)	OTA = 2	C = 1	yes	no	yes	yes	no
	F	FDNC (Fig. 3.13)	OTA = 4	C = 2	yes	no	yes	no	no
	G	lossless L (Fig. 8.35)	OTA = 2	C = 1	yes	no	yes	yes	no
	F	FDNR (Fig. 8.39)	VDTA = 3	C = 2	yes	no	yes	yes	no
[5]	G	series/parallel R-L	CCIII = 1	R = 2/3, C = 1	no	no	no	yes	no
[6]	G	parallel R-L	DXCCII = 1	R = 2, C = 1	no	yes	no	yes	no
[7]	G	series R-L	CFOA = 1	R = 2, C = 1	no	no	no	yes	no
[8]	G	series R-L (Fig. 2b and 2f)	DXCCII = 1	R = 2/3, C = 1	no	no	no	yes	no
		parallel R-L (Fig. 2c)	DXCCII = 1	R = 3, C = 1	no	yes	no	yes	no
		parallel R-L (Fig. 2d and 2e)	DXCCII = 1	R = 3, C = 1	no	no	no	yes	no
[9]	G	series R-L	VDCC = 1	R = 1, C = 1	yes	no	yes	yes	no
Ref.	Type	Immittance function	Active element number	Passive element number	All grounded passive elements	Matching requirement	Electronic tunable	Simulation results	Experimental results
[10]	G	series/parallel R-L	CFOA = 1	R = 2, C = 1	no	no	no	yes	yes
[11]	G	series R-L	DXCCDITA = 1	R = 1, C = 1	no	yes	yes	yes	no
		parallel R-L	DXCCDITA = 1	R = 1, C = 1	no	no	yes	yes	no
[12]	F	series/parallel R-L	CCII = 2	R = 2, C = 1	no	no	no	no	no
[13]	G	parallel R-L	OTRA = 1	R > 2, C = 1	no	no	no	yes	no
[14]	G	parallel R-L	OTRA = 2	R = 4, C = 1	no	yes	no	yes	no
[15]	G	series L-C	CCII = 1	R = 3, C = 4	no	yes	no	no	yes
[16]	G	parallel L-C	CCII = 1	R = 2, C = 2	no	yes	no	yes	no
[17]	G	series R-L	CFOA = 1	R = 2, C = 2	no	yes	no	no	yes
[18]	G	series/parallel R-L	FTFN = 1	R = 2, C = 1	no	no	no	yes	no
		series/parallel C-D	FTFN = 1	R = 1, C = 2	no	no	no	yes	no
[19]	G	series/parallel R-L	CCIII = 1	R = 2, C = 1	no	no	no	yes	no
[20]	G	series/parallel R-L	DVCC = 1	R = 2, C = 1	no	no	no	yes	no
[21]	G/F	parallel R-L	DDCC = 1	R = 2, C = 1	yes	yes	no	yes	yes
[22]	F	series R-L (Fig. 1a and 1e)	CFOA = 2	R = 2/3, C = 1/2	no	no	no	no	yes
		parallel R-L (Fig. 1f)	CFOA = 2	R = 3, C = 2	no	no	no	no	yes
[23]	F	Lossless L, R, and C multiplier	DO-CCII = 1, OTA = 1	R > 1, C = 1	yes	no	yes	yes	no
[24]	F	Lossless L, R, and C multiplier	CBTA = 1	R > 1, C = 1	yes	no	yes	yes	no
[25]	F	Lossless L and C multiplier	VDTA = 1/2	C = 1	yes	no	yes	yes	no

(continued on next page)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1 (*continued*)

Ref.	Type	Immittance function	Active element number	Passive element number	All grounded passive elements	Matching requirement	Electronic tunable	Simulation results	Experimental results
This work	G	series/parallel R-L	VDTA = 1	R = 1, C = 1	yes	no	yes	yes	yes
		series/parallel R-C		R = 1, C = 1	yes	no	yes	yes	yes
		series/parallel L-C		C = 2	yes	no	yes	yes	yes
	F	series/parallel R-L	VDTA = 2	R = 1, C = 1	yes	no	yes	yes	yes
		series/parallel R-C		R = 1, C = 1	yes	no	yes	yes	yes
		series/parallel L-C		C = 2	yes	no	yes	yes	yes

G Grounded, F Floating.
GCII second-generation current conveyor, GCIII third-generation current conveyor, DXCCII dual-X current conveyor.
DO-GCII dual-output current conveyor, CFOA current feedback operational amplifier, VDCC voltage differencing current conveyor, DXCCDITA dual-X current conveyor differential input transconductance amplifier.
OTRA operational transresistance amplifier, FTFN four terminal floating nullor.
DVCC differential voltage current conveyor, DDCC differential difference current conveyor.
OTA operational transconductance amplifier, CBTA current backward transconductance amplifier.

element choice. However, this configuration consists of two different active components, i.e. a dual-output CCII (DO-CCII) and an OTA, which is incompatible of the advent integrated circuit concept for fabricating microelectronic systems. The work of [24] has presented a configuration using a single current backward transconductance amplifier (CBTA) which realizes floating lossless inductor, capacitor, and resistor with only two passive components. Despite the fact that the work in [25] demonstrates the advantage of using VDTA in the design of a floating impedance simulator, it is a pure capacitance simulator. A few reports have been provided for circuits that can simulate various series and grounded immitances such as R-L, R-C, and L-C impedance types. It can be noted that the kind of circuit is very useful and suitable for the design of active LC ladder design and filtering realizations and applications.

In recent years, the voltage differencing transconductance amplifier (VDTA) has becomes an alternative active block for implementing numerous analog generating circuits and signal processing applications [26–32]. The VDTA is generally made up of two voltage-controlled current sources, represented by OTAs, with the requisite number of outputs, and these sub-circuits are coupled internally. Active components with several controllable parameters are particularly beneficial in circuit design and synthesis. The resultant circuit solutions often allow electronic control of more than one parameter. Therefore, this correspondence describes four VDTA-based circuit topologies for the simulation of floating/grounded series/parallel R-L, R-C, and L-C immittances. The first two proposed topologies include two VDTAs for realizing synthetic floating immittances, and the last two proposed topologies realize grounded ones with a single VDTA. Only two grounded passive components are employed for these proposed simulators. The simulated equivalent elements realized by both topologies can be orthogonally tuned through the VDTAs' transconductances. The designs require no critical component-equality choices. Some filter and oscillator realizations are given to demonstrate the practicality of the proposed simulated immittance circuits. The feasibility of the design and some applications have been justified by the simulation results obtained from the PSPICE software package. Further, the proposed simulator circuits have also been implemented on PCB boards using CA3080 ICs and verified experimentally for their operation in practice. Table 1 also summarizes a performance comparison of the proposed immittance function simulators with other previously comparable simulators published in the literature.

2. Proposed floating series/parallel immittance simulators

As symbolically depicted in Fig. 1, the VDTA is a two-input three-output active device where p and n are the input terminals, and z, x+, and x− are the output terminals. The characteristic of the VDTA can be defined as in the following terminal equation [26–28]:

$$\begin{bmatrix} i_z \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} g_{mF} & -g_{mF} & 0 \\ 0 & 0 & g_{mS} \\ 0 & 0 & -g_{mS} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \end{bmatrix}, \tag{1}$$

where g_{mF} and g_{mS} represent the small-signal first and second transconductance parameters, respectively. It is to be noted that, in general, the transconductances g_{mF} and g_{mS} can be tuned electronically via the external DC control voltages or currents [26–27].

The proposed floating series and parallel immittance simulator topologies implemented with this device are shown in Fig. 2. It is important to note that both circuits are implemented with two VDTAs and only two grounded passive components. Assuming ideal VDTA, the impedance and admittance transfer functions of the proposed simulators can be given, respectively, as follows:

$$Z_{in} = \left(\frac{v_1 - v_2}{i_1}\right) = \left(\frac{v_2 - v_1}{i_2}\right) = \left(\frac{1}{g_{mF1}g_{mS1}}\right)\left(\frac{1}{Z_A} + g_{mF2}g_{mS2}Z_B\right) \tag{2}$$

for the series-type simulator of Fig. 2(a), and

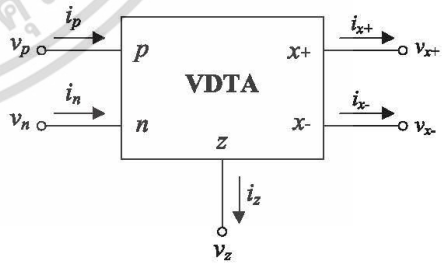
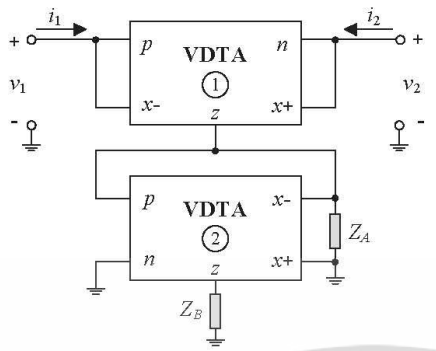
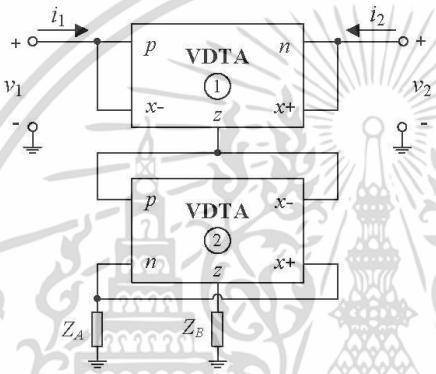


Fig. 1. Symbolic notation of the VDTA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



(b)

Fig. 2. Proposed floating immittance simulator topologies. (a) series type (b) parallel type.

$$Y_{in} = \left(\frac{i_1}{v_1 - v_2}\right) = \left(\frac{i_2}{v_2 - v_1}\right) = g_{mF1}g_{mS1}\left(Z_A + \frac{1}{g_{mF2}g_{mS2}Z_B}\right) \tag{3}$$

for the parallel-type simulator of Fig. 2(b). From equations (2) and (3), by appropriate choice of Z_A and Z_B, the various combinations of floating immittance functions can be obtained as given in Table 2. It is observed from Table 2 that the proposed circuit of Fig. 2(a) can simulate all possible floating series-type immittances, i.e., R with L (R-L), R with C (R-C), and L with C (L-C), while the proposed circuit given in Fig. 2(b) provides actively simulation of the grounded parallel immittances. For these realizations, no requirements of critical element-matching constraints are imposed. Also, note from the table that the proposed circuits exhibit orthogonal electronic adjustment of the simulated equivalent immittance values through the transconductance parameters of the VDTAs.

3. Proposed grounded series/parallel immittance simulators

The proposed grounded series and parallel immittance simulator circuits employing a single VDTA and only two grounded passive elements are respectively given in Fig. 3(a) and 3(b). Routine analysis of the circuits yields the equivalent input impedance and admittance expressed by:

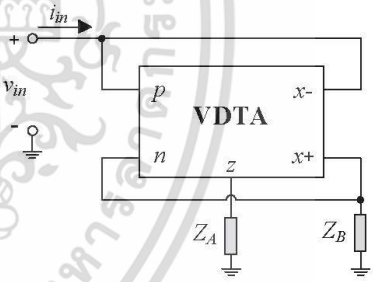
Table 2
Various types of floating immittances realized with the proposed simulator topologies in Fig. 2.

Z_A	Z_B	Circuit	Equivalent circuit	Equivalent values
$1/sC_A$	R_B	Fig. 2(a)	R_{eq} L_{eq}	$R_{eq} = \frac{g_{mF2}g_{mS2}R_B}{g_{mF1}g_{mS1}}$
		Fig. 2(b)	R_{eq} L_{eq}	$L_{eq} = \frac{C_A}{g_{mF1}g_{mS1}}$
R_A	$1/sC_B$	Fig. 2(a)	R_{eq} C_{eq}	$R_{eq} = \frac{1}{g_{mF1}g_{mS1}R_A}$
		Fig. 2(b)	R_{eq} C_{eq}	$C_{eq} = \frac{g_{mF1}g_{mS1}C_B}{g_{mF2}g_{mS2}}$
$1/sC_A$	$1/sC_B$	Fig. 2(a)	L_{eq} C_{eq}	$L_{eq} = \frac{C_A}{g_{mF1}g_{mS1}}$
		Fig. 2(b)	L_{eq} C_{eq}	$C_{eq} = \frac{g_{mF1}g_{mS1}C_B}{g_{mF2}g_{mS2}}$

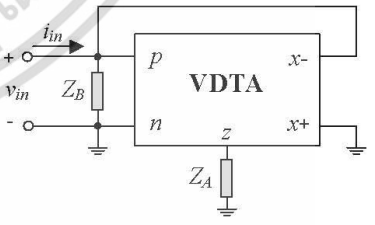
$$Z_{in} = \frac{v_{in}}{i_{in}} = \left(\frac{1}{g_{mF}g_{mS}Z_A} + Z_B\right) \tag{4}$$

for Fig. 3(a), and

$$Y_{in} = \frac{i_{in}}{v_{in}} = \left(g_{mF}g_{mS}Z_A + \frac{1}{Z_B}\right) \tag{5}$$



(a)

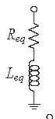
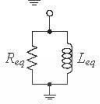
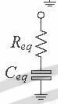
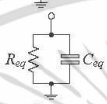
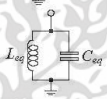


(b)

Fig. 3. Proposed grounded immittance simulator topologies. (a) series type (b) parallel type.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3
Various types of grounded immittances realized with the proposed simulator topologies in Fig. 3.

Z_A	Z_B	Circuit	Equivalent circuit	Equivalent values
$1/sC_A$	R_B	Fig. 3(a)		$R_{eq} = R_B$ $L_{eq} = \frac{C_A}{g_{mF}g_{m3}}$
		Fig. 3(b)		
R_A	$1/sC_B$	Fig. 3(a)		$R_{eq} = \frac{1}{g_{mF}g_{m3}R_A}$ $C_{eq} = C_B$
		Fig. 3(b)		
$1/sC_A$	$1/sC_B$	Fig. 3(a)		$L_{eq} = \frac{C_A}{g_{mF}g_{m3}}$ $C_{eq} = C_B$
		Fig. 3(b)		

for Fig. 3(b). In fact, using equations (4) and (5), various grounded immittance function simulators can be realized as given in Table 3. According to Table 3, the proposed circuit in Fig. 3(a) provides a series simulation of R-L, R-G, and L-C immittances. Besides, all the parallel-type immittance realizations are simulated with the circuit of Fig. 3 (b). Note that in both topologies, all the simulated immittance values can be tuned orthogonally and electronically without the need for any certain component matching.

Table 5
The proposed grounded immittances simulators in Fig. 3 for non-ideal case.

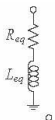
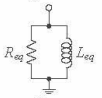
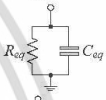
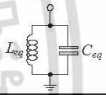
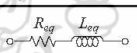
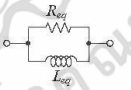
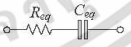
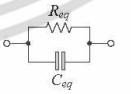
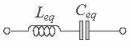
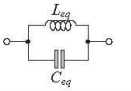
Z_A	Z_B	Circuit	Equivalent circuit	Equivalent values
$1/sC_A$	R_B	Fig. 3(a)		$R_{eq} = \frac{\beta_{SP}R_B}{\beta_{SN}}$ $L_{eq} = \frac{C_A}{\beta_F\beta_{SN}g_{mF}g_{m3}}$
		Fig. 3(b)		$R_{eq} = R_B$ $L_{eq} = \frac{C_A}{\beta_F\beta_{SN}g_{mF}g_{m3}}$
R_A	$1/sC_B$	Fig. 3(a)		$R_{eq} = \frac{1}{\beta_F\beta_{SN}g_{mF}g_{m3}R_A}$ $C_{eq} = \frac{\beta_{SN}C_B}{\beta_{SP}}$
		Fig. 3(b)		$R_{eq} = \frac{1}{\beta_F\beta_{SN}g_{mF}g_{m3}R_A}$ $C_{eq} = C_B$
$1/sC_A$	$1/sC_B$	Fig. 3(a)		$L_{eq} = \frac{C_A}{\beta_F\beta_{SN}g_{mF}g_{m3}}$ $C_{eq} = \frac{\beta_{SN}C_B}{\beta_{SP}}$
		Fig. 3(b)		$L_{eq} = \frac{C_A}{\beta_F\beta_{SN}g_{mF}g_{m3}}$ $C_{eq} = C_B$

Table 4
The proposed floating immittances simulators in Fig. 2 for non-ideal case.

Z_A	Z_B	Circuit	Equivalent circuit	Equivalent values (assume that $\beta_{SP1} \simeq \beta_{SN1}$)
$1/sC_A$	R_B	Fig. 2(a)		$R_{eq} = \frac{\beta_{F2}\beta_{SN2}g_{mF2}g_{m32}R_B}{\beta_{F1}\beta_{SP1}g_{mF1}g_{m31}}$ $L_{eq} = \frac{C_A}{\beta_{F1}\beta_{SP1}g_{mF1}g_{m31}}$
		Fig. 2(b)		$R_{eq} = \frac{\beta_{F2}\beta_{SN2}g_{mF2}g_{m32}R_B}{\beta_{F1}\beta_{SP1}g_{mF1}g_{m31}}$ $L_{eq} = \frac{\beta_{SN2}C_A}{\beta_{F1}\beta_{SP1}g_{mF1}g_{m31}}$
R_A	$1/sC_B$	Fig. 2(a)		$R_{eq} = \frac{1}{\beta_{F1}\beta_{SP1}g_{mF1}g_{m31}R_A}$ $C_{eq} = \frac{\beta_{F1}\beta_{SP1}g_{mF1}g_{m31}C_B}{\beta_{F2}\beta_{SN2}g_{mF2}g_{m32}}$
		Fig. 2(b)		$R_{eq} = \frac{\beta_{SN2}}{\beta_{F1}\beta_{SP1}\beta_{SP2}g_{mF1}g_{m31}R_A}$ $C_{eq} = \frac{\beta_{F1}\beta_{SP1}g_{mF1}g_{m31}C_B}{\beta_{F2}\beta_{SN2}g_{mF2}g_{m32}}$
$1/sC_A$	$1/sC_B$	Fig. 2(a)		$L_{eq} = \frac{C_A}{\beta_{F1}\beta_{SP1}g_{mF1}g_{m31}}$ $C_{eq} = \frac{\beta_{F1}\beta_{SP1}g_{mF1}g_{m31}C_B}{\beta_{F2}\beta_{SN2}g_{mF2}g_{m32}}$
		Fig. 2(b)		$L_{eq} = \frac{\beta_{SN2}C_A}{\beta_{F1}\beta_{SP1}\beta_{SP2}g_{mF1}g_{m31}}$ $C_{eq} = \frac{\beta_{F1}\beta_{SP1}g_{mF1}g_{m31}C_B}{\beta_{F2}\beta_{SN2}g_{mF2}g_{m32}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

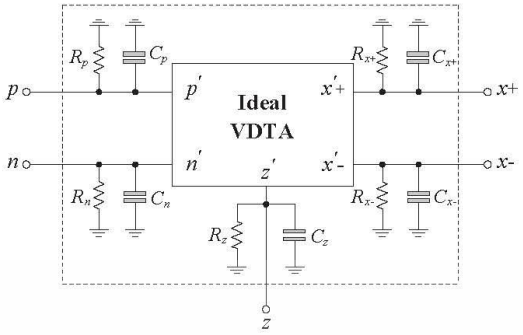


Fig. 4. Non-ideal VDTA model with parasitic elements.

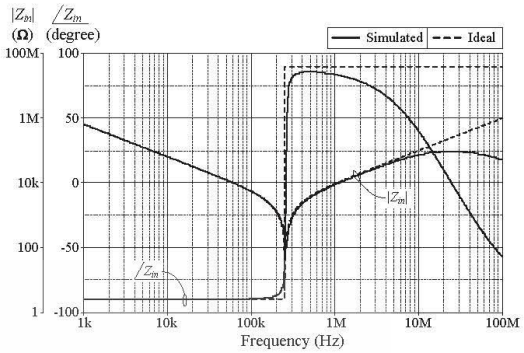


Fig. 7. Ideal and simulated magnitude and phase responses of the grounded series L-C impedance simulator in Fig. 3(a).

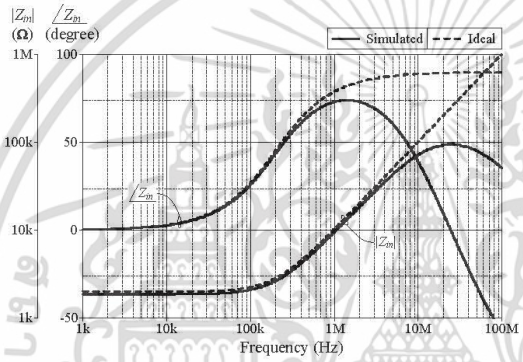


Fig. 5. Ideal and simulated magnitude and phase responses of the floating series R-L impedance simulator in Fig. 2(a).

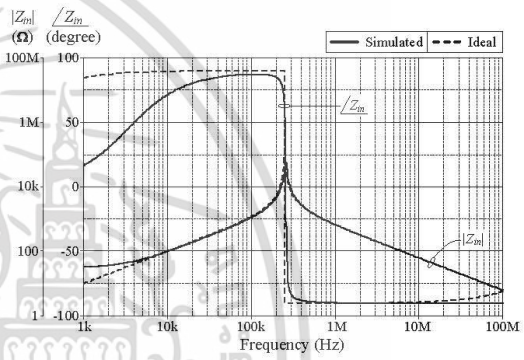


Fig. 8. Ideal and simulated magnitude and phase responses of the grounded parallel L-C impedance simulator in Fig. 3(b).

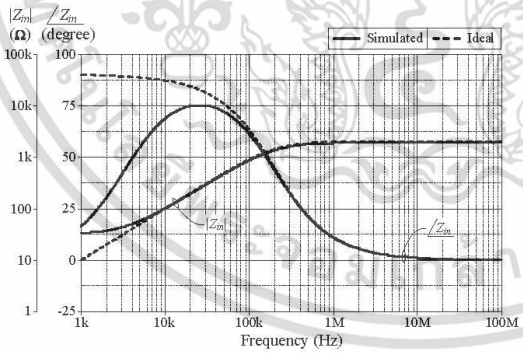


Fig. 6. Ideal and simulated magnitude and phase responses of the floating parallel R-L impedance simulator in Fig. 2(b).

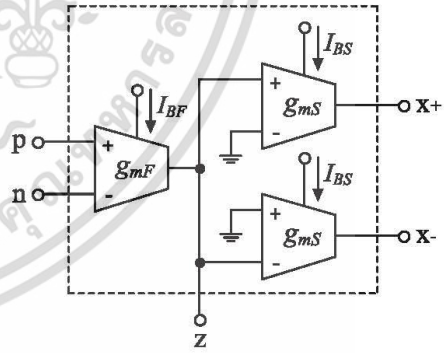


Fig. 9. Practical VDTA implementation using commercially available IC CA3080s.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

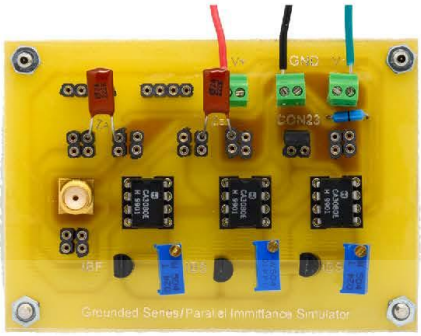


Fig. 10. Printed circuit board of the proposed circuits in Fig. 3.

4. Non-Ideal effects of VDTAs

The non-ideal performance of the VDTA can be represented by:

$$\begin{bmatrix} i_z \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} \beta_F g_{mF} & -\beta_F g_{mF} & 0 \\ 0 & 0 & \beta_{SP} g_{mS} \\ 0 & 0 & -\beta_{SN} g_{mS} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \end{bmatrix}, \tag{6}$$

where β_F, β_{SP} and β_{SN} are the non-ideal gains for the input and output stages of the VDTA, respectively. Owing to the non-idealities of the VDTA in equation (6), the modified equivalent immittance values for the proposed simulator circuits in Figs. 2 and 3 are expressed in Tables 4 and 5, respectively.

In the following, the influences of the parasitic impedances at corresponding terminals of the VDTA are considered to evaluate the performance of the proposed simulators. The non-ideal VDTA model, including its parasitic elements, is shown in Fig. 4, where R_p, R_n, R_z, R_{x+}, R_{x-}, and C_p, C_n, C_z, C_{x+}, C_{x-} are dominant parasitic resistances and capacitances at the VDTA's corresponding terminals, respectively. It can be realized that the parasitic impedances $R_p//(1/sC_p)$, $R_n//(1/sC_n)$, $R_z//(1/sC_z)$, $R_{x+}//(1/sC_{x+})$, and $R_{x-}//(1/sC_{x-})$ appearing in parallel with the p, n, z, x + and x– terminals are ideally assumed to be infinite. These unwanted impedances bring additional poles to the synthetic immittance simulators, which deviate their frequency performance. However, all the proposed circuits offer the benefit that only grounded passive elements are employed. Therefore, these parasitic effects can be absorbed. For example, the proposed floating immittance simulator of Fig. 2 (a) is taken into account. If the parasitic impedances are considered, then the total equivalent impedances at the terminals x– and z of the VDTA2 can be found, respectively, as:

$$Z_A' = Z_A // \left[\frac{1}{(G_{z1} + G_{p2} + G_{x-}) + s(C_{z1} + C_{p2} + C_{x-})} \right], \tag{7}$$

and

$$Z_B' = Z_B // \left(\frac{1}{G_{z2} + sC_{z2}} \right). \tag{8}$$

In above expressions, $G_{z1} = 1/R_{z1}$, $G_{z2} = 1/R_{z2}$, $G_{p2} = 1/R_{p2}$, and $G_{x-} = 1/R_{x-}$. Also note from equations (7) and (8) that the terms $[1/(G_{z1} + G_{p2} + G_{x-}) + s(C_{z1} + C_{p2} + C_{x-})]$ and $[1/(G_{z2} + sC_{z2})]$ are effective at

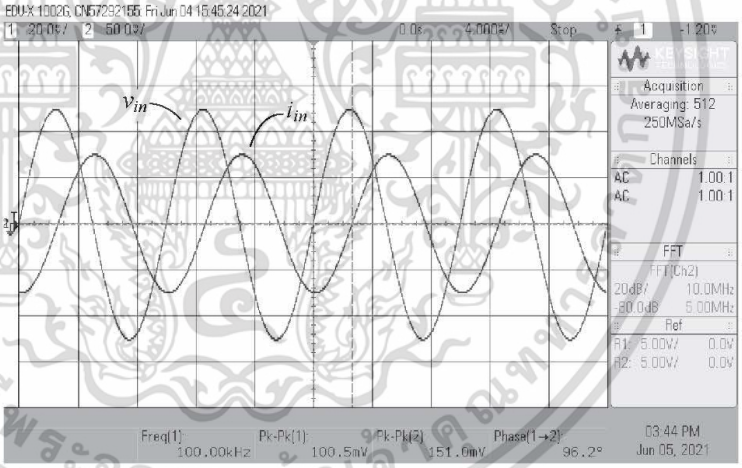
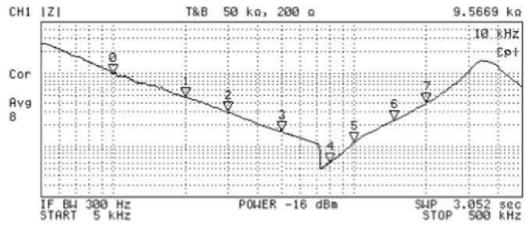


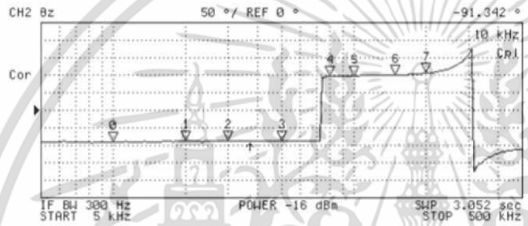
Fig. 11. Measured v_{in} and i_{in} waveforms of the grounded series LC simulator in Fig. 3(a).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	10 kHz	9.5669 kΩ
1	20 kHz	4.6831 kΩ
2	30 kHz	2.9085 kΩ
3	50 kHz	1.7496 kΩ
4	80 kHz	620.64 Ω
5	100 kHz	1.2853 kΩ
6	150 kHz	2.6861 kΩ
7	200 kHz	3.8101 kΩ

(a)



N	SWP PARAM	VAL
0	10 kHz	-91.342 °
1	20 kHz	-87.508 °
2	30 kHz	-87.328 °
3	50 kHz	-87.361 °
4	80 kHz	95.523 °
5	100 kHz	96.647 °
6	150 kHz	100.62 °
7	200 kHz	104.76 °

(b)

Fig. 12. Measured frequency responses of the grounded series LC simulator in Fig. 3(a). (a) magnitude response (b) phase response.

very high frequencies. They can be neglected at low frequencies. Furthermore, by choosing the values for $Z_A \ll [1/(G_{z1} + G_{p2} + G_{x-}) + s(C_{z1} + C_{p2} + C_{x-})]$ and $Z_B \ll [1/(G_{z2} + sC_{z2})]$, the non-ideality parasitic effects of the VDTA can be diminished. Therefore, the low- and high-frequency limitations of the proposed simulator circuit in Fig. 2(a) depend on the selection of the external passive components.

5. Performance simulations

The working ability of the proposed floating/grounded immittance simulator circuits has been validated through simulation results using the PSPICE program. The VDTA implementation given in [28] with 0.25-μm TSMC CMOS process parameters is used for simulation. The same dimensions of transistors are used as in [28]. The circuit is biased with supply voltages of ±1 V.

As a design example, the proposed circuit in Fig. 2(a) when performing a floating series R-L impedance simulator is simulated with the following components: $C_A = 0.5$ nF, $R_B = 1$ kΩ, $g_{mF1} \cong g_{mS1} = 0.56$ mA/V ($I_{BF1} \cong I_{BS1} = 200$ μA), and $g_{mF2} \cong g_{mS2} = 0.79$ mA/V ($I_{BF2} \cong I_{BS2} = 400$ μA). Thus, the simulated equivalent elements of $R_{eq} = 2$ kΩ and $L_{eq} = 1.61$ mH are realized. On the other hand, with the same designed components, the proposed circuit of Fig. 2(b) represents a floating parallel R-L impedance simulator with the same equivalent values. The ideal and simulated frequency responses of the synthetic simulated series and parallel R-L impedances are depicted in Figs. 5 and 6, respectively. It can be recorded from simulation results that the total power dissipation for each circuit is equal to 2.4 mW.

Similarly, to demonstrate the frequency performance of the proposed grounded immittance simulators of Fig. 3, the circuits are simulated with the following active and passive components: $C_A = 0.5$ nF, $C_B = 0.25$ nF, $g_{mF} \cong g_{mS} = 0.56$ mA/V. In this case, the circuits of Fig. 3(a) and 3(b) behave respectively like grounded series and parallel L-C impedances with the same immittance values equal to $L_{eq} = 1.61$ mH and $C_{eq} = 0.25$ nF. The total power dissipation of the designed L-C impedance simulator is observed as 0.8 mW. The frequency-domain analysis results of the impedances of both cases are given in Figs. 7 and 8.

6. Experimental verification

To justify the operation of the proposed circuits in a practical environment, the experimental verification is carried out through commercially available IC CA3080s. The practical VDTA implementation using IC CA3080s is shown in Fig. 9. The printed circuit board of Fig. 3 for experimental testing purposes is depicted in Fig. 10. ICs of CA3080s used in the experiment were biased under ±5 V supplies, and the bias currents of $I_{BF} = I_{BS} = 50$ μA were set to obtain the transconductances of $g_{mF} = g_{mS} = 1$ mA/V, where $g_m = 20I_B$ for CA3080 [33]. To obtain the i_{in} measurement, the current-to-voltage converter using IC AD844 was employed with a converting resistor $R_C = 1$ kΩ.

Both of the proposed grounded simulators in Fig. 3(a) and (b) were realized with $Z_A = 1/sC_A$ and $Z_B = 1/sC_B$, where $C_A = C_B = 2.2$ nF. Therefore, from Table 3, the series and parallel connections for L-C immittance circuits are respectively obtained with $L_{eq} = 2.2$ mH and $C_{eq} = 2.2$ nF at a corner frequency of $f_c = 72$ kHz. The measured results for the v_{in} and i_{in} waveforms of the synthetic grounded series L-C simulator in Fig. 3(a) are shown in Fig. 11, when a sinusoidal input signal with a 50 mV peak at 100 kHz was applied to the input. It shows the measured phase shift of 96.2° lagging, which is consistent with the theoretical value equal to 90° lagging. The measured magnitude response along with phase response is also shown in Fig. 12, in which the experimental f_c is observed to be 73.87 kHz.

Further, the experimental results of the typical input waveforms through the grounded parallel L-C simulator in Fig. 3(b) are well observed in Fig. 13. These results give current i_{in} leads of 87.8° with voltage v_{in}, where its ideal value is equal to 90° leading. In Fig. 14, the associated magnitude and phase curves are also observed, which further verifies the practical behavior of the synthetic parallel L-C simulator.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

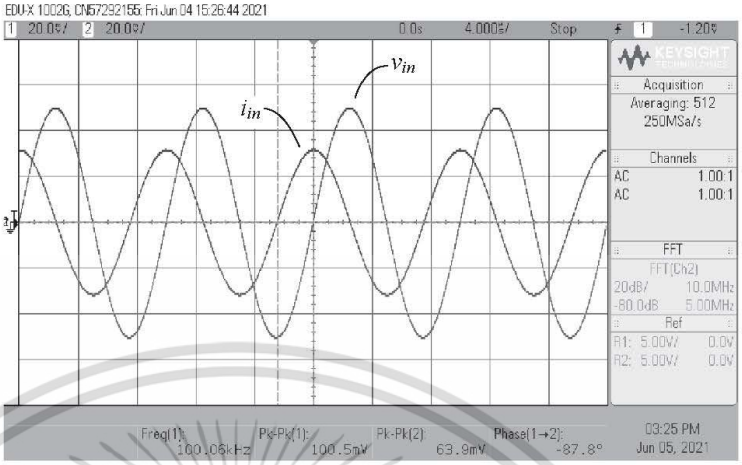


Fig. 13. Measured v_{in} and i_{in} waveforms of the grounded parallel LC simulator in Fig. 3(b).

7. Applications

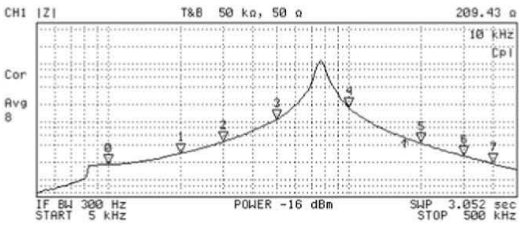
As an application example, the proposed floating and grounded immittance simulator circuits can be used for frequency-transformed ladder filter synthesis [34–35]. Suppose that a second-order Butterworth lowpass (LP) ladder filter given in Fig. 15(a) is used as a prototype. As given, the normalized passive elements at the center frequency $\omega_o = 1$ rad/s are $R_S = R_L = 1\ \Omega$, $L_{LP} = 1.414$H and $C_{LP} = 1.414$ F. If a prototype circuit is to be frequency-transformed to bandpass (BP) filter, then the appropriate fourth-order BP transformation will be obtained as shown in Fig. 15(b). The transformed BP element denormalization for $\omega_o = 2\pi f_o = 628$ krad/s and bandwidth $(B) = 500$ krad/s can be obtained by using the following formulas $L_{BP1} = B/(\omega^2{}_o \times C_{LP})$, $C_{BP1} = C_{LP}/B$, $L_{BP2} = L_{LP}/B$, and $C_{BP2} = B/(\omega^2{}_o \times L_{LP})$. By magnitude scaling with $k_m = 10^3$, the corresponding elements of the BP filter would then be $R_S = R_L = 1$ kΩ, $L_{BP1} = 0.896$ mH, $C_{BP1} = 2.828$ nF, $L_{BP2} = 2.828$ mH, and $C_{BP2} = 0.896$ nF. Now, we replace the grounded parallel L_{BP1} and C_{BP1}, and the floating series L_{BP2} and C_{BP2} in Fig. 15(b) with the proposed simulators of Figs. 3(b) and 2(a) respectively. For the given specifications, the elements of the L-C immittance simulators could also have been chosen as follows:

- for Fig. 2(a), $C_A = C_B = 1$ nF, $g_{mF1} \cong g_{mS1} = 0.60$ mA/V ($I_{BF1} \cong I_{BS1} = 230$ μA), and $g_{mF2} \cong g_{mS2} = 0.63$ mA/V ($I_{BF2} \cong I_{BS2} = 260$ μA);
- for Fig. 3(b), $C_A = 0.5$ nF, $C_B = 2.8$ nF, $g_{mF} \cong g_{mS} = 0.75$ mA/V ($I_{BF} \cong I_{BS} = 360$ μA).

The obtained gain and phase-frequency characteristics of the filter are presented in Fig. 16. The simulation results confirm the theoretical and designed assumptions given above. The influence of the temperature variation on the realized BS filter is also examined. Fig. 17 shows the simulation results of the gain-frequency responses at different temperature values of 10 °C, 27 °C, 50 °C, 70 °C, and 100 °C. It can be observed that the center frequency f_o of the filter shifts toward a lower frequency as temperature increases. This is caused by the VDTA transconductances decrease with increases in temperature due to a decrease in carrier mobility. However, the shifting in f_o from its nominal values can be nullified through tuning the bias current of the VDTA. To observe the influence of component mismatches and variability within the L-C immittance simulators on the filter responses, Monte Carlo statistical analysis has been performed for 5% Gaussian deviation in all passive component values. The statistical results for two hundred simulation times are plotted in Fig. 18, which indicates that the shifting of f_o is between 102.72 kHz and 110.93 kHz. According to the Gaussian distribution, the average and median values are respectively 106.81 kHz and 106.69 kHz, which corresponds to the standard deviation value of 1.54 kHz. Thus, the designed filter is sufficiently stable against the tolerances of the passive components.

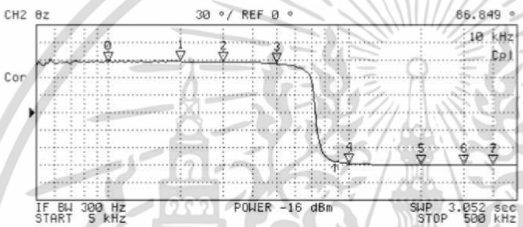
As another example of the application of the proposed circuits, consider again the prototype in Fig. 15(a). By applying the LP-to-BS transformation, a prototype is changed to the fourth-order bandstop (BS) shown in Fig. 15(c), in which $L_{BS1} = 1/(B \times C_{LP})$, $C_{BS1} = (B \times C_{LP})/\omega^2{}_o$, $L_{BS2} = (B \times L_{LP})/\omega^2{}_o$, and $C_{BS2} = 1/(B \times L_{LP})$. The corresponding BS elements obtained with $k_m = 10^3$ are calculated as be $R_S = R_L = 1$ kΩ, $L_{BS1} = 1.414$ mH, $C_{BS1} = 1.791$ nF, $L_{BS2} = 1.791$ mH, and $C_{BS2} = 1.414$ nF. Realizing the grounded series L_{BS1} and C_{BS1} and the floating parallel L_{BS2} and C_{BS2} in Fig. 15(c) by respectively the L-C simulators of Fig. 3(a) and 2(b), the following set of element values is obtained: $C_A = 1$ nF, $C_B = 1.8$ nF, $g_{mF} \cong g_{mS} = 0.85$ mA/V for Fig. 3(a), and $C_A = C_B = 1$ nF, $g_{mF1} \cong g_{mS1} = 0.75$ mA/V, $g_{mF2} \cong g_{mS2} = 0.63$ mA/V for Fig. 2(b). The simulated frequency responses of the transformed BS compared with the results of the RLC passive BS are shown in Fig. 19. The effect of tolerances in the passive element values within the L-C immittance simulators has also been evaluated. Monte Carlo simulations with 5%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	10 kHz	209.43 Ω
1	20 kHz	259.38 Ω
2	30 kHz	352.81 Ω
3	50 kHz	653.62 Ω
4	100 kHz	1.7611 kΩ
5	200 kHz	486.16 Ω
6	300 kHz	258.61 Ω
7	400 kHz	187.9 Ω

(a)



N	SWP PARAM	VAL
0	10 kHz	86.849 °
1	20 kHz	87.251 °
2	30 kHz	86.592 °
3	50 kHz	83.842 °
4	100 kHz	-87.263 °
5	200 kHz	-89.959 °
6	300 kHz	-90.025 °
7	400 kHz	-90.058 °

(b)

Fig. 14. Measured frequency responses of the grounded parallel LC simulator in Fig. 3(b). (a) magnitude response (b) phase response.

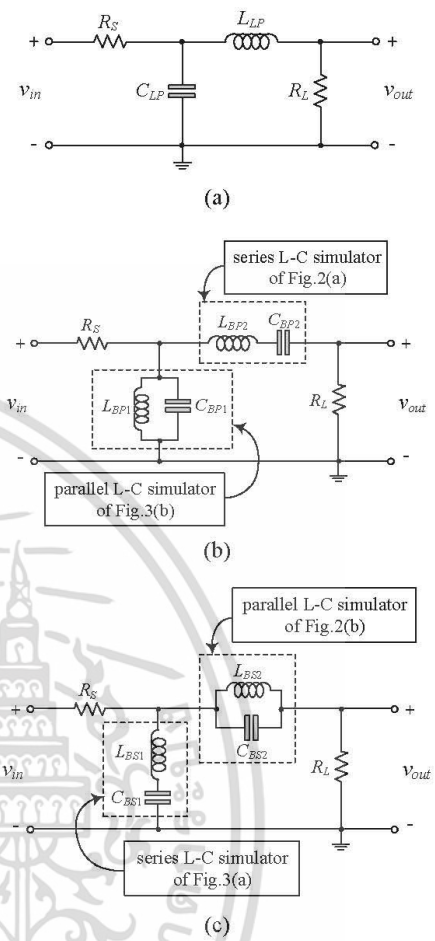


Fig. 15. (a) Butterworth normalized LP ladder filter of second-order (b) frequency-transformed BP filter (c) frequency-transformed BS filter.

tolerances on all passive components are plotted in Fig. 20 for 200 times. The analysis of Fig. 20 shows that the standard deviation of the f_o value is obtained as 1.50 kHz. This implies that the mismatching of the passive elements has no influence on the realized cut-off frequency.

Finally, an illustrative application of the proposed grounded immittance simulator circuit of Fig. 3(a) is suggested. Fig. 21 represents the suggested VDTA-based sinusoidal oscillator, which employs two series-type immittance simulators of Fig. 3(a) with

$$R_1 = (1/g_{mF1}g_{mS1}R_{A1}),\ C_1 = C_{B1},\ R_2 = R_{B2},\ \text{and}\ L_2 = (C_{A2}/g_{mF2}g_{mS2}).$$

The realized oscillator circuit in Fig. 21(b) here employs all grounded passive components and can be configured to produce the sinusoidal oscillation using the characteristic equation:

$$s^2 + \left(\frac{1}{R_1C_1} + \frac{R_2}{L_2} - \frac{1}{g_{mF3}g_{mS3}R_1L_2}\right)s + \left(\frac{R_2}{R_1C_1L_2}\right) = 0. \quad (9)$$

Calculating the condition of oscillation (CO) and the radian frequency of oscillation (FO) from equation (9), the results are given, respectively, by

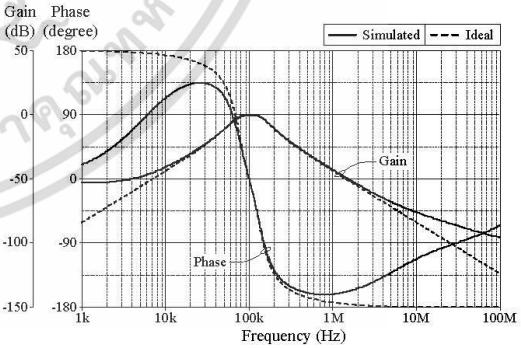


Fig. 16. Frequency characteristics of the BP filters in Fig. 15(b).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

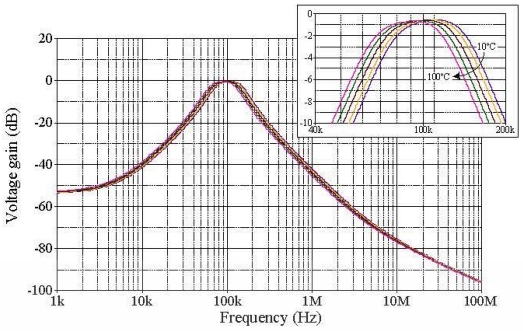


Fig. 17. Gain-frequency responses of the BP filters in Fig. 15(b) for different temperature.

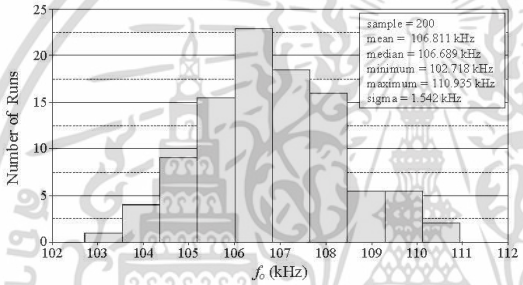


Fig. 18. Monte Carlo simulation results of the BP responses with 5% deviation in all passive elements.

$$CO \;:\; R_1R_2+\frac{L_2}{C_1}=\frac{1}{g_{mF3}g_{mS3}}, \tag{10}$$

$$FO \;:\; \omega_{osc}=2\pi f_{osc}=\sqrt{\frac{R_2}{R_1C_1L_2}}. \tag{11}$$

The simulated v_{osc} waveforms of Fig. 21(b) in a transient stage and steady stage are illustrated in Fig. 22 for an oscillation frequency of f_{osc} = 318 kHz. The corresponding transconductances for the i-th VDTA (i = 1, 2, 3) are $g_{mFi}=g_{mSi}=0.50$ mA/V ($I_{BFi}=I_{BSi}=160$ μA). For the series R-C and R-L simulators, the passive parameters are chosen as: $R_{A1}=8$ kΩ, $C_{B1}=1$ nF, $C_{A2}=0.5$ nF, and $R_{B2}=4$ kΩ, to simulate the equivalent elements $R_1=0.5$ kΩ, $C_1=1$ nF, $R_2=4$ kΩ, and $L_2=2$ mH. Fig. 23 also shows the frequency spectrum of the output voltage v_{osc} from which the

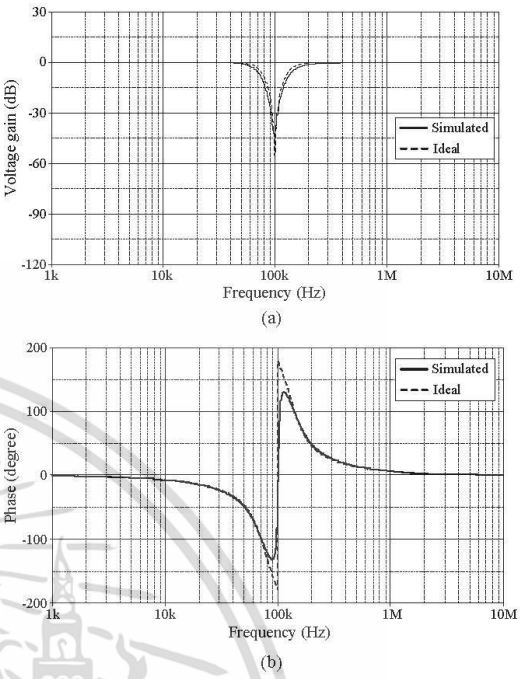


Fig. 19. Frequency characteristics of the BS filters in Fig. 15(c). (a) gain responses (b) phase responses.

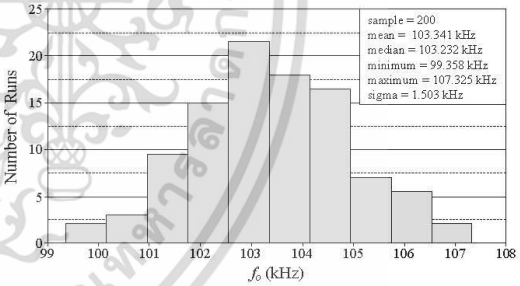


Fig. 20. Monte Carlo simulation results of the BS responses with 5% deviation in all passive elements.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

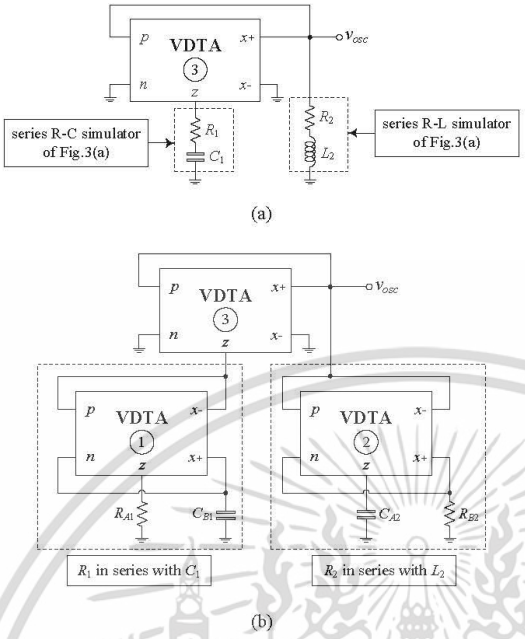


Fig. 21. VDTA-based sinusoidal oscillator (a) prototype circuit (b) synthetic circuit using the grounded series-type immittance simulators of Fig. 3(a).

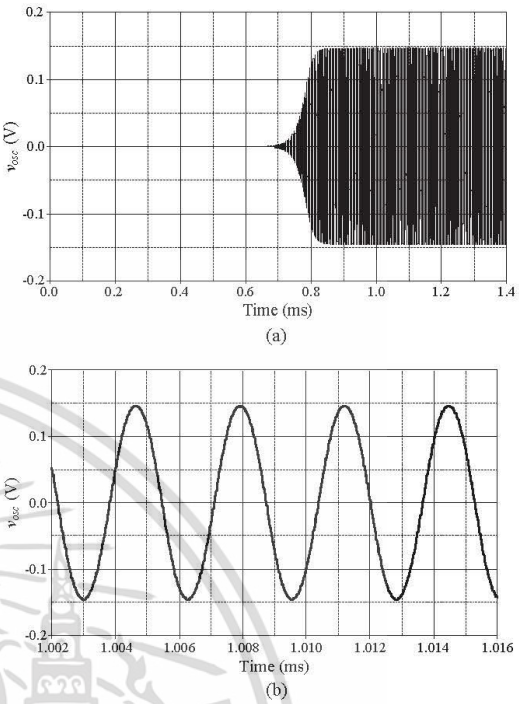


Fig. 22. Simulated output waveforms of v_{osc} in Fig. 21(b) (a) at transient stage showing start up $\simeq$ 0.675 ms (b) at steady stage.

simulated f_{osc} was found to be 300 kHz, which is close to its theoretical value. The result of the total harmonic distortion analysis at the output v_{osc} is found to be 5.63%.

8. Conclusions

An approach for the generation of floating/grounded series and parallel immittance simulator circuits is given in detail. From the proposed topologies, floating/grounded series/parallel R-L, R-C, and L-C impedance simulators are derived. Two proposed topologies for floating immittance simulators employ two voltage differencing transconductance amplifiers (VDTAs), while the other two grounded ones employ a single VDTA. All the proposed designs exhibit the attractive feature of employing only two grounded passive elements and do not require any critical realization constraints to obtain the desired immittance function. The values of the simulated equivalent elements are tunable through the transconductances of the VDTAs. PSPICE simulations and experimental test results are provided to establish the theory. The practical applications of the proposed immittance simulator circuits are demonstrated in the frequency-transformed ladder filter synthesis and the tunable sinusoidal oscillator realization.

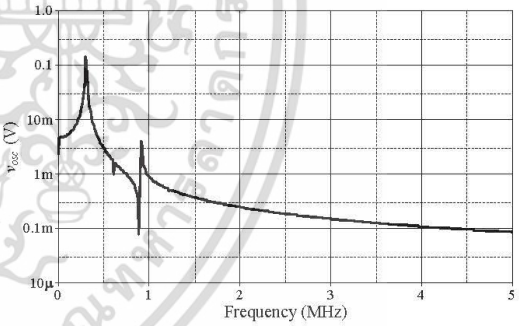


Fig. 23. Simulated frequency spectrum of v_{osc} in Fig. 21(b).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Declaration of Competing Interest

The authors declare that they have no known competing financial interests or personal relationships that could have appeared to influence the work reported in this paper.

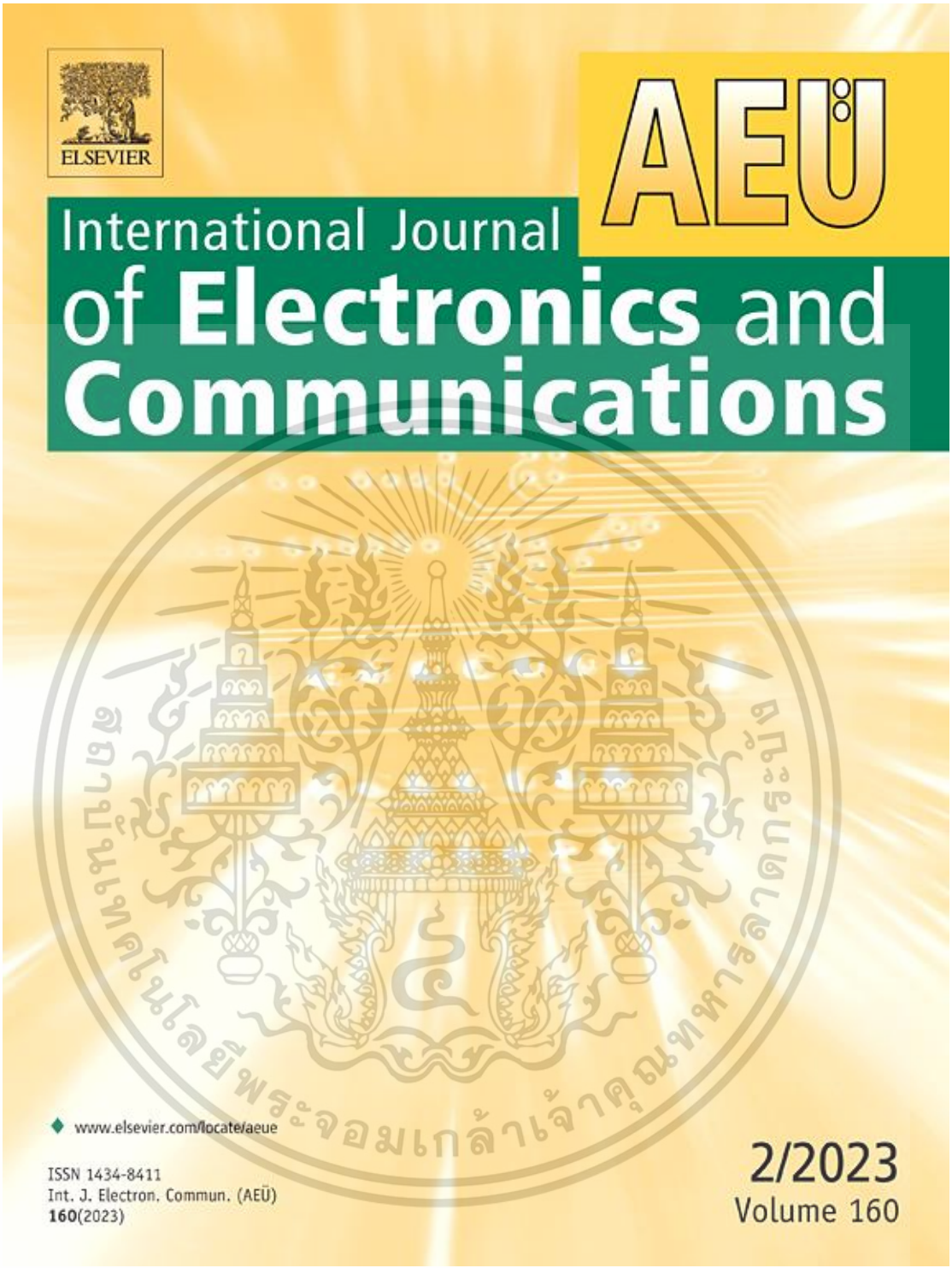
Acknowledgment

This work was supported by King Mongkut's Institute of Technology Ladkrabang.

References

[1] Bialko M, Newcomb R. Generation of all finite linear circuits using the integrated VCCS. IEEE Trans Circuit Theory 1971;18:733–6. https://doi.org/10.1109/tct.1971.1083351.
[2] Nandi R. Lossless inductor simulation: novel configurations using DVCCS. Electron Lett 1980;16:666–7. https://doi.org/10.1049/el:19800472.
[3] Senani R. On the synthesis of a class of immittances and filters using grounded capacitors. Int J Circuit Theory Appl 1983;11(4):410–5. https://doi.org/10.1002/cta.4490110408.
[4] Senani R, Bhaskar DR, Singh VK, Singh AK. Gyrators, simulated inductors and related immittances: Applications and realizations. In: IET Materials, Circuits and Devices Series 48. London, United Kingdom: The Institution of Engineering and Technology; 2020. p. 388–92.
[5] Kuntman H, Gülsoy M, Çiçekoğlu O. Actively simulated grounded lossy inductors using third generation current conveyors. Microelectronics J 2000;31(4):245–50. https://doi.org/10.1016/S0026-2692(99)00108-1.
[6] Kaçar F, Yeşil A. Novel grounded parallel inductance simulators realization using a minimum number of active and passive components. Microelectronics J 2010;41(10):632–8. https://doi.org/10.1016/j.mejo.2010.06.011.
[7] Kaçar F, Kuntman H. CFOA-based lossless and lossy inductance simulators. Radioengineering 2011;20:627–31.
[8] Metin B. Supplementary inductance simulator topologies employing single DXCCII. Radioengineering 2011;20:614–8.
[9] Kaçar F, Yeşil A, Minaei S, Kuntman H. Positive/negative lossy/lossless grounded inductance simulators employing single VDCC and only two passive elements. AEU - Int J Electron Commun 2014;68(1):73–8. https://doi.org/10.1016/j.aeue.2013.08.020.
[10] Alpaslan H, Yuce E. Inverting CFOA based lossless and lossy grounded inductor simulators. Circuits, Syst Signal Process 2015;34(10):3081–100. https://doi.org/10.1007/s00034-015-0004-x.
[11] Mohammad F, Sampe J, Shireen S, Hamid Md Ali S. Minimum passive components based lossy and lossless inductor simulators employing a new active block. AEU - Int J Electron Commun 2017;82:226–40. https://doi.org/10.1016/j.aeue.2017.08.046.
[12] Senani R. Floating immittance realisation: nullor approach. Electron Lett 1988;24:403–5. https://doi.org/10.1049/el:19880273.
[13] Çam U, Kaçar F, Cicekoglu O, Kuntman H, Kuntman A. Novel grounded parallel immittance simulator topologies employing single OTRA. AEU - Int J Electron Commun 2003;57(4):287–90. https://doi.org/10.1078/1434-8411-54100173.
[14] Çam U, Kaçar F, Cicekoglu O, Kuntman H, Kuntman A. Novel two OTRA-based grounded immitance simulator topologies. Analog Integr Circuits Signal Process 2004;39(2):169–75. https://doi.org/10.1023/B:ALOG.0000024064.73784.58.
[15] Hirnura A, Fukui Y, Ishida M, Higashimura M. Series impedance simulators using one CCII. Electron Lett 1990;26:269–70. https://doi.org/10.1049/el:19900179.
[16] Abuelma'atti MT, Tasadduq NA. New negative immittance function simulators using current conveyors. Microelectronics J 1999;30(9):911–5. https://doi.org/10.1016/S0026-2692(99)00037-3.
[17] Liu SJ, Hwang YS. Realisation of R-L and C-D impedances using a current feedback amplifier and its applications. Electron Lett 1994;30:380–1. https://doi.org/10.1049/el:19940286.
[18] Wang HY, Lee CT. Realization of R-L and C-D immittances using single FTFN. Electron Lett 1998;34:502–3. https://doi.org/10.1049/el:19980417.
[19] Wang H-Y, Lee C-T. Systematic synthesis of R-L and C-D immittances using single CCIII. Int J Electron 2000;87(3):293–301. https://doi.org/10.1080/002072100132192.
[20] Incekaraoglu M, Çam U. Realization of series and parallel R-L and C-D impedances using single differential voltage current conveyor. Analog Integr Circuits Signal Process 2005;43(1):101–4. https://doi.org/10.1007/s10470-005-6577-8.
[21] Abaci A, Yuce E. Single DDCC based new immittance function simulators employing only grounded passive elements and their applications. Microelectronics J 2019;83:94–103. https://doi.org/10.1016/j.mejo.2018.11.014.
[22] Abuelma'atti MT, Dhar SK, Khalifa ZJ. New two-CFOA-based floating immittance simulators. Analog Integr Circuits. Signal Process 2017;91(3):479–89. https://doi.org/10.1007/s10470-017-0956-9.
[23] Sagbas M, Ayten UE, Sedef H, Koksal M. Floating immittance function simulator and its applications. Circuits, Syst Signal Process 2009;28(1):55–63. https://doi.org/10.1007/s00034-008-9057-4.
[24] Sagbas M. Component reduced floating ±L, ±C and ±R simulators with grounded passive components. AEU - Int J Electron Commun 2011;65(10):794–8. https://doi.org/10.1016/j.aeue.2011.01.006.
[25] Tangsrirat W, Unhavanich S. Voltage differencing transconductance amplifier-based floating simulators with a single grounded capacitor. Indian J Pure Appl Phys 2014;52:423–8.
[26] Yeşil A, Kaçar F, Kuntman H. New simple CMOS realization of voltage differencing transconductance amplifier and its RF filter application. Radioengineering 2011;20:632–7.
[27] Satansup J, Pukkalanun T, Tangsrirat W. Electronically tunable single-input five-output voltage-mode universal filter using VDTAs and grounded passive elements. Circuits, Syst Signal Process 2013;32(3):945–57. https://doi.org/10.1007/s00034-012-9492-0.
[28] Moonmuang P, Tangsrirat W. Single VDTA based tunable floating lossy inductance simulation circuits. IETE J Res 2021. https://doi.org/10.1080/03772063.2021.1900752.
[29] Kumar P, Pandey N, Paul SK. Operational simulation of LC ladder filter using VDTA. Act Passiv Electron Components 2017;2017:1–8. https://doi.org/10.1155/2017/1836727.
[30] Li YA. Synthesis of compact VDTA-based Wien oscillators with grounded capacitors. AEU - Int J Electron Commun 2018;84:281–9. https://doi.org/10.1016/j.aeue.2017.12.014.
[31] Tangsrirat W. Voltage differencing transconductance amplifier-based quadrature oscillator and biquadratic filter Realization with All grounded passive elements. J Commun Technol Electron 2018;63:1418–23. https://doi.org/10.1134/S1064226918120239.
[32] Banerjee K, Singh D, Paul SK. Single VDTA based resistorless quadrature oscillator. Analog Integr Circuits Signal Process 2019;100:495–500. https://doi.org/10.1007/s10470-019-01480-4.
[33] Harris Semiconductor. 2 MHz, Operational Transconductance Amplifier (OTA). CA3080 datasheet; 1996.
[34] Schaumann R, Ghausi MS, Laker KR. Design of Analog Filters : Passive, Active RC, and Switched Capacitor. New Jersey: Prentice-Hall International Inc, Englewood Cliffs; 1990.
[35] Huelsman LP. Active and Passive Analog Filter Design: An Introduction. McGraw-Hill, Inc.; 1993.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Int. J. Electron. Commun. (AEÜ) 160 (2023) 154502

Contents lists available at ScienceDirect

International Journal of Electronics and Communications

journal homepage: www.elsevier.com/locate/aeue

VDTA-based floating/grounded series/parallel R-L and R-C immittance simulators with a single grounded capacitor

Pitchayanin Moonmuang [a], Mohammad Faseehuddin [b], Tattaya Pukkalanun [a], Norbert Herencsar [c], Worapong Tangsrirat [a,*]

[a] School of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok 10520, Thailand
[b] Faculty of Engineering, Symbiosis Institute of Technology (SIT), Symbiosis International University (SIU), Lavale, Mulshi, Pune, Maharashtra 412115, India
[c] Department of Telecommunications, Faculty of Electrical Engineering and Communication, Brno University of Technology, Technicka 3082/12, 616 00 Brno, Czech Republic

ARTICLE INFO

Keywords:
Voltage Differencing Transconductance Amplifier (VDTA)
Immittance function simulator
RL impedance
RC impedance
Filters

ABSTRACT

Active configurations for simulating floating/grounded series and parallel immittance functions based on voltage differencing transconductance amplifiers (VDTAs) are proposed. The grounded series and parallel immittance simulators presented here require only one VDTA, while the proposed floating ones only need two. Each of the suggested simulators uses a single grounded capacitor. The proposed topologies can imitate R-L and R-C immittances in both series and parallel types. All of the simulated equivalent elements are electronically adjustable through the VDTA's transconductance. Furthermore, no component-matching restrictions are imposed in order to achieve the appropriate immittance function. Applications of the proposed VDTA-based immittance simulators include bandpass filter and quadrature oscillator implementations. The behaviors of the proposed circuits and their applications are evaluated by PSPICE simulations and experimental observations using VDTA implemented with commercially available CA3080 type OTAs.

1. Introduction

Active topological simulations of series and parallel immittance functions, particularly R-L and R-C impedance types, are extremely useful in the design and synthesis of active networks. These simulators are necessary for active ladder design and filtering realizations and applications such as active ladder filters, sinusoidal oscillators, parasitic cancellation, and impedance matching circuits. For this reason, several active simulation approaches for designing immittance functions and inductances have even been proposed in the literature [1–32]. Inductance simulators with a single active component and two to four passive components were presented among them in [1–7,9,13–17,20,22–23,28–31]. In addition to the other inductance simulator [25], the topology includes two voltage differencing differential difference amplifiers (VDDDAs), one resistor and one capacitor. These topologies support only lossy and lossless inductance simulators. Furthermore, their structures need the use of one or more floating passive components. Grounded passive components are suitable for future advancements in monolithic integration. In the literature [1–4,6,9,13–16,23,29,31], to emulate floating/grounded series and parallel R-L impedances, single active element-based circuit realizations have been proposed. They do, however, need three to six floating passive components. In addition to the topologies of [11] and [12], the grounded series and parallel R-L-C immittance simulators including a single second-generation current conveyor (CCII) and three to seven passive elements were developed. For the R-L and C-D immittance simulations, interesting simulated topologies were reported [13–16]. Although these circuits need a single active element, they must also include three or more passive components, many of which are floating. Furthermore, only two of them [13–14] are not orthogonally tunable. According to such research [17], only a single differential difference current conveyor (DDCC) and all three grounded passive elements were required to simulate floating and grounded lossy parallel R-L type inductors. Recent literature [18] indicates that various floating inductance emulator circuits have been proposed earlier using only two current-feedback operational amplifiers (CFOAs) and three to five passive elements. These realizations are observed to employ floating passive components. It has also been revealed that the structures of some earlier attempts are

* Corresponding author at: School of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok 10520, Thailand.
E-mail addresses: mohammad.faseehuddin@sitpune.edu.in (M. Faseehuddin), herencsn@vut.cz (N. Herencsar), worapong.ta@kmitl.ac.th (W. Tangsrirat).

https://doi.org/10.1016/j.aeue.2022.154502
Received 26 September 2022; Accepted 14 December 2022
Available online 19 December 2022
1434-8411/© 2022 Elsevier GmbH. All rights reserved.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1
Comparative analysis of existing immittance simulator circuits and the proposed circuits.

Ref.	Type	Immittance function	Number of active elements	Number of passive elements	All grounded passive elements	Matching requirement	Electronic tunability	Simulation				Experimental	
								Technology	Supply voltage (V)	Power consumption (W)	Bandwidth (Hz)	Technology	Supply voltage (V)
[1]	G	series/parallel R-L	CCIII = 1	R = 2/3, C = 1	N	N	N	BJT B101, B102	±10	N/A	500 k	–	–
[2]	G	parallel R-L	DXCCII = 1	R = 2, C = 1	N	Y	N	0.35 μm TSMC CMOS	±1.5	N/A	N/A	–	–
[3]	G	series R-L	CFOA = 1	R = 2, C = 1	N	N	N	AD844	±10	N/A	1 M	–	–
[4]	G	series R-L (Fig. 2b and f)	DXCCII = 1	R = 2/3, C = 1	N	N	N	0.35 μm TSMC CMOS	±2.5, +1.44	N/A	10 M	–	–
		parallel R-L (Fig. 2c)	DXCCII = 1	R = 3, C = 1	N	Y	N						
		parallel R-L (Fig. 2d and e)	DXCCII = 1	R = 3, C = 1	N	N	N						
[5]	G	series R-L	VDCC = 1	R = 1, C = 1	Y	N	Y	0.18 μm TSMC CMOS	±0.9	0.869 m	10 M	–	–
[6]	G	series/parallel R-L	CFOA = 1	R = 2, C = 1	N	N	N	0.13 μm IBM CMOS	±0.75, +0.34	0.89 m	20 M	AD844	±6
[7]	G	series R-L	DXCCDITA = 1	R = 1, C = 1	N	Y	Y	0.35 μm TSMC CMOS	±1.5, +0.55	N/A	7 M	–	–
		parallel R-L	DXCCDITA = 1	R = 1, C = 1	N	N	Y						
[8]	F	series/parallel R-L	CCII = 2	R = 2, C = 1	N	N	N	–	–	–	–	–	–
[9]	G	parallel R-L	OTRA = 1	R = 2, C = 1	N	N	N	1.2 μm MIETEC CMOS	±5	N/A	N/A	–	–
[10]	G	parallel R-L	OTRA = 2	R = 4, C = 1	N	Y	N	AD844	±10	N/A	N/A	–	–

Ref.	Type	Immittance function	Number of active elements	Number of passive elements	All grounded passive elements	Matching requirement	Electronic tunability	Simulation				Experimental	
								Technology	Supply voltage (V)	Power consumption (W)	Bandwidth (Hz)	Technology	Supply voltage (V)
[11]	G	series L-C	CCII = 1	R = 3, C = 4	N	Y	N	–	–	–	–	N/A	N/A
[12]	G	parallel L-C	CCII = 1	R = 2, C = 2	N	Y	N	AD844	N/A	N/A	N/A	–	–
[13]	G	series R-L	CFOA = 1	R = 2, C = 2	N	Y	N	–	–	–	–	AD844	N/A
[14]	G	series/parallel R-L	FTFN = 1	R = 2, C = 1	N	N	N	AD844	N/A	N/A	N/A	–	–
		series/parallel C-D	FTFN = 1	R = 1, C = 2	N	N	N						
[15]	G	series/parallel R-L	CCIII = 1	R = 2, C = 1	N	N	N	0.6 μm TSMC CMOS	±2.5	2.3 m	N/A	–	–
[16]	G	series/parallel R-L	DVCC = 1	R = 2, C = 1	N	N	N	0.5 μm MIETEC CMOS	±2.5	N/A	N/A	–	–
[17]	G/F	parallel R-L	DDCC = 1	R = 2, C = 1	Y	Y	N	0.13 μm IBM CMOS	±0.75, +0.25	1.97 m, 1.46 m for G 2.08 m, 1.12 m for F	N/A	AD844	±6
[18]	F	series R-L (Fig. 1a and e)	CFOA = 2	R = 2/3, C = 1/2	N	N	N	–	–	–	–	AD844	N/A

(continued on next page)

Table 1 (*continued*)

Ref.	Type	Immittance function	Number of active elements	Number of passive elements	All grounded passive elements	Matching requirement	Electronic tunability	Simulation				Experimental	
								Technology	Supply voltage (V)	Power consumption (W)	Bandwidth (Hz)	Technology	Supply voltage (V)
		parallel R-L (Fig. 1f)	CFOA = 2	R = 3, C = 2	N	N	N						
[19]	F	lossless L, R, and C multiplier	DO-CCII = 1, OTA = 1	R = 1, C = 1	Y	N	Y	0.35 μm TSMC CMOS	±1.5, ±0.5	1 m	30 M	–	–

Ref.	Type	Immittance function	Number of active elements	Number of passive elements	All grounded Passive elements	Matching requirement	Electronic tunability	Simulation				Experimental	
								Technology	Supply voltage (V)	Power consumption (W)	Bandwidth (Hz)	Technology	Supply voltage (V)
[20]	F	lossless L, R, and C multiplier	CBTA = 1	R = 1, C = 1	Y	N	Y	0.25 μm TSMC CMOS	±1.5	N/A	10 M	–	–
[21]	F	lossless L and C multiplier	VDTA = 1/2	C = 1	Y	N	Y	0.35 μm TSMC CMOS	±1.8	N/A	1 M	–	–
[22]	G	series/parallel R-L and R-C	VDTA = 1	R = 1, C = 1	Y	N	Y	0.25 μm TSMC CMOS	±1	0.8 m	5 M	CA3080	±5
		series/parallel L-C	VDTA = 1	C = 2	Y	N	Y						
	F	series/parallel R-L and R-C	VDTA = 2	R = 1, C = 1	Y	N	Y			2.4 m			
		series/parallel L-C	VDTA = 2	C = 2	Y	N	Y						
[23]	F	series/parallel R-L	VDTA = 1	R = 1, C = 1	N	N	Y	0.25 μm TSMC CMOS	±1	0.8 m	40 M	CA3080	±5
[24]	G	lossless L, series/parallel R-L	VDBA = 2	C = 1	Y	N	Y	0.25 μm TSMC CMOS	±0.75	0.653 m	30 M	–	–

Ref.	Type	Immittance function	Number of active elements	Number of passive elements	All grounded Passive elements	Matching requirement	Electronic tunability	Simulation				Experimental	
								Technology	Supply voltage (V)	Power consumption (W)	Bandwidth (Hz)	Technology	Supply voltage (V)
[25]	F	lossless L, series/parallel R-L	VDDDA = 2	R = 1, C = 1	N	N	Y	AD830, LM13700	±5	N/A	1 M	AD830, LM13700	±5
[26]	G	lossless L	VDDDA = 1	C = 1	Y	N	Y	0.18 μm TSMC CMOS	±0.9, −0.35	0.127 m	10 M	–	–
[27]	G	lossless L, series/parallel R-L	EX-CCCII = 1	C = 1	Y	N	N	0.25 μm TSMC CMOS	±1.25	3.15 m	10 M	AD844	±8
[28]	G	lossless L, series/parallel R-L	LT1228 = 1	R = 1, C = 1	N	N	Y	LT1228	±5	56.8 m	1M	LT1228	±5
[29]	F	lossless L	DO-DDCC = 1, NIC = 1	R = 2, C = 1	N	N	N	0.35 μm TSMC CMOS	±1.5	N/A	1 M	–	–
		parallel R-L	DO-DDCC = 1	R = 2, C = 1	N	N	N						
	G	lossless L	MDO-DDCC = 1	R = 2, C = 1	N	N	N						
[30]	G	lossless L	MDVCC = 1	R = 2, C = 1	N	Y	N	0.13 μm IBM CMOS	±0.75, +0.25	1.63 m	10 M	AD844	±9
[31]	G	lossless L	IBCCII+ = 1	R = 4, C = 1	N	Y	N	0.13 μm IBM CMOS	±0.9	N/A	10 M	AD844	±6
		series R-L	CFOA = 1	R = 3, C = 1	N	Y	N		±0.75				
[32]	G	series/parallel R-L	DVCC = 2	R = 2, C = 1	Y	N	N	0.13 μm IBM CMOS	±0.75, +0.23	2.44 m	100 M	AD844	±7.5

(*continued on next page*)

Table 1 (*continued*)

Ref.	Type	Immittance function	Number of active elements	Number of passive elements	All grounded Passive elements	Matching requirement	Electronic tunability	Simulation				Experimental	
								Technology	Supply voltage (V)	Power consumption (W)	Bandwidth (Hz)	Technology	Supply voltage (V)
Proposed circuits	G	series/parallel R-L and R-C	VDTA = 1	C = 1	Y	N	Y	CA3080	±5	18 m	200 k	CA3080	±5
	F	series/parallel R-L and R-C	VDTA = 2	C = 1	Y	N	Y						

Abbreviation:
G = Grounded, F = Floating, Y = Yes, N = No, N/A = Not Available, "–" = Not Provided,
CCII = second-generation current conveyor, CCIII = third-generation current conveyor, DXCCII = dual-X current conveyor, DO-CCII = dual-output current conveyor,
EX-CCCII = extra-X current controlled conveyor, IBCCII+ = plus type inverting buffer current conveyor,
CFOA = current feedback operational amplifier, VDCC = voltage differencing current conveyor, DXCCDITA = dual-X current conveyor differential input transconductance amplifier,
OTRA = operational transresistance amplifier, FTFN = four terminal floating nullor,
DVCC = differential voltage current conveyor, MDVCC = modified differential voltage current conveyor,
DDCC = differential difference current conveyor, DO-DDCC = dual output differential difference current conveyor,
MDO-DDCC = modified dual-output differential difference current conveyor,
OTA = operational transconductance amplifier, CBTA = current backward transconductance amplifier, VDBA = voltage differencing buffered amplifier,
VDDDA = voltage differencing differential difference amplifier, NIC = negative impedance converter.

Fig. 1. Schematic symbol of the VDTA.

not electronically controlled [1–4,6,8–18,27,29–32]. Furthermore, in the design of [2,4,10–13,17,30–31], critical element-matching restrictions are required to realize the desired immittance function. The availability of simulated circuits without element-matching limitations and the flexibility for designers to use a simple design approach would be extremely beneficial. In addition to the work of [19], it can simulate a floating inductor, capacitor, and resistor depending on the appropriate selection of the passive components. This configuration, on the other hand, comprises two distinct active components, i.e., a dual-output CCII and an operational transconductance amplifier (OTA), which is incompatible with the advent of integrated circuit technology. The circuit of [20] suggested a design employing a single current backward transconductance amplifier (CBTA) and two passive components that can only emulate the floating lossless type of inductor and capacitor, as well as a floating resistor. Regardless of the fact that the simulator in the literature [21] shows the possibility of utilizing voltage differencing transconductance amplifier (VDTA) in the design of a floating impedance simulator, only lossless capacitance simulation is available. The VDTA-based simulator circuit that can implement various floating/grounded series and parallel immittance functions was also recently reported in [22], it has the disadvantage of utilizing two passive elements. Although various attempts with effective results were made in the literature [1–5,7–10,12,14–16,19–21,24,26,29], their performances and applications were only proven by simulation results.

In this research, eight simulator topologies are described for emulating floating and grounded series and parallel immittance functions. The first four proposed topologies require a single VDTA as an active element for the synthesis of synthetic grounded immitances, whereas the last four topologies simulate floating ones with only two VDTAs. All of the designs make use of only a single grounded capacitor as a passive element. Table 1 compares the performance of the proposed immittance simulator circuits with that of previously similar ones in order to justify the proposition of the synthetic simulator circuits and to discover a gap in earlier research. According to the comparison, the proposed designs have all of the following characteristics: (i) the use of the fewest active and passive elements; (ii) the use of a single grounded capacitor; (iii) no requirement for critical component-equality condition; (iv) provision for built-in electronic adjustability; (v) simulation verification; and (vi) experimental testing support.

The remainder of this paper is organized as follows. Section 2 briefly describes the voltage and current relationships of the VDTA. In Section 3, the proposed grounded series/parallel R-L and R-C immittance simulators are presented. The proposed floating series/parallel R-L and R-C immittance simulators are put forward in Section 4. Subsequently, Section 5 deals with the VDTA non-ideality analysis, which includes non-ideal gain effects and parasitic elements for the proposed immittance simulators. Section 6 is concerned the simulation validation of the suggested designs. PSPICE simulation results using macro-model of readily available IC CA3080 are emphasized to examine the operation of the designed circuits. Following this section will also prove the functionality of all designs by providing the experimental measurement

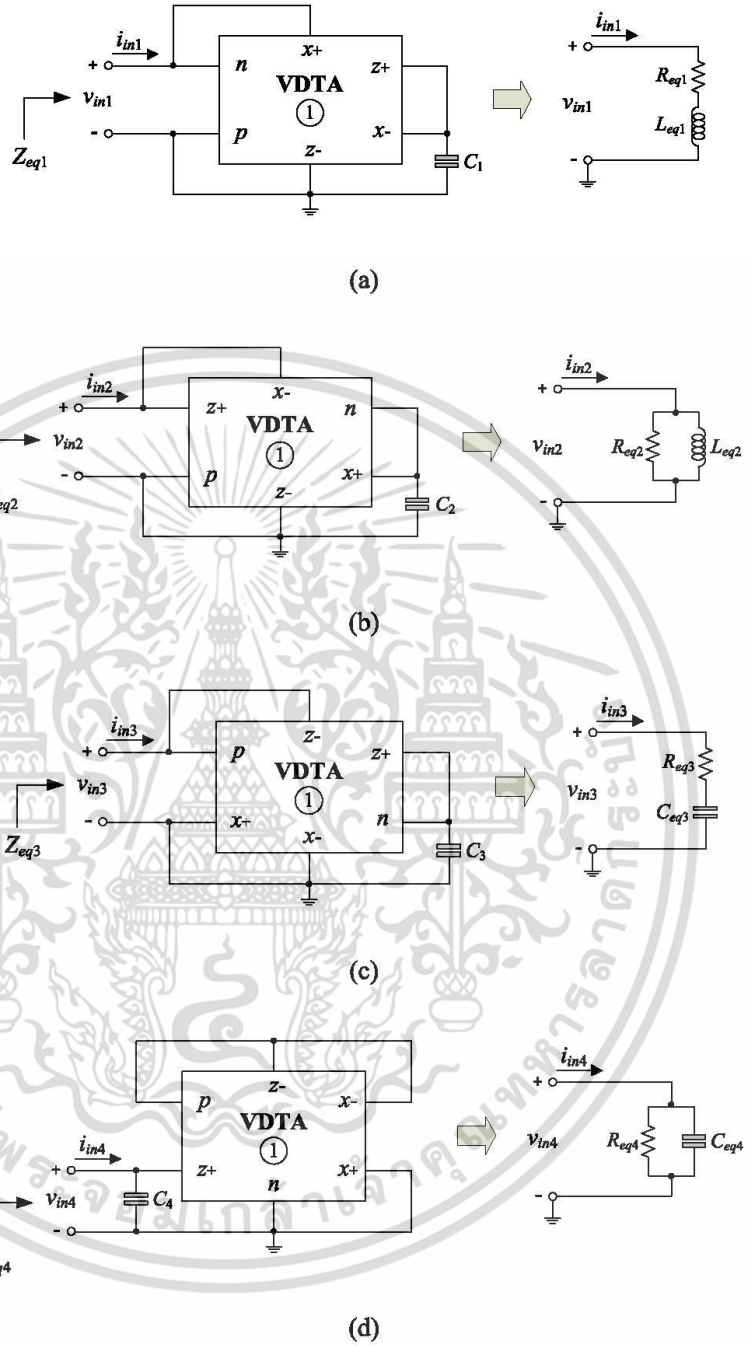


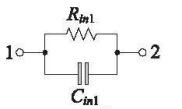
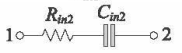
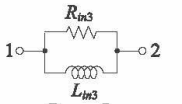
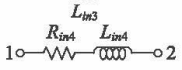
Fig. 2. Proposed grounded R-L and R-C immittance function simulators (a) R-L series (b) R-L parallel (c) R-C series (d) R-C parallel.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2
Ideal grounded immittance functions realized with the proposed floating immittance simulator circuit in Fig. 2.

Simulator	Input equivalent immittance	Simulated equivalent values	Corner frequency (f_{ci})
Fig. 2(a)	Z_{eq1}	$R_{eq1}=\frac{1}{g_{mF1}}$, $L_{eq1}=\frac{C_1}{g_{mF1}g_{mS1}}$	$f_{c1}=\frac{R_{eq1}}{2\pi L_{eq1}}$
Fig. 2(b)	Y_{eq2}	$R_{eq2}=\frac{1}{g_{mS1}}$, $L_{eq2}=\frac{C_2}{g_{mF1}g_{mS1}}$	$f_{c2}=\frac{R_{eq2}}{2\pi L_{eq2}}$
Fig. 2(c)	Z_{eq3}	$R_{eq3}=\frac{1}{g_{mF1}}$, $C_{eq3}=C_3$	$f_{c3}=\frac{1}{2\pi R_{eq3}C_{eq3}}$
Fig. 2(d)	Y_{eq4}	$R_{eq4}=\frac{1}{g_{mS1}}$, $C_{eq4}=C_4$	$f_{c4}=\frac{1}{2\pi R_{eq4}C_{eq4}}$

Table 3
Ideal floating immittance functions realized with the proposed floating immittance simulator circuit in Fig. 3.

Input immittance function	Terminated equivalent immittance from Fig. 2	Equivalent model simulation	Simulated equivalent values
Y_{in1}	Z_{eq1} [Fig. 2(a)]		$R_{in1}=\frac{g_{mF1}}{g_{mF2}g_{mS2}}$, $C_{in1}=\frac{g_{mF2}g_{mS2}C_1}{g_{mF1}g_{mS1}}$
Z_{in2}	Y_{eq2} [Fig. 2(b)]		$R_{in2}=\frac{g_{mS1}}{g_{mF2}g_{mS2}}$, $C_{in2}=\frac{g_{mF2}g_{mS2}C_2}{g_{mF1}g_{mS1}}$
Y_{in3}	Z_{eq3} [Fig. 2(c)]		$R_{in3}=\frac{g_{mF1}}{g_{mF2}g_{mS2}}$, $L_{in3}=\frac{C_3}{g_{mF2}g_{mS2}}$
Z_{in4}	Y_{eq4} [Fig. 2(d)]		$R_{in4}=\frac{g_{mS1}}{g_{mF2}g_{mS2}}$, $L_{in4}=\frac{C_4}{g_{mF2}g_{mS2}}$

results obtained using commercially available IC CA3080s, which are included in Section 7. Example applications of the proposed immittance simulators in filter implementations are illustrated in Section 8, which clearly demonstrates the feasibility of the simulator. Finally, a concluding remark on this work is given in Section 9.

2. Brief description of VDTA

As symbolically shown in Fig. 1, the VDTA is an active analog building block with two input voltage ports (p and n) and four output current ports (z+, z-, x+, and x-). All of the VDTA ports attain a high impedance value. As per the operation of this element, the differential input voltage between ports p and n (v_p-v_n) is combined with the first transconductance gain (g_{mF}), and then transferred as output currents i_{z+} and i_{z-} to its intermediate ports z + and z-. The voltage drop at port z+ (v_{z+}) is then transformed by the second transconductance gain (g_{mS}) into output currents i_{x+} and i_{x-}, which are subsequently delivered to ports x + and x-, respectively. The voltage-current relationship of the VDTA may be expressed using the matrix form given below [33].

$$\begin{bmatrix} i_{z+} \\ i_{z-} \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} \beta_F g_{mF} & -\beta_F g_{mF} & 0 \\ -\beta_F g_{mF} & \beta_F g_{mF} & 0 \\ 0 & 0 & \beta_S g_{mS} \\ 0 & 0 & -\beta_S g_{mS} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_{z+} \end{bmatrix} \quad (1)$$

Here, β_F denotes the non-ideal transfer gain of the p and n ports, whereas β_S represents the non-ideal transfer gain of the z + port. In an ideal case, the values of β_F and β_S are considered to be unity.

3. Proposed grounded series/parallel R-L and R-C immittance simulators

The four topologies of the proposed grounded series/parallel R-L and R-C immittance simulators, each with one VDTA and one grounded capacitor, are depicted in Fig. 2. In ideal conditions, the input impedance and admittance values of the simulated circuits are obtained as follows:

For R-L series simulator in Fig. 2(a);

$$Z_{eq1}=\frac{v_{in1}}{i_{in1}}=R_{eq1}+sL_{eq1}=\frac{1}{g_{mF1}}+\frac{sC_1}{g_{mF1}g_{mS1}} \quad (2)$$

For R-L parallel simulator in Fig. 2(b);

$$Y_{eq2}=\frac{i_{in2}}{v_{in2}}=\frac{1}{R_{eq2}}+\frac{1}{sL_{eq2}}=g_{mS1}+\frac{g_{mF1}g_{mS1}}{sC_2} \quad (3)$$

For R-C series simulator in Fig. 2(c);

$$Z_{eq3}=\frac{v_{in3}}{i_{in3}}=R_{eq3}+\frac{1}{sC_{eq3}}=\frac{1}{g_{mF1}}+\frac{1}{sC_3} \quad (4)$$

For R-C parallel simulator in Fig. 2(d);

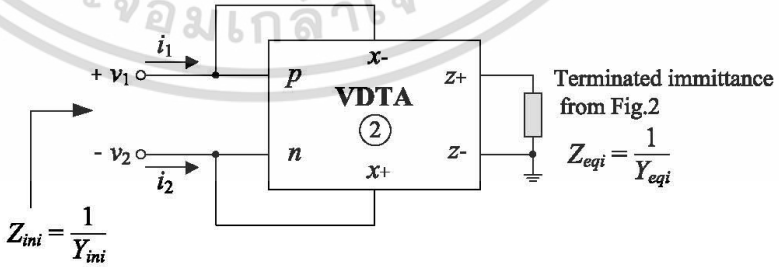


Fig. 3. Proposed floating R-L and R-C immittance function simulator.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 4
Non-ideal transfer gain effects on the proposed grounded immittance simulators in Fig. 2.

Simulator	Immittance-type realized	Simulated equivalent values
Fig. 2(a)	R_{eq1} in series with L_{eq1}	$R_{eq1} = \frac{1}{\beta_{F1}g_{mF1}}$ $L_{eq1} = \frac{C_1}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}}$
Fig. 2(b)	R_{eq2} in parallel with L_{eq2}	$R_{eq2} = \frac{1}{\beta_{S1}g_{mS1}}$ $L_{eq2} = \frac{C_2}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}}$
Fig. 2(c)	R_{eq3} in series with C_{eq3}	$R_{eq3} = \frac{1}{\beta_{F1}g_{mF1}}$ $C_{eq3} = C_3$
Fig. 2(d)	R_{eq4} in parallel with C_{eq4}	$R_{eq4} = \frac{1}{\beta_{S1}g_{mS1}}$ $C_{eq4} = C_4$

$$Y_{eq4} = \frac{i_{in4}}{v_{in4}} = \frac{1}{R_{eq4}} + sC_{eq4} = g_{mS1} + sC_4 \tag{5}$$

As a result, the circuit of Fig. 2(a) emulates a grounded lossy series-type inductor with the resulting equivalent resistance and inductance values: $R_{eq1} = 1/g_{mF1}$ and $L_{eq1} = C_1/g_{mF1}g_{mS1}$. For the simulator of Fig. 2(b), a grounded lossy parallel-type inductor is simulated with $R_{eq2} = 1/g_{mS1}$ and $L_{eq2} = C_2/g_{mF1}g_{mS1}$. On the other hand, the circuit of Fig. 2(c) simulates a grounded series R-C impedance having values $R_{eq3} = 1/g_{mF1}$ and $C_{eq3} = C_3$, whereas the circuit of Fig. 2(d) simulates a grounded parallel R-C impedance with values $R_{eq4} = 1/g_{mS1}$ and $C_{eq4} = C_4$. In all the above cases, the simulations would not require additional passive component-matching. The ideal relationships for the simulated equivalent values and corresponding corner frequencies are summarized in Table 2. It is apparent that, in all the four simulators, the simulated equivalent resistance R_{eqi} ($i = 1, 2, 3, 4$) is electronically tunable through the VDTA transconductance. It can also be seen that the values of L_{eq1} and L_{eq2} can be orthogonally tuned through g_{mS1} and/or C_1 in the circuit of Fig. 2(a) and via g_{mF1} and/or C_2 in the circuit of Fig. 2(b). The equivalent capacitances C_{eq3} and C_{eq4} simulated in Fig. 2(c) and 2(d), respectively, are single-capacitance-tunable using C_3 and C_4.

Table 5
Non-ideal transfer gain effects on the proposed floating immittance simulators in Fig. 3.

Input immittance function of Fig. 3	Terminated equivalent immittance function from Fig. 2	Immittance-type realized	Simulated equivalent values
Y_{in1}	Z_{eq1} [Fig. 2(a)]	R_{in1} in parallel with C_{in1}	$R_{in1} = \frac{\beta_{F1}g_{mF1}}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}$, $C_{in1} = \frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}C_1}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}}$
Z_{in2}	Y_{eq2} [Fig. 2(b)]	R_{in2} in series with C_{in2}	$R_{in2} = \frac{\beta_{S1}g_{mS1}}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}$, $C_{in2} = \frac{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}C_2}{\beta_{F1}\beta_{S1}g_{mF1}g_{mS1}}$
Y_{in3}	Z_{eq3} [Fig. 2(c)]	R_{in3} in parallel with L_{in3}	$R_{in3} = \frac{\beta_{F1}g_{mF1}}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}$, $L_{in3} = \frac{C_3}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}$
Z_{in4}	Y_{eq4} [Fig. 2(d)]	R_{in4} in series with L_{in4}	$R_{in4} = \frac{\beta_{S1}g_{mS1}}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}$, $L_{in4} = \frac{C_4}{\beta_{F2}\beta_{S2}g_{mF2}g_{mS2}}$

4. Proposed floating series/parallel R-L and R-C immittance simulators

Fig. 3 shows the proposed floating series and parallel R-L and R-C immittance simulator circuit implemented with the VDTA and a grounded immittance simulator of Fig. 2. Using routine circuit analysis, the equivalent input immittance between terminals 1 and 2 of Fig. 3 can be expressed by the following equation:

$$Z_{ini} = \frac{1}{Y_{ini}} = \frac{(v_1 - v_2)}{i_1} = \frac{(v_2 - v_1)}{i_2} = \frac{1}{g_{mF2}g_{mS2}Z_{eqi}} = \frac{Y_{eqi}}{g_{mF2}g_{mS2}} \tag{6}$$

Table 3 presents several floating immittance functions generated by connecting the grounded immitance simulator circuit from Fig. 2 to the proposed circuit in Fig. 3. According to Table 3, the circuit in Fig. 3 can emulate the floating parallel and series immittance elements, R with L (R-L) and R with C (R-C), without any component-matching requirement or cancellation criterion. All of the simulated equivalent immittance values in these active simulations may be electronically modified via the transconductances of the VDTAs. The designs additionally provide orthogonal modification of the simulated equivalent values through the VDTA transconductance and/or capacitor value.

5. Effects of VDTA Non-Idealities

One aspect that contributes to VDTA non-idealities is non-ideal transfer gains between input and output ports, which are denoted by the parameters β_F and β_S in equation (1). These non-idealities have been analyzed into the proposed circuits shown in Figs. 2 and 3. Non-ideal relations of the simulated equivalent elements for each of the proposed grounded and floating immittance simulators in Figs. 2 and 3 are given in Tables 4 and 5, respectively. The results reveal that the simulated equivalent element values of both suggested simulator circuits change slightly due to non-ideal transfer gains, except for the values of the equivalent capacitances C_{eq3} and C_{eq4} in Fig. 2(c) and 2(d).

Also, from the expressions in Tables 4 and 5, all of the various sensitivity coefficients (S_x^y) of the realized equivalent immittances (y) with respect to active and passive components (x) are within the range:

$$0 \leqslant |S_x^y| \leqslant 1 \tag{7}$$

where y denotes any of R_{eqi}, L_{eqi}, C_{eqi}, R_{ini}, L_{ini}, or C_{ini}, and x denotes g_{mFk}, g_{mSk}, β_{Fk}, β_{Sk}, or C_i ($k = 1, 2$).

In the following, another contributing factor that must be considered

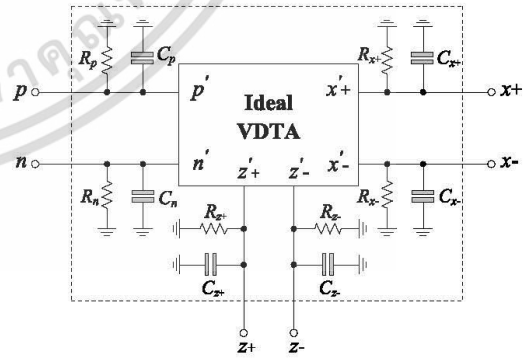
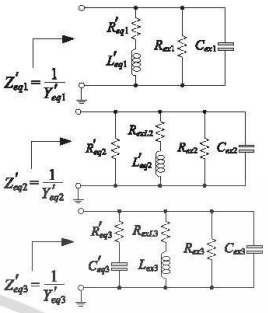
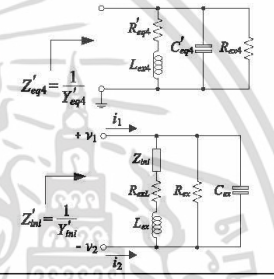


Fig. 4. Non-ideal behavior model of the VDTA including its parasitic elements.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 6
Parasitic effects on the proposed immittance simulators.

Simulator	Input equivalent immittance	Equivalent model simulation	Simulated equivalent values
Fig. 2(a)	$Y'_{eq1} = \frac{1}{Z_{eq1}} = \frac{1}{Z_1} + \frac{1}{R_{ex1}} + sC_{ex1}$ where $Z_1 = \left[\frac{1 + g_{mS1}(R_{z+}//R_x)}{g_{mF1}g_{mS1}(R_{z+}//R_x)}\right] + s\left(\frac{C_1 + C_{z+} + C_x}{g_{mF1}g_{mS1}}\right) = R'_{eq1} + sL'_{eq1}$		$R'_{eq1} = \left(\frac{1}{g_{mF1}}\right)\left[1 + \frac{1}{g_{mS1}(R_{z+}//R_x)}\right]$, $L'_{eq1} = \left(\frac{C_1 + C_{z+} + C_x}{g_{mF1}g_{mS1}}\right)$, $R_{ex1} = R_n // R_{x+}$, $C_{ex1} = C_n + C_{x+}$
Fig. 2(b)	$Y'_{eq2} = \frac{1}{Z_{eq2}} = \frac{1}{R'_{eq2}} + \frac{1}{Z_2} + \frac{1}{R_{ex2}} + sC_{ex2}$ where $Z_2 = \left[\frac{1}{g_{mF1}g_{mS1}(R_n//R_{x+})}\right] + s\left(\frac{C_2 + C_{z+} + C_x}{g_{mF1}g_{mS1}}\right) = R_{exL2} + sL'_{eq2}$		$R'_{eq2} = \frac{1}{g_{mS1}}L'_{eq2} = \left(\frac{C_2 + C_{z+} + C_x}{g_{mF1}g_{mS1}}\right)$, $R_{exL2} = \frac{1}{g_{mF1}g_{mS1}(R_n//R_{x+})}$ $R_{ex2} = R_{z+} // R_{x-}$, $C_{ex2} = C_{z+} + C_{x-}$
Fig. 2(c)	$Y'_{eq3} = \frac{1}{Z_{eq3}} = \frac{1}{Z_{3A}} + \frac{1}{Z_{3B}} + \frac{1}{R_{ex3}} + sC_{ex3}$ where $Z_{3A} = \frac{1}{g_{mF1}} + \frac{1}{s}\left[\frac{1 + g_{mF1}(R_n//R_{z+})}{(C_3 + C_n + C_{z+})g_{mF1}(R_n//R_{z+})}\right] = R'_{eq3} + \frac{1}{sC'_{eq3}}$, $Z_{3B} = \left[\frac{1}{g_{mF1}} + (R_n//R_{z+})\right] + s\left[\frac{(C_3 + C_n + C_{z+})(R_n//R_{z+})}{g_{mF1}}\right] = R_{exL3} + sL_{ex3}$		$R'_{eq3} = \frac{1}{g_{mF1}}$, $C'_{eq3} = \frac{g_{mF1}(R_n//R_{z+})(C_3 + C_n + C_{z+})}{1 + g_{mF1}(R_n//R_{z+})}$, $R_{exL3} = \frac{1}{g_{mF1}} + (R_n//R_{z+})$, $L_{ex3} = \frac{(C_3 + C_n + C_{z+})(R_n//R_{z+})}{g_{mF1}}$, $R_{ex3} = R_p // R_{x-}$, $C_{ex3} = C_p + C_{x-}$

Simulator	Input equivalent immittance	Equivalent model simulation	Simulated equivalent values
Fig. 2(d)	$Y'_{eq4} = \frac{1}{Z'_{eq4}} = \frac{1}{Z_4} + sC'_{eq4} + \frac{1}{R_{ex4}}$ where $Z_4 = \frac{1}{g_{mS1}}\left[1 + \frac{1}{g_{mF1}(R_p//R_z//R_x)}\right] + s\left(\frac{C_p + C_z + C_x}{g_{mF1}g_{mS1}}\right) = R'_{eq4} + sL_{ex4}$		$R'_{eq4} = \frac{1}{g_{mS1}}\left[1 + \frac{1}{g_{mF1}(R_p//R_z//R_x)}\right]$, $C'_{eq4} = C_4 + C_{z+}$, $L_{ex4} = \left(\frac{C_p + C_z + C_x}{g_{mF1}g_{mS1}}\right)$, $R_{ex4} = R_{z+}$
Fig. 3	$Y'_{tmi} = \frac{1}{Z'_{tmi}} = \frac{1}{Z_5} + \frac{1}{R_{ex}} + sC_{ex}$ where $Z_5 = \left(\frac{1}{g_{mF2}g_{mS2}Z_{eqi}}\right) + \left(\frac{1}{g_{mF2}g_{mS2}R_{z+}}\right) + s\left(\frac{C_{z+}}{g_{mF2}g_{mS2}}\right) = Z_{tmi} + R_{exL} + sL_{ex}$ and $i = 1, 2, 3, 4$.		$Z_{tmi} = \frac{1}{g_{mF2}g_{mS2}Z_{eqi}}$ $(i = 1, 2, 3, 4)$, $R_{exL} = \frac{1}{g_{mF2}g_{mS2}R_{z+}}$, $L_{ex} = \frac{C_{z+}}{g_{mF2}g_{mS2}}$, $R_{ex} = R_p//R_x$, $C_{ex} = C_p + C_x$ for $v_2 = 0$, and $R_{ex} = R_n//R_{x+}$, $C_{ex} = C_n + C_{x+}$ for $v_1 = 0$

is the parasitic element impacts of the VDTA. Fig. 4 shows the non-ideal behavior model of the VDTA, which incorporates parasitic impedances at the relevant ports [22-23]. It is seen that there are parasitic resistances (R_p, R_n, R_{z+}, R_{z-}, R_{x+}, and R_{x-}) in parallel with the parasitic capacitances (C_p, C_n, C_{z+}, C_{z-}, C_{x+}, and C_{x-}) appearing at the VDTA's corresponding ports. These undesired impedances add extra parasitic elements to the realized immittance simulators, affecting their frequency performance to deviate. Therefore, taking into consideration the parasitic elements of the VDTA given in Fig. 4, the characteristics of the proposed simulator circuits in Figs. 2 and 3 are summarized in Table 6. As an example of design considerations, the parasitic effects in Fig. 2(a) can be diminished if the following requirements are satisfied:

$$g_{mS1} >> \frac{1}{(R_{z+}//R_{x-})} \tag{8}$$

$$g_{mF1} >> \frac{1}{(R_n//R_{x+})} \tag{9}$$

$$C_1 \gg (C_{z+} + C_{x-}), \tag{10}$$

and the useful frequency range should be restricted as

$$f << \left[\frac{1}{2\pi(R_n//R_{x+})(C_n + C_{x+})}\right] \tag{11}$$

Similarly, the following condition should be considered to minimize the effect of the serial parasitic resistance R_{exL2} in Fig. 2(b):

$$\frac{\omega L'_{eq2}}{R_{exL2}} >> 1 \tag{12}$$

Consequently, it is possible to estimate the useful frequency range of Fig. 2(b) as:

$$f >> \left[\frac{1}{2\pi(R_n//R_{x+})(C_2 + C_{z+} + C_{x-})}\right] \tag{13}$$

It is also observed from Table 6 that the simulator of Fig. 2(c) has the following conditions to avoid the effect of R_{exL3}:

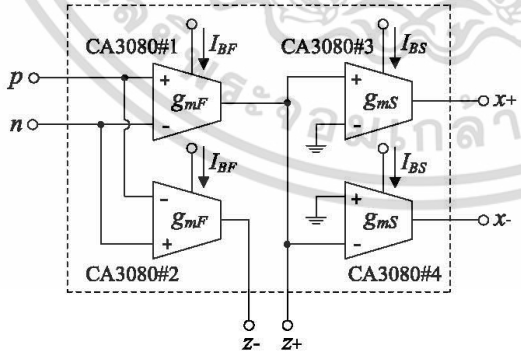


Fig. 5. Possible VDTA realization with readily available IC CA3080s used in simulation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

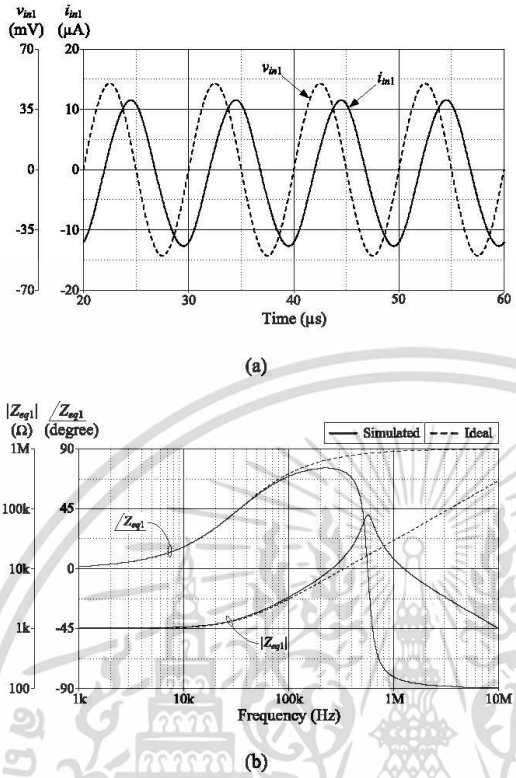


Fig. 6. Characteristics of the proposed grounded series R-L simulator in Fig. 2 (a) (a) time responses (b) frequency responses.

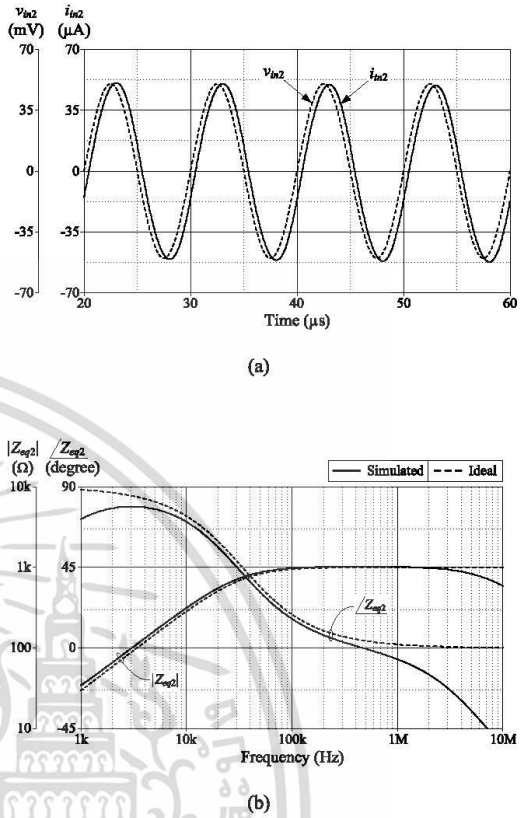


Fig. 7. Characteristics of the proposed grounded parallel R-L simulator in Fig. 2 (b) (a) time responses (b) frequency responses.

$$g_{mF1} >> \frac{1}{(R_n // R_{x+})} \tag{14}$$

and

$$\frac{\omega L_{ex3}}{R_{exL3}} << 1. \tag{15}$$

As a consequence, the useful frequency range of Fig. 2(c) can be estimated as:

$$f << \left[\frac{g_{mF1}}{2\pi(C_3 + C_n + C_{z+})}\right] \tag{16}$$

To prevent the impacts of VDTA parasitics, the proposed floating immittance simulator circuit in Fig. 3 should be used within the following frequency ranges:

$$f << \left[\frac{1}{2\pi R_{x+} C_{z+}}\right], \left[\frac{1}{2\pi (R_p // R_{x-})(C_p + C_{x-})}\right], \left[\frac{1}{2\pi (R_n // R_{x+})(C_n + C_{x+})}\right] \tag{17}$$

6. Performance simulations

The performance of the proposed floating/grounded immittance simulator circuits in Figs. 2 and 3 was simulated using PSPICE program. Since the VDTA internally consists of two separate transconductance gains, it can be implemented using commercially available CA3080 type OTAs [34], as illustrated in Fig. 5. In performance simulations, the macro-model of CA3080 was performed with a power supply of ± 5 V. According to $g_m = 20I_B$ [34], the bias current I_B was used for IC CA3080 to obtain the desired g_m value.

The time-domain and frequency-domain responses of the proposed grounded series and parallel R-L and R-C immittance simulator circuits in Fig. 2(a)-2(d) are given in Figs. 6-9, respectively. All of the simulators were realized with identical component values: $g_{mF1} \cong g_{mS1} = 1$ mA/V ($I_{BF1} \cong I_{BS1} = 50$ μA), and $C_i = 4.7$ nF, giving the simulated equivalent values equal to $R_{eqi} = 1$ kΩ, $L_{eq1} = L_{eq2} = 4.7$ mH, and $C_{eq3} = C_{eq4} = 4.7$ nF. As a consequence, the corner frequencies of all the simulators were theoretically set to 33.86 kHz. To evaluate time-domain response performance, each simulator was fed a sinusoidal input voltage with a peak amplitude of 50 mV at 100 kHz. According to the simulation results, the phase differences between v_{ini} and i_{ini} of the simulators in Fig. 2(a)-2(d) were determined to be 69.66°, 16.74°, 18.90°, and 71.89°, whereas the theoretical values are 71.29°, 18.73°, 18.71°, and 71.31°, respectively. The percentage phase deviations for these results are 2.29 %, 10.60 %, 1.02 %, and 0.82 %, respectively. Also, from the findings, the first and second proposed R-L impedance simulators can be performed properly in the frequency ranges of 1 kHz to 200 kHz and 10 kHz to 200 kHz. The third and fourth ones in Fig. 2(c) and 2(d) can be worked at frequencies ranging from 10 kHz to 400 kHz, and from 1 kHz to 10 MHz, respectively. The simulated power dissipation for each circuit was roughly 18 mW.

To further demonstrate the feature of independent electronic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

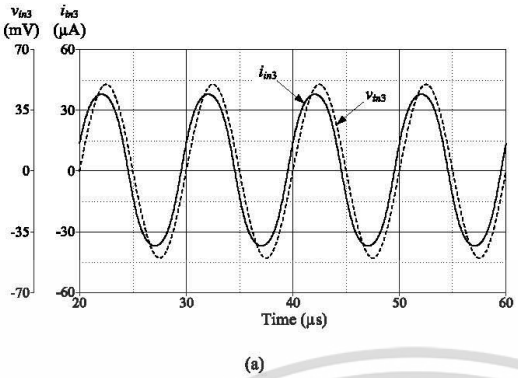


Fig. 8. Characteristics of the proposed grounded series R-C simulator in Fig. 2 (c) (a) time responses (b) frequency responses.

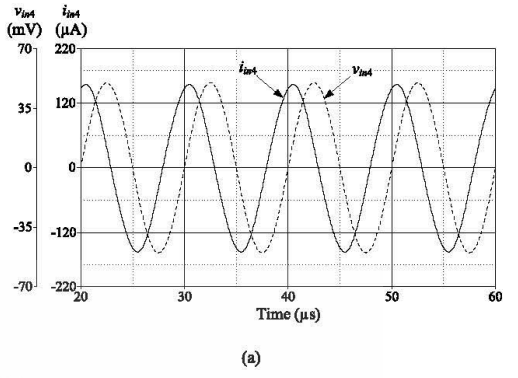


Fig. 9. Characteristics of the proposed grounded parallel R-C simulator in Fig. 2(d) (a) time responses (b) frequency responses.

tunability, the proposed simulator circuit of Fig. 3 was performed with the terminated equivalent imittance from Fig. 2(a). The component values used were $g_{m2} = g_{mF2} \cong g_{mS2} = 1$ mA/V, and $C_4 = 4.7$ nF, whereas the transconductances $g_{m1} = g_{mF1} \cong g_{mS1}$ were changed for three different values, 0.5 mA/V, 2 mA/V, and 4 mA/V. The simulator in this case acts as a floating series-type lossy inductor with $L_{in4} = 4.7$ mH and R_{in4} varying from 500 Ω to 2 kΩ to 4 kΩ. Fig. 10 depicts the ideal and simulated magnitude responses for three different g_{m1} values (different values of R_{in4}). These results correlate closely with the ideal plots, with maximum errors in magnitude values at 10 kHz and 100 kHz of less than 4.4 % and 8.15 %, respectively. On the other hand, Fig. 11 shows the magnitude curves for various values of g_{m2}. These results are obtained by setting $g_{m2} = 0.5$ mA/V, 2 mA/V, and 4 mA/V, while keeping $g_{m1} = 1$ mA/V.

Process, voltage, and temperature (PVT) corner analysis has also been used to evaluate the sensitivity of the proposed immittance simulator circuits. The process corners were nominal-nominal, fast–fast, slow-slow, fast-slow, and slow-fast. The supply voltage variations were 4.9 V and 5.1 V, while the temperature variations were 0 °C, 35 °C, and 70 °C. Fig. 12 shows the PVT simulations of the frequency responses for the simulator circuits in Fig. 2. In Fig. 12, the variations in magnitude and phase of equivalent input impedance are as follows:

Fig. 2(a): $|Z_{eq1}| = 1.41$ kΩ ~ 1.15 kΩ, and $\angle Z_{eq1} = 45.01° \sim 37.93°$;

Fig. 2(b): $|Z_{eq2}| = 707.70$ Ω ~ 597.49 Ω, and $\angle Z_{eq2} = 45.01° \sim 35.94°$;

Fig. 2(c): $|Z_{eq3}| = 1.41$ kΩ ~ 1.24 kΩ, and $\angle Z_{eq3} = -44.98° \sim -45.48°$;

Fig. 2(d): $|Z_{eq4}| = 707.55$ Ω ~ 565.05 Ω, and $\angle Z_{eq4} = -45.02° \sim -51.11°$.

7. Experimental verification

The proposed immittance simulator circuits have also been laboratory tested to validate the theoretically calculated results. The circuit

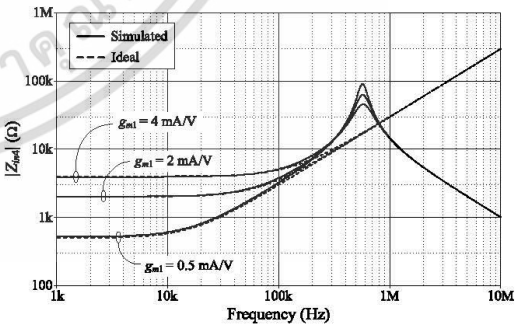


Fig. 10. Magnitude-frequency responses of the proposed floating immittance simulator in Fig. 3 for different values of g_{m1}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

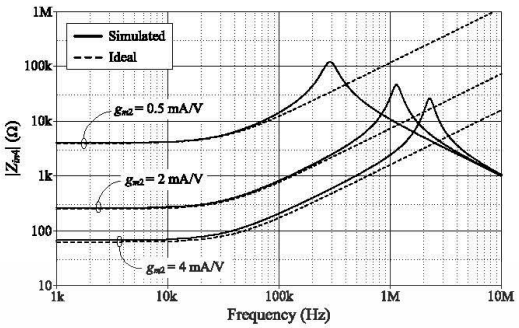


Fig. 11. Magnitude-frequency responses of the proposed floating immittance simulator in Fig. 3 for different values of g_{m2}.

was built using commercially available OTAs of IC type CA3080. Fig. 13 shows a breadboard for experimental measurements with DC supply voltages of ± 5 V.

The proposed grounded immittance simulator circuits presented in Fig. 2 were experimentally tested. The following component values were used for the circuit: $g_{miF1} = g_{miS1} = 1$ mA/V ($I_{BF1} = I_{BS1} = 50$ μA), and $C_i =$ 4.7 nF. As a result, from equations (2)-(5), the series and parallel connections for R-L and R-C immittance circuits are realized with $R_{eq1} = R_{eq2} = R_{eq3} = 1$ kΩ, $L_{eq1} = L_{eq2} = 4.7$ mH, and $C_{eq3} = 4.7$ nF. The corresponding corner frequencies computed from Table 2 are $f_{ci} = 33.86$ kHz. The measured results for the time- and frequency-domain responses of the synthetic grounded simulators in Fig. 2(a)-2(c) are shown in Figs. 14-16, respectively. In order to practically measure the input current i_{ini} of the simulator, additional IC AD844s and a 1-kΩ converting resistor were utilized to perform the current-to-voltage conversion [35–36].

Further, the grounded parallel R-C simulator in Fig. 2(d) was experimented with $g_{miF1} = 1$ mA/V and $C_4 = 4.7$ nF, yielding $C_{eq4} = 4.7$ nF. The transconductance g_{miS1} was changed to 0.5 mA/V, 1 mA/V, and 2 mA/V, to get $R_{eq4} = 2$ kΩ, 1 kΩ, and 0.5 kΩ, respectively. Fig. 17 represents the magnitude and phase measurements of the input equivalent impedance Z_{eq4} at different g_{miS1} values. The experimental results, as shown in Figs. 14-17, prove the practical usability of the circuit as well as the electronic tunability of the simulated element with transconductance.

8. Application examples

8.1. Bandpass filter realization

To further evaluate their applicability, the suggested floating and grounded R-L simulators were utilized to implement the second-order bandpass (BP) filter depicted in Fig. 18. The following elements of the R-L immittance simulators may have been taken for the given specifications:

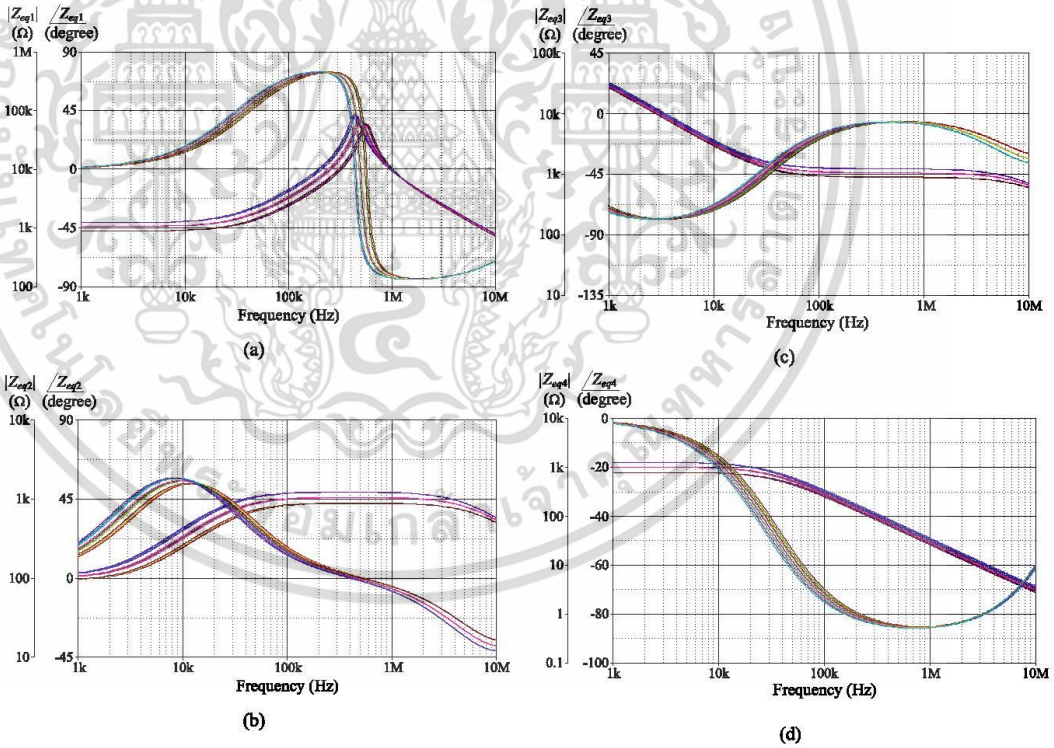


Fig. 12. PVT corner analysis of the proposed simulator circuits (a) R-L series of Fig. 2(a) (b) R-L parallel in Fig. 2(b) (c) R-C series of Fig. 2(c) (d) R-C parallel in Fig. 2(d).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

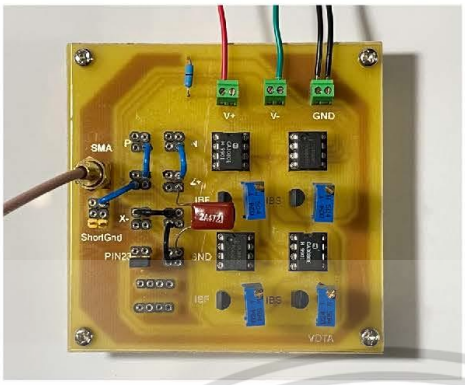
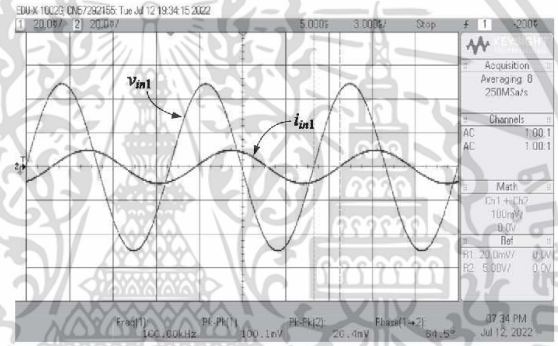


Fig. 13. Printed circuit board of the proposed simulator circuit in Fig. 2, used for experimental measurements.

- for floating series R-L branch, $g_{mF1} = g_{mS1} = g_{mF2} = g_{mS2} = 1$ mA/V ($I_{BF1} = I_{BS1} = I_{BF2} = I_{BS2} = 50$ μA), and $C_4 = 4.7$ nF;
- for grounded parallel R-L branch, $g_{mF1} = g_{mS1} = 1$ mA/V ($I_{BF1} = I_{BS1} = 50$ μA), and $C_2 = 4.7$ nF.

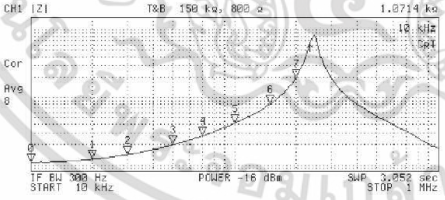
The setting configuration yields $R_{eq} = R_{eq2} = R_{in4} = 1$ kΩ and $L_{eq} = L_{eq2} = L_{in4} = 4.7$ mH. The center frequency and the quality factor of the realized filter are $f_c = R_{eq}/2\pi L_{eq} = 33.86$ kHz, and $Q = 1/3$, respectively. The corresponding frequency analysis of this is given in Fig. 19 wherein the simulated f_c value is determined to be 32.85 kHz. The results of Fig. 19, therefore, verify both the practicability and the theoretical predictions stated above.

On the other hand, the BP filter implemented with series and parallel R-C elements can be shown in Fig. 20. In the same way, the floating series R-C simulator of Fig. 3 and the grounded parallel R-C simulator of Fig. 2(d) can be used directly in place of both branches. The following component values were used (i) for the floating series R-C simulator: $g_{mF1} = g_{mS1} = g_{mF2} = g_{mS2} = 1$ mA/V, and $C_2 = 4.7$ nF, and (ii) for the grounded parallel R-C simulator: $g_{mF1} = g_{mS1} = 1$ mA/V, and $C_4 = 4.7$ nF, chosen to simulate equivalent elements of $R_{eq} = R_{eq4} = R_{in2} = 1$ kΩ and $C_{eq} = C_{eq4} = C_{in2} = 4.7$ nF. As a result, $f_c = 1/2\pi R_{eq}C_{eq} = 33.86$ kHz, and



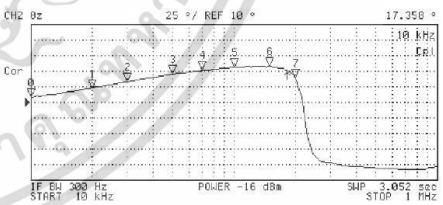
(a)

Magnitude response



N	SWP PARAM	VAL	Theory
0	10 kHz	1.0714 kΩ	1.043 kΩ
1	20 kHz	1.2102 kΩ	1.161 kΩ
2	30 kHz	1.4115 kΩ	1.336 kΩ
3	50 kHz	1.9756 kΩ	1.783 kΩ
4	70 kHz	2.6819 kΩ	2.296 kΩ
5	100 kHz	4.0724 kΩ	3.118 kΩ
6	150 kHz	7.8654 kΩ	4.541 kΩ
7	200 kHz	19.259 kΩ	5.990 kΩ

Phase response

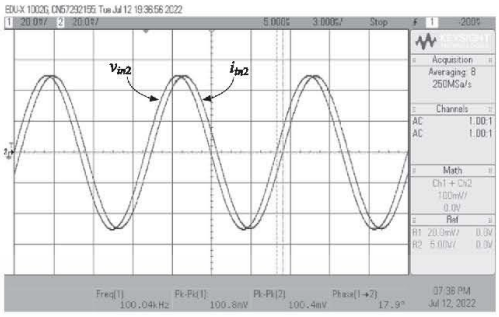


N	SWP PARAM	VAL	Theory
0	10 kHz	17.358 °	16.452°
1	20 kHz	32.623 °	30.567°
2	30 kHz	43.204 °	41.539°
3	50 kHz	55 °	55.892°
4	70 kHz	61.098 °	71.292°
5	100 kHz	65.702 °	77.279°
6	150 kHz	67.313 °	80.390°
7	200 kHz	49.219 °	83.560°

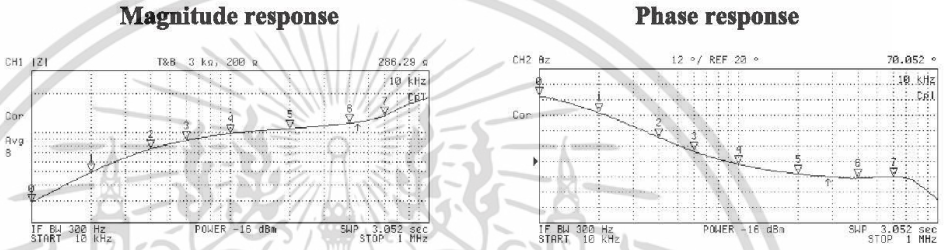
(b)

Fig. 14. Measured responses of the proposed grounded series R-L simulator in Fig. 2(a). (a) time-domain (b) frequency-domain.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



N	SWP PARAM	VAL	Theory
0	10 kHz	286.29 Ω	283.218 Ω
1	20 kHz	490.66 Ω	508.544 Ω
2	40 kHz	743.65 Ω	763.230 Ω
3	60 kHz	866.13 Ω	870.875 Ω
4	100 kHz	985.43 Ω	947.168 Ω
5	200 kHz	1.0722 kΩ	985.967 Ω
6	400 kHz	1.1797 kΩ	995.436 Ω
7	600 kHz	1.3463 kΩ	998.411 Ω

N	SWP PARAM	VAL	Theory
0	10 kHz	70.052 °	73.55°
1	20 kHz	57.189 °	59.43°
2	40 kHz	38.205 °	40.25°
3	60 kHz	27.274 °	29.44°
4	100 kHz	17.385 °	18.71°
5	200 kHz	9.5682 °	9.61°
6	400 kHz	6.3253 °	4.84°
7	600 kHz	7.5608 °	3.23°

(b)

Fig. 15. Measured responses of the proposed grounded parallel R-L simulator in Fig. 2(b). (a) time-domain (b) frequency-domain.

$Q = 1/3$ are determined theoretically. The simulated frequency response of the BP filter example from Fig. 20 is compared to the ideal curve in Fig. 21. In addition, the total harmonic distortion (THD) at the filter output for the amplitude of the input signal is analyzed. Fig. 22 depicts the results of THD variations. The results show that the %THD remains within the 4 % limit until the significant input signal amplitude of 120 mV (peak-to-peak) is reached.

8.2. Quadrature oscillator realization

Another example is an illustrated usage of the proposed grounded series R-L simulator of Fig. 2(a). Fig. 23 shows the suggested VDTA-based voltage-mode quadrature oscillator (QO) employing the R-L series-type simulator in Fig. 2(a) with R_{eq1} and L_{eq1}. The characteristic equation of this configuration is found as:

$$s^2 + \left(\frac{g_{mF}g_{mS}R_{osc}R_{eq1} - 1}{g_{mF}g_{mS}R_{osc}L_{eq1}}\right)s + \left(\frac{1}{L_{eq1}C_{osc}}\right) = 0 \tag{18}$$

From equation (18), the condition of oscillation (CO) and the frequency of oscillation (FO) are then given as:

$$\text{CO: } g_{mF}g_{mS} = \frac{1}{R_{osc}R_{eq1}}, \tag{19}$$

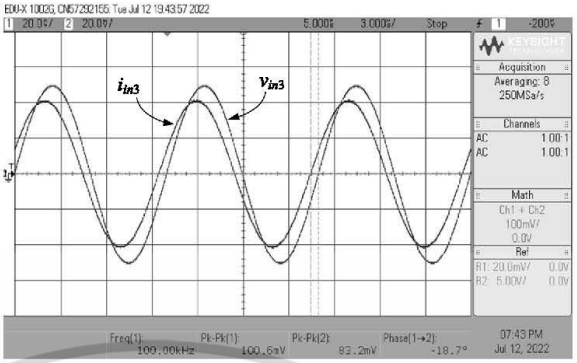
$$\text{FO: } f_{osc} = \frac{1}{2\pi\sqrt{L_{eq1}C_{osc}}}. \tag{20}$$

Equations (19) and (20) show that the CO and FO are independently tunable. The parameter CO can be tuned by means of the element values g_{mF}, g_{mS}, R_{osc} and R_{eq1}, while the FO can be controlled by the values of L_{eq1} and C_{osc}.

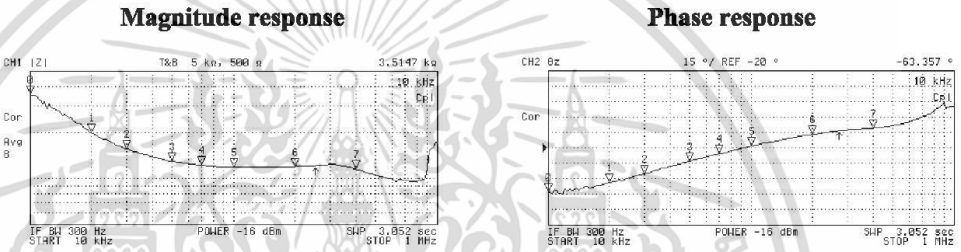
As an example, the suggested QO circuit in Fig. 23 was designed to produce $f_{osc} = 33.86$ kHz. Accordingly, the designed transconductances for the VDTA are $g_{mF} = g_{mS} = 1$ mA/V ($I_{BF} = I_{BS} = 50$ μA) with passive components $R_{osc} = 1$ kΩ and $C_{osc} = 4.7$ nF. The designed components for the simulator Z_{eq1} of Fig. 2(a) are: $g_{mF1} = g_{mS1} = 1$ mA/V and $C_1 = 4.7$ nF, in order to simulate $R_{eq1} = 1$ kΩ and $L_{eq1} = 4.7$ mH. Fig. 24 shows the simulated steady-state output waveforms of v_{osc1} and v_{osc2}. The corresponding f_o value was 30.49 kHz, where the quadrature outputs were 86.01° out of phase. The simulated frequency spectrums of the quadrature waveforms are also shown in Fig. 25, with the resultant THD values at v_{osc1} and v_{osc2} outputs being approximately 5.24 %, and 4.47 %, respectively.

The dependences of the f_{osc} and the phase shift between v_{osc1} and v_{osc2} (ϕ) of the QO circuit in Fig. 23 on the L_{eq1} value are respectively given in Figs. 26 and 27, by changing the bias currents ($I_{BF1} = I_{BS1}$) with a range of 20 μA to 1 mA. Other components with the values listed above were

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



N	SWP PARAM	VAL	Theory
0	10 kHz	3.5147 kΩ	**3.531 kΩ**
1	20 kHz	1.9885 kΩ	**1.966 kΩ**
2	30 kHz	1.557 kΩ	**1.508 kΩ**
3	50 kHz	1.293 kΩ	**1.208 kΩ**
4	70 kHz	1.2167 kΩ	**1.111 kΩ**
5	100 kHz	1.1837 kΩ	**1.056 kΩ**
6	200 kHz	1.1906 kΩ	**1.014 kΩ**
7	400 kHz	1.1471 kΩ	**1.004 kΩ**

N	SWP PARAM	VAL	Theory
0	10 kHz	−63.357 °	**-73.55°**
1	20 kHz	−54.114 °	**-59.43°**
2	30 kHz	−45.258 °	**-48.46°**
3	50 kHz	−33.132 °	**-34.11°**
4	70 kHz	−25.915 °	**-25.82°**
5	100 kHz	−18.533 °	**-18.71°**
6	200 kHz	−6.95 °	**-9.61°**
7	400 kHz	−994.09 m°	**-4.84°**

(b)

Fig. 16. Measured responses of the proposed grounded series R-C simulator in Fig. 2(c). (a) time-domain (b) frequency-domain.

employed. Depending on the value of L_{eq1}, the percentage errors in f_{osc} and ϕ change from 4.35 % to 15.58 %, and from 4.49 % to 16.30 %, respectively. Additionally, Fig. 28 provides the THD values for the v_{osc1} and v_{osc2} quadrature outputs. In this application example, the explanatory QO scheme based on the proposed series R-L simulator of Fig. 2(a) is treated without considering the necessity of amplitude stabilization. However, it may be advantageous to automate amplitude stabilization of the generated waveforms for the explanatory oscillator using the circuit design techniques described in [37–39].

9. Conclusions

This work provides an approach for the active simulation of floating and grounded series and parallel immittance functions. The proposed circuits can be utilized to create series and parallel versions of the floating and grounded R-L and R-C impedance simulators. Four of the proposed grounded immittance function simulators use just one VDTA, whereas the other four floating topologies only employ-two VDTAs. Each of the suggested designs has the attractive feature of using a single grounded capacitor, and they all provide the desired immittance function without the need for any critical realization restrictions. The simulated equivalent element values are orthogonally and electronically modifiable through the transconductances of the VDTAs. The theory is supported by PSPICE simulations and experimental test findings. The practical applications of the proposed immittance simulator circuits are demonstrated in the bandpass filter synthesis and the sinusoidal quadrature oscillator realization.

Declaration of Competing Interest

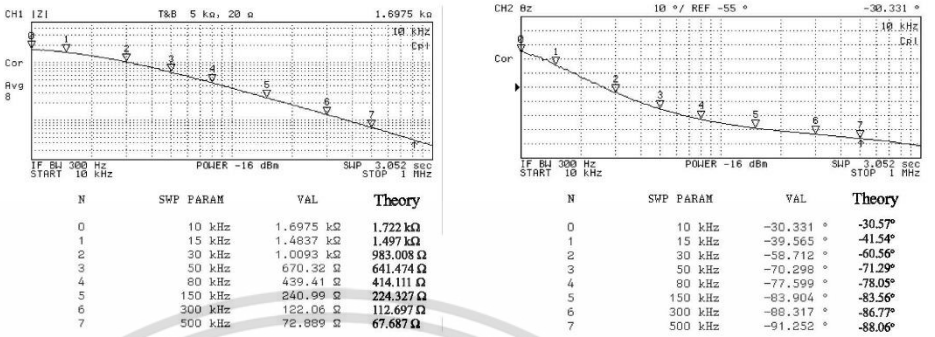
The authors declare that they have no known competing financial interests or personal relationships that could have appeared to influence the work reported in this paper.

Data availability

No data was used for the research described in the article.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Magnitude response **Phase response**

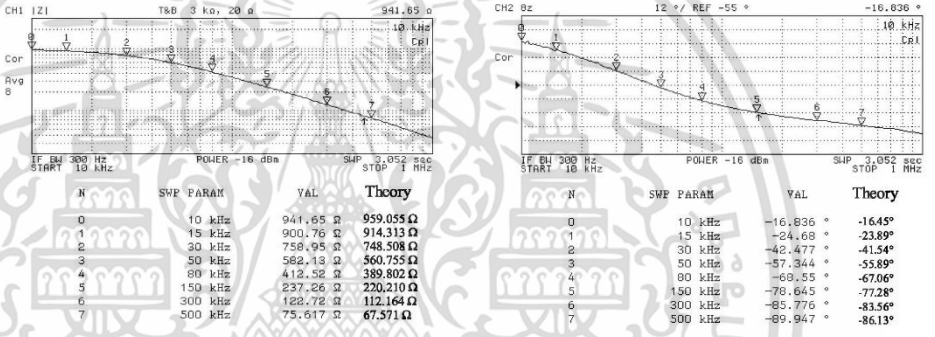


N	SWP PARAM	VAL	Theory
0	10 kHz	1.6975 kΩ	1.722 kΩ
1	15 kHz	1.4837 kΩ	1.497 kΩ
2	30 kHz	1.0093 kΩ	983.008 Ω
3	50 kHz	670.32 Ω	641.474 Ω
4	80 kHz	439.41 Ω	414.111 Ω
5	150 kHz	240.99 Ω	224.327 Ω
6	300 kHz	122.06 Ω	112.697 Ω
7	500 kHz	72.889 Ω	67.687 Ω

N	SWP PARAM	VAL	Theory
0	10 kHz	-30.331 °	-30.57°
1	15 kHz	-39.565 °	-41.54°
2	30 kHz	-58.712 °	-60.56°
3	50 kHz	-70.298 °	-71.29°
4	80 kHz	-77.599 °	-78.05°
5	150 kHz	-83.904 °	-83.56°
6	300 kHz	-88.317 °	-86.77°
7	500 kHz	-91.252 °	-88.06°

(a)

Magnitude response **Phase response**

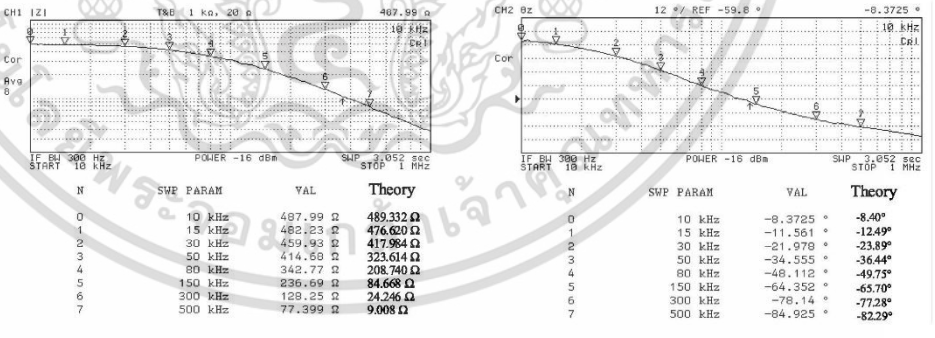


N	SWP PARAM	VAL	Theory
0	10 kHz	941.65 Ω	959.055 Ω
1	15 kHz	900.76 Ω	914.313 Ω
2	30 kHz	758.95 Ω	748.508 Ω
3	50 kHz	582.13 Ω	560.755 Ω
4	80 kHz	412.52 Ω	389.802 Ω
5	150 kHz	237.26 Ω	220.210 Ω
6	300 kHz	122.72 Ω	112.164 Ω
7	500 kHz	75.617 Ω	67.571 Ω

N	SWP PARAM	VAL	Theory
0	10 kHz	-16.836 °	-16.45°
1	15 kHz	-24.68 °	-23.89°
2	30 kHz	-42.477 °	-41.54°
3	50 kHz	-57.344 °	-55.89°
4	80 kHz	-68.55 °	-67.06°
5	150 kHz	-78.645 °	-77.28°
6	300 kHz	-85.776 °	-83.56°
7	500 kHz	-89.947 °	-86.13°

(b)

Magnitude response **Phase response**



N	SWP PARAM	VAL	Theory
0	10 kHz	487.99 Ω	489.332 Ω
1	15 kHz	482.23 Ω	476.620 Ω
2	30 kHz	459.93 Ω	417.984 Ω
3	50 kHz	414.68 Ω	323.614 Ω
4	80 kHz	342.77 Ω	208.740 Ω
5	150 kHz	236.69 Ω	84.668 Ω
6	300 kHz	128.25 Ω	24.246 Ω
7	500 kHz	77.399 Ω	9.008 Ω

N	SWP PARAM	VAL	Theory
0	10 kHz	-8.3725 °	-8.40°
1	15 kHz	-11.561 °	-12.49°
2	30 kHz	-21.978 °	-23.89°
3	50 kHz	-34.555 °	-36.44°
4	80 kHz	-48.112 °	-49.75°
5	150 kHz	-64.352 °	-65.70°
6	300 kHz	-78.14 °	-77.28°
7	500 kHz	-84.925 °	-82.29°

(c)

Fig. 17. Measured frequency responses of the proposed grounded parallel R-C simulator in Fig. 2(d) for different g_{mS1} values. (a) $g_{mS1} = 0.5$ mA/V (b) $g_{mS1} = 1.0$ mA/V (c) $g_{mS1} = 2.0$ mA/V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

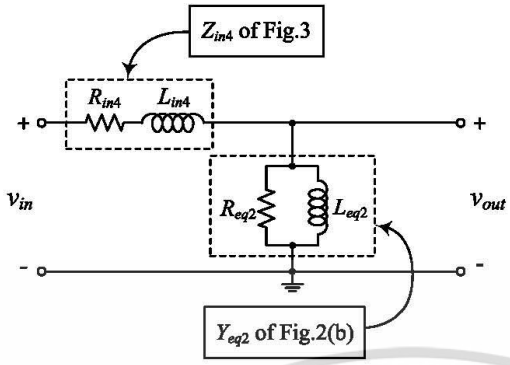


Fig. 18. BP filter realization using the proposed series and parallel R-L simulators.

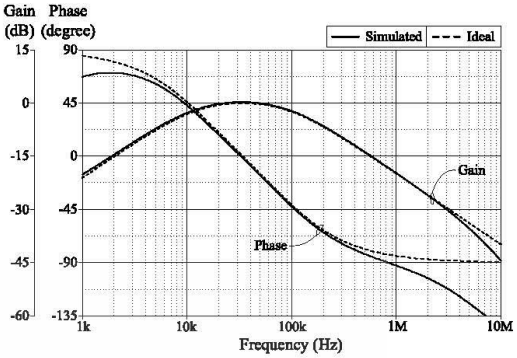


Fig. 21. Frequency characteristics of the BP filter in Fig. 20.

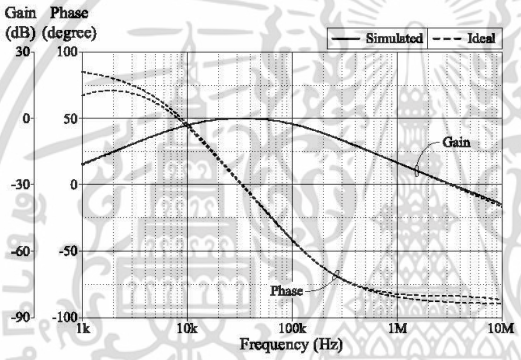


Fig. 19. Frequency characteristics of the BP filter in Fig. 18.

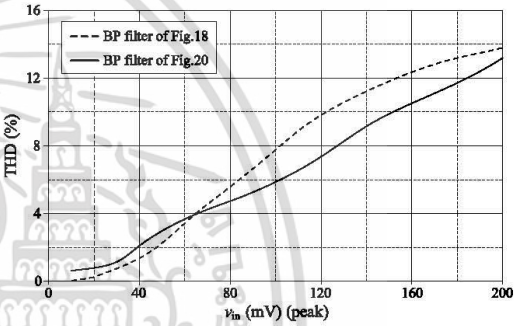


Fig. 22. %THD variations with an input signal amplitude.

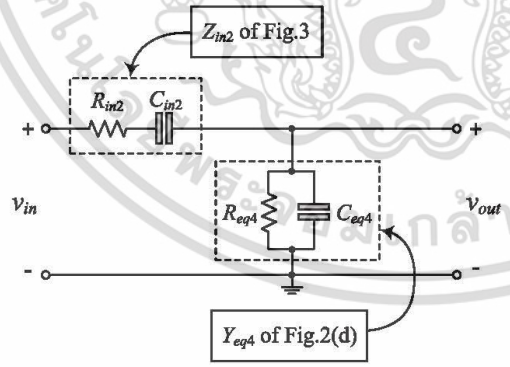


Fig. 20. BP filter realization using the proposed series and parallel R-C simulators.

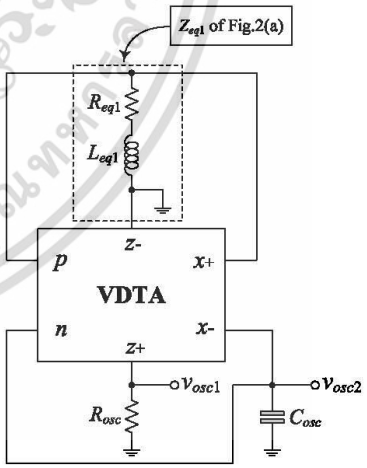


Fig. 23. Quadrature oscillator realization using the grounded series R-L simulator of Fig. 2(a).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

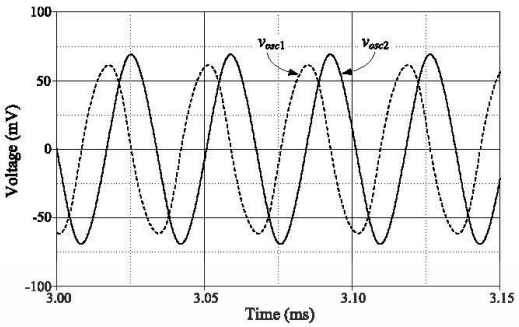


Fig. 24. Simulated quadrature-output waveforms of v_{osc1} and v_{osc2} in Fig. 23.

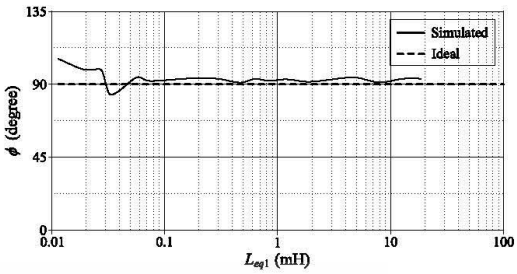


Fig. 27. Dependence of the phase shift between v_{osc1} and v_{osc2} on L_{eq1} value.

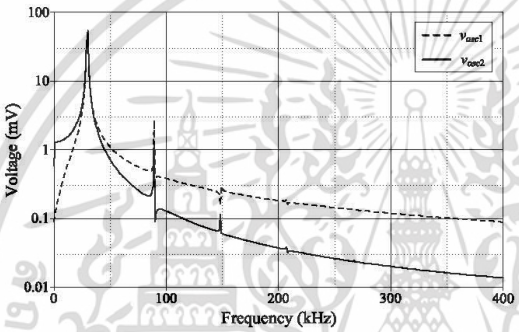


Fig. 25. Simulated frequency spectrums of v_{osc1} and v_{osc2} in Fig. 23.

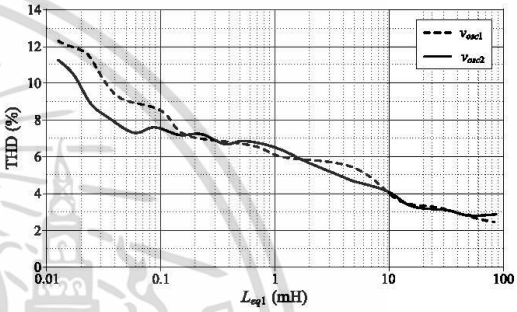


Fig. 28. Dependence of output harmonic distortion on L_{eq1} value.

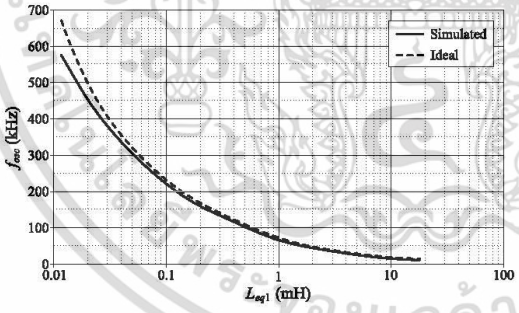


Fig. 26. Dependence of f_{osc} on L_{eq1} value.

Acknowledgment

This work was supported by King Mongkut's Institute of Technology Ladkrabang.

References

[1] Kuntman H, Gülsoy M, Çiçekoğlu O. Actively simulated grounded lossy inductors using third generation current conveyors. Microelectronics J 2000;31:245–50. https://doi.org/10.1016/S0026-2692(99)00108-1.
[2] Kaçar F, Yeşil A. Novel grounded parallel inductance simulators realization using a minimum number of active and passive components. Microelectronics J 2010;41:632–8. https://doi.org/10.1016/j.mejo.2010.06.011.
[3] Kaçar F, Kuntman H. CFOA-based lossless and lossy inductance simulators. Radioengineering 2011;20:627–31.
[4] Metin B. Supplementary inductance simulator topologies employing single DXCCII. Radioengineering 2011;20:614–8.
[5] Kaçar F, Yeşil A, Minaei S, Kuntman H. Positive/negative lossy/lossless grounded inductance simulators employing single VDCC and only two passive elements. AEU - Int J Electron Commun 2014;68:73–8. https://doi.org/10.1016/j.aeue.2013.08.020.
[6] Alpaslan H, Yuce E. Inverting CFOA based lossless and lossy grounded inductor simulators. Circuits, Syst Signal Process 2015;34:3081–100. https://doi.org/10.1007/s00034-015-0004-x.
[7] Mohammad F, Sampe J, Shireen S, Ali HM, S.. Minimum passive components based lossy and lossless inductor simulators employing a new active block. AEU - Int J Electron Commun 2017;82:226–40. https://doi.org/10.1016/j.aeue.2017.08.046.
[8] Senani R. Floating immittance realisation: nullor approach. Electron Lett 1988;24:403–5. https://doi.org/10.1049/el:19880273.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[9] Çam U, Kaçar F, Cicekoglu O, Kuntman H, Kuntman A. Novel grounded parallel immittance simulator topologies employing single OTRA. AEU - Int J Electron Commun 2003;57:287–90. https://doi.org/10.1078/1434-8411-54100173.

[10] Çam U, Kaçar F, Cicekoglu O, Kuntman H, Kuntman A. Novel two OTRA-based grounded immitance simulator topologies. Analog Integr Circuits Signal Process 2004;39:169–75. https://doi.org/10.1023/B:ALOG.0000024064.73784.58.

[11] Himura A, Fukui Y, Ishida M, Higashimura M. Series impedance simulators using one CCII. Electron Lett 1990;26:269–70. https://doi.org/10.1049/el:19900179.

[12] Abuelma'Atti MT, Tasadduq NA.. New negative immittance function simulators using current conveyors. Microelectronics J 1999;30:911–5. https://doi.org/10.1016/S0026-2692(99)00037-3.

[13] Liu SJ, Hwang YS. Realisation of R-L and C-D impedances using a current feedback amplifier and its applications. Electron Lett 1994;30:380–1. https://doi.org/10.1049/el:19940286.

[14] Wang HY, Lee CT. Realization of R-L and C-D immittances using single FTFN. Electron Lett 1998;34:502–3. https://doi.org/10.1049/el:19880417.

[15] Wang HY, Lee CT. Systematic synthesis of R-L and C-D immittances using single CCIII. Int J Electron 2000;87:293–301. https://doi.org/10.1080/002072100132192.

[16] Incekaraoglu M, Çam U. Realization of series and parallel R-L and C-D impedances using single differential voltage current conveyor. Analog Integr Circuits Signal Process 2005;43:101–4. https://doi.org/10.1007/s10470-005-6577-8.

[17] Abaci A, Yuce E. Single DDCC based new immittance function simulators employing only grounded passive elements and their applications. Microelectronics J 2019;83:94–103. https://doi.org/10.1016/j.mejo.2018.11.014.

[18] Abuelma'atti MT, Dhar SK, Khalifa ZJ.. New two-CFOA-based floating immittance simulators. Analog Integr Circuits. Signal Process 2017;91:479–89. https://doi.org/10.1007/s10470-017-0956-9.

[19] Sagbas M, Ayten UE, Sedef H, Koksal M. Floating immittance function simulator and its applications. Circuits, Syst Signal Process 2009;28:55–63. https://doi.org/10.1007/s00034-008-9057-4.

[20] Sagbas M. Component reduced floating ±L, ±C and ±R simulators with grounded passive components. AEU - Int J Electron Commun 2011;65:794–8. https://doi.org/10.1016/j.aeue.2011.01.006.

[21] Tangsrirat W, Unhavanich S. Voltage differencing transconductance amplifier-based floating simulators with a single grounded capacitor. Indian J Pure Appl Phys 2014;52:423–8.

[22] Moonmuang P, Pukkalanun T, Tangsrirat W. Floating/grounded series/parallel R-L, R-C and L-C immittance simulators employing VDTAs and only two grounded passive elements. AEU - Int J Electron Commun 2022;145:154095. https://doi.org/10.1016/j.aeue.2021.154095.

[23] Moonmuang P, Tangsrirat W. Single VDTA based tunable floating lossy inductance simulation circuits. IETE J Res 2021. https://doi.org/10.1080/03772063.2021.1900752.

[24] Tangsrirat W, Surakampontorn W. Tunable active grounded lossless and lossy inductance simulators with single grounded capacitor using VDBAs. Sci Iran 2022;29:739–48. https://doi.org/10.24200/SCI.2019.51551.2248.

[25] Jaikla W, Sotner R, Khateb F. Design and analysis of floating inductance simulators using VDDDAs and their applications. AEU - Int J Electron Commun 2019;112:152937. https://doi.org/10.1016/j.aeue.2019.152937.

[26] Konal M, Kacar F. Grounded inductance simulator realization with single VDDDA. Analog Integr Circuits Signal Process 2022;110:279–88. https://doi.org/10.1007/s10470-021-01957-1.

[27] Agrawal D, Maheshwari S. Electronically tunable grounded immittance simulators using an EX-CCCII. Int J Electron 2020;107:1625–48. https://doi.org/10.1080/00207217.2020.1729421.

[28] Siripongdee S, Jaikla W. Electronically controllable grounded inductance simulators using single commercially available IC: LT1228. AEU - Int J Electron Commun 2017;76:1–10. https://doi.org/10.1016/j.aeue.2017.03.018.

[29] Ibrahim MA, Minaei S, Yuce E, Herencsar N, Koton J. Lossy/lossless floating/grounded inductance simulation using one DDCC. Radioengineering 2012;21:3–10.

[30] Abaci A, Yuce E. Modified DVCC based quadrature oscillator and lossless grounded inductor simulator using grounded capacitor(s). AEU - Int J Electron Commun 2017;76:86–96. https://doi.org/10.1016/j.aeue.2017.03.023.

[31] Dogan M, Yuce E. Supplementary single active device based grounded immittance function simulators. AEU - Int J Electron Commun 2018;94:311–21. https://doi.org/10.1016/j.aeue.2018.07.016.

[32] Unuk T, Yuce E. DVCC+ based immittance function simulators including grounded passive elements only. J Circuits, Syst Comput 2021;30:5–14. https://doi.org/10.1142/S0218126621502789.

[33] Biolek D, Senani R, Biolkova V, Kolka Z. Active elements for analog signal processing: classification, review, and new proposals. Radioengineering 2008;17:15–32.

[34] Semiconductor H. 2 MHz, Operational Transconductance Amplifier (OTA). CA3080 datasheet; 1996..

[35] Roongmuanpha N, Faseehuddin M, Herencsar N, Tangsrirat W. Tunable mixed-mode voltage differencing buffered amplifier-based universal filter with independently high-Q factor controllability. Appl Sci 2021;11:9606. https://doi.org/10.3390/app11209606.

[36] Roongmuanpha N, Tangsrirat W, Pukkalanun T. Single VDGA-based mixed-mode universal filter and dual-mode quadrature oscillator. Sensors 2022;22:5303. https://doi.org/10.3390/s22145303.

[37] Bajer J, Lahiri A, Biolek D. Current-mode CCII+ based oscillator circuits using a conventional and a modified Wien-bridge with all capacitors grounded. Radioengineering 2011;20:245–50.

[38] Levstek A. Amplitude stabilization in quadrature oscillator for low harmonic distortion. Informacije MIDEM – J Microelectron Electron Comp Mater 2013;43:185–92. https://doi.org/10.1142/S0218126621502789.

[39] Sotner R, Jerabek J, Langhammer DJ. Design and analysis of CCII-based oscillator with amplitude stabilization employing optocouplers for linear voltage control of the output frequency. Electronics 2018;7:157. https://doi.org/10.3390/electronics7090157.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Grounded Parallel RL, RC, and LC Immittance Simulators Using VDBAs and Passive Elements

Pratya Mongkolwai
Faculty of Engineering,
Rajamangala University of Technology Rattanakosin (RMUTR),
Nakhon Pathom 73170, Thailand
pratya.mon@rmutr.ac.th

Pitchayanin Moonmuang, Tattaya Pukkalanun, Worapong Tangsrirat
School of Engineering,
King Mongkut's Institute of Technology Ladkrabang (KMITL),
Bangkok 10520, Thailand
pitchayanin.moonmuang@gmail.com, tattaya.pu@kmitl.ac.th, worapong.ta@kmitl.ac.th

***Abstract*—This communication suggests a grounded parallel RL, RC, and LC immittance simulator. In this circuit, two voltage differencing buffered amplifiers (VDBAs) with two passive components are proposed. The VDBA device's transconductance gain can be used to electronically adjust the realized equivalent resistance (R_{eq}), inductance (L_{eq}), and capacitance (C_{eq}), which is conditional on the choice of the passive element. The effect of the VDBA's non-idealities on the realized simulator is studied in this research. The second order voltage mode bandpass filter is realized using the proposed active LC parallel simulator, which is simulated using the PSPICE simulation program to ensure that it operates as desired.**

***Keywords*—Voltage Differencing Buffered Amplifier (VDBA), immittance simulator, electronically adjustable**

I. Introduction

In today's modern world, electronic devices have become an essential part of our lives. The published research will influence on the development of new technology. The various active devices, which are current conveyor (CC), operational transconductance amplifier (OTA), current feedback amplifier (CFA), current differencing buffered amplifier (CDBA) have become well-known devices for many analog signal processing applications. Likewise, the voltage differencing buffered amplifier (VDBA) has also been classified as one of the most popular and useful devices since 2008 [1]. The VDBA device consists of a transconductance amplifier as an input stage and a voltage follower as an output stage. This qualification is used in a variety of voltage-mode analog signal processing applications. The passive elements, i.e. resistor capacitor and inductor, were applied to many applications such as: filter circuit, oscillator design and impedance matching in RF circuitry. Due to its massive structure and lack of fine-tuned capabilities when applied to the chip area, an active device was employed to design a circuit that could replicate the behavior of a passive element [2]-[4]. In the literature, all of the proposed RL parallel type simulators [5]-[7] required at least three active components. Similarly, the circuits in [6]-[7] necessitate the use of three or more passive components in order to be realized. Moreover, the circuits in [8] require a high supply voltage to operate.

This research presents a grounded parallel RL, RC, and LC immittance simulator that is dependent on the passive element being selected. The proposed circuit consists of two VDBAs and two passive components, with the equivalent values being controlled electronically by the transconductance gain of the VDBA devices. The influence of the VDBA's non-idealities on the realized immittance simulator is investigated in this work. The suggested RL, RC, and LC circuits were simulated responses in the frequency domain using PSPICE software with 0.18-μm CMOS real process parameters. In the case of the parallel RC simulator, time domain and temperature-dependent simulations are also performed. Furthermore, a second-order voltage mode bandpass filter was applied by the actively LC simulator to confirm the workability.

II. Detail of VDBA Element

The simplified symbol of the VDBA device is shown in Fig. 1. This block contains two input ports (p and n) that fulfill high input impedance specifications. While, the output ports are port z and w which have high and low impedance, respectively. The differential voltage between v_p and v_n (v_p–v_n) has been transferred by the transconductance gain (g_m) into a output current (i_z) at terminal z. The voltage drop (v_z) at the z terminal is transferred to the output voltage (v_w) at the w terminal. The VDBA's ideal qualification can be seen below.

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \\ i_w \end{bmatrix} . \quad (1)$$

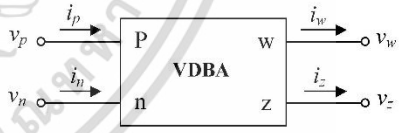


Fig. 1 Simplified symbol of the VDBA.

The small signal transconductance gain of the VDBA device is g_m, and its value can be electronically controlled by the external bias current (I_B). In non-ideal conditions, the modified matrix of VDBA qualification is illustrated as follows:

$$\begin{bmatrix} i_p \\ i_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ \alpha g_m & -\alpha g_m & 0 & 0 \\ 0 & 0 & \beta & 0 \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_z \\ i_w \end{bmatrix} . \quad (2)$$

In above relation, $\alpha = (1 - \varepsilon_{gm})$ and $\beta = (1 - \varepsilon_v)$, where $|\varepsilon_{gm}| << 1$ gives the transconductance inaccuracy, and $|\varepsilon_v| << 1$ gives the voltage tracking coefficients.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The designed CMOS structure of the VDBA device is displayed in Fig. 2. The M_1-M_4 transistors are part of the differential pair together with an active load. In part of the M_5-M_8 and M_9 transistors, there are a function of the voltage buffered and source follower, respectively. The g_m-value of the active building block, which is provided in (3), can be adjusted by the external DC bias current (I_B) of the VDBA.

$$g_m = \sqrt{\mu C_{ox}\left(\frac{W}{L}\right) I_B} \quad , \tag{3}$$

where μ is the effective carrier mobility, C_{ox} is the gate-oxide capacitance per unit area, W is the effective channel width, and L is the effective channel length.

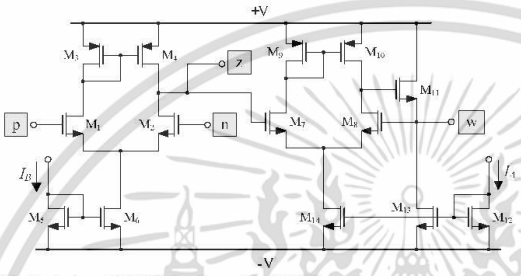


Fig. 2 designed CMOS structure of the VDBA

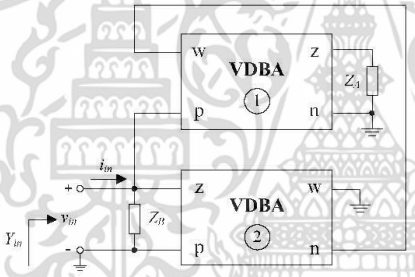


Fig. 3 Proposed lossy parallel immittance simulator.

III. Proposed of Grounded Parallel Immittance

The proposed grounded parallel immittance simulator consists of two VDBA devices and two grounded passive elements as shown in Fig. 3. The proposed parallel RL, RC, and LC immittance simulator was realized by selecting the proper passive elements, which explains the realized circuit and equivalent values as shown in Table I. The input admittance (Y_{in}) of the proposed circuit, which is under the ideal condition of a VDBA device, is explained as follows:

$$Y_{in} = \frac{i_{in}}{v_{in}} = g_{m1}g_{m2}Z_A + \frac{1}{Z_B} \quad . \tag{4}$$

From the above equation, the simulated equivalent immittance values of all proposed simulators can be adjusted electronically by the transconductance parameters (g_{m1} and g_{m2}). Furthermore, this proposed circuit is remarkable in that it does not require any special component matching.

Reanalyzing the input admittance of the proposed circuit in Fig. 3 by the non-ideal condition in (2) can be found as shown in Table 2.

TABLE I. Realized Circuit and Equivalent Values For Fig.3. in Ideal Case

Z_A	Z_B	Realized circuit	Equivalent values
$1/sC_A$	R_B	RL Parallel	$R_{eq}=R_B$, $L_{eq}=\frac{C_A}{g_{m1}g_{m2}}$
R_A	$1/sC_B$	RC Parallel	$R_{eq}=\frac{1}{R_A g_{m1}g_{m2}}$, $C_{eq}=C_B$
$1/sC_A$	$1/sC_B$	LC Parallel	$L_{eq}=\frac{C_B}{g_{m1}g_{m2}}$, $C_{eq}=C_A$

TABLE II. Equivalent Values For Fig.3. in Non-Ideal Case

Z_A	Z_B	Realized circuit	Equivalent values
$1/sC_A$	R_B	RL Parallel	$R_{eq}=R_B$, $L_{eq}=\frac{C_A}{\alpha_1\alpha_2\beta_1 g_{m1}g_{m2}}$
R_A	$1/sC_B$	RC Parallel	$R_{eq}=\frac{1}{\alpha_1\alpha_2\beta_1 R_A g_{m1}g_{m2}}$, $C_{eq}=C_B$
$1/sC_A$	$1/sC_B$	RL Parallel	$L_{eq}=\frac{C_B}{\alpha_1\alpha_2\beta_1 g_{m1}g_{m2}}$, $C_{eq}=C_A$

All sensitivity of equivalent values, which are R_{eq} L_{eq} and C_{eq}, are affected by active and passive components obtained in (5)–(7):

For RL Parallel;

$$S_{R_B}^{R_{eq}}=1,\ S_{\alpha_1,\alpha_2,\beta_1,g_{m1},g_{m2}}^{L_{eq}}=-1,\ S_{C_A}^{L_{eq}}=1 \tag{5}$$

For RC Parallel;

$$S_{\alpha_1,\alpha_2,\beta_1,R_A,g_{m1},g_{m2}}^{R_{eq}}=-1,\ S_{C_B}^{C_{eq}}=1 \tag{6}$$

For LC Parallel;

$$S_{\alpha_1,\alpha_2,\beta_1,g_{m1},g_{m2}}^{L_{eq}}=-1,\ S_{C_B}^{L_{eq}}=1,\ S_{C_A}^{C_{eq}}=1 \tag{7}$$

As a result, these sensitivity coefficients have magnitudes less than or equal to unity. Consequently, all of the proposed parallel RL RC and LC immittance simulators have excellent sensitivity.

IV. Simulations Results

The simulation results provide a more in-depth evaluation of the capabilities of the proposed circuit. For simulating through the PSPICE program, the proposed grounded parallel immittance simulators have been investigated by using models based on TSMC (0.18-μm technology) CMOS process parameters in Fig. 2. The design aspect ratio (W/L) of all the transistors can be determined in Table III. This circuit used a power supply ±0.75 V. The total power consumed in the circuit is 0.388 mW.

In Table I, the proposed parallel immittance simulator in Fig. 3, whose component values are chosen as $I_{B1} = I_{B2} = 90$ μA for $g_m = g_{m1} = g_{m2} = 0.641$ mA/V, $R_A = R_B = 1$ kΩ and $C_A = C_B = 50$ pF, has been simulated and presented in the frequency responses as shown in Fig. 4. From simulation results, the equivalent values of R_{eq}, C_{eq}, and L_{eq} can be calculated as:

for RL Parallel; R_{eq} = 1 kΩ and L_{eq} = 0.12 mH

for RC Parallel; R_{eq} = 2.44 kΩ and C_{eq} = 50 pF

for LC Parallel; L_{eq} = 0.12 mH and C_{eq} = 50 pF.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The simulated RL and RC frequency corners are 1.31 MHz, as shown in Fig. 4(a) and (b), which match the theoretical value of 1.30 MHz. Furthermore, the f_{corner} of the LC simulator was ideally equal to 2.04 MHz, which closely corresponds to the simulated values of 2.05 MHz. Fig. 5 shows the simulated transient responses of the input voltage (v_{in}) and current (i_{in}), where the simulated RC simulator is supplied a sinusoidal input voltage of 50 mV (peak) at a frequency of 1 MHz. The tunability of the proposed LC parallel simulator as present in Fig. 6 has been verified for $I_B = I_{B1} = I_{B2} = 50$ μA, 100 μA, and 200 μA, while keeping $C_A = C_B$ constant at 50 pF. Therefore, the values of L_{eq} have changed to 0.22 mH, 0.11 mH, and 54.8 μH, respectively, while C_{eq} remains constant at 50 pF. The presented RC simulator is simulated at various temperatures, comprising 0°C, 25°C, 50°C, 75°C, and 100°C, exhibiting the frequency responses in Fig. 7.

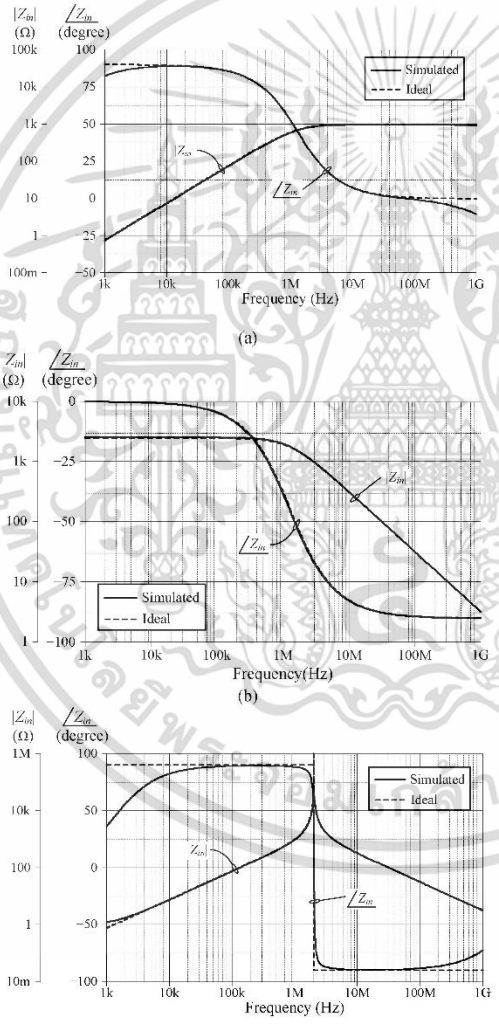


Fig. 4 Simulation results for parallel immittance simulator in Fig. 3
(a) Impedance of RL (b) Impedance of RC (c) Impedance of LC

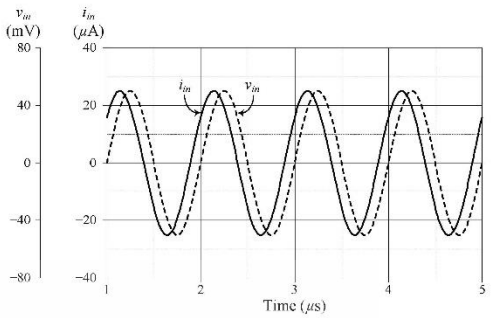


Fig. 5 Transient responses of the simulated RC simulator

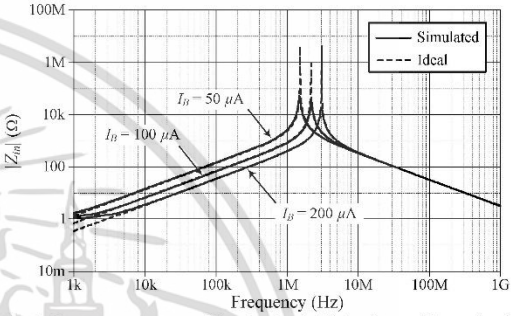


Fig. 6 Frequency responses of the simulated LC simulator with varying I_B

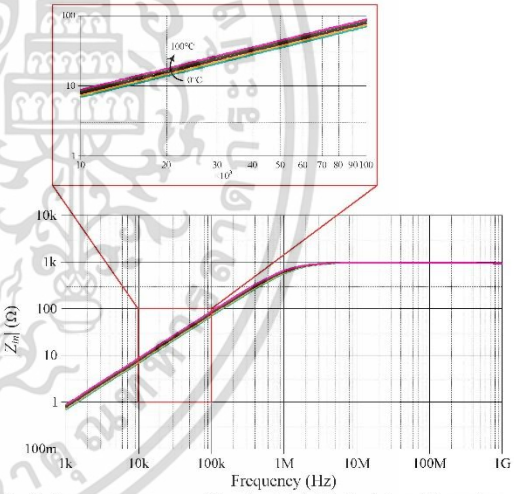


Fig. 7 Frequency responses of the simulated RC simulator with varying temperature values

TABLE III. ASPECT RATIOS OF TRANSISTORS IN FIG. 2.

Transistors	W (μm)/L (μm)
M_1-M_2 , M_5, M_7-M_8, M_{12}-M_{13}	2.4/0.18
M_3 , M_9, M_{14}	5/0.18
M_4 , M_{10}	5.2/0.18
M_6	3.25/0.18
M_{11}	10/0.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V. APPLICATION

The application example of the second order bandpass filter in Fig. 8, which is designed by the proposed LC parallel immittance simulator in Fig. 3, is used to insist on operational performance. The LC passive element was replaced by the presented actively LC parallel type simulator. The voltage transfers function between the output and the input of Fig. 8(a) is found as:

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{s\left(\frac{1}{RC_{eq}}\right)}{s^2 + s\left(\frac{1}{RC_{eq}}\right) + \frac{1}{L_{eq}C_{eq}}} \quad . \tag{8}$$

The natural angular frequency (ω_o) and the quality factor (Q) of the bandpass filter in Fig. 8(a) are determined by the following equations, respectively:

$$\omega_o = 2\pi f_o = \sqrt{\frac{1}{L_{eq}C_{eq}}} \tag{9}$$

and

$$Q = R\sqrt{\frac{C_{eq}}{L_{eq}}} \quad . \tag{10}$$

From (9)-(10), the computed values of f_o and Q are 1.07 MHz and 1, respectively. In Fig. 8(b), the active bandpass filter is realized with L_{eq} = 0.22 mH and C_{eq} = 100 pF, and the parameters of the proposed simulator are set as follows: $I_B = I_{B1} = I_{B2}$ = 100 μA for $g_m = g_{m1} = g_{m2}$ = 0.675 mA/V, $C_A = C_B$ = 100 pF and R = 1.5 kΩ. The simulation results show that the simulated frequency-response graph closely matches the theory graph between 500 kHz and 100 MHz.

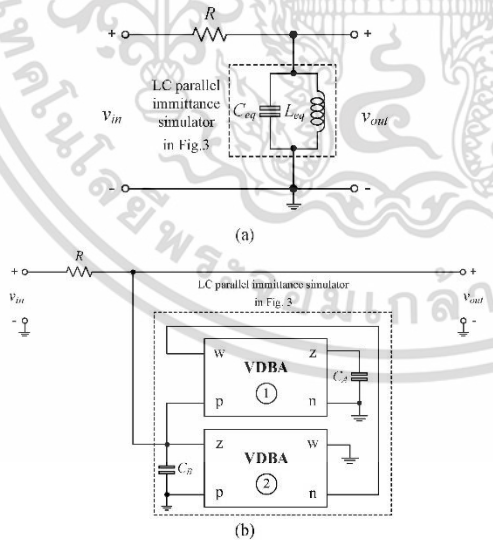


Fig. 8 Second order bandpass filter
(a) prototype bandpass filter (b) synthetic bandpass filter using actively LC parallel simulator in Fig.3

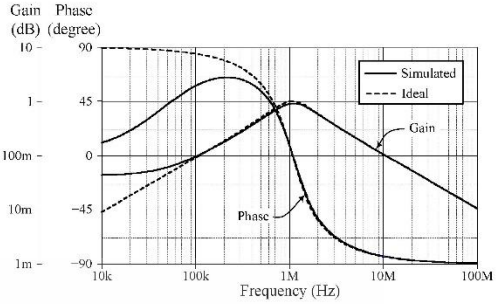


Fig. 9 Simulation results of bandpass frequency response in Fig.8(b).

VI. CONCLUSIONS

A grounded parallel RL, RC, and LC immittance simulator has been purposed by using two voltage differencing buffered amplifiers (VDBAs). The realized equivalent resistance, inductance, and capacitance can be modified electrically through the transconductance gain of the VDBA devices. The proposed circuit has been simulated by using PSPICE 0.18-μm CMOS model parameters to demonstrate its workability. Temperatures and bandpass filter application analyses were also simulated against the theoretical finding to validate the performance of the proposed immittance function simulator.

ACKNOWLEDGMENT

This work was supported by King Mongkut's Institute of Technology Ladkrabang.

REFERENCES

[1] D. Biolek, R. Senani, V. Biolkova and Z. Kolka, "Active elements for analog signal processing : classification, review, and new proposals", Radioengineering, vol.17, no.4, pp.15–32, 2008.

[2] P. Moonmuang, T. Pukkalanun, W. Tangsrirat, "Floating/grounded series/parallel R-L, R-C and L-C immittance simulators employing VDTAs and only two grounded passive elements," AEU - International Journal of Electronics and Communications, vol. 145, 154095, Feb. 2022.

[3] P. Moonmuang and W. Tangsrirat, "Single VDTA-based tunable floating lossy inductance simulation circuits," IETE Journal of Research, pp. 1–18, Mar. 2021.

[4] N. Roongmuanpha, W. Tangsrirat, "Practical floating capacitance multiplier implementation with LT1228s," Informacije MIDEM- J. Microelectron. Electron. Comp. Materials, vol. 51, no. 1, pp. 85-94, 2021.

[5] A. Paul and D. Patranabis, "Active simulation of grounded inductors using a single current conveyor", IEEE Transactions on Circuits and Systems, vol. 28, no. 2, pp. 164-165, 1981.

[6] H. Kuntman, M. Gülsoy and O. Çiçekoğlu, "Actively simulated grounded lossy inductors using third generation current conveyors", Microelectronics Journal, vol. 31, no. 4, pp. 245-250, 2000.

[7] O. Çiçekoğlu, A. Toker and H. Kuntman, "Universal immittance function simulators using current conveyors", Computers and Electrical Engineering, vol. 27, no. 3, pp. 227-238, 2001.

[8] F. Kaçar and H. Kuntman, "CFOA-based lossless and lossy inductance simulators", Radioengineering, vol. 20, no. 3, pp. 627-631, 2011.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2022 19th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON)

Grounded Series/Parallel RL/RC Immittance Simulations with a Single VDTA

Tattaya Pukkalanun, Pitchayanin Moonmuang, Worapong Tangsrirat
School of Engineering,
King Mongkut's Institute of Technology Ladkrabang (KMITL),
Bangkok 10520, Thailand
tattaya.pu@kmitl.ac.th, pitchayanin.moonmuang@gmail.com, worapong.ta@kmitl.ac.th

***Abstract*—This paper discusses actively simulated RL and RC immittance simulator circuits. Only one voltage difference transconductance amplifier (VDTA) and one grounded capacitor are required for each realized simulator. The proposed simulator concept can realize all the possible series and parallel RL/RC impedance functions, with the simulated equivalent elements being tunable both electronically and separately through the VDTA's transconductance gains. The impacts of VDTA non-idealities on realized simulator performance are examined. The numerical simulations using PSPICE program, as well as experimental measurements utilizing commercially available IC CA3080s, are provided to prove the practicability of the circuits.**

Keywords*—*Voltage Difference Transconductance Amplifier (VDTA), impedance simulator, electronically adjustable

I. Introduction

An inductor is a critical component in a variety of electrical applications, including active filtering, sinusoidal oscillator design, and parasitic inductance cancellation [1]. A large-valued capacitor is an essential important component in low-frequency signal processing applications, such as sample and hold circuits, switched-capacitor, continuous-time filters, and implantable biomedical devices. Due to the large occupied silicon area, on-chip implementation of such capacitors and inductors is not feasible. One feasible solution is to utilize active circuits to emulate impedance value given by passive component value to the required value while keeping a small silicon area. As a consequence, in recent decades, a number of RL/RC impedance simulator circuits involving various active components have been reported [2]-[5]. However, the works of [2]-[3] typically necessitate the use of more than one active component to realize grounded RL impedance simulator, resulting in a significant area overhead. Despite the fact that the simulators presented in [4]-[5] require only one active element, their realizations include at least two passive components. The principle of the voltage difference transconductance amplifier (VDTA) was introduced in 2008 to accomplish several advantages such as working in both voltage mode and current mode, operating at high frequencies, and being free of parasitic capacitance [6].

In most analog applications, the general immittance function that simulates only the inductor or capacitor can be applied. However, some of them also need an external resistor, which consumes more silicon area. Therefore, the four grounded RL and RC immittance simulators employing only one VDTA and one grounded capacitor are proposed. The main contribution of this paper is the presentation of new grounded series and parallel RL/RC immittance simulator circuits using a minimum number of components, namely only a single active element VDTA and one grounded capacitor. A configuration with only grounded passive elements, especially capacitors, offers significant advantages in integrated circuit (IC) implementation. All of the suggested simulators can be controlled electronically using the VDTA's transconductance gains. Simulation results obtained from PSPICE program and experimental test results with readily available IC CA3080s are provided to demonstrate the performance of the circuits and validate the theory.

II. Voltage Difference Transconductance Amplifier

The symbolic notation of the VDTA element is shown in Fig. 1, which includes two input voltage ports (p and n) and four output current ports (z+, z-, x+, and x-). The VDTA ports all have a high impedance level. With the first transconductance gain (g_{mF}), the difference in input voltages at ports p and n (v_p-v_n) is transformed to output currents i_{z+} and i_{z-}. The second transconductance gain (g_{mS}) transfers the voltage drop at port z+ to the output currents i_{x+} and i_{x-} at ports x+ and x-, respectively. Ideally, the VDTA employed in this study may be represented by the matrix form:

$$\begin{bmatrix} i_{z+} \\ i_{z-} \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} g_{mF} & -g_{mF} & 0 \\ -g_{mF} & g_{mF} & 0 \\ 0 & 0 & g_{mS} \\ 0 & 0 & -g_{mS} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_{z+} \end{bmatrix}. \quad (1)$$

The possible internal circuit of VDTA in CMOS technology is depicted in Fig. 2 [7]. The values of g_{mF} and g_{mS} depend on the bias currents I_{BF} and I_{BS} respectively, which may be determined as follows: [8]

$$g_{mF} \cong \left(\frac{g_1 g_2}{g_1+g_2}\right)+\left(\frac{g_3 g_4}{g_3+g_4}\right), \quad (2)$$

and

$$g_{mS} \cong \left(\frac{g_5 g_6}{g_5+g_6}\right)+\left(\frac{g_7 g_8}{g_7+g_8}\right), \quad (3)$$

where

$$g_i = \sqrt{I_{Bi}\mu C_{ox}\frac{W_i}{L_i}}. \quad (4)$$

In above equation, I_{Bi} is the DC bias current, μ is free carrier mobility, C_{ox} is the gate-oxide capacitance per unit area, W_i is the effective channel width, and L_i is the effective channel length of M_i (i = 1, 2, …, 8), respectively.

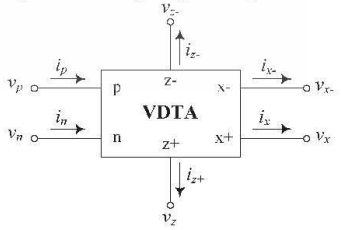


Fig. 1 Symbolic notation of the VDTA.

978-1-6654-8584-5/22/$31.00 ©2022 IEEE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

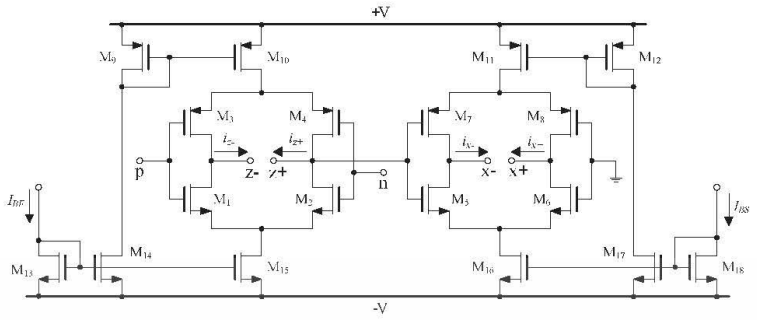


Fig. 2 Internal circuit of the CMOS VDTA.

Deviations from the ideal characteristics will have an impact on the effectiveness of the circuits realized with VDTA. Considering the tracking errors into account, the port relationships of the non-ideal VDTA becomes:

$$\begin{bmatrix} i_{z+} \\ i_{z-} \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} \beta_F g_{mF} & -\beta_F g_{mF} & 0 \\ -\beta_F g_{mF} & \beta_F g_{mF} & 0 \\ 0 & 0 & \beta_S g_{mS} \\ 0 & 0 & -\beta_S g_{mS} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_{z+} \end{bmatrix}, \quad (5)$$

where the parameters β_F and β_S are the parasitic transconductance gains.

III. Proposed Grounded RL/RC Immittance Simulators

Fig. 3 depicts four topologies of the proposed grounded series/parallel RL/RC immittance simulators, each of which has one VDTA and one grounded capacitor. A routine circuit analysis of the simulated circuits yields the input impedance and admittance as follows:

For RL series in Fig. 3(a);

$$Z_{in1} = \frac{v_{in1}}{i_{in1}} = R_{eq1} + sL_{eq1} = \frac{1}{g_{mF}} + \frac{sC_1}{g_{mF}g_{mS}}, \quad (6)$$

For RL parallel in Fig. 3(b);

$$Y_{in2} = \frac{i_{in2}}{v_{in2}} = \frac{1}{R_{eq2}} + \frac{1}{sL_{eq2}} = g_{mS} + \frac{g_{mF}g_{mS}}{sC_2}, \quad (7)$$

For RC series in Fig. 3(c);

$$Z_{in3} = \frac{v_{in3}}{i_{in3}} = R_{eq3} + \frac{1}{sC_{eq3}} = \frac{1}{g_{mF}} + \frac{1}{sC_3}, \quad (8)$$

For RC parallel in Fig. 3(d);

$$Y_{in4} = \frac{i_{in4}}{v_{in4}} = \frac{1}{R_{eq4}} + sC_{eq4} = g_{mS} + sC_4. \quad (9)$$

From (6)-(9), the simulated equivalent element values realized with the proposed simulators are summarized in Table I. It can be observed that the g_{mF} and/or g_{mS} can be used to modify the $R_{eq1,2}$ and $L_{eq1,2}$ of the synthetic series and parallel RL simulators in Figs. 3(a) and 3(b). In addition to the series and parallel RL simulators shown in Figs. 3(c) and 3(d), the equivalent resistances R_{eq3} and R_{eq4} may be modified independently and electronically by varying the transconductance g_{mS} of the VDTA. Furthermore, no component matching is necessary for the proposed actively simulated circuits.

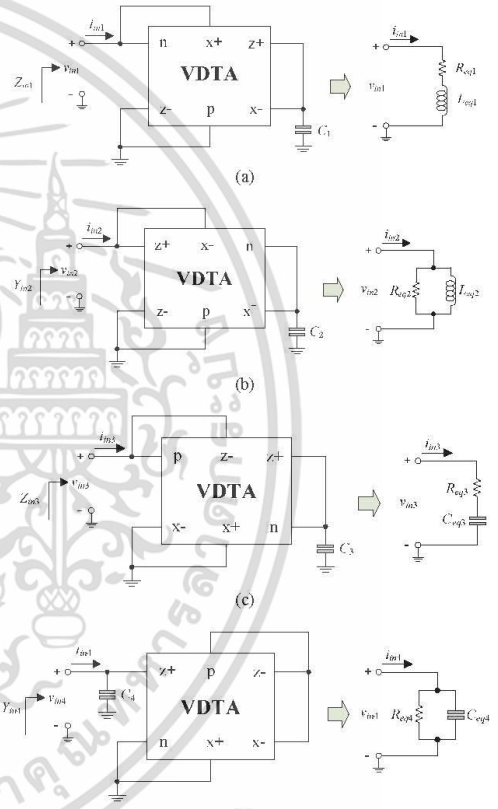


Fig. 3 Proposed grounded RL/RC immittance simulators
(a) RL series (b) RL parallel (c) RC series (d) RC parallel

Taking into consideration the VDTA's non-idealities in (5), the simulated equivalent elements of the proposed circuits in Table I are modified and shown in Table II. According to Table II, the relative sensitivities with respect to active and passive components can be derived in (10)-(13).

For RL series in Fig. 3(a);

$$S^{R_{eq1}}_{\beta_F,g_{mF},g_{mS}} = -1,\ S^{L_{eq1}}_{\beta_F,\beta_S,g_{mF},g_{mS}} = -1,\ S^{L_{eq1}}_{C_1} = 1 \quad (10)$$

For RL parallel in Fig. 3(b);

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S^{R_{eq2}}_{\beta_S, g_{mS}} = -1, S^{L_{eq2}}_{\beta_F, \beta_S, g_{mF}, g_{mS}} = -1, \; S^{L_{eq2}}_{C_2} = 1 \qquad (11)$$

For RC series in Fig. 3(c);

$$S^{R_{eq3}}_{\beta_F, g_{mF}} = -1, \; S^{C_{eq3}}_{C_3} = 1 \qquad (12)$$

For RC parallel in Fig. 3(d);

$$S^{R_{eq4}}_{\beta_S, g_{mS}} = -1, \; S^{C_{eq4}}_{C_4} = 1 \qquad (13)$$

As in the above equations, the magnitudes of these sensitivity coefficients are less than or equal to unity. Consequently, all of the proposed simulator circuits have good sensitivity.

TABLE I. IDEAL SIMULATED EQUIVALENT VALUES OF FIG.3.

Proposed circuit	Simulated equivalent values	Corner frequency (f_c)
RL Series of Fig.3(a)	$R_{eq1} = \frac{1}{g_{mF}}, L_{eq1} = \frac{C_1}{g_{mF} g_{mS}}$	$\frac{R_{eq1,2}}{2\pi L_{eq1,2}}$
RL Parallel of Fig.3(b)	$R_{eq2} = \frac{1}{g_{mS}}, L_{eq2} = \frac{C_2}{g_{mF} g_{mS}}$	
RC Series of Fig.3(c)	$R_{eq3} = \frac{1}{g_{mF}}, \; C_{eq3} = C_3$	$\frac{1}{2\pi R_{eq3,4} C_{eq3,4}}$
RC Parallel of Fig.3(d)	$R_{eq4} = \frac{1}{g_{mS}}, \; C_{eq4} = C_4$	

TABLE II. NON-IDEAL SIMULATED EQUIVALENT VALUES OF FIG.3.

Proposed circuit	Simulated equivalent values
RL Series of Fig.3(a)	$R_{eq1} = \frac{1}{\beta_F g_{mF} g_{mS}}, \; L_{eq1} = \frac{C_1}{\beta_F \beta_S g_{mF} g_{mS}}$
RL Parallel of Fig.3(b)	$R_{eq2} = \frac{1}{\beta_S g_{mS}}, \; L_{eq2} = \frac{C_2}{\beta_F \beta_S g_{mF} g_{mS}}$
RC Series of Fig.3(c)	$R_{eq3} = \frac{1}{\beta_F g_{mF}}, \; C_{eq3} = C_3$
RC Parallel of Fig.3(d)	$R_{eq4} = \frac{1}{\beta_S g_{mS}}, \; C_{eq4} = C_4$

IV. SIMULATION RESULTS

In the simulation purpose, the PSPICE program has been used to test the workability of proposed circuits using TSMC 0.18 μm CMOS process parameters. The aspect ratio (W/L) of all the NMOS and PMOS transistors in Fig.2 are determined as shown in Table III. All of the proposed circuits require power supplies ±1 V.

TABLE III. TRANSISTOR ASPECT RATIOS (W/L) OF FIG. 2.

Transistors	W (μm)/L (μm)
M_1-M_2 , M_5-M_6,	23/0.18
M_7-M_8, M_{12}-M_{13}	30/0.18
M_9-M_{12}, M_{13}-M_{18}	5/0.18

Fig. 4 shows the simulated frequency responses of the series/parallel RL/RC simulators, which aim to compare with the theoretical values. The results were obtained by setting the following component values: $I_{BF} = I_{BS} = 100$ μA ($g_m = g_{mF} = g_{mS} = 1.14$ mA/V) and $C_1 = C_2 = C_3 = C_4 = 100$ pF. It yields $R_{eq1,2} = 877.19$ Ω and $L_{eq1,2} = 76.95$ μH, for the series/parallel RL simulators, and $R_{eq3,4} = 877.19$ Ω and $C_{eq3,4} = 100$ pF for the series/parallel RC simulators. The theoretical value of the corner frequency is 1.81 MHz. The total power dissipation of proposed simulators in Fig 3 is approximately 0.44 mW.

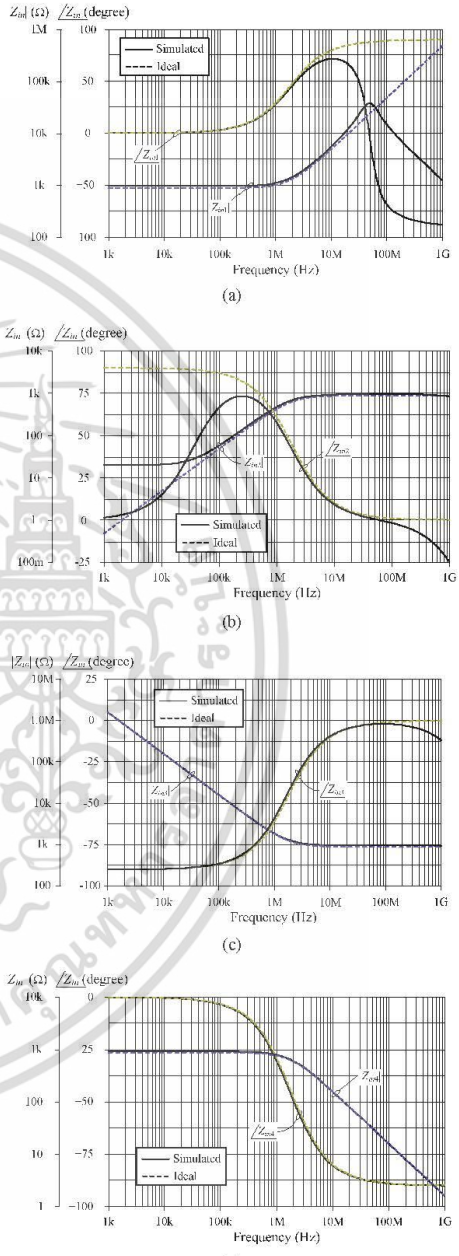


Fig. 4 Simulated frequency responses of the proposed simulators in Fig. 3. (a) RL series (b) RL parallel (c) RC series (d) RC parallel

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V. Experimental Results

In addition to the simulations, the proposed circuits have also been tested in the laboratory to support the theory. The VDTA was built with the commercially available IC CA3080s [9] that are biased with ±5V supply voltages. The printed circuit board (PCB) of the proposed circuit is illustrated in Fig.5. In order to achieve the series RL and parallel RC impedance simulations with the following specifications: $R_{eq1} = R_{eq4} = 1$ kΩ, $L_{eq1} = 4.7$ mH, $C_{eq4} = 4.7$ nF, and $f_c = 33.86$ kHz, the simulators in Figs.3(a) and 3(d) were constructed with the following components: $g_{mF} = g_{mS} =$ 1 mA/V($I_{BF} = I_{BS} = 50$ μA [10], and $C_1 = C_4 = 4.7$ nF. The experimental test results of the frequency characteristics for the series RL and parallel RC simulators in Fig.3(a) and 3(d) are given in Figs. 7 and 8, respectively. From the measured data, the corner frequencies of the proposed RL series and RC parallel simulators are determined to be 32.36 kHz and 33.21 kHz, respectively. Similarly, the phase responses of the aforementioned simulators are also measured as 45.20° and -45.50°, respectively.

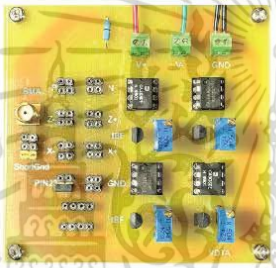


Fig. 5 PCB used for the experimental test measurement.

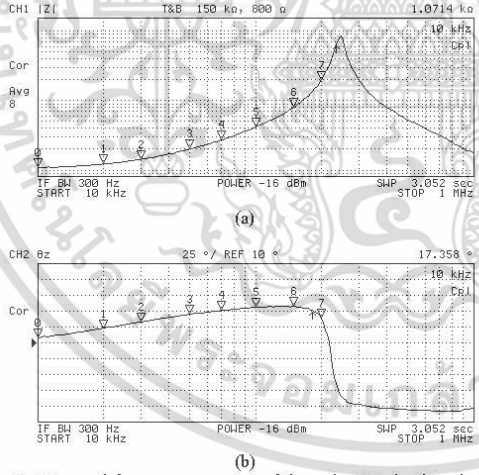


Fig. 6 Measured frequency responses of the series RL simulator in Fig. 3(a). (a) Magnitude response (b) Phase response

VI. Conclusions

This paper proposes four grounded series and parallel RL/RC immittance simulator topologies. All of the proposed simulator circuits have a low component count, with a single VDTA and one grounded capacitor, and there is no element matching requirement. The simulated equivalent elements in all solutions are also electronically adjustable through the VDTA's transconductance gains. Theoretical predictions are well supported by simulation findings and experimental evidence.

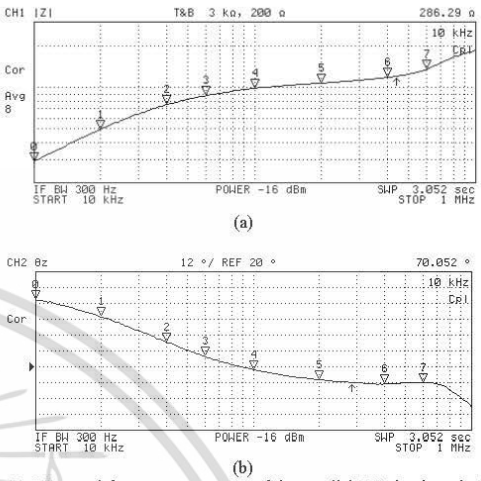


Fig. 7 Measured frequency responses of the parallel RC simulator in Fig. 3(d). (a) Magnitude response (b) Phase response

Acknowledgment

This work was supported by King Mongkut's Institute of Technology Ladkrabang.

References

[1] P. Prommee, "Analog integrated circuits for communications," Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, 2017. (In Thai)

[2] M. Faseehuddin, J. Sampe, S. Shireen, S. H. M. Ali, "Lossy and lossless inductance simulators and universal filters employing a new versatile active block," Informacije MIDEM, vol. 48, no. 2, pp. 97–113, 2018.

[3] M. Srivastava, K. Bhardwaj, A. Roy, A. Singh, "An active-C realization for simulating electronically controllable lossy grounded inductance," in 6th International Conference on Signal Processing and Integrated Networks (SPIN), Noida, India, pp. 137–140, 2019.

[4] H. Alpaslan, E. Yuce, "Inverting CFOA based lossless and lossy grounded inductor simulators," Circuits, Systems, and Signal Processing, vol. 34, pp. 3081–3100, 2015.

[5] R. Singh, D. Prasad, "Grounded lossy inductance simulator using single FTFNTA," in IEEE 17th India Council International Conference (INDICON), New Delhi, India, pp. 1–6, 2020.

[6] D. Biolek, R. Senani, V. Biolkova and Z. Kolka, "Active elements for analog signal processing : classification, review, and new proposals," Radioengineering, vol. 17, no. 4, pp. 15–32, 2008.

[7] J. Satansup, T. Pukkalanun, and W. Tangsrirat, "Electronically tunable single-input five-Output voltage-mode universal filter using VDTAs and grounded passive elements," Circuits, Systems, and Signal Processing, vol. 32, no. 3, pp. 945–957, 2012.

[8] A. F. Arbel, L. Goldminz, "Output stage for current-mode feedback amplifiers, theory and applications," Analog Integrated Circuits and Signal Processing, vol. 2, no. 3, pp. 243–255, 1992.

[9] P. Moonmuang, T. Pukkalanun, and W. Tangsrirat, "Floating/grounded series/parallel R-L, R-C and L-C immittance simulators employing VDTAs and only two grounded passive elements," International Journal of Electronics and Communications (AEÜ), vol. 145, 154095, 2022.

[10] Harris semiconductor, "2 MHz, operational transconductance amplifier (OTA)," CA3080 datasheet, Nov. 1996.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ-นามสกุล	นางสาวพิชญานิน มูลเมือง
วัน-เดือน-ปีเกิด	วันที่ 17 กันยายน พ.ศ. 2536
ที่อยู่	83/37 หมู่ 3 ตำบลบ้านสวน อำเภอเมือง จังหวัดชลบุรี 20000
ประวัติการศึกษา	สำเร็จการศึกษาระดับปริญญาตรี หลักสูตรวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2558 และสำเร็จการศึกษาระดับปริญญาโท หลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2562

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้