

การสังเคราะห์วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์โดยใช้วงจร DVTC

REALIZATION OF IMMITTANCE FUNCTION SIMULATOR USING DVTCs



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2566

KMITL-2023-EN-D-018-024

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# REALIZATION OF IMMITTANCE FUNCTION SIMULATOR USING DVTCs

NUTCHA LIKHITKITWOERAKUL

A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENTS FOR THE DEGREE OF  
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING  
SCHOOL OF ENGINEERING  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2023

KMITL-2023-EN-D-018-024

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**COPYRIGHT 2023**

**SCHOOL OF ENGINEERING**

**KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การสังเคราะห์วงจรถ่ายโอนแบบฟังกชันอิมิตแดนซ์โดยใช้วงจรวจร DVTC
นักศึกษา	นายณัฐชา ลิขิตกิจวรกุล
รหัสประจำตัว	63601018
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2566
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ศ.ดร. วรพงศ์ ตั้งศรีรัตน์

## บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบและสังเคราะห์วงจรถ่ายโอนแบบฟังกชันอิมิตแดนซ์โดยใช้วงจรวจร DVTC (differential voltage to current converter) เป็นอุปกรณ์แอคทีฟหลัก วงจรที่นำเสนอสามารถแบ่งตามโครงสร้างได้สองประเภท คือแบบลอยตัว และแบบเทียบกราวด์ วงจรถ่ายโอนแบบฟังกชันอิมิตแดนซ์อเนกประสงค์แบบลอยตัวที่นำเสนอสังเคราะห์ขึ้นโดยอาศัยวงจรวจร DVTC จำนวนสองตัวต่อร่วมกับอุปกรณ์พาสซีฟจากภายนอกจำนวนสามตัวเท่านั้น ซึ่งการเลือกใช้งานอุปกรณ์พาสซีฟอย่างเหมาะสม ส่งผลให้วงจรถ่ายโอนที่นำเสนอสามารถสังเคราะห์เป็นฟังกชันอิมิตแดนซ์อเนกประสงค์ได้ดังนี้ ตัวต้านทาน (resistor) ตัวเหนี่ยวนำ (inductor) ตัวเก็บประจุไฟฟ้า (capacitor) และค่าความต้านทานลบขึ้นกับความถี่ (frequency-dependent negative resistance, FDNR) นอกจากนี้วงจรถ่ายโอนแบบฟังกชันอิมิตแดนซ์ต่อเทียบกราวด์แบบอนุกรม และแบบขนานที่นำเสนอในวิทยานิพนธ์ฉบับนี้ประกอบด้วยวงจรวจร DVTC จำนวนสองตัว และอุปกรณ์พาสซีฟจำนวนสามตัว โดยสามารถสังเคราะห์เป็นฟังกชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมและแบบขนาน (lossy series/parallel inductance simulator) และฟังกชันคูณค่าความจุไฟฟ้าที่มีการสูญเสียทั้งแบบอนุกรมและแบบขนาน (lossy series/parallel capacitance multiplier) ได้จากการเลือกใช้อุปกรณ์พาสซีฟอย่างถูกต้อง อีกทั้งค่าอุปกรณ์สมมูล (equivalent element) ที่สังเคราะห์ขึ้นจากรวมวงจรสามารถปรับค่าได้ด้วยค่าตัวต้านทานพาสซีฟจากภายนอกวงจร คุณสมบัติในการทำงานของวงจรถ่ายโอนถูกยืนยันผลลัพธ์ด้วยผลการจำลองการทำงานโดยใช้โปรแกรม PSPICE ภายใต้เทคโนโลยีแบบ CMOS ขนาด  $0.25\text{-}\mu\text{m}$  ของบริษัท TSMC (Taiwan Semiconductor Manufacturing Company) นอกจากนี้ยังได้ตรวจสอบด้วยผลการทดลองด้วยวงจรถ่ายโอนจริงโดยใช้ไอซีเบอร์ AD844 ของบริษัท Analog Devices เพื่อยืนยันผลที่ถูกต้องสอดคล้องกับผลลัพธ์ในทางทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Realization of Immittance Function Simulator Using DVTCs
Student	Mr. Nutchra Likhitkitwoerakul
Student ID.	63601018
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2023
Thesis Advisor	Prof.Dr. Worapong Tangsirat

## ABSTRACT

This thesis proposes the design and synthesis of an immittance function simulator using DVTCs (differential voltage to current converters) as an active element. The proposed circuit can be divided by the structure into two types, i.e., floating structure and grounded structure. The proposed floating immittance function simulator was synthesized with two DVTCs along with only three external passive elements. By properly selecting the passive elements, the proposed circuit can realize general immittance functions such as resistor, inductor, capacitor, and frequency-dependent negative resistance (FDNR). Moreover, the proposed grounded series and parallel immittance function simulators consist of two DVTCs and three passive elements, which can realize lossy series/parallel inductance simulator and lossy series/parallel capacitance multiplier by choosing the proper passive elements. In addition, the realized equivalent elements can be controlled via the external passive element. The performance of the proposed circuit was confirmed by simulation results through the PSPICE program using 0.25- $\mu\text{m}$  CMOS technology from TSMC (Taiwan Semiconductor Manufacturing Company). Furthermore, it is also confirmed with the experimental results using a commercially available IC, AD844 from Analog Devices, in order to confirm the presented results with the theoretical finding.

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จสมบูรณ์ได้ด้วยดีจากความช่วยเหลือของอาจารย์และบุคคลสำคัญหลายท่าน ดังต่อไปนี้

ศาสตราจารย์ ดร. วรพงศ์ ตั้งศรีรัตน์ อาจารย์ผู้ควบคุมวิทยานิพนธ์ ที่ได้กรุณาให้คำปรึกษาและชี้แนะแนวทางขั้นตอนการทำวิจัย รวมทั้งการแก้ไขปัญหาต่างๆตั้งแต่เริ่มต้นตลอดจนการเขียนวิทยานิพนธ์ฉบับนี้ จึงขอกราบขอบพระคุณเป็นอย่างสูงมา ณ ที่นี้

ขอกราบขอบพระคุณรองศาสตราจารย์ ดร. อธิสิทธิ์ ทุมวิภาต และรองศาสตราจารย์ ดร. สุมาลี อุดมทวนิชย์ คณะเทคโนโลยีดิจิทัล สถาบันเทคโนโลยีจอร์เจีย ที่คอยให้คำชี้แนะในเรื่องต่างๆทั้งในด้านการศึกษาและแผนการในการดำรงชีวิตที่เหมาะสมแก่ผู้เขียนตั้งแต่สมัยผู้เขียนศึกษาระดับปริญญาตรี สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือจนจบจนถึงปัจจุบันเสมอมา

ขอกราบขอบพระคุณ Prof. Dr. Masahiro Yoshida ที่ประสิทธิ์ประสาทและอบรมสั่งสอนแนะนำแนวทางในการดำเนินชีวิต ชี้แนะแนวทางในการศึกษาวิจัยสมัยผู้เขียนศึกษาระดับปริญญาโท ที่มหาวิทยาลัยโตไก ประเทศญี่ปุ่น (Tokai University, Japan)

ขอกราบขอบพระคุณ Assoc. Prof. Dr. Masaaki Fukuhara, Department of Embedded Technology, School of Information and Telecommunication Engineering, Tokai University โตเกียว ประเทศญี่ปุ่น ซึ่งเป็นรุ่นพี่ที่ศึกษาร่วมกันมาสมัยศึกษาปริญญาโท ที่มหาวิทยาลัยโตไก ประเทศญี่ปุ่น (Tokai University, Japan) ที่คอยช่วยเหลือสนับสนุนในเรื่องต่างๆ แก่ผู้เขียนเสมอมา จนถึงปัจจุบันก็ยังให้การสนับสนุนในการแลกเปลี่ยนนักศึกษาและการศึกษาวิจัยต่างๆ ร่วมกันในระดับห้องปฏิบัติการ รวมถึงสมาชิก Fukuhara Lab. ทุกท่าน

ขอขอบคุณห้องปฏิบัติการวิจัยประมวลผลสัญญาณรวม (Mixed Signal Processing Laboratory, MSP Lab) ซึ่งให้การสนับสนุนพื้นที่การทำงานวิจัย เครื่องมือต่างๆ ที่ใช้ในการทดลองเพื่อแสดงในวิทยานิพนธ์ฉบับนี้ และขอขอบคุณน้องโอมและน้องมาสเตอร์ ซึ่งคอยสนับสนุนในทุกๆ เรื่อง รวมทั้งเป็นกำลังใจที่สำคัญแก่ผู้เขียนตลอดระยะเวลาของการศึกษา

ขอกราบขอบพระคุณคุณสมาชิกตระกูล “ลิขิตกิจวรกุล” ที่อบอุ่นของผู้เขียนทุกท่านและบุคคลเบื้องหลังความสำเร็จครั้งนี้ทุกๆ ท่าน ที่เป็นกำลังใจและให้การสนับสนุน ความช่วยเหลือผู้เขียนในทุกๆ ด้านเสมอมา ซึ่งมีค่ากับผู้เขียนอย่างยิ่ง

สุดท้ายนี้ขอขอบพระคุณบุคคลที่มีได้เอ่ยนามมา ณ ที่นี้ ซึ่งให้การสนับสนุนผู้เขียน และเป็นกำลังใจให้กับผู้เขียนเสมอมา

คุณประโยชน์อันพึงมาจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแต่ผู้มีพระคุณทุกท่าน

ณัฐชา ลิขิตกิจวรกุล

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ .....	IV
สารบัญตาราง.....	VII
สารบัญรูป .....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	2
1.3 หลักการใหม่ที่น่าสนใจในวิทยานิพนธ์ .....	2
1.4 รายละเอียดของวิทยานิพนธ์ .....	3
1.5 เอกสารอ้างอิงบทที่ 1.....	5
บทที่ 2 วงจรแปลงฟังก์ชันอิมิตแดนช้อเนกประสงค์ .....	7
2.1 กล่าวนำ .....	7
2.2 วงจรโแจเรเตอร์ .....	8
2.3 วงจรแปลงฟังก์ชันอิมิตแดนช้อเนกประสงค์.....	9
2.4 วงจรแปลงฟังก์ชันอิมิตแดนช้อที่สังเคราะห์ขึ้นจากออปแอมป์ .....	11
2.5 วงจรแปลงฟังก์ชันอิมิตแดนช้อที่สังเคราะห์ขึ้นจากวงจร CCII .....	13
2.6 วงจรแปลงฟังก์ชันอิมิตแดนช้อที่สังเคราะห์ขึ้นจากวงจร DO-CCII และวงจร OTA ....	15
2.7 วงจรแปลงฟังก์ชันอิมิตแดนช้อที่สังเคราะห์ขึ้นจากวงจร CFOA.....	17
2.8 วงจรแปลงฟังก์ชันอิมิตแดนช้อที่สังเคราะห์ขึ้นจากวงจร DVTC .....	20
2.9 สรุป .....	22
2.10 เอกสารอ้างอิงบทที่ 2 .....	22
บทที่ 3 วงจรตามแรงดันแบบฟลิปและวงจร DVTC .....	25
3.1 กล่าวนำ .....	25
3.2 วงจรตามแรงดัน.....	26
3.3 วงจรตามแรงดันแบบฟลิป.....	26
3.4 วงจรตามแรงดันแบบฟลิปที่ชดเชยด้วยระดับแรงดันไฟตรง .....	28
3.5 หลักการทำงานพื้นฐานของวงจร DVTC.....	29
3.5.1 คุณสมบัติของวงจร DVTC ในทางอุดมคติ.....	29
3.5.2 คุณสมบัติของวงจร DVTC ในทางปฏิบัติ.....	30
3.6 การสังเคราะห์วงจร DVTC โดยใช้เทคโนโลยีแบบมอสทรานซิสเตอร์ .....	31
3.7 ผลการจำลองการทำงานของวงจร DVTC .....	33

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านอื่นๆ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และ IV อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ (ต่อ)

	หน้า
3.8 ผลการทดลองด้วยวงจรจริง .....	37
3.9 สรุป .....	42
3.10 เอกสารอ้างอิงบทที่ 3 .....	42
<b>บทที่ 4</b> วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นจากวงจร DVTC.....	45
4.1 กล่าวนำ .....	45
4.2 วงจรแปลงฟังก์ชันอิมิตแดนซ์ข้อเนกประสงค์ที่นำเสนอ .....	46
4.3 สมรรถนะของวงจรแปลงฟังก์ชันอิมิตแดนซ์ข้อเนกประสงค์ในทางปฏิบัติ .....	47
4.4 ผลการจำลองการทำงานของวงจร .....	48
4.5 ผลการทดลองด้วยวงจรจริง .....	53
4.6 การประยุกต์ใช้งานวงจรที่นำเสนอ.....	58
4.6.1 วงจรกรองผ่านแถบความถี่อันดับสอง.....	58
4.6.2 วงจรกรองผ่านแถบความถี่อันดับสี่.....	59
4.7 สรุป.....	60
4.8 เอกสารอ้างอิงบทที่ 4.....	61
<b>บทที่ 5</b> วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรม และแบบขนาน ที่สังเคราะห์ขึ้นจากวงจร DVTC.....	65
5.1 กล่าวนำ .....	65
5.2 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมและแบบขนานที่นำเสนอ.....	66
5.2.1 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมที่นำเสนอ .....	66
5.2.2 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานที่นำเสนอ .....	67
5.3 สมรรถนะของวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมและแบบขนาน ในทางปฏิบัติ.....	68
5.3.1 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมในทางปฏิบัติ .....	68
5.3.2 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานในทางปฏิบัติ .....	69
5.4 ผลการจำลองการทำงานของวงจร .....	70
5.5 ผลการทดลองด้วยวงจรจริง .....	77
5.6 การประยุกต์ใช้งานวงจรที่นำเสนอ.....	83
5.6.1 วงจรกรองผ่านความถี่ต่ำโหมดกระแส .....	83
5.6.2 วงจรกรองผ่านความถี่สูงโหมดกระแส .....	84
5.6.3 วงจรกรองผ่านความถี่สูงโหมดแรงดัน .....	85
5.6.4 วงจรกรองผ่านความถี่ต่ำโหมดแรงดัน .....	86
5.7 สรุป.....	88
5.8 เอกสารอ้างอิงบทที่ 5.....	88

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำโดยไม่ได้รับอนุญาตจากทางภา

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และ V อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ (ต่อ)

	หน้า
บทที่ 6 บทสรุปและข้อเสนอแนะแนวทางในการทำวิจัยต่อ.....	90
6.1 บทสรุป.....	90
6.2 ข้อเสนอแนะแนวทางในการทำวิจัยต่อ.....	91
6.3 เอกสารอ้างอิงบทที่ 6.....	92
ภาคผนวก .....	93
ภาคผนวก ก การวิเคราะห์คุณสมบัติของวงจร DVTC.....	94
ภาคผนวก ข การวิเคราะห์คุณสมบัติของวงจรแปลงค่าอิมิตแดนชอเนกประสงค์ แบบลอยตัวในรูปที่ 4.1 .....	99
ภาคผนวก ค การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์ ต่อเทียบกราวด์ในรูปที่ 5.1 และ 5.2 .....	110
ภาคผนวก ง บทความวิจัยที่ได้รับการตีพิมพ์.....	130
ประวัติผู้เขียน .....	187

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และ VI อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญตาราง

ตารางที่	หน้า
1.1 เปรียบเทียบการสังเคราะห์ฟังก์ชันอิมพีแดนซ์โดยใช้อุปกรณ์แอกทีฟเป็นหลัก .....	4
2.1 วงจรแปลงค่าอิมพีแดนซ์ที่สังเคราะห์ขึ้นจากวงจรถ่ายโอนในรูปที่ 2.2.....	10
2.2 วงจรสมมูลที่สังเคราะห์ขึ้นจากวงจรถ่ายโอนค่าอิมพีแดนซ์ในรูปที่ 2.5 .....	12
3.1 อัตราส่วนของความกว้าง (W) และความยาว (L) ของมอสทรานซิสเตอร์ที่ใช้ ในวงจร DVTC ในรูปที่ 3.9.....	37
4.1 รายละเอียดการกำหนดค่าอุปกรณ์ที่ใช้ในการต่อทดลองด้วยวงจรจริงในรูปที่ 4.9 .....	53
5.1 รายละเอียดการกำหนดค่าอุปกรณ์ที่ใช้ในการต่อทดลองสำหรับรูปที่ 5.11 และ 5.12 .....	77
ข5.1 ค่าอุปกรณ์ที่ใช้ในการแปลงวงจรกรองผ่านความถี่ต่ำเป็นวงจรกรองผ่านแถบความถี่ .....	107
ข5.2 การแปลงวงจรด้วย Bruton's transformation .....	109



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และ VII อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป

รูปที่	หน้า
2.1	วงจรรีเลย์เรเตอร์ ..... 8
2.2	วงจรถ่ายแปลงฟังก์ชันอิมิตแดนซ์โดยใช้วงจรรีเลย์เรเตอร์..... 9
2.3	วงจรถ่ายแปลงฟังก์ชันอิมิตแดนซ์แบบลอยตัวโดยใช้วงจรรีเลย์เรเตอร์สองตัว ..... 10
2.4	วงจรรีเลย์เรเตอร์ที่สังเคราะห์ขึ้นจากออปแอมป์..... 11
2.5	วงจรถ่ายแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นจากวงจรรีเลย์เรเตอร์ของ A. Antoniou ..... 11
2.6	วงจรถ่ายแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นโดย T. S. Rathore และคณะ ..... 13
2.7	วงจรถ่ายแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นโดยใช้วงจรรีเลย์เรเตอร์ CCII- ..... 14
2.8	วงจรถ่ายแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นโดยใช้วงจรรีเลย์เรเตอร์ DO-CCII..... 14
2.9	วงจรถ่ายแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นโดยใช้วงจรรีเลย์เรเตอร์ DO-CCII และวงจรรีเลย์เรเตอร์ OTA..... 16
2.10	วงจรรีเลย์เรเตอร์ CFOA..... 17
2.11	วงจรถ่ายแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นโดยใช้วงจรรีเลย์เรเตอร์ CFOA ..... 18
2.12	วงจรถ่ายแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นโดยใช้วงจรรีเลย์เรเตอร์ MCFOA ..... 19
2.13	สัญลักษณ์ทางไฟฟ้าของวงจรรีเลย์เรเตอร์ DVTC ..... 21
2.14	วงจรถ่ายแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นโดยใช้วงจรรีเลย์เรเตอร์ DVTC..... 21
3.1	วงจรถ่ายแปลงแรงดัน ..... 26
3.2	วงจรถ่ายแปลงแรงดันแบบฟลิป ..... 27
3.3	วงจรถ่ายแปลงแรงดันแบบฟลิปที่ชดเชยด้วยระดับแรงดันไฟตรง ..... 28
3.4	วงจรรีเลย์เรเตอร์ DVTC ในทางอุดมคติ ..... 29
3.5	สัญลักษณ์ทางไฟฟ้าของวงจรรีเลย์เรเตอร์ DVTC ในทางปฏิบัติ..... 31
3.6	โครงสร้างภายในของวงจรรีเลย์เรเตอร์ DVTC แบบใช้เทคโนโลยีแบบมอสทรานซิสเตอร์ ..... 32
3.7	วงจรถ่ายแปลงแรงดันแบบผลต่างเป็นกระแสโดยใช้วงจรถ่ายแปลงแรงดันแบบฟลิป..... 32
3.8	วงจรถ่ายแปลงสัญญาณกระแสแบบพื้นฐาน..... 33
3.9	โครงสร้างภายในของวงจรรีเลย์เรเตอร์ DVTC ที่ใช้วงจรถ่ายแปลงกระแส เป็นแหล่งจ่ายกระแสแบบคงที่..... 34
3.10	ผลการจำลองผลตอบสนองทางความถี่ของค่าความต้านทาน ..... 35
3.11	ผลการจำลองกระแสเอาต์พุตของวงจรรีเลย์เรเตอร์ DVTC เมื่อแปรค่าแรงดันอินพุตผลต่าง..... 36
3.12	ผลการจำลองผลตอบสนองทางความถี่ของอัตราขยายค่าความนำ ( $g_m$ ) เมื่อแปรค่า $R_x$ ..... 36
3.13	ผลการจำลองของอัตราขยายค่าความจุไฟฟ้า ( $C_m$ ) เมื่อแปรค่า $C_x$ ..... 37
3.14	วงจรรีเลย์เรเตอร์ DVTC ที่สังเคราะห์ขึ้นโดยใช้ไอซีเบอร์ AD844..... 38
3.15	ภาพถ่ายวงจรรีเลย์เรเตอร์ DVTC บนแผ่นวงจรรีเลย์เรเตอร์ที่ใช้ในการทดลองจริง ..... 38
3.16	ผลการวัดคุณสมบัติของ $v_p$ และ $v_{otp}$ ของวงจรรีเลย์เรเตอร์ DVTC ในรูปที่ 3.14..... 39
3.17	ผลการวัดคุณสมบัติของ $v_p$ และ $v_{om}$ ของวงจรรีเลย์เรเตอร์ DVTC ในรูปที่ 3.14..... 39
3.18	ผลการวัดผลตอบสนองทางความถี่ของ $g_m$ ..... 40
3.19	ผลการวัดผลตอบสนองทางความถี่ของ $C_m$ ..... 41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และ VIII อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป (ต่อ)

รูปที่	หน้า
4.1 วงจรแปลงค่าอิมิตแดนซ็อนเนกประสงค์ที่นำเสนอ .....	46
4.2 ผลการจำลองการทำงานของฟังก์ชันเลียนแบบตัวต้านทานในรูปที่ 4.1 .....	48
4.3 ผลการจำลองการทำงานของฟังก์ชันเลียนแบบตัวเหนี่ยวนำในรูปที่ 4.1 .....	49
4.4 ผลการจำลองการทำงานของฟังก์ชันคุณค่าความจุไฟฟ้าในรูปที่ 4.1 .....	50
4.5 ผลการจำลองการทำงานของวงจร FDNR ในรูปที่ 4.1 .....	51
4.6 ผลการจำลองการทำงานของฟังก์ชันเลียนแบบตัวเหนี่ยวนำในรูปที่ 4.1 เมื่อแปรค่า $R_1$ .....	51
4.7 ผลการจำลองการทำงานของฟังก์ชันคุณค่าความจุไฟฟ้าในรูปที่ 4.1 เมื่อแปรค่า $R_3$ .....	52
4.8 ผลการจำลองการทำงานของวงจร FDNR ในรูปที่ 4.1 เมื่อแปรค่า $R_3$ .....	52
4.9 วงจรแปลงค่าอิมิตแดนซ็อนเนกประสงค์ที่ออกแบบเพื่อใช้ในการต่อทดลอง .....	53
4.10 ผลการวัดผลตอบสนองทางความถี่ของฟังก์ชันเลียนแบบตัวต้านทานของวงจร ในรูปที่ 4.1 .....	54
4.11 ผลการวัดผลตอบสนองทางความถี่ของฟังก์ชันเลียนแบบตัวเหนี่ยวนำของวงจร ในรูปที่ 4.1 .....	55
4.12 ผลการวัดผลตอบสนองทางความถี่ของฟังก์ชันคุณค่าความจุไฟฟ้าของวงจร ในรูปที่ 4.1 .....	56
4.13 ผลการวัดผลตอบสนองทางความถี่ของวงจร FDNR ในรูปที่ 4.1 .....	57
4.14 วงจรกรองผ่านแถบความถี่อันดับสองที่สังเคราะห์โดยใช้ วงจรแปลงฟังก์ชันอิมิตแดนซ็อนเนกในรูปที่ 4.1 .....	58
4.15 ผลการจำลองการทำงานของวงจรกรองผ่านแถบความถี่อันดับสองในรูปที่ 4.14 .....	59
4.16 วงจรกรองผ่านแถบความถี่อันดับสี่ .....	59
4.17 ผลการจำลองการทำงานของวงจรกรองผ่านแถบความถี่อันดับสี่ในรูปที่ 4.16 .....	60
5.1 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ็อนเนกแบบอนุกรมที่นำเสนอ .....	66
5.2 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ็อนเนกแบบขนานที่นำเสนอ .....	67
5.3 ผลการจำลองของฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมในรูปที่ 5.1 .....	71
5.4 ผลการจำลองของฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบอนุกรมในรูปที่ 5.1 .....	72
5.5 ผลการจำลองของฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานในรูปที่ 5.2 .....	73
5.6 ผลการจำลองของฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบขนานในรูปที่ 5.2 .....	74
5.7 ผลการจำลองของฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมเมื่อแปรค่า $R_1$ ..	75
5.8 ผลการจำลองของฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบอนุกรมเมื่อแปรค่า $R_3$ .....	75
5.9 ผลการจำลองของฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานเมื่อแปรค่า $R_2$ .....	76
5.10 ผลการจำลองของฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบขนานเมื่อแปรค่า $R_3$ .....	76
5.11 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ็อนเนกแบบอนุกรมที่ออกแบบเพื่อใช้ในการต่อทดลอง .....	78
5.12 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ็อนเนกแบบขนานที่ออกแบบเพื่อใช้ในการต่อทดลอง .....	78
5.13 ผลการวัดผลตอบสนองทางความถี่ของฟังก์ชันเลียนแบบตัวต้านทาน ที่มีการสูญเสียแบบอนุกรมในรูปที่ 5.11 .....	79

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ห้ามเผยแพร่โดยไม่อนุญาตให้ทำซ้ำโดยไม่ได้รับอนุญาตจากเจ้าของลิขสิทธิ์

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และ IX อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป (ต่อ)

รูปที่	หน้า
5.14 ผลการวัดผลตอบสนองทางความถี่ของฟังก์ชันคุณค่าความจุไฟฟ้า ที่มีการสูญเสียแบบอนุกรมในรูปที่ 5.11 .....	80
5.15 ผลการวัดผลตอบสนองทางความถี่ของฟังก์ชันเลียนแบบตัวต้านทาน ที่มีการสูญเสียแบบขนานในรูปที่ 5.12 .....	81
5.16 ผลการวัดผลตอบสนองทางความถี่ของฟังก์ชันคุณค่าความจุไฟฟ้า ที่มีการสูญเสียแบบขนานในรูปที่ 5.12 .....	82
5.17 วงจรกรองผ่านความถี่ต่ำโหมดกระแสที่สังเคราะห์โดยใช้ฟังก์ชันเลียนแบบตัวเหนี่ยวนำ ที่มีการสูญเสียแบบอนุกรมในรูปที่ 5.1 .....	83
5.18 ผลการจำลองการทำงานของวงจรกรองผ่านความถี่ต่ำโหมดกระแสในรูปที่ 5.17 .....	84
5.19 วงจรกรองผ่านความถี่สูงโหมดกระแสที่สังเคราะห์โดยใช้ฟังก์ชันคุณค่าความจุไฟฟ้า ที่มีการสูญเสียแบบอนุกรมในรูปที่ 5.1 .....	84
5.20 ผลการจำลองการทำงานของวงจรกรองผ่านความถี่สูงโหมดกระแสในรูปที่ 5.19 .....	85
5.21 วงจรกรองผ่านความถี่สูงโหมดแรงดันที่สังเคราะห์โดยใช้ฟังก์ชันเลียนแบบตัวเหนี่ยวนำ ที่มีการสูญเสียแบบขนานในรูปที่ 5.2 .....	86
5.22 ผลการจำลองการทำงานของวงจรกรองผ่านความถี่สูงโหมดแรงดันในรูปที่ 5.21 .....	86
5.23 วงจรกรองผ่านความถี่ต่ำโหมดแรงดันที่สังเคราะห์โดยใช้ฟังก์ชันคุณค่าความจุไฟฟ้า ที่มีการสูญเสียแบบขนานในรูปที่ 5.2 .....	87
5.24 ผลการจำลองการทำงานของวงจรกรองผ่านความถี่ต่ำโหมดแรงดันในรูปที่ 5.23 .....	87
g1 วงจรสะท้อนกระแสแบบมอสทรานซิสเตอร์ .....	95
g2 วงจรสมมูลของวงจรสะท้อนกระแสในรูปที่ 3.8(ก) .....	96
g3 วงจรแปลงแรงดันแบบผลต่างเป็นกระแสโดยใช้วงจรตามแรงดันแบบฟลิป .....	97
g4 วงจร DVTC ที่ใช้เทคโนโลยีแบบมอสทรานซิสเตอร์ .....	98
x1 วงจรแปลงค่าอิมิตแดนซ์อเนกประสงค์แบบลอยตัวในรูปที่ 4.1 .....	100
x2 วงจรกรองผ่านแถบความถี่อันดับสองสำหรับการวิเคราะห์หาฟังก์ชันถ่ายโอนแรงดัน .....	105
x3 วงจรกรองผ่านความถี่ต่ำอันดับสองต้นแบบ .....	107
x4 วงจรกรองผ่านแถบความถี่อันดับสี่ที่มีโครงสร้างแบบ <i>RLC</i> .....	107
x5 วงจรกรองผ่านแถบความถี่อันดับสี่ที่มีโครงสร้างแบบ <i>CRD</i> .....	108
c1 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมในรูปที่ 5.1 .....	111
c2 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานในรูปที่ 5.2 .....	113
c3 วงจรกรองผ่านความถี่ต่ำอันดับสองสำหรับการวิเคราะห์หาฟังก์ชันถ่ายโอนกระแส .....	122
c4 วงจรกรองผ่านความถี่สูงอันดับสองสำหรับการวิเคราะห์หาฟังก์ชันถ่ายโอนกระแส .....	124
c5 วงจรกรองผ่านความถี่สูงอันดับสองสำหรับการวิเคราะห์หาฟังก์ชันถ่ายโอนแรงดัน .....	126
c6 วงจรกรองผ่านความถี่ต่ำอันดับสองสำหรับการวิเคราะห์หาฟังก์ชันถ่ายโอนแรงดัน .....	128

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และ X ังอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรถ่ายแบบฟังก์ชันอิมมิตแตนซ์ (immittance function simulator circuit) เป็นวงจรมีความสำคัญต่อการออกแบบและสังเคราะห์เป็นวงจรมวลผลสัญญาณทางแอนะล็อก (analog signal processing circuit) อาทิเช่น วงจรกรองสัญญาณ (filter circuit) วงจรออสซิลเลเตอร์ (oscillator circuit) และการกำจัดค่าอุปกรณ์แฝงที่ไม่ต้องการ (undesirable parasitic element) เป็นต้น เนื่องด้วยคุณสมบัติในการทำงานทางด้านต่างๆของวงจรถ่ายแบบฟังก์ชันอิมมิตแตนซ์ที่สังเคราะห์โดยใช้อุปกรณ์แอคทีฟ (active element) นั้นมีศักยภาพและความคล่องตัวสูง อีกทั้งยังสิ้นเปลืองพื้นที่บนวงจรรวม (integrated circuit, IC) น้อย และง่ายต่อการปรับแต่งค่ามากกว่าการใช้งานอุปกรณ์พาสซีฟ (passive element) ส่งผลให้ในช่วงทศวรรษที่ผ่านมา มีงานวิจัยจำนวนมากนำเสนอการออกแบบและสังเคราะห์วงจรถ่ายแบบฟังก์ชันอิมมิตแตนซ์โดยอาศัยอุปกรณ์แอคทีฟที่มีศักยภาพในการทำงานสูงหลายชนิด เช่น วงจร OA (operational amplifier, Op-Amp) [1]-[2] กลุ่มวงจรถ่ายพานกระแส (current conveyor, CC) [3]-[13] วงจร OTA (operational transconductance amplifier) [11] วงจร DVB (differential voltage buffer) [12] และวงจรถ่าย CFA (current feedback operational amplifier) [14]-[16] เป็นต้น โดยมีวัตถุประสงค์เพื่อพัฒนาและต่อยอดงานวิจัยในอดีตให้มีประสิทธิภาพในการทำงานที่สูงขึ้น แต่ยังคงไว้ซึ่งโครงสร้างที่มีความเรียบง่าย ไม่ซับซ้อน เพื่อลดขนาดพื้นที่ในวงจรรวม และสามารถทำงานภายใต้ระดับแรงดันไฟเลี้ยงต่ำ (low supply voltage) ส่งผลให้สิ้นเปลืองกำลังไฟฟ้า (low power consumption) น้อยลงจากงานวิจัยก่อนหน้า

วงจรถ่ายแรงดันแบบพลิก (flipped voltage follower, FVF) ถูกนำเสนอขึ้นครั้งแรกเมื่อปี ค.ศ. 2005 โดย R. González และคณะ [17] โดยมีวัตถุประสงค์หลักเพื่อใช้งานวงจรถ่ายแรงดันภายใต้ค่าอัตราระดับแรงดันไฟเลี้ยงที่ต่ำ ก่อให้เกิดกำลังไฟฟ้าสูญเสียที่น้อยลง นอกจากนี้วงจรถ่ายแรงดันแบบพลิกยังมีข้อดีในแง่ต่างๆ เช่น มีค่าอิมพีแดนซ์เอาต์พุตที่ต่ำ (low output impedance) อัตราการสลูสูง (high slew rate) เมื่อเปรียบเทียบกับวงจรถ่ายแรงดันแบบดั้งเดิม [18] ด้วยข้อดีดังกล่าวทำให้วงจรถ่ายแรงดันแบบพลิกมีความเหมาะสมต่อการประยุกต์ใช้งานในวงจรมวลผลสัญญาณทางแอนะล็อกเป็นอย่างมาก ในปี ค.ศ. 2021 วงจร DVTC (differential voltage to current converter) ที่สังเคราะห์ขึ้นจากวงจรถ่ายแรงดันแบบพลิกถูกนำเสนอขึ้นโดย N. Likhitkitwoerakul และคณะ [19] วงจร DVTC เป็นอุปกรณ์แอคทีฟแบบหกขั้ว ซึ่งประกอบด้วยขั้วแรงดันอินพุตแบบผลต่างที่มีค่าอิมพีแดนซ์อินพุตสูง และขั้วกระแสเอาต์พุตที่มีค่าอิมพีแดนซ์เอาต์พุตสูง อีกทั้งวงจรมีการใช้งานแรงดันไฟเลี้ยงต่ำ นอกจากนี้วงจรถ่าย DVTC สามารถสังเคราะห์อัตราขยายค่าความนำ (transconductance gain,  $g_m$ ) หรือ อัตราขยายค่าความจุไฟฟ้า (transcapacitance gain,  $C_m$ ) ได้จากการเลือกใช้งานอุปกรณ์พาสซีฟจากภายนอกวงจร ทำให้ง่ายต่อการออกแบบและสังเคราะห์เป็นวงจรถ่ายแบบฟังก์ชันอิมมิตแตนซ์ทั่วไปอย่างมาก

จากเหตุผลในข้างต้นวิทยานิพนธ์ฉบับนี้จึงนำเสนอการออกแบบและสังเคราะห์วงจรถ่ายแบบฟังก์ชันอิมมิตแตนซ์ทั่วไป ซึ่งประกอบด้วย ตัวต้านทาน (resistor) ตัวเหนี่ยวนำ (inductor) ตัวเก็บ  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประจุไฟฟ้า (capacitor) และวงจรวจร FDNR (frequency-dependent negative resistance) โดยใช้วงจรวจร DVTC เป็นอุปกรณ์แอคทีฟหลัก ต่อร่วมกับอุปกรณ์พาสซีฟจำนวนน้อย ทำให้อาศัยพื้นที่ในวงจรวจรน้อย ใช้แรงดันไฟเลี้ยงต่ำ ส่งผลให้ต้นทุนในการผลิตวงจรมีค่าต่ำลง โดยคุณสมบัติเหล่านี้มีความเหมาะสมต่อแนวทางการพัฒนาต่อยอดในเทคโนโลยีของวงจรวจรรวมเป็นอย่างมาก

## 1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์ฉบับนี้มีความมุ่งหมายในการออกแบบและสังเคราะห์วงจรวจรเลียนแบบฟังก์ชันอิมิตแดนซ์ โดยใช้วงจรวจร DVTC เป็นอุปกรณ์แอคทีฟหลัก ซึ่งแบ่งตามลักษณะฟังก์ชันที่สังเคราะห์ขึ้นดังนี้

1) วงจรวจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบลอยตัว โดยใช้วงจรวจร DVTC จำนวนสองตัว และอุปกรณ์พาสซีฟจำนวนสามตัว วงจรวจรที่นำเสนอสามารถสังเคราะห์เป็นฟังก์ชันอิมิตแดนซ์ทั่วไปทั้งสี่ฟังก์ชันได้แก่ ตัวต้านทาน ตัวเหนี่ยวนำ ตัวเก็บประจุไฟฟ้า และวงจรวจร FDNR [19]

2) วงจรวจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมต่อเทียบกราวด์ โดยใช้วงจรวจร DVTC จำนวนสองตัว ต่อร่วมกับอุปกรณ์พาสซีฟสามตัว วงจรวจรที่นำเสนอสามารถสังเคราะห์เป็นฟังก์ชันเลียนแบบตัวเหนี่ยวนำหรือฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบอนุกรม [20]

3) วงจรวจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานต่อเทียบกราวด์ โดยใช้วงจรวจร DVTC จำนวนสองตัว ต่อร่วมกับอุปกรณ์พาสซีฟจำนวนสามตัว จากการเลือกใช้งานอุปกรณ์พาสซีฟอย่างเหมาะสม ส่งผลให้วงจรวจรที่นำเสนอสามารถสังเคราะห์เป็นฟังก์ชันเลียนแบบตัวเหนี่ยวนำหรือฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบขนาน [21]

โดยวัตถุประสงค์หลักในการวิจัยคือ ศึกษาคุณสมบัติของฟังก์ชันอิมิตแดนซ์ในรูปแบบต่างๆ เพื่อต่อยอดในการออกแบบและสังเคราะห์วงจรวจรเลียนแบบฟังก์ชันอิมิตแดนซ์โดยใช้วงจรวจร DVTC เป็นอุปกรณ์แอคทีฟหลัก ต่อร่วมกับอุปกรณ์พาสซีฟจำนวนน้อย เพื่อลดความซับซ้อนของวงจรวจร ก่อให้เกิดความเรียบง่าย กะทัดรัด และคล่องตัวต่อการประยุกต์ใช้งาน อีกทั้งค่าความต้านทานสมมูล (equivalent resistance) ค่าความเหนี่ยวนำสมมูล (equivalent inductance) และค่าความจุไฟฟ้าสมมูล (equivalent capacitance) ที่สังเคราะห์ขึ้นจากวงจรวจรสามารถแปรค่าได้ผ่านการปรับแต่งค่าอุปกรณ์พาสซีฟจากภายนอกวงจรวจร คุณสมบัติในการทำงานของวงจรวจรที่นำเสนอถูกแสดงให้เห็นจริงด้วยผลการจำลองการทำงานผ่านโปรแกรม PSPICE ภายใต้เทคโนโลยีแบบ CMOS ขนาด  $0.25 \mu\text{m}$  ของบริษัท TSMC (Taiwan Semiconductor Manufacturing Company) รวมทั้งการนำเสนอผลโดยการต่อทดลองด้วยวงจรวจรจริงผ่านไอซีเบอร์ AD844 [22]

## 1.3 หลักการใหม่ที่น่าสนใจในวิทยานิพนธ์

จากการติดตามงานวิจัยที่เกี่ยวข้องกับการออกแบบและสังเคราะห์วงจรวจรเลียนแบบฟังก์ชันอิมิตแดนซ์โดยใช้อุปกรณ์แอคทีฟชนิดต่างๆ [1]-[16] พบว่ายังมีงานวิจัยจำนวนหนึ่งใช้อุปกรณ์แอคทีฟมากกว่าสองตัว [1]-[2], [4]-[5], [7]-[9], [11]-[12] หรืออาศัยอุปกรณ์พาสซีฟจำนวนมากกว่าสามตัวในการสังเคราะห์วงจรวจร [1]-[5], [7], [12], [15] งานวิจัยที่ [11]-[12] อาศัยอุปกรณ์แอคทีฟสองชนิดในการสังเคราะห์เป็นฟังก์ชันอิมิตแดนซ์ ส่งผลให้เกิดความซับซ้อนในการต่อยอดเป็นวงจรวจรรวม อีกทั้งงานวิจัย [5], [7]-[14], [16] จำเป็นต้องใช้แรงดันไฟเลี้ยงสูงกว่า  $\pm 0.75\text{V}$  โดยรายละเอียดต่างๆ สรุปได้ดังตารางที่ 1.1 ดังนั้นวิทยานิพนธ์ฉบับนี้จึงมุ่งเน้นในการออกแบบและสังเคราะห์วงจรวจร

เลียนแบบฟังก์ชันอิมิตแดนซ์โดยใช้วงจรวจร DVTC จำนวนสองตัว ต่อร่วมกับอุปกรณ์พาสซีฟจำนวน

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้เผยแพร่ขึ้นต้นการค้นคว้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามตัว อีกทั้งวงจรที่นำเสนอสามารถทำงานภายใต้ระดับแรงดันไฟเลี้ยง  $\pm 0.75V$  เท่านั้น โดยแบ่งการนำเสนอออกเป็นสามวงจร ได้แก่ วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์ทั่วไปแบบลอยตัว วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมต่อเทียบกราวด์ และวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานต่อเทียบกราวด์ ด้วยการเลือกใช้อุปกรณ์พาสซีฟอย่างเหมาะสม ส่งผลให้วงจรที่นำเสนอสามารถสังเคราะห์เป็น ตัวต้านทานแบบลอยตัว ตัวเหนี่ยวนำแบบลอยตัว ตัวเก็บประจุไฟฟ้าแบบลอยตัว วงจร FDNR แบบลอยตัว วงจรเลียนแบบตัวเหนี่ยวนำหรือวงจรคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบอนุกรมต่อเทียบกราวด์ และวงจรเลียนแบบตัวเหนี่ยวนำหรือวงจรคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบขนานต่อเทียบกราวด์ตามลำดับ

#### 1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์ฉบับนี้ ได้แบ่งเนื้อหาออกเป็น 6 บท และภาคผนวกอีก 4 ภาค โดยแต่ละบทมีรายละเอียดดังต่อไปนี้

บทที่ 1 บทนำ เป็นการกล่าวถึงความเป็นมาและความสำคัญของปัญหา ความมุ่งหมายและวัตถุประสงค์ของการศึกษา หลักการใหม่ที่นำเสนอในวิทยานิพนธ์ และรายละเอียดเนื้อหาโดยสรุปแต่ละบทของวิทยานิพนธ์ฉบับนี้

บทที่ 2 กล่าวถึงความเป็นมาและหลักการทำงานพื้นฐานของวงจรแปลงค่าอิมิตแดนซ์ทั่วไป (general immittance converter, GIC) ที่วิวัฒนาการมาจากอดีตจนถึงปัจจุบัน ประกอบด้วย วงจร OA วงจร CC วงจร OTA วงจร CFOA จนถึงวงจร DVTC ที่ใช้ในวิทยานิพนธ์ฉบับนี้

บทที่ 3 กล่าวถึงคุณสมบัติและหลักการทำงานของวงจรตามแรงดันแบบฟลิปซิดิตต่าง และการต่อยอดเป็นวงจร DVTC ที่ใช้ในวิทยานิพนธ์ รวมถึงการทดสอบสมรรถนะของวงจร DVTC โดยใช้โปรแกรม PSPICE

บทที่ 4 กล่าวถึงการออกแบบและสังเคราะห์วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์ทั่วไปแบบลอยตัว โดยใช้วงจร DVTC จำนวนสองตัว ต่อกับกับอุปกรณ์พาสซีฟจำนวนสามตัว คุณสมบัติในการทำงานของวงจรถูกยืนยันด้วยผลการจำลองการทำงาน และการต่อทดลองจริง

บทที่ 5 กล่าวถึงการออกแบบและสังเคราะห์วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมและแบบขนานต่อเทียบกราวด์ โดยใช้วงจร DVTC จำนวนสองตัว และอุปกรณ์พาสซีฟสามตัว คุณสมบัติการทำงานของวงจรถูกทดสอบให้เห็นจริงด้วยผลการจำลองการทำงาน และการต่อทดลองด้วยวงจรจริงเพื่อยืนยันคุณสมบัติที่สอดคล้องกับผลทางทฤษฎี

บทที่ 6 สรุปผลงานวิจัยที่ได้นำเสนอไว้ภายในวิทยานิพนธ์ พร้อมทั้งข้อเสนอแนะแนวทางเพื่อนำไปพัฒนางานวิจัยต่อไป

ส่วนท้ายของวิทยานิพนธ์จะเป็นภาคผนวก ซึ่งแสดงการวิเคราะห์คุณสมบัติและสมการที่ใช้ภายในแต่ละบท ดังมีรายละเอียดต่อไปนี้

ภาคผนวก ก	การวิเคราะห์คุณสมบัติของวงจร DVTC
ภาคผนวก ข	การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์ทั่วไปแบบลอยตัวในรูปที่ 4.1
ภาคผนวก ค	การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์ต่อเทียบกราวด์ในรูปที่ 5.1 และ 5.2

ภาคผนวก ง บทควมวิจัยที่ได้รับการตีพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1.1 การเปรียบเทียบการสังเคราะห์ฟังก์ชันอิมิตแดนซ์โดยใช้อุปกรณ์แอคทีฟเป็นหลัก

เอกสารอ้างอิง	ฟังก์ชันที่สังเคราะห์ได้	ชนิดและจำนวนอุปกรณ์แอคทีฟ	จำนวนอุปกรณ์พาสซีฟ	ไฟเลี้ยง	ปราศจากเงื่อนไขการเท่ากันของอุปกรณ์
[1]	lossless L, FDNR	OA = 2	5	-	ไม่
[2]	lossless L, lossless C, FDNR	OA = 3	8	-	ไม่
[3]	lossless L, FDNR	CCII- = 2	5	-	ใช่
[4]	lossless L, lossless C, FDNR	CCII+ = 2, CCII- = 2	4	-	ใช่
[5]	lossless L, lossless C, FDNR, admittance converter	CCII+ = 2, CCII- = 2, DO-CCII = 1	4	$\pm 1.5$ V, $\pm 0.5$ V	ไม่
[6]	lossy L, FDNR	CCII- = 2	3	-	ใช่
[7]	lossless L, lossless C, FDNR, admittance converter	รูปที่ 1: CCCII+ = 3, DO-CCCII = 1 รูปที่ 2: CCCII+ = 1, DO-CCCII = 2	4	$\pm 2.5$ V	ใช่
[8]	positive/negative lossless L	รูปที่ 1-2: CCCII+ = 2, DO-CCCII = 1	1	$\pm 2.5$ V	ใช่
	positive/negative lossless C	รูปที่ 3-4: CCCII+ = 3, DO-CCCII = 1	1		
	positive/negative R	รูปที่ 5-6: CCCII+ = 3, DO-CCCII = 1	1		
[9]	positive/negative L, C, R	CCII+ = 1, CCII- = 1, DO-CCII = 1	3	$\pm 1.5$ V, $\pm 0.5$ V	ใช่
[10]	lossless L, lossless C, FDNR, admittance converter	DO-CCII = 2	3	$\pm 2.5$ V	ใช่
[11]	lossless L, lossless C, R	DO-CCII = 2, OTA = 1	2	$\pm 1.5$ V, $\pm 0.5$ V	ใช่
[12]	lossless L, lossy L	ECCII = 3, DVB = 1	4	$\pm 5$ V	ไม่
[13]	lossless L, lossless C, FDNR	DVCC = 2	3	$\pm 1.5$ V, $+0.65$ V	ใช่
[14]	lossless L, lossless C, FDNR	MCFOA = 1	3	$\pm 1.5$ V, $+0.556$ V	ใช่
[15]	lossless L, lossless C, FDNR, FDNC	CFOA = 2	3 ถึง 5	-	ใช่
[16]	lossless L	MCFOA = 2	3	$\pm 1.5$ V, $+0.76$ V	ใช่

โดยที่ OA คือ Operational amplifier

CCII คือ Second generation current conveyor

CCII+ คือ Plus-type CCII, CCII- แทนถึง Minus-type CCII

DO-CCII คือ Dual-output CCII

CCCII+ คือ Plus-types current controlled CCII

DO-CCCII คือ Dual-output CCCII, ECCII แทนถึง Electronically tunable CCII

DVCC คือ Differential voltage current conveyor

MCFOA คือ Modified CFOA

lossless L คือ ตัวเหนี่ยวนำแบบไม่มีการสูญเสีย

lossless C คือ ค่าความจุไฟฟ้าแบบไม่มีการสูญเสีย

admittance converter คือ วงจรกลับค่าแอดมิตแดนซ์

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1.5 เอกสารอ้างอิงบทที่ 1

- [1] K. Martin and A. Sedra, “Optimum design of active filters using the generalized immittance converter”, **IEEE Transactions on Circuits and Systems**, vol. 24, no. 9, pp. 495–503, 1977.
- [2] R. Senani, “Three op amp floating immittance simulators: a retrospection”, **IEEE Transactions on Circuits and Systems**, vol. 36, no. 11, pp. 1463–1465, 1989.
- [3] R. Senani, “On the realization of floating active elements”, **IEEE Transactions on Circuits and Systems**, vol. 33, no. 3, pp. 323–324, 1986.
- [4] M. Higashimura and Y. Fukui, “Novel method for realising lossless floating immittance using current conveyors”, **Electronics Letters**, vol. 23, no. 10, pp. 498–499, 1987.
- [5] E. Yuce, “Floating inductance, FDNR and capacitance simulation circuit employing only grounded passive elements”, **International Journal of Electronics**, vol. 93, no. 10, pp. 679–688, 2006.
- [6] R. Senani, “Floating immittance realisation: nullor approach”, **Electronics Letters**, vol. 24, no. 7, pp. 403–405, 1988.
- [7] E. Yuce, “On the realization of the floating simulators using only grounded passive components”, **Analog Integrated Circuits and Signal Processing**, vol. 49, no. 2, pp. 161–166, 2006.
- [8] E. Yuce, S. Minaei, and O. Cicekoglu, “Resistorless floating immittance function simulators employing current controlled conveyors and a grounded capacitor”, **Electrical Engineering**, vol. 88, no. 6, pp. 519–525, 2005.
- [9] E. Yuce, O. Cicekoglu, and S. Minaei, “CCII-based grounded to floating immittance converter and a floating inductance simulator”, **Analog Integrated Circuits and Signal Processing**, vol. 46, no. 3, pp. 287–291, 2006.
- [10] S. Minaei, E. Yuce, and O. Cicekoglu, “A versatile active circuit for realising floating inductance, capacitance, FDNR and admittance converter”, **Analog Integrated Circuits and Signal Processing**, vol. 47, no. 2, pp. 199–202, 2006.
- [11] M. Sagbas, U. E. Ayten, H. Sedef, and M. Koksai, “Floating immittance function simulator and its applications”, **Circuits, Systems & Signal Processing**, vol. 28, no. 1, pp. 55–63, 2008.
- [12] R. Sotner, N. Herencsar, J. Jerabek, A. Kartci, J. Koton, and T. Dostal, “Pseudo-differential filter design using novel adjustable floating inductance simulator with electronically controllable current conveyors”, **Elektronika ir Elektrotechnika**, vol. 23, no. 2, pp. 31–35, 2017.
- [13] E. Yuce, “A novel floating simulation topology composed of only grounded passive components”, **International Journal of Electronics**, vol. 97, no. 3, pp. 249–262, 2010.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [14] E. Yuce, “On the implementation of the floating simulators employing a single active device”, **AEU - International Journal of Electronics and Communications**, vol. 61, no. 7, pp. 453–458, 2007.
- [15] M. T. Abuelma’atti, S. K. Dhar, and Z. J. Khalifa, “New two-CFOA-based floating immittance simulators”, **Analog Integrated Circuits and Signal Processing**, vol. 91, no. 3, pp. 479–489, 2017.
- [16] E. Yuce and S. Minaei, “A modified CFOA and its applications to simulated inductors, capacitance multipliers, and analog filters”, **IEEE Transactions on Circuits and Systems I: Regular Papers**, vol. 55, no. 1, pp. 266–275, 2008.
- [17] R. G. Carvajal, J. Ramirez-Angulo, A. J. Lopez-Martin, A. Torralba, J. A. G. Galan, A. Carlosena, and F. M. Chavero, “The flipped voltage follower: a useful cell for low-voltage low-power circuit design”, **IEEE Transactions on Circuits and Systems I: Regular Papers**, vol. 52, no. 7, pp. 1276–1291, 2005.
- [18] B. Calvo, S. Celma, M. T. Sanz, J. P. Alegre, and F. Aznar, “Low-voltage linearly tunable CMOS transconductor with common-mode feedforward”, **IEEE Transactions on Circuits and Systems I: Regular Papers**, vol. 55, no. 3, pp. 715–721, 2008.
- [19] N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, “Floating general immittance function simulator”, **AEU - International Journal of Electronics and Communications**, vol. 132, 153640, 2021.
- [20] N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, “DVTC-based series RL/RC impedance simulator”, **Proceedings of the 9<sup>th</sup> International Electrical Engineering Congress (IEECON)**, Pattaya, Thailand, 10-12 March, pp. 321–324, 2021.
- [21] N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, “On the realization of grounded RL/RC parallel type simulator”, **Proceedings of the 7<sup>th</sup> International Conference on Engineering, Applied Sciences and Technology (ICEAST)**, Pattaya, Thailand, 1-3 April, pp. 25–28, 2021.
- [22] Analog Devices, “60 MHz, 2000 V/ $\mu$ s, monolithic op amp with quad low noise”, AD844 datasheet.

## บทที่ 2

# วงจรแปลงฟังก์ชันอิมมิตแตนซ์อเนกประสงค์

### 2.1 กล่าวนำ

นับจากอดีตจนถึงปัจจุบันการออกแบบและสังเคราะห์วงจรประมวลผลสัญญาณทางแอนะล็อก เช่น วงจรกรองสัญญาณแบบแอคทีฟที่มีอันดับสูง (high order active filter circuit) จะมีแนวทางในการสังเคราะห์อยู่สามรูปแบบ ได้แก่ การต่อคาสเคด (cascade) ของวงจรกรองสัญญาณอันดับหนึ่ง (first order filter) เพื่อให้มีอันดับที่สูงขึ้น การต่อป้อนกลับหลายวงรอบซึ่งเป็นการต่อคาสเคดและอาศัยการป้อนกลับแบบลบ (negative feedback) และการใช้วงจรเลียนแบบ (simulator circuit) เพื่อเข้ามาทำงานแทนที่อุปกรณ์พาสซีฟ (passive element) ที่มีจำนวนมาก เมื่อออกแบบเป็นวงจรกรองสัญญาณในอันดับสูง [1] โดยอุปกรณ์พาสซีฟที่นิยมสังเคราะห์ด้วยวงจรเลียนแบบคือ ตัวเหนี่ยวนำ (inductor) เนื่องจากลักษณะทางกายภาพของอุปกรณ์ดังกล่าวมีขนาดค่อนข้างใหญ่ ส่งผลต่อการนำไปประยุกต์ใช้งานในเทคโนโลยีวงจรรวม (integrated circuit, IC) อีกทั้งยากต่อการปรับแต่งค่าความเหนี่ยวนำ ในการเลียนแบบตัวเหนี่ยวนำจะอาศัยหลักการของวงจรไจเรเตอร์ (gyrator) หรือวงจรกลับอิมมิตแตนซ์ค่าบวก (positive immittance inverter) และตัวเก็บประจุไฟฟ้าแบบพาสซีฟ เพื่อสังเคราะห์วงจรที่มีคุณสมบัติในการทำงานเหมือนกับอิมพีแดนซ์ของตัวเหนี่ยวนำ [2]-[3] อีกทั้งวงจรเลียนแบบตัวเหนี่ยวนำที่สังเคราะห์ขึ้นสามารถปรับค่าความเหนี่ยวนำสมมูล (equivalent inductance) ได้สะดวกกว่าการใช้งานตัวเหนี่ยวนำแบบพาสซีฟ

จากการทบทวนงานวิจัยในอดีต [4]-[6], [8]-[19], [24], [27]-[29] พบว่ามีงานวิจัยจำนวนมากมุ่งเน้นในการออกแบบวงจรเลียนแบบขึ้นโดยอาศัยอุปกรณ์แอคทีฟ (active element) เพื่อนำมาใช้งานแทนที่อุปกรณ์พาสซีฟ นอกจากนี้อุปกรณ์แอคทีฟยังมีการพัฒนาต่อยอดมาเป็นลำดับ เพื่อให้มีประสิทธิภาพในการทำงานที่สูงขึ้น ลดข้อบกพร่องและข้อจำกัดต่างๆลง ก่อให้เกิดความยืดหยุ่น และคล่องตัวต่อการประยุกต์ใช้งานในวงจรประมวลผลสัญญาณทางแอนะล็อก ในขณะที่ยังคงไว้ซึ่งโครงสร้างที่เรียบง่าย ไม่ซับซ้อน สามารถทำงานภายใต้ระดับแรงดันไฟเลี้ยงต่ำ และง่ายต่อการปรับแต่งค่าพารามิเตอร์ที่สังเคราะห์ขึ้นอีกด้วย

ดังนั้นในวิทยานิพนธ์บทนี้จะกล่าวถึงหลักการพื้นฐานของวงจรไจเรเตอร์ การออกแบบวงจรและวิวัฒนาการของวงจรแปลงฟังก์ชันอิมมิตแตนซ์อเนกประสงค์ (general immittance converter, GIC) โดยใช้อุปกรณ์แอคทีฟชนิดต่างๆ ได้แก่

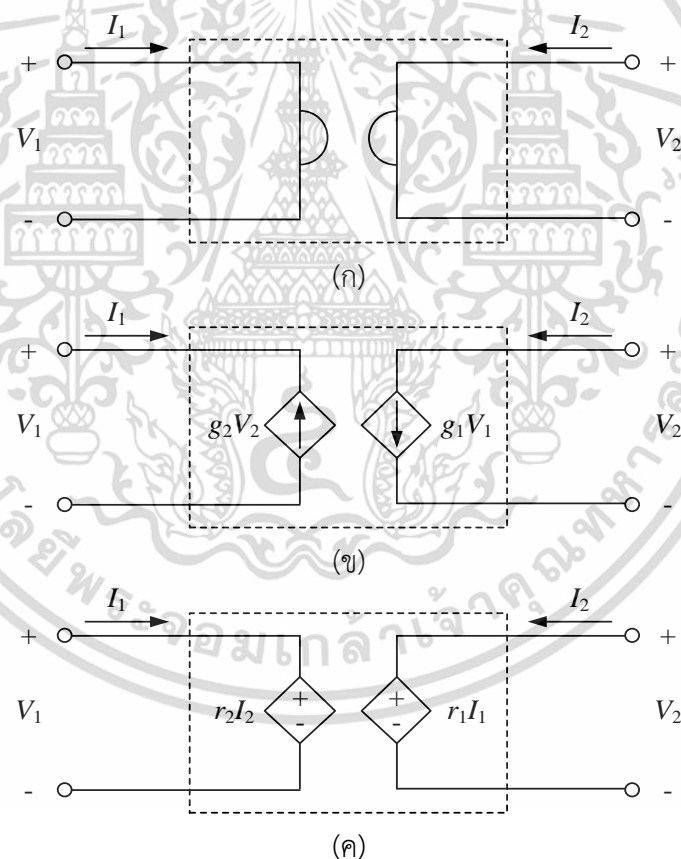
- วงจร OA (operational amplifier) [4]-[6]
- วงจร CCII (second generation current conveyor) [8]-[19], [24]
- วงจร OTA (operational transconductance amplifier) [24]
- วงจร CFOA (current feedback operational amplifier) [27]-[30]
- วงจร DVTC (differential voltage to current converter) [31]

## 2.2 วงจรใจเรเตอร์

วงจรใจเรเตอร์ คือวงจรกลับอิมิตแดนซ์ค่าบวกชนิดหนึ่งที่มีความสำคัญต่อการประยุกต์ใช้งานในวงจรแปลงฟังก์ชันอิมิตแดนซ์อเนกประสงค์อย่างมาก วงจรใจเรเตอร์ถูกนำเสนอขึ้นครั้งแรกในปี ค.ศ. 1948 โดย B. D. H. Tellegen [2] ซึ่งสัญลักษณ์ทางไฟฟ้าสามารถแสดงดังรูปที่ 2.1(ก) โดยรูปที่ 2.1(ข) เป็นการสังเคราะห์วงจรใจเรเตอร์โดยใช้แหล่งจ่ายกระแสที่ควบคุมด้วยแรงดัน (voltage controlled current sources, VCCS) จำนวนสองวงจร ในขณะที่รูปที่ 2.1(ค) เป็นการสังเคราะห์วงจรใจเรเตอร์โดยใช้แหล่งจ่ายแรงดันที่ควบคุมด้วยกระแส (current controlled voltage sources, CCVS) จำนวนสองวงจร ความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจรใจเรเตอร์สามารถเขียนอธิบายได้ดังนี้

$$I_1 = -g_2 V_2 \quad (2.1)$$

$$I_2 = g_1 V_1 \quad (2.2)$$



รูปที่ 2.1 วงจรใจเรเตอร์

(ก) สัญลักษณ์ทางไฟฟ้า

(ข) การสังเคราะห์โดยใช้ VCCS สองวงจร

(ค) การสังเคราะห์โดยใช้ CCVS สองวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่  $g_1$  และ  $g_2$  คือ ค่าความนำ (transconductance) ตัวที่หนึ่งและสองตามลำดับ ซึ่งมีค่าเป็นอัตราส่วนของกระแสด้านหนึ่งกับแรงดันในด้านตรงข้าม ในการใช้งานรูปแบบโครงข่ายไฟฟ้าสองพอร์ต (two port network) พบว่า  $g_1$  จะมีค่าเท่ากับ  $g_2$  หากวิเคราะห์คุณสมบัติของวงจรไครเตอร์ โดยใช้ VCCS สามารถเขียนสมการ (2.1) และ (2.2) ได้ใหม่เท่ากับ

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1}{g_1} \\ -g_2 & 0 \end{bmatrix} \begin{bmatrix} V_2 \\ -I_2 \end{bmatrix} \quad (2.3)$$

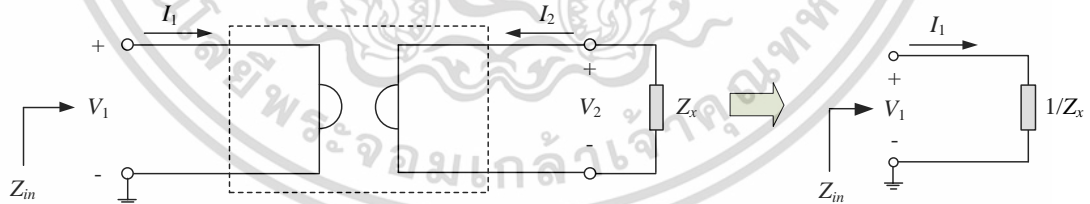
ในทำนองเดียวกันหากวิเคราะห์คุณสมบัติของวงจรโดยใช้ CCVS และกำหนดให้  $r_1 = 1/g_1$  และ  $r_2 = 1/g_2$  จะได้

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} 0 & -r_1 \\ -\frac{1}{r_2} & 0 \end{bmatrix} \begin{bmatrix} V_2 \\ -I_2 \end{bmatrix} \quad (2.4)$$

### 2.3 วงจรแปลงฟังก์ชันอิมิตแดนซ์อเนกประสงค์

วงจรไครเตอร์ในรูปที่ 2.1 สามารถประยุกต์ใช้งานเป็นวงจรแปลงฟังก์ชันอิมิตแดนซ์ได้โดยการต่อโหลด ( $Z_x$ ) เข้าไปที่ขั้ว  $V_2$  ดังแสดงในรูปที่ 2.2 เมื่อวิเคราะห์ห้วงจรโดยมองทางด้านขั้ว  $V_1$  จะได้อิมพีแดนซ์อินพุตเท่ากับ

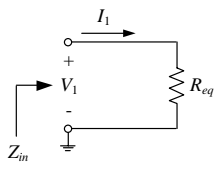
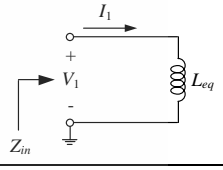
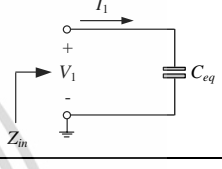
$$Z_{in} = \frac{V_1}{I_1} = \left( \frac{1}{g_1 g_2} \right) \left( \frac{-I_2}{V_2} \right) = \left( \frac{1}{g_1 g_2} \right) \left( \frac{1}{Z_x} \right) \quad (2.5)$$



รูปที่ 2.2 วงจรแปลงฟังก์ชันอิมิตแดนซ์โดยใช้วงจรไครเตอร์

จากรูปที่ 2.2 พบว่าหากกำหนดให้  $Z_x = 1/sC$  หรือใช้ตัวเก็บประจุไฟฟ้าเป็นโหลดที่ตำแหน่งขั้ว  $V_2$  ของวงจรไครเตอร์ จะได้อิมพีแดนซ์อินพุตเสมือนกับอิมพีแดนซ์ของตัวเหนี่ยวนำ ในทำนองเดียวกันหากกำหนดให้  $Z_x = sL$  หรือใช้ตัวเหนี่ยวนำเป็นโหลดของวงจรไครเตอร์ จะได้อิมพีแดนซ์อินพุตเสมือนอิมพีแดนซ์ของตัวเก็บประจุไฟฟ้า โดยมีรายละเอียดสรุปได้ดังตารางที่ 2.1

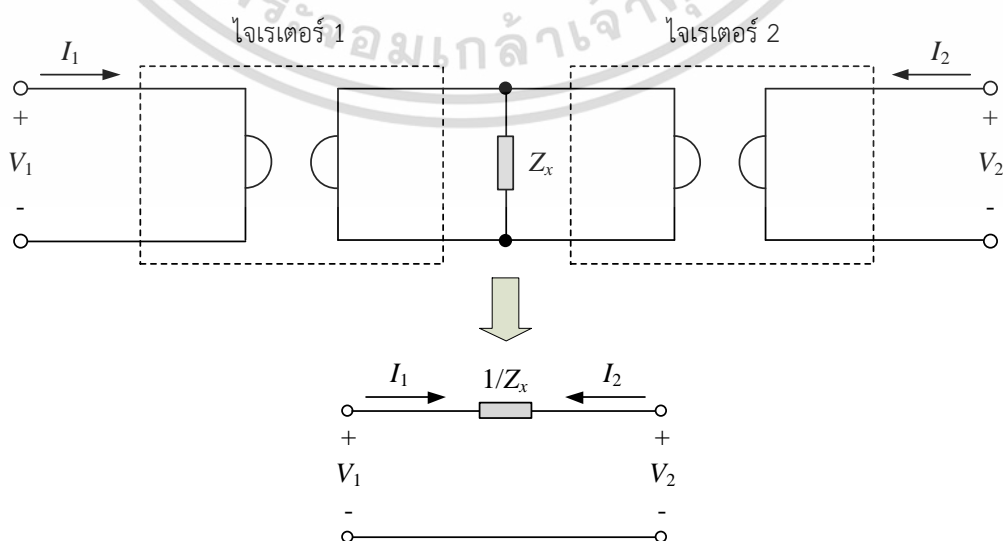
ตารางที่ 2.1 วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นจากวงจรไครเตอร์ในรูปที่ 2.2

อุปกรณ์พาสซีฟที่ต่อเป็นโหลด ณ ตำแหน่ง $V_2$ ของวงจรไครเตอร์	ค่าอิมพีแดนซ์อินพุตของวงจรไครเตอร์	ค่าอุปกรณ์สมมูลที่สังเคราะห์ขึ้น	วงจรสมมูลทางไฟฟ้า
$Z_x = R$	$Z_{in} = \left(\frac{1}{g_1 g_2}\right) \left(\frac{1}{R}\right)$	$R_{eq} = \frac{1}{g_1 g_2 R}$	
$Z_x = 1/sC$	$Z_{in} = \left(\frac{1}{g_1 g_2}\right) (sC)$	$L_{eq} = \frac{C}{g_1 g_2}$	
$Z_x = sL$	$Z_{in} = \left(\frac{1}{g_1 g_2}\right) (sL)$	$C_{eq} = g_1 g_2 L$	

จากตารางที่ 2.1 แสดงให้เห็นว่าวงจรที่สังเคราะห์ขึ้นมีคุณสมบัติเป็นวงจรแปลงฟังก์ชันอิมิตแดนซ์หรือวงจรที่ทำหน้าที่กลับค่าอิมพีแดนซ์ของโหลดที่นำมาต่อเข้าที่ขั้ว  $V_2$  ของวงจรไครเตอร์ในรูปที่ 2.2

ในกรณีที่ต้องการสังเคราะห์วงจรแปลงฟังก์ชันอิมิตแดนซ์แบบลอยตัว สามารถทำได้โดยการใช้วงจรไครเตอร์จำนวนสองตัวดังแสดงในรูปที่ 2.3 โดยความสัมพันธ์ระหว่างแรงดันกับกระแสมีค่าเท่ากับ

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1}{g_1} \\ -g_2 & 0 \end{bmatrix} \begin{bmatrix} 1 & 0 \\ \frac{1}{Z_x} & 1 \end{bmatrix} \begin{bmatrix} 0 & -\frac{1}{g_2} \\ -g_1 & 0 \end{bmatrix} \begin{bmatrix} V_2 \\ -I_2 \end{bmatrix} \quad (2.6)$$



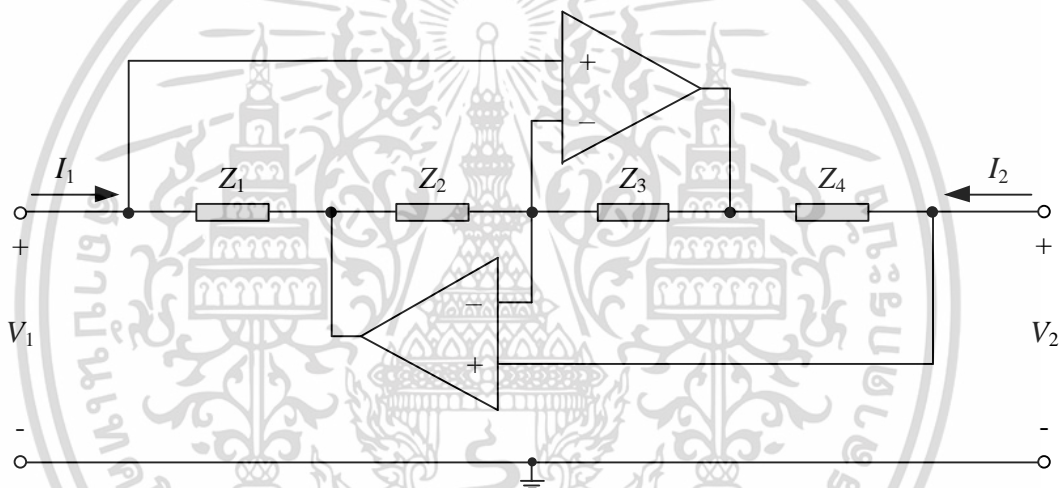
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.3 วงจรแปลงฟังก์ชันอิมิตแดนซ์แบบลอยตัวโดยใช้วงจรไจเรเตอร์จำนวนสองตัว จากสมการ (2.6) จะได้ค่าอิมพีแดนซ์อินพุตของวงจรในรูปที่ 2.3 เท่ากับ

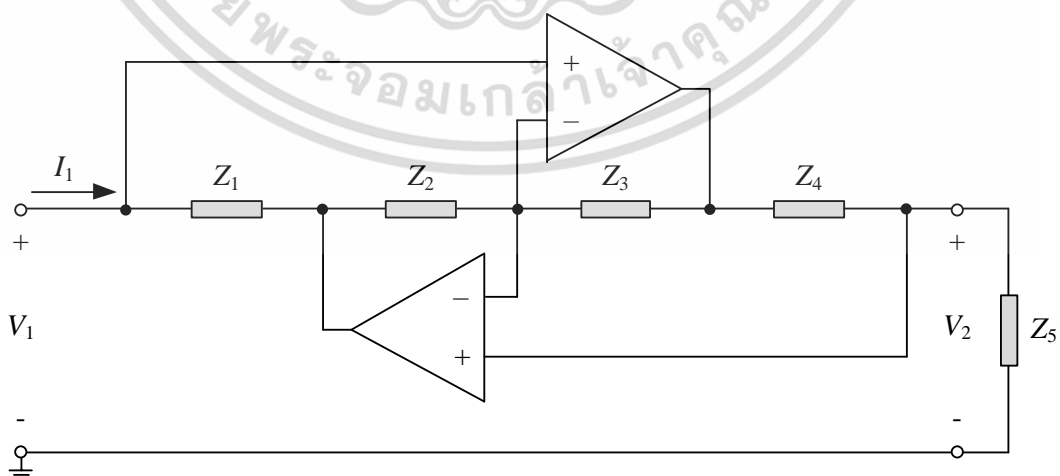
$$Z_{in} = \frac{V_1 - V_2}{I_1} = \frac{V_2 - V_1}{I_2} = \left( \frac{1}{g_1 g_2} \right) \left( \frac{1}{Z_x} \right) \quad (2.7)$$

## 2.4 วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นจากออปแอมป์

ในปี ค.ศ. 1967 A. Antoniou นำเสนอการออกแบบวงจรไจเรเตอร์โดยใช้ออปแอมป์เป็นอุปกรณ์แอกทีฟหลักจำนวนสองตัว ต่อกับอุปกรณ์พาสซีฟจำนวนสี่ตัวดังแสดงในรูปที่ 2.4 [3] ต่อมาในปี ค.ศ. 1977 K. Martin และคณะได้นำวงจรไจเรเตอร์ที่สังเคราะห์ขึ้นจากออปแอมป์ของ A. Antoniou มาประยุกต์ใช้งานเป็นวงจรแปลงฟังก์ชันอิมิตแดนซ์แบบเทียบกราวด์โดยการต่อโหลด  $Z_5$  ที่ขั้ว  $V_2$  ของวงจรไจเรเตอร์ดังแสดงในรูปที่ 2.5 [4]



รูปที่ 2.4 วงจรไจเรเตอร์ที่สังเคราะห์ขึ้นจากออปแอมป์



รูปที่ 2.5 วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นจากวงจรไจเรเตอร์ของ A. Antoniou

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวิเคราะห์วงจรแปลงฟังก์ชันอิมิตแดนซ์ในรูปที่ 2.5 สามารถหาค่าอิมพีแดนซ์อินพุตได้เท่ากับ

$$Z_{in} = \frac{V_1}{I_1} = \left( \frac{Z_1 Z_3}{Z_2 Z_4} \right) Z_5 \quad (2.8)$$

จากสมการ (2.8) พบว่าวงจรที่นำเสนอสามารถสังเคราะห์เป็นตัวต้านทาน ตัวเหนี่ยวนำ ตัวเก็บประจุไฟฟ้า และวงจร FDNR แบบเทียบกราวด์ได้ดังสรุปในตารางที่ 2.2

ตารางที่ 2.2 วงจรสมมูลที่สังเคราะห์ขึ้นจากวงจรแปลงฟังก์ชันอิมิตแดนซ์ในรูปที่ 2.5

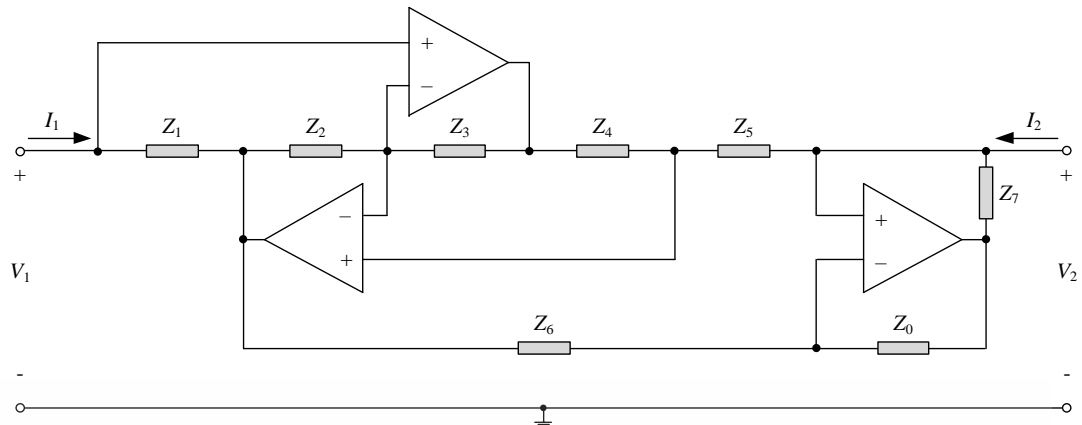
ฟังก์ชันที่สังเคราะห์ขึ้น	อุปกรณ์พาสซีฟที่ใช้ในวงจร					ค่าอิมพีแดนซ์อินพุตที่สังเคราะห์ขึ้น	ค่าอุปกรณ์สมมูลที่สังเคราะห์ขึ้น
	$Z_1$	$Z_2$	$Z_3$	$Z_4$	$Z_5$		
ตัวต้านทาน	$R_1$	$R_2$	$R_3$	$R_4$	$R_5$	$Z_{in} = \frac{R_1 R_3 R_5}{R_2 R_4}$	$R_{eq} = \frac{R_1 R_3 R_5}{R_2 R_4}$
ตัวเหนี่ยวนำ	$R_1$	$1/sC_2$	$R_3$	$R_4$	$R_5$	$Z_{in} = s \left( \frac{R_1 R_3 R_5 C_2}{R_4} \right)$	$L_{eq} = \frac{R_1 R_3 R_5 C_2}{R_4}$
ตัวเก็บประจุ	$R_1$	$R_2$	$R_3$	$R_4$	$1/sC_5$	$Z_{in} = \frac{1}{s} \left( \frac{R_1 R_3}{R_2 R_4 C_5} \right)$	$C_{eq} = \frac{R_2 R_4 C_5}{R_1 R_3}$
วงจร FDNR	$1/sC_1$	$R_2$	$R_3$	$R_4$	$1/sC_5$	$Z_{in} = \frac{1}{s^2} \left( \frac{R_3}{R_2 R_4 C_1 C_5} \right)$	$D_{eq} = \frac{R_2 R_4 C_1 C_5}{R_3}$

วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นจากออปแอมป์โดย K. Martin และคณะเป็นฟังก์ชันแบบเทียบกราวด์ ซึ่งมีข้อจำกัดในการใช้งานมากกว่าฟังก์ชันแบบลอยตัว ดังนั้นในปี ค.ศ. 1980 T. S. Rathore และคณะได้นำเสนอวงจรแปลงฟังก์ชันอิมิตแดนซ์แบบลอยตัวที่ต่อยอดมาจากวงจรแปลงฟังก์ชันอิมิตแดนซ์แบบเทียบกราวด์ของ K. Martin วงจรที่นำเสนอสังเคราะห์ขึ้นจากออปแอมป์จำนวนสามตัว ต่อยุ่ร่วมกับอุปกรณ์พาสซีฟจำนวนแปดตัวดังแสดงในรูปที่ 2.6 [5] เมื่อกำหนดให้  $Z_1 = Z_5 = Z_7$  และ  $Z_0 = Z_6$  จะได้ค่าอิมพีแดนซ์อินพุตเท่ากับ

$$Z_{in} = \frac{V_1 - V_2}{I_1} = \frac{V_2 - V_1}{I_2} = \frac{Z_1^2 Z_3}{Z_2 Z_4} \quad (2.9)$$

สมการ (2.9) แสดงให้เห็นว่าวงจรในรูปที่ 2.6 สามารถสังเคราะห์เป็นตัวต้านทาน ตัวเหนี่ยวนำ ตัวเก็บประจุไฟฟ้า และวงจร FDNR แบบลอยตัวได้จากการเลือกใช้อุปกรณ์พาสซีฟอย่างเหมาะสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นโดย T. S. Rathore และคณะ

## 2.5 วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นจากวงจร CCII

หลังจากการใช้งานออปแอมป์ในวงจรแปลงฟังก์ชันอิมิตแดนซ์ ยังพบว่าออปแอมป์มีข้อจำกัดต่างๆมากมาย อาทิเช่นแบนด์วิธต่ำ อัตราการสูญเสีย อีกทั้งออปแอมป์นั้นก็มีโครงสร้างภายในที่ซับซ้อน ดังนั้นในปี ค.ศ. 1970 K. C. Smith และ A. S. Sedra ได้นำเสนอวงจรสายพานกระแสรุ่นที่สอง (second generation current conveyor, CCII) ขึ้นครั้งแรก [7] หลังจากนั้นวงจร CCII ได้ถูกนำมาประยุกต์ใช้งานในวงจรแปลงฟังก์ชันอิมิตแดนซ์อย่างแพร่หลาย [8]-[19] เนื่องจากมีข้อดีมากกว่าการใช้งานออปแอมป์เดิม [20] ความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจร CCII สามารถเขียนอธิบายได้ดังนี้

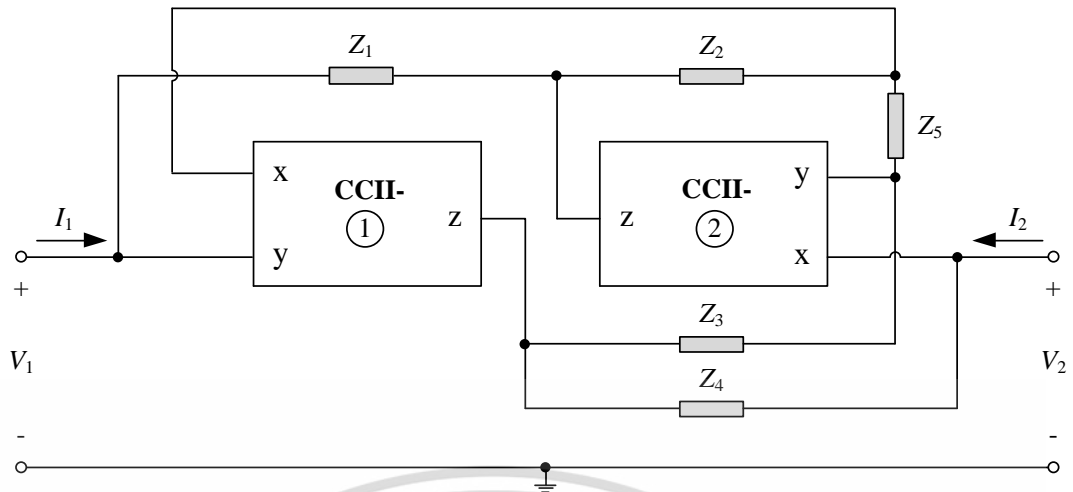
$$\begin{bmatrix} i_y \\ v_x \\ i_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & 0 & 0 \\ 0 & \pm 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \end{bmatrix} \quad (2.10)$$

สมการ (2.10) แสดงให้เห็นว่ากระแส  $i_z$  มีขนาดและทิศทางการไหลเดียวกันกับกระแส  $i_x$  จะเรียกววงจร CCII ชนิดนี้ว่าวงจร CCII แบบบวก หรือ CCII+ (positive CCII) ในทางตรงกันข้ามหากกระแส  $i_z$  มีขนาดเท่ากับกระแส  $i_x$  แต่ทิศทางตรงกันข้ามจะเรียกววงจรชนิดนี้ว่าวงจร CCII แบบลบ หรือ CCII- (negative CCII)

ในปี ค.ศ. 1986 R. Senani นำเสนอวงจรแปลงฟังก์ชันอิมิตแดนซ์แบบลอยตัวโดยใช้วงจร CCII- จำนวนสองตัวต่อร่วมกับอุปกรณ์พาสซีฟจำนวนห้าตัวดังแสดงในรูปที่ 2.7 [8] เมื่อวิเคราะห์วงจรโดยอาศัยคุณสมบัติของวงจร CCII- พบว่าค่าอิมิตแดนซ์อินพุตเท่ากับ

$$Z_{in} = \frac{V_1 - V_2}{I_1} = \frac{V_2 - V_1}{I_2} = \frac{Z_1 Z_4 Z_5}{Z_2 Z_3} \quad (2.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

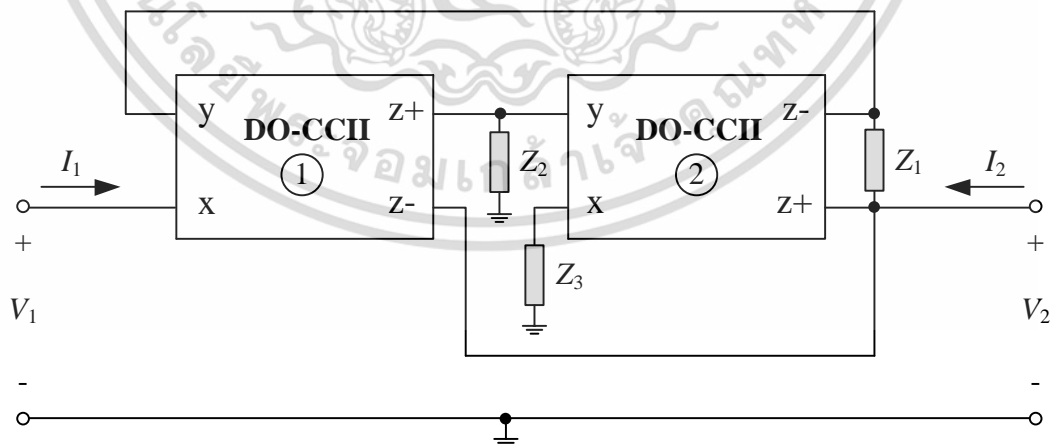


รูปที่ 2.7 วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นโดยใช้วงจร CCII-

สมการ (2.11) แสดงให้เห็นว่าวงจรในรูปที่ 2.7 สามารถสังเคราะห์เป็นตัวต้านทาน ตัวเหนี่ยวนำ ตัวเก็บประจุไฟฟ้า และ วงจร FDNR แบบลอยตัวได้โดยการเลือกใช้งานอุปกรณ์พาสซีฟอย่างเหมาะสม

วงจร DO-CCII (dual-output CCII) เป็นวงจรสายพานกระแสชนิดหนึ่งที่ถูกออกแบบให้มีขั้ว z ทั้งหมด 2 ขั้ว โดยจะมีทิศทางในการไหลตรงข้ามกัน กล่าวคือวงจร DO-CCII มีการรวมคุณสมบัติของกระแส  $i_z$  ของวงจร CCII+ และวงจร CCII- เข้าด้วยกัน ทำให้วงจร DO-CCII มีความคล่องตัวต่อการประยุกต์ใช้งานมากขึ้น ในปี 2006 S. Minaei และคณะได้นำเสนอวงจรแปลงฟังก์ชันอิมิตแดนซ์แบบลอยตัวโดยใช้วงจร DO-CCII เป็นอุปกรณ์แอคทีฟหลักดังแสดงในรูปที่ 2.8 [15] ค่าอิมพีแดนซ์อินพุตสามารถวิเคราะห์ได้ดังนี้

$$Z_m = \frac{V_1 - V_2}{I_1} = \frac{V_2 - V_1}{I_2} = \frac{Z_1 Z_2}{Z_3} \quad (2.12)$$



รูปที่ 2.8 วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นโดยใช้วงจร DO-CCII

รูปที่ 2.8 แสดงให้เห็นว่าวงจรที่ออกแบบโดยใช้วงจร DO-CCII อาศัยอุปกรณ์พาสซีฟที่น้อยกว่าการใช้วงจร CCII เดิมในรูปที่ 2.7 จากสมการ (2.12) พบว่าวงจรในรูปที่ 2.8 สามารถสังเคราะห์เป็นตัวต้านทาน ตัวเหนี่ยวนำ ตัวเก็บประจุไฟฟ้า และวงจร FDNR ได้โดยการเลือกอุปกรณ์พาสซีฟไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แม้ว่าวงจร CCII จะถูกนำมาออกแบบเป็นวงจรต่างๆมากมาย แต่อย่างไรก็ดีวงจร CCII ยังมีข้อเสียอยู่ คือ มีขั้วอินพุตที่มีค่าอิมพีแดนซ์สูงเพียงขั้วเดียว คือขั้ว  $y$  ทำให้วงจร CCII ไม่เหมาะสมต่อการใช้งาน อินพุตแบบผลต่าง ดังนั้นการใช้งานจึงจำเป็นต้องเพิ่มจำนวนวงจร CCII เพื่อให้สามารถรับแรงดัน อินพุตที่ต่างกันได้ ส่งผลให้งานวิจัยที่ใช้วงจร CCII เป็นอุปกรณ์แอกทีฟหลักต้องใช้งานอุปกรณ์แอกทีฟเป็นจำนวนมากในการออกแบบวงจรแปลงฟังก์ชันอิมิตแดนซ์ [31]

## 2.6 วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นจากวงจร DO-CCII และวงจร OTA

วงจร OTA (operational transconductance amplifier) คือวงจรที่เปลี่ยนแรงดันอินพุตแบบผลต่างให้เป็นกระแสเอาต์พุตผ่านอัตราขยายค่าความนำ (transconductance gain,  $g_m$ ) โดยค่า  $g_m$  สามารถควบคุมได้ด้วยกระแสไบอัส  $I_B$  จากภายนอกวงจร [21] ความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจร OTA สามารถเขียนอธิบายได้ดังนี้

$$i_o = g_m (v^+ - v^-) = g_m v_{id} \quad (2.13)$$

โดยที่  $g_m$  กรณีที่วงจร OTA สังเคราะห์ขึ้นจากเทคโนโลยีแบบไบโพลาร์ทรานซิสเตอร์ [22] มีค่าเท่ากับ

$$g_m = \frac{I_B}{2V_T} \quad (2.14)$$

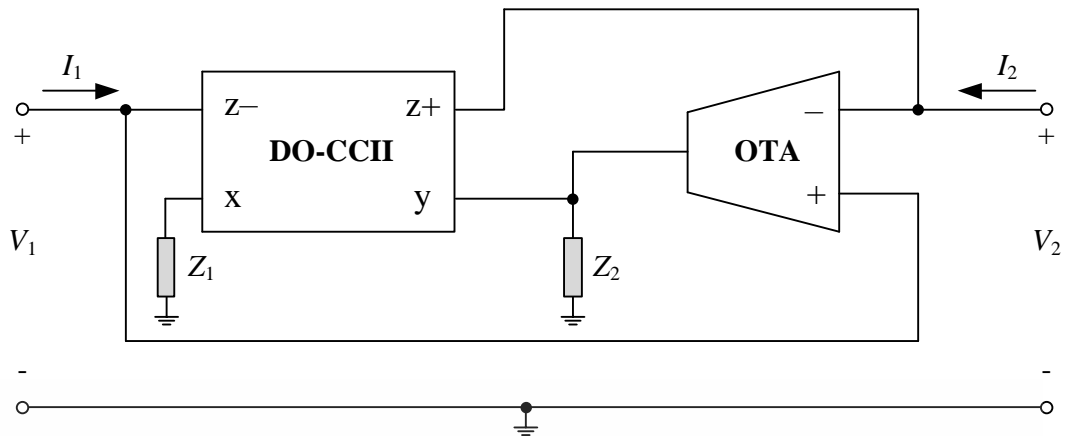
และ  $V_T$  คือแรงดันความร้อน (thermal voltage) โดยที่อุณหภูมิห้อง (ประมาณ 27 °C)  $V_T$  จะมีค่าเท่ากับ 26 mV ในกรณีที่วงจร OTA สังเคราะห์ขึ้นจากเทคโนโลยีแบบมอสทรานซิสเตอร์ [23] ค่า  $g_m$  จะเท่ากับ

$$g_m = \sqrt{\mu C_{ox} \left( \frac{W}{L} \right) I_B} \quad (2.15)$$

โดยที่  $\mu$  คือ ค่าความคล่องตัวของพาหะตัวนำ (effective carrier mobility)  $C_{ox}$  คือ ค่าความจุไฟฟ้าแฝงต่อหนึ่งหน่วยพื้นที่ (gate oxide capacitance per unit area)  $W$  และ  $L$  คือ ความกว้างประสิทธิภาพและความยาวประสิทธิภาพของช่องนำกระแส (effective channel width and length)

วงจร OTA ได้รับความนิยมอย่างมากในการพัฒนาเทคโนโลยีวงจรรวม ดังนั้นในปี ค.ศ. 2009 M. Sagbas และคณะได้นำวงจร OTA มาออกแบบเป็นวงจรแปลงฟังก์ชันอิมิตแดนซ์แบบลอยตัวร่วมกับวงจร DO-CCII เพื่อลดการใช้งานอุปกรณ์พาสซีฟลงดังแสดงในรูปที่ 2.9 [24] วงจรที่นำเสนออาศัยอุปกรณ์พาสซีฟต่อเทียบกราวด์จำนวนสองตัวเท่านั้น จึงมีความเหมาะสมต่อการพัฒนาเป็นวงจรรวมอย่างมาก และเมื่อวิเคราะห์วงจรในรูปที่ 2.9 โดยอาศัยคุณสมบัติของวงจร OTA และวงจร DO-CCII จะหาค่าอิมพีแดนซ์อินพุตได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นโดยใช้วงจร DO-CCII และวงจร OTA

$$Z_{in} = \frac{V_1 - V_2}{I_1} = \frac{V_2 - V_1}{I_2} = \left( \frac{1}{g_m} \right) \frac{Z_1}{Z_2} \quad (2.16)$$

สมการ (2.16) แสดงให้เห็นว่าวงจรแปลงฟังก์ชันอิมิตแดนซ์แบบลอยตัวในรูปที่ 2.9 สามารถสังเคราะห์เป็นตัวต้านทาน ตัวเหนี่ยวนำ และตัวเก็บประจุไฟฟ้าโดยการเลือกใช้งานอุปกรณ์พาสซีฟดังนี้

- เมื่อ  $Z_1 = R_1$  และ  $Z_2 = R_2$  จะได้ค่าอิมพีแดนซ์อินพุตของตัวต้านทานแบบลอยตัวเท่ากับ

$$Z_{in} = R_{eq} = \left( \frac{1}{g_m} \right) \frac{R_1}{R_2} \quad (2.17)$$

โดยที่  $R_{eq} = R_1/(g_m R_2)$

- เมื่อ  $Z_1 = R_1$  และ  $Z_2 = 1/sC_2$  จะได้ค่าอิมพีแดนซ์อินพุตของตัวเหนี่ยวนำแบบลอยตัวเท่ากับ

$$Z_{in} = sL_{eq} = \left( \frac{1}{g_m} \right) sR_1C_2 \quad (2.18)$$

โดยที่  $L_{eq} = (R_1C_2)/g_m$

- เมื่อ  $Z_1 = 1/sC_1$  และ  $Z_2 = R_2$  จะได้ค่าอิมพีแดนซ์อินพุตของตัวเก็บประจุแบบลอยตัวเท่ากับ

$$Z_{in} = \frac{1}{sC_{eq}} = \left( \frac{1}{g_m} \right) \frac{1}{sC_1R_2} \quad (2.19)$$

โดยที่  $C_{eq} = g_m C_1 R_2$

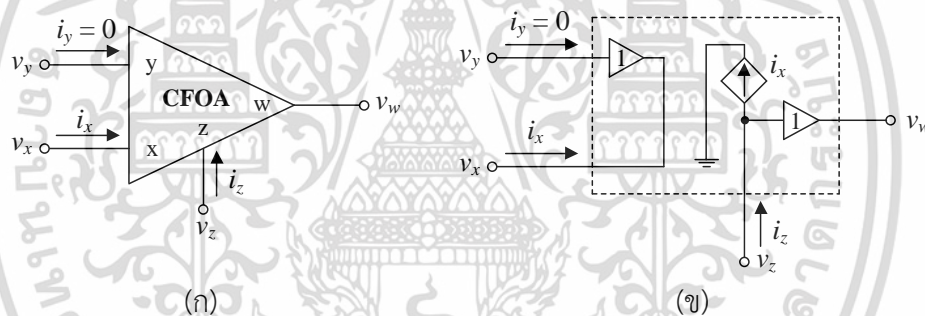
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการ (2.17) ถึง (2.19) แสดงให้เห็นว่าวงจรแปลงฟังก์ชันอิมิตแดนซ์ในรูปที่ 2.9 สามารถสังเคราะห์เป็นตัวต้านทาน ตัวเหนี่ยวนำ และตัวเก็บประจุไฟฟ้าแบบลอยตัวได้ แต่อย่างไรก็ตามวงจรดังกล่าวไม่สามารถสังเคราะห์เป็นวงจร FDNR แบบลอยตัวได้ เนื่องจากข้อจำกัดของจำนวนอุปกรณ์พาสซีฟที่ใช้ในการสังเคราะห์วงจร

## 2.7 วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นจากวงจร CFOA

วงจร CFOA เป็นวงจรแอกทีฟชนิดหนึ่งสำหรับการประมวลผลสัญญาณทางแอนะล็อกที่นำวงจร CCII+ มาต่อร่วมกับวงจรตามแรงดัน [25] ดังแสดงในรูปที่ 2.10 ทำให้วงจร CFOA เกิดความคล่องตัวมากขึ้น และเหมาะสมต่อการใช้งานในโหมดกระแสและโหมดผสม เนื่องจากมีค่าอิมพีแดนซ์เอาต์พุตที่ต่ำมาก คุณสมบัติของวงจร CFOA สามารถเขียนอธิบายได้ดังนี้

$$\begin{bmatrix} i_y \\ v_x \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \\ i_w \end{bmatrix} \quad (2.20)$$



รูปที่ 2.10 วงจร CFOA

(ก) สัญลักษณ์ทางไฟฟ้า

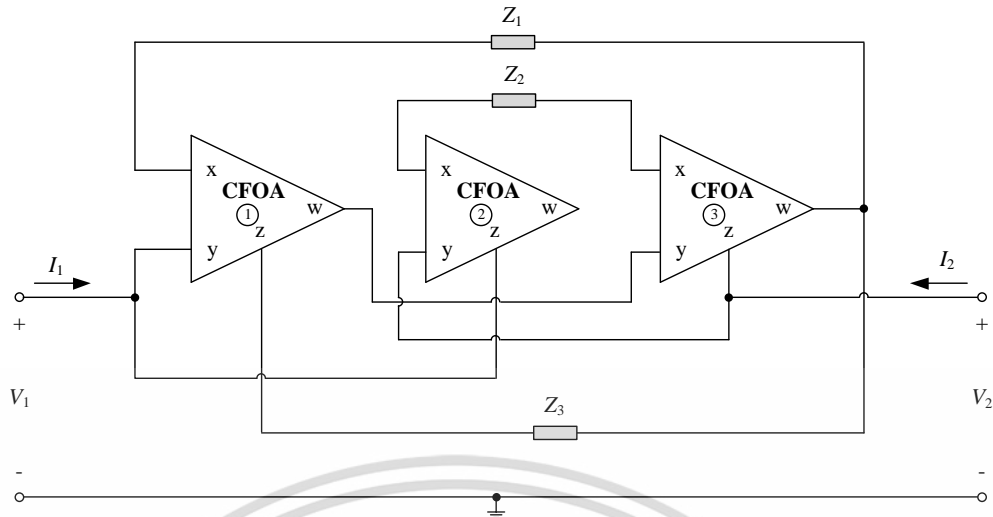
(ข) วงจรสมมูลทางไฟฟ้า

สมการ (2.20) แสดงให้เห็นว่าไม่มีกระแสไหลเข้าที่ขั้ว y แรงดันที่ขั้ว y จะถูกส่งผ่านไปยังขั้ว x ส่วนกระแสเอาต์พุตที่ขั้ว z นั้นจะมีขนาดและทิศทางเดียวกันกับกระแสที่ไหลเข้าขั้ว x และแรงดันที่ขั้ว z จะถูกส่งผ่านไปเป็นแรงดันเอาต์พุตที่ขั้ว w วงจร CFOA ได้ถูกนำมาสังเคราะห์เป็นไอซีสำเร็จรูปเบอร์ AD844 โดยบริษัท Analog Devices [26] และเป็นที่นิยมในการนำมาประยุกต์ใช้งานอย่างแพร่หลาย [27]-[30]

ในปี 1998 R. Senani ได้นำเสนอการสังเคราะห์วงจรแปลงฟังก์ชันอิมิตแดนซ์แบบลอยตัวโดยใช้วงจร CFOA เป็นอุปกรณ์แอกทีฟหลักจำนวนสามตัวต่อร่วมกับอุปกรณ์พาสซีฟจำนวนสามตัว [27] ดังแสดงในรูปที่ 2.11 เมื่อวิเคราะห์วงจรโดยอาศัยคุณสมบัติของวงจร CFOA จะได้ค่าอิมพีแดนซ์อินพุตเท่ากับ

$$Z_{in} = \frac{V_1 - V_2}{I_1} = \frac{V_2 - V_1}{I_2} = \frac{Z_1 Z_2}{Z_3} \quad (2.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นโดยใช้วงจร CFOA

สมการ (2.21) แสดงให้เห็นว่าวงจรแปลงฟังก์ชันอิมิตแดนซ์แบบลอยตัวในรูปที่ 2.11 สามารถสังเคราะห์เป็นตัวต้านทาน ตัวเหนี่ยวนำ ตัวเก็บประจุ และวงจร FDNR ได้โดยการกำหนดอุปกรณ์พาสซีฟดังนี้

- เมื่อ  $Z_1 = R_1$   $Z_2 = R_2$  และ  $Z_3 = R_3$  จะได้ค่าอิมิตแดนซ์อินพุตของตัวต้านทานเท่ากับ

$$Z_{in} = R_{eq} = \frac{R_1 R_2}{R_3} \quad (2.22)$$

โดยที่  $R_{eq} = (R_1 R_2) / R_3$

- เมื่อ  $Z_1 = R_1$   $Z_2 = R_2$  และ  $Z_3 = 1/sC_3$  จะได้ค่าอิมิตแดนซ์อินพุตของตัวเหนี่ยวนำเท่ากับ

$$Z_{in} = sL_{eq} = sR_1 R_2 C_3 \quad (2.23)$$

โดยที่  $L_{eq} = R_1 C_2 C_3$

- เมื่อ  $Z_1 = R_1$   $Z_2 = 1/sC_2$  และ  $Z_3 = R_3$  จะได้ค่าอิมิตแดนซ์อินพุตของตัวเก็บประจุเท่ากับ

$$Z_{in} = \frac{1}{sC_{eq}} = \frac{R_1}{sC_2 R_3} \quad (2.24)$$

โดยที่  $C_{eq} = C_2 (R_3 / R_1)$

- เมื่อ  $Z_1 = 1/sC_1$   $Z_2 = 1/sC_2$  และ  $Z_3 = R_3$  จะได้ค่าอิมิตแดนซ์อินพุตของ FDNR เท่ากับ

$$Z_{in} = \frac{1}{s^2 D_{eq}} = \frac{1}{s^2 C_1 C_2 R_3} \quad (2.25)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

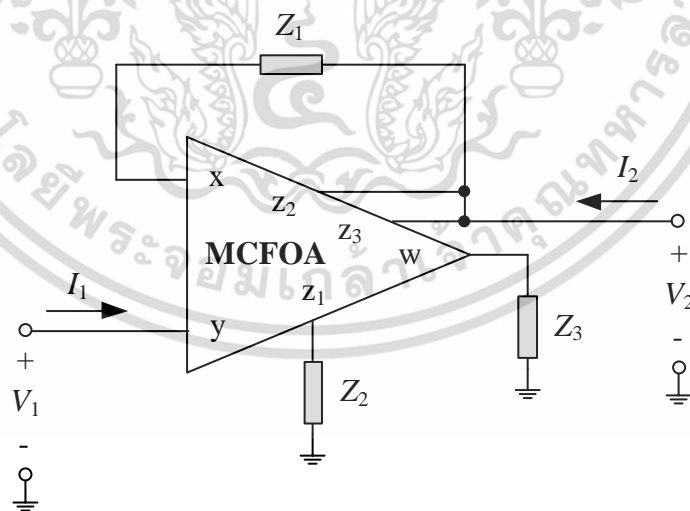
โดยที่  $D_{eq} = C_1 C_2 R_3$

ต่อมาในปี ค.ศ. 2007 E. Yuce ได้นำวงจร CFOA เดิมมาพัฒนาต่อยอดเป็นวงจร MCFOA (modified current feedback operational amplifier) โดยเพิ่มขั้วกระแสเอาต์พุต z จากเดิมที่มีเพียงขั้วเดียวเป็นสามขั้ว ทำให้เกิดความคล่องตัวต่อการใช้งานมากยิ่งขึ้น โดยความสัมพันธ์ระหว่างแรงดันกับกระแสแสดงได้ดังนี้

$$\begin{bmatrix} i_y \\ i_{z1} \\ i_{z2} \\ i_{z3} \\ v_x \\ v_w \end{bmatrix} = \begin{bmatrix} -1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & -1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 \end{bmatrix} \begin{bmatrix} i_w \\ i_x \\ v_y \\ v_{z1} \\ v_{z2} \\ v_{z3} \end{bmatrix} \quad (2.26)$$

สมการ (2.26) แสดงให้เห็นว่าวงจร MCFOA มีสมรรถนะที่เพิ่มขึ้นจากวงจร CFOA เป็นอย่างมาก ดังนั้น E. Yuce จึงได้นำวงจร MCFOA มาออกแบบและสังเคราะห์เป็นวงจรแปลงฟังก์ชันอิมมิตแดนซ์แบบลอยตัว โดยวงจรที่นำเสนอประกอบด้วยวงจร MCFOA จำนวนหนึ่งตัว และอุปกรณ์พาสซีฟจำนวนสามตัวดังแสดงให้รูปที่ 2.12 [29] หากพิจารณาวงจรโดยอาศัยสมการ (2.26) พบว่าค่าอิมพีแดนซ์อินพุตเท่ากับ

$$Z_{in} = \frac{V_1 - V_2}{I_1} = \frac{V_2 - V_1}{I_2} = \frac{Z_1 Z_2}{Z_3} \quad (2.27)$$



รูปที่ 2.12 วงจรแปลงฟังก์ชันอิมมิตแดนซ์ที่สังเคราะห์ขึ้นโดยใช้วงจร MCFOA

สมการ (2.27) แสดงให้เห็นว่าวงจรในรูปที่ 2.12 สามารถสังเคราะห์ฟังก์ชันอิมมิตแดนซ์อเนกประสงค์แบบลอยตัวได้ครบทั้งสี่ฟังก์ชันได้แก่ตัวต้านทาน ตัวเหนี่ยวนำ ตัวเก็บประจุไฟฟ้า และวงจร FDNR โดยการกำหนดอุปกรณ์พาสซีฟทั้งสามตัวดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กำหนดให้  $Z_1 = R_1$   $Z_2 = R_2$  และ  $Z_3 = R_3$  จะได้ค่าอิมพีแดนซ์อินพุตของตัวต้านทานเท่ากับ

$$Z_{in} = R_{eq} = \frac{R_1 R_2}{R_3} \quad (2.28)$$

โดยที่  $R_{eq} = (R_1 R_2)/R_3$

- กำหนดให้  $Z_1 = R_1$   $Z_2 = R_2$  และ  $Z_3 = 1/sC_3$  จะได้ค่าอิมพีแดนซ์อินพุตของตัวเหนี่ยวนำเท่ากับ

$$Z_{in} = sL_{eq} = sR_1 R_2 C_3 \quad (2.29)$$

โดยที่  $L_{eq} = R_1 C_2 C_3$

- กำหนดให้  $Z_1 = R_1$   $Z_2 = 1/sC_2$  และ  $Z_3 = R_3$  จะได้ค่าอิมพีแดนซ์อินพุตของตัวเก็บประจุไฟฟ้าเท่ากับ

$$Z_{in} = \frac{1}{sC_{eq}} = \frac{R_1}{sC_2 R_3} \quad (2.30)$$

โดยที่  $C_{eq} = C_2(R_3/R_1)$

- กำหนดให้  $Z_1 = 1/sC_1$   $Z_2 = 1/sC_2$  และ  $Z_3 = R_3$  จะได้ค่าอิมพีแดนซ์อินพุตของวงจร FDNR เท่ากับ

$$Z_{in} = \frac{1}{s^2 D_{eq}} = \frac{1}{sC_1 C_2 R_3} \quad (2.31)$$

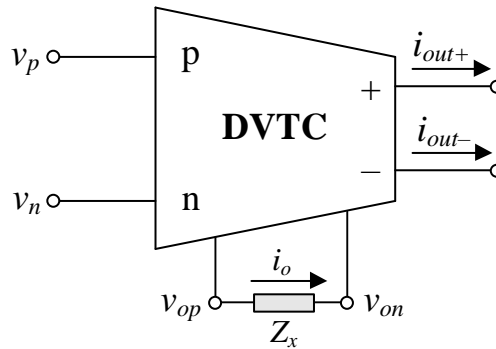
โดยที่  $D_{eq} = C_1 C_2 R_3$

## 2.8 วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นจากวงจร DVTC

วงจร DVTC (differential voltage to current converter) ถูกนำเสนอในปี ค.ศ. 2021 โดย N. Likhitkitwoerakul และคณะ [31] วงจร DVTC เป็นอุปกรณ์แอกทีฟแบบหกขั้วที่สังเคราะห์ขึ้นจากวงจรพื้นฐานสองวงจรคือ วงจรตามแรงดันแบบพลิก (flipped voltage follower) และวงจรสะท้อนกระแส (current mirror) สัญลักษณ์ทางไฟฟ้าวงจร DVTC แสดงได้ดังรูปที่ 2.13 โดยความสัมพันธ์ระหว่างแรงดันกับกระแสมีค่าเท่ากับ

$$i_{out+} = -i_{out-} = i_o = \frac{v_p - v_n}{Z_x} \quad (2.32)$$

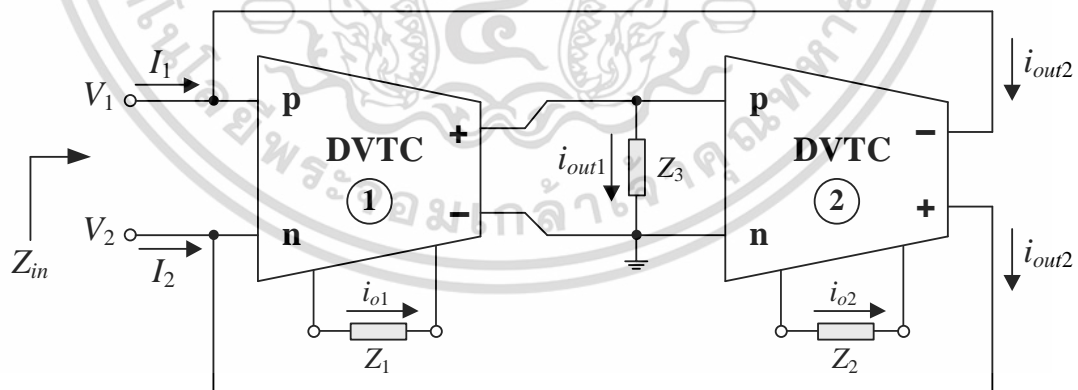
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 สัญลักษณ์ทางไฟฟ้าของวงจร DVTC

สมการ (2.32) แสดงให้เห็นว่ากระแสเอาต์พุต  $i_{out+}$  และ  $i_{out-}$  ของวงจร DVTC จะขึ้นอยู่กับกระแส  $i_o$  ที่ไหลผ่านโหลด  $Z_x$  จากภายนอกวงจร หากกำหนดให้  $Z_x = R$  ความสัมพันธ์ระหว่างแรงดันอินพุตแบบผลต่างกับกระแสเอาต์พุตจะอยู่ในรูปของอัตราขยายค่าความนำ (transconductance gain,  $g_m$ ) ในกรณีที่  $Z_x = 1/sC$  ความสัมพันธ์ระหว่างแรงดันอินพุตแบบผลต่างกับกระแสเอาต์พุตจะอยู่ในรูปของอัตราขยายค่าความจุไฟฟ้า (transcapacitance gain,  $C_m$ ) ด้วยคุณสมบัติของการเปลี่ยนอุปกรณ์ที่ตำแหน่ง  $Z_x$  ของวงจร DVTC ทำให้วงจรดังกล่าวมีความน่าสนใจในการออกแบบเป็นวงจรแปลงฟังก์ชันอิมิตแดนซ์เป็นอย่างมาก รูปที่ 2.14 แสดงวงจรแปลงฟังก์ชันอิมิตแดนซ์อเนกประสงค์แบบลอยตัวโดยใช้วงจร DVTC เป็นอุปกรณ์แอคทีฟหลักจำนวนสองตัว ต่อกับอิมิตแดนซ์พาสซีฟจำนวนสามตัว เมื่อวิเคราะห์วงจรแปลงฟังก์ชันอิมิตแดนซ์ในรูปที่ 2.14 โดยอาศัยสมการ (2.32) จะได้ค่าอิมิตแดนซ์อินพุตเท่ากับ

$$Z_{in} = \frac{V_1 - V_2}{I_1} = \frac{V_2 - V_1}{I_2} = \frac{Z_1 Z_2}{Z_3} \quad (2.33)$$



รูปที่ 2.14 วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นโดยใช้วงจร DVTC

สมการ (2.33) แสดงให้เห็นว่าวงจรแปลงฟังก์ชันอิมิตแดนซ์แบบลอยตัวในรูปที่ 2.14 สามารถสังเคราะห์เป็นตัวต้านทาน ตัวเหนี่ยวนำ ตัวเก็บประจุไฟฟ้า และวงจร FDNR โดยรายละเอียดของหลักการทำงานและผลการทดสอบสมรรถนะของวงจร DVTC และวงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นจากวงจร DVTC จะถูกนำเสนอในบทถัดไปของวิทยานิพนธ์ฉบับนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.9 สรุป

วิทยานิพนธ์บทนี้กล่าวถึงคุณสมบัติพื้นฐานของวงจรจเรเตอร์ รวมทั้งการออกแบบและสังเคราะห์โดยใช้ออปแอมป์เป็นอุปกรณ์แอกทีฟหลัก จนมีการพัฒนาต่อยอดเป็นวงจรแปลงฟังก์ชันอิมิตแดนซ์อเนกประสงค์ตั้งแต่การสังเคราะห์ด้วยออปแอมป์จนกระทั่งการสังเคราะห์ด้วยอุปกรณ์แอกทีฟชนิดต่างๆตั้งแต่อดีตจนถึงปัจจุบันเพื่อให้เหมาะสมต่อใช้งานในเทคโนโลยีวงจรรวมมากยิ่งขึ้น วงจรแปลงฟังก์ชันอิมิตแดนซ์แบบลอยตัวที่กล่าวถึงในบทนี้ได้มีการพัฒนาต่อยอดเรื่อยมาเพื่อลดข้อบกพร่องต่างๆลง แต่ยังคงไว้ซึ่งประสิทธิภาพในการทำงานที่สูง สามารถปฏิบัติงานภายใต้ระดับแรงดันไฟเลี้ยงต่ำ ส่งผลให้กำลังไฟฟ้าสูญเสียที่เกิดขึ้นมีค่าลดลงอีกด้วย

## 2.10 เอกสารอ้างอิงบทที่ 2

- [1] วรพงศ์ ตั้งศรีรัตน์. การออกแบบและสังเคราะห์วงจรกรองสัญญาณแอนะล็อกและวงจรรอสซิลเลเตอร์. คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2554
- [2] B. D. H. Tellegen, "The gyrator, a new electric network element", **Philips research reports**, vol. 3, pp. 81–101, 1948.
- [3] A. Antoniou, "Gyrators using operational amplifiers", **Electronics Letters**, vol. 3, no. 8, pp. 350–352, 1967.
- [4] K. Martin and A. Sedra, "Optimum design of active filters using the generalized immittance converter", **IEEE Transactions on Circuits and Systems**, vol. 24, no. 9, pp. 495–503, 1977.
- [5] T. S. Rathore and B. M. Singhi, "Active RC synthesis of floating immittances", **International Journal of Circuit Theory and Applications**, vol. 8, no. 2, pp. 184–188, 1980.
- [6] R. Senani, "Three op amp floating immittance simulators: a retrospection", **IEEE Transactions on Circuits and Systems**, vol. 36, no. 11, pp. 1463–1465, 1989.
- [7] A. Sedra and K. Smith, "A second-generation current conveyor and its applications", **IEEE Transactions on Circuit Theory**, vol. 17, no. 1, pp. 132–134, 1970.
- [8] R. Senani, "On the realization of floating active elements", **IEEE Transactions on Circuits and Systems**, vol. 33, no. 3, pp. 323–324, 1986.
- [9] M. Higashimura and Y. Fukui, "Novel method for realising lossless floating immittance using current conveyors", **Electronics Letters**, vol. 23, no. 10, pp. 498–499, 1987.
- [10] E. Yuce, "Floating inductance, FDNR and capacitance simulation circuit employing only grounded passive elements", **International Journal of Electronics**, vol. 93, no. 10, pp. 679–688, 2006.
- [11] R. Senani, "Floating immittance realisation: nullor approach", **Electronics Letters**, vol. 24, no. 7, pp. 403–405, 1988.

เอกสารนี้เป็นเอกสารที่สงวนเวลาสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [12] E. Yuce, “On the realization of the floating simulators using only grounded passive components”, **Analog Integrated Circuits and Signal Processing**, vol. 49, no. 2, pp. 161–166, 2006.
- [13] E. Yuce, S. Minaei, and O. Cicekoglu, “Resistorless floating immittance function simulators employing current controlled conveyors and a grounded capacitor”, **Electrical Engineering**, vol. 88, no. 6, pp. 519–525, 2006.
- [14] E. Yuce, O. Cicekoglu, and S. Minaei, “CCII-based grounded to floating immittance converter and a floating inductance simulator”, **Analog Integrated Circuits and Signal Processing**, vol. 46, no. 3, pp. 287–291, 2006.
- [15] S. Minaei, E. Yuce, and O. Cicekoglu, “A versatile active circuit for realising floating inductance, capacitance, FDNR and admittance converter”, **Analog Integrated Circuits and Signal Processing**, vol. 47, no. 2, pp. 199–202, 2006.
- [16] M. Sagbas, U. E. Ayten, H. Sedef, and M. Koksall, “Floating immittance function simulator and its applications”, **Circuits, Systems & Signal Processing**, vol. 28, no. 1, pp. 55–63, 2008.
- [17] R. Sotner, N. Herencsar, J. Jerabek, A. Kartci, J. Koton, and T. Dostal, “Pseudo-differential filter design using novel adjustable floating inductance simulator with electronically controllable current conveyors”, **Elektronika ir Elektrotechnika**, vol. 23, no. 2, 2017.
- [18] E. Yuce, “A novel floating simulation topology composed of only grounded passive components”, **International Journal of Electronics**, vol. 97, no. 3, pp. 249–262, 2010.
- [19] A. Abaci and E. Yuce, “Single DDCC based new immittance function simulators employing only grounded passive elements and their applications”, **Microelectronics Journal**, vol. 83, pp. 94–103, 2019.
- [20] C. Toumazou, F. J. Lidgey, and D. G. Haigh, “Analogue IC design: the current-mode approach”, **Peter Peregrinus Limited**, 1990.
- [21] R. L. Geiger and E. Sánchez-Sinencio, “Active filter design using operational transconductance amplifiers: a tutorial”, **IEEE Circuits and Devices Magazine**, vol. 1, pp. 20–32, 1985.
- [22] Harris semiconductor, “2 MHz, operational transconductance amplifier (OTA)”, **CA3080 datasheet**, 1993.
- [23] J. Wu, “Current-mode high-order OTA-C filters”, **International Journal of Electronics**, vol. 76, no. 6, pp. 1115–1120, 1994.
- [24] M. Sagbas, U. E. Ayten, H. Sedef, and M. Koksall, “Floating immittance function simulator and its applications”, **Circuits, Systems and Signal Processing**, vol. 28, no. 1, pp. 55–63, 2009.

- [25] J. A. Svoboda, L. Mcgory, and S. Webb, "Applications of a commercially available current conveyor", **International Journal of Electronics**, vol. 70, no. 1, pp. 159–164, 1991.
- [26] Analog Devices, "60 MHz, 2000 V/ $\mu$ s, monolithic op amp with quad low noise", **AD844 datasheet**, 1992.
- [27] R. Senani, "Realization of a class of analog signal processing/signal generation circuits: novel configurations using current feedback op-amps", **Frequenz**, vol. 52, pp. 9–10, 1998.
- [28] M. T. Abuelma'atti, S. K. Dhar, and Z. J. Khalifa, "New two-CFOA-based floating immittance simulators", **Analog Integrated Circuits and Signal Processing**, vol. 91, no. 3, pp. 479–489, 2017.
- [29] E. Yuce, "On the implementation of the floating simulators employing a single active device", **AEU - International Journal of Electronics and Communications**, vol. 61, no. 7, pp. 453–458, 2007.
- [30] E. Yuce and S. Minaei, "A modified CFOA and its applications to simulated inductors, capacitance multipliers, and analog filters", **IEEE Transactions on Circuits and Systems I: Regular Papers**, vol. 55, no. 1, pp. 266–275, 2008.
- [31] N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, "Floating general immittance function simulator", **AEU - International Journal of Electronics and Communications**, vol. 132, p. 153640, 2021.

## บทที่ 3

# วงจรตามแรงดันแบบฟลิปและวงจร DVTC

### 3.1 กล่าวนำ

การออกแบบและสังเคราะห์วงจรประมวลผลสัญญาณทางแอนะล็อกสำหรับเทคโนโลยีวงจรรวมมีแนวโน้มในการพัฒนาให้มีขนาดที่เล็กลงเรื่อยๆ ด้วยเหตุผลที่ต้องการให้วงจรมีประสิทธิภาพภายใต้ระดับแรงดันไฟเลี้ยงต่ำลง (low supply voltage) ก่อให้เกิดกำลังไฟฟ้าสูญเสียที่น้อยลง (low power consumption) และประหยัดพื้นที่บนวงจรรวม อีกทั้งงบประมาณในการสังเคราะห์วงจรรวมที่จะน้อยลงตามไปด้วย ด้วยเหตุนี้งานวิจัยส่วนมากจึงได้นำเสนอเทคนิคต่างๆ อาทิเช่น การใช้ทรานซิสเตอร์ในช่วงย่านต่ำกว่าแรงดันขีดเริ่ม (subthreshold region) หรือย่านการทำงานแบบเชิงเส้น (linear region) [1]-[7] การใช้ทรานซิสเตอร์แบบขาคู่ลอย (floating-gate) [8]-[13] การออกแบบวงจรในโหมดกระแส (current mode) [14]-[17] และการใช้วงจรตามแรงดันแบบฟลิป (flipped voltage follower, FVF) เป็นต้น ส่งผลให้วงจรมีประสิทธิภาพภายใต้ระดับแรงดันไฟเลี้ยงที่ต่ำลง และมีกำลังไฟฟ้าสูญเสียน้อยลง

วงจรตามแรงดัน (voltage follower) เป็นวงจรอิเล็กทรอนิกส์พื้นฐานที่มีความสำคัญชนิดหนึ่งทำหน้าที่ในการส่งผ่านแรงดันอินพุตไปเป็นแรงดันเอาต์พุตโดยมีขนาดเท่ากันหรือวงจรมีอัตราขยายเป็นหนึ่ง (unity gain) ซึ่งขั้วเอาต์พุตของวงจรตามแรงดันจะมีค่าอิมพีแดนซ์เอาต์พุตต่ำมาก ส่งผลให้สามารถนำสัญญาณที่ตำแหน่งเอาต์พุตไปต่อภาคเค็ดในโหมดแรงดัน โดยปราศจากผลกระทบจากการลดทอนของสัญญาณ (loading effect) วงจรตามแรงดันแบบฟลิปถูกนำเสนอขึ้นครั้งแรกในปี ค.ศ. 2005 โดย R. G. Carvajal และคณะ [18] วงจรดังกล่าวมีวัตถุประสงค์หลักเพื่อใช้ในการออกแบบและสังเคราะห์วงจรมีประสิทธิภาพภายใต้ระดับแรงดันไฟเลี้ยงที่ต่ำกว่าการใช้วงจรมตามแรงดันแบบเดิม ส่งผลต่อการบริโภคกำลังไฟฟ้าที่ลดลง นอกจากนี้วงจรมตามแรงดันแบบฟลิปยังมีข้อดีในเรื่องต่างๆดังนี้ มีค่าอิมพีแดนซ์อินพุตสูง ในขณะที่ค่าอิมพีแดนซ์เอาต์พุตมีค่าต่ำมาก ในกรณีของวงจรมตามแรงดันแบบเดิมที่สังเคราะห์ขึ้นด้วยเทคโนโลยีแบบมอสทรานซิสเตอร์นั้นจะมีค่าอิมพีแดนซ์เอาต์พุตต่ำไม่เพียงพอต่อการใช้งานจำเป็นจะต้องเพิ่มอัตราขยายค่าความนำ (transconductance gain,  $g_m$ ) ทำให้อัตราส่วนของค่าความกว้างและความยาวประสิทธิผลของช่องนำกระแส (effective channel width and length) มีค่าสูงตามไปด้วย นอกจากนี้วงจรมตามแรงดันแบบฟลิปมีแบนด์วิธสูง (high bandwidth) การเปลี่ยนแปลงของอินพุตและเอาต์พุตที่กว้าง (large input/output swing) ส่งผลให้วงจรมเหมาะสมต่อการใช้งานเป็นวงจรมตามแรงดันอย่างมาก [19]-[20]

วงจรม DVTC (differential voltage to current converter) เป็นอุปกรณ์แอคทีฟที่ถูกนำเสนอขึ้นครั้งแรกในปี ค.ศ. 2021 [21] วงจรม DVTC สังเคราะห์ขึ้นจากกลุ่มวงจรมย่อยสองส่วน ได้แก่ วงจรมตามแรงดันแบบฟลิปและวงจรมสะท้อนกระแส (current mirror) ส่งผลให้วงจรมมีความเรียบง่าย และคล่องตัวต่อการใช้งาน อีกทั้งยังสามารถทำงานภายใต้ระดับแรงดันไฟเลี้ยงที่ต่ำ ดังนั้นในบทนี้จะกล่าวถึงหลักการทำงานพื้นฐานของวงจรมตามแรงดันแบบฟลิป และการสังเคราะห์เป็นวงจรม DVTC รวมถึงคุณสมบัติในการทำงานของวงจรม DVTC พร้อมทั้งการยืนยันผลการการทำงานด้วยโปรแกรม PSPICE ภายใต้เทคโนโลยีแบบ CMOS ขนาด  $0.25 \mu\text{m}$  ของบริษัท TSMC (Taiwan

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Semiconductor Manufacturing Company) และการต่อทดลองด้วยวงจรจริงโดยใช้ไอซีเบอร์ AD844 ของบริษัท Analog Devices

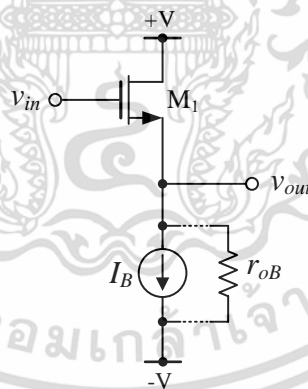
### 3.2 วงจรตามแรงดัน

วงจรตามแรงดัน คือวงจรอิเล็กทรอนิกส์พื้นฐานชนิดหนึ่งดังแสดงในรูปที่ 3.1 ซึ่งมีหน้าที่ในการส่งผ่านแรงดันที่เข้า  $v_{in}$  ไปยังข้อ  $v_{out}$  โดยมีขนาดเท่าเดิมหรือวงจรมีอัตราขยายเท่ากับหนึ่ง เมื่อวิเคราะห์ห้วงจรในรูปที่ 3.1 พบว่าค่าอิมพีแดนซ์อินพุตที่ขาเกตของ  $M_1$  มีค่าเป็นอนันต์ ( $R_{in} = \infty$ ) ในทางอุดมคติ และหากวิเคราะห์ค่าอิมพีแดนซ์เอาต์พุตของวงจรรณีสัญญาณขนาดเล็ก (small signal) โดยกำหนดให้  $v_{in} = 0$  พบว่า

$$R_{out} = \frac{1}{g_{m1} + \frac{1}{r_{o1}} + \frac{1}{r_{oB}}} \quad (3.1)$$

โดยที่  $r_{oi}$  ( $i = 1, 2, 3$ ) คือ ค่าความต้านทานกรณีสัญญาณขนาดเล็ก (small signal output resistance) ของทรานซิสเตอร์ตัวที่  $i$  และ  $r_{oB}$  คือค่าความต้านทานกรณีสัญญาณขนาดเล็กของแหล่งจ่ายกระแส  $I_B$  ซึ่ง  $r_{o1} \gg 1/g_m$  และ  $r_{oB} \gg 1/g_m$  จะได้ค่าอิมพีแดนซ์เอาต์พุตของวงจรเท่ากับ

$$R_{out} = \frac{1}{g_{m1}} \quad (3.2)$$



รูปที่ 3.1 วงจรตามแรงดัน

สมการ (3.2) แสดงให้เห็นว่าวงจรตามแรงดันในรูปที่ 3.1 มีค่าอิมพีแดนซ์อินพุตสูงในขณะที่มีค่าอิมพีแดนซ์เอาต์พุตต่ำ ซึ่งมีคุณสมบัติที่เหมาะสมต่อการใช้งานเป็นวงจรตามแรงดันอย่างมาก

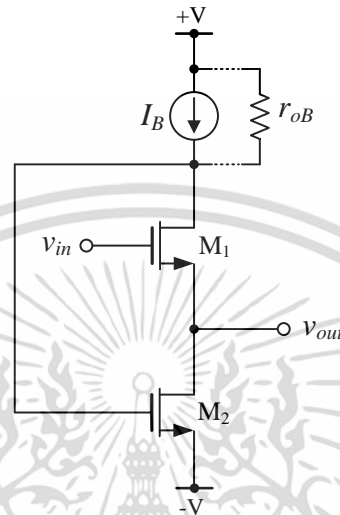
### 3.3 วงจรตามแรงดันแบบฟลิป

วงจรตามแรงดันแบบฟลิปแสดงดังรูปที่ 3.2 คือวงจรตามแรงดันชนิดหนึ่งที่มีการพัฒนาให้มีประสิทธิภาพมากยิ่งขึ้นเมื่อเปรียบเทียบกับวงจรตามแรงดันแบบเดิมในรูปที่ 3.1 หากพิจารณาวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตามแรงดันแบบฟลิปกรณีสัญญานขนาดเล็ก โดยที่สังเคราะห์แหล่งจ่ายกระแส  $I_B$  ด้วยวงจรสะท้อนกระแสจะได้  $r_{oB} \cong r_{o1}$  ดังนั้นค่าอิมพีแดนซ์เอาต์พุตมีค่าประมาณ

$$R_{out} = \frac{1}{g_{m1}g_{m2}r_{o1}} \quad (3.3)$$



รูปที่ 3.2 วงจรตามแรงดันแบบฟลิป

สมการ (3.3) แสดงให้เห็นว่าวงจรตามแรงดันแบบฟลิปมีค่าอิมพีแดนซ์เอาต์พุตต่ำมาก อีกทั้งยังต่ำกว่าวงจรตามแรงดันแบบเดิมในรูปที่ 3.1 นอกจากนี้วงจรตามแรงดันแบบฟลิปยังสามารถทำงานภายใต้ระดับแรงดันไฟเลี้ยงต่ำมาก หรือเท่ากับ

$$V_{supply(min)} = V_{GS2} + V_{DS(SAT)} \quad (3.4)$$

เมื่อ  $V_{GS2}$  คือแรงดันที่ขาเกตไปขาซอร์ส (gate-to-source voltage) และ  $V_{DS(SAT)}$  คือแรงดันที่ขาเดรนไปขาซอร์ส (drain-to-source voltage) ที่ต่ำที่สุดที่มอสยังสามารทำงานในช่วงอิมตัวได้ อย่างไรก็ตามวงจรตามแรงดันแบบฟลิปยังมีข้อจำกัดคือ การเปลี่ยนแปลงของอินพุตและเอาต์พุตไม่กว้างพอ คือมีค่าเท่ากับ

$$V_{in(peak-peak)} = V_T - V_{DS(SAT)} \quad (3.5)$$

โดยที่  $V_T$  คือแรงดันขีดเริ่ม (threshold voltage) กรณีนี้แสดงให้เห็นว่าค่าแรงดันอินพุตของวงจรตามแรงดันแบบฟลิปที่ป้อนเข้าที่ทรานซิสเตอร์  $M_1$  ถูกจำกัดโดย  $V_{GS2}$  ของทรานซิสเตอร์  $M_2$  และไม่สามารถเพิ่มช่วงของแรงดันอินพุตได้โดยการเพิ่มระดับแรงดันไฟเลี้ยง ( $V_{supply}$ ) ให้แก่วงจรดังแสดงในสมการ (3.5) อย่างไรก็ตามในการพัฒนาเทคโนโลยีวงจรรวมที่ต้องการให้ขนาดพื้นที่บนวงจรเล็กลง หรือการใช้งานเทคโนโลยีของมอสทรานซิสเตอร์ที่มีขนาดเล็กลง ส่งผลให้ระดับของแรงดัน  $V_T$

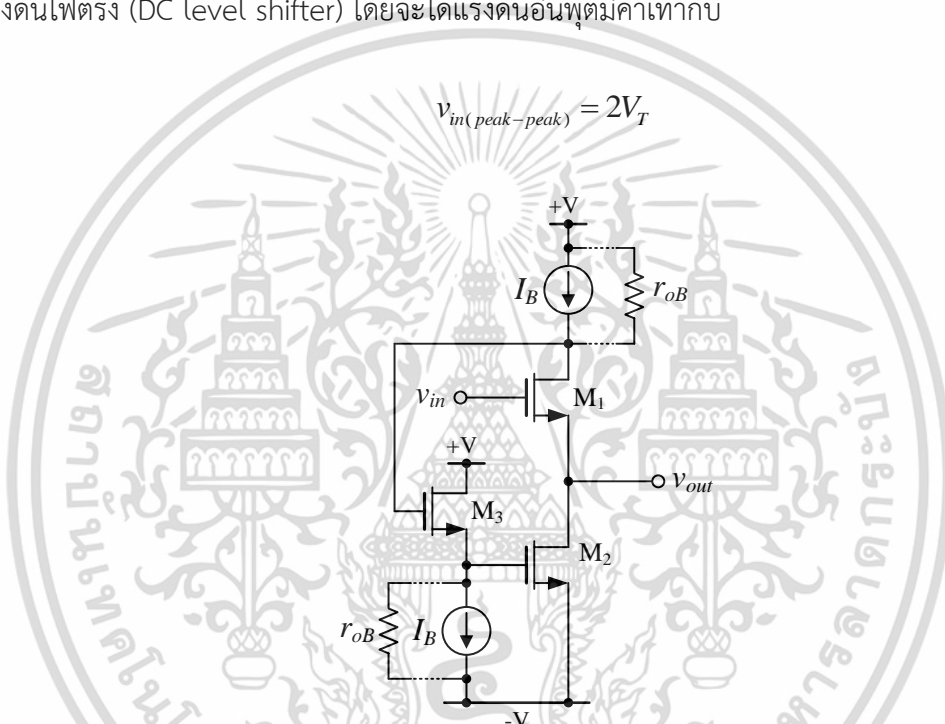
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เล็กลงตามไปด้วย ด้วยข้อจำกัดดังกล่าวระดับของช่วงแรงดันอินพุตที่วงจรตามแรงดันแบบฟลิปสามารถใช้งานได้จึงน้อยลง

### 3.4 วงจรตามแรงดันแบบฟลิปที่ชดเชยด้วยระดับแรงดันไฟตรง

วงจรตามแรงดันแบบฟลิปมีข้อจำกัดในเรื่องของระดับแรงดันอินพุตที่สามารถใช้งานได้ ดังนั้นในปี ค.ศ. 2005 J. Ramírez-Angulo และคณะจึงได้นำเสนอวงจรตามแรงดันแบบฟลิปที่ชดเชยด้วยระดับแรงดันไฟตรง (flipped voltage follower with level shifter, LSFVF) ดังแสดงในรูปที่ 3.3 [19] โดยมีการเพิ่มทรานซิสเตอร์  $M_3$  เข้าไประหว่างขาเดรนของทรานซิสเตอร์  $M_1$  และขาเกตของทรานซิสเตอร์  $M_2$  ของวงจรตามแรงดันแบบฟลิปในรูปที่ 3.2 เพื่อทำหน้าที่ในการชดเชยระดับแรงดันไฟตรง (DC level shifter) โดยจะได้แรงดันอินพุตมีค่าเท่ากับ

$$v_{in(peak-peak)} = 2V_T \quad (3.6)$$



รูปที่ 3.3 วงจรตามแรงดันแบบฟลิปที่ชดเชยด้วยระดับแรงดันไฟตรง

สมการ (3.6) แสดงให้เห็นว่าวงจรตามแรงดันแบบฟลิปที่ชดเชยด้วยระดับแรงดันไฟตรงสามารถรับระดับแรงดันอินพุตได้มากกว่าวงจรตามแรงดันแบบฟลิปเดิม และเมื่อวิเคราะห์วงจรรณีสัญญาณขนาดเล็กพบว่ามีความอิมพีแดนซ์เอาต์พุตเท่ากับ

$$R_{out} = \frac{\left(\frac{1}{g_{m1}}\right)\left(1 + \frac{r_{oB}}{r_{o1}}\right) / r_{o2}}{\left(\frac{g_{m2}g_{m3}}{g_{m3} + \frac{1}{r_{o3}} + \frac{1}{r_{oB}}}\right) (g_{m1}r_{o1}r_{o2} // r_{oB})} \quad (3.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่ส่งกระแสแหล่งจ่ายกระแสไฟตรง ( $I_B$ ) ด้วยวงจรสะท้อนกระแส จะได้  $r_{oB} \cong r_{o1}$  ดังนั้นจึงสามารถวิเคราะห์ค่าอิมพีแดนซ์เอาต์พุตได้ใหม่เท่ากับ

$$R_{out} = \frac{2}{g_{m1}g_{m2}r_{o1}} \quad (3.8)$$

นอกจากนี้วงจรตามแรงดันแบบฟลิปที่ซิดเซชด้วยระดับแรงดันไฟตรงเมื่อกำหนดให้ทรานซิสเตอร์ทุกตัวสมพงษ์กันจะสามารถทำงานภายใต้ระดับแรงดันไฟเลี้ยงต่ำที่สุดเท่ากับ

$$V_{supply(min)} = 2V_{GS} + V_{DS(SAT)} \quad (3.9)$$

สมการ (3.6) ถึง (3.9) แสดงให้เห็นว่าวงจรตามแรงดันแบบฟลิปที่ซิดเซชด้วยระดับแรงดันไฟตรงสามารถรับแรงดันอินพุตได้กว้างในขณะที่มีค่าอิมพีแดนซ์เอาต์พุตที่ต่ำกว่าวงจรตามแรงดันแบบฟลิปเต็ม จึงมีความคล่องตัวต่อการใช้งานมากขึ้น

### 3.5 หลักการทำงานพื้นฐานของวงจร DVTC

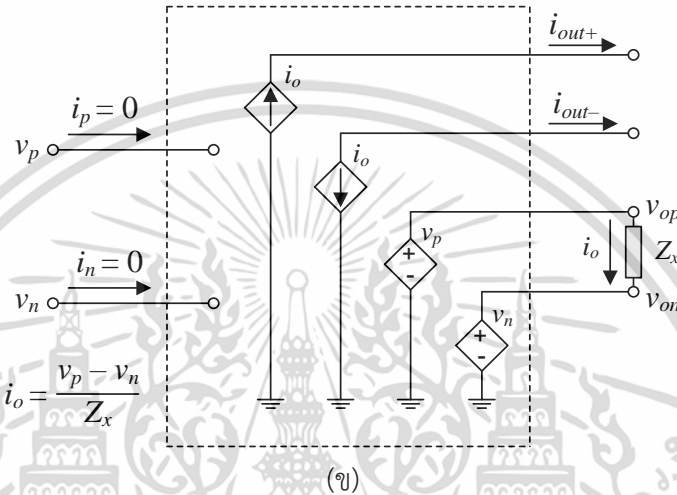
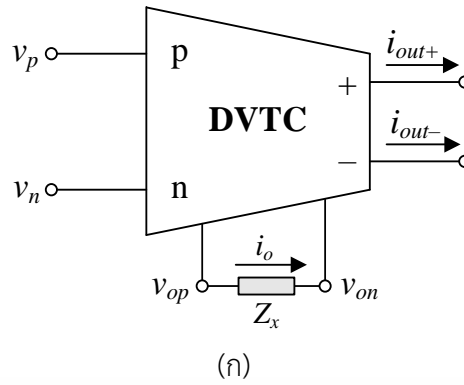
วงจร DVTC ประกอบด้วยวงจรตามแรงดันแบบฟลิปที่ซิดเซชด้วยระดับแรงดันไฟตรงต่อร่วมกับวงจรสะท้อนกระแส ส่งผลให้วงจร DVTC มีความกะทัดรัดและเรียบง่ายอย่างมาก วงจร DVTC สามารถสังเคราะห์อัตราขยายค่าความนำ ( $g_m$ ) และอัตราขยายค่าความจุไฟฟ้า ( $C_m$ ) โดยการเลือกใช้งานอุปกรณ์พาสซีฟจากภายนอกได้อย่างอิสระ อีกทั้งวงจรสามารถทำงานได้ภายใต้ระดับแรงดันไฟเลี้ยงต่ำจึงมีความเหมาะสมต่อการประยุกต์ใช้งานทั้งในโหมดแรงดันและกระแส

#### 3.5.1 คุณสมบัติของวงจร DVTC ในทางอุดมคติ

วงจร DVTC ในทางอุดมคติสามารถเขียนสัญลักษณ์ และวงจรสมมูลทางไฟฟ้าได้ดังรูปที่ 3.4 [21] โดยความสัมพันธ์ระหว่างแรงดันกับกระแสสามารถเขียนอธิบายได้ดังนี้

$$i_{out+} = -i_{out-} = \frac{v_p - v_n}{Z_x} \quad (3.10)$$

สมการ (3.10) แสดงให้เห็นว่ากระแส  $i_o$  เกิดจากผลต่างของแรงดันอินพุตที่ขั้ว p และขั้ว n ( $v_p - v_n$ ) และโหลด  $Z_x$  ที่ต่อจากภายนอกวงจร DVTC กระแส  $i_o$  ถูกส่งผ่านไปเป็นกระแสเอาต์พุต  $i_{out+}$  และ  $i_{out-}$  โดยกระแสเอาต์พุตทั้งสองจะมีขนาดที่เท่ากับแต่ทิศทางตรงกันข้าม



รูปที่ 3.4 วงจร DVTC ในทางอุดมคติ  
(ก) สัญลักษณ์ทางไฟฟ้า (ข) วงจรสมมูลทางไฟฟ้า

3.5.2 คุณสมบัติของวงจร DVTC ในทางปฏิบัติ

เมื่อพิจารณาวงจร DVTC กรณีที่การทำงานไม่เป็นไปตามคุณสมบัติในทางอุดมคติหรือคุณสมบัติในทางปฏิบัติ สามารถเขียนอธิบายได้ดังรูปที่ 3.5 พบว่าคุณสมบัติที่ไม่เป็นไปตามอุดมคติของวงจร DVTC นั้นเกิดจากค่าอิมพีแดนซ์แฝงที่ขั้วต่างๆ โดยประกอบไปด้วยอิมพีแดนซ์แฝงที่ขั้วอินพุต p ( $R_p//C_p$ ) และขั้วอินพุต n ( $R_n//C_n$ ) อิมพีแดนซ์แฝงที่ขั้วเอาต์พุต op ( $R_{op}//C_{op}$ ) ขั้ว on ( $R_{on}//C_{on}$ ) ขั้ว otp ( $R_{otp}//C_{otp}$ ) และขั้ว otn ( $R_{otn}//C_{otn}$ ) ตามลำดับ ดังนั้นจึงสามารถเขียนอธิบายความสัมพันธ์ระหว่างแรงดันกับกระแสได้ดังนี้

$$i_{out+} = \frac{\alpha_p(s)(v_p - v_n)}{Z_x} \tag{3.11}$$

และ 
$$i_{out-} = -\frac{\alpha_n(s)(v_p - v_n)}{Z_x} \tag{3.12}$$

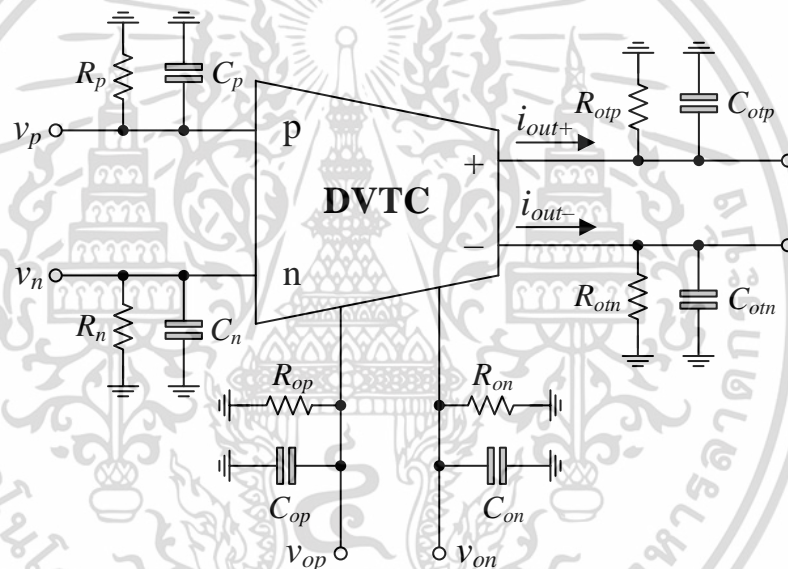
โดยที่  $\alpha_p(s)$  และ  $\alpha_n(s)$  คืออัตราขยายค่าความนำที่ขึ้นกับความถี่กรณีไม่เป็นไปตามอุดมคติ (frequency-dependent non-ideal transconductance gains) เมื่ออาศัยการประมาณค่าในรูปของค่าพหุนามโพลเดี่ยว (single-pole model) [22]-[23] พบว่า  $\alpha_p(s)$  และ  $\alpha_n(s)$  มีอนุภาคให้นำไปใช้ประโยชน์ด้านการคำนวณไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\alpha_p(s) = \frac{\alpha_{op}}{1 + \frac{s}{\omega_p}} \quad (3.13)$$

และ

$$\alpha_n(s) = \frac{\alpha_{on}}{1 + \frac{s}{\omega_n}} \quad (3.14)$$

ในกรณีที่วงจรมีการทำงานเป็นไปตามอุดมคติ ค่า  $\omega_p$  และ  $\omega_n$  ในสมการ (3.13) ถึง (3.14) จะมีค่าสูงมาก หรือมีค่าเท่ากับอนันต์ โดยเมื่อวิเคราะห์การทำงานในช่วงความถี่น้อยกว่าค่า  $\omega_p$  และ  $\omega_n$  พบว่า  $\alpha_p(s) \cong \alpha_{op} = (1 + \varepsilon_p)$  และ  $\alpha_n(s) \cong \alpha_{on} = (1 + \varepsilon_n)$  เมื่อ  $\varepsilon_p (|\varepsilon_p| \ll 1)$  และ  $\varepsilon_n (|\varepsilon_n| \ll 1)$  คือ ค่าความเบี่ยงเบนในการส่งผ่านอัตราขยายค่าความนำ (transconductance errors)



รูปที่ 3.5 สัญลักษณ์ทางไฟฟ้าของวงจร DVTC ในทางปฏิบัติ

### 3.6 การสังเคราะห์วงจร DVTC โดยใช้เทคโนโลยีแบบมอสทรานซิสเตอร์

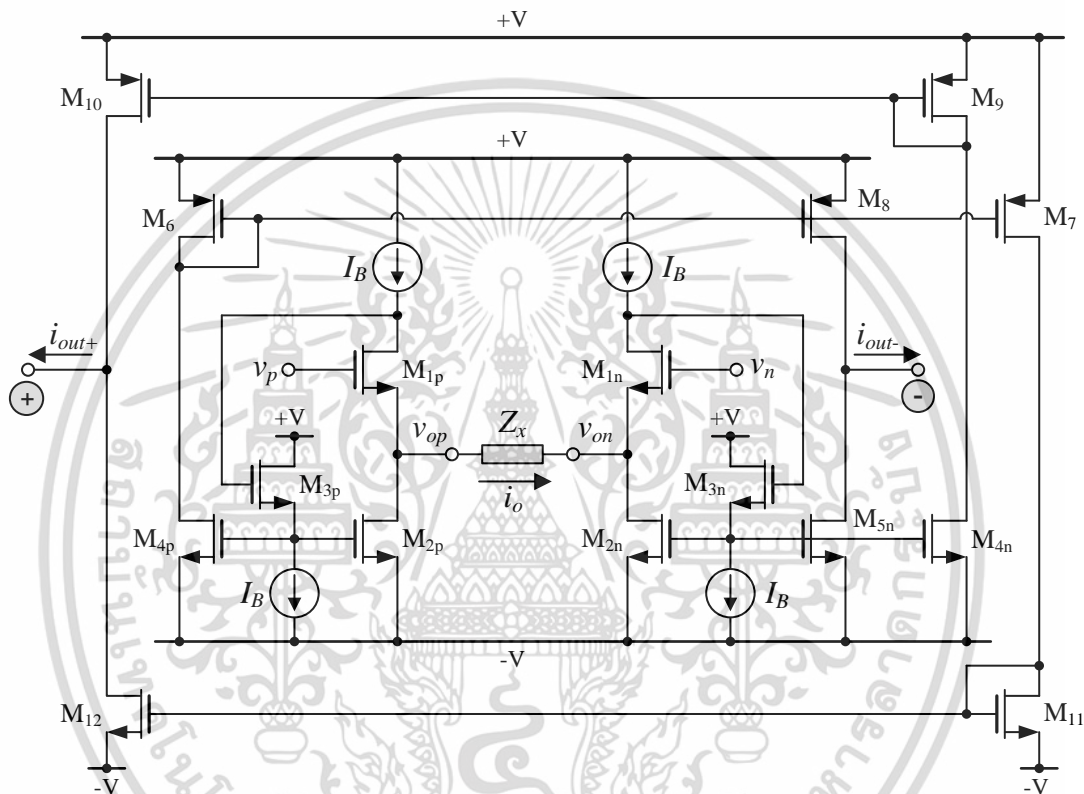
วงจร DVTC ในวิทยานิพนธ์ฉบับนี้ออกแบบโดยใช้เทคโนโลยีแบบมอสทรานซิสเตอร์ ซึ่งประกอบไปด้วยวงจรย่อยสองส่วนได้แก่ วงจรตามแรงดันแบบฟลิปที่ชดเชยด้วยระดับแรงดันไฟตรง และวงจรสะท้อนกระแสแสดงในรูปที่ 3.6 เมื่อพิจารณาทรานซิสเตอร์  $M_{1p}$ - $M_{4p}$  และ  $M_{1n}$ - $M_{5n}$  ดังรูปที่ 3.7 ซึ่งทำหน้าที่แปลงแรงดันแบบผลต่างที่ขั้ว p และขั้ว n ให้เป็นกระแส  $i_o$  ด้วยอัตราขยาย  $1/Z_x$  จะได้ความสัมพันธ์ของแรงดันกับกระแสทรานซิสเตอร์ทุกตัวทำงานในช่วงอิมิต์เท่ากับ

$$i_o = \frac{v_p - v_n}{Z_x} \quad (3.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแส  $I_B - i_o$  และ  $I_B + i_o$  ที่ไหลผ่านทรานซิสเตอร์  $M_{2p}$  และ  $M_{2n}$  จะถูกสะท้อนไปยังทรานซิสเตอร์  $M_{4p}$  และ  $M_{4n}$  กับ  $M_{5n}$  ตามลำดับด้วยวงจรสะท้อนกระแสแบบพื้นฐานดังแสดงในรูปที่ 3.8 ซึ่งสามารถวิเคราะห์ห้อัตราขยายกระแสของวงจรสะท้อนกระแสได้ดังนี้ [ภาคผนวก ก1]

$$\frac{I_{out}}{I_{in}} = \frac{(\mu C_{ox4p}/2)(W_{4p}/L_{4p})(V_{GS4p} - |V_{TH4p}|)^2 (1 + \lambda_{4p}V_{DS4p})}{(\mu C_{ox2p}/2)(W_{2p}/L_{2p})(V_{GS2p} - |V_{TH2p}|)^2 (1 + \lambda_{2p}V_{DS2p})} \quad (3.16)$$

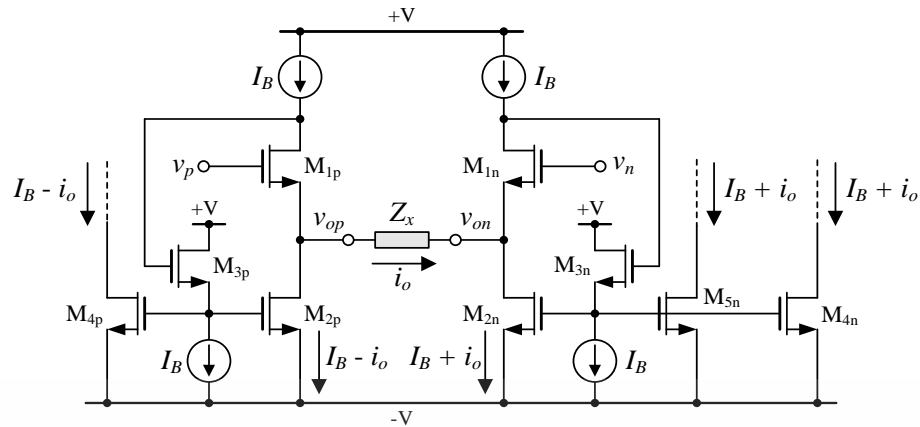


รูปที่ 3.6 โครงสร้างภายในของวงจร DVTC แบบใช้เทคโนโลยีแบบมอสทรานซิสเตอร์

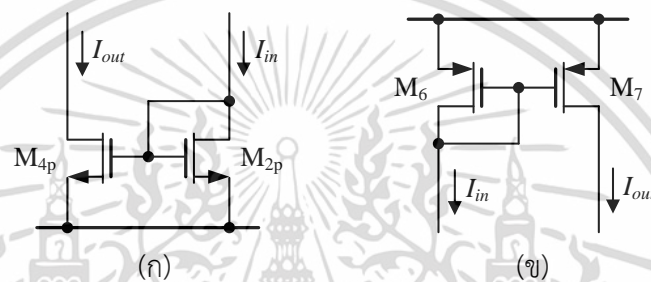
เมื่อกำหนดให้ทรานซิสเตอร์ทั้งสองตัวมีความสมพงษ์กันทุกประการ จะได้ค่าอัตราส่วนระหว่าง  $I_{out}$  และ  $I_{in}$  ใหม่ดังนี้

$$\frac{I_{out}}{I_{in}} = \left( \frac{W_{4p}L_{2p}}{W_{2p}L_{4p}} \right) \quad (3.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจรแปลงแรงดันแบบผลต่างเป็นกระแสโดยใช้วงจรตามแรงดันแบบฟลิป



รูปที่ 3.8 วงจรสะท้อนกระแสแบบพื้นฐาน  
(ก) ชนิดบวก (ข) ชนิดลบ

เมื่อพิจารณาผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสในกรณีสัญญาณขนาดเล็กจะได้ อัตราขยายกระแสเท่ากับ [ภาคผนวก ก2]

$$\frac{i_{out}(s)}{i_{in}(s)} = \left( \frac{g_{m4p}}{g_{m2p}} \right) \left[ \frac{1}{1 + \frac{s(C_{gs2p} + C_{gs4p})}{g_{m2p}}} \right] \tag{3.18}$$

เมื่อพิจารณาสมการ (3.18) ในช่วงความถี่ต่ำหรือกรณี ( $s \rightarrow 0$ ) จะสามารถหาค่าอัตราขยายกระแสของวงจรสะท้อนกระแสได้เท่ากับ

$$\frac{i_{out}(s)}{i_{in}(s)} = \frac{g_{m4p}}{g_{m2p}} \tag{3.19}$$

เมื่อวิเคราะห์วงจร DVTC ในรูปที่ 3.6 โดยอาศัยสมการ (3.17) ถึง (3.19) จะได้กระแสเอาต์พุต ( $i_{out+}$ ,  $i_{out-}$ ) เท่ากับ

$$i_{out+} = -i_{out-} = 2i_o \tag{3.20}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากกำหนดให้อัตราส่วนของค่าความกว้างประสิทธิผลของช่องนำกระแส ( $W$ ) ของทรานซิสเตอร์  $M_{5n}/M_{2n}$   $M_7/M_6$   $M_{10}/M_9$   $M_{12}/M_{11}$  เท่ากับ  $1/2$  จะได้ [ภาคผนวก ก3]

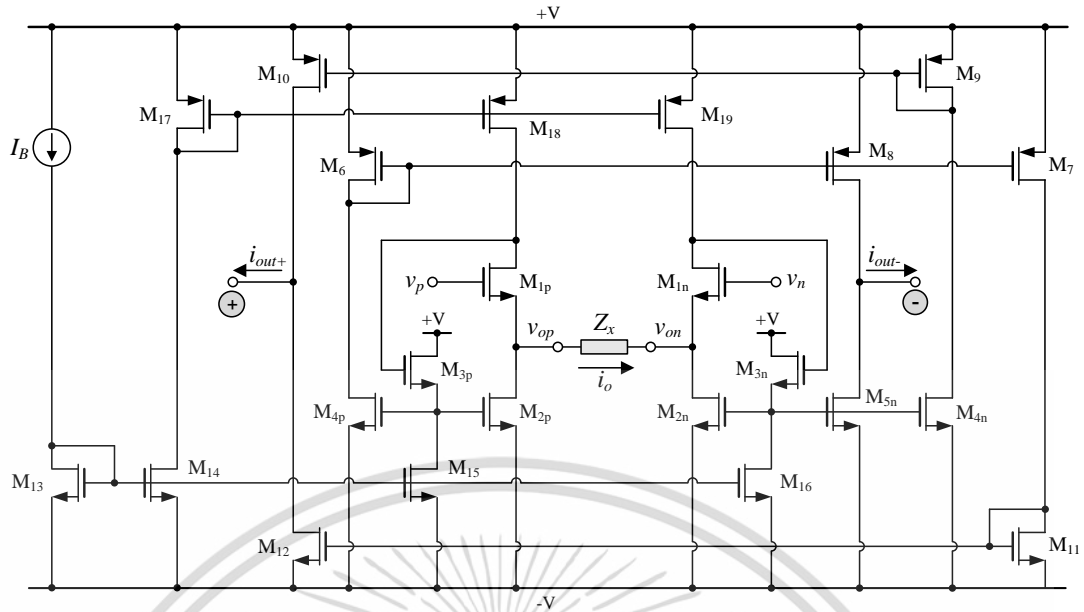
$$i_{out+} = -i_{out-} = i_o \quad (3.21)$$

### 3.7 ผลการจำลองการทำงานของวงจร DVTC

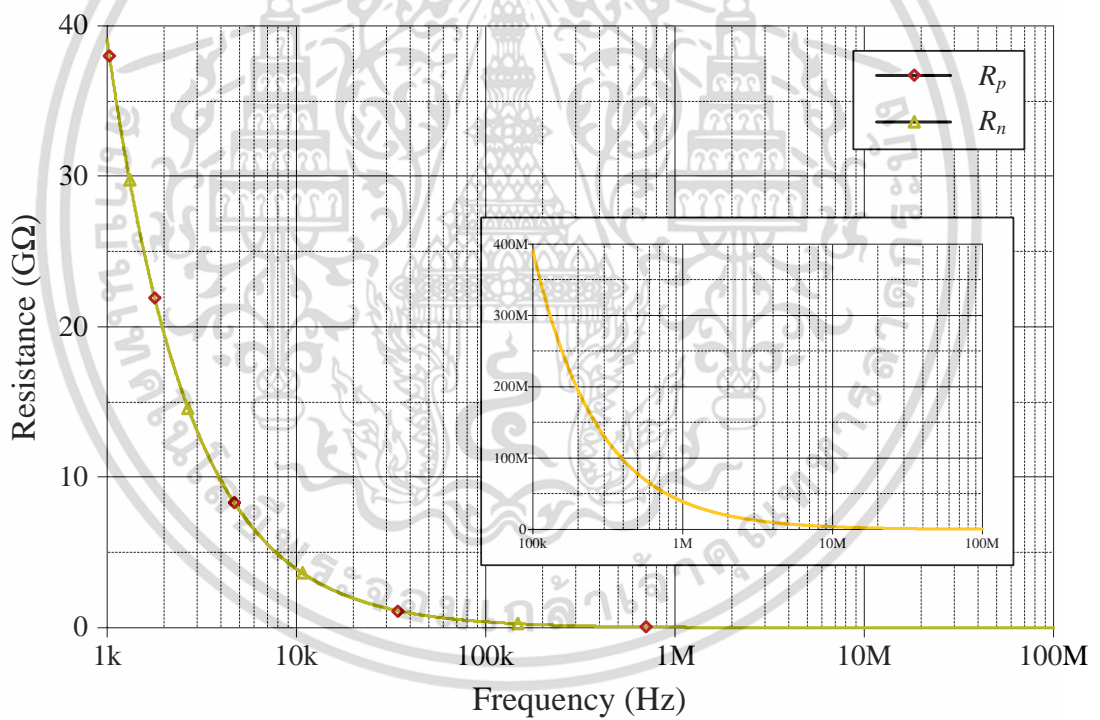
ในหัวข้อนี้นำเสนอผลการจำลองการทำงานของวงจร DVTC ที่มีโครงสร้างภายในดังแสดงในรูปที่ 3.9 โดยใช้เทคโนโลยีแบบมอสทรานซิสเตอร์ขนาด  $0.25 \mu\text{m}$  ของบริษัท Taiwan Semiconductor Manufacturing Company (TSMC) อัตราส่วนความกว้าง ( $W$ ) และความยาว ( $L$ ) ช่องนำกระแสของทรานซิสเตอร์แสดงดังตารางที่ 3.1 เมื่อกำหนดให้  $I_B = 40 \mu\text{A}$  และอาศัยแหล่งจ่ายไฟเลี้ยงเท่ากับ  $\pm 0.75 \text{ V}$  พบว่ามีกำลังไฟฟ้าสูญเสียทั้งหมดเท่ากับ  $0.59 \text{ mW}$

รูปที่ 3.10 แสดงผลการจำลองผลตอบสนองทางความถี่ของค่าความต้านทานที่ขั้ว p ขั้ว n ขั้ว op ขั้ว on ขั้ว otp และขั้ว otn ของวงจร DVTC โดยจากการจำลองพบว่าที่ตำแหน่งความถี่  $1 \text{ kHz}$ ,  $10 \text{ kHz}$ ,  $100 \text{ kHz}$ ,  $10 \text{ MHz}$  และ  $100 \text{ MHz}$  ค่าความต้านทานที่ขั้ว p และขั้ว n มีค่าเท่ากับ  $38 \text{ G}\Omega$ ,  $3.91 \text{ G}\Omega$ ,  $390 \text{ M}\Omega$ ,  $39 \text{ M}\Omega$ ,  $3.91 \text{ M}\Omega$  และ  $391 \text{ k}\Omega$  ตามลำดับ ในขณะที่ค่าความต้านทานที่ขั้ว op ขั้ว on ขั้ว otp และขั้ว otn มีค่าเท่ากับ  $40.9 \text{ k}\Omega$   $51.17 \text{ k}\Omega$   $23.73 \text{ k}\Omega$  และ  $23.73 \text{ k}\Omega$  ตามลำดับ ผลการจำลองกระแสเอาต์พุตของวงจร DVTC เมื่อแปรค่าแรงดันอินพุตจาก  $-80 \text{ mV}$  ถึง  $80 \text{ mV}$  แสดงดังรูปที่ 3.11 โดยกำหนดให้  $I_B$  มีค่าคงที่เท่ากับ  $40 \mu\text{A}$  และ  $Z_x = R_x = 1 \text{ k}\Omega$  พบว่ากระแส  $i_o$   $i_{out+}$  และ  $i_{out-}$  มีคุณสมบัติเป็นเชิงเส้นในช่วงแรงดันอินพุตระหว่าง  $-50 \text{ mV}$  ถึง  $50 \text{ mV}$  โดยมีกระแสออฟเซต (current offset) เท่ากับ  $11.5 \text{ fA}$   $1.24 \mu\text{A}$  และ  $1.18 \mu\text{A}$  ตามลำดับ

รูปที่ 3.12 แสดงผลการจำลองผลตอบสนองทางความถี่ของอัตราขยายค่าความนำ ( $g_m$ ) ของวงจร DVTC เมื่อทำการแปรค่า  $R_x$  เป็น  $1 \text{ k}\Omega$ ,  $2 \text{ k}\Omega$  และ  $10 \text{ k}\Omega$  จะได้อัตราขยายค่าความนำประมาณ  $0.987 \text{ mA/V}$ ,  $0.485 \text{ mA/V}$  และ  $0.098 \text{ mA/V}$  ตามลำดับ จากการจำลองพบว่าวงจร DVTC ที่นำเสนอทำงานได้ถูกต้องใกล้เคียงกับค่าทางทฤษฎีตั้งแต่  $1 \text{ kHz}$  ถึง  $1 \text{ GHz}$  ผลการจำลองผลตอบสนองทางความถี่ของอัตราขยายค่าความจุไฟฟ้า ( $C_m$ ) ของวงจร DVTC เมื่อกำหนดให้  $Z_x = 1/C_x$  ทำการแปรค่า  $C_x$  เป็น  $100 \text{ pF}$ ,  $500 \text{ pF}$  และ  $1 \text{ nF}$  แสดงได้ดังรูปที่ 3.13

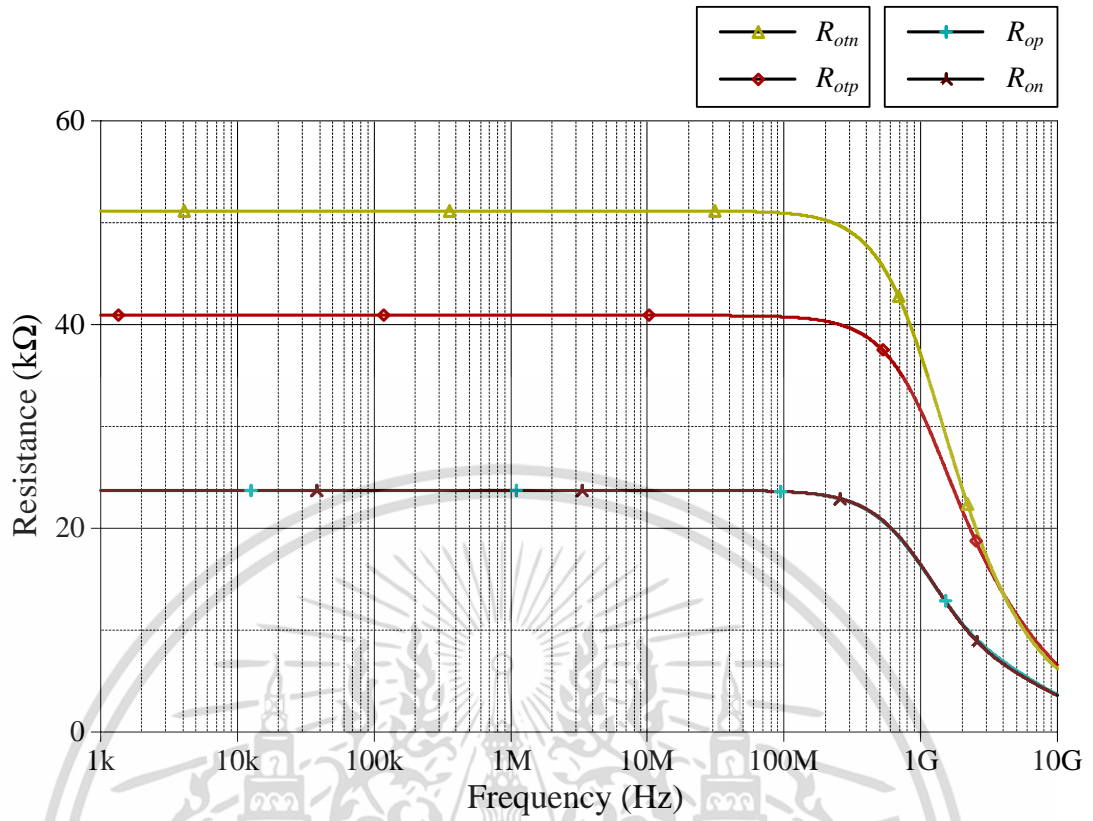


รูปที่ 3.9 โครงสร้างภายในของวงจร DVTC ที่ใช้วงจรสะท้อนกระแสเป็นแหล่งจ่ายกระแสแบบคงที่



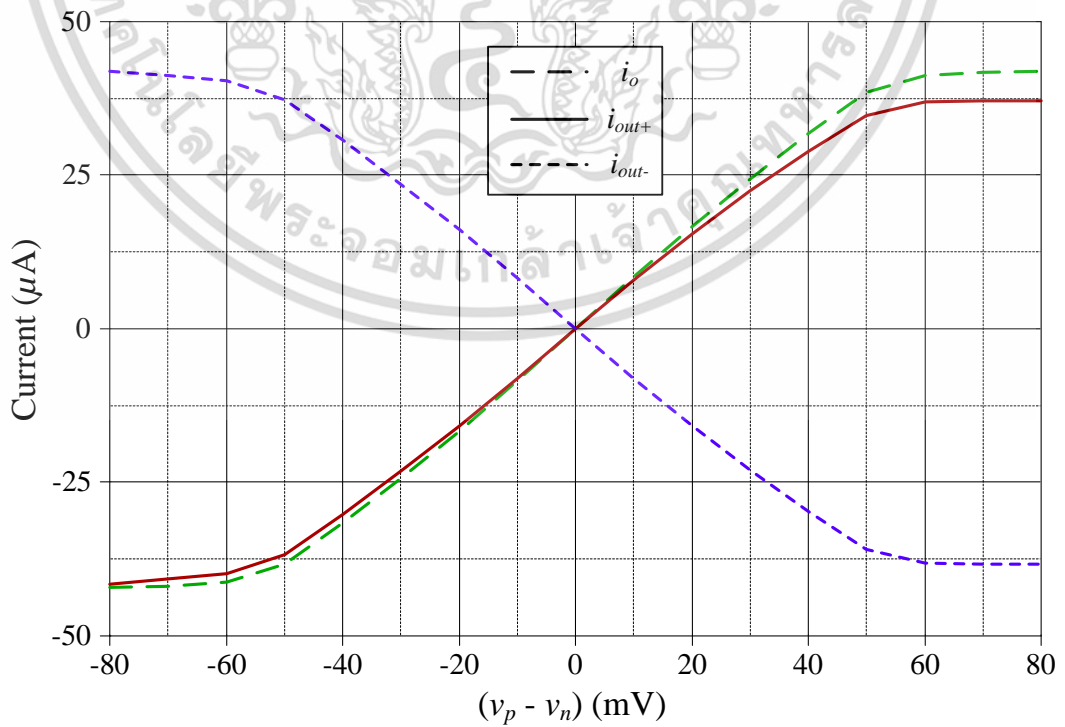
(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

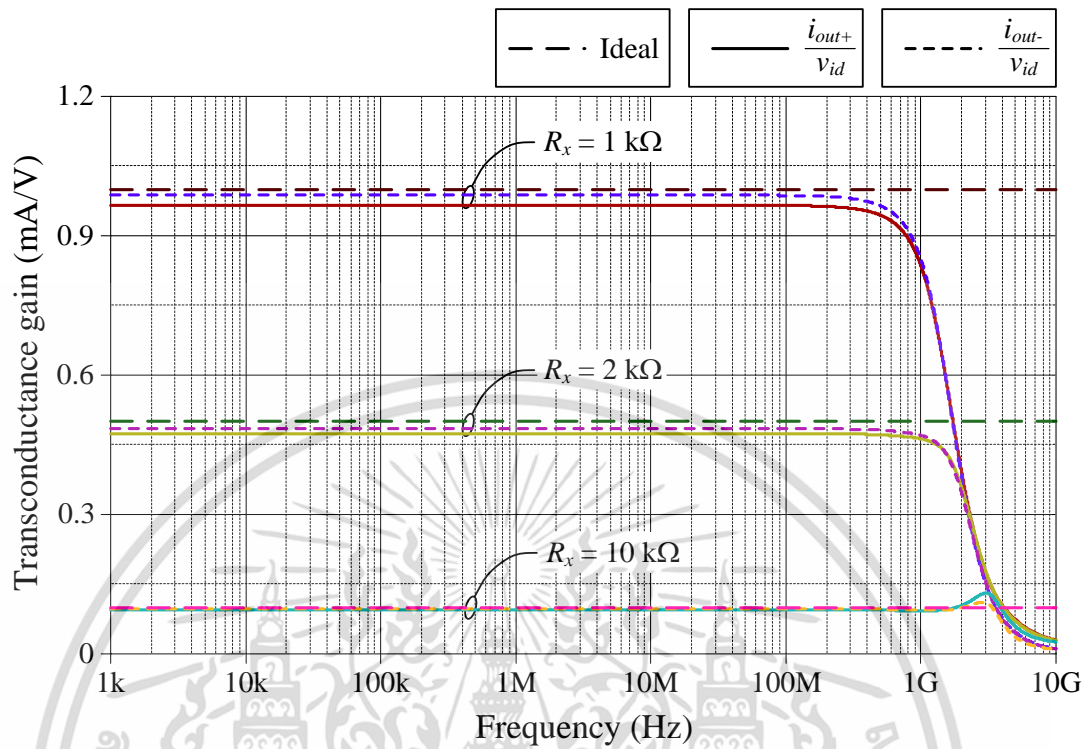


(ข)

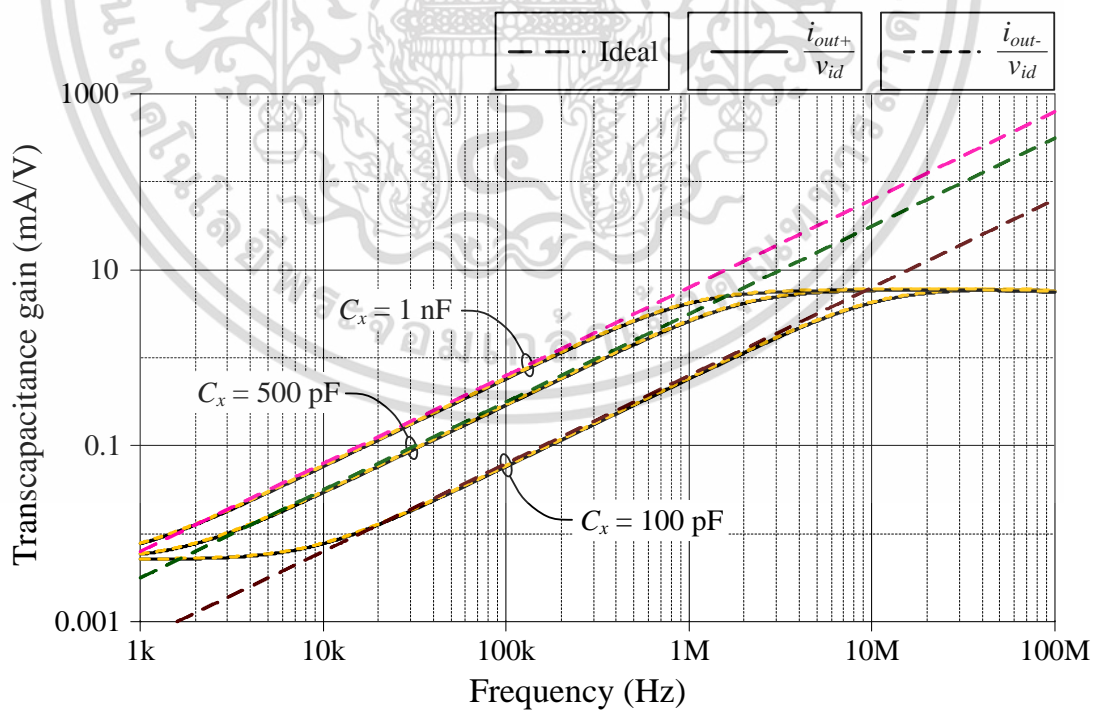
รูปที่ 3.10 ผลการจำลองผลตอบสนองทางความถี่ของค่าความต้านทาน  
 (ก) ที่ขั้ว p ( $R_p$ ) และขั้ว n ( $R_n$ )  
 (ข) ที่ขั้ว op ( $R_{op}$ ) ขั้ว on ( $R_n$ ) ขั้ว otp ( $R_{otp}$ ) และขั้ว otn ( $R_{otn}$ )



รูปที่ 3.11 ผลการจำลองกระแสเอาต์พุตของวงจร DVTC เมื่อแปรค่าแรงดันอินพุตผลต่าง  
 เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการเรียนเพื่อการศึกษาเท่านั้น เมื่อผู้ยูได้เห็นใบเซปาระเบียงขึ้นดำเนินการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 ผลการจำลองผลตอบสนองทางความถี่ของอัตราขยายค่าความนำ ( $g_m$ ) เมื่อแปรค่า  $R_x$



รูปที่ 3.13 ผลการจำลองของอัตราขยายค่าความจุไฟฟ้า ( $C_m$ ) เมื่อแปรค่า  $C_x$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 อัตราส่วนของความกว้าง ( $W$ ) และความยาว ( $L$ ) ของมอสทรานซิสเตอร์ที่ใช้ในวงจร DVTC ในรูปที่ 3.9

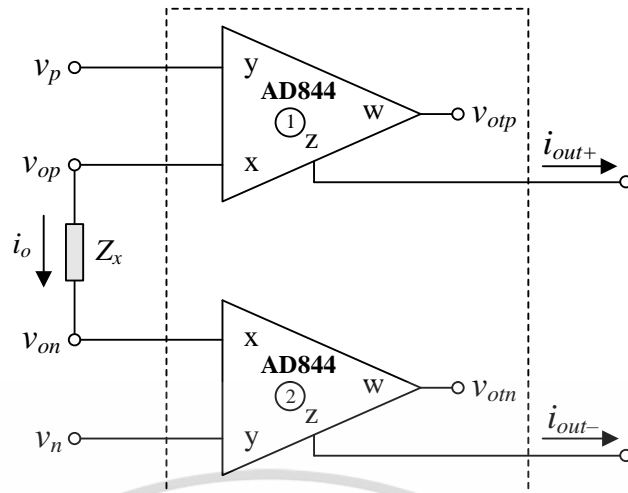
ทรานซิสเตอร์	$W/L$ ( $\mu\text{m}/\mu\text{m}$ )
$M_{1p} - M_{4p}, M_{1n} - M_{4n}, M_{11}$	2.5/0.25
$M_{5n}, M_{12} - M_{13}$	1.14/0.25
$M_6, M_8, M_9$	3.7/0.25
$M_7, M_{10}, M_{17}$	1.66/0.25
$M_{14}$	1.18/0.25
$M_{15} - M_{16}$	1.15/0.25
$M_{18} - M_{19}$	1.68/0.25

### 3.8 ผลการทดลองด้วยวงจรจริง

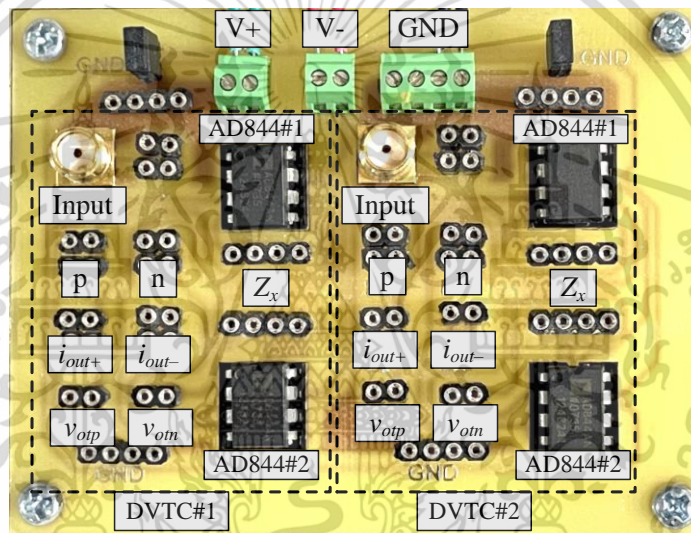
ในหัวข้อนี้กล่าวถึงการสังเคราะห์วงจร DVTC โดยใช้ไอซีสำเร็จรูปเบอร์ AD844 [24] จำนวนสองตัวแสดงดังรูปที่ 3.14 โดยรูปที่ 3.15 แสดงภาพถ่ายวงจร DVTC บนแผ่นวงจรพิมพ์ (printed circuit board, PCB) เพื่อทดสอบผ่านการต่อทดลองโดยใช้เครื่องออสซิลโลสโคปรุ่น EDUX1002G จากรูปที่ 3.14 แสดงให้เห็นว่าไอซีเบอร์ AD844 ตัวที่หนึ่งทำหน้าที่ส่งแรงดันอินพุต  $v_p$  ที่ขั้ว  $y_1(p)$  ไปเป็นแรงดัน  $v_{op}$  ที่ขั้ว  $x_1(op)$  ในทำนองเดียวกันแรงดันอินพุต  $v_n$  ที่ขั้ว  $y_2(n)$  จะส่งผ่านไปเป็นแรงดัน  $v_{on}$  ที่ขั้ว  $x_2(on)$  ของไอซีเบอร์ AD844 ตัวที่สอง กระแส  $i_o$  ที่ไหลผ่านโหลด  $Z_x$  จากขั้ว  $op$  ไปขั้ว  $on$  จะถูกส่งผ่านไปเป็นกระแสเอาต์พุต  $i_{out+}$  และ  $i_{out-}$  ที่ขั้ว  $z_1(otp)$  และขั้ว  $z_2(otn)$  ตามลำดับ

เพื่อทดสอบคุณสมบัติของวงจร DVTC ที่สังเคราะห์ขึ้นจากไอซีเบอร์ AD844 ในรูปที่ 3.14 ได้มีการกำหนดให้แหล่งจ่ายไฟเลี้ยงเท่ากับ  $\pm 5$  V และป้อนแรงดันอินพุตแบบสามเหลี่ยมที่ขั้ว  $p$  ( $v_p$ ) โดยที่ขั้ว  $n$  ต่อเทียบกราวด์ ( $v_n = 0$ ) มีค่าเท่ากับ 50 mV<sub>peak</sub> ที่ความถี่ 100 kHz  $Z_x = R_x = 1$  k $\Omega$  และต่อตัวต้านทานภายนอกขนาด 1 k $\Omega$  ที่ขั้ว  $z_1(otp)$  เพื่อเปลี่ยนกระแสเอาต์พุต  $i_{out+}$  ไปเป็นแรงดันเอาต์พุต  $v_{op}$  ที่ขั้ว  $w_1$  ของไอซีเบอร์ AD844 ตัวที่หนึ่งเพื่อวัดค่าแรงดันดังแสดงในรูปที่ 3.16 ในทำนองเดียวกันหากต่อตัวต้านทานภายนอกขนาด 1 k $\Omega$  ที่ขั้ว  $z_2(otn)$  เพื่อเปลี่ยนกระแสเอาต์พุต  $i_{out-}$  ไปเป็นแรงดันเอาต์พุต  $v_{on}$  ที่ขั้ว  $w_2$  ของไอซีเบอร์ AD844 ตัวที่สองสามารถวัดค่าได้ดังแสดงในรูปที่ 3.17

รูปที่ 3.18 แสดงผลการวัดผลตอบสนองทางความถี่ของอัตราขยายค่าความนำ ( $g_m$ ) ของวงจร DVTC โดยกำหนดให้  $v_{in} = v_p - v_n = 50$  mV<sub>peak</sub>  $Z_x = R_x = 1$  k $\Omega$  2 k $\Omega$  และ 3 k $\Omega$  จะได้  $g_m$  มีค่าเท่ากับ 1 mA/V 2 mA/V และ 3 mA/V ตามลำดับ หากกำหนดให้  $Z_x = 1/C_x$  โดย  $C_x = 100$  pF 470 pF และ 1 nF จะได้ผลตอบสนองทางความถี่ของอัตราขยายค่าความจุไฟฟ้า ( $C_m$ ) ดังแสดงในรูปที่ 3.19

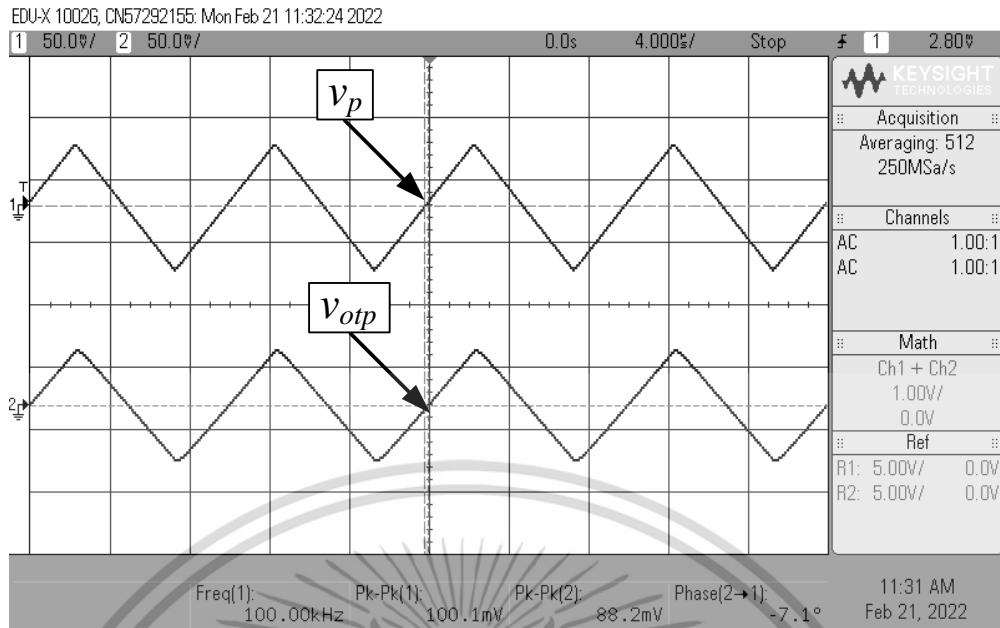


รูปที่ 3.14 วงจร DVTC ที่สังเคราะห์ขึ้นโดยใช้ไอซีเบอร์ AD844

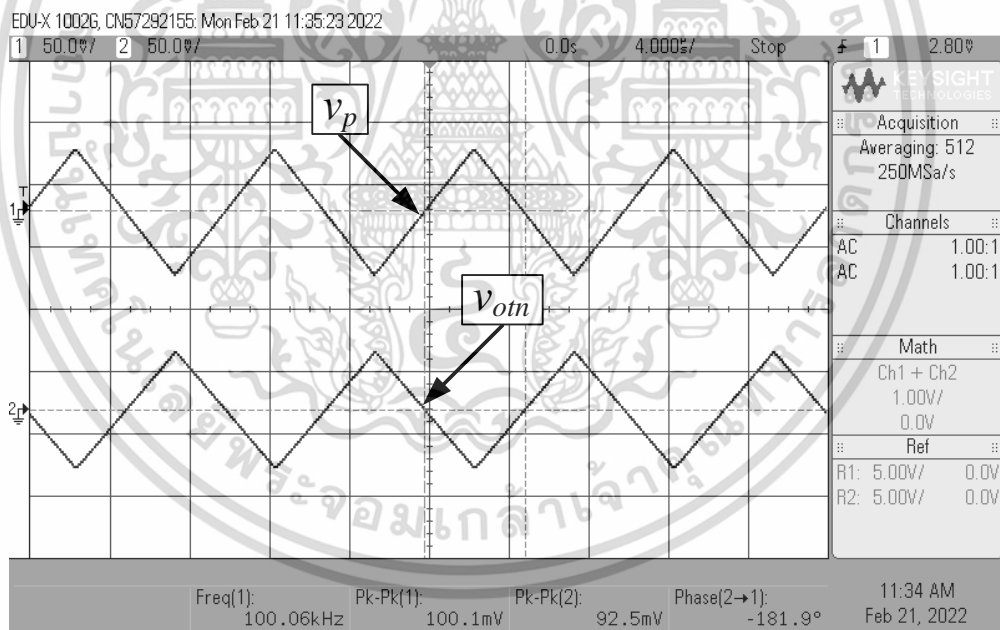


รูปที่ 3.15 ภาพถ่ายวงจร DVTC บนแผ่นวงจรพิมพ์ที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

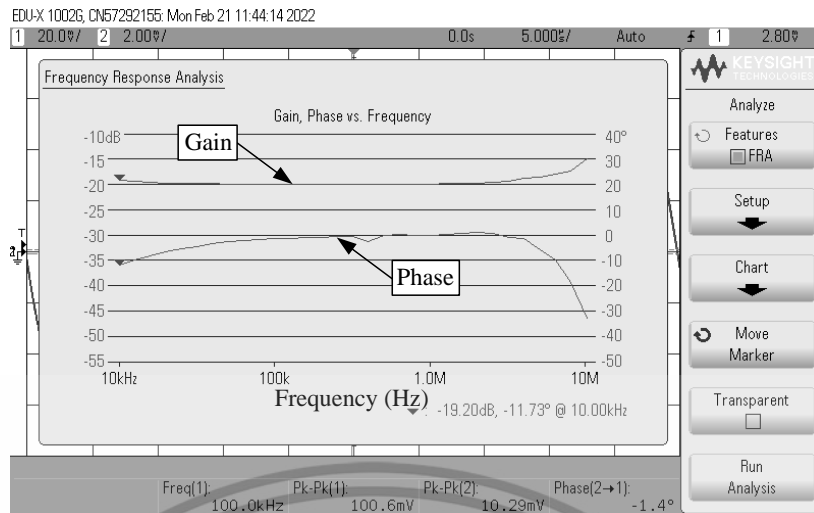


รูปที่ 3.16 ผลการวัดคุณสมบัติของ  $v_p$  และ  $v_{otp}$  ของวงจร DVTC ในรูปที่ 3.14

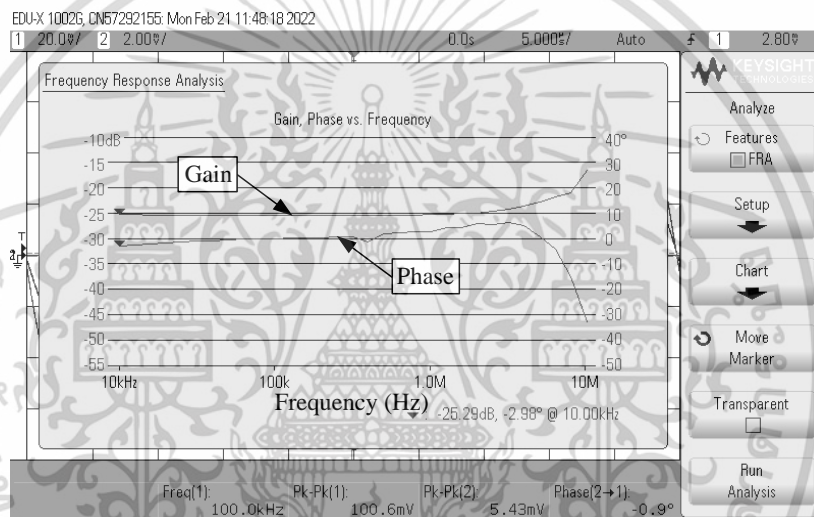


รูปที่ 3.17 ผลการวัดคุณสมบัติของ  $v_p$  และ  $v_{om}$  ของวงจร DVTC ในรูปที่ 3.14

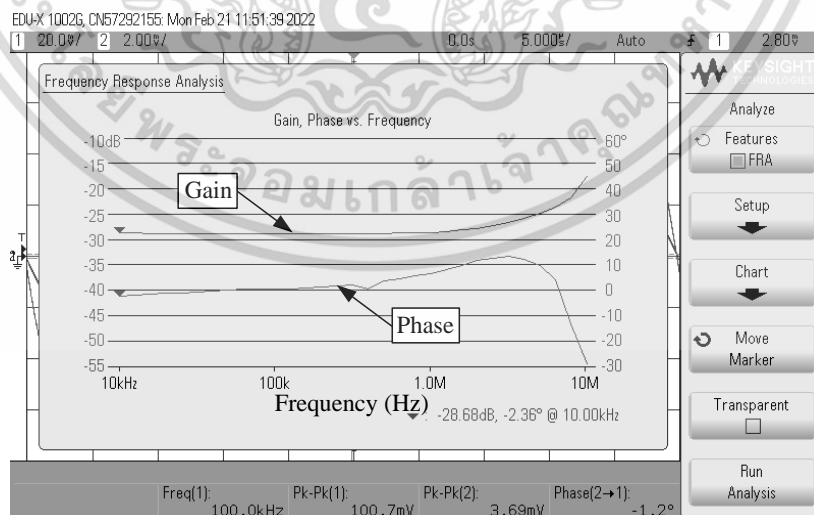
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

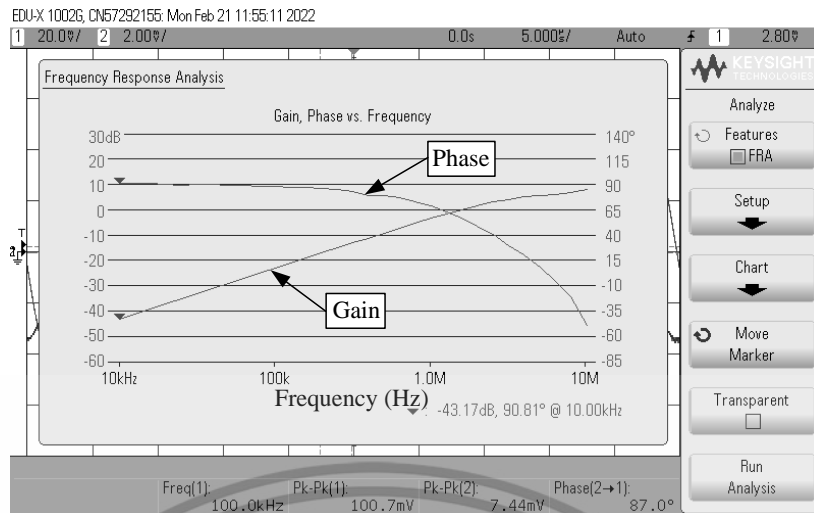


(ค)

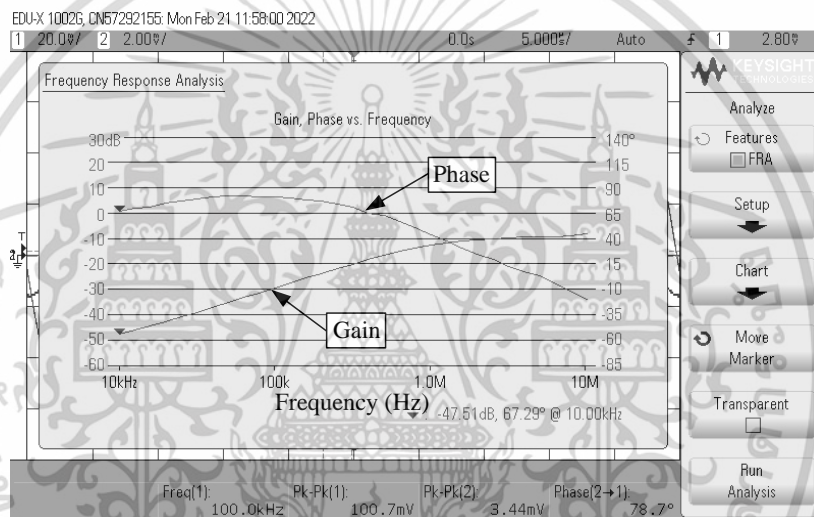
รูปที่ 3.18 ผลการวัดผลตอบสนองทางความถี่ของ  $g_m$  เมื่อ

(ก)  $R_x = 1 \text{ k}\Omega$       (ข)  $R_x = 2 \text{ k}\Omega$       (ค)  $R_x = 3 \text{ k}\Omega$

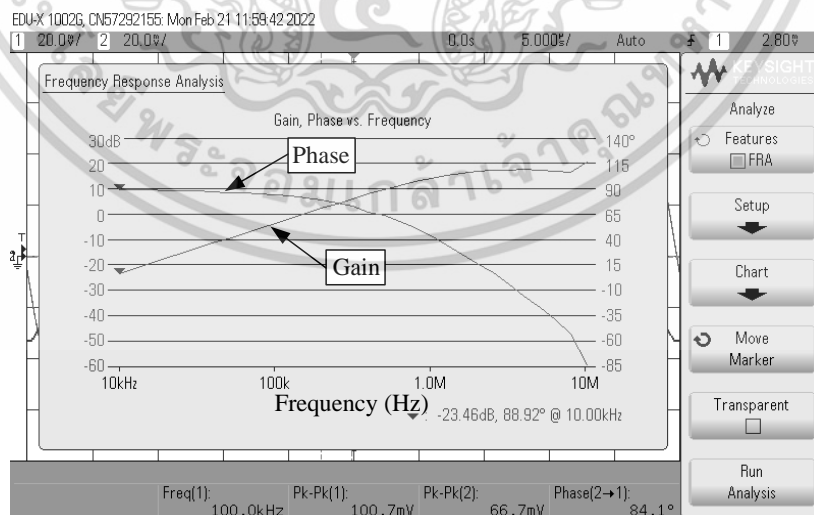
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)



(ค)

รูปที่ 3.19 ผลการวัดผลตอบสนองทางความถี่ของ  $C_m$  เมื่อ

(ก)  $C_x = 100 \text{ pF}$       (ข)  $C_x = 470 \text{ pF}$       (ค)  $C_x = 1 \text{ nF}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.9 สรุป

วิทยานิพนธ์บทนี้กล่าวถึงวงจรตามแรงดันแบบฟลิป รวมทั้งการนำวงจรดังกล่าวมาออกแบบและสังเคราะห์เป็นวงจร DVTC โดยใช้เทคโนโลยีแบบ CMOS ขนาด  $0.25 \mu\text{m}$  ของบริษัท TSMC อีกทั้งกล่าวถึงหลักการดำเนินงานพื้นฐานของวงจร DVTC นอกจากนี้ยังมีการนำเสนอผลการจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE และผลการทดลองด้วยวงจรจริงผ่านไอซีเบอร์ AD844 เพื่อตรวจสอบคุณสมบัติการทำงานที่สอดคล้องกับผลลัพธ์ในทางทฤษฎี

### 3.10 เอกสารอ้างอิงบทที่ 3

- [1] P. Antognetti, D. D. Caviglia, and E. Profumo, "CAD model for threshold and subthreshold conduction in MOSFETs," *IEEE Journal of Solid-State Circuits*, vol. 17, no. 3, pp. 454–458, 1982.
- [2] T. Grotjohn and B. Hoefflinger, "A parametric short-channel MOS transistor model for subthreshold and strong inversion current," *IEEE Journal of Solid-State Circuits*, vol. 19, no. 1, pp. 100–112, 1984.
- [3] H. Soeleman, K. Roy, and B. C. Paul, "Robust subthreshold logic for ultra-low power operation," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 9, no. 1, pp. 90–99, 2001.
- [4] P.-H. Huang, H. Lin, and Y.-T. Lin, "A simple subthreshold CMOS voltage reference circuit with channel-length modulation compensation," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 53, no. 9, pp. 882–885, 2006.
- [5] L. Magnelli, F. Crupi, P. Corsonello, C. Pace, and G. Iannaccone, "A 2.6 nW, 0.45 V temperature-compensated subthreshold CMOS voltage reference," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 2, pp. 465–474, 2011.
- [6] Y. Wang, Z. Zhu, J. Yao, and Y. Yang, "A 0.45-V, 14.6-nW CMOS subthreshold voltage reference with no resistors and no BJTs," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 62, no. 7, pp. 621–625, 2015.
- [7] D. Ozenli and H. H. Kuntman, "A novel low power MOSFET-C band pass filter for low frequency applications with subthreshold models based on polynomial regression," *Analog Integrated Circuits and Signal Processing*, vol. 97, no. 1, pp. 97–105, 2018.
- [8] J. Ramirez-Angulo, S. C. Choi, and G. Gonzalez-Altamirano, "Low-voltage circuits building blocks using multiple-input floating-gate transistors," *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 42, no. 11, pp. 971–974, 1995.
- [9] V. Srinivasan, G. J. Serrano, J. Gray, and P. Hasler, "A precision CMOS amplifier using floating-gate transistors for offset cancellation," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 2, pp. 280–291, 2007.

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [10] E. Ozalevli and P. E. Hasler, “Tunable highly linear floating-gate CMOS resistor using common-mode linearization technique,” **IEEE Transactions on Circuits and Systems I: Regular Papers**, vol. 55, no. 4, pp. 999–1010, 2008.
- [11] J. M. A. Miguel, A. J. Lopez-Martin, L. Acosta, J. Ramirez-Angulo, and R. G. Carvajal, “Using Floating Gate and Quasi-Floating Gate Techniques for Rail-to-Rail Tunable CMOS Transconductor Design,” **IEEE Transactions on Circuits and Systems I: Regular Papers**, vol. 58, no. 7, pp. 1604–1614, 2011.
- [12] C. Garcia-Alberdi, A. J. Lopez-Martin, L. Acosta, R. G. Carvajal, and J. Ramirez-Angulo, “Tunable class AB CMOS Gm-C filter based on quasi-floating gate techniques,” **IEEE Transactions on Circuits and Systems I: Regular Papers**, vol. 60, no. 5, pp. 1300–1309, 2013.
- [13] L. Danial, E. Pikhay, E. Herbelin, N. Wainstein, V. Gupta, N. Wald, Y. Roizin, R. Daniel, and S. Kvatinsky, “Two-terminal floating-gate transistors with a low-power memristive operation mode for analogue neuromorphic computing,” **Nature Electronics**, vol. 2, no. 12, pp. 596–605, 2019.
- [14] C. Toumazou, F. J. Lidgey, and D. G. Haigh, “Analogue IC design: the current-mode approach,” **London: Peter Peregrinus Ltd.**, 1990.
- [15] S. S. Lee, R. H. Zele, D. J. Allstot, and G. Liang, “CMOS continuous-time current-mode filters for high-frequency applications,” **IEEE Journal of Solid-State Circuits**, vol. 28, no. 3, pp. 323–329, 1993.
- [16] A. Toker, S. Ozoguz, O. Cicekolu, and C. Acar, “Current-mode all-pass filters using current differencing buffered amplifier and a new high-Q bandpass filter configuration,” **IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing**, vol. 47, no. 9, pp. 949–954, 2000.
- [17] D. Bielek, R. Senani, V. Biolková and Z. Kolka, “Active elements for analog signal processing: classification, review, and new proposals”, **Radioengineering**, vol. 17, no. 4, pp. 15–32, 2008.
- [18] R. G. Carvajal, J. Ramirez-Angulo, A. J. Lopez-Martin, A. Torralba, J. A. G. Galan, A. Carlosena, and F. M. Chavero, “The flipped voltage follower: a useful cell for low-voltage low-power circuit design,” **IEEE Transactions on Circuits and Systems I: Regular Papers**, vol. 52, no. 7, pp. 1276–1291, 2005.
- [19] J. Ramirez-Angulo, S. Gupta, I. Padilla, R. G. Carvajal, A. Torralba, M. Jimenez, and F. Munoz, “Comparison of conventional and new flipped voltage structures with increased input/output signal swing and current sourcing/sinking capabilities,” **Proceedings of the 48th Midwest Symposium on Circuits and Systems (MWSCAS 2005)**, Covington, KY, USA, 7-10 Aug., pp. 1151–1154, 2005.
- [20] J. Ramirez-Angulo, M. R. Valero-Bernal, A. Lopez-Martin, R. G. Carvajal, A. Torralba, S. Celma-Pueyo, and N. Medrano-Marqués, “The flipped voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- follower: theory and applications,” in *Analog/RF and Mixed-Signal Circuit Systematic Design*, ed. by M. Fakhfakh, E. Tlelo-Cuautle, R. Castro-Lopez. *Lecture Notes in Electrical Engineering*, (Springer, Berlin), vol. 233, pp. 243–267, 2013.
- [21] N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, “Floating general immittance function simulator,” *AEU - International Journal of Electronics and Communications*, vol. 132, p. 153640, 2021.
- [22] A. Fabre, O. Saaid, and H. Barthelemy, “On the frequency limitations of the circuits based on second generation current conveyors,” *Analog Integrated Circuits and Signal Processing*, vol. 7, no. 2, pp. 113–129, 1995.
- [23] E. Yuce, S. Minaei, and O. Cicekoglu, “Limitations of the simulated inductors based on a single current conveyor,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 53, no. 12, pp. 2860–2867, 2006.
- [24] Analog Devices, “60 MHz, 2000 V/ $\mu$ s, monolithic op amp with quad low noise”, *AD844 datasheet*, 1992.

## บทที่ 4

# วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่สังเคราะห์ขึ้นจากวงจร DVTC

### 4.1 กล่าวนำ

อุปกรณ์ทางอิเล็กทรอนิกส์พื้นฐานได้แก่ ตัวต้านทาน (resistor) ตัวเหนี่ยวนำ (inductor) และ ตัวเก็บประจุไฟฟ้า (capacitor) มีบทบาทเป็นอย่างมากในการออกแบบและสังเคราะห์วงจร ประมวลผลสัญญาณทางแอนะล็อกอาทิเช่น วงจรกรองสัญญาณ (filter circuit) วงจรออสซิลเลเตอร์ (oscillator) และการกำจัดค่าอุปกรณ์แฝงที่ไม่ต้องการ (parasitic element cancellation) เป็นต้น เนื่องด้วยการใช้งานอุปกรณ์พาสซีฟมีข้อจำกัดหลายประการ ได้แก่ยากต่อการปรับแต่งค่า อีกทั้ง ลักษณะทางกายภาพที่ใหญ่ ซึ่งส่งผลต่อขนาดพื้นที่ของวงจรรวม ดังนั้นงานวิจัยที่เกี่ยวข้องกับวงจร แปลงฟังก์ชันอิมิตแดนซ์ข้อเนกประสงค์ (general immittance converter, GIC) ที่ออกแบบและ สังเคราะห์โดยใช้อุปกรณ์แอคทีฟจึงมีความน่าสนใจอย่างมาก โดยวงจรถูกกล่าวว่ามีจุดเริ่มต้นมาจาก วงจรไจเรเตอร์ (gyrator) ที่สังเคราะห์ขึ้นจากออปแอมป์ (operational amplifier, Op-Amp) ของ A. Antoniou [1] และถูกพัฒนาต่อเป็นวงจรแปลงฟังก์ชันอิมิตแดนซ์โดย K. Martin และคณะ [2] อย่างไรก็ตามวงจรแปลงฟังก์ชันอิมิตแดนซ์ใช้ออปแอมป์ยังมีข้อจำกัดในเรื่องโครงสร้างที่มี ลักษณะแบบต่อเทียบกราวด์ จึงยากต่อการประยุกต์ใช้งาน และอาศัยอุปกรณ์พาสซีฟอีกเป็นจำนวนมาก ดังนั้นงานวิจัยที่เกี่ยวข้องกับการสังเคราะห์วงจรแปลงฟังก์ชันอิมิตแดนซ์จึงมีการพัฒนาต่อยอด เรื่อยมา [3]-[18] เพื่อให้มีความคล่องตัวมากขึ้น แต่ยังคงไว้ซึ่งโครงสร้างที่เรียบง่าย ไม่ซับซ้อน สามารถทำงานภายใต้ระดับแรงดันไฟเลี้ยงต่ำ และมีแบนด์วิธสูง

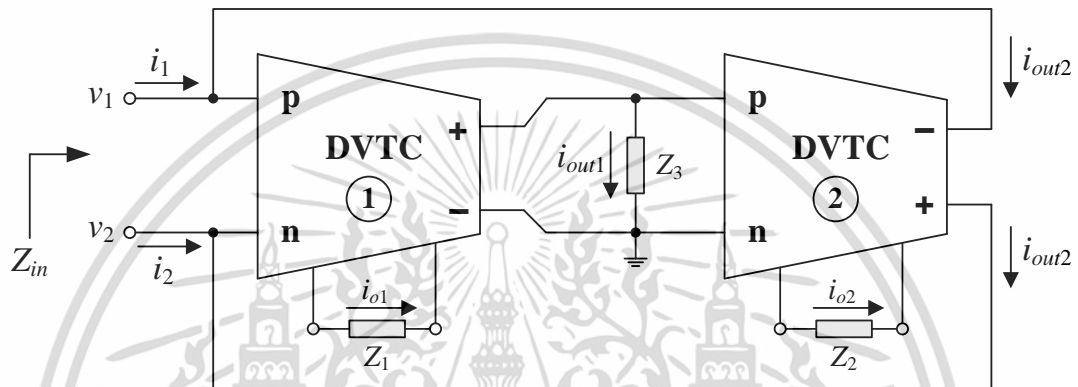
ปัจจุบันงานวิจัยที่เกี่ยวข้องกับวงจรที่ทำงานภายใต้แรงดันไฟเลี้ยงต่ำ (low supply voltage) ซึ่งก่อให้เกิดกำลังไฟฟ้าสูญเสียน้อยลง (low power consumption) กำลังได้รับความนิยมเป็นอย่างมาก [19]-[31] เนื่องด้วยเทคโนโลยีการสังเคราะห์วงจรรวม (integrated circuit, IC) มีแนวโน้มที่ถูก พัฒนาให้มีขนาดเล็กลงเรื่อยๆ ดังนั้นในวิทยานิพนธ์ฉบับนี้จะกล่าวถึงวงจรแปลงฟังก์ชันอิมิตแดนซ์ แบบลอยตัวที่สังเคราะห์ขึ้นโดยใช้วงจร DVTC จำนวนสองตัว ต่อกับอุปกรณ์พาสซีฟจำนวนสาม ตัว [32] วงจร DVTC สังเคราะห์ขึ้นจากวงจรตามแรงดันแบบพลิกเพื่อให้วงจรสามารถทำงานภายใต้ ระดับแรงดันไฟเลี้ยงต่ำ วงจรแปลงฟังก์ชันอิมิตแดนซ์ที่นำเสนอสามารถสังเคราะห์เป็นตัวต้านทาน ตัวเหนี่ยวนำ ตัวเก็บประจุไฟฟ้า และวงจร FDNR (frequency-dependent negative resistance) ได้จากการเลือกใช้งานอุปกรณ์พาสซีฟอย่างเหมาะสม นอกจากนี้วงจรที่นำเสนอยังปราศจากเงื่อนไข การเท่ากันของอุปกรณ์ (component matching choice) อีกด้วย ค่าอุปกรณ์สมมูล (equivalent element) ที่สังเคราะห์ขึ้นจากวงจรสามารถปรับค่าได้ง่ายผ่านอุปกรณ์พาสซีฟจากภายนอกวงจร คุณสมบัติในการทำงานของวงจรที่นำเสนอได้มีการจำลองผลการการทำงานโดยใช้โปรแกรม PSPICE ด้วย เทคโนโลยีแบบ CMOS ขนาด  $0.25 \mu\text{m}$  ของบริษัท TSMC รวมทั้งการทดลองด้วยวงจรจริงผ่าน ไอซีเบอร์ AD844 เพื่อยืนยันคุณสมบัติที่สอดคล้องเป็นไปตามหลักการทางทฤษฎี รวมถึงการ นำเสนอแนวทางการประยุกต์ใช้งานวงจรในวงจรกรองผ่านแถบความถี่อันดับสอง (second-order bandpass filter) และวงจรกรองผ่านแถบความถี่อันดับสี่ (fourth-order bandpass filter) อีกด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.2 วงจรแปลงฟังก์ชันอิมิตแดนข้อเนกประสงค์ที่นำเสนอ

รูปที่ 4.1 แสดงวงจรแปลงฟังก์ชันอิมิตแดนข้อเนกประสงค์ที่นำเสนอ [32] วงจรที่นำเสนอประกอบด้วยวงจร DVTC จำนวนสองตัว และอุปกรณ์พาสซีฟจำนวนสามตัว เมื่อวิเคราะห์ห้วงจรโดยอาศัยคุณสมบัติของวงจร DVTC ดังสมการ (3.10) จะได้ค่าอิมิตแดนข้อเนกอินพุต (input impedance,  $Z_{in}$ ) ของวงจรเท่ากับ [ภาคผนวก ข1]

$$Z_{in} = \frac{v_1 - v_2}{i_1} = \frac{v_2 - v_1}{i_2} = \frac{Z_1 Z_2}{Z_3} \quad (4.1)$$



รูปที่ 4.1 วงจรแปลงฟังก์ชันอิมิตแดนข้อเนกประสงค์ที่นำเสนอ

สมการ (4.1) แสดงให้เห็นว่าวงจรในรูปที่ 4.1 สามารถสังเคราะห์ฟังก์ชันอิมิตแดนข้อเนกประสงค์แบบลอยตัวได้ครบทั้งสี่ฟังก์ชันได้แก่ตัวต้านทาน ตัวเหนี่ยวนำ ตัวเก็บประจุไฟฟ้า และวงจร FDNR โดยการกำหนดอุปกรณ์พาสซีฟทั้งสามตัวดังนี้

- กำหนดให้  $Z_1 = R_1$   $Z_2 = R_2$  และ  $Z_3 = R_3$  จะได้ค่าอิมิตแดนข้อเนกอินพุตของตัวต้านทานเท่ากับ

$$Z_{in} = R_{eq} = \frac{R_1 R_2}{R_3} \quad (4.2)$$

โดยที่  $R_{eq} = (R_1 R_2) / R_3$

- กำหนดให้  $Z_1 = R_1$   $Z_2 = R_2$  และ  $Z_3 = 1/sC_3$  จะได้ค่าอิมิตแดนข้อเนกอินพุตของตัวเหนี่ยวนำเท่ากับ

$$Z_{in} = sL_{eq} = sR_1 R_2 C_3 \quad (4.3)$$

โดยที่  $L_{eq} = R_1 R_2 C_3$

- กำหนดให้  $Z_1 = R_1$   $Z_2 = 1/sC_2$  และ  $Z_3 = R_3$  จะได้ค่าอิมิตแดนข้อเนกอินพุตของตัวเก็บประจุไฟฟ้าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Z_{in} = \frac{1}{sC_{eq}} = \frac{R_1}{sC_2R_3} \quad (4.4)$$

โดยที่  $C_{eq} = C_2(R_3/R_1)$

- กำหนดให้  $Z_1 = 1/sC_1$   $Z_2 = 1/sC_2$  และ  $Z_3 = R_3$  จะได้ค่าอิมพีแดนซ์อินพุตของวงจร FDNR เท่ากับ

$$Z_{in} = \frac{1}{s^2D_{eq}} = \frac{1}{s^2C_1C_2R_3} \quad (4.5)$$

โดยที่  $D_{eq} = C_1C_2R_3$

### 4.3 สมรรถนะของวงจรแปลงฟังก์ชันอิมพีแดนซ์ขั้วเนกประสงค์ในทางปฏิบัติ

เมื่อวิเคราะห์วงจรแปลงฟังก์ชันอิมพีแดนซ์ขั้วเนกประสงค์ที่นำเสนออีกครั้งโดยอาศัยคุณสมบัติกรณีไม่เป็นไปตามอุดมคติของวงจร DVTC ดังสมการ (3.11) และ (3.12) จะได้ค่าอิมพีแดนซ์อินพุตใหม่ดังนี้ [ภาคผนวก ข2]

กรณี  $v_{in} = v_1$  และ  $v_2 = 0$  จะได้

$$Z_{in}|_{v_2=0} = \frac{Z_1Z_2}{\alpha_{op1}\alpha_{on2}Z_3} \quad (4.6)$$

กรณี  $v_{in} = v_2$  และ  $v_1 = 0$  จะได้

$$Z_{in}|_{v_1=0} = \frac{Z_1Z_2}{\alpha_{op1}\alpha_{op2}Z_3} \quad (4.7)$$

ค่าความไว (sensitivity) ของค่าอุปกรณ์สมมูลต่อการเบี่ยงเบนค่าอุปกรณ์แอคทีฟ และอุปกรณ์พาสซีฟในวงจรมีค่าเท่ากับ [ภาคผนวก ข3]

$$S_{Z_1}^{Z_{in}} = S_{Z_2}^{Z_{in}} = -S_{Z_3}^{Z_{in}} = 1 \quad (4.8)$$

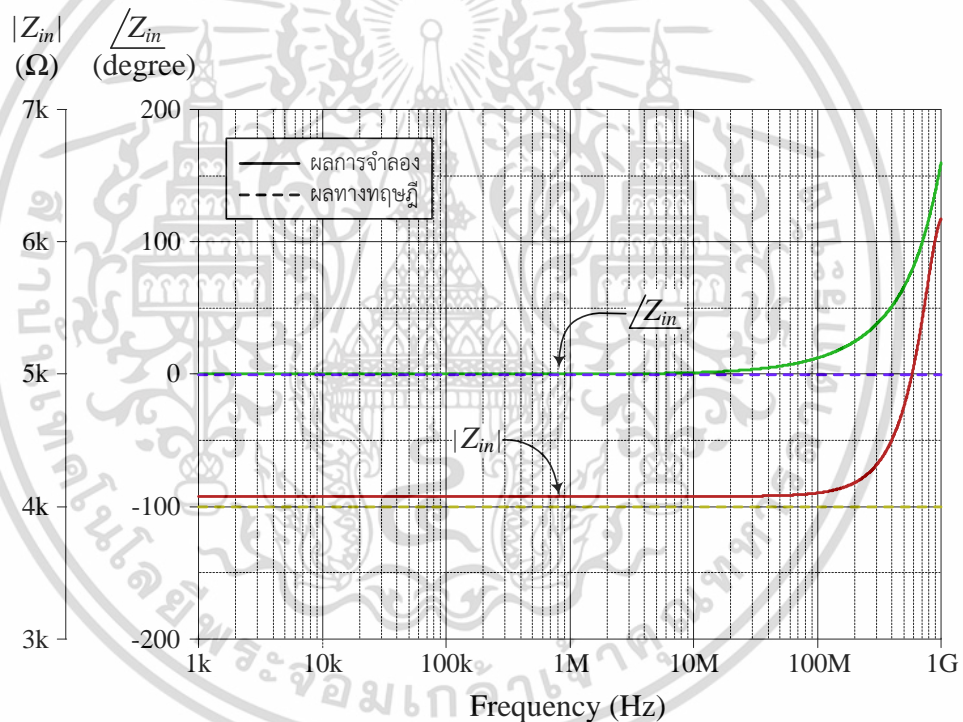
และ 
$$S_{\alpha_{op1}}^{Z_{in}} = S_{\alpha_{op2}}^{Z_{in}} = S_{\alpha_{om2}}^{Z_{in}} = -1 \quad (4.9)$$

สมการ (4.8) และ (4.9) แสดงให้เห็นว่าค่าความไวทั้งหมดมีขนาดไม่เกินหนึ่ง หรือวงจรแปลงฟังก์ชันอิมพีแดนซ์ขั้วเนกประสงค์ที่นำเสนอมีคุณสมบัติค่าความไวต่อการเบี่ยงเบนค่าอุปกรณ์ในวงจรที่ต่ำ ยกตัวอย่างเช่น จากสมการ (4.8) เมื่อ  $Z_1$  มีค่าเปลี่ยนแปลงเพิ่มขึ้น 1% จะทำให้  $Z_{in}$  มีค่าเปลี่ยนแปลงเพิ่มขึ้น 1% เป็นต้น

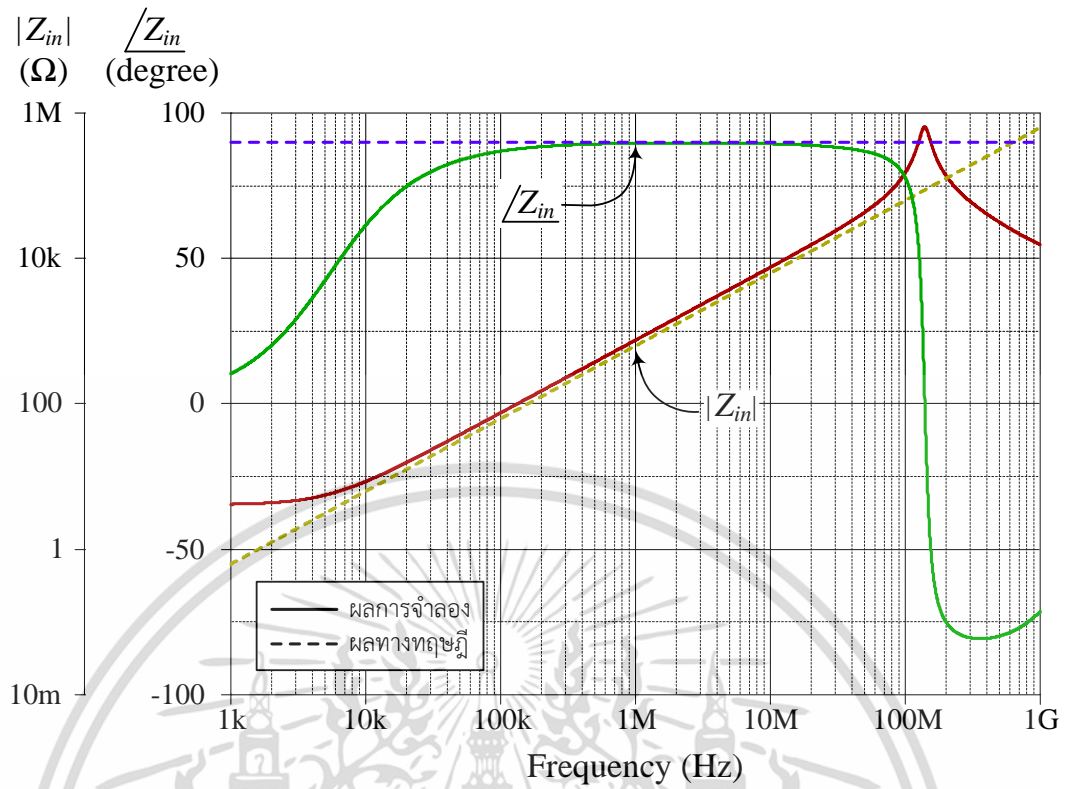
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 4.4 ผลการจำลองการทำงานของวงจร

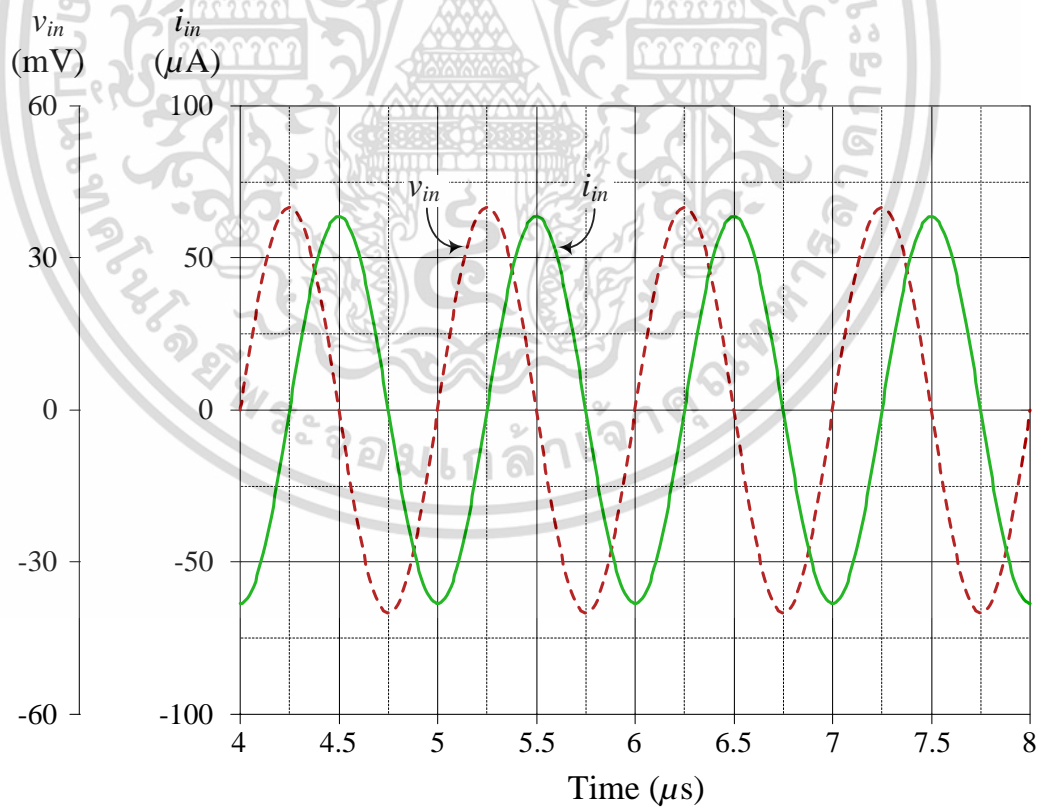
หัวข้อนี้กล่าวถึงการจำลองการทำงานของวงจรแปลงฟังก์ชันอิมิตแดนซ์ในรูปที่ 4.1 ด้วยโปรแกรม PSPICE ภายใต้เทคโนโลยีแบบ CMOS ขนาด  $0.25 \mu\text{m}$  เพื่อแสดงถึงคุณสมบัติในการทำงานของวงจรที่สอดคล้องและเป็นไปตามหลักการในทางทฤษฎี โดยในการจำลองได้กำหนดให้ไฟเลี้ยงเท่ากับ  $+V = -V = 0.75 \text{ V}$   $I_B = 40 \mu\text{A}$  และ  $v_{in} = 40 \text{ mVpeak}$  เมื่อกำหนดให้  $R_1 = R_2 = 1 \text{ k}\Omega$  และ  $R_3 = 0.25 \text{ k}\Omega$  จะได้ฟังก์ชันเลียนแบบตัวต้านทานโดยที่  $R_{eq} = 4 \text{ k}\Omega$  ดังแสดงในรูปที่ 4.2 ในขณะที่รูปที่ 4.3 แสดงผลการจำลองการทำงานของฟังก์ชันเลียนแบบตัวเหนี่ยวนำโดยกำหนดให้  $R_1 = R_2 = 1 \text{ k}\Omega$  และ  $C_3 = 100 \text{ pF}$  จะได้ค่าความเหนี่ยวนำสมมูล  $L_{eq} = 100 \mu\text{H}$  และหากกำหนดให้  $C_1 = 100 \text{ pF}$   $R_2 = 0.5 \text{ k}\Omega$  และ  $R_3 = 1 \text{ k}\Omega$  จะได้ฟังก์ชันคุณค่าความจุไฟฟ้าโดยที่  $C_{eq} = 200 \text{ pF}$  ดังแสดงในรูปที่ 4.4 นอกจากนี้วงจรแปลงฟังก์ชันอิมิตแดนซ์ในรูปที่ 4.1 ยังสามารถสังเคราะห์เป็นวงจร FDNR ได้จากการกำหนด  $C_1 = C_2 = 100 \text{ pF}$  และ  $R_3 = 0.5 \text{ k}\Omega$  จะได้  $D_{eq} = 5 \text{ aFs}$  ดังแสดงในรูปที่ 4.5



รูปที่ 4.2 ผลการจำลองการทำงานของฟังก์ชันเลียนแบบตัวต้านทานในรูปที่ 4.1



(ก)

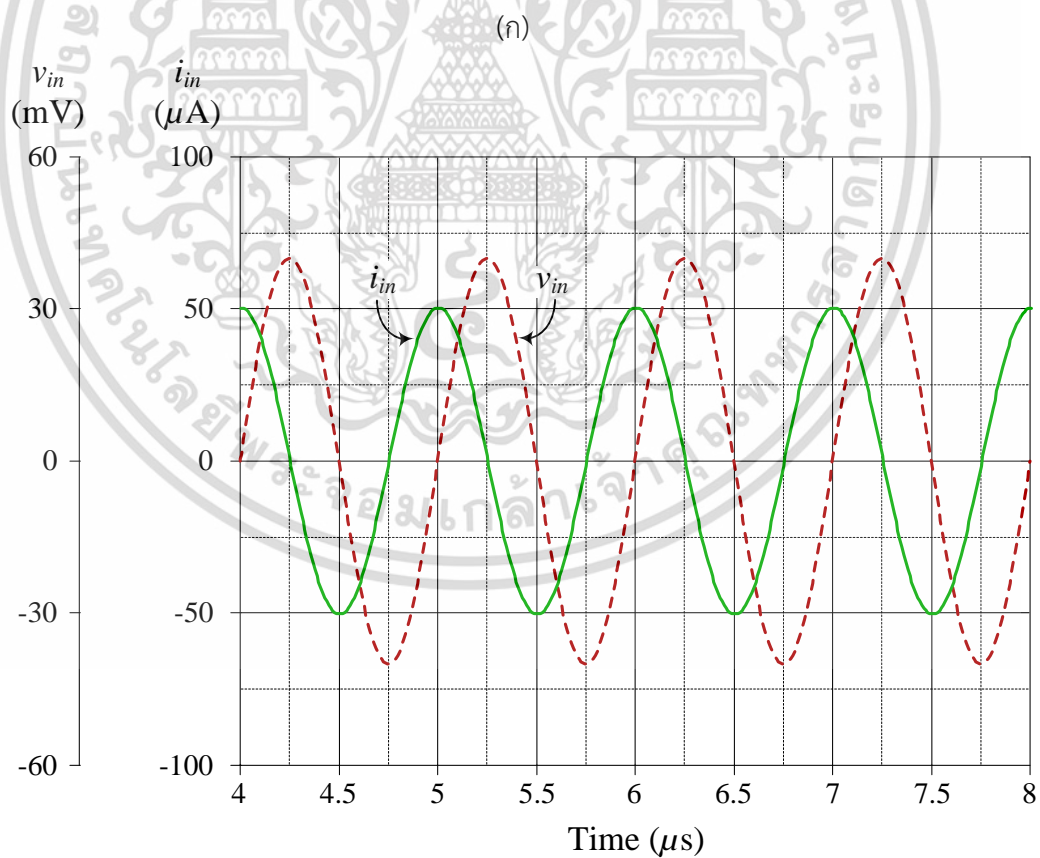
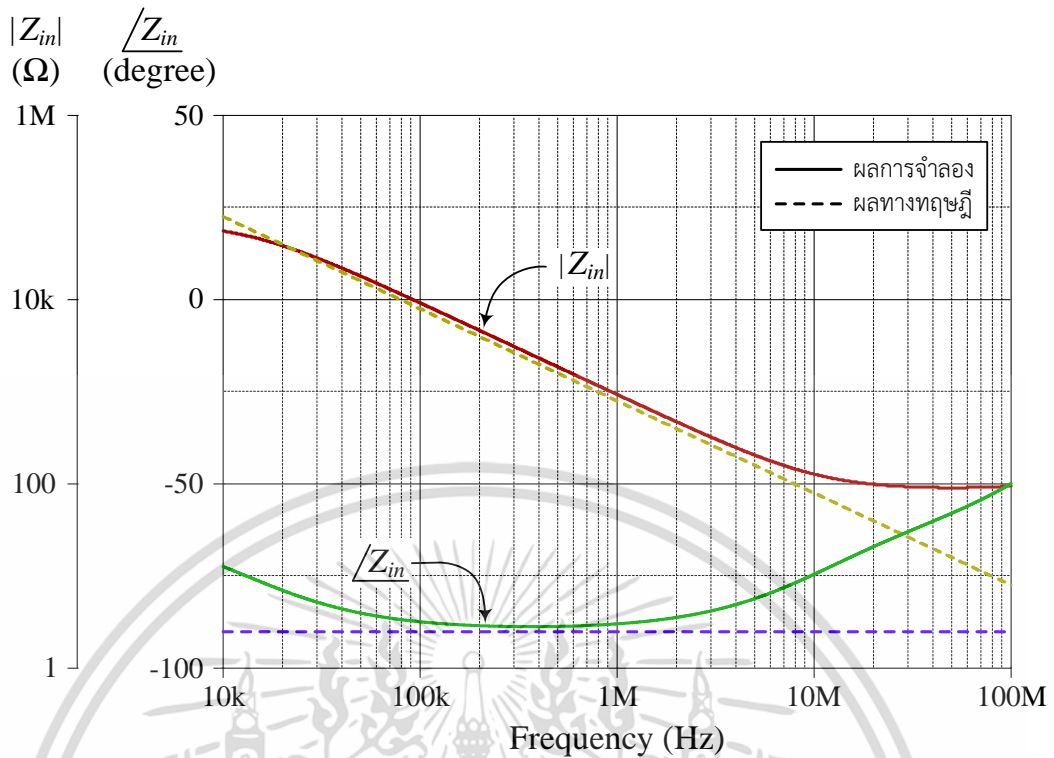


(ข)

รูปที่ 4.3 ผลการจำลองการทำงานของฟังก์ชันเปลี่ยนแบบตัวเหนี่ยวนำในรูปที่ 4.1

(ก) ผลตอบสนองทางความถี่ (ข) ผลตอบสนองทางเวลาที่ความถี่ 1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



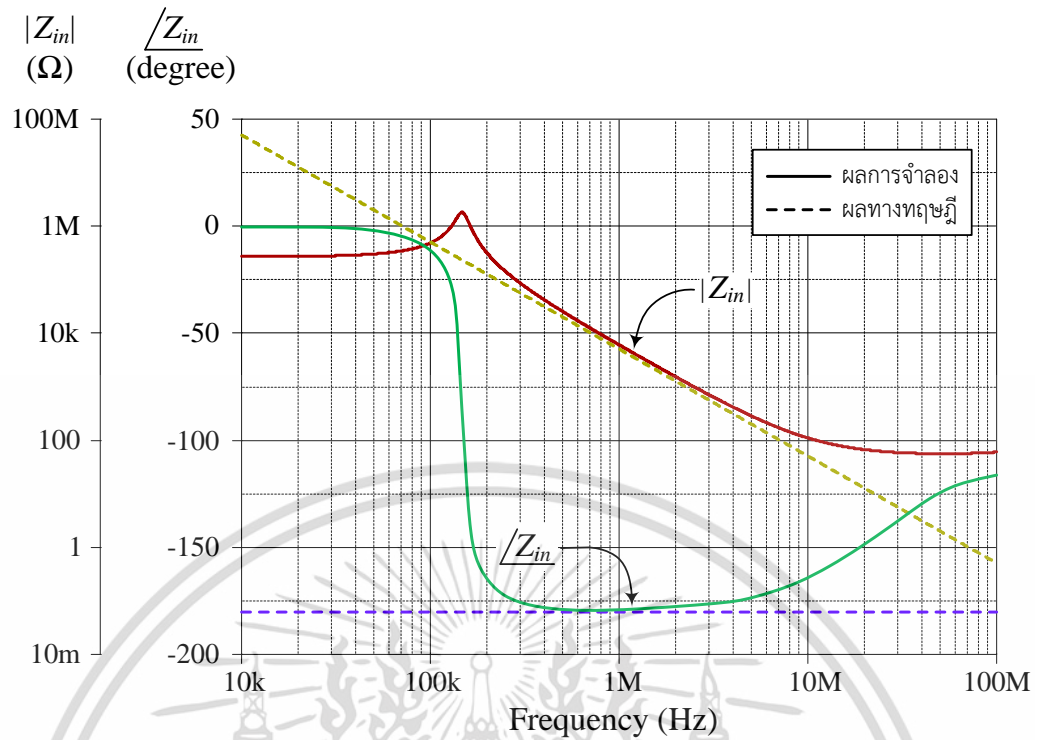
(ข)

รูปที่ 4.4 ผลการจำลองการทำงานของฟังก์ชันคุณค่าความจุไฟฟ้าในรูปที่ 4.1

(ก) ผลตอบสนองทางความถี่ (ข) ผลตอบสนองทางเวลาที่ความถี่ 1 MHz

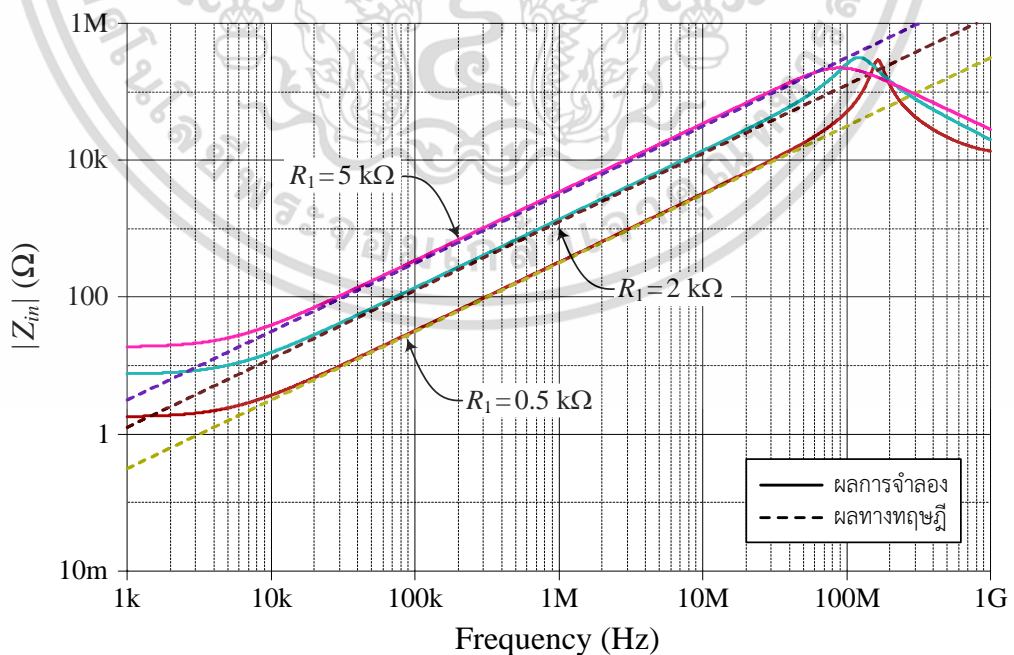
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 ผลการจำลองการทำงานของวงจร FDNR ในรูปที่ 4.1

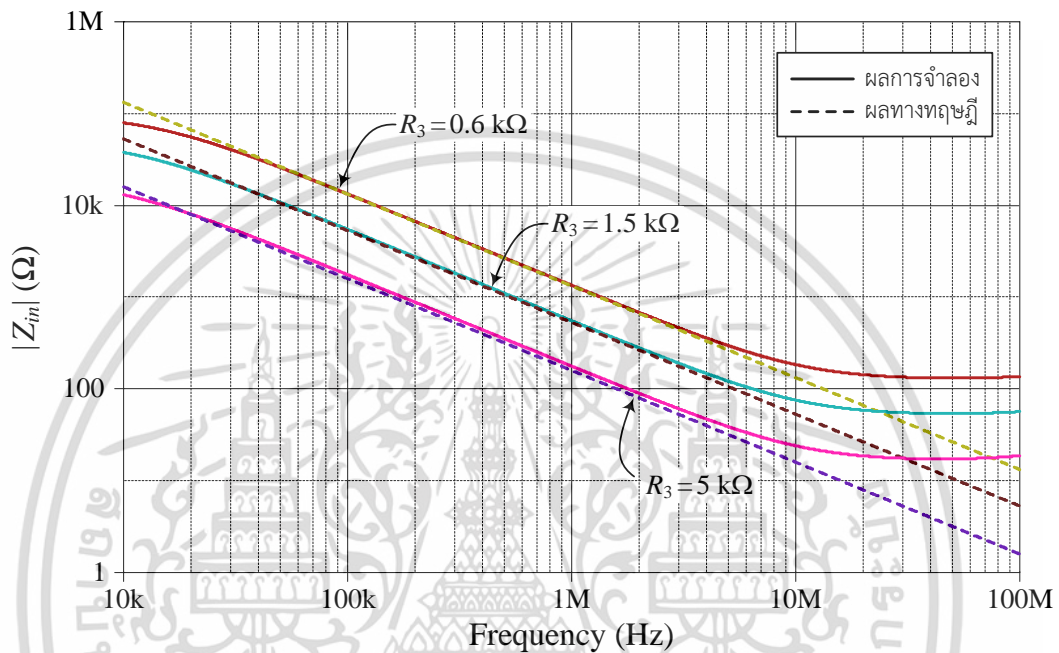
รูปที่ 4.6 แสดงผลการจำลองผลตอบสนองทางความถี่ของฟังก์ชันเลียนแบบตัวเหนี่ยวนำในรูปที่ 4.1 เมื่อแปรค่า  $R_1$  โดยกำหนดให้  $v_{in} = 40 \text{ mV}$   $R_2 = 1 \text{ k}\Omega$  และ  $C_3 = 100 \text{ pF}$  จากนั้นแปรค่า  $R_1$  เป็น  $0.5 \text{ k}\Omega$   $2 \text{ k}\Omega$  และ  $5 \text{ k}\Omega$  จะได้  $L_{eq}$  เท่ากับ  $50 \mu\text{H}$   $200 \mu\text{H}$  และ  $500 \mu\text{H}$  ตามลำดับ



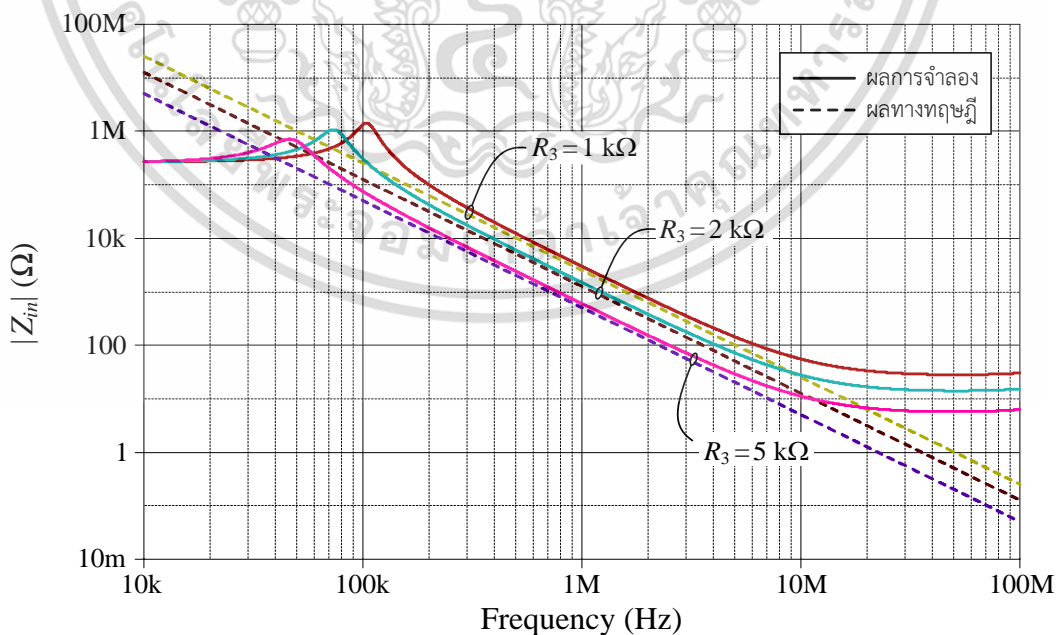
รูปที่ 4.6 ผลการจำลองการทำงานของฟังก์ชันเลียนแบบตัวเหนี่ยวนำในรูปที่ 4.1 เมื่อแปรค่า  $R_1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.7 แสดงผลการจำลองผลตอบสนองทางความถี่ของฟังก์ชันคุณค่าความจุไฟฟ้าในรูปที่ 4.1 เมื่อแปรค่า  $R_3$  โดยกำหนดให้  $v_{in} = 40 \text{ mV}$   $R_1 = 0.5 \text{ k}\Omega$  และ  $C_2 = 100 \text{ pF}$  จากนั้นแปรค่า  $R_3$  เป็น  $0.6 \text{ k}\Omega$   $1.5 \text{ k}\Omega$  และ  $5 \text{ k}\Omega$  จะได้  $C_{eq}$  เท่ากับ  $120 \text{ pF}$   $300 \text{ pF}$  และ  $1 \text{ nF}$  ตามลำดับ ในขณะที่ผลการจำลองผลตอบสนองทางความถี่ของวงจร FDNR ในรูปที่ 4.1 เมื่อแปรค่า  $R_3$  แสดงดังรูปที่ 4.8 โดยกำหนดให้  $v_{in} = 40 \text{ mV}$   $C_1 = 100 \text{ pF}$  และ  $C_2 = 100 \text{ pF}$  จากนั้นแปรค่า  $R_3$  เป็น  $1 \text{ k}\Omega$   $2 \text{ k}\Omega$  และ  $5 \text{ k}\Omega$  จะได้  $D_{eq}$  เท่ากับ  $10 \text{ aFs}$   $20 \text{ aFs}$  และ  $50 \text{ aFs}$  ตามลำดับ



รูปที่ 4.7 ผลการจำลองการทำงานของฟังก์ชันคุณค่าความจุไฟฟ้าในรูปที่ 4.1 เมื่อแปรค่า  $R_3$

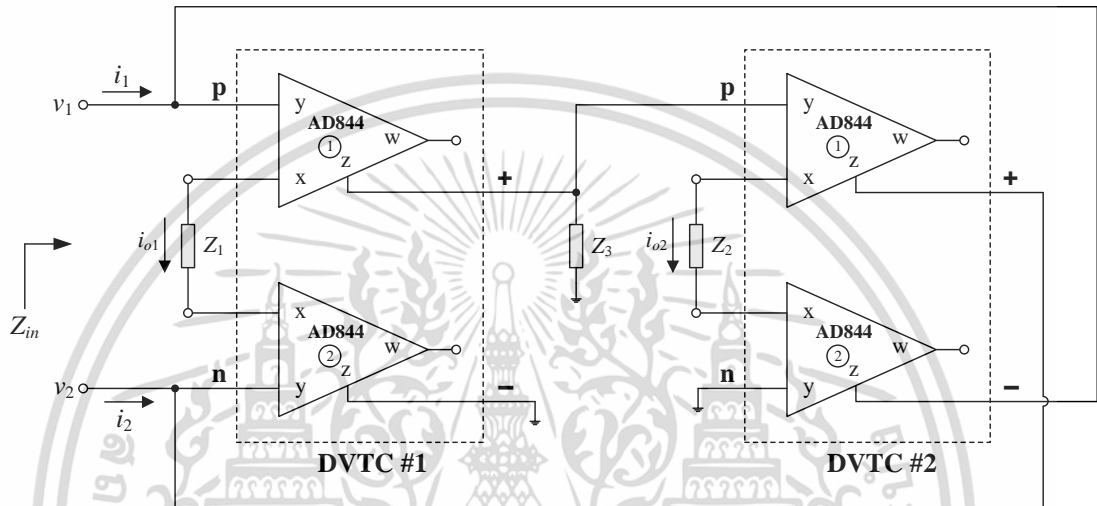


รูปที่ 4.8 ผลการจำลองการทำงานของวงจร FDNR ในรูปที่ 4.1 เมื่อแปรค่า  $R_3$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 4.5 ผลการทดลองด้วยวงจรจริง

ในหัวข้อนี้กล่าวถึงการทดสอบคุณสมบัติของวงจรแปลงฟังก์ชันอิมิตแดนช้อเนกประสงค์ในรูปที่ 4.1 โดยผลการต่อทดลองด้วยวงจรจริงผ่านไอซีสำเร็จรูปเบอร์ AD844 [33] ดังแสดงในรูปที่ 4.9 จากรูปแสดงให้เห็นว่าแรงดันที่ขั้ว  $y$  ( $v_y$ ) ของ AD844 จะถูกส่งผ่านไปยังขั้ว  $x$  ( $v_x$ ) และกระแส  $i_x$  ที่ไหลผ่านอุปกรณ์พาสซีฟจะถูกส่งผ่านไปเป็นกระแสเอาต์พุต  $i_{out}$  ของวงจร DVTC รูปที่ 4.10 ถึงรูปที่ 4.13 แสดงผลการวัดผลตอบสนองทางความถี่ของวงจรแปลงฟังก์ชันอิมิตแดนช้อเนกประสงค์แบบลอยตัวโดยรายละเอียดของอุปกรณ์สามารถสรุปดังตารางที่ 4.1

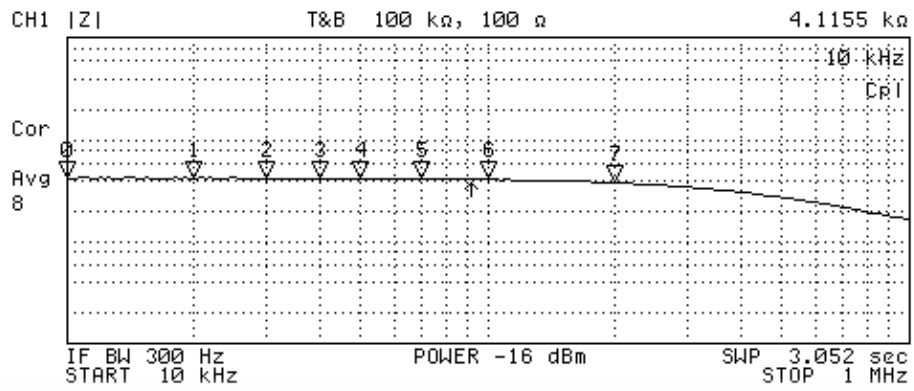


รูปที่ 4.9 วงจรแปลงฟังก์ชันอิมิตแดนช้อเนกประสงค์ที่ออกแบบเพื่อใช้ในการต่อทดลอง

ตารางที่ 4.1 รายละเอียดการกำหนดค่าอุปกรณ์ที่ใช้ในการต่อทดลองด้วยวงจรในรูปที่ 4.9

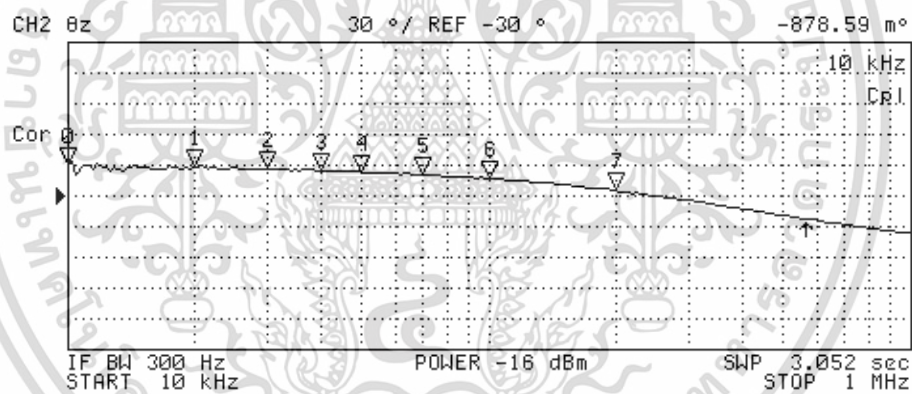
ฟังก์ชันที่สังเคราะห์	อุปกรณ์พาสซีฟที่ใช้ในวงจร			ค่าอุปกรณ์สมมูล	$Z_{in}$ (k $\Omega$ ) ที่ความถี่ 100 kHz		ค่าความผิดพลาด (%)
	$Z_1$	$Z_2$	$Z_3$		ผลทางทฤษฎี	ผลการวัด	
ตัวต้านทาน	$R_1 = 1 \text{ k}\Omega$	$R_2 = 1 \text{ k}\Omega$	$R_3 = 250 \Omega$	$R_{eq} = 4 \text{ k}\Omega$	4	4.05	1.25
ตัวเหนี่ยวนำ	$R_1 = 1 \text{ k}\Omega$	$R_2 = 1 \text{ k}\Omega$	$C_3 = 1 \text{ nF}$	$L_{eq} = 1 \text{ mH}$	0.63	0.67	6.35
ตัวเก็บประจุ	$C_1 = 1 \text{ nF}$	$R_2 = 1 \text{ k}\Omega$	$R_3 = 500 \Omega$	$C_{eq} = 500 \text{ pF}$	3.18	3.1	2.52
วงจร FDNR	$C_1 = 1 \text{ nF}$	$C_2 = 1 \text{ nF}$	$R_3 = 1 \text{ k}\Omega$	$D_{eq} = 1 \text{ fFs}$	2.53	2.51	0.79

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	10 kHz	4.1155 kΩ
1	20 kHz	4.1201 kΩ
2	30 kHz	4.1437 kΩ
3	40 kHz	4.1467 kΩ
4	50 kHz	4.127 kΩ
5	70 kHz	4.1139 kΩ
6	100 kHz	4.0524 kΩ
7	200 kHz	3.7791 kΩ

(ก)



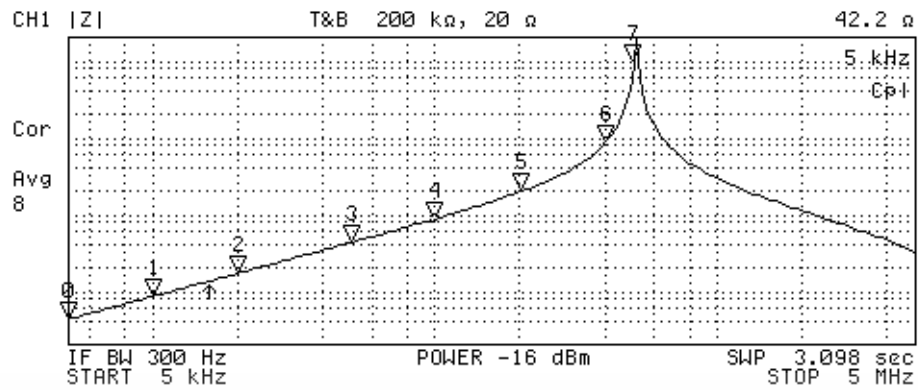
N	SWP PARAM	VAL
0	10 kHz	-878.59 m°
1	20 kHz	-2.4942 °
2	30 kHz	-3.5396 °
3	40 kHz	-5.3024 °
4	50 kHz	-6.677 °
5	70 kHz	-9.0956 °
6	100 kHz	-12.717 °
7	200 kHz	-24.841 °

(ข)

รูปที่ 4.10 ผลการวัดผลตอบแทนทางความถี่ของฟังก์ชันเลียนแบบตัวต้านทานของวงจรในรูปที่ 4.1

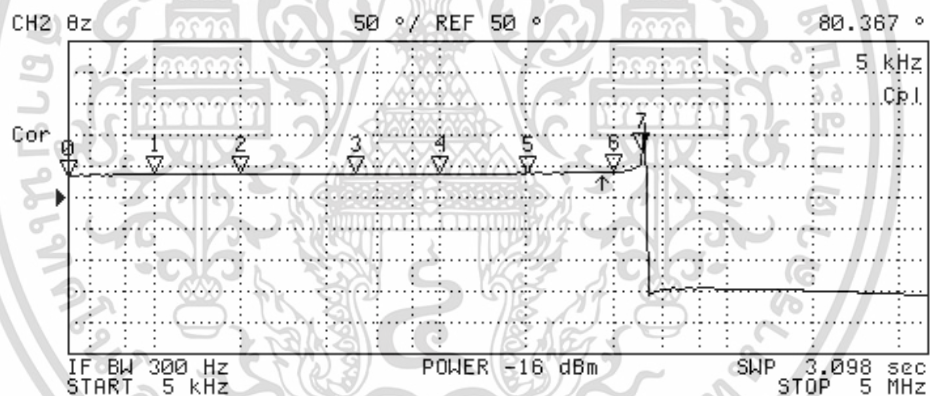
(ก) ผลตอบสนองทางขนาด (ข) ผลตอบสนองทางมุมเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	5 kHz	42.2 $\Omega$
1	10 kHz	85.307 $\Omega$
2	20 kHz	168.83 $\Omega$
3	50 kHz	423.4 $\Omega$
4	100 kHz	666.51 $\Omega$
5	200 kHz	1.9541 k $\Omega$
6	400 kHz	8.4224 k $\Omega$
7	500 kHz	96.222 k $\Omega$

(ก)



N	SWP PARAM	VAL
0	5 kHz	80.367 $^{\circ}$
1	10 kHz	87.396 $^{\circ}$
2	20 kHz	88.261 $^{\circ}$
3	50 kHz	88.767 $^{\circ}$
4	100 kHz	88.932 $^{\circ}$
5	200 kHz	89.054 $^{\circ}$
6	400 kHz	90.393 $^{\circ}$
7	500 kHz	125.63 $^{\circ}$

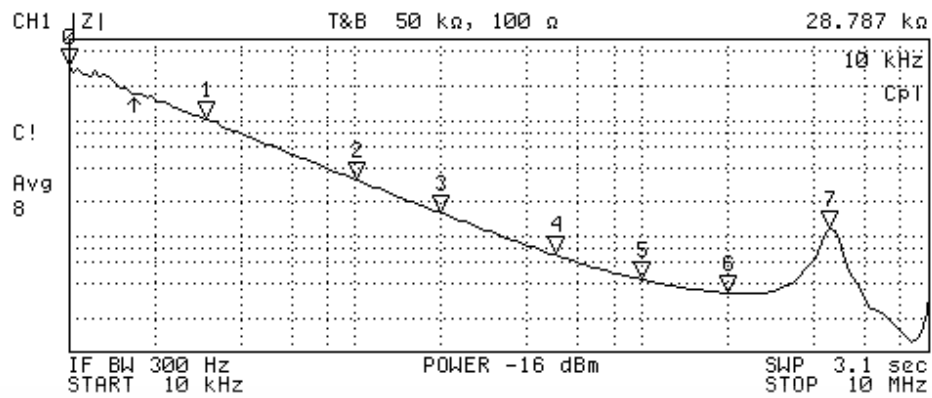
(ข)

รูปที่ 4.11 ผลการวัดผลตอบแทนทางความถี่ของฟังก์ชันเลียนแบบตัวเหนี่ยวนำของวงจรในรูปที่ 4.1

(ก) ผลตอบแทนทางขนาด

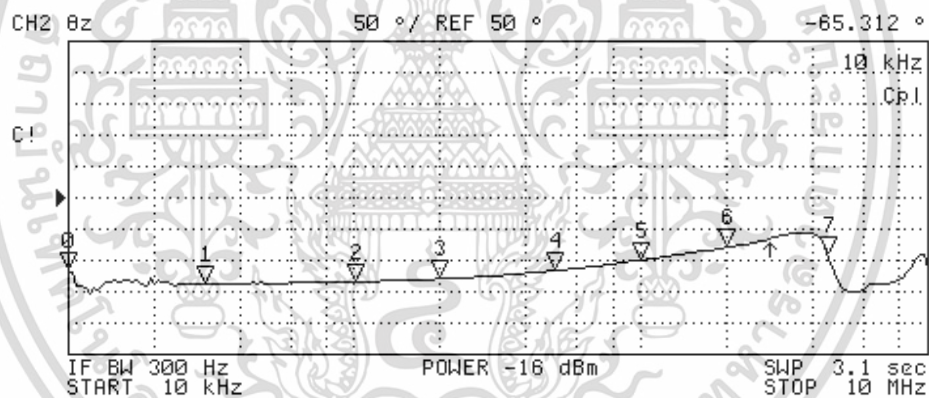
(ข) ผลตอบแทนทางมุมเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	10 kHz	28.787 kΩ
1	30 kHz	10.215 kΩ
2	100 kHz	3.102 kΩ
3	200 kHz	1.5811 kΩ
4	500 kHz	686.89 Ω
5	1 MHz	420.13 Ω
6	2 MHz	324.32 Ω
7	4.5 MHz	1.1355 kΩ

(ก)



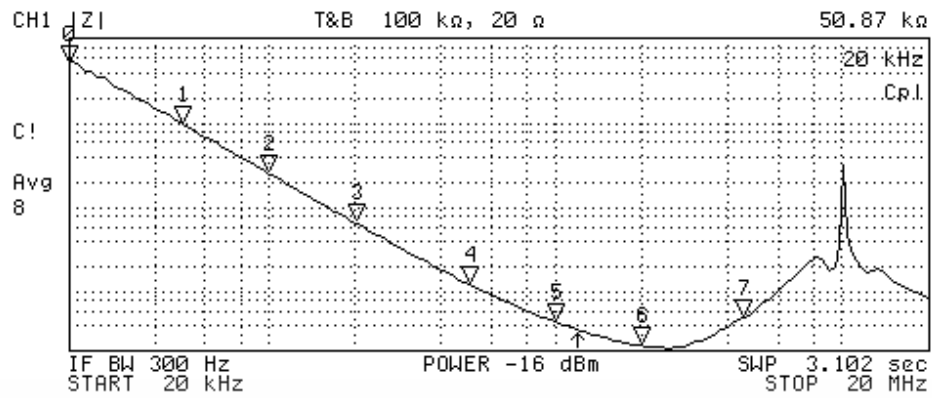
N	SWP PARAM	VAL
0	10 kHz	-65.312 °
1	30 kHz	-87.096 °
2	100 kHz	-83.819 °
3	200 kHz	-79.31 °
4	500 kHz	-66.245 °
5	1 MHz	-49.334 °
6	2 MHz	-29.339 °
7	4.5 MHz	-41.152 °

(ข)

รูปที่ 4.12 ผลการวัดผลตอบสนองทางความถี่ของฟังก์ชันคุณค่าความจุไฟฟ้าของวงจรในรูปที่ 4.1

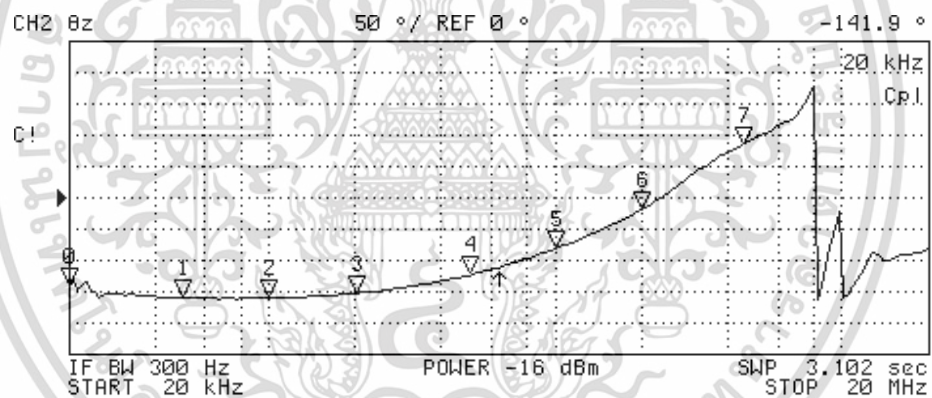
(ก) ผลตอบสนองทางขนาด (ข) ผลตอบสนองทางมุมเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	20 kHz	50.87 kΩ
1	50 kHz	9.717 kΩ
2	100 kHz	2.5095 kΩ
3	200 kHz	654.85 Ω
4	500 kHz	122.55 Ω
5	1 MHz	43.994 Ω
6	2 MHz	23.039 Ω
7	4.5 MHz	48.857 Ω

(ก)



N	SWP PARAM	VAL
0	20 kHz	-141.9 °
1	50 kHz	-159.08 °
2	100 kHz	-160.07 °
3	200 kHz	-152.41 °
4	500 kHz	-123.35 °
5	1 MHz	-81.244 °
6	2 MHz	-18.464 °
7	4.5 MHz	84.839 °

(ข)

รูปที่ 4.13 ผลการวัดผลตอบสนองทางความถี่ของวงจร FDNR ในรูปที่ 4.1

(ก) ผลตอบสนองทางขนาด

(ข) ผลตอบสนองทางมุมเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.6 การประยุกต์ใช้งานวงจรที่นำเสนอ

จากการตรวจสอบคุณสมบัติของวงจรแปลงฟังก์ชันอิมิตแดนซ์ที่นำเสนอในหัวข้อก่อนหน้า ด้วยผลการจำลองการทำงาน และผลการต่อทดลองด้วยวงจรจริง พบว่าวงจรมีคุณสมบัติที่ถูกต้อง และสอดคล้องเป็นไปตามหลักการทางทฤษฎี ดังนั้นในหัวข้อนี้จึงได้นำเสนอแนวทางในการประยุกต์ใช้งานวงจรแปลงฟังก์ชันอิมิตแดนซ์ดังนี้

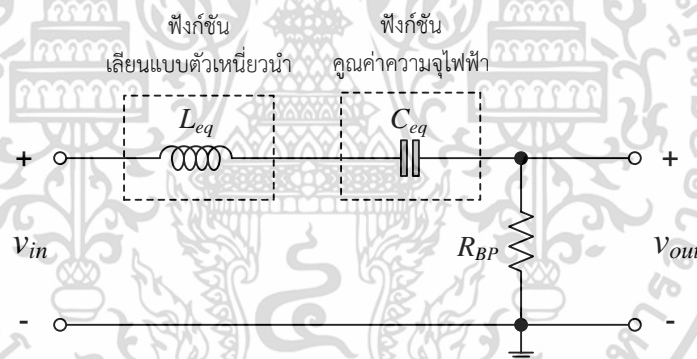
### 4.6.1 วงจรกรองผ่านแถบความถี่อันดับสอง

วงจรกรองผ่านแถบความถี่อันดับสอง (second-order bandpass filter) ในรูปที่ 4.14 สังเคราะห์ขึ้นโดยใช้ฟังก์ชันเลียนแบบตัวเหนี่ยวนำ และฟังก์ชันคุณค่าความจุไฟฟ้าของวงจรแปลงฟังก์ชันอิมิตแดนซ์ในรูปที่ 4.1 โดยค่าความถี่กลาง (center frequency,  $f_c$ ) และตัวประกอบคุณภาพ (quality factor,  $Q$ ) มีค่าเท่ากับ

$$f_c = \frac{1}{2\pi} \sqrt{\frac{1}{L_{eq} C_{eq}}} \quad (4.10)$$

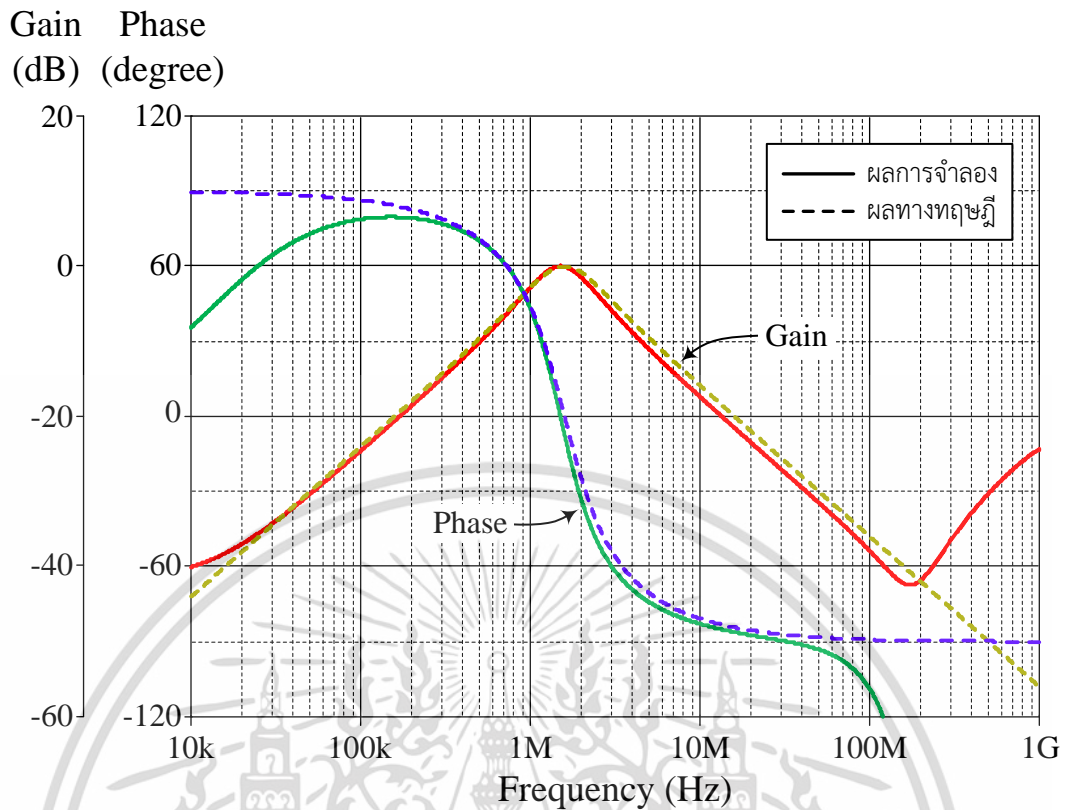
และ

$$Q = \left( \frac{1}{R_{BP}} \right) \sqrt{\frac{L_{eq}}{C_{eq}}} \quad (4.11)$$



รูปที่ 4.14 วงจรกรองผ่านแถบความถี่อันดับสองที่สังเคราะห์โดยใช้  
วงจรแปลงฟังก์ชันอิมิตแดนซ์ในรูปที่ 4.1

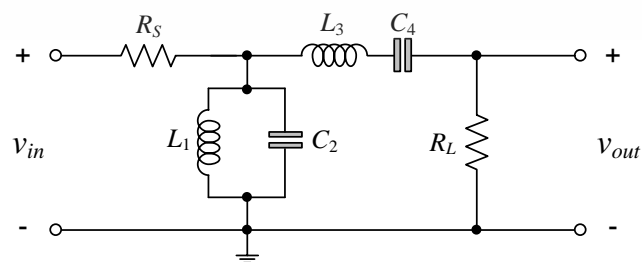
จากสมการ (4.10) ถึง (4.11) เมื่อกำหนดให้  $R_{BP} = 1 \text{ k}\Omega$   $L_{eq} = 100 \text{ }\mu\text{H}$  ( $R_1 = R_2 = 1 \text{ k}\Omega$  และ  $C_3 = 100 \text{ pF}$ ) และ  $C_{eq} = 100 \text{ }\mu\text{F}$  ( $C_1 = 100 \text{ pF}$  และ  $R_2 = R_3 = 1 \text{ k}\Omega$ ) กรณีนี้  $f_c = 1.59 \text{ MHz}$  และ  $Q = 1$  โดยผลการจำลองการทำงานของวงจรแสดงได้ดังรูปที่ 4.15



รูปที่ 4.15 ผลการจำลองการทำงานของวงจรกรองผ่านแถบความถี่อันดับสองในรูปที่ 4.14

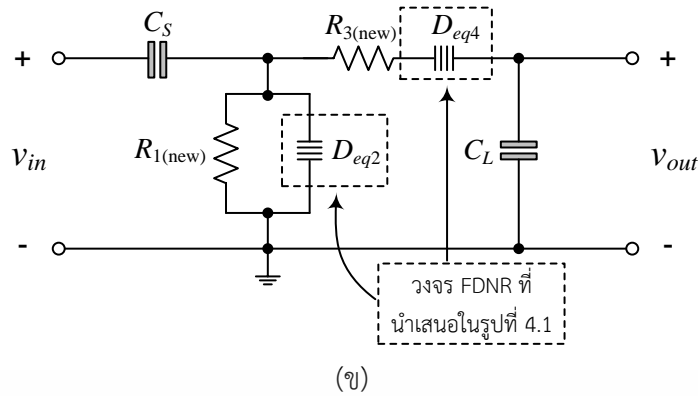
#### 4.6.2 วงจรกรองผ่านแถบความถี่อันดับสี่

รูปที่ 4.16 แสดงวงจรกรองผ่านแถบความถี่อันดับสี่ (fourth-order bandpass filter) เมื่อกำหนดให้  $R_S = R_L = 1 \Omega$ ,  $L_1 = 716.55 \text{ nH}$ ,  $C_2 = 14.14 \mu\text{F}$ ,  $L_3 = 14.14 \mu\text{H}$  และ  $C_4 = 716.55 \text{ nF}$  จะได้ค่าความถี่กลางเท่ากับ  $50 \text{ kHz}$  และแบนด์วิธเท่ากับ  $100 \text{ kHz}$  เมื่ออาศัยหลักการของ Bruton's transformation [34]-[35] โดยกำหนดค่าการสเกลขนาดเท่ากับ  $10^9$  วงจรกรองผ่านแถบความถี่อันดับสี่แบบ RLC ในรูปที่ 4.16(ก) จะเปลี่ยนเป็นวงจรกรองผ่านแถบความถี่อันดับสี่แบบ CRD ในรูปที่ 4.16(ข) ซึ่งค่าอุปกรณ์ในวงจรจะมีค่าดังนี้  $C_S = C_L = 1 \text{ nF}$ ,  $R_{1(\text{new})} = 716 \Omega$ ,  $R_{3(\text{new})} = 14.14 \text{ k}\Omega$ ,  $D_{eq2} = 14.14 \text{ fFs}$  ( $C_1 = C_2 = 1 \text{ nF}$  และ  $R_3 = 14.14 \text{ k}\Omega$ ) และ  $D_{eq4} = 0.717 \text{ fFs}$  ( $C_1 = C_2 = 1 \text{ nF}$  และ  $R_3 = 717 \Omega$ ) โดยผลการจำลองการทำงานของวงจรในรูปที่ 4.16 แสดงดังรูปที่ 4.17



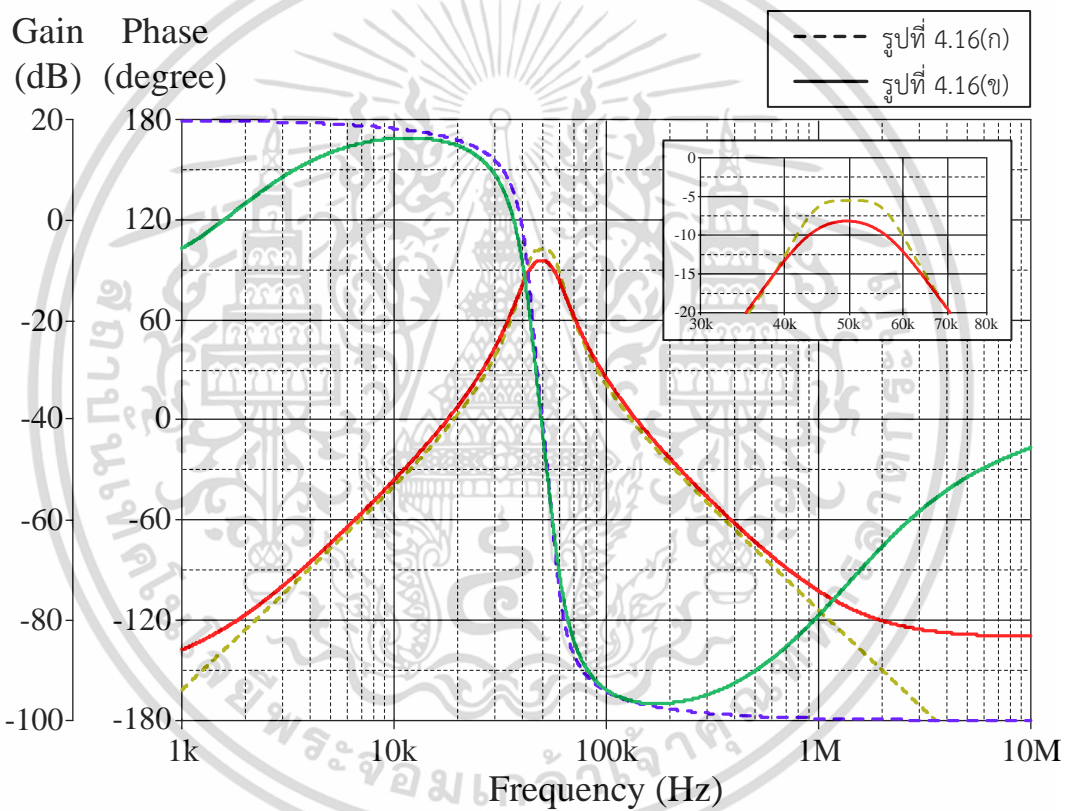
(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 วงจรกรองผ่านแถบความถี่อันดับสี่

(ก) โครงสร้างแบบ RLC (ข) โครงสร้างแบบ CRD ที่สังเคราะห์ขึ้นจากวงจร FDNR ในรูปที่ 4.1



รูปที่ 4.17 ผลการจำลองการทำงานของวงจรกรองผ่านแถบความถี่อันดับสี่ในรูปที่ 4.16

### 4.7 สรุป

วิทยานิพนธ์บทนี้กล่าวถึงการออกแบบและสังเคราะห์วงจรแปลงฟังก์ชันอิมิตแดนซ์อเนกประสงค์แบบลอยตัว วงจรที่นำเสนอสังเคราะห์ขึ้นจากวงจร DVTC จำนวนสองตัว ต่อร่วมกับอุปกรณ์พาสซีฟจำนวนสามตัว เมื่อเลือกใช้งานอุปกรณ์พาสซีฟอย่างเหมาะสม ส่งผลให้วงจรที่นำเสนอสามารถสังเคราะห์เป็นฟังก์ชันเลียนแบบตัวต้านทาน ฟังก์ชันเลียนแบบตัวเหนี่ยวนำ ฟังก์ชันคุณค่าความจุไฟฟ้า และวงจร FDNR ค่าอุปกรณ์สมมูลที่สังเคราะห์ขึ้นสามารถปรับค่าได้อย่างง่ายผ่านการแปรค่าตัวต้านทานจากภายนอกวงจร นอกจากนี้วงจรที่นำเสนอถูกยืนยันผลลัพธ์ที่สอดคล้องและเป็นไปตามหลักการทางทฤษฎีผ่านการจำลองการทำงานด้วยโปรแกรม PSPICE และเอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์เพื่อการใช้งานเพื่อการศึกษาเท่านั้น เมื่อผู้ยูได้เห็นใบเซอร์ยืนยันดำเนินการค่าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองด้วยวงจรจริงโดยใช้ไอซีสำเร็จรูปเบอร์ AD844 อีกทั้งยังนำเสนอแนวทางในการประยุกต์ใช้งานเป็นวงจรกรองผ่านแถบความถี่อันดับสอง และวงจรกรองผ่านแถบความถี่อันดับสี่อีกด้วย

#### 4.8 เอกสารอ้างอิงบทที่ 4

- [1] A. Antoniou, “Gyrators using operational amplifiers”, **Electronics Letters**, vol. 3, no. 8, pp. 350–352, 1967.
- [2] K. Martin and A. Sedra, “Optimum design of active filters using the generalized immittance converter”, **IEEE Transactions on Circuits and Systems**, vol. 24, no. 9, pp. 495–503, 1977.
- [3] R. Senani, “On the realization of floating active elements”, **IEEE Transactions on Circuits and Systems**, vol. 33, no. 3, pp. 323–324, 1986.
- [4] M. Higashimura and Y. Fukui, “Novel method for realising lossless floating immittance using current conveyors”, **Electronics Letters**, vol. 23, no. 10, pp. 498–499, 1987.
- [5] E. Yuce, “Floating inductance, FDNR and capacitance simulation circuit employing only grounded passive elements”, **International Journal of Electronics**, vol. 93, no. 10, pp. 679–688, 2006.
- [6] R. Senani, “Floating immittance realisation: nullor approach”, **Electronics Letters**, vol. 24, no. 7, pp. 403–405, 1988.
- [7] E. Yuce, “On the realization of the floating simulators using only grounded passive components”, **Analog Integrated Circuits and Signal Processing**, vol. 49, no. 2, pp. 161–166, 2006.
- [8] E. Yuce, S. Minaei, and O. Cicekoglu, “Resistorless floating immittance function simulators employing current controlled conveyors and a grounded capacitor”, **Electrical Engineering**, vol. 88, no. 6, pp. 519–525, 2006.
- [9] E. Yuce, O. Cicekoglu, and S. Minaei, “CCII-based grounded to floating immittance converter and a floating inductance simulator”, **Analog Integrated Circuits and Signal Processing**, vol. 46, no. 3, pp. 287–291, 2006.
- [10] S. Minaei, E. Yuce, and O. Cicekoglu, “A versatile active circuit for realising floating inductance, capacitance, FDNR and admittance converter”, **Analog Integrated Circuits and Signal Processing**, vol. 47, no. 2, pp. 199–202, 2006.
- [11] M. Sagbas, U. E. Ayten, H. Sedef, and M. Koksall, “Floating immittance function simulator and its applications”, **Circuits, Systems & Signal Processing**, vol. 28, no. 1, pp. 55–63, 2008.
- [12] R. Sotner, N. Herencsar, J. Jerabek, A. Kartci, J. Koton, and T. Dostal, “Pseudo-differential filter design using novel adjustable floating inductance simulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- with electronically controllable current conveyors”, **Elektronika ir Elektrotechnika**, vol. 23, no. 2, 2017.
- [13] E. Yuce, “A novel floating simulation topology composed of only grounded passive components”, **International Journal of Electronics**, vol. 97, no. 3, pp. 249–262, 2010.
- [14] A. Abaci and E. Yuce, “Single DDCC based new immittance function simulators employing only grounded passive elements and their applications”, **Microelectronics Journal**, vol. 83, pp. 94–103, 2019.
- [15] M. Sagbas, U. E. Ayten, H. Sedef, and M. Koksall, “Floating immittance function simulator and its applications”, **Circuits, Systems and Signal Processing**, vol. 28, no. 1, pp. 55–63, 2009.
- [16] M. T. Abuelma’atti, S. K. Dhar, and Z. J. Khalifa, “New two-CFOA-based floating immittance simulators”, **Analog Integrated Circuits and Signal Processing**, vol. 91, no. 3, pp. 479–489, 2017.
- [17] E. Yuce, “On the implementation of the floating simulators employing a single active device”, **AEU - International Journal of Electronics and Communications**, vol. 61, no. 7, pp. 453–458, 2007.
- [18] E. Yuce and S. Minaei, “A modified CFOA and its applications to simulated inductors, capacitance multipliers, and analog filters”, **IEEE Transactions on Circuits and Systems I: Regular Papers**, vol. 55, no. 1, pp. 266–275, 2008.
- [19] P. Antognetti, D. D. Caviglia, and E. Profumo, “CAD model for threshold and subthreshold conduction in MOSFETs,” **IEEE Journal of Solid-State Circuits**, vol. 17, no. 3, pp. 454–458, 1982.
- [20] T. Grotjohn and B. Hoefflinger, “A parametric short-channel MOS transistor model for subthreshold and strong inversion current,” **IEEE Journal of Solid-State Circuits**, vol. 19, no. 1, pp. 100–112, 1984.
- [21] H. Soeleman, K. Roy, and B. C. Paul, “Robust subthreshold logic for ultra-low power operation,” **IEEE Transactions on Very Large Scale Integration (VLSI) Systems**, vol. 9, no. 1, pp. 90–99, 2001.
- [22] P.-H. Huang, H. Lin, and Y.-T. Lin, “A simple subthreshold CMOS voltage reference circuit with channel-length modulation compensation,” **IEEE Transactions on Circuits and Systems II: Express Briefs**, vol. 53, no. 9, pp. 882–885, 2006.
- [23] L. Magnelli, F. Crupi, P. Corsonello, C. Pace, and G. Iannaccone, “A 2.6 nW, 0.45 V temperature-compensated subthreshold CMOS voltage reference,” **IEEE Journal of Solid-State Circuits**, vol. 46, no. 2, pp. 465–474, 2011.

- [24] Y. Wang, Z. Zhu, J. Yao, and Y. Yang, "A 0.45-V, 14.6-nW CMOS subthreshold voltage reference with no resistors and no BJTs," **IEEE Transactions on Circuits and Systems II: Express Briefs**, vol. 62, no. 7, pp. 621–625, 2015.
- [25] D. Ozenli and H. H. Kuntman, "A novel low power MOSFET-C band pass filter for low frequency applications with subthreshold models based on polynomial regression," **Analog Integrated Circuits and Signal Processing**, vol. 97, no. 1, pp. 97–105, 2018.
- [26] J. Ramirez-Angulo, S. C. Choi, and G. Gonzalez-Altamirano, "Low-voltage circuits building blocks using multiple-input floating-gate transistors," **IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications**, vol. 42, no. 11, pp. 971–974, 1995.
- [27] V. Srinivasan, G. J. Serrano, J. Gray, and P. Hasler, "A precision CMOS amplifier using floating-gate transistors for offset cancellation," **IEEE Journal of Solid-State Circuits**, vol. 42, no. 2, pp. 280–291, 2007.
- [28] E. Ozalevli and P. E. Hasler, "Tunable highly linear floating-gate CMOS resistor using common-mode linearization technique," **IEEE Transactions on Circuits and Systems I: Regular Papers**, vol. 55, no. 4, pp. 999–1010, 2008.
- [29] J. M. A. Miguel, A. J. Lopez-Martin, L. Acosta, J. Ramirez-Angulo, and R. G. Carvajal, "Using Floating Gate and Quasi-Floating Gate Techniques for Rail-to-Rail Tunable CMOS Transconductor Design," **IEEE Transactions on Circuits and Systems I: Regular Papers**, vol. 58, no. 7, pp. 1604–1614, 2011.
- [30] C. Garcia-Alberdi, A. J. Lopez-Martin, L. Acosta, R. G. Carvajal, and J. Ramirez-Angulo, "Tunable class AB CMOS Gm-C filter based on quasi-floating gate techniques," **IEEE Transactions on Circuits and Systems I: Regular Papers**, vol. 60, no. 5, pp. 1300–1309, 2013.
- [31] L. Danial, E. Pikhay, E. Herbelin, N. Wainstein, V. Gupta, N. Wald, Y. Roizin, R. Daniel, and S. Kvatinsky, "Two-terminal floating-gate transistors with a low-power memristive operation mode for analogue neuromorphic computing," **Nature Electronics**, vol. 2, no. 12, pp. 596–605, 2019.
- [32] N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsirat, "Floating general immittance function simulator", **AEU - International Journal of Electronics and Communications**, vol. 132, p. 153640, 2021.
- [33] Analog Devices, "60 MHz, 2000 V/ $\mu$ s, monolithic op amp with quad low noise", **AD844 datasheet**, 1992.
- [34] วรพงศ์ ตั้งศรีรัตน์. การออกแบบและสังเคราะห์วงจรกรองสัญญาณแอนะล็อกและวงจรรออสซิลเลเตอร์. คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2554

- [35] S. Winder, "Analog and digital filter design 2<sup>nd</sup> edition", **Newnes: An imprint of Elsevier Science**, 2002.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 5

# วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรม และแบบขนาน ที่สังเคราะห์ขึ้นจากวงจร DVTC

### 5.1 กล่าวนำ

ในวิทยานิพนธ์บทที่ 4 ได้กล่าวถึงการออกแบบและสังเคราะห์วงจรแปลงค่าอิมิตแดนซ์ทั่วไปที่สามารถสังเคราะห์เป็นตัวต้านทาน (resistor) ตัวเหนี่ยวนำ (inductor) ตัวเก็บประจุไฟฟ้า (capacitor) และวงจร FDNR (frequency-dependent negative resistance) ได้โดยการเลือกใช้งานอุปกรณ์พาสซีฟ ซึ่งจากการทบทวนงานวิจัยในอดีตพบว่านอกจากการสังเคราะห์วงจรเป็นฟังก์ชันทั่วไปดังที่กล่าวในบทก่อนหน้าแล้ว พบว่ายังมีงานวิจัยที่ออกแบบและสังเคราะห์วงจรเป็นฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสีย (lossy inductance simulator) และฟังก์ชันคูณค่าความจุไฟฟ้าที่มีการสูญเสีย (lossy capacitance multiplier) อีกด้วย [1]-[11] ในปัจจุบันการออกแบบและพัฒนาวงจรมักมุ่งเน้นในเรื่องของขนาดของวงจรที่นำเสนอ เนื่องจากความต้องการให้พื้นที่บนวงจรรวม (integrated circuit, IC) มีขนาดที่เล็กลง รวมทั้งการสังเคราะห์วงจรโดยอาศัยระดับแรงดันไฟเลี้ยงที่ต่ำ (low supply voltage) ซึ่งก่อให้เกิดกำลังไฟฟ้าสูญเสียน้อยลง (low power consumption) ยังเป็นอีกหนึ่งหัวข้อวิจัยที่ได้รับความนิยมอย่างมากในการนำไปพัฒนาวงจรแต่อย่างไรก็ตามในงานวิจัย [2]-[3], [8]-[10] สังเคราะห์วงจรโดยอาศัยอุปกรณ์แอคทีฟมากกว่าสามตัวขึ้นไป ในขณะที่งานวิจัย [1]-[2], [4]-[5], [7]-[8], [10]-[11] ใช้อุปกรณ์พาสซีฟมากกว่าสามตัว งานวิจัย [2]-[11] ทำงานภายใต้ระดับแรงดันไฟเลี้ยงมากกว่า  $\pm 0.75$  V ซึ่งส่งผลให้เกิดกำลังไฟฟ้าสูญเสียมาก อีกทั้งงานวิจัย [1]-[3] ยังไม่สามารถทำงานได้มากกว่าหนึ่งฟังก์ชันหากไม่มีการเปลี่ยนโครงสร้างของวงจร

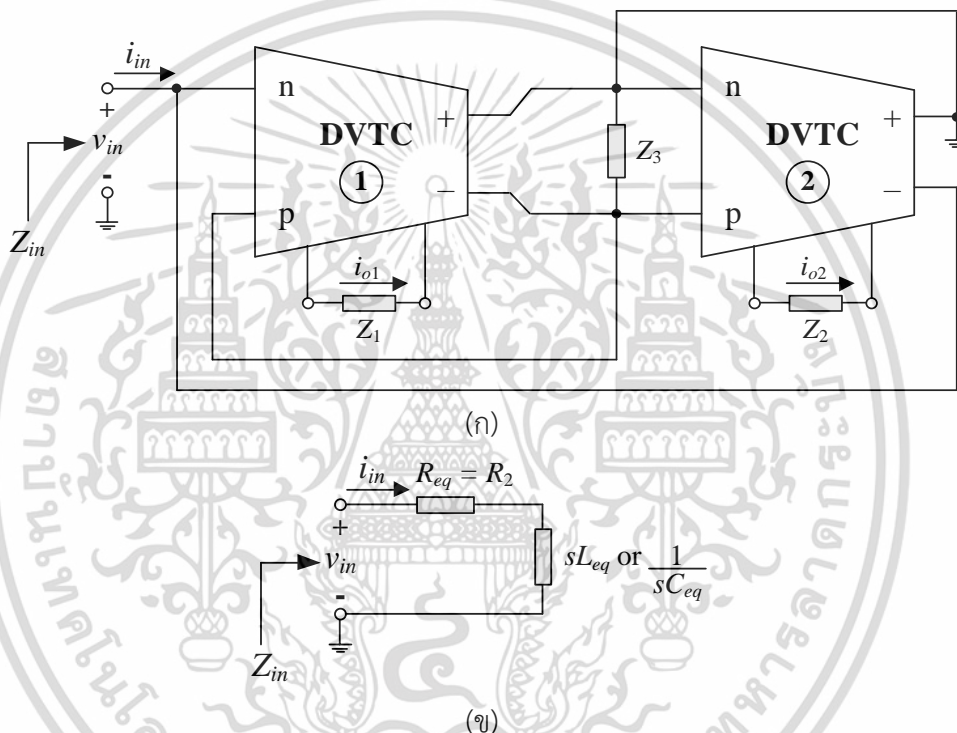
ดังนั้นในวิทยานิพนธ์บทนี้จะกล่าวถึงการออกแบบและสังเคราะห์วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมและแบบขนาน (series/parallel type immittance simulator circuit) โดยวงจรที่นำเสนอประกอบด้วยวงจร DVTC จำนวนสองตัวต่อร่วมกับอุปกรณ์พาสซีฟจำนวนสามตัวเท่านั้น โดยการเลือกใช้งานอุปกรณ์พาสซีฟอย่างเหมาะสม ส่งผลให้วงจรที่นำเสนอสามารถสังเคราะห์เป็นฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมและแบบขนาน และฟังก์ชันคูณค่าความจุไฟฟ้าที่มีการสูญเสียทั้งแบบอนุกรมและแบบขนาน นอกจากนี้วงจรที่นำเสนอยังปราศจากเงื่อนไขการเท่ากับของอุปกรณ์ (component matching choice) คุณสมบัติในการทำงานของวงจรที่นำเสนอได้ถูกตรวจสอบผ่านการจำลองการทำงานด้วยโปรแกรม PSPICE และการต่อทดลองด้วยวงจรจริงผ่านไอซีสำเร็จรูปเบอร์ AD844 เพื่อยืนยันผลลัพธ์ที่สอดคล้องกับค่าในทางทฤษฎี รวมทั้งการนำเสนอแนวทางในการประยุกต์ใช้งานวงจรเป็นวงจรกรองผ่านความถี่ต่ำโหมดแรงดันและโหมดกระแส และวงจรกรองผ่านความถี่สูงโหมดแรงดันและโหมดกระแสอีกด้วย

## 5.2 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมและแบบขนานที่นำเสนอ

### 5.2.1 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมที่นำเสนอ

รูปที่ 5.1 แสดงวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมต่อเทียบกราวด์ที่นำเสนอ [12] วงจรที่นำเสนอประกอบด้วยวงจร DVTC ซึ่งทำหน้าที่เป็นอุปกรณ์แอกทีฟหลักจำนวนสองตัว และอุปกรณ์พาสซีฟจำนวนสามตัว เมื่อวิเคราะห์ห้วงจรด้วยคุณสมบัติของวงจร DVTC ดังสมการ (3.10) จะได้ค่าอิมพีแดนซ์อินพุตเท่ากับ [ภาคผนวก ค1]

$$Z_{in} = \frac{v_{in}}{i_{in}} = Z_2 + Z_{eq} = Z_2 + \frac{Z_1 Z_2}{Z_3} \quad (5.1)$$



รูปที่ 5.1 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมที่นำเสนอ

(ก) วงจรที่นำเสนอ (ข) วงจรสมมูล

สมการ (5.1) แสดงให้เห็นว่าวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมที่นำเสนอในรูปที่ 5.1 สามารถสังเคราะห์เป็นฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรม และฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบอนุกรม โดยการกำหนดอุปกรณ์พาสซีฟดังนี้

- กำหนดให้  $Z_1 = R_1$   $Z_2 = R_2$  และ  $Z_3 = 1/sC_3$  จะได้ค่าอิมพีแดนซ์อินพุตของฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมเท่ากับ

$$Z_{in} = R_{eq} + sL_{eq} = R_2 + sR_1R_2C_3 \quad (5.2)$$

โดยที่  $R_{eq} = R_2$  และ  $L_{eq} = R_1R_2C_3$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

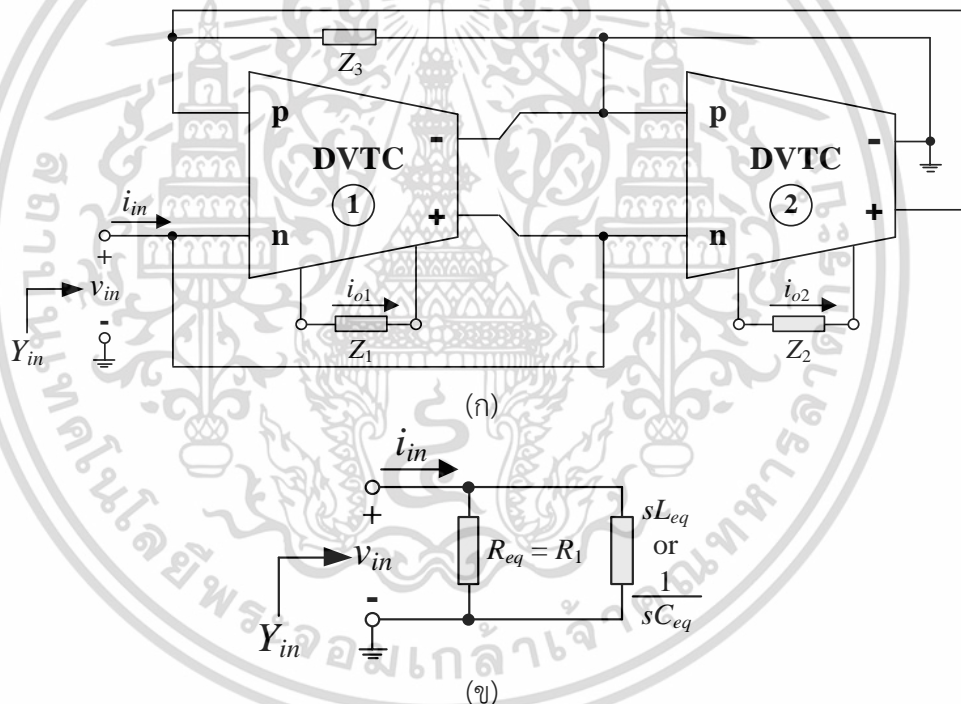
- กำหนดให้  $Z_1 = 1/sC_1$   $Z_2 = R_2$  และ  $Z_3 = R_3$  จะได้ค่าอิมพีแดนซ์อินพุตของฟังก์ชันคูณค่าความจุไฟฟ้าที่มีการสูญเสียแบบอนุกรมเท่ากับ

$$Z_{in} = R_{eq} + \frac{1}{sC_{eq}} = R_2 + \frac{R_2}{sC_1R_3} \quad (5.3)$$

โดยที่  $R_{eq} = R_2$  และ  $C_{eq} = C_1(R_3/R_2)$

### 5.2.2 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานที่นำเสนอ

วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานต่อเทียบกราวด์ที่นำเสนอแสดงดังรูปที่ 5.2 [13] สัณเคราะห์ขึ้นจากวงจร DVTC จำนวนสองตัวต่อร่วมกับอุปกรณ์พาสซีฟจำนวนสามตัว หากวิเคราะห์วงจรที่นำเสนอด้วยความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจร DVTC ในสมการ (3.10) จะหาค่าแอดมิตแดนซ์อินพุต (admittance input,  $Y_{in}$ ) ได้ดังนี้ [ภาคผนวก ค2]



รูปที่ 5.2 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานที่นำเสนอ

(ก) วงจรที่นำเสนอ (ข) วงจรสมมูล

$$Y_{in} = \frac{i_{in}}{v_{in}} = \frac{1}{Z_1} + \frac{1}{Z_{eq}} = \frac{1}{Z_1} + \frac{Z_3}{Z_1Z_2} \quad (5.4)$$

เมื่อวิเคราะห์สมการ (5.4) พบว่าการเลือกใช้อุปกรณ์พาสซีฟอย่างเหมาะสมทำให้วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานที่นำเสนอในรูปที่ 5.2 สามารถสังเคราะห์เป็นฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนาน และฟังก์ชันคูณค่าความจุไฟฟ้าที่มีการสูญเสียแบบขนาน โดยมีเอกสารนี้รายละเอียดดังนี้ สำหรับการใช้นี้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- กำหนดให้  $Z_1 = R_1$   $Z_2 = R_2$  และ  $Z_3 = 1/sC_3$  จะได้ค่าแอดมิตแตนซ์อินพุตของฟังก์ชัน  
เลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานเท่ากับ

$$Y_{in} = \frac{1}{R_{eq}} + \frac{1}{L_{eq}} = \frac{1}{R_1} + \frac{1}{sR_1R_2C_3} \quad (5.5)$$

โดยที่  $R_{eq} = R_1$  และ  $L_{eq} = R_1R_2C_3$

- กำหนดให้  $Z_1 = R_1$   $Z_2 = 1/sC_2$  และ  $Z_3 = R_3$  จะได้ค่าแอดมิตแตนซ์อินพุตของฟังก์ชันคุณ  
ค่าความจุไฟฟ้าที่มีการสูญเสียแบบขนานเท่ากับ

$$Y_{in} = \frac{1}{R_{eq}} + sC_{eq} = \frac{1}{R_1} + \frac{sR_3C_2}{R_1} \quad (5.6)$$

โดยที่  $R_{eq} = R_1$  และ  $C_{eq} = C_2(R_3/R_1)$

### 5.3 สมรรถนะของวงจรเลียนแบบฟังก์ชันอิมิตแตนซ์แบบอนุกรมและแบบขนาน ในทางปฏิบัติ

ในทางปฏิบัติวงจรเลียนแบบฟังก์ชันอิมิตแตนซ์แบบอนุกรมและแบบขนานจะมีการ  
คลาดเคลื่อนไปจากผลในทางทฤษฎีเล็กน้อย เนื่องจากคุณสมบัติที่ไม่เป็นไปตามอุดมคติของวงจร  
DVTC ดังสมการ (3.11) และ (3.12)

#### 5.3.1 วงจรเลียนแบบฟังก์ชันอิมิตแตนซ์แบบอนุกรมในทางปฏิบัติ

เมื่อวิเคราะห์วงจรในรูปที่ 5.1 อีกครั้งโดยอาศัยคุณสมบัติของวงจร DVTC ในทางปฏิบัติ พบว่า  
ค่าอิมพีแดนซ์อินพุตกรณีนี้เท่ากับ [ภาคผนวก ค3]

$$Z'_{in} = \frac{v_{in}}{i_{in}} = Z_2 + Z_{eq} = \frac{Z_2}{\alpha_{on2}} + \frac{Z_1Z_2}{\alpha_{on1}\alpha_{on2}Z_3} \quad (5.7)$$

สมการ (5.7) แสดงให้เห็นว่าค่าอุปกรณ์สมมูลที่สังเคราะห์ขึ้นจากวงจรจะมีค่าคลาดเคลื่อนไปจากผล  
ในทางอุดมคติเล็กน้อย โดยมีรายละเอียดดังนี้

$$R'_{eq} = \frac{R_2}{\alpha_{on2}} \quad (5.8)$$

$$L'_{eq} = \frac{R_1R_2C_3}{\alpha_{on1}\alpha_{on2}} \quad (5.9)$$

และ

$$C'_{eq} = C_1 \left( \frac{\alpha_{on1}\alpha_{on2}R_3}{R_2} \right) \quad (5.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความไวของค่าอุปกรณ์สมมูลต่อการเบี่ยงเบนค่าอุปกรณ์แอกทีฟ และอุปกรณ์พาสซีฟใน วงจรมีค่าเท่ากับ [ภาคผนวก ค4]

$$S_{R_2}^{R'_{eq}} = -S_{\alpha_{on2}}^{R'_{eq}} = 1 \quad (5.11)$$

$$S_{R_1}^{L'_{eq}} = S_{R_2}^{L'_{eq}} = S_{C_3}^{L'_{eq}} = -S_{\alpha_{on1}}^{L'_{eq}} = -S_{\alpha_{on2}}^{L'_{eq}} = 1 \quad (5.12)$$

และ

$$S_{C_1}^{C'_{eq}} = S_{R_3}^{C'_{eq}} = S_{\alpha_{on1}}^{C'_{eq}} = S_{\alpha_{on2}}^{C'_{eq}} = -S_{R_2}^{C'_{eq}} = 1 \quad (5.13)$$

สมการ (5.11) ถึง (5.13) แสดงให้เห็นว่าค่าความไวทั้งหมดมีขนาดไม่เกินหนึ่ง หรือวงจรเลียนแบบ ฟังก์ชันอิมิตแดนซ์แบบอนุกรมที่นำเสนอมีคุณสมบัติค่าความไวต่อการเบี่ยงเบนค่าอุปกรณ์ในวงจรที่ ต่ำ

### 5.3.2 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานในทางปฏิบัติ

เมื่อคำนึงถึงคุณสมบัติกรณีไม่เป็นไปตามอุดมคติของวงจร DVTC ส่งผลให้ค่าแอดมิตแดนซ์ อินพุตของวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานมีค่าเท่ากับ [ภาคผนวก ค5]

$$Y'_{in} = \frac{i_{in}}{v_{in}} = \frac{1}{Z_1} + \frac{1}{Z_{eq}} = \frac{\alpha_{op1}}{Z_1} + \frac{\alpha_{op1}\alpha_{op2}Z_3}{Z_1Z_2} \quad (5.14)$$

กรณีนี้ค่าอุปกรณ์สมมูลที่สังเคราะห์ขึ้นจากวงจรเมื่อคำนึงถึงผลในทางปฏิบัติมีค่าเท่ากับ

$$R'_{eq} = \frac{R_1}{\alpha_{op1}} \quad (5.15)$$

$$L'_{eq} = \frac{R_1R_2C_3}{\alpha_{op1}\alpha_{op2}} \quad (5.16)$$

และ

$$C'_{eq} = C_2 \left( \frac{\alpha_{op1}\alpha_{op2}R_3}{R_1} \right) \quad (5.17)$$

ค่าความไวของค่าอุปกรณ์สมมูลต่อการเบี่ยงเบนค่าอุปกรณ์ภายในวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานมีค่าเท่ากับ [ภาคผนวก ค6]

$$S_{R_1}^{R'_{eq}} = -S_{\alpha_{op1}}^{R'_{eq}} = 1 \quad (5.18)$$

$$S_{R_1}^{L'_{eq}} = S_{R_2}^{L'_{eq}} = S_{C_3}^{L'_{eq}} = -S_{\alpha_{op1}}^{L'_{eq}} = -S_{\alpha_{op2}}^{L'_{eq}} = 1 \quad (5.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{และ} \quad S_{C_2}^{C'_{eq}} = S_{R_3}^{C'_{eq}} = S_{\alpha_{op1}}^{C'_{eq}} = S_{\alpha_{op2}}^{C'_{eq}} = -S_{R_1}^{C'_{eq}} = 1 \quad (5.20)$$

สมการ (5.18) ถึง (5.20) แสดงให้เห็นว่าค่าความไวทั้งหมดของค่าอุปกรณ์สมมูลที่สังเคราะห์ขึ้นจากวงจรมีขนาดไม่เกินหนึ่ง หรือมีคุณสมบัติค่าความไวต่อการเบี่ยงเบนค่าอุปกรณ์ในวงจรที่ต่ำ

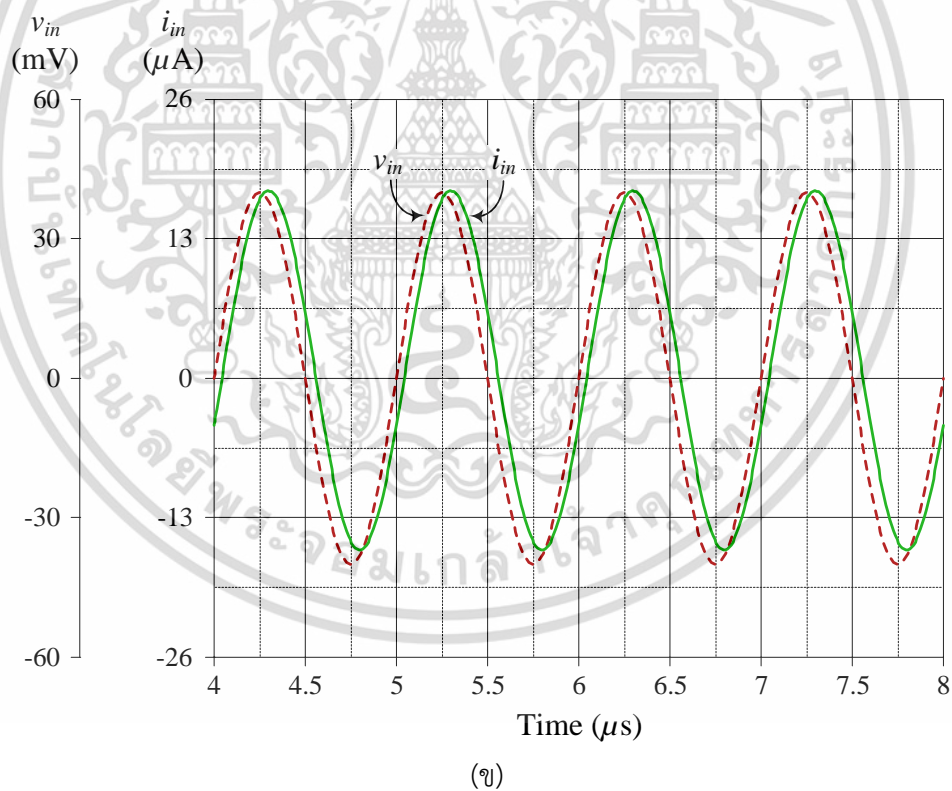
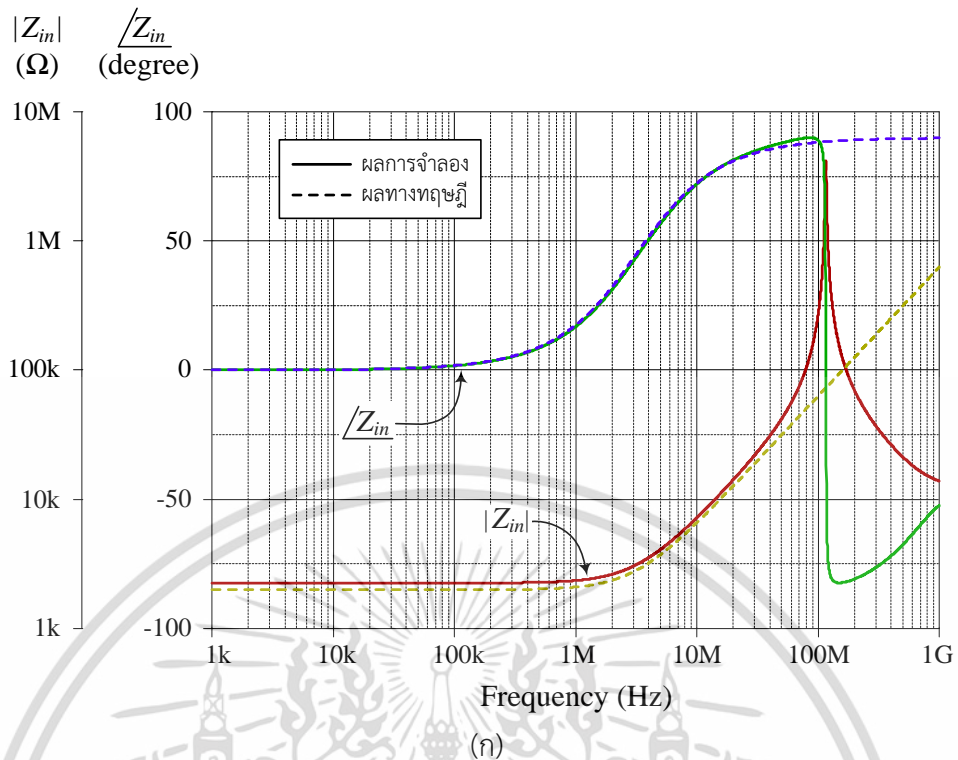
#### 5.4 ผลการจำลองการทำงานของวงจร

หัวข้อนี้กล่าวถึงการจำลองการทำงานของวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมในรูปที่ 5.1 และแบบขนานในรูปที่ 5.2 ผ่านโปรแกรม PSPICE ภายใต้เทคโนโลยีแบบ CMOS ขนาด  $0.25 \mu\text{m}$  เพื่อยืนยันคุณสมบัติของวงจรที่ต้องการตรงตามผลลัพธ์ในทางทฤษฎี ในการจำลองกำหนดให้  $+V = -V = 0.75 \text{ V}$   $I_B = 40 \mu\text{A}$  และ  $v_{in} = 40 \text{ mVpeak}$  โดยวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมเลือกใช้  $R_1 = 500 \Omega$   $R_2 = 2 \text{ k}\Omega$  และ  $C_3 = 100 \text{ pF}$  ส่งผลให้  $R_{eq} = 2 \text{ k}\Omega$  และ  $L_{eq} = 100 \mu\text{H}$  ซึ่งผลการจำลองการทำงานแสดงดังรูปที่ 5.3 รูปที่ 5.4 แสดงผลการจำลองการทำงานของวงจรคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบอนุกรม หากกำหนดให้  $C_1 = 100 \text{ pF}$   $R_2 = 1 \text{ k}\Omega$  และ  $R_3 = 500 \Omega$  จะได้  $R_{eq} = 1 \text{ k}\Omega$  และ  $C_{eq} = 50 \text{ pF}$

รูปที่ 5.5 แสดงผลการจำลองการทำงานของวงจรเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนาน โดยกำหนดให้  $R_1 = R_2 = 1 \text{ k}\Omega$  และ  $C_3 = 100 \text{ pF}$  จะได้  $R_{eq} = 1 \text{ k}\Omega$  และ  $L_{eq} = 100 \mu\text{H}$  ในทำนองเดียวกันรูปที่ 5.6 แสดงผลการจำลองการทำงานของวงจรคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบขนานเมื่อ  $R_1 = 500 \Omega$   $C_2 = 100 \text{ pF}$  และ  $R_3 = 1 \text{ k}\Omega$  หรือ  $R_{eq} = 500 \Omega$  และ  $C_{eq} = 200 \text{ pF}$

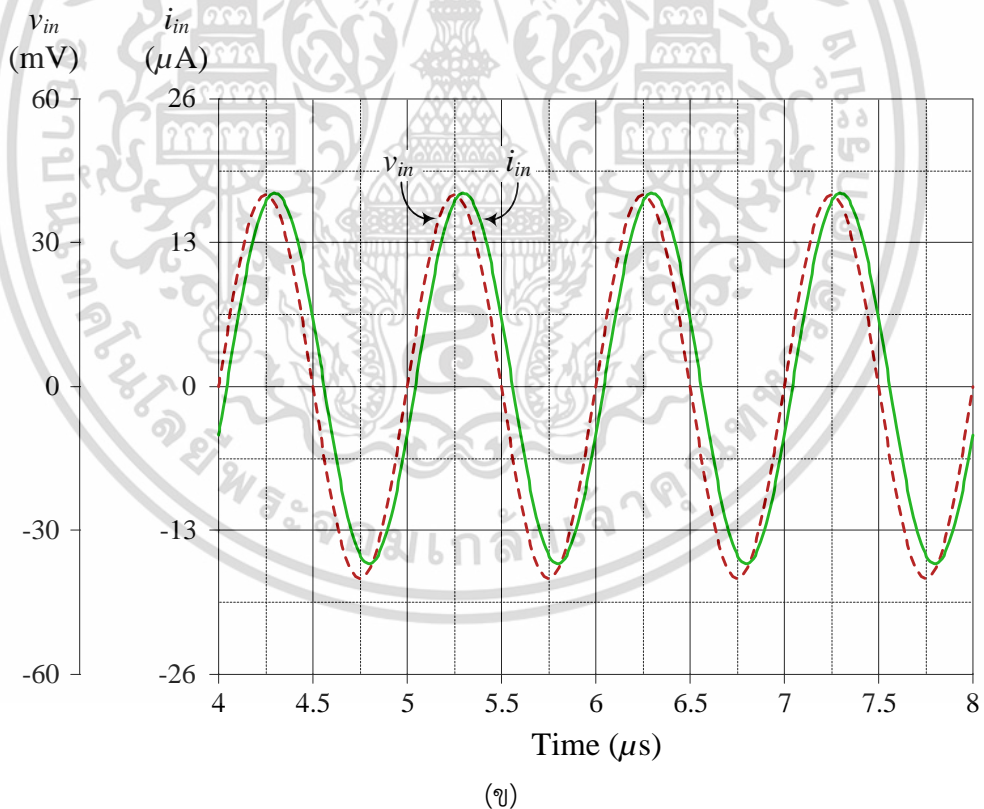
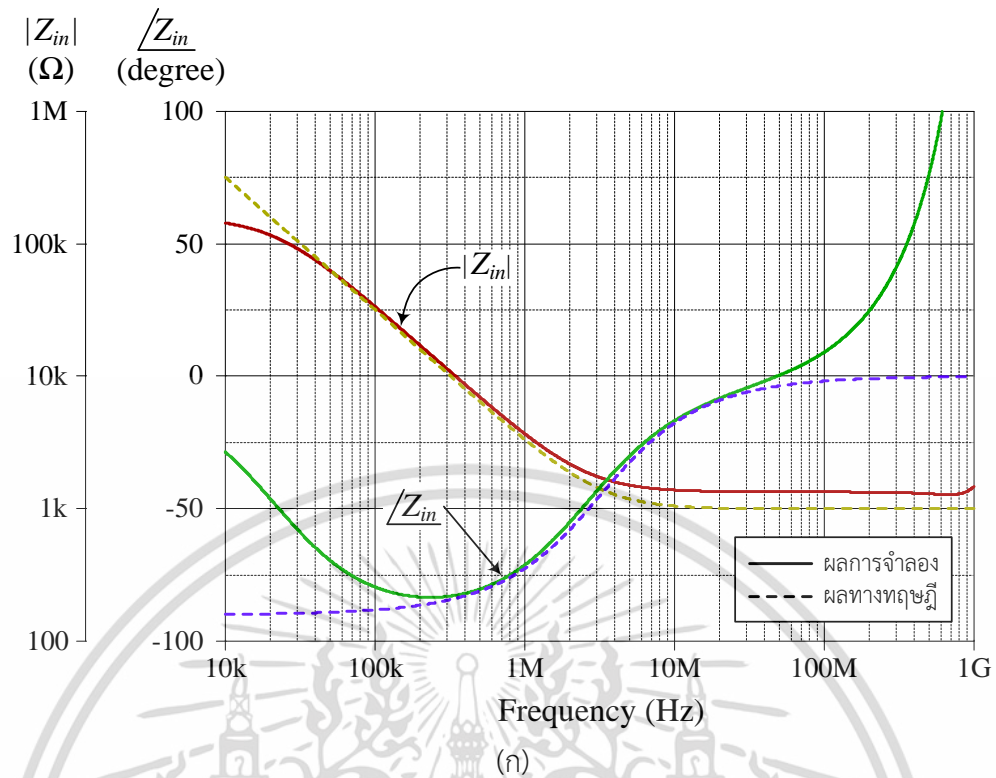
ฟังก์ชันเลียนแบบตัวเหนี่ยวนำในรูปที่ 5.1 ถูกทดสอบคุณสมบัติในการปรับค่าโดยการแปรค่า  $R_1$  เป็น  $500 \Omega$   $2 \text{ k}\Omega$   $5 \text{ k}\Omega$  และกำหนดให้  $R_2 = 1 \text{ k}\Omega$  และ  $C_3 = 100 \text{ pF}$  จะได้  $R_{eq}$  คงที่เท่ากับ  $1 \text{ k}\Omega$  และ  $L_{eq}$  แปรค่าเป็น  $50 \mu\text{H}$   $200 \mu\text{H}$  และ  $500 \mu\text{H}$  ตามลำดับแสดงดังรูปที่ 5.7 นอกจากนี้ฟังก์ชันคุณค่าความจุไฟฟ้าในรูปที่ 5.1 ถูกแปรค่า  $R_3$  เป็นสามค่าได้แก่  $2 \text{ k}\Omega$ ,  $5 \text{ k}\Omega$  และ  $10 \text{ k}\Omega$  โดยที่  $C_1 = 100 \text{ pF}$  และ  $R_2 = 1 \text{ k}\Omega$  จะได้  $C_{eq} = 200 \text{ pF}$   $500 \text{ pF}$  และ  $1 \text{ nF}$  ตามลำดับ โดยที่  $R_{eq}$  คงที่อยู่ที่  $1 \text{ k}\Omega$  แสดงดังรูปที่ 5.8

รูปที่ 5.9 แสดงผลการจำลองของฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานเมื่อแปรค่า  $R_2$  เป็น  $500 \Omega$   $2 \text{ k}\Omega$   $5 \text{ k}\Omega$  และกำหนดให้  $R_1 = 1 \text{ k}\Omega$  และ  $C_3 = 100 \text{ pF}$  จะได้  $R_{eq}$  มีค่าคงที่เท่ากับ  $1 \text{ k}\Omega$  และ  $L_{eq}$  แปรค่าเป็น  $50 \mu\text{H}$   $200 \mu\text{H}$  และ  $500 \mu\text{H}$  ตามลำดับ อีกทั้งฟังก์ชันคุณค่าความจุไฟฟ้าเมื่อแปรค่า  $R_3$  เป็น  $250 \Omega$   $2 \text{ k}\Omega$   $5 \text{ k}\Omega$  และ  $R_1$  และ  $C_2$  คงที่เท่ากับ  $500 \Omega$  และ  $100 \text{ pF}$  ตามลำดับ ส่งผลให้  $R_{eq}$  เท่ากับ  $500 \Omega$  และ  $C_{eq}$  เท่ากับ  $50 \text{ pF}$   $400 \text{ pF}$  และ  $1 \text{ nF}$  แสดงดังรูปที่ 5.10



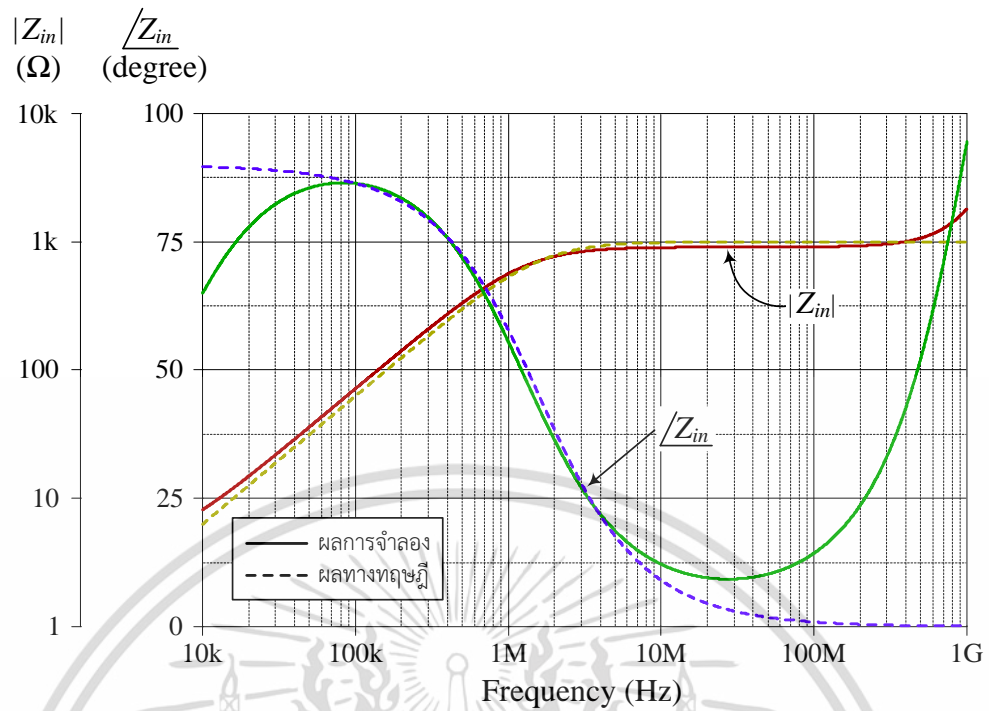
รูปที่ 5.3 ผลการจำลองของฟังก์ชันเลี่ยนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมในรูปที่ 5.1  
(ก) ผลตอบสนองทางความถี่ (ข) ผลตอบสนองทางเวลาที่ความถี่ 1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

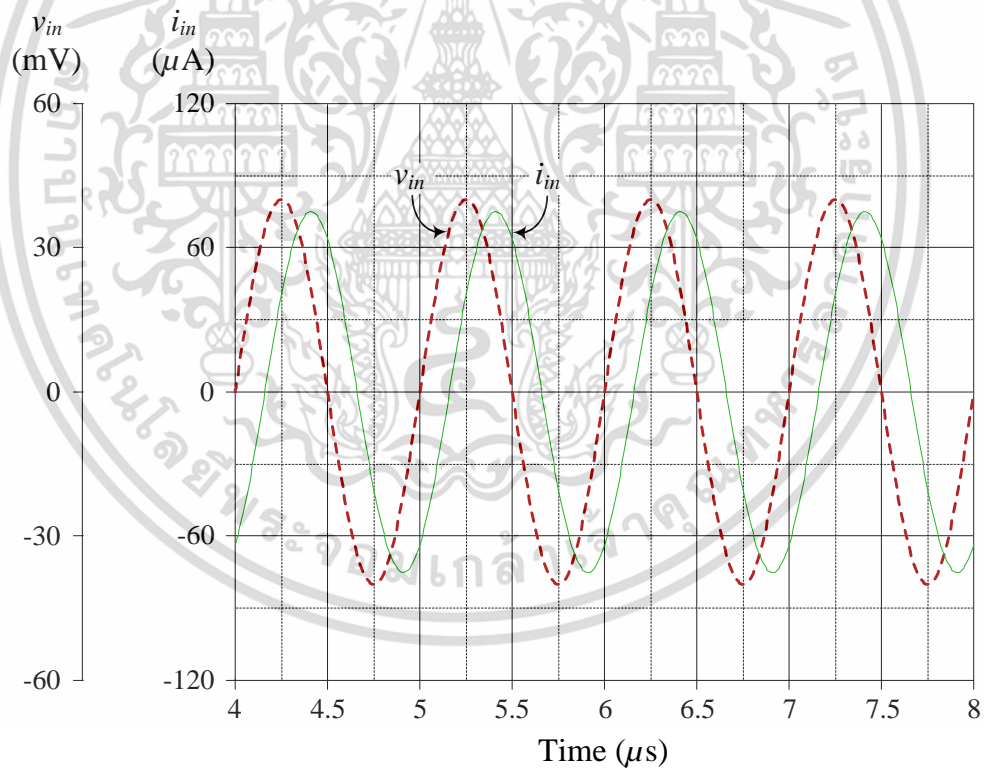


รูปที่ 5.4 ผลการจำลองของฟังก์ชันคุณค้ำความถี่ไฟฟ้าที่มีการสูญเสียแบบอนุกรมในรูปที่ 5.1  
(ก) ผลตอบสนองทางความถี่ (ข) ผลตอบสนองทางเวลาที่ความถี่ 1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



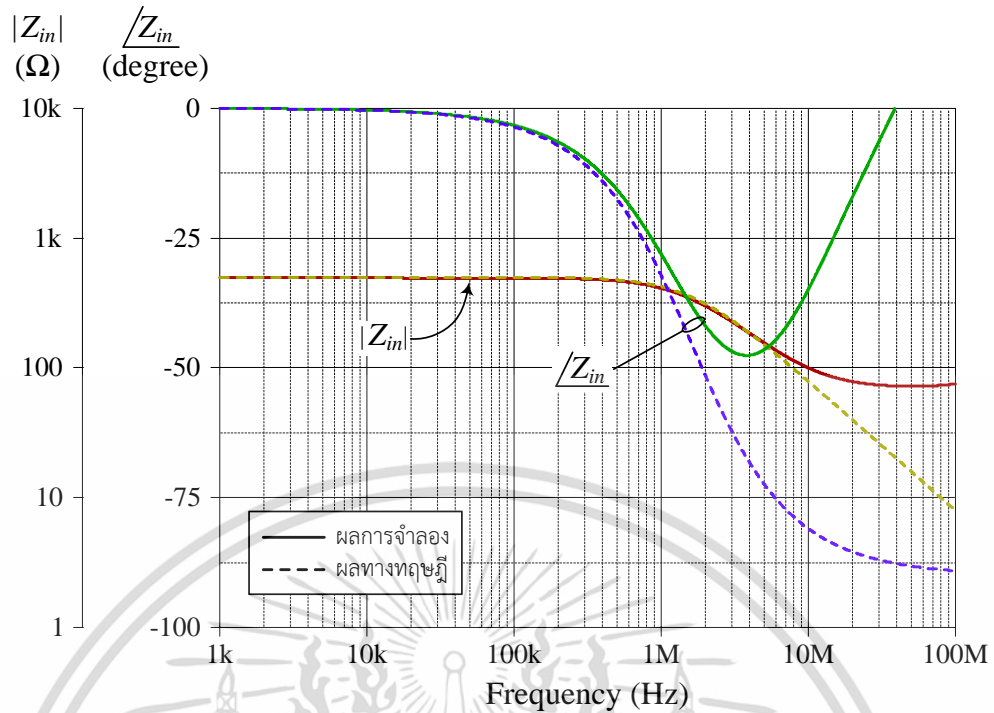
(ก)



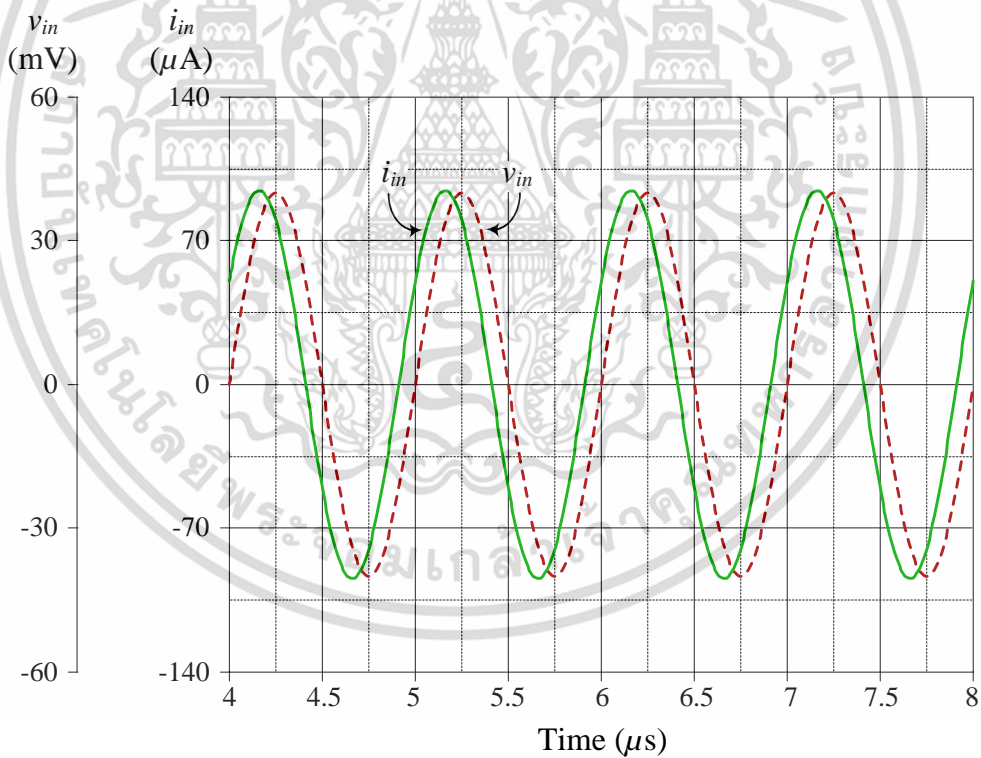
(ข)

รูปที่ 5.5 ผลการจำลองของฟังก์ชันเส้นแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานในรูปที่ 5.2  
 (ก) ผลตอบสนองทางความถี่ (ข) ผลตอบสนองทางเวลาที่ความถี่ 1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



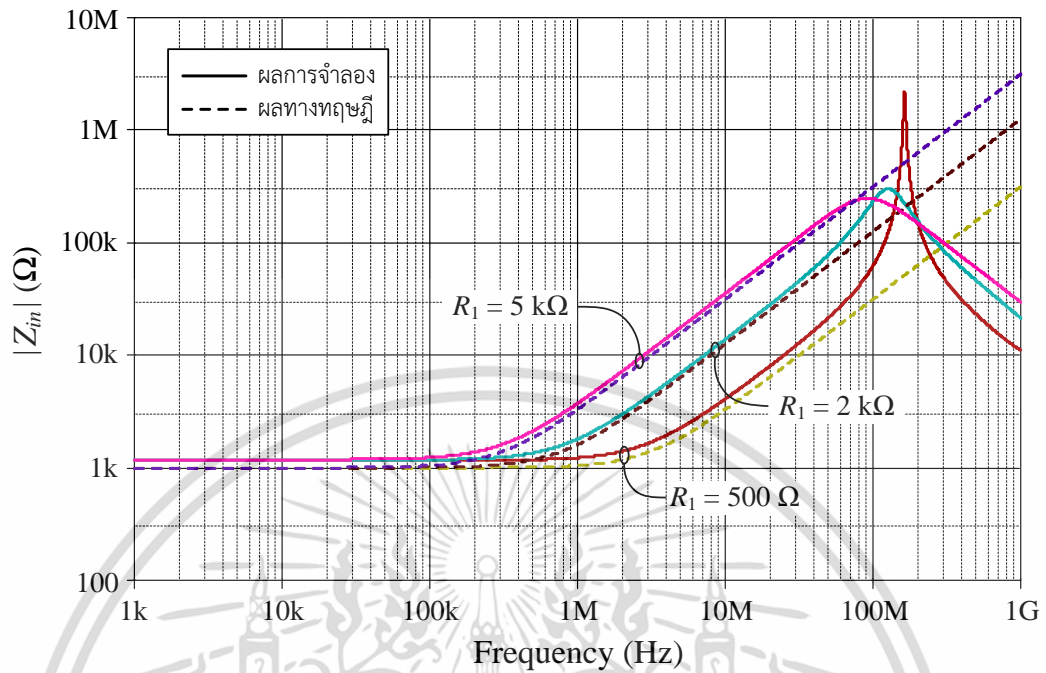
(ก)



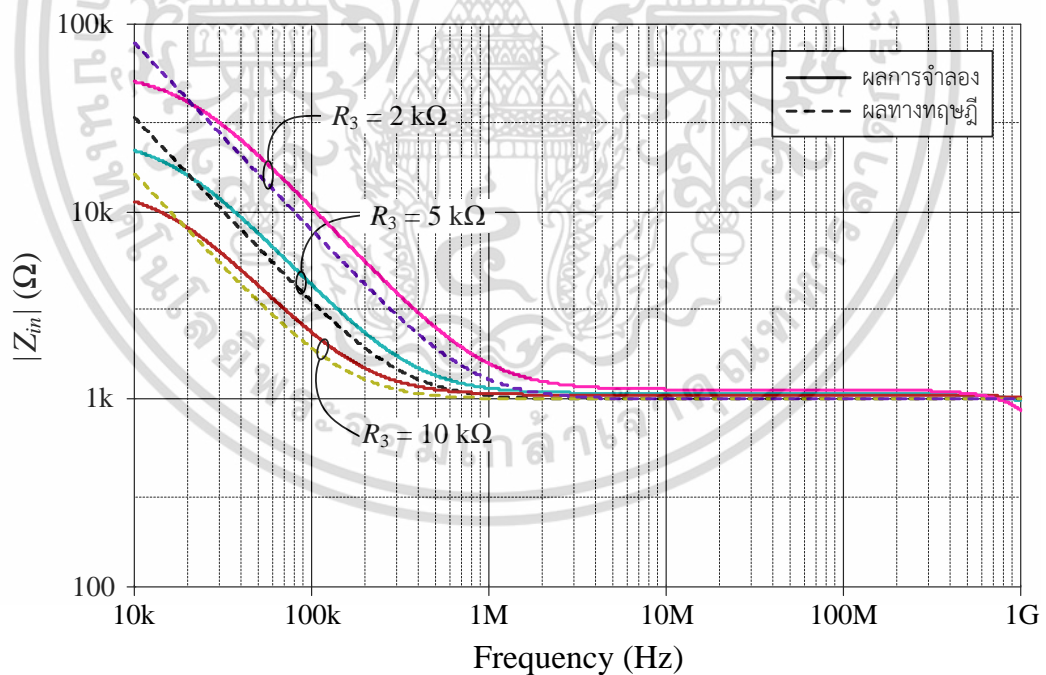
(ข)

รูปที่ 5.6 ผลการจำลองของฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบขนานในรูปที่ 5.2  
 (ก) ผลตอบสนองทางความถี่ (ข) ผลตอบสนองทางเวลาที่ความถี่ 1 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

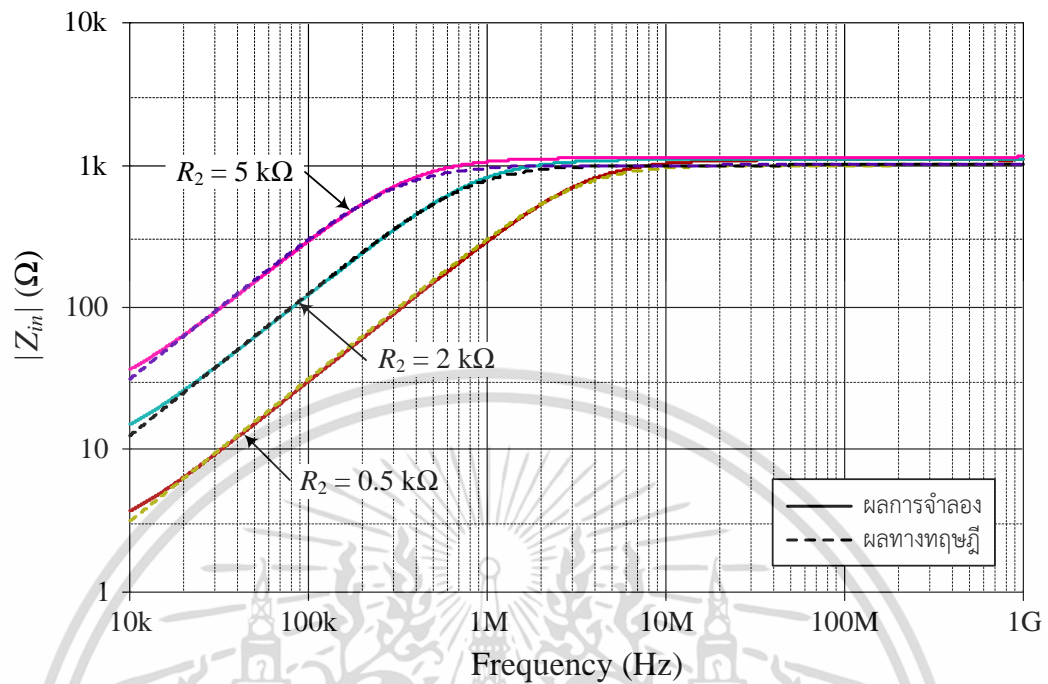


รูปที่ 5.7 ผลการจำลองของฟังก์ชันเลี่ยนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมเมื่อแปรค่า  $R_1$

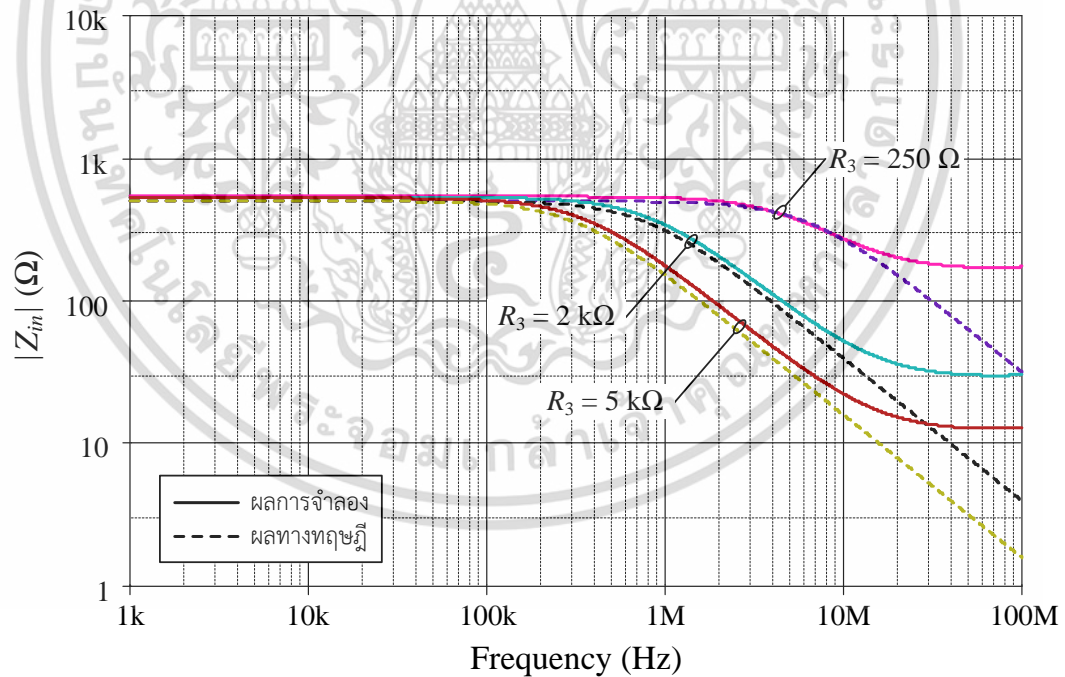


รูปที่ 5.8 ผลการจำลองของฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบอนุกรมเมื่อแปรค่า  $R_3$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.9 ผลการจำลองของฟังก์ชันคลื่นแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานเมื่อแปรค่า  $R_2$



รูปที่ 5.10 ผลการจำลองของฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบขนานเมื่อแปรค่า  $R_3$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

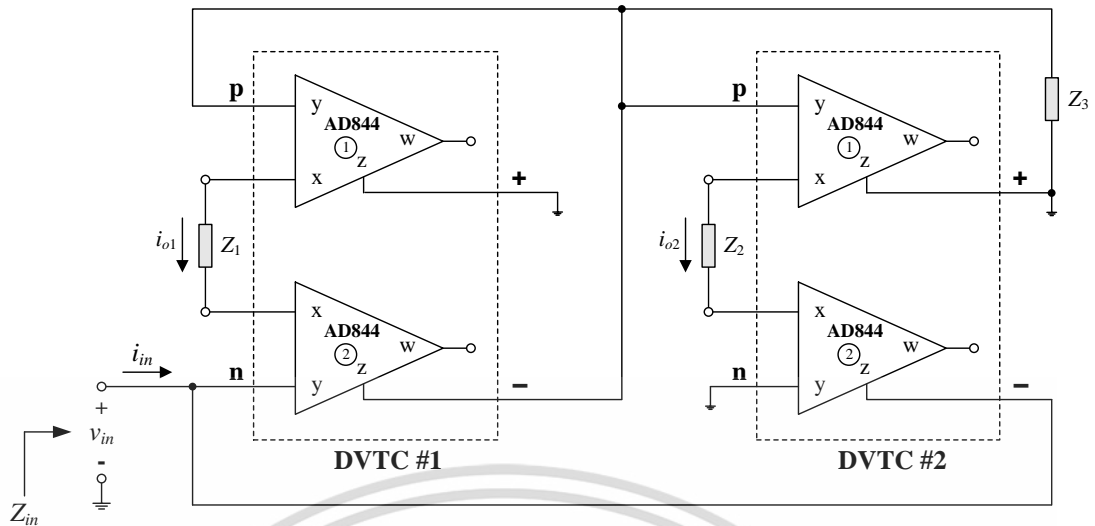
## 5.5 ผลการทดลองด้วยวงจรจริง

นอกจากการตรวจสอบคุณสมบัติในการทำงานของวงจรเลียนแบบฟังก์ชันอิมิตแตนซ์ด้วยการจำลองการทำงานแล้ว ในหัวนี้จะนำเสนอการตรวจสอบด้วยผลการต่อทดลองด้วยวงจรจริงผ่านไอซีสำเร็จรูปเบอร์ AD844 [14] โดยวงจรเลียนแบบฟังก์ชันอิมิตแตนซ์แบบอนุกรมแสดงดังรูปที่ 5.11 ในขณะที่วงจรเลียนแบบฟังก์ชันอิมิตแตนซ์แบบขนานแสดงดังรูปที่ 5.12 รูปที่ 5.13 ถึงรูปที่ 5.16 แสดงผลการวัดผลตอบสนองทางความถี่ของวงจรเลียนแบบฟังก์ชันอิมิตแตนซ์แบบอนุกรมและแบบขนานโดยรายละเอียดของอุปกรณ์สามารถสรุปดังตารางที่ 5.1

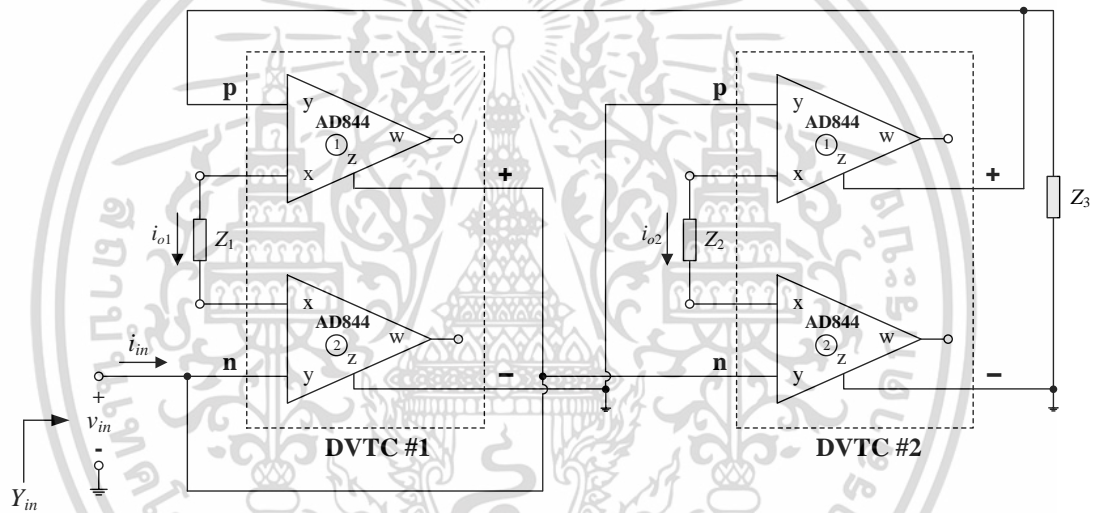
ตารางที่ 5.1 รายละเอียดการกำหนดค่าอุปกรณ์ที่ใช้ในการต่อทดลองสำหรับรูปที่ 5.11 และ 5.12

รูปที่	ฟังก์ชันที่ สังเคราะห์	อุปกรณ์พาสซีฟที่ใช้ในวงจร			ค่าอุปกรณ์ สมมูล	$Z_{in}$ (k $\Omega$ ) ที่ความถี่ 100 kHz		ค่าความ ผิดพลาด (%)
		$Z_1$	$Z_2$	$Z_3$		ผลทาง ทฤษฎี	ผลการ วัด	
5.11	RL อนุกรม	$R_1 = 1 \text{ k}\Omega$	$R_2 = 1 \text{ k}\Omega$	$C_3 = 4.7 \text{ nF}$	$R_{eq} = 1 \text{ k}\Omega$ $L_{eq} = 4.7 \text{ mH}$	3.12	3.43	9.93
	RC อนุกรม	$C_1 = 4.7 \text{ nF}$	$R_2 = 1 \text{ k}\Omega$	$R_3 = 1 \text{ k}\Omega$	$R_{eq} = 1 \text{ k}\Omega$ $C_{eq} = 4.7 \text{ nF}$	1.06	1.16	9.43
5.12	RL ขนาน	$R_1 = 1 \text{ k}\Omega$	$R_2 = 1 \text{ k}\Omega$	$C_3 = 4.7 \text{ nF}$	$R_{eq} = 1 \text{ k}\Omega$ $L_{eq} = 4.7 \text{ mH}$	0.95	0.98	3.15
	RC ขนาน	$R_1 = 1 \text{ k}\Omega$	$C_2 = 4.7 \text{ nF}$	$R_3 = 1 \text{ k}\Omega$	$R_{eq} = 1 \text{ k}\Omega$ $C_{eq} = 4.7 \text{ nF}$	0.32	0.34	6.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

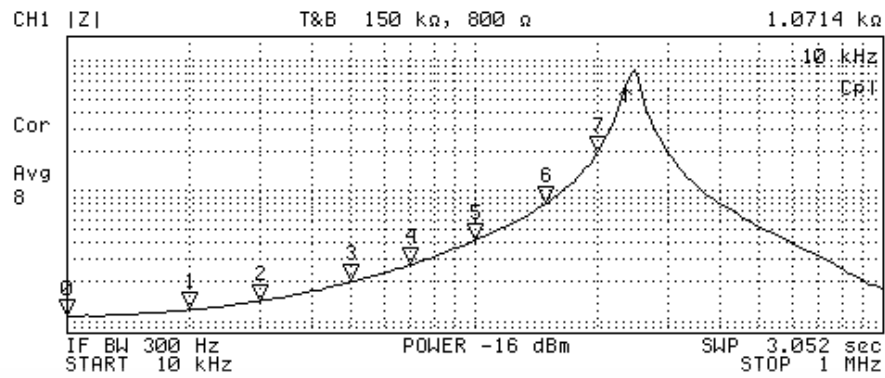


รูปที่ 5.11 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมที่ออกแบบเพื่อใช้ในการต่อทดลอง



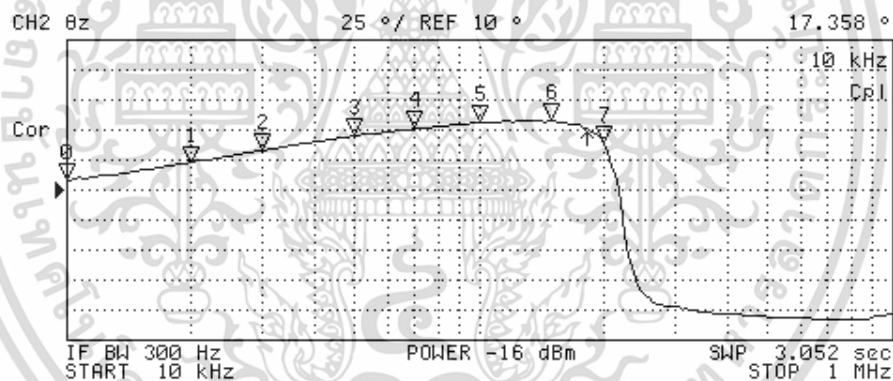
รูปที่ 5.12 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานที่ออกแบบเพื่อใช้ในการต่อทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	10 kHz	1.0714 k $\Omega$
1	20 kHz	1.2102 k $\Omega$
2	30 kHz	1.4115 k $\Omega$
3	50 kHz	1.9756 k $\Omega$
4	70 kHz	2.6819 k $\Omega$
5	100 kHz	3.4324 k $\Omega$
6	150 kHz	7.8654 k $\Omega$
7	200 kHz	19.259 k $\Omega$

(ก)



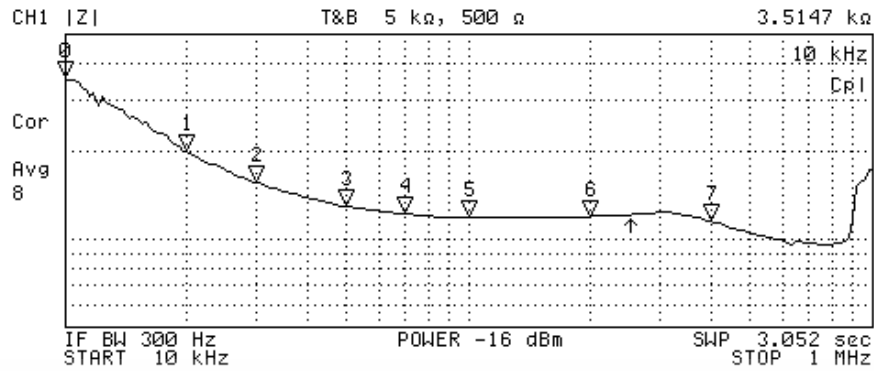
N	SWP PARAM	VAL
0	10 kHz	17.358 °
1	20 kHz	32.623 °
2	30 kHz	43.204 °
3	50 kHz	55 °
4	70 kHz	61.098 °
5	100 kHz	65.702 °
6	150 kHz	67.313 °
7	200 kHz	49.219 °

(ข)

รูปที่ 5.13 ผลการวัดผลตอบแทนทางความถี่ของฟังก์ชันเลียนแบบตัวเหนี่ยวนำ  
ที่มีการสูญเสียแบบอนุกรมในรูปที่ 5.11

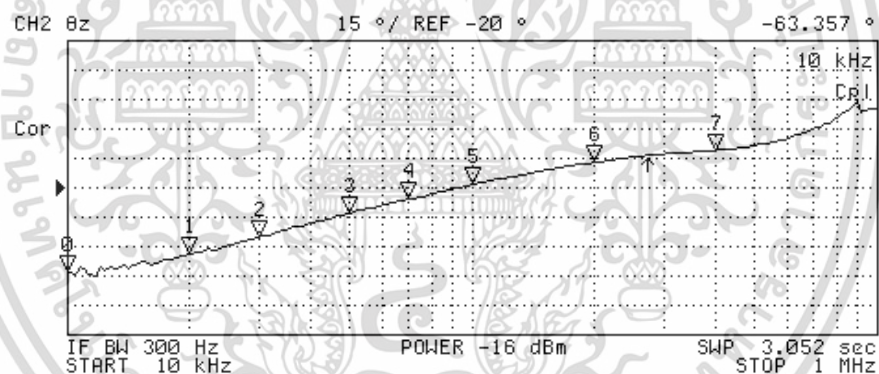
(ก) ผลตอบแทนทางขนาด (ข) ผลตอบแทนทางมุมเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	10 kHz	3.5147 kΩ
1	20 kHz	1.9895 kΩ
2	30 kHz	1.557 kΩ
3	50 kHz	1.293 kΩ
4	70 kHz	1.2167 kΩ
5	100 kHz	1.1637 kΩ
6	200 kHz	1.1906 kΩ
7	400 kHz	1.1471 kΩ

(ก)



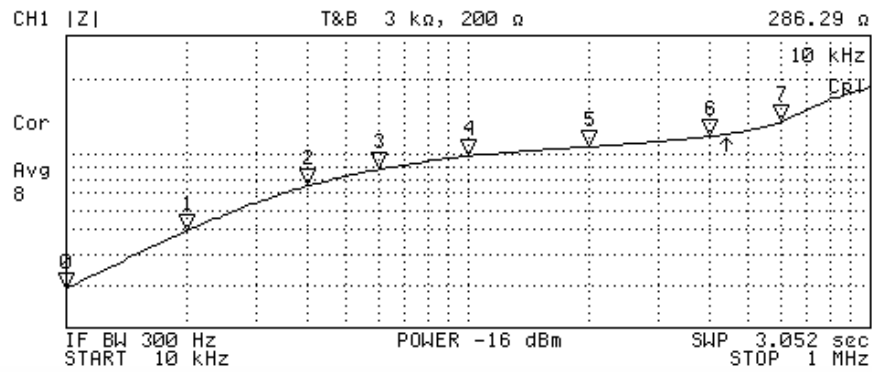
N	SWP PARAM	VAL
0	10 kHz	-63.357 °
1	20 kHz	-54.114 °
2	30 kHz	-45.258 °
3	50 kHz	-33.132 °
4	70 kHz	-25.915 °
5	100 kHz	-18.533 °
6	200 kHz	-6.95 °
7	400 kHz	-994.89 m°

(ข)

รูปที่ 5.14 ผลการวัดผลตอบแทนทางความถี่ของฟังก์ชันคุณค่าความจุไฟฟ้า  
ที่มีการสูญเสียแบบอนุกรมในรูปที่ 5.11

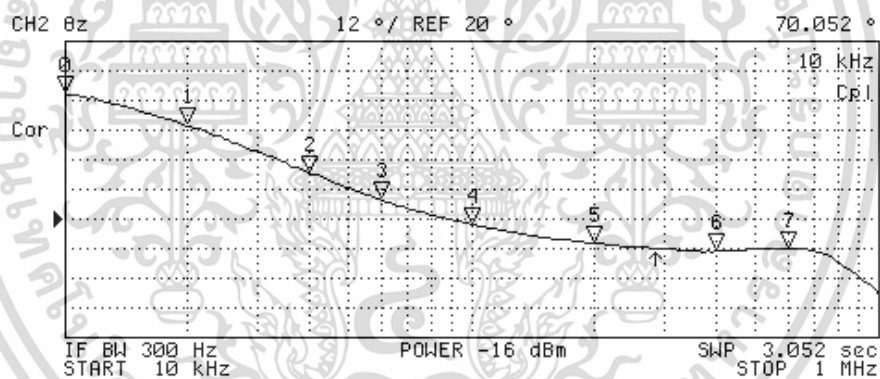
(ก) ผลตอบแทนทางขนาด (ข) ผลตอบแทนทางมุมเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	10 kHz	286.29 $\Omega$
1	20 kHz	490.66 $\Omega$
2	40 kHz	743.65 $\Omega$
3	60 kHz	866.13 $\Omega$
4	100 kHz	985.43 $\Omega$
5	200 kHz	1.0722 k $\Omega$
6	400 kHz	1.1797 k $\Omega$
7	600 kHz	1.3463 k $\Omega$

(ก)



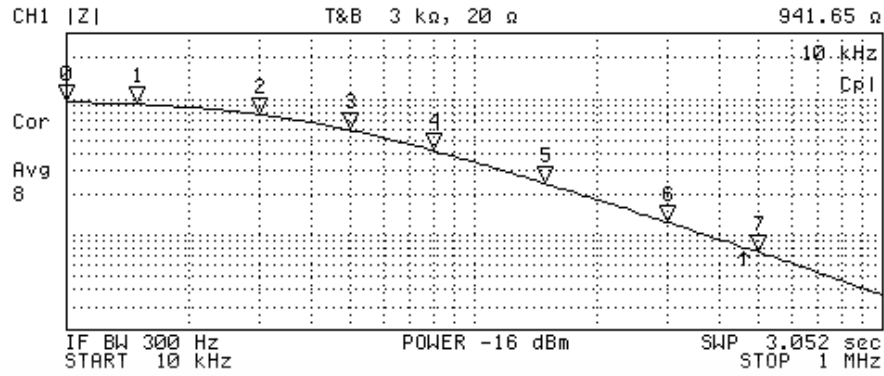
N	SWP PARAM	VAL
0	10 kHz	70.052 $^\circ$
1	20 kHz	57.189 $^\circ$
2	40 kHz	38.205 $^\circ$
3	60 kHz	27.274 $^\circ$
4	100 kHz	17.385 $^\circ$
5	200 kHz	9.5682 $^\circ$
6	400 kHz	6.3253 $^\circ$
7	600 kHz	7.5608 $^\circ$

(ข)

รูปที่ 5.15 ผลการวัดผลตอบสนองทางความถี่ของฟังก์ชันเลียนแบบตัวเหนี่ยวนำ  
ที่มีการสูญเสียแบบขนานในรูปที่ 5.12

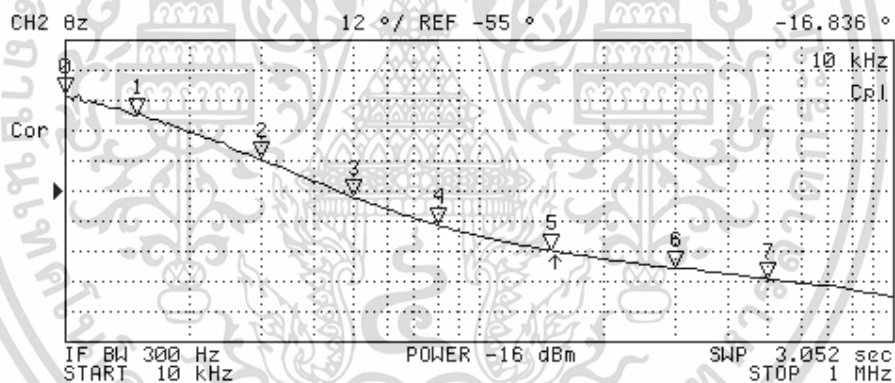
(ก) ผลตอบสนองทางขนาด (ข) ผลตอบสนองทางมุมเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	10 kHz	941.65 $\Omega$
1	15 kHz	900.76 $\Omega$
2	30 kHz	758.95 $\Omega$
3	50 kHz	582.13 $\Omega$
4	80 kHz	412.52 $\Omega$
5	150 kHz	237.26 $\Omega$
6	300 kHz	122.72 $\Omega$
7	500 kHz	75.617 $\Omega$

(ก)



N	SWP PARAM	VAL
0	10 kHz	-16.836 $^\circ$
1	15 kHz	-24.68 $^\circ$
2	30 kHz	-42.477 $^\circ$
3	50 kHz	-57.344 $^\circ$
4	80 kHz	-68.55 $^\circ$
5	150 kHz	-78.645 $^\circ$
6	300 kHz	-85.776 $^\circ$
7	500 kHz	-89.947 $^\circ$

(ข)

รูปที่ 5.16 ผลการวัดผลตอบสนองทางความถี่ของฟังก์ชันคุณค่าความจุไฟฟ้า  
ที่มีการสูญเสียแบบขนานในรูปที่ 5.12

(ก) ผลตอบสนองทางขนาด (ข) ผลตอบสนองทางมุมเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.6 การประยุกต์ใช้งานวงจรที่นำเสนอ

หัวข้อนี้นำเสนอแนวทางการประยุกต์ใช้งานวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรม เป็นวงจรกรองผ่านความถี่ต่ำโหมตกระแส (current mode lowpass filter) และกรองผ่านความถี่สูงโหมตกระแส (current mode high filter) รวมทั้งการประยุกต์ใช้งานวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานเป็นวงจรกรองผ่านความถี่ต่ำโหมตแรงดัน (voltage mode lowpass filter) และกรองผ่านความถี่สูงโหมตแรงดัน (voltage mode highpass filter) โดยมีรายละเอียดดังนี้

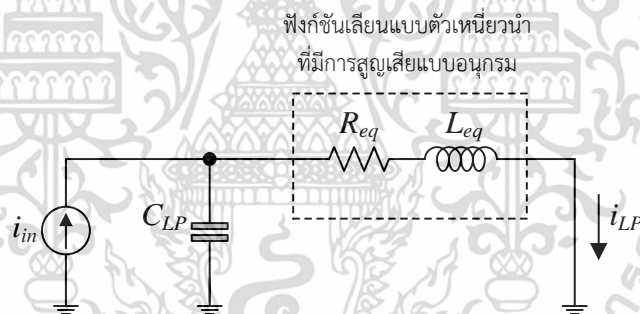
### 5.6.1 วงจรกรองผ่านความถี่ต่ำโหมตกระแส

วงจรกรองผ่านความถี่ต่ำโหมตกระแสแสดงดังรูปที่ 5.17 สังเคราะห์ขึ้นจากฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมในรูปที่ 5.1 เมื่อวิเคราะห์วงจรพบว่าค่าความถี่คัทออฟ (cut off frequency,  $f_c$ ) และตัวประกอบคุณภาพ (quality factor,  $Q$ ) มีค่าเท่ากับ [ภาคผนวก ค7]

$$f_c = \frac{1}{2\pi} \sqrt{\frac{1}{L_{eq} C_{LP}}} \quad (5.21)$$

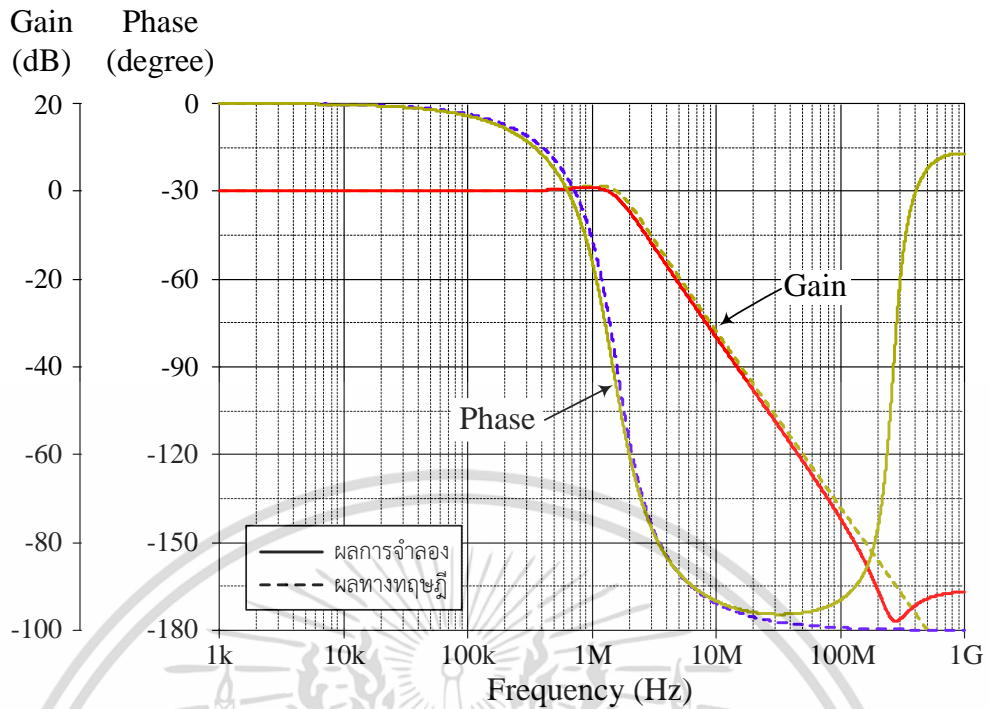
และ

$$Q = \left( \frac{1}{R_{eq}} \right) \sqrt{\frac{L_{eq}}{C_{LP}}} \quad (5.22)$$



รูปที่ 5.17 วงจรกรองผ่านความถี่ต่ำโหมตกระแสที่สังเคราะห์โดยใช้ฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมในรูปที่ 5.1

จากสมการ (5.21) และ (5.22) เมื่อกำหนดให้  $R_{eq} = 1 \text{ k}\Omega$   $L_{eq} = 100 \text{ }\mu\text{H}$  ( $R_1 = R_2 = 1 \text{ k}\Omega$  และ  $C_3 = 100 \text{ pF}$ ) และ  $C_{LP} = 100 \text{ pF}$  พบว่าวงจรกรองผ่านความถี่ต่ำในรูปที่ 5.17 มี  $f_c = 1.59 \text{ MHz}$  ในขณะที่  $Q = 1$  ซึ่งผลตอบสนองทางความถี่ของวงจรแสดงดังรูปที่ 5.18



รูปที่ 5.18 ผลการจำลองการทำงานของวงจรรองผ่านความถี่ต่ำโหมดกระแสในรูปที่ 5.17

5.6.2 วงจรรองผ่านความถี่สูงโหมดกระแส

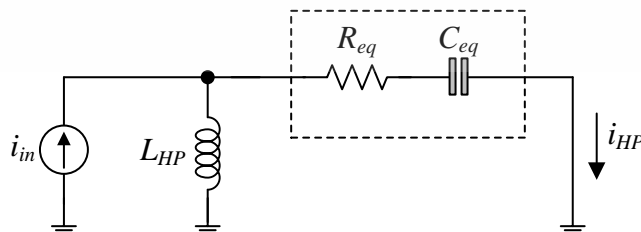
ฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบอนุกรมในรูปที่ 5.1 ถูกนำมาสังเคราะห์เป็นวงจรรองผ่านความถี่สูงโหมดกระแสแสดงดังรูปที่ 5.19 โดยค่าความถี่คัทออฟ และตัวประกอบคุณภาพมีค่าเท่ากับ [ภาคผนวก ค8]

$$f_c = \frac{1}{2\pi} \sqrt{\frac{1}{L_{HP} C_{eq}}} \tag{5.23}$$

และ

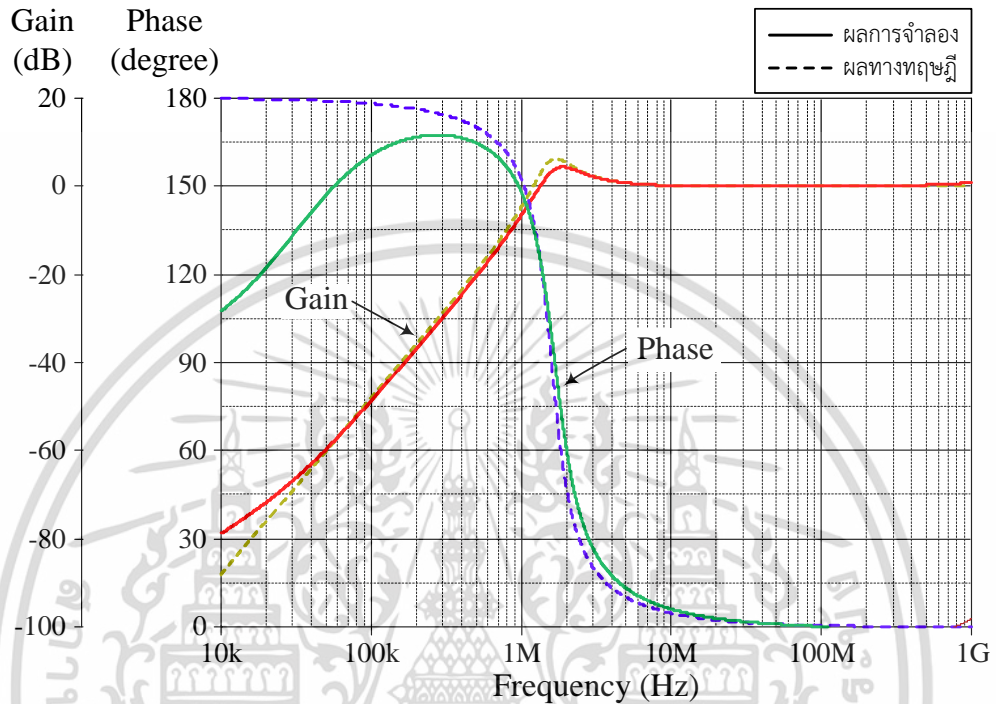
$$Q = \left( \frac{1}{R_{eq}} \right) \sqrt{\frac{L_{HP}}{C_{eq}}} \tag{5.24}$$

ฟังก์ชันคุณค่าความจุไฟฟ้า  
ที่มีการสูญเสียแบบอนุกรม



รูปที่ 5.19 วงจรรองผ่านความถี่สูงโหมดกระแสที่สังเคราะห์โดยใช้ฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบอนุกรมในรูปที่ 5.1

รูปที่ 5.20 แสดงผลการจำลองการทำงานของวงจรกรองผ่านความถี่สูงโหมดกระแสที่สังเคราะห์ขึ้นจากฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบอนุกรม โดยกำหนดให้  $R_{eq} = 1 \text{ k}\Omega$   $C_{eq} = 50 \text{ pF}$  ( $C_1 = 100 \text{ pF}$   $R_2 = 1 \text{ k}\Omega$  และ  $R_3 = 500 \text{ }\Omega$ ) และ  $L_{HP} = 200 \text{ }\mu\text{H}$  ดังนั้นจะได้ค่าความถี่คัทออฟและตัวประกอบคุณภาพเท่ากับ  $1.59 \text{ MHz}$  และ 2 ตามลำดับ



รูปที่ 5.20 ผลการจำลองการทำงานของวงจรกรองผ่านความถี่สูงโหมดกระแสในรูปที่ 5.19

### 5.6.3 วงจรกรองผ่านความถี่สูงโหมดแรงดัน

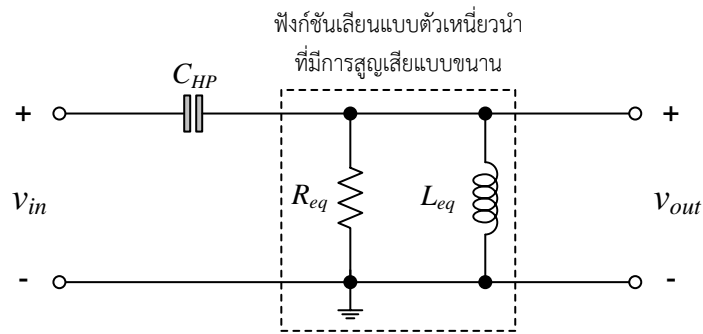
รูปที่ 5.21 แสดงวงจรกรองผ่านความถี่สูงโหมดแรงดันที่สังเคราะห์ขึ้นจากฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานต่อเทียบกราวด์ในรูปที่ 5.2 ซึ่งวงจรกรองสัญญาณที่นำเสนอมีค่าความถี่คัทออฟและตัวประกอบคุณภาพดังนี้ [ภาคผนวก ค9]

$$f_c = \frac{1}{2\pi} \sqrt{\frac{1}{L_{eq} C_{HP}}} \quad (5.25)$$

และ

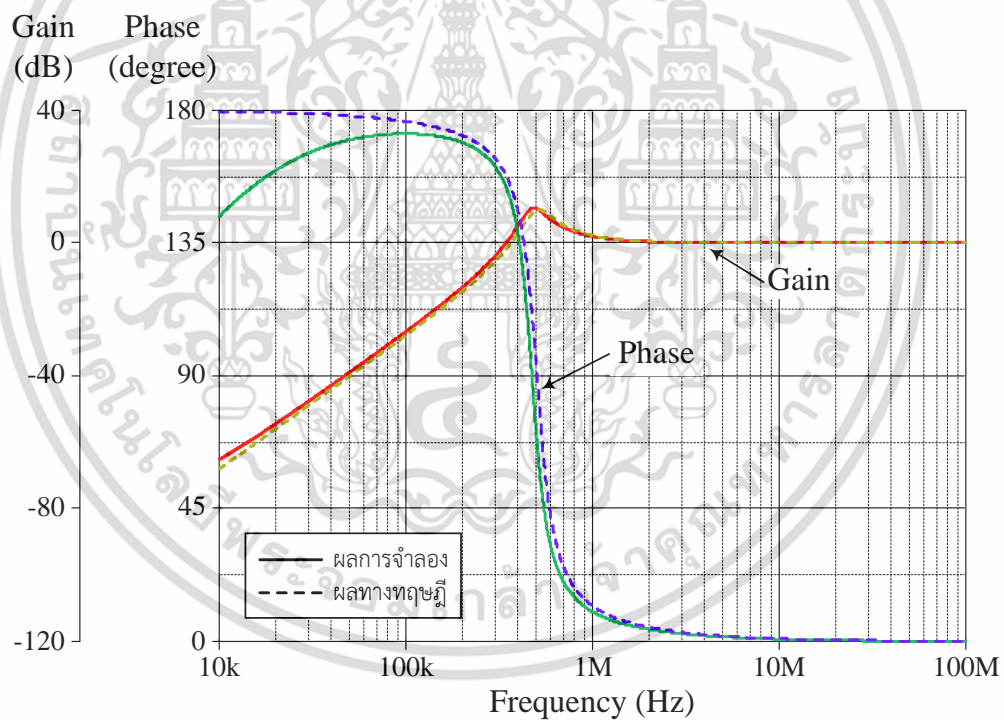
$$Q = R_{eq} \sqrt{\frac{C_{HP}}{L_{eq}}} \quad (5.26)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.21 วงจรกรองผ่านความถี่สูงโหมดแรงดันที่สังเคราะห์โดยใช้ฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนานในรูปที่ 5.2

รูปที่ 5.22 แสดงผลการจำลองการทำงานของวงจรกรองผ่านความถี่สูงโหมดแรงดันที่สังเคราะห์ขึ้นจากฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนาน โดยกำหนดให้  $R_{eq} = 1 \text{ k}\Omega$   $L_{eq} = 100 \text{ }\mu\text{H}$  ( $R_1 = R_2 = 1 \text{ k}\Omega$  และ  $C_3 = 100 \text{ pF}$ ) และ  $C_{HP} = 1 \text{ nF}$  ดังนั้น  $f_c$  และ  $Q$  จะเท่ากับ  $500 \text{ kHz}$  และ  $3.16$  ตามลำดับ



รูปที่ 5.22 ผลการจำลองการทำงานของวงจรกรองผ่านความถี่สูงโหมดแรงดันในรูปที่ 5.21

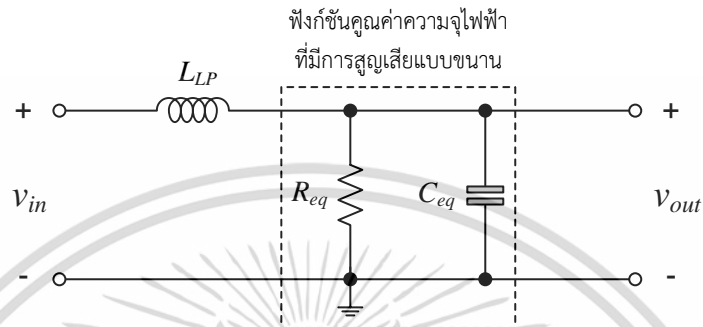
#### 5.6.4 วงจรกรองผ่านความถี่ต่ำโหมดแรงดัน

ฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบขนานต่อเทียบกราวด์ในรูปที่ 5.2 ถูกนำมาสังเคราะห์เป็นวงจรกรองผ่านความถี่ต่ำโหมดแรงดันแสดงดังรูปที่ 5.23 โดยค่าความถี่คutoff และตัวประกอบคุณภาพมีค่าเท่ากับ [ภาคผนวก ค10]

$$f_c = \frac{1}{2\pi} \sqrt{\frac{1}{L_{LP} C_{eq}}} \quad (5.27)$$

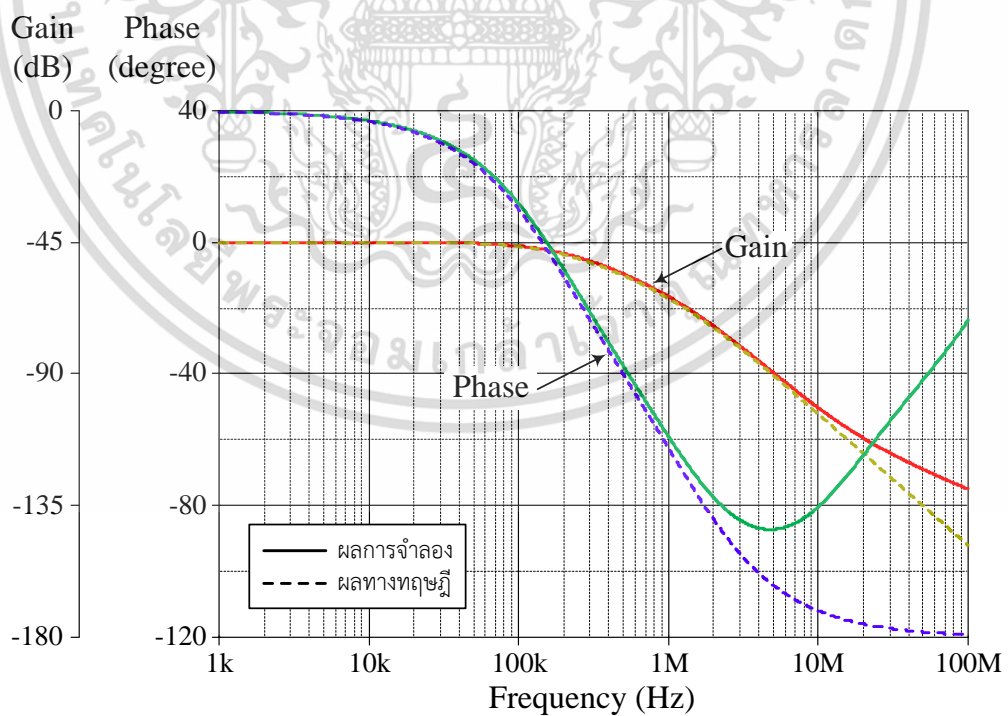
และ

$$Q = R_{eq} \sqrt{\frac{C_{eq}}{L_{LP}}} \quad (5.28)$$



รูปที่ 5.23 วงจรกรองผ่านความถี่ต่ำโหมดแรงดันที่สังเคราะห์โดยใช้ฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบขนานในรูปที่ 5.2

จากสมการ (5.27) และ (5.28) เมื่อกำหนดให้  $R_{eq} = 500 \Omega$   $C_{eq} = 200 \text{ pF}$  ( $R_1 = 500 \Omega$   $C_2 = 100 \text{ pF}$  และ  $R_3 = 1 \text{ k}\Omega$ ) และ  $L_{LP} = 0.51 \text{ mH}$  จะได้  $f_c$  และ  $Q$  เท่ากับ  $500 \text{ kHz}$  และ  $0.3$  ตามลำดับ โดยมีผลการจำลองผลตอบสนองทางความถี่แสดงได้ดังรูปที่ 5.24



รูปที่ 5.24 ผลการจำลองการทำงานของวงจรกรองผ่านความถี่ต่ำโหมดแรงดันในรูปที่ 5.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.7 สรุป

วิทยานิพนธ์ฉบับนี้กล่าวถึงการออกแบบและสังเคราะห์วงจรเลียนแบบฟังก์ชันอิมมิตแดนซ์แบบอนุกรมและแบบขนาน โดยใช้วงจร DVTC เป็นอุปกรณ์แอกทีฟหลัก ต่อกับอุปกรณ์พาสซีฟจำนวนสามตัวเท่านั้น โดยการเลือกใช้อุปกรณ์พาสซีฟอย่างเหมาะสม ส่งผลให้วงจรที่นำเสนอสามารถสังเคราะห์เป็นฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรมและแบบขนาน และฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบอนุกรมและขนาน วงจรที่นำเสนอถูกยืนยันประสิทธิภาพในการทำงานด้วยผลการจำลองผ่านโปรแกรม PSPICE และผลการทดลองด้วยวงจรจริงผ่านไอซีสำเร็จรูปเบอร์ AD844 อีกทั้งยังนำเสนอแนวทางในการประยุกต์ใช้งานเป็นวงจรกรองผ่านความถี่ต่ำอันดับสองทั้งโหมดแรงดันและกระแส และวงจรกรองผ่านความถี่สูงอันดับสองทั้งโหมดแรงดันและกระแสอีกด้วย

## 5.8 เอกสารอ้างอิงบทที่ 5

- [1] A. N. Paul, D. Patranabis, "Active simulation of grounded inductors using a single current conveyor," **IEEE Transactions on Circuits and Systems**, vol. CAS-28, no. 2, pp. 164–165, 1981.
- [2] C. L. Hou, R. D. Chen, Y. P. Wu, P. C. Hu, "Realization of grounded and floating immittance function simulators using current conveyors," **International Journal of Electronics**, vol. 74, no. 6, pp. 917–923, 1993.
- [3] M. T. Ahmed, I. A. Khan and N. Minhaj, "Novel electronically tunable C-multipliers," **Electronics Letters**, vol. 31, no. 1, pp. 9–11, 1995.
- [4] A. Leuciuc, "Realisation of immittance functions with complex singularities by means of modified antoniou GIC," **Electronics Letters**, vol. 31, no. 10, pp. 770–771, 1995.
- [5] L. V. Wangenheim, "Modification of the classical GIC structure and its application to RC-oscillators," **Electronics Letters**, vol. 32, no. 1, pp. 6–8, 1996.
- [6] S. I. Liu and C. Y. Yang, "Higher-order immittance function synthesis using CCIIIs," **Electronics Letters**, vol. 32, no. 25, pp. 2295–2296, 1996.
- [7] H. Y. Wang and C. T. Lee, "Immittance function simulator using a single current conveyor," **Electronics Letters**, vol. 33, no. 7, pp. 574–576, 1997.
- [8] M. O. Cicekoglu, "Active simulation of grounded inductors with CCII+ and grounded passive elements," **International Journal of Electronics**, vol. 85, no. 4, pp. 455–462, 1998.
- [9] M. T. Abuelmaatti and N. A. Tasadduq, "Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor," **Microelectronics Journal**, vol. 30, no. 9, pp. 869–873, 1999.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [10] O. Cicekoglul, A. Toker, H. Kuntman, “Universal immittance function simulators using current conveyors,” **Computers and Electrical Engineering**, vol.27, pp.227–238, 2001.
- [11] M. T. Abuelma’atti, “New grounded immittance function simulators using single current feedback operational amplifier,” **Analog Integrated Circuits and Signal Processing**, vol. 71, no. 1, pp. 95-100, 2012.
- [12] N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, “DVTC-based series RL/RC impedance simulator,” **Proceedings of the 9<sup>th</sup> International Electrical Engineering Congress (IEECON)**, Pattaya, Thailand, 10-12 March, pp. 321–324, 2021.
- [13] N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, “On the realization of grounded RL/RC parallel type simulator,” **Proceedings of the 7<sup>th</sup> International Conference on Engineering, Applied Sciences and Technology (ICEAST)**, Pattaya, Thailand, 1-3 April, pp. 25–28, 2021.
- [14] Analog Devices, “60 MHz, 2000 V/ $\mu$ s, monolithic op amp with quad low noise”, AD844 datasheet.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 6

# บทสรุปและข้อเสนอแนะแนวทางในการทำวิจัยต่อ

### 6.1 บทสรุป

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบและสังเคราะห์วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์โดยใช้วงจรวจร DVTC เป็นอุปกรณ์แอคทีฟหลักเพียงชนิดเดียวเท่านั้น ต่อยังร่วมกับอุปกรณ์พาสซีฟจำนวนน้อย วงจรวจร DVTC ออกแบบโดยใช้เทคโนโลยีแบบ TSMC 0.25  $\mu\text{m}$  CMOS ซึ่งสามารถแบ่งการนำเสนอออกเป็นสองส่วนหลัก ดังนี้

ส่วนแรก การออกแบบและสังเคราะห์วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบลอยตัว วงจรที่นำเสนอสังเคราะห์ขึ้นจากวงจรวจร DVTC จำนวนสองตัว ต่อยังร่วมกับอุปกรณ์พาสซีฟจำนวนสามตัว ด้วยการเลือกใช้อุปกรณ์พาสซีฟอย่างเหมาะสม ส่งผลให้วงจรที่นำเสนอสังเคราะห์เป็นฟังก์ชันอิมิตแดนซ์ทั่วไปแบบลอยตัวได้ครบทั้งสี่ฟังก์ชันได้แก่ตัวต้านทาน ตัวเหนี่ยวนำ ตัวเก็บประจุไฟฟ้า และวงจรวจร FDNR ค่าอุปกรณ์สมมูลที่สังเคราะห์ขึ้นจากวงจรวจรสามารถปรับค่าได้อย่างง่ายผ่านการแปรค่าตัวต้านทานพาสซีฟ ส่งผลให้เกิดค่าความคลาดเคลื่อนต่ำอีกด้วย นอกจากนี้ฟังก์ชันเลียนแบบตัวเหนี่ยวนำและฟังก์ชันคุณค่าความจุไฟฟ้าได้ถูกนำเสนอแนวทางการประยุกต์ใช้งานเป็นวงจรรองผ่านแถบความถี่อันดับสอง ในขณะที่วงจรวจร FDNR มีการประยุกต์ใช้งานในวงจรรองผ่านแถบความถี่อันดับสี่อีกด้วย

ส่วนที่สอง การออกแบบและสังเคราะห์วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรม และแบบขนานต่อเทียบกราวด์ โดยทั้งสองวงจรวจรถูกออกแบบและสังเคราะห์ขึ้นจากวงจรวจร DVTC จำนวนสองตัว และอุปกรณ์พาสซีฟจำนวนสามตัว ด้วยการเลือกใช้งานอุปกรณ์พาสซีฟจากภายนอกวงจรวจรอย่างเหมาะสม วงจรแบบอนุกรมสามารถสังเคราะห์เป็นฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบอนุกรม และฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบอนุกรม ในทำนองเดียวกันวงจรวจรแบบขนานสามารถสังเคราะห์เป็นฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนาน และฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบขนาน อีกทั้งมีการนำเสนอแนวทางการประยุกต์ใช้งานวงจรวจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมเป็นวงจรรองผ่านความถี่ต่ำโหมดกระแส (current mode lowpass filter) และกรองผ่านความถี่สูงโหมดกระแส (current mode highpass filter) รวมทั้งการประยุกต์ใช้งานวงจรวจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานเป็นวงจรรองผ่านความถี่ต่ำโหมดแรงดัน (voltage mode lowpass filter) และกรองผ่านความถี่สูงโหมดแรงดัน (voltage mode highpass filter) อีกด้วย

วงจรวจรเลียนแบบฟังก์ชันอิมิตแดนซ์ทั่วไปแบบลอยตัว และวงจรวจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรม และแบบขนานต่อเทียบกราวด์ที่กล่าวถึงในข้างต้นได้ถูกตรวจสอบคุณสมบัติในการทำงานผ่านโปรแกรม PSPICE รวมทั้งการต่อทดลองด้วยวงจรวจรจริงผ่านไอซีสำเร็จรูปเบอร์ AD844 เพื่อยืนยันผลการทำงานที่สอดคล้องกับผลในทางทฤษฎี

นอกจากนี้ผลการวิจัยทั้งหมดที่ได้รับการพิจารณาตีพิมพ์ในวารสารวิชาการระดับนานาชาติจำนวน 2 บทความ [1]-[2] และลงตีพิมพ์ในการประชุมวิชาการระดับนานาชาติจำนวน 3 บทความ [3]-[5] ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, "Floating general immittance function simulator", **International Journal of Electronics and Communications (AEÜ)**, vol. 132, 153640, 2021. [1]
2. N. Roongmuanpha, N. Likhitkitwoerakul, M. Fukuhara, and W. Tangsrirat, "Single VDGA-based mixed-mode electronically tunable first-order universal filter," **Sensors**, vol. 23, no. 5, p. 2759, 2023. [2]
3. N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, "Floating impedance simulator realization," **Proceedings of the 17<sup>th</sup> International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON) Phuket, Thailand, 24-27 June**, pp. 345–348, 2020. [3]
4. N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, "DVTC-based series RL/RC impedance simulator", **Proceedings of the 9<sup>th</sup> International Electrical Engineering Congress (iEECON)**, Pattaya, Thailand, 10-12 March, pp. 321–324, 2021. [4]
5. N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, "On the realization of grounded RL/RC parallel type simulator", **Proceedings of the 7<sup>th</sup> International Conference on Engineering, Applied Sciences and Technology (ICEAST)**, Pattaya, Thailand, 1-3 April, pp. 25–28, 2021. [5]

โดยรายละเอียดทั้งหมดของแต่ละบทความได้รวบรวมไว้ในภาคผนวก ง

## 6.2 ข้อเสนอแนะแนวทางในการทำวิจัยต่อ

ในการออกแบบและสังเคราะห์วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์ที่นำเสนอในวิทยานิพนธ์ฉบับนี้ พบว่ายังมีแนวทางที่น่าสนใจเพื่อนำไปปรับปรุงพัฒนาให้ดียิ่งขึ้นดังนี้

ประการแรก แม้ว่าวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์ที่นำเสนอสามารถปรับค่าได้ผ่านตัวต้านทานพาสซีฟจากภายนอกวงจร แต่อย่างไรก็ดีหากมีการพัฒนาให้สามารถปรับค่าอุปกรณ์สมมูลที่สังเคราะห์ขึ้นจากวงจรได้ด้วยวิธีการทางอิเล็กทรอนิกส์ จะก่อให้เกิดความสะดวกและคล่องตัวต่อการปรับแต่งค่ามากยิ่งขึ้น

ประการที่สอง แม้ว่าวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์ทั่วไปมีโครงสร้างแบบลอยตัวซึ่งมีความคล่องตัวต่อการนำไปประยุกต์ใช้งานเป็นอย่างมาก แต่อย่างไรก็ตามวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรม และแบบขนานมีโครงสร้างแบบต่อเทียบกราวด์ ทำให้มีข้อจำกัดในการนำวงจรไปประยุกต์ใช้งานมากกว่าวงจรแบบลอยตัว ดังนั้นจึงควรมีการพัฒนาให้วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรม และแบบขนานมีโครงสร้างแบบลอยตัวเพื่อให้สามารถประยุกต์ใช้งานในวงจรประเภทต่างๆได้อย่างหลากหลายมากยิ่งขึ้น

### 6.3 เอกสารอ้างอิงบทที่ 6

- [1] N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, “Floating general immittance function simulator”, **International Journal of Electronics and Communications (AEÜ)**, vol. 132, 153640, 2021.
- [2] N. Roongmuanpha, N. Likhitkitwoerakul, M. Fukuhara, and W. Tangsrirat, “Single VDGA-based mixed-mode electronically tunable first-order universal filter,” **Sensors**, vol. 23, no. 5, p. 2759, 2023.
- [3] N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, “Floating impedance simulator realization,” **Proceedings of the 17<sup>th</sup> International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON) Phuket, Thailand, 24-27 June**, pp. 345–348, 2020.
- [4] N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, “DVTC-based series RL/RC impedance simulator”, **Proceedings of the 9<sup>th</sup> International Electrical Engineering Congress (IEECON)**, Pattaya, Thailand, 10-12 March, pp. 321–324, 2021.
- [5] N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, “On the realization of grounded RL/RC parallel type simulator”, **Proceedings of the 7<sup>th</sup> International Conference on Engineering, Applied Sciences and Technology (ICEAST)**, Pattaya, Thailand, 1-3 April, pp. 25–28, 2021.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

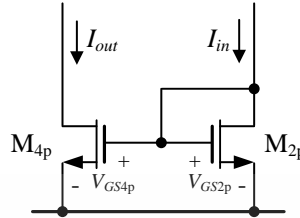
ภาคผนวก ก  
การวิเคราะห์คุณสมบัติของวงจร DVTC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ก1 การวิเคราะห์คุณสมบัติของวงจรสะท้อนกระแส

คุณสมบัติของวงจรสะท้อนกระแสจะพิจารณาที่ทรานซิสเตอร์  $M_{2p}$  และ  $M_{4p}$  ดังรูปที่ ก1 โดยจะกำหนดให้ทรานซิสเตอร์ทั้งสองมีความสมพงษ์กันทุกประการ



รูปที่ ก1 วงจรสะท้อนกระแสแบบมอสทรานซิสเตอร์

เมื่อทรานซิสเตอร์  $M_{2p}$  และ  $M_{4p}$  มีการทำงานในช่วงอิมิตัวซึ่ง  $V_{DS} \geq V_{GS} - |V_{TH}|$  โดยที่  $V_{TH}$  คือแรงดันขีดเริ่ม จะได้กระแสเดรนกรณีนี้เท่ากับ

$$I_D = \frac{\mu C_{ox}}{2} \frac{W}{L} (V_{GS} - |V_{TH}|)^2 (1 + \lambda V_{DS}) \quad (ก1.1)$$

อัตราส่วนระหว่าง  $I_{out}$  และ  $I_{in}$  ของวงจรในรูปที่ ก1 สามารถวิเคราะห์โดยอาศัยสมการ (ก1.1) ได้เท่ากับ

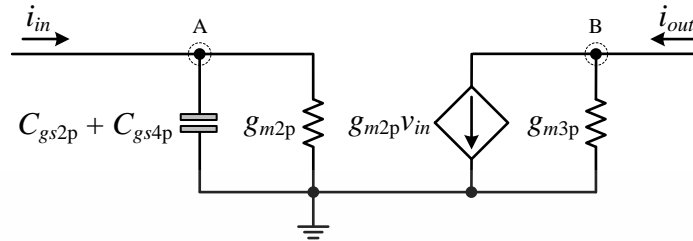
$$\frac{I_{out}}{I_{in}} = \frac{(\mu C_{ox4p}/2)(W_{4p}/L_{4p})(V_{GS4p} - |V_{TH4p}|)^2 (1 + \lambda_{4p} V_{DS4p})}{(\mu C_{ox2p}/2)(W_{2p}/L_{2p})(V_{GS2p} - |V_{TH2p}|)^2 (1 + \lambda_{2p} V_{DS2p})} \quad (ก1.2)$$

จากสมการ (ก1.2) เมื่อทรานซิสเตอร์ทั้งสองตัวสมพงษ์กันทุกประการ จะวิเคราะห์อัตราส่วนระหว่าง  $I_{out}$  และ  $I_{in}$  ได้ใหม่ดังนี้

$$\frac{I_{out}}{I_{in}} = \left( \frac{W_{4p} L_{2p}}{W_{2p} L_{4p}} \right) \quad (ก1.3)$$

## ก2 การวิเคราะห์หาอัตราขยายกระแสของวงจรสะท้อนกระแส

วงจรสมมูลของทรานซิสเตอร์  $M_{2p}$  และ  $M_{4p}$  กรณีสัญญาณขนาดเล็กของวงจรสะท้อนกระแส แสดงดังรูปที่ ก2



รูปที่ ก2 วงจรสมมูลของวงจรสะท้อนกระแสในรูปที่ 3.8(ก)

จากรูปที่ ก2 เมื่อพิจารณาที่โหนด A โดยใช้กฎกระแสเคอร์ชอฟฟ์ (Kirchhoff's current law, KCL) จะได้

$$i_{in}(s) = (g_{m2p} + sC_{gs2p} + C_{gs4p})v_{in}(s) \quad (ก2.1)$$

และเมื่อพิจารณาที่โหนด B จะได้

$$i_{out}(s) = g_{m4p}v_{in}(s) \quad (ก2.2)$$

จากสมการ (ก2.1) และ (ก2.2) จะได้อัตราส่วนระหว่าง  $i_{out}$  และ  $i_{in}$  เท่ากับ

$$\frac{i_{out}(s)}{i_{in}(s)} = \frac{g_{m4p}v_{in}(s)}{(g_{m2p} + sC_{gs2p} + C_{gs4p})v_{in}(s)} \quad (ก2.3)$$

หรือ

$$\frac{i_{out}(s)}{i_{in}(s)} = \left( \frac{g_{m4p}}{g_{m2p}} \right) \left[ \frac{1}{1 + \frac{s(C_{gs2p} + C_{gs4p})}{g_{m2p}}} \right] \quad (ก2.4)$$

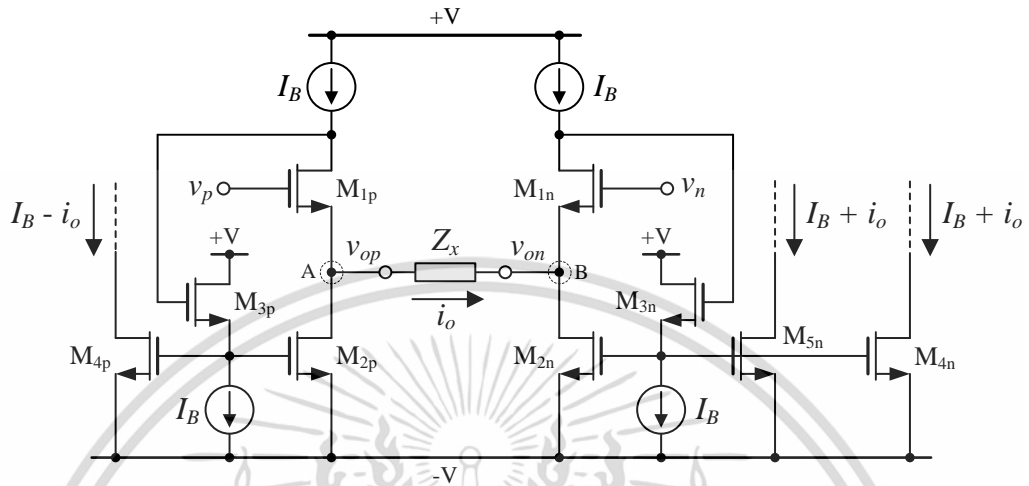
หากพิจารณาสมการ (ก2.4) ในช่วงความถี่ต่ำ ( $s \rightarrow 0$ ) จะสามารถหาค่าอัตราขยายกระแสของวงจรสะท้อนกระแสได้เท่ากับ

$$\frac{i_{out}(s)}{i_{in}(s)} = \frac{g_{m4p}}{g_{m2p}} \quad (ก2.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ก3 การวิเคราะห์หากระแสเอาต์พุตของวงจร DVTC

วงจรแปลงแรงดันแบบผลต่างเป็นกระแสที่สังเคราะห์ขึ้นโดยใช้วงจรตามแรงดันแบบฟลิปแอสแตง ดังรูปที่ ก3



รูปที่ ก3 วงจรแปลงแรงดันแบบผลต่างเป็นกระแสโดยใช้วงจรตามแรงดันแบบฟลิป

จากรูปที่ ก3 เมื่อพิจารณาที่โหนด A โดยใช้กฎกระแสเคอร์ชอฟฟ์จะได้

$$I_B = i_o + I_{D2p} \tag{ก3.1}$$

ดังนั้นกระแส  $I_{D2p}$  ที่ไหลผ่านทรานซิสเตอร์  $M_{2p}$  จะมีค่าเท่ากับ

$$I_{D2p} = I_B - i_o \tag{ก3.2}$$

และเมื่อพิจารณาที่โหนด B จะได้กระแส  $I_{D2n}$  ที่ไหลผ่านทรานซิสเตอร์  $M_{2n}$  เท่ากับ

$$I_{D2n} = I_B + i_o \tag{ก3.3}$$

โดยที่กระแส  $i_o$  มีค่าเท่ากับ

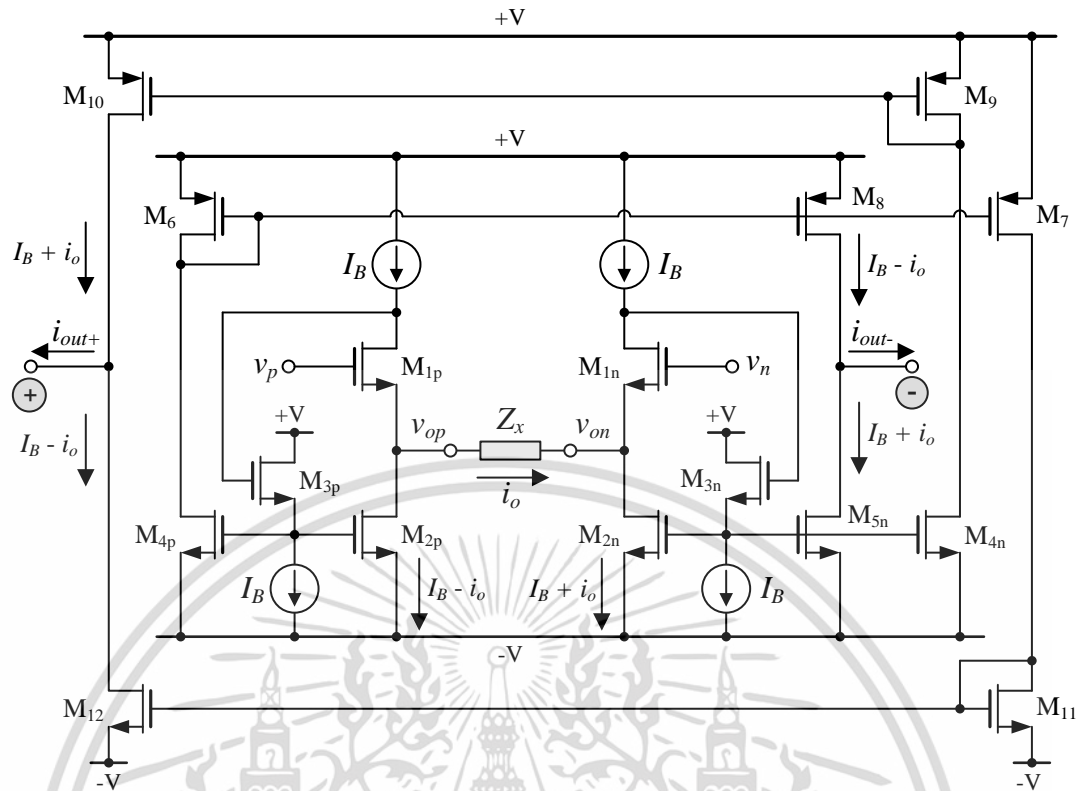
$$i_o = \frac{v_{op} - v_{on}}{Z_x} = \frac{v_p - v_n}{Z_x} \tag{ก3.4}$$

กระแส  $I_{D2p}$  และ  $I_{D2n}$  ถูกสะท้อนด้วยวงจรสะท้อนกระแสไปเป็นกระแสเอาต์พุตของวงจร DVTC ดังแสดงในรูปที่ ก4 ซึ่งจะวิเคราะห์หาค่ากระแส  $i_{out+}$  และ  $i_{out-}$  ได้เท่ากับ

$$i_{out+} = -i_{out-} = 2i_o \tag{ก3.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ก4 วงจร DVTC ที่ใช้เทคโนโลยีแบบมอสทรานซิสเตอร์

หากกำหนดให้อัตราส่วนของค่าความกว้างประสิทธิผลของช่องนำกระแส (W) ของทรานซิสเตอร์  $M_{5n}/M_{2n}$   $M_7/M_6$   $M_{10}/M_9$   $M_{12}/M_{11}$  เท่ากับ  $1/2$  จะได้

$$i_{out+} = -i_{out-} = i_o = \frac{v_p - v_n}{Z_x} \tag{ก3.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

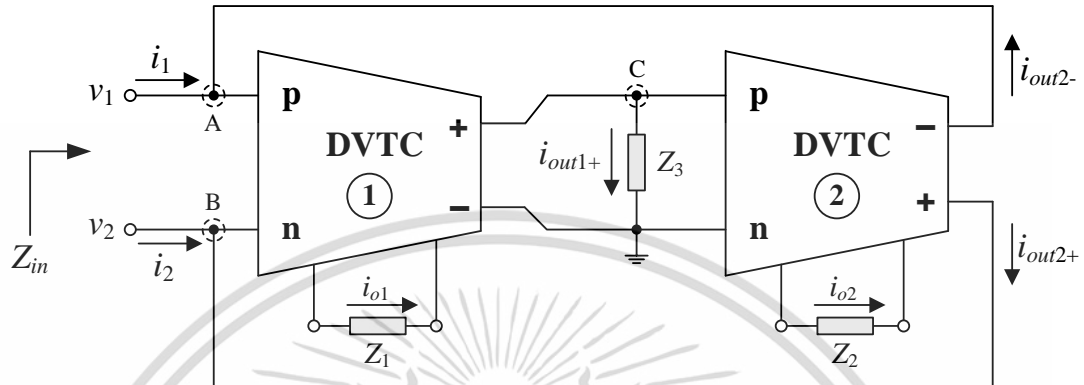
ภาคผนวก ข  
การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมิตแตนซ์  
อเนกประสงค์แบบลอยตัวในรูปที่ 4.1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ข1 การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์อเนกประสงค์ในรูปที่ 4.1

วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์อเนกประสงค์แบบลอยตัวแสดงดังรูปที่ ข1 สามารถวิเคราะห์หาค่าอิมพีแดนซ์อินพุตของวงจรโดยอาศัยคุณสมบัติของวงจร DVTC ซึ่งมีรายละเอียดดังนี้



รูปที่ ข1 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์อเนกประสงค์แบบลอยตัวในรูปที่ 4.1

ความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจร DVTC มีคุณสมบัติดังนี้

$$i_{out+} = -i_{out-} = \frac{v_p - v_n}{Z_x} \quad (ข1.1)$$

เมื่อวิเคราะห์ที่โหนด A ในรูปที่ ข1 โดยอาศัยกฎกระแสเคอร์ชอฟฟ์ (Kirchhoff's current law, KCL) จะได้

$$i_1 = -i_{out2-} \quad (ข1.2)$$

แทนค่าสมการ (ข1.1) ลงใน (ข1.2) ดังนั้น

$$i_1 = \frac{v_{p2} - v_{n2}}{Z_2} \quad (ข1.3)$$

จากรูปที่ ข1 พบว่า  $v_{n2} = 0$  ดังนั้นทำให้สมการ (ข1.3) เปลี่ยนแปลงเป็น

$$i_1 = \frac{v_{p2}}{Z_2} \quad (ข1.4)$$

หรือ

$$v_{p2} = i_1 Z_2 \quad (ข1.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวิเคราะห์ที่โหนด B ในรูปที่ ข1 โดยอาศัยกฎกระแสเคอร์ชอฟฟ์จะได้

$$i_2 = -i_{out2+} \quad (ข1.6)$$

แทนค่าสมการ (ข1.1) ลงใน (ข1.5) โดยที่  $v_{n2} = 0$  ดังนั้น

$$i_2 = -\left(\frac{v_{p2} - v_{n2}}{Z_2}\right) = \frac{-v_{p2}}{Z_2} \quad (ข1.7)$$

หรือ 
$$v_{p2} = -i_2 Z_2 \quad (ข1.8)$$

เมื่อวิเคราะห์ที่โหนด C ในรูปที่ ข1 โดยอาศัยกฎกระแสเคอร์ชอฟฟ์จะได้

$$i_{out1+} = i_{Z_3} \quad (ข1.9)$$

หรือ 
$$\frac{v_{p1} - v_{n1}}{Z_1} = \frac{v_{p2} - v_{n2}}{Z_3} \quad (ข1.10)$$

แทนค่าสมการ (ข1.5) ลงในสมการ (ข1.10) จะได้

$$\frac{v_1 - v_2}{Z_1} = \frac{i_1 Z_2}{Z_3} \quad (ข1.11)$$

หรือ 
$$\frac{v_1 - v_2}{i_1} = \frac{Z_1 Z_2}{Z_3} \quad (ข1.12)$$

แทนค่าสมการ (ข1.8) ลงในสมการ (ข1.10) จะได้

$$\frac{v_1 - v_2}{Z_1} = \frac{-i_2 Z_2}{Z_3} \quad (ข1.13)$$

หรือ 
$$\frac{v_2 - v_1}{i_2} = \frac{Z_1 Z_2}{Z_3} \quad (ข1.14)$$

ในกรณีนี้จะได้อิมพีแดนซ์อินพุตของวงจรเท่ากับ

$$Z_{in} = \frac{v_1 - v_2}{i_1} = \frac{v_2 - v_1}{i_2} = \frac{Z_1 Z_2}{Z_3} \quad (ข1.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการ (ข1.15) แสดงให้เห็นว่าวงจรในรูปที่ ข1 สามารถสังเคราะห์ฟังก์ชันอิมิตแดนชอเนกประสงค์แบบลอยตัวได้ครบทั้งสี่ฟังก์ชันได้แก่ตัวต้านทาน ตัวเหนี่ยวนำ ตัวเก็บประจุไฟฟ้า และวงจร FDNR โดยการกำหนดอุปกรณ์พาสซีฟทั้งสามตัวอย่างเหมาะสม

## ข2 การวิเคราะห์คุณสมบัติของวงจรในทางปฏิบัติ

ในหัวข้อนี้กล่าวถึงการวิเคราะห์คุณสมบัติของวงจรแปลงฟังก์ชันอิมิตแดนชอเนกประสงค์แบบลอยตัวในทางปฏิบัติโดยอาศัยคุณสมบัติของวงจร DVTC ในทางปฏิบัติ ซึ่งมีคุณสมบัติดังต่อไปนี้

$$i_{out+} = \frac{\alpha_p(s)(v_p - v_n)}{Z_x} \quad (ข2.1)$$

และ

$$i_{out-} = \frac{\alpha_n(s)(v_p - v_n)}{Z_x} \quad (ข2.2)$$

เมื่อวิเคราะห์ที่โหนด A ในรูปที่ ข1 โดยอาศัยกฎกระแสเคอร์ชอฟฟ์จะได้

$$i_1 = -i_{out-} \quad (ข2.3)$$

แทนค่าสมการ (ข2.2) ลงใน (ข2.3) ดังนั้น

$$i_1 = \frac{\alpha_{n2}(s)(v_{p2} - v_{n2})}{Z_2} \quad (ข2.4)$$

จากรูปที่ ข1 พบว่า  $v_{n2} = 0$  ดังนั้นทำให้สมการ (ข2.4) เปลี่ยนแปลงเป็น

$$i_1 = \frac{\alpha_{n2}(s)v_{p2}}{Z_2} \quad (ข2.5)$$

หรือ

$$v_{p2} = \frac{i_1 Z_2}{\alpha_{n2}(s)} \quad (ข2.6)$$

เมื่อวิเคราะห์ที่โหนด B ในรูปที่ ข1 โดยอาศัยกฎกระแสเคอร์ชอฟฟ์จะได้

$$i_2 = -i_{out+} \quad (ข2.7)$$

แทนค่าสมการ (ข2.1) ลงใน (ข2.7) โดยที่  $v_{n2} = 0$  ดังนั้น

$$i_2 = - \left[ \frac{\alpha_{p2}(s)(v_{p2} - v_{n2})}{Z_2} \right] = \frac{-[\alpha_{p2}(s)v_{p2}]}{Z_2} \quad (ข2.8)$$

หรือ 
$$v_{p2} = \frac{-i_2 Z_2}{\alpha_{p2}(s)} \quad (ข2.9)$$

เมื่อวิเคราะห์ที่โหนด C ในรูปที่ ข1 โดยอาศัยกฎกระแสเคอร์ซอッフจะได้

$$i_{out1+} = i_{z_3} \quad (ข2.10)$$

หรือ 
$$\frac{\alpha_{p1}(s)(v_{p1} - v_{n1})}{Z_1} = \frac{v_{p2} - v_{n2}}{Z_3} \quad (ข2.11)$$

แทนค่าสมการ (ข2.6) ลงในสมการ (ข2.11) จะได้

$$\frac{\alpha_{p1}(s)(v_{p1} - v_{n1})}{Z_1} = \frac{i_1 Z_2}{\alpha_{n2}(s) Z_3} \quad (ข2.12)$$

หรือ 
$$\frac{v_1 - v_2}{i_1} = \frac{Z_1 Z_2}{\alpha_{p1}(s) \alpha_{n2}(s) Z_3} \quad (ข2.13)$$

แทนค่าสมการ (ข2.9) ลงในสมการ (ข2.11) จะได้

$$\frac{\alpha_{p1}(s)(v_{p1} - v_{n1})}{Z_1} = \frac{-i_2 Z_2}{\alpha_{p2}(s) Z_3} \quad (ข2.14)$$

หรือ 
$$\frac{v_2 - v_1}{i_2} = \frac{Z_1 Z_2}{\alpha_{p1}(s) \alpha_{p2}(s) Z_3} \quad (ข2.15)$$

แทนค่าสมการ (3.13) และ (3.14) เมื่อวิเคราะห์การทำงานในช่วงความถี่น้อยกว่าค่า  $\omega_p$  และ  $\omega_n$  ลงในสมการ (ข2.13) และ (ข2.15) จะได้ค่าอิมพีแดนซ์อินพุตดังนี้  
กรณี  $v_{in} = v_1$  และ  $v_2 = 0$  จะได้

$$Z_{in}|_{v_2=0} = \frac{Z_1 Z_2}{\alpha_{op1} \alpha_{on2} Z_3} \quad (ข2.16)$$

กรณี  $v_{in} = v_2$  และ  $v_1 = 0$  จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Z_{in}|_{v_1=0} = \frac{Z_1 Z_2}{\alpha_{op1} \alpha_{op2} Z_3} \quad (ข2.17)$$

### ข3 การวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงค่าองค์ประกอบในวงจร

ในหัวข้อนี้ได้ตรวจสอบในส่วนของค่าความไว (sensitivity,  $S$ ) ของค่าอิมพีแดนซ์อินพุตที่สังเคราะห์ขึ้นจากวงจรในรูปที่ ข1 เมื่อองค์ประกอบภายในวงจรมีการเปลี่ยนแปลง โดยคุณสมบัติดังกล่าวสามารถเขียนอธิบายได้ดังนี้ [34]

$$\frac{\% \text{ change in } y}{\% \text{ change in } x} = \frac{\left(\frac{\Delta y}{y}\right) \times 100\%}{\left(\frac{\Delta x}{x}\right) \times 100\%} \quad (ข3.1)$$

โดยที่  $x$  คือองค์ประกอบในวงจรที่เปลี่ยนแปลง และ  $y$  คือคุณสมบัติของวงจรที่พิจารณาค่าความไวต่อการเปลี่ยนแปลงค่า  $x$  สมการ (ข3.1) แสดงให้เห็นว่าหากอัตราส่วนดังกล่าวมีค่าต่ำ หรือมีค่าน้อยกว่าหนึ่งจะหมายถึงวงจรมีเสถียรภาพที่ดี เมื่อกำหนดให้  $S_x^y$  แทนค่าความไวของคุณสมบัติ  $y$  ต่อการเปลี่ยนแปลงค่าองค์ประกอบ  $x$  ดังนั้นสามารถเขียนอธิบายสมการได้ใหม่คือ

$$S_x^y = \frac{\left(\frac{\Delta y}{y}\right)}{\left(\frac{\Delta x}{x}\right)} = \frac{\partial y / y}{\partial x / x} = \frac{\partial(\ln y)}{\partial(\ln x)} = \frac{x}{y} \frac{\partial y}{\partial x} \quad (ข3.2)$$

เมื่อวิเคราะห์หาค่าความไวของสมการ (ข2.1) และ (ข2.17) โดยอาศัยสมการ (ข3.2) จะได้

$$S_{Z_1}^{Z_{in}} = \frac{Z_1}{Z_{in}} \cdot \frac{\partial Z_{in}}{\partial Z_1} \quad (ข3.3)$$

หรือ

$$S_{Z_1}^{Z_{in}} = \frac{Z_1}{\left(\frac{Z_1 Z_2}{\alpha_{op1} \alpha_{op2} Z_3}\right)} \cdot \frac{\partial \left(\frac{Z_1 Z_2}{\alpha_{op1} \alpha_{op2} Z_3}\right)}{\partial Z_1} \quad (ข3.4)$$

ทำการหาอนุพันธ์ผลหารของสมการข้างต้น จะได้

$$S_{Z_1}^{Z_{in}} = \frac{\alpha_{op1} \alpha_{op2} Z_3}{Z_2} \cdot \left[ \frac{\alpha_{op1} \alpha_{op2} Z_2 Z_3 - Z_1 Z_2 (0)}{(\alpha_{op1} \alpha_{op2} Z_3)^2} \right] \quad (ข3.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ 
$$S_{Z_1}^{Z_{in}} = 1 \quad (ข3.6)$$

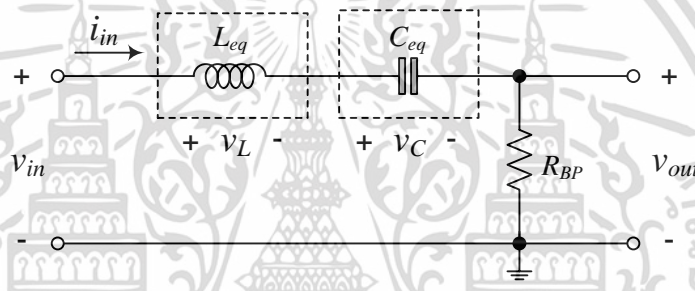
และเมื่อวิเคราะห์หาค่าความไวของค่า  $Z_{in}$  ต่อการเปลี่ยนแปลงค่าองค์ประกอบอื่นๆในวงจรโดยใช้วิธีเดียวกับที่นำเสนอในข้างต้นจะสรุปได้ดังนี้

$$S_{Z_2}^{Z_{in}} = -S_{Z_3}^{Z_{in}} = 1 \quad (ข3.7)$$

และ 
$$S_{\alpha_{op1}}^{Z_{in}} = S_{\alpha_{op2}}^{Z_{in}} = S_{\alpha_{om2}}^{Z_{in}} = -1 \quad (ข3.8)$$

#### ข4 การวิเคราะห์วงจรกรองผ่านแถบความถี่อันดับสองในรูปที่ 4.14

การวิเคราะห์หาฟังก์ชันถ่ายโอนแรงดันของวงจรกรองผ่านแถบความถี่อันดับสองในรูปที่ 4.14 ได้มีการกำหนดทิศทางทางไหลของกระแสแสดงแสดงในรูปที่ ข2



รูปที่ ข2 วงจรกรองผ่านแถบความถี่อันดับสองสำหรับการวิเคราะห์หาฟังก์ชันถ่ายโอนแรงดัน

เมื่อวิเคราะห์หาค่าแรงดันอินพุตของวงจรในรูปที่ ข2 โดยใช้กฎแรงดันของเคอร์ชอฟฟ์ (Kirchhoff's Voltage Law, KVL) จะได้

$$-v_{in} + v_L + v_C + v_{out} = 0 \quad (ข4.1)$$

วิเคราะห์สมการ (ข4.1) ด้วยกฎของโอห์มดังนี้

$$-v_{in} + i_{in} (sL_{eq}) + i_{in} \left( \frac{1}{sC_{eq}} \right) + i_{in} (R_{BP}) = 0 \quad (ข4.2)$$

สมการ (ข4.2) และรูปที่ ข2 สามารถสรุปได้ว่า

$$v_{in} = i_{in} \left( sL_{eq} + \frac{1}{sC_{eq}} + R_{BP} \right) \quad (ข4.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ 
$$v_{out} = i_{in} (R_{BP}) \quad (ข4.4)$$

กรณีนี้สามารถหาฟังก์ชันถ่ายโอนแรงดันจากอัตราส่วนระหว่างสมการ (ข4.3) และ (ข4.4) ได้ดังนี้

และ 
$$\frac{v_{out}}{v_{in}} = \frac{i_{in} (R_{BP})}{i_{in} \left( sL_{eq} + \frac{1}{sC_{eq}} + R_{BP} \right)} \quad (ข4.5)$$

ทำการคูณ  $sC_{eq}$  ทั้งเศษและส่วนของสมการ (ข4.5) จะได้

$$\frac{v_{out}}{v_{in}} = \frac{sR_{BP}C_{eq}}{s^2L_{eq}C_{eq} + sR_{BP}C_{eq} + 1} \quad (ข4.6)$$

เมื่อทำการจัดรูปให้อยู่ในรูปแบบฟังก์ชันไบควอดราติก (biquadratic functions) พบว่า

$$\frac{v_{out}}{v_{in}} = \frac{s \left( \frac{R_{BP}}{L_{eq}} \right)}{s^2 + s \left( \frac{R_{BP}}{L_{eq}} \right) + \frac{1}{L_{eq}C_{eq}}} \quad (ข4.7)$$

จะได้ความถี่กลาง (central frequency,  $\omega_c$ ) และตัวประกอบคุณภาพ (quality factor,  $Q$ ) ดังนี้

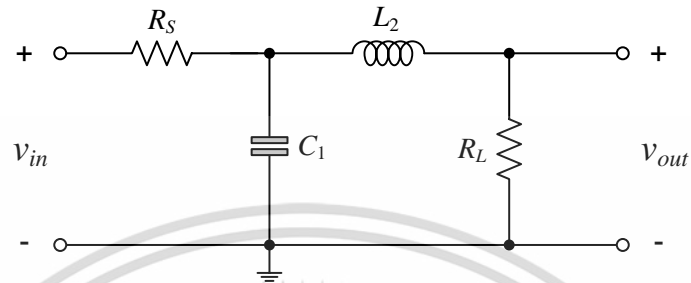
$$\omega_c = 2\pi f_c = \sqrt{\frac{1}{L_{eq}C_{eq}}} \quad (ข4.8)$$

และ 
$$Q = \left( \frac{1}{R_{BP}} \right) \sqrt{\frac{L_{eq}}{C_{eq}}} \quad (ข4.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

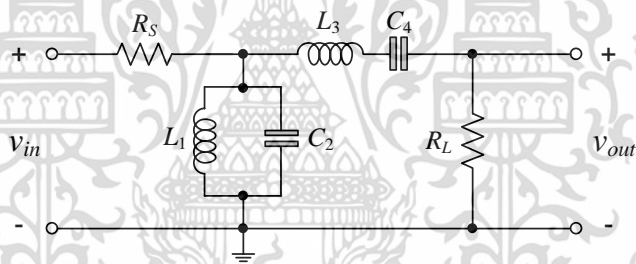
**ข5 การสังเคราะห์วงจรกรองผ่านแถบความถี่อันดับสี่ในรูปที่ 4.16**

วงจรกรองผ่านแถบความถี่อันดับสี่ในรูปที่ 4.16 สังเคราะห์ขึ้นจากวงจรกรองผ่านความถี่ต่ำในรูปที่ ข3 โดยใช้การแปลงวงจรกรองผ่านความถี่ต่ำต้นแบบให้เป็นวงจรกรองผ่านแถบความถี่ ซึ่งมีโครงสร้างทั้งแบบ *RLC* และ *CRD* โดยมีรายละเอียดดังนี้ [34]



รูปที่ ข3 วงจรกรองผ่านความถี่ต่ำอันดับสองต้นแบบ

รูปที่ ข4 แสดงวงจรกรองผ่านแถบความถี่อันดับสี่ที่สังเคราะห์ขึ้นจากวงจรกรองผ่านความถี่ต่ำอันดับสองในรูปที่ ข3 โดยค่าอุปกรณ์ในวงจรสำหรับการแปลงสามารถสรุปได้ดังตารางที่ ข5.1



รูปที่ ข4 วงจรกรองผ่านแถบความถี่อันดับสี่ที่มีโครงสร้างแบบ *RLC*

ตารางที่ ข5.1 ค่าอุปกรณ์ที่ใช้ในการแปลงวงจรกรองผ่านความถี่ต่ำเป็นวงจรกรองผ่านแถบความถี่

วงจรต้นแบบ	การแปลงความถี่	วงจรกรองผ่านแถบความถี่
	LP → BP	
	$s = \frac{s^2 + \Omega_n^2}{(BW)s}$	

โดย  $\Omega_n$  คือ ค่าคงที่การดีมอลไลซ์ความถี่ (frequency-demoralization constant) วงจรกรองผ่านความถี่ต่ำอันดับสองต้นแบบมีค่าอุปกรณ์ดังนี้  $R_S = R_L = 1 \Omega$ ,  $C_1 = 1.414 \text{ F}$ ,  $L_2 = 1.414 \text{ H}$  [35] และหากกำหนดให้  $\Omega_n = 314.16 \text{ krad/s}$ ,  $f_o = 50 \text{ kHz}$ ,  $BW = 100 \text{ kHz}$ ,  $Q = 3.14$  หากอาศัย

คุณสมบัติในการเปลี่ยนชนิดของวงจรกรองสัญญาณในตารางที่ ข5.1 พบว่าอุปกรณ์ของวงจรกรอง

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่นำไปเผยแพร่โดยไม่ขออนุญาตจากเจ้าของลิขสิทธิ์  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผ่านแถบความถี่ที่สังเคราะห์ขึ้นมีค่าเท่ากับ  $R_S = R_L = 1 \Omega$ ,  $L_1 = 716.55 \text{ nH}$ ,  $C_2 = 14.14 \mu\text{F}$ ,  $L_3 = 14.14 \mu\text{H}$ ,  $C_4 = 716.55 \text{ nF}$  จากนั้นทำการสเกลขนาดของวงจรกรองผ่านแถบความถี่ในรูปที่ ๗4 โดยกำหนดค่าคงที่การสเกลขนาด (magnitude scaling factor,  $k_m$ ) เท่ากับ  $10^9$  ดังนั้นค่าอิมพีแดนซ์ของ  $R$ ,  $L$  และ  $C$  ในวงจรจะมีค่าเพิ่มขึ้นตามความสัมพันธ์ดังนี้

$$R_{new} = k_m R_{old} \quad (๗5.1)$$

$$L_{new} = k_m L_{old} \quad (๗5.2)$$

และ 
$$C_{new} = \frac{1}{k_m} C_{old} \quad (๗5.3)$$

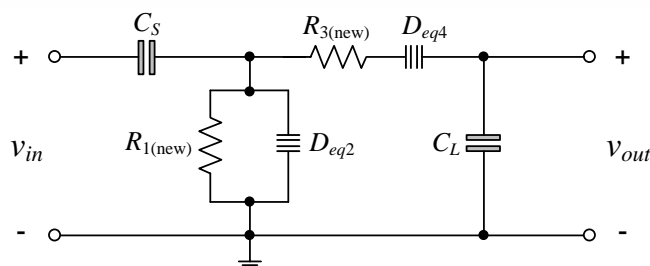
จะได้ค่า  $R_S = R_L = 10^9 \Omega$ ,  $L_1 = 716.55 \text{ H}$ ,  $C_2 = 14.14 \text{ fF}$ ,  $L_3 = 14.14 \text{ kH}$ ,  $C_4 = 716.55 \text{ fF}$  เพื่อทดสอบประสิทธิภาพพวงจรมีขั้ว FDNR ของวงจรแปลงฟังก์ชันอิมพีแดนซ์อเนกประสงค์แบบลอยตัวในรูปที่ 4.1 จึงเปลี่ยนพวงจรมีขั้วกรองผ่านแถบความถี่อันดับสี่ในรูปที่ ๗4 ที่ใช้อุปกรณ์แบบ  $RLC$  ให้กลายเป็นแบบ  $CRD$  ด้วยเทคนิคการแปลง  $RLC-CRD$  ( $RLC-CRD$  transformation) หรือหลักการ Bruton's transformation ซึ่งทำได้โดยการสเกลอิมพีแดนซ์ทุกตัวในวงจรต้นแบบด้วยค่าคงที่การสเกล  $k_z$  ที่เป็นฟังก์ชันของ  $s$  ( $k_z = 1/s$ ) ดังนั้นค่าอิมพีแดนซ์ใหม่ที่ได้จะเท่ากับ

$$Z_{new}(s) = k_z Z_{old}(s) = \frac{Z_{old}(s)}{s} \quad (๗5.4)$$

สมการ (๗5.4) สามารถสรุปได้ว่า

- ค่าอิมพีแดนซ์ของตัวต้านทานขนาด  $R \Omega$  จะเปลี่ยนเป็น  $R/s \Omega$  หรืออยู่ในรูปแบบอิมพีแดนซ์ของตัวเก็บประจุไฟฟ้าที่มีขนาด  $1/R \text{ F}$
- ค่าอิมพีแดนซ์ของตัวเหนี่ยวนำขนาด  $L \text{ H}$  หรือ  $sL \Omega$  จะเปลี่ยนเป็น  $L \Omega$  หรืออยู่ในรูปแบบอิมพีแดนซ์ของตัวต้านทานที่มีขนาด  $L \Omega$
- ค่าอิมพีแดนซ์ของตัวเก็บประจุไฟฟ้าที่มีขนาด  $C \text{ F}$  หรือ  $1/sC \Omega$  จะเปลี่ยนเป็น  $1/s^2 C \Omega$  หรืออยู่ในรูปแบบอิมพีแดนซ์ของ FDNR ที่มีค่า  $D$  เท่ากับ  $C \text{ Fs}$



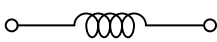


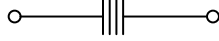
ซึ่งรายละเอียดดังที่กล่าวในข้างต้นสามารถสรุปได้ดังตารางที่ ๗5.2



รูปที่ ๗5 วงจรกรองผ่านแถบความถี่อันดับสี่ที่มีโครงสร้างแบบ  $CRD$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ข5.2 การแปลงวงจรด้วย Bruton's transformation

อุปกรณ์ก่อนแปลง	อุปกรณ์หลังแปลง
$R$ 	$C = 1/R$ 
$L$ 	$R = L$ 
$C$ 	$D = C$ 

จากสมการ (ข5.4) พบว่าอุปกรณ์ในรูปที่ ข5 มีค่าเท่ากับ  $C_S = C_L = 1 \text{ nF}$   $R_{1(\text{new})} = 716 \Omega$   $R_{3(\text{new})} = 14.14 \text{ k}\Omega$   $D_{eq2} = 14.14 \text{ fFs}$  และ  $D_{eq4} = 0.717 \text{ fFs}$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

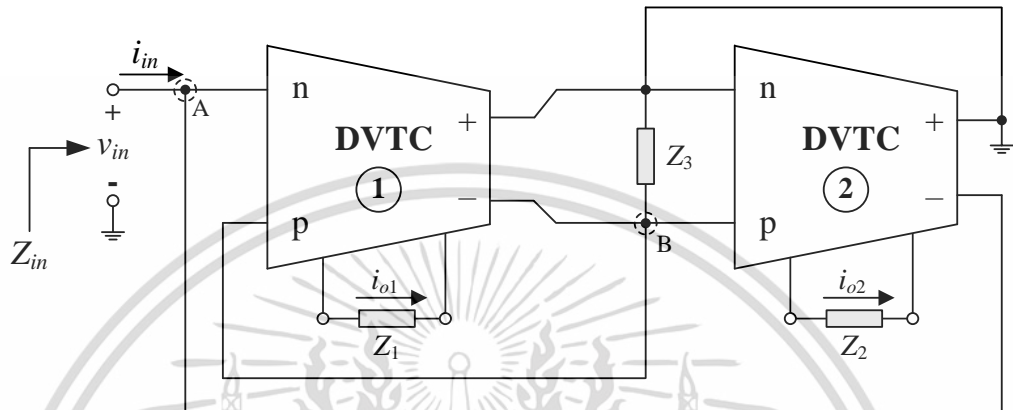
ภาคผนวก ค  
การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมิตแตนซ์  
ต่อเทียบกราวด์ในรูปที่ 5.1 และ 5.2



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ค1 การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมในรูปที่ 5.1

วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมต่อเทียบกราวด์แสดงดังรูปที่ ค1 สามารถวิเคราะห์หาค่าอิมพีแดนซ์อินพุตของวงจรโดยอาศัยความสัมพันธ์ของแรงดันกับกระแสของวงจร DVTC ซึ่งมีรายละเอียดดังนี้



รูปที่ ค1 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมในรูปที่ 5.1

ความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจร DVTC ในทางอุดมคติมีคุณสมบัติดังนี้

$$i_{out+} = -i_{out-} = \frac{v_p - v_n}{Z_x} \quad (ค1.1)$$

เมื่อวิเคราะห์ที่โหนด A ในรูปที่ ค1 โดยอาศัยกฎกระแสเคอร์ชอฟฟ์ (Kirchhoff's current law, KCL) จะได้

$$i_{in} = -i_{out2-} \quad (ค1.2)$$

แทนค่าสมการ (ค1.1) ลงใน (ค1.2) ดังนี้

$$i_{in} = \frac{v_{p2} - v_{n2}}{Z_2} \quad (ค1.3)$$

จากรูปที่ ค1 พบว่า  $v_{n2} = 0$  ดังนั้นสมการ (ค1.3) เปลี่ยนแปลงเป็น

$$i_{in} = \frac{v_{p2}}{Z_2} \quad (ค1.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ 
$$v_{p2} = i_{in} Z_2 \quad (ค1.5)$$

เมื่อวิเคราะห์ที่โหนด B ในรูปที่ ค1 โดยอาศัยกฎกระแสเคอร์ชอฟฟ์จะได้

$$i_{out1-} = i_{Z_3} \quad (ค1.6)$$

แทนค่าสมการ (ค1.1) ลงใน (ค1.6) ดังนั้น

$$-\frac{v_{p1} - v_{n1}}{Z_1} = \frac{v_{p2}}{Z_3} \quad (ค1.7)$$

แทนค่าสมการ (ค1.5) ลงใน (ค1.7) โดยที่  $v_{p1} = v_{p2}$  จะได้

$$\frac{v_{n1} - (i_{in} Z_2)}{Z_1} = \frac{i_{in} Z_2}{Z_3} \quad (ค1.8)$$

หรือ

$$\frac{v_{in}}{Z_1} = i_{in} \left( \frac{Z_2}{Z_3} + \frac{Z_2}{Z_1} \right) \quad (ค1.9)$$

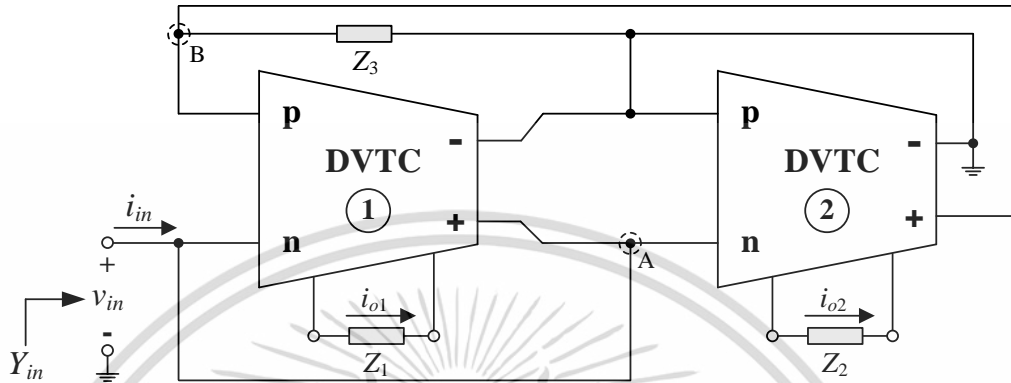
ในกรณีนี้จะได้อิมพีแดนซ์อินพุตของวงจรเท่ากับ

$$Z_{in} = \frac{v_{in}}{i_{in}} = Z_2 + Z_{eq} = Z_2 + \frac{Z_1 Z_2}{Z_3} \quad (ค1.10)$$

สมการ (ค1.10) แสดงให้เห็นว่าวงจรในรูปที่ ค1 สามารถสังเคราะห์เป็นฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียอนุกรม และฟังก์ชันคูณค่าความจุไฟฟ้าที่มีการสูญเสียอนุกรมได้โดยการกำหนดอุปกรณ์พาสซีฟทั้งสามตัวอย่างเหมาะสม

**ค2 การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานในรูปที่ 5.2**

รูปที่ ค2 แสดงวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานต่อเทียบกราวด์ หากวิเคราะห์วงจรโดยอาศัยอัสัยคุณสมบัติของวงจร DVTC ในทางอุดมคติจะมีรายละเอียดดังนี้



รูปที่ ค2 วงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานในรูปที่ 5.2

เมื่อวิเคราะห์ที่โหนด A ในรูปที่ ค2 โดยอาศัยกฎกระแสเคอร์ชอฟฟ์จะได้

$$i_{in} = -i_{out1+} \tag{ค2.1}$$

แทนค่าสมการ (ค1.1) ลงใน (ค2.1)

$$i_{in} = -\frac{v_{p1} - v_{n1}}{Z_1} \tag{ค2.2}$$

หรือ

$$i_{in} = -\frac{v_{p1} - v_{in}}{Z_1} \tag{ค2.3}$$

ที่ตำแหน่งโหนด B เมื่อวิเคราะห์โดยอาศัยกฎกระแสเคอร์ชอฟฟ์จะได้

$$i_{out2+} = i_{Z_3} \tag{ค2.4}$$

แทนค่าสมการ (ค1.1) ลงใน (ค2.4) และอาศัยกฎของโอห์มจะได้

$$\frac{v_{p2} - v_{n2}}{Z_2} = \frac{v_{p1}}{Z_3} \tag{ค2.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ 
$$\frac{0 - v_{in}}{Z_2} = \frac{v_{p1}}{Z_3} \quad (ค2.6)$$

หรือ 
$$v_{p1} = \frac{-v_{in}(Z_3)}{Z_2} \quad (ค2.7)$$

แทนค่าสมการ (ค2.7) ลงใน (ค2.3) ส่งผลให้

$$i_{in} = \frac{v_{in}(Z_3)}{Z_1 Z_2} + \frac{v_{in}}{Z_1} \quad (ค2.8)$$

ในกรณีนี้จะได้ค่าแอดมิตแตนซ์อินพุตของวงจรเท่ากับ

$$Y_{in} = \frac{i_{in}}{v_{in}} = \frac{1}{Z_1} + \frac{1}{Z_{eq}} = \frac{1}{Z_1} + \frac{Z_3}{Z_1 Z_2} \quad (ค2.9)$$

สมการ (ค2.9) แสดงให้เห็นว่าวงจรในรูปที่ ค2 สามารถสังเคราะห์เป็นฟังก์ชันเลียนแบบตัวเหนี่ยวนำที่มีการสูญเสียแบบขนาน และฟังก์ชันคุณค่าความจุไฟฟ้าที่มีการสูญเสียแบบขนานได้โดยการกำหนดอุปกรณ์พาสซีฟทั้งสามตัวอย่างเหมาะสม

### ค3 การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมในทางปฏิบัติ

ในหัวข้อนี้กล่าวถึงการวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบอนุกรมในทางปฏิบัติโดยอาศัยคุณสมบัติของวงจร DVTC ในทางปฏิบัติ ซึ่งมีคุณสมบัติดังต่อไปนี้

$$i_{out+} = \frac{\alpha_p(s)(v_p - v_n)}{Z_x} \quad (ค3.1)$$

และ

$$i_{out-} = -\frac{\alpha_n(s)(v_p - v_n)}{Z_x} \quad (ค3.2)$$

เมื่อวิเคราะห์ที่โหนด A ในรูปที่ ข1 โดยอาศัยกฎกระแสเคอร์ชอฟฟ์จะได้

$$i_{in} = -i_{out2-} \quad (ค3.3)$$

แทนค่าสมการ (ค3.2) ลงใน (ค3.3) ดังนั้น

$$i_{in} = \frac{\alpha_{n2}(s)(v_{p2} - v_{n2})}{Z_2} \quad (ค3.4)$$

จากรูปที่ ค1 พบว่า  $v_{n2} = 0$  ดังนั้นสมการ (ค3.4) กลายเป็น

$$i_{in} = \frac{\alpha_{n2}(s)v_{p2}}{Z_2} \quad (ค3.5)$$

หรือ

$$v_{p2} = \frac{i_{in}Z_2}{\alpha_{n2}(s)} \quad (ค3.6)$$

เมื่อวิเคราะห์ที่โหนด B ในรูปที่ ค1 โดยอาศัยกฎกระแสเคอร์ชอฟฟ์จะได้

$$i_{out1-} = i_{Z_3} \quad (ค3.7)$$

แทนค่าสมการ (ค3.1) ลงใน (ค3.7) ดังนั้น

$$-\frac{\alpha_{p1}(s)(v_{p1} - v_{n1})}{Z_1} = \frac{v_{p2}}{Z_3} \quad (ค3.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่าสมการ (ค3.6) ลงใน (ค3.8) โดยที่  $v_{p1} = v_{p2}$  จะได้

$$\frac{\alpha_{p1}(s) \left( v_{n1} - \frac{i_{in} Z_2}{\alpha_{n2}(s)} \right)}{Z_1} = \frac{i_{in} Z_2}{\alpha_{n2}(s) Z_3} \quad (\text{ค3.9})$$

หรือ

$$\frac{\alpha_{p1}(s) v_{in}}{Z_1} = i_{in} \left( \frac{Z_2}{\alpha_{n2}(s) Z_3} + \frac{\alpha_{p1}(s) Z_2}{\alpha_{n2}(s) Z_1} \right) \quad (\text{ค3.10})$$

หรือ

$$\frac{v_{in}}{i_{in}} = \frac{Z_2}{\alpha_{n2}(s)} + \frac{Z_1 Z_2}{\alpha_{p1}(s) \alpha_{n2}(s) Z_3} \quad (\text{ค3.11})$$

แทนค่าสมการ (3.13) และ (3.14) โดยที่วงจรทำงานในช่วงความถี่น้อยกว่าค่า  $\omega_p$  และ  $\omega_n$  ลงในสมการ (ค3.11) จะได้ค่าอิมพีแดนซ์อินพุตกรณีไม่เป็นไปตามอุดมคติเท่ากับ

$$Z'_{in} = \frac{v_{in}}{i_{in}} = Z_2 + Z_{eq} = \frac{Z_2}{\alpha_{on2}} + \frac{Z_1 Z_2}{\alpha_{on1} \alpha_{on2} Z_3} \quad (\text{ค3.12})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### ค4 การวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงค่าองค์ประกอบในวงจรเลียนแบบ ฟังก์ชันอิมิตแดนซ์แบบอนุกรม

คุณสมบัติค่าความไว (sensitivity,  $S$ ) ของวงจรที่นำเสนอเมื่อค่าองค์ประกอบภายในวงจรมีการเปลี่ยนแปลงสามารถวิเคราะห์ได้โดยอาศัยความสัมพันธ์ดังนี้ [xx]

$$\frac{\% \text{ change in } y}{\% \text{ change in } x} = \frac{\left(\frac{\Delta y}{y}\right) \times 100\%}{\left(\frac{\Delta x}{x}\right) \times 100\%} \quad (ค4.1)$$

โดยที่  $x$  คือองค์ประกอบในวงจรที่เปลี่ยนแปลง และ  $y$  คือคุณสมบัติของวงจรที่พิจารณาค่าความไวต่อการเปลี่ยนแปลงค่า  $x$  เมื่อกำหนดให้  $S_x^y$  แทนค่าความไวของคุณสมบัติ  $y$  ต่อการเปลี่ยนแปลงค่าองค์ประกอบ  $x$  ดังนั้นสามารถเขียนอธิบายสมการได้ใหม่คือ

$$S_x^y = \frac{\left(\frac{\Delta y}{y}\right)}{\left(\frac{\Delta x}{x}\right)} = \frac{\partial y / y}{\partial x / x} = \frac{\partial (\ln y)}{\partial (\ln x)} = \frac{x}{y} \frac{\partial y}{\partial x} \quad (ค4.2)$$

เมื่อวิเคราะห์หาค่าความไวของสมการ (5.8) โดยอาศัยสมการ (ค4.2) จะได้

$$S_{R_2}^{R_{eq}} = \frac{R_2}{R_{eq}} \cdot \frac{\partial R_{eq}}{\partial R_2} \quad (ค4.3)$$

หรือ

$$S_{R_2}^{R_{eq}} = \frac{R_2}{\left(\frac{R_2}{\alpha_{on2}}\right)} \cdot \frac{\partial \left(\frac{R_2}{\alpha_{on2}}\right)}{\partial R_2} \quad (ค4.4)$$

ทำการหาอนุพันธ์ผลหารของสมการข้างต้น จะได้

$$S_{R_2}^{R_{eq}} = \alpha_{on2} \cdot \frac{\alpha_{on2} - R_2(0)}{(\alpha_{on2})^2} \quad (ค4.5)$$

หรือ

$$S_{R_2}^{R_{eq}} = 1 \quad (ค4.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเมื่อวิเคราะห์หาค่าความไวของค่า  $R'_{eq}$   $L'_{eq}$  และ  $C'_{eq}$  ต่อการเปลี่ยนแปลงค่าองค์ประกอบอื่นๆ ในวงจรโดยใช้วิธีเดียวกับที่นำเสนอในข้างต้นจะสรุปได้ดังนี้

$$S_{\alpha_{on2}}^{R'_{eq}} = -1 \quad (ค4.7)$$

$$S_{R_1}^{L'_{eq}} = S_{R_2}^{L'_{eq}} = S_{C_3}^{L'_{eq}} = -S_{\alpha_{on1}}^{L'_{eq}} = -S_{\alpha_{on2}}^{L'_{eq}} = 1 \quad (ค4.8)$$

และ

$$S_{C_1}^{C'_{eq}} = S_{R_3}^{C'_{eq}} = S_{\alpha_{on1}}^{C'_{eq}} = S_{\alpha_{on2}}^{C'_{eq}} = -S_{R_2}^{C'_{eq}} = 1 \quad (ค4.9)$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ค5 การวิเคราะห์คุณสมบัติของวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนานในทางปฏิบัติ

เมื่อวิเคราะห์วงจรในรูปที่ ค2 ที่โหนด A โดยอาศัยกฎกระแสเคอร์ชอฟฟ์จะได้

$$i_{in} = -i_{out1+} \quad (ค5.1)$$

แทนค่าสมการ (ค3.1) ลงใน (ค5.1)

$$i_{in} = -\frac{\alpha_{p1}(s)(v_{p1} - v_{n1})}{Z_1} \quad (ค5.2)$$

หรือ

$$i_{in} = \frac{\alpha_{p1}(s)(v_{in} - v_{p1})}{Z_1} \quad (ค5.3)$$

วิเคราะห์ที่โหนด B โดยอาศัยกฎกระแสเคอร์ชอฟฟ์จะได้

$$i_{out2+} = i_{Z_3} \quad (ค5.4)$$

แทนค่าสมการ (ค3.1) ลงใน (ค5.4) และอาศัยกฎของโอห์มจะได้

$$\frac{\alpha_{p2}(s)(v_{p2} - v_{n2})}{Z_2} = \frac{v_{p1}}{Z_3} \quad (ค5.5)$$

หรือ

$$\frac{\alpha_{p2}(s)(-v_{n2})}{Z_2} = \frac{v_{p1}}{Z_3} \quad (ค5.6)$$

หรือ

$$v_{p1} = \frac{-v_{in}\alpha_{p2}(s)(Z_3)}{Z_2} \quad (ค5.7)$$

แทนค่าสมการ (ค5.7) ลงใน (ค5.3) ส่งผลให้

$$i_{in} = v_{in} \left[ \frac{\alpha_{p1}(s)}{Z_1} + \frac{\alpha_{p1}(s)\alpha_{p2}(s)(Z_3)}{Z_1 Z_2} \right] \quad (ค5.8)$$

หรือ

$$\frac{i_{in}}{v_{in}} = \frac{\alpha_{p1}(s)}{Z_1} + \frac{\alpha_{p1}(s)\alpha_{p2}(s)(Z_3)}{Z_1 Z_2} \quad (ค5.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่าสมการ (3.13) โดยที่วงจรทำงานในช่วงความถี่น้อยกว่าค่า  $\omega_p$  ลงในสมการ (ค5.9) จะได้ค่าแอดมิตแตนซ์อินพุตกรณีไม่เป็นไปตามอุดมคติเท่ากับ

$$Y'_{in} = \frac{i_{in}}{v_{in}} = \frac{1}{Z_1} + \frac{1}{Z_{eq}} = \frac{\alpha_{op1}}{Z_1} + \frac{\alpha_{op1}\alpha_{op2}Z_3}{Z_1Z_2} \quad (\text{ค5.10})$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ค6 การวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงค่าองค์ประกอบในวงจรเลียนแบบฟังก์ชันอิมิตแดนซ์แบบขนาน

ค่าความไวของของค่าความต้านทานสมมูลดังสมการ (5.15) สามารถวิเคราะห์ได้โดยอาศัยหลักการในสมการ (ค4.2) ซึ่งจะได้

$$S_{R_1}^{R'_{eq}} = \frac{R_1}{R'_{eq}} \cdot \frac{\partial R'_{eq}}{\partial R_1} \quad (\text{ค6.1})$$

หรือ

$$S_{R_1}^{R'_{eq}} = \frac{R_1}{\left(\frac{R_1}{\alpha_{op1}}\right)} \cdot \frac{\partial \left(\frac{R_1}{\alpha_{op1}}\right)}{\partial R_1} \quad (\text{ค6.2})$$

ทำการหาอนุพันธ์ผลหารของสมการข้างต้น จะได้

$$S_{R_1}^{R'_{eq}} = \alpha_{op1} \cdot \frac{\alpha_{op1} - R_1(0)}{(\alpha_{op1})^2} \quad (\text{ค6.3})$$

หรือ

$$S_{R_1}^{R'_{eq}} = 1 \quad (\text{ค6.4})$$

และเมื่อวิเคราะห์หาค่าความไวของค่า  $R'_{eq}$ ,  $L'_{eq}$  และ  $C'_{eq}$  ในการสมการ (5.15) ถึง (5.17) ต่อการเปลี่ยนแปลงค่าองค์ประกอบอื่นๆในวงจรโดยใช้วิธีเดียวกับที่นำเสนอในข้างต้นจะสรุปได้ดังนี้

$$S_{\alpha_{op1}}^{R'_{eq}} = -1 \quad (\text{ค6.5})$$

$$S_{R_1}^{L'_{eq}} = S_{R_2}^{L'_{eq}} = S_{C_3}^{L'_{eq}} = -S_{\alpha_{op1}}^{L'_{eq}} = -S_{\alpha_{op2}}^{L'_{eq}} = 1 \quad (\text{ค6.6})$$

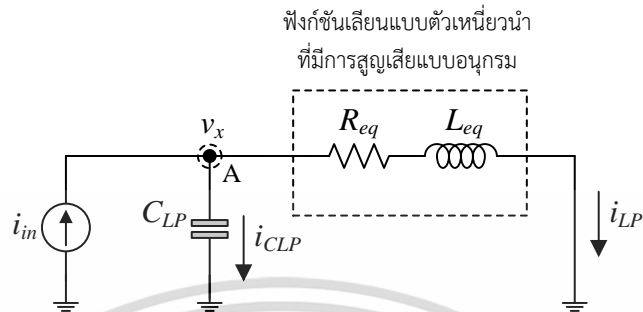
และ

$$S_{C_2}^{C'_{eq}} = S_{R_3}^{C'_{eq}} = S_{\alpha_{op1}}^{C'_{eq}} = S_{\alpha_{op2}}^{C'_{eq}} = -S_{R_1}^{C'_{eq}} = 1 \quad (\text{ค6.7})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ค7 การวิเคราะห์วงจรกรองผ่านความถี่ต่ำโหมตกระแสในรูปที่ 5.17

การวิเคราะห์หาฟังก์ชันถ่ายโอนกระแสของวงจรกรองผ่านความถี่ต่ำอันดับสองในรูปที่ 5.17 ได้มีการกำหนดทิศทางทางไหลของกระแสดังแสดงในรูปที่ ค3



รูปที่ ค3 วงจรกรองผ่านความถี่ต่ำอันดับสองสำหรับการวิเคราะห์หาฟังก์ชันถ่ายโอนกระแส

เมื่อวิเคราะห์ที่โหนด A ในรูปที่ ค3 โดยใช้กฎกระแสของเคอร์ชอฟฟ์จะได้

$$i_{in} = i_{CLP} + i_{LP} \quad (ค7.1)$$

วิเคราะห์สมการ (ค7.1) ด้วยกฎของโอห์มดังนั้น

$$i_{in} = \frac{v_x}{\left(\frac{1}{sC_{LP}}\right)} + \frac{v_x}{(R_{eq} + sL_{eq})} \quad (ค7.2)$$

หรือ

$$i_{in} = v_x \left[ sC_{LP} + \frac{1}{(R_{eq} + sL_{eq})} \right] \quad (ค7.3)$$

ที่ตำแหน่งโหนด A เมื่อวิเคราะห์  $i_{LP}$  ที่ไหลผ่านตัวต้านทานและตัวเหนี่ยวนำจะได้

$$i_{LP} = \frac{v_x}{R_{eq} + sL_{eq}} \quad (ค7.4)$$

หรือ

$$v_x = i_{LP} (R_{eq} + sL_{eq}) \quad (ค7.5)$$

แทนค่าสมการ (ค7.5) ลงใน (ค7.3) ดังนั้น

$$i_{in} = i_{LP} (R_{eq} + sL_{eq}) \left[ sC_{LP} + \frac{1}{(R_{eq} + sL_{eq})} \right] \quad (ค7.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ 
$$i_{in} = i_{LP} (sR_{eq}C_{LP} + s^2L_{eq}C_{LP} + 1) \quad (ค7.7)$$

โดยจะได้อัตราส่วนระหว่าง  $i_{LP}$  และ  $i_{in}$  เท่ากับ

$$\frac{i_{LP}}{i_{in}} = \frac{1}{s^2L_{eq}C_{LP} + sR_{eq}C_{LP} + 1} \quad (ค7.8)$$

ทำการหาร  $L_{eq}C_{eq}$  ทั้งเศษและส่วนของสมการ (ค7.8) จะได้ฟังก์ชันไบควอดราติก (biquadratic function) เท่ากับ

$$\frac{i_{LP}}{i_{in}} = \frac{1}{s^2 + s\left(\frac{R_{eq}}{L_{eq}}\right) + \frac{1}{L_{eq}C_{LP}}} \quad (ค7.9)$$

จะได้ความถี่คัทออฟ (cut off frequency,  $f_c$ ) และตัวประกอบคุณภาพ (quality factor,  $Q$ ) ดังนี้

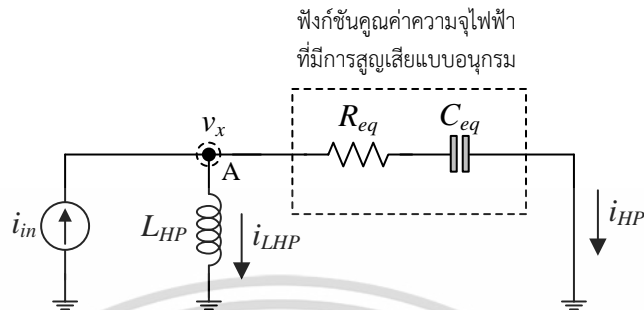
$$\omega_c = 2\pi f_c = \sqrt{\frac{1}{L_{eq}C_{LP}}} \quad (ค7.10)$$

และ 
$$Q = \left(\frac{1}{R_{eq}}\right) \sqrt{\frac{L_{eq}}{C_{LP}}} \quad (ค7.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ค8 การวิเคราะห์วงจรกรองผ่านความถี่สูงโหมตกระแสในรูปที่ 5.19

การวิเคราะห์หาฟังก์ชันถ่ายโอนกระแสของวงจรกรองผ่านความถี่สูงอันดับสองในรูปที่ 5.19 ได้มีการกำหนดทิศทางทางไหลของกระแสดังแสดงในรูปที่ ค4



รูปที่ ค4 วงจรกรองผ่านความถี่สูงอันดับสองสำหรับการวิเคราะห์หาฟังก์ชันถ่ายโอนกระแส

เมื่อวิเคราะห์ที่โหนด A ในรูปที่ ค4 โดยใช้กฎกระแสของเคอร์ชอฟฟ์จะได้

$$i_{in} = i_{LHP} + i_{HP} \quad (ค8.1)$$

วิเคราะห์สมการ (ค8.1) โดยใช้กฎของโอห์มดังนั้น

$$i_{in} = \frac{v_x}{sL_{HP}} + \frac{v_x}{\left(R_{eq} + \frac{1}{sC_{eq}}\right)} \quad (ค8.2)$$

หรือ

$$i_{in} = v_x \left[ \frac{1}{sL_{HP}} + \frac{sC_{eq}}{(sR_{eq}C_{eq} + 1)} \right] \quad (ค8.3)$$

ที่ตำแหน่งโหนด A เมื่อวิเคราะห์  $i_{HP}$  ที่ไหลผ่านตัวต้านทานและตัวเก็บประจุไฟฟ้าจะได้

$$i_{HP} = \frac{v_x}{R_{eq} + \frac{1}{sC_{eq}}} \quad (ค8.4)$$

หรือ

$$v_x = i_{HP} \left( \frac{sR_{eq}C_{eq} + 1}{sC_{eq}} \right) \quad (ค8.5)$$

แทนค่าสมการ (ค8.5) ลงใน (ค8.3) ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{in} = i_{HP} \left( \frac{sR_{eq}C_{eq} + 1}{sC_{eq}} \right) \left[ \frac{1}{sL_{HP}} + \frac{sC_{eq}}{(sR_{eq}C_{eq} + 1)} \right] \quad (ค8.6)$$

หรือ

$$i_{in} = i_{HP} \left( \frac{s^2L_{HP}C_{eq} + sR_{eq}C_{eq} + 1}{s^2L_{HP}C_{eq}} \right) \quad (ค8.7)$$

โดยจะได้อัตราส่วนระหว่าง  $i_{HP}$  และ  $i_{in}$  เท่ากับ

$$\frac{i_{HP}}{i_{in}} = \frac{s^2L_{HP}C_{eq}}{s^2L_{HP}C_{eq} + sR_{eq}C_{eq} + 1} \quad (ค8.8)$$

ทำการหาร  $L_{HP}C_{eq}$  ทั้งเศษและส่วนของสมการ (ค8.8) จะได้ฟังก์ชันไบควอดราติกเท่ากับ

$$\frac{i_{HP}}{i_{in}} = \frac{s^2}{s^2 + s \left( \frac{R_{eq}}{L_{HP}} \right) + \frac{1}{L_{HP}C_{eq}}} \quad (ค8.9)$$

จะได้ความถี่คัทออฟ และตัวประกอบคุณภาพดังนี้

$$\omega_c = 2\pi f_c = \sqrt{\frac{1}{L_{HP}C_{eq}}} \quad (ค8.10)$$

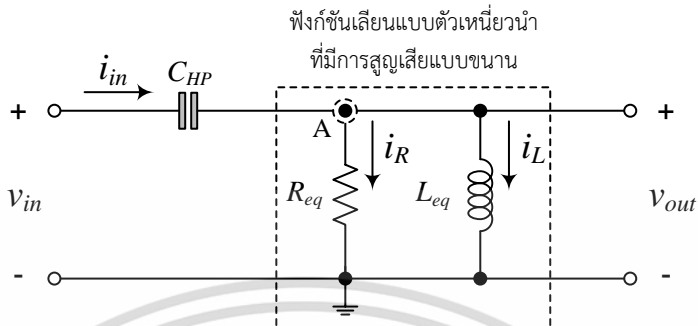
และ

$$Q = \left( \frac{1}{R_{eq}} \right) \sqrt{\frac{L_{HP}}{C_{eq}}} \quad (ค8.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ค9 การวิเคราะห์วงจรกรองผ่านความถี่สูงโหมดแรงดันในรูปที่ 5.21**

การวิเคราะห์หาฟังก์ชันถ่ายโอนแรงดันของวงจรกรองผ่านความถี่สูงอันดับสองในรูปที่ 5.21 ได้มีการกำหนดทิศทางทางไหลของกระแสดังแสดงในรูปที่ ค5



รูปที่ ค5 วงจรกรองผ่านความถี่สูงอันดับสองสำหรับการวิเคราะห์หาฟังก์ชันถ่ายโอนแรงดัน

วิเคราะห์ที่โหนด A ของวงจรกรองผ่านความถี่สูงในรูปที่ ค5 โดยใช้กฎกระแสของเคอร์ชอฟฟ์จะได้

$$i_{in} = i_R + i_L \tag{ค9.1}$$

วิเคราะห์ที่กระแสที่ไหลผ่านอุปกรณ์พาสซีฟในวงจรด้วยกฎของโอห์มพบว่า

$$(v_{in} - v_{out})sC_{HP} = \frac{v_{out}}{R_{eq}} + \frac{v_{out}}{sL_{eq}} \tag{ค9.2}$$

$$v_{in}(sC_{HP}) = \frac{v_{out}}{R_{eq}} + \frac{v_{out}}{sL_{eq}} + v_{out}(sC_{HP}) \tag{ค9.3}$$

หรือ

$$v_{in}(sC_{HP}) = v_{out} \left( \frac{s^2 R_{eq} L_{eq} C_{HP} + sL_{eq} + R_{eq}}{sR_{eq} L_{eq}} \right) \tag{ค9.4}$$

โดยจะได้อัตราส่วนระหว่าง  $v_{out}$  และ  $v_{in}$  เท่ากับ

$$\frac{v_{out}}{v_{in}} = \frac{s^2 R_{eq} L_{eq} C_{HP}}{s^2 R_{eq} L_{eq} C_{HP} + sL_{eq} + R_{eq}} \tag{ค9.5}$$

ทำการหาร  $R_{eq}L_{eq}C_{HP}$  ทั้งเศษและส่วนของสมการ (ค9.5) จะได้ฟังก์ชันโพลควอดรติกเท่ากับ

$$\frac{v_{out}}{v_{in}} = \frac{s^2}{s^2 + s \left( \frac{1}{R_{eq}C_{HP}} \right) + \frac{1}{L_{eq}C_{HP}}} \tag{ค9.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้ความถี่คัทออฟ และตัวประกอบคุณภาพดังนี้

$$\omega_c = 2\pi f_c = \sqrt{\frac{1}{L_{HP}C_{eq}}} \quad (\text{ค9.7})$$

และ

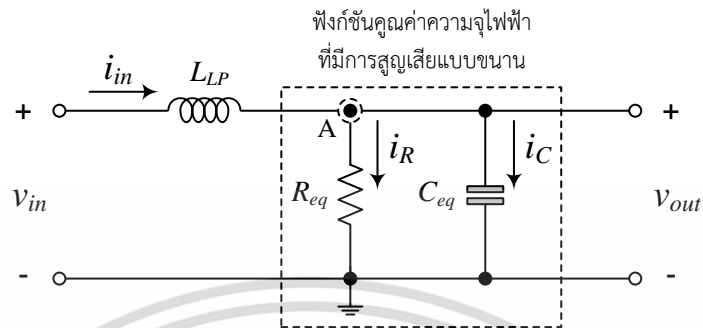
$$Q = \left( \frac{1}{R_{eq}} \right) \sqrt{\frac{L_{HP}}{C_{eq}}} \quad (\text{ค9.8})$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### ค10 การวิเคราะห์วงจรกรองผ่านความถี่ต่ำโหมดแรงดันในรูปที่ 5.23

วงจรกรองผ่านความถี่ต่ำอันดับสองในรูปที่ 5.23 สามารถวิเคราะห์หาฟังก์ชันถ่ายโอนแรงดัน ความถี่คัทออฟ และตัวประกอบคุณภาพได้โดยกำหนดทิศทางทางไหลของกระแสดังแสดงในรูปที่ ค6



รูปที่ ค6 วงจรกรองผ่านความถี่ต่ำอันดับสองสำหรับการวิเคราะห์หาฟังก์ชันถ่ายโอนแรงดัน

เมื่อใช้กฎกระแสของเคอร์ชอฟวิเคราะห์ที่โหนด A ของวงจรในรูปที่ ค6 พบว่า

$$i_{in} = i_R + i_C \quad (\text{ค10.1})$$

วิเคราะห์กระแสที่ไหลผ่านอุปกรณ์พาสซีฟในวงจรด้วยกฎของโอห์มจะได้

$$\frac{v_{in} - v_{out}}{sL_{LP}} = \frac{v_{out}}{R_{eq}} + v_{out}(sC_{eq}) \quad (\text{ค10.2})$$

$$\frac{v_{in}}{sL_{LP}} = \frac{v_{out}}{R_{eq}} + v_{out}(sC_{eq}) + \frac{v_{out}}{sL_{LP}} \quad (\text{ค10.3})$$

หรือ

$$v_{in} \left( \frac{1}{sL_{LP}} \right) = v_{out} \left( \frac{s^2 R_{eq} L_{LP} C_{eq} + sL_{LP} + R_{eq}}{sR_{eq} L_{LP}} \right) \quad (\text{ค10.4})$$

โดยจะได้อัตราส่วนระหว่าง  $v_{out}$  และ  $v_{in}$  เท่ากับ

$$\frac{v_{out}}{v_{in}} = \frac{R_{eq}}{s^2 R_{eq} L_{LP} C_{eq} + sL_{LP} + R_{eq}} \quad (\text{ค10.5})$$

ทำการหาร  $R_{eq}L_{LP}C_{eq}$  ทั้งเศษและส่วนของสมการ (ค10.5) จะได้ฟังก์ชันโพลควอดรติกเท่ากับ

$$\frac{v_{out}}{v_{in}} = \frac{\frac{1}{L_{LP}C_{eq}}}{s^2 + s\left(\frac{1}{R_{eq}C_{eq}}\right) + \frac{1}{L_{LP}C_{eq}}} \quad (ค10.6)$$

จะได้ความถี่คัทออฟ และตัวประกอบคุณภาพดังนี้

$$f_c = \frac{1}{2\pi} \sqrt{\frac{1}{L_{LP}C_{eq}}} \quad (ค10.7)$$

และ

$$Q = R_{eq} \sqrt{\frac{C_{eq}}{L_{LP}}} \quad (ค10.8)$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

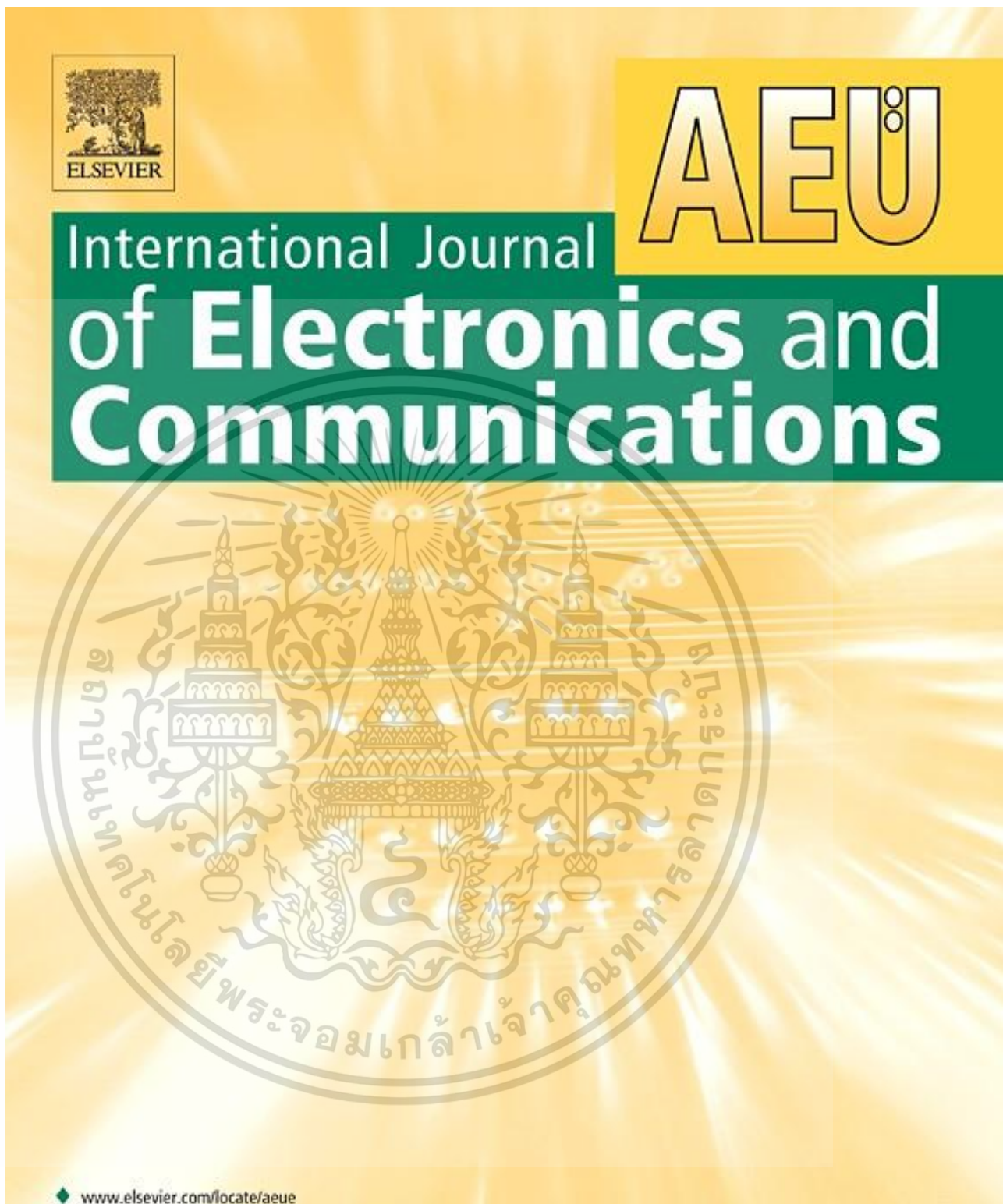
ภาคผนวก ง  
บทความวิจัยที่ได้รับการตีพิมพ์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**บทความวิจัยที่ได้รับการตีพิมพ์ลงในวารสารวิชาการระดับนานาชาติจำนวน 2 บทความ และ  
ในการประชุมวิชาการระดับนานาชาติจำนวน 3 บทความดังต่อไปนี้**

- [1] N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, “Floating general immittance function simulator”, **International Journal of Electronics and Communications (AEÜ)**, vol. 132, 153640, 2021.
- [2] N. Roongmuanpha, N. Likhitkitwoerakul, M. Fukuhara, and W. Tangsrirat, “Single VDGA-based mixed-mode electronically tunable first-order universal filter,” **Sensors**, vol. 23, no. 5, p. 2759, 2023.
- [3] N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, “Floating impedance simulator realization,” **Proceedings of the 17<sup>th</sup> International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON) Phuket, Thailand, 24-27 June**, pp. 345–348, 2020.
- [4] N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, “DVTC-based series RL/RC impedance simulator”, **Proceedings of the 9<sup>th</sup> International Electrical Engineering Congress (iEECON)**, Pattaya, Thailand, 10-12 March, pp. 321–324, 2021.
- [5] N. Likhitkitwoerakul, N. Roongmuanpha, and W. Tangsrirat, “On the realization of grounded RL/RC parallel type simulator”, **Proceedings of the 7<sup>th</sup> International Conference on Engineering, Applied Sciences and Technology (ICEAST)**, Pattaya, Thailand, 1-3 April, pp. 25–28, 2021.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Contents lists available at ScienceDirect

## International Journal of Electronics and Communications

journal homepage: [www.elsevier.com/locate/aeue](http://www.elsevier.com/locate/aeue)

Regular paper

## Floating general immittance function simulator



Nutchta Likhitkitwoerakul, Natchanai Roongmuanpha, Worapong Tangsirrat\*

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMUTL), Bangkok 10520, Thailand

## ARTICLE INFO

## Keywords:

Immittance function  
 Floating impedance simulator  
 Frequency-dependent negative resistance (FDNR)  
 Flipped voltage follower  
 Low-voltage circuit

## ABSTRACT

A floating general immittance function simulator circuit is presented using two differential voltage to current converters (DVTCs) and three passive components. The developed DVTC to be used in this work is realized with the flipped voltage follower, achieving low-voltage operation. By selecting proper passive components, the proposed floating simulator circuit can realize synthetic inductor, capacitor, resistor and frequency-dependent negative resistance (FDNR) without changing its configuration. No component matching conditions and cancellation constraints are necessary. Furthermore, non-ideal transfer gain effects on the proposed simulator circuit are discussed. As applications for the proposed floating simulator, a second-order RLC bandpass filter and a fourth-order resistively terminated LC bandpass filter are shown. To verify the theory, the proposed simulator and its applications are simulated using 0.25- $\mu\text{m}$  CMOS process technology.

## 1. Introduction

General immittance function simulators are necessarily employed in many electrical applications ranging from active filter synthesis to sinusoidal oscillator design as well as impedance matching circuitry and parasitic element cancellations. The reasons are, they provide better accuracy, easy tunability and integrability, and also place a less footprint in integrated circuit (IC) design. Since 1967 when Antoniou proposed the operational amplifier (OA)-based structure as a gyrator [1], the circuit has been vastly used in general immittance converter (GIC), active impedance simulation, and active filter and oscillator synthesis [2–3]. However, due to the constant gain-bandwidth product, the OA-based GIC circuits have restricted bandwidth at high closed-loop gains. Also, the use of the OA with its limited slew-rate limits the large-signal and high-frequency performance of the resulting circuits. It is further to be noted that the OA-based structure circuits become very complex, when low-power low-voltage operation and wide bandwidth are simultaneously required [4]. With the introduction of the second-generation current conveyor (CCII) in 1970, this active element becomes intensively used device to eliminate the disadvantageous features of the OA [5–6]. Therefore, the later realizations of the GICs based on CCIs or CCII-based active elements were reported in the open literature [7–16]. However, the main disadvantage of the CCII is that it has only one high-impedance input terminal (the Y terminal). This drawback becomes evident when the CCII is required to provide floating input handling capacity or to handle differential signals. This would result in

the use of a large number of components [7–13]. For example, the simulators reported in [9,13] employ one dual-output CCII (DO-CCII), one plus-type CCII (CCII+), and minus-type CCII (CCII-) as active elements together with three or four passive elements. The work of [9] also needs a single passive component matching condition. In [10], a series of the single-resistance-tunable floating inductor circuits are derived with only two CCIs and three passive components employing nullor equivalence. Further from all the simulation structures, floating frequency-dependent negative resistances (FDNRs) are realizable by achieving RC-CR transformation. In the literature [11], two floating immittance topologies are realized using three/four current-controlled current conveyors (CCCIs) and four passive elements. Using two different types of active devices, i.e. a DO-CCII and an operational transconductance amplifier (OTA), an active circuit for floating GIC simulation is reported in [15]. A solution of floating inductance simulator employing three electronically controllable current conveyors (ECCIs), one differential voltage buffer (DVB), and four passive components is proposed in [16], and unfortunately, only inductance function simulator can be obtained. Therefore, the analog researchers have tried to design and synthesis the active immittance function simulators by making use of a new generation of active elements.

It is a well-known fact that the floating GIC versions have more versatile and flexible than the grounded ones. For these reasons, other implementations of the floating general immittance function simulators have been reported using a wide range of recently modified active elements, such as differential voltage current conveyor (DVCC) [17],

\* Corresponding author.

E-mail address: [worapong.ta@kmitl.ac.th](mailto:worapong.ta@kmitl.ac.th) (W. Tangsirrat).<https://doi.org/10.1016/j.aeue.2021.153640>

Received 28 October 2020; Accepted 24 January 2021

Available online 1 February 2021

1434-8411/© 2021 Elsevier GmbH. All rights reserved.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

differential difference current conveyor (DDCC) [18], current feedback amplifier (CFOA) [19], modified current feedback amplifier (MCFOA) [20–21], current backward transconductance amplifier (CBTA) [22–23], current follower transconductance amplifier (CFTA) [24], and voltage differencing differential difference amplifier (VDDDA) [25]. However, only lossy or lossless floating inductance function simulators are realized from the designs in [18,25], which are unsuitable for specific solution purposes. Considering MCFOA in [21], only floating inductors can be realized using two MCFOAs, two floating resistors, and one grounded capacitor. The simulators in [24] use more than two active components for realizing floating inductance function simulators. Some floating active inductance simulators including active building blocks are proposed in [17,19–23], whereas each of the blocks involves more than 18 transistors. They also require high power supply voltages at least  $\pm 1.5$  V, which would consume higher power and occupy a larger silicon chip area.

In recent years, the interest in low-voltage low-power analog circuits has tremendously increased since the shrinking in size and downscaling of CMOS devices has constrained analog integrated circuits to operate with decreasing supply voltages and minimizing power dissipation. In literature, the flipped voltage follower (FVF) which is a useful and versatile analog cell for low-voltage low-power circuit design was

initially introduced [26]. Its basic characteristics include low impedance level, high slew rate, high current driving capability, and reduce power dissipation compared to the conventional voltage follower [27]. Since then several applications of the FVF and its utilization in analog signal processing circuit design have been developed in the literature [28–30].

This study is thus focused on the realization of a floating immittance function simulator circuit. The proposed simulator consists of two differential voltage to current converters (DVTCs) based on FVF with the level shifter (LSFVF) along with three passive elements [31]. Depending on the selection of passive elements, the proposed floating immittance function simulator can simulate inductor, capacitor, resistor, and FDNR without modifying the circuit configuration, and without requiring any component matching choices. In application examples, a second-order RLC bandpass filter has been designed and simulated using the proposed floating capacitance multiplier circuit and floating inductance simulator. Furthermore, the proposed FDNR simulator has also been used to synthesize a fourth-order resistively terminated LC bandpass filter. The workability of the proposed simulator and its filter application have been simulated and certified with the theory through PSPICE program using  $0.25\text{-}\mu\text{m}$  CMOS real process parameter from Taiwan Semiconductor Manufacturing Company. In Table 1, the physical comparison of the proposed floating general immittance function simulator

**Table 1**  
Comparison of the proposed floating immittance function simulator with the previously related floating ones [2–3,7–25].

References	Simulated floating elements	No. of active elements	No. of passive elements	Technology	Power consumption	Supply voltages	Matching condition requirement
[2]	lossless L, FDNR	OA = 2	5	IC 741, RC4136	NA	NA	yes
[3]	lossless L, lossless C, FDNR	OA = 3	8	NA	NA	NA	yes
[7]	lossless L, FDNR	CCII = 2	5	NA	NA	NA	no
[8]	lossless L, lossless C, FDNR	CCII+ = 2, CCII- = 2	4	NA	NA	NA	no
[9]	lossless L, lossless C, FDNR, admittance converter	CCII+ = 1, CCII- = 1, DO-CCII = 1	4	0.35- $\mu\text{m}$ TSMC CMOS	NA	$\pm 1.5$ V, $\pm 0.5$ V	yes
[10]	lossy L, FDNR	CCII = 2	3	NA	NA	NA	no
[11]	lossless L, lossless C admittance converter, FDNR	Fig. 1: CCII+ = 3, DO-CCII = 1 Fig. 2: CCII+ = 1, DO-CCII = 2	4	BJT NR100N & PR100N	NA	$\pm 2.5$ V	no
[12]	Positive lossless L, negative lossless L, positive lossless C, negative lossless C, positive R, negative R	Figs. 1-2: CCII+ = 2, DO-CCII = 1 Figs. 3-4: CCII+ = 3, DO-CCII = 1 Figs. 5-6: CCII+ = 3, DO-CCII = 1	1	BJT NR100N & PR100N	NA	$\pm 2.5$ V	no
[13]	positive/negative L, C and R	CCII+ = 1, CCII- = 1, DO-CCII = 1	3	0.35- $\mu\text{m}$ TSMC CMOS	NA	$\pm 1.5$ V, $\pm 0.5$ V	no
[14]	lossless L, lossless C, FDNR admittance converter	DO-CCII = 1, OTA = 1	2	0.35- $\mu\text{m}$ TSMC CMOS	1 mW	$\pm 1.5$ V, $\pm 0.5$ V	no
[15]	lossless L, lossless C and R	ECCII = 3, DVB = 1	4	EL2082, AD830	NA	$\pm 5$ V	yes
[16]	lossless L, lossy L	DVCC = 2	3	0.35- $\mu\text{m}$ TSMC CMOS	NA	$\pm 1.5$ V, $+0.65$ V	no
[17]	lossless L, lossless C, FDNR	DDCC = 1	3	0.13- $\mu\text{m}$ IBM CMOS	2.08 mW, 1.12 mW	$\pm 0.75$ V, $+0.25$ V	no
[18]	lossy L			AD844	NA	NA	no
[19]	lossless L, lossless C, FDNR, FDNC	CFOA = 2	3 to 5				
[20]	lossless L, lossless C, FDNR	MCFOA = 1	3	0.35- $\mu\text{m}$ TSMC CMOS	NA	$\pm 1.5$ V, $+0.556$ V	no
[21]	lossless L	MCFOA = 2	3	0.25- $\mu\text{m}$ TSMC CMOS	NA	$\pm 1.5$ V, $+0.76$ V	no
[22]	positive/negative L, C and R	CBTA = 1	2	0.25- $\mu\text{m}$ TSMC CMOS	NA	$\pm 1.5$ V	no
[23]	lossless L, lossless C and R, FDNR	CBTA = 2	3	0.25- $\mu\text{m}$ TSMC CMOS	NA	$\pm 1.5$ V	no
[24]	gyrator, lossless C, R and FDNR	Figs. 6-7: CFTA = 3 Fig. 8: CFTA = 4 Fig. 9(a): CFTA = 6	1	BJT NR100N & PR100N	NA	$\pm 1.5$ V	yes
[25]	lossless L, lossy L	VDDDA = 2 VDDDA = 1	2 2	LM13700, AD830 0.18- $\mu\text{m}$ TSMC CMOS	NA	$\pm 5$ V $\pm 0.9$ V, $-0.35$ V	no
This work	lossless L, lossless C, R and FDNR	DVTC = 2	3	0.25- $\mu\text{m}$ TSMC CMOS	1.18 mW	$\pm 0.75$ V	no

NA : Not Available

with other previously published works [2-3,7-25] is given.

2. Circuit description

The circuit schematic diagram and the schematic symbol of the differential voltage to current converter (DVTC) are shown in Fig. 1, which basically consists of flipped voltage followers ( $M_{1p}$ - $M_{4p}$  and  $M_{1n}$ - $M_{5n}$ ) and current mirrors ( $M_6$ - $M_9$ ,  $M_{10}$  and  $M_{11}$ - $M_{12}$ ). The circuit is biased with symmetrical supply voltages of  $\pm 0.75$  V and the bias current of  $I_B = 40 \mu\text{A}$ . All the bias current sources  $I_B$  are realized by simple current mirrors  $M_{13}$ - $M_{16}$  and  $M_{17}$ - $M_{19}$ , as depicted in Fig. 1(c). For the simulation purpose, the 0.25- $\mu\text{m}$  CMOS technology has been employed, where the model parameters provided by TSMC Company are as given in Table 2, and the dimensions (W/L) of all the transistors are optimized as given in Table 3.

Consider the circuit shown in Fig. 1(a). The DVTC circuit to be described is mainly based on the flipped voltage follower with the level shifter (LSFVF) shown in Fig. 2 [26]. For this purpose, the LSFVF is employed to obtain very low resistance level at the terminal o and to exhibit the low-voltage low-power operation. It is readily seen that the parasitic resistance looking into node o is

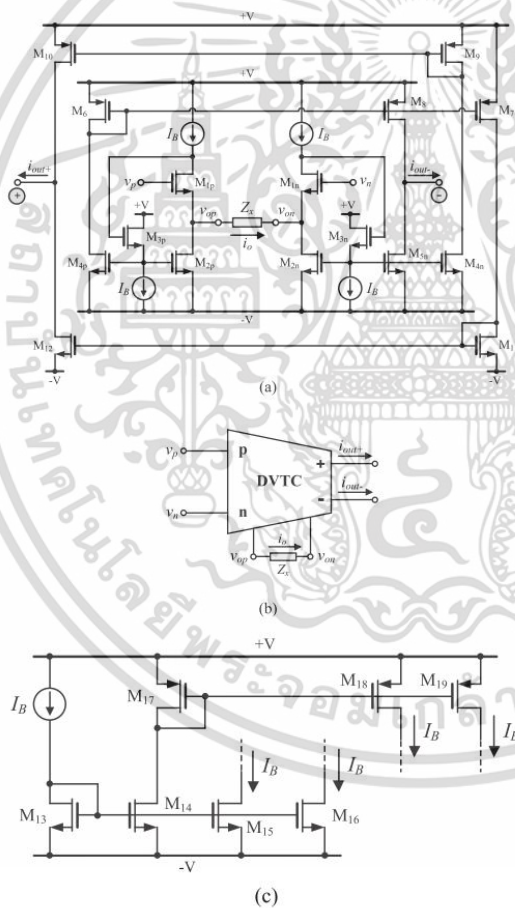


Fig. 1. Differential voltage to current converter (DVTC). (a) schematic circuit diagram (b) schematic circuit symbol (c) biasing current sources realized by current mirrors.

Table 2

Model parameters for a 0.25- $\mu\text{m}$  CMOS process technology from TSMC.

TSMC 0.25- $\mu\text{m}$ CMOS process parameters	
<b>PMOS</b>	
.MODEL CMOSP PMOS (LEVEL = 3 TOX = 5.7E-9 NSUB = 1E17	
+ GAMMA = 0.6348369 PHI = 0.7 VTO = -0.5536085 DELTA = 0	
+ UO = 250 ETA = 0 THETA = 0.1573195 KP = 5.194153E-5	
+ VMAX = 2.295325E5 KAPPA = 0.7448494 RSH = 30.0776952 NFS = 1E12	
+ TPG = -1 XJ = 2E-7 LD = 9.968346E-13 WD = 5.475113E-9	
+ CGDO = 6.66E-10 CGSO = 6.66E-10 CGBO = 1E-10 CJ = 1.893569E-3	
+ PB = 0.9906013 MJ = 0.4664287 CJSW = 3.625544E-10 MJSW = 0.5)	
<b>NMOS</b>	
.MODEL CMOSN NMOS (LEVEL = 3 TOX = 5.7E-9 NSUB = 1E17	
+ GAMMA = 0.4317311 PHI = 0.7 VTO = 0.4238252 DELTA = 0	
+ UO = 425.6466519 ETA = 0 THETA = 0.1754054 KP = 2.501048E-4	
+ VMAX = 8.287851E4 KAPPA = 0.1686779 RSH = 4.062439E-3 NFS = 1E12	
+ TPG = 1 XJ = 3E-7 LD = 3.162278E-11 WD = 1.232881E-8	
+ CGDO = 6.2E-10 CGSO = 6.2E-10 CGBO = 1E-10 CJ = 1.81211E-3	
+ PB = 0.5 MJ = 0.3282553 CJSW = 5.341337E-10 MJSW = 0.5)	

Table 3

Dimensions of the MOS transistors in Fig. 1.

Transistors	W( $\mu\text{m}$ )/L( $\mu\text{m}$ )
$M_{1p}$ - $M_{4p}$ , $M_{1n}$ - $M_{4n}$ , $M_{11}$	2.5/0.25
$M_{5n}$ , $M_{12}$ - $M_{13}$	1.14/0.25
$M_6$ , $M_9$ , $M_9$	3.7/0.25
$M_7$ , $M_{10}$ , $M_{17}$	1.66/0.25
$M_{14}$	1.18/0.25
$M_{15}$ - $M_{16}$	1.15/0.25
$M_{18}$ - $M_{19}$	1.68/0.25

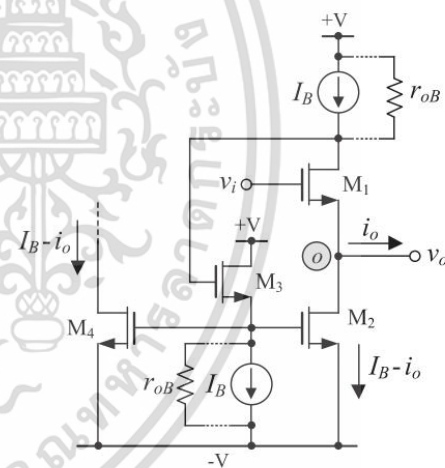


Fig. 2. Flipped voltage follower with level shifter (LSFVF).

$$R_o = \frac{\left(\frac{1}{g_{m1}}\right) \left(1 + \frac{r_{oB}}{r_{o1}}\right) // r_{o2}}{\left(\frac{g_{m2} g_{m3}}{g_{m1} + \frac{1}{r_{o1}} + \frac{1}{r_{oB}}}\right) (g_{m1} r_{o1} r_{o2} // r_{oB})} \quad (1)$$

where, as usual,  $g_{mi}$  and  $r_{oi}$  are respectively the transconductance and the output resistance of the  $i$ -th transistor, and  $r_{oB}$  is the small-signal output resistance of the bias current source  $I_B$ . If the bias current source  $I_B$  is realized by the simple current mirror, then  $r_{oB} \cong r_{o1}$ . Therefore, the output resistance  $R_o$  at node o is approximated as:

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_o \cong \frac{2}{g_{m1}g_{m2}r_{o1}} \quad (2)$$

Note that the LSFVFs  $M_{1p}$ - $M_{4p}$  and  $M_{1n}$ - $M_{5n}$  act as differential voltage to current converter, converting  $(v_p - v_n)$  to  $i_o$  with a transconductance of  $1/Z_x$ . Therefore, the current  $i_o$  flowing through the conversion impedance  $Z_x$  will be equal to  $i_o = (v_p - v_n)/Z_x$ , resulting in drain currents of  $M_{4p}$  ( $M_6$ ) and  $M_{4n}$  ( $M_5$ ) equal to  $(I_B - i_o)$  and  $(I_B + i_o)$ , respectively. These currents have to be conveyed to the output nodes by means of current mirrors  $M_6$ - $M_6$ ,  $M_9$ - $M_{10}$  and  $M_{11}$ - $M_{12}$ . If  $(W/L)_{M5n}/(W/L)_{M2n} = (W/L)_{M7}/(W/L)_{M6} = (W/L)_{M10}/(W/L)_{M9} = (W/L)_{M12}/(W/L)_{M11} = 1/2$ , then the output currents can be expressed as:

$$i_{out+} = -i_{out-} = i_o = \frac{v_p - v_n}{Z_x} \quad (3)$$

In this circuit, the peak-to-peak input/output swing is independent of supply voltage and given by  $2V_T$ , where  $V_T$  is the transistor threshold voltage. The circuit needs a minimum supply voltage equal to  $V_{DS(sat)} + 2V_{GS}$ , where  $V_{DS(sat)}$  is the drain-to-source saturation voltage and  $V_{GS}$  is the gate-to-source voltage. The simulated frequency characteristics of the stray resistances at the terminals p, n, op, on, out+ and out- ( $R_p, R_n, R_{op}, R_{on}, R_{op+}$ , and  $R_{on-}$ ) are shown in Fig. 3. It is reported from the simulation results that, at the operating frequencies of 1 kHz, 10 kHz, 100 kHz, 1 MHz, 10 MHz, and 100 MHz, the proposed DVTC gives the values of  $R_p$  and  $R_n$  equal to 38 GΩ, 3.91 GΩ, 390 MΩ, 39 MΩ, 3.91 MΩ, and 391 kΩ, respectively. The static power dissipated by the circuit is only 0.59 mW. In Fig. 4, the simulated DC transfer characteristics of the DVTC in Fig. 1 are represented with  $Z_x = R_x = 1$  kΩ, from which it can be deduced that the circuit has the offset currents of 11.5 fA, 1.24 μA and 1.18 μA for  $i_o, i_{out+}$  and  $i_{out-}$ , respectively. Fig. 5 gives the simulated plots

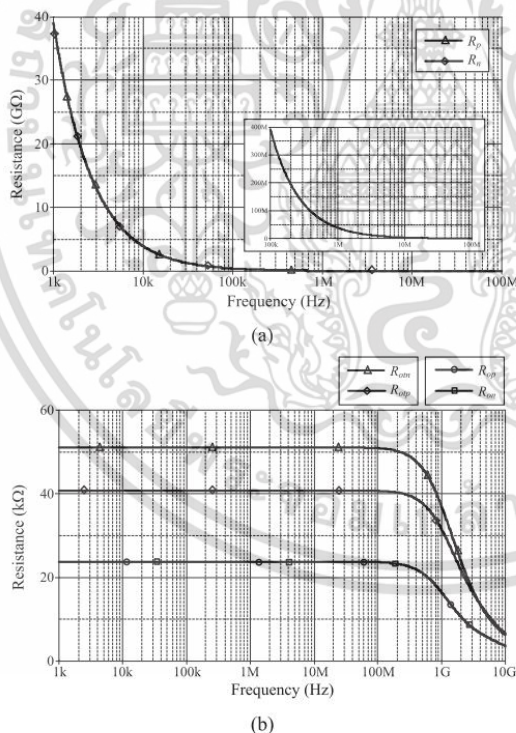


Fig. 3. Simulated frequency responses of terminal resistances of the DVTC in Fig. 1. (a)  $R_p$  and  $R_n$  (b)  $R_{op}, R_{on}, R_{op+}$  and  $R_{on-}$ .

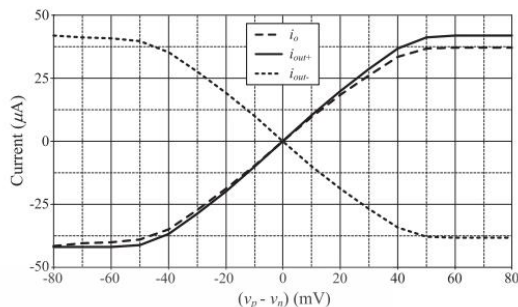


Fig. 4. Simulated DC transfer characteristics of the DVTC in Fig. 1.

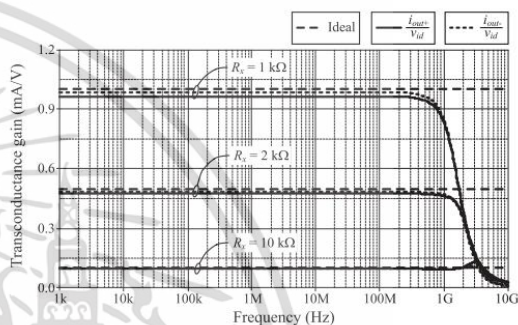


Fig. 5. Frequency characteristics of the transconductance gain of the DVTC in Fig. 1.

of transconductance gain against the frequency of Fig. 1 for three different values of  $R_x$ , i.e.  $R_x = 1$  kΩ, 2 kΩ, and 10 kΩ. For the given converting resistors, the simulated transconductance gains remain constant at 0.987 mA/V, 0.485 mA/V and 0.098 mA/V over frequencies up to roughly 1 GHz. Furthermore, if one chooses  $Z_x = 1/sC_x$ , the ideal and simulated frequency characteristics of the transcapacitance amplifier can be shown in Fig. 6. These resulting characteristics are obtained for  $C_x = 100$  pF, 500 pF and 1 nF, respectively.

### 3. Proposed floating immittance function simulator

Fig. 7(a) shows the circuit of the proposed floating general element simulator [31], which is based on the use of the DVTC in Fig. 1. Its

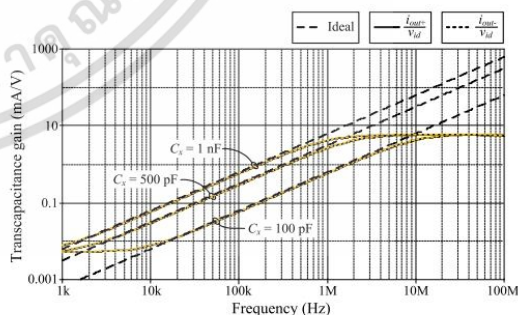


Fig. 6. Frequency characteristics of the transcapacitance gain of the DVTC in Fig. 1.

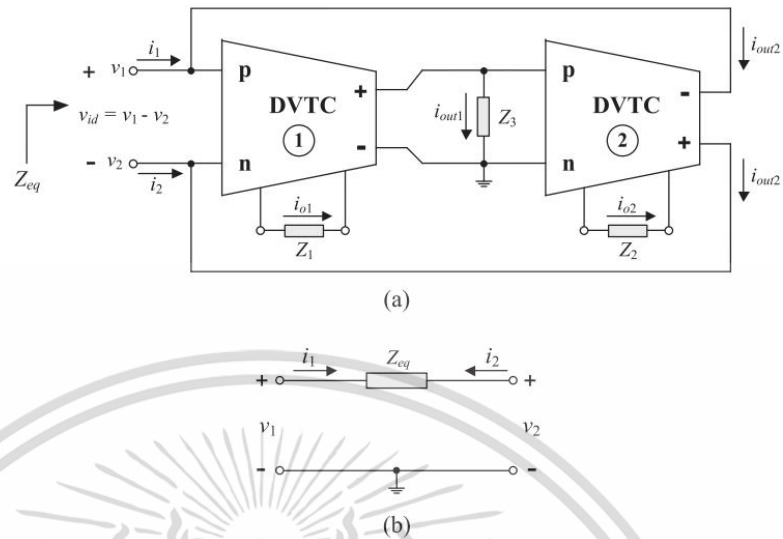


Fig. 7. Proposed floating general immittance function simulator. (a) schematic circuit diagram (b) its equivalent circuit.

terminal behavior can be modeled as a floating driving-point impedance as represented in Fig. 7(b). A straightforward analysis of the circuit results in the following short-circuit admittance matrix as:

$$[Y] = \begin{pmatrix} 1 \\ Z_{eq} \end{pmatrix} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} = \begin{pmatrix} Z_3 \\ Z_1 Z_2 \end{pmatrix} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \quad (4)$$

It is obvious that an equivalent impedance with the value of  $Z_{eq} = Z_1 Z_2 / Z_3$  is simulated by the circuit of Fig. 7(a). Depending on the selection of the passive elements  $Z_1$ ,  $Z_2$  and  $Z_3$  in equation (4), the floating inductor, capacitor, resistor and FDNR can be simulated as follows:

1) If  $Z_1 = R_1$ ,  $Z_2 = R_2$  and  $Z_3 = 1/sC_3$  are chosen, then the floating inductor is realized with

$$Z_{eq} = sL_{eq} = sR_1 R_2 C_3 \quad (5)$$

where  $L_{eq} = R_1 R_2 C_3$ .

2) If  $Z_1 = 1/sC_1$ ,  $Z_2 = R_2$  and  $Z_3 = R_3$  are taken, then the floating capacitor is obtained with

$$Z_{eq} = \frac{1}{sC_{eq}} = \frac{R_2}{sC_1 R_3} \quad (6)$$

where  $C_{eq} = C_1 R_3 / R_2$ .

3) If  $Z_1 = R_1$ ,  $Z_2 = R_2$  and  $Z_3 = R_3$  are selected, then the floating resistor is simulated with

$$Z_{eq} = R_{eq} = \frac{R_1 R_2}{R_3} \quad (7)$$

where  $R_{eq} = R_1 R_2 / R_3$ .

4) If  $Z_1 = 1/sC_1$ ,  $Z_2 = 1/sC_2$  and  $Z_3 = R_3$  are chosen, then the floating FDNR is implemented with

$$Z_{eq} = \frac{1}{s^2 D_{eq}} = \frac{1}{s^2 C_1 C_2 R_3} \quad (8)$$

where  $D_{eq} = C_1 C_2 R_3$ .

It is important to note that the circuit does not need any critical passive component matching choices and/or cancellation conditions. Also, by interchanging the terminals (+) and (-) of the DVTC-2 in Fig. 7 (a), the negative floating general immittance simulator can be obtained. In addition, for choosing either  $v_1 = 0$  or  $v_2 = 0$ , the proposed circuit can be performed as a grounded immittance function simulator. Furthermore, the floating resistors  $R_1$  and  $R_2$  in the proposed simulator circuit can be implemented using MOS resistive circuits configured as electronically tunable floating electronic resistors [32–33]. Similarly, the grounded resistor  $R_3$  can also be replaced by appropriate voltage controlled resistor [34] to exhibit electronic tunability. This will result in a resistorless and electronically controllable floating general immittance function simulator.

#### 4. Effect of Non-Ideal transfer gains of the DVTC

Considering the non-ideal transconductance gain of the DVTC into account, the two output currents of the DVTC in Fig. 1 can be rewritten as:

$$i_{out+} = \frac{\alpha_p(s)(v_p - v_n)}{Z_x} \quad (9)$$

and

$$i_{out-} = \frac{\alpha_n(s)(v_p - v_n)}{Z_x} \quad (10)$$

where  $\alpha_p(s)$  and  $\alpha_n(s)$  are the frequency-dependent non-ideal transconductance gains of the DVTC. Using a single-pole-model approximation, they can be expressed by the following first-order lowpass functions [35–36]:

$$\alpha_p(s) = \frac{\alpha_{op}}{1 + \frac{s}{\omega_p}} \quad (11)$$

and

$$\alpha_n(s) = \frac{\alpha_{on}}{1 + \frac{s}{\omega_n}} \quad (12)$$

The pole frequencies  $\omega_p$  and  $\omega_n$  in above expressions mainly depend

on the actual implementation of the device and are equal to infinity in an ideal case. For frequencies much less than their pole frequencies, they can be approximated as:  $\alpha_p(s) \cong \alpha_{op} = (1 + \varepsilon_p)$  and  $\alpha_n(s) \cong \alpha_{on} = (1 + \varepsilon_n)$ , whereas  $\varepsilon_p$  and  $\varepsilon_n$  are the transconductance errors in which  $(|\varepsilon_p| \ll 1)$  and  $(|\varepsilon_n| \ll 1)$ . Therefore, the useful frequency of the proposed floating general immittance function simulator in Fig. 7(a) can then be defined as:  $f \ll (1/2\pi) \times \min(\omega_{p1}, \omega_{n1})$ .

If the proposed simulator of Fig. 7(a) is working at low and medium frequencies, and the non-ideal transconductance gain effects are considered, its short-circuit admittance matrix is found as:

$$[Y] = \begin{pmatrix} \alpha_{op1} Z_3 \\ Z_1 Z_2 \end{pmatrix} \begin{bmatrix} \alpha_{on2} & -\alpha_{on2} \\ -\alpha_{op2} & \alpha_{op2} \end{bmatrix} \quad (13)$$

In (13),  $\alpha_{opi}$  and  $\alpha_{oni}$  ( $i = 1, 2$ ) represent the non-ideal parameters  $\alpha_{op}$  and  $\alpha_{on}$  of the corresponding DVTC element. As a consequence, the value of equivalent impedance is expected as:  $Z_{eq}|_{v_2=0} = \frac{Z_1 Z_2}{\alpha_{op1} \alpha_{on2} Z_3}$  or  $Z_{eq}|_{v_1=0} = \frac{Z_1 Z_2}{\alpha_{op1} \alpha_{on2} Z_3}$ . Note that the normalized critical active sensitivity of  $Z_{eq}$  is found as:  $S_x^{Z_{eq}} = -1$ , where  $x = \alpha_{op1}, \alpha_{op2}$  and  $\alpha_{on2}$ .

5. Effect of parasitic impedances of the DVTC

In practice, the non-ideal DVTC model including various parasitic elements is shown in Fig. 8. It is to be noted that all the terminals p, n, op, on, out + and out - exhibit of high-value parasitic resistance in parallel with low-value parasitic capacitance or  $(R_p//C_p)$ ,  $(R_n//C_n)$ ,  $(R_{op}//C_{op})$ ,  $(R_{on}//C_{on})$ ,  $(R_{out+}//C_{out+})$ , and  $(R_{out-}//C_{out-})$ , respectively. Thus, in the presence of these parasitic impedances, the short-circuit admittance matrix form of the proposed circuit in Fig. 7(a) can be expressed as:

$$[Y] = \begin{pmatrix} 1 \\ Z_{eq} \end{pmatrix} \begin{bmatrix} 1 + \left( \frac{Z_{eq}}{Z_{p1} // Z_{on2}} \right) & -1 \\ -1 & 1 + \left( \frac{Z_{eq}}{Z_{n1} // Z_{op2}} \right) \end{bmatrix} \quad (14)$$

where  $Z_{eq} = \left( \frac{Z_1 Z_2}{Z_3 // \alpha_{op1} // \alpha_{on2}} \right)$ ,  $Z_{p1} = (R_{p1} // C_{p1})$ ,  $Z_{n1} = (R_{n1} // C_{n1})$ ,  $Z_{p2} = (R_{p2} // C_{p2})$ ,  $Z_{on1} = (R_{on1} // C_{on1})$ ,  $Z_{op2} = (R_{op2} // C_{op2})$ , and  $Z_{on2} = (R_{on2} // C_{on2})$ . As an example, if  $Z_1 = R_1$ ,  $Z_2 = R_2$  and  $Z_3 = 1/sC_3$  and assuming  $C_3 \gg C_{op1}, C_{p2}$ , then the short-circuit input admittance of Fig. 7(a) derived from (4) is found to be

$$Y_{11} = \frac{1}{Z_{11}} = \frac{1}{Z_{in}} = \left( \frac{1}{sR_1 R_2 C_3 + \frac{R_1 R_2}{R'_{parasitic}}} \right) + \frac{1}{R'_{parasitic}} + sC'_{parasitic} \quad (15)$$

From (15), the non-ideal equivalent circuit of the simulated inductor

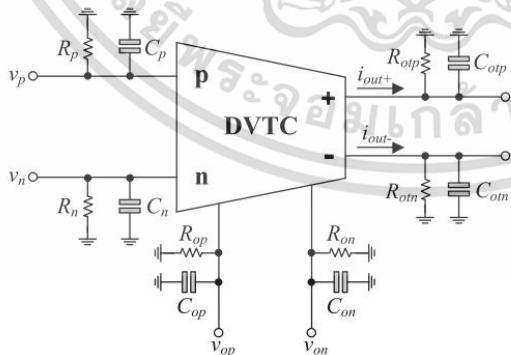


Fig. 8. Non-ideal DVTC model with its parasitic elements.

of Fig. 7(a) can be represented in Fig. 9, where  $R'_{parasitic} = R_{p1} // R_{on2}$ ,  $C'_{parasitic} = C_{p1} + C_{on2}$ ,  $R'_{parasitic} = R_{p2} // R_{op1}$ , and  $L_{eq} = R_1 R_2 C_3$ . It may be further noted that the parasitics  $R'_{parasitic}$  and  $C'_{parasitic}$  would be affected at very high frequency. Consequently, at low and medium frequency regions,  $Z_{in}$  performs like an inductor with  $L_{eq1}$  in series with a very low-value resistor  $R'_{parasitic}$ .

6. Simulation results

The proposed floating immittance function simulator shown in Fig. 7(a) has also been accomplished with PSPICE using the circuit parameters given above. As the first example, the passive components of Fig. 7(a) were taken as:  $R_1 = R_2 = 1 \text{ k}\Omega$  and  $C_3 = 100 \text{ pF}$ . As a result, a floating inductance simulator with  $L_{eq} = 100 \text{ }\mu\text{H}$  is obtained. The simulation results of time-domain responses for a 500-kHz sinusoidal input voltage with peak amplitude of 20 mV are shown in Fig. 10. According to simulation results, the phase shift between  $v_{id}$  ( $=v_1 - v_2$ ) and  $i_1$  has been found to be  $87^\circ$  lagging, which demonstrates that the simulator works as an inductor. Ideal and simulation frequency-domain responses of the proposed simulator are also demonstrated in Fig. 11. The results show that the simulated inductor can be operated appropriately over three decades. The simulation results report that the total power consumption of the simulator is 1.18 mW.

The proposed floating capacitor circuit of Fig. 7(a) was also simulated with  $C_1 = 100 \text{ pF}$ ,  $R_2 = 1 \text{ k}\Omega$  and  $R_3 = 0.5 \text{ k}\Omega$ . Hence,  $C_{eq} = 50 \text{ pF}$  is simulated. Fig. 12 shows the simulated time-domain waveforms for the proposed capacitance multiplier circuit of Fig. 7(a). Both ideal and simulation frequency-domain responses of the simulated capacitor were also determined and are given in Fig. 13. Moreover, the impedance-frequency characteristics for three various values of  $R_3$  are shown in Fig. 14. It has been found that the  $C_{eq}$  value could be varied by changing  $R_3$  and the circuit operates correctly from 30 kHz to 7 MHz.

For the floating FDNR simulator in Fig. 7(a), the simulated impedance characteristics of the simulator relative to frequency and an ideal FDNR for comparison their performances are illustrated in Fig. 15. These results are obtained by keeping  $C_1 = C_2 = 100 \text{ pF}$  and varying  $R_3 = 0.5 \text{ k}\Omega$ ,  $2 \text{ k}\Omega$ , and  $6 \text{ k}\Omega$ , respectively. It is easy to verify that, by these settings, the variation of the  $D_{eq}$  element is entirely determined by  $R_3$ .

7. Performance verification of the proposed floating simulator

The workability of the proposed simulator circuit in Fig. 7(a) has been demonstrated on a second-order RLC bandpass filter realization and a fourth-order resistively terminated LC bandpass filter circuit, respectively.

Fig. 16 depicts the second-order RLC bandpass (BP) filter realization, where the inductor  $L_{BP}$  and capacitor  $C_{BP}$  are simulated by  $L_{eq}$  and  $C_{eq}$  of the proposed simulator circuit in Fig. 7(a). The center frequency ( $f_c$ ) and the quality factor ( $Q$ ) of the BP filter are respectively given by  $f_c = 1/(2\pi)(L_{eq} C_{eq})^{1/2}$  and  $Q = (1/R_{BP})(L_{eq}/C_{eq})^{1/2}$ . The filter is realized with the following circuit components:  $R_{BP} = 1 \text{ k}\Omega$ ,  $L_{eq} = 100 \text{ }\mu\text{H}$  ( $R_1 = R_2 = 1 \text{ k}\Omega$  and  $C_3 = 100 \text{ pF}$ ), and  $C_{eq} = 100 \text{ }\mu\text{F}$  ( $C_1 = 100 \text{ pF}$  and  $R_2 = R_3 = 1 \text{ k}\Omega$ ),

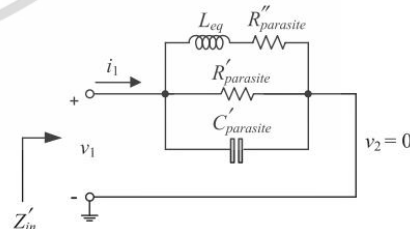


Fig. 9. Non-ideal equivalent circuit of the simulated inductor of Fig. 7(a).

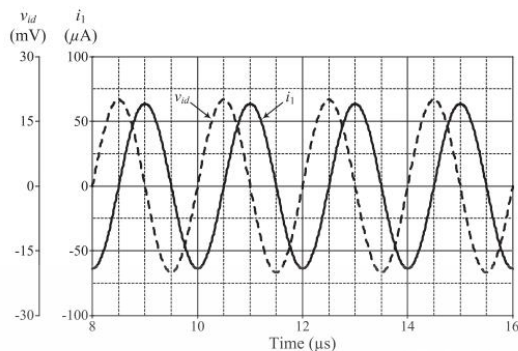


Fig. 10. Simulated time-domain responses of the simulated inductor in Fig. 7(a).

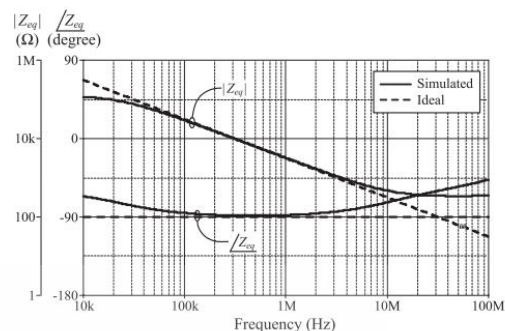


Fig. 13. Ideal and simulated frequency-domain responses of the simulated capacitor in Fig. 7(a).

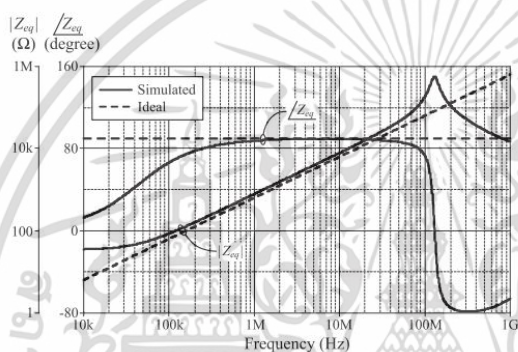


Fig. 11. Ideal and simulated frequency-domain responses of the simulated inductor in Fig. 7(a).

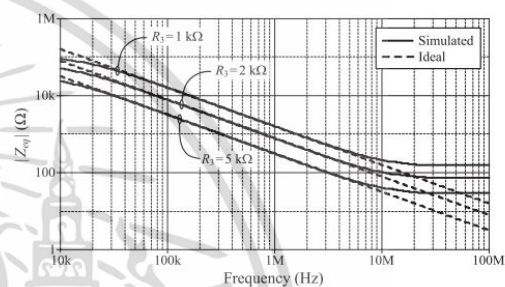


Fig. 14. Impedance-frequency characteristics of the simulated capacitor in Fig. 7(a) with changing  $R_3$ .

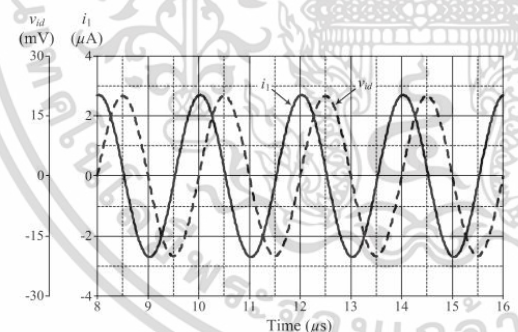


Fig. 12. Simulated time-domain responses of the simulated capacitor in Fig. 7(a).

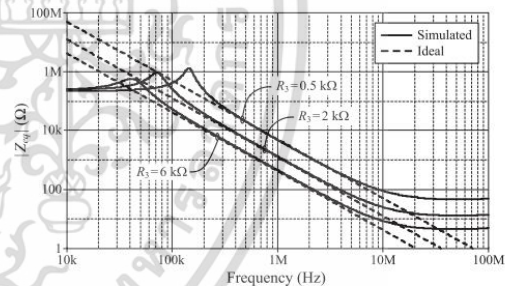


Fig. 15. Impedance-frequency characteristics of the FDNR simulator circuit in Fig. 7(a) with changing  $R_3$ .

yielding  $f_c = 1.59$  MHz and  $Q = 1$ . Therefore, in Fig. 17, the simulated frequency responses of the BP filter in Fig. 16 comparing with the ideal responses are demonstrated. The  $f_c$  of the designed filter is appeared at 1.50 MHz in simulation results, where the corresponding deviation in  $f_c$  is computed to be 5.66%. In addition to the results of the simulation, the total power consumption was found as 2.35 mW, and further, the Fourier spectrum of the BP output signal for an applied frequency of 1.59 MHz is also shown in Fig. 18, with total harmonic distortion (THD)

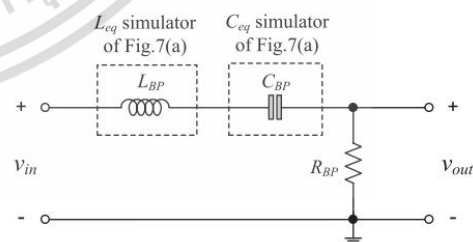


Fig. 16. RLC bandpass filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

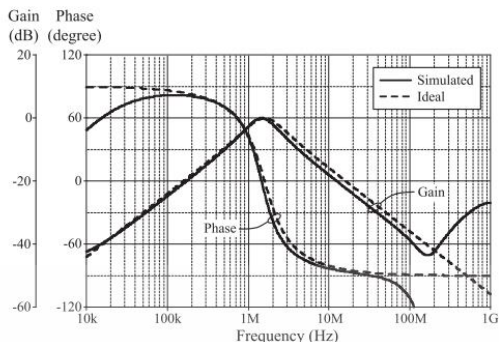


Fig. 17. Ideal and simulated frequency responses of the BP filter in Fig. 16.

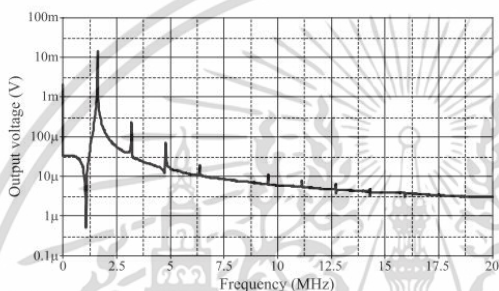


Fig. 18. Fourier spectrum of the BP filter output at 1.59 MHz.

of 2.20%.

The statistical analysis about  $f_c$  of the BP filter with respect to resistors and capacitors has been evaluated by using the well-known Monte Carlo analysis. Assuming 5% Gauss deviation of the values of resistors and capacitors which according to (5) and (6) determine the values of  $L_{BP}$  and  $C_{BP}$ , the statistical plots of  $f_c$  with 200 samples are shown in Fig. 19. As observed, the derived value of the standard deviation for  $f_c$  is equal to 5 kHz.

Likewise, in order to estimate the sensitivity behavior of the filter, the process, voltage, and temperature (PVT) corner analysis has been performed. These process corners depend on the different combinations of a slow, fast or nominal device. The process corners were nominal-nominal corner, fast-fast corner, slow-slow corner, fast-slow corner, and slow-fast corner, voltage supply corners were 740 mV and 760 mV, and temperature corners were 0 °C and 100 °C. The results are shown in

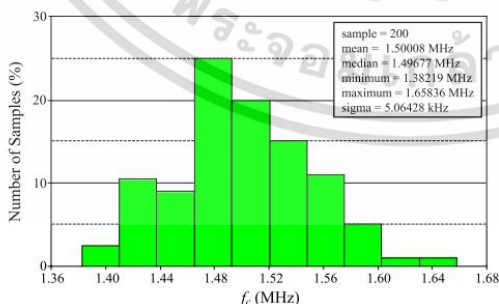


Fig. 19. Monte-Carlo distribution plots for  $f_c$  of the BP filter in Fig. 16.

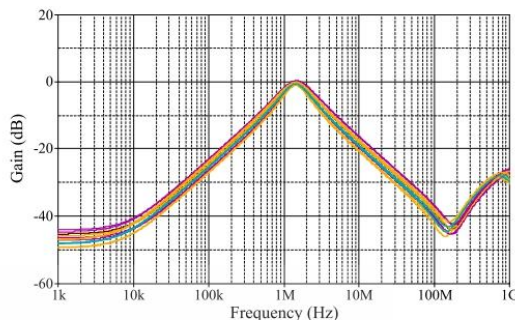


Fig. 20. PVT corner simulations for the BP filter in Fig. 16.

Fig. 20.

To further verify the performance of the proposed floating simulator circuit, we also employ it in the transformation of a fourth-order resistively terminated LC bandpass filter as shown in Fig. 21 (a). To obtain a fourth-order Butterworth characteristic with the center frequency of 50 kHz and the bandwidth of 100 kHz, the passive components of Fig. 21 (a) are derived as :  $R_S = R_L = 1 \Omega$ ,  $L_1 = 716.55 \text{ nH}$ ,  $C_2 = 14.14 \mu\text{F}$ ,  $L_3 = 14.14 \mu\text{H}$  and  $C_4 = 716.55 \text{ nF}$ . Using Bruton's transformation [37] with magnitude scaling factor of  $10^9$ , the RLC filter circuit of Fig. 21 (a) is transformed into the CRD filter circuit shown in Fig. 21 (b) with the following component values:  $C_S = C_L = 1 \text{ nF}$ ,  $R_{1(\text{new})} = 716 \Omega$ ,  $R_{3(\text{new})} = 14.14 \text{ k}\Omega$ ,  $D_{eq2} = 14.14 \text{ fFs}$ , and  $D_{eq4} = 0.717 \text{ fFs}$ . Reference to the FDNR circuit in Fig. 7 (a), the set of circuit component values are taken as :  $C_1 = C_2 = 1 \text{ nF}$ ,  $R_3 = 14.14 \text{ k}\Omega$  for  $D_{eq2}$ , and  $C_1 = C_2 = 1 \text{ nF}$ ,  $R_3 = 717 \Omega$  for  $D_{eq4}$ . The frequency-domain responses for the fourth-order resistively terminated LC bandpass filter example are drawn in Fig. 22. The total power consumption of the filter is found to be 2.34 mW. From Fig. 22, the simulated responses similar to the prototype passive responses can be obtained, whereas the difference in the passband gain mainly stems from the non-ideal transfer gains and parasitic impedances of the DVTCs mentioned above. The output THD versus the amplitude of the input signal has also been recorded and given in Fig. 23. The obtained results

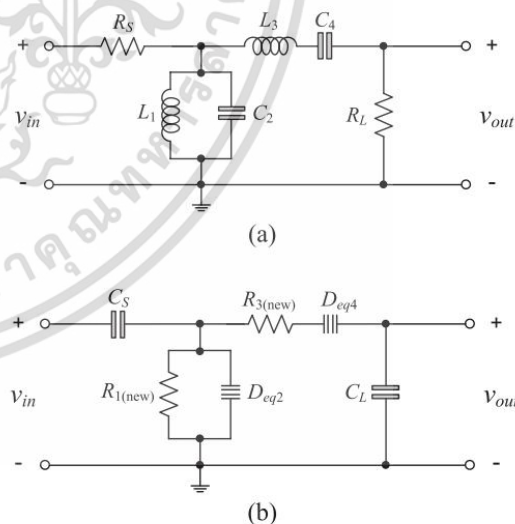


Fig. 21. Fourth-order resistively terminated LC bandpass filter. (a) basic RLC filter (b) transformed CRD filter using FDNRs of Fig. 7(a).

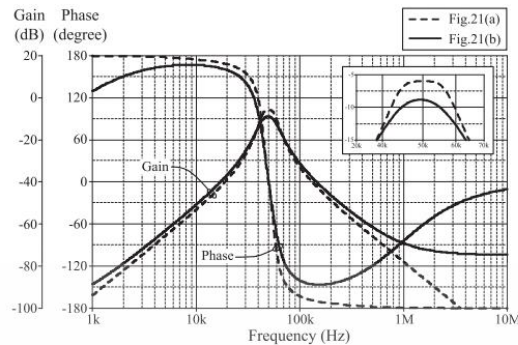


Fig. 22. Gain and phase frequency responses of the bandpass filter in Fig. 21.

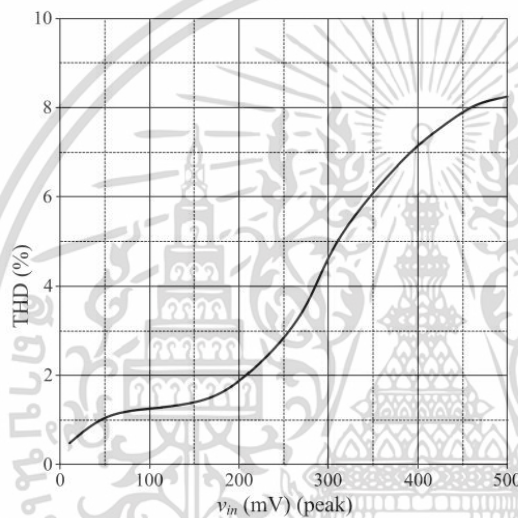


Fig. 23. THD variation of the BP filter versus the applied input signal amplitude.

show that the %THD is confined to range 0.5%-8.2% for the entire range of input signal (10 mV-500 mV).

The variability of the center frequency  $f_c$  of the filter was then estimated using Monte Carlo simulation with 5% Gaussian distributions of all passive element values. After 200 concurrently iterations, the derived statistical histograms concerning the  $f_c$  are shown in Fig. 24, where the mean and standard deviation values are about 49.72 kHz and 818 Hz, respectively.

8. Conclusions

In this work, an active circuit configuration is presented for the realization of the floating immittance function simulator circuit using two differential voltage to current converters (DVTCs) and three passive elements. A circuit design technique based on flipped voltage follower with a level shifter is used to obtain a low-voltage DVTC. A variety of floating inductor, capacitor, resistor, and frequency-dependent negative resistance (FDNR) can be derived by the proper selection of the passive elements. The simulator does not require active and passive component-matching. For the simulated performance verification, TSMC 0.25- $\mu$ m CMOS PSPICE parameters are employed. Second-order RLC bandpass

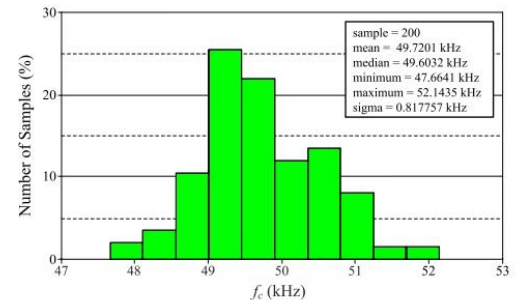


Fig. 24. Monte-Carlo distribution plots for  $f_c$  of the transformed filter in Fig. 21(b).

filter and fourth-order resistively terminated LC bandpass filter are realized as application examples to illustrate the practical functionality of the proposed floating immittance simulator circuit.

Declaration of Competing Interest

The authors declared that there is no conflict of interest.

Acknowledgement

This work was supported by King Mongkut's Institute of Technology Ladkrabang. A preliminary version of this work has been published in ECTI-CON 2020 [31].

References

- [1] Antoniou A. Gyrator using operational amplifier. *Electron Lett* 1967;3:350-2.
- [2] Martin K, Sedra AS. Optimum design of active filters using the generalized immittance converter. *IEEE Trans Circuits Syst* 1977;24:495-503.
- [3] Senani R. Three op amp floating immittance simulators: A retrospection. *IEEE Trans Circuits Syst* 1989;36:1463-5.
- [4] Toumazou C, Lidzey FJ, Haigh DG. *Analog IC Design: The Current-Mode Approach*. London: Peter Peregrinus; 1990. p. 127-8.
- [5] Wadsworth DC. Accurate current conveyor integrated circuit. *Electron Lett* 1989; 25:1251-2.
- [6] Wilson B. Recent development in current conveyors and current mode circuits. *Proc. IEE Ser. G* 1990;137:63-77.
- [7] Senani R. On the realization of floating active elements. *IEEE Trans Circuits Syst* 1986;33:323-4.
- [8] Higashimura M, Fukui Y. Novel method for realizing lossless floating immittance using current conveyor. *Electron Lett* 1987;23:498-9.
- [9] Yuce E. Floating inductance, FDNR and capacitance simulation circuit employing only grounded passive elements. *Int J Electron* 2006;93:679-88.
- [10] Senani R. Floating immittance realization: nullor approach. *Electron Lett* 1988;24: 403-5.
- [11] Yuce E. On the realization of the floating simulators using only grounded passive components. *Analog Integr Circ Sig Process* 2006;49:161-6.
- [12] Yuce E, Minaei S, Cicekoglu O. Resistorless floating immittance function simulators employing current controlled conveyors and a grounded capacitor. *Electri Eng* 2006;88:519-25.
- [13] Yuce E, Cicekoglu O, Minaei S. CCII-based grounded to floating immittance converter and a floating inductance simulator. *Analog Integr Circ Sig Process* 2006; 46:287-91.
- [14] Minaei S, Yuce E, Cicekoglu O. A versatile active circuit for realizing floating inductance, capacitance, FDNR, and admittance converter. *Analog Integr Circ Sig Process* 2006;47:199-202.
- [15] Sagbas M, Ayten UE, Sedef H, Koksak M. Floating immittance function simulator and its applications. *Circuits Syst Signal Process* 2009;28:55-63.
- [16] Sotner R, Herencsar N, Jerabek J, Kartci A, Koton J, Dostal T. Pseudo-differential filter design using novel adjustable floating inductance simulator with electronically controllable current conveyors. *Elektronika ir Elektrotehnika* 2017; 23:31-5.
- [17] Yuce E. A novel floating simulation topology composed of only grounded passive components. *Int J Electron* 2010;97:249-62.
- [18] Abaci A, Yuce E. Single DDCC based new immittance function simulators employing only grounded passive elements and their applications. *Microelectron J* 2019;83:94-103.
- [19] Abuelma'ati M T, Dhar S K, Khalifa Z J. New two-CFOA-based floating immittance simulators. *Analog Integr Circ Sig Process* 2017; 91:479-89.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [20] Yuce E. On the implementation of the floating simulators employing a single active device. *Int J Electron Commun (AEU)* 2007;61:453–8.
- [21] Yuce E, Minaei S. A modified CFOA and its applications to simulated inductors, capacitance multipliers, and analog filters. *IEEE Trans Circuits Syst I: Regular Papers* 2008;55:266–75.
- [22] Sagbas M. Component reduced floating  $\pm L$ ,  $\pm C$  and  $\pm R$  simulators with grounded passive components. *Int J Electron Commun (AEU)* 2011;65:794–8.
- [23] Ayten UE, Sagbas M, Herencsar N, Koton J. Novel floating general element simulators using CBTA. *Radioengineering* 2012;21:11–9.
- [24] Li YA. A series of new circuits based on CFTAs. *Int J Electron Commun (AEU)* 2012; 66:587–92.
- [25] Jaikla W, Sotner R, Khateb F. Design and analysis of floating inductance simulators using VDDAs and their applications. *Int J Electron Commun (AEU)* 2019;112.
- [26] Carvajal RG, Angulo JR, Lopez-Martin AJ, Torralba A, Galan JAG, Carlosena A, et al. The flipped voltage follower : A useful cell for low-voltage low-power circuit design. *IEEE Trans Circuits Syst I: Regular Papers* 2005;52:1276–91.
- [27] Calvo B, Celma S, Sanz MT, Alegre JP, Aznar F. Low-voltage linearly tunable CMOS transistor with common-mode feedforward. *IEEE Trans Circuits Syst I: Regular Papers* 2008;55:715–21.
- [28] Gupta M, Aggarwal P, Singh P, Jindal NK. Low voltage current mirrors with enhanced bandwidth. *Analog Integr Circ Sig Process* 2009;59:97–103.
- [29] Cakir C, Minaei S, Cicekoglu O. Low voltage low power CMOS current differencing buffered amplifier. *Analog Integr Circ Sig Process* 2010;62:237–44.
- [30] Narang N, Aggarwal B, Gupta M. DTMOs and FD-FVF based low voltage high performance voltage differencing transconductance amplifier (VDTA) and its application in MISO filter. *Microelectron J* 2017;63:66–74.
- [31] Likhitkitwoerakul N, Roongmuanpha N, Tangsrirat W. Floating impedance simulator realization. In: *17th International Conference on Electrical Engineering/ Electronics, Computer, Telecommunications and Information Technology (ECTI-CON) 2020*; p. 345–8.
- [32] Wilson G, Chan PK. Floating CMOS resistor. *Electron Lett* 1993;29:306–7.
- [33] Elwan HO, Mahmoud SA, Soliman AM. CMOS voltage controlled floating resistor. *Int J Electron* 1996;81:571–6.
- [34] Wang Z. 2-MOSFET transresistor with extremely low distortion for output reaching supply voltages. *Electron Lett* 1990;26:951–2.
- [35] Fabre A, Saaid O, Barthelemy H. On the frequency limitations of the circuits based on second generation current conveyors. *Analog Integr Circ Sig Process* 1995;7: 113–29.
- [36] Yuce E, Minaei S, Cicekoglu O. Limitations of the simulated inductors based on a single current conveyor. *IEEE Trans Circuits Syst I: Regular Papers* 2006;53: 2860–7.
- [37] Bruton LT. Network transfer functions using the concept of frequency dependent negative resistance. *IEEE Trans Circuit Theory* 1969;16:406–8.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Article

# Single VDGA-Based Mixed-Mode Electronically Tunable First-Order Universal Filter

Natchanai Roongmuanpha, Nutchka Likhitkitwoerakul, Masaaki Fukuhara and Worapong Tangsirirat





<https://doi.org/10.3390/s23052759>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Article

# Single VDGA-Based Mixed-Mode Electronically Tunable First-Order Universal Filter

Natchanai Roongmuanpha <sup>1</sup> , Nutcha Likhitkitwoerakul <sup>1</sup>, Masaaki Fukuhara <sup>2</sup> and Worapong Tangsrirat <sup>1,\*</sup> 

<sup>1</sup> School of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMUTL), Bangkok 10520, Thailand

<sup>2</sup> Graduate School of Information and Telecommunication Engineering, Tokai University, 2-3-23, Takanawa, Minato, Tokyo 108-8619, Japan

\* Correspondence: worapong.ta@kmitl.ac.th

**Abstract:** This article presents a mixed-mode electronically tunable first-order universal filter configuration employing only one voltage differencing gain amplifier (VDGA), one capacitor, and one grounded resistor. With the appropriate selection of the input signals, the proposed circuit can realize all three first-order standard filter functions, namely low pass (LP), high pass (HP), and all pass (AP), in all four possible modes, including voltage mode (VM), trans-admittance mode (TAM), current mode (CM), and trans-impedance mode (TIM), from the same circuit structure. It also provides an electronic tuning of the pole frequency and the passband gain by varying transconductance values. Non-ideal and parasitic effect analyses of the proposed circuit were also carried out. PSPICE simulations and experimental findings have both confirmed the performance of the design. A number of simulations and experimental observations confirm the viability of the suggested configuration in practical applications.

**Keywords:** voltage differencing gain amplifier (VDGA); first-order filter; mixed-mode; dual-mode



**Citation:** Roongmuanpha, N.; Likhitkitwoerakul, N.; Fukuhara, M.; Tangsrirat, W. Single VDGA-Based Mixed-Mode Electronically Tunable First-Order Universal Filter. *Sensors* **2023**, *23*, 2759. <https://doi.org/10.3390/s23052759>

Academic Editor: Roman Soimer

Received: 18 January 2023

Revised: 23 February 2023

Accepted: 27 February 2023

Published: 2 March 2023



**Copyright:** © 2023 by the authors. Licensee MDPI, Basel, Switzerland. This article is an open access article distributed under the terms and conditions of the Creative Commons Attribution (CC BY) license (<https://creativecommons.org/licenses/by/4.0/>).

## 1. Introduction

Continuous-time analog filter design is still a significant crucial and challenging topic of research. In recent years, the universal active filter configurations, which enable the simultaneous realization of multiple filtering functions namely lowpass (LP), highpass (HP), and allpass (AP) filters from the same topology, have received a lot of attention. The primary reasons for the widespread use of these filters are their applications in electronic sensors and instruments, control systems, and data communications. In particular, the universal active filters play an important function as a circuit component in sensor applications such as biosensor systems, electrocardiogram (EKG) recording systems, phase sensitive detectors, etc. In practice, the high-order active filter design with an odd order also necessitates the use of first-order universal filters. As a result of this motivation, significant efforts have been devoted to designing first-order universal filters using a variety of modern analog active building blocks [1–27].

In [1], three different filter functions were implemented simultaneously in voltage-mode (VM) using two second-generation current conveyors (CCII)s, i.e., one CCII+ and one CCII−, two floating resistors, two grounded resistors, and one grounded capacitor. In the case of AP filter realization, the circuit must have an equal resistor condition in order to provide independent controllability of the natural frequency ( $f_0$ ). Using a single fully differential current conveyor (FDCCII), three resistors, one grounded capacitor, and three different first-order filter configurations with voltage input, voltage and current outputs are proposed in [2]. A versatile first-order current-mode (CM) universal filter employing two multiple-output CCII)s (MO-CCII)s, one resistor, and one capacitor is reported in [3]. The reported circuit employs a single grounded capacitor, which is suitable for integrated circuit (IC) implementation. It does not, however, provide electronic tuning of the  $f_0$  parameter.

The use of a single differential voltage current conveyor (DVCC) with two resistors and one grounded capacitor in realizing a VM first-order universal filter is presented in [4]. In the AP realization case, this circuit involves a lot of matching requirements. Again in [5], a DVCC-based VM first-order universal filter configuration is reported, employing two DVCCs, one grounded resistor and one grounded capacitor. The work of [6] describes a single multi-output operational transconductance amplifier (MO-OTA)-based first-order AP filter and amplitude equalization. However, the circuits given do not include all of the first-order generic filter functions. In [7], the CM first-order universal filter is implemented with only a single dual-X second generation multi-output current conveyor (DX-MOCCII) and four passive components. Despite the fact that experimental data were utilized to validate the filter's practicability, it still lacked electronic adjustment of the  $f_o$ . The earlier circuit in [8] reported a CM first-order filter design with low input and high output impedance utilizing two MO-CCIIs and all the three grounded passive elements. The element-matching limitations are imposed to implement all three first-order filter functions. The topology described in [9] details a single DVCC-based VM first-order universal filter constructed with one floating resistor and one grounded capacitor. By selecting appropriate input voltages, all three first-order filter functions can be obtained without any matching criteria. According to [10], a digitally programmable VM first-order universal filter based on a digitally controlled current conveyor (DPCCII) with three matched resistors and one grounded capacitor has been designed. As reported in [11], a CM multifunction first-order filter design with a single current differencing buffered amplifier (CDBA), two resistors, and one grounded capacitor was realized, which can be used to synthesize LP and HP filter responses simultaneously. Since the terminal  $n$  is not used in this structure, the full capacity of the CDBA device is not utilized. Furthermore, to construct the CM first-order universal filter in [12], two dual-output CCIIs (DO-CCIIs), a floating resistor, and a grounded capacitor were employed. No matching restriction was applied to realize LP, HP, and AP responses for this circuit. In [13], two inverting CCIIs (ICCIIs), one electronic MOS resistor, and a floating capacitor were used to realize both inverting and non-inverting CM first-order LP, HP, and AP functions from a single configuration. There are no critical passive element matching choices in the design. Although the first-order universal filter circuits in [14,15] only need a single active element and two passive grounded components, the internal construction of the device is rather sophisticated, requiring at least 40 MOS transistors along with compensating capacitor and resistor. Electronic control of these circuits is not possible. Two voltage subtractors, one floating resistor, and one grounded capacitor based on two different topologies of first-order VM filter functions were been proposed in [16]. Neither filters require any restrictions on passive component matching, but they cannot be electrically controlled. In [17], a single extra-X current controlled conveyor (EX-CCCII)-based first-order CM filter topology utilizing a single grounded capacitor is presented. This configuration offers low input and high output impedance and only generates three generic current filter functions simultaneously. No matching requirements are necessary for any of the three realized filter functions. The work in [18] reported an electronically controllable first-order universal filter with two operational transconductance amplifiers (OTAs), a grounded resistor, and a grounded capacitor that has ideal infinite input and output impedances. The circuit described therein only performs VM filter functions; for AP filters, the circuit necessitates matching constraints. Two different first-order filters are reported in [19], the first of which provides CM filter functions using a single multiple output dual-X current conveyor transconductance amplifier (MO-DXCCTA) and only one capacitor with three equal transconductances, and the second of which requires a MOSFET, a grounded capacitor, and one DXCCTA in order to realize three filter functions in transadmittance mode. A recently reported first-order generic CM filter circuit is based on a single modified DXCCTA [20]. The circuit that is being shown has low operating supply voltages, easy cascading, and electronic tunability, however it is non-canonic in terms of the capacitors. The circuit reported in [21] is the resistorless realization of the CM universal filter and includes one differential difference dual-X second

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

generation current conveyor (DD-DXCCII), four MOSFETs, and one grounded capacitor. However, to realize all three of the current transfer functions, it requires component-matching constraints. Based on two MO-CCII, one grounded resistor, and one grounded capacitor, the CM first-order universal filter configuration is introduced in [22]. This design can easily be cascaded and performs three current filter functions simultaneously without any matching requirements. Two plus-type inverting CCII (ICCI+s), one resistor, and one grounded capacitor were used to implement a first-order LP, HP, and AP filter in CM, as reported in [23]. The circuit offers electronic tunability and eliminates the need for restrictions on passive component matching. On the other hand, it is suggested in [24] to create a VM electrically tunable first-order universal filter utilizing a commercially available LT1228 IC. The circuit only employs one LT1228 IC, two floating resistors, and one floating capacitor, which is not ideal from the viewpoint of IC fabrication. In [25], five first-order universal filter designs using two current feedback operational amplifiers (CFOAs), three or four resistors, and a grounded capacitor are presented. Two of the five circuits require conditions for the realization of HP, while all five circuits require matching conditions for AP realization. The reported circuits offer filter capabilities in all four possible modes and include tunability features for gain and pole frequency, however, the filter parameters cannot be electronically controlled. The fully differential configuration of [26] employs a single multiple-output current differencing transconductance amplifier (MO-CDTA) and one capacitor to realize solely first-order LP, HP, and AP current responses within the same circuit design. Recently, a mixed-mode electronically tunable first-order universal filter structure was reported in [27]. To provide all three first-order generic filter functions in all four modes of operation, three OTAs and one grounded capacitor are required for its realization. The authors were inspired by the aforementioned critical review to continue working in this field and develop a novel minimum-component circuit for a first-order universal filter that operates in all four possible modes, namely VM, CM, trans-admittance-mode (TAM), and trans-impedance-mode (TIM).

Therefore, the primary objective of this work is to present a new mixed-mode first-order universal active filter design based on a single voltage differencing gain amplifier (VDGA), one resistor, and one capacitor that can derive LP, HP, and AP filter functions in all four possible modes by selecting the appropriate input voltages and currents. The passband gain and the pole frequency of the proposed filter can be electronically tuned using the transconductance gains of the VDGA. The performance of the proposed filter circuit was validated with PSPICE simulation results using TSMC 0.18- $\mu\text{m}$  CMOS process technology. Experimental results using off-the-shelf IC type LM13600 OTAs are also included to support the theoretical propositions.

A thorough analysis of the previously reported first-order universal filter topologies was performed based on the aforementioned characteristics and a comparison was conducted with the proposed circuit, as given in Table 1. In summary, the following key contributions result from this work:

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Comparison among the earlier reported first-order universal filters [1–27] and the proposed circuit.

Ref.	Number of Active Element	Number of Passive Element	Available in Four Possible Modes	Filter Function Realized			Electronics Tunable	Passband Gain Tunable	$f_c$ (Hz)	Technology	Supply Voltages (V)	Power Consumption (W)	Technology	Supply Voltages (V)
				VM	CM	TAM								
[1]	CCII+ = 1, CCII− = 1	R = 4, C = 1	no	all three	—	—	no	VM: LP	200 k	AD844	N/A	N/A	—	—
[2]	FDCCII = 1	R = 3, C = 1	no	all three	—	Figure 3 and Figure 5: HP, AP	no	TAM: HP, AP	79.6 k	—	—	—	—	—
[3]	MO-CCII = 2	R = 1, C = 1	no	—	all three	—	no	no	358 k	MIETEC 0.5 $\mu$ m	N/A	N/A	±2.5, −1.79	—
[4]	DVCC = 1	R = 2, C = 1	no	all three	—	—	no	no	1.59 M	TSMC 0.35 $\mu$ m	N/A	N/A	±1.65, −0.25, +0.5	—
[5]	DVCC = 2	R = 1, C = 1	no	all three	—	—	no	no	397 k	TSMC 0.18 $\mu$ m	N/A	N/A	±1.25, ±0.53	—
[6]	OTA = 1, MO-OTA = 1	R = 1, C = 1	no	—	AP	—	yes	no	1 M	MOSIS	N/A	N/A	±2	—
[7]	DX-MOCCII = 1	R = 2, C = 2	no	—	all three	—	no	CM: LP, HP	1.59 M	TSMC 0.25 $\mu$ m	N/A	N/A	±1.25, ±0.6	±10
[8]	CCII = 2	R = 2, C = 1	no	—	all three	—	no	no	1.32 M	TSMC 0.18 $\mu$ m	N/A	N/A	±1.25, −0.1, −0.36	—
[9]	DVCC = 1	R = 1, C = 1	no	all three	—	—	no	no	1.89 M	TSMC 0.18 $\mu$ m	N/A	N/A	±0.9, −0.1, −0.36	—
[10]	DFCCII = 1	R = 3, C = 1	no	all three	—	—	no	no	1.89 M	TSMC 0.18 $\mu$ m	N/A	N/A	±0.75, −0.1, −0.36	—
[11]	CDBA = 1	R = 2, C = 1	no	—	all three	—	no	no	796 k	TSMC 0.25 $\mu$ m	N/A	N/A	±0.75	—
[12]	DO-CCII = 2	R = 1, C = 1	no	—	all three	—	no	CM: LP	159 k	AD844	N/A	N/A	±5	—
[13]	ICCH = 2	R <sub>1,2,3</sub> = 1, C = 1	no	—	all three	—	no	no	6.37 M	IBM 0.13 $\mu$ m	N/A	N/A	±0.75	—
[14]	DX-MOCCII = 1	R = 1, C = 1	no	—	all three	—	yes	no	2.6 M	IBM 0.13 $\mu$ m	N/A	N/A	±0.75, +0.37	—
[15]	FTFN = 2	R = 1, C = 2, switch = 1	no	—	all three	—	no	no	7.96 M	TSMC 0.25 $\mu$ m	N/A	N/A	±1.25, −0.3	—
[16]	Subtractor = 2	R = 2, C = 1	no	all three	—	—	no	no	1 M	AMS 0.35 $\mu$ m	N/A	N/A	±1.65	N/A
[17]	EX-CCII = 1	R = 1, C = 1	no	—	all three	—	yes	no	6.37 M	IBM 0.13 $\mu$ m	N/A	N/A	±0.75, +0.24	±6
[18]	OTA = 2	R = 1, C = 1	no	all three	—	—	yes	VM: HP	3.93 M	TSMC 0.25 $\mu$ m	N/A	N/A	±1.25	—
[19]	MO-DXCCTA = 1	R <sub>1,2,3,4,5</sub> = 1, C = 1	no	—	Figure 1: all three	Figure 2: all three	yes	TAM: LP, HP, AP	11.7 M	TSMC 0.18 $\mu$ m	N/A	N/A	±1.25, +0.42	±10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Contd.

Ref.	Number of Active Element	Number of Passive Element	Available in Four Possible Modes	Filter Function Realized			Electronics Tunable	Passband Gain Tunable	$f_p$ (Hz)	Technology	Supply Voltages (V)	Power Consumption (W)	Technology	Supply Voltages (V)
				VM	CM	TAM								
[20]	DXCCTA = 1	C = 2	no	—	all three	—	yes	no	10 M	TSMC 0.18 $\mu$ m	$\pm 1.25$ , $+0.42$	1.75 m	AD844, LMI3700	$\pm 5$
[21]	DP-DXCCTI = 1	$R_{res} = 3$ , C = 1	no	—	all three	—	yes	CM, LP, HP	3 M	TSMC 0.18 $\mu$ m	$\pm 1.25$ , $-0.6$	2 m	—	—
[22]	MO-CCTI = 2	C = 1	no	—	all three	—	no	no	15.55 M	TSMC 0.18 $\mu$ m	$\pm 1.25$ , $+0.6$	3.71 m	—	—
[23]	Figure 2: DCC = 2	R = 1, C = 1	no	all three	—	—	no	no	15.8 M	—	$\pm 0.75$ , $+0.23$	3.71 m	—	—
[24]	Figure 2: ICCTI+ = 2	R = 1, C = 1	no	all three	—	—	no	no	7.96 M	IBM 0.13 $\mu$ m	$\pm 5$	3.29 m	AD844	$\pm 9$
[25]	LT1228 = 1	R = 2, C = 1	no	all three	—	—	yes	VM, LP, HP	90 k	LT1228	$\pm 5$	5.76 m	LT1228	$\pm 5$
[26]	CFOA = 2	R = 3-4, C = 1	no	all three	—	—	no	VM, LP, HP, AP	159 k	—	—	—	AD844	$\pm 12$
[26]	MO-CDTA = 1	C = 1	no	all three	all three	—	yes	no	1.59 M	TSMC 0.13 $\mu$ m	$\pm 1$ , $-0.56$	2.5 m	AD844, LMI3700	$\pm 10$
[27]	OTA = 3	C = 1	yes	all three	all three	all three	yes	VM, HP, CM, LP, TAM, LP, HP, AP, TIME, LP, HP, AP, VM, LP, HP, AP, AP, CM, HP, AP	159 k	TSMC 0.18 $\mu$ m	$\pm 0.9$ , $-0.785$	N/A	LMI3700	$\pm 15$
Proposed circuit	VDCGA = 1	R = 1, C = 1	yes	all three	all three	all three	yes	TAM, LP, HP, AP, TM, LP, HP, AP	1.59 M	TSMC 0.18 $\mu$ m	$\pm 0.9$	1.31 m	LMI3600	$\pm 5$

Abbreviations: R = resistor, C = capacitor, N/A = not available, “—” = not realized, RMOS = MOS-based electronic resistor, FTEN = four terminal floating nullor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- (1) The design of a novel first-order mixed-mode universal filter capable of realizing all three standard first-order filter functions and operating in all four operation modes with one active element and two passive elements;
- (2) The realization of three filter responses in all four possible modes utilizing the same circuit configuration;
- (3) The use of only grounded passive elements, except for HP, and AP filter functions in VM and TAM modes capable of absorbing parasitic elements;
- (4) The proposed filter has an electronically adjustable pole frequency that has no effect on the passband gain of its responses;
- (5) The practical implementation of the proposed filter using commercially available IC type is suggested;
- (6) The performance of the proposed filter is proven through numerical simulations and hardware experiments.

## 2. Proposed Mixed-Mode First-Order Filter Configuration

The proposed first-order universal filter configuration is based on a single active element VDGA [28]. The VDGA device is a versatile and flexible active element with numerous solutions and applications [29–32]. A circuit symbol for VDGA is represented in Figure 1. Its terminal relationships are characterized below.

$$\begin{bmatrix} i_{z+} \\ i_{z-} \\ i_x \\ v_w \\ i_o \end{bmatrix} = \begin{bmatrix} g_{mA} & -g_{mA} & 0 & 0 \\ -g_{mA} & g_{mA} & 0 & 0 \\ 0 & 0 & -g_{mB} & 0 \\ 0 & 0 & \beta & 0 \\ 0 & 0 & 0 & g_{mC} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_{z+} \\ v_w \end{bmatrix}, \quad (1)$$

where  $g_{mk}$  ( $k = A, B, C$ ) and  $\beta$  are the transconductance gain and the transfer voltage gain of the VDGA, respectively.

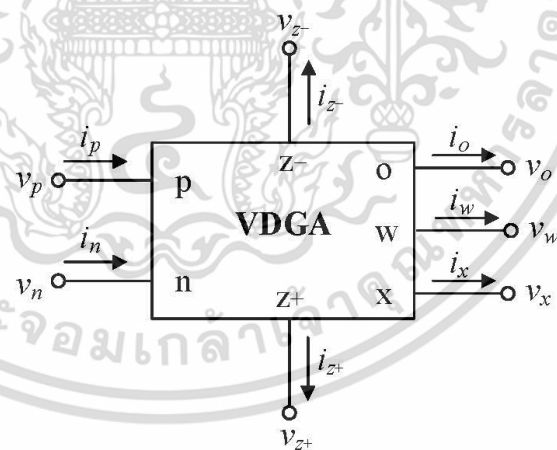


Figure 1. Symbol of VDGA.

Figure 2 shows the proposed first-order active universal filter that is comprised of one VDGA, one resistor, and one capacitor. The configuration can be utilized within the same circuit design to implement the mixed-mode first-order universal filter, which realizes LP, HP, and AP filter functions in VM, TAM, CM, and TIM, by appropriately selecting the input voltage and current signals, as specified below.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

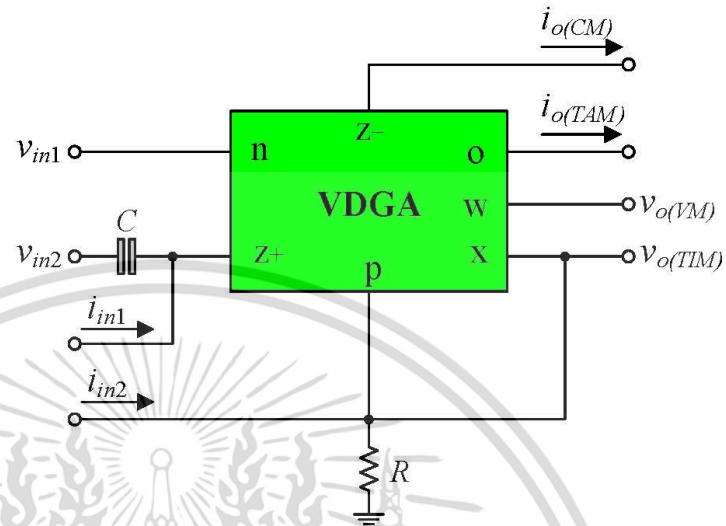


Figure 2. Proposed mixed-mode first-order universal filter.

**Case I:** If  $i_{in1} = i_{in2} = 0$  (open circuited), the two-input one-output first-order universal filters in VM and TAM can be realized with the following transfer functions.

(a) VM filter

(i) With  $v_{in} = v_{in1}$  (input voltage) and  $v_{in2} = 0$  (grounded), the following LP filter response is obtained from the  $v_{o(VM)}$  terminal:

$$T_{VLP}(s) = \frac{v_{o(VM)}}{v_{in}} = \left( -\frac{1}{g_m C R} \right) T_{LP}(s). \quad (2)$$

(ii) With  $v_{in} = v_{in2}$  and  $v_{in1} = 0$ , the HP response is obtained as:

$$T_{VHP}(s) = \frac{v_{o(VM)}}{v_{in}} = \beta T_{HP}(s). \quad (3)$$

(iii) With  $v_{in} = v_{in1} = v_{in2}$  and  $g_m B R = 1$ , the AP response is obtained as:

$$T_{VAP}(s) = \frac{v_{o(VM)}}{v_{in}} = \beta T_{AP}(s). \quad (4)$$

In the expressions above, the transfer functions  $T_{LP}(s)$ ,  $T_{HP}(s)$ , and  $T_{AP}(s)$  are written as follows.

$$T_{LP}(s) = \frac{g_m A g_m B R}{D(s)}, \quad (5)$$

$$T_{HP}(s) = \frac{sC}{D(s)}, \quad (6)$$

and

$$T_{AP}(s) = \frac{sC - g_m A}{D(s)}, \quad (7)$$

where

$$D(s) = sC + g_m A g_m B R. \quad (8)$$

As shown in Equation (2), the LP first-order filter function circuit is realized by the proposed circuit with a passband gain of  $(-1/g_m C R)$ , as opposed to the others, which are

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

expressed by Equations (3) and (4) and have a passband gain of  $\beta$ . It should be noted that the passband gains for three first-order filter responses can be electronically adjusted using the parameters  $g_{mC}$  and  $\beta$ . Moreover, it was noticed from Equation (4) that a simple element requirement,  $g_{mB}R = 1$ , is needed in the case of AP filter realization.

(b) TAM filter

- (iv) With  $v_{in} = v_{in1}$  and  $v_{in2} = 0$ , the LP filter in TAM is obtained from the  $i_{o(TAM)}$  terminal, as given by:

$$T_{YLP}(s) = \frac{i_{o(TAM)}}{v_{in}} = \left(-\frac{1}{R}\right)T_{LP}(s). \quad (9)$$

- (v) With  $v_{in} = v_{in2}$  and  $v_{in1} = 0$ , the HP filter is realized as:

$$T_{YHP}(s) = \frac{i_{o(TAM)}}{v_{in}} = g_{mB}T_{HP}(s). \quad (10)$$

- (vi) With  $v_{in} = v_{in1} = v_{in2}$  and  $g_{mB}R = 1$ , the AP filter is realized as:

$$T_{YAP}(s) = \frac{i_{o(TAM)}}{v_{in}} = g_{mB}T_{AP}(s). \quad (11)$$

**Case II:** If  $v_{in1} = v_{in2} = 0$ , three generic first-order filter functions in other two different operation modes, i.e., CM and TIM, may be derived, and their transfer functions can be given by the following.

(c) CM filter

- (vii) With  $i_{in} = i_{in1}$  (input current) and  $i_{in2} = 0$ , the LP current filter response is obtained from the  $i_{o(CM)}$  terminal:

$$T_{ILP}(s) = \frac{i_{o(CM)}}{i_{in}} = -T_{LP}(s). \quad (12)$$

- (viii) With  $i_{in} = i_{in2}$  and  $i_{in1} = 0$ , the HP current response is obtained as:

$$T_{IHP}(s) = \frac{i_{o(CM)}}{i_{in}} = (g_{mA}R)T_{HP}(s). \quad (13)$$

- (ix) With  $i_{in} = i_{in1} = i_{in2}$  and  $g_{mA}R = 1$ , the AP current response is obtained as:

$$T_{IAP}(s) = \frac{i_{o(CM)}}{i_{in}} = (g_{mA}R)T_{AP}(s). \quad (14)$$

(d) TIM filter

- (x) With  $i_{in} = i_{in1}$  and  $i_{in2} = 0$ , the following TIM LP filter is realized at the  $v_{o(TIM)}$  output terminal:

$$T_{ZLP}(s) = \frac{v_{o(TIM)}}{i_{in}} = \left(-\frac{1}{g_{mA}}\right)T_{LP}(s). \quad (15)$$

- (xi) With  $i_{in} = i_{in2}$  and  $i_{in1} = 0$ , the TIM HP filter is realized as:

$$T_{ZHP}(s) = \frac{v_{o(TIM)}}{i_{in}} = RT_{HP}(s). \quad (16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(xii) With  $i_{in} = i_{in1} = i_{in2}$  and  $g_{mAR} = 1$ , the TIM AP filter is realized as:

$$T_{ZAP}(s) = \frac{v_{o(TIM)}}{i_{in}} = RT_{AP}(s). \tag{17}$$

As is evident from all of the realized transfer functions given above, the circuit can consequently derive all three of the standard first-order filter functions, LP, HP, and AP, in all four operation modes using the same circuit topology. Thus, the proposed circuit of Figure 2 operates as a mixed-mode first-order universal filter with the pole frequency of

$$\omega_p = 2\pi f_p = \frac{g_{mA}g_{mB}R}{C}. \tag{18}$$

Obviously, the circuit has electronic tunability of the characteristic frequency  $\omega_p$  via  $g_{mA}$  and  $g_{mB}$ . Table 2 also summarizes the passband gains for the proposed filter operating in the four different modes. Based on the relationship between  $\omega_p$  in Equation (18) and the passband gain expressions in Table 2, it is possible to conclude that the passband gain of the LP, HP, and AP filters in VM can be tuned electronically and orthogonally by  $g_{mC}$  without affecting  $\omega_p$ . The passband gains of HP and AP filters in TAM and CM can be electronically varied by  $g_{mB}$  and  $g_{mA}$ , respectively. In TIM, the LP passband gain is also electronically tunable via  $g_{mA}$ .

Table 2. Passband gains of the proposed mixed-mode first-order filter in Figure 2.

Mode of Operation	LP	HP	AP
VM	$(-1/g_{mC}R)$	$\beta$	$\beta$
TAM	$(-1/R)$	$g_{mB}$	$g_{mB}$
CM	$-1$	$g_{mAR}$	$g_{mAR}$
TIM	$(-1/g_{mA})$	$R$	$R$

### 3. Effect of Finite Tracking Errors

In a non-ideal case, the terminal relationships of VDGA taking into account the terminal tracking signal errors are specified as follows:

$$\begin{bmatrix} i_{z+} \\ i_{z-} \\ i_x \\ v_w \\ i_o \end{bmatrix} = \begin{bmatrix} \alpha_A g_{mA} & -\alpha_A g_{mA} & 0 & 0 \\ -\alpha_A g_{mA} & \alpha_A g_{mA} & 0 & 0 \\ 0 & 0 & -\alpha_B g_{mB} & 0 \\ 0 & 0 & \delta\beta & 0 \\ 0 & 0 & 0 & \alpha_C g_{mC} \end{bmatrix} \begin{bmatrix} v_p \\ v_n \\ v_{z+} \\ v_w \end{bmatrix}. \tag{19}$$

In the above relationships,  $\alpha_k$  ( $\alpha_k = 1 - \epsilon_\alpha$ ) represents the non-ideal transconductance gain and  $\delta$  ( $\delta = 1 - \epsilon_\delta$ ) denotes the non-ideal voltage gain, both of which deviate from their ideal values due to the transfer signal errors  $\epsilon_\alpha$  ( $|\epsilon_\alpha| \ll 1$ ) and  $\epsilon_\delta$  ( $|\epsilon_\delta| \ll 1$ ).

Considering the non-ideal characteristic of the VDGA in Equation (19), the various filter functions of the proposed circuit in Figure 2 for VM, TAM, CM, and TIM can be respectively expressed as follows:

$$v_{o(VM)} = \frac{\delta\beta(sCv_{in2} - g_{mA}v_{in1})}{D'(s)}, \tag{20}$$

$$i_{o(TAM)} = \frac{\alpha_C\delta g_{mB}(sCv_{in2} - g_{mA}v_{in1})}{D'(s)}, \tag{21}$$

$$i_{o(CM)} = \frac{\alpha_A g_{mA}R(sCi_{in2} - \alpha_B g_{mB}i_{in1})}{D'(s)}, \tag{22}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_{o(TIM)} = \frac{R(sC_{im2} - \alpha_B g_{mB} i_{im1})}{D'(s)}, \quad (23)$$

where

$$D'(s) = sC + \alpha_A \alpha_B g_{mA} g_{mB} R. \quad (24)$$

In view of the above expressions, the non-ideal pole frequency for the circuit becomes:

$$\omega'_p = 2\pi f'_p = \frac{\alpha_A \alpha_B g_{mA} g_{mB} R}{C}. \quad (25)$$

Due to the non-ideal gains  $\alpha_A$  and  $\alpha_B$ , the pole frequency of the proposed filter is altered slightly. However, since the values of  $g_{mA}$  and  $g_{mB}$  are electronically tunable, it is possible to compensate for the effects of the non-ideal gains  $\alpha_A$  and  $\alpha_B$  by appropriately adjusting their values. Therefore, it is reasonable to conclude that the tracking errors of the VDGA parameters do not cause significant errors in the realized filter parameters. In addition to Equation (25), the factors  $\alpha_A$  and  $\alpha_B$  depend primarily on the signal transfer errors of the VDGA. Consequently, the VDGA should be meticulously designed to prevent these errors. For typical tolerances obtained in contemporary integration processes, the introduced errors remain within acceptable parameters.

#### 4. Effect of Parasitic Elements

The non-ideal equivalent circuit of the VDGA, including various parasitic elements, is shown in Figure 3 [31,32]. These undesirable elements include parasitic resistances and capacitances, which look into the different VDGA terminals and affect the transfer functions of the proposed circuit. In consideration of the non-ideal behavior model of VDGA given in Figure 3, the characteristic equation of the proposed filter configuration in Figure 2 can be determined as follows:

$$D''(s) = \frac{[R'R_{z+}C'(C_p + C_x)]}{[R'(C_p + C_x) + R_{z+}C']} s^2 + s + \left[ \frac{(R'R_{z+}g_{mA}g_{mB} + 1)}{R'(C_p + C_x) + R_{z+}C'} \right], \quad (26)$$

where  $R' = R/R_p/R_x$  and  $C' = C + C_{z+}$ . Choosing  $[R'(C_p + C_x) + R_{z+}C'] \gg [R'R_{z+}C'(C_p + C_x)]$ , then Equation (26) can be approximated as:

$$D''(s) = s[R'(C_p + C_x) + R_{z+}C'] + (R'R_{z+}g_{mA}g_{mB} + 1). \quad (27)$$

As a result, the modified  $\omega''_p$  from Equation (27) may be written as:

$$\omega''_p = \frac{R'R_{z+}g_{mA}g_{mB} + 1}{R'(C_p + C_x) + R_{z+}C'}. \quad (28)$$

The parasitic impedances of the VDGA are observed to have an effect on the characteristic frequency  $\omega''_p$ . If we select  $R \ll (R_p/R_x)$ ,  $R_{z+}$  and  $C \gg C_{z+}$ ,  $(C_p + C_x)$ , then we can suppose that  $R \cong R'$  and  $C \cong C'$ , respectively, as a result the effect of the VDGA parasitics can be neglected. Additionally, this impact can also be mitigated by pre-distorting the values of  $g_{mA}$  and  $g_{mB}$ .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

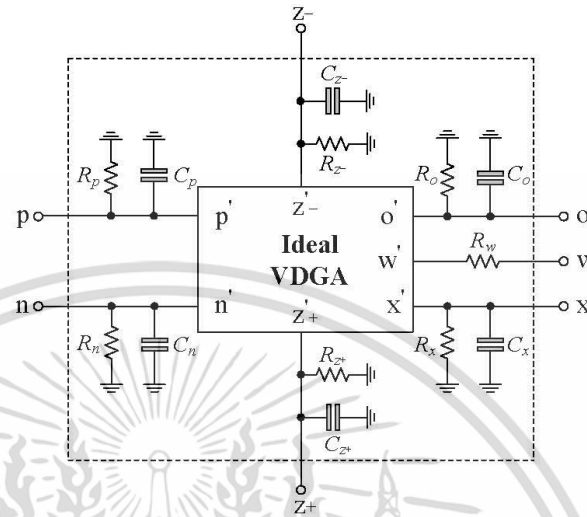


Figure 3. Equivalent circuit of the VDGA including various parasitic elements.

5. Design and Simulation Verification

In this section, the PSPICE program is used to simulate the functionality of the proposed filter configuration shown in Figure 2. The CMOS circuit of Figure 4 [28,29,31,32] was used in simulation to implement the VDGA using 0.18- $\mu\text{m}$  TSMC CMOS technology characteristics. The symmetrical DC supply voltages of  $\pm 0.9\text{ V}$  were used. Table 3 lists the transistor sizes utilized in the VDGA of Figure 4.

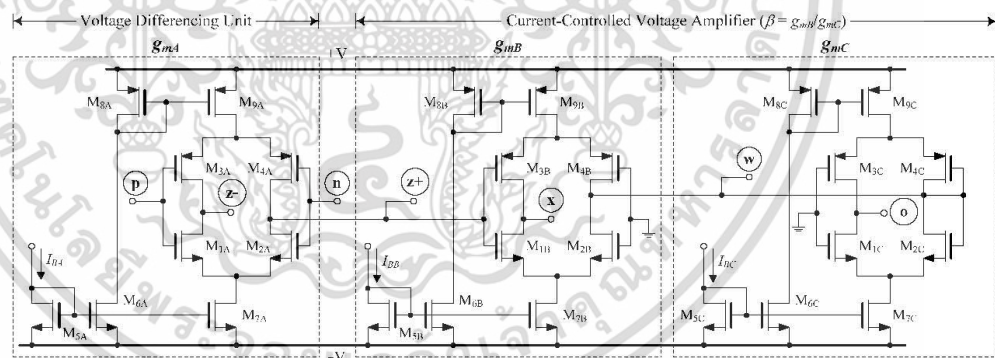


Figure 4. CMOS circuit of the VDGA used in simulation.

Table 3. Transistor dimensions of VDGA in Figure 4.

Transistors	W ( $\mu\text{m}$ )	L ( $\mu\text{m}$ )
M <sub>1k</sub> –M <sub>2k</sub>	23.5	0.18
M <sub>3k</sub> –M <sub>4k</sub>	30	0.18
M <sub>5k</sub> –M <sub>7k</sub>	5	0.18
M <sub>8k</sub> –M <sub>9k</sub>	5.5	0.18

As a design example, the proposed filter was realized for a pole frequency of 1.59 MHz. The designed component values for a given  $f_p$  are  $R = 1\text{ k}\Omega$ ,  $C = 100\text{ pF}$ , and  $g_{mk} = 1\text{ mA/V}$  ( $I_{Bk} = 80\text{ }\mu\text{A}$ ). Figures 5 and 6 respectively show the simulated transient and frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

responses in VM and TAM, in comparison with the ideal responses. Similarly, the simulated and ideal frequency characteristics for the CM and TIM filters are given in Figures 7 and 8, respectively. In transient response, the filter was fed a sinusoidal input signal with a peak amplitude of 50 mV at 1.59 MHz. The corresponding  $f_p$  obtained from simulation results and their percentage errors from the theoretical values are given in Table 4. The simulated power dissipation of the circuit was determined to be 1.31 mW.

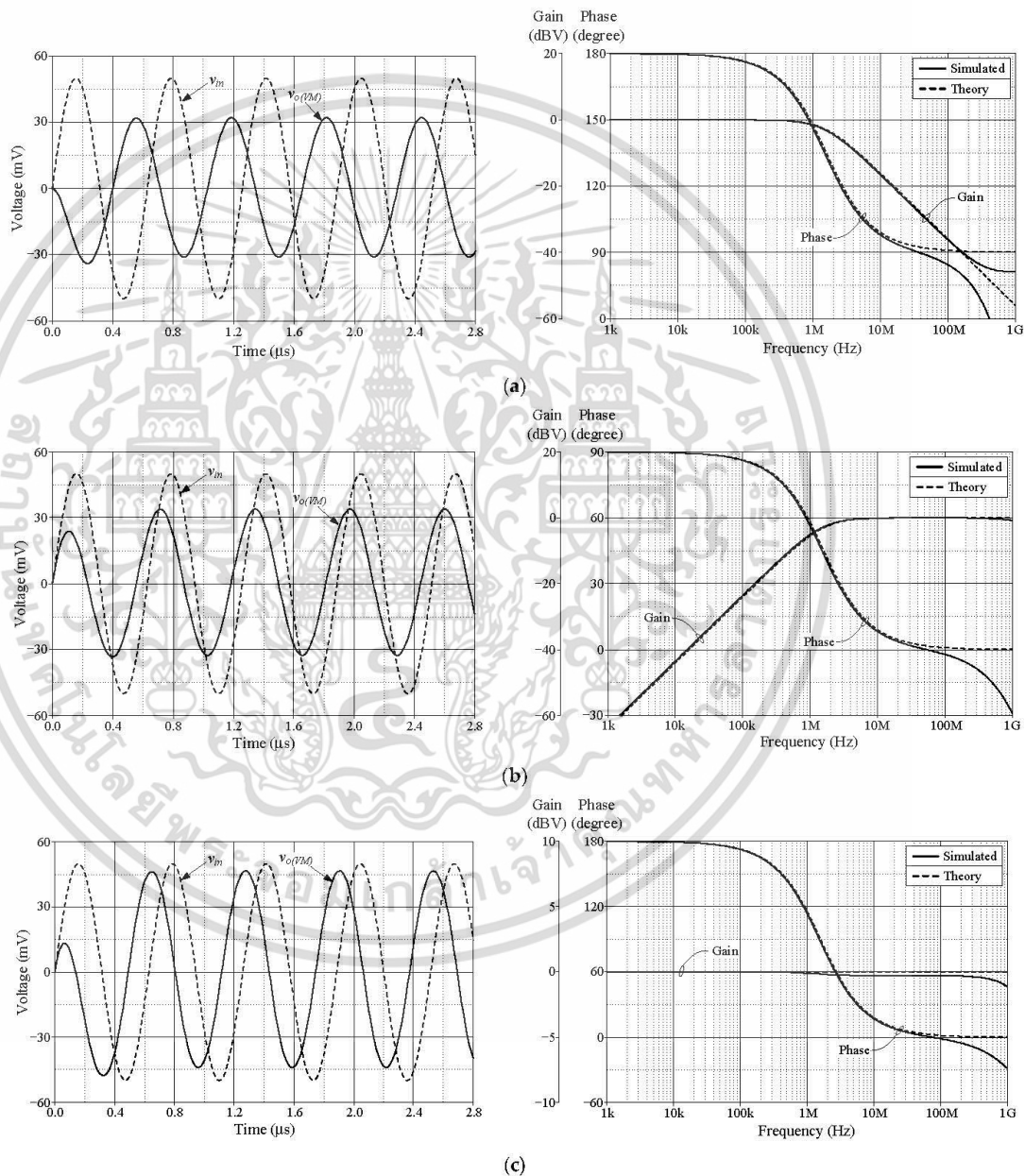


Figure 5. Simulated time and frequency responses of the proposed VM filter: (a) LP; (b) HP; and (c) AP.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

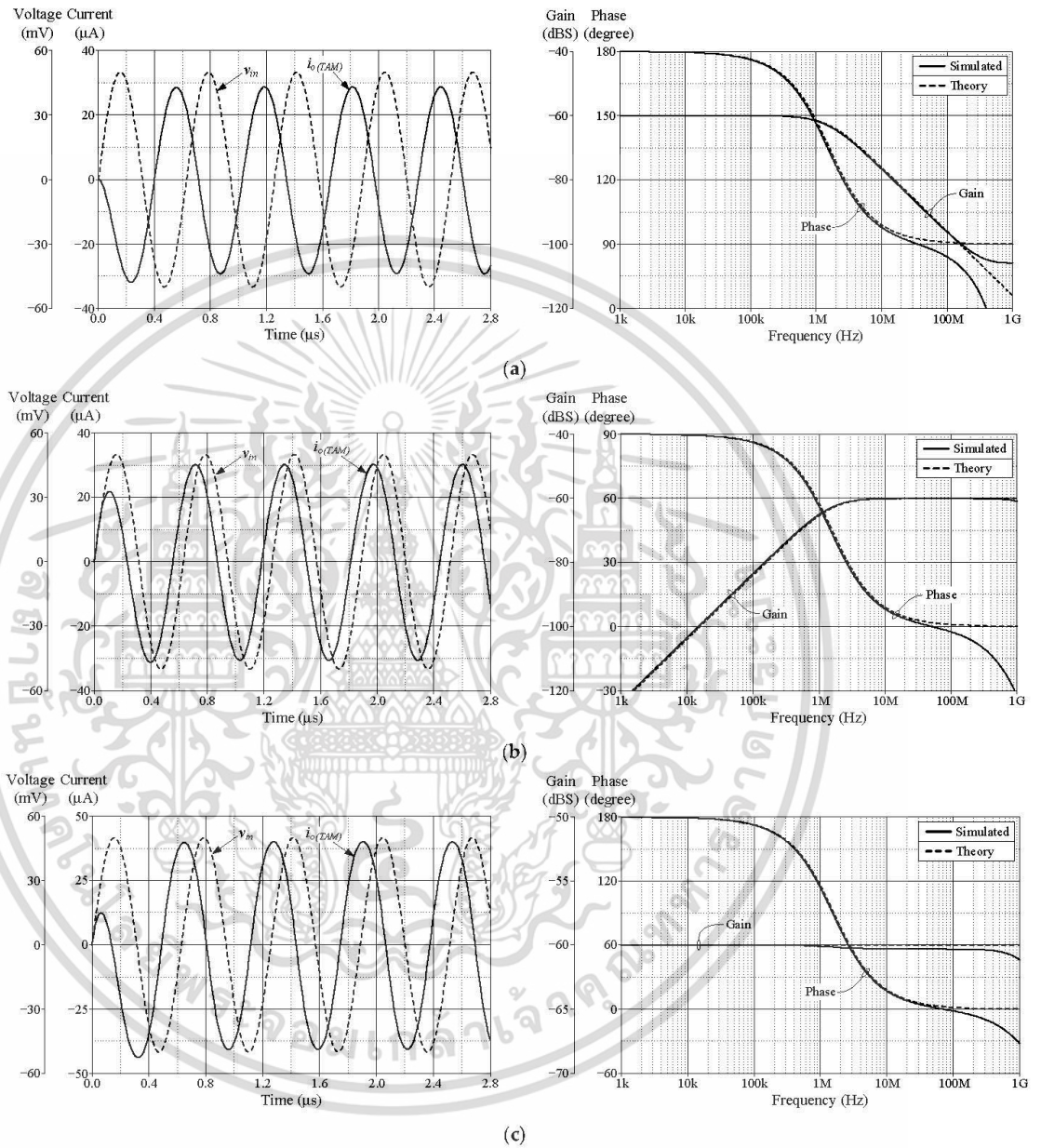


Figure 6. Simulated time and frequency responses of the proposed TAM filter: (a) LP; (b) HP; and (c) AP.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

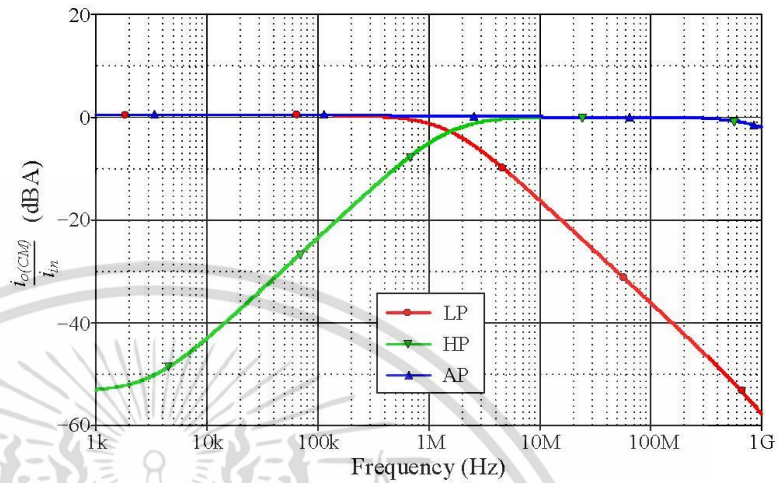


Figure 7. Simulated frequency responses of the proposed CM filter.

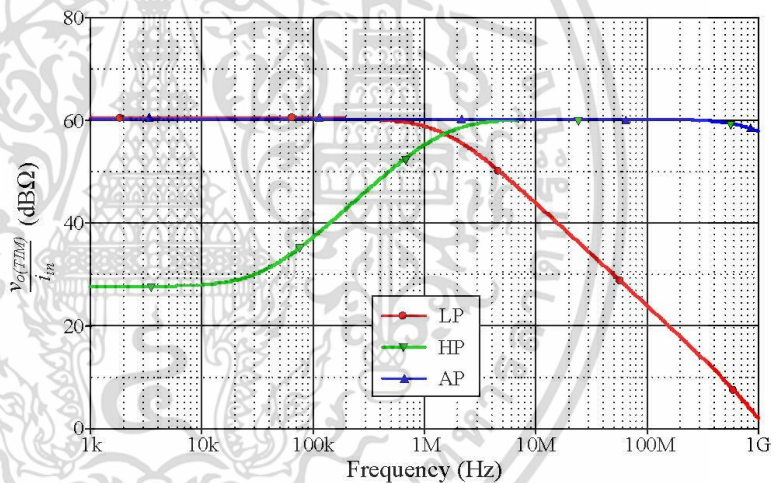


Figure 8. Simulated frequency responses of the proposed TIM filter.

Table 4. Simulated  $f_p$  and percentage errors of the proposed filter in Figure 2.

	VM		TAM		CM		TIM	
	$f_p$ (MHz)	Error (%)	$f_p$ (MHz)	Error (%)	$f_p$ (MHz)	Error (%)	$f_p$ (MHz)	Error (%)
LP	1.51	5.03	1.49	6.29	1.49	6.29	1.49	6.29
HP	1.50	5.66	1.49	6.29	1.50	5.66	1.45	8.81
AP	1.52	4.40	1.52	4.4	1.52	4.40	1.49	6.29

From Figures 5–9, it is evident that the simulation results and theoretical values are in close agreement; however, there is a slight discrepancy at high frequencies due to the non-availability and limited frequency region of CMOS VDGA in an integrated form [28]. Note also that there is an external resistor  $R$ , as well as the parasitic resistances and capacitances connected from terminals p and x to ground. They become effective when operating at low frequencies. Therefore, the HP responses of the CM and TIM filters in Figures 7 and 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

have non-ideal responses at low operating frequencies. This effect can be prevented by employing a smaller external resistor or operating the filter at a higher frequency.

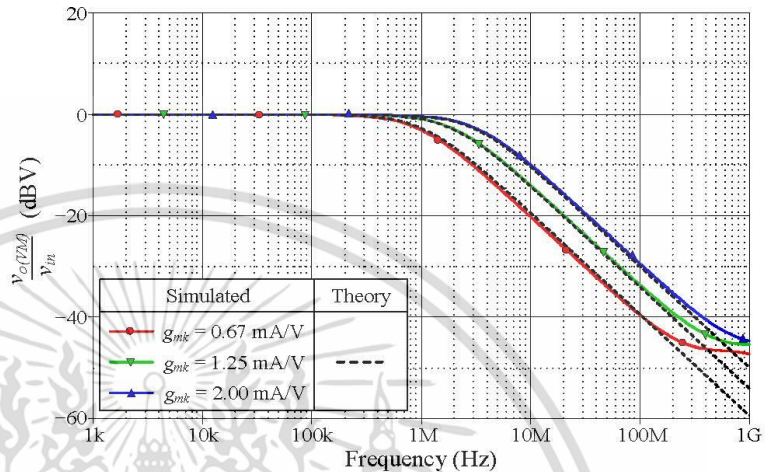


Figure 9. Tunability of  $f_p$  of the proposed VM LP filter.

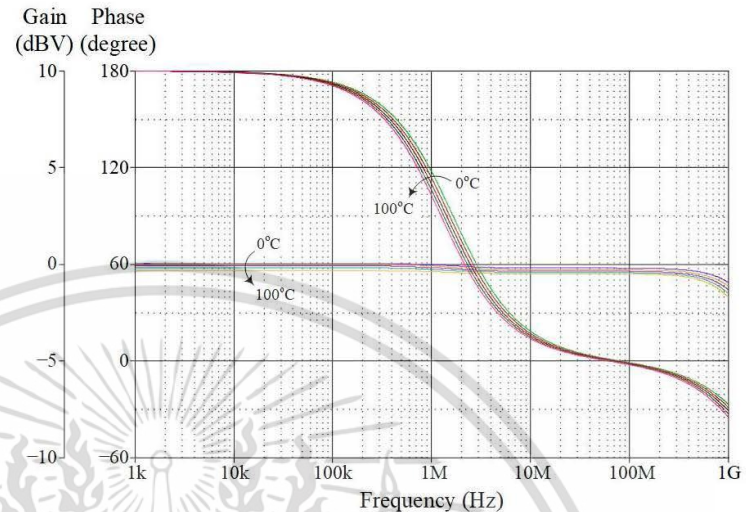
Next, the electronic controllability of the pole frequency  $f_p$  for the proposed LP filter in VM is demonstrated in Figure 9. The filter was designed to obtain  $f_p = 1$  MHz, 2 MHz, and 3.18 MHz by simply controlling  $g_{mK} = 0.67$  mA/V, 1.25 mA/V, and 2 mA/V. According to the simulation results, the corresponding  $f_p$  were recorded at 0.98 MHz, 2.03 MHz, and 3.35 MHz, which are in error by 2%, 1.5%, and 5.34%, respectively.

The proposed VM AP filter was also simulated with changes in ambient temperature at 0 °C, 25 °C, 50 °C, 75 °C, and 100 °C. Figure 10 depicts the influence of temperature variation on the gain and phase responses of the filter. Based on the findings, the variances in gain and phase values for different temperatures are tabulated in Table 5, with theoretical gain and phase values of 0 dBV and 90°, respectively. Furthermore, a Monte Carlo (MC) statistical analysis of the VM AP filter at  $f_p = 1.59$  MHz was carried out with 5% tolerance of  $g_{mK}$  and C. Figure 11 shows the MC simulation results of the filter’s gain and phase responses for 200 random runs with Gaussian distribution. The standard deviations of gain and phase were noted at  $\pm 0.21$  dBV and  $\pm 2.18^\circ$ , respectively.

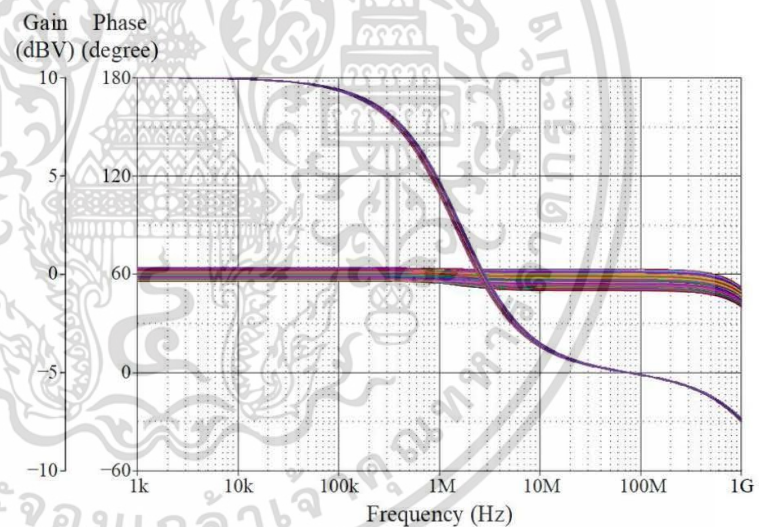
Table 5. Gain and phase values of the proposed VM AP filter at  $f_p$  for different temperatures.

	Temperature				
	0 °C	25 °C	50 °C	75 °C	100 °C
Gain (dBV)	−0.06	−0.14	−0.22	−0.32	−0.42
Phase (degree)	92.34	87.94	83.83	80.04	76.57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**Figure 10.** Simulated frequency characteristics of the proposed VM AP filter at temperatures of 0 °C, 25 °C, 50 °C, 75 °C, and 100 °C.



**Figure 11.** Monte-Carlo analysis results of the VM AP response at  $f_p = 1.59$  MHz.

## 6. Experiment-Based Validation

The proposed circuit in Figure 2 was also validated experimentally to confirm the theoretical assumptions. The VDGA was implemented in practical measurements using readily available IC-type LM13600 dual-OTAs [33], as shown schematically in Figure 12. DC supply voltages of  $\pm 5$  V were used to bias the OTAs. For experimental verification, the proposed filter circuit operating in all four modes was designed for the theoretical  $f_p$  of 234 kHz with  $R = 1$  k $\Omega$ ,  $C = 680$  pF, and  $g_{mk} = 1$  mA/V ( $I_{Bk} = 50$   $\mu$ A). To obtain the current signal measurements, voltage-to-current and current-to-voltage converter circuits with IC CFOA AD844s and a converting resistor of 1 k $\Omega$  were utilized as described in [32].

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

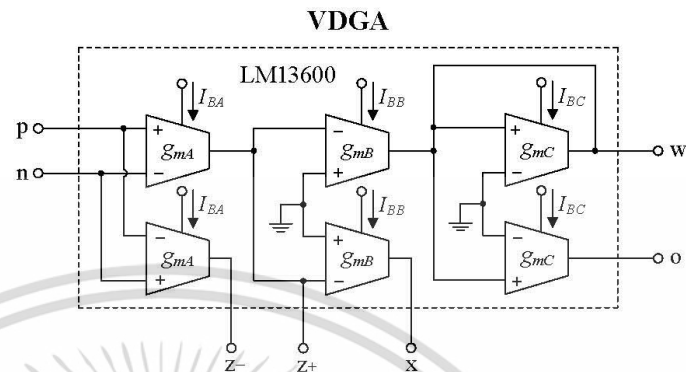


Figure 12. VDGA realization in experimental measurements using off-the-shelf available IC-type LM13600s.

Figures 13–16 show the experimentally observed waveforms of transient and frequency responses for each filter function in all four different modes. The input voltage ( $v_{in}$ ) and the input current ( $i_{in}$ ) for transient measurements were adjusted to 20 mV (peak) and 20  $\mu$ A (peak), respectively, with a frequency of 234 kHz. Regarding all of the experimental results, the measured  $f_p$  for each filter and the corresponding percentage deviations are recorded in Table 6. Figures 17–20 also show the measured frequency spectrums of the AP filter output for each of the four modes. As a result of measurements, total harmonic distortion (THD) values were determined to be 0.15%, 0.36%, 0.38%, and 0.25% for VM, TAM, CM, and TIM, respectively.

The experimental results presented in Figures 13–16 reveal that, despite the measured results being for signals in the kilohertz range, the proposed filter is capable of operating satisfactorily at much higher frequencies. It is also noted that the experimentally observed gain and phase responses are not ideal at high frequencies. Deviations in the gain and phase frequency responses can be attributed to the parasitics of the IC LM13600 used to implement the VDGA. More specifically, the 2 MHz gain bandwidth product of the IC LM 13600 [33] would degrade the high operating frequency. If a dedicated CMOS VDGA becomes available, this effect should no longer be an issue.

Table 6. Measured  $f_p$  and percentage errors of the proposed filter in Figure 2.

	VM		TAM		CM		TIM	
	$f_p$ (kHz)	Error (%)	$f_p$ (kHz)	Error (%)	$f_p$ (kHz)	Error (%)	$f_p$ (kHz)	Error (%)
LP	228.04	2.54	231.31	1.14	240.59	2.81	231.12	1.23
HP	251.18	7.34	237.98	1.70	241.54	3.22	228.04	2.54
AP	231.31	1.14	230.74	1.33	237.72	1.58	237.31	1.41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

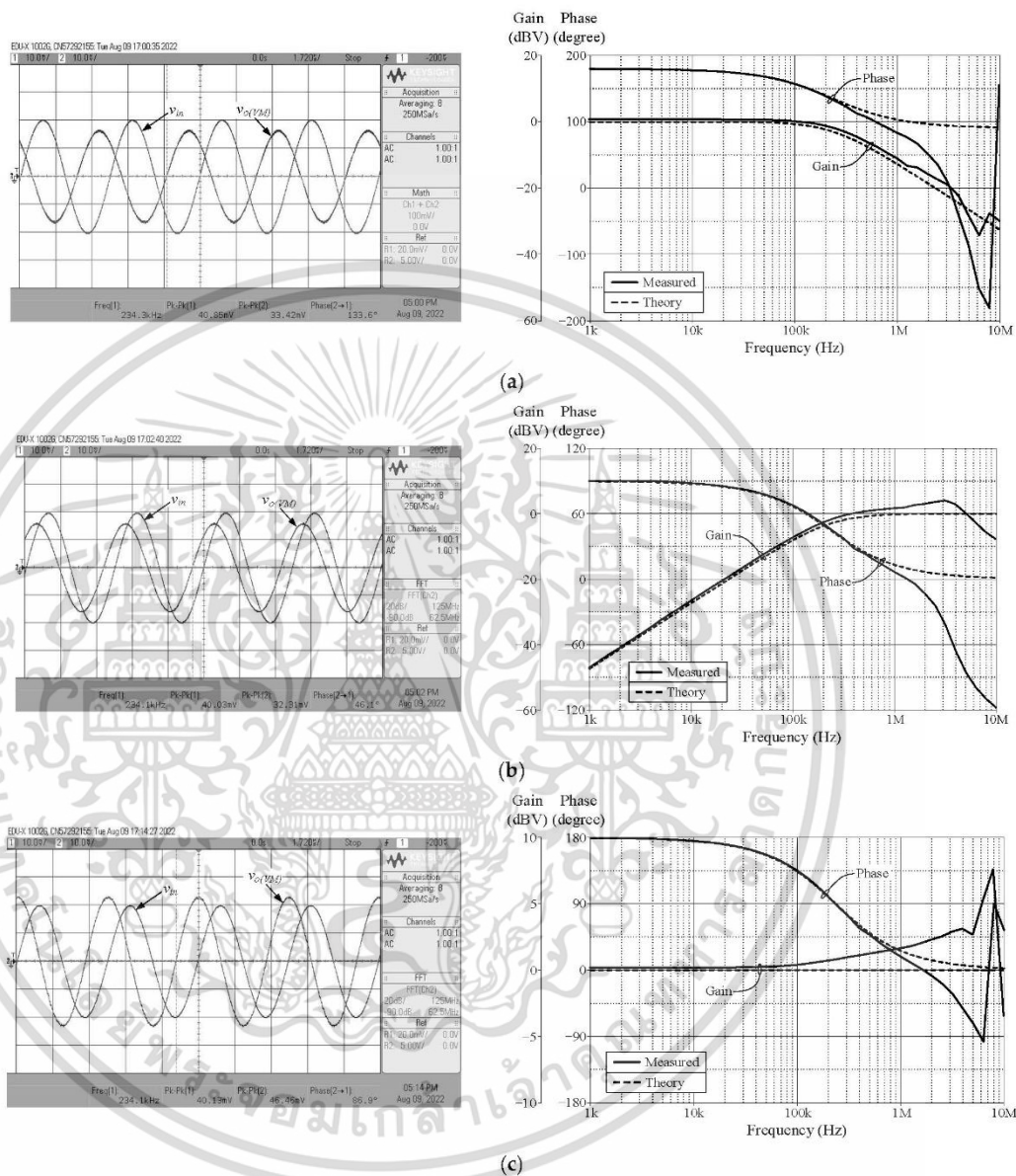


Figure 13. Measured time and frequency responses of the proposed VM filter: (a) LP; (b) HP; and (c) AP.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

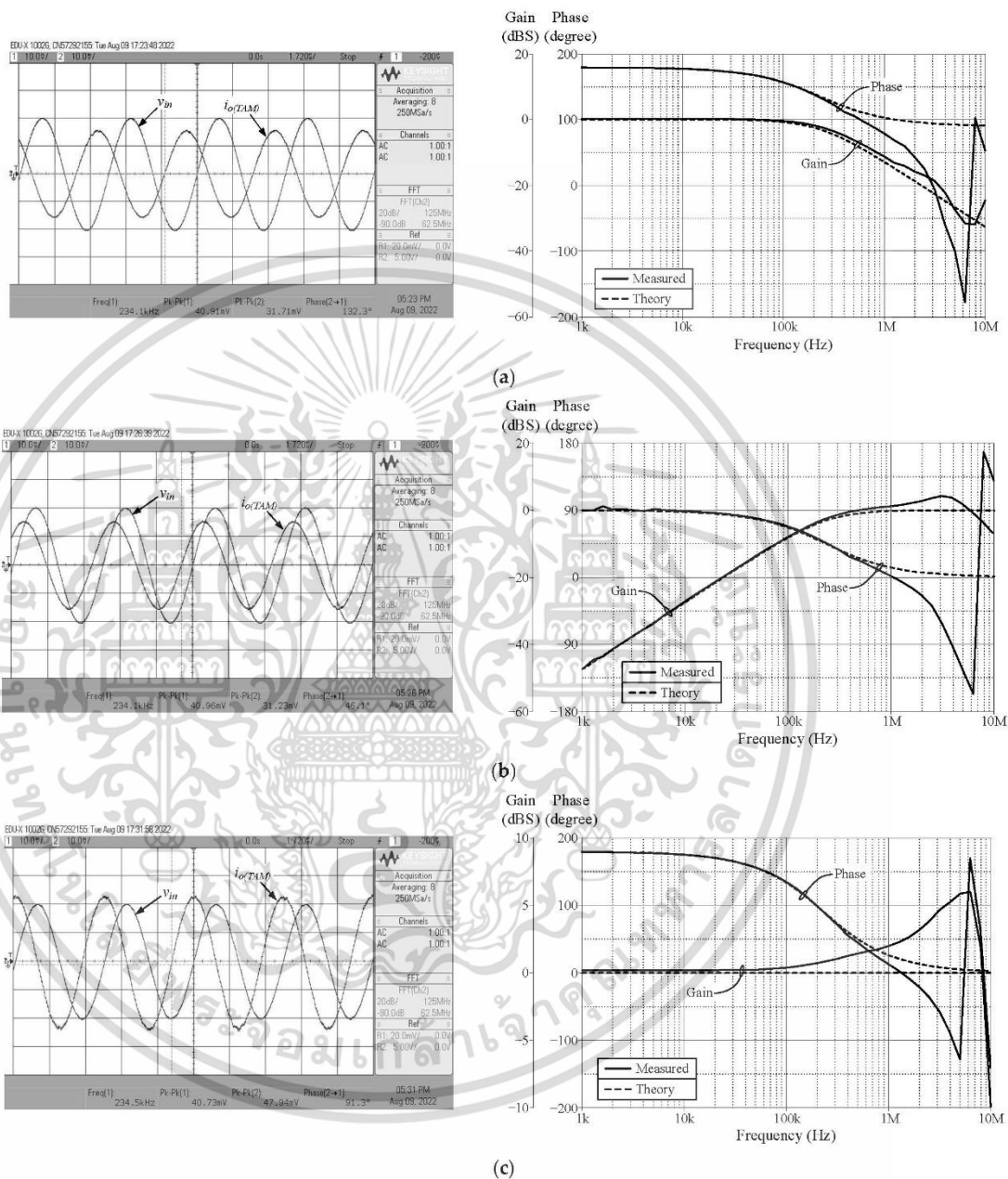


Figure 14. Measured time and frequency responses of the proposed TAM filter: (a) LP; (b) HP; and (c) AP.

เอกสารนี้เป็นเอกสารที่สวอนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

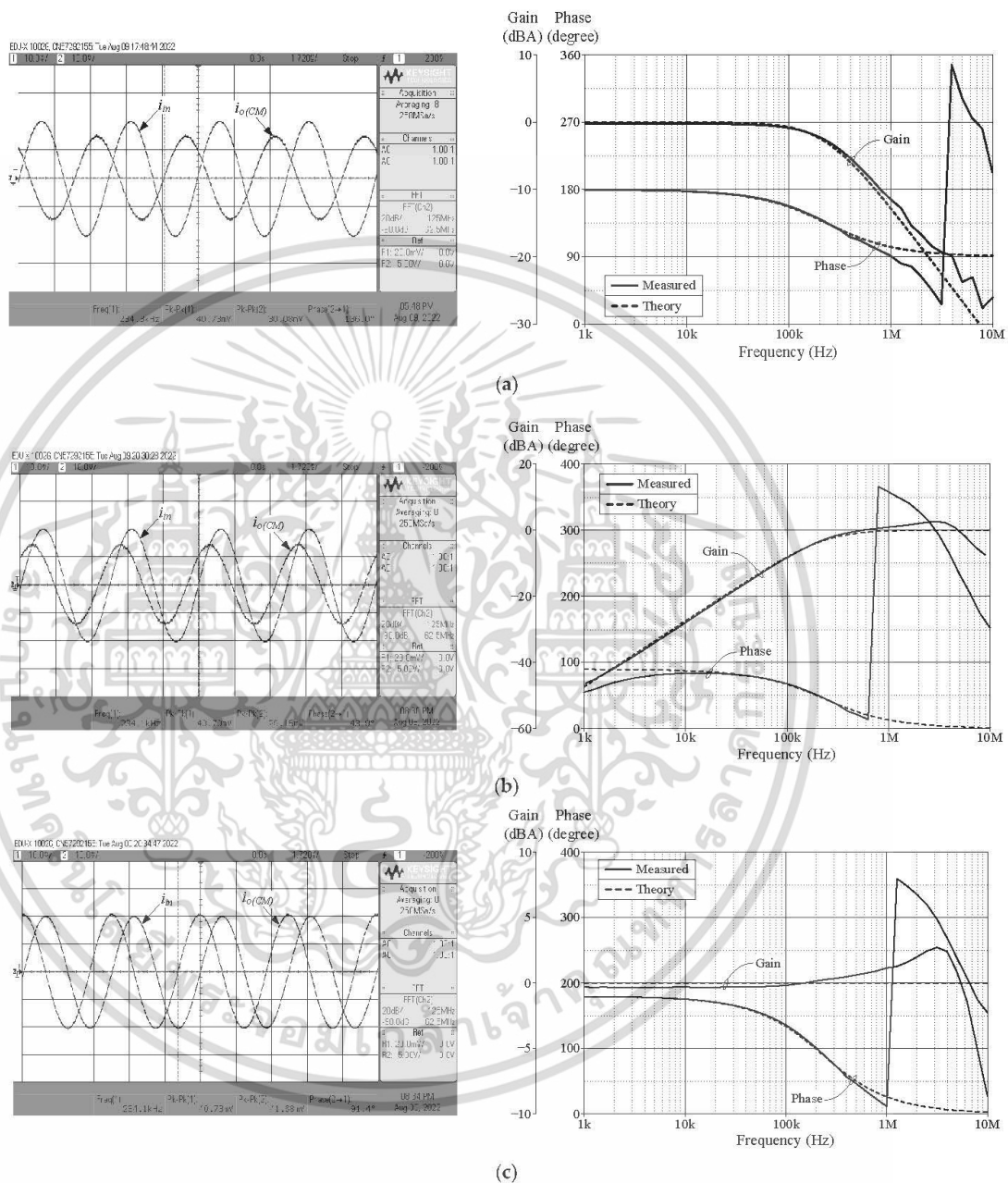


Figure 15. Measured time and frequency responses of the proposed CM filter: (a) LP; (b) HP; and (c) AP.

เอกสารนี้เป็นเอกสารที่สวอนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

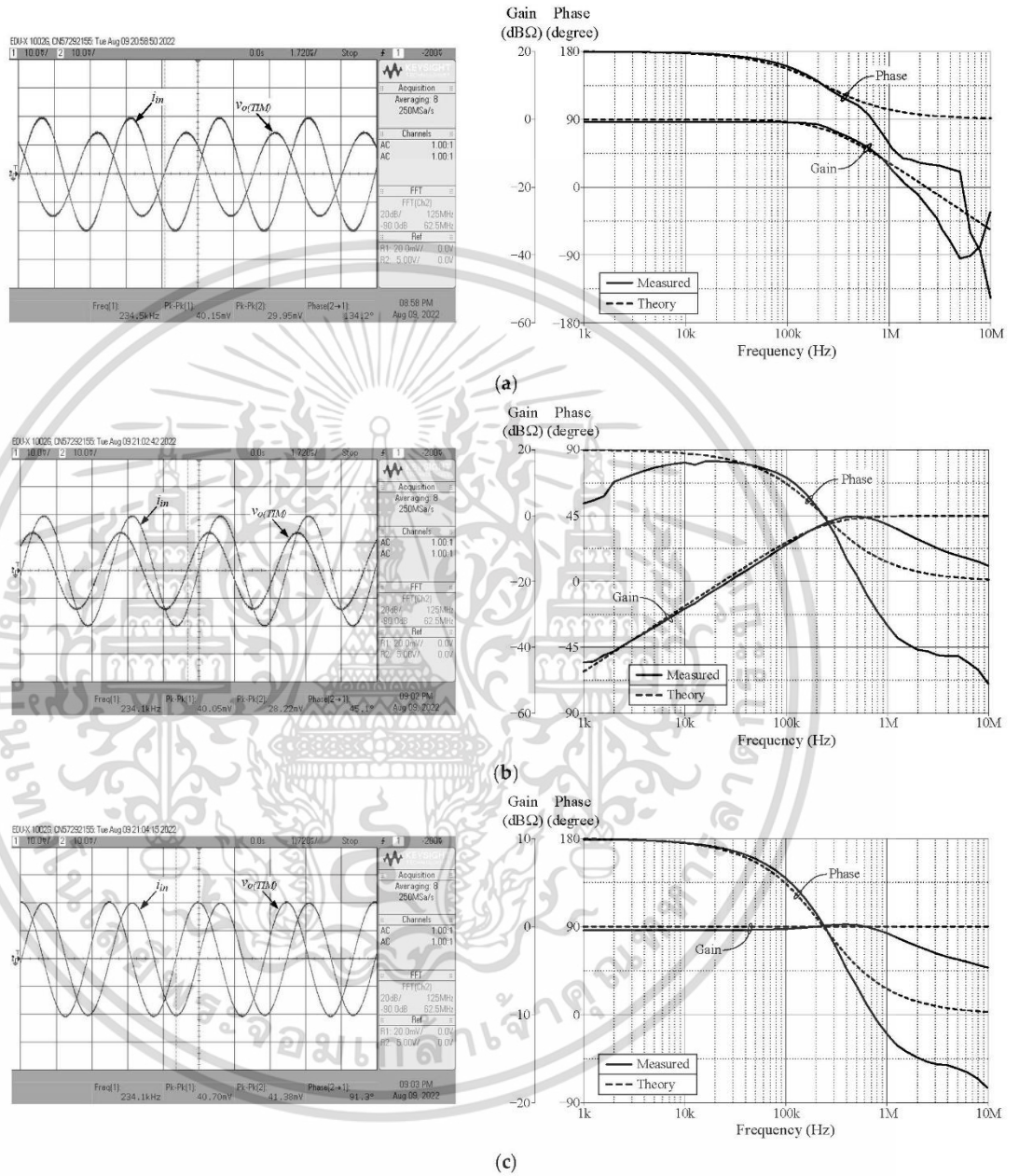
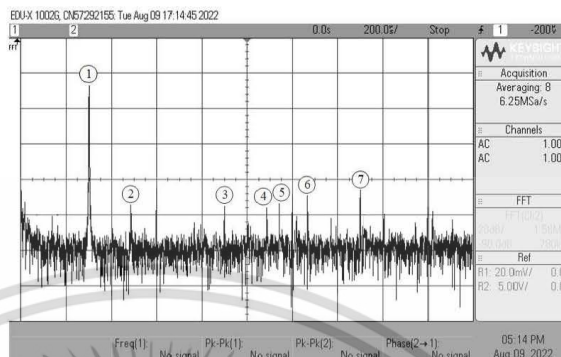


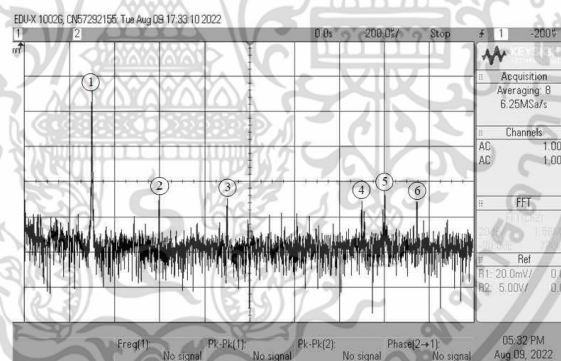
Figure 16. Measured time and frequency responses of the proposed TIM filter: (a) LP; (b) HP; and (c) AP.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



No.	Frequency (kHz)	Gain (dBV)
1	234.00	-37.26
2	379.86	-108.07
3	702.00	-106.11
4	847.08	-108.65
5	890.76	-105.54
6	989.04	-99.80
7	1170.00	-96.15

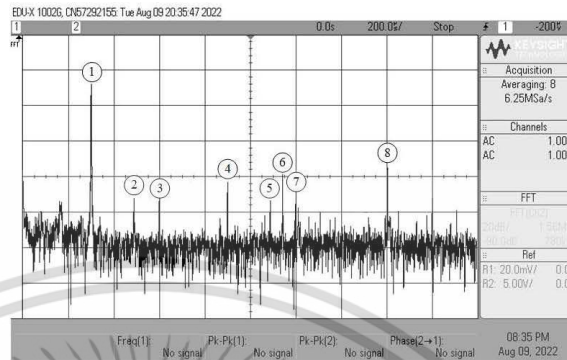
Figure 17. Experimentally observed frequency spectrum of  $v_{O(VM)}$  of the AP filter in VM.



No.	Frequency (kHz)	Gain (dB)
1	234.00	-38.64
2	468.00	-88.54
3	702.00	-100.15
4	1170.00	-101.42
5	1251.12	-98.32
6	1361.88	-101.69

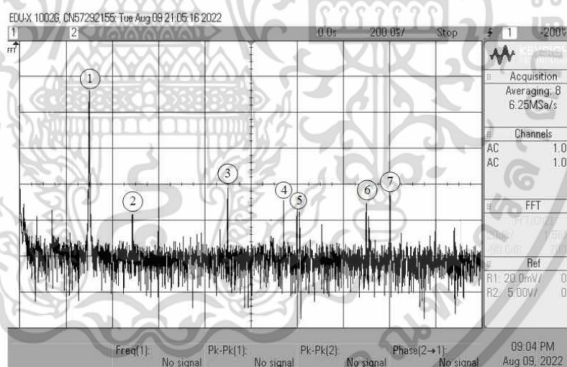
Figure 18. Experimentally observed frequency spectrum of  $i_b(TAM)$  of the AP filter in TAM.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



No.	Frequency (kHz)	Gain (dB)
1	234.00	-38.21
2	382.20	-105.42
3	468.00	-92.28
4	702.00	-93.52
5	850.20	-106.89
6	890.76	-89.61
7	981.24	-114.37
8	1404.00	-102.64

Figure 19. Experimentally observed frequency spectrum of  $v_{o(CM)}$  of the AP filter in CM.



No.	Frequency (kHz)	Gain (dB)
1	234.00	-38.23
2	38.64	-108.28
3	702.00	-92.56
4	890.76	-100.62
5	945.36	-108.35
6	1170.00	-100.99
7	1251.12	-96.68

Figure 20. Experimentally observed frequency spectrum of  $v_{o(TIM)}$  of the AP filter in TIM.

### 7. Application to a Dual-Mode Quadrature Oscillator

As shown in Figure 21, the dual-mode quadrature oscillator (DM-QO), which provides both voltage and current quadrature outputs ( $v_{o1}$ ,  $v_{o2}$ ,  $i_{o1}$  and  $i_{o2}$ ), is derived from the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

proposed first-order voltage-mode AP filter. The first block is a VDGA-based dual-output lossless integrator, and the second one is the proposed VM AP filter circuit in Figure 2. If all the transconductances of both VDGA are identical, such that  $g_m = g_{mk}$ , and  $C = C_1 = C_2$ , then the oscillation condition (OC) and the oscillation frequency ( $f_o$ ) of the DM-QO are derived as:

$$\text{OC} : g_m = \frac{1}{R}, \quad (29)$$

and

$$f_o = \frac{g_m \beta}{2\pi C}. \quad (30)$$

Additionally, the mathematical expressions for the voltages and currents at the quadrature outputs are, respectively,

$$v_{o2} = jk_1 v_{o1}, \quad (31)$$

and

$$i_{o2} = jk_2 i_{o1}, \quad (32)$$

where  $k_1 = (2\pi f C / g_m \beta)$  and  $k_2 = (2\pi f C / g_m)$ . In accordance with Equations (31) and (32), the output voltages and currents have a phase difference of  $90^\circ$  in their respective waveforms. At the oscillation frequency ( $f = f_o$ ), both the coefficients  $k_1$  and  $k_2$  are made equal to unity. As a result, the DM-QO in Figure 21 will produce output voltages and currents with equal signal amplitudes that are in quadrature.

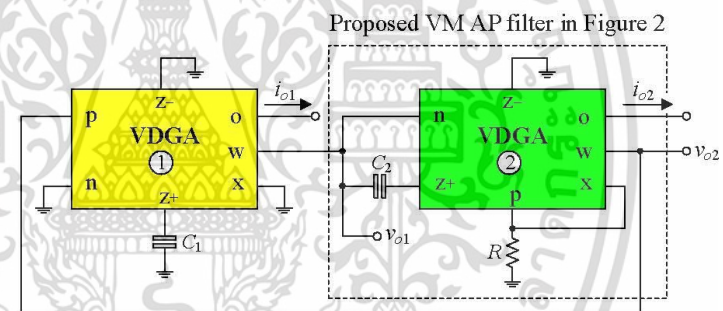


Figure 21. Dual-mode quadrature oscillator implemented from the proposed VM AP filter circuit.

To demonstrate the performance of the DM-QO in Figure 21, the simulation was done using the CMOS VDGA of Figure 4. The DM-QO was designed to oscillate at  $f_o = 1.59$  MHz. The designed values of active and passive components were taken as:  $R = 1$  k $\Omega$ ,  $C = C_1 = C_2 = 100$  pF, and  $g_m = g_{mk} = 1$  mA/V. The simulated transient waveforms of output voltages and currents for the oscillator are depicted in Figure 22. The phase relationships of  $v_{o1}$ - $v_{o2}$  and  $i_{o1}$ - $i_{o2}$  were simulated to be  $86.91^\circ$  and  $85.72^\circ$ , which correspond to deviations of 3.43% and 4.75%, respectively. The percentage THDs of the simulated waveforms of voltages ( $v_{o1}$  and  $v_{o2}$ ) and currents ( $i_{o1}$  and  $i_{o2}$ ) were found to be: 4.03%, 5.46%, 5.17%, and 5.41%, respectively.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

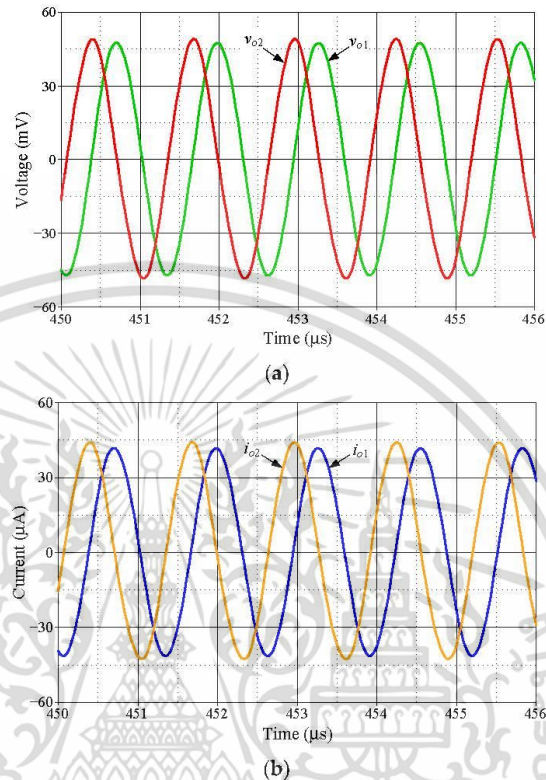


Figure 22. Simulated output waveforms for the DM-QO in Figure 21: (a)  $v_{o1}$  and  $v_{o2}$ ; (b)  $i_{o1}$  and  $i_{o2}$ .

## 8. Conclusions

In this work, a single VDGA-based electronically tunable mixed-mode first-order universal filter is proposed, employing only one capacitor and one grounded resistor. All three general first-order filter functions—low pass, high pass, and all pass—can be realized by the proposed circuit in each of the four operational modes—VM, TAM, CM, and TIM. The pole frequency and the passband gain of the realized filter are capable of electronic tuning through the adjustment of the transconductance gains of the VDGA. An analysis of the non-ideal performance of the proposed circuit was examined, and the results were also discussed in comparison to the ideal analysis. The practical viability of the circuit was verified using both PSPICE simulation results and experimental measurements. Moreover, the dual-mode quadrature oscillator that can provide both quadrature output voltages and currents simultaneously was designed and simulated as an application example. The design of higher-order mixed-mode universal filters and mixed-mode multiphase sinusoidal oscillators will become the focus of future work.

**Author Contributions:** Conceptualization, N.R. and W.T.; methodology, N.R., N.L., M.F. and W.T.; software, N.R. and N.L.; validation, N.R., N.L., M.F. and W.T.; formal analysis, N.R., M.F. and W.T.; investigation, N.R., N.L., M.F. and W.T.; resources, N.R., N.L., M.F. and W.T.; data curation, N.L., M.F. and W.T.; writing—original draft preparation, M.F. and W.T.; writing—review and editing, M.F. and W.T.; visualization, N.R., N.L., M.F. and W.T.; supervision, M.F. and W.T.; project administration, M.F. and W.T. All authors have read and agreed to the published version of the manuscript.

**Funding:** This work was supported by King Mongkut's Institute of Technology Ladkrabang [2566-02-01-009].

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Institutional Review Board Statement:** Not applicable.

**Informed Consent Statement:** Not applicable.

**Data Availability Statement:** The data supporting the results presented in this work are available on request from the authors.

**Conflicts of Interest:** The authors declare no conflict of interest.

## References

- Shah, N.A.; Iqbal, S.Z.; Parveen, B. Simple first-order multifunction filter. *Indian J. Pure Appl. Phys.* **2004**, *42*, 854–856.
- Maheshwari, S.; Khan, I.A.; Mohan, J. Grounded capacitor first-order filters including canonical forms. *J. Circuits Syst. Comput.* **2006**, *15*, 289–300. [[CrossRef](#)]
- Khan, I.A.; Beg, P.; Ahmed, M.T. First order current mode filters and multiphase sinusoidal oscillators using CMOS MOCCII. *Arab. J. Sci. Eng.* **2007**, *32*, 119–126. [[CrossRef](#)]
- Hornig, J.W. High input impedance first-order allpass, highpass and lowpass filters with grounded capacitor using single DVCC. *Indian J. Eng. Mater. Sci.* **2009**, *17*, 175–178.
- Hornig, J.W. DVCCs based high input impedance voltage-mode first-order allpass, highpass and lowpass filters employing grounded capacitor and resistor. *Radioengineering* **2010**, *19*, 653–656.
- Kamat, D.V.; Mohan, P.V.A.; Prabhu, K.G. Novel first-order and second-order current-mode filters using multiple-output operational transconductance amplifiers. *Circuits Syst. Signal Process.* **2010**, *29*, 553–576. [[CrossRef](#)]
- Beg, P.; Siddiqi, M.A.; Ansari, M.S. Multi output filter and four phase sinusoidal oscillator using CMOS DX-MOCCII. *Int. J. Electron.* **2011**, *98*, 1185–1198. [[CrossRef](#)]
- Hornig, J.W.; Hou, C.L.; Tseng, C.Y.; Chang, R.; Yang, D.Y. Cascadable current-mode first-order and second-order multifunction filters employing grounded capacitors. *Act. Passiv. Electron. Components* **2012**, *2012*, 261075. [[CrossRef](#)]
- Chen, H.P. DVCC-based first-order filter with grounded capacitor. *Int. J. Inf. Electron. Eng.* **2012**, *2*, 50–54. [[CrossRef](#)]
- Khan, I.A.; Nahhas, A.M. Reconfigurable voltage mode first order multifunctional filter using single low voltage digitally controlled CMOS CCII. *Int. J. Comput. Appl.* **2012**, *45*, 37–40. [[CrossRef](#)]
- Pal, R.; Tiwari, R.C.; Pandey, R.; Pandey, N. Single CDBA based current mode first order multifunction filter. *Int. J. Eng. Sci. Technol.* **2014**, *6*, 444–451.
- Yuce, E.; Minaei, S. A First-order fully cascadable current-mode universal filter composed of dual output CCII and a grounded capacitor. *J. Circuits Syst. Comput.* **2016**, *25*, 1650042. [[CrossRef](#)]
- Safari, L.; Yuce, E.; Minaei, S. A new ICCII based resistor-less current-mode first-order universal filter with electronic tuning capability. *Microelectron. J.* **2017**, *67*, 101–110. [[CrossRef](#)]
- Kumar, A.; Paul, S.K. Current mode first order universal filter and multiphase sinusoidal oscillator. *AEU—Int. J. Electron. Commun.* **2017**, *81*, 37–49. [[CrossRef](#)]
- Tarunkumar, H.; Ranjan, A.; Pheiroijam, N.M. First order and second order universal filter using four terminal floating nullor. *Int. J. Eng. Technol.* **2018**, *7*, 192–198.
- Abaci, A.; Yuce, E. Voltage-mode first-order universal filter realizations based on subtractors. *AEU—Int. J. Electron. Commun.* **2018**, *90*, 140–146. [[CrossRef](#)]
- Agrawal, D.; Maheshwari, S. An active-C current-mode universal first-order filter and oscillator. *J. Circuits Syst. Comput.* **2019**, *28*, 1950219. [[CrossRef](#)]
- Jaikla, W.; Talabthong, P.; Siripongdee, S.; Supavarasuwat, P.; Suwanjan, P.; Chaichana, A. Electronically controlled voltage mode first order multifunction filter using low-voltage low-power bulk-driven OTAs. *Microelectron. J.* **2019**, *91*, 22–35. [[CrossRef](#)]
- Chaturvedi, B.; Kumar, A. Electronically tunable first-order filters and dual-mode multiphase oscillator. *Circuits Syst. Signal Process.* **2019**, *38*, 2–25. [[CrossRef](#)]
- Chaturvedi, B.; Kumar, A.; Mohan, J. Low voltage operated current-mode first-order universal filter and sinusoidal oscillator suitable for signal processing applications. *AEU—Int. J. Electron. Commun.* **2019**, *99*, 110–118. [[CrossRef](#)]
- Chaturvedi, B.; Mohan, J.; Jitender; Kumar, A. Resistorless realization of first-order current mode universal filter. *Radio Sci.* **2020**, *55*, 1–10. [[CrossRef](#)]
- Chaturvedi, B.; Mohan, J.; Kumar, A.; Pal, K. Current-mode first-order universal filter and its voltage-mode transformation. *J. Circuits Syst. Comput.* **2020**, *29*, 2050149. [[CrossRef](#)]
- Yuce, E.; Minaei, S. A new first-order universal filter consisting of two ICCII+ s and a grounded capacitor. *AEU—Int. J. Electron. Commun.* **2021**, *137*, 153802. [[CrossRef](#)]
- Jaikla, W.; Buakhong, U.; Siripongdee, S.; Khateb, F.; Sotner, R.; Silapan, P.; Suwanjan, P.; Chaichana, A. Single commercially available ic-based electronically controllable voltage-mode first-order multifunction filter with complete standard functions and low output impedance. *Sensors* **2021**, *21*, 7376. [[CrossRef](#)]
- Raj, A.; Bhaskar, D.R.; Senani, R.; Kumar, P. Extension of recently proposed two-CFOA-GC all pass filters to the realisation of first order universal active filters. *AEU—Int. J. Electron. Commun.* **2022**, *146*, 154119. [[CrossRef](#)]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

26. Kumar, A.; Kumar, S.; Elkamchouchi, D.H.; Urooj, S. Fully Differential Current-Mode Configuration for the Realization of First-Order Filters with Ease of Cascadability. *Electronics* **2022**, *11*, 2072. [CrossRef]
27. Raj, A. Mixed-mode electronically-tunable first-order universal filter structure employing operational transconductance amplifiers. *J. Circuits Syst. Comput.* **2022**, *31*, 2250234. [CrossRef]
28. Satansup, J.; Tangsrirat, W. CMOS realization of voltage differencing gain amplifier (VDGA) and its application to biquad filter. *Indian J. Eng. Mater. Sci.* **2013**, *20*, 457–464.
29. Channumsin, O.; Tangsrirat, W. Compact electronically tunable quadrature oscillator using single voltage differencing gain amplifier (VDGA) and all grounded passive elements. *Turk. J. Electr. Eng. Comput. Sci.* **2017**, *25*, 2686–2695. [CrossRef]
30. Taskiran, Z.G.C.; Sedef, H.; Anday, F. Voltage differencing gain amplifier-based nth-order low-pass voltage-mode filter. *J. Circuit. Syst. Comp.* **2018**, *27*, 1850089. [CrossRef]
31. Tangsrirat, W.; Channumsin, O.; Pimpol, J. Electronically adjustable capacitance multiplier circuit with a single voltage differencing gain amplifier (VDGA). *Inf. MIDEEM* **2019**, *49*, 211–217.
32. Roongmuanpha, N.; Tangsrirat, W.; Pukkalanun, T. Single VDGA-based mixed-bode universal filter and dual-mode quadrature oscillator. *Sensors* **2022**, *22*, 5303. [CrossRef] [PubMed]
33. National Semiconductor. LM13600: Dual Operational Transconductance Amplifiers with Linearizing Diodes and Buffers. Available online: <https://pdf1.alldatasheet.com/datasheet-pdf/view/8640/NSC/LM13600N.html> (accessed on 28 December 2022).

**Disclaimer/Publisher's Note:** The statements, opinions and data contained in all publications are solely those of the individual author(s) and contributor(s) and not of MDPI and/or the editor(s). MDPI and/or the editor(s) disclaim responsibility for any injury to people or property resulting from any ideas, methods, instructions or products referred to in the content.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# ECTI - CON 2020

The 17<sup>th</sup> International Conference  
on Electrical Engineering/Electronics, Computer,  
Telecommunications and Information Technology  
24 - 27 June 2020

Virtual Conference Hosted by College of Computing, Prince of Songkla University

**PROCEEDINGS & PROGRAM BOOK**



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# Floating Impedance Simulator Realization

Nutchak Likhitkiwoerakul, Natchanai Roongmuanpha, Worapong Tangsirat  
 Faculty of Engineering,  
 King Mongkut's Institute of Technology Ladkrabang (KMITL)  
 Bangkok 10520, Thailand  
 nutcha.lik@gmail.com, natchanai.roo@gmail.com, worapong.ta@kmitl.ac.th

**Abstract**—This paper presents the floating impedance function simulator using flipped voltage follower-based differential voltage to current converter (DVTC) along with three passive elements. With the proper selection of the three passive components, the floating inductor, capacitor and frequency-dependent negative resistor (FDNR) can be realized. The realized equivalent impedance value of the proposed simulator can be controlled conveniently by changing the passive element values. A second-order bandstop filter and third-order lowpass filter are designed using the proposed simulators as application examples. To verify the workability of the proposed circuit, simulation results are confirmed through PSPICE program using 0.25- $\mu\text{m}$  CMOS process parameters from TSMC (Taiwan Semiconductor Manufacturing Company).

**Keywords**—voltage to current convertor, flipped voltage follower, floating impedance simulator, RLC filter, CDR filter

## I. INTRODUCTION

Nowadays, passive elements i.e. resistor, inductor and capacitor are the most important electrical elements necessarily used in the area of analog signal processing applications such as sinusoidal oscillator design [1], circuit cancellation of unavoidable parasitic element values [2] and active RLC filter [3]. However, in integrated circuit technology, the large-valued physical passive elements suffer from large occupation of silicon chip area. From this reason, various analog researchers are mainly focused on the realization of an impedance simulator circuit using a modern active building block to replace the bulky physical passive elements. Since the active building block has been continuously enhanced for greater performance by the following advantages namely, simple circuit layout, improved linearity, higher frequency range with lower power dissipation and higher slew rates. In analog signal processing applications, it is well-known that the higher-order of Butterworth filter design required a large number of passive RLC elements, which the passive inductor spend a large chip area. To avoid this drawback, the realization of frequency-dependent negative resistor (FDNR) techniques employing a transformation of RLC filter to CDR filter is proposed [4]. In the literature, many impedance simulators have been developed [5]-[11]. However, the works of [5]-[9] employ three or more active elements to realize impedance simulators. Likewise, the simulators in [6], [7],[10]-[11] requires four or more passive elements. Other simulators [5], [10]-[11], their configurations are in ground topologies, which are not versatile and flexible for some applications [12]-[13].

The major purpose of this paper is to present a floating impedance function simulator employing flipped voltage follower-based differential voltage to current converter (DVTC) together with three passive components. Depending on the selection of passive elements, the proposed circuit can

simulate floating impedance function simulators i.e. inductor, capacitance multiplier and FDNR. The simulator circuits do not require any component matching conditions. Application examples, the proposed floating inductance simulator and floating capacitance multiplier circuit are used to synthesize a second-order bandstop filter. Moreover, a third-order lowpass filter has been synthesized by using a proposed FDNR simulator. The proposed simulator and its filter applications have been simulated through PSPICE program using CMOS 0.25- $\mu\text{m}$  technology from Taiwan Semiconductor Manufacturing Company, confirming the theoretical finding.

## II. DIFFERENTIAL VOLTAGE TO CURRENT CONVERTER (DVTC) AND PROPOSED IMPEDANCE SIMULATOR CIRCUIT

Fig.1 shows the CMOS implementation and the circuit symbol of the differential voltage to current converter (DVTC). The circuit mainly consists of flipped voltage follower with level shifter ( $M_{1p}$ - $M_{4p}$  and  $M_{1n}$ - $M_{5n}$ ) [14] together with current mirrors ( $M_6$ - $M_8$ ,  $M_9$ - $M_{10}$  and  $M_{11}$ - $M_{12}$ ).

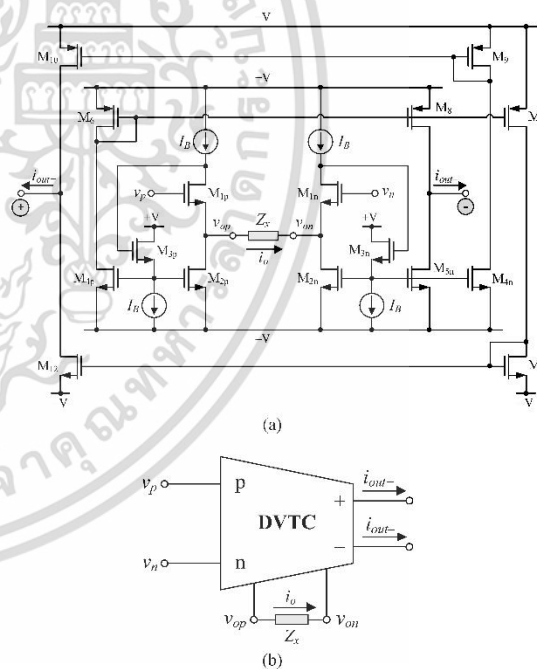


Fig.1. Differential voltage to current converter (DVTC). (a) CMOS implementation (b) circuit symbol

In the case of the transistors  $M_{5n} : M_{2n}$ ,  $M_7 : M_6$ ,  $M_{10} : M_9$ ,  $M_{12} : M_{11}$  is mirrored with a 1 : 2 current ratio. The output currents are found to be:

$$i_{out-} = i_{out+} = i_o = \frac{v_p - v_n}{Z_x} \quad (1)$$

The proposed floating impedance simulator circuit is shown in Fig.2, which consists of two DVTCs of Fig.1 and three external passive elements. Deriving the configuration of the circuit in Fig.2 using eq.(1), the equivalent impedance ( $Z_{eq}$ ) is found to be:

$$Z_{eq} = \frac{v_1 - v_2}{i_1} = \frac{v_2 - v_1}{i_2} = \frac{Z_1 Z_2}{Z_3} \quad (2)$$

From eq.(2), by appropriately selecting the passive components, the floating inductor, capacitance multiplier and FDNR can be realized as follows:

1) With  $Z_1 = R_1$ ,  $Z_2 = R_2$  and  $Z_3 = 1/sC_3$ , the floating inductor is established as

$$Z_{eq} = sL_{eq} = sR_1 R_2 C_3 \quad (3)$$

where the simulated equivalent inductance is obtained as  $L_{eq} = R_1 R_2 C_3$ .

2) With  $Z_1 = 1/sC_1$ ,  $Z_2 = R_2$  and  $Z_3 = R_3$ , the floating capacitance multiplier is established as

$$Z_{eq} = \frac{1}{sC_{eq}} = \frac{R_2}{sC_1 R_3} \quad (4)$$

where the simulated equivalent capacitance is obtained as  $C_{eq} = C_1(R_3/R_2)$ .

3) With  $Z_1 = 1/sC_1$ ,  $Z_2 = 1/sC_2$  and  $Z_3 = R_3$ , the floating FDNR is established as

$$Z_{eq} = \frac{1}{s^2 D_{eq}} = \frac{1}{s^2 C_1 C_2 R_3} \quad (5)$$

where the simulated equivalent D-element is obtained as  $D_{eq} = C_1 C_2 R_3$ .

The sensitivities performance of the equivalent impedance values are found to be:

$$S_{R_1, R_2, C_3}^{L_{eq}} = S_{C_1, R_3}^{C_{eq}} = S_{C_1, C_2, R_3}^{D_{eq}} = 1 \quad (6)$$

and

$$S_{R_2}^{C_{eq}} = -1 \quad (7)$$

From above expressions, it can be inspected that all the equivalent values of the component sensitivities are within unity in magnitude.

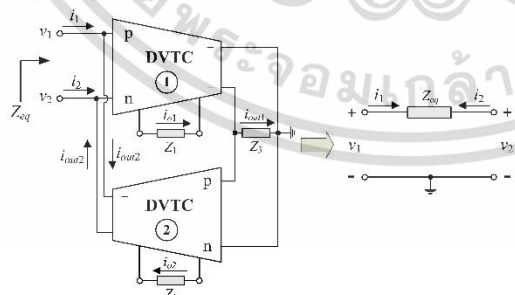


Fig.2. Proposed floating impedance simulator circuit.

### III. SIMULATIONS AND DISCUSSIONS

To prove the performance of the proposed floating impedance simulator circuit in Fig.2. The TSMC 0.25- $\mu$ m

CMOS technology real process parameter was simulated through PSPICE program with the supply voltages of  $\pm 0.75$  V and the bias current  $I_B = 50$   $\mu$ A. In simulation, the aspect ratios of the transistors are taken as listed in Table I.

TABLE I. TRANSISTOR ASPECT RATIOS FOR THE DVTC IN FIG.1.

Transistors	$W$ ( $\mu$ m)/ $L$ ( $\mu$ m)
$M_{1p}$ - $M_{1n}$ , $M_{1n}$ - $M_{4n}$ , $M_{11}$	2.5/0.25
$M_{5n}$ , $M_{12}$	1.14/0.25
$M_6$ , $M_8$ , $M_9$	3.75/0.25
$M_7$ , $M_{10}$	1.66/0.25

The simulated frequency responses for the proposed circuit with the following component values:  $R_1 = 1$  k $\Omega$ ,  $R_2 = 0.5$  k $\Omega$  and  $C_3 = 0.5$  nF, yielding the floating inductance simulator with  $L_{eq} = 0.25$  mH, is shown in Fig.3. Fig.4 shows the simulated time domain responses for an input voltage ( $v_{in}$ ) of 20 mV (peak) at  $f = 100$  kHz and an input current ( $i_{in}$ ) of the inductance simulator circuit. As it can be measured from the result that there is an approximately 88.99 $^\circ$  phase difference between  $v_{in}$  and  $i_{in}$ , which is very close to the theoretical result equal to 90 $^\circ$ . Moreover, the total power dissipation of the proposed inductor is approximately found to be 1.24 mW. It is credible to demonstrate that the simulated frequency responses agree very well with the theoretical results within the frequency range of about 10 kHz to 1 MHz. The floating inductance simulator can be varied by changing the value of  $C_3$  for three different values, i.e. 1 nF, 4 nF and 10 nF. As a result, the  $L_{eq}$  value was also changed to be 0.5 mH, 2 mH and 5 mH, respectively. The results are shown in Fig.5.

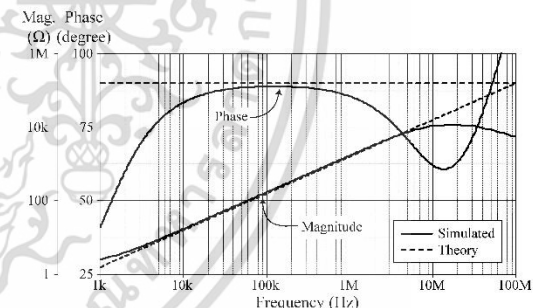


Fig.3. Simulation results for the floating inductance simulator in Fig.2.

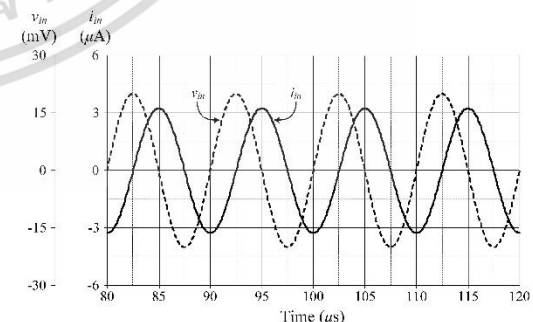


Fig.4. Simulated time responses of the inductance simulator in Fig.2.

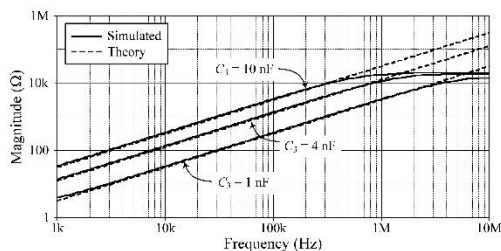


Fig.5. Simulated frequency responses of the inductance simulator in Fig.2 with changing  $C_3$ .

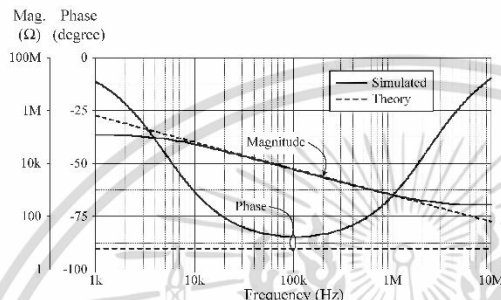


Fig.6. Simulation results for the floating capacitance multiplier in Fig.2.

By selecting the passive elements in Fig.2 with  $C_1 = 0.5$  nF,  $R_2 = 2$  k $\Omega$  and  $R_3 = 0.5$  k $\Omega$ , the frequency responses of the capacitance multiplier with  $C_{eq} = 250$  pF is shown in Fig.6. Furthermore, Fig.7 shows the time domain responses of the proposed capacitance multiplier that is simulated with  $v_{in} = 20$  mV (peak) at  $f = 100$  kHz. The phase shift between  $v_{in}$  and  $i_{in}$  of about  $-84.56^\circ$  can be observed which is in close agreement with the theoretical result of the capacitor equal to  $-90^\circ$ .

To demonstrate the tuning of the proposed capacitance multiplier circuit, the  $R_3$  value is varied as: 100  $\Omega$ , 500  $\Omega$ , 2 k $\Omega$ , 10 k $\Omega$  by keeping  $R_2$  to be constant at 0.5 k $\Omega$ . With these component choices, the following simulated capacitance multipliers are found to be 0.1 nF, 0.5 nF, 2 nF and 10 nF, respectively simulated frequency responses of the capacitance multiplier in Fig.2 with changing  $R_3$  are shown in Fig.8.

In addition, to the proposed impedance simulator in Fig.2, the floating FNDR with  $D_{eq} = 0.25$  f/s is accomplished with  $C_1 = 0.5$  nF,  $C_2 = 0.5$  nF and  $R_3 = 1$  k $\Omega$ . Fig.9 shows the simulation results for the floating FNDR simulator in Fig.2.

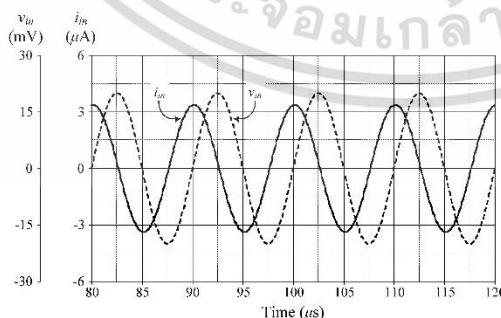


Fig.7. Simulated time responses of the capacitance multiplier in Fig.2.

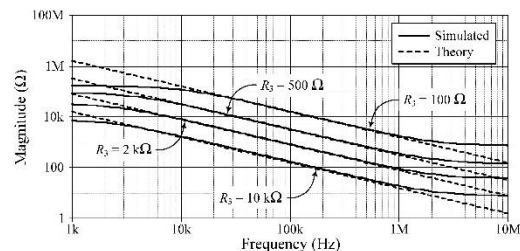


Fig.8. Simulated frequency responses of the capacitance multiplier in Fig.2 with changing  $R_3$ .

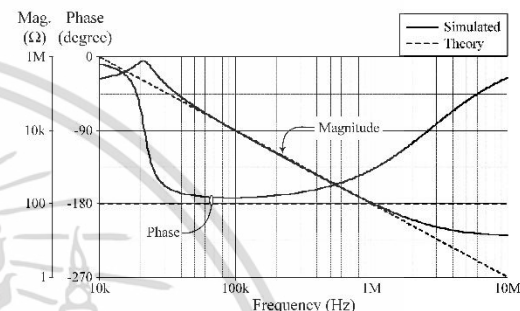


Fig.9. Simulation results for the floating FNDR simulator in Fig.2.

#### IV. APPLICATION EXAMPLES

To demonstrate some application examples of the proposed floating impedance simulator circuit in Fig.2, the second-order bandstop filter in Fig.10 and third-order lowpass filter in Fig.12(a) have been designed and simulated. The natural angular frequency ( $\omega_o$ ) and quality factor ( $Q$ ) of the bandstop filter of Fig.10 are given by:

$$\omega_o = 2\pi f_o = \sqrt{L_{eq} C_{eq}} \quad (8)$$

and

$$Q = R_{BS} \sqrt{\frac{C_{eq}}{L_{eq}}} \quad (9)$$

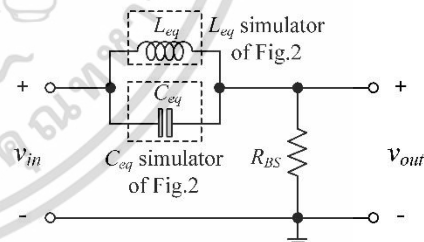


Fig.10. Bandstop filter with the proposed  $L_{eq}$  and  $C_{eq}$  simulators of Fig.2.

Fig.11 shows the frequency responses of the bandstop filter with  $R_{BS} \cong 158$   $\Omega$ ,  $L_{eq} = 0.25$  mH and  $C_{eq} = 10$  nF, resulting in  $f_o \cong 100$  kHz and  $Q = 1$ .

In Fig.12, the realization of the third-order RLC lowpass filter can be transformed to the CDR [4], [12], where the D-element in Fig.12(b) is realized by using the proposed FNDR of Fig.2. In simulations, the frequency response of the proposed filter  $f_c = 100$  kHz is displayed in Fig.13 by applying the components of the RLC filter as:  $R_5 = R_7 = 1.59$  k $\Omega$ ,  $L_1 = L_3 = 2.53$  mH and  $C_2 = 2$  nF. With magnitude

scaling factor ( $k_m$ ) of  $1.59 \times 10^3$  and frequency scaling factor ( $k_f$ ) of  $628.32 \times 10^3$ , the CDR filter has also been derived as:  $C_S = C_L = 1$  nF,  $R_{1(new)} = R_{3(new)} = 1.59$  k $\Omega$  and  $D_{eq2(new)} = 3.187$  fFs ( $C_1 = 1$  nF,  $C_2 = 1$  nF and  $R_3 = 3.187$  k $\Omega$ ).

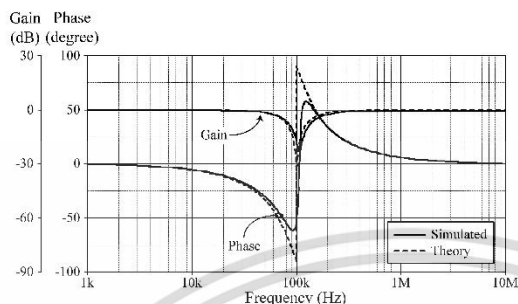


Fig.11. Simulation results for the second-order bandstop filter in Fig.10.

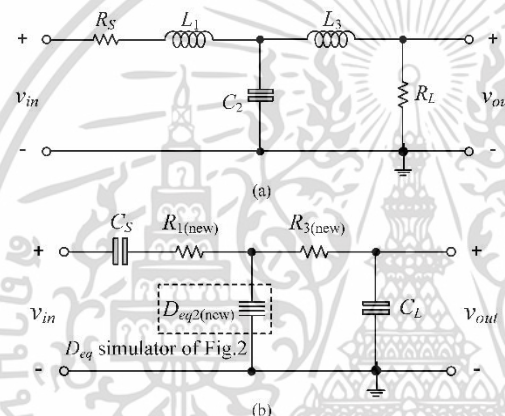


Fig.12. Third-order lowpass filter with the proposed  $D_{eq}$  simulator in Fig.2. (a) prototype RLC filter. (b) equivalent CDR filter using FDNR

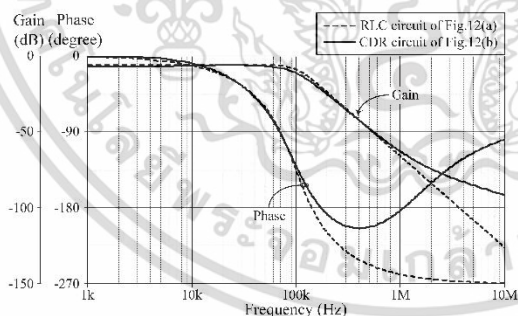


Fig.13. Simulation results for the third-order lowpass filter in Fig.12.

V. CONCLUSIONS

This paper has been presented the floating impedance simulator circuit using flipped voltage follower-based differential voltage to current converter (DVTC) together with three passive elements. The proposed circuit can realize three impedance function simulators. The equivalent values of the proposed circuit can be tuned conveniently by changing the values of the passive elements. The usefulness of the proposed circuit and its second-order bandstop filter and third-order lowpass filter applications are verified through PSPICE program with TSMC 0.25- $\mu$ m CMOS technology, demonstrating a well agreement with the theoretical analysis.

ACKNOWLEDGMENT

This work was supported by King Mongkut's Institute of Technology Ladkrabang Research Fund [grant number KREF046213].

REFERENCES

- [1] R. Sötner, J. Jerabek and N. Herencsar, "Voltage differencing buffered/inverted amplifiers and their applications for signal generation", *Radioengineering*, vol.22, no.2, pp.490-504, 2013.
- [2] G. Radhakrishna, "Inductorless active RC filters", *IETE J. Res.*, vol.22, no.8, pp.507-509, 1976.
- [3] F. Kaçar, A. Yeşil and A. Noori, "New CMOS realization of voltage differencing buffered amplifier and its biquad filter applications", *Radioengineering*, vol.21, no.1, pp.333-339, 2012.
- [4] L. T. Bruton, "Network transfer functions using the concept of frequency dependent negative resistance", *IEEE Trans. Circuit Theory*, vol.CT-16, pp.406-408, 1969.
- [5] M.T. Abuelma'atti and N.A. Tasadduq, "Electronically tunable capacitance multiplier and frequency-dependent negative resistance simulator using the current-controlled current conveyor", *Microelectron. J.*, vol.30, pp.869-873, 1999.
- [6] K. Pal, "Floating inductance and FDNR using positive polarity current conveyors", *Active and Passive Electronic Components*, vol.27, no.2, pp.81-83, 2004.
- [7] E. Yuçe, S. Minaei and O. Cicekoglu, "Resistorless floating immittance function simulators employing current controlled conveyors and a grounded capacitor", *Electrical Engineering*, vol.88, no.6, pp.519-525, 2006.
- [8] E. Yuçe, "Floating inductance, FDNR and capacitance simulation circuit employing only grounded passive elements", *Int. J. Electron.*, vol.93, no.10, pp.679-688, 2006.
- [9] B. Metin, S. Minaei, "Parasitic compensation in CCI-based circuits for reduced power consumption", *Analog Integr. Circ. Signal Process.*, vol.65, no.1, pp.157-162, 2010.
- [10] M. T. Abuelma'atti, "New grounded immittance function simulators using single current feedback operational amplifier", *Analog Integr. Circ. Signal Process.*, vol.71, no.1, pp.95-100, 2012.
- [11] M. Dogan and E. Yuçe, "Supplementary single active device based grounded immittance function simulators", *Int. J. Electron. Commun. (AFÜ)*, vol.94, pp.311-321, 2018.
- [12] M.E. Van Valkenburg, *Analog filter design*, Holt Rinehart and Winston, 1982.
- [13] S. Winder, *Analog and digital filter design*, 2nd ed., Newnes, 2002.
- [14] R. G. Carvajal, J. Ramirez-Angulo, A. J. Lopez-Martin, A. Torralba, J. A. G. Galan, A. Carlosena and F.M. Chavero, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design", *IEEE Trans. Circuits Syst. I: Regular Papers*, vol.52, no.7, pp.1276-1291, 2005.

Proceeding of the  
**2021 9<sup>th</sup> International Electrical Engineering Congress  
(iEECON 2021)**

March 10 – 12, 2021

Pattaya, Thailand



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# DVTC-Based Series RL/RC Impedance Simulator

Nutcha Likhitkitwoerakul, Natchanai Roongmuanpha, Worapong Tangsriarat  
School of Engineering,  
King Mongkut's Institute of Technology Ladkrabang (KMUTL),  
Bangkok 10520, Thailand  
63601018@kmitl.ac.th, natchanai.roo@gmail.com, worapong.ta@kmitl.ac.th

**Abstract**— In this study, a grounded impedance simulator employing differential voltage to current converter (DVTC) as an active element is presented. The proposed circuit consists of two DVTCs along with three passive elements. By properly selecting the three passive elements, the series RL and RC impedance can be simulated. The simulated equivalent resistance, inductance and capacitance values can be accessed by selecting the values of the passive elements. To confirm the workability of the proposed simulator, simulation results in comparison with the theoretical finding have been presented. Second-order current mode lowpass- and highpass- filters are performed as application examples to prove the performance of the proposed simulator.

**Keywords**— impedance simulator, flipped voltage follower, voltage to current converter, current mode filter

## I. INTRODUCTION

It is well known that the passive components such as inductor, capacitor and resistor are indispensably used in the active network design and synthesis. Due to various limitations of passive elements, this is not suitable for fabrication in integrated circuit (IC) technology. The active element has been continuously developed for higher workability by regarding these advantages i.e. simple circuitry, high linearity, low voltage and power consumption. Also, it has many interesting features that can be applied in an active filter, sinusoidal oscillator and parasitic element cancellations [1]. For these reasons, many previous articles have a target to design an impedance simulator which is realized by numerous active element [2]-[6]. However, in the literature, the works in [2]-[6] require a large number of active elements. Likewise, in [3]-[5], [7]-[8], these realizations need four or more passive elements. In 2005, the flipped voltage follower (FVF) was first introduced [9]. This cell was an enhanced buffer circuit which mainly used for IC design with low voltage and power operation, wider bandwidth and high slew rate. The basic FVF has a problem with the small input/output swing. However, this problem has been improved by adding the DC level shifter which this cell is called flipped voltage follower with level shifter (LSFVF) [10].

In this study, a grounded impedance simulator is discussed. The proposed simulator requires two differential voltage to current converters (DVTCs) based on the flipped voltage follower with level shifter and three passive components. By properly selection of the passive elements, the proposed simulator can realize grounded series RL/RC simulator. The realized equivalent elements can be controlled by

adjusting the values of passive RC components. The proposed simulator circuit has been simulated through PSPICE simulation using 0.25- $\mu\text{m}$  CMOS technology from TSMC. As application examples, 2<sup>nd</sup> order current mode lowpass- and highpass- filters as application examples have also been designed and simulated.

## II. CIRCUIT DESCRIPTION

### A. Differential Voltage to Current Converter (DVTC)

Fig.1 shows the circuit diagram and the circuit symbol of the DVTC cell [11]. The scheme consists of a flipped voltage follower with level shifter (LSFVF) ( $M_{1p}$ - $M_{4p}$  and  $M_{1n}$ - $M_{5n}$ ) along with current mirrors ( $M_6$ - $M_8$ ,  $M_9$ - $M_{10}$  and  $M_{11}$ - $M_{12}$ ). By setting the channel width ( $W$ ) of  $M_{5p}/M_{2n}$ ,  $M_7/M_6$ ,  $M_{10}/M_9$ ,  $M_{12}/M_{11}$  with a ratio of 0.5, the output currents ( $i_{out+}$ ,  $i_{out-}$ ) which were flow through the current output terminal of the DVTC can be given by:

$$i_{out+} = i_{out-} = i_o = \frac{v_p - v_n}{Z_x} \quad (1)$$

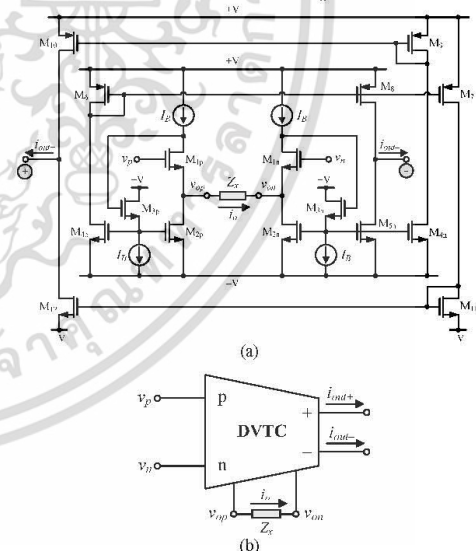


Fig.1. Differential voltage to current converter (DVTC).  
(a) CMOS realization (b) circuit symbol

### B. Proposed Series RL/RC Impedance Simulator

Fig.2 shows the proposed grounded impedance simulator, which contains only two DVTCs together with three passive elements. An analysis of the

proposed circuit using (1), the equivalent input impedance ( $Z_{in}$ ) is expressed as:

$$Z_{in} = \frac{v_{in}}{i_{in}} = Z_2 + Z_{eq} = Z_2 + \frac{Z_1 Z_2}{Z_3} \quad (2)$$

From the above equation, by the appropriate selection of the passive elements  $Z_1$ ,  $Z_2$  and  $Z_3$ , the grounded series RL/RC simulator can be realized as the following conditions:

1) If  $Z_1 = R_1$ ,  $Z_2 = R_2$  and  $Z_3 = 1/sC_3$ , then the series RL simulator is achieved with

$$Z_{in} = R_{eq} + sL_{eq} = R_2 + sR_1 R_2 C_3 \quad (3)$$

2) If  $Z_1 = 1/sC_1$ ,  $Z_2 = R_2$  and  $Z_3 = R_3$ , then the series RC simulator is achieved with

$$Z_{in} = R_{eq} + \frac{1}{sC_{eq}} = R_2 + \frac{R_2}{sC_1 R_3} \quad (4)$$

From (3)-(4), the simulated equivalent resistance ( $R_{eq}$ ), inductance ( $L_{eq}$ ) and capacitance ( $C_{eq}$ ) are respectively obtained as:

$$R_{eq} = R_2 \quad (5)$$

$$L_{eq} = R_1 R_2 C_3 \quad (6)$$

$$\text{and} \quad C_{eq} = C_1 (R_3 / R_2) \quad (7)$$

It can be noted that the proposed circuit does not need passive element matching provisos. The equivalent values ( $R_{eq}$ ,  $L_{eq}$  and  $C_{eq}$ ) of the simulated elements can be regulated conveniently by adjusting the values of the passive elements.

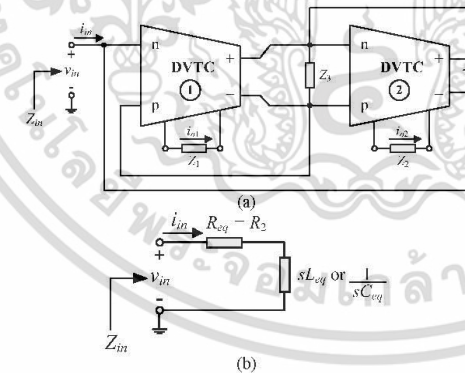


Fig.2. Proposed grounded impedance simulator circuit.  
(a) circuit diagram (b) equivalent circuit

### C. Non-Ideal Analysis

In consideration of the non-ideal parameter of the DVTC, the output currents ( $i_{out+}$  and  $i_{out-}$ ) of the DVTC can be re-expressed as:

$$i_{out+} = \frac{\alpha_p(s)(v_p - v_n)}{Z_x} \quad (8)$$

$$\text{and} \quad i_{out-} = \frac{\alpha_n(s)(v_p - v_n)}{Z_x} \quad (9)$$

where  $\alpha_p(s)$  and  $\alpha_n(s)$  are the frequency-dependent non-ideal transconductance gains of the DVTC. Using a single-pole-model approximation [12]-[13], these gains can be expressed as:

$$\alpha_p(s) = \frac{\alpha_{op}}{1 + (s/\omega_p)} \quad (10)$$

$$\text{and} \quad \alpha_n(s) = \frac{\alpha_{on}}{1 + (s/\omega_n)} \quad (11)$$

where  $\omega_p$  and  $\omega_n$  are pole frequency which mainly depend on the actual implementation of the DVTC. In an ideal case, the values of  $\omega_p$  and  $\omega_n$  are assumed to be infinite. In case of the frequencies less than  $\omega_p$  and  $\omega_n$ , it can be approximated as:  $\alpha_p(s) \cong \alpha_{op} = (1 + \varepsilon_p)$  and  $\alpha_n(s) \cong \alpha_{on} = (1 + \varepsilon_n)$ , where  $\varepsilon_p$  ( $|\varepsilon_p| \ll 1$ ) and  $\varepsilon_n$  ( $|\varepsilon_n| \ll 1$ ) are the transconductance errors.

Re-analysis the proposed simulator in Fig.2 using the DVTC non-idealities given in (8)-(9), the non-ideal input impedance at low and midband frequencies can be found as:

$$Z'_{in} = \frac{Z_2}{\alpha_{on2}} + \frac{Z_1 Z_2}{\alpha_{on1} \alpha_{on2} Z_3} \quad (12)$$

where the modified  $R'_{eq}$ ,  $L'_{eq}$  and  $C'_{eq}$  are equal to:

$$R'_{eq} = R_2 / \alpha_{on2} \quad (13)$$

$$L'_{eq} = (R_1 R_2 C_3) / (\alpha_{on1} \alpha_{on2}) \quad (14)$$

$$\text{and} \quad C'_{eq} = C_1 [(\alpha_{on1} \alpha_{on2} R_3) / R_2] \quad (15)$$

The relative sensitivities of the equivalent values with respect to the change in the active and passive component values can be derived as:

$$S_{R_2}^{R'_{eq}} = -S_{\alpha_{on2}}^{R'_{eq}} = 1 \quad (16)$$

$$S_{R_1, R_2, C_3}^{L'_{eq}} = -S_{\alpha_{on1}, \alpha_{on2}}^{L'_{eq}} = 1 \quad (17)$$

$$S_{C_1, R_3, \alpha_{on1}, \alpha_{on2}}^{C'_{eq}} = -S_{R_2}^{C'_{eq}} = 1 \quad (18)$$

All of which indicate that the proposed simulator has low active and passive sensitivities performance or equal to one in magnitude.

### III. SIMULATION VERIFICATION

The performance of the proposed RL/RC impedance simulator in Fig.2(a) has been simulated and compared with the theory through PSPICE simulation using TSMC 0.25- $\mu\text{m}$  CMOS real process parameter. In the simulation, the supply voltages and biasing currents are applied as, respectively:  $\pm V = 0.75$  V and  $I_B = 50$   $\mu\text{A}$ . The aspect ratio ( $W/L$ ) of all MOS transistors were set as: 2.5  $\mu\text{m}/0.25$   $\mu\text{m}$  for  $M_{1p}$ -

$M_{4p}$ ,  $M_{1n}$ - $M_{4n}$ ,  $M_{11}$ ,  $1.14 \mu\text{m}/0.25 \mu\text{m}$  for  $M_{5n}$ ,  $M_{12}$ ,  $3.75 \mu\text{m}/0.25 \mu\text{m}$  for  $M_6$ ,  $M_8$ ,  $M_9$  and  $1.66 \mu\text{m}/0.25 \mu\text{m}$  for  $M_7$ ,  $M_{10}$ .

The proposed grounded impedance simulator in Fig.2 was simulated with the following component values as:  $R_1 = 500 \Omega$ ,  $R_2 = 2 \text{ k}\Omega$  and  $C_3 = 100 \text{ pF}$ . As a result, a grounded series RL simulator with  $R_{eq} = 2 \text{ k}\Omega$  and  $L_{eq} = 100 \mu\text{H}$  is simulated. The simulation results are given in Fig.3, which shows that it operates pretty well up to the frequency of about 100 MHz. Fig.4 also shows the time domain responses for a sinusoidal input voltage ( $v_{in}$ ) of 20 mV (peak) at  $f = 5 \text{ MHz}$  which leads an input current ( $i_{in}$ ) by approximately  $60.96^\circ$  which is in close agreement with the theoretical analysis equal to  $57.46^\circ$ . To show the tunability features, the frequency responses of the proposed series RL simulator has been simulated with three different values of  $R_1$ , i.e.  $500 \Omega$ ,  $2 \text{ k}\Omega$  and  $5 \text{ k}\Omega$ , while setting  $R_2 = 1 \text{ k}\Omega$  and  $C_3 = 100 \text{ pF}$ . In this setting, the  $L_{eq}$  value has been changing through  $50 \mu\text{H}$ ,  $200 \mu\text{H}$  and  $500 \mu\text{H}$  while  $R_{eq}$  value is set to be constant at  $1 \text{ k}\Omega$ . The simulation results are shown in Fig.5.

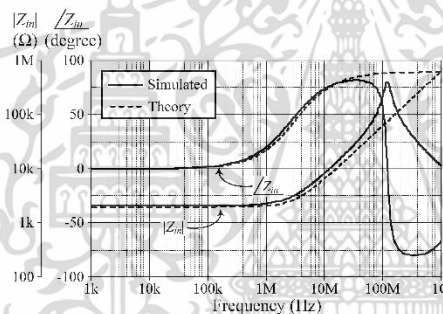


Fig.3. Simulation frequency response of the grounded series RL simulator.

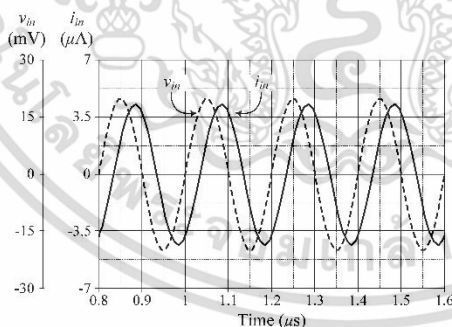


Fig.4. Time-domain responses for series RL simulator.

The grounded series RC simulator with  $R_{eq} = 1 \text{ k}\Omega$  and  $C_{eq} = 50 \text{ pF}$  has been simulated as shown in Fig.6. These results are obtained for  $C_1 = 100 \text{ pF}$ ,  $R_2 = 1 \text{ k}\Omega$  and  $R_3 = 500 \Omega$ . The simulation results of time domain responses with 20 mV(peak) of  $v_{in}$  at  $f = 5 \text{ MHz}$  is shown in Fig.7. The phase shift between  $v_{in}$  and  $i_{in}$  is approximately found to be  $-28.1^\circ$ , where the theoretical value is equal to  $-32.48^\circ$ . Moreover, Fig.8 shows the frequency responses of a series RC

simulator for tuning  $R_3$  value ( $R_3 = 2 \text{ k}\Omega$ ,  $5 \text{ k}\Omega$  and  $10 \text{ k}\Omega$ ), yielding  $C_{eq} = 200 \text{ pF}$ ,  $500 \text{ pF}$  and  $1 \text{ nF}$ , respectively.

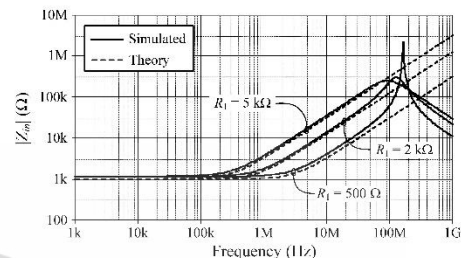


Fig.5. Frequency responses for series RL simulator with varying three values of  $R_1$ .

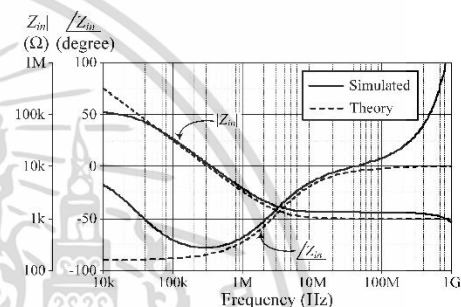


Fig.6. Simulation frequency response of the grounded series RC simulator.

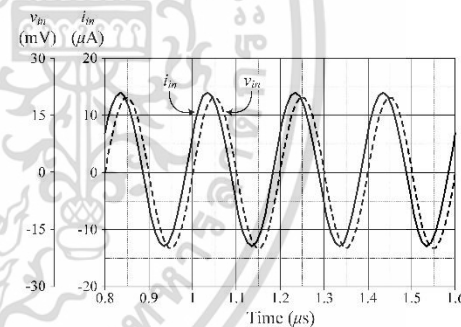


Fig.7. Time-domain responses for series RC simulator.

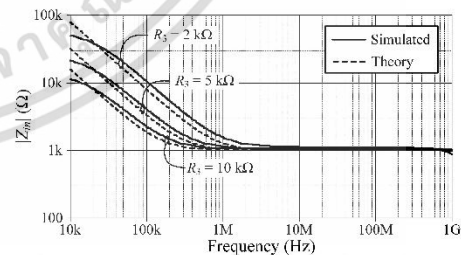


Fig.8. Frequency responses for series RC simulator with varying  $R_3$  value.

#### IV. APPLICATION EXAMPLES

In this section, application examples for the proposed grounded impedance simulator of Fig.2 are discussed. Fig.9 shows the current-mode RLC

lowpass filter in which the passive series RL branch is replaced by the proposed series RL impedance simulator in Fig.2. The natural angular frequency ( $\omega_0$ ) and quality factor ( $Q$ ) of the lowpass filter in Fig.9 are given by, respectively:  $\omega_0 = 1/(L_{eq}C_{LP})^{1/2}$  and  $Q = (1/R_{eq})(L_{eq}/C_{LP})^{1/2}$ . Fig.10 shows the frequency responses of the lowpass filter with  $R_{eq} = 1\text{ k}\Omega$ ,  $L_{eq} = 100\text{ }\mu\text{H}$  ( $R_1 = R_2 = 1\text{ k}\Omega$  and  $C_3 = 100\text{ pF}$ ) and  $C_{LP} = 100\text{ pF}$ , resulting in  $f_0 \cong 1.59\text{ MHz}$  and  $Q = 1$ .

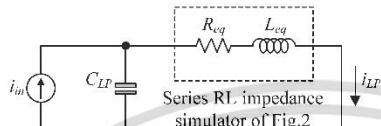


Fig.9. Current-mode lowpass filter using the proposed series RL impedance simulator in Fig.2.

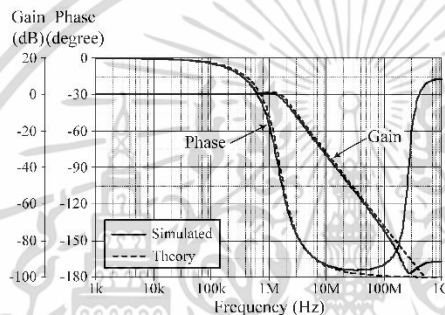


Fig.10. Frequency responses of the lowpass filter in Fig.9.

To verify the proposed series RC simulator, the current-mode highpass filter as shown in Fig.11 is also discussed by choosing the element values as:  $R_{eq} = 1\text{ k}\Omega$ ,  $C_{eq} = 50\text{ pF}$  ( $C_1 = 100\text{ pF}$ ,  $R_2 = 1\text{ k}\Omega$  and  $R_3 = 500\text{ }\Omega$ ) and  $L_{HP} = 200\text{ }\mu\text{H}$ . With these designed values, the filter with the following characteristics are realized:  $f_0 = (1/2\pi)(L_{HP}/C_{eq})^{1/2} = 1.59\text{ MHz}$  and  $Q = (1/R_{eq})(L_{HP}/C_{eq})^{1/2} = 2$ . The resultant characteristics are shown in Fig.12.

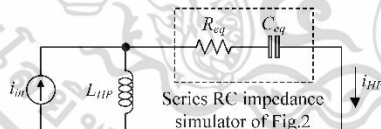


Fig.11. Current-mode highpass filter using the proposed series RC impedance simulator in Fig.2.

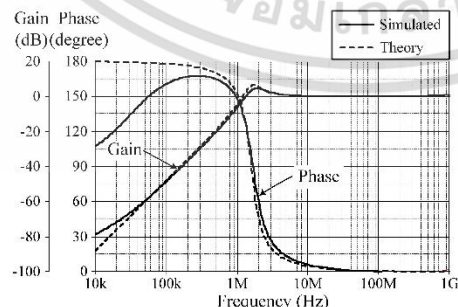


Fig.12. Frequency responses of the highpass filter in Fig.11.

V. CONCLUSIONS

This work presents a grounded impedance simulator employing two differential voltage to current converters (DVTCs) as an active element, to operate at low voltage and achieves low power dissipation, and three passive elements. The proposed circuit can realize series RL simulator and series RC simulator by properly selecting the passive elements. The realized equivalent values can be controlled by changing the passive element values. The workability and its application examples have been verified through the PSPICE simulation.

ACKNOWLEDGMENT

This work was supported by the School of Engineering, King Mongkut's Institute of Technology Ladkrabang.

REFERENCES

- [1] L. Serrano, A. Carlosena, "Active RC impedance revisited", *Int. J. Circ. Theory Appl.*, vol.25, pp.289–305, 1997.
- [2] C. L. Hou, R. D. Chen, Y. P. Wu, P. C. Hu, "Realization of grounded and floating immittance function simulators using current conveyors", *Int. J. Electron.*, vol.74, no.6, pp.917–923, 1993.
- [3] M. O. Cicekoglu, "Active simulation of grounded inductors with CCI+ and grounded passive elements", *Int. J. Electron.*, vol.85, no.4, pp.455–462, 1998.
- [4] O. Cicekoglu, A. Tokur, H. Kuntman, "Universal immittance function simulators using current conveyors", *Computers and Electrical Eng.*, vol.27, pp.227–238, 2001.
- [5] M. T. Ahmed, I. A. Khan and N. Minhaj, "Novel electronically tunable C-multipliers", *Electronics Letters*, vol.31, no.1, pp. 9–11, 1995.
- [6] M. T. Abuelmaatti and N. A. Tasadduq, "Electronically tunable capacitance multiplier and frequency-dependent negative-resistance simulator using the current-controlled current conveyor", *Microelectronics Journal*, vol.30, no.9, pp.869–873, 1999.
- [7] A. N. Paul, D. Patranabis, "Active simulation of grounded inductors using a single current conveyor", *IEEE Trans. Circuits Syst.*, vol.CAS-28, no.2, pp.164–165, 1981.
- [8] M. T. Abuelmaatti, "New grounded immittance function simulators using single current feedback operational amplifier", *Analog Integr. Circ. Sig. Process.*, vol.71, pp.95–100, 2012.
- [9] R. G. Carvajal, J. Ramirez-Angulo, A. J. Lopez-Martin, A. Torralba, J. A. G. Galan, A. Carlosena and F.M. Chavero, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design", *IEEE Trans. Circuits Syst. I: Regular Papers*, vol.52, no.7, pp.1276–1291, 2005.
- [10] J. Ramirez-Angulo, S. G. I. Padilla, R. G. Carvajal, A. Torralba, M. Jimenez and F. Munoz, "Comparison of conventional and new flipped voltage follower structures", *Proc. of Midwest Symposium on Circuits and Systems*, Covington, KY, USA, pp. 1151–1154, 2005.
- [11] N. Likhitkitwoerakul, N. Roongmanpha and W. Tangsrirat, "Floating general immittance function simulator", *Int. J. Electron. Commun. (AEU)*, vol.132, p.153640, 2021. doi: <https://doi.org/10.1016/j.aecu.2021.153640>.
- [12] A. Fabre, O. Saaid and H. Barthelemy, "On the frequency limitations of the circuits based on second generation current conveyors", *Analog Integr. Circ. Sig. Process*, vol.7, pp.113–129, 1995.
- [13] E. Yuce, S. Minaci and O. Cicekoglu, "Limitations of the simulated inductors based on a single current conveyor", *IEEE Trans. Circuits Syst. I: Regular Papers*, vol.53, no.12, pp.2860–2867, 2006.

# ICEAST 2021

The 7<sup>th</sup> International Conference on Engineering,  
Applied Sciences and Technology

April 1-3 2021 Pattaya, Thailand



## CALL FOR PAPERS

### Track:

- TRACK 1 - INDUSTRIAL ENGINEERING AND MANUFACTURING
- TRACK 2 - MECHANICAL, MECHATRONICS AND CIVIL ENGINEERING
- TRACK 3 - FOOD, CHEMICAL AND AGRICULTURAL ENGINEERING
- TRACK 4 - MATERIALS SCIENCE AND ENGINEERING, NANOTECHNOLOGY
- TRACK 5 - TELECOMMUNICATIONS, COMPUTER SCIENCE, INSTRUMENTATION AND CONTROL, ELECTRICAL AND ELECTRONIC ENGINEERING
- TRACK 6 - ACOUSTIC AND MUSIC ENGINEERING
- TRACK 7 - BIO-MEDICAL ENGINEERING
- TRACK 8 - ROBOTICS AND AI ENGINEERING



### Publications:

#### Journals:

Applied Sciences (Switzerland)  
Sensors and Materials  
Journal of Web Engineering  
Integrated Ferroelectrics  
Journal of Mobile Multimedia  
Current Applied Science and Technology (CAST)  
Thai Journal of Nanoscience and Nanotechnology (TJNN)

#### Proceedings :

IEEE Xplore  
AIP Conference Proceeding  
ICEAST2021 proceeding



Line Official: @iceast2021

### Important date

### For Proceedings

### For Journals

Abstract Submission Deadline	8 January 2021	8 January 2021
Notification of Abstract Acceptance	15 January 2021	15 January 2021
Full Paper Submission Deadline	1 February 2021	20 March-10 April 2021
Notification of Full Paper Acceptance	1 March 2021	depend on journals
Deadline for Early Registration	8 March 2021	8 March 2021
Normal Registration	9-27 March 2021	9-27 March 2021



<http://iceast.kmitl.ac.th/2021/>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CERTIFICATE OF

ORAL PRESENTATION AWARD

presented to

Mr. Nutchra Likhitkitwoerakul

for the paper entitled

“On The Realization of Grounded RL/RC  
Parallel Type Simulator”

Assistant Professor Dr. Wipoo Srisuebsai  
Dean, College of Nanotechnology, KMITL

Associate Professor Dr. Somyot Kiatwaidvilai  
Dean, School of Engineering, KMITL



**ieast**  
2021

The 7<sup>th</sup>  
International  
Conference  
on Engineering,  
Applied Sciences  
and Technology  
(Virtual conference)

April 1-3, 2021



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# On The Realization of Grounded RL/RC Parallel Type Simulator

Nutcha Likhitkitwoerakul, Natchanai Roongmuanpha, Worapong Tangsrirat  
 School of Engineering,  
 King Mongkut's Institute of Technology Ladkrabang (KMUTL),  
 Bangkok 10520, Thailand  
 63601018@kmitl.ac.th, natchanai.roo@gmail.com, worapong.ta@kmitl.ac.th

**Abstract**—An actively grounded RL/RC parallel type impedance simulator is presented. It contains two differential voltage to current converters (DVTCs) as an active element and three passive elements, and can simulate RL or RC parallel-type impedance by the proper selection of the external passive elements. The effect of the DVTC non-idealities on the realized simulator is also analyzed mathematically. The usability of the proposed circuit has been shown on the realizations of active second-order voltage mode highpass- and lowpass- filter. PSPICE simulation using TSMC 0.25- $\mu\text{m}$  CMOS technology is performed to demonstrate the behavior of the proposed simulator circuit and its filter applications.

**Keywords**—voltage to current converter, impedance simulator, flipped voltage follower, voltage mode filter

## I. INTRODUCTION

The RL and RC circuits are the most circuit parts in many electrical engineering applications such as active filter design, oscillator design, and parasitic element cancellations. Even so, the physical inductor and large-valued passive capacitor are unsuitable for integrated circuit (IC) fabrication point of view and also take up quite a lot of space of silicon chip area. Considering these facts, the demands for the inductance and capacitance simulator circuit are the important issue for advent IC design. From the literature, the design of immittance function simulator seems to be an interesting concept because its proposed circuit can realize different types of simulators by selecting the passive components without modifying its circuit structure [1]-[5]. This concept makes the circuit more flexible and easy to apply in many applications. The realization of immittance function simulators have been synthesized using a different kind of active element i.e. operational amplifier (OA) [1]-[2], second-generation current conveyor (CCII) [3], third-generation current conveyor (CCIII) [4] and current feedback operational amplifier (CFOA) [5]. Inspection of the previous works exposes that some of them suffer from the following drawbacks, the articles in [1]-[3], [5] require at least four to seven passive elements in its realization. In [2], [5] uses high supply voltages in its operation which resulting to consume a lot of power dissipation. These drawbacks of the previous article adversely affect the fabrication technology and its applications. In 2005, the useful cell called the flipped voltage follower (FVF) was first introduced which was used to establish low voltage, low power in analog and mixed-signal circuits [6].

This work deals with the active simulation of a grounded parallel RL/RC impedance based on the recently designed active element cell, the so-called differential voltage to current converter (DVTC) [7]. The DVTC cell is designed by based on flipped voltage follower with level shifter (LSFVF) to maintain low-power consumption and low-voltage operation. The proposed impedance simulator consisting of

two DVTCs and three passive elements can realize parallel RL or RC impedance by choosing the proper passive elements. As application examples, second-order voltage mode highpass- and lowpass- filter are designed using the proposed simulator. The circuit realizations are verified through the computer simulations using TSMC 0.25- $\mu\text{m}$  CMOS real process parameters.

## II. THE CONCEPT OF DIFFERENTIAL VOLTAGE TO CURRENT CONVERTER (DVTC)

Fig.1 shows the circuit symbol of the differential voltage to current converter (DVTC) and its CMOS implementation [7]. This device consists of a group of transistors  $M_{1p}$ - $M_{4p}$  and  $M_{1n}$ - $M_{3n}$  as a flipped voltage follower with level shifter (LSFVF) and a group of transistors  $M_5$ - $M_8$ ,  $M_9$ - $M_{10}$  and  $M_{11}$ - $M_{12}$  as current mirrors. The ratio of channel width ( $W$ ) for transistors  $M_{5n}$ : $M_{3n}$ ,  $M_7$ : $M_6$ ,  $M_{10}$ : $M_9$ ,  $M_{12}$ : $M_{11}$  used in this paper have been set as 1:2, yielding the output currents of the DVTC as:

$$i_{out+} = i_{out-} = i_o = \frac{v_p - v_n}{Z_x} \quad (1)$$

## III. PROPOSED PARALLEL TYPE RL/RC IMPEDANCE SIMULATOR

Fig.2, the proposed grounded impedance simulator which consists of two DVTCs and three passive elements is shown. Straightforward analysis of the proposed circuit with (1), the input admittance ( $Y_m$ ) can be expressed as:

$$Y_m = \frac{1}{Z_m} = \frac{1}{Z_1} + \frac{1}{Z_{eq}} = \frac{1}{Z_1} + \frac{Z_3}{Z_1 Z_2} \quad (2)$$

By inspection of (2), the grounded parallel RL or RC simulator can be realized by the following conditions:

1) If  $Z_1 = R_1$ ,  $Z_2 = R_2$  and  $Z_3 = 1/sC_3$ , the parallel RL impedance simulator is realized with the equivalent resistance and inductance equal to

$$R_{eq} = R_1 \quad \text{and} \quad L_{eq} = R_1 R_2 C_3 \quad (3)$$

2) If  $Z_1 = R_1$ ,  $Z_2 = 1/sC_2$  and  $Z_3 = R_3$ , the parallel RC impedance simulator is realized with the equivalent resistance and capacitance equal to

$$R_{eq} = R_1 \quad \text{and} \quad C_{eq} = \left( \frac{R_3}{R_1} \right) C_2 \quad (4)$$

Equations (3)-(4) imply that the proposed circuit can be performed the grounded RL- and RC- parallel type

impedance depending on the selection of the relevant impedances  $Z_1$ ,  $Z_2$  and  $Z_3$ .

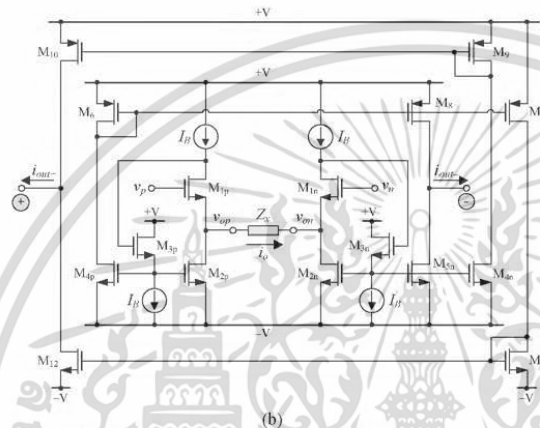
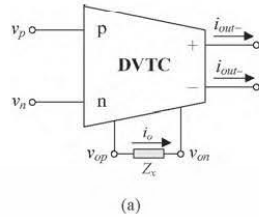


Fig. 1. Differential voltage to current converter (DVTC). (a) circuit symbol (b) internal CMOS structure

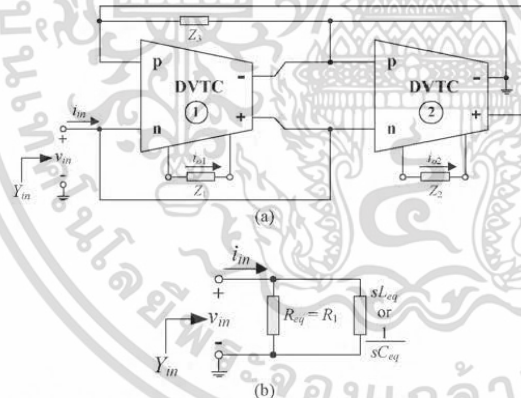


Fig. 2. Proposed grounded parallel RL/RC simulator circuit. (a) circuit diagram (b) equivalent circuit

#### IV. NON-IDEAL PERFORMANCE AND SENSITIVITY ANALYSES

Under the non-ideal operation, the output currents of the DVTC device given in (1) can be rewritten as:

$$i_{out+} = \frac{\alpha_p(s)(v_p - v_n)}{Z_x}, \quad (5)$$

$$\text{and} \quad i_{out-} = \frac{\alpha_n(s)(v_p - v_n)}{Z_x}, \quad (6)$$

where  $\alpha_p(s)$  and  $\alpha_n(s)$  are the frequency-dependent non-ideal transconductance gains of the DVTC device. Based on the single-pole-model approximation [8]-[9],  $\alpha_p(s)$  and  $\alpha_n(s)$  in (5)-(6) can be expressed as:

$$\alpha_p(s) = \frac{\alpha_{op}}{1 + \frac{s}{\omega_p}}, \quad (7)$$

$$\text{and} \quad \alpha_n(s) = \frac{\alpha_{on}}{1 + \frac{s}{\omega_n}}, \quad (8)$$

where  $\omega_p$  and  $\omega_n$  are pole frequency which mainly depend on the actual implementation of the DVTC. Their values are considered to be infinite in an ideal case. At the operating frequencies less than  $\omega_p$  and  $\omega_n$ , the values of  $\alpha_p(s)$  and  $\alpha_n(s)$  can be estimated as:  $\alpha_p(s) \cong \alpha_{op} = (1 + \epsilon_p)$  and  $\alpha_n(s) \cong \alpha_{on} = (1 + \epsilon_n)$ , where  $\epsilon_p$  ( $|\epsilon_p| \ll 1$ ) and  $\epsilon_n$  ( $|\epsilon_n| \ll 1$ ) are the transconductance errors.

By considering the non-ideal parameters of the DVTC, the non-ideal input admittance at low and medium frequencies can be given by:

$$Y_{in}' = \frac{\alpha_{op1}}{Z_1} + \frac{\alpha_{op1}\alpha_{op2}Z_3}{Z_1Z_2}, \quad (9)$$

It is clearly indicated from (9) that the non-ideal  $R'_{eq}$ ,  $L'_{eq}$  and  $C'_{eq}$  in this case are:

$$R'_{eq} = \frac{R_1}{\alpha_{op1}}, \quad (10)$$

$$L'_{eq} = \frac{R_1R_2C_3}{\alpha_{op1}\alpha_{op2}}, \quad (11)$$

$$\text{and} \quad C'_{eq} = \left( \frac{\alpha_{op1}\alpha_{op2}R_3}{R_1} \right) C_2. \quad (12)$$

To further evaluate the performance of the proposed grounded impedance simulator, the sensitivities of non-ideal equivalent values i.e.  $R'_{eq}$ ,  $L'_{eq}$  and  $C'_{eq}$  with respect to active and passive components can be calculated as:

$$S_{R_1}^{R'_{eq}} = -S_{\alpha_{op1}}^{R'_{eq}} = 1, \quad (13)$$

$$S_{R_1, R_2, C_3}^{L'_{eq}} = -S_{\alpha_{op1}, \alpha_{op2}}^{L'_{eq}} = 1, \quad (14)$$

$$\text{and} \quad S_{C_2, R_3, \alpha_{op1}, \alpha_{op2}}^{C'_{eq}} = -S_{R_1}^{C'_{eq}} = 1. \quad (15)$$

All of the sensitivity values obtained from (13)-(15) are not higher than unity in magnitude which can be concluded that the proposed simulator exhibit low active and passive sensitivity performances.

#### V. SIMULATION RESULTS

The proposed grounded impedance simulator circuit in Fig.2 has been demonstrated and correlated with the ideal results through PSPICE software. The internal CMOS structure of the DVTC in Fig.1(b) was simulated with TSMC 0.25- $\mu\text{m}$  CMOS parameters. The aspect ratios of  $W/L$  in  $\mu\text{m}/\mu\text{m}$

$\mu\text{m}$  were furnished as: 2.5/0.25 for  $M_{1p}$ - $M_{4p}$ ,  $M_{1n}$ - $M_{4n}$ ,  $M_{11}$ , 1.14/0.25 for  $M_{5n}$ ,  $M_{12}$ , 3.75/0.25 for  $M_6$ ,  $M_8$ ,  $M_9$  and 1.66/0.25 for  $M_7$ ,  $M_{10}$ . The supply voltages ( $\pm V$ ) and biasing current ( $I_B$ ) used in the simulation were 0.75 V and 50  $\mu\text{A}$ , respectively.

Fig.3(a) show frequency responses of the proposed grounded parallel RL simulator in Fig.2 with  $R_{eq} = 1 \text{ k}\Omega$  and  $L_{eq} = 100 \mu\text{H}$ . To achieve the above equivalent values, the passive components in Fig.2 were selected as:  $R_1 = R_2 = 1 \text{ k}\Omega$  and  $C_3 = 100 \text{ pF}$ . Fig.3(b) shows time domain responses for a sinusoidal input voltage ( $v_{in}$ ) of 40 mV peak to peak at  $f = 1 \text{ MHz}$  and an input current ( $i_{in}$ ) of the proposed RL simulator. The resulting waveforms clearly indicated that the voltage  $v_{in}$  leads the current  $i_{in}$  by  $58.83^\circ$  where the theoretical result equal to  $57.86^\circ$ .

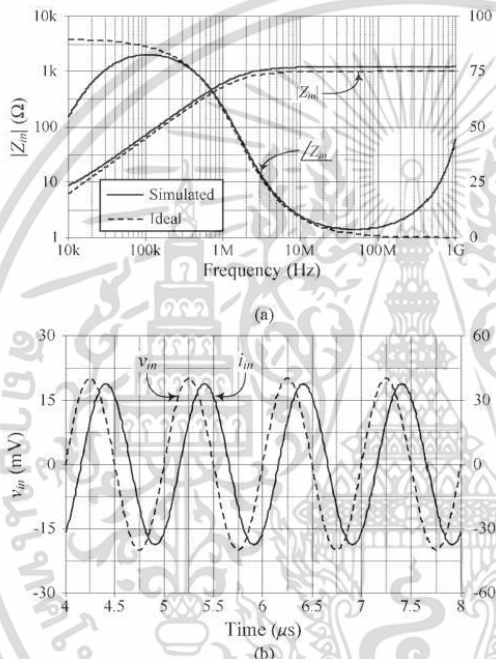


Fig.3. Simulation results of the proposed grounded parallel RL simulator. (a) frequency responses (b) time domain responses

Fig.4 shows the feature of adjusting the equivalent inductance value by changing three different values of  $R_2$ . The passive components, in this case, were taken as:  $R_1 = 1 \text{ k}\Omega$ ,  $C_3 = 100 \text{ pF}$  while  $R_2$  is varying through 500  $\Omega$ , 2 k $\Omega$  and 5 k $\Omega$ , yielding  $L_{eq} = 50 \mu\text{H}$ , 200  $\mu\text{H}$  and 500  $\mu\text{H}$ , respectively and  $R_{eq}$  was set to be constant at 1 k $\Omega$ .

The grounded parallel RC simulator in Fig.2 was simulated with  $R_1 = 500 \Omega$ ,  $C_2 = 100 \text{ pF}$  and  $R_3 = 1 \text{ k}\Omega$ . According to (4), the realized  $R_{eq}$  and  $C_{eq}$  are achieved as: 500  $\Omega$  and 0.2 nF, respectively as shown in Fig.5(a). Fig.5(b) shows the simulated input voltage and current waveforms of the RC simulator in Fig.2 when applying a sinusoidal input voltage ( $v_{in}$ ) of 40 mV peak to peak at a frequency of 1 MHz. The current waveform was leading the voltage waveform by  $28.91^\circ$  while the theoretical value is equal to  $32.14^\circ$ .

In order to show the tunability of the equivalent capacitance value, the passive  $R_3$  have been varying into

three different values i.e. 250  $\Omega$ , 2 k $\Omega$  and 5 k $\Omega$ , while  $R_1$  and  $C_2$  were set to be constant at, respectively, 500  $\Omega$  and 100 pF. Resulting to  $R_{eq} = 500 \Omega$  and  $C_{eq}$  equal to 50 pF, 0.4 nF and 1 nF.

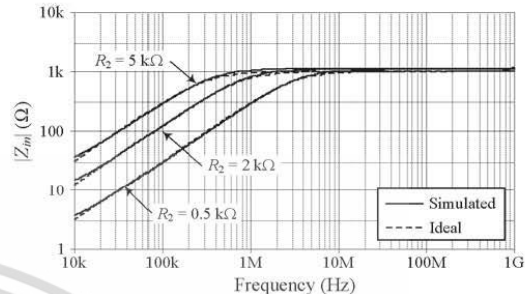


Fig.4. Frequency responses for parallel RL simulator with different values of  $R_2$ .

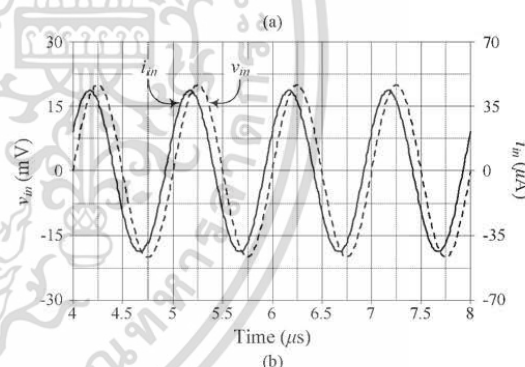
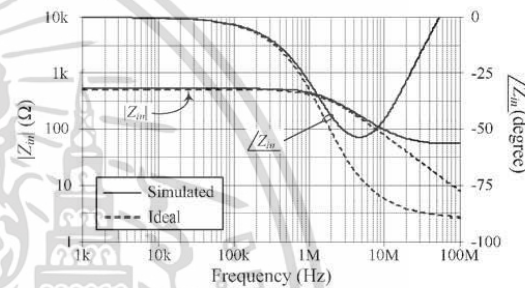


Fig.5. Simulation results of the proposed grounded parallel RC simulator. (a) frequency responses (b) time domain responses

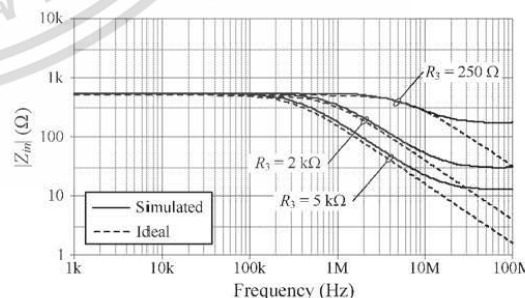


Fig.6. Frequency responses for parallel RC simulator with different values of  $R_3$ .

## VI. APPLICATION TO FILTER REALIZATIONS

To confirm the workability of the proposed grounded parallel RL simulator in Fig.2, the voltage mode highpass filter in Fig.7 was designed and simulated with the following component values:  $C_{HP} = 1$  nF,  $R_{eq} = 1$  k $\Omega$  and  $L_{eq} = 100$   $\mu$ H ( $R_1 = R_2 = 1$  k $\Omega$  and  $C_3 = 100$  pF). In this purpose, the natural frequency  $f_o = 1/2\pi(L_{eq}C_{HP})^{1/2} = 500$  kHz, while the quality factor  $Q = R_{eq}(C_{HP}/L_{eq})^{1/2} = 3.16$  as shown in Fig.8.

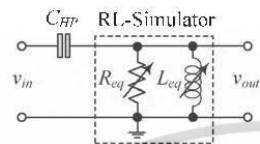


Fig.7. Voltage mode highpass filter using the proposed parallel RL simulator in Fig.2.

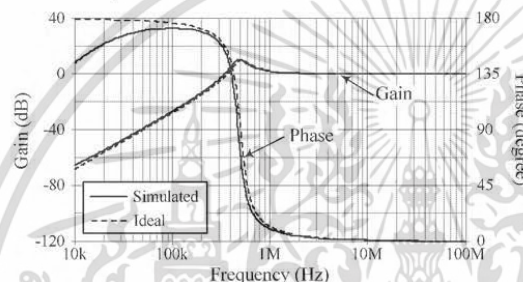


Fig.8. Frequency responses for the voltage mode highpass filter in Fig.7.

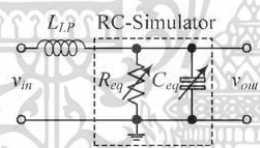


Fig.9. Voltage mode lowpass filter using the proposed parallel RC simulator in Fig.2.

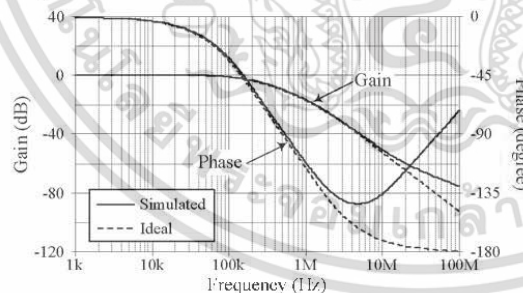


Fig.10. Frequency responses for the voltage mode lowpass filter in Fig.9.

The voltage mode lowpass filter in Fig.9 was designed and simulated by replacing the passive RC components with the proposed parallel RC simulator in Fig.2. The components in Fig.9 were chosen as:  $L_{LP} = 0.51$  mH,  $R_{eq} = 0.5$  k $\Omega$  and  $C_{eq} = 0.2$  nF ( $R_1 = 500$   $\Omega$ ,  $C_2 = 100$  pF and  $R_3 = 1$  k $\Omega$ ). By these component values, the  $f_o = 1/2\pi(L_{LP}C_{eq})^{1/2}$  and  $Q = R_{eq}(C_{eq}/L_{LP})^{1/2}$  can be obtained as 500 kHz and 0.3, respectively as plotted in Fig.10.

## VII. CONCLUSIONS

In this study, the grounded parallel type RL/RC simulator was presented. The circuit consists of two differential voltage to current converters (DVTCs) as an active component together with three passive components. The realized equivalent values can be controlled by changing the values of passive elements. The proposed simulator exhibit low active and passive sensitivities. To demonstrate the performance of the proposed circuit, second order voltage mode highpass- and lowpass- filter were designed and simulated through the PSPICE computer software which the results are corresponding and close to theoretical results.

## ACKNOWLEDGMENT

This work was supported by School of Engineering, King Mongkut's Institute of Technology Ladkrabang.

## REFERENCES

- [1] A. Leucuc, "Realisation of immittance functions with complex singularities by means of modified Antoniou GIC," *Electronics Letters*, vol.31, no.10, pp.770-771, 1995.
- [2] L. V. Wangenheim, "Modification of the classical GIC structure and its application to RC-oscillators," *Electronics Letters*, vol.32, no.1, pp.6-8, 1996.
- [3] H. Y. Wang and C. T. Joo, "Immittance function simulator using a single current conveyor," *Electronics Letters*, vol.33, no.7, pp.574-576, 1997.
- [4] S. I. Liu and C. Y. Yang, "Higher-order immittance function synthesis using CCIIIs," *Electronics Letters*, vol.32, no.25, pp.2295-2296, 1996.
- [5] M. I. Abuelata, "New grounded immittance function simulators using single current feedback operational amplifier," *Analog Integr. Circ. Sig. Process.*, vol.71, no.1, pp.95-100, 2011.
- [6] R. G. Carvajal, J. Ramirez-Angulo, A. J. Lopez-Martin, A. Torralba, J. A. G. Galan, A. Carlosena and F.M. Chavero, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design", *IEEE Trans. Circuits Syst. I: Regular Papers*, vol.52, no.7, pp.1276-1291, 2005.
- [7] N. Likhilkitwoerakul, N. Roongmanpha and W. Tangsrirat, "Floating general immittance function simulator", *Int. J. Electron. Commun.* (AFU), vol.132, p.153640, 2021. doi: <https://doi.org/10.1016/j.aue.2021.153640>.
- [8] A. Fabre, O. Saaid and H. Bartholomy, "On the frequency limitations of the circuits based on second generation current conveyors", *Analog Integr. Circ. Sig. Process.*, vol.7, pp.113-129, 1995.
- [9] E. Yuce, S. Minaei and O. Cicekoglu, "Limitations of the simulated inductors based on a single current conveyor", *IEEE Trans. Circuits Syst. I: Regular Papers*, vol.53, no.12, pp.2860-2867, 2006.

## ประวัติผู้เขียน

ชื่อ-นามสกุล	นายณัฐชา ลิขิตกิจวรกุล
วัน-เดือน-ปีเกิด	วันที่ 26 เมษายน พ.ศ. 2522
ที่อยู่	6 ซอยอุดมสุข 50 แยก 2-14 แขวงบางนาเหนือ เขตบางนา จังหวัด กรุงเทพฯ 10260
ประวัติการศึกษา	สำเร็จการศึกษาระดับปริญญาตรี หลักสูตรอุตสาหกรรมศาสตรบัณฑิต สาขาเทคโนโลยีไฟฟ้าอุตสาหกรรม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าพระนครเหนือ ปีการศึกษา 2544 และสำเร็จการศึกษาระดับปริญญาโท หลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยโตโก ประเทศญี่ปุ่น ปีการศึกษา 2549 และในปีการศึกษา 2563 ได้เข้าศึกษาต่อระดับปริญญาเอก หลักสูตรวิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้