

การออกแบบวงจรกรองสัญญาณดิจิทัลแบบผลตอบสนองอิมพัลส์ไม่จำกัด
ด้วยระเบียบวิธีเชิงตัวเลขและการดำเนินการด้วยเมทริกซ์ สำหรับใช้งาน
ชดเชยผลกระทบวงจรกรองกู่คีนและพาราเมตริกอีควอไลเซอร์

DESIGN OF DIGITAL IIR FILTER BASED ON NUMERICAL METHODS AND
MATRIX OPERATION FOR COMPENSATION OF RECONSTRUCTION FILTER
AND PARAMETRIC EQUALIZER



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต

สาขาวิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2566

KMITL-2023-EN-D- 018-118

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN OF DIGITAL IIR FILTER BASED ON NUMERICAL METHODS AND
MATRIX OPERATION FOR COMPENSATION OF RECONSTRUCTION FILTER
AND PARAMETRIC EQUALIZER



Thitaphan Jongsataporn

A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
SCHOOL OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2023
KMUTL-2023-EN-D- 018-118

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2023

SCHOOL OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรกรองสัญญาณดิจิทัลแบบผลตอบสนองอิมพัลส์ไม่จำกัด ด้วยระเบียบวิธีเชิงตัวเลขและการดำเนินการด้วยเมทริกซ์ สำหรับใช้งานซดเซยผลกระทบบวงจรรองกู่คีนและพาราเมตริกอีควอไลเซอร์
นักศึกษา	นายฐิตพันธ์ จงสถาพร
รหัสประจำตัว	58601006
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2566
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ผศ.ดร.ศรววัฒน์ ชิวปรีชา

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรกรองสัญญาณดิจิทัลแบบผลตอบสนองอิมพัลส์ไม่จำกัด (Infinite Impulse Response: IIR filter) โดยจะแบ่งเนื้อหาการนำเสนอการออกเป็น 2 ส่วนหลัก สำหรับประยุกต์ใช้ในงานที่แตกต่างกัน วิธีการแรกเป็นการออกแบบวงจรกรองสัญญาณด้วยการดำเนินการระเบียบวิธีเชิงตัวเลขผ่านหลักการของนิวตัน-ราฟสันแบบขยาย (Extended Newton-Raphson) ซึ่งวิธีการออกแบบที่นำเสนอจะใช้กับงานที่ต้องการให้ผลตอบสนองทางขนาดของวงจรกรองดิจิทัลมีคุณลักษณะเหมือนกับวงจรกรองแอนะล็อกทุกประการ ดังเช่นการประยุกต์ใช้งานในวิทยานิพนธ์นี้จะเป็นการออกแบบวงจรกรองซดเซยผลกระทบบวงจรรองกู่คีน ซึ่งจะช่วยให้สัญญาณเอาต์พุตที่เกิดขึ้นในระบบประมวลผลสัญญาณดิจิทัลที่สร้างขึ้นจริงทางฮาร์ดแวร์ไม่ถูกลดทอนขนาดลงใญ่านความถี่สูง โดยผลการทดลองได้แสดงให้เห็นว่าวิธีที่นำเสนอสามารถลดค่าผิดพลาดเฉลี่ย RMSE ลงได้ประมาณ 3 เท่าเมื่อเทียบกับงานวิจัยก่อนหน้า

นอกจากนั้นแล้วในวิทยานิพนธ์ฉบับนี้ได้นำเสนอการออกแบบวงจรกรองสัญญาณดิจิทัลในส่วนที่สองด้วยวิธีการดำเนินการทางเมทริกซ์อันมีพื้นฐานมาจากการแปลง s-z ด้วยไบลิเนียร์โดยใช้ไบลิเนียร์ปาสคาลเมทริกซ์มาช่วยในขั้นตอนการแปลงจากวงจรกรองสัญญาณแอนะล็อกเป็นดิจิทัล ทำให้การแปลงไบลิเนียร์ทำได้ง่ายและสะดวกขึ้น อย่างไรก็ตามโดยทั่วไปการแปลงไบลิเนียร์ด้วยไบลิเนียร์ปาสคาลเมทริกซ์จะทำการคำนวณสัมประสิทธิ์ในเทอมเศษและเทอมส่วนแยกอิสระจากกัน ดังนั้นวิธีการออกแบบนี้จะถูกปรับปรุงโดยประยุกต์การออกแบบพาราเมตริกอีควอไลเซอร์ด้วยวงจรกรองดิจิทัลไปควอเตรติกแบบหลายเอาต์พุต อันจะรวมการคำนวณสัมประสิทธิ์เทอมเศษและเทอมส่วนมาคำนวณที่สมการเมทริกซ์เดียวกัน ซึ่งการใช้งานจริงของพาราเมตริกอีควอไลเซอร์จะต้องมีการปรับเปลี่ยนพารามิเตอร์บ่อยครั้ง ดังนั้นการออกแบบที่นำเสนอจึงสามารถลดขั้นตอนการคำนวณ

สัมประสิทธิ์ให้มีความสะดวกมากยิ่งขึ้น โดยในขั้นตอนการทดลองจะเปรียบเทียบผลจากการจำลองการทำงานกับผลที่ได้จากการสร้างจริงบนบอร์ดประมวลผล STM32F769I ซึ่งผลการทดลองได้แสดงให้เห็นว่าวิธีการออกแบบที่นำเสนอนี้สามารถนำไปใช้งานได้ในรูปแบบการทำงานแบบเวลาจริง

อย่างไรก็ตามการออกแบบพาราเมตริกอีควอไลเซอร์ข้างต้นยังคงแยกการคำนวณสัมประสิทธิ์ออกจากโครงสร้างของวงจรรองสัญญาณ ดังนั้นในงานวิจัยสุดท้ายของวิทยานิพนธ์ฉบับนี้จึงได้นำเสนอการออกแบบพาราเมตริกอีควอไลเซอร์ปรับจูนได้ทันที โดยการปรับเปลี่ยนสัมประสิทธิ์และโครงสร้างของวงจรรองดิจิทัลไบควอเดรติกแบบหลายเอาต์พุตให้อยู่ในรูปของพารามิเตอร์ที่สามารถปรับจูนได้ α และ β ซึ่งจะช่วยให้เปลี่ยนคุณสมบัติของวงจรรองได้ทันทีโดยไม่ต้องคำนวณสัมประสิทธิ์ของวงจรรองขึ้นใหม่ โดยโครงสร้างปรับจูนที่นำเสนอนี้จะใช้การดำเนินการพื้นฐานของการประมวลผลสัญญาณดิจิทัล ดังนั้นวิธีที่นำเสนอนี้จึงมีความเหมาะสมที่จะถูกนำไปประยุกต์เป็นวงจรรองสัญญาณดิจิทัล/อีควอไลเซอร์ที่ปรับจูนได้ ที่สร้างอยู่ในลักษณะฮาร์ดแวร์ของวงจรรวม (Integrated Circuits: IC)



Thesis Title	DESIGN OF DIGITAL IIR FILTER BASED ON NUMERICAL METHODS AND MATRIX OPERATION FOR COMPENSATION OF RECONSTRUCTION FILTER AND PARAMETRIC EQUALIZER
Student	Mr. Thitaphan Jongsataporn
Student ID.	58601006
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2023
Thesis Advisor	Asst. Prof. Dr. Sorawat Chivapreecha

Abstract

This thesis presents the design of infinite impulse response (IIR) filter. The content is divided into two main parts for different applications. The first filter design method uses a numerical method through the extended Newton-Raphson. This proposed design approach is applicable to applications that need the amplitude response of a digital filter to be exactly the same as that of an analog filter. An exemplary application in this thesis will be the design of a compensation filter for the effects of a reconstruction filter. It ensures that the obtained output signal from the hardware implementation of digital signal processing system is not attenuated in the high frequency band. The results show that the proposed method can reduce the Root Mean Square Error (RMSE) by about 3 times compared to the previous studies.

The second part of this thesis, the digital filter design using matrix operations based on bilinear s - z transformation using the so-called bilinear Pascal matrix is proposed. The bilinear Pascal matrix assists in the transformation from analog filter to digital filter, making it possible to simplify the process of bilinear s - z transformation. However, in general, a design using bilinear Pascal matrix computes the filter coefficients in numerator and denominator terms through separate equations. Hence, this design method is improved to the design of parametric equalizer based on a multi-output biquadratic digital filter which combines the computation of numerator and

denominator coefficients using only one matrix equation. The necessity for frequent parameter adjustments is a key characteristic of parametric equalizers. As a result, this matrix-based design can simplify the coefficient computation procedure. The simulation results are compared with the experimental results obtained from the actual construction of the parametric equalizer system on the STM32F769I digital signal processor board. The experimental results show that the proposed design method can be implemented for real-time operation.

Although, the above-mentioned parametric equalizer design still keeps filter structure realization and filter coefficients computation apart. Therefore, the final contribution of this thesis presents a design of instantaneously tuned parametric equalizer. The characteristics of the parametric equalizer can be altered by modifying the coefficients and filter structure of the multi-output biquadratic digital filter in the form of tuning parameters. There is no need to recalculate the filter coefficients, instead tuning the parameters in the tunable filter structure to achieve the desired characteristics. Consequently, this proposed method is suitable to be applied as a tunable digital filter/equalizer built on IC (Integrated Circuits) chip..

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดีเนื่องจากข้าพเจ้าได้รับความกรุณา ความเมตตา จาก ผศ.ดร.ศรวัฒน์ ชิวปรีชา ที่คอยให้ความช่วยเหลือ ดูแลเอาใจใส่ แนะนำ ชี้แนะข้อบกพร่องและ ร่วมแก้ไขปัญหา ติดตามความก้าวหน้าของงานวิจัย รวมทั้งฝึกฝนให้ข้าพเจ้ามีทักษะทางการคิด การอ่าน การเขียนและการนำเสนอผลงานทางวิชาการ ซึ่งเป็นประโยชน์อย่างมากในการพัฒนาตนเอง

สุดท้ายนี้ข้าพเจ้าขอกราบขอบพระคุณบิดามารดาของข้าพเจ้าที่ได้ให้ชีวิตและโอกาสทางการ ศึกษา คอยเป็นกำลังใจและให้ความห่วงใยเสมอมา ตลอดจนคณาจารย์ทุกท่านที่กรุณาประสิทธิ์ ประสาทวิชาความรู้อันเป็นประโยชน์แก่ข้าพเจ้า

นายฐิตพันธ์ จงสถาพร



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ.....	I
Abstract	III
กิตติกรรมประกาศ.....	V
สารบัญ	VI
สารบัญตาราง	X
สารบัญภาพ	XI
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 วัตถุประสงค์.....	2
1.3 ขอบเขตวิทยานิพนธ์.....	3
1.4 รายละเอียดวิทยานิพนธ์.....	3
บทที่ 2 ทบทวนงานวิจัยที่เกี่ยวข้องและทฤษฎีพื้นฐาน.....	5
2.1 งานวิจัยที่เกี่ยวข้องกับการออกแบบวงจรกรองดิจิทัล IIR ให้มีคุณลักษณะทางขนาดเหมือน วงจรกรองแอนะล็อก.....	5
2.4 พาราเมตริกอีควอไลเซอร์.....	13
2.4.1 วงจรกรองแอนะล็อก Shelving.....	14
2.4.2 วงจรกรองแอนะล็อก Peaking	16
2.5 งานวิจัยที่เกี่ยวข้องกับการออกแบบดิจิทัลพาราเมตริกอีควอไลเซอร์.....	19
2.6 การออกแบบวงจรกรอง IIR ที่สามารถปรับค่าได้ทันที โดยใช้เทคนิคการแปลงความถี่.....	21
2.7 การออกแบบวงจรกรอง FIR ที่สามารถปรับจูนได้ทันที โดยใช้เทคนิคการแปลงความถี่.....	29
2.8 งานวิจัยที่เกี่ยวข้องกับการออกแบบวงจรกรองที่สามารถปรับค่าได้ทันที.....	31
บทที่ 3 การออกแบบวงจรกรองสัญญาณดิจิทัลสำหรับชดเชยผลกระทบของวงจรกรองกุ่มันแบบ แอนะล็อก ในระบบประมวลผลสัญญาณดิจิทัล.....	32
3.1 การออกแบบวงจรกรองชดเชยผลกระทบของวงจรกรองกุ่มัน โดยใช้ระเบียบวิธีนิวตัน-ราฟสัน และระเบียบวิธีแบ่งครึ่งช่วง.....	35

สารบัญ (ต่อ)

หน้า

3.2 การปรับปรุงวงจรรองชุดเซยผลกระทบบของวงจรรองกู่คีน โดยใช้ระเบียบวิธีนิวตัน-ราฟสัน แบบขยาย (Extended Newton-Raphson Method).....	40
3.2.1 การออกแบบวงจรรองดิจิทัลอันดับที่หนึ่ง ให้สัมพันธ์กับวงจรรองกู่คีนแบบแอนะล็อก อันดับที่หนึ่ง	42
3.2.2 การออกแบบวงจรรองดิจิทัลอันดับที่สอง ให้สัมพันธ์กับวงจรรองกู่คีนแบบแอนะล็อก อันดับที่สอง.....	42
3.3 การออกแบบวงจรรองดิจิทัลให้มีคุณลักษณะทางขนาดเหมือนวงจรรองแอนะล็อกที่อันดับใดๆ.....	45
3.4 ผลการออกแบบด้วยวิธีที่นำเสนอ.....	47
3.4.1 ผลการออกแบบวงจรรองชุดเซยผลกระทบบของวงจรรองกู่คีน.....	47
3.4.2 ผลการออกแบบวงจรรองดิจิทัลที่มีผลตอบสนองทางขนาดเหมือนวงจรรองแอนะล็อก.....	56
3.5 บทสรุป.....	59
บทที่ 4 การออกแบบและสร้างพาราเมตริกอีควอไลเซอร์แบบดิจิทัลด้วยวิธีแปลงโพลิเนียร์ปาสคาล เมทริกซ์	61
4.1 การแปลงโพลิเนียร์ด้วยโพลิเนียร์ปาสคาลเมทริกซ์.....	61
4.2 การออกแบบพาราเมตริกอีควอไลเซอร์จากวงจรรองแอนะล็อกต้นแบบ.....	64
4.2.1 ฟังก์ชันถ่ายโอนของวงจรรองแอนะล็อกต้นแบบ.....	64
4.2.2 การแปลง $s-z$ โดยวิธีโพลิเนียร์ด้วยโพลิเนียร์ปาสคาลเมทริกซ์.....	66
4.2.3 ตัวอย่างการออกแบบ.....	69
4.3 การสร้างพาราเมตริกอีควอไลเซอร์บนบอร์ดประมวลผลสัญญาณ STM32.....	72
4.3.1 ฮาร์ดแวร์ที่ใช้สำหรับพัฒนา.....	72
4.3.2 ซอฟต์แวร์สำหรับการพัฒนา.....	73
4.3.3 การสร้างพาราเมตริกอีควอไลเซอร์แบบดิจิทัล 5 แบนด์.....	73
4.4 ผลทดลองการสร้างพาราเมตริกอีควอไลเซอร์ดิจิทัลด้วยวิธีแปลงโพลิเนียร์ด้วยโพลิเนียร์ ปาสคาลเมทริกซ์	77
4.4.1. ผลการทดลองจากตัวอย่างการออกแบบคุณสมบัติที่ 1.....	77
4.4.2. ผลการทดลองปรับเปลี่ยนคุณสมบัติของพาราเมตริกอีควอไลเซอร์แบบดิจิทัล.....	80
4.4.3. วิเคราะห์ผลการทดลอง.....	84
4.5 บทสรุป.....	85

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
บทที่ 5 วงจรกรองดิจิทัลไมโครเวฟแบบหลายเอาต์พุตและการประยุกต์เป็นพาราเมตริกอีควอไลเซอร์.....	86
5.1 วงจรกรองดิจิทัลไมโครเวฟแบบหลายเอาต์พุต.....	87
5.2 การออกแบบดิจิทัลพาราเมตริกอีควอไลเซอร์แบบอสมมาตร.....	93
5.2.1 การออกแบบวงจรกรอง Peaking แบบอสมมาตร.....	93
5.2.2 การออกแบบวงจรกรองความถี่ต่ำผ่าน Shelving แบบอสมมาตร.....	94
5.2.3 การออกแบบวงจรกรองความถี่สูงผ่าน Shelving แบบอสมมาตร.....	94
5.2.4 วิธีการออกแบบพาราเมตริกอีควอไลเซอร์แบบอสมมาตร.....	95
5.3 การออกแบบดิจิทัลพาราเมตริกอีควอไลเซอร์แบบสมมาตร.....	101
5.3.1 วงจรกรอง Peaking แบบสมมาตร.....	101
5.3.2 วงจรกรอง Shelving แบบสมมาตร.....	104
5.3.3 วิธีออกแบบพาราเมตริกอีควอไลเซอร์แบบสมมาตร.....	107
5.4 การสร้างวงจรกรอง Peaking และวงจรกรอง Shelving ที่นำเสนอบนฮาร์ดแวร์.....	108
5.5 ผลการทดลอง.....	113
5.5.1 ผลการจำลองการทำงานจากการออกแบบด้วยวิธีอสมมาตร.....	113
5.5.2 ผลการจำลองการทำงานจากการออกแบบด้วยวิธีสมมาตร.....	117
5.5.3 ผลการจำลองการทำงานของวงจรกรองหลายเอาต์พุต.....	123
5.5.4 ผลการสร้างจริงบนบอร์ด STM32.....	129
5.6 สรุปงานวิจัย.....	136
บทที่ 6 พาราเมตริกอีควอไลเซอร์ที่ปรับจูนได้ทันที.....	137
6.1 วงจรกรองดิจิทัลไมโครเวฟหลายเอาต์พุตที่ปรับจูนได้ทันที.....	137
6.2 การออกแบบพาราเมตริกอีควอไลเซอร์ดิจิทัลแบบอสมมาตรที่ปรับจูนได้ทันที.....	149
6.2.1 การออกแบบวงจรกรอง Peaking แบบอสมมาตรที่ปรับจูนได้ทันที.....	149
6.2.1 การออกแบบวงจรกรอง Shelving แบบอสมมาตรที่ปรับจูนได้ทันที.....	152
6.3 การออกแบบพาราเมตริกอีควอไลเซอร์ดิจิทัลแบบสมมาตรที่ปรับจูนคุณลักษณะได้ทันที.....	162
6.3.1 การออกแบบวงจรกรอง Peaking แบบสมมาตรที่ปรับจูนคุณลักษณะได้ทันที.....	162
6.3.2 การออกแบบวงจรกรอง Shelving แบบสมมาตรที่ปรับจูนคุณลักษณะได้ทันที.....	164

สารบัญ (ต่อ)

	หน้า
6.4 ผลทดลองจำลองการทำงาน.....	167
6.4.1 ผลการทดลองการออกแบบวงจรกรอง Peaking.....	167
6.4.2 ผลการทดลองการออกแบบวงจรกรองความถี่ต่ำผ่าน Shelving	173
6.4.3 ผลการทดลองการออกแบบวงจรกรองความถี่สูงผ่าน Shelving.....	177
6.5 สรุปงานวิจัย.....	181
บทที่ 7 สรุปผลการวิจัย และข้อเสนอแนะ	184
7.1 บทสรุป.....	184
7.2 ข้อเสนอแนะและแนวทางการพัฒนาต่อ.....	185
เอกสารอ้างอิง.....	187
ภาคผนวก ก ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่.....	193
ประวัติผู้เขียน	232

สารบัญตาราง

ตารางที่	หน้า
2.1 อัตราขยายของวงจรรองดิจิทัล ที่ความถี่ 0 , ω_c , และ π	9
3.1 ขนาดของผลตอบสนองทางขนาดในวงจรรองดิจิทัล	36
3.2 ค่าผิดพลาดเฉลี่ย	52
3.3 ผลการวัดเวลาการคำนวณของวิธีการออกแบบวงจรรองที่นำเสนอ	59
4.1 ตัวอย่างคุณสมบัติของพารามetriกรีควอไลเซอร์ จำนวน 5 bands คุณสมบัติที่ 1	70
4.2 ความถี่นอร์มัลไลซ์ (rad) และอัตราขยายเชิงเส้นของพารามetriกรีควอไลเซอร์คุณสมบัติที่ 1	70
4.3 คุณสมบัติของพารามetriกรีควอไลเซอร์สำหรับการทดลองคุณสมบัติที่ 2	81
4.4 คุณสมบัติของพารามetriกรีควอไลเซอร์สำหรับการทดลองคุณสมบัติที่ 3	82
4.5 คุณสมบัติของพารามetriกรีควอไลเซอร์สำหรับการทดลองคุณสมบัติที่ 4	83
5.1 คุณสมบัติของพารามetriกรีควอไลเซอร์ที่ใช้ในการทดลอง (คุณสมบัติที่ 1)	130
5.2 คุณสมบัติของพารามetriกรีควอไลเซอร์ที่ใช้ในการทดลอง (คุณสมบัติที่ 2)	133
5.3 ค่าผิดพลาด RMSE และผิดพลาดสัมบูรณ์สูงสุด (E_{max})	135
5.4 ผลการใช้งาน CPU สำหรับพารามetriกรีควอไลเซอร์ 5 แบนด์บน STM32F769	135
6.1 แสดงค่าผลลัพธ์ของ α สำหรับแต่ละค่าของ β จากความสัมพันธ์ในสมการที่ (6.42)	158
6.2 พารามetriเตอร์ที่ต้องปรับสเกลสำหรับการออกแบบพารามetriกรีควอไลเซอร์ดิจิทัล แบบสมมาตร	162
6.3 เปรียบเทียบพารามetriเตอร์ปรับจูนสำหรับการทดลองที่ 1 ของวงจรรอง Peaking	167
6.4 เปรียบเทียบพารามetriเตอร์ปรับจูนสำหรับการทดลองที่ 2 ของวงจรรอง Peaking	169
6.5 เปรียบเทียบพารามetriเตอร์ปรับจูนสำหรับการทดลองที่ 3 ของวงจรรอง Peaking	171
6.6 เปรียบเทียบพารามetriเตอร์ปรับจูนการทดลองที่ 1 ของวงจรรองความถี่ต่ำผ่าน Shelving	173
6.7 เปรียบเทียบพารามetriเตอร์ปรับจูนการทดลองที่ 2 ของวงจรรองความถี่ต่ำผ่าน Shelving	175
6.8 เปรียบเทียบพารามetriเตอร์ปรับจูนการทดลองที่ 1 ของวงจรรองความถี่สูงผ่าน Shelving	177
6.9 เปรียบเทียบพารามetriเตอร์ปรับจูนการทดลองที่ 2 ของวงจรรองความถี่สูงผ่าน Shelving	179
6.10 เปรียบเทียบจุดเด่นและจุดด้อย ของการออกแบบพารามetriกรีควอไลเซอร์ใน บทที่ 4 - บทที่ 6	182

สารบัญภาพ

ภาพที่	หน้า
2.1 แผนภาพบล็อกของระบบประมวลผลสัญญาณดิจิทัล.....	5
2.2 การเปรียบเทียบผลตอบสนองทางขนาดของวงจรรอง Notch (ก) แบบไม่มีวงจรรองชดเชย และ (ข) แบบมีวงจรรองชดเชย [3], [4].....	6
2.3 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตที่ผ่านและไม่ผ่านวงจรรองกู่คีน [3], [4].....	6
2.4 วงจรรองความถี่ต่ำผ่านแอนะล็อกอันดับที่ 1 แบบ Passive [3].....	7
2.5 แผนภาพบล็อกของระบบประมวลผลสัญญาณดิจิทัล.....	8
2.6 การเปรียบเทียบผลตอบสนองทางขนาดของการแปลง s-z ด้วยวิธี Approximation of Derivative และการแปลงโพลิเนียร์.....	9
2.7 ผลตอบสนองทางขนาดของวงจรรองดิจิทัลที่ต้องการออกแบบ.....	10
2.8 การเปรียบเทียบผลตอบสนองทางขนาดของวงจรรองชดเชยด้วยวิธีการออกแบบใน [6] และการออกแบบด้วยวิธี Approximation of Derivative.....	12
2.9 แสดงการต่อเรียงของพารามetriกรอไอควอไลเซอร์ [8].....	14
2.10 ผลตอบสนองทางขนาดของฟังก์ชันถ่ายโอน (2.15) ด้วย V_0 ที่แตกต่างกันและ $f_c=100\text{Hz}$ [8].....	15
2.11 ผลตอบสนองทางขนาดของฟังก์ชันถ่ายโอน (2.16) ด้วย V_0 ที่แตกต่างกันและ $f_c=100\text{Hz}$ [8].....	15
2.12 ผลตอบสนองทางขนาดของวงจรรอง Peaking โดยกำหนดให้ความถี่ศูนย์กลาง $f_0 = 500\text{Hz}$, $Q = 1.25$, และอัตราขยาย V_0 เปลี่ยนแปลง [8].....	17
2.13 ผลตอบสนองทางขนาดของวงจรรอง Peaking โดยกำหนดให้ความถี่ศูนย์กลาง $f_0 = 500\text{Hz}$, อัตราขยาย $V_0 = \pm 16\text{dB}$, และ $Q = 0.707, 1.25, 2.5, 3, 5$, [8].....	18
2.14 ผลตอบสนองทางขนาดของวงจรรอง Peaking โดยกำหนดให้อัตราขยาย $V_0 = \pm 16\text{dB}$, $Q = 1.25$, และความถี่ศูนย์กลาง $f_0 = 50, 200, 1000, 4000\text{ Hz}$ [8].....	18
2.15 การเปรียบเทียบผลตอบสนองทางขนาดของวงจรรอง Peaking ดิจิทัล ระหว่างการออกแบบด้วยวิธีการแปลงจากวงจรรองแอนะล็อกต้นแบบ (เส้นสีแดง) กับการออกแบบด้วยวิธีประมาณโดยใช้เทคนิคการวางโพล-ซีโร [10] (เส้นสีน้ำเงิน).....	20
2.16 แผนภาพบล็อกของระบบที่ใช้ในงานวิจัย [14].....	21
2.17 แนวคิดการออกแบบวงจรรองความถี่ต่ำผ่านที่สามารถปรับความถี่ตัดได้ทันทีผ่านพารามิเตอร์ η [16].....	22
2.18 เส้นทางการออกแบบวงจรรองดิจิทัล IIR ทั้งสองเส้นทาง [17].....	23
2.19 โครงสร้างของ $A(z, \eta)$ [16].....	24

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
2.20 ความสัมพันธ์ระหว่างพารามิเตอร์ปรับความถี่ตัด (η), ความถี่ตัดนอร์มัลไลซ์ดิจิทัลของวงจรรองต้นแบบ (ω'_0), และความถี่ตัดนอร์มัลไลซ์ดิจิทัลของวงจรรองที่สามารถปรับความถี่ตัดได้ทันที (ω_0) ..26	
2.21 (ก) โครงสร้างของวงจรรองดิจิทัลต้นแบบและ (ข) วงจรรองดิจิทัลที่สามารถปรับความถี่ตัดได้ทันที [16]	27
2.22 ปัญหา delay-free loop ที่เกิดขึ้นในวงจรรองดิจิทัลที่สามารถปรับความถี่ตัดได้ทันที	28
2.23 โครงสร้างวงจรรองสัญญาณเชิงเลข FIR แบบหลายเอาต์พุต [21].....	29
2.24 โครงสร้างวงจรรองสัญญาณเชิงเลขผ่านตลอดอันดับที่ 1 (first-order allpass filter) [21]	30
2.25 โครงสร้างวงจรรองสัญญาณเชิงเลข FIR แบบหลายเอาต์พุตที่สามารถปรับจูนได้ทันที [21].....	30
3.1 วงจรรองดิจิทัลที่มีผลตอบสนองทางขนาดเหมือนวงจรรองกูกิ้นแอนะล็อก.....	33
3.2 ผลตอบสนองทางขนาดของวงจรรองชดเชยผลกระทบของวงจรรองกูกิ้นแอนะล็อก	34
3.3 ตัวอย่างการใช้งานวงจรรองชดเชยผลกระทบของวงจรรองกูกิ้นแอนะล็อก.....	34
3.4 ผลตอบสนองทางขนาดของวงจรรองกูกิ้นแบบแอนะล็อกอันดับที่หนึ่ง.....	35
3.5 ฟังก์ชันของระเบียบวิธีแบ่งครึ่งช่วง	40
3.6 แผนผังของระเบียบวิธีนิวตัน-ราฟสันแบบขยาย (Extended Newton-Raphson Method)	44
3.7 การเปรียบเทียบผลความผิดพลาดในรูปแบบ RMSE ของการออกแบบทั้ง 3 วิธี.....	47
3.8 การเปรียบเทียบผลความผิดพลาดในรูปแบบ NRMSE ของการออกแบบทั้ง 3 วิธี	48
3.9 การเปรียบเทียบผลตอบสนองทางขนาดและค่าผิดพลาดสัมบูรณ์ของการออกแบบทั้ง 3 วิธีที่ความถี่ตัด 0.2π rad (ก) วิธีออกแบบใน [6], (ข) วิธีออกแบบใน [7], (ค) ออกแบบด้วยวิธีการที่นำเสนอ (1 st Order), (ง) ออกแบบด้วยวิธีการที่นำเสนอ (2 nd Order), (จ) เปรียบเทียบค่าผิดพลาดสัมบูรณ์.....	49
3.10 การเปรียบเทียบผลตอบสนองทางขนาดและค่าผิดพลาดสัมบูรณ์ของการออกแบบทั้ง 3 วิธีที่ความถี่ตัด 0.5π rad (ก) วิธีออกแบบใน [6], (ข) วิธีออกแบบใน [7], (ค) ออกแบบด้วยวิธีการที่นำเสนอ (1 st order), (ง) ออกแบบด้วยวิธีการที่นำเสนอ (2 nd order) , (จ) เปรียบเทียบค่าผิดพลาดสัมบูรณ์.....	50
3.11 การเปรียบเทียบผลตอบสนองทางขนาดและค่าผิดพลาดสัมบูรณ์ ของการออกแบบทั้ง 3 วิธีที่ความถี่ตัด 0.8π rad (ก) วิธีออกแบบใน [6], (ข) วิธีออกแบบใน [7], (ค) ออกแบบด้วยวิธีการที่นำเสนอ (1st order), (ง) ออกแบบด้วยวิธีการที่นำเสนอ (2nd order) , (จ) เปรียบเทียบค่าผิดพลาดสัมบูรณ์.....	51

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
3.12 สัญญาณเอาต์พุตของวงจรรองกึ่งคลื่นแบบแอนะล็อก และผลตอบสนองทางขนาดของวงจรรองกึ่งคลื่นแบบแอนะล็อก โดยไม่ผ่านวงจรรองชดเชยแบบดิจิทัล (ก) สัญญาณเอาต์พุตที่ความถี่ 2 kHz, (ข) สัญญาณเอาต์พุตที่ความถี่ 4 kHz, (ค) สัญญาณเอาต์พุตที่ความถี่ 6 kHz, (ง) สัญญาณเอาต์พุตที่ความถี่ 8 kHz, (จ) ผลตอบสนองทางขนาดของวงจรรองกึ่งคลื่นแบบแอนะล็อก	53
3.13 (ก) ผลตอบสนองทางขนาดของวงจรรองดิจิทัล $H(z)$, (ข) ผลตอบสนองทางขนาดของวงจรรองชดเชย $H_i(z)$	54
3.14 สัญญาณเอาต์พุตของวงจรรองกึ่งคลื่นแบบแอนะล็อก และผลตอบสนองทางขนาดของวงจรรองกึ่งคลื่นแบบแอนะล็อก ที่ผ่านวงจรรองชดเชยแบบดิจิทัลแล้ว (ก) สัญญาณเอาต์พุตที่ความถี่ 2 kHz, (ข) สัญญาณเอาต์พุตที่ความถี่ 4 kHz, (ค) สัญญาณเอาต์พุตที่ความถี่ 6 kHz, (ง) สัญญาณเอาต์พุตที่ความถี่ 8 kHz, (จ) ผลตอบสนองทางขนาดเอาต์พุตที่ผ่านการชดเชยแล้ว.....	55
3.15 ผลตอบสนองทางเฟสของ (ก) วงจรรองดิจิทัล $H(z)$, (ข) วงจรรองชดเชย $H_i(z)$	56
3.16 ตำแหน่งโพล-ซีโรบนระนาบ z (ก) วงจรรองดิจิทัล $H(z)$ (ข) วงจรรองชดเชย $H_i(z)$	56
3.17 ผลตอบสนองทางขนาดของวงจรรองความถี่ต่ำผ่านที่ออกแบบด้วยวิธีที่นำเสนอ ที่ความถี่ตัดต่างๆ (ก) ความถี่ตัด 1 kHz, (ข) ความถี่ตัด 2 kHz, (ค) ความถี่ตัด 4 kHz, (ง) ความถี่ตัด 6 kHz, (จ) ความถี่ตัด 8 kHz, (ฉ) ความถี่ตัด 9 kHz.....	57
4.1 บอร์ดประมวลผลสัญญาณ STM32F769I Discovery	72
4.2 แผนผังของการสร้างพารามตริกอีควอไลเซอร์บนบอร์ด STM32F769I Discovery ด้วย MATLAB/Simulink.....	74
4.3 สคริปต์ M-file สำหรับสร้างและโหลดสัมประสิทธิ์ของ Coefficients loader.....	76
4.4 การสาธิตทดลองบนฮาร์ดแวร์จริง.....	77
4.5 การเปรียบเทียบวงจรรองความถี่ต่ำผ่าน Shelving จากตัวอย่างการออกแบบคุณสมบัติที่ 1.....	78
4.6 การเปรียบเทียบวงจรรองความถี่ Peaking ย่านที่ 1 จากตัวอย่างการออกแบบคุณสมบัติที่ 1	78
4.7 การเปรียบเทียบวงจรรองความถี่ Peaking ย่านที่ 2 จากตัวอย่างการออกแบบคุณสมบัติที่ 1	79
4.8 การเปรียบเทียบวงจรรองความถี่ Peaking ย่านที่ 3 จากตัวอย่างการออกแบบคุณสมบัติที่ 1	79
4.9 การเปรียบเทียบวงจรรองความถี่สูงผ่าน Shelving จากตัวอย่างการออกแบบคุณสมบัติที่ 1	79
4.10 การเปรียบเทียบพารามตริกอีควอไลเซอร์ 5 แบนด์ จากตัวอย่างการออกแบบคุณสมบัติที่ 1	80
4.11 ผลตอบสนองทางเฟสของพารามตริกอีควอไลเซอร์ 5 แบนด์ จากตัวอย่างการออกแบบคุณสมบัติที่ 1	80
4.12 การเปรียบเทียบพารามตริกอีควอไลเซอร์ 5 แบนด์ จากคุณสมบัติที่ 2 ในตารางที่ 4.3.....	81

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
4.13 ผลตอบสนองทางเฟสของพาราเมตริกอีควอไลเซอร์ 5 แบนด์ จากคุณสมบัติที่ 2 ในตารางที่ 4.3.....	81
4.14 การเปรียบเทียบพาราเมตริกอีควอไลเซอร์ 5 แบนด์ จากคุณสมบัติที่ 3 ในตารางที่ 4.4.....	82
4.15 ผลตอบสนองทางเฟสของพาราเมตริกอีควอไลเซอร์ 5 แบนด์ จากคุณสมบัติที่ 3 ในตารางที่ 4.4.....	82
4.16 การเปรียบเทียบพาราเมตริกอีควอไลเซอร์ 5 แบนด์ จากคุณสมบัติที่ 4 ในตารางที่ 4.5.....	83
4.17 ผลตอบสนองทางเฟสของพาราเมตริกอีควอไลเซอร์ 5 แบนด์ จากคุณสมบัติที่ 4 ในตารางที่ 4.5.....	83
5.1 โครงสร้างของวงจรกรองดิจิทัลไบควอเดรติกของเทอมเซชที่เหมือนกัน	90
5.2 โครงสร้างของวงจรกรองดิจิทัลไบควอเดรติกที่มี 3 เอาต์พุต.....	91
5.3 โครงสร้างของวงจรกรองดิจิทัลไบควอเดรติกแบบหลายเอาต์พุต [15].....	92
5.4 (ก) โครงสร้างวงจรกรอง Peaking (ข) โครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรอง Peaking แบบอสมมาตรสำหรับการออกแบบวิธีที่ 1	96
5.5 (ก) โครงสร้างวงจรกรองความถี่ต่ำผ่าน Shelving (ข) โครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรองความถี่ต่ำผ่าน Shelving แบบอสมมาตรสำหรับการออกแบบวิธีที่ 1	96
5.6 (ก) โครงสร้างวงจรกรองความถี่สูงผ่าน Shelving (ข) โครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรองความถี่สูงผ่าน Shelving แบบอสมมาตรสำหรับการออกแบบวิธีที่ 1	97
5.7 (ก) โครงสร้างวงจรกรอง Peaking (ข) โครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรอง Peaking แบบอสมมาตรสำหรับการออกแบบวิธีที่ 2	98
5.8 (ก) โครงสร้างวงจรกรองความถี่ต่ำผ่าน Shelving (ข) โครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรองความถี่ต่ำผ่าน Shelving แบบอสมมาตรสำหรับการออกแบบวิธีที่ 2	99
5.9 (ก) โครงสร้างวงจรกรองความถี่สูงผ่าน Shelving (ข) โครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรองความถี่สูงผ่าน Shelving แบบอสมมาตรสำหรับการออกแบบวิธีที่ 2	100
5.10 แผนภาพบล็อกสำหรับการสร้างดิจิทัลพาราเมตริกอีควอไลเซอร์.....	109
5.11 แผนภาพบล็อกโครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรอง Peaking สำหรับโปรแกรม Simulink.....	110
5.12 แผนภาพบล็อกโครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรองความถี่ต่ำผ่าน Shelving สำหรับโปรแกรม Simulink.....	110
5.13 แผนภาพบล็อกโครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรองความถี่สูงผ่าน Shelving สำหรับโปรแกรม Simulink.....	111
5.14 ผังงานการคำนวณสัมประสิทธิ์สำหรับวิธีอสมมาตร.....	111
5.15 ผังงานการคำนวณสัมประสิทธิ์สำหรับวิธีสมมาตร.....	112

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
5.16 แผนภาพบล็อกของดิจิทัลพาราเมตริกอีควอไลเซอร์ 5 แบนด์ สำหรับโปรแกรม Simulink	113
5.17 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับอัตราขยายให้แตกต่างกันของ วงจรรอง Peaking.....	113
5.18 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับอัตราขยายให้แตกต่างกันของ วงจรรองความถี่ต่ำผ่าน Shelving	114
5.19 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับอัตราขยายให้แตกต่างกันของ วงจรรองความถี่สูงผ่าน Shelving.....	114
5.20 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับความถี่ f_0 ให้แตกต่างกันของ วงจรรอง Peaking.....	115
5.21 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับความถี่ f_0 ให้แตกต่างกันของ วงจรรองความถี่ต่ำผ่าน Shelving	115
5.22 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับความถี่ f_0 ให้แตกต่างกันของ วงจรรองความถี่สูงผ่าน Shelving.....	116
5.23 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับค่าควอลิตี้แฟกเตอร์ Q ให้แตกต่าง กันของวงจรรอง Peaking.....	116
5.24 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับอัตราขยายให้แตกต่างกันของ วงจรรอง Peaking.....	117
5.25 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับอัตราขยายให้แตกต่างกันของ วงจรรองความถี่ต่ำผ่าน Shelving	118
5.26 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับอัตราขยายให้แตกต่างกันของ วงจรรองความถี่สูงผ่าน Shelving.....	118
5.27 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับความถี่ f_0 ให้แตกต่างกันของ วงจรรอง Peaking.....	119
5.28 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับความถี่ f_0 ให้แตกต่างกันของ วงจรรองความถี่ต่ำผ่าน Shelving	119
5.29 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับความถี่ f_0 ให้แตกต่างกันของ วงจรรองความถี่สูงผ่าน Shelving.....	120
5.30 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับค่าควอลิตี้แฟกเตอร์ Q ให้แตกต่าง กันของวงจรรอง Peaking.....	120

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
5.31 เปรียบเทียบการออกแบบด้วยวิธีอสมมาตรและสมมาตรของวงจรรอง Peaking.....	121
5.32 เปรียบเทียบการออกแบบด้วยวิธีอสมมาตรและสมมาตรของวงจรรอง ความถี่ต่ำผ่าน Shelving	121
5.33 เปรียบเทียบการออกแบบด้วยวิธีอสมมาตรและสมมาตรของวงจรรอง ความถี่สูงผ่าน Shelving.....	122
5.34 ผลตอบสนองทางขนาดของวงจรรอง Peaking พร้อมวงจรรองหลายเอาต์พุต ที่ออกแบบด้วย วิธีอสมมาตรวิธีที่ 1	123
5.35 ผลตอบสนองทางขนาดของวงจรรองความถี่ต่ำผ่าน Shelving พร้อมวงจรรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีอสมมาตรวิธีที่ 1.....	124
5.36 ผลตอบสนองทางขนาดของวงจรรองความถี่สูงผ่าน Shelving พร้อมวงจรรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีอสมมาตรวิธีที่ 1.....	124
5.37 ผลตอบสนองทางขนาดของวงจรรอง Peaking พร้อมวงจรรองหลายเอาต์พุต ที่ออกแบบด้วย วิธีอสมมาตรวิธีที่ 2	125
5.38 ผลตอบสนองทางขนาดของวงจรรองความถี่ต่ำผ่าน Shelving พร้อมวงจรรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีอสมมาตรวิธีที่ 2.....	125
5.39 ผลตอบสนองทางขนาดของวงจรรองความถี่สูงผ่าน Shelving พร้อมวงจรรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีอสมมาตรวิธีที่ 2.....	126
5.40 ผลตอบสนองทางขนาดของวงจรรอง Peaking พร้อมวงจรรองหลายเอาต์พุต ที่ออกแบบด้วย วิธีอสมมาตรวิธีที่ 1	126
5.41 ผลตอบสนองทางขนาดของวงจรรองความถี่ต่ำผ่าน Shelving พร้อมวงจรรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีอสมมาตรวิธีที่ 1.....	127
5.42 ผลตอบสนองทางขนาดของวงจรรองความถี่ต่ำผ่าน Shelving พร้อมวงจรรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีอสมมาตรวิธีที่ 1	127
5.43 ผลตอบสนองทางขนาดของวงจรรอง Peaking พร้อมวงจรรองหลายเอาต์พุต ที่ออกแบบด้วย วิธีอสมมาตรวิธีที่ 2	128
5.44 ผลตอบสนองทางขนาดของวงจรรองความถี่ต่ำผ่าน Shelving พร้อมวงจรรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีอสมมาตรวิธีที่ 2.....	128
5.45 ผลตอบสนองทางขนาดของวงจรรองความถี่สูงผ่าน Shelving พร้อมวงจรรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีอสมมาตรวิธีที่ 2.....	129

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
5.46 เปรียบเทียบผลจำลองการทำงาน (ก) กับผลการวัดจากฮาร์ดแวร์ (ข) สำหรับวงจรรองความถี่ต่ำผ่าน Shelving	130
5.47 เปรียบเทียบผลจำลองการทำงาน (ก) กับผลการวัดจากฮาร์ดแวร์ (ข) สำหรับวงจรรอง Peaking ตัวที่ 1.....	131
5.48 เปรียบเทียบผลจำลองการทำงาน (ก) กับผลการวัดจากฮาร์ดแวร์ (ข) สำหรับวงจรรอง Peaking ตัวที่ 2.....	131
5.49 เปรียบเทียบผลจำลองการทำงาน (ก) กับผลการวัดจากฮาร์ดแวร์ (ข) สำหรับวงจรรอง Peaking ตัวที่ 3.....	131
5.50 เปรียบเทียบผลจำลองการทำงาน (ก) กับผลการวัดจากฮาร์ดแวร์ (ข) สำหรับวงจรรองความถี่สูงผ่าน Shelving.....	132
5.51 เปรียบเทียบผลจำลองการทำงาน (ก) กับผลการวัดจากฮาร์ดแวร์ (ข) สำหรับพาราเมตริกอีควอไลเซอร์ 5 แบนด์.....	132
5.52 ผลตอบสนองทางเฟสของพาราเมตริกอีควอไลเซอร์ 5 แบนด์ (คุณสมบัติที่ 1).....	132
5.53 เปรียบเทียบผลจำลองการทำงาน (ก) กับผลการวัดจากฮาร์ดแวร์ (ข) สำหรับพาราเมตริกอีควอไลเซอร์จากคุณสมบัติในตารางที่ 5.2.....	133
5.54 ผลตอบสนองทางเฟสของพาราเมตริกอีควอไลเซอร์ 5 แบนด์ (คุณสมบัติที่ 2).....	133
5.55 (ก) ผลการสร้างจริงด้วยฮาร์ดแวร์เปรียบเทียบกับผลจำลองการทำงานและ (ข) ค่าผิดพลาดสัมบูรณ์ที่ไม่สนใจย่านความถี่ต่ำ 0-70 Hz จากคุณสมบัติที่ใช้ออกแบบในตารางที่ 5.1.....	134
5.56 (ก) ผลการสร้างจริงด้วยฮาร์ดแวร์เปรียบเทียบกับผลจำลองการทำงานและ (ข) ค่าผิดพลาดสัมบูรณ์ที่ไม่สนใจย่านความถี่ต่ำ 0-70 Hz จากคุณสมบัติที่ใช้ออกแบบในตารางที่ 5.2.....	134
6.1 โครงสร้างของวงจรรองดีจิทัลไบควอเดรติกแบบหลายเอาต์พุต	138
6.2 แผนภาพบล็อกของค่าสัมประสิทธิ์ d_1 ที่สามารถปรับจูนได้	142
6.3 แผนภาพบล็อกของค่าสัมประสิทธิ์ d_2 ที่สามารถปรับจูนได้	142
6.4 แผนภาพบล็อกของค่าสัมประสิทธิ์ GLP ที่สามารถปรับจูนได้	142
6.5 แผนภาพบล็อกของค่าสัมประสิทธิ์ GHP ที่สามารถปรับจูนได้	143
6.6 แผนภาพบล็อกของค่าสัมประสิทธิ์ GBP ที่สามารถปรับจูนได้.....	143
6.7 แผนภาพบล็อกโครงสร้างรวมของวงจรรองสัญญาณดีจิทัลไบควอเดรติกหลายเอาต์พุตที่ปรับจูนได้ทันที.....	144
6.8 พารามิเตอร์ของวงจรรองความถี่แถบผ่าน.....	145

สารบัญภาพ (ต่อ)

ภาพที่	หน้า
6.9 กราฟความสัมพันธ์ของ α และ ω_{bw}	148
6.10 กราฟความสัมพันธ์ของ β และ ω_0	148
6.11 โครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรอง Peaking แบบอสมมาตรสำหรับการ ออกแบบวิธีที่ 1	150
6.12 วงจรกรอง Peaking แบบอสมมาตรที่ปรับจูนคุณลักษณะได้ทันที.....	151
6.13 โครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรองความถี่ต่ำผ่าน Shelving แบบอสมมาตร สำหรับการออกแบบวิธีที่ 1	152
6.14 โครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรองความถี่สูงผ่าน Shelving แบบอสมมาตร สำหรับการออกแบบวิธีที่ 1	152
6.15 วงจรกรองความถี่ต่ำผ่าน Shelving แบบอสมมาตรที่ปรับจูนคุณลักษณะได้ทันที.....	154
6.16 วงจรกรองความถี่สูงผ่าน Shelving แบบอสมมาตรที่ปรับจูนคุณลักษณะได้ทันที.....	155
6.17 ความสัมพันธ์ระหว่างค่าของ α และพารามิเตอร์ปรับจูน β	158
6.18 โครงสร้างการคำนวณสำหรับหาพารามิเตอร์ α จาก β	159
6.19 วงจรกรองความถี่ต่ำผ่าน Shelving แบบอสมมาตรที่ปรับจูนคุณลักษณะได้ทันทีที่ร่วมกับการ ปรับ α ที่สัมพันธ์กับ β โดยอัตโนมัติ.....	160
6.20 วงจรกรองความถี่สูงผ่าน Shelving แบบอสมมาตรที่ปรับจูนคุณลักษณะได้ทันทีที่ร่วมกับการ ปรับ α ที่สัมพันธ์กับ β โดยอัตโนมัติ.....	161
6.21 ความสัมพันธ์ของพารามิเตอร์ปรับตั้ง (α), แบนด์วิดท์ดิจิทัล (bw), และอัตราขยาย ในหน่วย dB (G).....	163
6.22 ความสัมพันธ์ระหว่างพารามิเตอร์ปรับจูน β_{LS} , ความถี่ตัด ω_0 และอัตราขยาย (G) ของวงจร กรองความถี่ต่ำผ่าน Shelving แบบอสมมาตรที่ปรับจูนได้ทันที	166
6.23 ความสัมพันธ์ระหว่างพารามิเตอร์ปรับจูน β_{HS} , ความถี่ตัด ω_0 และอัตราขยาย (G) ของวงจร กรองความถี่สูงผ่าน Shelving แบบอสมมาตรที่ปรับจูนได้ทันที	166
6.24 ผลการทดลองกรณีที่ 1 สำหรับวงจรกรอง Peaking ที่ปรับจูนได้ทันที (ก) ออกแบบด้วยวิธี อสมมาตรและ (ข) วิธีสมมาตร	168
6.25 ผลการทดลองกรณีที่ 2 สำหรับวงจรกรอง Peaking ที่ปรับจูนได้ทันที (ก) ออกแบบด้วยวิธี อสมมาตรและ (ข) วิธีสมมาตร	170
6.26 ผลการทดลองกรณีที่ 3 สำหรับวงจรกรอง Peaking ที่ปรับจูนได้ทันที (ก) ออกแบบด้วยวิธี อสมมาตรและ (ข) วิธีสมมาตร	172

สารบัญญภาพ (ต่อ)

ภาพที่	หน้า
6.27 ผลการทดลองกรณีที่ 1 สำหรับวงจรรองความถี่ต่ำผ่าน Shelving (ก) ที่ออกแบบด้วยวิธี อสมมาตรและ (ข) วิธีสมมาตร	174
6.28 ผลการทดลองกรณีที่ 2 สำหรับวงจรรองความถี่ต่ำผ่าน Shelving (ก) ออกแบบด้วยวิธี อสมมาตรและ (ข) วิธีสมมาตร	176
6.29 ผลการทดลองกรณีที่ 1 สำหรับวงจรรองความถี่สูงผ่าน Shelving (ก) ออกแบบด้วยวิธี อสมมาตรและ (ข) วิธีสมมาตร	178
6.30 ผลการทดลองกรณีที่ 2 สำหรับวงจรรองความถี่ต่ำผ่าน Shelving (ก) ออกแบบด้วยวิธี อสมมาตรและ (ข) วิธีสมมาตร	180



บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในยุคสมัยปัจจุบัน โลกที่กำลังถูกขับเคลื่อนด้วยระบบดิจิทัล อันนำมาซึ่งการพัฒนาอุปกรณ์ต่างๆ ก็คือ อัลกอริทึมหรือซอฟต์แวร์ต่างๆ ก็คือ ล้วนทำให้อุปกรณ์ดิจิทัลถูกใช้งานกว้างขวางในหลายๆ ด้านและสามารถเข้าถึงได้สะดวกมากยิ่งขึ้น ดังนั้นอุปกรณ์ในระบบแอนะล็อกต่างๆ จึงถูกเปลี่ยนให้อยู่ในระบบดิจิทัลมากขึ้น แม้กระทั่งการประมวลผลสัญญาณที่เคยใช้งานในระบบแอนะล็อกก็ถูกปรับเข้าสู่การประมวลผลสัญญาณดิจิทัล โดยเมื่อกล่าวถึงระบบประมวลผลสัญญาณดิจิทัลเหล่านั้น จะมีส่วนประกอบที่สำคัญคือวงจรกรองสัญญาณดิจิทัลซึ่งถูกพัฒนามาใช้งานแทนวงจรกรองสัญญาณแอนะล็อก ที่แต่เดิมนั้นผลตอบสนองทางความถี่ขึ้นอยู่กับความต้องการของอุปกรณ์ R L C ซึ่งนานวันไปอุปกรณ์เหล่านี้มีโอกาสเสื่อมสภาพแล้วส่งผลเสียต่อคุณสมบัติของวงจรกรองโดยรวม ดังนั้นโลกยุคปัจจุบันที่ใช้อุปกรณ์ดิจิทัลกันแพร่หลายจึงนิยมใช้วงจรกรองสัญญาณดิจิทัลทดแทน ซึ่งสามารถออกแบบได้หลากหลายวิธีหนึ่งในนั้นคือการแปลงไบลิเนียร์ (bilinear transform) ซึ่งอาศัยคุณลักษณะของวงจรกรองแอนะล็อกที่มีอยู่แต่เดิม โดยนำเสนอในรูปแบบฟังก์ชันถ่ายโอน (transfer function) บนโดเมนเอส (s-domain) ทำการแปลงไปเป็นโดเมนซี (z-domain) ซึ่งการออกแบบด้วยวิธีดังกล่าวจะทำให้วงจรกรองดิจิทัลที่ได้เป็นแบบผลตอบสนองอิมพัลส์ไม่จำกัด (IIR) โดยในเวลานี้การแปลงด้วยวิธีไบลิเนียร์ เป็นที่นิยมเนื่องจากสามารถเก็บคุณลักษณะที่สำคัญของ s-domain ให้อยู่ใน z-domain ได้ใกล้เคียงกับวงจรกรองแอนะล็อกเป็นอย่างมาก โดยคุณลักษณะสำคัญดังกล่าวคือผลตอบสนองทางขนาด (Amplitude Response) แต่อย่างไรก็ตามด้วยวิธีการแปลงแบบไบลิเนียร์ทั่วไป ยังคงมีความคลาดเคลื่อนของผลตอบสนองทางขนาดเมื่อเทียบกับวงจรกรองสัญญาณแอนะล็อกต้นแบบ แม้แต่ในงานวิจัยที่ใช้วิธีการแปลงแบบไบลิเนียร์ปาสคาลเมทริกซ์ ก็ให้ผลลัพธ์ไม่ต่างกัน ดังนั้นแล้วในงานที่มีความต้องการใช้วงจรกรองสัญญาณดิจิทัล เพื่อให้ได้ผลตอบสนองทางขนาดที่สมมูลกับวงจรกรองสัญญาณแอนะล็อกต้นแบบมากที่สุดทุกๆ จุดความถี่ (frequency point) จึงมีความจำเป็นต้องใช้ระเบียบวิธีเชิงเลข (numerical method) ในการออกแบบงานดังกล่าว ดังเช่นหนึ่งในงานวิจัยภายใต้วิทยานิพนธ์ฉบับนี้คือการนำไปประยุกต์ใช้สร้างวงจรกรองสำหรับชดเชยผลกระทบของวงจรกรองกักเก็บ (Reconstruction Filter) ซึ่งเป็นวงจรกรองแบบแอนะล็อกที่สำคัญใน

ระบบประมวลผลสัญญาณดิจิทัล โดยจะทำหน้าที่ป้องกันผลกระทบของสัญญาณขั้นบันได (Staircase Effect) ที่เกิดขึ้นบนสัญญาณเอาต์พุต อันเป็นผลมาจากวงจรแปลงสัญญาณดิจิทัลเป็นแอนะล็อก (DAC) โดยผลกระทบจะเกิดขึ้นกับกรณีที่วงจรกรองกักเก็บเป็นแบบอันดับต่ำ (low order) ซึ่งจะทำให้ช่วงความถี่สูงหรือช่วงที่ใกล้กับความถี่ในควิรสต์ของสัญญาณเอาต์พุตถูกลดทอนลงไป ดังนั้นงานวิจัยนี้ จึงได้นำเสนอการสร้างวงจรกรองสำหรับชดเชยผลกระทบดังกล่าว

นอกจากนั้นในมุมมองการออกแบบวงจรกรองสัญญาณดิจิทัล ด้วยการแปลงโพลีเนียร์สามารถนำไปประยุกต์กับงานด้านวิศวกรรมเสียง (sound engineer) โดยเฉพาะเครื่องมือพาราเมตริกอีควอไลเซอร์ ที่ซึ่งมีใช้อยู่เดิมในระบบแอนะล็อกมาอย่างยาวนาน และเนื่องจากอุปกรณ์เหล่านี้มักเป็นเครื่องรีคขนาดใหญ่ (rack) ที่มักอยู่ในสตูดิโอผู้สร้างเพลง จึงเป็นการยากที่ผู้ใช้ทั่วไปจะเข้าถึงได้ ดังนั้นแล้วเพื่อให้ตอบโจทย์โลกดิจิทัลปัจจุบันที่ผู้อำนวยการเพลง (producer) หรือผู้ที่ทำหน้าที่ mix/mastering สามารถรังสรรค์ผลงานจากที่ไหนก็ได้ ด้วยอุปกรณ์พกพาเพียงไม่กี่ชิ้น จึงเป็นที่มาของการสร้าง ดิจิทัลพาราเมตริกอีควอไลเซอร์ที่ยังคงคุณลักษณะของวงจรกรองสัญญาณแอนะล็อกให้มาอยู่บนรูปแบบของระบบดิจิทัลได้ โดยเฉพาะคุณลักษณะความสมมาตรกันในกรณี boost (อัตราขยายมากกว่า 0dB) และกรณี cut (อัตราขยายน้อยกว่า 0dB) รวมถึงคุณสมบัติที่สำคัญอีกอย่างของพาราเมตริกอีควอไลเซอร์แบบแอนะล็อกคือการปรับคุณลักษณะได้ทันที (Real Time Tunable) ซึ่งเป็นฟังก์ชันพื้นฐานที่ผู้ใช้งานมีความคุ้นชินอยู่แล้ว ดังนั้นงานวิจัยในวิทยานิพนธ์ฉบับนี้ จึงมุ่งเน้นการออกแบบและการทดลองสร้างจริงบนฮาร์ดแวร์ โดยใช้เทคนิคการแปลงฟังก์ชันถ่ายโอนแอนะล็อกเป็นฟังก์ชันถ่ายโอนดิจิทัล ผ่านการแปลงโพลีเนียร์ปาสคาลเมทริกซ์ ซึ่งเป็นการดำเนินการทางเมทริกซ์ ทำให้มีความสะดวกในการออกแบบและสร้างวงจรมากขึ้น รวมถึงสามารถปรับแต่งคุณลักษณะได้ทันทีเช่นเดียวกับวงจรแบบแอนะล็อก

1.2 วัตถุประสงค์

1) เพื่อปรับปรุงการออกแบบวงจรกรองสัญญาณดิจิทัลสำหรับชดเชยผลกระทบของวงจรกรองกักเก็บแบบแอนะล็อกให้มีความผิดพลาดลดลง โดยใช้การคำนวณเชิงเลข (ระเบียบวิธีนิวตัน-ราฟสันแบบขยาย และระเบียบวิธีการแบ่งครึ่งช่วง) ทำการออกแบบวงจรกรองดิจิทัลให้มีผลตอบสนองทางขนาดเหมือนกับวงจรกรองแอนะล็อกมากที่สุด

2) เพื่อนำเสนอการออกแบบและสร้างพารามetri อีควอไลเซอร์ โดยใช้วิธีการแปลงโพลิเนียร์ ปาสคาลเมทริกซ์จากวงจรรองแวนะล็อกต้นแบบเป็นวงจรรองดิจิทัล ซึ่งต้องแยกดำเนินการใน เทอมเศษและเทอมส่วน พร้อมทั้งทำการสร้างจริงบนบอร์ดประมวลผลสัญญาณดิจิทัล STM32F769I

3) เพื่อนำเสนอการออกแบบวงจรรองดิจิทัลพารามetri อีควอไลเซอร์อันประกอบด้วยวงจรรอง Peaking, วงจรรองความถี่ต่ำผ่าน Shelving, และวงจรรองความถี่สูงผ่าน Shelving ให้สามารถออกแบบได้ทั้งแบบสมมาตรและแบบอสมมาตร ผ่านการดำเนินการทางเมทริกซ์เพียงสมการเดียวพร้อมโครงสร้างที่นำเสนอ

4) เพื่อนำเสนอวงจรรอง Peaking และวงจรรอง Shelving ที่ปรับจูนได้ทันที ทำให้สามารถปรับคุณลักษณะของพารามetri อีควอไลเซอร์ได้ตามต้องการ

1.3 ขอบเขตวิทยานิพนธ์

- 1) ออกแบบและสร้างวงจรรองดิจิทัลแบบผลตอบสนองอิมพัลส์ไม่จำกัด (IIR)
- 2) การใช้ระเบียบวิธีเชิงเลขในการออกแบบวงจรรองดิจิทัลเพื่อชดเชยผลกระทบที่เกิดจากวงจรรองคู่คี่แวนะล็อก นอกจากนี้วิธีการออกแบบดังกล่าวยังสามารถประยุกต์ใช้สำหรับออกแบบวงจรรองสัญญาณดิจิทัล IIR ที่อันดับใดๆ เพิ่มเติมได้
- 3) ปรับปรุงการใช้งานวงจรรองดิจิทัลไบควอเดรติกแบบหลายเอาต์พุตเพื่อใช้ออกแบบเป็นวงจรรอง Peaking, วงจรรองความถี่ต่ำผ่าน Shelving, และวงจรรองความถี่สูงผ่าน Shelving ทั้งแบบสมมาตรและแบบอสมมาตร ซึ่งจะสามารถนำมาต่อเรียงเพื่อสร้างเป็นวงจรรพารามetri อีควอไลเซอร์
- 4) ทดสอบการทำงานของพารามetri อีควอไลเซอร์โดยการสร้างจริงบนบอร์ดประมวลผล STM32F769I Discovery ควบคู่กับซอฟต์แวร์ Simulink บนโปรแกรม MATLAB

1.4 รายละเอียดวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้แบ่งออกเป็นทั้งหมด 7 บท โดยในแต่ละบทมีรายละเอียดดังนี้

บทที่ 1 กล่าวถึงความเป็นมาและความสำคัญของวิทยานิพนธ์ รวมถึงวัตถุประสงค์และขอบเขตของวิทยานิพนธ์ฉบับนี้

บทที่ 2 กล่าวถึงปริทัศน์วรรณกรรมงานวิจัยที่มีมาก่อน และทฤษฎีพื้นฐานที่เกี่ยวข้องกับวิทยานิพนธ์นี้

บทที่ 3 เป็นการนำเสนองานวิจัยแรก คือการออกแบบวงจรกรองสัญญาณดิจิทัลสำหรับชุดเซพผลกระทบของวงจรกรองคู่คีนแบบแอนะล็อก ในระบบประมวลผลสัญญาณดิจิทัล [7], [27]

บทที่ 4 เป็นการกล่าวถึงงานวิจัยถัดมาที่นำเสนอ การออกแบบและสร้างพารามетริกอีควอไลเซอร์แบบดิจิทัลด้วยวิธีแปลงโพลิเนียร์ปาสคาลเมทริกซ์ [30]

บทที่ 5 ในบทนี้กล่าวถึงงานวิจัยลำดับที่สามในการนำเสนอ นั่นคือวงจรกรองดิจิทัลไบควอดเรติกแบบหลายเอาต์พุตรวมทั้งการประยุกต์เป็นพารามетริกอีควอไลเซอร์ อันประกอบไปด้วยวงจรกรอง Peaking วงจรกรองความถี่ต่ำผ่าน Shelving และวงจรกรองความถี่สูงผ่าน Shelving [39]

บทที่ 6 ในบทนี้กล่าวถึงงานวิจัยสุดท้ายที่นำเสนอ คือการประยุกต์งานวิจัยก่อนหน้าเพื่อใช้ในการออกแบบวงจรกรองดิจิทัลไบควอดเรติกแบบหลายเอาต์พุตที่สามารถปรับจูนได้ทันที พร้อมกับการประยุกต์ใช้ในการออกแบบวงจรกรอง Peaking และวงจรกรอง Shelving

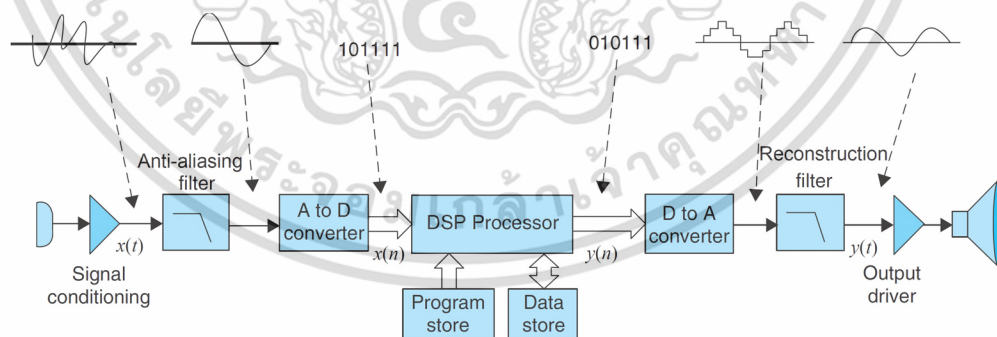
บทที่ 7 เป็นบทสรุปเกี่ยวกับวิทยานิพนธ์และข้อเสนอแนะ พร้อมแนวทางที่สามารถนำไปพัฒนาต่อได้ในอนาคต

บทที่ 2

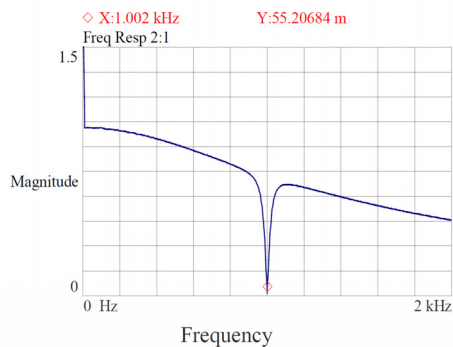
ทบทวนงานวิจัยที่เกี่ยวข้องและทฤษฎีพื้นฐาน

2.1 งานวิจัยที่เกี่ยวข้องกับการออกแบบวงจรกรองดิจิทัล IIR ให้มีคุณลักษณะทางขนาดเหมือนวงจรกรองแอนะล็อก

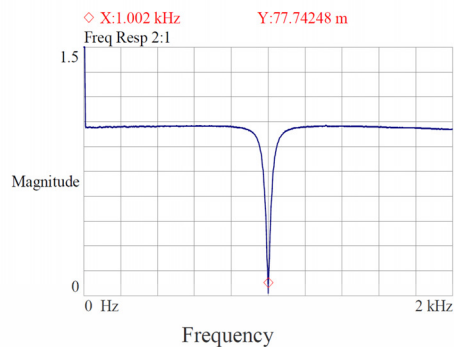
ระบบประมวลผลสัญญาณดิจิทัลส่วนใหญ่จะประกอบด้วย วงจรกรองป้องกัน aliasing, วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิทัล (A/D), หน่วยประมวลผล, วงจรแปลงสัญญาณดิจิทัลเป็นแอนะล็อก (D/A), และวงจรกรองกักคืน (Reconstruction Filter) ดังภาพที่ 2.1 [1], [2] โดยทั่วไป ช่วงความถี่ใช้งานของสัญญาณเอาต์พุตจะถูกจำกัดด้วย คุณสมบัติความถี่สุ่มของ A/D และวงจรกรองกักคืน ซึ่งสัญญาณเอาต์พุตของ D/A จะต้องผ่านวงจรกรองกักคืน เพื่อป้องกันผลกระทบของสัญญาณขั้นบันได (Staircase Effect) ดังนั้นวงจรกรองกักคืนจะถูกสร้างจากวงจรกรองความถี่ต่ำผ่านแบบแอนะล็อก ซึ่งจะลดทอนแอมพลิจูดในย่านความถี่สูง โดยเฉพาะอย่างยิ่งย่านความถี่ที่สูงกว่าความถี่ไนควิสต์ ($f_s/2$) อย่างไรก็ตามย่านความถี่ที่ใช้งานบางส่วนก็จะถูกลดทอนไปด้วยเช่นกันดังภาพที่ 2.2 ทำให้สัญญาณเอาต์พุตที่ผ่านวงจรกรองกักคืนบางส่วนจะถูกลดทอนลงโดยเฉพาะอย่างยิ่งในย่านความถี่สูง โดยในภาพที่ 2.3 แสดงการเปรียบเทียบผลของสัญญาณเอาต์พุตที่ไม่ผ่านวงจรกรองกักคืนและที่ผ่านวงจรกรองกักคืน



ภาพที่ 2.1 แผนภาพบล็อกของระบบประมวลผลสัญญาณดิจิทัล

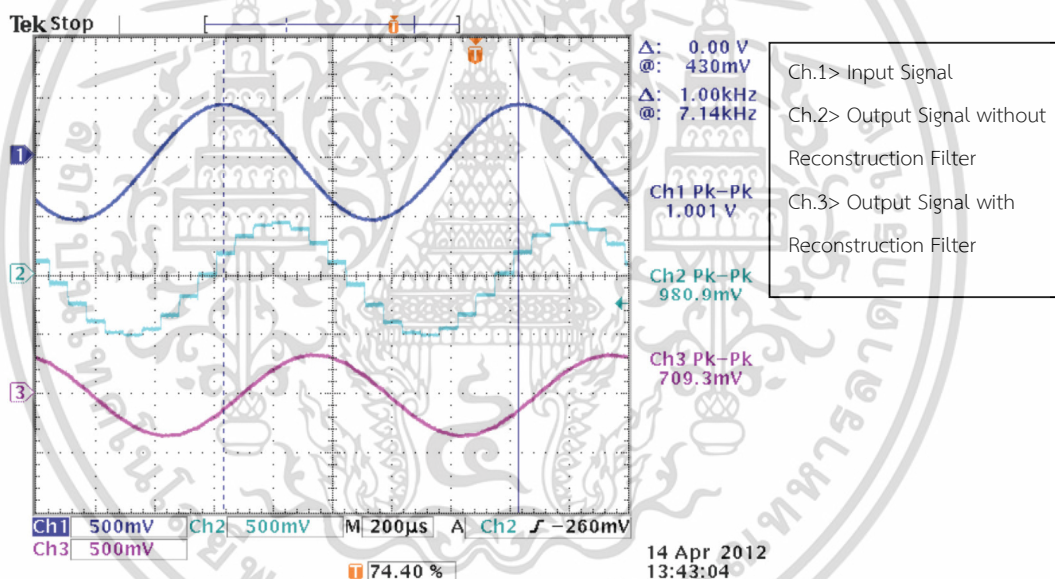


(ก)



(ข)

ภาพที่ 2.2 การเปรียบเทียบผลตอบสนองทางขนาดของวงจรรอง Notch (ก) แบบไม่มีวงจรรองชดเชยและ (ข) แบบมีวงจรรองชดเชย [3], [4]

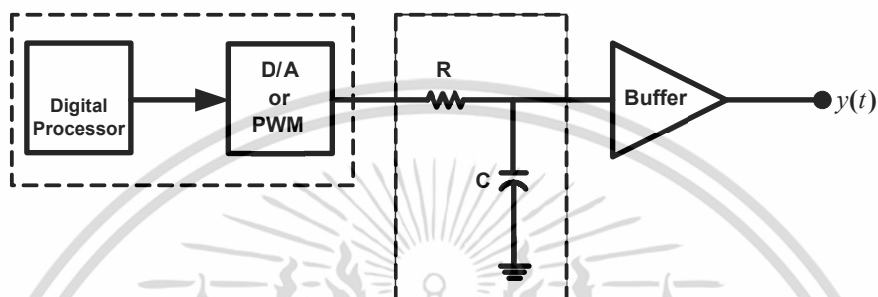


ภาพที่ 2.3 การเปรียบเทียบสัญญาณอินพุตกับสัญญาณเอาต์พุตที่ผ่านและไม่ผ่านวงจรรองกู้คืน [3], [4]

จากเหตุผลข้างต้นตั้งนั้นในวิทยานิพนธ์ [3] จึงได้นำเสนอการออกแบบวงจรรองความถี่ต่ำผ่านแบบดิจิทัล $H(z)$ ที่มีผลตอบสนองทางขนาดเหมือนกับวงจรรองกู้คืนแบบแอนะล็อก $H(s)$ หรืออีกนัยหนึ่งคือการสร้างวงจรรองดิจิทัลที่มีผลตอบสนองทางขนาดเหมือนกับวงจรรองแอนะล็อกมากที่สุด จากนั้นทำการแปลงผกผันฟังก์ชันถ่ายโอนของวงจรรองดิจิทัลดังกล่าว $H(z)$ เพื่อสร้างเป็นวงจรรองชดเชยแบบดิจิทัล $H_I(z)$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

งานวิจัยใน [3], [4] ได้นำเสนอการสร้างวงจรกรองชดเชยแบบดิจิทัล โดยเริ่มต้นจากการออกแบบวงจรกรองกั๊กอินแวนะล็อกด้วยวงจรกรองความถี่ต่ำผ่านอันดับที่ 1 แบบ Passive ดังภาพที่ 2.4 โดยการแปลงฟังก์ชันถ่ายโอนของวงจรกรองกั๊กอินแบบแวนะล็อกเป็นวงจรกรองดิจิทัล ด้วยเทคนิค Approximation of Derivative จากนั้นทำการแปลงผกผันเป็นวงจรกรองชดเชย



ภาพที่ 2.4 วงจรกรองความถี่ต่ำผ่านแวนะล็อกอันดับที่ 1 แบบ Passive [3]

วงจรกรองความถี่ต่ำผ่านจากภาพที่ 2.4 จะมีฟังก์ชันถ่ายโอนดังสมการที่ (2.1)

$$H(s) = \frac{1}{s + \frac{1}{RC}} \quad (2.1)$$

ทำการแปลงฟังก์ชันถ่ายโอนแวนะล็อกในสมการที่ (2.1) ไปเป็นฟังก์ชันถ่ายโอนดิจิทัลด้วยวิธี Approximate of Derivative ซึ่งจะมีความสัมพันธ์ของโดเมนเอสกับโดเมนแซดดังสมการที่ (2.2) ซึ่งจะได้ฟังก์ชันถ่ายโอนดิจิทัลดังสมการที่ (2.3)

$$s = \frac{1 - z^{-1}}{T} \quad (2.2)$$

$$H(z) = \frac{aT}{1 + aT - z^{-1}} \quad (2.3)$$

เมื่อ a คือ $\frac{1}{RC}$

T คือ ค่าอัตราการสุ่มสัญญาณ (Sampling Rate)

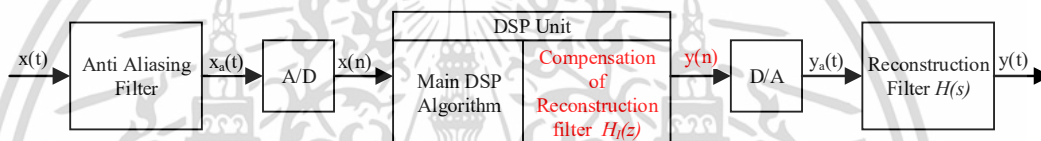
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนถัดไปจะทำการแปลงผกผันฟังก์ชันถ่ายโอนดิจิทัลในสมการที่ (2.3) เพื่อให้ได้ผลการทำงานตรงข้ามกับวงจรรอกู้คืนและสร้างเป็นวงจรรอกชดเชย ดังนั้นจะได้ผลลัพธ์ดังสมการที่ (2.4)

$$H_1(z) = \frac{1 + aT - z^{-1}}{aT} \quad (2.4)$$

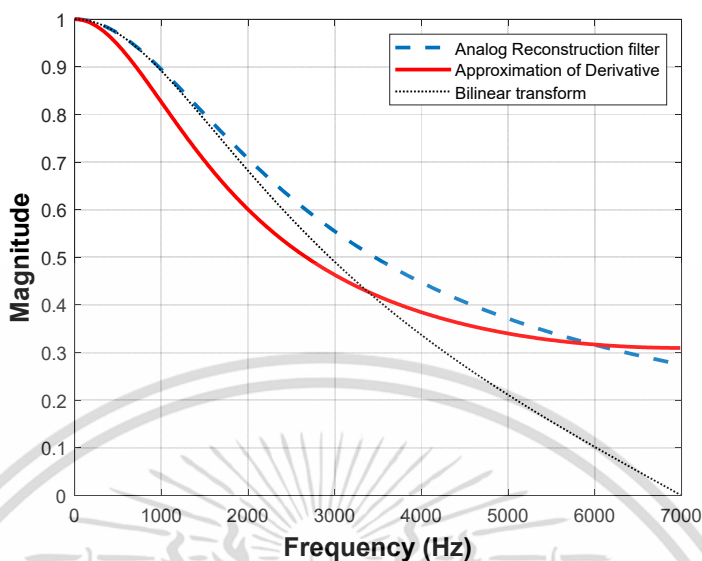
เมื่อ $H_1(z)$ คือฟังก์ชันถ่ายโอนของวงจรรอกชดเชย

โดยวงจรรอกชดเชยนี้จะถูกสร้างอยู่ในหน่วยประมวลผลสัญญาณดิจิทัล ก่อนที่สัญญาณเอาต์พุต $y(n)$ จะถูกส่งออก ดังแสดงในแผนภาพบล็อกดังภาพที่ 2.5



ภาพที่ 2.5 แผนภาพบล็อกของระบบประมวลผลสัญญาณดิจิทัล

ผลตอบสนองทางขนาดที่ได้จากการแปลงด้วยวิธี Approximation of Derivative จะใกล้เคียงกับผลตอบสนองทางขนาดของวงจรรอกู้คืนแอนะล็อกมากกว่าการออกแบบวงจรรอกดิจิทัลด้วยเทคนิคการแปลงโพลิเนียร์ เนื่องจากโดยทั่วไปการแปลงด้วยโพลิเนียร์ (กรณีวงจรรอกความถี่ต่ำผ่าน) จะทำให้แอมพลิจูดที่ความถี่ในควิสต์ถูกทำให้เท่ากับศูนย์ ซึ่งเมื่อเปรียบเทียบกับผลตอบสนองทางขนาดของวงจรรอกู้คืนแอนะล็อกจะทำให้มีความแตกต่างกันในย่านแถบความถี่หยุด (Stopband) มากกว่าผลที่ได้จากการออกแบบด้วยเทคนิค Approximation of Derivative ดังภาพที่ 2.6



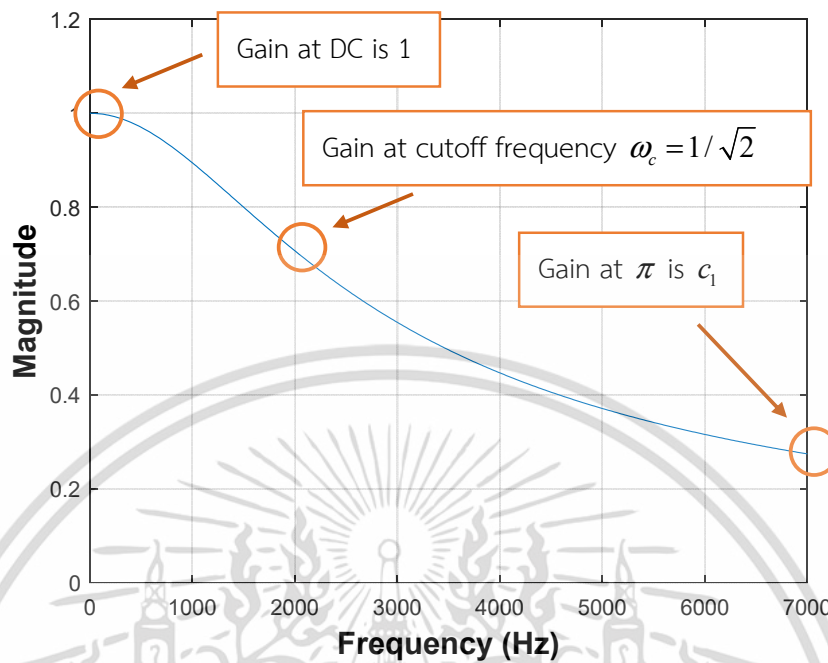
ภาพที่ 2.6 การเปรียบเทียบผลตอบสนองทางขนาดของการแปลง s-z ด้วยวิธี Approximation of Derivative และการแปลงไบลิเนียร์

เมื่อพิจารณาจากภาพที่ 2.6 ถึงแม้ว่าวิธีการแปลง s-z ด้วย Approximation of Derivative จะให้ผลที่ดีกว่าวิธีการแปลงไบลิเนียร์ แต่ไม่ว่าจะออกแบบด้วยวิธี Approximation of Derivative หรือการแปลงไบลิเนียร์ก็ต้องผ่านขั้นตอนการ Warping ความถี่เช่นกัน โดยผลของการ Warping ความถี่ดังกล่าวทำให้ผลตอบสนองทางขนาดของวงจรกรองแอนะล็อกแตกต่างกับวงจรกรองดิจิทัล

ดังนั้นวิทยานิพนธ์ใน [5], และงานวิจัยใน [6] จึงนำเสนอวิธีการออกแบบ ที่สามารถลดความผิดพลาดของผลตอบสนองทางขนาดระหว่างวงจรกรองกุ่ม์คั้นแบบแอนะล็อกและวงจรกรองดิจิทัลเมื่อเปรียบเทียบกับผลจาก [4] ซึ่งวิธีที่นำเสนอใน [5], [6] จะออกแบบวงจรกรองแอนะล็อกขึ้นใหม่โดยใช้วิธีควบคุมอัตราขยายของผลตอบสนองทางขนาดที่ 3 ความถี่คือ 0 (DC), ω_c (ความถี่ตัด) และ π (ความถี่ในควิสต์: $f_s / 2$) ให้มีขนาดเท่ากับวงจรกรองแอนะล็อกดังภาพที่ 2.7 และตารางที่ 2.1

ตารางที่ 2.1 อัตราขยายของวงจรกรองดิจิทัล ที่ความถี่ 0, ω_c , และ π

Frequency (ω)	Gain
0 or DC	1
ω_c	$1/\sqrt{2}$
π or ω_n	c_1



ภาพที่ 2.7 ผลตอบสนองทางขนาดของวงจรกรองดิจิทัลที่ต้องการออกแบบ

จากตารางที่ 2.1 อัตราขยายที่ความถี่ความถี่ในควิสต์ (π) ถูกกำหนดให้เท่ากับ c_1 โดยจะหาค่าของ c_1 ได้จากการแทนความถี่ตัด $2\pi f_c = \frac{1}{RC}$ ในสมการที่ (2.1) จะได้ผลลัพธ์ดังสมการที่ (2.5)

$$H(s) = \frac{2\pi f_c}{s + 2\pi f_c} \quad (2.5)$$

เมื่อกำหนดให้ความถี่ที่ตำแหน่งโนควิสต์เป็น f_n ดังผลตอบสนองทางขนาดของฟังก์ชันถ่ายโอนในสมการที่ (2.5) ณ ตำแหน่งความถี่โนควิสต์แสดงดังสมการที่ (2.6)

$$c_1 = \frac{1}{\sqrt{1 + \frac{f_n^2}{f_c^2}}} \quad (2.6)$$

วงจรกรองดิจิทัลที่จะออกแบบให้มีผลตอบสนองทางขนาดเป็นไปตามตารางที่ 2.1 จะใช้เป็นวงจรกรองดิจิทัลแบบ IIR อันดับที่ 1 ซึ่งจะมีฟังก์ชันถ่ายโอนดังสมการที่ (2.7)

$$H(z) = k \left(\frac{z - z_1}{z - p_1} \right) \quad (2.7)$$

ทำการหาผลตอบสนองทางความถี่โดยการแทน $z = e^{j\omega}$ ในสมการที่ (2.7) จะได้ดังสมการที่ (2.8) และผลตอบสนองทางขนาดแสดงดังสมการที่ (2.9)

$$H(\omega) = k \left(\frac{e^{j\omega} - z_1}{e^{j\omega} - p_1} \right) \quad (2.8)$$

$$|H(\omega)| = \left| k \left(\frac{e^{j\omega} - z_1}{e^{j\omega} - p_1} \right) \right| \quad (2.9)$$

เมื่อแทนความถี่และอัตราขยายจากตารางที่ 2.1 ในสมการที่ (2.9) จะได้ดังนี้

$$1 - p_1 = k(1 - z_1) \quad (2.10)$$

$$c_1(1 + p_1) = k(1 + z_1) \quad (2.11)$$

$$\frac{1}{2} = k^2 \left(\frac{(1 - 2p_1 \cos(\omega_c) + p_1^2 + (\cos(\omega_c) - p_1)(p_1 - z_1))^2 + (z_1 \sin(\omega_c) - p_1 \sin(\omega_c))^2}{(1 - 2p_1 \cos(\omega_c) + p_1^2)^2} \right) \quad (2.12)$$

จากสมการที่ (2.10) - (2.12) แสดงให้เห็นชัดเจนว่าเป็นระบบสมการที่ไม่เป็นเชิงเส้น ดังนั้นจึงต้องใช้ระเบียบวิธีนิวตัน-ราฟสันมาทำการแก้ปัญหาดังกล่าว ซึ่งรูปแบบทั่วไปของสมการนิวตัน-ราฟสันแสดงได้ดังสมการที่ (2.13)

$$\mathbf{x}_{n+1} = \mathbf{x}_n - \mathbf{J}(k_n, p_{1n}, z_{1n})^{-1} \mathbf{f}(k_n, p_{1n}, z_{1n}) \quad (2.13)$$

เมื่อ

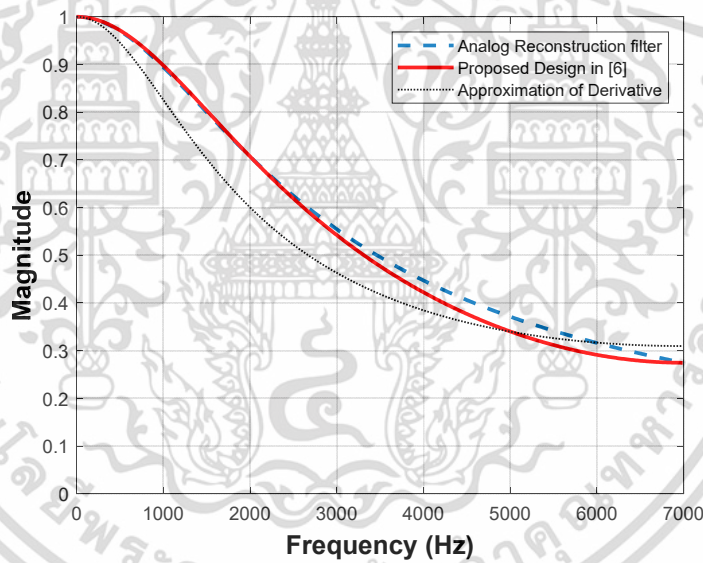
$$\mathbf{x}_n = \begin{bmatrix} k_n \\ p_{1n} \\ z_{1n} \end{bmatrix}, \quad \mathbf{f}(k_n, p_{1n}, z_{1n}) = \begin{bmatrix} f_1(k_n, p_{1n}, z_{1n}) \\ f_2(k_n, p_{1n}, z_{1n}) \\ f_3(k_n, p_{1n}, z_{1n}) \end{bmatrix}, \quad \mathbf{J}(k_n, p_{1n}, z_{1n}) = \begin{bmatrix} \frac{\partial f_1}{\partial k} & \frac{\partial f_1}{\partial p_1} & \frac{\partial f_1}{\partial z_1} \\ \frac{\partial f_2}{\partial k} & \frac{\partial f_2}{\partial p_1} & \frac{\partial f_2}{\partial z_1} \\ \frac{\partial f_3}{\partial k} & \frac{\partial f_3}{\partial p_1} & \frac{\partial f_3}{\partial z_1} \end{bmatrix}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\text{และ } f_1 = k_n(1 - z_{1n}) - (1 - p_{1n}), \quad f_2 = k_n(1 + z_{1n}) - c_1(1 + p_{1n}),$$

$$f_3 = k_n^2 \left(\frac{(1 - 2p_{1n} \cos(\omega_c) + p_{1n}^2 + (\cos(\omega_c) - p_{1n})(p_{1n} - z_{1n}))^2 + (z_{1n} \sin(\omega_c) - p_{1n} \sin(\omega_c))^2}{(1 - 2p_{1n} \cos(\omega_c) + p_{1n}^2)^2} \right)$$

จากนั้นนำผลลัพธ์ที่ได้ (k, z_1, p_1) จากการแก้ปัญหาระบบสมการด้วยระเบียบวิธีนิวตัน-ราฟสันไปแทนในสมการที่ (2.7) เพื่อสร้างเป็นวงจรรองดิจิทัลที่มีผลตอบสนองทางขนาดคล้ายกับวงจรรองกู่คินแอนะล็อก และเช่นเดียวกับในงานวิจัย [5], [6] จะทำการแปลงผกผันวงจรรองดิจิทัลดังกล่าวเพื่อสร้างเป็นวงจรรองเพื่อชดเชยผลกระทบจากวงจรรองกู่คิน โดยผลการทดลองแสดงให้เห็นว่าผลตอบสนองทางขนาดของวงจรรองดิจิทัลที่ได้ เข้าใกล้ผลตอบสนองทางขนาดของวงจรรองกู่คินแบบแอนะล็อกได้มากกว่าวิธี Approximation of Derivative ดังภาพที่ 2.8



ภาพที่ 2.8 การเปรียบเทียบผลตอบสนองทางขนาดของวงจรรองชดเชยด้วยวิธีการออกแบบใน [6] และการออกแบบด้วยวิธี Approximation of Derivative

อย่างไรก็ตามผลการทดลองนี้เป็นเพียงการพิจารณาด้วยสายตา ซึ่งไม่มีดัชนีชี้วัดเป็นตัวเลขสำหรับวัดความเหมือนหรือต่างของผลตอบสนองทางขนาดทั้งสอง ดังนั้นในวิทยานิพนธ์นี้จึงได้นำเสนอการนำ Root Mean Squared Error (RMSE) และ Normalized Root Mean Squared Error (NRMSE) มาใช้เป็นดัชนีชี้วัดประสิทธิภาพของระบบที่ออกแบบ นอกจากนั้นในวิทยานิพนธ์นี้และงานวิจัยใน [7] ยังได้นำเสนอการลดข้อผิดพลาดด้วยวิธีการเปลี่ยนจุดความถี่ที่ 2 ซึ่งในบทความ

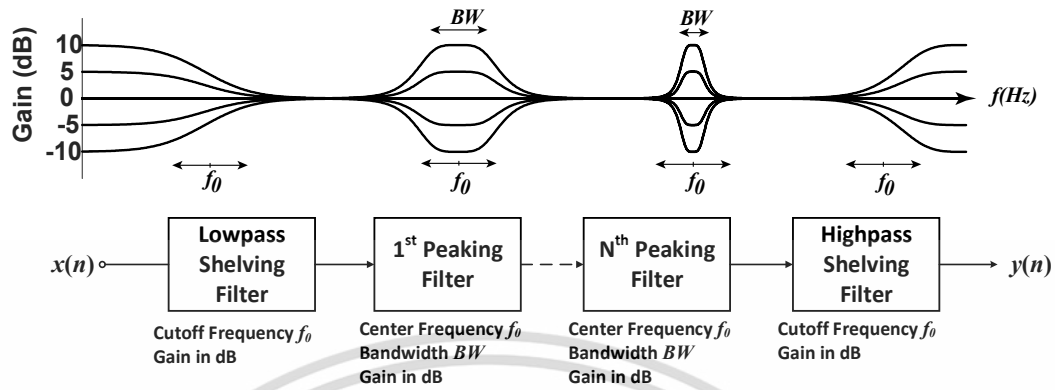
[6] จะกำหนดให้เท่ากับความถี่ตัด (ω) โดยอาศัยระเบียบวิธีการแบ่งครึ่งช่วง (Bisection Method) ในการหาความถี่ที่ 2 ที่เหมาะสม รวมทั้งการเพิ่มจุดความถี่ที่กำหนดให้ผลตอบแทนของทางขนาดทั้ง 2 เท่ากัน ร่วมกับการแก้ปัญหาหาระบบที่มีจำนวนสมการมากกว่าจำนวนตัวแปรด้วยระเบียบวิธีนิวตัน-ราฟสันแบบขยาย ซึ่งจะทำได้ค่า RMSE และ NRMSE ต่ำที่สุด

2.4 พารามetriกรอีควอไลเซอร์

การประยุกต์ทางด้านเสียง อีควอไลเซอร์จะเป็นอุปกรณ์หลักที่ใช้ในการปรับเปลี่ยนย่านความถี่ของสัญญาณเสียง โดยอีควอไลเซอร์จะถูกแบ่งเป็น 2 ประเภทใหญ่ๆ คือกราฟิกอีควอไลเซอร์ (Graphic Equalizer) และพารามetriกรอีควอไลเซอร์ (Parametric Equalizer) ซึ่งอีควอไลเซอร์สามารถสร้างได้จากทั้งวงจรแอนะล็อกและวงจรดิจิทัล [8] แน่นอนว่าในปัจจุบันดนตรีหรือเสียงเกือบทั้งหมดอยู่ในรูปแบบดิจิทัล ดังนั้นดิจิทัลพารามetriกรอีควอไลเซอร์จึงเป็นมุมที่น่าสนใจสำหรับวิศวกรทางด้านเสียงในการศึกษาออกแบบและใช้งาน [9], [10], [11]

พารามetriกรอีควอไลเซอร์เป็นเครื่องมือที่สำคัญในการปรับแต่งเสียง ให้มีคุณสมบัติทางความถี่ตามที่ต้องการ ซึ่งจะมีความยืดหยุ่นกว่ากราฟิกอีควอไลเซอร์เนื่องจากสามารถปรับตั้งพารามetriกรต่างๆ ได้อย่างอิสระ ดังนั้นจึงมีส่วนสำคัญในงานด้านเสียงและดนตรีทั้งการปรับแต่งสำหรับการแสดงสด หรือการปรับแต่งในกระบวนการผลิต ทั้งนี้โครงสร้างของพารามetriกรอีควอไลเซอร์จะประกอบไปด้วย วงจรกรอง Peaking ซึ่งจะมีอัตราขยายส่วนใหญ่อยู่ที่ 0 dB ยกเว้นช่วงความถี่ที่กำหนดให้มีอัตราขยายสูงขึ้น (กรณี boost) หรือบางช่วงความถี่ที่กำหนดให้มีอัตราขยายต่ำลง (กรณี cut) โดยถ้ากรณีในช่วงความถี่ของกรณี boost และกรณี cut ดังกล่าวเริ่มที่ความถี่ 0 Hz หรือ DC จะเรียกวงจรกรองชนิดนี้ว่า วงจรกรองความถี่ต่ำผ่าน Shelving และในกรณีที่ช่วงความถี่สิ้นสุดที่ความถี่ในควิสิสต์หรือ $f_s/2$ จะเรียกวงจรกรองชนิดนี้ว่า วงจรกรองความถี่สูงผ่าน Shelving

ด้วยคุณสมบัติที่สำคัญของ วงจรกรอง Peaking และวงจรกรอง Shelving คือผลตอบแทนทางความถี่ส่วนใหญ่จะไม่มีช่วง Stopband เลยทำให้สามารถแยกออกแบบวงจรกรองตามคุณสมบัติที่กำหนดของแต่ละย่านความถี่ และนำมาต่อเรียงกันได้โดยไม่เสียคุณสมบัติส่วนตัว ซึ่งการต่อเรียงกันของพารามetriกรอีควอไลเซอร์ จะแสดงดังภาพที่ 2.9 โดยย่านความถี่ต่ำสุดและย่านความถี่สูงสุดจะถูกอีควอไลซ์โดยวงจรกรองความถี่ต่ำผ่าน Shelving และวงจรกรองความถี่สูงผ่าน Shelving ซึ่งวงจรกรองทั้งสองแบบจะอนุญาตให้ปรับความถี่ตัดและอัตราขยายได้ สำหรับช่วงความถี่ตรงกลางจะเป็นการต่อเรียงกันของวงจรกรอง Peaking โดยจะสามารถปรับความถี่กลาง, แบนด์วิดท์, และอัตราขยาย



ภาพที่ 2.9 แสดงการต่อเรียงของพารามิเตอร์อีควอไลเซอร์ [8]

2.4.1 วงจรกรองแฉะลิ้น Shelving

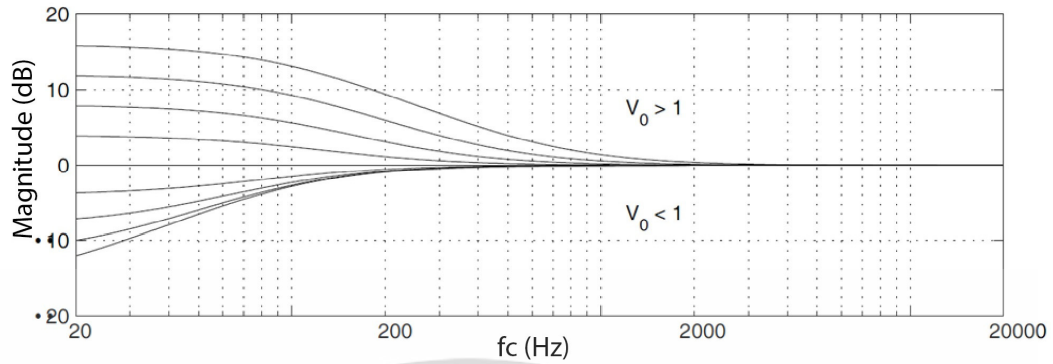
วิธีพื้นฐานสำหรับการออกแบบวงจรกรองแฉะลิ้นความถี่ต่ำผ่าน Shelving บนโดเมนเอสจะแสดงดังสมการที่ (2.14)

$$H(s) = 1 + H_{LP}(s) = 1 + \frac{H_0}{s+1} \quad (2.14)$$

จากสมการที่ (2.14) จะประกอบไปด้วยวงจรกรองความถี่ต่ำผ่านอันดับหนึ่งที่มีอัตราขยายที่ DC (0 Hz) เท่ากับ H_0 สามารถเขียนใหม่ได้ดังสมการที่ (2.15)

$$H(s) = \frac{s + (1 + H_0)}{s + 1} = \frac{s + V_0}{s + 1} \quad (2.15)$$

เมื่อ $V_0 = (1 + H_0)$ คืออัตราขยายที่ DC ของวงจรกรองความถี่ต่ำผ่าน Shelving ดังนั้นการปรับเปลี่ยนพารามิเตอร์ V_0 ก็จะเป็นการปรับระดับอัตราขยายของวงจรกรอง โดยจะแบ่งเป็นกรณี boost ($V_0 > 1$) และกรณี cut ($V_0 < 1$) และในภาพที่ 2.10 จะแสดงผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่าน Shelving ที่ความถี่ตัด $f_c = 100\text{Hz}$

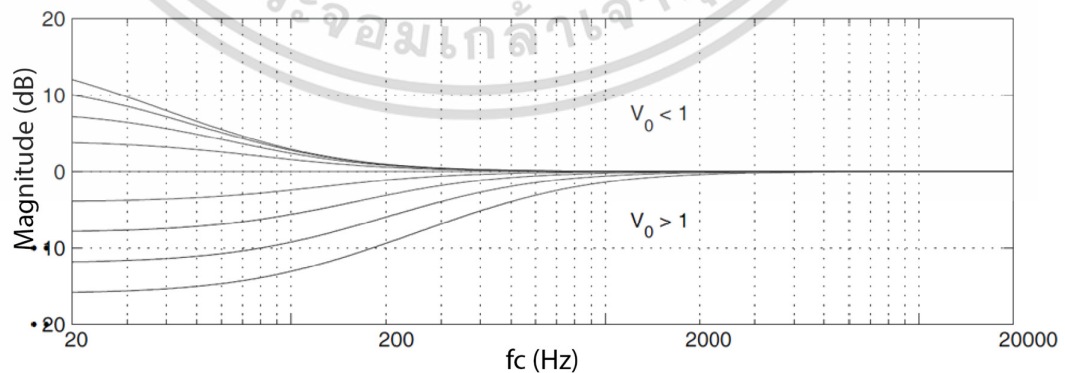


ภาพที่ 2.10 ผลตอบสนองทางขนาดของฟังก์ชันถ่ายโอน (2.15) ด้วย V_0 ที่แตกต่างกันและ $f_c=100\text{Hz}$ [8]

จากภาพที่ 2.10 จะพบปัญหาที่สำคัญคือผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่าน shelving ไม่สมมาตรกันระหว่างกรณี cut และกรณี boost เนื่องจากถ่ายโอนไปที่ฟังก์ชันถ่ายโอนตั้งต้นของการออกแบบจะใช้เป็นวงจรกรองความถี่ต่ำผ่าน ซึ่งในทางทฤษฎีแล้วจะนิยามให้ความถี่ตัด (f_c) มีอัตราการลงทอนลง -3 dB หรือ 0.707 (ในกรณีพิจารณาอัตราขยายเป็นแบบเชิงเส้น) เมื่อเปรียบเทียบกับอัตราขยายสูงสุด จึงส่งผลให้ผลตอบสนองทางขนาดในภาพที่ 2.10 เกิดความไม่สมมาตรกันในกรณี boost และกรณี cut

ดังนั้นเพื่อให้ได้ผลตอบสนองทางความถี่ที่มีความสมมาตรกันบนเส้นศูนย์ dB โดยไม่มีการเปลี่ยนความถี่ตัด จำเป็นต้องกลับฟังก์ชันถ่ายโอน (2.15) สำหรับในกรณี cut ซึ่งจะมีผลทำให้โพลและซีโรมีการสลับกันด้วย ดังฟังก์ชันถ่ายโอนสมการที่ (2.16) และภาพที่ 2.11 แสดงผลตอบสนองทางขนาดที่สัมพันธ์กัน

$$H(s) = \frac{s+1}{s+V_0} \quad (2.16)$$



ภาพที่ 2.11 ผลตอบสนองทางขนาดของฟังก์ชันถ่ายโอน (2.16) ด้วย V_0 ที่แตกต่างกันและ $f_c=100\text{Hz}$ [8]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากภาพที่ 2.11 จะพบว่าถ้าต้องการอัตราขยายในกรณี cut จะต้องตั้งค่า $V_0 > 1$ ดังนั้น นอกจากการกลับฟังก์ชันถ่ายโอนแล้วยังต้องมีการแปลงผกผันอัตราขยายด้วย ($V_0 = 1/V_0$) ดังนั้น ฟังก์ชันถ่ายโอนของวงจรความถี่ต่ำผ่าน Shelving อันดับหนึ่งสำหรับกรณี cut จะแสดงดัง สมการที่ (2.17)

$$H(s) = \frac{s+1}{s + \frac{1}{V_0}}; \quad V_0 < 1 \quad (2.17)$$

สำหรับวงจรความถี่สูงผ่าน Shelving จะแสดงฟังก์ชันถ่ายโอนบนโดเมนเอส ดังสมการที่ (2.18)

$$H(s) = 1 + H_{HP}(s) = 1 + \frac{sH_0}{s+1} \quad (2.18)$$

จากนั้นพิจารณาสมการที่ (2.18) ในลักษณะเดียวกับวงจรความถี่ต่ำผ่าน Shelving ดังนั้นจะได้ฟังก์ชันถ่ายโอนของวงจรความถี่สูงผ่าน Shelving สำหรับกรณี boost ดังสมการที่ (2.19) และสำหรับกรณี cut ดังสมการที่ (2.20)

$$H(s) = \frac{sV_0 + 1}{s+1}; \quad V_0 > 1 \quad (2.19)$$

$$H(s) = \frac{s+1}{\frac{s}{V_0} + 1}; \quad V_0 < 1 \quad (2.20)$$

2.4.2 วงจรกรองแฉะลิ้น Peaking

อีควอไลเซอร์อีกตัวที่ใช้สำหรับ boost หรือ cut ความถี่ที่ต้องการคือวงจรกรอง Peaking โดยการออกแบบจะใช้วงจรความถี่แถบผ่านดังนี้

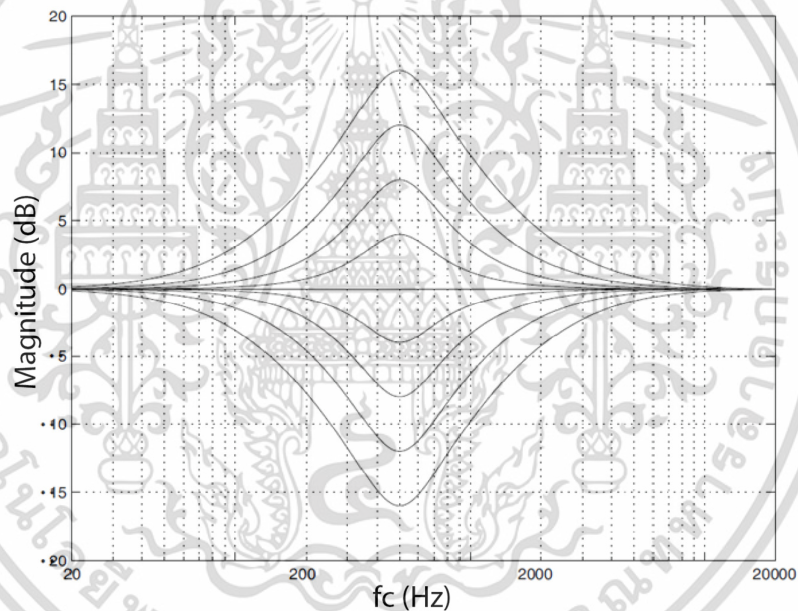
$$H(s) = 1 + H_{BP}(s) = 1 + \frac{(H_0/Q)s}{s^2 + \frac{1}{Q}s + 1} \quad (2.21)$$

ดังนั้นจะได้ฟังก์ชันถ่ายโอนของวงจรกรอง Peaking ดังสมการที่ (2.22)

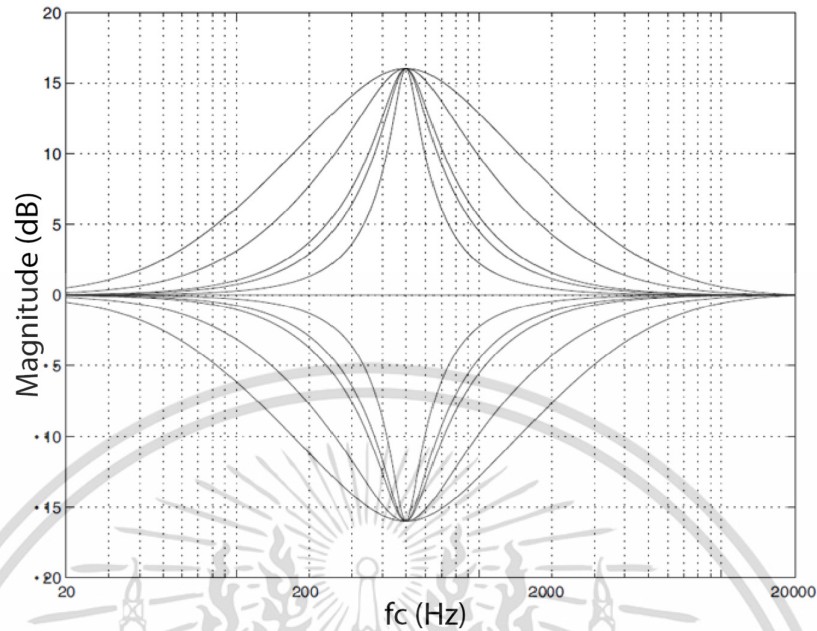
$$H(s) = \frac{s^2 + \frac{1+H_0}{Q}s + 1}{s^2 + \frac{1}{Q}s + 1} = \frac{s^2 + \frac{V_0}{Q}s + 1}{s^2 + \frac{1}{Q}s + 1}; \quad V_0 > 1 \quad (2.22)$$

จากสมการที่ (2.22) แสดงให้เห็นว่าผลตอบสนองทางความถี่จะมีค่าสูงสุดที่ความถี่กลาง ซึ่งถูกกำหนดโดยพารามิเตอร์ V_0 และแบนด์วิดท์จะสัมพันธ์กับค่าควอลิตี้แฟกเตอร์ (Q) และเช่นเดียวกับการออกแบบวงจร Shelving เพื่อให้ผลตอบสนองทางขนาดในกรณี boost และกรณี cut มีความสมมาตรกันจะต้องทำการกลับฟังก์ชันถ่ายโอนรวมถึงอัตราขยาย (V_0) ดังนั้นจะได้ฟังก์ชันถ่ายโอนของวงจร Peaking ในกรณี cut ดังสมการที่ (2.23) และผลตอบสนองทางความถี่ของวงจร Peaking จะแสดงดังภาพที่ 2.12 - ภาพที่ 2.14

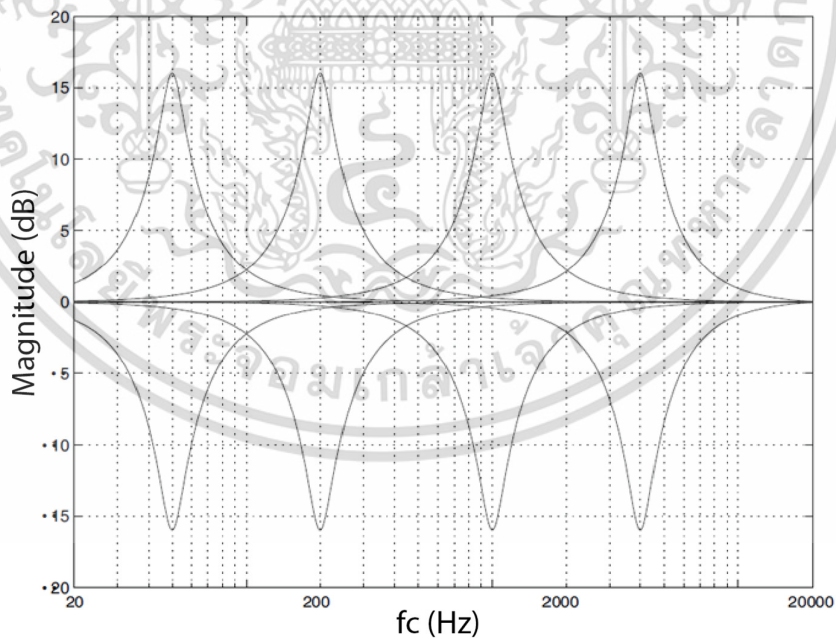
$$H(s) = \frac{s^2 + \frac{1}{Q}s + 1}{s^2 + \frac{1}{QV_0}s + 1}; \quad V_0 < 1 \quad (2.23)$$



ภาพที่ 2.12 ผลตอบสนองทางขนาดของวงจร Peaking โดยกำหนดให้ความถี่ศูนย์กลาง $f_0 = 500\text{Hz}$, $Q = 1.25$, และอัตราขยาย V_0 เปลี่ยนแปลง [8]



ภาพที่ 2.13 ผลตอบสนองทางขนาดของวงจรกรอง Peaking โดยกำหนดให้ความถี่ศูนย์กลาง $f_0 = 500\text{Hz}$, อัตราขยาย $V_0 = \pm 16\text{dB}$, และ $Q = 0.707, 1.25, 2.5, 3, 5, [8]$



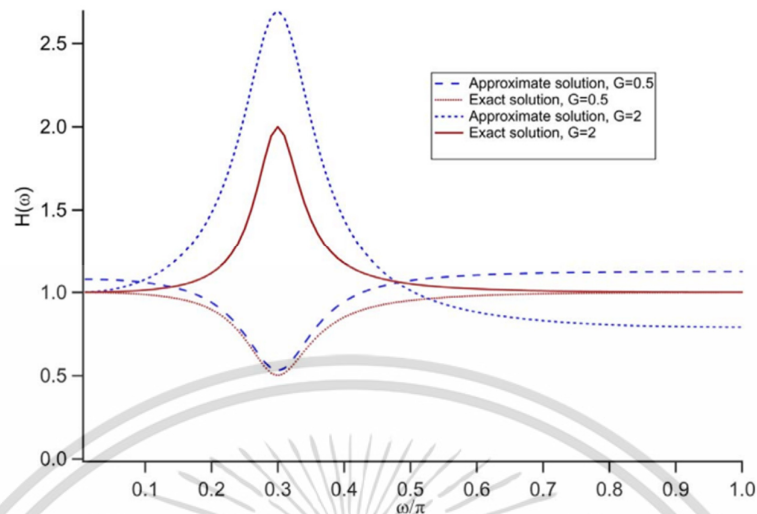
ภาพที่ 2.14 ผลตอบสนองทางขนาดของวงจรกรอง Peaking โดยกำหนดให้อัตราขยาย $V_0 = \pm 16\text{dB}$, $Q = 1.25$, และความถี่ศูนย์กลาง $f_0 = 50, 200, 1000, 4000\text{ Hz}$ [8]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 งานวิจัยที่เกี่ยวข้องกับการออกแบบดิจิทัลพารามетริกอีควอไลเซอร์

การออกแบบพารามетริกอีควอไลเซอร์ส่วนใหญ่จะอยู่บนพื้นฐานของวงจรรองแวนะล็อก [8], [12] ดังนั้นการจะออกแบบดิจิทัลพารามетริกอีควอไลเซอร์ ด้วยวิธีที่สะดวกคือการใช้วงจรรองแวนะล็อกต้นแบบเพื่อแปลงเป็นวงจรรองดิจิทัล โดยจะต้องมีขั้นตอนการแปลง s-z เพื่อให้อยู่ในรูปของฟังก์ชันถ่ายโอนดิจิทัล ซึ่งวิธีการแปลงที่ได้รับความนิยมคือการแปลงด้วยไบลิเนียร์ แต่เนื่องจากฟังก์ชันถ่ายโอนของวงจรรองแวนะล็อก Peaking และ Shelving จะแยกกันในกรณี boost และกรณี cut ทำให้ต้องเพิ่มเงื่อนไขและความซับซ้อนในขั้นตอนการออกแบบ ซึ่งวิธีการดังกล่าวจะถูกกล่าวถึงในบทที่ 4 ของวิทยานิพนธ์ฉบับนี้ด้วย

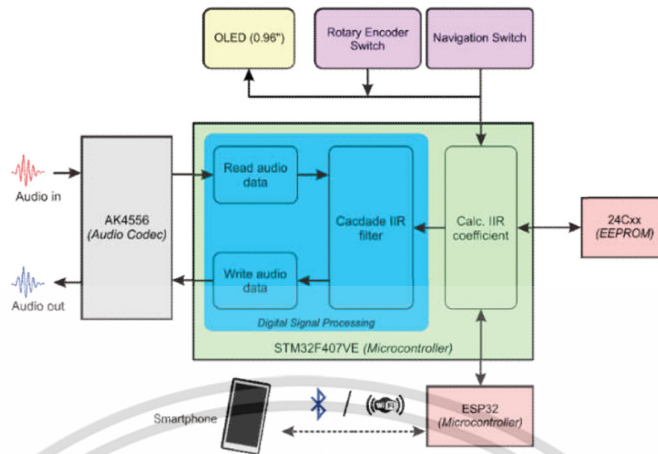
การออกแบบดิจิทัลพารามетริกอีควอไลเซอร์อีกวิธีหนึ่งคือการการออกแบบในโดเมนดิจิทัลโดยตรง [13] (งานวิจัยนี้สนใจเฉพาะวงจรรอง Peaking เท่านั้น) โดยใช้วิธีพิจารณาตำแหน่งการวางโพล-ซีโร ซึ่งหลักการที่นำเสนอมีอยู่หลายวิธีการขึ้นอยู่กับข้อจำกัดที่กำลังสนใจพิจารณา รวมทั้งได้นำเสนอวิธีการพิสูจน์ที่มาของแต่ละวิธีการซึ่งสุดท้ายจาก 32 วิธีการที่เป็นไปได้ จะมีเพียงวิธีการเดียวที่สามารถให้คำตอบที่ต้องการได้ โดยวิธีที่นำเสนอนี้ปรับปรุงมาจาก [10] ซึ่งมีปัญหาเรื่องความแม่นยำของแบนด์วิดท์และอัตราขยายที่ได้จากการทดลองไม่ตรงกับที่กำหนด และอาจเกิดความไม่สมมาตรของผลตอบสนองทางขนาดที่ไม่ใช่แค่ในกรณี boost-cut แต่กับในกรณี boost อย่างเดียว หากมองจากความถี่กลางก็จะเห็นความไม่สมมาตรดังกล่าว รวมทั้งอัตราขยายที่ความถี่ 0 และ π ก็ไม่เท่ากับ 1 ดังเช่นในภาพที่ 2.15 แต่ปัญหาดังกล่าวก็ได้ถูกแก้ไขในงานวิจัย [13] อย่างไรก็ตามที่นำเสนอใน [13] เป็นการออกแบบวงจรรอง Peaking เท่านั้น ไม่รวมวงจรรอง Shelving และด้วยวิธีการออกแบบที่ยุ้งยากทำให้ไม่เหมาะที่จะนำไปสร้างจริง โดยเฉพาะงานที่ต้องประมวลผลที่เวลาจริง



ภาพที่ 2.15 การเปรียบเทียบผลตอบสนองทางขนาดของวงจรกรอง Peaking ดิจิทัล ระหว่างการออกแบบด้วยวิธีการแปลงจากวงจรกรองแอนะล็อกต้นแบบ (เส้นสีแดง) กับการออกแบบด้วยวิธีประมาณโดยใช้เทคนิคการวางโพล-ซีโร [10] (เส้นสีน้ำเงิน)

งานวิจัยที่เกี่ยวข้องกับการออกแบบและสร้างอีควอไลเซอร์ที่สามารถควบคุมการปรับจูนผ่านสมาร์ตโฟน [14] การสร้างพาราเมตริกอีควอไลเซอร์ประกอบด้วยฟิลเตอร์ Bi-quad Infinite Impulse Response (IIR) จำนวน 5 แบนด์สำหรับแต่ละย่าน โดนใช้ STM32F407VGT6 เป็นแกนประมวลผลเชื่อมต่อกับตัวแปลงสัญญาณเสียง AK4556 ผ่านการสื่อสาร Inter IC-Sound (I2S) ด้วยอัตราการสุ่มตัวอย่าง 48 kHz ผู้ใช้สามารถปรับอัตราขยาย แบนด์วิธ และความถี่กลางได้อย่างอิสระโดยใช้แอปพลิเคชันที่พัฒนาขึ้นบนสมาร์ตโฟน Android และไมโครคอนโทรลเลอร์ ESP32 ใช้เพื่อเชื่อมต่อสมาร์ตโฟนกับโปรเซสเซอร์ STM32F407VGT6 ผ่านการสื่อสาร Wi-Fi หรือบลูทูธดังภาพที่ 2.16

วงจรกรองที่ใช้ในงานวิจัยนี้จะใช้วิธีการแปลงไบลิเนียร์จากวงจรกรองแอนะล็อกต้นแบบ ซึ่งจะต้องแยกฟังก์ชันถ่านโอนในกรณี boost และ cut โดยใช้โครงสร้าง Direct form I สำหรับการสร้างวงจรกรองดิจิทัลไบควอด IIR เพื่อสร้างเป็นวงจพาราเมตริกอีควอไลเซอร์ 5 แบนด์ ดังนั้นการปรับเปลี่ยนคุณสมบัติของวงจรกรองจะต้องทำการคำนวณสัมประสิทธิ์ใหม่ทั้งหมด



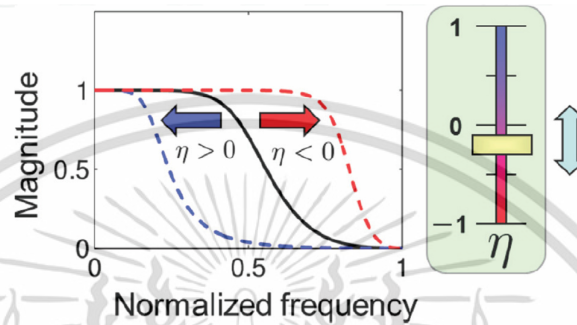
ภาพที่ 2.16 แผนภาพบล็อกของระบบที่ใช้ในงานวิจัย [14]

การออกแบบพารามิเตอร์ไอควอลไลเซอร์ในวิทยานิพนธ์นี้ (บทที่ 5) ได้ประยุกต์มาจากวงจรกรองดิจิทัลไบควอดเรติกแบบหลายเอาต์พุตซึ่งเป็นวงจรกรองอันดับที่สอง ที่สามารถให้เอาต์พุตได้หลายตัวพร้อมกัน [15] โดยการพิจารณาจะใช้โพลิเนียร์ปาสคาลเมทริกซ์ สำหรับแปลง s - z จากวงจรกรองต้นแบบ $H(s)$ เป็นวงจรกรองไบควอดเรติกมาตรฐาน 5 แบบ (LP, HP, BP, BS, AP) และทำการโพลิเนียร์ปาสคาลเมทริกซ์ เดิมสำหรับวงจรกรองไบควอดเรติกอันดับที่สอง เพื่อสร้างเป็นเวอร์ชันดัดแปลงของโพลิเนียร์ปาสคาลเมทริกซ์ ที่สามารถนำมาใช้ในการออกแบบวงจรกรองดิจิทัลไบควอดเรติกแบบหลายเอาต์พุต ที่ให้เอาต์พุตทั้ง 5 แบบออกมาพร้อมกัน โดยตัวโครงสร้างของวงจรกรองดิจิทัลที่ให้เอาต์พุตออกมา 5 ตัวพร้อมกันนั้นดัดแปลงมาจากโครงสร้าง direct form-II และค่าสัมประสิทธิ์ของวงจรกรองดิจิทัลไบควอดเรติกแบบหลายเอาต์พุต ถูกคำนวณมาจากสมการเมทริกซ์ที่ถูกนำเสนอตั้งกล่าว ซึ่งใช้เมทริกซ์เพียง 1 สมการเพื่อคำนวณสัมประสิทธิ์ของวงจรกรองที่สอดคล้องกับโครงสร้างที่นำเสนอ

2.6 การออกแบบวงจรกรอง IIR ที่สามารถปรับค่าได้ทันที โดยใช้เทคนิคการแปลงความถี่

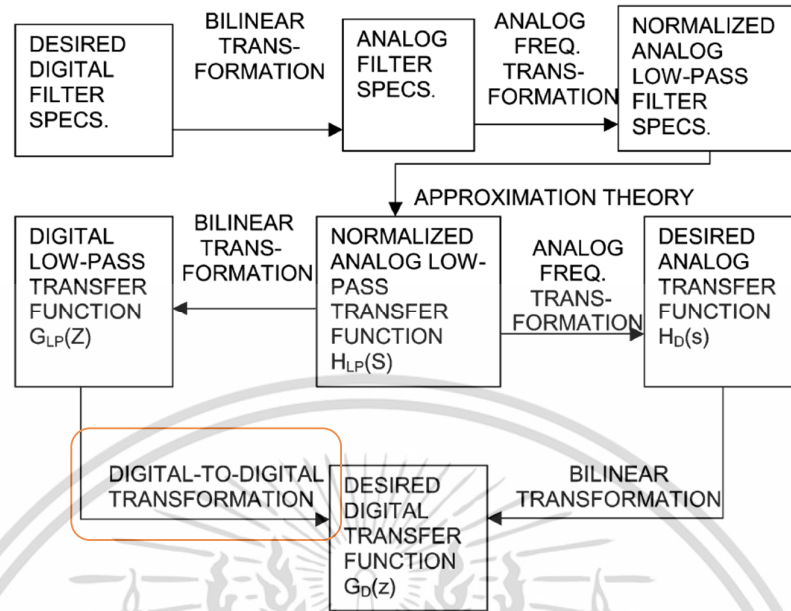
โดยปกติการออกแบบวงจรกรองดิจิทัลเมื่อกำหนดคุณสมบัติแล้วจะสัมพันธ์กับค่าสัมประสิทธิ์วงจรกรองที่ได้รับ แต่ถ้าต้องการเปลี่ยนแปลงคุณสมบัติของวงจรกรองเช่น การเปลี่ยนความถี่ตัด หรือการเปลี่ยนแบนด์วิดท์ ก็จำเป็นต้องทำการคำนวณหาสัมประสิทธิ์วงจรกรองขึ้นใหม่ ดังนั้นโดยพื้นฐานแล้วการออกแบบวงจรกรองดิจิทัลที่ใช้งานโดยทั่วไปจะไม่สามารถปรับเปลี่ยน

คุณสมบัติได้ทันทีเหมือนดังเช่นวงจรรองแบบแอนะล็อก เนื่องจากคุณลักษณะทางความถี่จะถูกผูกติดอยู่กับค่าสัมประสิทธิ์ตามที่คำนวณหรือออกแบบมา ดังนั้นในหัวข้อนี้จึงมุ่งเน้นการออกแบบวงจรรองดิจิทัลที่สามารถปรับเปลี่ยนคุณสมบัติได้ทันที เช่นการเปลี่ยนความถี่ตัดดังภาพที่ 2.17 โดยไม่จำเป็นต้องกลับไปที่ขั้นตอนการออกแบบและหาค่าสัมประสิทธิ์วงจรรองใหม่



ภาพที่ 2.17 แนวคิดการออกแบบวงจรรองความถี่ต่ำผ่านที่สามารถปรับความถี่ตัดได้ทันทีผ่านพารามิเตอร์ η [16]

วิธีการออกแบบวงจรรองความถี่ต่ำผ่านที่สามารถปรับคุณสมบัติได้ทันทีจะอาศัยทฤษฎีการแปลงความถี่ดิจิทัล (Digital to Digital Frequency Transformation) [17] ซึ่งเป็นหนึ่งในขั้นตอนที่ใช้ในการออกแบบวงจรรอง IIR โดยวิธีการเปลี่ยนฟังก์ชันถ่ายโอนแอนะล็อก $H(s)$ เป็นฟังก์ชันถ่ายโอนดิจิทัล $H(z)$ ผ่านการแปลงไบลิเนียร์ (Bilinear s-z Transformation) ดังภาพที่ 2.18 ซึ่งแสดงเส้นทางการออกแบบวงจรรองดิจิทัลทั้ง 2 วิธีนั่นคือ 1) ทำการแปลงความถี่ในโดเมนแอนะล็อกแล้วจึงค่อยแปลงไบลิเนียร์เป็นวงจรรองดิจิทัล และ 2) ทำการแปลงฟังก์ชันถ่ายโอนนอร์มัลไลซ์แอนะล็อกให้เป็นวงจรรองดิจิทัลก่อนแล้วจึงทำการแปลงความถี่ในโดเมนดิจิทัลแทน ซึ่งในที่นี้จะสนใจการออกแบบวิธีที่ 2 โดยสำหรับการออกแบบวงจรรองความถี่ต่ำผ่านที่สามารถปรับคุณสมบัติได้ทันทีจะพิจารณาในส่วนของการแปลงความถี่ต่ำผ่านไปความถี่ต่ำผ่าน (Lowpass to Lowpass Transformation) โดยจะกำหนดให้ ω'_c คือความถี่ตัดของวงจรรองความถี่ต่ำผ่านดิจิทัลต้นแบบ ซึ่งจะใช้เป็นความถี่ตั้งต้นสำหรับการแปลงเป็นวงจรรองความถี่ต่ำผ่านดิจิทัลตัวอื่นที่มีความถี่ตัด ω_0 บนพื้นฐานการแปลงไบลิเนียร์ความถี่ทั้งสองนี้จะสัมพันธ์กับความถี่แอนะล็อก Ω'_0 และ Ω_0 ตามลำดับดังนี้



ภาพที่ 2.18 เส้นทางการออกแบบวงจรกรองดิจิทัล IIR ทั้งสองเส้นทาง [17]

$$\Omega'_0 = \tan\left(\frac{\omega'_0}{2}\right), \quad \Omega_0 = \tan\left(\frac{\omega_0}{2}\right) \quad (2.24)$$

กำหนดให้ตัวแปรความถี่แอนะล็อกที่สัมพันธ์กับวงจรกรองต้นแบบและวงจรกรองที่ต้องการแปลงความถี่ไปคือ S' และ s ตามลำดับ ดังนั้นถ้า $S = S' / \Omega'_0$ เป็นตัวแปรของความถี่เชิงมุมแอนะล็อกสำหรับวงจรกรองความถี่ต่ำผ่าน ซึ่งความถี่ตัดอยู่ที่ 1 rad/sec หากต้องการแปลงเป็นวงจรกรองตัวอื่นที่มีความถี่ตัดที่ Ω_0 จะต้องแทน $S = s / \Omega_0$ ดังนั้นจะได้สมการที่ (2.25)

$$S' = s\Omega'_0 / \Omega_0 \quad (2.25)$$

ดังนั้นถ้ากำหนดให้ Z และ z เป็นตัวแปรความถี่ดิจิทัลสำหรับวงจรกรองความถี่ต่ำผ่านต้นแบบและวงจรกรองที่ต้องการแปลงความถี่ไปจะได้ความสัมพันธ์ดังสมการที่ (2.26)

$$S' = \frac{1-Z^{-1}}{1+Z^{-1}}, \quad s = \frac{1-z^{-1}}{1+z^{-1}} \quad (2.26)$$

แทนสมการที่ (2.24) และ (2.26) ในสมการที่ (2.25) จะได้

$$\frac{1-Z^{-1}}{1+Z^{-1}} = k \frac{1-z^{-1}}{1+z^{-1}} \quad (2.27)$$

เมื่อ

$$k = \frac{\Omega'_0}{\Omega_0} = \frac{\tan(\omega'_0/2)}{\tan(\omega_0/2)} \quad (2.28)$$

จากนั้นทำการจัดรูปสมการที่ (2.27) จะได้ความสัมพันธ์ของการแปลงดังสมการที่ (2.29) โดย η จะเป็นพารามิเตอร์สำหรับปรับความถี่ตัดซึ่งจะมีความสัมพันธ์ดังสมการที่ (2.30)

$$Z^{-1} = \frac{z^{-1} - \eta}{1 - \eta z^{-1}} \quad (2.29)$$

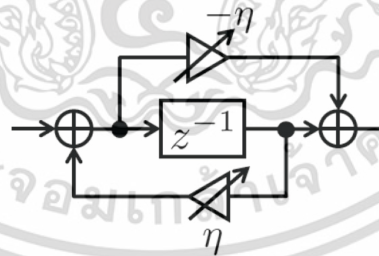
$$\eta = \frac{k-1}{k+1} = \frac{\sin[(\omega'_0 - \omega_0)/2]}{\sin[(\omega'_0 + \omega_0)/2]} \quad (2.30)$$

การสร้างวงจรกรองความถี่ต่ำผ่านที่สามารถปรับความถี่ตัดได้ทันทีจะใช้วิธีการเปลี่ยน Unit-delay ของฟังก์ชันถ่ายโอนวงจรกรองดิจิทัลต้นแบบเดิม ($H_p(z)$) เป็นฟังก์ชันถ่ายโอน $A(z, \eta)$ [16] ที่ได้จากความสัมพันธ์จากสมการที่ (2.30) ซึ่งเมื่อพิจารณาสมการที่ (2.31) จะพบว่าเป็นฟังก์ชันถ่ายโอนของวงจรกรองผ่านตลอดดิจิทัลอันดับที่หนึ่ง โดยโครงสร้างของ $A(z, \eta)$ จะแสดงดังภาพที่ 2.19

$$A(z, \eta) = \frac{z^{-1} - \eta}{1 - \eta z^{-1}} \quad (2.31)$$

ดังนั้นฟังก์ชันถ่ายโอนของวงจรกรองความถี่ต่ำผ่านดิจิทัลที่ปรับค่าได้ทันทีที่จะแสดงดังสมการ (2.32)

$$H(z, \eta) = H_p(z) \Big|_{z^{-1} \leftarrow A(z, \eta)} \quad (2.32)$$



ภาพที่ 2.19 โครงสร้างของ $A(z, \eta)$ [16]

เทคนิคการแปลงความถี่ด้วยการเปลี่ยน Unit delay (z^{-1}) เป็นฟังก์ชัน $A(z, \eta)$ นี้สามารถประยุกต์ใช้กับวงจรกรองดิจิทัลชนิดอื่นเช่น วงจรกรองความถี่สูงผ่าน วงจรกรองความถี่แถบผ่าน และวงจรกรองความถี่แถบหยุด ได้เช่นกันซึ่งจะทำให้สามารถปรับความถี่ตัดหรือความถี่กลางของวงจรกรองได้ทันทีโดยการเปลี่ยนพารามิเตอร์ η รวมถึงวงจรกรองชนิด FIR ก็สามารถใช้เทคนิคนี้สร้างเป็นวงจรกรอง FIR ที่สามารถปรับคุณสมบัติได้ทันที

ตัวอย่างการออกแบบวงจกรองต่ำผ่านดิจิทัลที่สามารถปรับความถี่ตัดได้ทันทีอันดับที่สอง โดยใช้วงจรองความถี่ต้นแบบซึ่งจะมีฟังก์ชันถ่ายโอนดังสมการที่ (2.33) จากนั้นถ้าวิเคราะห์ความสัมพันธ์จากสมการที่ (2.32) จะได้ฟังก์ชันถ่ายโอนสำหรับวงจรองดิจิทัลที่สามารถปรับความถี่ตัดได้ทันทีดังสมการที่ (2.34)

$$H_p(z) = \frac{b_0 + b_1 z^{-1} + b_2 z^{-2}}{1 + a_1 z^{-1} + a_2 z^{-2}} \quad (2.33)$$

$$H(z, \eta) = \frac{b'_0 + b'_1 z^{-1} + b'_2 z^{-2}}{1 + a'_1 z^{-1} + a'_2 z^{-2}} \quad (2.34)$$

เมื่อ

$$a'_1(\eta) = \frac{-2\eta + a_1(1 + \eta^2) - 2a_2\eta}{1 - a_1\eta + a_2\eta^2} \quad (2.35)$$

$$a'_2(\eta) = \frac{\eta^2 - a_1\eta + a_2}{1 - a_1\eta + a_2\eta^2} \quad (2.36)$$

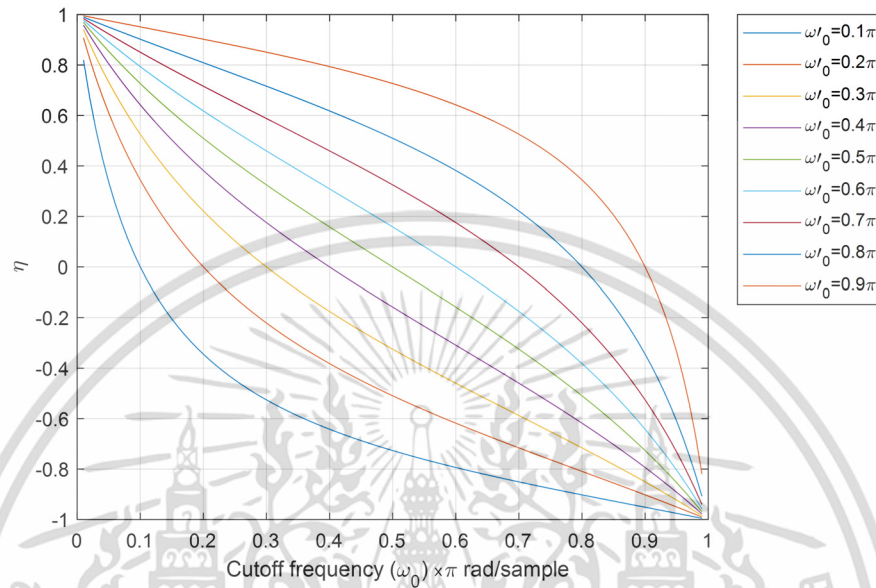
$$b'_0(\eta) = \frac{b_0 - b_1\eta + b_2\eta^2}{1 - a_1\eta + a_2\eta^2} \quad (2.37)$$

$$b'_1(\eta) = \frac{-2b_0\eta - b_1(1 + \eta^2) + b_2\eta}{1 - a_1\eta + a_2\eta^2} \quad (2.38)$$

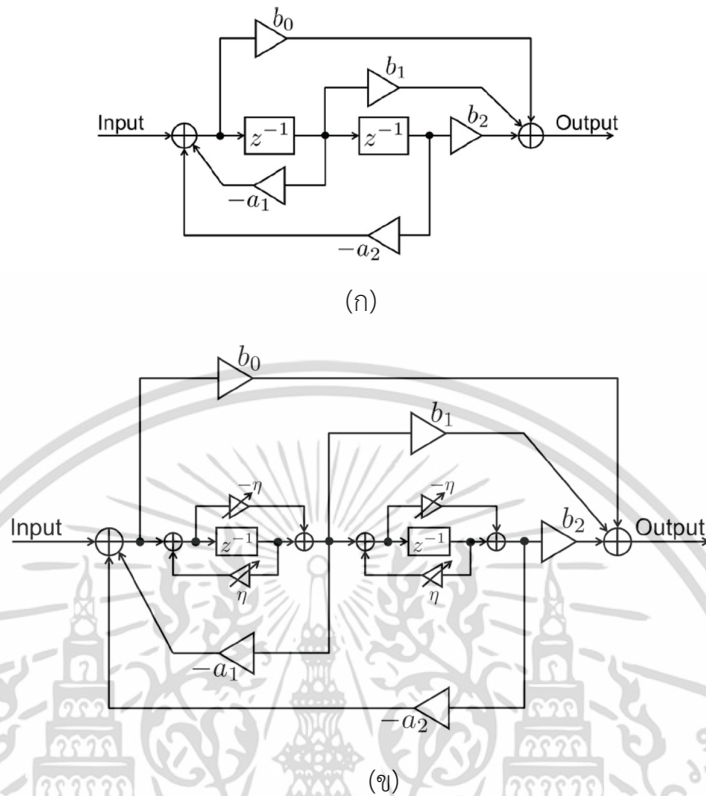
$$b'_2(\eta) = \frac{b_0\eta^2 - b_1\eta + b_2}{1 - a_1\eta + a_2\eta^2} \quad (2.39)$$

จากสมการที่ (2.35) - (2.39) จะเห็นว่าค่าสัมประสิทธิ์ของวงจรองตัวใหม่จะได้จากการดำเนินการทางคณิตศาสตร์พื้นฐานระหว่างค่าสัมประสิทธิ์ของวงจรองต้นแบบ กับพารามิเตอร์สำหรับปรับความถี่ตัด (η) ดังนั้นคุณสมบัติของผลตอบสนองทางความถี่สำหรับวงจรองความถี่ต่ำผ่านในสมการที่ (2.34) จะถูกปรับตั้งความถี่ตัดด้วยพารามิเตอร์ η เพียงตัวเดียว โดยโครงสร้างของวงจรองดิจิทัลต้นแบบและวงจรองดิจิทัลที่สามารถปรับความถี่ตัดได้ทันทีที่จะแสดงดังภาพที่ 2.21 รวมทั้งกราฟแสดงความสัมพันธ์ระหว่างพารามิเตอร์สำหรับปรับความถี่ตัด (η), ความถี่ตัดนอร์มัลไลซ์

ดิจิทัลของวงจรกรองต้นแบบ (ω'_0), และความถี่ตัดนอร์มัลไลซ์ดิจิทัลของวงจรกรองที่สามารถปรับความถี่ตัดได้ทันที (ω_0) จะแสดงดังภาพที่ 2.20



ภาพที่ 2.20 ความสัมพันธ์ระหว่างพารามิเตอร์ปรับความถี่ตัด (η), ความถี่ตัดนอร์มัลไลซ์ดิจิทัลของวงจรกรองต้นแบบ (ω'_0), และความถี่ตัดนอร์มัลไลซ์ดิจิทัลของวงจรกรองที่สามารถปรับความถี่ตัดได้ทันที (ω_0)

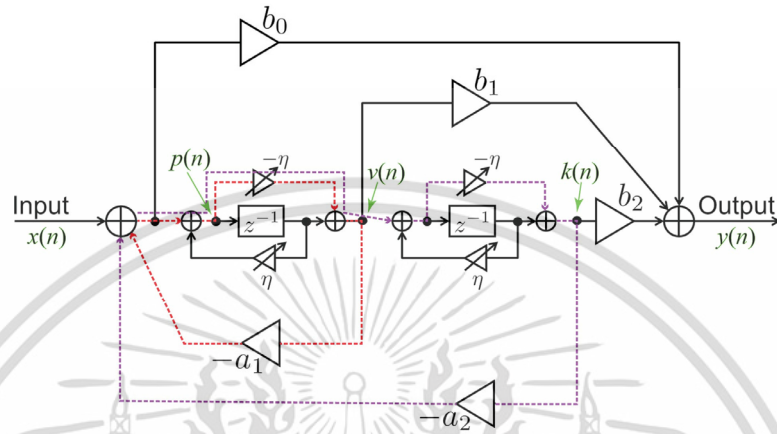


ภาพที่ 2.21 (ก) โครงสร้างของวงจรกรองดิจิทัลต้นแบบและ (ข) วงจรกรองดิจิทัลที่สามารถปรับความถี่ตัดได้ทันที [16]

การออกแบบวงจรกรองที่สามารถปรับค่าได้โดยใช้เทคนิคการแปลงความถี่ที่นำเสนอในหัวข้อนี้ เหมาะสมที่จะประยุกต์ใช้งานกับวงจรกรองชนิดความถี่ต่ำผ่านและความถี่สูงผ่าน เนื่องจากสามารถปรับเปลี่ยนความถี่ตัดได้ด้วยพารามิเตอร์เพียง 1 ตัว โดยไม่ส่งผลให้ค่า Q เปลี่ยนแปลงตามไปด้วย แต่เทคนิคการออกแบบนี้จะไม่เหมาะกับวงจรกรองชนิดแถบความถี่ผ่านและแถบความถี่หยุด เนื่องจากวงจรกรองลักษณะนี้จะต้องปรับตั้งคุณลักษณะ 2 ชนิดคือ ความถี่กลางและแบนด์วิดท์ ซึ่งเทคนิคการออกแบบนี้จะมีพารามิเตอร์ปรับตั้ง η เพียงตัวเดียว ทำให้ไม่สามารถควบคุมแบนด์วิดท์ของวงจรกรองได้

อย่างไรก็ตามหากพิจารณาแนวคิดดังกล่าวน่าจะสามารถใช้สร้างวงจรกรองปรับค่าได้แล้ว แต่ในความเป็นจริงยังคงมีปัญหาที่ซ่อนอยู่ในโครงสร้างจากภาพที่ 2.21 (ข) ซึ่งปัญหาที่เกิดขึ้นที่ทำให้วิธีการออกแบบวงจรกรองปรับค่าได้ดังกล่าวถึงในหัวข้อนี้ไม่สามารถนำไปสร้าง (implementation) ขึ้นใช้งานจริงได้ เรียกปัญหานี้ว่า Delay-Free Loop โดยถ้าพิจารณา $H_p(z)$ จากสมการที่ (2.33) ซึ่งเขียนเป็นโครงสร้างวงจรกรองแบบ Direct form II ดังภาพที่ 2.21 (ก) จากนั้นทำการแปลง $H_p(z)$ ดังกล่าวให้เป็นวงจรกรองปรับค่าได้ $H(z, \eta)$ ในสมการที่ (2.34) ได้ผลลัพธ์เป็นโครงสร้างดังภาพที่

2.21 (ข) ซึ่งเมื่อพิจารณาภาพที่ 2.21 (ข) จะพบปัญหา delay-free loop แสดงด้วยเส้นประสีแดงและสีม่วงในภาพที่ 2.22 ซึ่งถ้าวิเคราะห์ดูใน loop ปิดดังกล่าวจะสังเกตได้ว่าตลอดเส้นทางของ loop ปิด ทั้ง 2 จะไม่ผ่าน unit delay (z^{-1}) เลย



ภาพที่ 2.22 ปัญหา delay-free loop ที่เกิดขึ้นในวงจรกรองดิจิทัลที่สามารถปรับความถี่ตัดได้ทันที

อธิบายรายละเอียดเพิ่มขึ้นของประเด็นปัญหาของ delay-free loop จากภาพที่ 2.22 และสมการต่างๆ ที่เกี่ยวข้องของสัญญาณ $k(n)$, $v(n)$, $p(n)$, และ $y(n)$ แสดงดังสมการที่ (2.40) - (2.43) ตามลำดับ

$$k(n) = -\eta v(n) + v(n-1) \quad (2.40)$$

$$v(n) = -\eta p(n) + p(n-1) \quad (2.41)$$

$$p(n) = \eta p(n-1) - a_1 v(n) - a_2 k(n) + x(n) \quad (2.42)$$

$$y(n) = b_2 k(n) + b_1 v(n) + b_0 [-a_1 v(n) - a_2 k(n) + x(n)] \quad (2.43)$$

แทนสมการที่ (2.42) ในสมการที่ (2.41) จะได้

$$v(n) = -\eta [\eta p(n-1) - a_1 v(n) - a_2 k(n) + x(n)] + p(n-1) \quad (2.44)$$

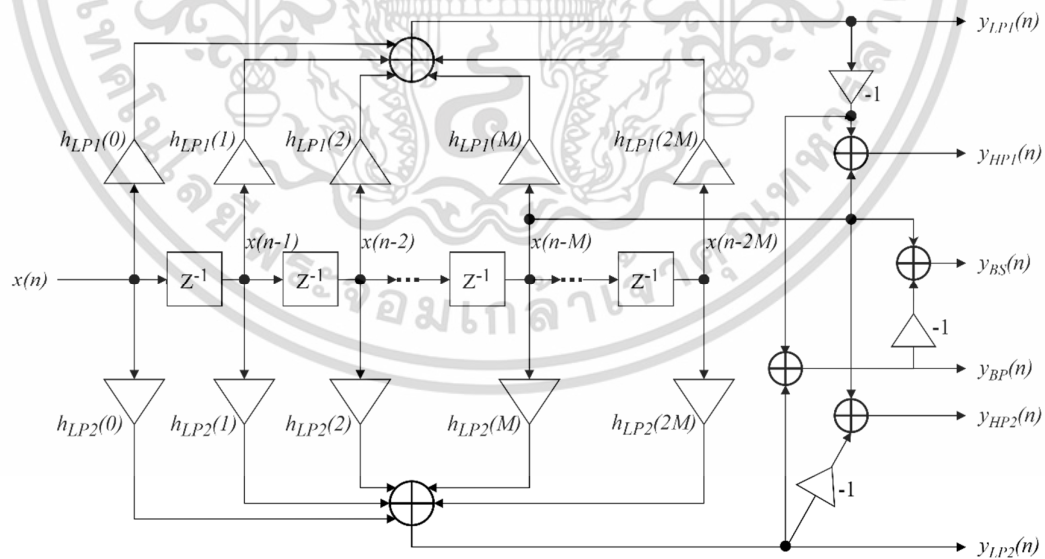
แทนสมการที่ (2.44) ในสมการที่ (2.40) จะได้

$$k(n) = -\eta [-\eta [\eta p(n-1) - a_1 v(n) - a_2 k(n) + x(n)] + p(n-1)] + v(n-1) \quad (2.45)$$

จากสมการที่ (2.44) ซึ่งถูกเขียนมาจากโครงสร้างในภาพที่ 2.22 จะเห็นว่า $v(n)$ ด้ายซ้ายมือที่จะเกิดจากการคำนวณจากสมการทางขวามือซึ่งเป็นเทอม $v(n)$ เช่นเดียวกัน และถ้าพิจารณาในลักษณะเดียวกันกับสมการที่ (2.45) จะพบว่าผลของ $k(n)$ ด้านซ้ายมือเกิดจากการคำนวณด้วย $k(n)$ ด้านขวามือเหมือนกัน ซึ่งรูปแบบสมการลักษณะนี้ไม่สามารถคำนวณได้จริงหากนำไปสร้างจริงในลักษณะของวงจรฮาร์ดแวร์ อันเป็นปัญหาที่เกิดจาก delay-free loop

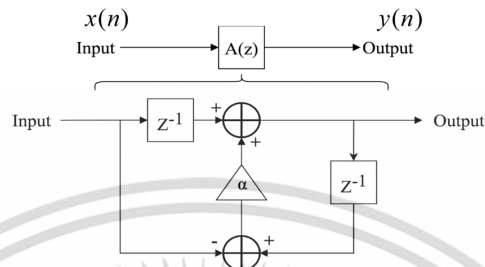
2.7 การออกแบบวงจรกรอง FIR ที่สามารถปรับจูนได้ทันที โดยใช้เทคนิคการแปลงความถี่

การออกแบบวงจรกรองดิจิทัลที่สามารถปรับจูนได้ทันทีโดยใช้เทคนิคการแปลงความถี่หรือการใช้ first-order allpass แทน unit delay นอกจากวงจรกรองแบบ IIR ที่นำเสนอในหัวข้อก่อนหน้านี้แล้วยังสามารถใช้เทคนิคดังกล่าวกับวงจรกรองแบบ FIR ได้ดังงานวิจัย [18], [19], [20] ซึ่งจะไม่เกิดปัญหา delay free loop ดังเช่นในวงจรกรองแบบ IIR เนื่องจากโครงสร้างของ FIR จะเป็นแบบป้อนไปข้างหน้าเท่านั้นไม่มีการป้อนย้อนกลับจึงทำให้ไม่เกิดปัญหาดังกล่าว โดยในงานวิจัย [21] ได้นำเสนอการออกแบบวงจรกรอง FIR หลายเอาต์พุตที่ปรับจูนได้ โดยโครงสร้างของวงจรกรอง FIR แบบหลายเอาต์พุตแสดงดังภาพที่ 2.23



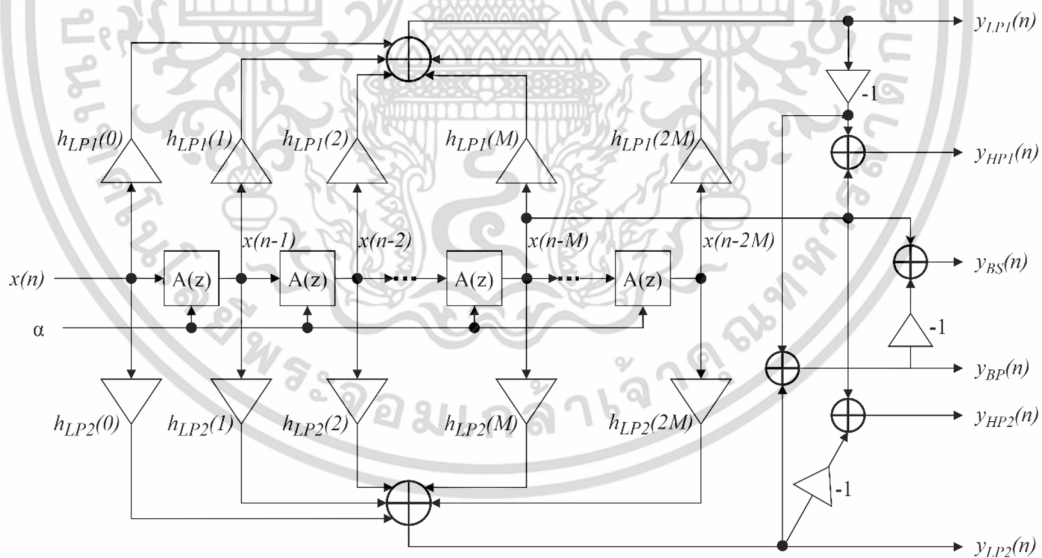
ภาพที่ 2.23 โครงสร้างวงจรกรองสัญญาณเชิงเลข FIR แบบหลายเอาต์พุต [21]

เช่นเดียวกับวงจรกรอง IIR สามารถใช้เทคนิคการแปลงความถี่โดยใช้ first-order allpass แทนที่ unit delay ของวงจรกรองทุกตัว เพื่อให้ได้ผลตอบสนองทางขนาดที่สามารถปรับจูนได้ โดยโครงสร้างของ first-order allpass แสดงดังภาพที่ 2.24



ภาพที่ 2.24 โครงสร้างวงจรกรองสัญญาณเชิงเลขผ่านตลอดอันดับที่ 1 (first-order allpass filter) [21]

จากนั้นนำวงจรกรองผ่านตลอดลำดับที่ 1 (first-order allpass filter) ในภาพที่ 2.24 มาแทนที่ unit delay เพื่อให้สามารถปรับจูนผลตอบสนองทางความถี่ได้ จึงเกิดเป็นโครงสร้างวงจรกรองสัญญาณเชิงเลขแบบใหม่ ที่ให้ผลตอบสนองทางความถี่ได้พร้อมกันถึง 6 แอต์พุด และสามารถจูนผลตอบสนองทางความถี่ได้ดังภาพที่ 2.25



ภาพที่ 2.25 โครงสร้างวงจรกรองสัญญาณเชิงเลข FIR แบบหลายแอต์พุดที่สามารถปรับจูนได้ทันที [21]

2.8 งานวิจัยที่เกี่ยวข้องกับการออกแบบวงจรกรองที่สามารถปรับค่าได้ทันที

จากลักษณะของ Parametric Equalizer ที่กล่าวถึงในหัวข้อที่ 2.4 จะเห็นว่าคุณสมบัติที่สำคัญของวงจรกรองที่จะนำมาสร้างจึงควรจะเป็นวงจรกรองที่สามารถปรับค่าได้ และมีโครงสร้างที่เรียบง่ายเพื่อนำมาต่อเรียงกันได้ โดยไม่เกิดปัญหา ในงานวิจัย [22] ได้นำเสนอการออกแบบวงจรกรอง Peaking และวงจรกรอง Shelving ที่อันดับใดๆ ในโดเมนดิจิทัลโดยตรงโดยไม่ต้องใช้วงจรกรองแอนะล็อกต้นแบบ โดยอยู่บนพื้นฐานของวงจรกรองผ่านตลอด และใน [23] ได้นำเสนอการออกแบบวงจรกรองดิจิทัลแบบ Shelving ที่อันดับสูง แต่เนื่องจากมีโครงสร้างที่ซับซ้อน และไม่สามารถปรับแต่งคุณสมบัติของวงจรกรองจากพารามิเตอร์ที่ปรับค่าได้ ทำให้ไม่เหมาะที่จะนำมาใช้ในการประมวลผลที่เวลาจริง

ในงานวิจัย [11] ได้นำเสนอการออกแบบวงจรกรองแบบ Peaking อันดับ 2 ที่มีพารามิเตอร์ซึ่งสามารถปรับแต่งคุณสมบัติของวงจรกรองได้โดยตรง แต่เป็นการปรับแต่งโดยการคำนวณค่าสัมประสิทธิ์ของวงจรกรองใหม่ รวมทั้งในงานวิจัยนี้ไม่ได้นำเสนอการสร้างวงจรกรองแบบ Shelving ซึ่งเป็นส่วนประกอบที่สำคัญของ Parametric Equalizer นอกจากนั้นใน [24] ได้นำเสนอการออกแบบวงจรกรอง Shelving อันดับ 1 และวงจรกรองแบบ Peaking อันดับ 2 ด้วยวงจรกรองผ่านตลอด (Allpass filter) ที่สามารถปรับแต่งคุณสมบัติทางความถี่ได้ด้วยพารามิเตอร์ที่สามารถปรับค่าได้ อย่างไรก็ตามผลตอบสนองทางขนาดวงจรกรองทั้ง 2 ที่นำเสนอในงานวิจัยนี้จะเป็นแบบอสมมาตรเท่านั้นไม่สามารถทำเป็นแบบสมมาตรกันระหว่างกรณี boost และกรณี cut ได้

วงจรกรองสัญญาณแอนะล็อกแบบไบควอดเรติกที่สามารถปรับค่าได้ทันที เป็นวงจรกรองสัญญาณที่ถูกใช้งานกันอย่างแพร่หลายในการประมวลผลสัญญาณแอนะล็อก [25] ซึ่งมีคุณลักษณะเด่นคือสามารถทำหน้าที่เป็นวงจรกรองสัญญาณหลายชนิดได้ในเวลาเดียวกัน แต่เนื่องจากคุณลักษณะผลตอบสนองทางความถี่ของวงจรกรองสัญญาณแอนะล็อกขึ้นอยู่กับการควบคุมทางอิเล็กทรอนิกส์ดังที่กล่าวข้างต้น จึงได้มีการทำวิจัยเกี่ยวกับวงจรกรองสัญญาณดิจิทัลแบบไบควอดเรติกที่ใช้เพียง 1 อินพุต แต่สามารถให้เอาต์พุตออกมาถึง 5 เอาต์พุต [15] ซึ่งฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณดิจิทัลแบบไบควอดเรติก สามารถสร้างได้จากฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณแอนะล็อกแบบไบควอดเรติก ด้วยวิธีการแปลงไบลิเนียร์โดยใช้พาสคาลเมทริกซ์

อย่างไรก็ตามค่าสัมประสิทธิ์ของวงจรกรองสัญญาณดิจิทัลแบบไบควอดเรติกที่นำเสนอใน [15] ไม่สามารถปรับค่าได้ทันทีเช่นเดียวกับวงจรกรองสัญญาณแอนะล็อกแบบไบควอดเรติกใน [25] ดังนั้นในงานวิจัย [26] ได้พัฒนาโครงสร้างของวงจรกรองสัญญาณดิจิทัลแบบไบควอดเรติกที่สามารถให้เอาต์พุตได้ถึง 5 เอาต์พุต และสามารถปรับแต่งตำแหน่งค่าความถี่กลางและแบนด์วิธได้โดยไม่ต้องคำนวณค่าสัมประสิทธิ์ใหม่ ดังนั้นจึงมีความเหมาะสมอย่างยิ่งในการนำมาประยุกต์ออกแบบเป็นพารามิเตอร์ที่ปรับค่าได้ทันที

บทที่ 3

การออกแบบวงจรกรองสัญญาณดิจิทัลสำหรับขดเชยผลกระทบบ ของวงจรกรองกู่คืนแบบแอนะล็อก ในระบบประมวลผลสัญญาณ ดิจิทัล

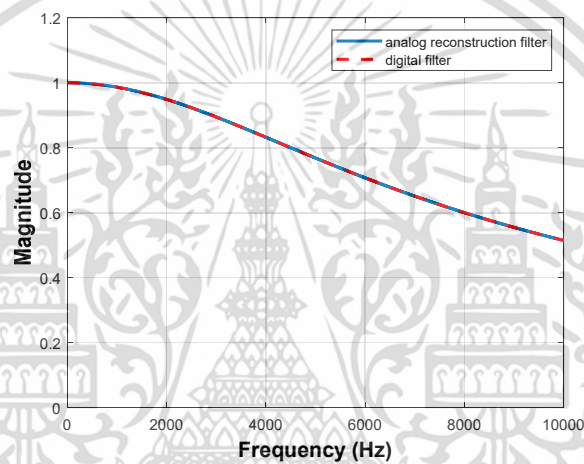
การประยุกต์ใช้วงจรกรองสัญญาณดิจิทัลบางชนิด เช่น การขดเชยผลกระทบบของวงจรกรองกู่คืน (Reconstruction Compensation Filter) จำเป็นต้องสร้างวงจรกรองสัญญาณดิจิทัลที่มีคุณลักษณะของผลตอบสนองทางขนาด ที่เหมือนกับผลตอบสนองทางขนาดของวงจรกรองสัญญาณแอนะล็อกในทุกย่านความถี่ เมื่อได้วงจรกรองดิจิทัลดังกล่าวแล้วจะทำการแปลงผกผันฟังก์ชันถ่ายโอนเพื่อสร้างเป็นวงจรกรองขดเชยผลกระทบบที่เกิดจากวงจรกรองกู่คืนแบบแอนะล็อก ซึ่งเทคนิคการสร้างวงจรกรองสัญญาณแบบดิจิทัล ด้วยวิธีการแปลงไบลิเนียร์ (Bilinear transform) จะไม่สามารถนำมาประยุกต์ใช้ในงานลักษณะนี้ได้ เนื่องจากคุณสมบัติทางขนาดของวิธีการแปลงไบลิเนียร์ จะมีค่าลูเข้าหา 0 ที่ความถี่ในควิสต์ดังนั้นผลตอบสนองทางขนาดของวงจรกรองสัญญาณทั้งสองจะคล้ายกันเฉพาะในย่าน DC ถึงความถี่ตัดเท่านั้น แต่ในย่านความถี่ที่ใกล้กับในควิสต์จะมีความแตกต่างกันมาก ส่วนเทคนิคการสร้างวงจรกรองสัญญาณดิจิทัล ด้วยวิธีประมาณค่าเชิงเบน (Approximation of derivatives) [4] จะให้ผลตอบสนองทางขนาดที่ใกล้เคียงกับวงจรกรองสัญญาณแอนะล็อก มากกว่าวิธีการแปลงไบลิเนียร์ ซึ่งงานวิจัยที่นำเสนอหลักการนี้ในการสร้างวงจรกรองขดเชย เพื่อแก้ไขผลกระทบของวงจรกรองกู่คืน แต่จากผลการทดลองพบว่าวิธีการ Approximation of derivatives นี้ยังมีความแตกต่างกันระหว่างวงจรกรองแอนะล็อกและวงจรกรองดิจิทัลอย่างเห็นได้ชัด

ดังนั้นการสร้างวงจรกรองสัญญาณดิจิทัลด้วยวิธีการพื้นฐานที่กล่าวมา จะไม่เหมาะสมกับการประยุกต์ใช้ในงานที่ต้องการผลตอบสนองทางขนาดที่เหมือนกันของวงจรกรองสัญญาณดิจิทัล และวงจรกรองสัญญาณแอนะล็อก วิธีแก้ปัญหานี้คือการสร้างวงจรกรองสัญญาณดิจิทัลด้วยการเลียนแบบคุณลักษณะผลตอบสนองทางขนาดของวงจรกรองสัญญาณแอนะล็อก ตั้งแต่ช่วงความถี่ $0-\pi$ rad โดยการกำหนดให้ผลตอบสนองทางขนาดมีขนาดเท่ากันที่จุดความถี่เดียวกัน จากนั้นใช้ระเบียบวิธี นิวตัน-ราฟสัน (Newton-Raphson Method) ในการแก้ปัญหาระบบสมการ ร่วมกับการหาจุดความถี่ที่เหมาะสม ด้วยระเบียบวิธีแบบครึ่งช่วง (Bisection Method) ซึ่งหลักการนี้จะ

สามารถสร้างวงจรกรองสัญญาณดิจิทัล ที่มีผลตอบสนองทางขนาดเหมือนกับวงจรกรองสัญญาณแอนะล็อกได้ใกล้เคียงมากที่สุด

ขั้นตอนการออกแบบวงจรกรองขตเซยผลกระทบของวงจรกรองกู่คีน จะเริ่มจากการออกแบบวงจรกรองดิจิทัลอันดับที่หนึ่งเพื่อให้อัสมพันธ์กับวงจรกรองกู่คีนแอนะล็อกที่เป็นวงจรกรองความถี่ต่ำผ่านอันดับที่หนึ่งดังภาพที่ 3.1 ซึ่งจะได้ฟังก์ชันถ่ายโอนดังสมการที่ (3.1)

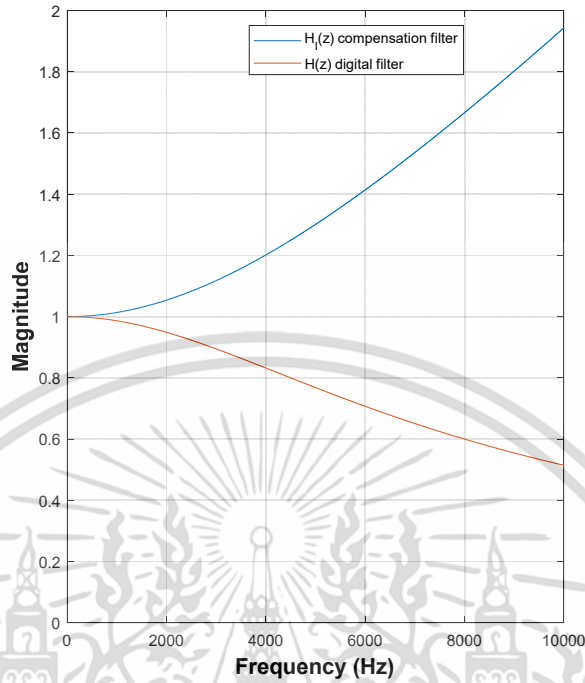
$$H(z) = k \left(\frac{z - z_1}{z - p_1} \right) \quad (3.1)$$



ภาพที่ 3.1 วงจรกรองดิจิทัลที่มีผลตอบสนองทางขนาดเหมือนวงจรกรองกู่คีนแอนะล็อก

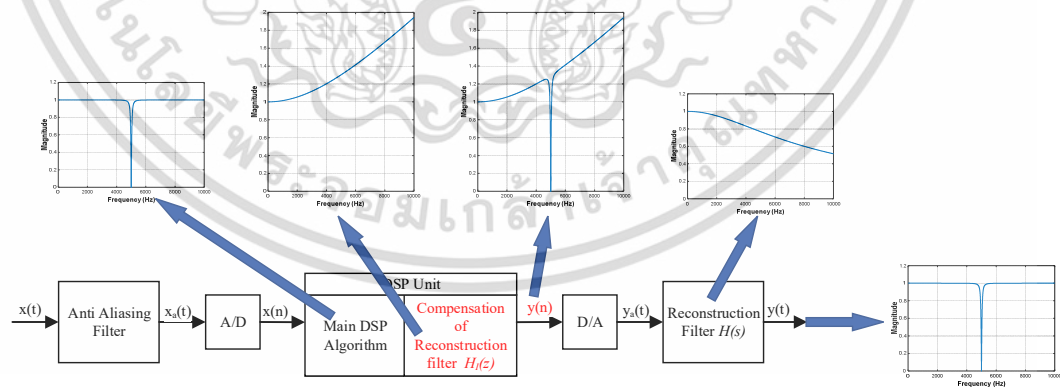
จากนั้นทำการแปลงผกผัน (สลับเทอมเศษและเทอมส่วน) ฟังก์ชันถ่ายโอนของวงจรกรองดิจิทัลในสมการที่ (3.1) ดังนั้นจะได้ผลลัพธ์ดังสมการที่ (3.2) และผลตอบสนองทางขนาดดังภาพที่ 3.2

$$H_1(z) = \frac{1}{k} \left(\frac{z - p_1}{z - z_1} \right) \quad (3.2)$$



ภาพที่ 3.2 ผลตอบสนองทางขนาดของวงจรรองชดเชยผลกระทบบของวงจรรองกู้คืนแอนะล็อก

$H_1(z)$ ที่ได้จากสมการที่ (3.2) จะถูกใช้งานเป็นวงจรรองชดเชยผลกระทบบจากวงจรรองกู้คืนแอนะล็อก ซึ่งวงจรรองชดเชยจะทำงานร่วมกับการประมวลผลหลักภายในหน่วยประมวลผลสัญญาณดิจิทัล ดังตัวอย่างในภาพที่ 3.3



ภาพที่ 3.3 ตัวอย่างการใช้งานวงจรรองชดเชยผลกระทบบของวงจรรองกู้คืนแอนะล็อก

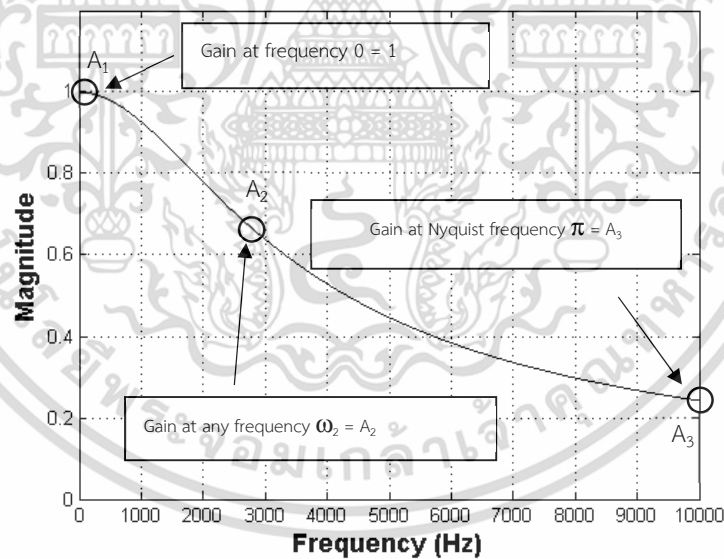
จากภาพที่ 3.3 เป็นตัวอย่างการออกแบบวงจรรอง Notch ซึ่งถูกนำมาต่อเรียงกับวงจรรองชดเชยผลกระทบบของวงจรรองกู้คืน ทำให้สัญญาณเอาต์พุต $y(n)$ ถูกเพิ่มอัตรายายตามวงจรรองชดเชย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรองชดเชย จากนั้นเมื่อสัญญาณเอาต์พุตดังกล่าวผ่านวงจรกรองกั๊กอินแวนะลือกจะทำให้อัตราขยาย ถูกปรับลดลงมา ซึ่งจะทำให้ผลตอบสนองทางขนาดของสัญญาณเอาต์พุต $y(t)$ กลับมาเหมือนกับ ผลตอบสนองทางขนาดของวงจร Notch ที่ออกแบบไว้แต่แรก

3.1 การออกแบบวงจรกรองชดเชยผลกระทบของวงจรกรองกั๊กอิน โดยใช้ระเบียบวิธี นิวตัน-ราฟสัน และระเบียบวิธีแบ่งครึ่งช่วง

งานวิจัย [7] ได้นำเสนอการออกแบบวงจรกรองสัญญาณดิจิทัลอันดับที่หนึ่งซึ่งสัมพันธ์กับ วงจรกรองกั๊กอินแวนะลือกอันดับที่หนึ่ง โดยใช้วิธีกำหนดจุดความถี่ที่ต้องการให้ผลตอบสนองทางขนาด ของวงจรกรองทั้งสองมีขนาดเท่ากัน จากนั้นใช้ระเบียบวิธีนิวตัน-ราฟสันและระเบียบวิธีแบ่งครึ่งช่วง เข้ามาช่วยแก้ปัญหาระบบสมการที่ไม่เป็นเชิงเส้น สุดท้ายนำไปประยุกต์ใช้ในการชดเชยผลกระทบ ของวงจรกรองกั๊กอิน โดยการออกแบบจะกำหนดให้ผลตอบสนองทางขนาดของวงจรกรองดิจิทัล และ วงจรกรองกั๊กอินแบบแวนะลือก มีขนาดเท่ากันที่ความถี่ 0 (DC), ω_2 และ π (ความถี่ในควิสต์) [27] - [28] โดยจะแสดงค่าของผลตอบสนองทางขนาดที่สัมพันธ์กันดังภาพที่ 3.4 และตารางที่ 3.1



ภาพที่ 3.4 ผลตอบสนองทางขนาดของวงจรกรองกั๊กอินแบบแวนะลือกอันดับที่หนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 ขนาดของผลตอบสนองทางขนาดในวงจรกรองดิจิทัล

Frequency $H(s)$	Frequency $H(z)$	Corresponding Amplitude Response
$\Omega_1 = \text{DC}$	$\omega_1 = 0$	$A_1 = 1$
$\Omega_2 = \text{Optimum frequency}$	$\omega_2 = \omega_{\text{opt}}$	A_2
$\Omega_3 = \text{Nyquist frequency of Digital filter}$	$\omega_3 = \pi$	A_3

จากตารางที่ 3.1 จะได้ขนาด ณ ตำแหน่ง DC เท่ากับ 1 เนื่องจากเป็นวงจรมีความถี่ต่ำผ่าน ส่วนขนาดของตำแหน่งความถี่ ω_2 และ ω_3 จะหาได้จากผลตอบสนองทางขนาดของวงจรกรองแอนะล็อกคู่คี่อันดับที่หนึ่งดังสมการที่ (3.3)

$$H(s) = \frac{f_c}{s + f_c} \quad (3.3)$$

โดยที่ผลตอบสนองทางขนาดของความถี่ ω_2 หรือความถี่ ω_{opt} หาได้จากสมการที่ (3.4)

$$A_2 = \frac{1}{\sqrt{1 + \frac{f_{\text{opt}}^2}{f_c^2}}} \quad (3.4)$$

เมื่อ A_2 คือ ขนาดของผลตอบสนองทางขนาดที่ตำแหน่งความถี่ที่เหมาะสม

f_{opt} คือ ความถี่ที่เหมาะสม

f_c คือ ความถี่ตัดของวงจรกรองคู่คี่แบบแอนะล็อก ในหน่วยเฮิรตซ์

และผลตอบสนองทางขนาดของความถี่ ω_3 หรือความถี่ในควิสต์หาได้จากสมการที่ (3.5)

$$A_3 = \frac{1}{\sqrt{1 + \frac{f_n^2}{f_c^2}}} \quad (3.5)$$

เมื่อ A_3 คือ ขนาดของผลตอบสนองทางขนาดที่ตำแหน่งความถี่ที่ π

f_n คือ ความถี่ในควิสต์

f_c คือ ความถี่ตัดของวงจรกรองคู่คี่แบบแอนะล็อก ในหน่วยเฮิรตซ์

โดยฟังก์ชันถ่ายโอนของวงจกรองดิจิทัลอันดับที่หนึ่ง คือ

$$H(z) = k \left(\frac{z - z_1}{z - p_1} \right) \quad (3.6)$$

แทนค่า $z = e^{j\omega}$ ในสมการที่ (3.6) จะได้

$$H(e^{j\omega}) = k \left(\frac{e^{j\omega} - z_1}{e^{j\omega} - p_1} \right) \quad (3.7)$$

ดังนั้นขนาดของผลตอบสนองทางขนาดหาได้จาก

$$|H(e^{j\omega})| = k \sqrt{\frac{(\cos(\omega) - z_1)^2 + \sin^2(\omega)}{(\cos(\omega) - p_1)^2 + \sin^2(\omega)}} \quad (3.8)$$

นำ ω_1 , ω_2 และ ω_3 ซึ่งสัมพันธ์กับขนาดของผลตอบสนองทางขนาด A_1 , A_2 และ A_3 จากตารางที่ 3.1 แทนค่าในสมการที่ (3.8) จะได้ สมการที่ (3.9), (3.10), และ (3.11) ตามลำดับ

$$1 - p_1 = k(1 - z_1) \quad (3.9)$$

$$A_2 = k \sqrt{\frac{(\cos(\omega_{opt}) - z_1)^2 + \sin^2(\omega_{opt})}{(\cos(\omega_{opt}) - p_1)^2 + \sin^2(\omega_{opt})}} \quad (3.10)$$

$$A_3(1 + p_1) = k(1 + z_1) \quad (3.11)$$

จากนั้นทำการแก้ปัญหสมการที่ (3.9), (3.10), และ (3.11) เพื่อหาค่าพารามิเตอร์ k , p_1 และ z_1 เนื่องจากสมการนี้เป็นระบบสมการแบบไม่เป็นเชิงเส้น ดังนั้นจะเลือกใช้ระเบียบวิธีนิวตัน-ราฟสัน (Newton-Raphson Method) [29] - [30] มาใช้ในการแก้ปัญหาระบบสมการนี้ ดังสมการที่ (3.12)

$$\mathbf{x}_{m+1} = \mathbf{x}_m - \mathbf{J}(k_m, p_{1m}, z_{1m})^{-1} \mathbf{f}(k_m, p_{1m}, z_{1m}) \quad (3.12)$$

เมื่อ m คือลำดับของการทำซ้ำ

$$\mathbf{x}_m = \begin{bmatrix} k_m \\ p_{1m} \\ z_{1m} \end{bmatrix}$$

$$\mathbf{f}(k_m, p_{1m}, z_{1m}) = \begin{bmatrix} f_1(k_m, p_{1m}, z_{1m}) \\ f_2(k_m, p_{1m}, z_{1m}) \\ f_3(k_m, p_{1m}, z_{1m}) \end{bmatrix}$$

$$\mathbf{J}(k_m, p_{1m}, z_{1m}) = \begin{bmatrix} \frac{\partial f_1}{\partial k} & \frac{\partial f_1}{\partial p_1} & \frac{\partial f_1}{\partial z_1} \\ \frac{\partial f_2}{\partial k} & \frac{\partial f_2}{\partial p_1} & \frac{\partial f_2}{\partial z_1} \\ \frac{\partial f_3}{\partial k} & \frac{\partial f_3}{\partial p_1} & \frac{\partial f_3}{\partial z_1} \end{bmatrix}$$

$$\mathbf{f}(k_m, p_{1m}, z_{1m}) = \begin{bmatrix} k_m(1-z_{1m}) - (1-p_{1m}) \\ -A_2 + k_m \sqrt{\frac{(\cos(\omega_{opt}) - z_{1m})^2 + \sin^2(\omega_{opt})}{(\cos(\omega_{opt}) - p_{1m})^2 + \sin^2(\omega_{opt})}} \\ k_m(1+z_{1m}) - A_3(1+p_{1m}) \end{bmatrix}$$

จากนั้นทำซ้ำในขั้นตอนนี้อันจนกระทั่งพารามิเตอร์ k , p_1 และ z_1 มีการเปลี่ยนแปลงน้อยกว่า 10^{-6} เมื่อเทียบกับการทำซ้ำในรอบก่อนหน้า จากนั้นทำการแทนค่าพารามิเตอร์ทั้ง 3 ลงในสมการที่ (3.6) เพื่อสร้างเป็นฟังก์ชันถ่ายโอนของวงจรกรองดิจิทัล สุดท้ายทำการแปลงผกผันเพื่อสร้างเป็นวงจรกรองชดเชย ได้ดังสมการที่ (3.13)

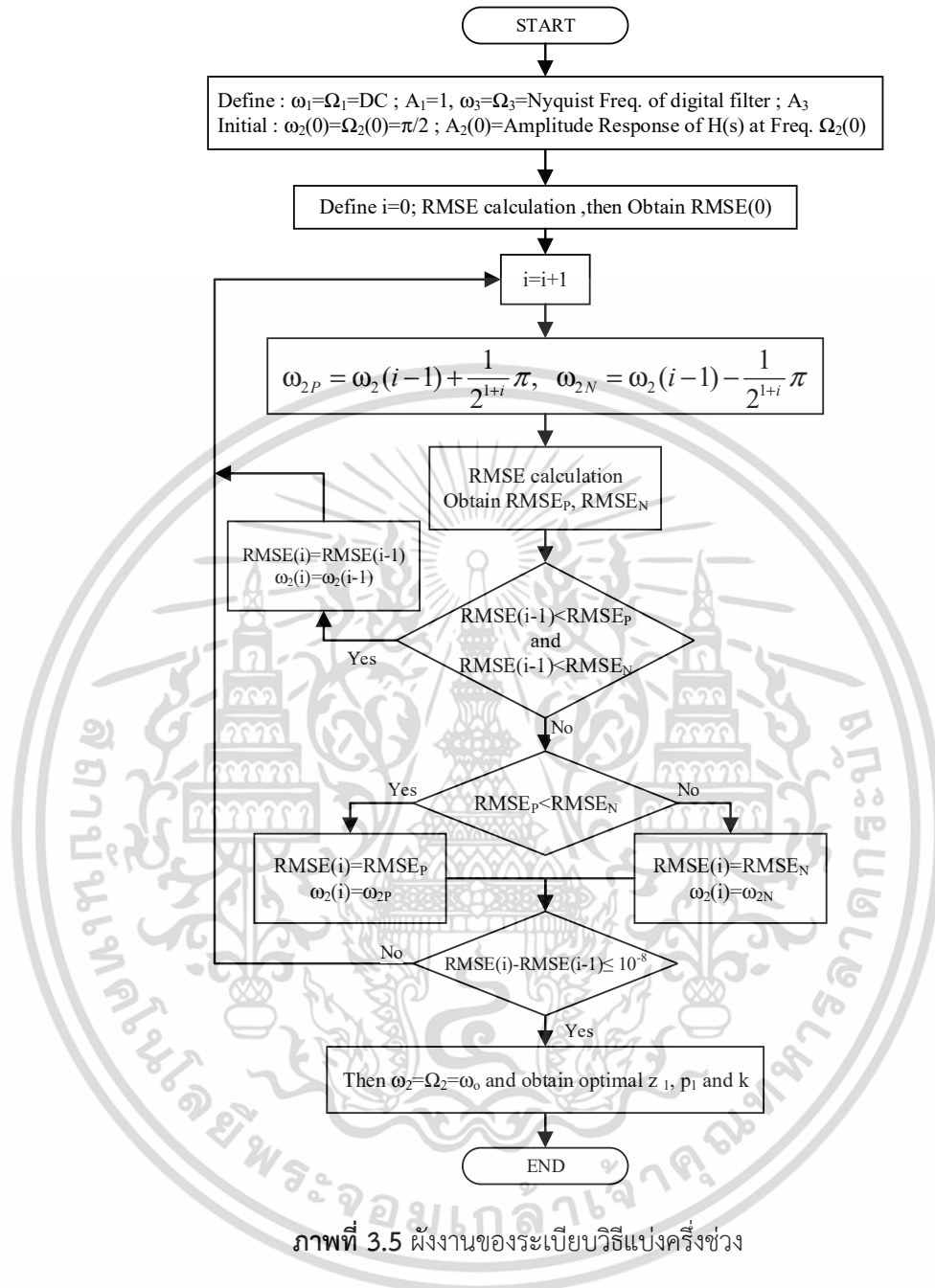
$$H_I(z) = H^{-1}(z) = \frac{1}{k} \left(\frac{z - p_1}{z - z_1} \right) = \frac{1}{k} \left(\frac{1 - p_1 z^{-1}}{1 - z_1 z^{-1}} \right) \quad (3.13)$$

ในการกำหนดค่าความถี่ที่สองจะใช้ระเบียบวิธีแบ่งครึ่งช่วง (Bisection Method) [31] เพื่อช่วยหาค่าความถี่ที่เหมาะสม ซึ่งจะทำได้ Root Mean Square Error (RMSE) ต่ำที่สุด โดยเริ่มจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดค่าเริ่มต้นของมุมที่สองสำหรับการทำซ้ำรอบแรกเป็น $\omega_2(i)|_{i=0} = 0.5\pi$ จากนั้นเพิ่มและลดมุมที่สองจากมุมที่สองเริ่มต้น ด้วยค่า $\pm \frac{1}{2^{i+1}}\pi$ rad (เมื่อ i คือ รอบของการทำซ้ำ) จากนั้นจะทำการเปรียบเทียบ RMSE ที่ได้รับเพื่อหา RMSE ที่ต่ำที่สุด และกำหนดมุมที่สองที่ได้ RMSE ที่ต่ำที่สุดเป็น $\omega_2(i)$ สำหรับการทำซ้ำในรอบถัดไป และในทุกๆ รอบของการทำซ้ำจะมีการเปรียบเทียบความแตกต่างของ RMSE กับการทำซ้ำครั้งก่อนถ้ามีค่าต่ำกว่า 10^{-8} จะหยุดการทำซ้ำ โดยถ้าลำดับการทำซ้ำครั้งสุดท้ายเท่ากับ p ดังนั้นค่ามุมที่สองสุดท้ายจะเป็นมุมที่สองที่เหมาะสมที่สุด $\omega_2(i)|_{i=p} = \omega_{opt}$ โดยผังงานของระเบียบวิธีแบ่งครึ่งช่วง แสดงดังภาพที่ 3.5

อย่างไรก็ตามถึงแม้ว่าระเบียบวิธีแบ่งครึ่งช่วงจะสามารถลดความผิดพลาด RMSE ลงได้ประมาณ 40% เมื่อเทียบกับงานวิจัยใน [6] ที่กำหนดมุมที่สองไว้ที่มุมที่สองของวงจรถองกู่คีนแอนะล็อก โดยเฉพาะที่มุมที่สองสูงในย่าน $0.6\pi = 0.98\pi$ rad แต่เมื่อวิเคราะห์ผลการทดลองโดยละเอียดจะเห็นว่าที่มุมที่สองต่ำกว่า 0.6π rad พบว่าทั้งสองวิธีจะมีค่า RMSE ที่ไม่แตกต่างกันมากนัก โดยในการออกแบบทั้ง 2 วิธีจะใช้เทคนิคกำหนดมุมที่สอง 3 จุดเท่ากัน ซึ่งอาจจะไม่ใช่จำนวนจุดมุมที่สองที่เหมาะสม ดังนั้นหัวข้อถัดไปรวมถึงในบทความวิจัย [32] จึงนำเสนอการเพิ่มจุดกำหนดมุมที่สองเพื่อหาพารามิเตอร์ที่เหมาะสมที่สุด เพื่อที่จะลดค่าผิดพลาด RMSE ให้ต่ำลง ได้นำเสนอดัชนีชี้วัดค่าผิดพลาดเพิ่มเติม ที่จะสามารถอธิบายผลการทดลองได้เหมาะสมกว่า RMSE



3.2 การปรับปรุงวงจรรองขดเขยผลกระทบบของวงจรรองกู่คืน โดยใช้ระเบียบวิธีนิวตัน-ราฟสันแบบขยาย (Extended Newton-Raphson Method)

ในงานวิจัย [6] - [7] ได้นำเสนอการแบบวงจรรองขดดิจิทัล ด้วยวิธีกำหนดขนาดของผลตอบสนองทางขนาดจำนวน 3 จุดความถี่ ให้เท่ากับวงจรรองกู่คืนแบบแอนะล็อก แต่วิธีออกแบบดังกล่าวยังไม่สามารถลดค่าผิดพลาด RMSE ให้ต่ำลงได้เท่าที่ควร เนื่องจากการกำหนดจุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ทั้ง 3 อาจจะยังไม่ใช่จำนวนที่เหมาะสมที่สุด ดังนั้นในวิทยานิพนธ์นี้จะนำเสนอการออกแบบ โดยเพิ่มจุดความถี่ให้มากขึ้น เพื่อเพิ่มความแม่นยำและลดค่าผิดพลาดลง ทำให้วงจรรองดิจิทัลที่ ออกแบบมีผลตอบสนองทางขนาดใกล้เคียงกับวงจรรองกึ่งคั่นแบบแอนะล็อกมากขึ้น จากนั้นเมื่อทำ การแปลงผกผันเป็นวงจรรองขดเชยดังนั้นระบบจะมีความถูกต้องแม่นยำสูงมากขึ้น โดย ผลตอบสนองทางขนาดของวงจรรองดิจิทัลอันดับที่หนึ่ง, วงจรรองดิจิทัลอันดับที่สอง, วงจรรองกึ่ง คั่นแบบแอนะล็อกอันดับที่หนึ่ง และวงจรรองกึ่งคั่นแบบแอนะล็อกอันดับที่สอง แสดงดังสมการที่ (3.14) - (3.17) ตามลำดับ

$$|H(e^{j\omega})| = k \sqrt{\frac{(\cos(\omega) - z_1)^2 + \sin^2(\omega)}{(\cos(\omega) - p_1)^2 + \sin^2(\omega)}} \quad (3.14)$$

$$|H(e^{j\omega})| = k \left| \frac{b_0 e^{2j\omega} + b_1 e^{j\omega} + b_2}{e^{2j\omega} + a_1 e^{j\omega} + a_2} \right| \quad (3.15)$$

$$|H(j\Omega)| = \frac{1}{\sqrt{1 + \frac{\Omega^2}{\Omega_c^2}}} \quad (3.16)$$

$$|H(j\Omega)| = \frac{1}{\sqrt{\left(1 - \frac{\Omega^2}{\Omega_c^2}\right)^2 + \left(\frac{\Omega}{Q\Omega_c}\right)^2}} \quad (3.17)$$

เมื่อ ω คือความถี่นอร์มัลไลซ์ ของวงจรรองดิจิทัล

Ω คือความถี่เชิงมุมของวงจรรองกึ่งคั่นแอนะล็อก

Ω_c คือความถี่ตัดเชิงมุมของวงจรรองกึ่งคั่นแอนะล็อก

Q คือควอลิตี้แฟกเตอร์ของวงจรรองกึ่งคั่นแบบแอนะล็อกอันดับที่สอง โดยจะกำหนดให้เท่ากับ 0.707 เพื่อให้ผลตอบสนองทางขนาดเป็น maximally flat

โดยความถี่นอร์มัลไลซ์ของวงจรรองดิจิทัลและความถี่จริงในหน่วย Hz จะมีความสัมพันธ์ กันดังสมการที่ (3.18)

$$\omega = \frac{\Omega}{f_s}; \quad \Omega = 2\pi f \quad (3.18)$$

เมื่อ f_s คือความถี่สุ่มของวงจรรองดิจิทัล

f คือความถี่ ณ จุดความถี่ใดๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยในหัวข้อนี้จะนำเสนอการออกแบบวงจรกรองดิจิทัล 2 รูปแบบ

3.2.1 การออกแบบวงจรกรองดิจิทัลอันดับที่หนึ่ง ให้สัมพันธ์กับวงจรกรองกู่คินแบบแอนะล็อกอันดับที่หนึ่ง

วิธีการออกแบบจะกำหนดให้ผลตอบสนองทางขนาดของวงจรกรองดิจิทัลอันดับที่หนึ่งมีขนาดเท่ากับวงจรกรองกู่คินแบบแอนะล็อกอันดับที่หนึ่ง ดังนั้นจะกำหนดให้สมการที่ (3.14) มีค่าเท่ากับสมการที่ (3.16) และจัดให้อยู่ในรูปของระบบสมการ จะได้เป็นสมการที่ (3.19) ดังนี้

$$F(k, z_1, p_1)_n \Big|_{n=1 \rightarrow N} = -\frac{1}{\sqrt{1 + \frac{\Omega_n^2}{\Omega_c^2}}} + k \sqrt{\frac{(\cos(\omega_n) - z_1)^2 + \sin^2(\omega_n)}{(\cos(\omega_n) - p_1)^2 + \sin^2(\omega_n)}} \quad (3.19)$$

เมื่อ n คือลำดับของจุดความถี่ที่กำหนดให้ผลตอบสนองทางขนาดมีขนาดเท่ากัน
 N คือจำนวนจุดความถี่ที่กำหนดให้ผลตอบสนองทางขนาดมีขนาดเท่ากัน

3.2.2 การออกแบบวงจรกรองดิจิทัลอันดับที่สอง ให้สัมพันธ์กับวงจรกรองกู่คินแบบแอนะล็อกอันดับที่สอง

วิธีการออกแบบจะกำหนดให้ผลตอบสนองทางขนาดของวงจรกรองดิจิทัลอันดับที่สองมีขนาดเท่ากับวงจรกรองกู่คินแบบแอนะล็อกอันดับที่สอง ดังนั้นจะกำหนดให้สมการที่ (3.15) มีค่าเท่ากับสมการที่ (3.17) และจัดให้อยู่ในรูปของระบบสมการ ได้เป็นสมการที่ (3.20) ดังนี้

$$F(k, a_1, a_2, b_1, b_2)_n = -\frac{1}{\sqrt{\left(1 - \frac{\Omega_n^2}{\Omega_c^2}\right)^2 + \left(\frac{\Omega_n}{0.707\Omega_c}\right)^2}} + k \left| \frac{e^{2j\omega_n} + b_1 e^{j\omega_n} + b_2}{e^{2j\omega_n} + a_1 e^{j\omega_n} + a_2} \right| \quad (3.20)$$

เมื่อ n คือลำดับของจุดความถี่ที่กำหนดให้ผลตอบสนองทางขนาดมีขนาดเท่ากัน
 N คือจำนวนจุดความถี่ที่กำหนดให้ผลตอบสนองทางขนาดมีขนาดเท่ากัน

ในการกำหนดจุดความถี่ที่จะให้ผลตอบสนองทางขนาดของวงจรกรองทั้งสองเท่ากัน จะกำหนดให้ทุกจุดความถี่มีระยะห่างที่เท่ากันตั้งแต่ความถี่ $0 - \pi$ rad ของวงจรกรองดิจิทัล ตัวอย่างเช่น ในกรณีที่ต้องการกำหนดจุดความถี่ทั้งหมด $N = 11$ จุด ดังนั้น $\omega_k = \{0, 0.1\pi, 0.2\pi, 0.3\pi, 0.4\pi, 0.5\pi, 0.6\pi, 0.7\pi, 0.8\pi, 0.9\pi, \pi\}$ จากนั้นแทนค่า ω_k ลงในสมการที่ (3.19) และ (3.20) ดังนั้นจะได้จำนวนของสมการในแต่ละวิธีเท่ากับ N สมการ ซึ่งเป็นระบบสมการที่ไม่เป็นเชิงเส้นแบบจำนวนสมการ

มากกว่าจำนวนตัวแปร (Over determined) เมื่อจัดระบบสมการที่ได้ในรูปแบบเมทริกซ์ สำหรับแก้ปัญหาด้วยระเบียบวิธีนิวตัน-ราฟสัน โดยจะแบ่งออกเป็น 2 รูปแบบคือ การออกแบบวงจรกรองดิจิทัลอันดับที่หนึ่ง และการออกแบบวงจรกรองดิจิทัลอันดับที่สอง จะได้ดังสมการที่ (3.21) และ (3.22) ตามลำดับ

$$\mathbf{x}_m = \begin{bmatrix} k_m \\ p_{1m} \\ z_{1m} \end{bmatrix}, \mathbf{f}(k_m, p_{1m}, z_{1m}) = \begin{bmatrix} f_1(k_m, p_{1m}, z_{1m}) \\ \vdots \\ f_n(k_m, p_{1m}, z_{1m}) \end{bmatrix}, \mathbf{J}(k_m, p_{1m}, z_{1m}) = \begin{bmatrix} \frac{\partial f_1}{\partial k} & \frac{\partial f_1}{\partial p_1} & \frac{\partial f_1}{\partial z_1} \\ \vdots & \vdots & \vdots \\ \frac{\partial f_n}{\partial k} & \frac{\partial f_n}{\partial p_1} & \frac{\partial f_n}{\partial z_1} \end{bmatrix} \quad (3.21)$$

$$\mathbf{x}_m = \begin{bmatrix} k_m \\ a_{1m} \\ a_{2m} \\ b_{1m} \\ b_{2m} \end{bmatrix}, \mathbf{f}(k_m, a_{1m}, a_{2m}, b_{1m}, b_{2m}) = \begin{bmatrix} f_1(k_m, a_{1m}, a_{2m}, b_{1m}, b_{2m}) \\ \vdots \\ f_n(k_m, a_{1m}, a_{2m}, b_{1m}, b_{2m}) \end{bmatrix}, \mathbf{J}(k_m, a_{1m}, a_{2m}, b_{1m}, b_{2m}) = \begin{bmatrix} \frac{\partial f_1}{\partial k} & \frac{\partial f_1}{\partial a_1} & \frac{\partial f_1}{\partial a_2} & \frac{\partial f_1}{\partial b_1} & \frac{\partial f_1}{\partial b_2} \\ \vdots & \vdots & \vdots & \vdots & \vdots \\ \frac{\partial f_n}{\partial k} & \frac{\partial f_n}{\partial a_1} & \frac{\partial f_n}{\partial a_2} & \frac{\partial f_n}{\partial b_1} & \frac{\partial f_n}{\partial b_2} \end{bmatrix} \quad (3.22)$$

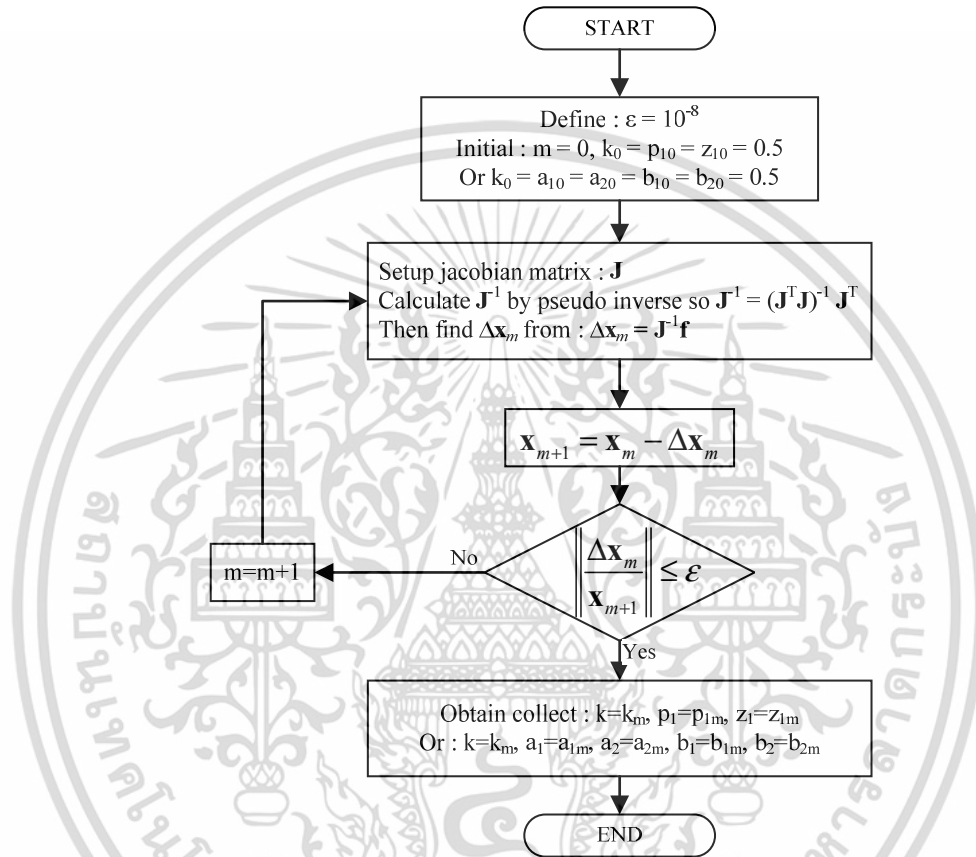
ในการแก้ปัญหานี้จะเลือกใช้ระเบียบวิธีนิวตัน-ราฟสันแบบขยาย (Extended Newton-Raphson Method) [33] ในการช่วยหาคำตอบให้กับระบบสมการที่ไม่เป็นเชิงเส้นข้างต้น โดยในขั้นตอนการแปลงผกผันเมทริกซ์ \mathbf{J} ของระเบียบวิธีนิวตัน-ราฟสัน จะไม่สามารถทำได้ด้วยวิธีปกติเนื่องจากขณะนี้เมทริกซ์ \mathbf{J} ไม่ใช่เมทริกซ์จัตุรัส ดังนั้นจะใช้วิธีการแปลงผกผันแบบ Pseudo inverse มาช่วยในการแปลงผกผันเมทริกซ์ \mathbf{J} โดยวิธีการแปลงผกผัน Pseudo inverse แสดงดังสมการที่ (3.23)

$$\mathbf{J}^{-1} = (\mathbf{J}^T \mathbf{J})^{-1} \mathbf{J}^T \quad (3.23)$$

ซึ่งหลักการวิธีแปลงผกผันแบบ Pseudo inverse ได้มีพื้นฐานมาจากระเบียบวิธี Least Square ดังนั้นจำนวนจุดความถี่หรือจำนวนสมการจะแปรผกผันกับความผิดพลาด กล่าวคือยิ่งใช้จำนวนจุดความถี่มากขึ้นความผิดพลาดก็จะยิ่งลดต่ำลง โดยขั้นตอนการแก้ปัญหาระบบสมการที่ไม่เป็นเชิงเส้นแบบจำนวนสมการมากกว่าจำนวนตัวแปร (Over determined) ด้วยระเบียบวิธีนิวตัน-ราฟสันแบบขยาย (Extended Newton-Raphson Method) แสดงดังแผนผังในภาพที่ 3.6

นอกจากนั้นในหลักการเดิมได้เลือกใช้ RMSE เป็นดัชนีชี้วัดความแม่นยำของวงจกรองดิจิทัลที่ออกแบบเพียงค่าเดียว ซึ่งไม่สามารถบ่งบอกประสิทธิภาพของการออกแบบได้ดีเท่าที่ควร เนื่องจากไม่ได้คำนึงถึงขนาดของค่าในตัวแปรที่นำมาทดสอบ เมื่อนำค่า RMSE ไปเปรียบเทียบกับชุดข้อมูลอื่นที่มีขนาดต่างกันอาจจะไม่สมเหตุผลนัก ดังนั้นในบทความนี้ได้นำเสนอดัชนีชี้วัดเพิ่มเติมจาก RMSE คือ Normalize Root Mean Square Error (NRMSE) ซึ่งจะใช้ค่าเฉลี่ยขนาดของวงจกรอง

คืนแบบแอนะล็อกมาทำการนอร์มัลไลซ์ RMSE ให้มีหน่วยแสดงความผิดพลาดเป็น % นอกจากนี้ยังนำเสนอกราฟค่าผิดพลาดสัมบูรณ์ (Absolute Error) เปรียบเทียบกันระหว่างทุกวิธีการออกแบบตลอดทั้งช่วงความถี่ $0-\pi$ rad ของวงจรกรองดิจิทัล เพื่อเปรียบเทียบค่าผิดพลาดในทุกช่วงความถี่ โดยวิธีการหาค่า NRMSE แสดงดังสมการที่ (3.24)



ภาพที่ 3.6 แผนผังของระเบียบวิธีนิวตัน-ราฟสันแบบขยาย (Extended Newton-Raphson Method)

$$NRMSE = \sqrt{\frac{1}{M} \sum_{m=1}^M \left[\frac{A(j\Omega_m) - A(e^{j\omega_m})}{A(j\Omega)} \right]^2} \times 100\% \quad (3.24)$$

เมื่อ M คือจำนวนของความถี่ที่ใช้คำนวณผลตอบสนองทางขนาด

m คือลำดับของความถี่ที่ใช้คำนวณผลตอบสนองทางขนาด

$A(j\Omega) = |H(j\Omega)|$ คือผลตอบสนองทางขนาดของวงจรกรองกัคืนแบบแอนะล็อก

$A(e^{j\omega}) = |H(e^{j\omega})|$ คือผลตอบสนองทางขนาดของวงจรกรองดิจิทัล

$\overline{A(j\Omega)}$ คือค่าเฉลี่ยของผลตอบสนองทางขนาดของวงจรกรองกัคืนแบบแอนะล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การออกแบบวงจรกรองดิจิตอลให้มีคุณลักษณะทางขนาดเหมือนวงจรกรองแอนะล็อกที่อันดับใดๆ

จากวิธีการออกแบบที่นำเสนอในหัวข้อที่ผ่านมา สามารถประยุกต์เป็นแนวทางในการออกแบบวงจรกรองที่ซับซ้อนมากกว่าการประยุกต์ใช้เป็นวงจรกรองชดเชยผลกระทบของวงจรกรองคู่คืนเท่านั้น ซึ่งในหัวข้อที่ผ่านมาจะกล่าวถึงเพียงการออกแบบวงจรกรองความถี่ต่ำผ่านอันดับที่หนึ่งและอันดับที่สอง แต่เมื่อพิจารณาสมการที่ (3.21) และ (3.22) จะพบว่าที่มาของสมการเททริกซ์ดังกล่าวคือการนำผลตอบสนองทางขนาดของวงจรกรองดิจิตอล ลบด้วยผลตอบสนองทางขนาดของวงจรกรองแอนะล็อกที่ความถี่จริงในหน่วย Hz เท่ากัน ดังนั้นด้วยหลักการการนี้จึงสามารถใช้ออกแบบวงจรกรองดิจิตอลที่มีคุณลักษณะทางขนาดเหมือนกับวงจรกรองแอนะล็อกทุกประการที่อันดับใดๆ ได้ โดยในสมการที่ (3.25) - (3.26) จะแสดงฟังก์ชันถ่ายโอนของวงจรกรองแอนะล็อกและวงจรกรองดิจิตอลอันดับที่ P ตามลำดับ

$$H(s) = \frac{\sum_{k=0}^P B_k s^k}{\sum_{k=0}^P A_k s^k} \quad (3.25)$$

$$H(z) = \frac{\sum_{k=0}^P b_k z^{-k}}{1 + \sum_{k=1}^P b_k z^{-k}} \quad (3.26)$$

ดังนั้นระบบสมการสำหรับจุดความถี่ใดๆ จะแสดงดังสมการที่ (3.27)

$$F(a_{1m}, a_{2m}, \dots, a_{pm}, b_{0m}, b_{1m}, \dots, b_{pm}) = |H(z)| - |H(s)|$$

$$F(a_{1m}, a_{2m}, \dots, a_{pm}, b_{0m}, b_{1m}, \dots, b_{pm}) = |H(e^{j\omega})| - |H(j\Omega)|$$

$$F(a_{1m}, a_{2m}, \dots, a_{pm}, b_{0m}, b_{1m}, \dots, b_{pm}) = \left| \frac{\sum_{k=0}^P b_k e^{-j\omega_n k}}{1 + \sum_{k=1}^P a_k e^{-j\omega_n k}} \right| - \left| \frac{\sum_{k=0}^P B_k j\Omega_n^k}{\sum_{k=0}^P A_k j\Omega_n^k} \right| \quad (3.27)$$

เมื่อจัดสมการที่ (3.27) ในรูปแบบเมทริกซ์ สำหรับแก้ปัญหาด้วยระเบียบวิธีนิวตัน-ราฟสันแบบขยายจะได้ดังสมการที่ (3.28)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\mathbf{x}_m = \begin{bmatrix} a_{1m} \\ a_{2m} \\ \vdots \\ a_{pm} \\ b_{0m} \\ b_{1m} \\ \vdots \\ b_{pm} \end{bmatrix}, \mathbf{f}(a_{1m}, a_{2m}, \dots, a_{pm}, b_{0m}, b_{1m}, \dots, b_{pm}) = \begin{bmatrix} \frac{\sum_{k=0}^P b_k e^{-j\omega_1 k}}{1 + \sum_{k=1}^P a_k e^{-j\omega_1 k}} - \frac{\sum_{k=0}^P B_k j\Omega_1^k}{\sum_{k=0}^P A_k j\Omega_1^k} \\ \frac{\sum_{k=0}^P b_k e^{-j\omega_2 k}}{1 + \sum_{k=1}^P a_k e^{-j\omega_2 k}} - \frac{\sum_{k=0}^P B_k j\Omega_2^k}{\sum_{k=0}^P A_k j\Omega_2^k} \\ \vdots \\ \frac{\sum_{k=0}^P b_k e^{-j\omega_n k}}{1 + \sum_{k=1}^P a_k e^{-j\omega_n k}} - \frac{\sum_{k=0}^P B_k j\Omega_n^k}{\sum_{k=0}^P A_k j\Omega_n^k} \end{bmatrix}, \quad (3.28)$$

$$\mathbf{J}(a_{1m}, a_{2m}, \dots, a_{pm}, b_{0m}, b_{1m}, \dots, b_{pm}) = \begin{bmatrix} \frac{\partial f_1}{\partial k} & \frac{\partial f_1}{\partial a_1} & \frac{\partial f_1}{\partial a_2} & \dots & \frac{\partial f_1}{\partial a_p} & \frac{\partial f_1}{\partial b_0} & \frac{\partial f_1}{\partial b_1} & \dots & \frac{\partial f_1}{\partial b_p} \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots & \vdots & \ddots & \vdots \\ \frac{\partial f_n}{\partial k} & \frac{\partial f_n}{\partial a_1} & \frac{\partial f_n}{\partial a_2} & \dots & \frac{\partial f_n}{\partial a_p} & \frac{\partial f_n}{\partial b_0} & \frac{\partial f_n}{\partial b_1} & \dots & \frac{\partial f_n}{\partial b_p} \end{bmatrix}$$

เมื่อ P คืออันดับของวงจรกรอง

n คือจำนวนจุดความถี่ที่กำหนดให้ผลตอบสนองมีขนาดเท่ากัน

m คือลำดับการทำซ้ำ

จากนั้นใช้ระเบียบวิธีนิวตัน-ราฟสันเพิ่มเติมในการแก้ปัญหาเพื่อหาค่าสัมประสิทธิ์ของวงจรกรองดิจิทัลต่อไป จากหลักการที่นำเสนอในหัวข้อนี้สามารถพัฒนาเป็นออกแบบวงจรกรองดิจิทัลที่มีคุณลักษณะทางขนาดเหมือนกันวงจรกรองแอนะล็อกทุกประการที่อันดับใดๆ โดยวิธีการที่นำเสนอนี้เป็นการพัฒนามาจากงานวิจัยการสร้างวงจรกรองชดเชยผลกระทบของวงจรกรองกู่คืน ดังนั้นในเบื้องต้นจะทำการทดลองออกแบบวงจรกรองสัญญาณดิจิทัลที่ไม่มีความซับซ้อนมากนักเช่น วงจรกรองความถี่ต่ำผ่านและวงจรกรองความถี่สูงผ่านแบบบัตเตอร์เวอร์ธสูงสุดที่อันดับ 18 เท่านั้น

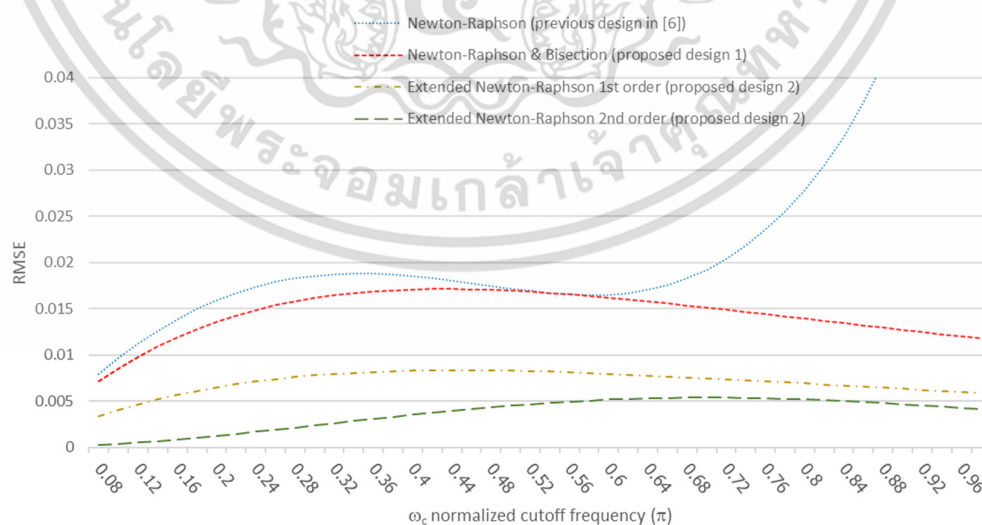
3.4 ผลการออกแบบด้วยวิธีที่นำเสนอ

ผลการทดลองจะแบ่งเป็นผลการทดลองในมุมมองของการออกแบบวงจรกรองขดเซย ผลกระทบของวงจรกรองกั้คืน และในส่วนของผลการทดลองออกแบบวงจรกรองสัญญาณดิจิทัลให้มีผลตอบสนองทางขนาดเหมือนกับผลตอบสนองแอนะล็อกให้มากที่สุดดังนี้

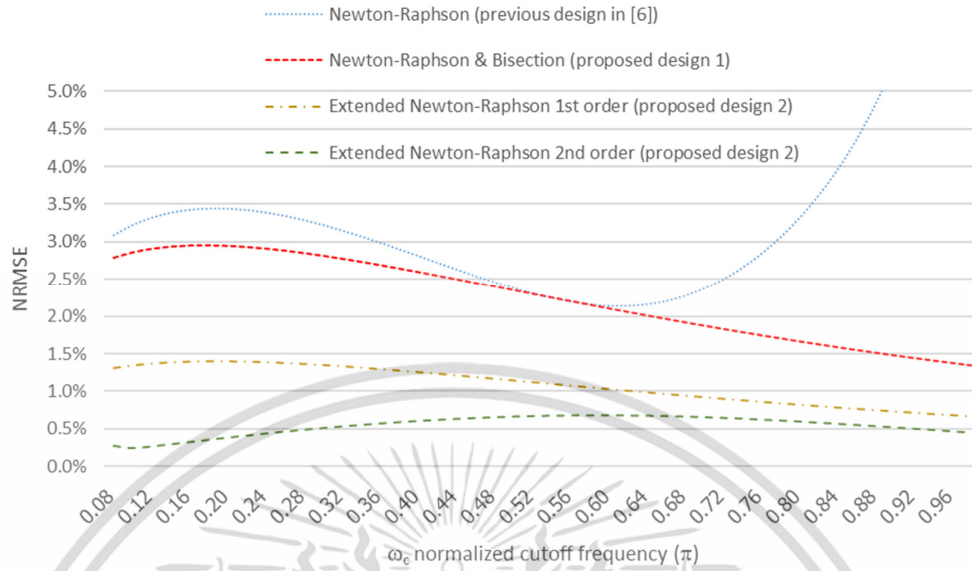
3.4.1 ผลการออกแบบวงจรกรองขดเซยผลกระทบของวงจรกรองกั้คืน

ในขั้นตอนการออกแบบจะพิจารณาความถี่ในรูปของนอร์มัลไลซ์ โดยกำหนดให้ความถี่สุ่มสำหรับวงจรกรองดิจิทัลเท่ากับ 20 kHz และช่วงความถี่ตัดสำหรับวงจรกรองกั้คืนแบบแอนะล็อกจะมีค่าอยู่ในช่วง $0.08\pi - 0.98\pi$ rad โดยจะมีระยะห่างกันขั้นละ 0.02π rad และกำหนดให้จำนวนจุดความถี่เท่ากับ 50 จุด สำหรับการออกแบบที่นำเสนอทั้งสองรูปแบบ โดยจะกระจายให้มีระยะห่างเท่ากันตั้งแต่ความถี่ $0 - \pi$ rad ของวงจรกรองดิจิทัล โดยการทดลองจะทำการเปรียบเทียบค่าผิดพลาดจากการออกแบบวงจรกรองดิจิทัลทั้งหมด 4 วิธีคือ วิธีออกแบบใน [6], วิธีออกแบบใน [7], การออกแบบวงจรกรองดิจิทัลอันดับที่หนึ่งด้วยวิธีการที่นำเสนอ และการออกแบบวงจรกรองดิจิทัลอันดับที่สองด้วยวิธีการที่นำเสนอ ซึ่งจะแสดงดัชนีชี้วัดความผิดพลาดในรูปแบบของ RMSE และ NRMSE โดยผลการเปรียบเทียบจะแสดงใน ภาพที่ 3.7 และ ภาพที่ 3.8 ตามลำดับ

ซึ่งจากผลการทดลองแสดงให้เห็นอย่างชัดเจนว่า วิธีออกแบบด้วยหลักการที่นำเสนอ จะมีประสิทธิภาพในการลดความผิดพลาดได้สูงกว่าวิธีออกแบบด้วยหลักการเดิม ในทุกย่านความถี่ตัด ทั้งค่าดัชนีชี้วัด RMSE และ NRMSE โดยเฉพาะอย่างยิ่งการออกแบบด้วยวงจรกรองดิจิทัลอันดับที่สอง

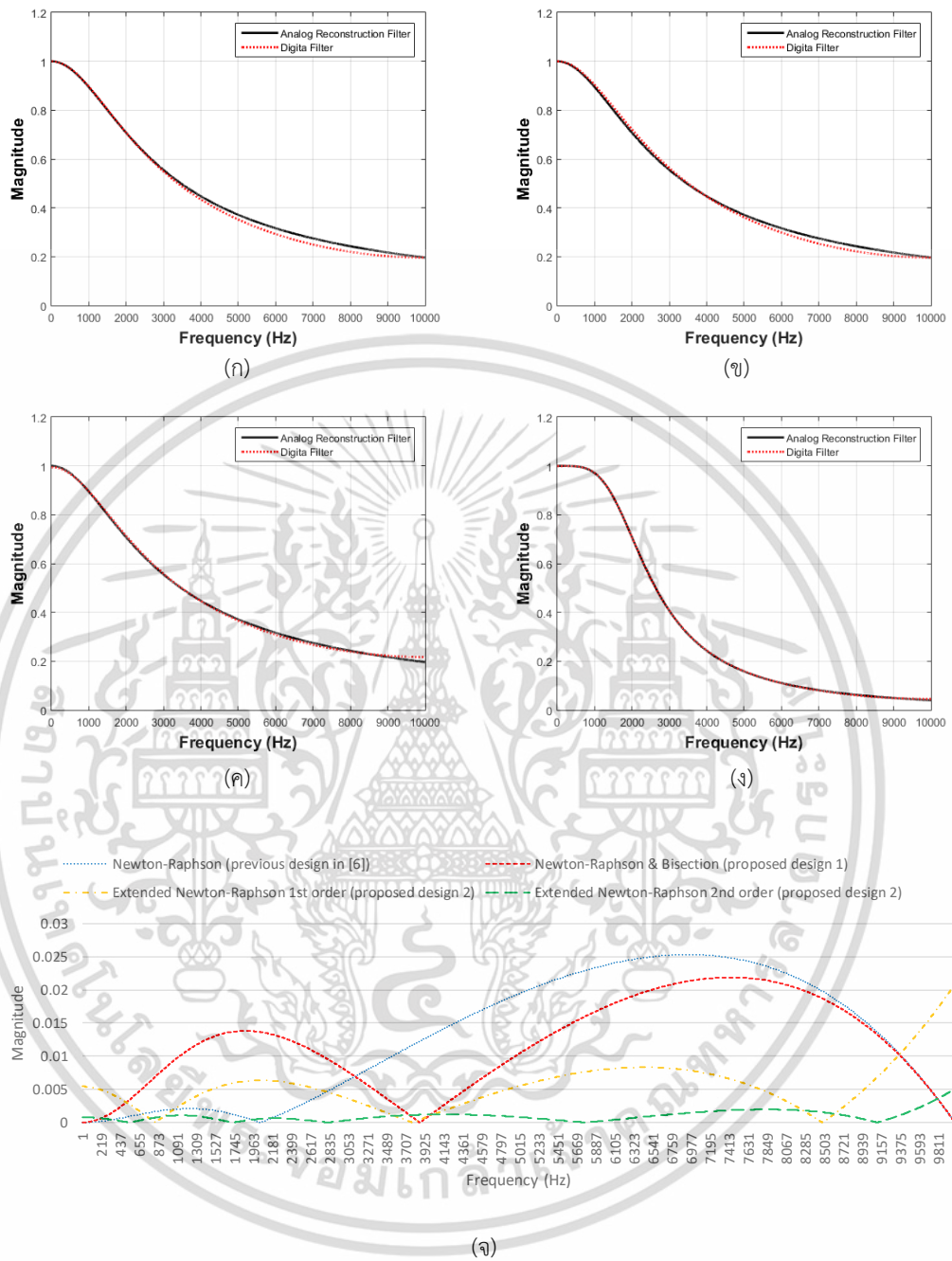


ภาพที่ 3.7 การเปรียบเทียบผลความผิดพลาดในรูปแบบ RMSE ของการออกแบบทั้ง 3 วิธี



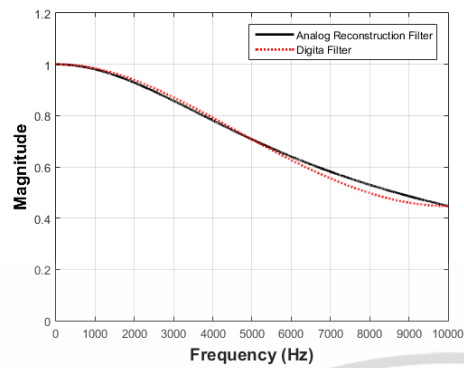
ภาพที่ 3.8 การเปรียบเทียบผลความผิดพลาดในรูปแบบ NRMSE ของการออกแบบทั้ง 3 วิธี

ภาพที่ 3.9 ถึงภาพที่ 3.11 แสดงการเปรียบเทียบผลตอบสนองทางขนาดระหว่างวงจรรองดิจิทัลและวงจรรองกึ่งคลื่นแบบแอนะล็อก และค่าผิดพลาดสัมบูรณ์ (Absolute Error) ในย่านความถี่ $0-\pi$ rad. โดยจะเปรียบเทียบการออกแบบทั้ง 4 วิธี ที่ความถี่ตัด 0.2π , 0.5π และ 0.8π ตามลำดับ

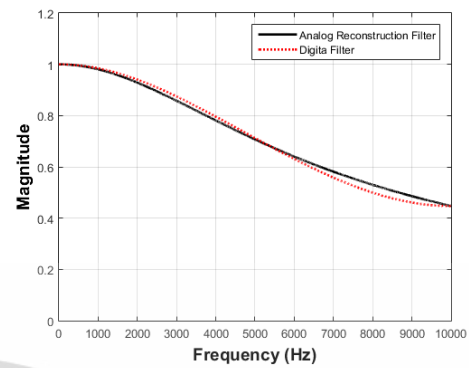


ภาพที่ 3.9 การเปรียบเทียบผลตอบสนองทางขนาดและค่าผิดพลาดสัมบูรณ์ของการออกแบบทั้ง 3 วิธีที่ความถี่ตัด 0.2π rad (ก) วิธีออกแบบใน [6], (ข) วิธีออกแบบใน [7], (ค) ออกแบบด้วยวิธีการที่นำเสนองาน (1st Order), (ง) ออกแบบด้วยวิธีการที่นำเสนองาน (2nd Order), (จ) เปรียบเทียบค่าผิดพลาดสัมบูรณ์

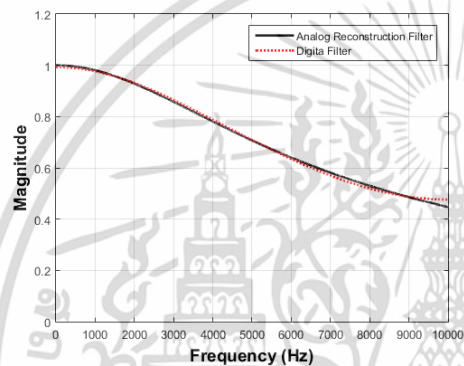
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



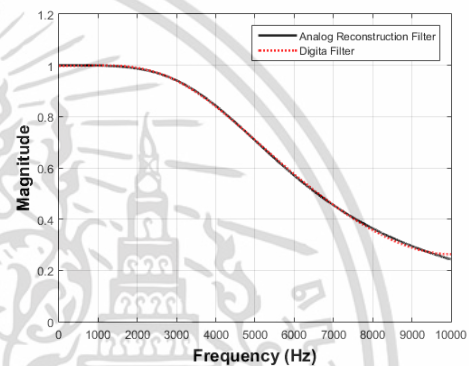
(ก)



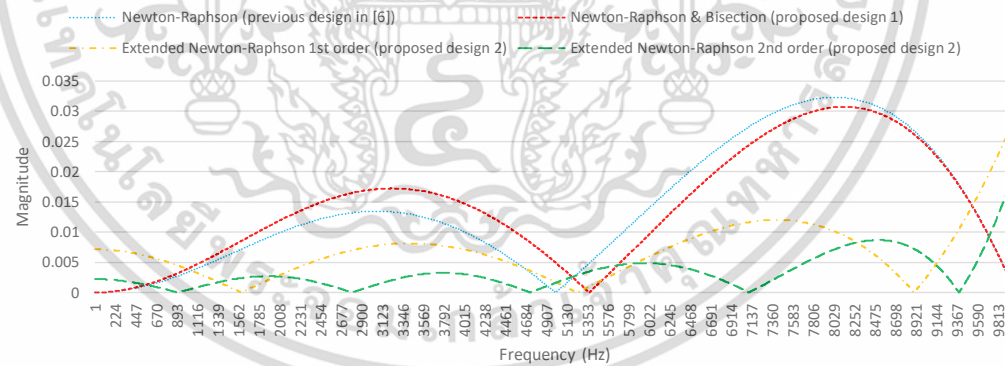
(ข)



(ค)



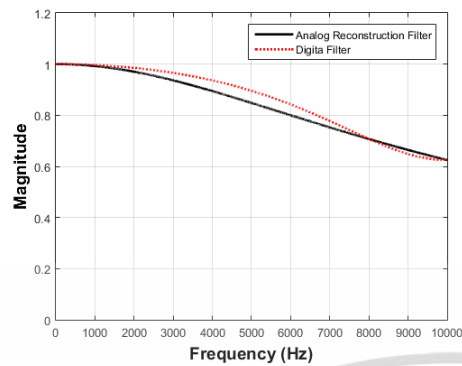
(ง)



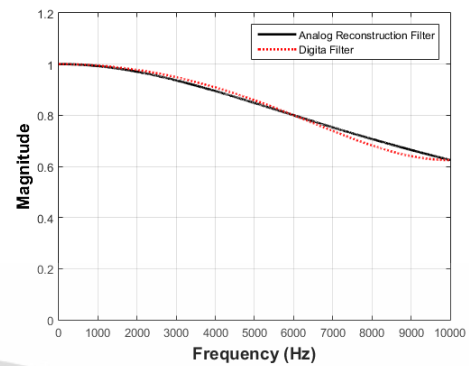
(จ)

ภาพที่ 3.10 การเปรียบเทียบผลตอบสนองทางขนาดและค่าผิดพลาดสัมบูรณ์ของการออกแบบทั้ง 3 วิธีที่ความถี่ตัด 0.5π rad (ก) วิธีออกแบบใน [6], (ข) วิธีออกแบบใน [7], (ค) ออกแบบด้วยวิธีการที่นำเสนองาน (1st order), (ง) ออกแบบด้วยวิธีการที่นำเสนองาน (2nd order), (จ) เปรียบเทียบค่าผิดพลาดสัมบูรณ์

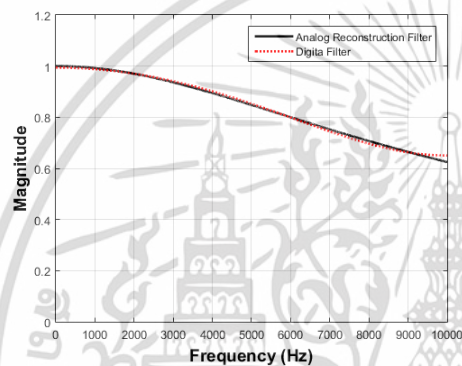
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



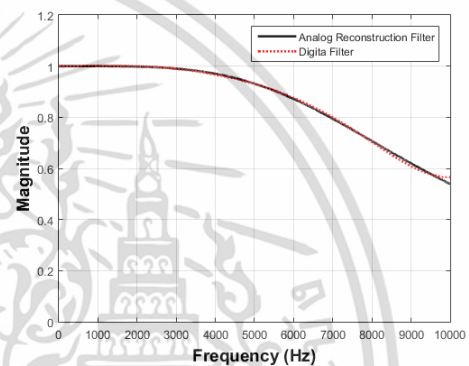
(ก)



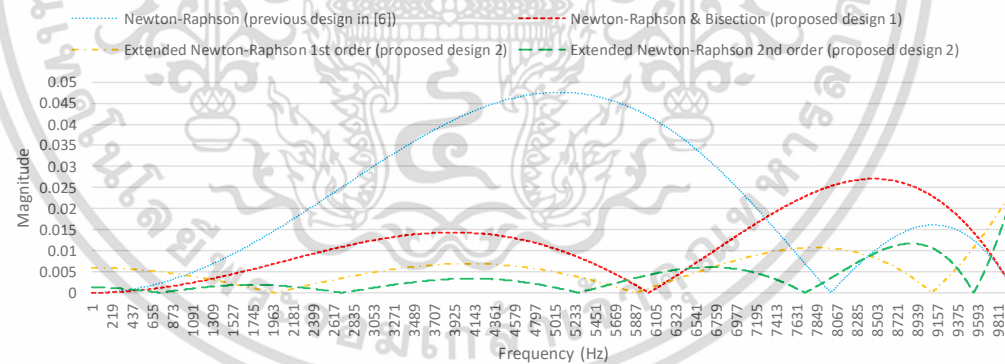
(ข)



(ค)



(ง)



(จ)

ภาพที่ 3.11 การเปรียบเทียบผลตอบสนองทางขนาดและค่าผิดพลาดสัมบูรณ์ ของการออกแบบทั้ง 3 วิธีที่ความถี่ตัด 0.8π rad (ก) วิธีออกแบบใน [6], (ข) วิธีออกแบบใน [7], (ค) ออกแบบด้วยวิธีการที่นำเสนอ (1st order), (ง) ออกแบบด้วยวิธีการที่นำเสนอ (2nd order) , (จ) เปรียบเทียบค่าผิดพลาดสัมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

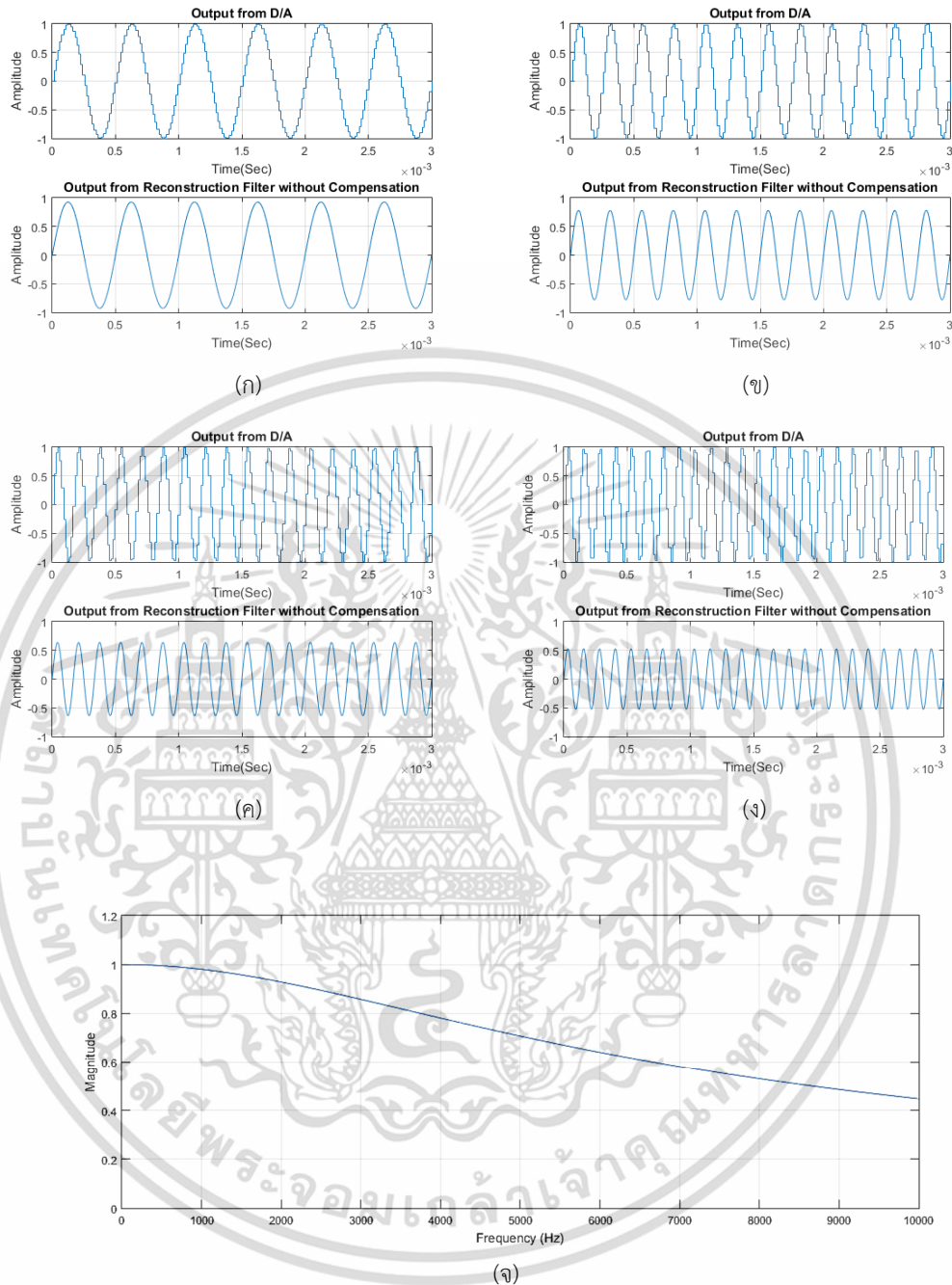
อย่างไรก็ตามในทางปฏิบัติ ระบบประมวลผลสัญญาณดิจิทัลจะประมวลผลจากความถี่สุ่มจริงในหน่วย Hz ดังนั้นจึงได้ทำการทดลองที่ความถี่สุ่มค่าอื่นเพิ่มเติม เพื่อนำมาพิจารณาถึงผลกระทบของความผิดพลาด RMSE และ NRMSE โดยในตารางที่ 3.2 จะแสดงผลของ RMSE และ NRMSE เฉลี่ยในช่วงความถี่ ตัด 0.08π - 0.98π rad ความถี่สุ่ม 10 kHz, 20kHz และ 40kHz ตามลำดับ

ตารางที่ 3.2 ค่าผิดพลาดเฉลี่ย

Sampling Frequency \ Design Method	10 kHz		20 kHz		40 kHz	
	RMSE	NRMSE	RMSE	NRMSE	RMSE	NRMSE
Newton-Raphson (previous design in [6])	0.0242	3.435%	0.0242	3.437%	0.02421	3.438%
Newton-Raphson & Bisection (proposed design 1)	0.01453	2.245%	0.01453	2.244%	0.01453	2.244%
Extended Newton-Raphson 1st order (proposed design 2)	0.00712	1.095%	0.00712	1.094%	0.00711	1.093%
Extended Newton-Raphson 2nd order (proposed design 2)	0.00374	0.554%	0.00373	0.547%	0.00372	0.545%

ผลการทดลองจากตารางที่ 3.2 แสดงให้เห็นว่า ความถี่สุ่มจะไม่ส่งผลกระทบต่อค่าผิดพลาด RMSE และ NRMSE แบบมีนัยสำคัญ และการออกแบบด้วยวิธีที่นำเสนอ จะมีค่าผิดพลาดต่ำกว่าวิธีการออกแบบด้วยหลักการเดิม โดยกรณีนี้เปรียบเทียบการออกแบบด้วยวงจรกรองดิจิทัลอันดับที่หนึ่งด้วยวิธีการที่นำเสนอ กับการออกแบบใน [6] จะสามารถลดค่าผิดพลาดเฉลี่ย RMSE และ NRMSE ลงได้ 3.4 เท่า และ 3.14 เท่า ตามลำดับ และกรณีนี้เปรียบเทียบกับวิธีการออกแบบใน [7] จะสามารถลดค่าผิดพลาดเฉลี่ย RMSE และ NRMSE ลงได้ 2.04 เท่าและ 2.05 เท่าตามลำดับ

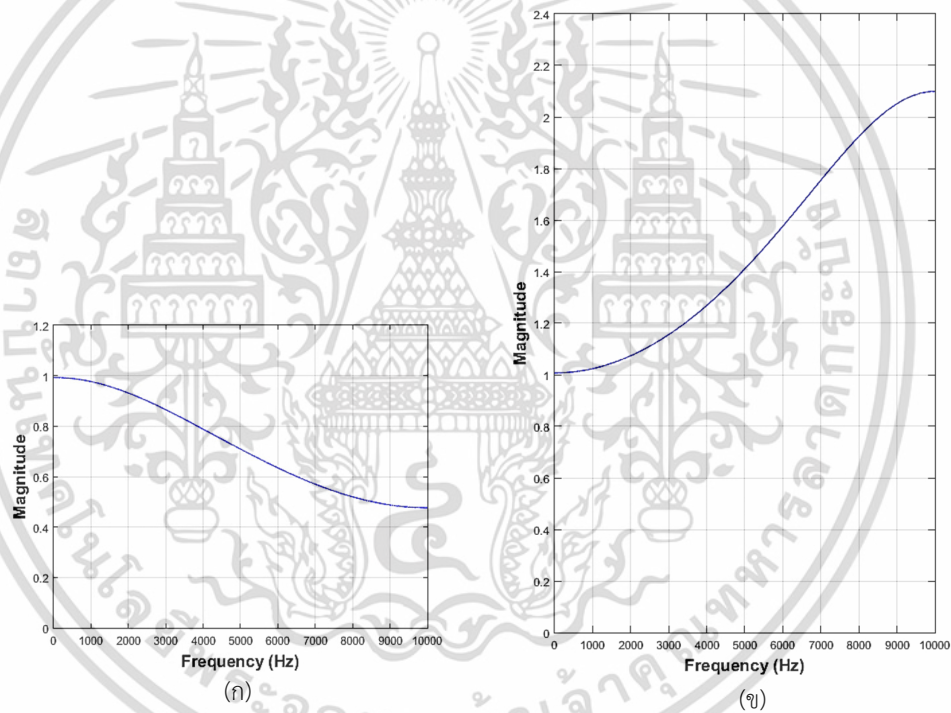
ในการออกแบบวงจรกรองขดเชยจะทำการแปลงผกผันฟังก์ชันถ่ายโอน ของวงจรกรองดิจิทัล $H(z)$ ที่ออกแบบข้างต้น เพื่อแปลงเป็นวงจรกรองขดเชย $H_c(z)$ ซึ่งวงจรขดเชยจะถูกสร้างอยู่ในหน่วยประมวลผลสัญญาณดิจิทัลที่กระบวนการสุดท้ายก่อนส่งสัญญาณเอาต์พุต โดยภาพที่ 3.12 แสดงผลของสัญญาณเอาต์พุตของวงจรกรองกึ่งนัยแบบแอนะล็อกที่ไม่มีวงจรกรองขดเชยแบบดิจิทัล โดยจำลองการทดลองด้วยวงจรสร้างสัญญาณไซน์ที่ความถี่ 2 kHz, 4 kHz, 6 kHz, 8 kHz ความถี่สุ่ม 20 kHz และใช้วงจรกรองกึ่งนัยอันดับที่หนึ่งที่ความถี่ตัด 5kHz



ภาพที่ 3.12 สัญญาณเอาต์พุตของวงจรรอกู้คืนแบบแอนะล็อก และผลตอบสนองทางขนาดของวงจรรอกู้คืนแบบแอนะล็อก โดยไม่ผ่านวงจรชดเชยแบบดิจิทัล (ก) สัญญาณเอาต์พุตที่ความถี่ 2 kHz, (ข) สัญญาณเอาต์พุตที่ความถี่ 4 kHz, (ค) สัญญาณเอาต์พุตที่ความถี่ 6 kHz, (ง) สัญญาณเอาต์พุตที่ความถี่ 8 kHz, (จ) ผลตอบสนองทางขนาดของวงจรรอกู้คืนแบบแอนะล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากภาพที่ 3.12 (ก) – (ง) เป็นภาพสัญญาณเอาต์พุตที่ผ่านวงจรกรองกั๊กิ้นโดยไม่มีการชดเชยพบว่าขนาดของแอมพลิจูดจะถูกลดทอนลงอย่างเห็นได้ชัดโดยเฉพาะในย่านความถี่สูง สัมพันธ์กับผลตอบสนองทางขนาดของวงจรกรองกั๊กิ้นแบบอนาล็อกดังภาพที่ 3.12 (จ) ดังนั้นเพื่อแก้ปัญหาที่เกิดขึ้นนี้จึงต้องออกแบบวงจรกรองสัญญาณดิจิทัลให้มีผลตอบสนองทางขนาดให้เหมือนกับในวงจรกรองกั๊กิ้นแอนะล็อกในภาพที่ 3.12 (จ) ซึ่งจะแสดงผลตอบสนองทางขนาดของวงจรกรองดิจิทัลดังภาพที่ 3.13 (ก) และฟังก์ชันถ่ายโอนในสมการที่ (3.29) จากนั้นทำการแปลงผกผันเพื่อสร้างเป็นวงจรกรองชดเชยผลกระทบของวงจรกรองกั๊กิ้นได้ดังสมการที่ (3.30) และได้ผลตอบสนองทางเฟสดังภาพที่ 3.13 (ข) จากนั้นนำวงจรกรองชดเชยที่ได้ไปต่อเรียงกับวงจรสร้างสัญญาณไซน์ ดังนั้นจะได้สัญญาณเอาต์พุตดังภาพที่ 3.14

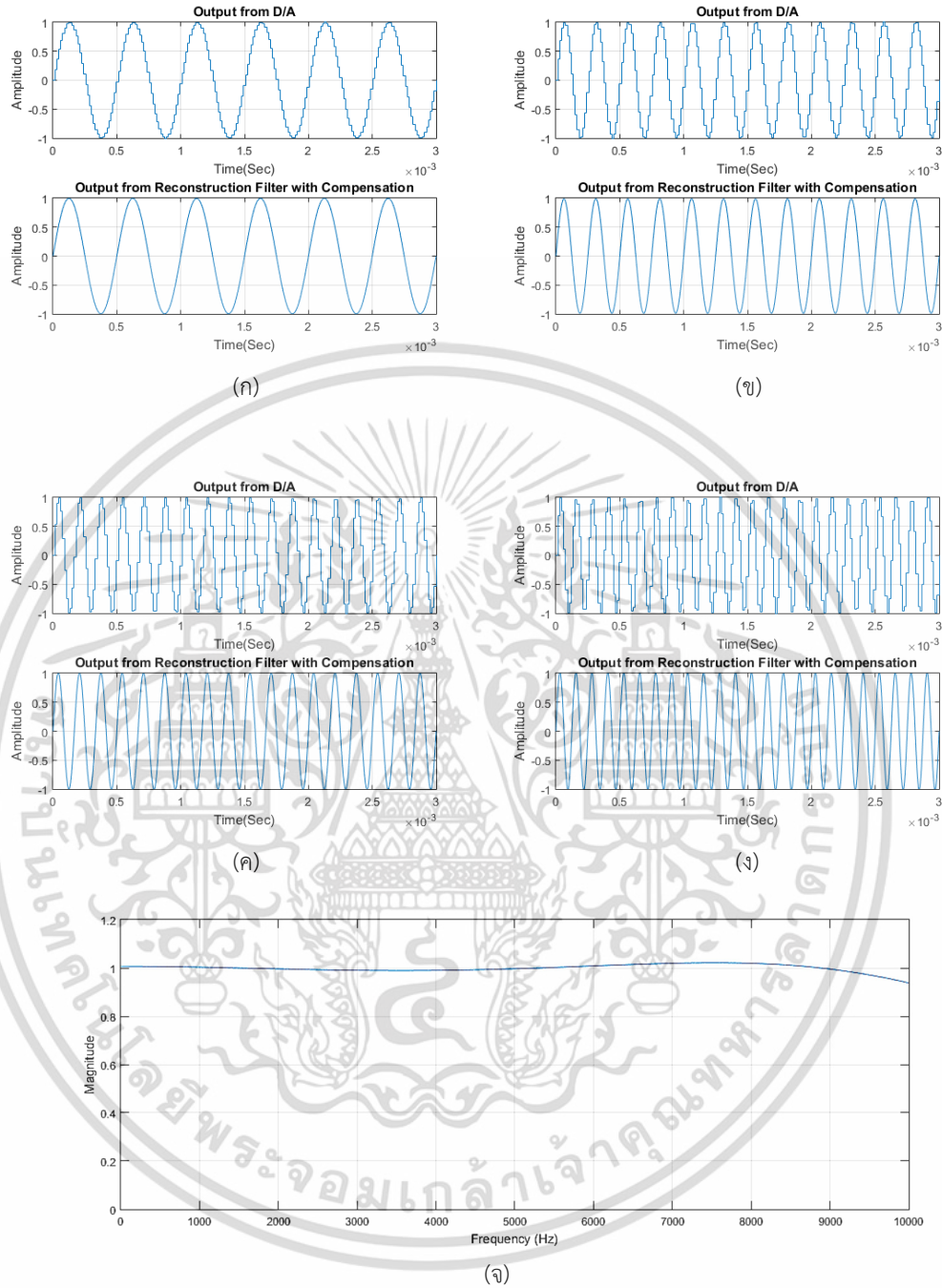


ภาพที่ 3.13 (ก) ผลตอบสนองทางขนาดของวงจรกรองดิจิทัล $H(z)$, (ข) ผลตอบสนองทางขนาดของวงจรกรองชดเชย $H_1(z)$

$$H(z) = 0.6986 \left(\frac{z + 0.2226}{z - 0.1398} \right) \quad (3.29)$$

$$H_1(z) = \left(\frac{1.4314z - 0.2001}{z + 0.2226} \right) \quad (3.30)$$

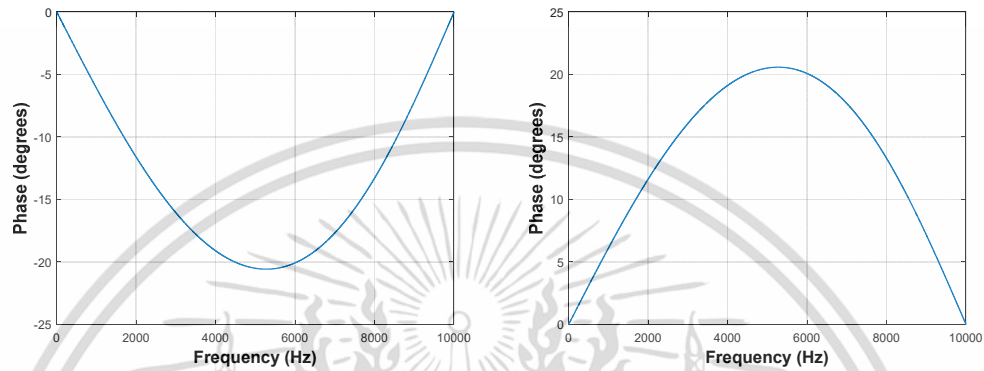
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.14 สัญญาณเอาต์พุตของวงจรรอกู้คืนแบบแอนะล็อก และผลตอบสนองทางขนาดของวงจรรอกู้คืนแบบแอนะล็อก ที่ผ่านวงจรชดเชยแบบดิจิทัลแล้ว (ก) สัญญาณเอาต์พุตที่ความถี่ 2 kHz, (ข) สัญญาณเอาต์พุตที่ความถี่ 4 kHz, (ค) สัญญาณเอาต์พุตที่ความถี่ 6 kHz, (ง) สัญญาณเอาต์พุตที่ความถี่ 8 kHz, (จ) ผลตอบสนองทางขนาดเอาต์พุตที่ผ่านการชดเชยแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลองในภาพที่ 3.14 พบว่าระบบที่มีวงจรรองชดเชยแบบดิจิทัลจะมีอัตราขยายเกือบเท่ากันในทุกย่านความถี่ ซึ่งแสดงให้เห็นว่าระบบที่นำเสนอสามารถชดเชยผลกระทบการลดทอนของวงจรรองกักเก็บตามที้ออกแบบได้เป็นอย่างดี โดยผลตอบสนองทางเฟสแสดงดังภาพที่ 3.15 รวมทั้งตำแหน่งโพล-ซีโรบนระนาบ z แสดงดังภาพที่ 3.16



ภาพที่ 3.15 ผลตอบสนองทางเฟสของ (ก) วงจรรองดิจิทัล $H(z)$, (ข) วงจรรองชดเชย $H_f(s)$

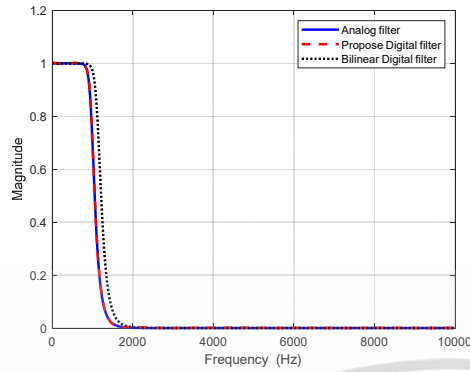


ภาพที่ 3.16 ตำแหน่งโพล-ซีโรบนระนาบ z (ก) วงจรรองดิจิทัล $H(z)$ (ข) วงจรรองชดเชย $H_f(s)$

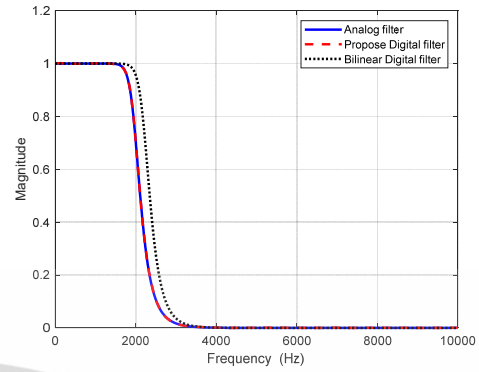
3.4.2 ผลการออกแบบวงจรรองดิจิทัลที่มีผลตอบสนองทางขนาดเหมือนวงจรรองแอนะล็อก

จากมุมมองการประยุกต์วิธีการออกแบบวงจรรองที่นำเสนอนี้ เพื่อนำมาใช้ออกแบบวงจรรองรูปแบบอื่นที่อันตบใดๆ ให้มีคุณลักษณะทางขนาดที่เหมือนกับวงจรรองแอนะล็อกต้นแบบมากที่สุด ดังที่นำเสนอในหัวข้อที่ 3.3 เมื่อนำมาจำลองการทำงานโดยทดสอบสร้างวงจรรองความถี่ต่ำผ่านอันดับที่ 10 ที่ความถี่ตัด 1 kHz – 9 kHz โดยใช้ความถี่สุ่ม 20 kHz และทำการเปรียบเทียบผลตอบสนองทางขนาดระหว่างวงจรรองแอนะล็อกต้นแบบกับวงจรรองดิจิทัลที่ออกแบบด้วยวิธีการที่นำเสนอ รวมทั้งเปรียบเทียบวงจรรองดิจิทัลที่ออกแบบด้วยวิธีการแปลงไบเลนิเยร์ด้วยซึ่งผลการทดลองของวงจรรองความถี่ต่ำผ่านแสดงดังภาพที่ 3.17

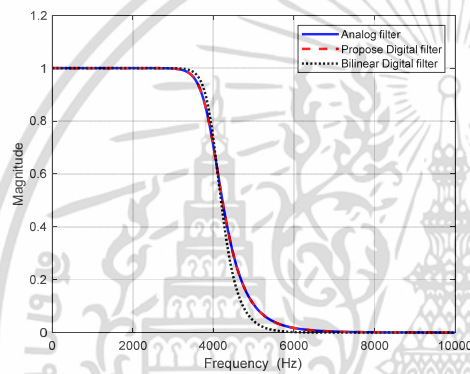
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



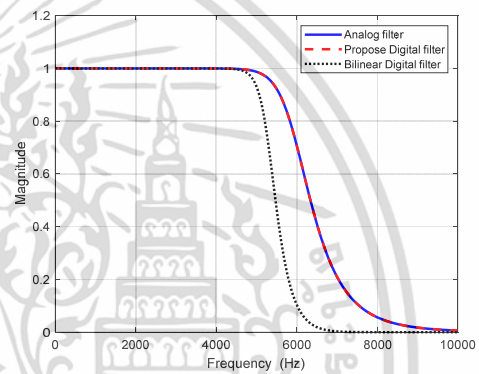
(ก)



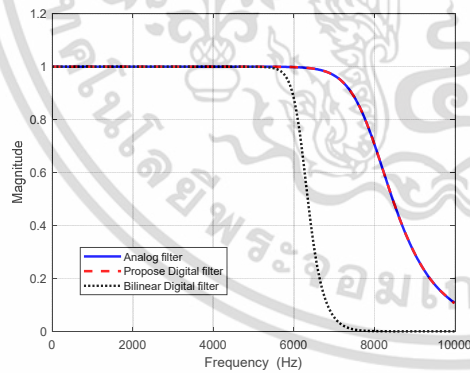
(ข)



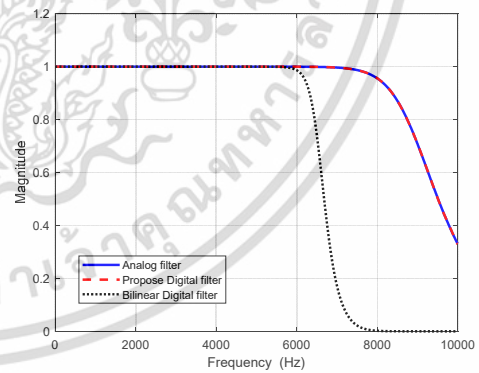
(ค)



(ง)



(จ)



(ฉ)

ภาพที่ 3.17 ผลตอบสนองทางขนาดของวงจรรองความถี่ต่ำผ่านที่ออกแบบด้วยวิธีที่นำเสนอ ที่ความถี่ตัดต่างๆ (ก) ความถี่ตัด 1 kHz, (ข) ความถี่ตัด 2 kHz, (ค) ความถี่ตัด 4 kHz, (ง) ความถี่ตัด 6 kHz, (จ) ความถี่ตัด 8 kHz, (ฉ) ความถี่ตัด 9 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลองในภาพที่ 3.17 แสดงให้เห็นว่าวิธีการออกแบบวงจรถิจรูทที่นำเสนอ จะมีผลตอบสนองทางขนาดเหมือนกับวงจรถองแอนะล็อกในทุกความถี่ ซึ่งจะแตกต่างจากวิธีการออกแบบด้วยการแปลงโบลีเนียร์ซึ่งจะทำให้คุณลักษณะของผลตอบสนองทางขนาดเปลี่ยนแปลงไปจากวงจรถองแอนะล็อก ซึ่งในการประยุกต์ใช้ในงานบางประเภทเช่นในงานทางด้านเสียงเพลงหรือเสียงดนตรี ในยุคที่อุปกรณ์แอนะล็อกต่างๆ กำลังถูกแทนที่ด้วยระบบดิจิทัลแต่ผู้ใช้งานยังคงต้องการคุณลักษณะของเอาต์พุตที่เหมือนกับระบบแอนะล็อกเดิม ดังนั้นวิธีการออกแบบที่นำเสนอนี้จึงสามารถประยุกต์ใช้ออกแบบเพื่อให้ตรงกับความต้องการของผู้ใช้งานดังกล่าวได้

การแก้ปัญหาในระบบสมการที่ไม่เป็นเชิงเส้นโดยอาศัยการวนซ้ำจนค่าตอบที่ได้มีค่าลู่เข้า ดั่งเช่นการดำเนินการด้วยระเบียบวิธีนิวตัน-ราฟสันแบบขยาย จะแสดงประสิทธิภาพของการคำนวณด้วยระยะเวลาที่ใช้ดำเนินการ ดั่งนั้นผลของเวลาที่ใช้ในการออกแบบวงจรถองดั่งที่นำเสนอนี้ในหัวข้อนี้จะถูกนำเสนอ โดยทดลองออกแบบวงจรถองความถี่ต่ำผ่านที่อันดับ 1-18 , ความถี่สุ่ม 20 kHz, สุ่มค่าความถี่ตัดตั้งแต่ 0.2 – 9.8 kHz จำนวน 100 ค่า จากนั้นวัดเวลาการคำนวณแต่ละรอบด้วยคำสั่ง tic-toc บนโปรแกรม MATLAB (วัดเฉพาะช่วงเวลาที่ยคำนวณสัมประสิทธิ์) และทำการเฉลี่ยเวลาของความถี่ตัดทั้ง 100 ค่าเพื่อเก็บข้อมูล 1 ครั้ง โดยการทดลองจะเพิ่มอันดับของวงจรถองขึ้นรอบละ 1 อันดับ และจะเก็บข้อมูลเวลาเฉลี่ยทั้งหมด 5 ครั้งในทุกๆ อันดับของวงจรถอง โดยผลการทดลองแสดงดังตารางที่ 3.3

ตารางที่ 3.3 ผลการวัดเวลาการคำนวณของวิธีการออกแบบวงจรกรองที่นำเสนอ

อันดับวงจรกรอง	ครั้งที่ 1 (วินาที)	ครั้งที่ 2 (วินาที)	ครั้งที่ 3 (วินาที)	ครั้งที่ 4 (วินาที)	ครั้งที่ 5 (วินาที)	เวลาเฉลี่ย (วินาที)
1 st Order	0.0108	0.0074	0.0068	0.0067	0.0068	0.0077
2 nd Order	0.0329	0.0326	0.0321	0.0318	0.0321	0.0323
3 rd Order	0.0979	0.096	0.096	0.0961	0.095	0.0962
4 th Order	0.1191	0.1188	0.1211	0.1215	0.1209	0.12028
5 th Order	0.1405	0.1403	0.1398	0.1406	0.1391	0.14006
6 th Order	0.1844	0.1847	0.1897	0.1899	0.1888	0.1875
7 th Order	0.2871	0.2869	0.2865	0.2893	0.2851	0.28698
8 th Order	0.3211	0.319	0.3186	0.3159	0.3173	0.31838
9 th Order	0.4045	0.4015	0.4023	0.4039	0.3928	0.401
10 th Order	0.5675	0.5723	0.5732	0.5698	0.5625	0.56906
11 th Order	0.6474	0.6487	0.6544	0.6569	0.6549	0.65246
12 th Order	0.6974	0.6953	0.7018	0.7039	0.7045	0.70058
13 th Order	0.9541	0.9476	1.0071	0.9974	1.006	0.98244
14 th Order	1.2212	1.2476	1.2435	1.247	1.2488	1.24162
15 th Order	1.2854	1.2939	1.3123	1.306	1.2902	1.29756
16 th Order	1.5493	1.5462	1.5453	1.5451	1.5541	1.548
17 th Order	1.8949	1.8736	1.8971	1.8985	1.8881	1.89044
18 th Order	1.8609	1.8406	1.8315	1.8233	1.8237	1.836

หมายเหตุ: เครื่องคอมพิวเตอร์ที่ใช้ในการทดลองมีคุณสมบัติดังนี้ CPU: Intel core i9-12900KF 3.2 GHz, Ram: 64GB DDR5 5200 MHz, SSD: 2 TB PCIE-4.0

3.5 บทสรุป

ในบทที่ 3 นี้ได้นำเสนอการออกแบบวงจรกรองดิจิทัล $H(z)$ ที่มีผลตอบสนองทางขนาดเหมือนกับวงจรกรองกู่คีนแบบแอนะล็อก $H(s)$ จากนั้นทำการแปลงผกผันเป็น $H(z)$ สำหรับชดเชยแอมพลิจูดจากผลกระทบของวงจรกรองกู่คีนแบบแอนะล็อก โดยใช้ค่าผิดพลาด RMSE และ NRMSE เป็นดัชนีชี้วัดประสิทธิภาพของวิธีการออกแบบ ซึ่งวิทยานิพนธ์นี้เลือกใช้ระเบียบวิธีนิวตัน-ราฟสันแบบขยาย (Extended Newton-Raphson Method) ในการแก้ปัญหาาระบบสมการที่ไม่เป็นเชิงเส้นแบบจำนวนสมการมากกว่าจำนวนตัวแปร เพื่อหาค่าพารามิเตอร์สำหรับฟังก์ชันถ่ายโอนของวงจรกรองดิจิทัล โดยผลการทดลองแสดงให้เห็นว่า

- วิธีการออกแบบที่นำเสนอ 1 (ระเบียบวิธีแบ่งครึ่งช่วงและนิวตัน-ราฟสัน) เมื่อเทียบกับวิธีการออกแบบในงานวิจัย [6] สามารถลดค่าผิดพลาด RMSE ได้ 40%
- วิธีการออกแบบที่นำเสนอ 2 (ระเบียบวิธีนิวตัน-ราฟสันแบบขยาย) เมื่อเทียบกับวิธีการออกแบบในงานวิจัย [6] สามารถลดค่าผิดพลาด RMSE ได้ 70%
- วิธีการออกแบบที่นำเสนอ 2 เมื่อเปรียบเทียบกับวิธีการออกแบบที่นำเสนอ 1 สามารถลดค่าผิดพลาด RMSE ได้ 51%



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การออกแบบและสร้างพารามetriกรีควอลิเซอร์แบบดิจิทัลด้วย วิธีแปลงโพลิเนียร์ปาสคาลเมทริกซ์

วิธีการออกแบบพารามetriกรีควอลิเซอร์ที่ใช้ในบทนี้อ้างอิงจากการแปลงโพลิเนียร์ ซึ่งเป็น การแปลงฟังก์ชันถ่ายโอน s โดเมนเป็นฟังก์ชันถ่ายโอน z โดเมน โดยใช้โพลิเนียร์ปาสคาลเมทริกซ์ [34] การใช้กระบวนการทางเมทริกซ์ที่นำเสนอจะเพิ่มความสะดวกในการแปลง รวมถึงความง่ายใน การคำนวณค่าสัมประสิทธิ์วงจรรองดิจิทัล นอกจากนี้ได้มีการนำเสนอการใช้ฮาร์ดแวร์บน โปรเซสเซอร์ STM32 เพื่อแสดงผลลัพธ์ของกระบวนการออกแบบที่สามารถทำงานร่วมกับใน ฮาร์ดแวร์ได้ โดยในบทนี้จะนำเสนอตัวอย่างการออกแบบพารามetriกรีควอลิเซอร์จำนวน 5 แบนด์ แบ่งเป็นวงจรรองความถี่ต่ำผ่าน Shelving, วงจรรองความถี่สูงผ่าน Shelving, และวงจรรอง Peaking จำนวน 3 แบนด์

4.1 การแปลงโพลิเนียร์ด้วยโพลิเนียร์ปาสคาลเมทริกซ์

การออกแบบวงจรรองดิจิทัลที่ได้รับความนิยมวิธีหนึ่งคือการแปลงโพลิเนียร์ ซึ่งจะ เป็น ขั้นตอนในการแปลงฟังก์ชันถ่ายโอนแอนะล็อกเป็นฟังก์ชันถ่ายโอนดิจิทัล โดยการแปลงโพลิเนียร์จะ ใช้วิธีการแทน s ในฟังก์ชันถ่ายโอนแอนะล็อกด้วย

$$s = \frac{1 - z^{-1}}{1 + z^{-1}} \quad (4.1)$$

แต่ในการใช้งานจริงการจัดรูปฟอร์มสมการสำหรับการแปลงด้วยวิธีโพลิเนียร์อาจมีความ ซับซ้อนอยู่บ้าง ดังนั้นเพื่อแก้ปัญหานี้จึงมีการพัฒนาการแปลงโพลิเนียร์ปาสคาลเมทริกซ์ เพื่อให้ง่าย ในการใช้งาน โดยปาสคาลเมทริกซ์ที่ใช้ในการแปลงโพลิเนียร์มีพื้นฐานมาจากทฤษฎีของพหุนาม (Binomial) [34], [35], [36] สามารถเขียนได้ดังสมการที่ (4.2)

$$(a - b)^n = \sum_{k=0}^n \binom{n}{k} a^{n-k} b^k \quad (4.2)$$

เมื่อ $\binom{n}{k} = \frac{n!}{(n-k)!k!}$ คือสัมประสิทธิ์ของพหุนาม โดยที่ $k \leq n$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาฟังก์ชันถ่ายโอนอันดับที่ N จะสามารถเขียนฟังก์ชันถ่ายโอนแวนะล็อกและดิจิทัลได้ดังสมการที่ (4.3) - (4.4) ตามลำดับ

$$H(s) = \frac{\sum_{i=0}^N B_i s^i}{\sum_{i=0}^N A_i s^i} \quad (4.3)$$

$$H(z) = \frac{\sum_{i=0}^N b_i z^{-i}}{\sum_{i=0}^N a_i z^{-i}} \quad (4.4)$$

โดยสมการที่ (4.3) - (4.4) คือฟังก์ชันถ่ายโอนแวนะล็อกและดิจิทัลอันดับที่ N ตามลำดับ ดังนั้นเมื่อแทนสมการที่ (4.1) ในสมการที่ (4.3) เพื่อแปลงเป็นฟังก์ชันถ่ายโอนดิจิทัลดังสมการที่ (4.5)

$$H(z) = \frac{\sum_{i=0}^N B_i \left[\frac{1-z^{-1}}{1+z^{-1}} \right]^i}{\sum_{i=0}^N A_i \left[\frac{1-z^{-1}}{1+z^{-1}} \right]^i} = \frac{\sum_{i=0}^N B_i (1-z^{-1})^i (1+z^{-1})^{N-i}}{\sum_{i=0}^N A_i (1-z^{-1})^i (1+z^{-1})^{N-i}} \quad (4.5)$$

จากสมการที่ (4.5) สามารถใช้ทฤษฎีพหุนามในการกระจายค่า ซึ่งจะแยกพิจารณาเฉพาะเทอมเศษจะได้ดังสมการที่ (4.7)

$$\begin{aligned} (1-z^{-1})^i (1+z^{-1})^{N-i} &= 1 + \left[-\binom{i}{1} + \binom{N-i}{1} \right] z^{-1} + \left[\binom{i}{2} - \binom{N-i}{1} \binom{i}{1} + \binom{N-i}{2} \right] z^{-2} \\ &+ \left[-\binom{i}{3} + \binom{N-i}{1} \binom{i}{2} - \binom{N-i}{2} \binom{i}{1} + \binom{N-i}{3} \right] z^{-3} \\ &+ \left[\binom{i}{4} + \binom{N-i}{1} \binom{i}{3} - \binom{N-i}{2} \binom{i}{2} + \binom{N-i}{3} \binom{i}{1} + \binom{N-i}{4} \right] z^{-4} \\ &+ \dots + \left[\binom{i}{k} (-1) + \sum_{n=1}^{k-1} \binom{N-i}{n} \binom{i}{k-n} (-1)^{k-n} + \binom{N-i}{k} \right] z^{-k} \end{aligned} \quad (4.6)$$

จากสมการที่ (4.6) สามารถนำมาเขียนใหม่เพื่อให้รูปกระชับได้ดังสมการที่ (4.7)

$$\sum_{i=0}^N B_i (1-z^{-1})^i (1+z^{-1})^{N-i} = \sum_{i=0}^N B_i \left[\sum_{k=0}^i \binom{i}{k} (-1)^k z^{-k} \sum_{k=0}^{N-i} \binom{N-i}{k} z^{-k} \right] \quad (4.7)$$

จัดรูปสมการที่ (4.7) และเปลี่ยนตัวแปรตรงขนิใหม่จะได้เป็นความสัมพันธ์ในสมการที่ (4.8)

$$\sum_{i=0}^N b_i z^{-i} = \sum_{i=0}^N B_i [P_{i,j}] z^{-i} \quad (4.8)$$

โดยกำหนดให้ $[P_{i,j}]$ คือโพลิเนียร์ปาสคาลเมทริกซ์ ซึ่งจะถูกนิยามได้ดังนี้

$$\begin{aligned} P_{i,j} &= \sum_{n=0}^i \binom{N-j}{n} \binom{j}{i-n} (-1)^{i-n} ; i, j = 0, 1, \dots, N \\ &= \binom{j}{i} (-1)^i + \sum_{n=0}^i \binom{N-j}{n} \binom{j}{i-n} (-1)^{i-n} + \binom{N-j}{n} \end{aligned} \quad (4.9)$$

โดย i และ j คือ เลขระบุของแถวและหลัก ตามลำดับ

ดังนั้น ค่าสัมประสิทธิ์ของวงจรรองสัญญาณดิจิทัลคำนวณได้จากผลคูณระหว่างโพลิเนียร์ปาสคาลเมทริกซ์ กับค่าสัมประสิทธิ์ของวงจรรองสัญญาณแอนะล็อกได้ตั้งสมการที่ (4.10)

$$[\mathbf{b}_i] = [\mathbf{P}_{i,j}] [\mathbf{B}_i] \quad (4.10)$$

เนื่องจากวงจรพาราเมตริกอีควอไลเซอร์แอนะล็อกต้นแบบที่ใช้ในบนี้ป็นวงจรรองสัญญาณแอนะล็อกอันดับที่ 2 ดังนั้นสามารถหาสมาชิกของโพลิเนียร์ปาสคาลเมทริกซ์ที่สัมพันธ์กับอันดับของวงจรรอง โดยการแทน $N=2$ ในสมการที่ (4.9) แต่สามารถพิจารณาให้ง่ายขึ้นด้วยวิธีที่นำเสนอใน [35] โดยเริ่มพิจารณาที่แถวแรกและหลักแรกก่อนที่จะคำนวณสมาชิกที่เหลือดังนี้

- สามารถหาขนาดของโพลิเนียร์ปาสคาลเมทริกซ์ได้จาก $(N+1) \times (N+1)$
- พิจารณาแถวแรกจากสมการ $P_{0,j} = 1$ นั่นคือแถวแรกของโพลิเนียร์ปาสคาลเมทริกซ์จะมีค่าเป็น 1 ทุกหลักของแถวแรก
- พิจารณาหลักแรกได้จากสมการ $P_{i,0} = \binom{N}{i}$ เช่น $P_{0,0} = 1, P_{1,0} = 2, P_{2,0} = 1$ เป็นต้น
- พิจารณาสมาชิกที่เหลือของปาสคาลเมทริกซ์จากสมการที่ (4.11) ดังนี้

$$P_{i,j} = P_{i,j-1} - P_{i-1,j-1} - P_{i-1,j} \quad (4.11)$$

เช่นสมาชิกที่ $P_{1,1}, P_{1,2}, P_{2,1}, P_{2,2}$ ของโพลิเนียร์ปาสคาลเมทริกซ์นั้นคือ

$$P_{1,1} = P_{1,0} - P_{0,0} - P_{0,1} = 2 - 1 - 1 = 0$$

$$P_{1,2} = P_{1,1} - P_{0,1} - P_{0,2} = 0 - 1 - 1 = -2$$

$$P_{2,1} = P_{2,0} - P_{1,0} - P_{1,1} = 1 - 2 - 0 = -1$$

$$P_{2,2} = P_{2,1} - P_{1,1} - P_{1,2} = -1 - 0 - (-2) = 1$$

ดังนั้นโพลิเนียร์ปาสคาลเมทริกซ์อันดับ 2 จะได้ดังสมการที่ (4.12)

$$[P_{i,j}] = \begin{bmatrix} P_{0,0} = 1 & P_{0,1} = 1 & P_{0,2} = 1 \\ P_{1,0} = 2 & P_{1,1} = 0 & P_{1,2} = -2 \\ P_{2,0} = 1 & P_{2,1} = -1 & P_{2,2} = 1 \end{bmatrix} \quad (4.12)$$

ดังนั้นจะได้สมการโพลิเนียร์ปาสคาลเมทริกซ์อันดับที่สองขนาด (3x3) ดังสมการที่ (4.13)

$$[P_{i,j}] = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \quad (4.13)$$

ซึ่งในเทอมส่วนของสมการที่ (4.5) จะใช้วิธีพิจารณาเหมือนกับสมการที่ (4.10) ในการแทนค่าและจัดรูป แต่จะเปลี่ยนตัวแปรจาก $[b_i]$ เป็น $[a_i]$ และจาก $[B_i]$ เป็น $[A_i]$ ดังนี้

$$[b_i] = [P_{i,j}][A_i] \quad (4.14)$$

4.2 การออกแบบพาราเมตริกอีควอไลเซอร์จากวงจรรองแวนะล็อกต้นแบบ

4.2.1 ฟังก์ชันถ่ายโอนของวงจรรองแวนะล็อกต้นแบบ

ฟังก์ชันถ่ายโอนของวงจรรองแวนะล็อกต้นแบบสำหรับใช้ออกแบบพาราเมตริกอีควอไลเซอร์จะถูกแยกออกเป็น 2 ฟังก์ชันถ่ายโอน คือกรณี boost และกรณี cut ซึ่งฟังก์ชันถ่ายโอนของกรณี cut เกิดจากการกลับฟังก์ชันถ่ายโอนของกรณี boost และการแปลงผกผันอัตราขยาย (g) ดังนี้

- วงจรกรองสัญญาณแอนะล็อก Peaking

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณแอนะล็อก Peaking จะแสดงดังสมการที่ (4.15) [8]

$$H_p(s) = \begin{cases} \frac{s^2 + g\Omega_0 s / Q + \Omega_0^2}{s^2 + \Omega_0 s / Q + \Omega_0^2} & ; g > 1 \\ \frac{s^2 + \Omega_0 s / Q + \Omega_0^2}{s^2 + \Omega_0 s / gQ + \Omega_0^2} & ; g < 1 \end{cases} \quad (4.15)$$

เมื่อ Ω_0 คือ ความถี่ศูนย์กลางเชิงมุมของวงจรกรอง Peaking ในหน่วย rad/sec

Q คือ ควอลิตี้แฟกเตอร์ซึ่งจะสัมพันธ์กับความถี่แบนด์วิดท์ของวงจรกรอง Peaking

g คือ อัตราขยายแบบเชิงเส้น, กรณี boost ($g > 1$) และกรณี cut ($g < 1$)

หมายเหตุ : ถ้าอัตราขยาย G ถูกกำหนดในหน่วย dB, จะต้องแปลงให้เป็นเชิงเส้นด้วย

$$g = 10^{G/20}$$

- วงจรกรองสัญญาณแอนะล็อก Shelving

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณแอนะล็อกความถี่ต่ำผ่าน Shelving จะแสดงดังสมการที่ (4.16) [8]

$$H_{LP_Shelving}(s) = \begin{cases} \frac{s^2 + \sqrt{2g}\Omega_c s + g\Omega_c^2}{s^2 + \sqrt{2}\Omega_c s + \Omega_c^2} & ; g > 1 \\ \frac{s^2 + \sqrt{2}\Omega_c s + \Omega_c^2}{s^2 + \sqrt{2/g}\Omega_c s + \Omega_c^2 / g} & ; g < 1 \end{cases} \quad (4.16)$$

เมื่อ Ω_c คือ ความถี่ตัดเชิงมุมของวงจรกรองความถี่ต่ำผ่าน Shelving ในหน่วย rad/sec

g คือ อัตราขยายแบบเชิงเส้นของวงจรกรองความถี่ต่ำผ่าน Shelving, กรณี boost ($g > 1$) และกรณี cut ($g < 1$)

ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณแอนะล็อกความถี่สูงผ่าน Shelving จะแสดงดังสมการที่ (4.17) [8]

$$H_{HP_Shelving}(s) = \begin{cases} \frac{gs^2 + \sqrt{2g}\Omega_c s + \Omega_c^2}{s^2 + \sqrt{2}\Omega_c s + \Omega_c^2} & ; g > 1 \\ \frac{s^2 + \sqrt{2}\Omega_c s + \Omega_c^2}{s^2 / g + \sqrt{2/g}\Omega_c s + \Omega_c^2} & ; g < 1 \end{cases} \quad (4.17)$$

เมื่อ Ω_c คือ ความถี่ตัดเชิงมุมของวงจรกรองความถี่สูงผ่าน Shelving ในหน่วย rad/sec

g คือ อัตราขยายแบบเชิงเส้นของวงจรกรองความถี่สูงผ่าน Shelving, กรณี boost ($g > 1$) และกรณี cut ($g < 1$)

4.2.2 การแปลง s-z โดยวิธีไบลิเนียร์ด้วยไบลิเนียร์ปาสคาลเมทริกซ์

การสร้างพารามेटริกอีควอไลเซอร์แบบดิจิทัล จะต้องทำการแปลงฟังก์ชันถ่ายโอนของวงจรกรองแบบแอนะล็อก $H(s)$ ให้เป็นฟังก์ชันถ่ายโอนของวงจรกรองแบบดิจิทัล $H(z)$ ด้วยวิธีการแปลงไบลิเนียร์ปาสคาลเมทริกซ์ [34] ซึ่งจะเหมือนกับการแปลง s-z ที่ใช้ไบลิเนียร์ปกติ แต่สะดวกมากกว่า เพราะดำเนินการในรูปแบบเมทริกซ์ เหมาะกับการใช้ปรับเปลี่ยนค่าสัมประสิทธิ์วงจรกรองในกรณีที่ต้องการปรับคุณสมบัติของวงจรกรอง อันจะส่งผลไปสู่การปรับเปลี่ยนผลตอบสนองทางความถี่ของพารามेटริกอีควอไลเซอร์แบบดิจิทัล โดยในขั้นตอนแรกจะทำการแปลงความถี่นอร์มัลไลซ์แบบดิจิทัลเป็นความถี่เชิงมุมแอนะล็อกด้วยสมการต่อไปนี้

$$\Omega = \tan\left(\frac{\omega}{2}\right) \quad (4.18)$$

เมื่อ Ω คือ ความถี่เชิงมุมของวงจรกรองแบบแอนะล็อก

ω คือ ความถี่นอร์มัลไลซ์ของวงจรกรองแบบดิจิทัล

เมื่อพิจารณาฟังก์ชันถ่ายโอนอันดับที่ 2 (Biquadratic) ของวงจรกรองแอนะล็อก และวงจรกรองดิจิทัลแสดงดังสมการที่ (4.19) - (4.20) ตามลำดับ.

$$H(s) = \frac{B_0 + B_1s + B_2s^2}{A_0 + A_1s + A_2s^2} \quad (4.19)$$

$$H(z) = \frac{b_0 + b_1z^{-1} + b_2z^{-2}}{a_0 + a_1z^{-1} + a_2z^{-2}} \quad (4.20)$$

โดยค่าสัมประสิทธิ์ของวงจรรองสัญญาณดิจิทัลจะคำนวณได้จากผลคูณระหว่างโพลิเนียร์ปาสคาลเมทริกซ์ (Pascal matrix) กับค่าสัมประสิทธิ์ของวงจรรองสัญญาณแอนะล็อกดังสมการที่ (4.21) - (4.22) โดยจะแยกคำนวณระหว่างสัมประสิทธิ์เทอมเศษ และสัมประสิทธิ์เทอมส่วน

$$[\mathbf{b}_i] = [\mathbf{P}][\mathbf{B}_i] \quad (4.21)$$

$$[\mathbf{a}_i] = [\mathbf{P}][\mathbf{A}_i] \quad (4.22)$$

เมื่อ $\mathbf{b}_i, \mathbf{a}_i$ คือ สัมประสิทธิ์ในรูปเวกเตอร์ ของวงจรรองดิจิทัล

$\mathbf{B}_i, \mathbf{A}_i$ คือ สัมประสิทธิ์ในรูปเวกเตอร์ ของวงจรรองแอนะล็อก

\mathbf{P} คือ โพลิเนียร์ปาสคาลเมทริกซ์อันดับที่ 2 =
$$\begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix}$$

วิธีการแปลงวงจรรองแอนะล็อก Peaking ในกรณี boost ไปเป็นวงจรรองดิจิทัล จะแสดงการคำนวณสัมประสิทธิ์เทอมเศษและเทอมส่วนแสดงดังสมการที่ (4.23) และ (4.24) ตามลำดับ

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_0^2 \\ g\Omega_0/Q \\ 1 \end{bmatrix} \quad (4.23)$$

$$\begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_0^2 \\ \Omega_0/Q \\ 1 \end{bmatrix} \quad (4.24)$$

วิธีการแปลงวงจรรองแอนะล็อก Peaking ในกรณี cut ไปเป็นวงจรรองดิจิทัล จะแสดงการคำนวณสัมประสิทธิ์เทอมเศษและเทอมส่วนแสดงดังสมการที่ (4.25) และ (4.26) ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_0^2 \\ \Omega_0 / Q \\ 1 \end{bmatrix} \quad (4.25)$$

$$\begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_0^2 \\ \Omega_0 / gQ \\ 1 \end{bmatrix} \quad (4.26)$$

วิธีการแปลงวงจรรองแวนะล็อกความถี่ต่ำผ่าน Shelving ในกรณี boost ไปเป็นวงจรรองดิจิทัล จะแสดงการคำนวณสัมประสิทธิ์เทอมเศษและเทอมส่วนแสดงดังสมการที่ (4.27) และ (4.28) ตามลำดับ

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} g\Omega_c^2 \\ \sqrt{2g}\Omega_c \\ 1 \end{bmatrix} \quad (4.27)$$

$$\begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_c^2 \\ \sqrt{2}\Omega_c \\ 1 \end{bmatrix} \quad (4.28)$$

วิธีการแปลงวงจรรองแวนะล็อกความถี่ต่ำผ่าน Shelving ในกรณี cut ไปเป็นวงจรรองดิจิทัล จะแสดงการคำนวณสัมประสิทธิ์เทอมเศษและเทอมส่วนแสดงดังสมการที่ (4.29) - (4.30) ตามลำดับ

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_c^2 \\ \sqrt{2}\Omega_c \\ 1 \end{bmatrix} \quad (4.29)$$

$$\begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_c^2 / g \\ \sqrt{2/g}\Omega_c \\ 1 \end{bmatrix} \quad (4.30)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการแปลงวงจรรองแอนะล็อกความถี่สูงผ่าน Shelving ในกรณี boost ไปเป็นวงจรรองดิจิทัล จะแสดงการคำนวณสัมประสิทธิ์เทอมเศษและเทอมส่วนแสดงดังสมการที่ (4.31) - (4.32) ตามลำดับ

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_c^2 \\ \sqrt{2g}\Omega_c \\ g \end{bmatrix} \quad (4.31)$$

$$\begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_c^2 \\ \sqrt{2}\Omega_c \\ 1 \end{bmatrix} \quad (4.32)$$

วิธีการแปลงวงจรรองแอนะล็อกความถี่สูงผ่าน Shelving ในกรณี cut ไปเป็นวงจรรองดิจิทัล จะแสดงการคำนวณสัมประสิทธิ์เทอมเศษและเทอมส่วนแสดงดังสมการที่ (4.33) - (4.34) ตามลำดับ

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_c^2 \\ \sqrt{2}\Omega_c \\ 1 \end{bmatrix} \quad (4.33)$$

$$\begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} \Omega_c^2 \\ \sqrt{2/g}\Omega_c \\ 1/g \end{bmatrix} \quad (4.34)$$

ในขั้นตอนสุดท้ายของการแปลงไปลิเนียร์ปาสคาลเมทริกซ์ คือจะนำสัมประสิทธิ์ a_0 หารสัมประสิทธิ์ทุกตัวเพื่อทำให้ a_0 เท่ากับ 1

4.2.3 ตัวอย่างการออกแบบ

ตัวอย่างการออกแบบพารามเมตริกอีควอไลเซอร์จำนวน 5 แบนด์ โดยแบ่งเป็น วงจรรองความถี่ต่ำผ่าน Shelving, วงจรรองความถี่สูงผ่าน Shelving และวงจรรอง Peaking จำนวน 3 แบนด์ ซึ่งจะตั้งค่าพารามิเตอร์ เพื่อใช้กำหนดคุณสมบัติของวงจรรองแต่ละตัว ดังตารางที่ 4.1

ตารางที่ 4.1 ตัวอย่างคุณสมบัติของพารามิเตอร์อ็ควอไลเซอร์ จำนวน 5 bands คุณสมบัติที่ 1

	Lowpass Shelving filter	1 st Peak filter	2 nd Peak filter	3 rd Peak filter	Highpass Shelving filter
Center or Cut off frequency (Hz)	150	400	1000	2000	10000
Quality factor (Q)	-	1	5	0.8	-
Gain (dB)	3	-5	10	-2	-5

จากตัวอย่างการออกแบบข้างต้นข้างต้นเนื่องจากวงจรรองความถี่ต่ำผ่าน และวงจรรองความถี่สูงผ่าน Shelving ได้ถูกกำหนดค่า $Q = 1/\sqrt{2}$ รวมไว้กับฟังก์ชันถ่ายโอนของวงจรรองแอนะล็อกต้นแบบในสมการที่ (4.16) - (4.17) ดังนั้นในตารางคุณสมบัตินี้จึงไม่มีการกำหนดค่าควอลิตี้แฟกเตอร์สำหรับวงจรรองดังกล่าว และการกำหนดความถี่กลาง/ความถี่ตัด ในตารางที่ 4.1 จะอยู่ในรูปความถี่จริง (Hz) แต่ในขั้นตอนการออกแบบจะต้องแปลงให้อยู่ในรูปความถี่นอร์มัลไลซ์ (rad) ดังนั้นถ้ากำหนดให้ความถี่สุ่ม (f_s) เท่ากับ 44.1 kHz ดังนั้นเมื่อแปลงเป็นความถี่นอร์มัลไลซ์แล้วจะได้คุณสมบัติดังตารางที่ 4.2 นอกจากนั้นในตารางที่ 4.2 ได้แสดงผลการแปลงอัตราขยายเดซิเบล (G) เป็นอัตราขยายเชิงเส้น (g) เนื่องจากฟังก์ชันถ่ายโอนแอนะล็อกจะใช้อัตราขยายเชิงเส้นในการคำนวณค่า ดังนั้นผลการคำนวณค่าสัมประสิทธิ์ในเทอมเศษและเทอมส่วนของวงจรรองความถี่ต่ำผ่าน Shelving จะแสดงดังสมการที่ (4.35) - (4.36) ตามลำดับ

ตารางที่ 4.2 ความถี่นอร์มัลไลซ์ (rad) และอัตราขยายเชิงเส้นของพารามิเตอร์อ็ควอไลเซอร์ คุณสมบัติที่ 1

	Lowpass Shelving filter	1 st Peaking filter	2 nd Peaking filter	3 rd Peaking filter	Highpass Shelving filter
Center or Cut off in normalize frequency (rad)	0.02137	0.05699	0.14248	0.28495	1.42476
Linear Gain (g)	0.70795	0.56234	3.16228	0.79433	0.56234

$$\begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \times \begin{bmatrix} 1.613 \times 10^{-4} \\ 0.018 \\ 1 \end{bmatrix} = \begin{bmatrix} 1.0181 \\ -1.9997 \\ 0.9822 \end{bmatrix} \quad (4.35)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \times \begin{bmatrix} 1.1419 \times 10^{-4} \\ 0.0151 \\ 1 \end{bmatrix} = \begin{bmatrix} 1.0152 \\ -1.9998 \\ 0.9850 \end{bmatrix} \quad (4.36)$$

เมื่อดำเนินการคูณเมทริกซ์ในสมการที่ (4.35) และ (4.36) แล้วจะได้ค่า $a_0 = 1.0152$, $a_1 = -1.9998$, $a_2 = 0.9850$, $b_0 = 1.0181$, $b_1 = -1.9997$, และ $b_2 = 0.9822$ แต่โดยทั่วไปสัมประสิทธิ์ตัวแรกในเทอมเศษ (a_0) จะต้องถูกนอร์มัลไลซ์ให้เท่ากับ 1 ดังนั้นจึงต้องมีขั้นตอนสุดท้ายคือการนำ a_0 หารสัมประสิทธิ์ทุกตัว ซึ่งจะได้ $b_0 = 1.0029$, $b_1 = -1.9697$, $b_2 = 0.9675$, $a_0 = 1$, $a_1 = -1.9698$ และ $a_2 = 0.9702$

ดังนั้นฟังก์ชันถ่ายโอนของวงจรกรองดิจิทัลความถี่ต่ำผ่าน Shelving จากตัวอย่างข้างต้นคือ

$$H_{LP_Shelving}(z) = \frac{1.0029 - 1.9697z^{-1} + 0.9675z^{-2}}{1 - 1.9698z^{-1} + 0.9702z^{-2}} \quad (4.37)$$

ฟังก์ชันถ่ายโอนของวงจรกรองดิจิทัลความถี่สูงผ่าน Shelving จากตัวอย่างข้างต้นคือ

$$H_{HP_Shelving}(z) = \frac{0.7145 - 0.1224z^{-1} + 0.1263z^{-2}}{1 - 0.4972z^{-1} + 0.2156z^{-2}} \quad (4.38)$$

ฟังก์ชันถ่ายโอนของวงจรกรองดิจิทัล Peaking ย่านที่ 1 จากตัวอย่างข้างต้นคือ

$$H_{p1}(z) = \frac{0.9789 - 1.9005z^{-1} + 0.9247z^{-2}}{1 - 1.9005z^{-1} + 0.9036z^{-2}} \quad (4.39)$$

ฟังก์ชันถ่ายโอนของวงจรกรองดิจิทัล Peaking ย่านที่ 2 จากตัวอย่างข้างต้นคือ

$$H_{p2}(z) = \frac{1.0303 - 1.9520z^{-1} + 0.94117z^{-2}}{1 - 1.9520z^{-1} + 0.9702z^{-2}} \quad (4.40)$$

ฟังก์ชันถ่ายโอนของวงจรกรองดิจิทัล Peaking ย่านที่ 3 จากตัวอย่างข้างต้นคือ

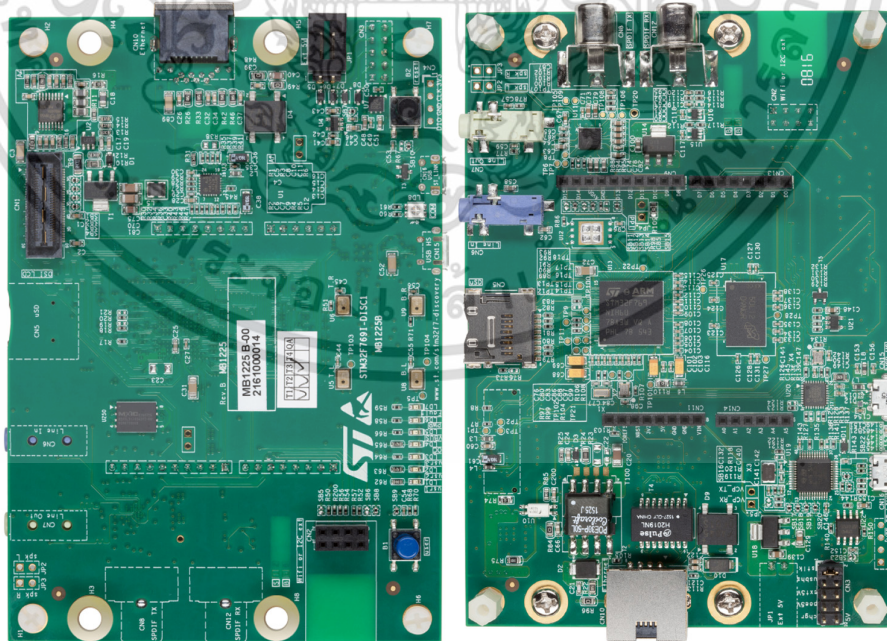
$$H_{p3}(z) = \frac{0.9627 - 1.5717z^{-1} + 0.6750z^{-2}}{1 - 1.5717z^{-1} + 0.6378z^{-2}} \quad (4.41)$$

4.3 การสร้างพารามetriกรอไอโวลเซอร์บนบอร์ดประมวลผลสัญญาณ STM32

4.3.1 ฮาร์ดแวร์ที่ใช้สำหรับพัฒนา

ฮาร์ดแวร์ที่ใช้สำหรับสร้างพารามetriกรอไอโวลเซอร์แบบดิจิทัลคือบอร์ด STM32F769I-Discovery ซึ่งเป็นโปรเซสเซอร์ขนาด 32 บิต ในตระกูล STM32F7 โดยจะมีส่วนประกอบที่สำคัญภายในดังนี้

- หน่วยประมวลผลกลาง STM32F769 ซึ่งใช้แกนประมวลผลประสิทธิภาพสูงแบบ Arm® Cortex®-M7 32-bit RISC ทำงานที่ความถี่สูง โดยแกนประมวลผล Cortex®-M7 จะมีคุณสมบัติในการประมวลผลจุดทศนิยมลอย (floating-point unit) ซึ่งสนับสนุนชุดคำสั่งในการประมวลผล Arm® double-precision และ single-precision data-processing นอกจากนี้ยังสามารถใช้ชุดคำสั่งในการประมวลผลสัญญาณดิจิทัล (DSP) ด้วยความเร็วสูงสุด 216 MHz หรือ 462 DMIPS/2.14 DMIPS/MHz
- ตัวแปลงสัญญาณเสียง WM8994ECS/R จาก CIRRUS มีตัวแปลงสัญญาณดิจิทัลเป็นแอนะล็อก (DAC) จำนวน 4 ชุด และตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัล (ADC) จำนวน 2 ชุด เชื่อมต่อกับอินเทอร์เฟซ SAI ของ STM32F769 โดยตัวแปลงสัญญาณดิจิทัลเป็นแอนะล็อก และตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัลบน WM8994 จะมีความละเอียดขนาด 24 บิต ซึ่งสามารถเลือกอัตราการสุ่มตัวอย่างมาตรฐานได้ตั้งแต่ 8 kHz จนถึง 96 kHz



ภาพที่ 4.1 บอร์ดประมวลผลสัญญาณ STM32F769I Discovery

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

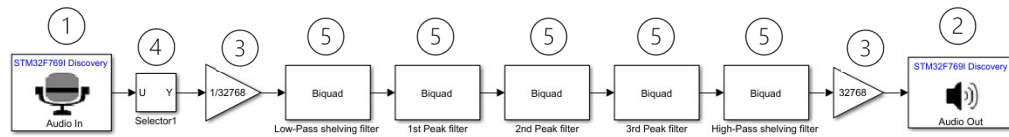
4.3.2 ซอฟต์แวร์สำหรับการพัฒนา

ในวิทยานิพนธ์นี้เลือกใช้ MATLAB/Simulink ให้เป็นเครื่องมือซอฟต์แวร์สำหรับการใช้งาน เนื่องจากมีแพ็คเกจสนับสนุนฮาร์ดแวร์ที่เข้ากันได้กับบอร์ด STM32F769-Discovery โดยส่วนเสริมเพิ่มเติมที่สามารถติดตั้งได้มีดังนี้

- Embedded Coder® Support Package for STMicroelectronics® STM32 เป็นตัวช่วยในการสร้าง, อัปเดต, และ optimized โค้ดสำหรับโปรเซสเซอร์ STM32 โดยสามารถออกแบบอัลกอริทึมและใช้บล็อกไลบรารีสำหรับอุปกรณ์ต่อพ่วงและ I/O ผ่านบล็อกที่ให้มาในแพ็คเกจ
- Embedded Coder® Support Package for ARM® Cortex®-M Processors เป็นตัวสร้างโค้ดสำหรับการดำเนินการทางคณิตศาสตร์ผ่านไลบรารี CMSIS โดยโค้ดที่สร้างขึ้นนี้จะใช้สำหรับตัวประมวลผลตระกูล ARM Cortex-M และสำหรับงานทางด้วยวงจรดิจิทัล จะต้องใช้บริการสนับสนุนของไลบรารี ARM Cortex-M CMSIS จาก DSP System Toolbox™
- DSP System Toolbox™ Support Package for ARM® Cortex®-M Processors เมื่อใช้งานร่วมกับ Embedded Coder® จะช่วยให้สามารถสร้างโค้ดภาษา C จาก MATLAB® System objects™ หรือ Simulink® blocks ได้ ซึ่งจะสนับสนุนกับตัวประมวลผลตระกูล ARM Cortex-M โดยใช้ไลบรารี DSP ของ Cortex Microcontroller Software Interface Standard (CMSIS)

4.3.3 การสร้างพารามетริกอีควอไลเซอร์แบบดิจิทัล 5 แบนด์

ในการสร้างจริงจะอาศัยโปรแกรม MATLAB/Simulink ในการสร้างพารามетริกอีควอไลเซอร์ โดยใน Embedded Coder® Support Package for STMicroelectronics® STM32 ที่ติดตั้งลงไปจะมีบล็อกฟังก์ชันเพื่อเชื่อมต่อกับฮาร์ดแวร์ต่างๆ บนบอร์ด STM32F769-Discovery ซึ่งในงานวิจัยนี้จะเลือกใช้ส่วนติดต่อกับสัญญาณเสียง มาใช้ในการสร้างพารามетริกอีควอไลเซอร์ด้วยวิธีการที่นำเสนอ โดยในภาพที่ 4.2 จะแสดงส่วนประกอบของ Simulink ที่ใช้ในการสร้างจริง



ภาพที่ 4.2 แผนผังของการสร้างพารามетริกอีควอไลเซอร์บนบอร์ด STM32F769I Discovery ด้วย MATLAB/Simulink

- ① **Audio In** : ทำหน้าที่ แปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัล (ADC) โดยมีขนาด 16 บิต จำนวน 2 ช่องสัญญาณ สามารถเลือกความถี่สุ่มมาตรฐานได้ตั้งแต่ 8 kHz ถึง 96 kHz โดยข้อมูลที่จะออกมาจะเป็นแบบชุดข้อมูล (Frame) ซึ่งจะสามารถตั้งค่าจำนวนข้อมูลต่อชุด (Samples per frame) ตั้งแต่ 5 ถึง 65535
- ② **Audio Out** : ทำหน้าที่แปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก (DAC) โดยมีขนาด 16 บิต จำนวน 4 ช่องสัญญาณ สามารถเลือกความถี่สุ่มมาตรฐานได้ตั้งแต่ 8 kHz ถึง 96 kHz โดยข้อมูลที่ป้อนเข้าไปจะเป็นชุดข้อมูล (Frame) ซึ่งจะตั้งค่าจำนวนข้อมูลต่อชุด (Samples per frame) ตั้งแต่ 5 ถึง 65535 และสามารถตั้งค่า Gain output ได้ตั้งแต่ 0-100 %
- ③ **Gain** : ทำหน้าที่ขยายและลดทอนขนาดของสัญญาณ เนื่องจากสัญญาณที่เข้ามาจาก Audio in เป็นจำนวนเต็มขนาด 16 บิต (Int) แบบคิดเครื่องหมาย เมื่อแปลงเป็นเลขฐานสิบแล้วจะมีค่า -32768 ถึง 32767 ซึ่งค่าดังกล่าวไม่เหมาะที่จะนำมาประมวลผล เนื่องจากจะมีความต่างของสัญญาณอินพุตและค่าสัมประสิทธิ์ของวงจรรองมากเกินไป ดังนั้นจึงต้องทำการแปลงค่าให้อยู่ในช่วง -1 ถึง 1 ด้วยการหารด้วย 32768 หรือคูณด้วย 1/32768 รวมทั้งทำการแปลงประเภทข้อมูลเป็นแบบจุดทศนิยมลอย (Float) ในทำนองเดียวกันข้อมูลหลังการประมวลผลแล้วจะอยู่ในรูปของ Float ดังนั้นการที่จะส่งข้อมูลออกไปที่ Audio out จึงต้องทำการแปลงข้อมูลให้กลับมาอยู่ในรูปของ Int 16Bits โดยการคูณด้วย 32768
- ④ **Selector** : เนื่องจากสัญญาณที่เข้ามาจาก Audio in จะเป็นสัญญาณแบบ Stereo 2 ช่องสัญญาณแต่ในการประมวลผลจะกระทำเพียงช่องสัญญาณเดียว จึงต้องใช้ Selector ในการเลือกสัญญาณในการนำเข้ามาประมวลผลเพียง 1 ช่องสัญญาณ
- ⑤ **Biquad** : บล็อกวงจรรอง Biquad ทำหน้าที่กรองสัญญาณด้วยวงจรรอง infinite impulse response (IIR) อันดับที่ 2 โดยจะต้องกำหนดค่าสัมประสิทธิ์วงจรรองในบล็อกเข้าไปในรูปแบบ $[b_0 \ b_1 \ b_2 \ a_0 \ a_1 \ a_2]$ และเลือก Filter Structure เป็นแบบ Direct Form II Transposed อย่างไรก็ตาม

ค่าสัมประสิทธิ์ที่เป็นตัวกำหนดคุณสมบัติของวงจรกรอง จะสามารถปรับค่าที่เวลาจริงในระหว่างการทำงานได้

⑥ **Coefficients loader** : ไม่ได้เป็น Block อยู่ใน Simulink แต่ถูกสร้างจาก M-file Script ดังภาพที่ 4.3 ซึ่งจะทำงานอยู่บนโปรแกรม MATLAB โดยจะทำหน้าที่คำนวณหาค่าสัมประสิทธิ์วงจรกรอง $[b_0 \ b_1 \ b_2 \ a_0 \ a_1 \ a_2]$ ของพาราเมตริกอีควอไลเซอร์ทั้ง 5 แบนด์ ด้วยวิธีการที่นำเสนอ โดยการงานจะเริ่มจากกำหนดค่า อัตราขยาย (G), ความถี่ตัด (f_c) หรือความถี่กลาง (f_0), และควอลิตี้แฟกเตอร์ (Q) จากนั้นเข้าสู่ขั้นตอนการคำนวณด้วยวิธีการที่นำเสนอเพื่อหาค่าสัมประสิทธิ์ของวงจรกรองทั้ง 5 แบนด์ และในขั้นตอนสุดท้ายคือการส่งค่าสัมประสิทธิ์วงจรกรองที่ได้ให้กับ Biquad Block บน Simulink ด้วยคำสั่ง `set_param` โดยจะสามารถปรับค่าสัมประสิทธิ์ทั้งหมดได้ที่เวลาจริง ในขณะที่กำลังจำลองการทำงานอยู่บนบอร์ด STM32F769



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

clear all
Fs = 44100;

Profile = 1;
switch Profile
case 1
    G_dB = [-5 13 -13 10 3];
    fc = [200 300 1000 2000 7000];
    Q = [0 24 24 2 0];
case 2
    G_dB = [3 12.6 -2.6 -5.4 -10.3];
    fc = [150 250 621 2048 7551];
    Q = [0 4 3.91 5.83 0];
case 3
    G_dB = [-2 5 -10 14 5];
    fc = [100 150 220 689 8000];
    Q = [0 10 3.47 3 0];
end

G = 10.^(G_dB./20);
f1 = logspace(0,log10(Fs/2),1000);

OM0 = tan(pi.*fc./Fs);
pascal = [ 1 1 1;
           2 0 -2;
           1 -1 1];

for i=1:length(fc)
    if i==1 %Low
        if G(i)>1 %boot
            BA = [G(i)*OM0(i)^2; sqrt(2*G(i))*OM0(i) ; 1];
            BAnalog(:,i) = pascal*BA(:,1);
            AA = [OM0(i)^2; sqrt(2)*OM0(i) ; 1];
            AAnalog(:,i) = pascal*AA(:,1);
        end
        if G(i)<1 %cut
            BA = [OM0(i)^2; sqrt(2)*OM0(i) ; 1];
            BAnalog(:,i) = pascal*BA(:,1);
            AA = [OM0(i)^2; sqrt(2/G(i))*OM0(i) ; 1];
            AAnalog(:,i) = pascal*AA(:,1);
        end
    elseif i==length(fc) %Hi
        if G(i)>1 %boot
            BA = [OM0(i)^2; sqrt(2*G(i))*OM0(i) ; G(i)];
            BAnalog(:,i) = pascal*BA(:,1);
            AA = [OM0(i)^2; sqrt(2)*OM0(i) ; 1];
            AAnalog(:,i) = pascal*AA(:,1);
        end
        if G(i)<1 %cut
            BA = [OM0(i)^2; sqrt(2)*OM0(i) ; 1];
            BAnalog(:,i) = pascal*BA(:,1);
            AA = [OM0(i)^2; sqrt(2/G(i))*OM0(i) ; 1/G(i)];
            AAnalog(:,i) = pascal*AA(:,1);
        end
    else %Peak
        if G(i)>1 %boot
            BA = [OM0(i)^2; G(i)*OM0(i)/Q(i) ; 1];
            BAnalog(:,i) = pascal*BA(:,1);
            AA = [OM0(i)^2; OM0(i)/Q(i) ; 1];
            AAnalog(:,i) = pascal*AA(:,1);
        end
        if G(i)<1 %cut
            BA = [OM0(i)^2; OM0(i)/Q(i) ; 1];
            BAnalog(:,i) = pascal*BA(:,1);
            AA = [OM0(i)^2; OM0(i)/(G(i)*Q(i)) ; 1];
            AAnalog(:,i) = pascal*AA(:,1);
        end
    end
end
end

BAnalog = BAnalog./AAnalog(1,:);
AAAnalog = AAAnalog./AAAnalog(1,:);
H_Mix = ones(1,length(f1));
for i = 1:length(fc)
    H_Ana(:,i) = freqz(BAnalog(:,i),AAAnalog(:,i),f1,Fs);
    H_Mix = H_Mix.*H_Ana(:,i);
end
figure(i+1);
semilogx(f1,20*log10(abs(H_Mix)));
grid on
xlim([16,25600]);
ylim([-15 15]);
xlabel('Frequency (Hz)')
ylabel('Gain (dB)')

for i=1:length(fc)
end

BAnalog = BAnalog';
AAAnalog = AAAnalog';
set_param('AnalogBilinearParaEq/Constant1','Value','BAnalog(1,:)')
set_param('AnalogBilinearParaEq/Constant2','Value','AAAnalog(1,:)')
set_param('AnalogBilinearParaEq/Constant3','Value','BAnalog(2,:)')
set_param('AnalogBilinearParaEq/Constant4','Value','AAAnalog(2,:)')
set_param('AnalogBilinearParaEq/Constant5','Value','BAnalog(3,:)')
set_param('AnalogBilinearParaEq/Constant6','Value','AAAnalog(3,:)')
set_param('AnalogBilinearParaEq/Constant7','Value','BAnalog(4,:)')
set_param('AnalogBilinearParaEq/Constant8','Value','AAAnalog(4,:)')
set_param('AnalogBilinearParaEq/Constant9','Value','BAnalog(5,:)')
set_param('AnalogBilinearParaEq/Constant10','Value','AAAnalog(5,:)')

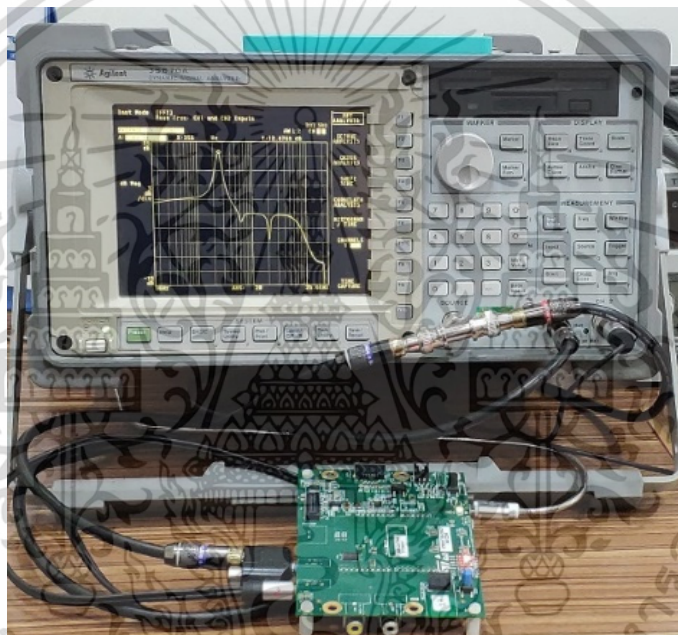
```

ภาพที่ 4.3 สคริปต์ M-file สำหรับสร้างและโหลดสัมประสิทธิ์ของ Coefficients loader ⑥

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ผลทดลองการสร้างพารามetriกรอไอควอไลเซอร์ดิจิทัลด้วยวิธีแปลงไบลิเนียร์ด้วยไบลิเนียร์ปาสคาลเมทริกซ์

การทดลองในบทนี้จะออกแบบพารามetriกรอไอควอไลเซอร์ 5 แบนด์จากคุณสมบัติที่กำหนดและสร้างจริงบนบอร์ดประมวลผล STM32F769I-Disco จากนั้นทำการเก็บผลโดยการวัดผลตอบสนองทางขนาดจากเครื่อง Dynamic Signal Analyzer เปรียบเทียบกับผลที่ได้จากการจำลองการทำงานบนโปรแกรม MATLAB โดยการทดลองบนฮาร์ดแวร์จะแสดงดังภาพที่ 4.4

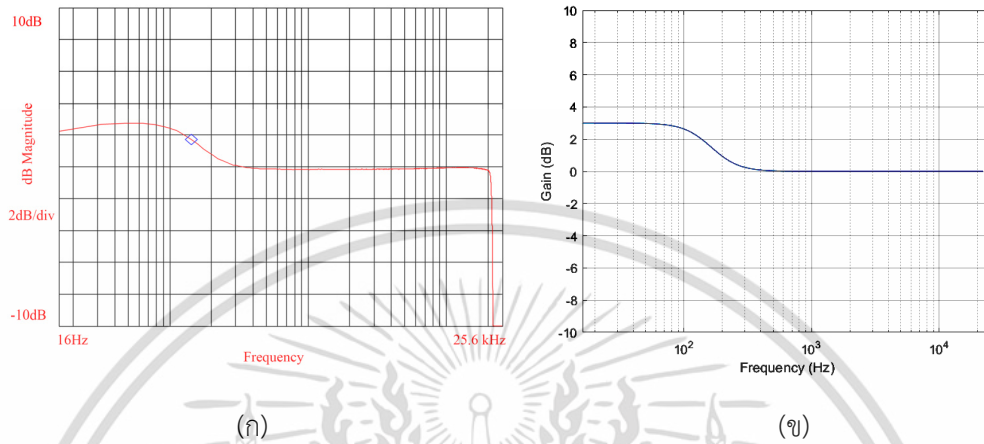


ภาพที่ 4.4 การสาธิตทดลองบนฮาร์ดแวร์จริง

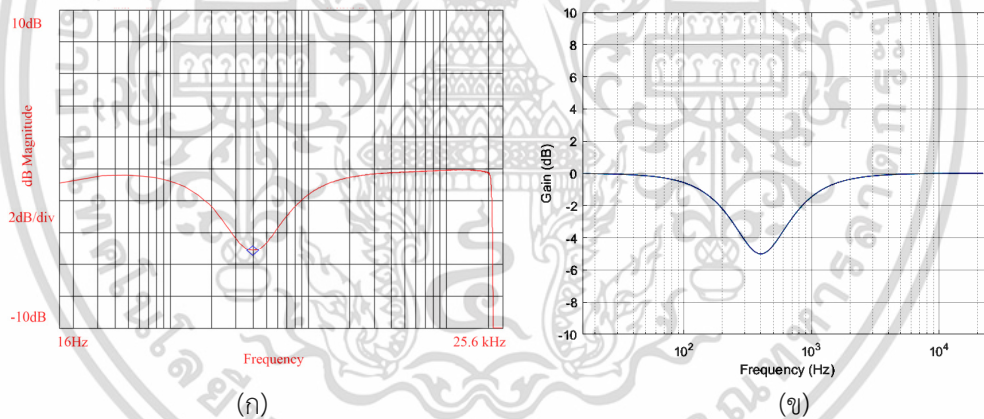
4.4.1. ผลการทดลองจากตัวอย่างการออกแบบคุณสมบัติที่ 1

ผลการทดลองที่ได้จากการตัวอย่างในตารางที่ 4.1 (คุณสมบัติที่ 1) โดยแสดงผลตอบสนองทางขนาดที่ได้จากการสร้างจริงบนบอร์ด STM32F769 ซึ่งวัดผลตอบสนองทางขนาดด้วยเครื่อง Dynamic Signal Analyzer เปรียบเทียบกับผลจากการจำลองการทำงานด้วยโปรแกรม MATLAB โดยจะแยกเปรียบเทียบวงจรกรองแต่ละแบนด์ คือ วงจรกรองความถี่ต่ำผ่าน Shelving, วงจรกรอง Peaking ย่านที่ 1, วงจรกรอง Peaking ย่านที่ 2, วงจรกรอง Peaking ย่านที่ 3, และวงจรกรองความถี่สูงผ่าน Shelving ดังภาพที่ 4.5 - ภาพที่ 4.9 จากนั้นจะทำการทดลองนำ Filter ทั้งหมดมาต่อเรียงกันเพื่อสร้างเป็นพารามetriกรอไอควอไลเซอร์ซึ่งจะได้ผลการทดลองดังภาพที่ 4.10 (ภาพฝั่ง (ก))

เป็นผลจากการสร้างจริงบนฮาร์ดแวร์ และภาพฝั่ง (ข) เป็นผลจากการจำลองด้วย MATLAB) และผลตอบสนองทางเฟสแสดงดังภาพที่ 4.10

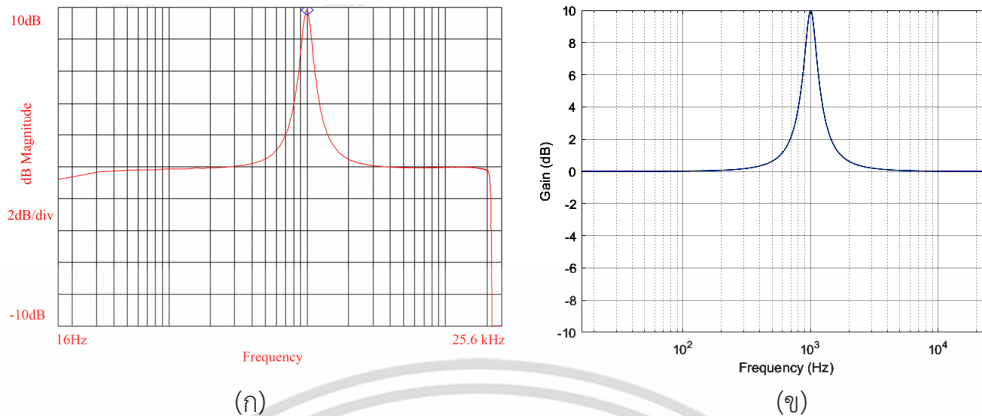


ภาพที่ 4.5 การเปรียบเทียบวงจรรองความถี่ต่ำผ่าน Shelving จากตัวอย่างการออกแบบคุณสมบัติที่ 1

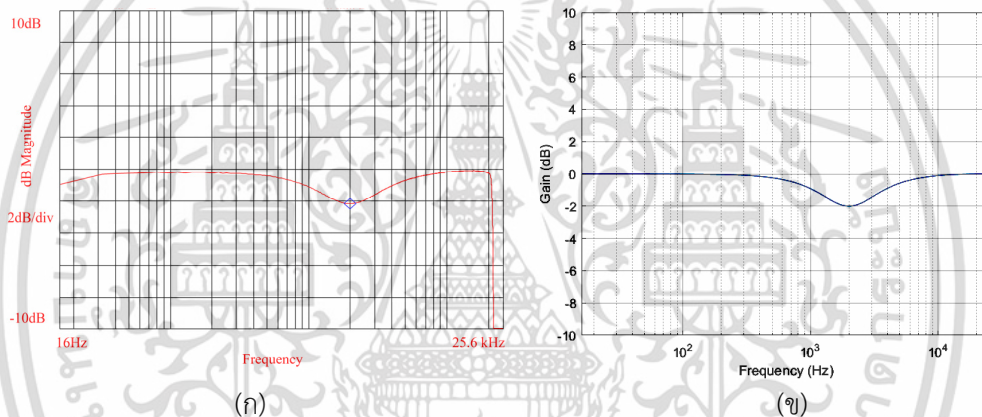


ภาพที่ 4.6 การเปรียบเทียบวงจรรองความถี่ Peaking ย่านที่ 1 จากตัวอย่างการออกแบบคุณสมบัติที่ 1

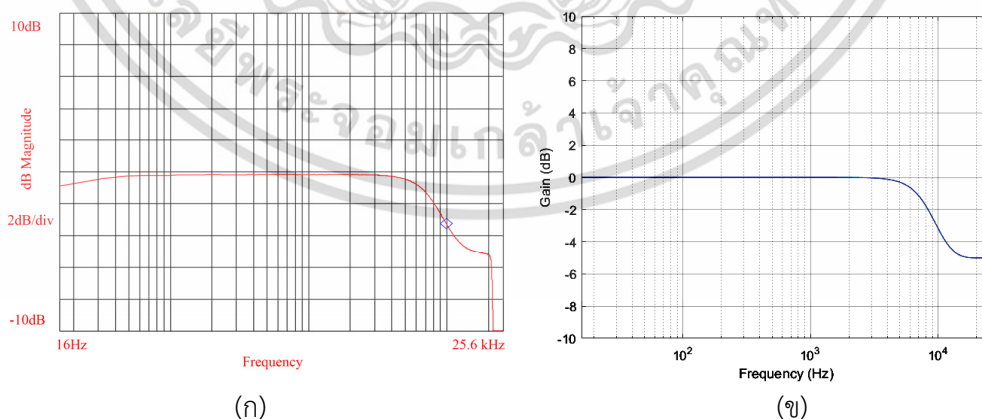
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.7 การเปรียบเทียบวงจรรองความถี่ Peaking ย่านที่ 2 จากตัวอย่างการออกแบบคุณสมบัติที่ 1

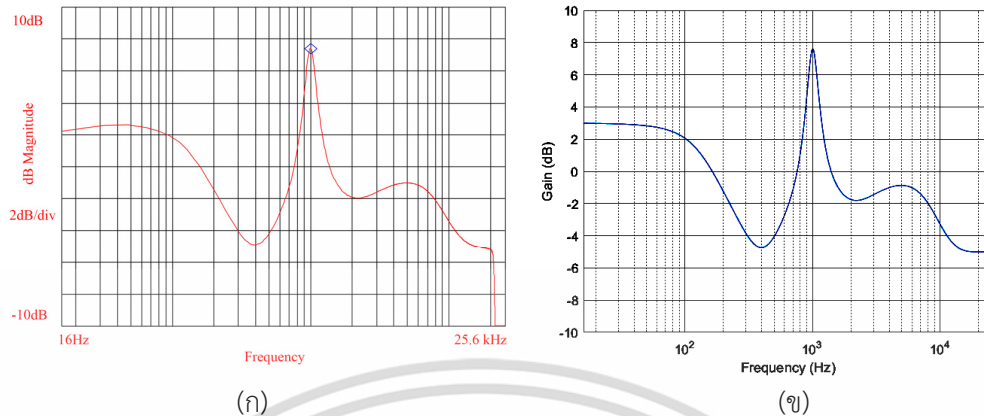


ภาพที่ 4.8 การเปรียบเทียบวงจรรองความถี่ Peaking ย่านที่ 3 จากตัวอย่างการออกแบบคุณสมบัติที่ 1

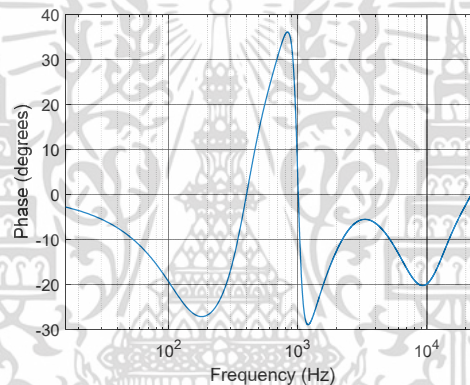


ภาพที่ 4.9 การเปรียบเทียบวงจรรองความถี่สูงผ่าน Shelving จากตัวอย่างการออกแบบคุณสมบัติที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.10 การเปรียบเทียบพารามetriกรอควอไลเซอร์ 5 แบนด์ จากตัวอย่างการออกแบบคุณสมบัติที่ 1



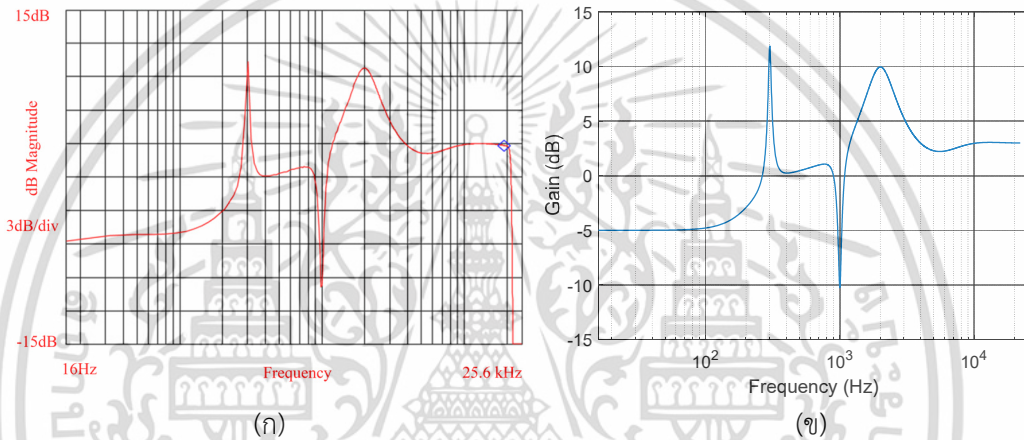
ภาพที่ 4.11 ผลตอบสนองทางเฟสของพารามetriกรอควอไลเซอร์ 5 แบนด์ จากตัวอย่างการออกแบบคุณสมบัติที่ 1

4.4.2. ผลการทดลองปรับเปลี่ยนคุณสมบัติของพารามetriกรอควอไลเซอร์แบบดิจิทัล

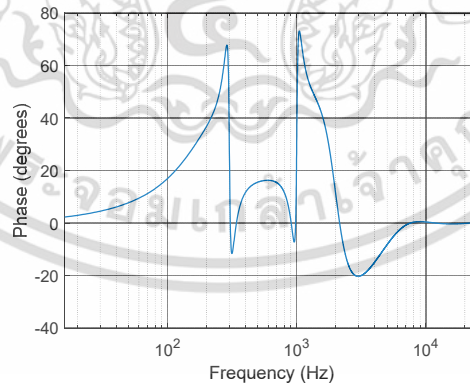
การทดลองนี้จะทำการปรับเปลี่ยนคุณสมบัติของพารามetriกรอควอไลเซอร์ ซึ่งจะใช้การคำนวณสัมประสิทธิ์ผ่านกระบวนการทางเมทริกซ์ ทำให้มีความสะดวกในการปรับแต่งคุณสมบัติต่างๆ โดยจะทดลองปรับเปลี่ยนคุณสมบัติของพารามetriกรอควอไลเซอร์แบบดิจิทัล 5 แบนด์ จำนวน 3 คุณสมบัติ และวัดผลการทดลองด้วย Dynamic Signal Analyzer เปรียบเทียบกับผลที่ได้จากการจำลองการทำงานผ่านโปรแกรม MATLAB โดยคุณสมบัติของพารามetriกรอควอไลเซอร์ แสดงดังตารางที่ 4.3 - ตารางที่ 4.5 โดยผลการทดลองเปรียบเทียบผลตอบสนองทางขนาดแสดงดังภาพที่ 4.12, ภาพที่ 4.14 และภาพที่ 4.16 รวมทั้งผลตอบสนองทางเฟสแสดงดังภาพที่ 4.13, ภาพที่ 4.15, และภาพที่ 4.17 ตามลำดับ

ตารางที่ 4.3 คุณสมบัติของพารามetriกรีกวอไลเซอร์สำหรับการทดลองคุณสมบัติที่ 2

	Lowpass Shelving filter	1 st Peak filter	2 nd Peak filter	3 rd Peak filter	Highpass Shelving filter
Center or Cut off frequency (Hz)	200	300	1000	2000	7000
Quality factor (Q)	0.707	24	24	2	0.707
Gain (dB)	-5	13	-13	10	3



ภาพที่ 4.12 การเปรียบเทียบพารามetriกรีกวอไลเซอร์ 5 แบนด์ จากคุณสมบัติที่ 2 ในตารางที่ 4.3

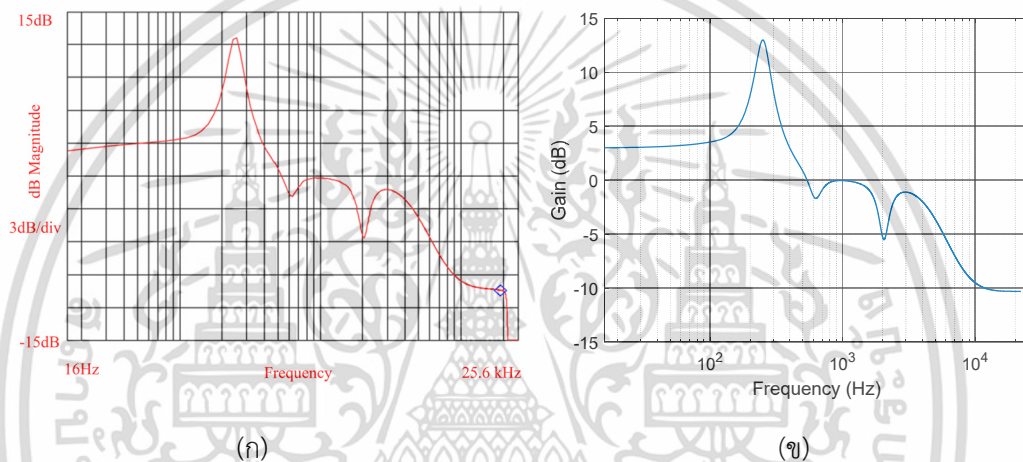


ภาพที่ 4.13 ผลตอบสนองทางเฟสของพารามetriกรีกวอไลเซอร์ 5 แบนด์ จากคุณสมบัติที่ 2 ในตารางที่ 4.3

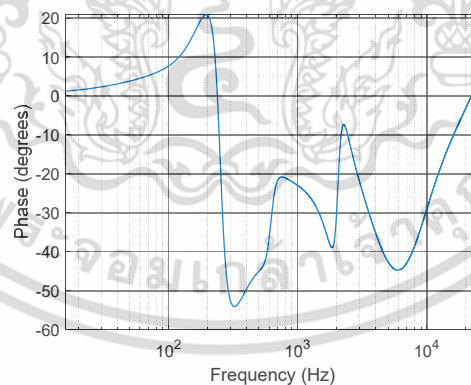
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.4 คุณสมบัติของพารามetriคิววไลเซอร์สำหรับการทดลองคุณสมบัติที่ 3

	Lowpass Shelving filter	1 st Peak filter	2 nd Peak filter	3 rd Peak filter	Highpass Shelving filter
Center or Cut off frequency (Hz)	150	250	621	2048	7551
Quality factor (Q)	0.707	4	3.91	5.83	0.707
Gain (dB)	3	12.6	-2.6	-5.4	-10.3



ภาพที่ 4.14 การเปรียบเทียบพารามetriคิววไลเซอร์ 5 แบนด์ จากคุณสมบัติที่ 3 ในตารางที่ 4.4

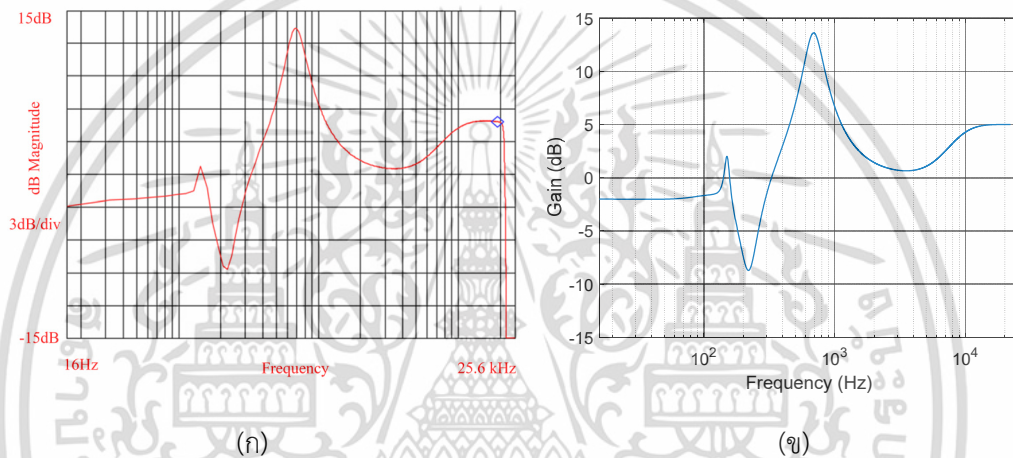


ภาพที่ 4.15 ผลตอบสนองทางเฟสของพารามetriคิววไลเซอร์ 5 แบนด์ จากคุณสมบัติที่ 3 ในตารางที่ 4.4

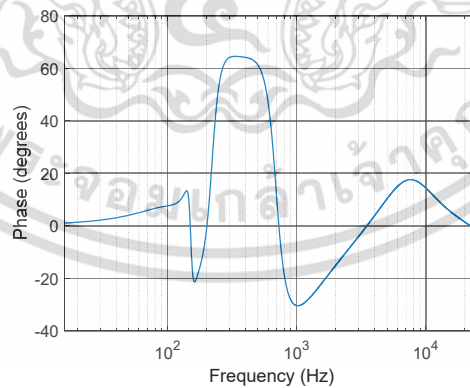
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.5 คุณสมบัติของพารามetriคิวไลเซอร์สำหรับการทดลองคุณสมบัติที่ 4

	Lowpass Shelving filter	1 st Peak filter	2 nd Peak filter	3 rd Peak filter	Highpass Shelving filter
Center or Cut off frequency (Hz)	100	150	220	689	8000
Quality factor (Q)	0.707	10	3.47	3	0.707
Gain (dB)	-2	5	-10	14	5



ภาพที่ 4.16 การเปรียบเทียบพารามetriคิวไลเซอร์ 5 แบนด์ จากคุณสมบัติที่ 4 ในตารางที่ 4.5



ภาพที่ 4.17 ผลตอบสนองทางเฟสของพารามetriคิวไลเซอร์ 5 แบนด์ จากคุณสมบัติที่ 4 ในตารางที่ 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.3. วิเคราะห์ผลการทดลอง

จากวิธีการออกแบบวงจรกรองความถี่ต่ำผ่าน Shelving, ความถี่สูงผ่าน Shelving, และวงจรกรอง Peaking ด้วยการแปลงโพลีเนียร์พาสคาลเมทริกซ์ โดยผลการทดลองแสดงให้เห็นว่า คุณลักษณะของผลตอบสนองทางขนาดสามารถปรับเปลี่ยนตามคุณสมบัติของพารามเมตริกอีควอไลเซอร์ได้อย่างรวดเร็วและถูกต้องเมื่อเปรียบเทียบกับผลที่ได้จากการสร้างจริงกับผลที่ได้จากการจำลองการทำงาน อันเป็นผลมาจากวิธีการออกแบบที่นำเสนอซึ่งช่วยลดขั้นตอนที่ซับซ้อนของการแปลงโพลีเนียร์ทั่วไป นอกจากนั้นผลที่ได้จากการสร้างจริงบนบอร์ด STM32F769 จะมีผลตอบสนองทางขนาดคล้ายกับการจำลองการทำงานบนโปรแกรม MATLAB อย่างไรก็ตามในกรณีการทดลองนำวงจรกรองทั้ง 5 แบนด์มาต่อเรียงกันเพื่อสร้างเป็นพารามเมตริกอีควอไลเซอร์ จะพบว่ามิงจรกรองบางตัวที่มีคุณสมบัติแตกต่างจากที่ออกแบบเช่นในตัวอย่างการออกแบบคุณสมบัติที่ 1 วงจรกรอง Peaking ย่านที่ 2 ได้กำหนดอัตราขยายไว้ที่ 10 dB ซึ่งผลการทดลองแบบแยกในภาพที่ 4.7 แสดงให้เห็นว่ามีผลการตอบสนองทางขนาดตรงกับอัตราขยายที่ใช้ออกแบบ แต่ในการทดลองนำวงจรกรองทั้ง 5 แบนด์มาต่อเรียงกันดังภาพที่ 4.10 เมื่อพิจารณาตำแหน่งของวงจรกรอง Peaking ย่านที่ 3 แล้ว จะพบว่าอัตราขยายจะถูกลดทอนลงเนื่องจากอยู่ใกล้กับวงจรกรอง Peaking ย่านที่ 2 และย่านที่ 4 ซึ่งมีอัตราขยาย -5 dB และ -2 dB ตามลำดับ ดังนั้นเมื่อนำมาต่อเรียงกันจึงเกิดการซ้อนทับกันของวงจรกรองที่อยู่ใกล้เคียงกันส่งผลให้อัตราขยายมีการเปลี่ยนแปลงไปจากค่าที่กำหนดเล็กน้อย

ในช่วงความถี่ต่ำประมาณ 0-120 Hz ผลที่ได้จากการสร้างจริงจะมีการลดทอนเล็กน้อย เนื่องจากตัวแปลงสัญญาณเสียง (WM8994ECS/R) บนบอร์ดประมวลผลสัญญาณดิจิทัล STM32F769 จะมีวงจรกรองความถี่สูงผ่าน ที่ทำงานอยู่บนตัวแปลงสัญญาณแอนะล็อกเป็นดิจิทัล ซึ่งจะทำหน้าที่กำจัดสัญญาณ DC ที่อาจจะปนเข้ามาที่สัญญาณขาเข้า และนอกจากนั้นยังใช้ป้องกันสัญญาณรบกวนความถี่ต่ำ ที่อาจจะเกิดจากการสั้นทางกลได้

4.5 บทสรุป

การออกแบบและสร้างพารามิเตอร์อ็ควอไลเซอร์แบบดิจิทัลอันประกอบด้วยวงจรกรองความถี่ต่ำผ่าน Shelving, ความถี่สูงผ่าน Shelving, และวงจรกรอง Peaking ที่นำเสนอในบทนี้ จะใช้กระบวนการแปลงฟังก์ชันถ่ายโอนของวงจรกรองแอนะล็อกต้นแบบเพื่อสร้างเป็นวงจรกรองของวงจรกรองแบบดิจิทัล ด้วยวิธีไบลิเนียร์ปาสคาลเมทริกซ์ ซึ่งจะลดความซับซ้อนของแปลงไปลิเนียร์ลง เนื่องจากกระบวนการอยู่บนพื้นฐานการคูณสัมประสิทธิ์ที่ได้รับการจัดรูปแบบแล้วกับไบลิเนียร์ปาสคาลเมทริกซ์ ดังนั้นวิธีนี้จึงเหมาะสมกับการปรับคุณสมบัติของพารามิเตอร์อ็ควอไลเซอร์ อันจะส่งผลให้ค่าสัมประสิทธิ์วงจรกรองถูกปรับเปลี่ยนตามไปด้วยอย่างรวดเร็ว นอกจากนี้ได้มีการนำเสนอการใช้งานฮาร์ดแวร์บนโปรเซสเซอร์ STM32 ผ่านโปรแกรม MATLAB/Simulink โดยจะใช้งานร่วมกับแพ็คเกจสนับสนุนต่างๆ เพื่อสร้างเป็นวงจรอ็ควอไลเซอร์พารามิเตอร์ดิจิทัล ที่ทำงานได้ที่เวลาจริง ซึ่งผลการทดลองได้แสดงให้เห็นว่าคุณสมบัติทางขนาดที่ได้มีความใกล้เคียงกับผลการจำลองการทำงานเป็นอย่างมาก

วงจรรองดิจิทัลไบควอดเรติกแบบหลายเอาต์พุตและการ ประยุกต์เป็นพาราเมตริกอีควอลไลเซอร์

การออกแบบพาราเมตริกอีควอลไลเซอร์ส่วนใหญ่จะอยู่บนพื้นฐานของฟังก์ชันถ่ายโอนแอนะล็อก [8], [12] ดังนั้นการออกแบบพาราเมตริกอีควอลไลเซอร์แบบดิจิทัลจะต้องมีขั้นตอนการแปลง s-z เพื่อให้อยู่ในรูปของฟังก์ชันถ่ายโอนดิจิทัล โดยในบทที่ 4 ได้นำเสนอการออกแบบพาราเมตริกอีควอลไลเซอร์แบบดิจิทัล [37] โดยการนำโพลิเนียร์ปาสคาลเมทริกซ์ [34], [35], [38], [39], [36] มาใช้ในการแปลง s-z ด้วยการดำเนินการทางเมทริกซ์ ส่งผลให้เกิดความสับสนในการปรับเปลี่ยนค่าสัมประสิทธิ์วงจรรอง ทำให้สามารถปรับแต่งคุณลักษณะของพาราเมตริกอีควอลไลเซอร์แบบดิจิทัลขณะใช้งานได้

งานวิจัยในบทที่ 4 [37] ยังได้นำเสนอการทดลองออกแบบและสร้างด้วยฮาร์ดแวร์บนตัวประมวลผล STM32 ที่สามารถพัฒนาซอฟต์แวร์ได้สะดวกผ่าน MATLAB/Simulink ซึ่งผลการทดลองแสดงให้เห็นถึงความสอดคล้องกันของผลที่ได้จากการจำลองการทำงานและผลที่เกิดจากการสร้างจริงบนฮาร์ดแวร์ แต่เนื่องจากฟังก์ชันถ่ายโอนแอนะล็อกต้นแบบที่นำมาใช้ในบทที่ 4 จะมีรูปแบบของฟังก์ชันถ่ายโอนที่แยกกันอย่างชัดเจนในกรณีของ boost ($g > 1$) และกรณีของ cut ($g < 1$) ทำให้ในความเป็นจริงเสมือนว่าแต่ละฟังก์ชันถ่ายโอนจะมีอีก 2 ฟังก์ชันถ่ายโอนย่อยที่แยกตามเงื่อนไขของ boost หรือ cut รวมทั้งการออกแบบที่นำเสนอในบทที่ 4 นี้เป็นการนำโพลิเนียร์ปาสคาลเมทริกซ์มาใช้งานโดยตรง ซึ่งวงจรรองต้นแบบที่นำมาใช้งานจะอยู่ในรูปแบบวงจรรองอันดับที่สอง ดังนั้นโพลิเนียร์ปาสคาลเมทริกซ์ที่ใช้งานจึงเป็นเมทริกซ์ขนาด 3×3 ซึ่งทำให้การออกแบบที่นำเสนอในงานวิจัยในบทที่ 4 ดูจะไม่ค่อยโดดเด่นนัก เนื่องจากเป็นเพียงการนำฟังก์ชันถ่ายโอนแอนะล็อกพื้นฐานมาผ่านการแปลงด้วยวิธีโพลิเนียร์ปาสคาลเมทริกซ์เท่านั้น

ดังนั้นงานวิจัยในบทที่ 5 นี้จึงนำเสนอการออกแบบวงจรรอง Peaking และวงจรรอง Shelving ด้วยการดำเนินการทางเมทริกซ์ สำหรับการนำไปประยุกต์ใช้งานเป็นพาราเมตริกอีควอลไลเซอร์ โดยใช้วิธีการดัดแปลงโพลิเนียร์ปาสคาลเมทริกซ์ และโครงสร้างวงจรรองหลายเอาต์พุต [15] ที่พัฒนามาจากโครงสร้าง direct form-II ทำให้ได้โครงสร้างของวงจรรองแบบหลายเอาต์พุต คือนอกจากจะสามารถจัดโครงสร้างเพื่อให้ได้เป็นวงจรรอง Peaking, วงจรรองความถี่ต่ำผ่าน Shelving และ วงจรรองความถี่สูงผ่าน Shelving แล้ว ยังให้เอาต์พุตที่เป็นวงจรรองความถี่ต่ำผ่าน, วงจรรองความถี่สูงผ่าน, วงจรรองความถี่แถบผ่าน, วงจรรองความถี่แถบหยุด, และวงจรรอง

กรองผ่านตลอด ได้อีกด้วย [15] ซึ่งวงจรรอง Peaking และวงจรรอง Shelving ที่ได้จากการออกแบบด้วยวิธีที่นำเสนอในบทนี้ สามารถนำมาต่อเรียงเพื่อสร้างเป็นพารามetriกอัลกอริทึมได้ รวมทั้งได้มีการทดลองสร้างจริงลงบนบอร์ด STM32 [40], [37] เพื่อยืนยันประสิทธิภาพของวิธีการออกแบบที่นำเสนอกับการนำไปใช้งานจริงเป็นพารามetriกอัลกอริทึมที่สามารถใช้งานได้แบบเวลาจริง

5.1 วงจรรองดิจิทัลไบควอดเรติกแบบหลายเอาต์พุต

ในงานวิจัย [15] ได้มีการนำเสนอการออกแบบวงจรรองดิจิทัลไบควอดเรติก ซึ่งสามารถให้เอาต์พุตของวงจรรองชนิดต่างๆ คือ วงจรรองความถี่ต่ำผ่าน, วงจรรองความถี่สูงผ่าน, วงจรรองความถี่แถบผ่าน, วงจรรองความถี่แถบหยุด, และวงจรรองความถี่แบบผ่านตลอด โดยใช้การดำเนินการทางเมทริกซ์ สำหรับการแปลงไปลิเนียร์พาสคาลเมทริกซ์ เพื่อแปลงฟังก์ชันการถ่ายโอนของวงจรรองแอนะล็อกไบควอดเรติก เป็นฟังก์ชันการถ่ายโอนของวงจรรองดิจิทัลไบควอดเรติก โดยรูปแบบมาตรฐานของฟังก์ชันถ่ายโอนแอนะล็อกไบควอดเรติกสำหรับ วงจรรองความถี่ต่ำผ่าน, วงจรรองความถี่สูงผ่าน, วงจรรองความถี่แถบผ่าน, วงจรรองความถี่แถบหยุด, และวงจรรองผ่านตลอดจะแสดงในสมการที่ (5.1) - (5.5) ตามลำดับ

$$H_{LP}(s) = \frac{\Omega_0^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} \quad (5.1)$$

$$H_{HP}(s) = \frac{s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} \quad (5.2)$$

$$H_{BP}(s) = \frac{\left(\frac{\Omega_0}{Q}\right)s}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} \quad (5.3)$$

$$H_{BS}(s) = \frac{\Omega_0^2 + s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} \quad (5.4)$$

$$H_{AP}(s) = \frac{\Omega_0^2 - \left(\frac{\Omega_0}{Q}\right)s + s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} \quad (5.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการแปลง s-z จากฟังก์ชันถ่ายโอนแอนะล็อกในสมการที่ (5.1) - (5.3) จะได้ฟังก์ชันถ่ายโอนดิจิทัลดังสมการที่ (5.6) - (5.8)

$$H_{LP}(z) = \frac{G_{LP}(1+2z^{-1}+z^{-2})}{1+d_1z^{-1}+d_2z^{-2}} \quad (5.6)$$

$$H_{HP}(z) = \frac{G_{HP}(1-2z^{-1}+z^{-2})}{1+d_1z^{-1}+d_2z^{-2}} \quad (5.7)$$

$$H_{BP}(z) = \frac{G_{BP}(1-z^{-2})}{1+d_1z^{-1}+d_2z^{-2}} \quad (5.8)$$

<p>เมื่อ $G_{LP} = k\Omega_0^2$</p> <p>$G_{HP} = k$</p> <p>$G_{BP} = k\left(\frac{\Omega_0}{Q}\right)$</p> <p>$d_1 = k(2\Omega_0^2 - 2)$</p> <p>$d_2 = k\left(\Omega_0^2 - \frac{\Omega_0}{Q} + 1\right)$</p>	<p>$k = \frac{1}{\Omega_0^2 + \frac{\Omega_0}{Q} + 1}$</p> <p>$\Omega_0 = \tan\left(\frac{\omega_0}{2}\right)$,</p> <p>$\omega_0$ คือ ความถี่ศูนย์กลางนอร์มัลไลซ์ของวงจรรอดิจิทัล</p> <p>Q คือ ควอลิตี้แฟกเตอร์</p>
--	---

พิจารณาฟังก์ชันถ่ายโอนวงจรรองความถี่แถบหยุดแอนะล็อกโดยการแยกองค์ประกอบของเทอมเศษออกมาก็ได้ดังสมการที่ (5.9)

$$H_{BS}(s) = \frac{\Omega_0^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} + \frac{s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} \quad (5.9)$$

จากสมการที่ (5.9) เมื่อพิจารณาเปรียบเทียบกับสมการที่ (5.1) และ (5.2) จะพบความสัมพันธ์ดังสมการที่ (5.10) โดยความสัมพันธ์นี้จะส่งผลกับวงจรรองดิจิทัลด้วย ดังนั้นฟังก์ชันถ่ายโอนของวงจรรองความถี่แถบหยุดดิจิทัลแสดงดังสมการที่ (5.11)

$$H_{BS}(s) = H_{LP}(s) + H_{HP}(s) \quad (5.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H_{BS}(z) = H_{LP}(z) + H_{HP}(z) \quad (5.11)$$

ในกรณีคล้ายกันเมื่อพิจารณาฟังก์ชันถ่ายโอนวงจรรองผ่านตลอดแอนะล็อกโดยการแยกองค์ประกอบของเทอมเศษออกมาจะได้ดังสมการที่ (5.12)

$$H_{AP}(s) = \frac{\Omega_0^2 + s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} - \frac{\left(\frac{\Omega_0}{Q}\right)s}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right)s + s^2} \quad (5.12)$$

จากสมการที่ (5.12) เมื่อพิจารณาเปรียบเทียบกับสมการที่ (5.3) และ (5.4) จะพบความสัมพันธ์ดังสมการที่ (5.13) ดังนั้นฟังก์ชันถ่ายโอนของวงจรรองผ่านตลอดดิจิทัลแสดงดังสมการที่ (5.14)

$$H_{AP}(s) = H_{BS}(s) - H_{BP}(s) \quad (5.13)$$

$$H_{AP}(z) = H_{BS}(z) - H_{BP}(z) \quad (5.14)$$

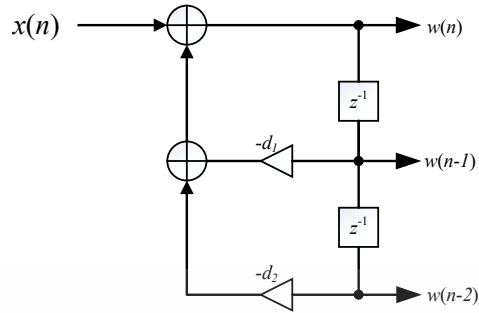
เมื่อพิจารณาสมการที่ (5.6) - (5.8) จะพบว่ามีส่วนที่เหมือนกันคือ $\frac{1}{1+d_1z^{-1}+d_2z^{-2}}$ ซึ่งหากนำมาจัดเป็นโครงสร้าง Direct form II โดยแยกเทอมเศษและเทอมส่วนดังนี้

$$H(z) = \underbrace{\frac{Y(z)}{W(z)}}_{\text{เทอมเศษ}} \times \underbrace{\frac{W(z)}{X(z)}}_{\text{เทอมส่วน}}$$

เมื่อนำเทอมเศษจัดโครงสร้างแบบ Direct form II แสดงดังสมการที่ (5.15) จากนั้นทำการแปลง z ผกผันจะได้ดังสมการที่ (5.16) และสามารถนำมาเขียนเป็นโครงสร้างได้ดังภาพที่ 5.1

$$\frac{W(z)}{X(z)} = \frac{1}{1+d_1z^{-1}+d_2z^{-2}} \quad (5.15)$$

$$w(n) = x(n) - d_1w(n-1) - d_2w(n-2) \quad (5.16)$$



ภาพที่ 5.1 โครงสร้างของวงจรกรองดิจิทัลใ้ควอเดรติกของเทอมเศษที่เหมือนกัน

พิจารณาเทอมเศษของฟังก์ชันถ่ายโอนสมการที่ (5.6) - (5.8) ในลักษณะเดียวกับเทอมส่วน จะแสดงได้ดังนี้

- สำหรับเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน $y_{LP}(n)$

$$\frac{Y_{LP}(z)}{W(z)} = G_{LP}(1 + 2z^{-1} + z^{-2})$$

$$y_{LP}(n) = G_{LP} [w(n) + 2w(n-1) + w(n-2)] \quad (5.17)$$

- สำหรับเอาต์พุตของวงจรกรองความถี่สูงผ่าน $y_{HP}(n)$

$$\frac{Y_{HP}(z)}{W(z)} = G_{HP}(1 - 2z^{-1} + z^{-2})$$

$$y_{HP}(n) = G_{HP} [w(n) - 2w(n-1) + w(n-2)] \quad (5.18)$$

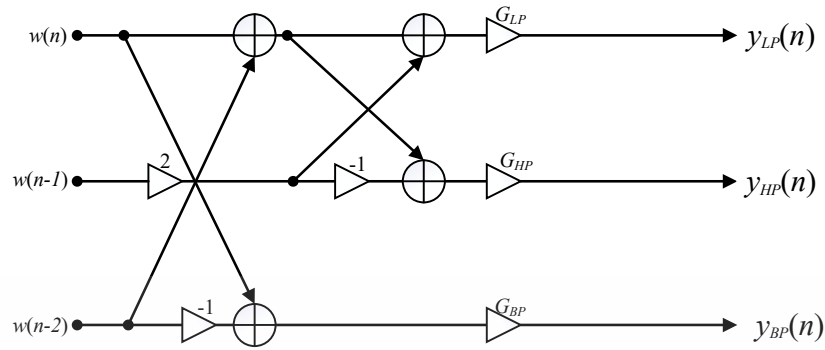
- สำหรับเอาต์พุตของวงจรกรองความถี่แถบผ่าน $y_{BP}(n)$

$$\frac{Y_{BP}(z)}{W(z)} = G_{BP}(1 + 2z^{-1} + z^{-2})$$

$$y_{BP}(n) = G_{BP} [w(n) - w(n-2)] \quad (5.19)$$

จากสมการที่ (5.17) - (5.19) สามารถนำมาเขียนเป็นโครงสร้างได้ดังภาพที่ 5.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 5.2 โครงสร้างของวงจรกรองดิจิทัลไบควอดเรติกที่มี 3 เอต์พุต

- สำหรับเอาต์พุตของวงจรกรองความถี่แถบหยุด $y_{BS}(n)$

จากความสัมพันธ์ของฟังก์ชันถ่ายโอนในสมการที่ (5.11) โดยแยกพิจารณาเฉพาะเทอมเศษสามารถสรุปได้ดังสมการที่ (5.20)

$$\frac{Y_{BS}(z)}{W(z)} = G_{LP}(1+2z^{-1}+z^{-2}) + G_{HP}(1-2z^{-1}+z^{-2})$$

$$y_{BS}(n) = G_{LP}[w(n)+2w(n-1)+w(n-2)] + G_{HP}[w(n)-2w(n-1)+w(n-2)]$$

ดังนั้น

$$y_{BS}(n) = y_{LP}(n) + y_{HP}(n) \quad (5.20)$$

- สำหรับเอาต์พุตของวงจรกรองผ่านตลอด $y_{AP}(n)$

จากความสัมพันธ์ของฟังก์ชันถ่ายโอนในสมการที่ (5.14) โดยแยกพิจารณาเฉพาะเทอมเศษสามารถสรุปได้ดังสมการที่ (5.21)

$$\frac{Y_{AP}(z)}{W(z)} = G_{LP}(1+2z^{-1}+z^{-2}) + G_{HP}(1-2z^{-1}+z^{-2}) - G_{BP}(1+2z^{-1}+z^{-2})$$

$$y_{BS}(n) = G_{LP}[w(n)+2w(n-1)+w(n-2)] + G_{HP}[w(n)-2w(n-1)+w(n-2)] - G_{BP}[w(n)-w(n-2)]$$

เหมาะสมอย่างยิ่งในการนำไปประยุกต์ใช้งานกับพาราเมตริกอีควอไลเซอร์ เนื่องจากวงจรกรอง Peaking และวงจรกรอง Shelving มีพื้นฐานมากจากการรวมกันของวงจรกรองความถี่ต่ำผ่าน, วงจรกรองความถี่สูงผ่าน, และวงจรกรองความถี่แถบผ่าน โดยเมื่อพิจารณาจากฟังก์ชันถ่ายโอนของวงจรดังกล่าวทั้งหมดแล้ว จะพบว่าสามารถนำเสนอการออกแบบในรูปของสมการเมทริกซ์ได้ โดยจะต้องมีการดัดแปลงสมการเมทริกซ์ที่ (5.22) เล็กน้อย

5.2 การออกแบบดิจิทัลพาราเมตริกอีควอไลเซอร์แบบอสมมาตร

การออกแบบโดยใช้วิธีนี้จะพิจารณาความสัมพันธ์โดยตรงจากรูปแบบมาตรฐานของฟังก์ชันถ่ายโอนแอนะล็อกไบควอดเรติกในสมการ (5.1) - (5.5) เปรียบเทียบกับฟังก์ชันถ่ายโอนแอนะล็อกต้นแบบของพาราเมตริกอีควอไลเซอร์จากบทที่ 4 ในสมการ (4.15) - (4.17) เฉพาะกรณี boost โดยในกรณี cut ไม่เหมาะสมที่จะนำมาออกแบบด้วยวงจรกรองดิจิทัลไบควอดเรติกแบบหลายเอาต์พุต เนื่องจากอัตราขยายจะถูกปรับสัดส่วนในสัมประสิทธิ์เทอมส่วน ซึ่งจะไม่สามารถจัดให้อยู่ในรูปของฟังก์ชันถ่ายโอนมาตรฐานได้ ดังนั้นการออกแบบในหัวข้อนี้จึงจะพิจารณาเฉพาะในกรณี boost ซึ่งจะทำให้ผลตอบสนองทางขนาดไม่สมมาตรกันในกรณี boost และ กรณี cut แต่มีข้อดีคือในแง่โครงสร้างจะสามารถทำให้การปรับอัตราขยายทำได้ง่ายจากโครงสร้าง ไม่จำเป็นต้องคำนวณค่าสัมประสิทธิ์ใหม่

5.2.1 การออกแบบวงจรกรอง Peaking แบบอสมมาตร

เมื่อพิจารณาฟังก์ชันถ่ายโอนของวงจรกรองในสมการที่ (5.1) - (5.3) เปรียบเทียบกับฟังก์ชันถ่ายโอนของวงจรกรองแอนะล็อก Peaking กรณี boost ($g > 1$) ในสมการที่ (4.15) จะพบความสัมพันธ์ซึ่งแสดงดังสมการที่ (5.23) และ (5.24)

$$\frac{s^2 + g \left(\frac{\Omega_0}{Q} \right) s + \Omega_0^2}{s^2 + \left(\frac{\Omega_0}{Q} \right) s + \Omega_0^2} = \frac{\Omega_0^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q} \right) s + s^2} + \frac{g \left(\frac{\Omega_0}{Q} \right) s}{\Omega_0^2 + \left(\frac{\Omega_0}{Q} \right) s + s^2} + \frac{s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q} \right) s + s^2} \quad (5.23)$$

$$H_{PK}(s) = H_{LP}(s) + gH_{BP}(s) + H_{HP}(s) \quad (5.24)$$

ดังนั้นฟังก์ชันถ่ายโอนของวงจรกรอง Peaking ดิจิทัลแสดงดังสมการที่ (5.25)

$$H_{PK}(z) = H_{LP}(z) + gH_{BP}(z) + H_{HP}(z) \quad (5.25)$$

การประยุกต์ใช้วงจรกรองสัญญาณดิจิทัลไบควอดเรติกหลายเอาต์พุต ในการออกแบบวงจรกรอง Peaking เมื่อพิจารณาจากโครงสร้างในภาพที่ 5.3 เอาต์พุตเป็นดังสมการที่ (5.26)

$$y_{PK}(n) = y_{LP}(n) + gy_{BP}(n) + y_{HP}(n) \quad (5.26)$$

5.2.2 การออกแบบวงจรกรองความถี่ต่ำผ่าน Shelving แบบอสมมาตร

เมื่อพิจารณาฟังก์ชันถ่ายโอนของวงจรกรองในสมการที่ (5.1) - (5.3) เปรียบเทียบกับฟังก์ชันถ่ายโอนของวงจรกรองแอนะล็อกความถี่ต่ำผ่าน Shelving กรณี boost ($g > 1$) ในสมการที่ (4.16) โดยกำหนดให้ $Q = 1/\sqrt{2}$ เพื่อให้ผลตอบสนองทางขนาดเป็นแบบ Maximally flat จะพบความสัมพันธ์ซึ่งแสดงดังสมการที่ (5.27) และ (5.28)

$$\frac{s^2 + \sqrt{g}2\Omega_0s + g\Omega_0^2}{s^2 + \sqrt{2}\Omega_0s + \Omega_0^2} = \frac{g\Omega_0^2}{\Omega_0^2 + \sqrt{2}\Omega_0s + s^2} + \frac{s^2}{\Omega_0^2 + \sqrt{2}\Omega_0s + s^2} + \frac{\sqrt{g}2\Omega_0s}{\Omega_0^2 + \sqrt{2}\Omega_0s + s^2} \quad (5.27)$$

$$H_{LS}(s) = gH_{LP}(s) + H_{HP}(s) + \sqrt{g}H_{BP}(s) \quad (5.28)$$

ดังนั้นฟังก์ชันถ่ายโอนของวงจรความถี่ต่ำผ่าน Shelving ดิจิทัลแสดงดังสมการที่ (5.29)

$$H_{LS}(z) = gH_{LP}(z) + H_{HP}(z) + \sqrt{g}H_{BP}(z) \quad (5.29)$$

การประยุกต์ใช้วงจรกรองสัญญาณดิจิทัลไบควอดเรติกหลายเอาต์พุต ในการออกแบบวงจรกรองความถี่ต่ำผ่าน Shelving เมื่อพิจารณาจากโครงสร้างในภาพที่ 5.3 เอาต์พุตดังสมการที่ (5.30)

$$y_{LS}(n) = gy_{LP}(n) + y_{HP}(n) + \sqrt{g}y_{BP}(n) \quad (5.30)$$

5.2.3 การออกแบบวงจรกรองความถี่สูงผ่าน Shelving แบบอสมมาตร

เมื่อพิจารณาฟังก์ชันถ่ายโอนของวงจรกรองในสมการที่ (5.1) - (5.3) เปรียบเทียบกับฟังก์ชันถ่ายโอนของวงจรกรองแอนะล็อกความถี่สูงผ่าน Shelving กรณี boost ($g > 1$) ในสมการที่ (4.17) โดยกำหนดให้ $Q = 1/\sqrt{2}$ เพื่อให้ผลตอบสนองทางขนาดเป็นแบบ Maximally flat จะพบความสัมพันธ์ซึ่งแสดงดังสมการที่ (5.31) และ (5.32)

$$\frac{gs^2 + \sqrt{g2\Omega_0s + \Omega_0^2}}{s^2 + \sqrt{2\Omega_0s + \Omega_0^2}} = \frac{\Omega_0^2}{\Omega_0^2 + \sqrt{2\Omega_0s + \Omega_0^2}} + \frac{gs^2}{\Omega_0^2 + \sqrt{2\Omega_0s + \Omega_0^2}} + \frac{\sqrt{g2\Omega_0s}}{\Omega_0^2 + \sqrt{2\Omega_0s + \Omega_0^2}} \quad (5.31)$$

$$H_{HS}(s) = H_{LP}(s) + gH_{HP}(s) + \sqrt{g}H_{BP}(s) \quad (5.32)$$

ดังนั้นฟังก์ชันถ่ายโอนของวงจรความถี่สูงผ่าน Shelving ดิจิทัลแสดงดังสมการที่ (5.33)

$$H_{HS}(z) = H_{LP}(z) + gH_{HP}(z) + \sqrt{g}H_{BP}(z) \quad (5.33)$$

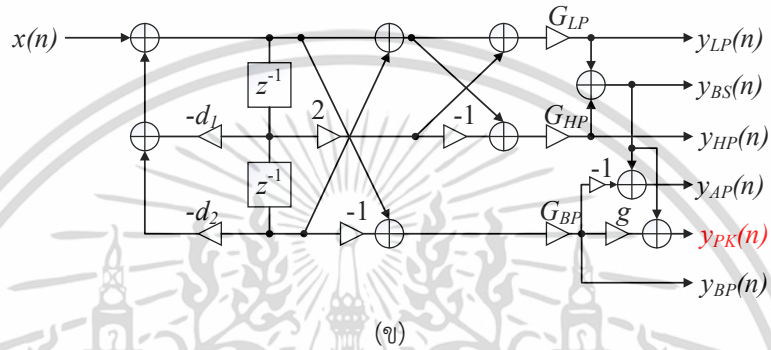
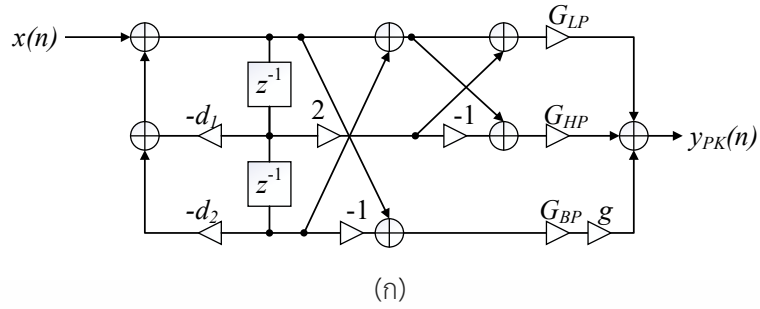
การประยุกต์ใช้วงจรกรองสัญญาณดิจิทัลแบบควอดเรติกหลายเอาต์พุต ในการออกแบบวงจรกรองความถี่สูงผ่าน Shelving เมื่อพิจารณาจากโครงสร้างในภาพที่ 5.3 เอาต์พุตดังสมการที่ (5.34)

$$y_{HS}(n) = y_{LP}(n) + gy_{HP}(n) + \sqrt{g}y_{BP}(n) \quad (5.34)$$

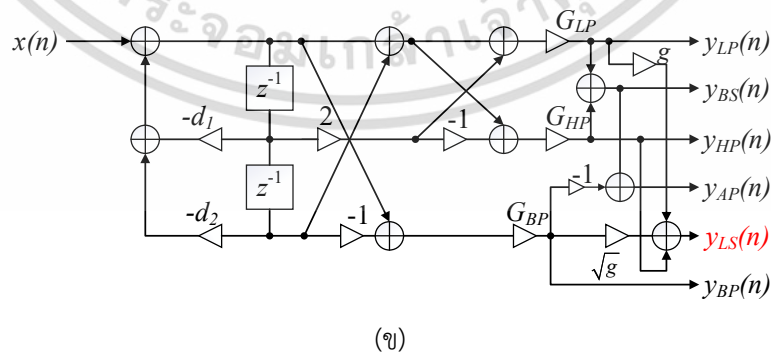
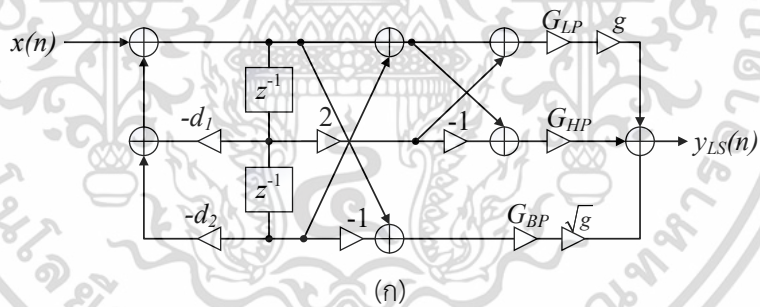
5.2.4 วิธีการออกแบบพาราเมตริกอีควอไลเซอร์แบบอสมมาตร

จากความสัมพันธ์ที่กล่าวมาข้างต้น เมื่อนำมาออกแบบในรูปของโครงสร้างวงจรกรองหลายเอาต์พุตจะขอเสนอการออกแบบและสร้างพาราเมตริกอีควอไลเซอร์ 2 วิธีการ คือ

การออกแบบวิธีที่ 1 : วิธีนี้จะแยกอัตราขยาย g และ \sqrt{g} ของสมการ (5.25), (5.28), และ (5.32) เอาไว้ในโครงสร้าง และค่าสัมประสิทธิ์ G_{LP} , G_{HP} , G_{BP} , d_1 , และ d_2 จะสามารถคำนวณได้จากสมการเมทริกซ์ที่ (5.22) ได้โดยตรงซึ่งวิธีที่น่าสนใจในแง่ของการปรับค่าอัตราขยาย (g) ได้ทันทีโดยไม่ต้องคำนวณค่าสัมประสิทธิ์ใหม่ ดังภาพที่ 5.4 (ก) - ภาพที่ 5.6 (ก) แสดงโครงสร้างของวงจรกรอง Peaking, วงจรกรองความถี่ต่ำผ่าน Shelving และวงจรกรองความถี่สูงผ่าน Shelving ตามลำดับ นอกจากนี้การออกแบบวิธีที่ 1 นี้ยังคงคุณลักษณะของโครงสร้างหลายเอาต์พุตไว้ทุกประการ กล่าวคือ ยังคงได้วงจรกรองความถี่ต่ำผ่าน, วงจรกรองความถี่สูงผ่าน, วงจรกรองแถบความถี่ผ่าน, วงจรกรองแถบความถี่หยุด, และวงจรกรองผ่านตลอด ที่มีคุณสมบัติคงเดิมทุกประการ โดยโครงสร้างดิจิทัลแบบควอดเรติกหลายเอาต์พุตที่ปรับปรุงเพิ่มวงจรกรอง Peaking, วงจรกรองความถี่ต่ำผ่าน Shelving และวงจรกรองความถี่สูงผ่าน Shelving จะแสดงดังภาพที่ 5.4 (ข) - ภาพที่ 5.6 (ข) ตามลำดับ

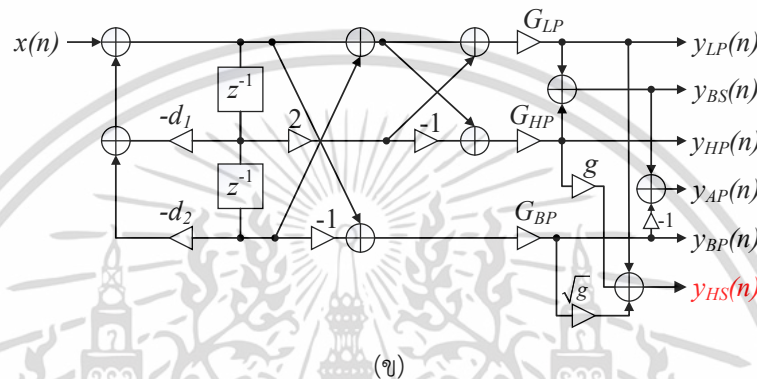
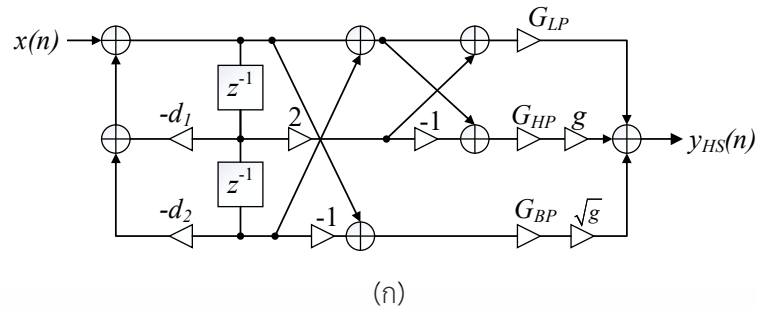


ภาพที่ 5.4 (ก) โครงสร้างวงจรกรอง Peaking (ข) โครงสร้างวงจรกรองหลายแอดด์พุตพร้อมวงจรกรอง Peaking แบบอสมมาตรสำหรับการออกแบบวิธีที่ 1



ภาพที่ 5.5 (ก) โครงสร้างวงจรกรองความถี่ต่ำผ่าน Shelving (ข) โครงสร้างวงจรกรองหลายแอดด์พุตพร้อมวงจรกรองความถี่ต่ำผ่าน Shelving แบบอสมมาตรสำหรับการออกแบบวิธีที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 5.6 (ก) โครงสร้างวงจรกรองความถี่สูงผ่าน Shelving (ข) โครงสร้างวงจรกรองหลายเอ๊าต์พุต พร้อมวงจรกรองความถี่สูงผ่าน Shelving แบบอสมมาตรสำหรับการออกแบบวิธีที่ 1

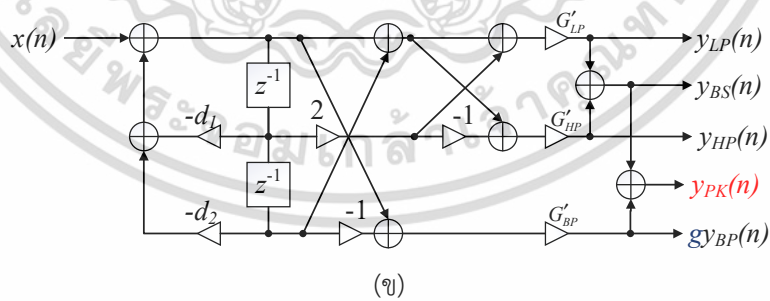
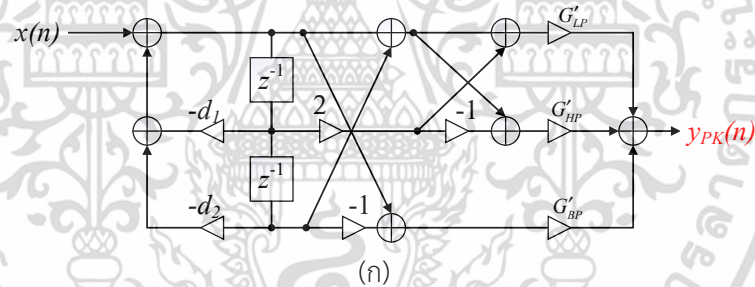
วิธีการออกแบบที่ 2 : วิธีนี้จะเป็นการออกแบบโดยรวมอัตราขยาย g เข้าไปในสมการเมทริกซ์ ทำให้การคำนวณเบ็ดเสร็จอยู่ในสมการเมทริกซ์แล้วเรียบร้อยไม่จำเป็นต้องคูณ g เพิ่มในโครงสร้างอีกซึ่งจะเหมาะกับงานที่ไม่ต้องมีการปรับเปลี่ยนอัตราขยาย ดังนั้นสมการเมทริกซ์สำหรับหาค่าสัมประสิทธิ์ใน (5.22) จะถูกปรับเปลี่ยนโดยเพิ่ม g เข้าไปสำหรับวงจรกรอง Peaking และเพิ่ม g , \sqrt{g} สำหรับวงจรกรอง Shelving โดยสมการเมทริกซ์สำหรับวงจรกรอง Peaking แบบอสมมาตร, วงจรกรองความถี่ต่ำผ่านดิจิทัล Shelving แบบอสมมาตร, และวงจรกรองความถี่สูงผ่าน Shelving แบบอสมมาตรจะแสดงดังสมการที่ (5.35) - (5.37) และโครงสร้างวงจรกรองแสดงดังภาพที่ 5.7 (ก) - ภาพที่ 5.9 (ก) ตามลำดับ

โดยวิธีการออกแบบที่ 2 นี้จะมีคุณสมบัติความเป็นวงจรกรองหลายเอ๊าต์พุตดังนี้ ในกรณีของวงจรกรอง Peaking เอ๊าต์พุตของวงจรกรองความถี่แถบผ่านจะถูกปรับขนาดด้วยอัตราขยาย g อย่างหลีกเลี่ยงไม่ได้ดังแสดงในภาพที่ 5.7 (ข) ในกรณีของวงจรกรองความถี่ต่ำผ่าน Shelving เอ๊าต์พุตของวงจรกรองความถี่ต่ำผ่านจะถูกปรับขนาดด้วยอัตราขยาย g และวงจรกรองความถี่แถบผ่านจะถูกปรับขนาดด้วยอัตราขยาย \sqrt{g} ดังแสดงในภาพที่ 5.8 (ข) ส่วนในกรณีของวงจรกรองความถี่สูงผ่าน

Shelving เอาต์พุตของวงจรกรองความถี่สูงผ่านจะถูกปรับขนาดด้วยอัตราขยาย g และวงจรกรองความถี่แถบผ่านจะถูกปรับขนาดด้วยอัตราขยาย \sqrt{g} ดังแสดงในภาพที่ 5.9 (ข) แต่ข้อดีของวิธีการนี้คือโครงสร้างหลักสามารถใช้งานร่วมกันได้กับวงจรกรองทุกประเภท (กรณีสนใจเฉพาะวงจรกรอง Peaking, วงจรกรองความถี่ต่ำผ่านและความถี่สูงผ่าน Shelving) โดยเปลี่ยนเฉพาะสมการเมทริกซ์ที่ใช้ ออกแบบเท่านั้น

$$\begin{bmatrix} G'_{LP} \\ G'_{BP} \\ G'_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & g & 0 \\ 0 & 0 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k\Omega_0^2 \\ k\left(\frac{\Omega_0}{Q}\right) \\ k \end{bmatrix} \tag{5.35}$$

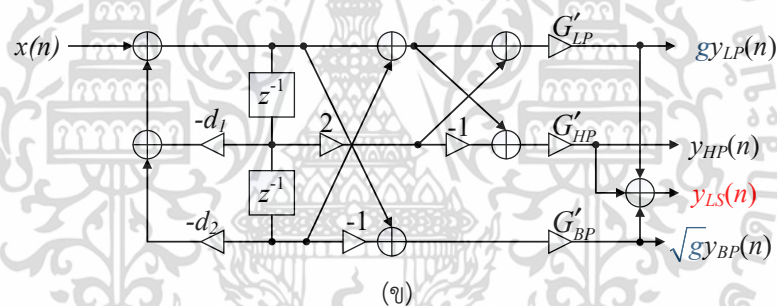
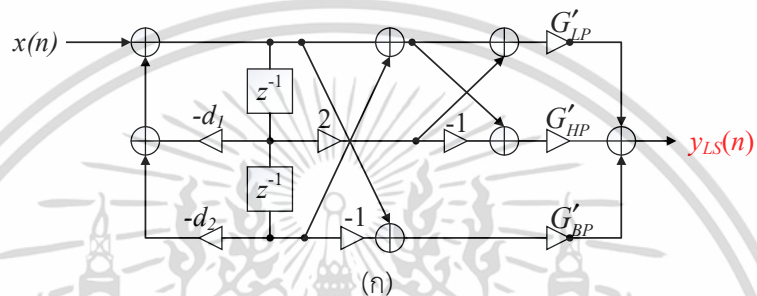
เมื่อ $k = \frac{1}{\Omega_0^2 + \frac{\Omega_0}{Q} + 1}$



ภาพที่ 5.7 (ก) โครงสร้างวงจรกรอง Peaking (ข) โครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรอง Peaking แบบอสมมาตรสำหรับการออกแบบวิธีที่ 2

$$\begin{bmatrix} G'_{LP} \\ G'_{BP} \\ G'_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} g & 0 & 0 \\ 0 & \sqrt{g} & 0 \\ 0 & 0 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k\Omega_0^2 \\ k(\Omega_0 \times \sqrt{2}) \\ k \end{bmatrix} \quad (5.36)$$

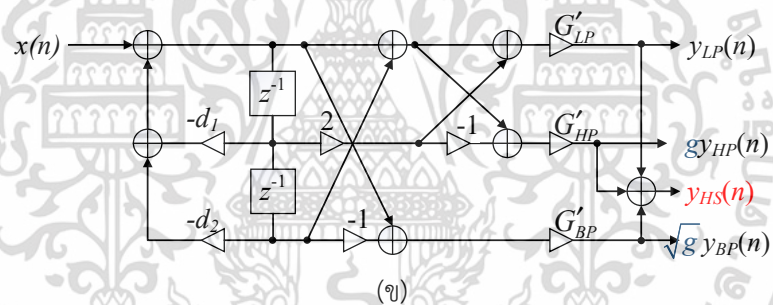
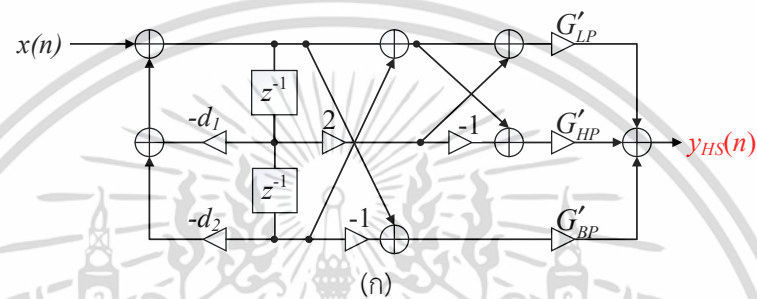
$$\text{เมื่อ } k = \frac{1}{\Omega_0^2 + \frac{\Omega_0}{Q} + 1}$$



ภาพที่ 5.8 (ก) โครงสร้างวงจรกรองความถี่ต่ำผ่าน Shelving (ข) โครงสร้างวงจรกรองหลายแอดด์พุต พร้อมวงจรกรองความถี่ต่ำผ่าน Shelving แบบอสมมาตรสำหรับการออกแบบวิธีที่ 2

$$\begin{bmatrix} G'_{LP} \\ G'_{BP} \\ G'_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & \sqrt{g} & 0 \\ 0 & 0 & g \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k\Omega_0^2 \\ k(\Omega_0 \times \sqrt{2}) \\ k \end{bmatrix} \quad (5.37)$$

$$\text{เมื่อ } k = \frac{1}{\Omega_0^2 + \frac{\Omega_0}{Q} + 1}$$



ภาพที่ 5.9 (ก) โครงสร้างวงจรกรองความถี่สูงผ่าน Shelving (ข) โครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรองความถี่สูงผ่าน Shelving แบบอสมมาตรสำหรับการออกแบบวิธีที่ 2

อย่างไรก็ตามการออกแบบที่นำเสนอในหัวข้อนี้เมื่อพิจารณาผลตอบแทนของทางขนาดเปรียบเทียบกับในกรณี boost และกรณี cut จะพบปัญหาความไม่สมมาตรกันเนื่องจากฟังก์ชันถ่ายโอนแอนะล็อกต้นแบบที่นำมาออกแบบ จะพิจารณาเฉพาะในกรณี boost ซึ่งปัญหาอสมมาตรที่กล่าวมานี้จะถูกแก้ไขได้ในหัวข้อถัดไป

5.3 การออกแบบดิจิทัลพาราเมตริกอีควอไลเซอร์แบบสมมาตร

จากปัญหาที่เกิดขึ้นในหัวข้อที่ผ่านมา จะเห็นว่าคุณลักษณะผลตอบสนองทางขนาดของกรณี boost และ cut ไม่มีความสมมาตรกัน ดังนั้นในหัวข้อนี้จึงได้นำเสนอการแก้ปัญหาโดยการปรับฟังก์ชันถ่ายโอนของวงจรรอง Peaking, วงจรรองความถี่ต่ำผ่าน Shelving, และวงจรรองความถี่สูงผ่าน Shelving ให้สมมาตรกันทั้งกรณี boost และ cut

5.3.1 วงจรรอง Peaking แบบสมมาตร

การออกแบบวงจรรอง Peaking ที่นำเสนอนี้ จะใช้วิธีแปลงวงจรรองความถี่ต่ำผ่าน Shelving เป็นวงจรรอง Peaking โดยใช้การแปลงวงจรรองความถี่ต่ำผ่านเป็นวงจรรองความถี่แถบผ่านมาตรฐาน ดังนั้นจึงต้องเริ่มต้นออกแบบจากวงจรรองความถี่ต่ำผ่าน Shelving อันดับหนึ่ง หลังจากผ่านขั้นตอนการแปลงแล้วจะได้วงจรรอง Peaking อันดับที่สองโดยอัตโนมัติ โดยจะกำหนดให้ วงจรรองความถี่ต่ำผ่าน Shelving อันดับหนึ่งมีคุณลักษณะผลตอบสนองทางขนาดดังสมการที่ (5.38)

$$H_{LS}(0) = g \quad (5.38)$$

$$H_{LS}(\infty) = 1 \quad (5.39)$$

$$|H_{LS}(j\Omega_0)| = \sqrt{g} \quad (5.40)$$

เพื่อให้ผลตอบสนองทางขนาดของกรณี boost และกรณี cut มีความสมมาตรกัน จะต้องย้ายตำแหน่งของความถี่ตัด Ω_0 หรือความถี่ crossover ไปที่ตำแหน่งตรงกลางคือ $G_{dB}/2$ (ในกรณีอัตราขยายเป็นหน่วย dB) หรือ \sqrt{g} (ในกรณีเป็นอัตราขยายแบบเชิงเส้น) [9], [41] โดยการออกแบบจะเริ่มพิจารณาฟังก์ชันถ่ายโอนของวงจรรองความถี่ต่ำผ่าน Shelving อันดับที่ 1 ดังสมการ (5.41) และ (5.42) โดยที่ v_0 คืออัตราขยายเชิงเส้นที่บวกเพิ่มจากอัตราขยายปกติ (0 dB) ในกรณี boost หรือลดลงจากอัตราขยายปกติ ในกรณี cut

$$H_{LS}(s) = 1 + \frac{v_0}{s/\Omega_0 + 1} \quad (5.41)$$

$$H_{LS}(s) = \frac{s/\Omega_0 + 1 + v_0}{s/\Omega_0 + 1} \quad (5.42)$$

กำหนดให้ $g=1+v_0$ ดังนั้นจะได้ฟังก์ชันถ่ายโอนของวงจรรองแวนะล็อกความถี่ต่ำผ่าน Shelving ดังสมการที่ (5.43) โดยที่ g คืออัตราขยายเชิงเส้นของวงจรรองความถี่ต่ำผ่าน Shelving และผลตอบสนองทางขนาดแสดงดังสมการที่ (5.44)

$$H_{LS}(s) = \frac{s/\Omega_0 + g}{s/\Omega_0 + 1} \quad (5.43)$$

$$|H_{LS}(j\Omega)| = \sqrt{\frac{\Omega^2 + g^2\Omega_0^2}{\Omega^2 + \Omega_0^2}} \quad (5.44)$$

ดังนั้นความถี่ Ω ที่ทำให้ขนาดของผลตอบสนองทางขนาด ณ ตำแหน่งความถี่ crossover Ω_0 มีค่าเท่ากับ \sqrt{g} จะสามารถกำหนดได้ดังสมการที่ (5.45)

$$\begin{aligned} \sqrt{g} &= \sqrt{\frac{\Omega^2 + g^2\Omega_0^2}{\Omega^2 + \Omega_0^2}} \\ g(\Omega^2 + \Omega_0^2) &= \Omega^2 + g^2\Omega_0^2 \\ g\Omega^2 - \Omega^2 &= g^2\Omega_0^2 - g\Omega_0^2 \\ \Omega^2(g-1) &= g\Omega_0^2(g-1) \\ \Omega^2 &= g\Omega_0^2 \\ \Omega &= \sqrt{g}\Omega_0 \end{aligned} \quad (5.45)$$

ดังนั้นเมื่อแทน $\Omega = \sqrt{g}\Omega_0$ หรือ $s = \sqrt{g}s$ ในสมการที่ (5.44) เพื่อสร้างฟังก์ชันถ่ายโอนของวงจรรองความถี่ต่ำผ่าน Shelving ตัวใหม่คือ $\hat{H}_{LS}(s)$ ดังนั้นจะได้ $|\hat{H}_{LS}(\Omega_0)| = |H_{LS}(\sqrt{g}\Omega_0)| = \sqrt{g}$ โดยฟังก์ชันถ่ายโอนของวงจรรองความถี่ต่ำผ่าน Shelving ตัวใหม่จะแสดงได้ดังสมการที่ (5.46) จากนั้นเมื่อทำการแปลงวงจรรองความถี่ต่ำผ่านเป็นวงจรรองความถี่แถบผ่านโดยแทน $s = \frac{(s^2 + \Omega_0^2)Q}{s\Omega_0}$ เข้าไปในสมการที่ (5.46) จะได้ฟังก์ชันถ่ายโอนแวนะล็อกของวงจรรอง Peaking ดังสมการที่ (5.47)

$$\hat{H}_{LS}(s) = \frac{\sqrt{g}s/\Omega_0 + g}{\sqrt{g}s/\Omega_0 + 1} \quad (5.46)$$

$$H_{PK}(s) = \frac{\sqrt{g}s^2 + \Omega_0gs/Q + \Omega_0^2\sqrt{g}}{\sqrt{g}s^2 + \Omega_0s/Q + \Omega_0^2\sqrt{g}} \quad (5.47)$$

เมื่อ Ω_0 คือ ความถี่ศูนย์กลางของวงจรรอง Peaking

Q คือ ค่าควอลิตี้แฟกเตอร์ซึ่งสัมพันธ์กับแบนด์วิดท์แวนะล็อกดังนี้ $bw = \frac{\Omega_0}{Q}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการแปลงสมการที่ (5.47) ให้เป็นฟังก์ชันถ่ายโอนดิจิทัลด้วยวิธีไบเลเนียร์ปาสคาลเมทริกซ์
จะได้ตั้งสมการที่ (5.48)

$$H_{PK}(z) = \frac{k_{PK}(\Omega_0^2 + g\Omega_0 / (Q\sqrt{g}) + 1) + 2k_{PK}(\Omega_0^2 - 1)z^{-1} + k_{PK}(\Omega_0^2 - g\Omega_0 / (Q\sqrt{g}) + 1)z^{-2}}{1 + 2k_{PK}(\Omega_0^2 - 1)z^{-1} + k_{PK}(\Omega_0^2 - \Omega_0 / (Q\sqrt{g}) + 1)z^{-2}} \quad (5.48)$$

$$\text{เมื่อ } k_{PK} = \frac{1}{\left(\Omega_0^2 + \frac{\Omega_0}{Q\sqrt{g}} + 1\right)}$$

การออกแบบวงจรกรอง Peaking โดยวงจรกรองดิจิทัลไบควอดเรติกแบบหลายเอาต์พุต
สามารถทำได้โดยการแทนสมการที่ (5.1) - (5.3) ลงในฟังก์ชันการถ่ายโอนดิจิทัลของวงจรกรอง
Peaking ในสมการที่ (5.25) ซึ่งจะได้ตั้งสมการที่ (5.49)

$$H_{PK}(z) = \frac{(G_{LP} + gG_{BP} + G_{HP}) + 2(G_{LP} - G_{HP})z^{-1} + (G_{LP} - gG_{BP} + G_{HP})z^{-2}}{1 + 2(G_{LP} - G_{HP})z^{-1} + (G_{LP} - G_{BP} + G_{HP})z^{-2}} \quad (5.49)$$

เมื่อเปรียบเทียบสมการที่ (5.48) กับสมการที่ (5.49) จะพบความสัมพันธ์ดังสมการที่ (5.50) - (5.53)

$$G_{LP} = k_{pk} \Omega_0^2 \quad (5.50)$$

$$G_{BP} = k_{pk} B_w / \sqrt{g} \quad (5.51)$$

$$G_{HP} = k_{pk} \quad (5.52)$$

ดังนั้นสมการเมทริกซ์สำหรับการออกแบบวงจรกรอง Peaking ที่นำเสนอคือ

$$\begin{bmatrix} G_{LP} \\ G_{BP} \\ G_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & g & 0 \\ 0 & 0 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k_{pk} \Omega_0^2 \\ k_{pk} \frac{\Omega_0}{\sqrt{g}Q} \\ k_{pk} \end{bmatrix} \quad (5.53)$$

$$\text{เมื่อ } k_{PK} = \frac{1}{\left(\Omega_0^2 + \frac{\Omega_0}{Q\sqrt{g}} + 1\right)}$$

เมื่อเปรียบเทียบสมการเมทริกซ์สำหรับออกแบบวงจรกรอง Peaking ทั้งแบบสมมาตรในสมการที่ (5.53) และแบบอสมมาตรในสมการที่ (5.35) จะพบความแตกต่างคือมีการปรับสเกล Q ด้วย \sqrt{g} ในการออกแบบด้วยวิธีสมมาตร

5.3.2 วงจรกรอง Shelving แบบสมมาตร

วงจรกรองความถี่ต่ำผ่าน Shelving และวงจรกรองความถี่สูงผ่าน Shelving แบบสมมาตร จะพิจารณาคล้ายกับการออกแบบวงจรกรอง Peaking แบบสมมาตร โดยจะเริ่มต้นจากสมการฟังก์ชันถ่ายโอนแอนะล็อกต้นแบบเฉพาะในกรณี boost ของวงจรกรองความถี่ต่ำผ่าน Shelving และวงจรกรองความถี่สูงผ่าน Shelving ดังสมการที่ (5.54) และ (5.55) ตามลำดับจากนั้นทำการหาผลตอบสนองทางขนาดจากสมการดังกล่าว ซึ่งจะแสดงผลลัพธ์ดังสมการที่ (5.56) และ (5.57) ตามลำดับ

$$H_{LS}(s) = \frac{s^2 + \sqrt{2g}\Omega_c s + g\Omega_c^2}{s^2 + \sqrt{2}\Omega_c s + \Omega_c^2} \quad (5.54)$$

$$H_{HS}(s) = \frac{g s^2 + \sqrt{2g}\Omega_c s + \Omega_c^2}{s^2 + \sqrt{2}\Omega_c s + \Omega_c^2} \quad (5.55)$$

$$|H_{LS}(j\Omega)| = \sqrt{\frac{\Omega^4 + g^2\Omega_0^4}{\Omega^4 + \Omega_0^4}} \quad (5.56)$$

$$|H_{HS}(j\Omega)| = \sqrt{\frac{g^2\Omega^4 + \Omega_0^4}{\Omega^4 + \Omega_0^4}} \quad (5.57)$$

ตั้งเช่นการออกแบบวงจรกรอง Peaking แบบสมมาตร จะกำหนดอัตราขยาย ณ ความถี่ Ω_0 ให้เท่ากับ \sqrt{g} ดังนั้นจะได้ผลลัพธ์ดังสมการที่ (5.58) สำหรับวงจรกรองความถี่ต่ำผ่าน Shelving และสมการที่ (5.59) สำหรับวงจรกรองความถี่สูงผ่าน Shelving

$$\sqrt{g} = \sqrt{\frac{\Omega^4 + g^2\Omega_0^4}{\Omega^4 + \Omega_0^4}} \Rightarrow \Omega = g^{1/4}\Omega_0 \quad (5.58)$$

$$\sqrt{g} = \sqrt{\frac{g^2\Omega^4 + \Omega_0^4}{\Omega^4 + \Omega_0^4}} \Rightarrow \Omega = \frac{\Omega_0}{g^{1/4}} \quad (5.59)$$

จากนั้นพิจารณาเหมือนวงจรรอง Peaking คือผลจากสมการที่ (5.58) จะทำการแทน $s = g^{1/4} s$ ไปยังสมการที่ (5.54) สำหรับวงจรรองความถี่ต่ำผ่าน Shelving และผลจากสมการที่ (5.59) จะแทน $s = \frac{S}{g^{1/4}}$ ไปยังสมการที่ (5.55) สำหรับวงจรรองความถี่สูงผ่าน Shelving ดังนั้นฟังก์ชันการถ่ายโอนใหม่สามารถแสดงดังสมการที่ (5.60) - (5.61)

$$\hat{H}_{LS}(s) = \frac{s^2 + \sqrt{2g} \frac{\Omega_0}{g^{1/4}} s + g \left(\frac{\Omega_0}{g^{1/4}} \right)^2}{s^2 + \sqrt{2} \frac{\Omega_0}{g^{1/4}} s + \left(\frac{\Omega_0}{g^{1/4}} \right)^2} \quad (5.60)$$

$$\hat{H}_{HS}(s) = \frac{gs^2 + \sqrt{2g}\Omega_0 g^{1/4} s + \sqrt{g}\Omega_0^2}{s^2 + \sqrt{2}\Omega_0 g^{1/4} s + \sqrt{g}\Omega_0^2} \quad (5.61)$$

ทำการแปลงฟังก์ชันถ่ายโอนแอนะล็อกในสมการที่ (5.60) และ (5.61) ให้เป็นฟังก์ชันถ่ายโอนดิจิทัลด้วยวิธีไบลิเนียร์ ดังนั้นฟังก์ชันถ่ายโอนดิจิทัลของวงจรรองความถี่ต่ำผ่าน Shelving และวงจรรองความถี่สูงผ่าน Shelving แบบสมมาตรจะแสดงดังสมการที่ (5.62) - (5.63) ตามลำดับ

$$H_{LS}(z) = \frac{k_{LS} \left(g \left(\frac{\Omega_0}{g^{1/4}} \right)^2 + \sqrt{2g} \frac{\Omega_0}{g^{1/4}} + 1 \right) + 2k_{LS} \left(g \left(\frac{\Omega_0}{g^{1/4}} \right)^2 - 1 \right) z^{-1} + k_{LS} \left(g \left(\frac{\Omega_0}{g^{1/4}} \right)^2 - \sqrt{2g} \frac{\Omega_0}{g^{1/4}} + 1 \right) z^{-2}}{1 + 2k_{LS} \left(\left(\frac{\Omega_0}{g^{1/4}} \right)^2 - 1 \right) z^{-1} + k_{LS} \left(\left(\frac{\Omega_0}{g^{1/4}} \right)^2 - \sqrt{2} \frac{\Omega_0}{g^{1/4}} + 1 \right) z^{-2}} \quad (5.62)$$

$$H_{HS}(z) = \frac{k_{HS} (\sqrt{g}\Omega_0^2 + \sqrt{2g}\Omega_0 g^{1/4} + g) + 2k_{HS} (\sqrt{g}\Omega_0^2 - g) z^{-1} + k_{HS} (\sqrt{g}\Omega_0^2 - \sqrt{2g}\Omega_0 g^{1/4} + g) z^{-2}}{1 + 2k_{HS} (\sqrt{g}\Omega_0^2 - 1) z^{-1} + k_{HS} (\sqrt{g}\Omega_0^2 - \sqrt{2}\Omega_0 g^{1/4} + 1) z^{-2}} \quad (5.63)$$

เมื่อ

$$k_{LS} = \frac{1}{\left(\left(\frac{\Omega_0}{g^{1/4}} \right)^2 + \sqrt{2} \frac{\Omega_0}{g^{1/4}} + 1 \right)} \quad (5.64)$$

และ

$$k_{HS} = \frac{1}{\left(\sqrt{g}\Omega_0^2 + \sqrt{2}\Omega_0 g^{1/4} + 1 \right)} \quad (5.65)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชันถ่ายโอนดิจิทัลของวงจรกรอง Shelving ที่ออกแบบด้วยวงจรกรองดิจิทัลไบควอดเรติกแบบหลายเอาต์พุต จะทำได้โดยการแทนสมการที่ (5.1) - (5.3) ไปยังสมการที่ (5.29) สำหรับวงจรกรองความถี่ต่ำผ่าน Shelving และแทนในสมการที่ (5.33) สำหรับวงจรกรองความถี่สูงผ่าน Shelving ซึ่งจะแสดงผลลัพธ์ดังสมการที่ (5.66) และ (5.67) ตามลำดับ

$$H_{LS}(z) = \frac{(gG_{LP} + \sqrt{g}G_{BP} + G_{HP}) + 2(gG_{LP} - G_{HP})z^{-1} + (gG_{LP} - \sqrt{g}G_{BP} + G_{HP})z^{-2}}{1 + 2(G_{LP} - G_{HP})z^{-1} + (G_{LP} - G_{BP} + G_{HP})z^{-2}} \quad (5.66)$$

$$H_{HS}(z) = \frac{(G_{LP} + \sqrt{g}G_{BP} + gG_{HP}) + 2(G_{LP} - gG_{HP})z^{-1} + (G_{LP} - \sqrt{g}G_{BP} + gG_{HP})z^{-2}}{1 + 2(G_{LP} - G_{HP})z^{-1} + (G_{LP} - G_{BP} + G_{HP})z^{-2}} \quad (5.67)$$

เมื่อเปรียบเทียบสมการที่ (5.62) กับ สมการที่ (5.66) สำหรับออกแบบวงจรกรองความถี่ต่ำผ่าน Shelving และสมการที่ (5.63) กับสมการที่ (5.67) สำหรับวงจรกรองความถี่สูงผ่าน Shelving จะได้สมการเมทริกซ์ที่นำเสนอตั้งสมการที่ (5.68) และ (5.69) ตามลำดับ

$$\begin{bmatrix} G'_{LP} \\ G'_{BP} \\ G'_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} g & 0 & 0 \\ 0 & \sqrt{g} & 0 \\ 0 & 0 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k_{LS} \left(\frac{\Omega_0}{g^{1/4}} \right)^2 \\ k_{LS} \sqrt{2} \frac{\Omega_0}{g^{1/4}} \\ k_{LS} \end{bmatrix} \quad (5.68)$$

$$\text{เมื่อ } k_{LS} = \frac{1}{\left(\left(\frac{\Omega_0}{g^{1/4}} \right)^2 + \sqrt{2} \frac{\Omega_0}{g^{1/4}} + 1 \right)}$$

$$\begin{bmatrix} G'_{LP} \\ G'_{BP} \\ G'_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & \sqrt{g} & 0 \\ 0 & 0 & g \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k_{HS} (g^{1/4} \Omega_0)^2 \\ k_{HS} \sqrt{2} g^{1/4} \Omega_0 \\ k_{HS} \end{bmatrix} \quad (5.69)$$

$$\text{เมื่อ } k_{HS} = \frac{1}{(\Omega_0^2 g^{1/4} + \sqrt{2} \Omega_0 g^{1/4} + 1)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาการออกแบบสมมาตรและอสมมาตร ในกรณีของวงจรรองความถี่ต่ำผ่าน Shelving โดยทำการเปรียบเทียบสมการเมทริกซ์ (5.36) กับสมการที่ (5.68) จะพบความแตกต่างคือ มีการปรับสเกล Ω_0 ด้วย $1/g^{1/4}$ นอกจากนั้นเมื่อเปรียบเทียบสมการเมทริกซ์ (5.37) กับสมการที่ (5.69) ในกรณีวงจรรองความถี่สูงผ่าน Shelving สามารถพบผลลัพธ์ที่แตกต่างในการปรับสเกล Ω_0 ด้วย $g^{1/4}$

5.3.3 วิธีออกแบบพาราเมตริกอีควอไลเซอร์แบบสมมาตร

เช่นเดียวกับการออกแบบพาราเมตริกอีควอไลเซอร์แบบอสมมาตรคือจะแบ่งออกเป็น 2 วิธีการ ดังนี้

การออกแบบวิธีที่ 1 : ดังเช่นการออกแบบด้วยวิธีอสมมาตร วิธีนี้จะแยกอัตราขยาย g และ \sqrt{g} ของ เอาไว้นในโครงสร้าง ดังนั้นโครงสร้างการออกแบบด้วยวิธีสมการของวงจรรอง Peaking วงจรรองความถี่ต่ำผ่าน Shelving และวงจรรองความถี่สูงผ่าน Shelving สามารถใช้โครงสร้างร่วมกับวิธีอสมมาตรได้ดัง ภาพที่ 5.4 - ภาพที่ 5.6 ตามลำดับ แต่สมการเมทริกซ์ที่ใช้สำหรับคำนวณสัมประสิทธิ์ (5.22) จะต้องถูกดัดแปลงเล็กน้อย โดยสำหรับวงจรรอง Peaking จะมีการปรับสเกล Q ด้วย \sqrt{g} , สำหรับวงจรรองความถี่ต่ำผ่าน Shelving จะมีการปรับสเกล Ω_0 ด้วย $1/g^{1/4}$, และสำหรับวงจรรองความถี่สูงผ่าน Shelving จะมีการปรับสเกล Ω_0 ด้วย $g^{1/4}$ และในกรณีวงจรรอง Shelving จะกำหนดให้ $Q = 1/\sqrt{2}$ ดังนั้นควอลิตี้แฟกเตอร์ของวงจรรอง Peaking ที่ได้รับการปรับสเกลแล้ว (Q_{PK}), ความถี่ตัดของวงจรรองความถี่ต่ำผ่าน Shelving ที่ได้รับการปรับสเกลแล้ว ($\hat{\Omega}_{OLS}$), และความถี่ตัดของวงจรรองความถี่สูงผ่าน Shelving ที่ได้รับการปรับสเกลแล้ว ($\hat{\Omega}_{OHS}$) จะแสดงดังสมการที่ (5.70) - (5.72) ตามลำดับ

$$\hat{Q}_{PK} = Q_{PK} \sqrt{g} \quad (5.70)$$

$$\hat{\Omega}_{OLS} = \frac{\Omega_{OLS}}{g^{1/4}} \quad (5.71)$$

$$\hat{\Omega}_{OHS} = \Omega_{OHS} g^{1/4} \quad (5.72)$$

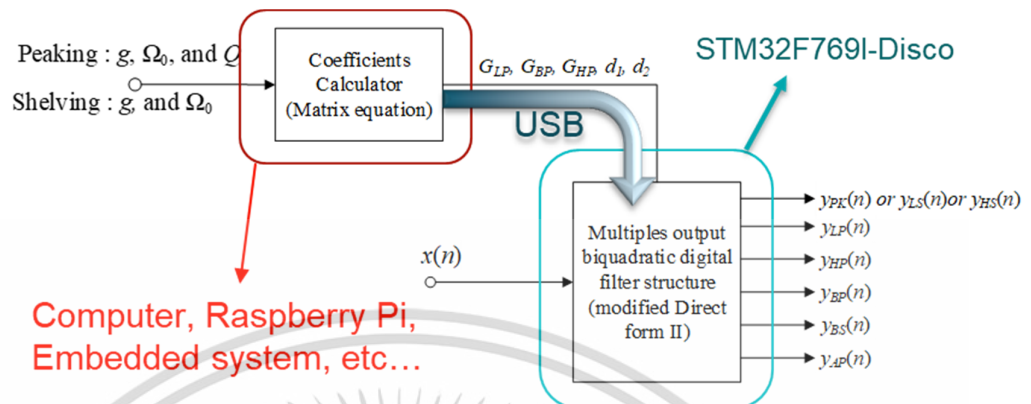
วิธีการออกแบบที่ 2 : วิธีนี้จะเป็นการออกแบบโดยรวมอัตราขยาย g เข้าไปในสมการเมทริกซ์ ดังนั้นสมการเมทริกซ์ของวงจรรอง Peaking, วงจรรองความถี่ต่ำผ่าน Shelving, และวงจรรองความถี่สูงผ่าน Shelving จะแสดงดังสมการที่ (5.53), (5.68), (5.69) รวมทั้งโครงสร้างที่ใช้งานร่วมกันได้แสดงดังภาพที่ 5.7 - ภาพที่ 5.9 ตามลำดับ

เมื่อเปรียบเทียบการออกแบบด้วยวิธีสมมาตรกับอสมมาตรจะพบความแตกต่างกันดังเช่นใน วงจรกรอง Peaking การออกแบบด้วยวิธีสมมาตรจะมีการปรับสเกลของ Q ด้วย \sqrt{g} ซึ่งจะส่งผล ให้ผลแบนด์วิดท์ในกรณี boost มีขนาดแคบลงเมื่อเปรียบเทียบกับวิธีอสมมาตร และในทางกลับกัน กรณี cut ก็มีแบนด์วิดท์ที่กว้างขึ้น อย่างไรก็ตามผลกระทบนี้ส่งผลให้ผลตอบสนองทางขนาดของ กรณี boost และกรณี cut มีความสมมาตรกันโดยไม่จำเป็นต้องมีเงื่อนไขการออกแบบ ในทำนอง เดียวกันการปรับสเกลของ Ω_0 ด้วย $1/g^{1/4}$ สำหรับวงจรกรองความถี่ต่ำผ่าน Shelving และการปรับ สเกลของ Ω_0 ด้วย $g^{1/4}$ สำหรับวงจรกรองความถี่สูงผ่าน Shelving ก็จะมีผลให้การออกแบบกรณี boost และกรณี cut มีความสมมาตรกันดังเช่นกับในวงจรกรอง Peaking

5.4 การสร้างวงจรกรอง Peaking และวงจรกรอง Shelving ที่นำเสนอบนฮาร์ดแวร์

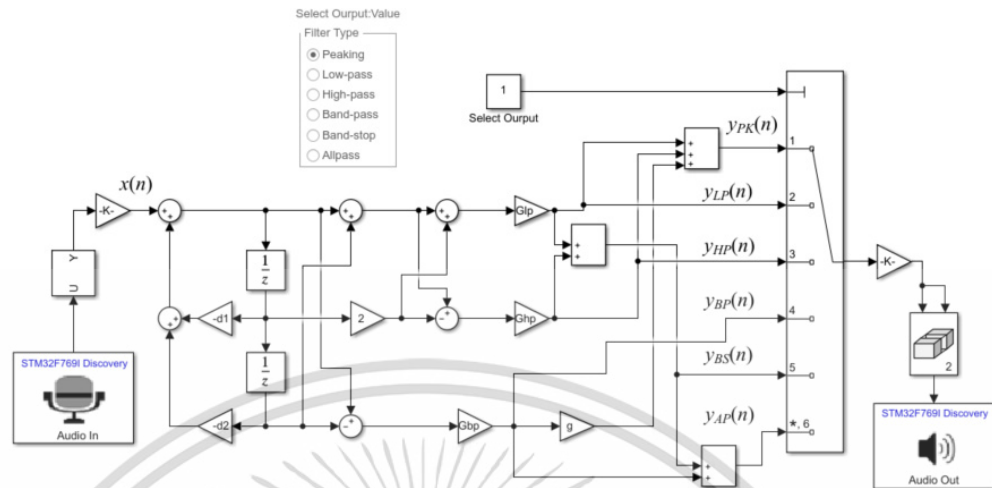
การออกแบบพารามetriกรอไอควอลไลเซอร์ด้วยการดำเนินการทางเมทริกซ์ที่ถูกดัดแปลงมาจาก การแปลงโพลิเนียร์ด้วยโพลิเนียร์พาสคาลเมทริกซ์ซึ่งไม่จำเป็นต้องแยกดำเนินการระหว่างเทอมเศษ และเทอมส่วน โดยถูกนำเสนอพร้อมกับโครงสร้างวงจรกรองหลายเอาต์พุต ที่สามารถให้ผลตอบสนอง ของวงจรกรองความถี่ต่ำผ่าน วงจรกรองความถี่สูงผ่าน วงจรกรองแถบความถี่ผ่าน วงจรกรองแถบ ความถี่หยุด และวงจรกรองผ่านตลอด รวมทั้งสามารถนำมาประยุกต์เป็นวงจรกรอง Peaking, วงจร กรองความถี่ต่ำผ่าน Shelving และวงจรกรองความถี่สูงผ่าน Shelving ดังที่นำเสนอในหัวข้อ 5.2 และหัวข้อ 5.3 จะถูกนำไปสร้างจริง (implementation) บนบอร์ดประมวลผล STM32F769I-Discovery เพื่อทำเป็นดิจิทัลพารามetriกรอไอควอลไลเซอร์ที่ทำงานจริงบนฮาร์ดแวร์ ซึ่งสามารถทำงานได้ ที่เวลาจริง

การสร้างดิจิทัลพารามetriกรอไอควอลไลเซอร์ทั้งแบบสมมาตรและแบบอสมมาตรที่นำเสนอใน หัวข้อ 5.2 และหัวข้อ 5.3 ตามลำดับ ด้วยการออกแบบวิธีที่ 1 หรือแม้กระทั่งการออกแบบวิธีที่ 2 ก็ ตาม สามารถอธิบายได้ดังแผนภาพบล็อกในภาพที่ 5.10 โดยจะแบ่งการทำงานออกเป็นสองส่วน ใน ส่วนแรกบอร์ดประมวลผล STM32F769I จะทำงานในส่วนของการสร้างที่นำเสนอซึ่งจะประมวลผล ที่เวลาจริง และการอัปเดตค่าสัมประสิทธิ์วงจรกรองสามารถทำได้โดยใส่ค่าพารามetriกรอที่ต้องการของ พารามetriกรอไอควอลไลเซอร์ไปที่สมการเมทริกซ์ซึ่งจะถูกดำเนินการอยู่ในส่วนที่สองบนเครื่อง คอมพิวเตอร์ (สามารถเปลี่ยนเป็นอุปกรณ์อื่นได้เช่น บอร์ด Raspberry Pi, Arduino เป็นต้น) จากนั้น ค่าสัมประสิทธิ์ $GLP, GHP, GBP, d_1,$ และ d_2 จะถูกสร้างและไหลต่อไปยังโครงสร้างวงจรกรองผ่าน สาย USB Serial ต่อไป

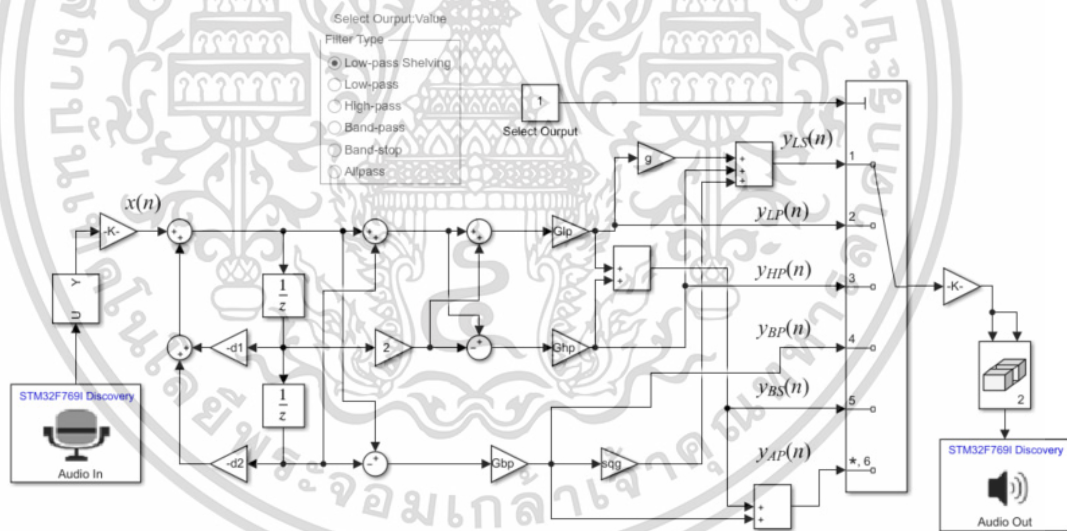


ภาพที่ 5.10 แผนภาพบล็อกสำหรับการสร้างดิจิทัลพาราเมตริกอีควอไลเซอร์

โครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรอง Peaking วิธีที่ 1 ดังภาพที่ 5.4 เมื่อนำมาสร้างจริงด้วยโปรแกรม MATLAB/Simulink บนฮาร์ดแวร์จะได้แผนภาพบล็อกดังแสดงในภาพที่ 5.11 ซึ่งจะพบว่าอัตราขยาย (g) ของวงจรกรอง Peaking จะถูกแยกออกจากสมการการออกแบบและใส่ไว้ในโครงสร้างโดยตรง ทำให้ง่ายต่อการควบคุมอัตราขยายของวงจรกรอง Peaking โดยไม่ต้องคำนวณสัมประสิทธิ์ใหม่ และสำหรับวงจรกรองความถี่ต่ำผ่าน Shelving และความถี่สูงผ่าน Shelving จะพิจารณาโครงสร้างจากภาพที่ 5.5 และภาพที่ 5.6 ในลักษณะเดียวกับวงจรกรอง Peaking ซึ่งแผนภาพบล็อกบนโปรแกรม MATLAB/Simulink จะแสดงดังภาพที่ 5.12 และภาพที่ 5.13 ตามลำดับ

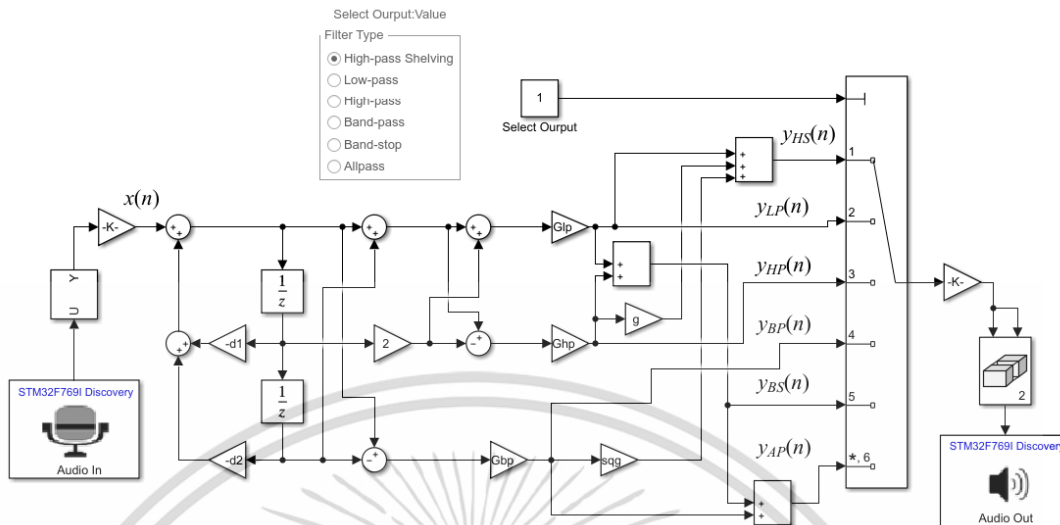


ภาพที่ 5.11 แผนภาพบล็อกโครงสร้างวงจรกรองหลายแอดด์พร้อมวงจรกรอง Peaking สำหรับโปรแกรม Simulink



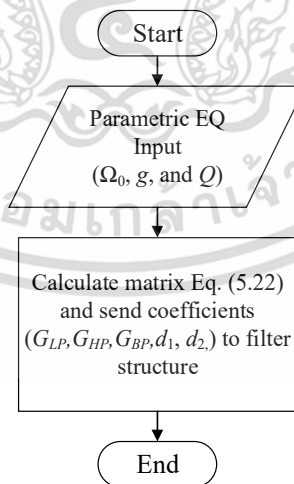
ภาพที่ 5.12 แผนภาพบล็อกโครงสร้างวงจรกรองหลายแอดด์พร้อมวงจรกรองความถี่ต่ำผ่าน Shelving สำหรับโปรแกรม Simulink

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



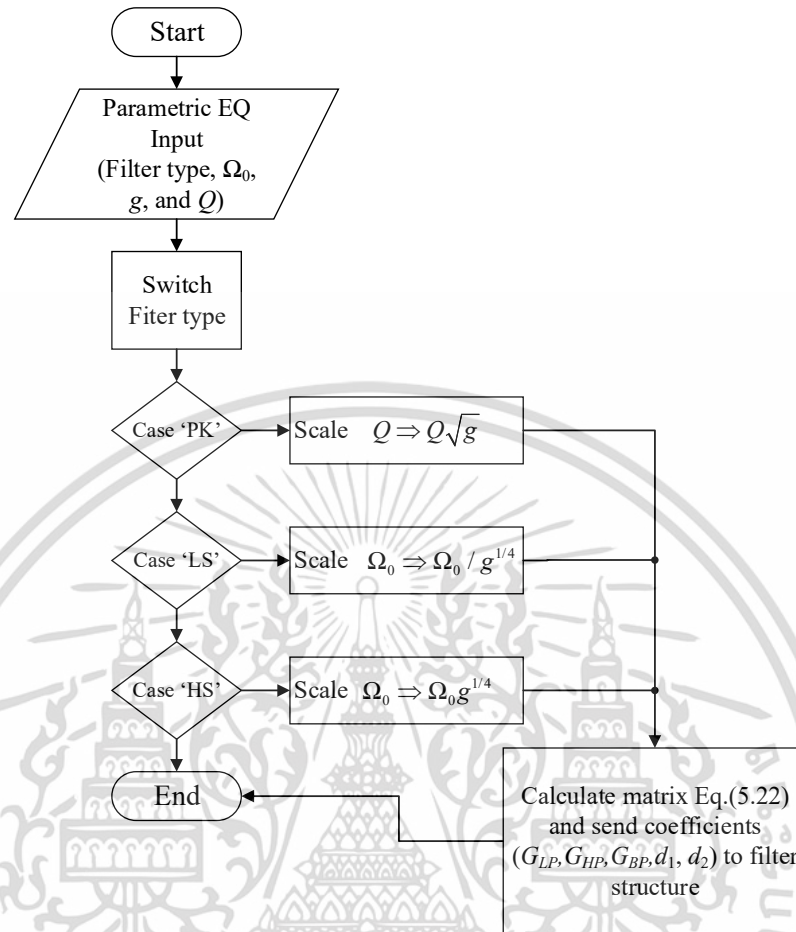
ภาพที่ 5.13 แผนภาพบล็อกโครงสร้างวงจรหลายเอาต์พุตพร้อมวงจรกรองความถี่สูงผ่าน Shelving สำหรับโปรแกรม Simulink

ในกรณีการออกแบบด้วยวิธีที่ 1 จะใช้สมการเมทริกซ์ (5.22) เพียงสมการเดียวในการออกแบบ เนื่องจากอัตราขยาย (g) ถูกแยกออกไปใส่ไว้ในโครงสร้างดังภาพที่ 5.11 - ภาพที่ 5.13 อย่างไรก็ตามจะมีความแตกต่างของการออกแบบระหว่างวิธีสมมาตรและอสมมาตรเล็กน้อยคือ มีการปรับสเกล Ω_0 หรือ Q ก่อนนำเข้าคำนวณในสมการที่ (5.22) โดยฝั่งงานการทำงานของการทำงานคำนวณสัมประสิทธิ์สำหรับวิธีอสมมาตรและวิธีสมมาตรจะแสดงดังภาพที่ 5.14 และภาพที่ 5.15 ตามลำดับ



ภาพที่ 5.14 ฝั่งงานการคำนวณสัมประสิทธิ์สำหรับวิธีอสมมาตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

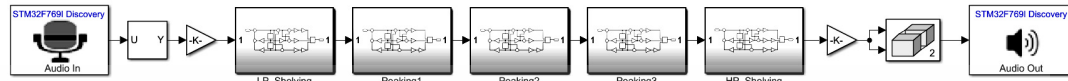


ภาพที่ 5.15 ผังงานการคำนวณสัมประสิทธิ์สำหรับวิธีสมมาตร

ในกรณีการออกแบบด้วยวิธีที่ 2 พารามิเตอร์ที่ควบคุมอัตราขยาย (g) จะถูกรวมไว้ในสมการเมทริกซ์ที่ใช้ออกแบบ ทำให้ไม่สามารถปรับเปลี่ยนได้อย่างอิสระเหมือนการออกแบบด้วยวิธีที่ 1 ดังนั้นในหัวข้อนี้จึงพิจารณาใช้การออกแบบด้วยวิธีที่ 1 ในการสร้างดิจิทัลพาราเมตริกอีควอไลเซอร์บนฮาร์ดแวร์เท่านั้น อย่างไรก็ตามการออกแบบด้วยวิธีที่ 2 ก็สามารถนำมาสร้างจริงได้ตามที่ได้อธิบายไว้ในหัวข้อที่ 5.2 และหัวข้อที่ 5.3

สำหรับการใช้งานที่เวลาจริงโปรแกรมในส่วนการคำนวณเมทริกซ์ สำหรับหาค่าสัมประสิทธิ์วงจรกรอง จะถูกสร้างด้วยโปรแกรม MATLAB โดยค่าสัมประสิทธิ์วงจรกรองจะเชื่อมต่อกับโครงสร้างวงจรกรองบนบอร์ด STM32F769 discovery ตามแนวคิดในภาพที่ 5.10 ดังนั้นในระหว่างการทำงานบนบอร์ด STM32 หากมีการปรับคุณสมบัติของพาราเมตริกอีควอไลเซอร์ จะทำให้คุณลักษณะของวงจรกรองเปลี่ยนแปลงตามทันทีที่เวลาจริง โดยดิจิทัลพาราเมตริกอีควอไลเซอร์จะสามารถสร้างได้

ด้วยการต่อเรียงของวงจรกรอง Peaking ร่วมกับวงจรกรองความถี่ต่ำผ่าน Shelving ในแบนด์แรก และวงจรกรองความถี่สูงผ่าน Shelving ในแบนด์สุดท้าย ซึ่งการทดลองในบทนี้จะทดสอบด้วยดิจิทัล พารามetriงอควอไลเซอร์ 5 แบนด์ดังภาพที่ 5.16

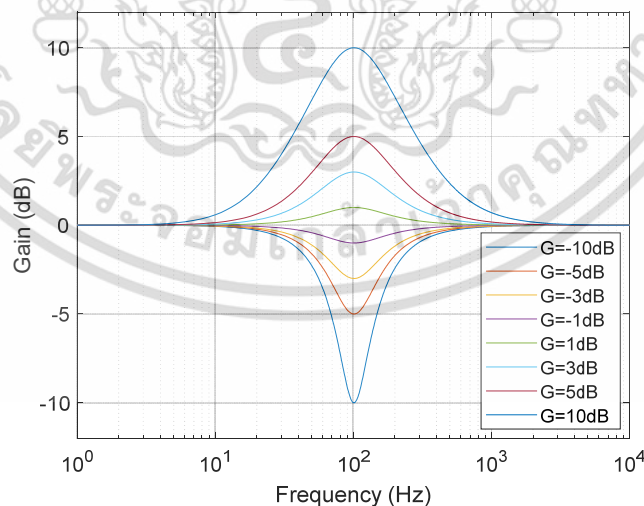


ภาพที่ 5.16 แผนภาพบล็อกของดิจิทัลพารามetriงอควอไลเซอร์ 5 แบนด์ สำหรับโปรแกรม Simulink

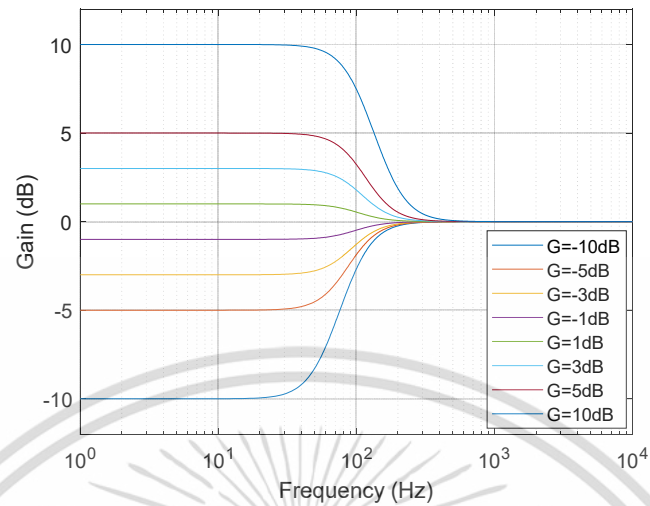
5.5 ผลการทดลอง

5.5.1 ผลการจำลองการทำงานจากการออกแบบด้วยวิธีอสมมาตร

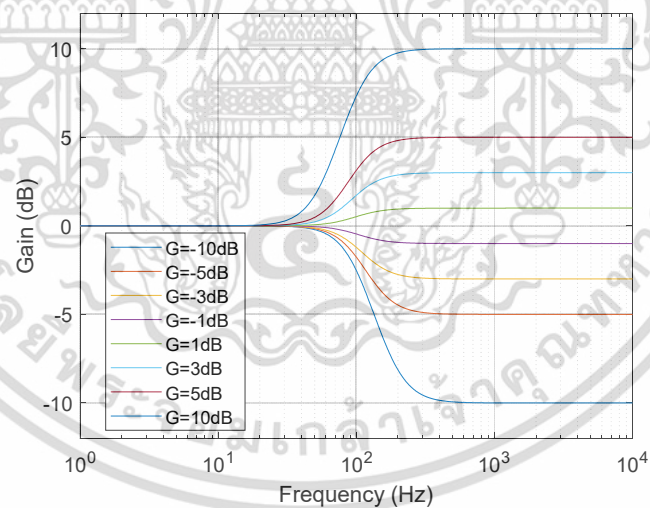
ในหัวข้อนี้จะแสดงผลตอบสนองทางขนาดที่ได้จากการออกแบบด้วยวิธีอสมมาตร ด้วยสมการเมทริกซ์และโครงสร้างที่นำเสนอในหัวข้อ 5.2 สำหรับวงจรกรอง Peaking วงจรกรองความถี่ต่ำผ่าน Shelving และวงจรกรองความถี่สูงผ่าน Shelving โดยผลตอบสนองทางขนาดแสดงดังภาพที่ 5.17 - ภาพที่ 5.19 ตามลำดับ โดยกำหนดให้มีความถี่เท่ากันคือ $f_0 = 100$ Hz, ความถี่สูง (f_s) เท่ากับ 20 kHz, และค่าควอลิตี้แฟกเตอร์ Q ของวงจรกรอง Peaking จะกำหนดให้เท่ากับ 0.707 โดยจะปรับอัตราขยาย (G dB) ให้มีค่าเท่ากับ 10 dB, 6 dB, 2 dB, -2 dB, -6 dB, และ -10 dB



ภาพที่ 5.17 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีอสมมาตรโดยปรับอัตราขยายให้แตกต่างกันของวงจรกรอง Peaking



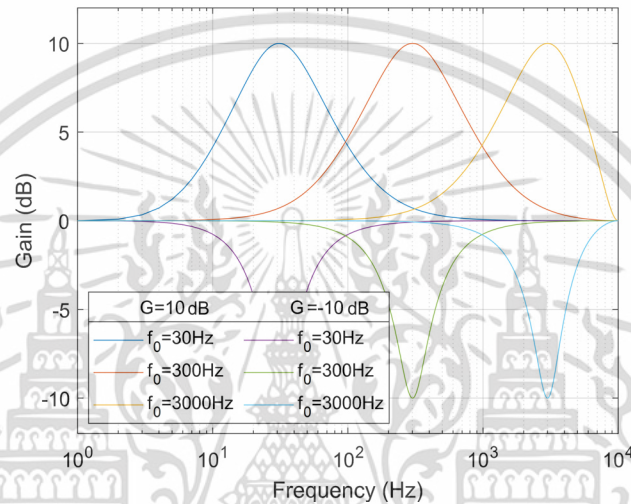
ภาพที่ 5.18 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับอัตราขยายให้แตกต่างกันของวงจรกรองความถี่ต่ำผ่าน Shelving



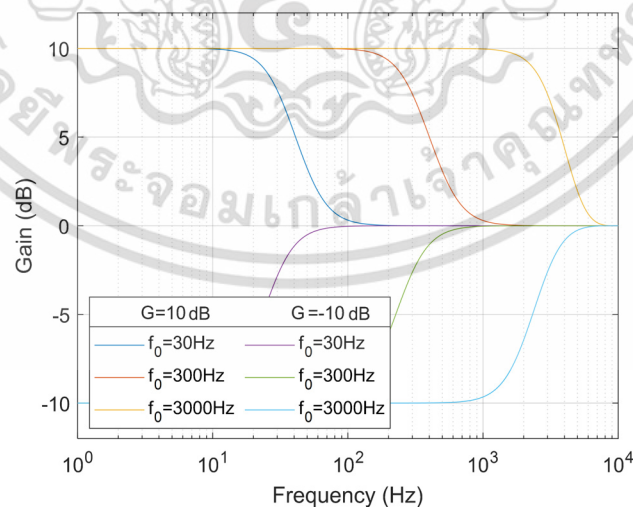
ภาพที่ 5.19 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับอัตราขยายให้แตกต่างกันของวงจรกรองความถี่สูงผ่าน Shelving

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลจำลองการทำงานโดยทดลองปรับความถี่ $f_0 = 30 \text{ Hz}$, 300 Hz , 3000 Hz และกำหนดให้อัตราขยายเท่ากับ 10 dB และ -10 dB , ความถี่สั้มเท่ากับ 20 kHz และค่าควอลิตี้แฟกเตอร์ Q ของวงจรกรองแบบ Peaking เท่ากับ 0.707 โดยผลตอบสนองทางขนาดของวงจรกรอง Peaking, วงจรกรองความถี่ต่ำผ่าน Shelving, และวงจรกรองความถี่สูงผ่าน Shelving แสดงดังภาพที่ 5.20 - ภาพที่ 5.22 ตามลำดับ

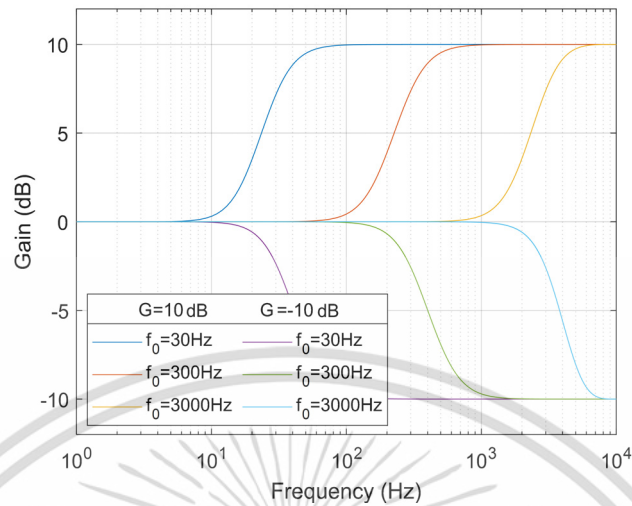


ภาพที่ 5.20 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีอสมมาตรโดยปรับความถี่ f_0 ให้แตกต่างกันของวงจรกรอง Peaking



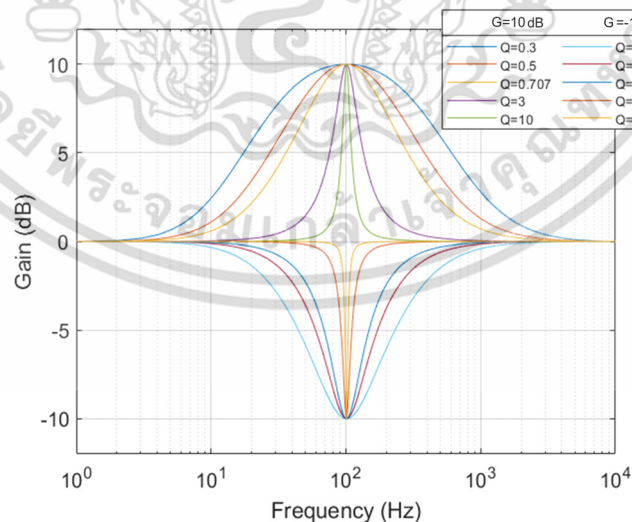
ภาพที่ 5.21 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีอสมมาตรโดยปรับความถี่ f_0 ให้แตกต่างกันของวงจรกรองความถี่ต่ำผ่าน Shelving

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 5.22 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีอสมมาตรโดยปรับความถี่ f_0 ให้แตกต่างกันของวงจรกรองความถี่สูงผ่าน Shelving

สำหรับวงจรกรอง Peaking จะสามารถปรับควอลิตี้แฟกเตอร์ซึ่งส่งผลต่อแบนวิดท์ของวงจรด้วย โดยการทดลองปรับค่าควอลิตี้แฟกเตอร์ Q ของวงจรกรองแบบ Peaking จะกำหนดให้ $Q = 0.3, 0.5, 0.707, 3, 10$ และกำหนดให้อัตราขยายเท่ากับ 10 dB และ -10 dB, ความถี่ศูนย์กลางเท่ากับ 20 kHz และความถี่ศูนย์กลางของวงจรกรองแบบ Peaking เท่ากับ 100 Hz โดยผลตอบสนองทางขนาดของวงจรกรอง Peaking แสดงดังภาพที่ 5.23



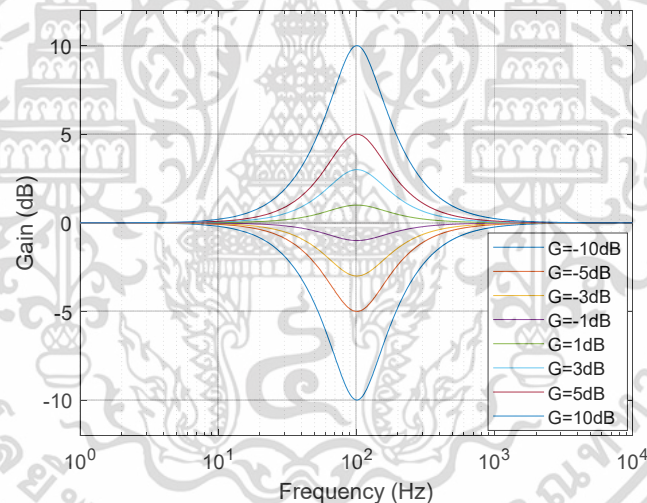
ภาพที่ 5.23 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีอสมมาตรโดยปรับค่าควอลิตี้แฟกเตอร์ Q ให้แตกต่างกันของวงจรกรอง Peaking

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

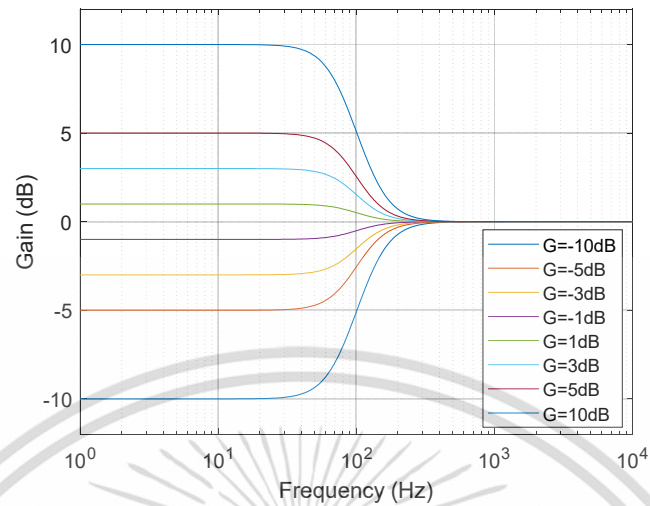
5.5.2 ผลการจำลองการทำงานจากการออกแบบด้วยวิธีสมมาตร

การจำลองการทำงานของวงจรกรอง Peaking, วงจรกรองความถี่ต่ำผ่าน Shelving, และวงจรกรองความถี่สูงผ่าน Shelving ที่ออกแบบด้วยวิธีสมมาตรดังที่นำเสนอในหัวข้อ 5.3 ซึ่งจะทำให้มีความสมมาตรกันระหว่างกรณี boost และกรณี cut โดยการทดลองจะทำการปรับพารามิเตอร์ต่างๆ เหมือนกับการจำลองการทำงานด้วยวิธีสมมาตรในหัวข้อก่อนหน้าดังนี้

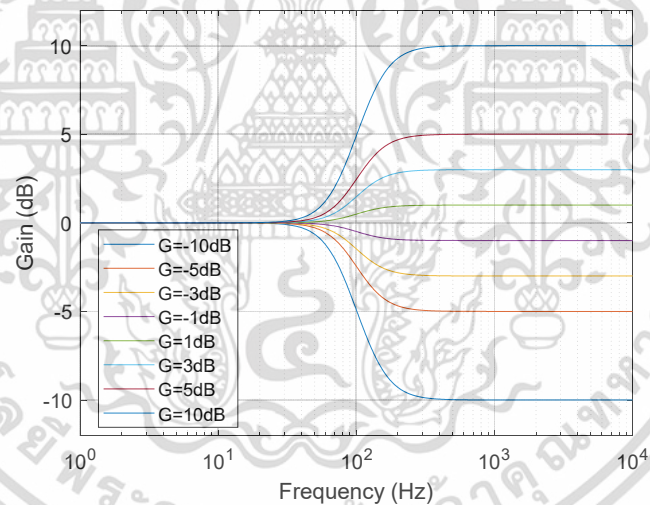
ผลจำลองการทดลองปรับอัตราขยาย โดยปรับอัตราขยาย (G dB) ให้มีค่าเท่ากับ 10 dB, 6 dB, 2 dB, -2 dB, -6 dB, -10 dB และกำหนดให้มีความถี่ $f_0 = 100$ Hz, ความถี่สั้มเท่ากับ 20 kHz และค่าควอลิตี้แฟกเตอร์ Q ของวงจรกรองแบบ Peaking เท่ากับ 0.707 โดยผลตอบสนองทางขนาดของวงจรกรอง Peaking, วงจรกรองความถี่ต่ำผ่าน Shelving, และวงจรกรองความถี่สูงผ่าน Shelving แสดงดังภาพที่ 5.24 - ภาพที่ 5.26 ตามลำดับ



ภาพที่ 5.24 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับอัตราขยายให้แตกต่างกันของวงจรกรอง Peaking



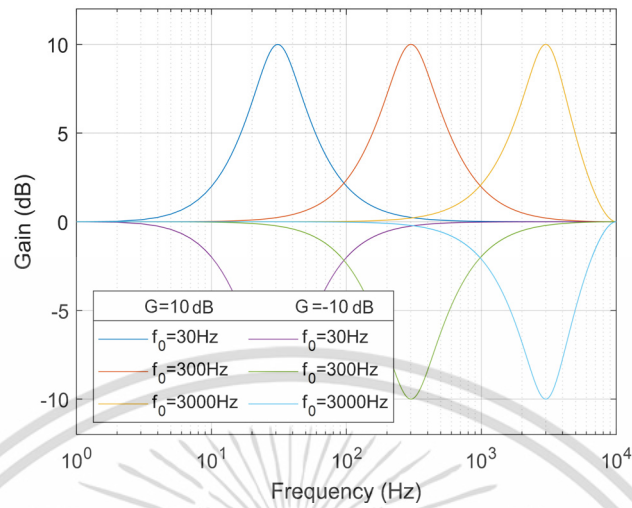
ภาพที่ 5.25 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับอัตราขยายให้แตกต่างกันของ วงจรกรองความถี่ต่ำผ่าน Shelving



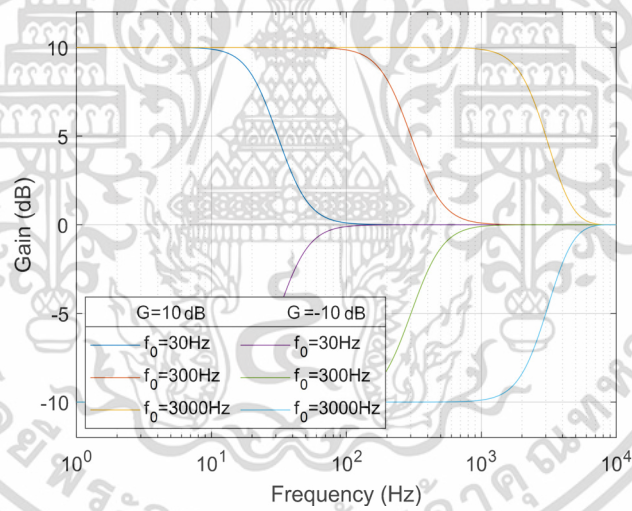
ภาพที่ 5.26 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับอัตราขยายให้แตกต่างกันของ วงจรกรองความถี่สูงผ่าน Shelving

ผลจำลองการทำงานโดยทดลองปรับความถี่ $f_0 = 30 \text{ Hz}$, 300 Hz , 3000 Hz และกำหนดให้อัตราขยายเท่ากับ 10 dB และ -10 dB , ความถี่ส้อมเท่ากับ 20 kHz และค่าควอลิตี้แฟกเตอร์ Q ของวงจรกรองแบบ Peaking เท่ากับ 0.707 โดยผลตอบสนองทางขนาดของวงจรกรอง Peaking, วงจรกรองความถี่ต่ำผ่าน Shelving, และวงจรกรองความถี่สูงผ่าน Shelving แสดงดังภาพที่ 5.27 - ภาพที่ 5.29 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

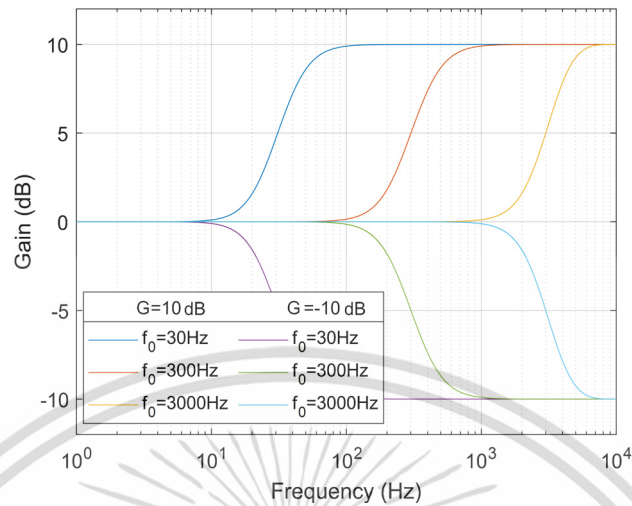


ภาพที่ 5.27 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับความถี่ f_0 ให้แตกต่างกันของวงจรกรอง Peaking



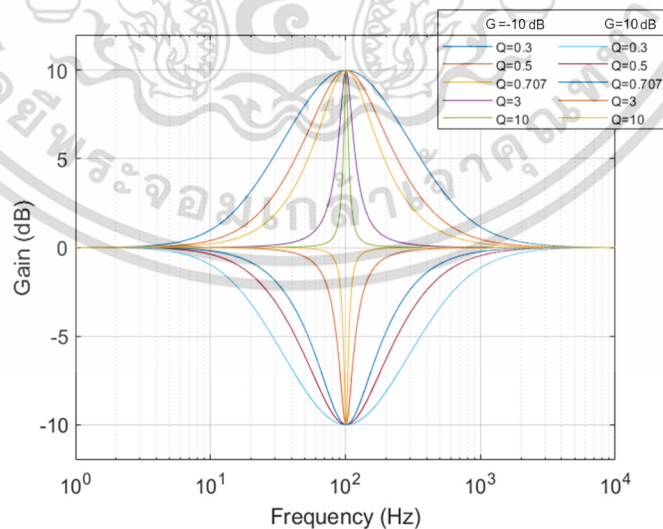
ภาพที่ 5.28 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับความถี่ f_0 ให้แตกต่างกันของวงจรกรองความถี่ต่ำผ่าน Shelving

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 5.29 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับความถี่ f_0 ให้แตกต่างกันของวงจรกรองความถี่สูงผ่าน Shelving

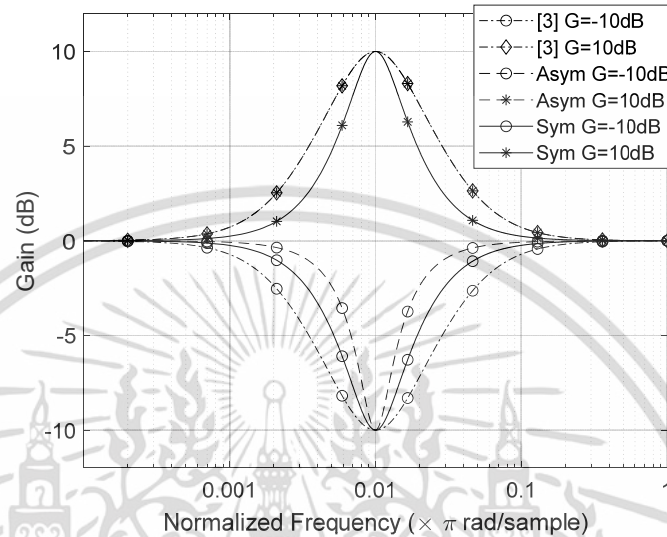
และเช่นเดียวกับการออกแบบด้วยวิธีสมมาตรสำหรับวงจรกรอง Peaking จะสามารถปรับควอลิตี้แฟกเตอร์ซึ่งส่งผลต่อแบนวิทท์ของวงจรได้ ดังนั้นการทดลองปรับค่าควอลิตี้แฟกเตอร์ Q ของวงจรกรองแบบ Peaking จะกำหนดให้ $Q = 0.3, 0.5, 0.707, 3, 10$ และกำหนดให้อัตราขยายเท่ากับ 10 dB และ -10 dB, ความถี่ส้อมเท่ากับ 20 kHz และความถี่ศูนย์กลางของวงจรกรองแบบ Peaking เท่ากับ 100 Hz โดยผลตอบสนองทางขนาดของวงจรกรอง Peaking แสดงดังภาพที่ 5.30



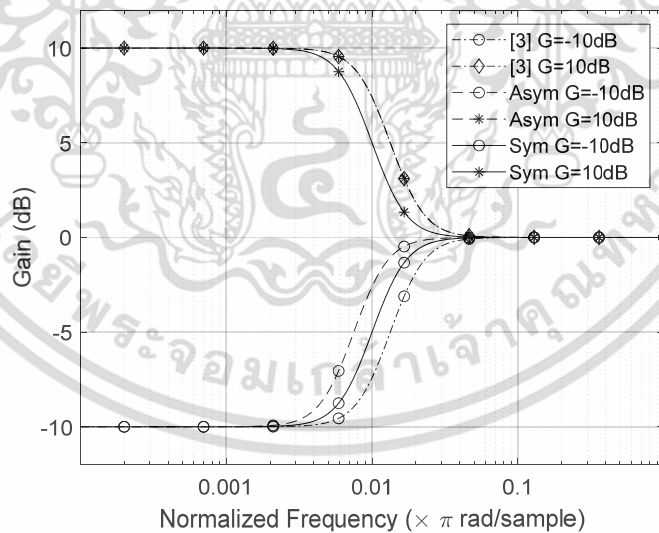
ภาพที่ 5.30 ผลตอบสนองทางขนาดที่ออกแบบด้วยวิธีสมมาตรโดยปรับค่าควอลิตี้แฟกเตอร์ Q ให้แตกต่างกันของวงจรกรอง Peaking

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองการเปรียบเทียบระหว่างการออกแบบด้วยวิธีสมมาตรและอสมมาตรที่นำเสนอในบทนี้ กับวิธีการออกแบบที่นำเสนอในบทที่ 4 ของวงจรกรอง Peaking, วงจรกรองความถี่ต่ำผ่าน Shelving, และวงจรกรองความถี่สูงผ่าน Shelving แสดงดังภาพที่ 5.31 - ภาพที่ 5.33 ตามลำดับ

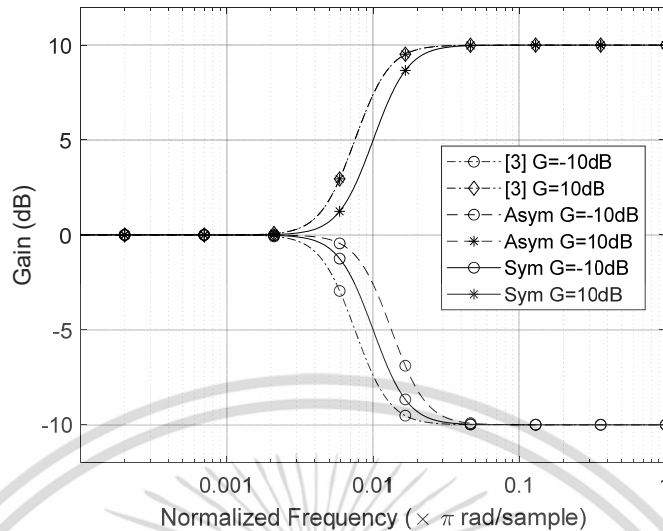


ภาพที่ 5.31 เปรียบเทียบการออกแบบด้วยวิธีสมมาตรและอสมมาตรของวงจรกรอง Peaking



ภาพที่ 5.32 เปรียบเทียบการออกแบบด้วยวิธีสมมาตรและอสมมาตรของวงจรกรองความถี่ต่ำผ่าน Shelving

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



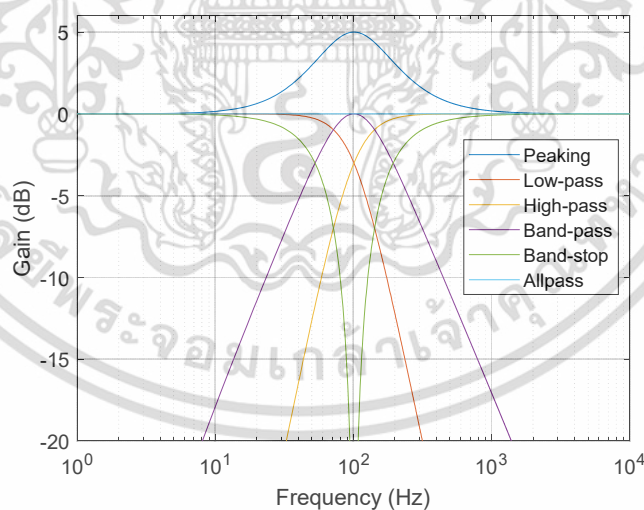
ภาพที่ 5.33 เปรียบเทียบการออกแบบด้วยวิธีอสมมาตรและสมมาตรของวงจรความถี่สูงผ่าน Shelving

จากผลการทดลองด้านบนเมื่อเปรียบเทียบผลที่ได้จากการออกแบบด้วยวิธีสมมาตรและอสมมาตรของวงจร Peaking ในภาพที่ 5.31 จะเห็นความแตกต่างกันของทั้ง 2 วิธีอย่างชัดเจน โดยถ้าพิจารณากรณี boost จะพบว่าแบนด์วิดท์ของวิธีสมมาตรจะแคบกว่าแบนด์วิดท์ของวิธีอสมมาตร และในกรณี cut จะพบว่า แบนด์วิดท์ของวิธีสมมาตรจะกว้างกว่าแบนด์วิดท์ของวิธีอสมมาตร ซึ่งเป็นผลมาจากการปรับให้ Ω_0 มาอยู่ที่ตำแหน่งกลางของอัตราขยายคือที่ \sqrt{g} ตามที่อธิบายไว้ในหัวข้อ 5.3 ส่งผลให้ผลตอบสนองทางขนาดมีความสมมาตรกันในกรณี boost และกรณี cut สำหรับการออกแบบด้วยวิธีสมมาตร อย่างไรก็ตามเมื่อเปรียบเทียบกับผลตอบสนองทางขนาดที่ได้จากวิธีที่นำเสนอในบทที่ 4 [31] ซึ่งจะมีความสมมาตรเช่นกัน แต่จะมีขนาดแบนด์วิดท์ที่กว้างกว่าวิธีการออกแบบด้วยวิธีสมมาตรที่นำเสนอในบทนี้ นอกจากนี้การออกแบบในบทที่ 4 จำเป็นต้องแยกฟังก์ชันถ่ายโอนตามเงื่อนไข boost และ cut ซึ่งสามารถแก้ไขได้ด้วยวิธีการที่นำเสนอในบทนี้

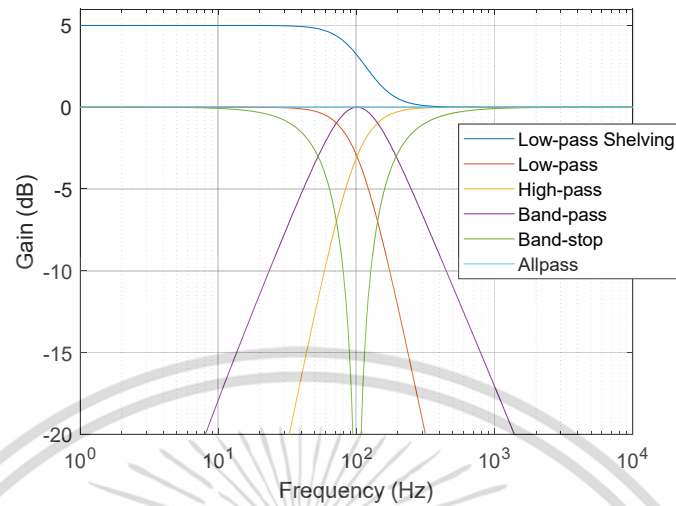
สำหรับการออกแบบด้วยวิธีอสมมาตรเมื่อเปรียบเทียบกับ [37] จะพบว่าผลตอบสนองทางขนาดในกรณี boost จะเหมือนกัน แต่จะแตกต่างกันในกรณี cut เท่านั้น อย่างไรก็ตามความไม่สมมาตรของผลตอบสนองทางขนาดของการออกแบบด้วยวิธีอสมมาตร ไม่ใช่ปัญหาในการใช้งานจริงหรือในทางปฏิบัติ เช่น เครื่องพารามเมตริกอีควอไลเซอร์เสมือนรุ่น StudioLive AR-series mixers ใน [42] ซึ่งจะมีแบนด์วิดท์ของกรณี cut ที่แคบกว่าในกรณี boost ดังนั้นผู้ใช้งานเพียงต้องทำความเข้าใจกับคุณลักษณะความถี่ของการออกแบบด้วยวิธีอสมมาตรเท่านั้น

5.5.3 ผลการจำลองการทำงานของวงจรกรองหลายเอาต์พุต

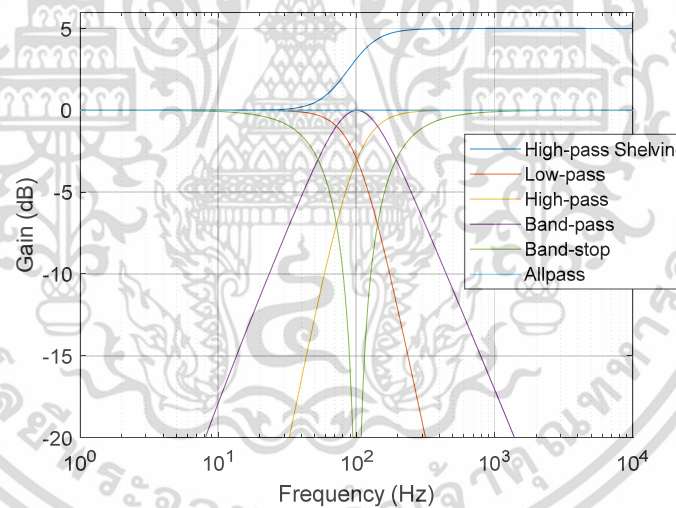
วิธีการออกแบบที่นำเสนอในบทที่ 5 นี้ นอกจากใช้ออกแบบวงจรกรอง Peaking และวงจรกรอง Shelving แล้ว แต่ในมุมมองของวงจรกรองหลายเอาต์พุตด้วยวิธีการออกแบบที่นำเสนอในบทนี้ยังคงให้คุณสมบัติของวงจรกรองหลายเอาต์พุต กล่าวคือยังคงได้เอาต์พุตของวงจรกรองชนิดอื่นด้วย โดยถ้าใช้การออกแบบวิธีที่ 1 ดังที่ได้นำเสนอในหัวข้อ 5.2.4 และ หัวข้อ 5.3.3 ซึ่งจะใช้วิธีการแยกอัตราขยาย (g) ออกมาอยู่ในโครงสร้าง ทำให้ได้เอาต์พุตเพิ่มอีก 5 ตัวในเวลาเดียวกัน (วงจรกรองความถี่ต่ำผ่าน, วงจรกรองความถี่สูงผ่าน, วงจรกรองแถบความถี่ผ่าน, วงจรกรองแถบความถี่หยุด, และวงจรกรองผ่านตลอด) และกรณีวิธีการออกแบบที่ 2 จะใช้วิธีรวมอัตราขยายไว้ในสมการเมทริกซ์ที่ใช้คำนวณสัมประสิทธิ์วงจรกรอง ทำให้ได้เอาต์พุตเพิ่มอีก 3 ตัวในเวลาเดียวกัน แต่อาจจะถูกสเกลด้วย g และ \sqrt{g} ตามแต่วงจรกรองที่ใช้ออกแบบ ดังนั้นการทดลองในส่วนนี้จะจำลองผลตอบสนองทางขนาดของเอาต์พุตทุกตัว โดยกำหนดให้ความถี่ $f_0 = 100$ Hz, ความถี่ส้อม (f_s) เท่ากับ 20 kHz, ค่าควอลิตี้แฟกเตอร์ Q ของวงจรกรอง Peaking เท่ากับ 0.707 และอัตราขยายเท่ากับ 5 dB ซึ่งผลการทดลองออกแบบด้วยวิธีอสมมาตรวิธีที่ 1 ของวงจรกรอง Peaking, วงจรกรองความถี่ต่ำผ่าน Shelving, และวงจรกรองความถี่สูงผ่าน Shelving แสดงดังภาพที่ 5.34 - ภาพที่ 5.36



ภาพที่ 5.34 ผลตอบสนองทางขนาดของวงจรกรอง Peaking พร้อมวงจรกรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีอสมมาตรวิธีที่ 1



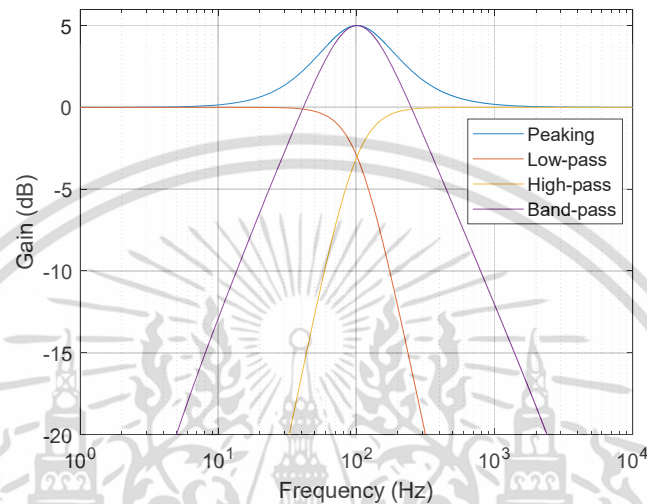
ภาพที่ 5.35 ผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่าน Shelving พร้อมวงจรกรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีอสมมาตรวิธีที่ 1



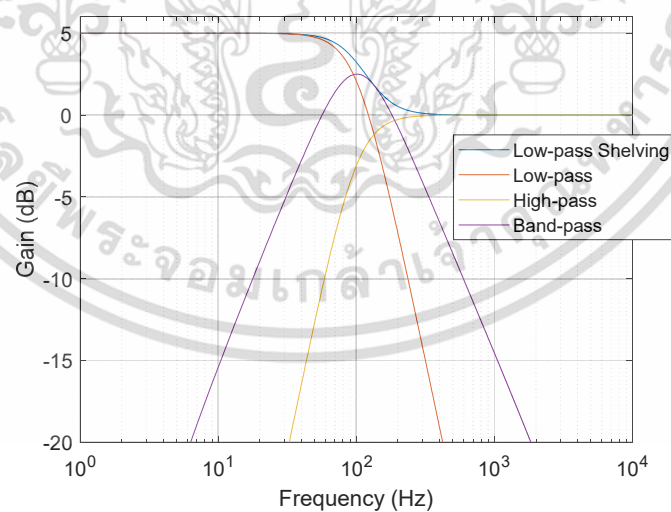
ภาพที่ 5.36 ผลตอบสนองทางขนาดของวงจรกรองความถี่สูงผ่าน Shelving พร้อมวงจรกรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีอสมมาตรวิธีที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองออกแบบด้วยวิธีอสมมาตรวิธีที่ 2 ของวงจรกรอง Peaking, วงจรกรองความถี่ต่ำผ่าน Shelving ,และวงจรกรองความถี่สูงผ่าน Shelving แสดงดังภาพที่ 5.37 - ภาพที่ 5.39

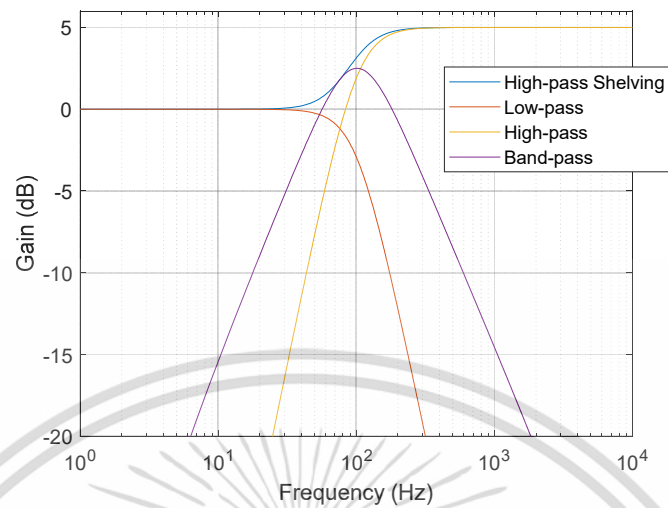


ภาพที่ 5.37 ผลตอบสนองทางขนาดของวงจรกรอง Peaking พร้อมวงจรกรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีอสมมาตรวิธีที่ 2



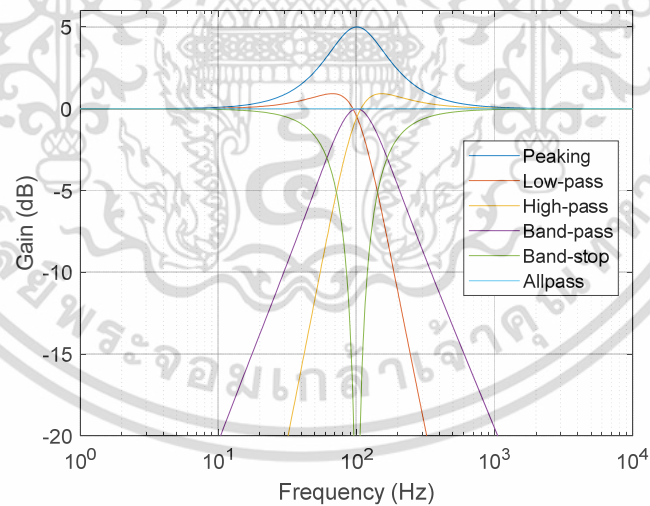
ภาพที่ 5.38 ผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่าน Shelving พร้อมวงจรกรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีอสมมาตรวิธีที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



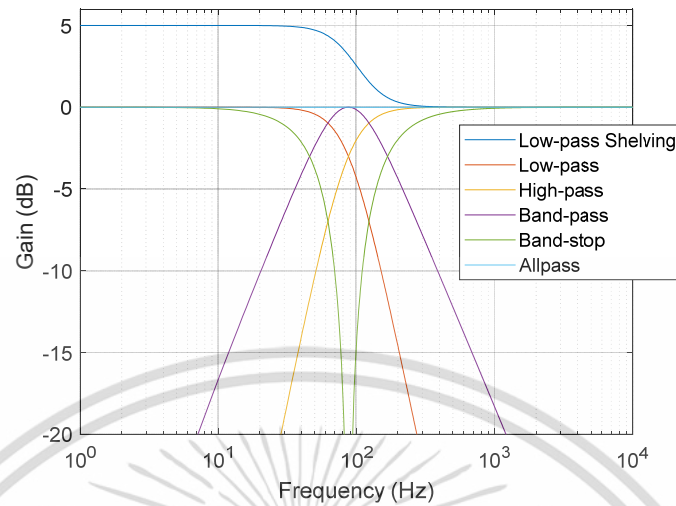
ภาพที่ 5.39 ผลตอบสนองทางขนาดของวงจรกรองความถี่สูงผ่าน Shelving พร้อมวงจรกรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีสมมาตรวิธีที่ 2

ผลการทดลองออกแบบด้วยวิธีสมมาตรวิธีที่ 1 ของวงจรกรอง Peaking, วงจรกรองความถี่ต่ำผ่าน Shelving, และวงจรกรองความถี่สูงผ่าน Shelving แสดงดังภาพที่ 5.40 - ภาพที่ 5.42

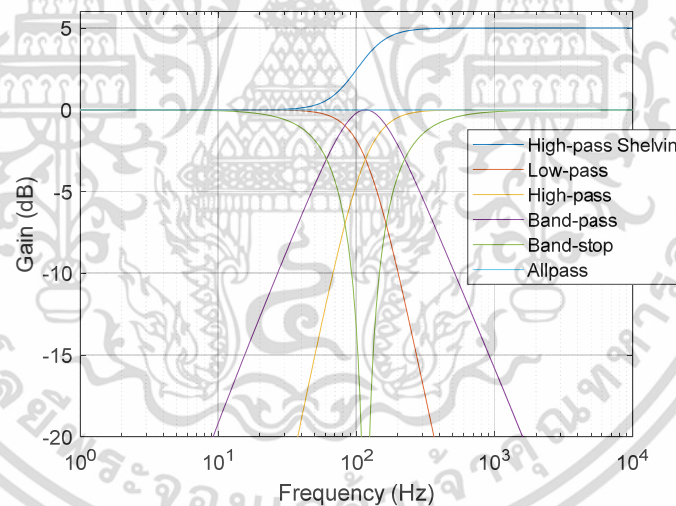


ภาพที่ 5.40 ผลตอบสนองทางขนาดของวงจรกรอง Peaking พร้อมวงจรกรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีสมมาตรวิธีที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

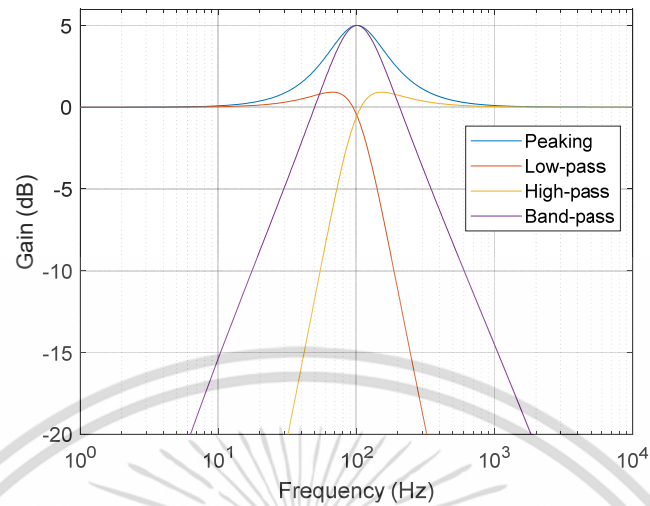


ภาพที่ 5.41 ผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่าน Shelving พร้อมวงจรกรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีสมมาตรวิธีที่ 1

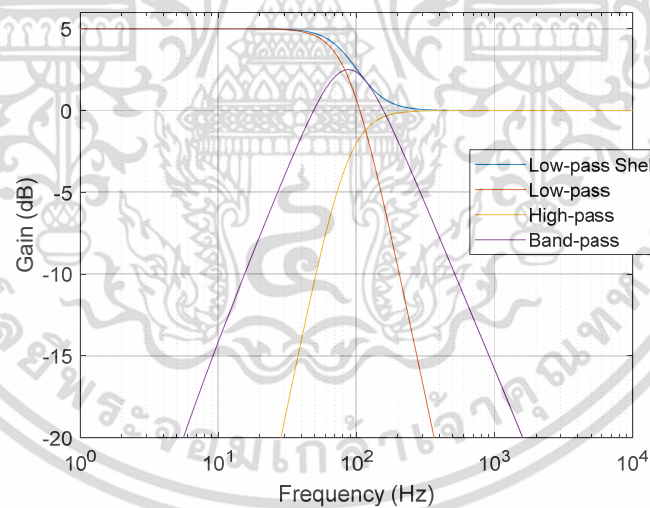


ภาพที่ 5.42 ผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่าน Shelving พร้อมวงจรกรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีสมมาตรวิธีที่ 1

ผลการทดลองออกแบบด้วยวิธีสมมาตรวิธีที่ 1 ของวงจรกรอง Peaking, วงจรกรองความถี่ต่ำผ่าน Shelving, และวงจรกรองความถี่สูงผ่าน Shelving แสดงดังภาพที่ 5.43 - ภาพที่ 5.45

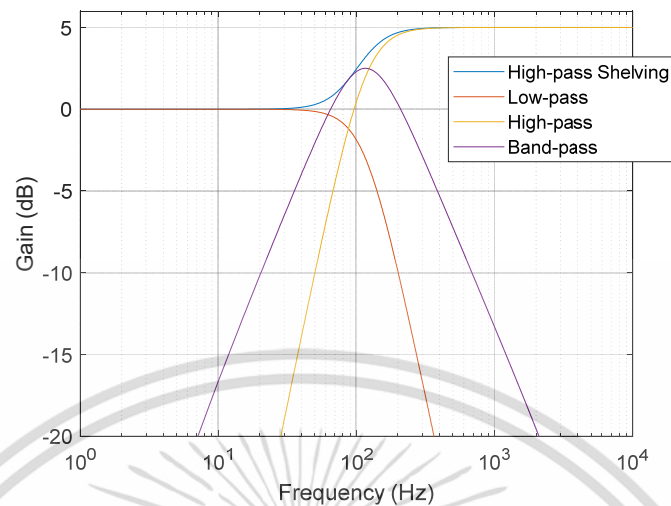


ภาพที่ 5.43 ผลตอบสนองทางขนาดของวงจรกรอง Peaking พร้อมวงจรกรองหลายเอาต์พุต ที่ ออกแบบด้วยวิธีสมมาตรวิธีที่ 2



ภาพที่ 5.44 ผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่าน Shelving พร้อมวงจรกรองหลาย เอาต์พุต ที่ออกแบบด้วยวิธีสมมาตรวิธีที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 5.45 ผลตอบสนองทางขนาดของวงจรกรองความถี่สูงผ่าน Shelving พร้อมวงจรกรองหลายเอาต์พุต ที่ออกแบบด้วยวิธีสมมาตรวิธีที่ 2

จากผลการทดลองเมื่อพิจารณาเปรียบเทียบระหว่างการออกแบบวิธีที่ 1 และวิธีที่ 2 จะพบว่าได้ผลการทดลองเป็นไปตามที่ออกแบบ กล่าวคือผลจากวิธีที่ 2 จะทำให้วงจรกรองความถี่ต่ำผ่าน, วงจรกรองความถี่สูงผ่าน, และวงจรกรองแถบความถี่ผ่านบางตัวถูกสเกลด้วยอัตราขยาย g และ \sqrt{g} ซึ่งเหตุการณ์นี้จะไม่เกิดขึ้นกับผลการทดลองจากการออกแบบวิธีที่ 1 ซึ่งแยก g ออกมาอยู่ในโครงสร้างเป็นผลทำให้สามารถจัดรูปแบบเพิ่มเติม และเมื่อพิจารณาเปรียบเทียบผลการทดลองระหว่างการออกแบบพาราเมตริกอีควอไลเซอร์ด้วยวิธีสมมาตรกับวิธีสมมาตร จะพบว่าการออกแบบด้วยวิธีสมมาตรจะมีผลตอบสนองทางขนาดเหมือนกับคุณสมบัติที่กำหนดไว้ทุกประการซึ่งก็จะส่งผลให้กรณี boost และกรณี cut ไม่สมมาตรกัน ส่วนการออกแบบด้วยวิธีสมมาตรในกรณีวงจรกรอง Peaking จะพบว่ามีการ over damping ที่วงจรกรองความถี่ต่ำผ่านและความถี่สูงผ่าน เนื่องจากว่าในขั้นตอนการออกแบบจะต้องปรับค่าควอลิตี้แฟกเตอร์ $Q' = Q\sqrt{g}$ และในกรณีวงจรกรองความถี่ต่ำผ่าน Shelving และวงจรกรองความถี่สูงผ่าน Shelving จะพบว่าความถี่ตัดไม่ตรงกับค่าที่กำหนดเนื่องจากการมีการปรับค่า $\Omega'_0 = \Omega_0 / g^{1/4}$ ในกรณีวงจรกรองความถี่ต่ำผ่าน Shelving และ $\Omega'_0 = \Omega_0 g^{1/4}$ ในกรณีวงจรกรองความถี่สูงผ่าน Shelving ซึ่งส่งผลให้กรณี boost และกรณี cut มีความสมมาตรกัน

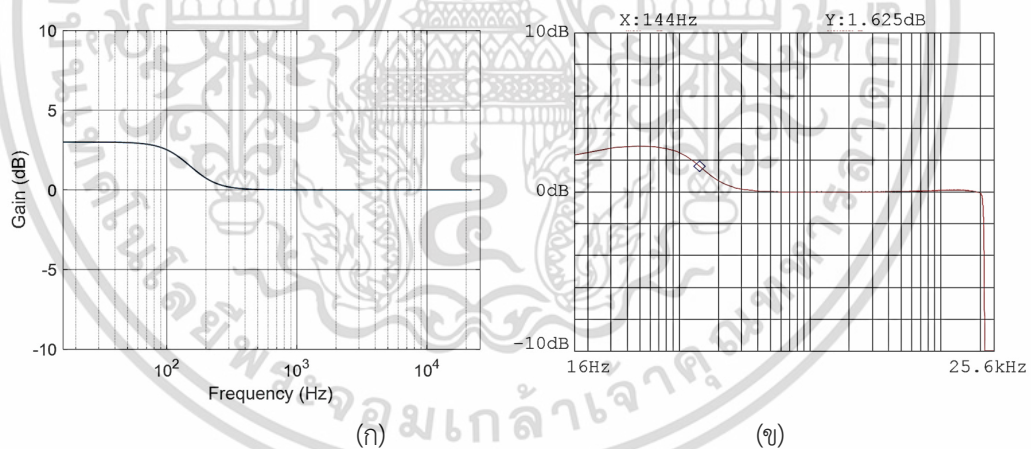
5.5.4 ผลการสร้างจริงบนบอร์ด STM32

การทดลองในหัวข้อนี้จะใช้วิธีการออกแบบที่นำเสนอในบทที่ 5 นี้ ทำการออกแบบและสร้างจริงบนบอร์ดประมวลผล STM32F769 ที่ใช้ความถี่สุ่ม 44.1 kHz โดยใช้คุณสมบัติของพาราเมตริก

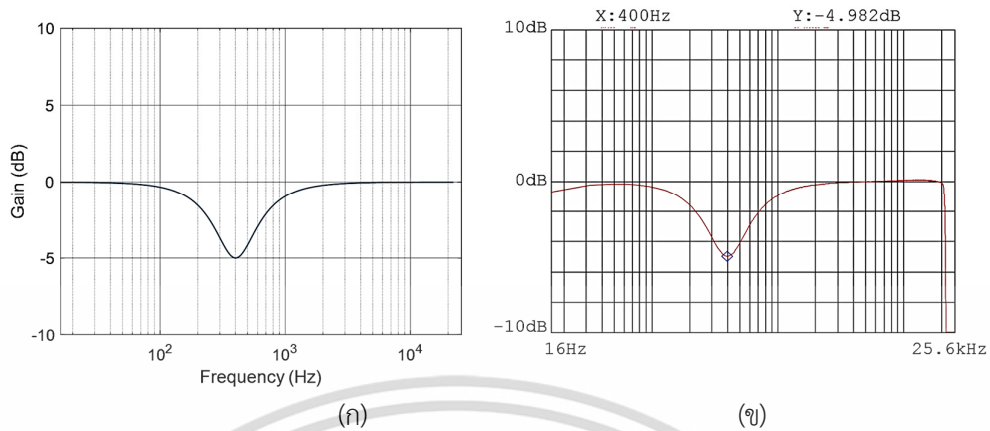
อีควอไลเซอร์เหมือนกับในบทที่ 4 ดังตารางที่ 5.1 โดยผลตอบสนองทางขนาดของวงจรรองย่อยแต่ละตัวจะแสดงดังภาพที่ 5.46 - ภาพที่ 5.50 รวมถึงการนำทั้ง 5 แบนด์มาต่อเรียงเป็นพารามเมตริกอีควอไลเซอร์จะแสดงผลตอบสนองทางขนาดดังภาพที่ 5.51 และผลตอบสนองทางเฟสดังภาพที่ 5.52 ซึ่งจะเป็นการเปรียบเทียบระหว่างวิธีจำลองการทำงานด้วย MATLAB กับการสร้างจริงด้วยฮาร์ดแวร์ โดยใช้เครื่องวิเคราะห์สัญญาณไดนามิก (Dynamic Signal Analyzer) รุ่น Agilent 36570A เป็นตัววัดผลตอบสนองทางขนาดที่ความถี่จริง

ตารางที่ 5.1 คุณสมบัติของพารามเมตริกอีควอไลเซอร์ที่ใช้ในการทดลอง (คุณสมบัติที่ 1)

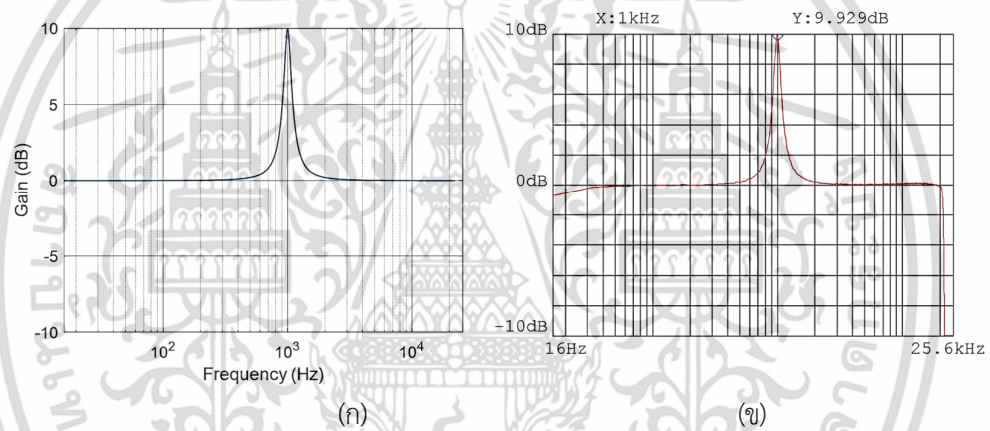
	Lowpass Shelving filter	1 st Peak filter	2 nd Peak filter	3 rd Peak filter	Highpass Shelving filter
Center or Cut off frequency (Hz)	150	400	1000	2000	10000
Quality factor (Q)	-	1	5	0.8	-
Gain (dB)	3	-5	10	-2	-5



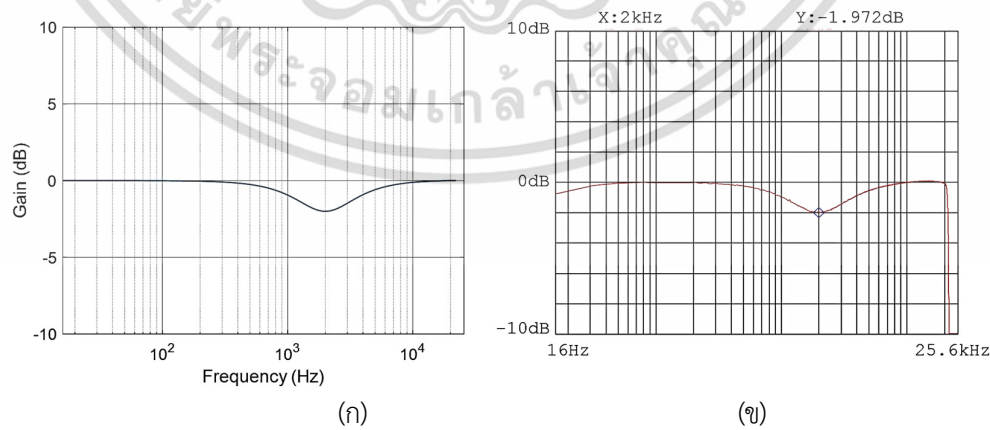
ภาพที่ 5.46 เปรียบเทียบผลจำลองการทำงาน (ก) กับผลการวัดจากฮาร์ดแวร์ (ข) สำหรับวงจรรองความถี่ต่ำผ่าน Shelving



ภาพที่ 5.47 เปรียบเทียบผลจำลองการทำงาน (ก) กับผลการวัดจากฮาร์ดแวร์ (ข) สำหรับวงจรกรอง Peaking ตัวที่ 1

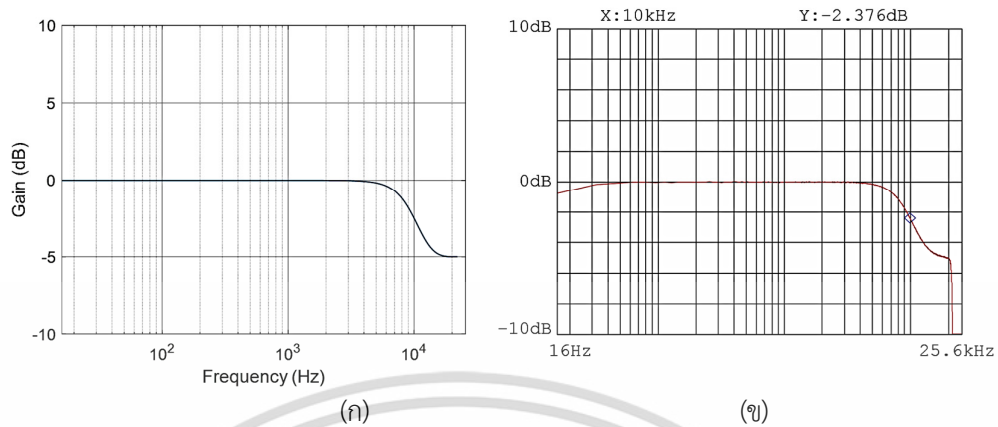


ภาพที่ 5.48 เปรียบเทียบผลจำลองการทำงาน (ก) กับผลการวัดจากฮาร์ดแวร์ (ข) สำหรับวงจรกรอง Peaking ตัวที่ 2

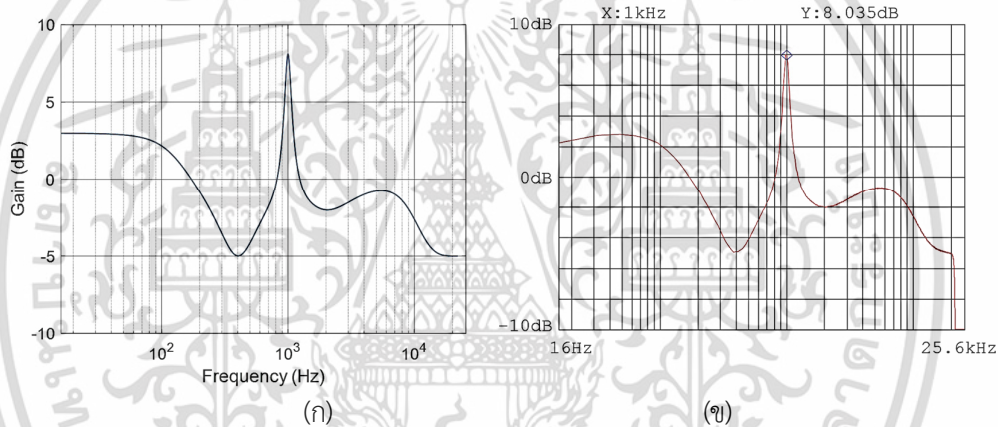


ภาพที่ 5.49 เปรียบเทียบผลจำลองการทำงาน (ก) กับผลการวัดจากฮาร์ดแวร์ (ข) สำหรับวงจรกรอง Peaking ตัวที่ 3

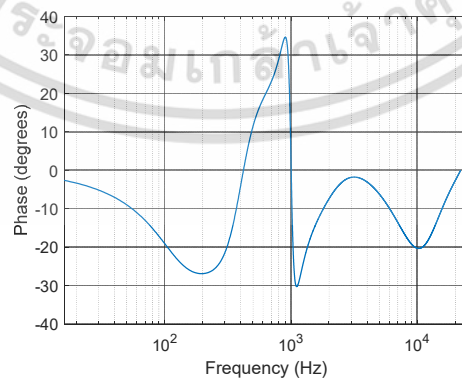
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 5.50 เปรียบเทียบผลจำลองการทำงาน (ก) กับผลการวัดจากฮาร์ดแวร์ (ข) สำหรับวงจรกรองความถี่สูงผ่าน Shelving



ภาพที่ 5.51 เปรียบเทียบผลจำลองการทำงาน (ก) กับผลการวัดจากฮาร์ดแวร์ (ข) สำหรับพาราเมตริกอีควอไลเซอร์ 5 แบนด์



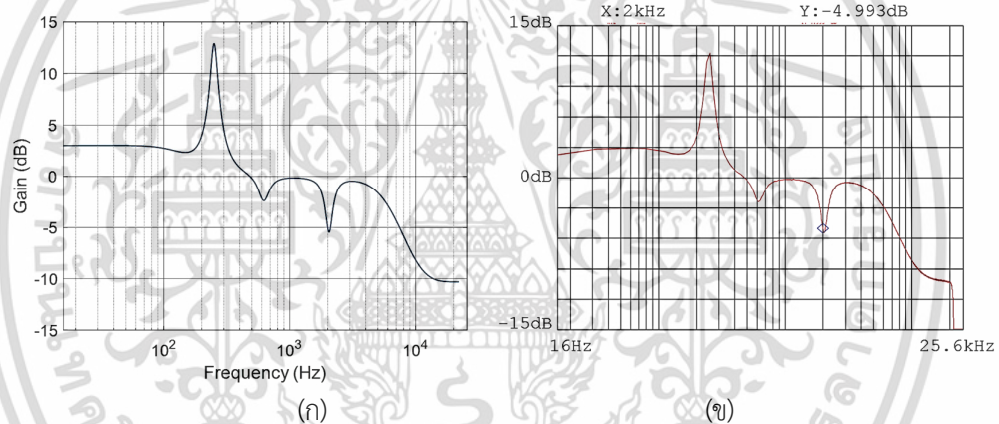
ภาพที่ 5.52 ผลตอบสนองทางเฟสของพาราเมตริกอีควอไลเซอร์ 5 แบนด์ (คุณสมบัติที่ 1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

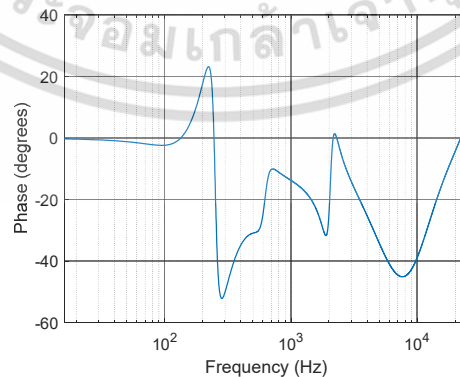
การทดลองอีกตัวอย่างหนึ่งจะใช้คุณสมบัติของพารามетริกอีควอไลเซอร์ดังตารางที่ 5.2 โดยผลตอบสนองทางขนาดของพารามетริกอีควอไลเซอร์ ที่ได้จากการจำลองการทำงานเปรียบเทียบกับ การวัดจากฮาร์ดแวร์สามารถแสดงได้ดังภาพที่ 5.53 และผลตอบสนองทางเฟสแสดงดังภาพที่ 5.54

ตารางที่ 5.2 คุณสมบัติของพารามетริกอีควอไลเซอร์ที่ใช้ในการทดลอง (คุณสมบัติที่ 2)

	Lowpass Shelving filter	1 st Peak filter	2 nd Peak filter	3 rd Peak filter	Highpass Shelving filter
Center or Cut off frequency (Hz)	150	250	621	2048	7551
Quality factor (Q)	-	4	3.91	5.83	--
Gain (dB)	3	12.6	-2.6	-5.4	-10.3



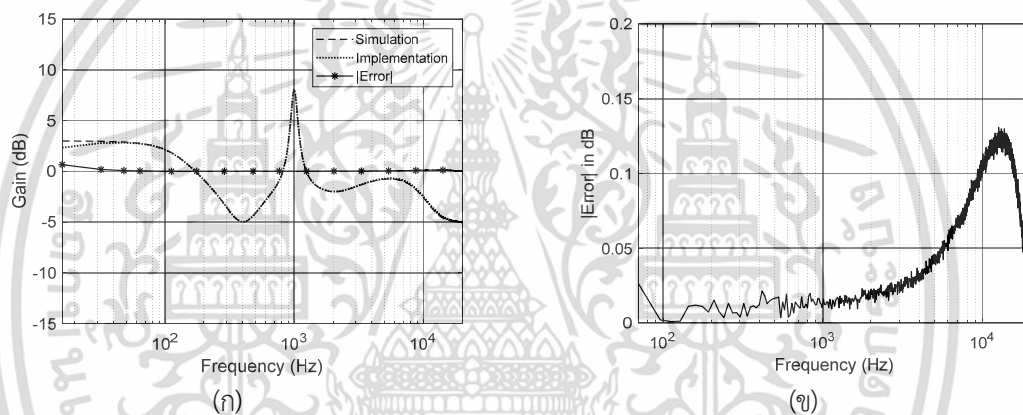
ภาพที่ 5.53 เปรียบเทียบผลจำลองการทำงาน (ก) กับผลการวัดจากฮาร์ดแวร์ (ข) สำหรับพารามетริกอีควอไลเซอร์จากคุณสมบัติในตารางที่ 5.2



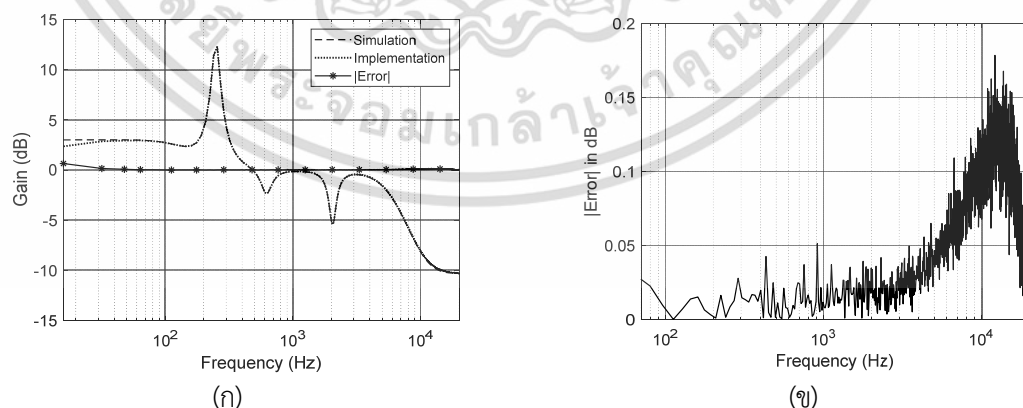
ภาพที่ 5.54 ผลตอบสนองทางเฟสของพารามетริกอีควอไลเซอร์ 5 แบนด์ (คุณสมบัติที่ 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลองการสร้างจริงบนบอร์ด STM32F769 ได้แสดงให้เห็นว่าสามารถให้ผลตอบสนองทางขนาดที่เหมือนกับผลการจำลองการทำงาน และเพื่อยืนยันความถูกต้องของการสร้างจริงบนฮาร์ดแวร์เปรียบเทียบกับผลการจำลองการทำงาน ของพารามетริกอีควอไลเซอร์จากคุณสมบัติที่ใช้ออกแบบในตารางที่ 5.1 และคุณสมบัติในตารางที่ 5.2 ในแง่ของผลลัพธ์เชิงตัวเลข จะใช้วิธีนำข้อมูลดิบของผลตอบสนองทางขนาดที่วัดได้จากเครื่องวิเคราะห์สัญญาณโดนามิกเปรียบเทียบกับผลการจำลองการทำงานดังแสดงในภาพที่ 5.55 (ก) และภาพที่ 5.56 (ก) ตามลำดับ อย่างไรก็ตาม หากเว้นช่วงความถี่ต่ำ 0–70 Hz ที่มีการลดทอนจากผลกระทบของวงจรกรองความถี่สูงผ่านในชิปถอดรหัสเสียงบนบอร์ดประมวลผล STM32F769I ซึ่งเป็นความผิดพลาดที่ไม่ได้เกิดจากการออกแบบในงานวิจัย ดังนั้นจะได้ค่าผิดพลาดสัมบูรณ์แสดงดังภาพที่ 5.55 (ข) และภาพที่ 5.56 (ข)



ภาพที่ 5.55 (ก) ผลการสร้างจริงด้วยฮาร์ดแวร์เปรียบเทียบกับผลจำลองการทำงานและ (ข) ค่าผิดพลาดสัมบูรณ์ที่ไม่สนใจย่านความถี่ต่ำ 0-70 Hz จากคุณสมบัติที่ใช้ออกแบบในตารางที่ 5.1



ภาพที่ 5.56 (ก) ผลการสร้างจริงด้วยฮาร์ดแวร์เปรียบเทียบกับผลจำลองการทำงานและ (ข) ค่าผิดพลาดสัมบูรณ์ที่ไม่สนใจย่านความถี่ต่ำ 0-70 Hz จากคุณสมบัติที่ใช้ออกแบบในตารางที่ 5.2

เพื่อให้เห็นความแม่นยำของผลตอบสนองทางขนาดของการสร้างจริงด้วยฮาร์ดแวร์ จะแสดงด้วยค่าผิดพลาดในเชิงตัวเลข โดยใช้วิธีคำนวณหา Root Mean Square Error (RMSE) และค่าผิดพลาดสัมบูรณ์สูงสุด ($|E_{max}|$) ดังตารางที่ 5.3 โดยแยกเป็น 2 กรณีคือแบบวิเคราะห์ตลอดช่วงความถี่ใช้งานทั้งหมดตั้งแต่ DC ถึงไนควิสต์ แบบวิเคราะห์โดยไม่สนใจช่วงความถี่ต่ำ 0-70 Hz เนื่องจากเป็นย่านความถี่ที่ได้รับผลกระทบจากวงจรกรองความถี่สูงผ่านบนบอร์ด STM32F769I ทำให้ผลตอบสนองที่ได้จากการสร้างจริงเกิดข้อผิดพลาดขึ้น ซึ่งเป็นข้อผิดพลาดที่ไม่เกี่ยวกับการออกแบบที่นำเสนอ

ตารางที่ 5.3 ค่าผิดพลาด RMSE และผิดพลาดสัมบูรณ์สูงสุด ($|E_{max}|$)

	ตลอดช่วงความถี่, 0 - $f_s/2$ Hz		ไม่สนใจช่วงความถี่ต่ำ, 0-70 Hz	
	RMSE in dB	$ E_{max} $ in dB	RMSE in dB	$ E_{max} $ in dB
ตัวอย่างการออกแบบตารางที่ 5.1	0.0816	0.6618	0.0794	0.1309
ตัวอย่างการออกแบบตารางที่ 5.2	0.0818	0.6455	0.0797	0.1786

จากผลการทดลองในเชิงตัวเลขข้างต้นได้แสดงให้เห็นความถูกต้องจากการใช้ฮาร์ดแวร์สร้างจริง และสามารถมั่นใจได้ว่าผลตอบสนองทางขนาดมีความเหมือนกับผลที่ได้จากการจำลองการทำงาน โดยเฉพาะอย่างยิ่งเมื่อวิเคราะห์โดยไม่สนใจความถี่ต่ำที่ได้รับผลกระทบจากวงจรกรองความถี่สูงผ่านในตัวถอดรหัสเสียง

สุดท้ายในแง่ของฮาร์ดแวร์โปรเซสเซอร์ STM32F769I หรือการใช้งาน CPU สำหรับการสร้างพารามetriงอีกควอไลเซอร์ 5 แบนด์ สามารถวัดได้หลังจากการคอมไพล์โดยจะมีหน้าจอแสดงการวินิจฉัย เพื่อบอกข้อมูลการใช้งานหน่วยความจำซึ่งจะแสดงดังตารางที่ 5.4 และในส่วนของเวลาในการประมวลผลจะใช้เทคนิค Processor-in-the-Loop (PIL) ซึ่งจะรายงานเวลาการทำงานตามคำสั่งครบหนึ่งรอบกลับออกมา ดังสรุปในตารางที่ 5.4

ตารางที่ 5.4 ผลการใช้งาน CPU สำหรับพารามetriงอีกควอไลเซอร์ 5 แบนด์บน STM32F769

Resources	Used	Available	Utilization
Program memory	40 Kbyte	2 Mbyte	2 %
Data memory	56 Kbyte	512 Kbyte	10.77 %
Average execution time:	2.348 microseconds		

จากตารางที่ 5.4 เมื่อพิจารณาเวลาดำเนินการเฉลี่ยที่ 2.348 ไมโครวินาที ถ้าประมาณโดยอิงจากความถี่สัญญาณนาฬิกาของ CPU คือ 216 MHz และความถี่ในการสุ่มตัวอย่างที่ใช้คือ 44.1 kHz ซึ่งเทียบเท่ากับระยะเวลาสุ่มตัวอย่างที่ 22.67 ไมโครวินาที ดังนั้นความเร็วในการทำงานหรือเวลาการ

ประมวลผลการของพาราเมตริกอีควอไลเซอร์ 5 แบนด์บนโปรเซสเซอร์ STM32 นี้สามารถทำงานเร็วพอที่จะใช้กับความถี่สุ่มตัวอย่าง 44.1 kHz ในการประมวลผลแบบเวลาจริง

5.6 สรุปงานวิจัย

การออกแบบโดยใช้การดำเนินการทางเมทริกซ์ของวงจรรอง Peaking, วงจรรองความถี่ต่ำผ่าน Shelving, และวงจรรองความถี่สูงผ่าน Shelving สำหรับนำไปต่อเรียงเป็นพาราเมตริกอีควอไลเซอร์ดิจิทัล ทำได้โดยการปรับเปลี่ยนสมการโบลีเนียนร์ปาสคาลเมทริกซ์ที่ใช้ในการแปลง s-z และโครงสร้างวงจรรองดิจิทัลแบบ Direct form II ในส่วนของ feed-forward รวมทั้งมีการนำเสนอความสัมพันธ์ของสมการเมทริกซ์ที่ใช้ออกแบบกับโครงสร้างวงจรรองหลายเอาต์พุต โดยจะแบ่งการออกแบบเป็นวิธีสมมาตรและอสมมาตรของผลตอบสนองทางขนาดในกรณี boost และ cut โดยแต่ละวิธีจะมีการแบ่งออกเป็น 2 วิธีย่อย ดังนั้นวิธีการออกแบบรวมทั้งโครงสร้างที่นำเสนอในบทนี้เป็นอีกหนึ่งทางเลือกสำหรับการออกแบบพาราเมตริกอีควอไลเซอร์ดิจิทัล ซึ่งผลการจำลองการทำงานและผลการทดลองจากการใช้งานฮาร์ดแวร์บนโปรเซสเซอร์ STM32 สำหรับใช้งานแบบเรียลไทม์ ถูกนำมาเปรียบเทียบเพื่อแสดงความสำเร็จของการออกแบบและการสร้างจริงตามที่น่าเสนอ

วิธีการออกแบบที่นำเสนอในบทที่ 5 นี้จะมีความสะดวกในการหาสัมประสิทธิ์ของวงจรรองมากขึ้นเมื่อเทียบกับวิธีการออกแบบในบทที่ 4 เนื่องจากการคำนวณหาสัมประสิทธิ์ของวงจรรองด้วยวิธีการออกแบบในบทที่ 4 ต้องดำเนินการแยกกันในเทอมของเศษและเทอมของส่วนแยกอิสระกัน รวมทั้งยังมีขั้นตอนการนำสัมประสิทธิ์ α_i หาสัมประสิทธิ์ทุกตัว เพื่อทำนอร์มัลไลซ์สัมประสิทธิ์ α_i (เป็นสัมประสิทธิ์ตัวแรกในเทอมส่วน) ให้เท่ากับ 1 ซึ่งจะแตกต่างกับวิธีการออกแบบที่นำเสนอในบทที่ 5 นี้ที่อาศัยการคำนวณจากสมการเมทริกซ์เพียงสมการเดียว ซึ่งทำงานร่วมกับโครงสร้างวงจรรองหลายเอาต์พุตที่นำเสนอ ดังนั้นนอกจากเอาต์พุตที่เป็นวงจรรอง Peaking, วงจรรองความถี่ต่ำผ่าน Shelving และวงจรรองความถี่สูงผ่าน Shelving แล้ว การออกแบบในบทที่ 5 ยังคงคุณสมบัติของวงจรรองหลายเอาต์พุตไว้ด้วย นั่นคือยังคงให้เอาต์พุตที่เป็นวงจรรองความถี่ต่ำผ่าน, วงจรรองความถี่สูงผ่าน, วงจรรองแถบความถี่ผ่าน, วงจรรองแถบความถี่หยุด, และวงจรรองผ่านตลอด ออกมาพร้อมกันตามแต่วิธีการออกแบบดังที่นำเสนอ อย่างไรก็ตามวิธีการออกแบบที่นำเสนอทั้งในบทที่ 4 และบทที่ 5 นี้ยังคงต้องอาศัยการคำนวณหาสัมประสิทธิ์ของวงจรรองใหม่ทุกครั้งที่มีการปรับเปลี่ยนคุณสมบัติของพาราเมตริกอีควอไลเซอร์ ดังนั้นวิทยานิพนธ์นี้จึงมีการพัฒนาโครงสร้างวงจรรองให้เป็นแบบปรับจูนได้ทันทีโดยไม่จำเป็นต้องคำนวณหาสัมประสิทธิ์ของวงจรรองขึ้นใหม่ดังที่จะนำเสนอในบทถัดไป

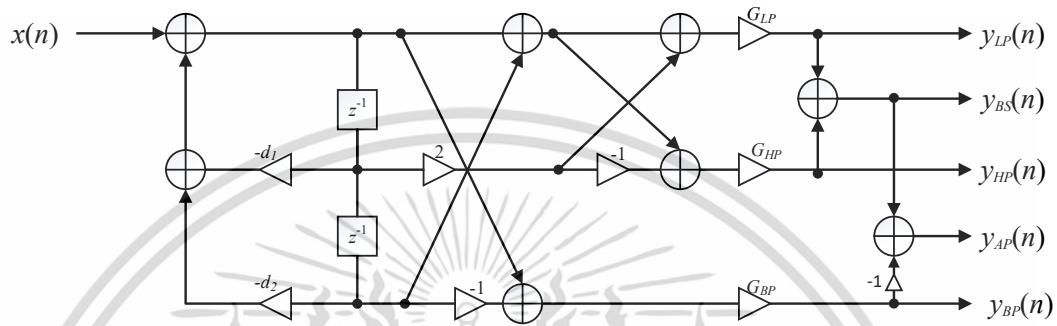
พารามетริกอีควอไลเซอร์ที่ปรับจูนได้ทันที

วงจรกรองสัญญาณเป็นวงจรพื้นฐานที่สำคัญ ในการประยุกต์ใช้งาน ในการออกแบบระบบทางอิเล็กทรอนิกส์สำหรับประมวลผลสัญญาณ โดยวงจรกรองสัญญาณสามารถแบ่งออกได้เป็น วงจรกรองสัญญาณแอนะล็อก (Analog Filter) และวงจรกรองสัญญาณดิจิทัล (Digital Filter) โดยวงจรกรองสัญญาณแอนะล็อกสามารถปรับเปลี่ยนคุณสมบัติของวงจกรองได้ด้วยกระบวนการทางอิเล็กทรอนิกส์ เช่นการปรับค่าอุปกรณ์ R, L และ C เป็นต้น ซึ่งมีความสะดวกในการปรับเปลี่ยนคุณสมบัติต่างๆ แต่ในวงจรกรองสัญญาณดิจิทัลคุณสมบัติของวงจกรองจะขึ้นอยู่กับค่าสัมประสิทธิ์ในวงจร ดังนั้นการปรับเปลี่ยนคุณสมบัติใดๆ ของวงจกรอง จะต้องทำการคำนวณค่าสัมประสิทธิ์ใหม่ทุกครั้ง ซึ่งมีความยุ่งยากและเป็นการเพิ่มภาระในการประมวลผล ดังนั้นจึงไม่เหมาะที่จะใช้วิธีนี้ในออกแบบและสร้างบนวงจรรวมหรือชิปวงจรรวม ปัญหาดังกล่าวที่เกิดขึ้นกับวงจกรองสัญญาณดิจิทัลจะได้นำเสนอวิธีการปรับปรุงเพื่อให้วงจกรองสัญญาณดิจิทัลสามารถทำการปรับจูนได้ทันที (tunable digital filter) พร้อมทั้งประยุกต์ใช้ในการสร้างวงจกรองพารามетริกอีควอไลเซอร์ โดยในบทที่ 6 นี้จะมุ่งเน้นการออกแบบพารามетริกอีควอไลเซอร์ให้สามารถปรับเปลี่ยนคุณสมบัติทางความถี่ได้ โดยใช้ค่าพารามิเตอร์ที่สามารถปรับจูนได้ทันทีเป็นตัวปรับตั้ง โดยจะประยุกต์ใช้วงจกรองสัญญาณแบบไบควอเดรติกที่สามารถปรับจูนได้ทันทีเป็นพื้นฐานในการออกแบบ

6.1 วงจกรองดิจิทัลไบควอเดรติกหลายเอาต์พุตที่ปรับจูนได้ทันที

โดยทั่วไปคุณสมบัติของวงจกรองดิจิทัลจะขึ้นอยู่กับค่าสัมประสิทธิ์ของวงจกรอง หากต้องการผลตอบแทนทางความถี่ใหม่ จำเป็นจะต้องคำนวณค่าสัมประสิทธิ์วงจกรองขึ้นมาใหม่ก่อนที่จะนำสัมประสิทธิ์ที่ได้ส่งกลับไปยังโครงสร้างของวงจกรอง ซึ่งส่งผลให้ไม่สามารถปรับจูนได้ทันทีในขณะที่กรณีของวงจกรองสัญญาณแอนะล็อกสามารถทำได้แม้ในขณะที่ใช้งานด้วยวิธีการควบคุมทางอิเล็กทรอนิกส์ ดังนั้นในงานวิจัย [26] จึงนำเสนอวิธีการออกแบบที่ทำให้วงจกรองสัญญาณดิจิทัลแบบไบควอเดรติกสามารถทำงานได้เช่นเดียวกับในกรณีของวงจกรองสัญญาณแอนะล็อก นอกจากนี้ยังสามารถให้ผลตอบแทนทางความถี่พร้อมกันถึง 5 รูปแบบ ได้แก่ วงจกรองความถี่ต่ำผ่าน, วงจกรองความถี่สูงผ่าน, วงจรองความถี่แถบผ่าน, วงจรองความถี่แถบหยุด, และวงจรองความถี่แบบผ่านตลอด

จากวิธีการออกแบบในบทที่ 5 เมื่อพิจารณาโครงสร้างของวงจรกรองสัญญาณดิจิทัลแบบไบควอดเรติกในภาพที่ 6.1 [15] จะเห็นได้ว่าเมื่อต้องการปรับเปลี่ยนคุณสมบัติของวงจรกรอง เช่น ความถี่ศูนย์กลางหรือแบนด์วิดท์จะต้องทำการคำนวณค่าสัมประสิทธิ์ของวงจรกรองขึ้นใหม่ด้วยสมการเมทริกซ์ (6.1) จากนั้นจึงส่งค่าสัมประสิทธิ์ใหม่กลับเข้าไปในโครงสร้าง



ภาพที่ 6.1 โครงสร้างของวงจรกรองดิจิทัลไบควอดเรติกแบบหลายเอาต์พุต

$$\begin{bmatrix} G_{LP} \\ G_{BP} \\ G_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & -1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k\Omega_0^2 \\ k\left(\frac{\Omega_0}{Q}\right) \\ k \end{bmatrix} \quad (6.1)$$

$$\text{เมื่อ } k = \frac{1}{\Omega_0^2 + \frac{\Omega_0}{Q} + 1}$$

ในการสร้างวงจรกรองสัญญาณดิจิทัลแบบไบควอดเรติกที่สามารถปรับเปลี่ยนคุณสมบัติได้ทันที จะใช้วิธีเปลี่ยนค่าสัมประสิทธิ์คงที่ $[G_{LP}, G_{BP}, G_{HP}, d_1, d_2]$ ให้อยู่ในรูปของพารามิเตอร์ที่สามารถปรับจูนได้ (α, β) โดย α จะเป็นตัวปรับจูนความกว้าง/แคบของแบนด์วิดท์ (bandwidth: bw) และ β จะใช้ในการปรับจูนค่าความถี่ศูนย์กลาง ซึ่งวิธีการเปลี่ยน $[G_{LP}, G_{BP}, G_{HP}, d_1, d_2]$ ให้อยู่ในรูปของ (α, β) จะพิจารณาจากฟังก์ชันถ่ายโอนของ วงจรกรอง Notch แบบ IIR type II ใน [43] ดังสมการ (6.2)

$$H_{notch}(z) = \frac{1+r^2}{2} \left[\frac{1-2\cos\omega_0 z^{-1} + z^{-2}}{1-(1+r^2)\cos\omega_0 z^{-1} + r^2 z^{-2}} \right] \quad (6.2)$$

เมื่อ ω_0 คือ ความถี่ Notch ในหน่วย rad

r คือ รัศมีของ pole

พิจารณาฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณดิจิทัลแบบไบควอดเรติกหลายเอาต์พุต เฉพาะส่วนที่เป็นวงจรกรองความถี่แถบหยุด ซึ่งจะมีผลตอบสนองทางขนาดเหมือนกับวงจรกรองสัญญาณดิจิทัลแบบ Notch ในสมการที่ (6.2) โดยแทนสมการฟังก์ชันถ่ายโอนดิจิทัลของวงจรกรองความถี่ต่ำผ่าน และวงจรกรองความถี่สูงผ่านดังสมการที่ (6.3) และ (6.4) ในวงจรกรองแถบความถี่หยุดสมการที่ (6.5) จะได้รับความสัมพันธ์กันดังสมการที่ (6.6)

$$H_{LP}(z) = \frac{G_{LP}(1+2z^{-1}+z^{-2})}{1+d_1 z^{-1}+d_2 z^{-2}} \quad (6.3)$$

$$H_{HP}(z) = \frac{G_{HP}(1-2z^{-1}+z^{-2})}{1+d_1 z^{-1}+d_2 z^{-2}} \quad (6.4)$$

$$H_{BS}(z) = H_{LP}(z) + H_{HP}(z) \quad (6.5)$$

$$H_{BP}(z) = \frac{G_{LP}(1+2z^{-1}+z^{-2}) + G_{HP}(1-2z^{-1}+z^{-2})}{1+d_1 z^{-1}+d_2 z^{-2}} \quad (6.6)$$

เมื่อทำการเปรียบเทียบเทอมส่วน ระหว่างสมการที่ (6.2) และ (6.6) จะพบว่า

$$d_1 = -(1+r^2)\cos\omega_0 \quad (6.7)$$

$$d_2 = r^2 \quad (6.8)$$

จากนั้นทำการพิจารณาเทอมเศษของสมการที่ (6.2) และ (6.6) จะได้ผลดังสมการที่ (6.9)

$$(G_{LP} + G_{HP}) + 2(G_{LP} - G_{HP})z^{-1} + (G_{LP} + G_{HP})z^{-2} = \left(\frac{1+r^2}{2}\right) - (1+r^2)\cos\omega_0 z^{-1} + \left(\frac{1+r^2}{2}\right)z^{-2} \quad (6.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น

$$G_{LP} + G_{HP} = \frac{1+r^2}{2} \quad (6.10)$$

$$2(G_{LP} - G_{HP}) = -(1+r^2)\cos\omega_0 \quad (6.11)$$

เมื่อทำการแก้สมการ (6.10) และ (6.11) จะได้

$$G_{LP} = \frac{1+r^2 - (1+r^2)\cos\omega_0}{4} \quad (6.12)$$

$$G_{HP} = \frac{1+r^2 + (1+r^2)\cos\omega_0}{4} \quad (6.13)$$

ในส่วนของ G_{BP} จะพิจารณาจากเทอมเศษของสมการฟังก์ชันถ่ายโอนดิจิทัลของวงจรรองผ่านตลอดตั้งสมการที่ (6.14) เมื่อจัดให้อยู่ในรูปฟังก์ชันถ่ายโอนของวงจรรองความถี่แถบผ่านจะได้ตั้งสมการที่ (6.15)

$$H_{AP}(z) = H_{BS}(z) - H_{BP}(z) \quad (6.14)$$

$$H_{BP}(z) = H_{BS}(z) - H_{AP}(z) \quad (6.15)$$

จากสมการที่ (6.15) จะพบว่าฟังก์ชันถ่ายโอนดิจิทัลของวงจรรองความถี่ผ่านจะหาได้จากการนำฟังก์ชันถ่ายโอนของวงจรรองแถบหยุดตั้งและลบด้วยวงจรรองผ่านตลอด ดังนั้นจากฟังก์ชันถ่ายโอนของวงจรรอง Notch ในสมการที่ (6.2) ถ้าต้องการทำให้เป็นวงจรรองความถี่แถบผ่านจะต้องสร้างวงจรรองผ่านตลอดขึ้นมา โดยการนำ mirror image polynomial ในเทอมส่วนของสมการที่ (6.2) ดังนั้นจะได้ฟังก์ชันถ่ายโอนของวงจรรองผ่านตลอดดังนี้

$$H_{AP}(z) = \left[\frac{r^2 - (1+r^2)\cos\omega_0 z^{-1} + z^{-2}}{1 - (1+r^2)\cos\omega_0 z^{-1} + r^2 z^{-2}} \right] \quad (6.16)$$

แทนสมการที่ (6.2) และ (6.16) ในสมการที่ (6.15) ดังนั้นฟังก์ชันถ่ายโอนของวงจรรองแถบความถี่ผ่านแสดงตั้งสมการที่ (6.17)

$$H_{BP}(z) = \frac{1+r^2}{2} \left[\frac{1-2\cos\omega_0 z^{-1} + z^{-2}}{1-(1+r^2)\cos\omega_0 z^{-1} + r^2 z^{-2}} \right] - \left[\frac{r^2 - (1+r^2)\cos\omega_0 z^{-1} + z^{-2}}{1-(1+r^2)\cos\omega_0 z^{-1} + r^2 z^{-2}} \right] \quad (6.17)$$

แทนฟังก์ชันถ่ายโอนของวงจรรองแถบความถี่ผ่านดังสมการที่ (6.18) ในสมการที่ (6.17) จะได้ผลดังสมการที่ (6.19)

$$H_{BP}(z) = \frac{G_{BP}(1-z^{-2})}{1+d_1 z^{-1} + d_2 z^{-2}} \quad (6.18)$$

$$\frac{G_{BP}(1-z^{-2})}{1+d_1 z^{-1} + d_2 z^{-2}} = \frac{1+r^2}{2} \left[\frac{1-2\cos\omega_0 z^{-1} + z^{-2}}{1-(1+r^2)\cos\omega_0 z^{-1} + r^2 z^{-2}} \right] - \left[\frac{r^2 - (1+r^2)\cos\omega_0 z^{-1} + z^{-2}}{1-(1+r^2)\cos\omega_0 z^{-1} + r^2 z^{-2}} \right] \quad (6.19)$$

เมื่อพิจารณาเทอมเศษของสมการที่ (6.19) จะได้ดังสมการที่ (6.20)

$$G_{BP}(1-z^{-2}) = \left[\left(\frac{1+r^2}{2} \right) - (1+r^2)\cos\omega_0 z^{-1} + \left(\frac{1+r^2}{2} \right) z^{-2} \right] - \left[r^2 - (1+r^2)\cos\omega_0 z^{-1} + z^{-2} \right] \quad (6.20)$$

ทำการแก้สมการที่ (6.20) จะได้ดังสมการที่ (6.21)

$$G_{BP} = \frac{1-r^2}{2} \quad (6.21)$$

ขั้นตอนสุดท้ายกำหนดให้ α และ β เป็นพารามิเตอร์ที่สามารถปรับจูนได้ โดยมีค่าดังสมการ (6.22) - (6.23) ตามลำดับ

$$\beta = \cos\omega_0 \quad (6.22)$$

$$\alpha = r^2 \quad (6.23)$$

ดังนั้นจากสมการที่ (6.7), (6.8), (6.12), (6.13), และ (6.21) จะสามารถเขียนให้อยู่ในรูปพารามิเตอร์ที่สามารถปรับจูนได้ (α, β) ดังนี้

$$d_1 = -(1 + \alpha)\beta \tag{6.24}$$

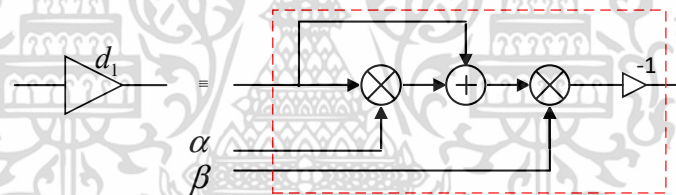
$$d_2 = \alpha \tag{6.25}$$

$$G_{LP} = \frac{1}{4}(1 - \beta)(1 + \alpha) \tag{6.26}$$

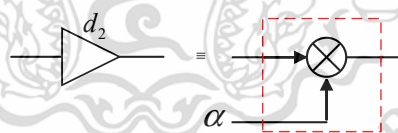
$$G_{HP} = \frac{1}{4}(1 + \beta)(1 + \alpha) \tag{6.27}$$

$$G_{BP} = \frac{1}{2}(1 - \alpha) \tag{6.28}$$

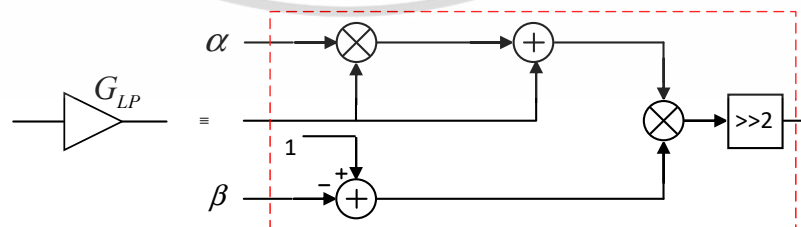
จากความสัมพันธ์ในสมการที่ (6.24) - (6.28) ค่าพารามิเตอร์ที่สามารถปรับจูนได้นี้จะเขียนเป็นแผนภาพบล็อกได้ดังภาพที่ 6.2 ถึงภาพที่ 6.6



ภาพที่ 6.2 แผนภาพบล็อกของค่าสัมประสิทธิ์ d_1 ที่สามารถปรับจูนได้

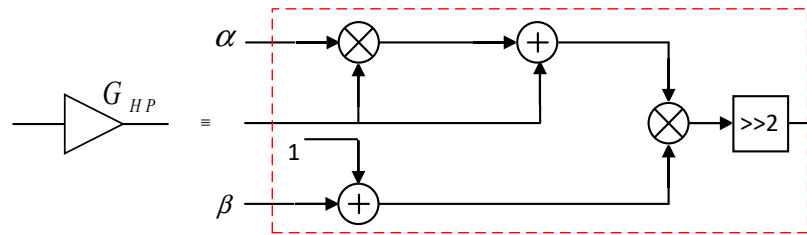


ภาพที่ 6.3 แผนภาพบล็อกของค่าสัมประสิทธิ์ d_2 ที่สามารถปรับจูนได้

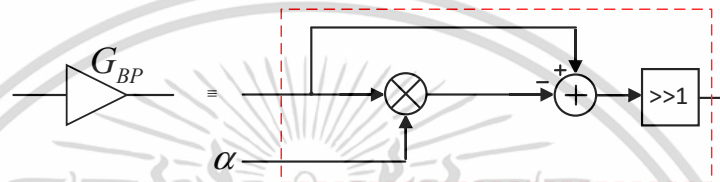


ภาพที่ 6.4 แผนภาพบล็อกของค่าสัมประสิทธิ์ G_{LP} ที่สามารถปรับจูนได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

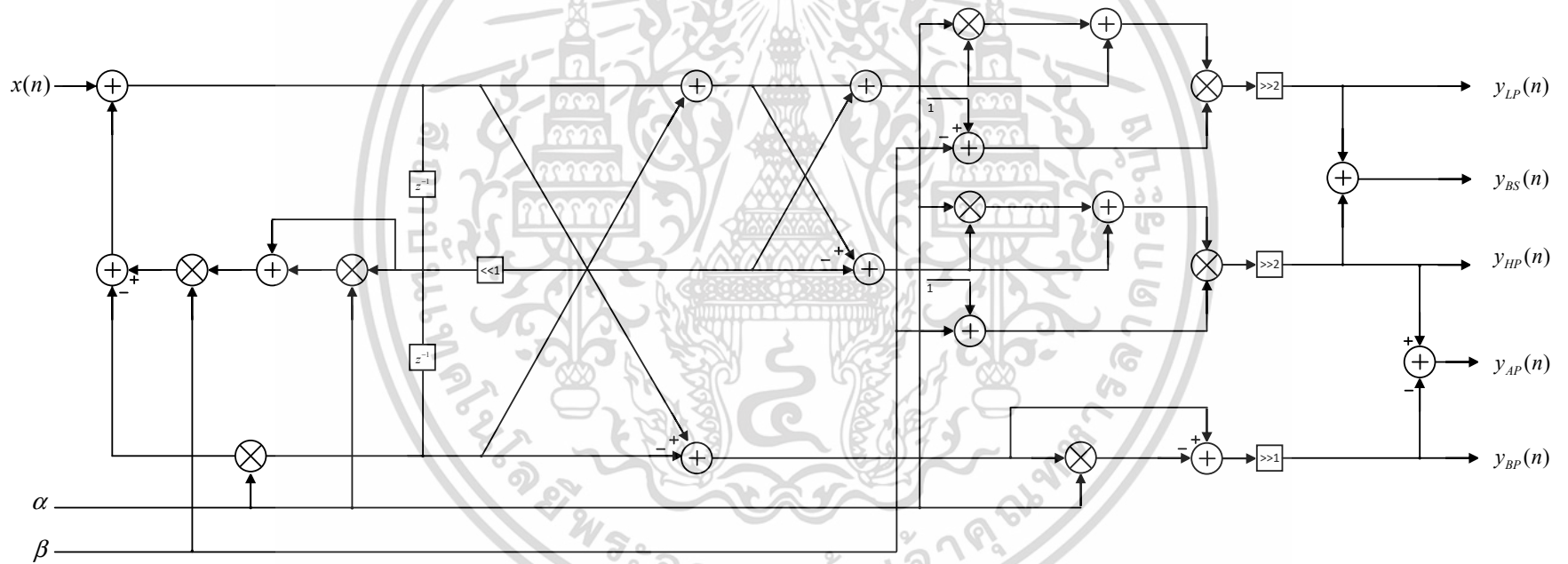


ภาพที่ 6.5 แผนภาพบล็อกของค่าสัมประสิทธิ์ G_{HP} ที่สามารถปรับจูนได้



ภาพที่ 6.6 แผนภาพบล็อกของค่าสัมประสิทธิ์ G_{BP} ที่สามารถปรับจูนได้

สัญลักษณ์ $\gg 1$ และ $\gg 2$ หมายถึงการเลื่อนบิตไปทางขวา 1 บิต และ 2 บิต เพื่อใช้แทนตัวคูณ $1/2$ และ $1/4$ ตามลำดับ ตั้งนั้นจากภาพที่ 6.2 ถึงภาพที่ 6.6 เมื่อนำไปเขียนเป็นโครงสร้างรวมของวงจรกรองสัญญาณดิจิทัลไบควอดเรติกหลายเอาต์พุตที่ปรับจูนได้ทันที แสดงดังภาพที่ 6.7



ภาพที่ 6.7 แผนภาพบล็อกโครงสร้างรวมของวงจรกรองสัญญาณดิจิทัลไปควอเตรตีกหลายเอาต์พุตที่ปรับจูนได้ทันที

จากสมการที่ (6.23) แสดงให้เห็นว่าพารามิเตอร์ α จะสัมพันธ์กับ r^2 ซึ่งจะส่งผลถึงความกว้างแคบของแบนด์วิดท์ ดังนั้นสำหรับความสัมพันธ์ระหว่าง α กับแบนด์วิดท์ (bw) จะสามารถหาได้จากความสัมพันธ์ของ d_2 ในสมการที่ (6.1) ดังนี้

$$d_2 = k\Omega_0^2 - k\left(\frac{\Omega_0}{Q}\right) + k$$

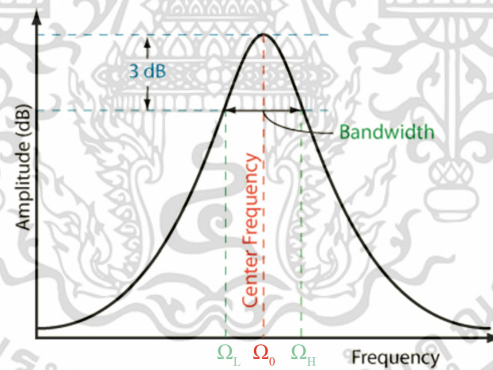
โดย

$$k = \frac{1}{\Omega_0^2 + \frac{\Omega_0}{Q} + 1}$$

ดังนั้น

$$\alpha = d_2 = \frac{(1 + \Omega_0^2) - \Omega_0 / Q}{(1 + \Omega_0^2) + \Omega_0 / Q} \quad (6.29)$$

เมื่อพิจารณาพารามิเตอร์ในผลตอบสนองทางขนาดของวงจรรองความถี่แถบผ่านในภาพที่ 6.8 โดยมองให้อยู่ในรูปความถี่เชิงมุมจะได้ความสัมพันธ์ดังสมการที่ (6.30)



ภาพที่ 6.8 พารามิเตอร์ของวงจรรองความถี่แถบผ่าน

$$\Omega_{bw} = \Omega_H - \Omega_L \Rightarrow Q = \frac{\Omega_0}{\Omega_{bw}} = \frac{\Omega_0}{\Omega_H - \Omega_L} \quad (6.30)$$

- เมื่อ Ω_0 คือความถี่กลางของวงจรรองความถี่แถบผ่าน
 Ω_L คือความถี่ตัดฝั่งความถี่ต่ำของวงจรรองความถี่แถบผ่าน
 Ω_H คือความถี่ตัดฝั่งความถี่สูงของวงจรรองความถี่แถบผ่าน
 Q คือค่าควอลิตี้แฟกเตอร์
 Ω_{bw} คือแบนด์วิดท์ของวงจรรองความถี่แถบผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทั่วไปแล้ว Ω_0 คือค่าเฉลี่ยของความถี่ Ω_L และ Ω_H ดังนี้

$$\Omega_0 = \sqrt{\Omega_H \times \Omega_L} \quad (6.31)$$

แทนค่าสมการที่ (6.30) และ (6.31) ใน (6.29) จะได้

$$\alpha = \frac{(1 + \Omega_H \Omega_L) - (\Omega_H - \Omega_L)}{(1 + \Omega_H \Omega_L) + (\Omega_H - \Omega_L)}$$

$$\alpha = \frac{1 - \frac{(\Omega_H - \Omega_L)}{(1 + \Omega_H \Omega_L)}}{1 + \frac{(\Omega_H - \Omega_L)}{(1 + \Omega_H \Omega_L)}} \quad (6.32)$$

ทำการแปลงให้อยู่รูปความถี่เชิงจัทส์โดยการแทน $\Omega_H = \tan(\omega_H / 2)$ และ $\Omega_L = \tan(\omega_L / 2)$ ในสมการที่ (6.32) จะได้ตั้งสมการที่ (6.33)

$$\alpha = \frac{1 - \frac{(\tan(\omega_H / 2) - \tan(\omega_L / 2))}{(1 + \tan(\omega_H / 2) \tan(\omega_L / 2))}}{1 + \frac{(\tan(\omega_H / 2) - \tan(\omega_L / 2))}{(1 + \tan(\omega_H / 2) \tan(\omega_L / 2))}} \quad (6.33)$$

โดยแทนความสัมพันธ์ที่ตั้งสมการที่ (6.34)

$$\tan(A - B) = \frac{\tan(A) - \tan(B)}{1 + \tan(A) \tan(B)} \quad (6.34)$$

ดังนั้น

$$\alpha = \frac{1 - \tan\left(\frac{\omega_H - \omega_L}{2}\right)}{1 + \tan\left(\frac{\omega_H - \omega_L}{2}\right)}$$

$$= \frac{1 - \tan\left(\frac{\omega_{bw}}{2}\right)}{1 + \tan\left(\frac{\omega_{bw}}{2}\right)}$$

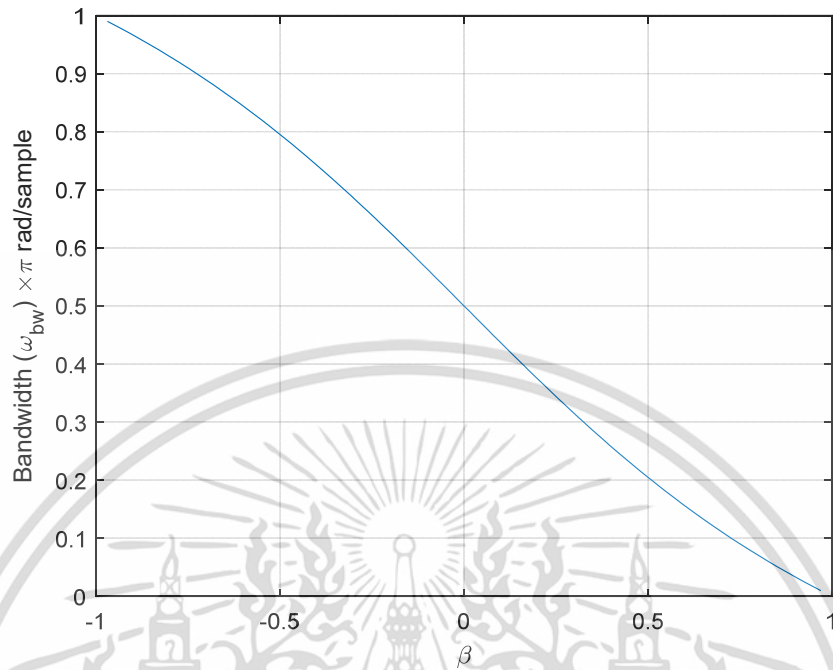
เพราะฉะนั้น

$$\alpha = \frac{1 - \Omega_{bw}}{1 + \Omega_{bw}} \quad (6.35)$$

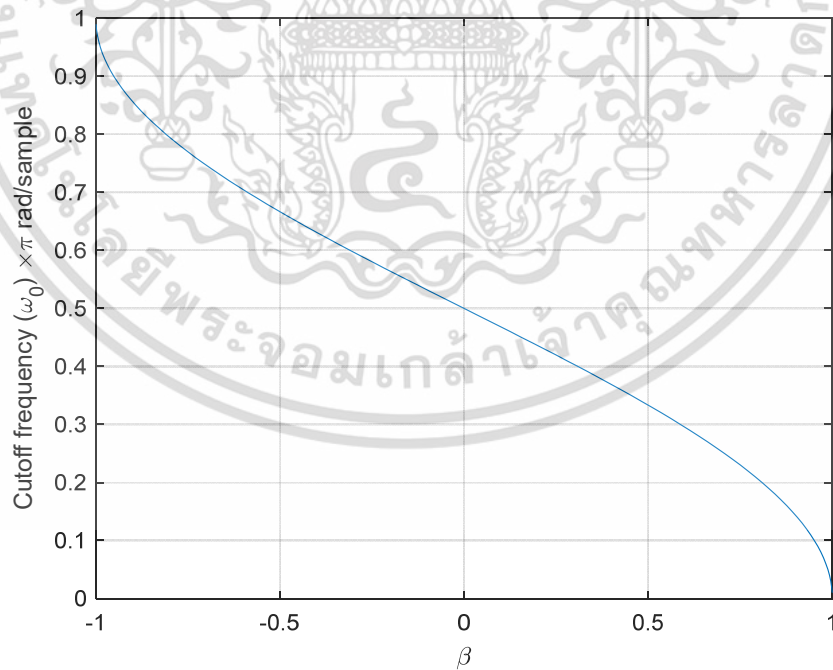
เมื่อ Ω_{bw} คือ แบนด์วิดท์ในรูปของความถี่เชิงมุมมีหน่วยเป็น *rad/sec*

ω_{bw} คือ แบนด์วิดท์ในรูปของความถี่ดิจิทัลมีหน่วยเป็น *rad*

จากสมการความสัมพันธ์ของ α และ β ดังสมการที่ (6.35) และ (6.22) จะสามารถสร้างกราฟความสัมพันธ์ได้ดังภาพที่ 6.9 และ ภาพที่ 6.10 ตามลำดับ โดยถ้าแยกวิเคราะห์ความสัมพันธ์นั้นคือ α จะสัมพันธ์กับแบนด์วิดท์ และ β จะสัมพันธ์กับความถี่กลางของวงจรรอง (ω_0) ดังนั้นวงจรรองสัญญาณดิจิทัลไปคอเวอเรจที่ปรับจูนได้ทันที ที่นำเสนอในหัวข้อนี้จึงเหมาะสมเป็นอย่างยิ่งสำหรับการประยุกต์ใช้งานกับวงจรรองความถี่แถบผ่านและวงจรรองความถี่แถบหยุด เพราะพารามิเตอร์ α และ β สามารถปรับจูนคุณสมบัติของวงจรรองแยกอิสระออกจากกัน ซึ่งจะเหมือนกับวงจรรองแอนะล็อกที่สามารถปรับจูนคุณสมบัติได้



ภาพที่ 6.9 กราฟความสัมพันธ์ของ α และ ω_{bw}



ภาพที่ 6.10 กราฟความสัมพันธ์ของ β และ ω_0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างไรก็ตามวิธีการออกแบบที่นำเสนอในหัวข้อนี้ก็ยังสามารถประยุกต์ใช้งานกับวงจรกรองชนิดความถี่ต่ำผ่านและความถี่สูงผ่านได้ แต่จะมีความซับซ้อนขึ้นเล็กน้อย เนื่องจากถ้าพิจารณาพารามิเตอร์แบนด์วิดท์จะพบความสัมพันธ์ของความถี่กลางและค่าควอลิตี้แฟกเตอร์ (Q) ที่ซ่อนอยู่ดังนี้ $bw = \Omega_0 / Q$ ซึ่งโดยทั่วไปการออกแบบวงจรกรองชนิดความถี่ต่ำผ่านและความถี่สูงผ่านจะกำหนดค่า Q ให้เท่ากับ 0.707 เพื่อให้ผลตอบสนองเป็น maximally flat ดังนั้นถ้าต้องการปรับความถี่ตัดของวงจรกรองจะต้องปรับพารามิเตอร์ α และ β ทั้งสองตัว

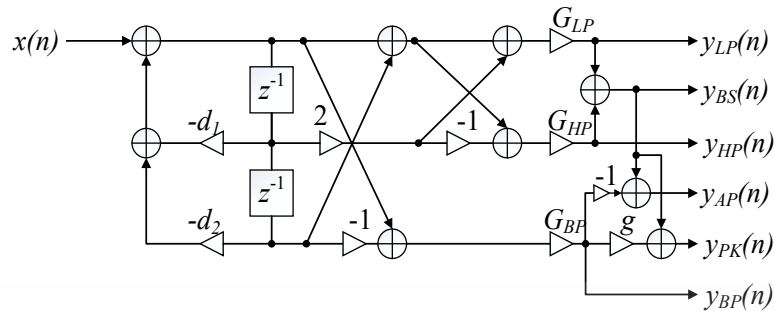
6.2 การออกแบบพารามิเตอร์อ็ควอไลเซอร์ดิจิทัลแบบอสมมาตรที่ปรับจูนได้ทันที

พารามิเตอร์อ็ควอไลเซอร์อันประกอบไปด้วยวงจรกรอง Peaking, วงจรกรองความถี่ต่ำผ่าน Shelving, และวงจรกรองความถี่สูงผ่าน Shelving ซึ่งเมื่อพิจารณาถึงที่มาของวงจรกรองทั้ง 3 จะพบว่ามีพื้นฐานมาจากการรวมกันของวงจรกรองความถี่ต่ำผ่าน, วงจรกรองความถี่สูงผ่าน, และวงจรกรองความถี่แถบผ่าน ดังนั้นจึงเหมาะสมที่จะออกแบบพารามิเตอร์อ็ควอไลเซอร์โดยประยุกต์มาจากวงจรกรองดิจิทัลไบควอดเรติกหลายเอาต์พุตที่ปรับจูนได้ทันที

6.2.1 การออกแบบวงจรกรอง Peaking แบบอสมมาตรที่ปรับจูนได้ทันที

จากวิธีการออกแบบวงจรกรอง Peaking แบบอสมมาตรในบทที่ 5 จะแบ่งออกเป็น 2 วิธี คือ วิธีที่ 1 การแยกอัตรายายไว้ที่โครงสร้าง กับวิธีที่ 2 การรวมเอาอัตรายายไว้ที่สมการเมทริกซ์ ซึ่งวิธีที่เหมาะสมสำหรับการนำมาออกแบบวงจรกรอง Peaking ให้สามารถปรับจูนคุณลักษณะได้ทันทีคือ วิธีที่ 1 การแยกอัตรายายไว้ที่โครงสร้าง ทำให้สามารถปรับจูนอัตรายายได้อย่างอิสระโดยไม่จำเป็นต้องกลับไปคำนวณสมการเมทริกซ์ใหม่ โดยวงจรกรอง Peaking จำเป็นต้องปรับจูนพารามิเตอร์ทั้งหมด 3 ค่าคือ อัตรายาย (g), ความถี่กลาง (ω_0), และแบนด์วิดท์ (bw) เมื่อพิจารณาเปรียบเทียบแล้วจะคล้ายกับวงจรกรองความถี่แถบผ่าน และวงจรกรองความถี่แถบหยุด ดังนั้นเทคนิคที่จะนำมาประยุกต์ออกแบบเป็นวงจรกรอง Peaking แบบอสมมาตรที่ปรับจูนคุณลักษณะได้ทันทีคือการประยุกต์ใช้วงจรกรองสัญญาณดิจิทัลไบควอดเรติกหลายเอาต์พุตที่ปรับจูนได้ทันทีเป็นพื้นฐานในการออกแบบ

เมื่อพิจารณาสมการเมทริกซ์ (6.1) รวมถึงโครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรอง Peaking แบบอสมมาตรสำหรับวิธีการออกแบบที่ 1 ดังภาพที่ 6.11 ซึ่งเป็นเครื่องมือในการออกแบบวงจรกรอง Peaking แบบอสมมาตร ที่ถูกนำเสนอในหัวข้อ 5.2.4

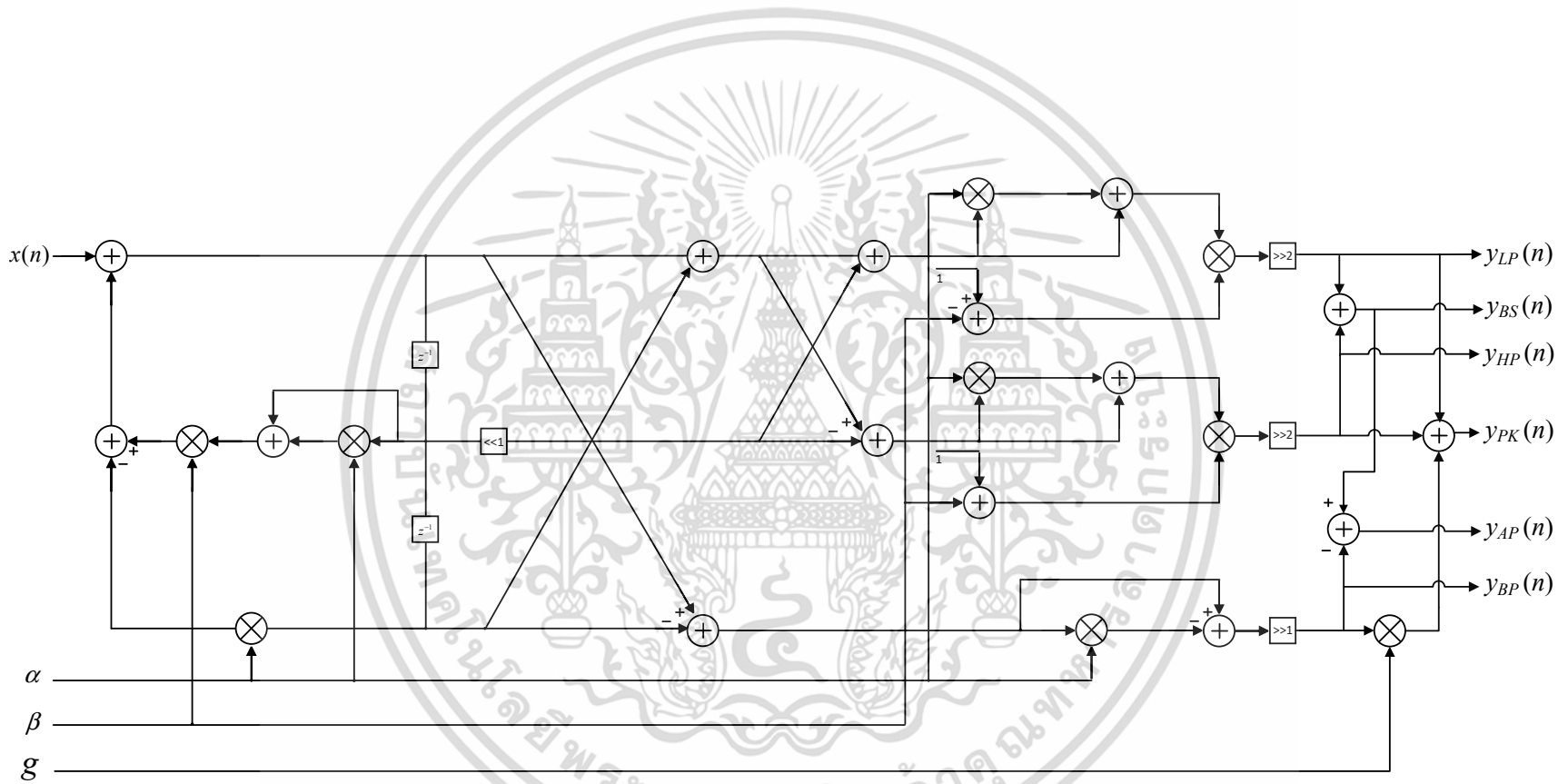


ภาพที่ 6.11 โครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรอง Peaking แบบอสมมาตรสำหรับการออกแบบวิธีที่ 1

เปรียบเทียบภาพที่ 6.11 กับการออกแบบวงจรกรองสัญญาณดิจิทัลไปคอแควเรติกหลายเอาต์พุตที่ปรับจูนได้ในภาพที่ 6.7 จะพบความคล้ายคลึงกันเนื่องจากมีที่มาจาก การออกแบบวงจรกรองไปคอแควเรติกแบบหลายเอาต์พุตเหมือนกัน ดังนั้น การออกแบบวงจรกรอง Peaking แบบอสมมาตรที่ปรับจูนได้ทันที จึงสามารถประยุกต์ใช้โครงสร้างวงจรกรองสัญญาณดิจิทัลไปคอแควเรติกหลายเอาต์พุตที่ปรับจูนได้ในภาพที่ 6.7 โดยจะต้องทำการปรับแต่งโครงสร้างตามสมการที่ (6.36) เพื่อให้ได้เอาต์พุตของวงจรกรอง Peaking (y_{PK}) ดังภาพที่ 6.12 ซึ่งวิธีการที่น่าเสนอนี้ยังคงมีคุณสมบัติของวงจรหลายเอาต์พุต กล่าวคือยังคงได้เอาต์พุตของวงจรกรองความถี่ต่ำผ่าน: y_{LP} , วงจรกรองความถี่สูงผ่าน: y_{HP} , วงจรกรองความถี่แถบผ่าน: y_{BP} , วงจรกรองความถี่แถบหยุด: y_{BS} , และวงจรกรองผ่านตลอด: y_{AP} ออกมาพร้อมกับวงจรกรอง Peaking ด้วย

$$y_{PK}(n) = y_{LP}(n) + g y_{BP}(n) + y_{HP}(n) \quad (6.36)$$

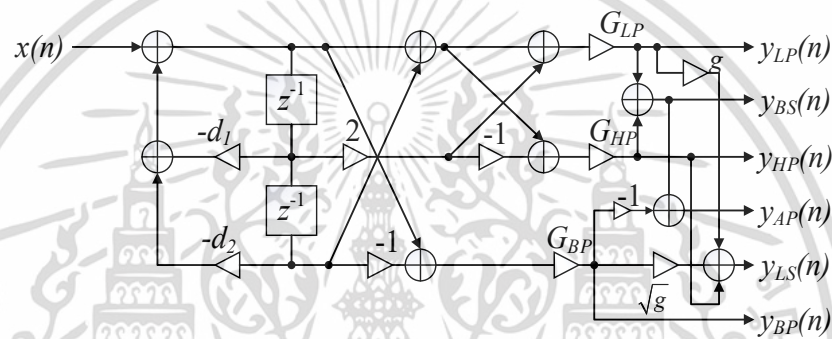
จากโครงสร้างวงจรกรองในภาพที่ 6.12 จะมีพารามิเตอร์สำหรับปรับจูน 3 ตัวคือ α , β , และ g โดย จะสัมพันธ์กับแบนด์วิดท์ (bw), ความถี่กลาง (ω_0), และอัตราขยาย ของวงจรกรอง Peaking ตามลำดับ ซึ่งความสัมพันธ์ของ α กับ bw จากสมการที่ (6.35) จะแสดงดังภาพที่ 6.9 รวมถึงความสัมพันธ์ของ β กับ ω_0 จากสมการ (6.22) จะแสดงดังภาพที่ 6.10



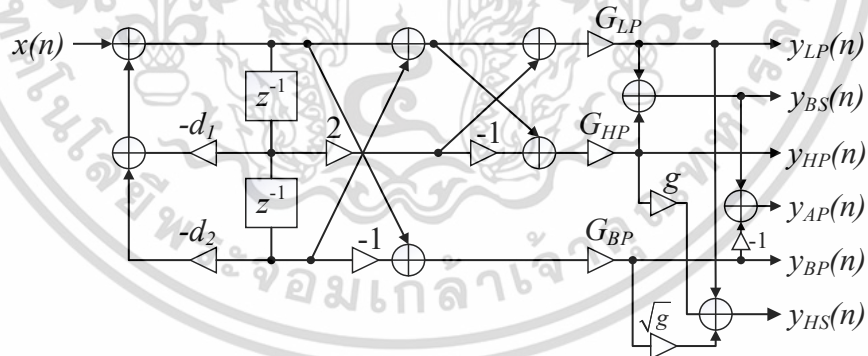
ภาพที่ 6.12 วงจรกรอง Peaking แบบอสมมาตรที่ปรับจูนคุณลักษณะได้ทันที

6.2.1 การออกแบบวงจรกรอง Shelving แบบสมมาตรที่ปรับจูนได้ทันที

การออกแบบวงจรกรองความถี่ต่ำผ่าน Shelving และวงจรกรองความถี่สูงผ่าน Shelving จะมีพื้นฐานการออกแบบที่ใกล้เคียงกัน ดังนั้นจึงขออธิบายรวมกันในหัวข้อนี้ โดยการออกแบบจะกระทำในลักษณะคล้ายกับวงจรกรอง Peaking ที่ปรับจูนคุณลักษณะได้ทันทีที่ดังนั้นก็อาศัยพื้นฐานมากจากการออกแบบวงจรกรองความถี่ต่ำผ่านและความถี่สูงผ่าน Shelving แบบสมมาตรวิธีที่ 1 ในบทที่ 5 ซึ่งเมื่อพิจารณาสมการเมทริกซ์ (6.1) ร่วมกับภาพที่ 6.13 และภาพที่ 6.14 สำหรับวงจรกรองความถี่ต่ำผ่านและความถี่สูงผ่าน Shelving ตามลำดับ



ภาพที่ 6.13 โครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรองความถี่ต่ำผ่าน Shelving แบบสมมาตรสำหรับการออกแบบวิธีที่ 1



ภาพที่ 6.14 โครงสร้างวงจรกรองหลายเอาต์พุตพร้อมวงจรกรองความถี่สูงผ่าน Shelving แบบสมมาตรสำหรับการออกแบบวิธีที่ 1

ทำการปรับเปลี่ยนโครงสร้างที่สามารถปรับจูนได้ทันทีดังภาพที่ 6.7 โดยพิจารณาสมการเอาต์พุตของวงจรกรองความถี่ต่ำผ่าน และความถี่สูงผ่าน Shelving ดังสมการที่ (6.37) และ (6.38) ในลักษณะเดียวกับวงจรกรอง Peaking ในหัวข้อก่อนหน้า ดังนั้นจะได้โครงสร้างของวงจรกรองหลาย

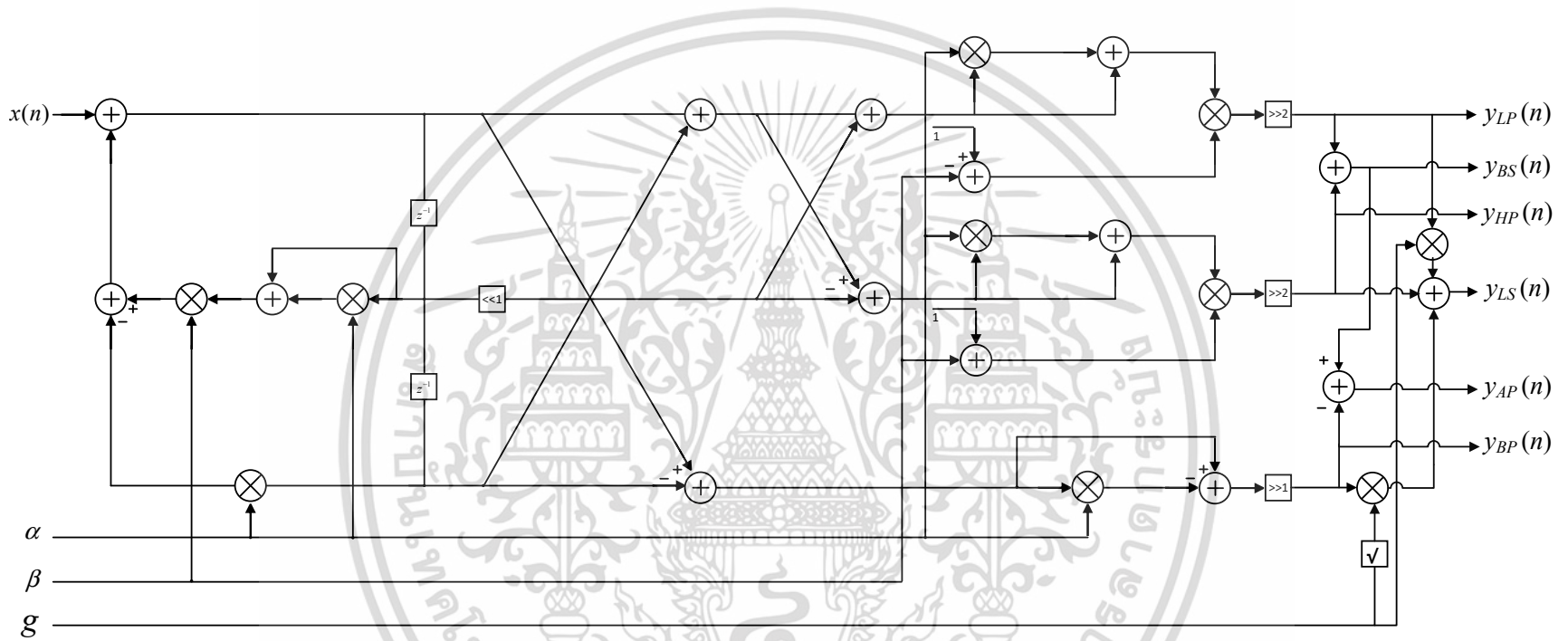
เอาต์พุตของความถี่ต่ำผ่าน (y_{LS}) และความถี่สูงผ่าน (y_{HS}) Shelving แสดงดังภาพที่ 6.15 และภาพที่ 6.16 ตามลำดับ

$$y_{LS}(n) = gy_{LP}(n) + y_{HP}(n) + \sqrt{g}y_{BP}(n) \quad (6.37)$$

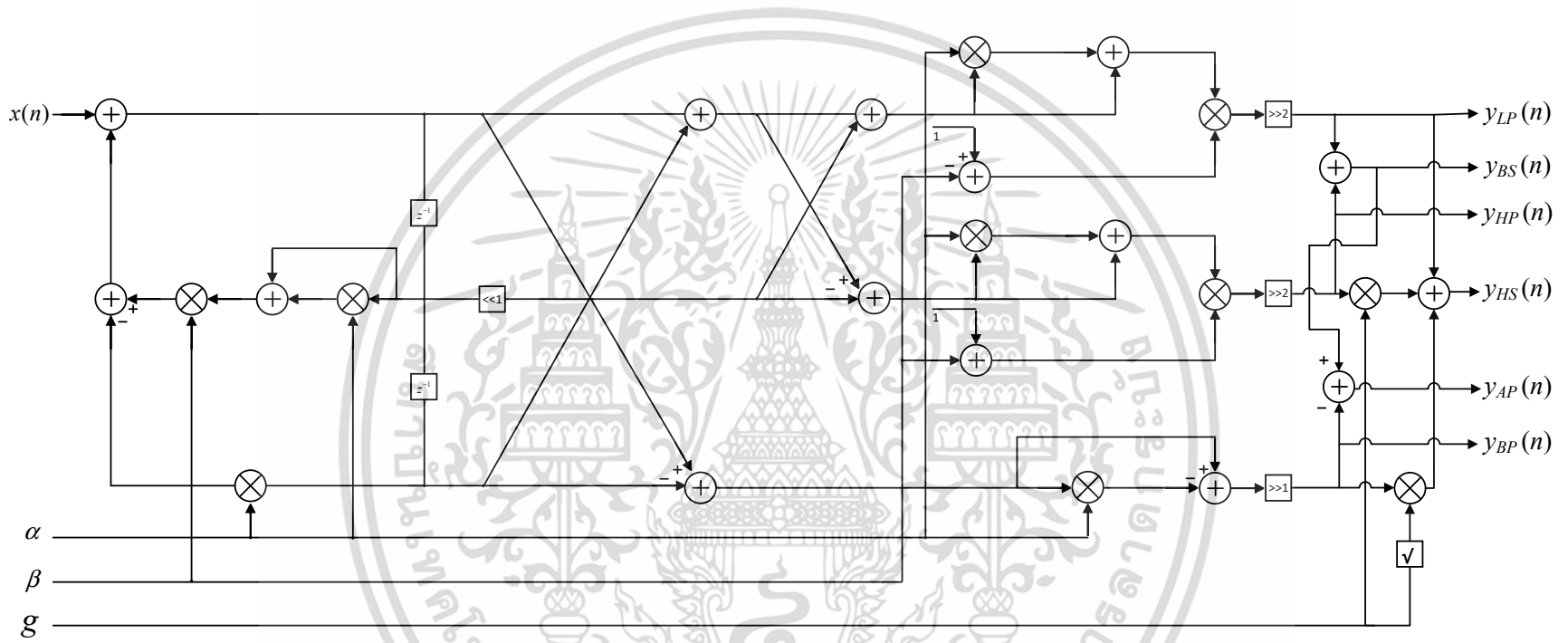
$$y_{HS}(n) = gy_{LP}(n) + y_{HP}(n) + \sqrt{g}y_{BP}(n) \quad (6.38)$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 6.15 วงจรกรองความถี่ต่ำผ่าน Shelving แบบอสมมาตรที่ปรับจูนคุณลักษณะได้ทันที



ภาพที่ 6.16 วงจรกรองความถี่สูงผ่าน Shelving แบบอสมมาตรที่ปรับจูนคุณลักษณะได้ทันที

โดยคุณสมบัติที่ต้องการปรับจูนของวงจรรองทั้งสองคืออัตราขยายและความถี่ตัด (ในกรณีของวงจรรองความถี่ต่ำผ่าน Shelving และวงจรรองความถี่สูงผ่าน Shelving จะขอนิยาม Ω_0 จากความถี่ศูนย์กลางเป็นความถี่ตัด Ω_c) ส่วนแบนด์วิดท์ที่สัมพันธ์กับค่าควอลิตี้แฟกเตอร์ (Q) ไม่จำเป็นต้องปรับจูนแต่ต้องทำให้ควอลิตี้แฟกเตอร์เป็นค่าคงที่ โดยจะกำหนดให้เท่ากับ 0.707 เพื่อป้องกันไม่ให้เกิดกรณี Over damping และ Under damping

แต่ในวงจรรองสัญญาณดิจิทัลไปคอเดอติคหลายเอาต์พุตที่ปรับจูนได้จะมีพารามิเตอร์ที่ปรับจูน 2 ค่าคือ α และ β โดยที่ β จะมีความสัมพันธ์กับความถี่ตัดดังสมการที่ (6.22) ซึ่งมันชัดเจนว่า β มีความสัมพันธ์โดยตรงกับความถี่ตัด และถ้าวิเคราะห์พารามิเตอร์ α จากสมการความสัมพันธ์ (6.35) ก็จะพบว่า α มีความสัมพันธ์โดยตรงกับแบนด์วิดท์เช่นเดียวกัน แต่เมื่อมองลึกลงไปถึงที่มีของแบนด์วิดท์ดังสมการที่ (6.39)

$$\Omega_{bw} = \frac{\Omega_c}{Q} \quad (6.39)$$

เมื่อมองแบนด์วิดท์ในรูปของสมการที่ (6.39) ทำให้ทราบว่าจริงๆ แล้วพารามิเตอร์ α จะมีความสัมพันธ์กับค่าควอลิตี้แฟกเตอร์ (Q) และความถี่ตัด (Ω_c) แต่ในการออกแบบนี้จะกำหนดค่า $Q = 0.707$ ดังนั้น α ก็จะเหลือความสัมพันธ์กับความถี่ตัดเพียงค่าเดียวเหมือนกับ β ทำให้การปรับค่าความถี่ตัดจะต้องปรับจูน α และ β ให้สัมพันธ์กัน แต่ในมุมมองของการใช้งานจริงการปรับค่าความถี่ตัดควรปรับจูนจากพารามิเตอร์เพียงตัวเดียว เพื่อแก้ปัญหาดังกล่าววิทยานิพนธ์นี้จึงนำเสนอการออกแบบให้การปรับค่าความถี่ตัดจะทำการปรับจูน β เป็นหลัก จากนั้นหาความสัมพันธ์ระหว่าง α และ β เพื่อใช้ในการสร้างวงจรสำหรับปรับจูน α โดยอัตโนมัติ โดยความสัมพันธ์ของ α และ β จะหาได้จากสมการที่ (6.29) โดยแทนค่า $\Omega_c = \tan(\omega_c / 2)$ และ $Q = 0.707 = 1/\sqrt{2}$ จะได้ดังสมการที่ (6.40)

$$\alpha = \frac{\left(1 + \tan^2\left(\frac{\omega_c}{2}\right)\right) - \tan\left(\frac{\omega_c}{2}\right)\sqrt{2}}{\left(1 + \tan^2\left(\frac{\omega_c}{2}\right)\right) + \tan\left(\frac{\omega_c}{2}\right)\sqrt{2}} \quad (6.40)$$

ทำการแก้ปัญหาทางตรีโกณมิติในสมการที่ (6.41) จะได้ผลลัพธ์ดังสมการที่ (6.41)

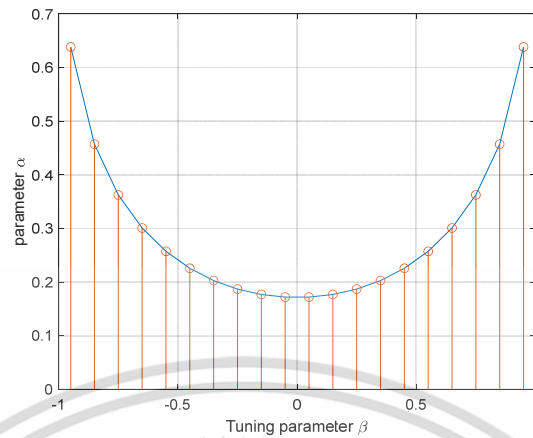
$$\alpha = \frac{\sqrt{2} - \sqrt{1 - \cos^2(\omega_c)}}{\sqrt{2} + \sqrt{1 - \cos^2(\omega_c)}} \quad (6.41)$$

แทน $\beta = \cos \omega_0$ ในสมการที่ (6.41) จะได้

$$\alpha = \frac{\sqrt{2} - \sqrt{1 - \beta^2}}{\sqrt{2} + \sqrt{1 - \beta^2}} \quad (6.42)$$

จากสมการที่ (6.42) เมื่อพิจารณาในมุมของการสร้างจริงผ่านวงจรถิถีทลจะมีความซับซ้อนในการออกแบบ ดังนั้นเพื่อแก้ปัญหาดังกล่าวจะต้องแปลงความสัมพันธ์ดังกล่าวให้อยู่ในรูปของสมการ polynomial โดยสามารถดำเนินการได้ จากการทำ polynomial regression ด้วยการประมาณค่า least squares ดังต่อไปนี้

- กำหนดให้ β เป็นพารามิเตอร์สำหรับการปรับจูน โดยกำหนดให้ $\beta \in [-0.95, 0.95]$ ซึ่งจะสอดคล้องกับความถี่ตัด (ω_c) ที่ $0.1\pi - 0.9\pi$
- แต่ละค่าของ β ซึ่งสอดคล้องกับ ω_c ให้ทำการหาผลลัพธ์ของ α จากสมการที่ (6.42) ได้ผลดัง 1
- จาก 1 พารามิเตอร์ α สามารถพิจารณาได้เป็นข้อมูลสังเกตการณ์ ในขณะที่พารามิเตอร์ปรับจูน β จะพิจารณาเป็นตัวแปรอิสระ ดังนั้นการทำ polynomial regression บนพื้นฐานของการประมาณค่า least square จึงถูกนำมาใช้ในการสร้าง α จากสมการ polynomial ซึ่งได้มาจากการดำเนินการทำ polynomial fitting ดังกล่าว โดยลักษณะความสัมพันธ์ของข้อมูล α และ β สามารถแสดงกราฟความสัมพันธ์ได้ดังภาพที่ 6.17



ภาพที่ 6.17 ความสัมพันธ์ระหว่างค่าของ α และพารามิเตอร์ปรับจูน β

ตารางที่ 6.1 แสดงค่าผลลัพธ์ของ α สำหรับแต่ละค่าของ β จากความสัมพันธ์ในสมการที่ (6.42)

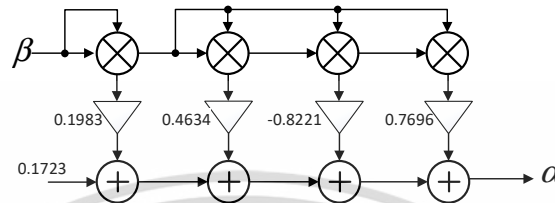
β	ω_c (rad)	α
-0.95	0.90π	0.6382
-0.85	0.82π	0.4571
-0.75	0.77π	0.3626
-0.65	0.73π	0.3009
-0.55	0.69π	0.2574
-0.45	0.65π	0.2258
-0.35	0.61π	0.2030
-0.25	0.58π	0.1871
-0.15	0.55π	0.1770
-0.05	0.52π	0.1721
0.05	0.48π	0.1721
0.15	0.45π	0.1770
0.25	0.42π	0.1871
0.35	0.39π	0.2030
0.45	0.35π	0.2258
0.55	0.31π	0.2574
0.65	0.27π	0.3009
0.75	0.23π	0.3626
0.85	0.18π	0.4571
0.95	0.10π	0.6382

จากความสัมพันธ์ที่แสดงในภาพที่ 6.17 นำไปสู่การดำเนินการผ่าน polynomial regression บนพื้นฐานของการประมาณค่า least squares โดยข้อมูลจาก 1 เมื่อผ่านกระบวนการ polynomial curve fitting จะได้สมการ polynomial ดังสมการที่ (6.43)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

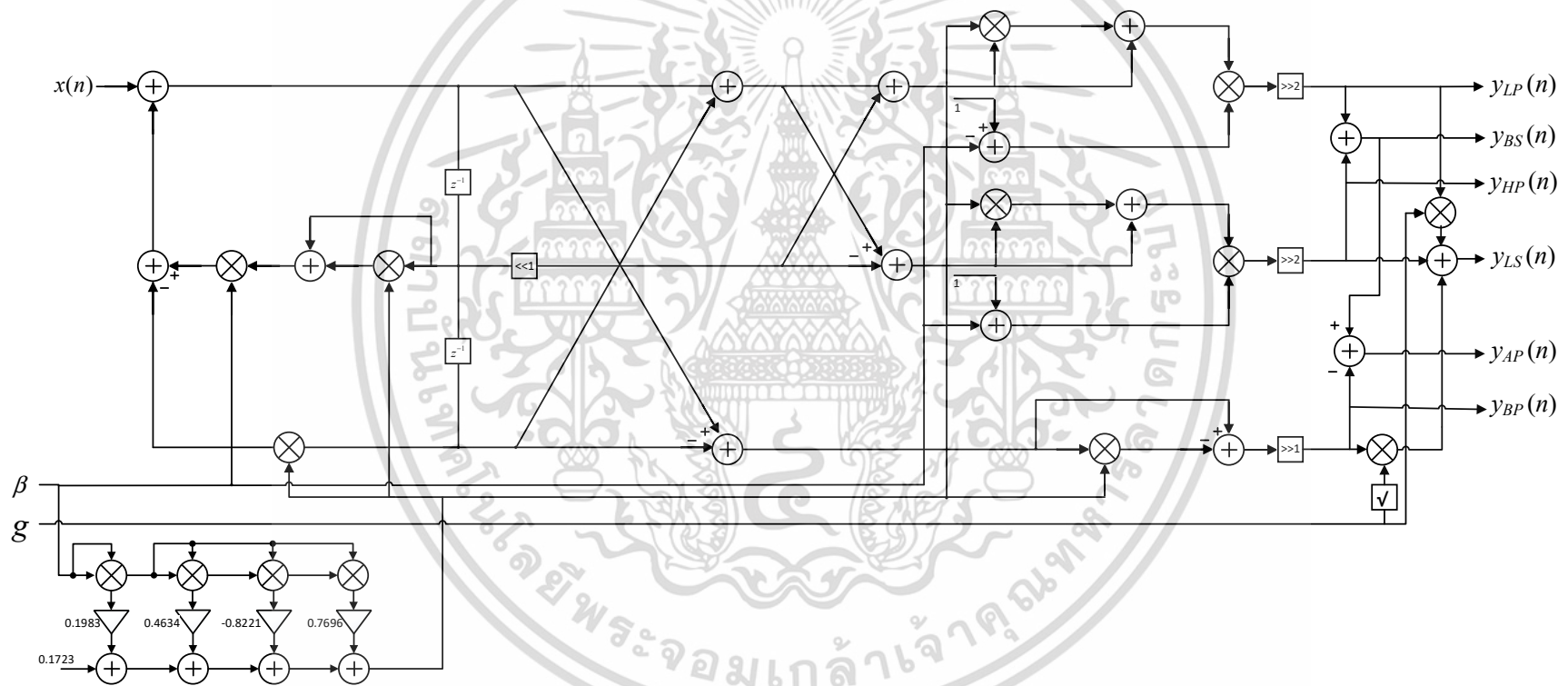
$$\alpha = 0.7696\beta^8 - 0.8221\beta^6 + 0.4634\beta^4 + 0.1983\beta^2 + 0.1723 \quad (6.43)$$

เมื่อนำมาเขียนในรูปโครงสร้างวงจรถอดได้ดังภาพที่ 6.18

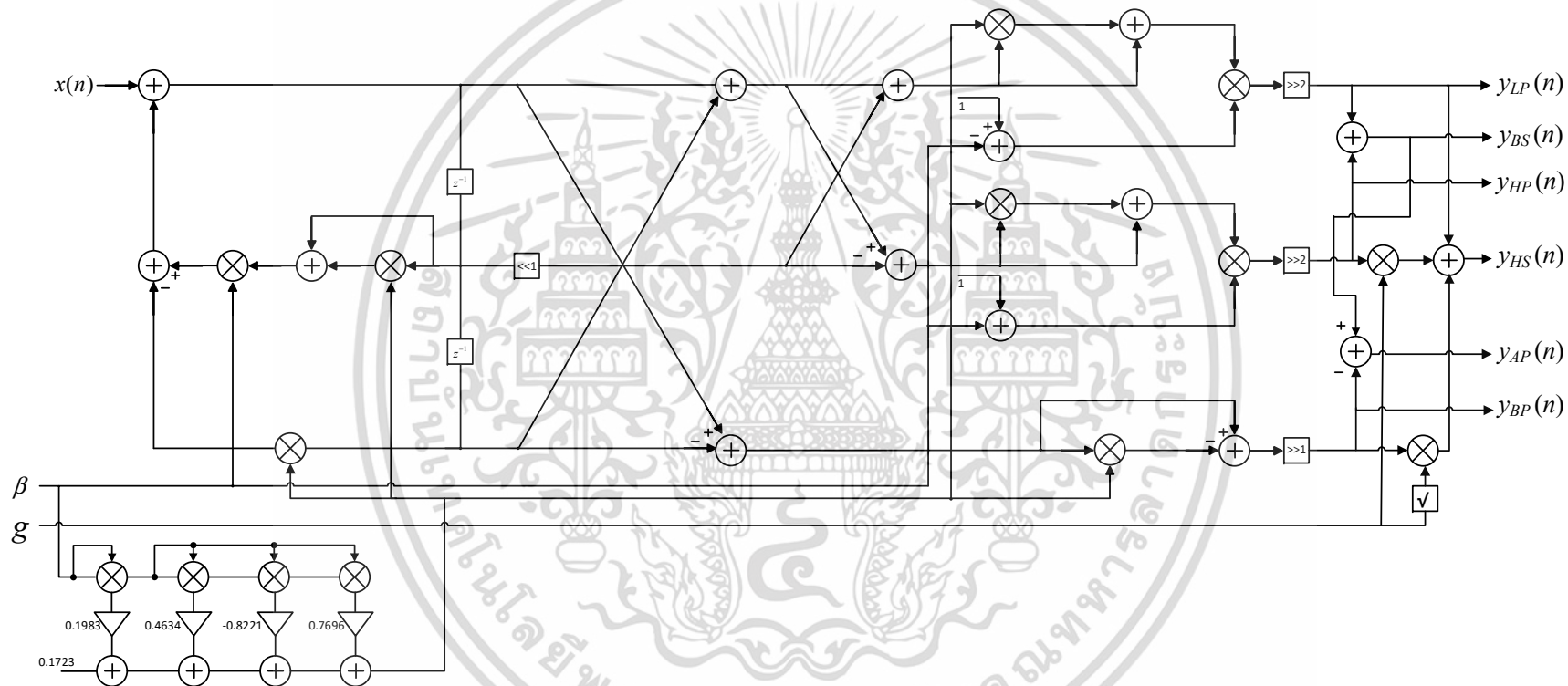


ภาพที่ 6.18 โครงสร้างการคำนวณสำหรับหาพารามิเตอร์ α จาก β

จากโครงสร้างการคำนวณหา α ที่นำเสนอนี้ทำให้ค่า α จะถูกปรับค่าโดยอัตโนมัติตามพารามิเตอร์ β ซึ่งถูกกำหนดค่าควอลิตี้แฟกเตอร์ไว้ที่ 0.707 ไว้แล้ว ดังนั้นเมื่อนำไปรวมกับโครงสร้างวงจรรองความถี่ต่ำผ่านและความถี่สูงผ่าน Shelving ในภาพที่ 6.15 และภาพที่ 6.16 จะได้โครงสร้างของวงจรรองความถี่ต่ำผ่านและความถี่สูงผ่าน Shelving แบบอสมมาตรที่ปรับจูนคุณลักษณะได้ทันทีร่วมกับการปรับ α ที่สัมพันธ์กับ β โดยอัตโนมัติดังภาพที่ 6.19 และภาพที่ 6.20 ตามลำดับ



ภาพที่ 6.19 วงจรกรองความถี่ต่ำผ่าน Shelving แบบอสมมาตรที่ปรับจูนคุณลักษณะได้ทันทีที่ร่วมกับการปรับ α ที่สัมพันธ์กับ β โดยอัตโนมัติ



ภาพที่ 6.20 วงจรกรองความถี่สูงผ่าน Shelving แบบอสมมาตรที่ปรับจูนคุณลักษณะได้ทันทีที่รวมกับการปรับ α ที่สัมพันธ์กับ β โดยอัตโนมัติ

6.3 การออกแบบพารามetriงอีควอไลเซอร์ดิจิทัลแบบสมมาตรที่ปรับจูนคุณลักษณะได้ทันที

จากข้อสรุปในบทที่ 5 จะพบความแตกต่างระหว่างวิธีการออกแบบพารามetriงอีควอไลเซอร์แบบสมมาตรและอสมมาตร คือในการออกแบบพารามetriงอีควอไลเซอร์แบบสมมาตรจะมีการปรับสเกลค่าควอลิตี้แฟกเตอร์หรือแบนวิดท์สำหรับวงจรรอง Peaking และพารามetriงความถี่ตัดสำหรับวงจรรอง Shelving [44] ซึ่งสรุปออกมาได้ดังตารางที่ 6.2 ดังนั้นการออกแบบพารามetriงอีควอไลเซอร์ดิจิทัลแบบสมมาตรที่ปรับจูนคุณลักษณะได้ทันที จะอาศัยพื้นฐานจากออกแบบพารามetriงอีควอไลเซอร์ดิจิทัลแบบอสมมาตรที่ปรับจูนคุณลักษณะได้ทันทีที่ร่วมกับเทคนิคการปรับสเกลดังกล่าว เพื่อให้กรณี boost และกรณี cut มีความสมมาตรกัน

ตารางที่ 6.2 พารามetriงที่ต้องปรับสเกลสำหรับการออกแบบพารามetriงอีควอไลเซอร์ดิจิทัลแบบสมมาตร

วงจรรอง	พารามetriงที่ต้องปรับสเกล	ค่าที่ต้องใช้ในการปรับสเกล
Peaking filter	Q	\sqrt{g}
	หรือ, Ω_{bw}	$1/\sqrt{g}$
Lowpass Shelving filter	Ω_0	$1/g^{1/4}$
Highpass Shelving filter	Ω_0	$g^{1/4}$

6.3.1 การออกแบบวงจรรอง Peaking แบบสมมาตรที่ปรับจูนคุณลักษณะได้ทันที

จากตารางที่ 6.2 ในส่วนของวงจรรอง Peaking จะมีความแตกต่างจากที่สรุปในบทที่ 5 เล็กน้อย เนื่องจากมีการเพิ่มการปรับสเกล Ω_{bw} อันมาจากความสัมพันธ์ระหว่าง Q และ Ω_{bw} ดังสมการที่ (6.44)

$$\Omega_{bw} = \frac{\Omega_0}{Q} \quad (6.44)$$

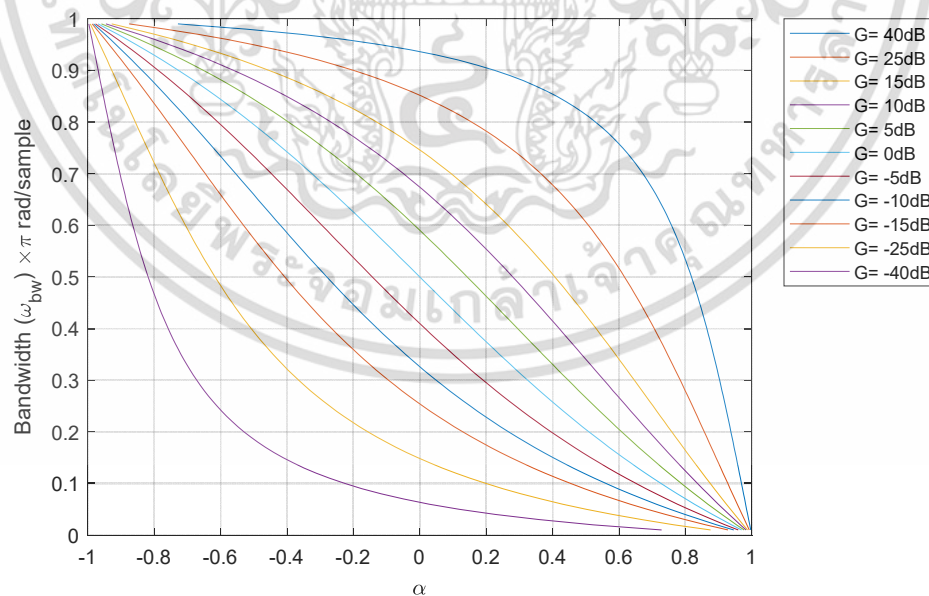
ดังที่ได้กล่าวไว้ในตอนต้นว่าการออกแบบในหัวข้อนี้จะมีพื้นฐานมาจากการออกแบบพารามetriงอีควอไลเซอร์ดิจิทัลแบบอสมมาตร ร่วมกับการปรับสเกลให้เกิดความสมมาตรขึ้น ดังนั้นการออกแบบจึงต้องมีการปรับปรุงสมการที่มาของพารามetriงปรับจูน ซึ่งถ้าวิเคราะห์ความสัมพันธ์ของพารามetriงปรับตั้งของวงจรรอง Peaking ที่ปรับจูนได้ทันทีแบบอสมมาตร จะได้ว่าพารามetriง

g ใช้สำหรับปรับจูนอัตราขยาย, β ใช้สำหรับปรับจูนความถี่กลาง, และ α สำหรับปรับจูนแบนด์วิดท์ โดยเมื่อพิจารณาพร้อมกับตารางที่ 6.2 พบว่าวงจรรอง Peaking จะต้องปรับสเกล Q หรือ Ω_{bw} ดังนั้นจึงตรงกับพารามิเตอร์ α ซึ่งใช้สำหรับปรับจูนแบนด์วิดท์เช่นกัน

การออกแบบวงจรรอง Peaking ให้มีความสมมาตรจะต้องปรับปรุงสมการความสัมพันธ์ของ α และแบนด์วิดท์ (6.35) โดยการเพิ่มการปรับสเกลดังตารางที่ 6.2 ดังนั้นจะได้สมการความสัมพันธ์ของ α ที่ปรับปรุงแล้วดังสมการที่ (6.45)

$$\alpha = \frac{\sqrt{g} - \Omega_{bw}}{\sqrt{g} + \Omega_{bw}} = \frac{\sqrt{g} - \tan\left(\frac{\omega_{bw}}{2}\right)}{\sqrt{g} + \tan\left(\frac{\omega_{bw}}{2}\right)} \quad (6.45)$$

จากความสัมพันธ์ในสมการที่ (6.45) จะเพิ่มอัตราขยาย g เข้ามาในสมการความสัมพันธ์ด้วย ซึ่งเป็นสิ่งที่หลีกเลี่ยงไม่ได้ถ้าต้องการออกแบบวงจรรอง Peaking แบบสมมาตรที่ปรับจูนคุณลักษณะได้ทันที ดังนั้นการปรับจูนพารามิเตอร์ α จะต้องคำนึงถึงอัตราขยาย g ที่เพิ่มเข้ามาด้วย โดยความสัมพันธ์ของ α , แบนด์วิดท์ดิจิทัล (bw), และอัตราขยายในหน่วย dB (G) แสดงดังภาพที่ 6.21



ภาพที่ 6.21 ความสัมพันธ์ของพารามิเตอร์ปรับตั้ง (α), แบนด์วิดท์ดิจิทัล (bw), และอัตราขยายในหน่วย dB (G)

6.3.2 การออกแบบวงจรรอง Shelving แบบสมมาตรที่ปรับคุณลักษณะได้ทันที

ทำนองเดียวกับการออกแบบในหัวข้อ 6.3.1 การออกแบบวงจรรอง Peaking แบบสมมาตรที่ปรับได้ทันที จะอาศัยพื้นฐานจากการออกแบบวงจรรอง Shelving แบบสมมาตรที่ปรับได้ทันที ร่วมกับการปรับสเกลดังตารางที่ 6.2 คือการปรับสเกลความถี่ตัดแอมพลิจูด (Ω_0) ด้วย $1/g^{1/4}$ สำหรับวงจรรองความถี่ต่ำผ่าน Shelving และ $g^{1/4}$ สำหรับวงจรรองความถี่สูงผ่าน Shelving โดยการออกแบบวงจรรอง Shelving แบบสมมาตรที่ปรับคุณลักษณะได้ทันที จะใช้พารามิเตอร์สำหรับปรับความถี่ตัดดิจิทัล (ω_0) เพียงตัวเดียวนั้นคือ β ซึ่งจะมีความสัมพันธ์กันดังสมการที่ (6.22) แต่เมื่อพิจารณาเปรียบเทียบกับตารางที่ 6.2 จะพบว่า การปรับสเกลดังกล่าวจะกระทำกับความถี่ตัดแอมพลิจูดแต่พารามิเตอร์ β จะใช้ปรับความถี่ตัดดิจิทัลซึ่งเป็นคนละระบบกัน ดังนั้นจึงต้องกลับไปวิเคราะห์ที่มาของสมการความสัมพันธ์อีกครั้ง เพื่อเชื่อมโยงกลับไปยังความถี่ตัดแอมพลิจูด (Ω_0) โดยการหาความสัมพันธ์ของ d_1 ในสมการที่ (6.24) และสมการเมทริกซ์ที่ (6.1) จะได้ดังสมการที่ (6.46)

$$d_1 = -(1+\alpha)\beta = \frac{2(\Omega_0^2-1)}{\Omega_0^2 + \frac{\Omega_0}{Q} + 1} \quad (6.46)$$

แทน α จากสมการที่ (6.29) ในสมการที่ (6.46) จะได้

$$-\left(1 + \frac{(1+\Omega_0^2) - \Omega_0/Q}{(1+\Omega_0^2) + \Omega_0/Q}\right)\beta = \frac{2(\Omega_0^2-1)}{(\Omega_0^2+1) + \Omega_0/Q}$$

$$-\left(\frac{2(1+\Omega_0^2)}{(\Omega_0^2+1) + \Omega_0/Q}\right)\beta = \frac{2(\Omega_0^2-1)}{(\Omega_0^2+1) + \Omega_0/Q}$$

$$\beta = -\left(\frac{\Omega_0^2-1}{1+\Omega_0^2}\right)$$

ดังนั้น

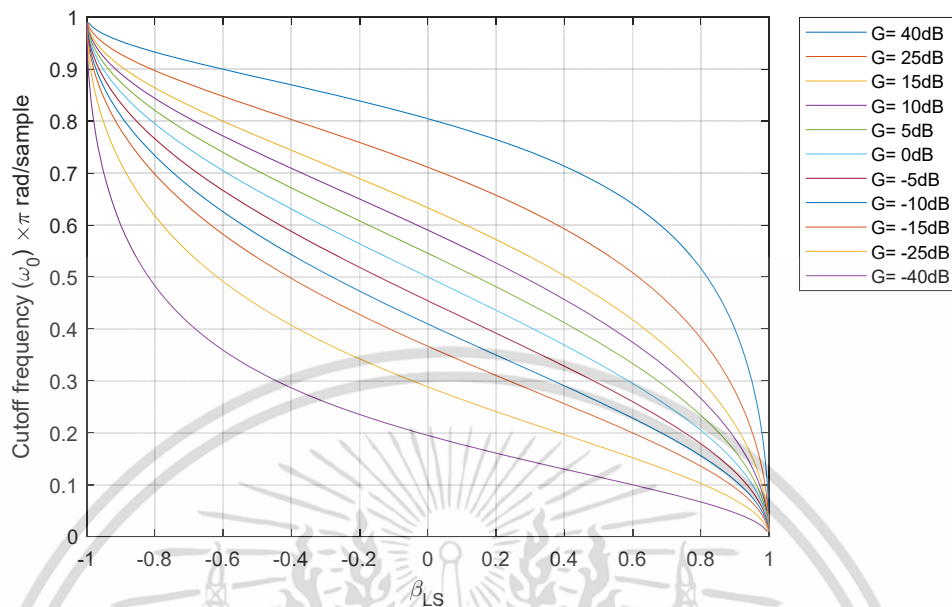
$$\beta = \left(\frac{1-\Omega_0^2}{1+\Omega_0^2}\right) \quad (6.47)$$

จากนั้นทำการปรับเสถียรความถี่ตัดแอนะล็อก (Ω_0) ตามตารางที่ 6.2 จะได้สมการความสัมพันธ์สำหรับวงจรรองความถี่ต่ำผ่าน Shelving และวงจรรองความถี่สูงผ่าน Shelving ดังสมการที่ (6.48) - (6.49) ตามลำดับ

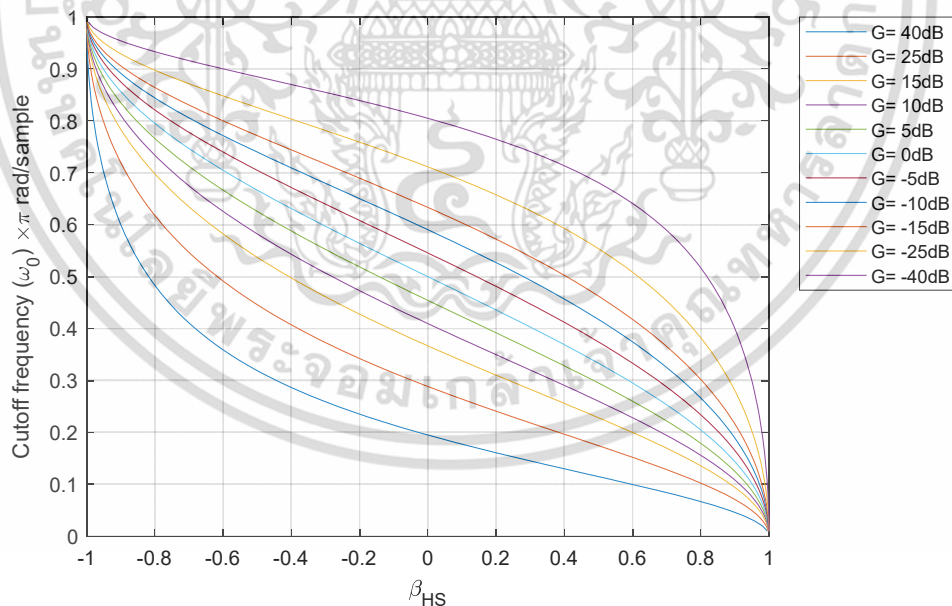
$$\beta_{LS} = \frac{1 - (\Omega_0 / g^{1/4})^2}{1 + (\Omega_0 / g^{1/4})^2} = \frac{\sqrt{g} - \tan^2\left(\frac{\omega_0}{2}\right)}{\sqrt{g} + \tan^2\left(\frac{\omega_0}{2}\right)} \quad (6.48)$$

$$\beta_{HS} = \frac{1 - \Omega_0 g^{1/4}}{1 + \Omega_0 g^{1/4}} = \frac{1 - g^{1/4} \tan\left(\frac{\omega_0}{2}\right)}{1 + g^{1/4} \tan\left(\frac{\omega_0}{2}\right)} \quad (6.49)$$

เมื่อพิจารณาสมการความสัมพันธ์ (6.48) - (6.49) แล้วจะพบผลกระทบเช่นเดียวกับการออกแบบ วงจรรอง Peaking คืออัตราขยายเชิงเส้น (g) จะส่งผลถึงค่าพารามิเตอร์ปรับจูนด้วย ดังนั้นการปรับจูนในกรณีสมมาตรจึงจำเป็นต้องคำนึงถึงผลกระทบในส่วนนี้ด้วย โดยกราฟความสัมพันธ์ระหว่างพารามิเตอร์ปรับจูน β , ความถี่ตัด ω_0 , และอัตราขยาย (G) ของวงจรรองความถี่ต่ำผ่าน Shelving และความถี่สูงผ่าน Shelving จะแสดงดังภาพที่ 6.22 และภาพที่ 6.23 ตามลำดับ



ภาพที่ 6.22 ความสัมพันธ์ระหว่างพารามิเตอร์ปรับจูน β_{Ls} ความถี่ตัด ω_0 และอัตราขยาย (G) ของวงจรกรองความถี่ต่ำผ่าน Shelving แบบสมมาตรที่ปรับจูนได้ทันที



ภาพที่ 6.23 ความสัมพันธ์ระหว่างพารามิเตอร์ปรับจูน β_{Hs} ความถี่ตัด ω_0 และอัตราขยาย (G) ของวงจรกรองความถี่สูงผ่าน Shelving แบบสมมาตรที่ปรับจูนได้ทันที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4 ผลทดลองจำลองการทำงาน

การทดลองจะจำลองการทำงานของพารามิเตอร์คิวโวลเซอร์แบบดิจิทัลที่สามารถปรับจูนได้ทันที ด้วยวิธีการที่นำเสนอผ่านโปรแกรม MATLAB โดยจะจำแนกตามชนิดของวงจรรองดังนี้

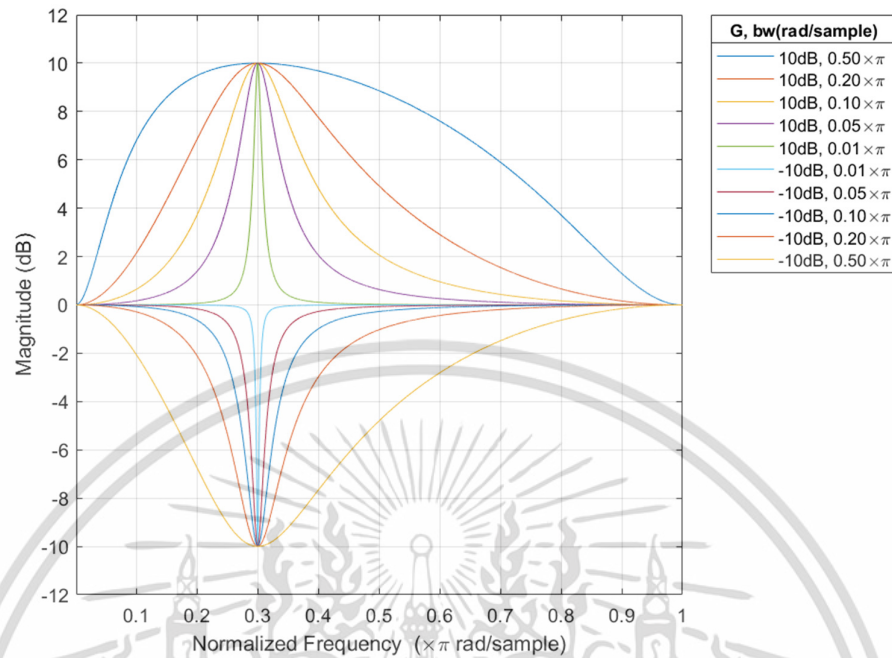
6.4.1 ผลการทดลองการออกแบบวงจรรอง Peaking

วงจรรอง Peaking จะมีพารามิเตอร์ที่ต้องปรับจูนทั้งหมด 3 ค่า คือ แบนด์วิดท์ (bw), ความถี่กลาง (ω_0), และอัตราขยาย (g) ดังนั้นเพื่อความง่ายในการตรวจสอบผลจึงขอเสนอผลการทดลองปรับจูนพารามิเตอร์ที่ละ 1 ค่า โดยจะแสดงผลตอบสนองทางขนาดเปรียบเทียบกับระหว่างวิธีสมมาตรและอสมมาตร รวมถึงตารางค่าพารามิเตอร์ปรับจูน α , β , และ g

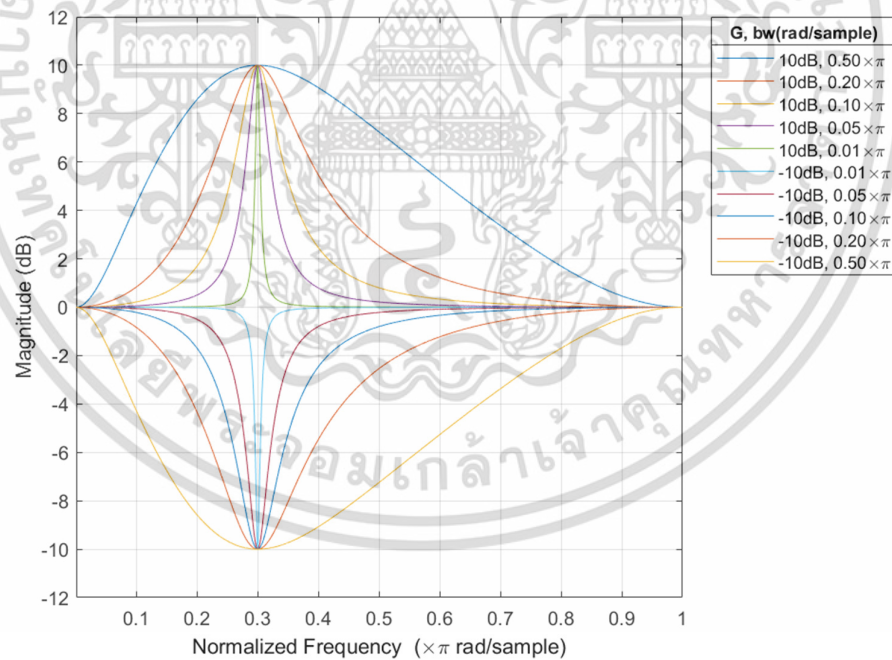
การทดลองกรณีที่ 1 การทดลองปรับจูนค่าแบนด์วิดท์ จะทำการทดลองโดยกำหนดค่าความถี่กลางให้เท่ากับ 0.3π rad/sample, กำหนดค่าอัตราขยายเท่ากับ 10 dB และ -10 dB เพื่อให้เห็นผลเปรียบเทียบระหว่างกรณี boost และกรณี cut และสุดท้ายจะกำหนดให้แบนด์วิดท์มีค่าเท่ากับ $[0.01, 0.05, 0.1, 0.2, 0.5] \times \pi$ rad/sample โดยผลการทดลองเปรียบเทียบผลตอบสนองทางขนาดของการออกแบบด้วยวิธีสมมาตรและอสมมาตรแสดงดังภาพที่ 6.24 และค่าพารามิเตอร์คุณสมบัติวงจรรองรวมทั้งค่าพารามิเตอร์ปรับจูนแสดงดังตารางที่ 6.3

ตารางที่ 6.3 เปรียบเทียบพารามิเตอร์ปรับจูนสำหรับการทดลองที่ 1 ของวงจรรอง Peaking

คุณสมบัติวงจรรอง			ค่าพารามิเตอร์ปรับจูน (อสมมาตร)			ค่าพารามิเตอร์ปรับจูน (สมมาตร)		
$G(dB)$	ω_0	bw	g	β	α	g	β	α
10	0.3π	0.5π	3.1623	0.5878	0	3.1623	0.9511	0.2801
10	0.3π	0.2π	3.1623	0.5878	0.5095	3.1623	0.9511	0.691
10	0.3π	0.1π	3.1623	0.5878	0.7265	3.1623	0.9511	0.8364
10	0.3π	0.05π	3.1623	0.5878	0.8541	3.1623	0.9511	0.9152
10	0.3π	0.01π	3.1623	0.5878	0.9691	3.1623	0.9511	0.9825
-10	0.3π	0.01π	0.3162	0.5878	0.9691	0.3162	0.9511	0.9456
-10	0.3π	0.05π	0.3162	0.5878	0.8541	0.3162	0.9511	0.7545
-10	0.3π	0.1π	0.3162	0.5878	0.7265	0.3162	0.9511	0.5605
-10	0.3π	0.2π	0.3162	0.5878	0.5095	0.3162	0.9511	0.2676
-10	0.3π	0.5π	0.3162	0.5878	0	0.3162	0.9511	-0.2801



(ก)



(ข)

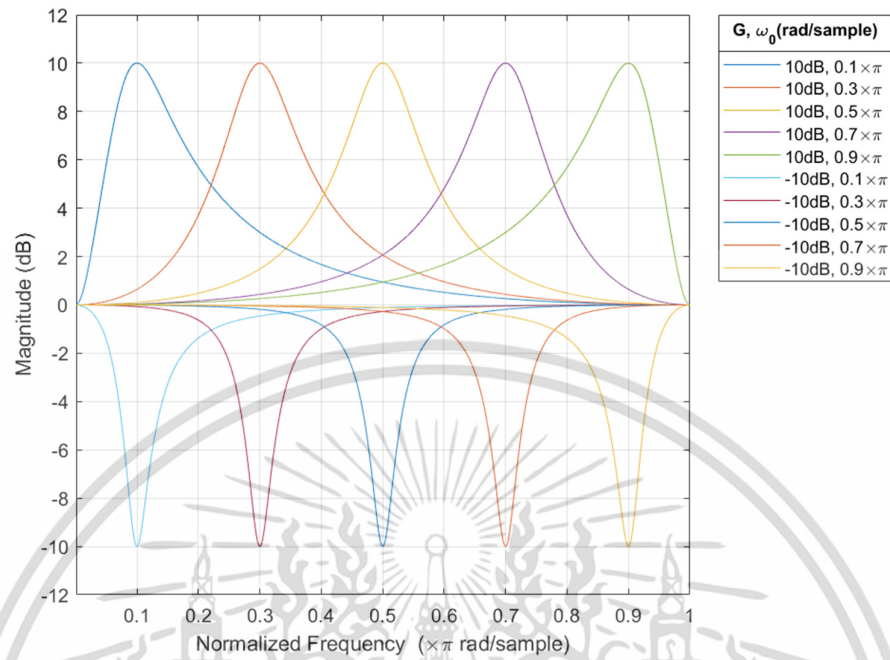
ภาพที่ 6.24 ผลการทดลองกรณีที่ 1 สำหรับวงจรกรอง Peaking ที่ปรับจนได้ทันที (ก) ออกแบบด้วยวิธีสมมาตรและ (ข) วิธีสมมาตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

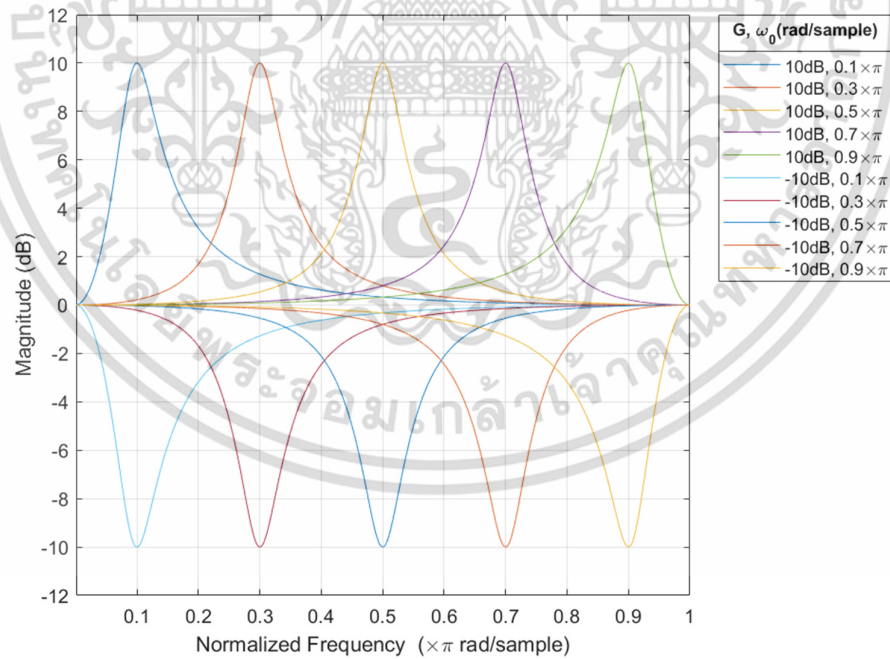
การทดลองกรณีที่ 2 การทดลองปรับจูนค่าความถี่กลาง จะทำการทดลองโดยกำหนดค่าแบนด์วิดท์คงที่เท่ากับ 0.1π rad/sample, กำหนดค่าอัตราขยายเท่ากับ 10 dB และ -10 dB และกำหนดให้ความถี่กลางมีค่าเท่ากับ $[0.1, 0.3, 0.5, 0.7, 0.9] \times \pi$ rad/sample โดยผลการทดลองเปรียบเทียบผลตอบสนองทางขนาดของการออกแบบด้วยวิธีสมมาตรและอสมมาตรแสดงดังภาพที่ 6.25 และค่าพารามิเตอร์คุณสมบัติวงจรกรองรวมทั้งค่าพารามิเตอร์ปรับจูนแสดงดังตารางที่ 6.4

ตารางที่ 6.4 เปรียบเทียบพารามิเตอร์ปรับจูนสำหรับการทดลองที่ 2 ของวงจรกรอง Peaking

คุณสมบัติวงจรกรอง			ค่าพารามิเตอร์ปรับจูน (อสมมาตร)			ค่าพารามิเตอร์ปรับจูน (สมมาตร)		
$G(\text{dB})$	ω_0	bw	g	β	α	g	β	α
10	0.1π	0.1π	3.1623	0.9511	0.7265	3.1623	0.9511	0.8364
10	0.3π	0.1π	3.1623	0.5878	0.7265	3.1623	0.5878	0.8364
10	0.5π	0.1π	3.1623	0	0.7265	3.1623	0	0.8364
10	0.7π	0.1π	3.1623	-0.5878	0.7265	3.1623	-0.5878	0.8364
10	0.9π	0.1π	3.1623	-0.9511	0.7265	3.1623	-0.9511	0.8364
-10	0.1π	0.1π	0.3162	0.9511	0.7265	0.3162	0.9511	0.5605
-10	0.3π	0.1π	0.3162	0.5878	0.7265	0.3162	0.5878	0.5605
-10	0.5π	0.1π	0.3162	0	0.7265	0.3162	0	0.5605
-10	0.7π	0.1π	0.3162	-0.5878	0.7265	0.3162	-0.5878	0.5605
-10	0.9π	0.1π	0.3162	-0.9511	0.7265	0.3162	-0.9511	0.5605



(ก)



(ข)

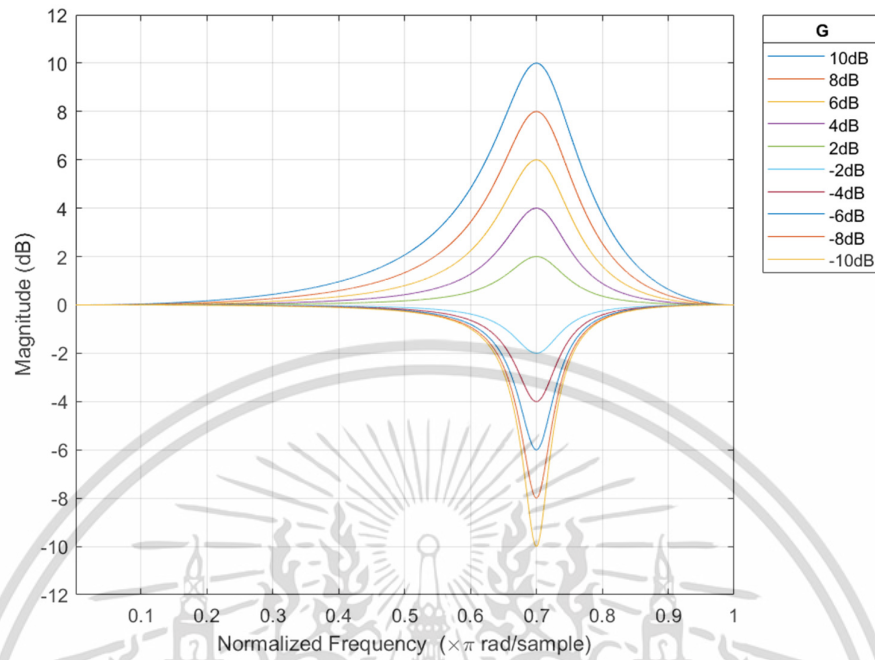
ภาพที่ 6.25 ผลการทดลองกรณีที่ 2 สำหรับวงจรกรอง Peaking ที่ปรับจนได้ทันที (ก) ออกแบบด้วยวิธีอสมมาตรและ (ข) วิธีสมมาตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

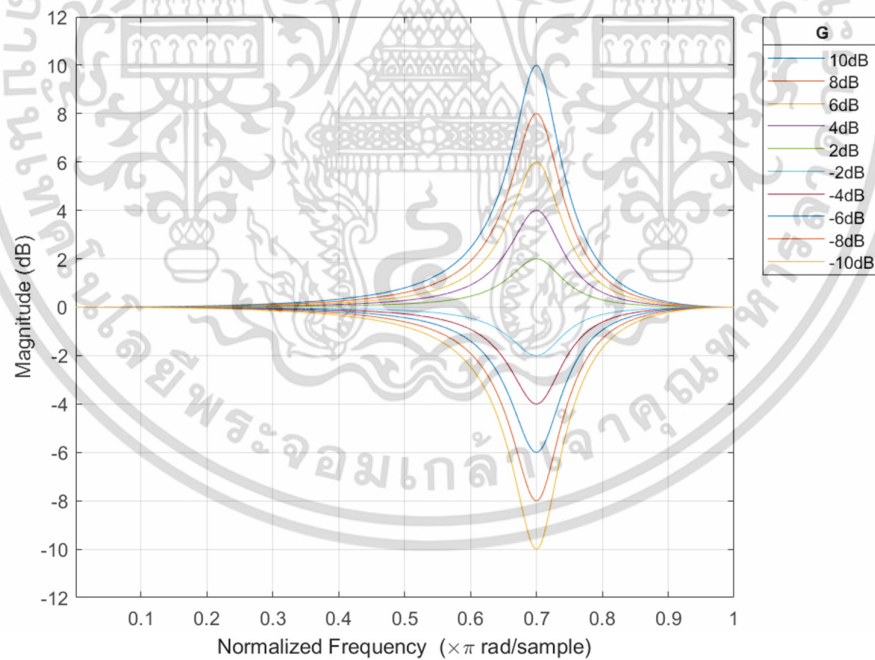
การทดลองกรณีที่ 3 การทดลองปรับจูนค่าอัตราขยาย จะทำการทดลองโดยกำหนดให้ค่าความถี่กลางคองที่เท่ากับ 0.3π rad/sample, กำหนดค่าแบนด์วิดท์เป็นค่าคองที่เท่ากับ 0.1π rad/sample และกำหนดให้อัตราขยายมีค่าเท่ากับ [10, 8, 6, 4, 2, -2, -4, -6, -8, -10] dB โดยผลการทดลองเปรียบเทียบผลตอบสนองทางขนาดของการออกแบบด้วยวิธีสมมาตรและอสมมาตรแสดงดังภาพที่ 6.26 และค่าพารามิเตอร์คุณสมบัติวงจรรองรวมทั้งค่าพารามิเตอร์ปรับจูนแสดงดังตารางที่ 6.5

ตารางที่ 6.5 เปรียบเทียบพารามิเตอร์ปรับจูนสำหรับการทดลองที่ 3 ของวงจรรอง Peaking

คุณสมบัติวงจรรอง			ค่าพารามิเตอร์ปรับจูน (อสมมาตร)			ค่าพารามิเตอร์ปรับจูน (สมมาตร)		
$G(dB)$	ω_0	bw	g	β	α	g	β	α
10	0.7π	0.1π	3.1623	-0.5878	0.7265	3.1623	-0.5878	0.8364
8	0.7π	0.1π	2.5119	-0.5878	0.7265	2.5119	-0.5878	0.8183
6	0.7π	0.1π	1.9953	-0.5878	0.7265	1.9953	-0.5878	0.7984
4	0.7π	0.1π	1.5849	-0.5878	0.7265	1.5849	-0.5878	0.7765
2	0.7π	0.1π	1.2589	-0.5878	0.7265	1.2589	-0.5878	0.7526
-2	0.7π	0.1π	0.7943	-0.5878	0.7265	0.7943	-0.5878	0.6982
-4	0.7π	0.1π	0.631	-0.5878	0.7265	0.631	-0.5878	0.6675
-6	0.7π	0.1π	0.5012	-0.5878	0.7265	0.5012	-0.5878	0.6344
-8	0.7π	0.1π	0.3981	-0.5878	0.7265	0.3981	-0.5878	0.5987
-10	0.7π	0.1π	0.3162	-0.5878	0.7265	0.3162	-0.5878	0.5605



(ก)



(ข)

ภาพที่ 6.26 ผลการทดลองกรณีที่ 3 สำหรับวงจรกรอง Peaking ที่ปรับจนได้พื้นที่ (ก) ออกแบบด้วยวิธีอสมมาตรและ (ข) วิธีสมมาตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

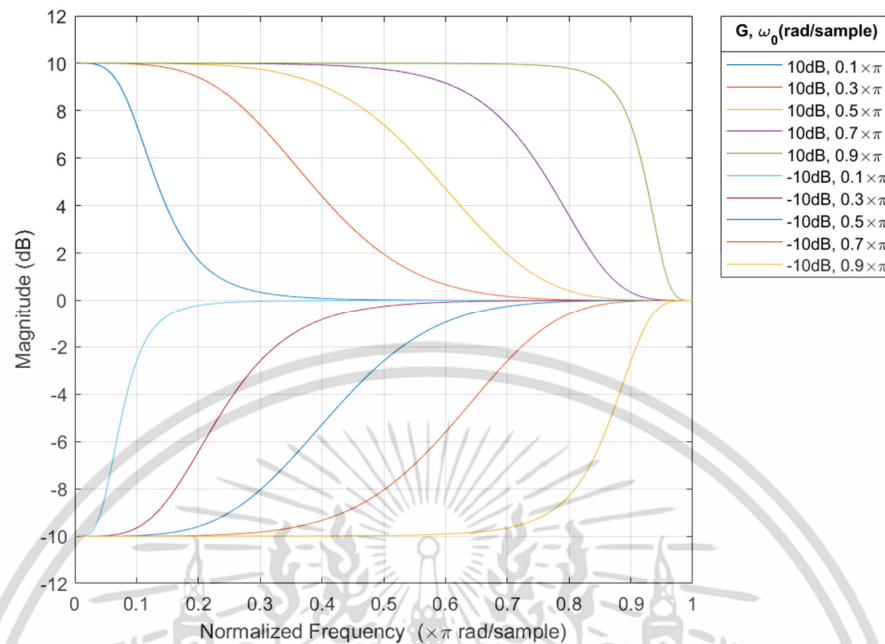
6.4.2 ผลการทดลองการออกแบบวงจรกรองความถี่ต่ำผ่าน Shelving

การทดลองในส่วนของวงจรกรองความถี่ต่ำผ่าน Shelving จะใช้โครงสร้างในภาพที่ 6.19 เป็นหลัก โดยจะสามารถปรับจูนพารามิเตอร์ได้ 2 ตัวคือความถี่ตัด ω_0 และอัตราขยายเชิงเส้น g โดยการทำงานจะโหลดค่าพารามิเตอร์ β และ g เข้าไปในโครงสร้างเพื่อทำให้วงจรกรองเปลี่ยนคุณสมบัติได้ทันที สำหรับการออกแบบด้วยวิธีอสมมาตรและสมมาตรจะหาค่า β จากความสัมพันธ์ในสมการที่ (6.22) และ (6.48) ตามลำดับ

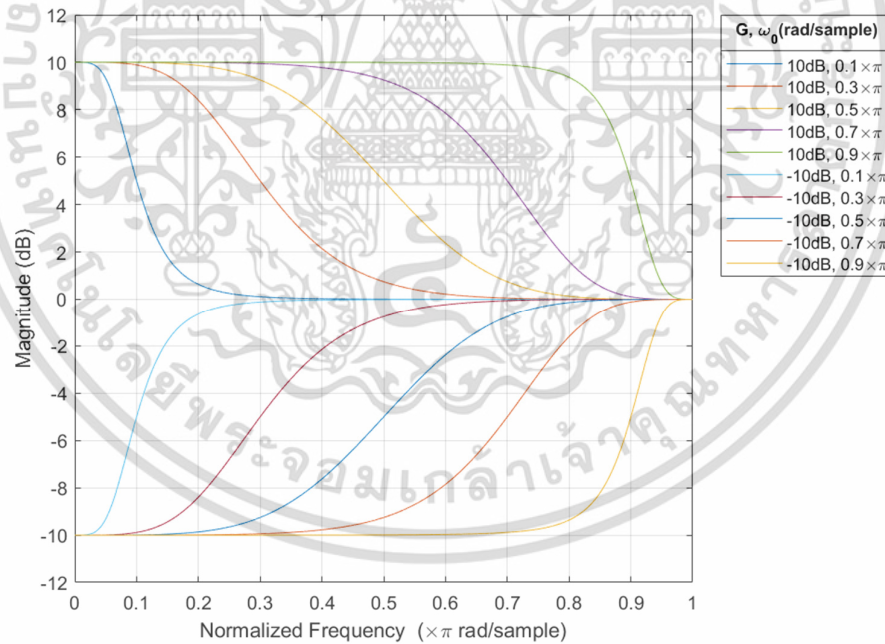
การทดลองกรณีที่ 1 การทดลองปรับจูนค่าความถี่ตัด จะทำการทดลองโดยกำหนดค่าอัตราขยายเท่ากับ 10 dB และ -10 dB และกำหนดให้ความถี่กลางมีค่าเท่ากับ [0.1, 0.3, 0.5, 0.7, 0.9] $\times \pi$ rad/sample โดยผลการทดลองเปรียบเทียบผลตอบสนองทางขนาดของการออกแบบด้วยวิธีสมมาตรและอสมมาตรแสดงดังภาพที่ 6.27 และค่าพารามิเตอร์คุณสมบัติวงจรกรองรวมทั้งค่าพารามิเตอร์ปรับจูนแสดงดังตารางที่ 6.6

ตารางที่ 6.6 เปรียบเทียบพารามิเตอร์ปรับจูนการทดลองที่ 1 ของวงจรกรองความถี่ต่ำผ่าน Shelving

คุณสมบัติวงจรกรอง	ค่าพารามิเตอร์ปรับจูน (อสมมาตร)			ค่าพารามิเตอร์ปรับจูน (สมมาตร)	
	$G(\text{dB})$	ω_0	g	β	g
10	0.1π	3.1623	0.9511	3.1623	0.9722
10	0.3π	3.1623	0.5878	3.1623	0.7452
10	0.5π	3.1623	0.0000	3.1623	0.2801
10	0.7π	3.1623	-0.5878	3.1623	-0.3683
10	0.9π	3.1623	-0.9511	3.1623	-0.9146
-10	0.1π	0.3162	0.9511	0.3162	0.9146
-10	0.3π	0.3162	0.5878	0.3162	0.3683
-10	0.5π	0.3162	0.0000	0.3162	-0.2801
-10	0.7π	0.3162	-0.5878	0.3162	-0.7452
-10	0.9π	0.3162	-0.9511	0.3162	-0.9722



(ก)



(ข)

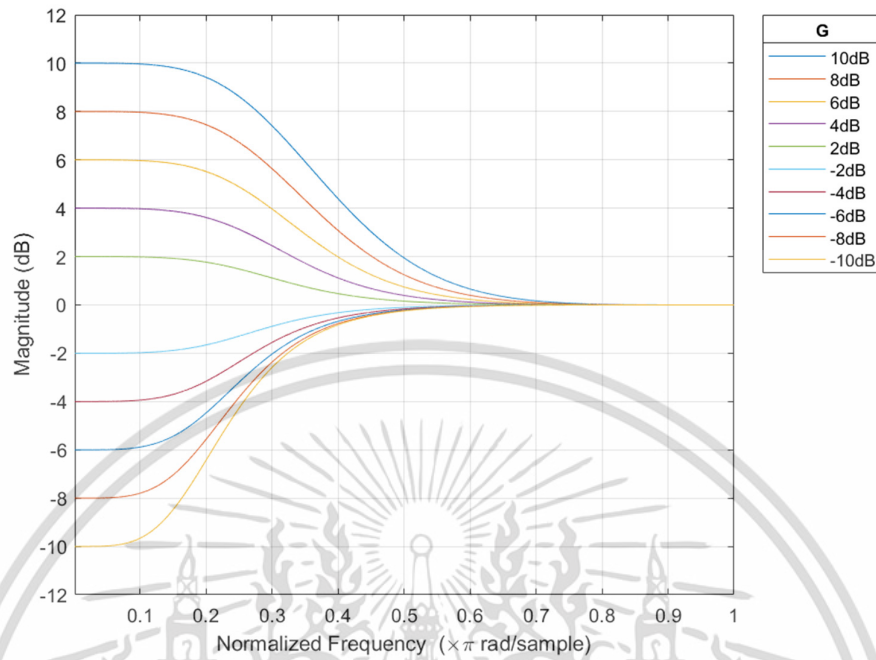
ภาพที่ 6.27 ผลการทดลองกรณีที่ 1 สำหรับวงจรกรองความถี่ต่ำผ่าน Shelving (ก) ที่ออกแบบด้วยวิธีอสมมาตรและ (ข) วิธีสมมาตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

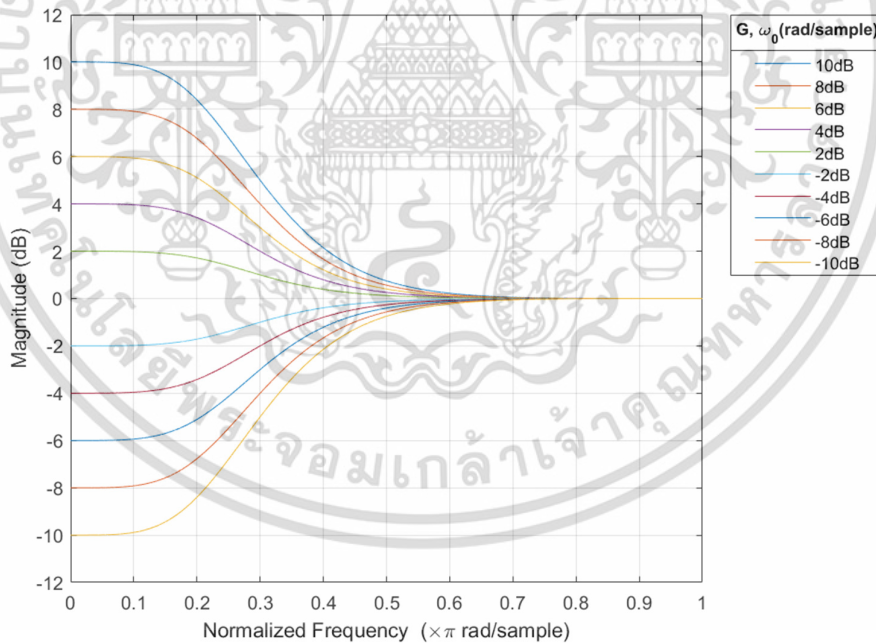
การทดลองกรณีที่ 2 การทดลองปรับจูนค่าอัตราขยาย จะทำการทดลองโดยกำหนดให้ค่าความถี่กลางคงที่เท่ากับ 0.3π rad/sample, และกำหนดให้อัตราขยายมีค่าเท่ากับ [10, 8, 6, 4, 2, -2, -4, -6, -8, -10] dB โดยผลการทดลองเปรียบเทียบผลตอบสนองทางขนาดของการออกแบบด้วยวิธีสมมาตรและอสมมาตรแสดงดังภาพที่ 6.28 และค่าพารามิเตอร์คุณสมบัติวงจรรองรวมทั้งค่าพารามิเตอร์ปรับจูนแสดงดังตารางที่ 6.7

ตารางที่ 6.7 เปรียบเทียบพารามิเตอร์ปรับจูนการทดลองที่ 2 ของวงจรรองความถี่ต่ำผ่าน Shelving

คุณสมบัติวงจรรอง		ค่าพารามิเตอร์ปรับจูน (อสมมาตร)		ค่าพารามิเตอร์ปรับจูน (สมมาตร)	
$G(\text{dB})$	ω_0	g	β	g	β
10	0.3π	3.1623	0.5878	3.1623	0.7452
8	0.3π	2.5119	0.5878	2.5119	0.7185
6	0.3π	1.9953	0.5878	1.9953	0.6895
4	0.3π	1.5849	0.5878	1.5849	0.6581
2	0.3π	1.2589	0.5878	1.2589	0.6242
-2	0.3π	0.7943	0.5878	0.7943	0.5488
-4	0.3π	0.631	0.5878	0.631	0.5073
-6	0.3π	0.5012	0.5878	0.5012	0.4634
-8	0.3π	0.3981	0.5878	0.3981	0.4170
-10	0.3π	0.3162	0.5878	0.3162	0.3683



(ก)



(ข)

ภาพที่ 6.28 ผลการทดลองกรณีที่ 2 สำหรับวงจรกรองความถี่ต่ำผ่าน Shelving (ก) ออกแบบด้วยวิธีอสมมาตรและ (ข) วิธีสมมาตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

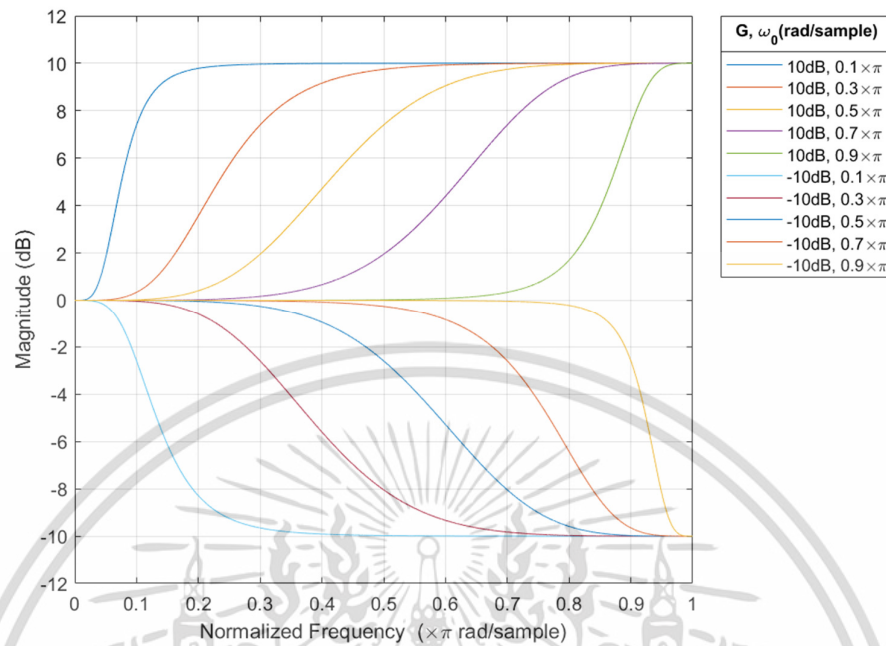
6.4.3 ผลการทดลองการออกแบบวงจรกรองความถี่สูงผ่าน Shelving

การทดลองในส่วนของวงจรกรองความถี่สูงผ่าน Shelving จะคล้ายกับการออกแบบวงจรกรองความถี่ต่ำผ่าน Shelving คือจะใช้โครงสร้างในภาพที่ 6.20 เป็นหลักโดยจะปรับจูนพารามิเตอร์ได้ 2 ตัวคือความถี่ตัด ω_0 และอัตราขยาย g โดยการทำงานจะโหลดค่าพารามิเตอร์ β และ g เข้าไปในโครงสร้างเพื่อทำให้วงจรกรองเปลี่ยนคุณสมบัติได้ทันที สำหรับการออกแบบด้วยวิธีอสมมาตรจะหาค่า β จากความสัมพันธ์ในสมการที่ (6.22) เหมือนกับวงจรกรองความถี่ต่ำผ่าน Shelving แต่การออกแบบด้วยวิธีสมมาตรจะต้องใช้ความสัมพันธ์จากสมการที่ (6.49) ในการหาค่า β

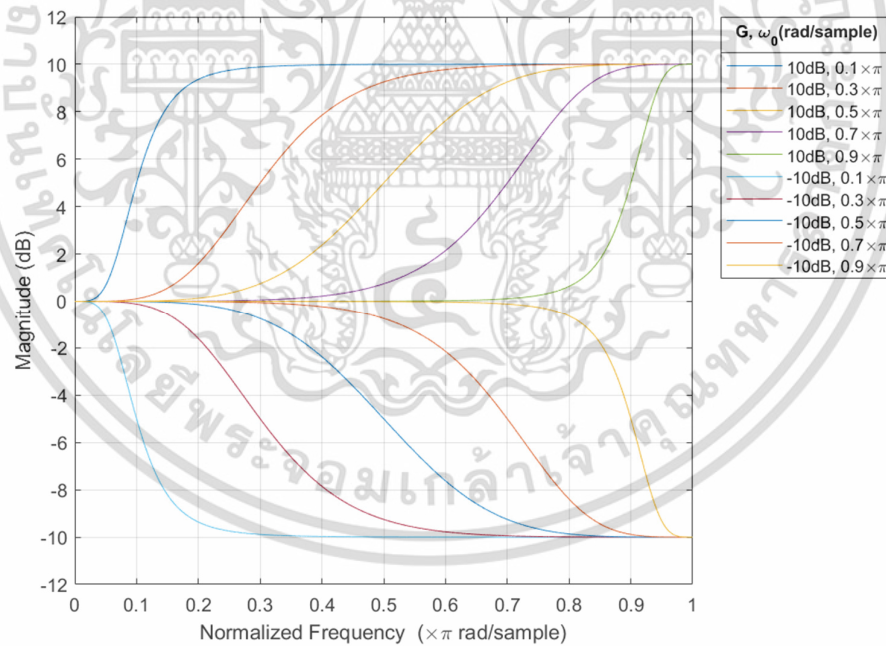
การทดลองกรณีที่ 1 การทดลองปรับจูนค่าความถี่ตัด จะทำการทดลองโดยกำหนดค่าอัตราขยายเท่ากับ 10 dB และ -10 dB และกำหนดให้ความถี่กลางมีค่าเท่ากับ $[0.1, 0.3, 0.5, 0.7, 0.9] \times \pi$ rad/sample โดยผลการทดลองเปรียบเทียบผลตอบสนองทางขนาดของการออกแบบด้วยวิธีสมมาตรและอสมมาตรแสดงดังภาพที่ 6.29 และค่าพารามิเตอร์คุณสมบัติวงจกรองรวมทั้งค่าพารามิเตอร์ปรับจูนแสดงดังตารางที่ 6.8

ตารางที่ 6.8 เปรียบเทียบพารามิเตอร์ปรับจูนการทดลองที่ 1 ของวงจรกรองความถี่สูงผ่าน Shelving

$G(\text{dB})$	ค่าพารามิเตอร์ปรับจูน (อสมมาตร)			ค่าพารามิเตอร์ปรับจูน (สมมาตร)	
	ω_0	g	β	g	β
10	0.1π	3.1623	0.9511	3.1623	0.9146
10	0.3π	3.1623	0.5878	3.1623	0.3683
10	0.5π	3.1623	0.0000	3.1623	-0.2801
10	0.7π	3.1623	-0.5878	3.1623	-0.7452
10	0.9π	3.1623	-0.9511	3.1623	-0.9722
-10	0.1π	0.3162	0.9511	0.3162	0.9722
-10	0.3π	0.3162	0.5878	0.3162	0.7452
-10	0.5π	0.3162	0.0000	0.3162	0.2801
-10	0.7π	0.3162	-0.5878	0.3162	-0.3683
-10	0.9π	0.3162	-0.9511	0.3162	-0.9146



(ก)



(ข)

ภาพที่ 6.29 ผลการทดลองกรณีที่ 1 สำหรับวงจรกรองความถี่สูงผ่าน Shelving (ก) ออกแบบด้วยวิธีอสมมาตรและ (ข) วิธีสมมาตร

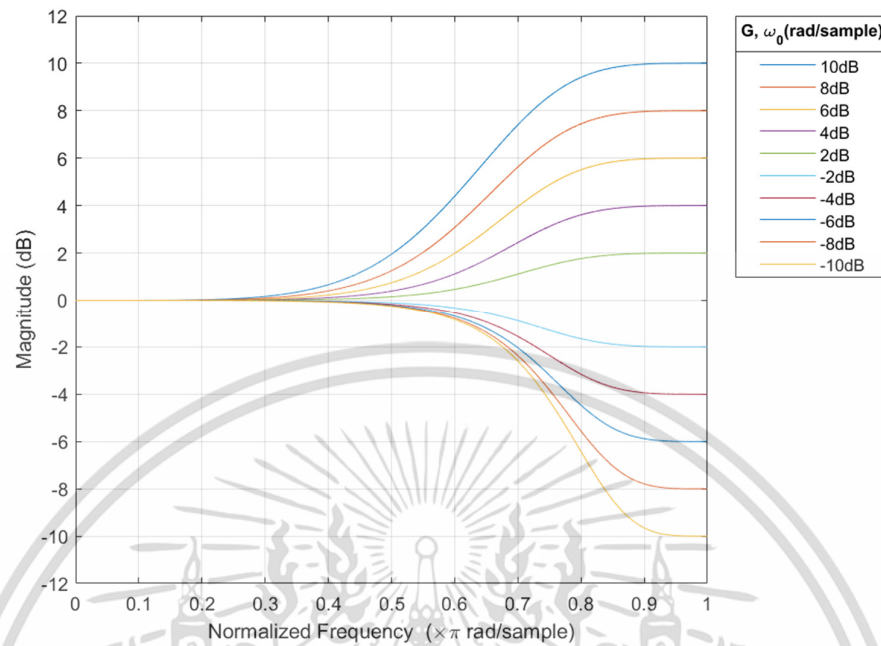
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทดลองกรณีที่ 2 การทดลองปรับจูนค่าอัตราขยาย จะทำการทดลองโดยกำหนดให้ค่าความถี่กลางคงที่เท่ากับ 0.7π rad/sample, และกำหนดให้อัตราขยายมีค่าเท่ากับ [10, 8, 6, 4, 2, -2, -4, -6, -8, -10] dB โดยผลการทดลองเปรียบเทียบผลตอบสนองทางขนาดของการออกแบบด้วยวิธีสมมาตรและอสมมาตรแสดงดังภาพที่ 6.30 และค่าพารามิเตอร์คุณสมบัติวงจรรองรวมทั้งค่าพารามิเตอร์ปรับจูนแสดงดังตารางที่ 6.9

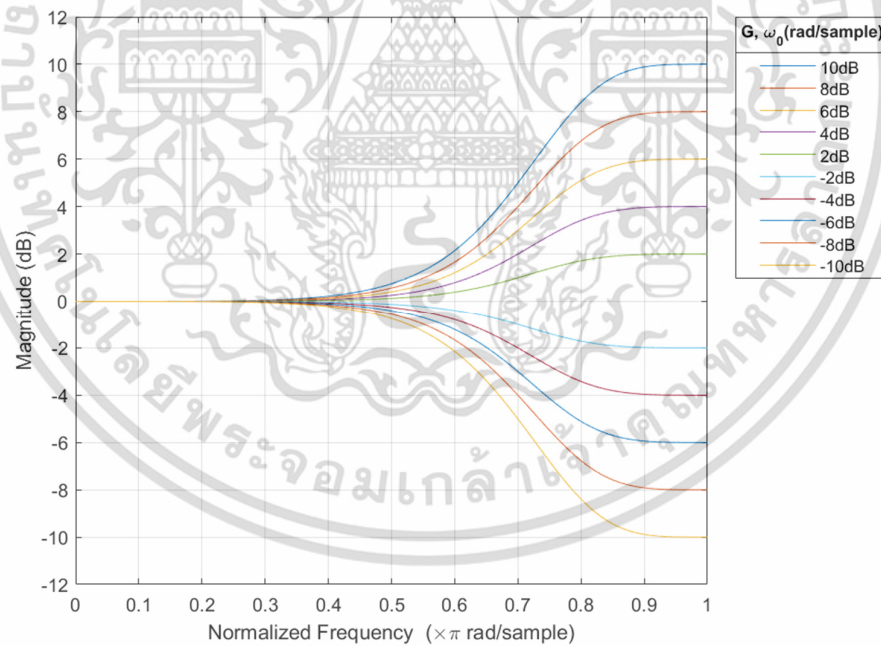
ตารางที่ 6.9 เปรียบเทียบพารามิเตอร์ปรับจูนการทดลองที่ 2 ของวงจรรองความถี่สูงผ่าน Shelving

คุณสมบัติวงจรรอง		ค่าพารามิเตอร์ปรับจูน (อสมมาตร)		ค่าพารามิเตอร์ปรับจูนตั้ง (สมมาตร)	
$G(\text{dB})$	ω_0	g	β	g	β
10	0.3π	3.1623	-0.5878	3.1623	-0.7452
8	0.3π	2.5119	-0.5878	2.5119	-0.7185
6	0.3π	1.9953	-0.5878	1.9953	-0.6895
4	0.3π	1.5849	-0.5878	1.5849	-0.6581
2	0.3π	1.2589	-0.5878	1.2589	-0.6242
-2	0.3π	0.7943	-0.5878	0.7943	-0.5488
-4	0.3π	0.631	-0.5878	0.631	-0.5073
-6	0.3π	0.5012	-0.5878	0.5012	-0.4634
-8	0.3π	0.3981	-0.5878	0.3981	-0.4170
-10	0.3π	0.3162	-0.5878	0.3162	-0.3683

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

ภาพที่ 6.30 ผลการทดลองกรณีที่ 2 สำหรับวงจรกรองความถี่ต่ำผ่าน Shelving (ก) ออกแบบด้วยวิธี อสมมาตรและ (ข) วิธีสมมาตร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลองเมื่อพิจารณาเปรียบเทียบการออกแบบด้วยวิธีสมมาตรและอสมมาตรจะพบความแตกต่างกันที่การปรับพารามิเตอร์ปรับจูน α และ β สำหรับวงจรกรอง Peaking และวงจรกรอง Shelving ตามลำดับ อันเป็นผลมาจากปรับสเกลตามตารางที่ 6.2 ซึ่งทำให้สมการความสัมพันธ์ของการออกแบบด้วยวิธีสมมาตรต้องถูกปรับตามไปด้วย แต่อย่างไรก็ตามเป็นเพียงการปรับสเกลค่าพารามิเตอร์ปรับจูนเท่านั้น แต่โครงสร้างวงจรกรองยังสามารถใช้ร่วมกันได้

6.5 สรุปงานวิจัย

ในบทนี้ได้นำเสนอการออกแบบพาราเมตริกที่สามารถปรับคุณสมบัติได้ทันทีผ่านพารามิเตอร์ปรับจูน โดยไม่จำเป็นต้องคำนวณหาสัมประสิทธิ์ของวงจรกรองขึ้นใหม่ซึ่งจะคล้ายกับการทำงานในวงจรกรองแบบแอนะล็อก โดยการออกแบบจะอาศัยพื้นฐานจากวงจรกรองสัญญาณดิจิทัลไบควอดเรตริกหลายเอาต์พุตที่ปรับจูนได้ โดยประยุกต์ให้สามารถออกแบบเป็นวงจรกรอง Peaking, วงจรกรองความถี่ต่ำผ่าน Shelving, และวงจรกรองความถี่สูงผ่าน Shelving ซึ่งจะทำให้วงจรกรองแต่ละตัวสามารถปรับจูนพารามิเตอร์ได้อย่างอิสระสำหรับการออกแบบด้วยวิธีสมมาตร ส่วนการออกแบบด้วยวิธีสมมาตรจะต้องมีการพิจารณาความสัมพันธ์ของอัตราขยาย (g) ร่วมด้วยในบางพารามิเตอร์ ซึ่งเป็นสิ่งที่หลีกเลี่ยงไม่ได้เนื่องจากการออกแบบด้วยวิธีสมมาตรจะต้องมีการปรับสเกลด้วยค่าอัตราขยายดังที่นำเสนอ โดยผลการทดลองได้แสดงให้เห็นการทำงานของวงจรกรองได้ถูกต้องตามสมการความสัมพันธ์ที่นำเสนอ

การออกแบบพาราเมตริกอีควอไลเซอร์ที่ถูกนำเสนอร้อยเรียงกันมาในวิทยานิพนธ์ฉบับนี้ ตั้งแต่บทที่ 4 - บทที่ 6 ล้วนมีจุดเด่นและจุดด้อยต่างๆ ของตนเอง ซึ่งจะถูกรวบรวมเป็นตารางเปรียบเทียบกันดังตารางที่ 6.10

ตารางที่ 6.10 เปรียบเทียบจุดเด่นและจุดด้อย ของการออกแบบพาราเมตริกอีควอไลเซอร์ในบทที่ 4 - บทที่ 6

การออกแบบ	จุดเด่น	จุดด้อย
บทที่ 4	<ol style="list-style-type: none"> 1. การแปลงโพลีเนียร์ทำได้ง่ายเนื่องจากการดำเนินการทางเมตริกซ์ 2. ผลตอบสนองที่ได้เป็นแบบสมมาตรกันในกรณี boost-cut 	<ol style="list-style-type: none"> 1. การแปลงโพลีเนียร์ด้วยโพลีเนียร์พาสคาลเมตริกซ์จะต้องดำเนินการแยกกันในเทอมเศษและเทอมส่วน 2. ในขั้นตอนสุดท้ายของการออกแบบจะต้องมีขั้นตอนการนอมนัลไลซ์สัมประสิทธิ์ a_0 เพื่อให้เท่ากับ 1 โดยการนำ a_0หารสัมประสิทธิ์ตัวอื่นทั้งหมด จึงเป็นการเพิ่มขั้นตอนการคำนวณ 3. ความสมมาตรในบทนี้ เกิดจากการแยกฟังก์ชันถ่ายโอนในกรณี boost-cut ทำให้ในขั้นตอนการออกแบบต้องมีการตรวจสอบอัตราขยายเพื่อเลือกใช้ฟังก์ชันถ่ายโอนให้เหมาะสม
บทที่ 5	<ol style="list-style-type: none"> 1. เป็นการออกแบบโดยประยุกต์มาจากวงจรกรองดิจิทัลไปควอเตรติกหลายเอาต์พุต ทำให้นอกจากเอาต์พุตที่เป็นพาราเมตริกแล้วยังคงให้เอาต์พุตที่เป็นวงจรมาตรฐานด้วย 2. ใช้ฟังก์ชันถ่ายโอนเพียงสมการสำหรับการออกแบบในกรณี boost-cut ทั้งการแบบสมมาตรและอสมมาตร 3. การคำนวณสัมประสิทธิ์สามารถดำเนินการด้วยโพลีเนียร์พาสคาลเมตริกซ์ที่ถูกปรับปรุงแล้วเพียงสมการเดียว 	<ol style="list-style-type: none"> 1. การสร้างจริงในบทนี้เป็นสามารถเปลี่ยนคุณลักษณะของพาราเมตริกอีควอไลเซอร์ได้ทีละจริง แต่ยังคงตั้งอยู่บนพื้นฐานของการคำนวณค่าสัมประสิทธิ์ใหม่ทุกครั้งที่มีการปรับเปลี่ยนคุณลักษณะของวงจรกรอง

ตารางที่ 6.10 (ต่อ) เปรียบเทียบจุดเด่นและจุดด้อย ของการออกแบบพารามetriกอัลกอริทึมในบทที่ 4 - บทที่ 6

การออกแบบ	จุดเด่น	จุดด้อย
	<p>4. เป็นการออกแบบโดยแยกการคำนวณสัมประสิทธิ์ออกจากโครงสร้างที่นำเสนอ ทำให้ในการใช้งานจริงสามารถคำนวณสัมประสิทธิ์โดยดำเนินการบนเครื่องคอมพิวเตอร์จากนั้นจึงอัปเดตสัมประสิทธิ์ที่ได้ให้กับโครงสร้างที่ถูกสร้างจริงอยู่บนบอร์ดประมวลผล</p>	
<p>บทที่ 6</p>	<ol style="list-style-type: none"> 1. สัมประสิทธิ์ในโครงสร้างถูกปรับให้เป็นพารามิเตอร์ปรับจูน α, และ β 2. การปรับเปลี่ยนคุณลักษณะของพารามetriกอัลกอริทึมจำเป็นต้องคำนวณสัมประสิทธิ์ใหม่ 3. สามารถปรับจูนพารามิเตอร์ α, β, และ g ให้ได้ผลตอบสนองที่ต้องการตามสมการความสัมพันธ์ที่นำเสนอ 4. การดำเนินการในโครงสร้างที่นำเสนออยู่ในลักษณะการดำเนินการพื้นฐานของระบบประมวลผลสัญญาณดิจิทัล ทำให้มีความเหมาะสมที่จะนำไปสร้างจริงบน FPGA หรือบน Chip IC 	<ol style="list-style-type: none"> 1. ในการณีการออกแบบพารามetriกอัลกอริทึมแบบสมมาตร จะจำเป็นต้องใช้พารามิเตอร์ g ในการปรับสเกล ทำให้สมการความสัมพันธ์ที่ใช้ปรับจูน α, และ β จะมี g เข้าไปรบกวนอยู่ด้วย ดังนั้นการปรับจูนตามสมการความสัมพันธ์จึงต้องคำนึงถึง g ที่ถูกเพิ่มเข้ามาด้วย ซึ่งยังไม่ใช่การปรับอัตโนมัติ

บทที่ 7

สรุปผลการวิจัย และข้อเสนอแนะ

7.1 บทสรุป

งานวิจัยที่ถูกนำเสนอในวิทยานิพนธ์ฉบับนี้จะกล่าวถึงการออกวางจรรยาบรรณสัญญาณดิจิทัลแบบผลตอบสนองอิมพัลส์ไม่จำกัด โดยใช้การแปลงจากวงจรรองแอะล็อกเป็นวงจรรองดิจิทัลซึ่งโดยทั่วไปจะนิยมใช้การแปลงไบลิเนียร์ แต่เนื่องจากในกรณีของวงจรรองความถี่ต่ำผ่านการแปลงไบลิเนียร์ดังกล่าวจะทำให้ผลตอบสนองทางขนาด ณ ความถี่ในคริสต์จะถูกทำให้เป็นศูนย์ ซึ่งถ้ามองในมุมทั่วไปก็อาจจะไม่มีปัญหาเนื่องจากความถี่ใกล้ในคริสต์จะอยู่ใกล้กับย่านความถี่หยุด (Stopband Frequency) แต่จะมีการประยุกต์ใช้กับงานบางประเภทที่ต้องการผลตอบสนองทางขนาดที่คล้ายกับวงจรรองแอะล็อกมากที่สุด เช่นงานทางด้านเสียงดนตรี (Audio Music) เนื่องจากผู้ใช้งานที่เคยใช้งานและคุ้นเคยกับระบบแอะล็อกเมื่ออุปกรณ์ถูกเปลี่ยนเป็นระบบดิจิทัลตามยุคสมัย แต่ผู้ใช้งานยังต้องการผลตอบสนองที่ใกล้เคียงกับระบบเดิม จากเหตุผลข้างต้นงานวิจัยที่นำเสนอในวิทยานิพนธ์ฉบับนี้จึงสามารถแก้ปัญหาที่เกิดจากการแปลงไบลิเนียร์ทั่วไปได้ รวมทั้งการประยุกต์ออกแบบวงจรรองสัญญาณดิจิทัลเพื่อชดเชยผลของวงจรรองกึ่งอินแอะล็อกที่ถูกนำเสนอในวิทยานิพนธ์ฉบับนี้ ซึ่งจะเรียกววงจรรองดิจิทัลนี้ว่าวงจรรองชดเชยผลกระทบของวงจรรองกึ่งอิน โดยวงจรรองชดเชยดังกล่าวจะทำหน้าที่ชดเชยอัตราขยายที่ถูกลดทอนจากวงจรรองกึ่งอินแอะล็อกซึ่งเป็นวงจรรองความถี่ต่ำผ่าน หัวใจสำคัญของงานนี้คือการออกแบบวงจรรองดิจิทัลให้เหมือนกับวงจรรองกึ่งอินแอะล็อกมากที่สุด จากนั้นทำการแปลงผกผันฟังก์ชันถ่ายโอน (สลับเทอมเศษกับเทอมส่วน) ของวงจรรองดิจิทัลดังกล่าวเพื่อสร้างเป็นวงจรรองชดเชย ซึ่งจะทำให้ผลตอบสนองทางขนาดของวงจรรองชดเชยดิจิทัลเป็นส่วนกลับของวงจรรองกึ่งอินแอะล็อก การใช้งานวงจรรองกึ่งอินดังกล่าวจะนำไปต่อเรียงกับการประมวลผลหลักของระบบประมวลผลสัญญาณดิจิทัล ดังนั้นขนาดของเอาต์พุตที่ออกจาก D/A จะถูกเพิ่มอัตราขยายตามผลตอบสนองของวงจรรองชดเชย แต่สุดท้ายแล้วหลังจากผ่านวงจรรองกึ่งอินแอะล็อกขนาดของเอาต์พุตที่ถูกขยายจากวงจรรองชดเชยจะถูกลดทอนกลับลงมาให้เท่ากับเอาต์พุตของการประมวลผลหลัก โดยวิทยานิพนธ์นี้ได้นำเสนอการออกแบบวงจรรองดิจิทัลให้เหมือนกับวงจรรองกึ่งอินแอะล็อกมากที่สุดโดยใช้ระเบียบวิธีนิวตัน-ราฟสันแบบขยาย

นอกจากการออกแบบด้วยวิธีเชิงเลขแล้วในวิทยานิพนธ์ฉบับนี้ ยังได้นำเสนอการออกแบบวงจรรองดิจิทัลแบบผลตอบสนองอิมพัลส์ไม่จำกัด ด้วยการแปลงไบลิเนียร์จากวงจรรองแอะล็อกต้นแบบ แต่การแปลงไบลิเนียร์ที่กล่าวถึงจะถูกดำเนินการผ่านไบลิเนียร์ปาสคาลเมทริกซ์ ซึ่งจะเพิ่มความสะดวกในการคำนวณค่าสัมประสิทธิ์ของวงจรรอง โดยการออกแบบดังกล่าวจะถูกประยุกต์ใช้ออกแบบพาราเมตริกอีควอไลเซอร์อันประกอบด้วยวงจรรอง Peaking, วงจรรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Shelving, และวงจรรองความถี่สูงผ่าน Shelving แต่การออกแบบวิธีนี้จะแยกค่านวณระหว่างสัมประสิทธิ์เทอมเศษและสัมประสิทธิ์เทอมส่วน ดังนั้นในงานวิจัยถัดมาจึงได้นำเสนอการประยุกต์ใช้วงจรรองดิจิทัลไบควอดเรติกแบบหลายเอาต์พุต ซึ่งจะนำเสนอการปรับปรุงโพลิเนียร์พาสคาลเมทริกซ์ให้สามารถคำนวณสัมประสิทธิ์ของวงจรรองทั้งหมดผ่านสมการเมทริกซ์เพียงสมการเดียว ร่วมกับการนำเสนอโครงสร้างวงจรรองแบบหลายเอาต์พุตที่สามารถให้เอาต์พุตได้พร้อมกัน 5 วงจรรอง (วงจรรองความถี่ต่ำผ่าน, วงจรรองความถี่สูงผ่าน, วงจรรองความถี่แถบผ่าน, วงจรรองความถี่แถบหยุด, และวงจรรองผ่านตลอด) และเมื่อพิจารณาที่มาของวงจรรอง Peaking, วงจรรองความถี่ต่ำผ่าน Shelving, และวงจรรองความถี่สูงผ่าน Shelving แล้วจะพบว่ามีส่วนมาจากการรวมกันของวงจรรองความถี่ต่ำผ่าน, วงจรรองความถี่สูงผ่าน, และวงจรรองความถี่แถบผ่าน ดังนั้นจึงเหมาะที่นำวงจรรองดิจิทัลไบควอดเรติกแบบหลายเอาต์พุตมาประยุกต์ใช้ออกแบบพาราเมตริกอีควอไลเซอร์ทั้งแบบสมมาตรและอสมมาตร ซึ่งจากจุดเด่นของวงจรรองดิจิทัลไบควอดเรติกแบบหลายเอาต์พุตที่กล่าวถึงข้างต้นทำให้การเปลี่ยนคุณสมบัติของพาราเมตริกอีควอไลเซอร์สามารถดำเนินการได้สะดวกมากขึ้น นอกจากนี้ได้มีการนำเสนอการสร้าง (Implementation) พาราเมตริกอีควอไลเซอร์บนบอร์ดประมวลผล STM32F769I ซึ่งผลการทดลองได้แสดงให้เห็นว่าการออกแบบที่นำเสนอนี้สามารถใช้งานได้จริงบนฮาร์ดแวร์ที่เวลาจริง (Real-time)

อย่างไรก็ตามงานวิจัยที่นำเสนอไปข้างต้น ยังคงต้องมีขั้นตอนคำนวณสัมประสิทธิ์ใหม่ทุกครั้งที่มีการปรับเปลี่ยนคุณลักษณะของพาราเมตริกอีควอไลเซอร์ ดังนั้นงานวิจัยในที่สุดท้าย จึงได้นำเสนอการออกแบบพาราเมตริกอีควอไลเซอร์ที่สามารถปรับจูนได้ทันทีโดยไม่จำเป็นต้องคำนวณสัมประสิทธิ์ของวงจรรองใหม่ โดยจะทำการปรับสัมประสิทธิ์ในโครงสร้างของวงจรรองดิจิทัลไบควอดเรติกแบบหลายเอาต์พุตให้กลายเป็นพารามิเตอร์ที่สามารถปรับจูนได้ทันที α และ β ดังนั้นการปรับเปลี่ยนคุณลักษณะของวงจรรองจะถูกควบคุมโดยพารามิเตอร์ α และ β แทนสัมประสิทธิ์ในโครงสร้างของวงจรรอง นอกจากนั้นโครงสร้างที่ปรับจูนได้ทันทีดังกล่าวจะใช้การดำเนินการดิจิทัลพื้นฐานคือ วงจรคูณ, วงจรบวก, และวงจรถีเลข ดังนั้นจึงเหมาะที่จะประยุกต์วิธีการออกแบบดังกล่าวมาใช้สร้างจริงบนชิปวงจรรวม

7.2 ข้อเสนอแนะและแนวทางการพัฒนาต่อ

ในงานวิจัยกลุ่มแรกที่เกี่ยวข้องกับการออกแบบวงจรรองดิจิทัลให้มีผลตอบสนองทางขนาดเหมือนกับวงจรกรองแอนะล็อกมากที่สุดด้วยระเบียบวิธีเชิงตัวเลข ซึ่งจะใช้ระเบียบวิธีนิวตัน-ราฟสันแบบขยายหาค่าตอบที่เป็นสัมประสิทธิ์ของฟังก์ชันถ่ายโอนโดยตรง เมื่อออกแบบวงจรกรองที่อันดับสูงขึ้นจะทำให้ค่าของสัมประสิทธิ์ต่ำสุดและสูงสุดมีค่าที่ห่างกันมากขึ้น ทำให้การคำนวณมีความ

ซับซ้อนมากขึ้นจนเมื่อเพิ่มจนเกินอันดับที่ 20 จะทำให้ไม่สามารถคำนวณสัมประสิทธิ์ของวงจรรอง จากวิธีที่นำเสนอได้ รวมทั้งไม่สามารถรับรองเสถียรภาพของการออกแบบได้เนื่องการวิธีการออกแบบที่ นำเสนอนี้ไม่สามารถควบคุมตำแหน่งของโพล-ซีโรได้ ดังนั้นถ้าปรับเปลี่ยนมุมมองการออกแบบจาก การคำนวณสัมประสิทธิ์ของฟังก์ชันถ่ายโอนโดยตรงเป็นวิธีการวางโพล-ซีโร ดังนั้นคำตอบที่ได้จากการ คำนวณด้วยระเบียบวิธีนิวตัน-ราฟสันแบบขยายจะเปลี่ยนเป็นค่ารัศมีและมุมของโพล-ซีโรแทน จึง สามารถแก้ปัญหาความเปรี๊ยะต่างของสัมประสิทธิ์ รวมทั้งสามารถรับรองเสถียรภาพของระบบได้ เนื่องจากโพล-ซีโรจะอยู่ภายในรัศมีวงกลมหนึ่งหน่วยในระนาบ z ทั้งหมด

ในระบบสมองกลฝังตัว (Embedded system) และระบบอินเทอร์เน็ตในทุกสิ่ง (Internet of Things: IoT) มักจะนิยมใช้งานไมโครคอนโทรลเลอร์ขนาดเล็ก ซึ่งมักจะเป็นตัวประมวลผลแบบ Fixed point หรือแบบจำนวนเต็ม ดังนั้นจึงไม่เหมาะกับงานที่ต้องมีการคำนวณที่เวลาจริง แต่ในกรณี ที่ต้องการใช้ DAC ก็จะต้องผ่านวงจรรองกู่คินแอนะล็อกเพื่อกำจัดความเป็นขั้นบันไดของสัญญาณ เอาต์พุต ซึ่งก็จะเกิดปัญหาการลดทอนโดยเฉพาะในย่านความถี่สูง ดังนั้นถ้าสามารถพัฒนาวงจรรอง ขดเชยผลกระทบของวงจรรองกู่คินที่ถูกนำเสนอในบทที่ 3 ให้สามารถทำงานบนตัวประมวลผลแบบ Fixed point ในไมโครคอนโทรลเลอร์ขนาดเล็กได้ ก็จะสามารถทำให้การส่งสัญญาณแอนะล็อก เอาต์พุตดำเนินการได้สะดวกมากยิ่งขึ้น

งานวิจัยในกลุ่มที่สองอันเกี่ยวเนื่องกับการออกแบบพารามетริกอีควอไลเซอร์ที่ถูกพัฒนา ต่อเนื่องกันมาตั้งแต่งานวิจัยในบทที่ 4 จนถึงบทที่ 6 ซึ่งเป็นการนำเสนอวงจรรพารามетริกอีควอไลเซอร์ ที่สามารถปรับจูนได้ทันที แต่การปรับจูนในกรณีของการออกแบบด้วยวิธีสมมาตรจะต้องใช้ พารามิเตอร์ g เข้าไปปรับสเกลพารามิเตอร์ปรับจูน α และ β ทำให้สมการความสัมพันธ์ของการ ปรับจูนพารามิเตอร์ดังกล่าวจะต้องคำนึงถึงพารามิเตอร์ g ที่ถูกเพิ่มเข้ามาด้วย ดังนั้นเพื่อให้งานวิจัย มีความสมบูรณ์มากขึ้นจึงควรพัฒนาการปรับจูนพารามิเตอร์ g , α และ β เป็นแบบอัตโนมัติและ แยกอิสระออกจากกัน ทั้งการออกแบบด้วยวิธีสมมาตรและอสมมาตร

เอกสารอ้างอิง

- [1] J. G. Proakis and D. G. Manolakis, Digital Signal Processing Principle, Algorithms, and Applications, New Jersey: Prentice-Hall, 1996.
- [2] S. K. Mitra, Digital signal processing : a computer-based approach, Singapore: McGraw-Hill, 2006.
- [3] สุกัญญา แพรสมบุรณ์, การชดเชยผลของตัวกรอง Reconstruction ในระบบประมวลผลสัญญาณดิจิทัล, วิทยานิพนธ์วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง., 2557.
- [4] S. Praesomboon, K. Dejhan and S. Yimman, "Compensation of Reconstruction Filter Effect in Digital Signal Processing System," *Journal of Signal Processing*, vol. 18, pp. 121-134, MAY 2014.
- [5] รสจรินทร์ บุญทวัน, การออกแบบวงจรกรองสัญญาณดิจิทัลแบบมีการชดเชย บนพื้นฐานวิธีการ Newton-Raphson, วิทยานิพนธ์วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง., 2559.
- [6] R. Boontawan, S. Tooprakai, K. Dejhan and S. Yimman, "Algorithmic Scheme-Integrated Bandwidth Compensatory Reconstruction Filter of Digital Signal Processing System," *Journal of Signal Processing*, vol. 20, no. 3, pp. 91-103, 2016.
- [7] T. Jongsataporn, S. Chivapreecha and S. Yimman, "Digital Compensation Filter for The Effect of Analog Reconstruction filter in DSP System," in *International Symposium on Multimedia and Communication Technology*, Tokyo, 2016.
- [8] U. Zölzer, Digital Audio Signal Processing Second Edition, England: 2008, A John Wiley & Sons.

- [9] V. Välimäki and J. D. Reiss, "All About Audio Equalization: Solutions and Frontiers," *Applied Sciences Audio Signal Processing*, vol. Special Issue, pp. 25-70, 2016.
- [10] T. V. Waterschoot and M. Moonen, "A Pole-Zero Placement Technique for Designing Second-Order IIR Parametric Equalizer Filters," *IEEE Transactions on Audio, Speech, and Language Processing*, vol. 15, no. 8, pp. 2561-2565, Nov. 2007.
- [11] Z. Xiuli, Z. Ruihua and C. Weidong, "Design of digital parametric equalizer based on second-order function," in *International Conference on Image Analysis and Signal Processing*, China, April 2010.
- [12] W. L. Koontz, Introduction to audio signal processing, New York: RIT Press, 2016.
- [13] J. D. Reiss, "Design of Audio Parametric Equalizer Filters Directly in the Digital Domain," *IEEE Transactions on Audio, Speech, and Language Processing*, vol. 19, no. 6, pp. 1843-1848, 2011.
- [14] A. M. P. Isworo, A. Wijayanto and H. Oktavianto, "Design and Implementation of Smartphone-Controlled Programmable Audio Equalizer," in *2021 International Electronics Symposium (IES)*, Surabaya, Indonesia, 2021.
- [15] S. Chivapreecha, A. Jaruvarakul and K. Dejhan, "Modified Pascal matrix for biquad digital filter design and its filter structure realization," in *CSPA 2008*, 2008.
- [16] S. Koshita, M. Abe and M. Kawamata, "Recent Advances in Variable Digital Filters," in *Digital Systems*, London, IntechOpen, 2018, pp. 23-44.
- [17] S. C. Roy, "A Simple Derivation of the Spectral Transformations for IIR Filters," *IEEE TRANSACTIONS ON EDUCATION*, vol. 48, no. 2, pp. 274-278, May 2005.

- [18] A. Ambede and A. P. Vinod, "Design and Implementation of High-Speed All-Pass Transformation-Based Variable Digital Filters by Breaking the Dependence of Operating Frequency on Filter Order," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 24, no. 5, pp. 2008-2012, May 2016.
- [19] A. Ambede, S. Shreejith, A. P. Vinod and S. A. Fahmy, "Design and Realization of Variable Digital Filters for Software-Defined Radio Channelizers Using an Improved Coefficient Decimation Method," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 63, no. 1, pp. 59-63, Jan. 2016.
- [20] A. Ambede, A. P. Vinod and S. Shreejith, "Efficient FPGA implementation of a variable digital filter based spectrum sensing scheme for cognitive IoT systems," in *2017 Global Internet of Things Summit (GloTS)*, Geneva, Switzerland, 2017.
- [21] P. Sutthikarn, S. Chivapreecha and A. Trirat, "A Tunable Multiple Outputs FIR Filter Structure Realization," in *10th International Conference on Robotics, Vision, Signal Processing and Power Applications*, Penang, Malaysia, Aug. 2018.
- [22] A. Fernandez-Vazquez, R. Rosas-Romero and J. Rodriguez-Asomoza, "A New Method for Designing Flat Shelving and Peaking Filters Based on Allpass Filters," in *17th International Conference on Electronics, Communications and Computers (CONIELECOMP'07)*, PUEBLA, MÉXICO, Feb 2007.
- [23] M. Holters and U. Zölzer, "Parametric higher-order shelving filters," in *2006 14th European Signal Processing Conference*, Pisa, 2006.
- [24] P. Regalia and S. Mitra, "Tunable digital frequency response equalization filters," *IEEE Transactions on Acoustics, Speech, and Signal Processing*, vol. 35, no. 1, pp. 118-120, 1987.

- [25] M. Sagbas and K. Fidanboylyu, "Electronically tunable current-mode second-order universal filter using minimum elements," *Electronics Letters*, vol. 40, no. 1, pp. 2-4, 2004.
- [26] S. Chivapreecha, "Universal biquadratic digital filter with tunable capability," in *IEEE TENCON 2011*, Indonesia, 2011.
- [27] G. Daryanani, Principles of Active Network Synthesis and Design, New York: Principles of Active Network Synthesis and Design, 1976.
- [28] D. J. Dailey, Operational Amplifiers and Linear Integrated Circuits, Theory and Applications, McGraw-Hill, 1989.
- [29] W. Hager, Applied Numerical Linear Algebra, Englewoodcliffs: Prentice-Hall, 1988.
- [30] W. Demmel, Applied Numerical Linear Algebra, California: SIAM, 1997.
- [31] W. Kanchanakitkasem, Numerical Methods, Bangkok: Chulalongkorn University Press, 2014.
- [32] T. Jongsataporn and S. Chivapreecha, "Digital Compensation Filter for Analog Reconstruction Filter Effect in DSP System using Least Square Technique," in *International Symposium on Multimedia and Communication Technology*, Ayutthaya, 2017.
- [33] J. L. Awange, E. W. Grafarend, B. Palancz and P. Zaletnyik, Algebraic Geodesy and Geoinformatics, Berlin: Springer, 2010.
- [34] T. B. Deng, S. Chivapreecha and K. Dejhan, "Generalized Pascal Matrices, Inverses, Computations and Properties Using One-to-One Rational Polynomial s - z Transformations," *IEEE Transactions on Circuits and Systems*, vol. 55, no. 9, pp. 2650-2669, Oct, 2008.

- [35] T. Deng, S. Chivapreecha and K. Dejhan, "Unified Pascal matrix for first-order s-z domain transformations," *IEEE Transactions on Signal Processing*, vol. 57, no. 6, pp. 2130-2139, June, 2009.
- [36] S. Chivapreecha, S. Sriyapon, S. Junnapiya and K. Dejhan, "Bilinear s-z with frequency transformation using Pascal matrix operation," in *ISCIT 2005*, Beijing, 2005.
- [37] T. Jongsataporn and S. Chivapreecha, "An implementation of digital parametric equalizer on STM32 processor," in *ECTI-CON 2020*, Phuket, 2020.
- [38] V. Biolková and D. Bielek, "Generalized Pascal matrix of first order S-Z transforms," in *ICECS 1999*, Paphos, 1999.
- [39] B. Pšenička, F. García-Ugalde and A. Herrera-Camacho, "The bilinear Z transform by Pascal matrix and its application in the design of digital filters," *EEE Signal Processing Letters*, vol. 9, no. 11, pp. 368-370, Nov. 2002.
- [40] "STMicroelectronics Hardware Support from Simulink," Mathworks, [Online]. Available: <https://www.mathworks.com/hardware-support/stmicroelectronics.html>. [Accessed 3 Aug 2022].
- [41] R. Bristow-Johnson, "The equivalence of various methods of computing biquad coefficients for audio parametric equalizers," in *97th Convention of the Audio Engineering Society*, San Francisco, 1994.
- [42] "What is a Parametric EQ?," PreSonus, [Online]. Available: <https://www.presonus.com/learn/technical-articles/What-Is-a-Parametric-Eq>. [Accessed 4 Aug. 2022].
- [43] C.-C. Tseng and S.-C. Pei, "Stable IIR notch filter design with optimal pole placement," *IEEE Transactions on Signal Processing*, vol. 49, no. 11, pp. 2673-2681, Nov 2001.

- [44] T. Jongsataporn and S. Chivapreecha, "The matrix-based design and realization of digital parametric equalizer," *AEU - International Journal of Electronics and Communications*, vol. 134, 2021.
- [45] E. C. Ifeachor and J. W. Barrie, *Digital Signal Processing: A Practical Approach*, Wokingham: Addison-Wesley, 1995.
- [46] A. V. Oppenheim and R. W. Schaffer, *Discrete-Time Signal Processing*, New Jersey: Prentice-Hall, 1998.
- [47] N. S. Phuoc, "Variable IIR Digital Band-Pass and Band-Stop Filters," in *2nd International Conference on Imaging, Signal Processing and Communication*, Kuala Lumpur, 2018.
- [48] A. Albert, *Regression and the Moore-Penrose Pseudoinverse*, New York: Academic Press, 1972.
- [49] F. Keiler and U. Zolzer, "Parametric second- and fourth-order shelving filters for audio applications," in *IEEE 6th Workshop on Multimedia Signal Processing*, Italy, Oct 2004.

ภาคผนวก ก ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่

1. T. Jongsataporn and S. Chivapreecha, "The matrix-based design and realization of digital parametric equalizer," *AEU - International Journal of Electronics and Communications*, vol. 134, 2021.
2. T. Jongsataporn, S. Chivapreecha and S. Yimman, "Digital Compensation Filter for The Effect of Analog Reconstruction filter in DSP System," in *International Symposium on Multimedia and Communication Technology*, Tokyo, 2016.
3. T. Jongsataporn and S. Chivapreecha, "Digital Compensation Filter for Analog Reconstruction Filter Effect in DSP System using Least Square Technique," in *International Symposium on Multimedia and Communication Technology*, Ayutthaya, 2017.
4. T. Jongsataporn and S. Chivapreecha, "An implementation of digital parametric equalizer on STM32 processor," in *ECTI-CON 2020*, Phuket, 2020.

ScienceDirect Journals & Books    Register Sign in

Brought to you by:
Central Library of King Mongkut's
University of Technology North
Bangkok




AEU - International Journal of Electronics and Communications
Supports open access

7.2 CiteScore | 3.169 Impact Factor

Articles & Issues  About  Publish  Order journal  Search in this jour  Submit your article  Guide for authors 

Volume 134

May 2021

 Download full issue[< Previous vol/issue](#)[Next vol/issue >](#)

Actions for selected articles

Select all / Deselect all

 Download PDFs Export citations Show all article previews

Contents

Research Papers

Special issue to ECTI-CON 2020

Receive an update when the latest issues in this journal are published

 Sign in to set up alerts Full text access

Editorial Board

Article 153759

 View PDF

Research Papers


 Research article  Full text access

Design and performance analysis of MAZE shaped quad port ACS fed tri band MIMO antenna for V2V and multi band applications

Praveen Yummadisetty, Najdu, Mahesh Babu, Dhaneekula, Khaled Mohamad Almustafa, Arvind Kumar, ... Sai Haranadh

Akkapanthula


Article 153676

 View PDFArticle preview  Research article  Full text access

A slotted UWB-MIMO antenna with quadruple band-notch characteristics using mushroom EBG structure

Sumon Modak, Taimoor Khan


Article 153673

 View PDFArticle preview  Research article  Full text access

Design and analysis of a 1.1 and 2.4 GHz concurrent dual-band low noise amplifier for multiband radios

Aayush Aneja, Xue Jun Li, Peter Han Joo Chong

Article 153654

 View PDFArticle preview  Research article  Full text access

Electronically tunable CFTA based positive and negative grounded capacitance multipliers

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Contents lists available at ScienceDirect

International Journal of Electronics and Communications

journal homepage: www.elsevier.com/locate/aeue

The matrix-based design and realization of digital parametric equalizer

Thitaphan Jongsatoporn, Sorawat Chivapreecha*

Department of Telecommunication Engineering, Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

ARTICLE INFO

Keywords:
 Digital parametric equalizer
 Peaking filter
 Shelving filter
 Bilinear Pascal matrix
 s-z transformation
 STM32 processor

ABSTRACT

This paper presents the design of a digital parametric equalizer based on matrix design equations and their corresponding digital filter structures. Matrix-based design equations are modified from the so called bilinear Pascal matrix for s-z transformation, appended with modifications in the feed-forward path of direct form-II digital filter structure based on consideration of standard biquadratic filters compared with peaking filter, lowpass shelving filter, and highpass shelving filter, as well as the proposed improvement procedures. Consequently, matrix design equations and their corresponding multiple outputs filter structure realizations for digital version of peaking, lowpass shelving, and highpass shelving filters can be achieved. The matrix-based design method and the proposed filter structure are consistent in terms of implementation because the main mechanism of a digital filter is determined by its filter structure, while filter coefficients are calculated from the matrix equation that corresponds to such structure. Digital filter characteristic can be determined or adjusted by updating new filter coefficients through matrix computation. The proposed peaking, lowpass shelving, and highpass shelving digital filters can be cascaded for use as a digital parametric equalizer. Design examples and the resulting frequency responses are shown as well as further explanation of hardware implementation for real-time digital parametric equalizer on STM32F769 processor. The simulation results and actual hardware frequency response measurements are compared to confirm the success of the proposed matrix-based design method and its implementation.

1. Introduction

Parametric equalizers are a necessity of sound adjustment to obtain desirable frequencies. Owing to the freedom of parameter setting, parametric equalizers provide more flexibility compared with graphic equalizers. In graphic equalizers, only gain (boost/or cut) of each frequency band that can be adjusted by users, both center frequency and bandwidth of each frequency band will be defined in stage of design, cannot be adjusted by users. But in parametric equalizers, not only gain that can be adjusted, the center frequency and bandwidth of frequency band can also be adjusted by users. Therefore, they have a wide application in fields of sound and musical adjustments, both for live music and production in studio. There are essential components to a parametric equalizer system: peaking filter, lowpass shelving filter, and highpass shelving filter. These components are meant to be cascade connected to attain the desired frequency band.

Mostly the design of a digital parametric equalizer system relies on the principle of an analog transfer function [1–2]. This approach requires the s-z transformation to be in the form of a digital transfer

function. A design of the digital parametric equalizer in [3] using a bilinear Pascal matrix [4–8] to s-z transform has been proposed. This matrix-based transform offers benefit in the updating of the digital filter coefficients resulting in characteristic adjustment during operation. Moreover, the hardware implementation on STM32 processor has been demonstrated using MATLAB/Simulink equipped with the supporting library packages by STMicroelectronics [9]. The study showed an agreement between the simulation and the hardware implementation. However, the use of analog prototype transfer function in [3] comprises of two conditions, boost and cut. So in fact, it appears to be comprised of two sub-transfer functions for each which can be considered as a drawback. In addition, the direct use of a bilinear Pascal matrix for 2nd order systems with matrix size 3×3 does not look outstanding and is not very attractive. There is still a room for the improvement.

The design of a digital parametric equalizer filter (peaking filter) directly in the digital domain by considering the pole-zero placement was proposed in [10]. There are 32 possible solutions depending on considered constraints which are derived, but only one solution that may be of practical applications. The proposed in [11] is also direct

* Corresponding author.
 E-mail address: sorawat.ch@kmitl.ac.th (S. Chivapreecha).

<https://doi.org/10.1016/j.aeue.2021.153651>

Received 15 November 2020; Accepted 3 February 2021

Available online 9 February 2021

1434-8411/© 2021 Elsevier GmbH. All rights reserved.

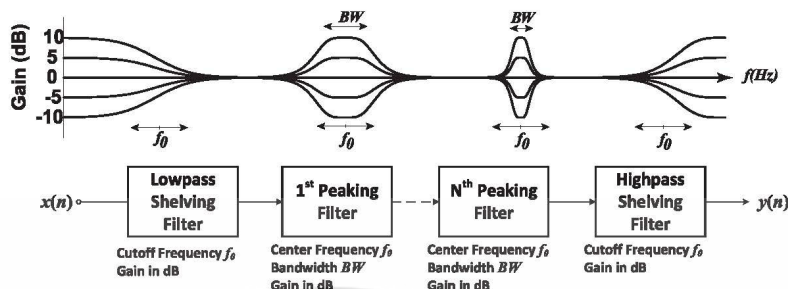


Fig. 1. Block diagram of parametric equalizer.

design in the digital domain, which has problems regarding the accuracy of bandwidth, the obtained gain not matching the specifications, and gain at frequency 0 and π are not unity gain. The problems in [11] are improved in [10], however only a design solution for a peaking filter is presented, not lowpass shelving and highpass shelving filters. Due to its quite complicated design method, it is also not suitable for realization especially for real-time processing. The proposed in [12] is single input multiple outputs biquadratic digital filter design where the bilinear Pascal matrix for the s-z transformation is modified based on transformation of standard analog biquadratic filter prototypes as lowpass (LP), highpass (HP), bandpass (BP), bandstop (BS), and allpass (AP) filters which corresponds to the modification of the direct form-II digital filter structure. Consequently, digital filter structure with single input and five simultaneous outputs can be achieved with only one matrix design equation for filter coefficient calculation that corresponds to filter structure being introduced.

This paper presents the matrix-based design and filter realization of digital peaking, LP shelving, and HP shelving filters that can be cascaded to become a digital parametric equalizer. The modified bilinear Pascal matrix and multi-output filter structure in [12] is improved to obtain the matrix design equations for a digital peaking filter, digital LP shelving filter, and digital HP shelving filter, respectively. The corresponded filter structure for each matrix equation not only gives peaking, LP shelving, or HP shelving output but also gives multiple outputs which are LP, HP, BP, BS, and AP outputs as well, as proposed in [12]. The peaking filter, LP shelving filter, and HP shelving filter obtained by the proposed matrix design equations and proposed filter structure realizations can be cascade connected to form a digital parametric equalizer. Design examples and results, including hardware implementation of a digital parametric equalizer on an STM32 processor as in [3,9], will be demonstrated to verify the effectiveness of the design methods that can be used as a real-time digital parametric equalizer.

This paper is organized as follows: the s-z transformation using bilinear Pascal matrix and the method to provide 5 outputs biquadratic digital filter simultaneously are reviewed in Section 2. In Section 3, the proposed design method for asymmetric type and symmetric type digital parametric equalizers will be illustrated. Simulation results with proposed design methods and the hardware implementation on STM32 processor will be discussed in Section 4, and also are compared in results. Finally, conclusions of this paper will be summarized in Section 5.

2. Background

2.1. Digital parametric equalizer design using bilinear Pascal matrix

A parametric equalizer is a cascade connection of peaking filters, an LP shelving filter, and an HP shelving filter as shown in Fig. 1.

The 2nd order transfer functions of the analog peaking, LP shelving,

and HP shelving filters [1–2] can be written as Eqs. (1)–(3),

$$H_{PE}(s) = \begin{cases} \frac{s^2 + g\Omega_0s/Q + \Omega_0^2}{s^2 + \Omega_0s/Q + \Omega_0^2}, g > 1 \\ \frac{s^2 + \Omega_0s/Q + \Omega_0^2}{s^2 + g\Omega_0s/Q + \Omega_0^2}, g < 1 \end{cases} \quad (1)$$

$$H_{LS}(s) = \begin{cases} \frac{s^2 + \sqrt{2}g\Omega_0s + g\Omega_0^2}{s^2 + \sqrt{2}\Omega_0s + \Omega_0^2}, g > 1 \\ \frac{s^2 + \sqrt{2}\Omega_0s + \Omega_0^2}{s^2 + \sqrt{2}g\Omega_0s + \Omega_0^2}, g < 1 \end{cases} \quad (2)$$

$$H_{HS}(s) = \begin{cases} \frac{g\Omega_0^2 + \sqrt{2}g\Omega_0s + s^2}{s^2 + \sqrt{2}\Omega_0s + \Omega_0^2}, g > 1 \\ \frac{s^2 + \sqrt{2}\Omega_0s + \Omega_0^2}{g\Omega_0^2 + \sqrt{2}g\Omega_0s + s^2}, g < 1 \end{cases} \quad (3)$$

where Ω_0 is center frequency in rad/sec, Q is the quality factor related to the bandwidth of the peaking filter, g is gain in linear scale, boost case ($g > 1$) and cut case ($g < 1$).

note: If gain is defined in dB (G in dB), then dBs must be converted to a linear scale by using $g = 10^{G/20}$.

The design of the digital parametric equalizer in [3] requires an s-z transformation using a bilinear Pascal matrix [4–8]. This approach is the same as the s-z transformation using the typical bilinear transform, but it is more convenient to operate in the matrix calculations which are suitable to update coefficients in the filter. The relationship of the normalized digital frequency and analog frequency can be written as

$$\Omega = \tan\left(\frac{\omega T}{2}\right) \quad (4)$$

where Ω is the analog frequency, ω is the normalized digital frequency, T is the sampling period.

The coefficients of the digital filter can be calculated by multiplication between the bilinear Pascal matrix and the coefficients of the analog filter in Eq. (5) individually in the numerator and denominator terms,

$$[a_i] = [P][A_i]; [b_i] = [P][B_i] \quad (5)$$

where $[a_i]$, $[b_i]$ are the numerator and denominator coefficient vectors of the digital filter, respectively,

$[A_i]$, $[B_i]$ are the numerator and denominator coefficient vectors of the analog filter, respectively,

$$[P] \text{ is the } 2^{\text{nd}} \text{ order bilinear Pascal matrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix}.$$

However, the design method in [3] has 2 conditions for each transfer

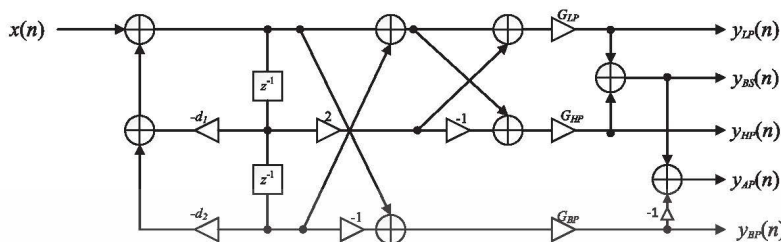


Fig. 2. Multiple biquadratic digital filter structure in [12].

function (boost and cut cases), equivalent to uses 6 transfer functions in total and can be considered as a drawback of this method. Therefore, this paper aims to reduce transfer functions caused by condition of boost or cut, by using the structure and matrix equation of the multiple outputs biquadratic digital filter applied to the digital parametric filter design.

2.2. Multiple outputs biquadratic digital filter

A new design of biquadratic digital filter has been proposed in [12]. The design can be given various outputs such as LP, HP, BP, BS, and AP filtering outputs. This is possible by using the matrix operators for bilinear Pascal matrix s-z transformation to transform the analog biquadratic transfer functions to digital biquadratic transfer functions. The standard analog biquadratic equations for LP, HP, BP, BS, and AP filters, shown in Eqs. (6)–(10) respectively.

$$H_{LP}(s) = \frac{\Omega_0^2}{\Omega_0^2 + \left(\frac{b_0}{Q}\right)s + s^2} \tag{6}$$

$$H_{HP}(s) = \frac{s^2}{\Omega_0^2 + \left(\frac{b_0}{Q}\right)s + s^2} \tag{7}$$

$$H_{BP}(s) = \frac{\left(\frac{b_0}{Q}\right)s}{\Omega_0^2 + \left(\frac{b_0}{Q}\right)s + s^2} \tag{8}$$

$$H_{BS}(s) = \frac{\Omega_0^2 + s^2}{\Omega_0^2 + \left(\frac{b_0}{Q}\right)s + s^2} \tag{9}$$

$$H_{AP}(s) = \frac{\Omega_0^2 - \left(\frac{b_0}{Q}\right)s + s^2}{\Omega_0^2 + \left(\frac{b_0}{Q}\right)s + s^2} \tag{10}$$

Using the bilinear Pascal matrix for s-z transformation to transform Eqs. (6)–(10) to be the digital transfer functions, we obtain the digital transfer functions as Eqs. (11)–(15).

$$H_{LP}(z) = \frac{G_{LP}(1 + 2z^{-1} + z^{-2})}{1 + d_1z^{-1} + d_2z^{-2}} \tag{11}$$

$$H_{HP}(z) = \frac{G_{HP}(1 - 2z^{-1} + z^{-2})}{1 + d_1z^{-1} + d_2z^{-2}} \tag{12}$$

$$H_{BP}(z) = \frac{G_{BP}(1 - z^{-2})}{1 + d_1z^{-1} + d_2z^{-2}} \tag{13}$$

$$H_{BS}(z) = H_{LP}(z) + H_{HP}(z) \tag{14}$$

$$H_{AP}(z) = H_{BS}(z) - H_{BP}(z) \tag{15}$$

The structure of a single input multiple outputs biquadratic digital filter has been presented in [12]. The structure is composed of 5 coefficients as shown in Fig. 2. These coefficients can be calculated by using a matrix equation which is modified from the bilinear Pascal matrix [12] written by Eq. (16).

$$\begin{bmatrix} G_{LP} \\ G_{BP} \\ G_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k\Omega_0^2 \\ k\left(\frac{\Omega_0}{Q}\right) \\ k \end{bmatrix} \tag{16}$$

where $k = \frac{1}{Q^2 + \frac{1}{4}}$, $\Omega_0 = \tan\left(\frac{\omega_c}{2}\right)$ rad/s, f_0 is center frequency (Hz), F_s is sampling frequency, and Q is quality factor.

Using only one matrix equation as in Eq. (16) and a filter structure which is modified in feed-forward path from direct form-II structure in Fig. 2 can give 5 outputs simultaneously. The proposed design in this paper is the improvements of modified bilinear Pascal matrix in Eq. (16) and filter structure in Fig. 2 for the matrix-based design and filter structure realization of digital parametric equalizer.

3. Proposed matrix design equations and filter structure realizations for digital parametric equalizer

The transfer functions of the peaking filter, LP shelving filter, and HP shelving filter can be represented in the matrix equations. The representation of such equations requires the modification of Eq. (16).

In addition, the filter structure realizations must be related to the designed matrix equations.

3.1. Asymmetric type digital parametric equalizer

The design can be considered as the transfer functions of standard analog biquadratic LP filter, HP filter, and BP filter, Eqs. (6)–(10). These are compared with analog prototype transfer function of peaking, LP shelving, and HP shelving filter, Eqs. (1)–(3) in boost case. However, the cut case is not suitable to be designed with the multiple outputs biquadratic digital filter. This implies that the design is limited to only the boost case. It is obvious that the amplitude response characteristics of the boost case and cut case are asymmetric.

For asymmetric type peaking filter design, the transfer functions in Eqs. (6)–(10) can be compared to the transfer functions of an analog peaking filter (boost; $g > 1$) in Eq. (1). The relation can be found as Eq. (17).

The multiple outputs biquadratic digital filter can be applicable to

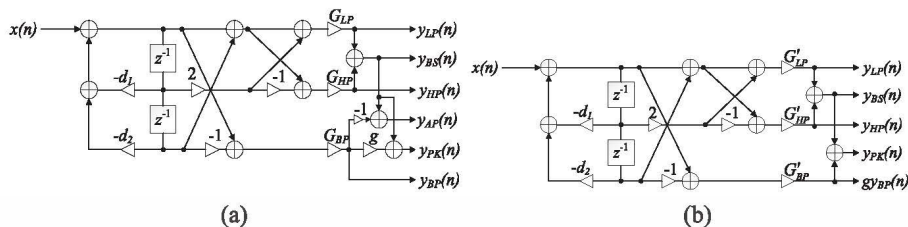


Fig. 3. Multi-output filter structure with asymmetric peaking filter for design solution 1 (a) and design solution 2 (b).

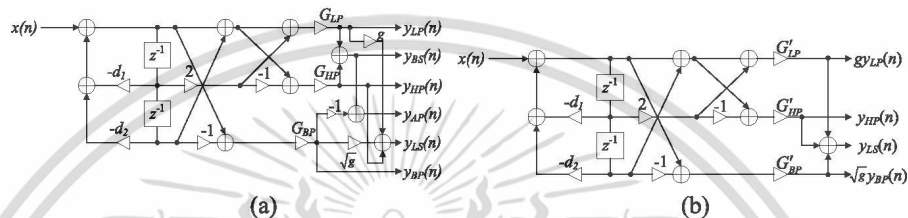


Fig. 4. Multi-output filter structure with asymmetric LP shelving filter for design solution 1 (a) and design solution 2 (b).

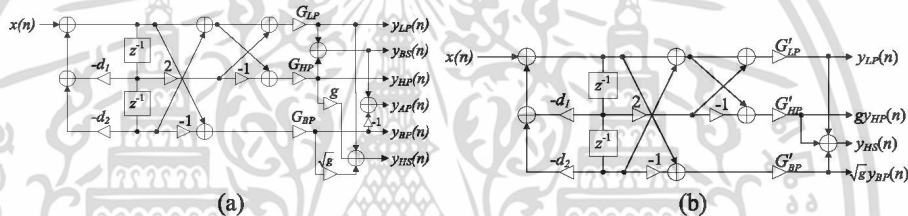


Fig. 5. Multi-output filter structure with asymmetric HP shelving filter for design solution 1 (a) and design solution 2 (b).

$$\frac{s^2 + g \left(\frac{\Omega_0}{Q}\right) s + \Omega_0^2}{s^2 + \left(\frac{\Omega_0}{Q}\right) s + \Omega_0^2} + \frac{\Omega_0^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right) s + s^2} + \frac{g \left(\frac{\Omega_0}{Q}\right) s}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right) s + s^2} + \frac{s^2}{\Omega_0^2 + \left(\frac{\Omega_0}{Q}\right) s + s^2} \quad (17)$$

the peaking filter design. The structure in Fig. 2 can be considered and the digital transfer function show as Eq. (18).

$$H_{PK}(z) = H_{LP}(z) + gH_{BP}(z) + H_{HP}(z) \quad (18)$$

LP shelving and HP shelving filters design can be considered in the same manner. Through comparing the Eqs. (6)–(10) with Eq. (2) and Eq. (3), we obtain the digital transfer function of asymmetric LP shelving and HP shelving filter in Eqs. (19)–(20), respectively. In the case of LP shelving and HP shelving filter, Q is fixed by $Q = 1/\sqrt{2}$.

$$H_{LS}(z) = gH_{LP}(z) + \sqrt{g}H_{BP}(z) + H_{HP}(z) \quad (19)$$

$$H_{HS}(z) = H_{LP}(z) + \sqrt{g}H_{BP}(z) + gH_{HP}(z) \quad (20)$$

In this paper, we provide two design solutions for parametric equalizer realization.

Design solution 1: We design by factoring g and \sqrt{g} in Eqs. (18)–(20) into the filter structure. The coefficients G_{LP} , G_{HP} , G_{BP} , d_1 , and d_2 can be calculated by the matrix equation in Eq. (16). This approach is attractive in the sense of the simultaneously gain (g) adjustment without the recalculation of coefficients. In addition, the characteristics of the multiple outputs such as LP, HP, BP, BS, and AP remain. The modified structure of the multiple outputs biquadratic digital filter with asymmetric peaking, LP shelving, and HP shelving filter structure is as shown in Fig. 3 (a), Fig. 4 (a), Fig. 5 (a) respectively.

Design solution 2: This approach is based on embedding g and \sqrt{g} into the matrix equation. The matrix equation is used to determine the coefficients in Eq. (16) which is modified by adding g for the digital peaking filter, g and \sqrt{g} for the shelving filter, so the matrix equation for asymmetric digital peaking filter, LP shelving filter, and HP shelving filter are shown in Eqs. (21)–(23), respectively. It is clear that for the

multiple outputs filter structure, in the case of peaking filter only, BP output is inevitably scaled by g as shown in Fig. 3 (b), in the case of LP shelving filter, the LP output is scaled by g and the BP output by \sqrt{g} as shown in Fig. 4 (b), in the case of HP shelving filter, the HP output is scaled by g and the BP output by \sqrt{g} as shown in Fig. 5 (b). With this approach, the main structure can be commonly used in all filter types, by only changing the matrix design equations.

$$\begin{bmatrix} G_{LP} \\ G_{BP} \\ G_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & g & 0 \\ 0 & 0 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k\Omega_0^2 \\ k \\ k \end{bmatrix} \quad (21)$$

$$\begin{bmatrix} G_{LP} \\ G_{BP} \\ G_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} g & 0 & 0 \\ 0 & \sqrt{g} & 0 \\ 0 & 0 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k\Omega_0^2 \\ k(\Omega_0 \times \sqrt{2}) \\ k \end{bmatrix} \quad (22)$$

$$\begin{bmatrix} G_{LP} \\ G_{BP} \\ G_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & \sqrt{g} & 0 \\ 0 & 0 & g \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k\Omega_0^2 \\ k(\Omega_0 \times \sqrt{2}) \\ k \end{bmatrix} \quad (23)$$

However, the design presented in this section suffers from the asymmetry of the amplitude response in the boost and cut cases. The problem is due to the analog prototype transfer function because this design considers only the boost case. This problem will be solved in the next section.

$$H_{PK}(z) = \frac{k_{PK}(\Omega_0^2 + g\Omega_0/(Q\sqrt{g}) + 1) + 2k_{PK}(\Omega_0^2 - 1)z^{-1} + k_{PK}(\Omega_0^2 - g\Omega_0/(Q\sqrt{g}) + 1)z^{-2}}{1 + 2k_{PK}(\Omega_0^2 - 1)z^{-1} + k_{PK}(\Omega_0^2 - \Omega_0/(Q\sqrt{g}) + 1)z^{-2}} \quad (30)$$

3.2. Symmetric type digital parametric equalizer

It is obvious that the amplitude response characteristic of boost and cut cases are not symmetrical. This paper also proposes an approach to solve this problem by deriving new transfer functions of peaking filter, LP shelving filter, and HP shelving filter to be symmetrical both in boost and cut cases.

Peaking filter-symmetric type:

$$H_{PK}(z) = \frac{(G_{LP} + gG_{BP} + G_{HP}) + 2(G_{LP} - G_{HP})z^{-1} + (G_{LP} - gG_{BP} + G_{HP})z^{-2}}{1 + 2(G_{LP} - G_{HP})z^{-1} + (G_{LP} - G_{BP} + G_{HP})z^{-2}} \quad (31)$$

The design of the peaking filter follows the approach of the transformation of the LP shelving filter to a peaking filter using standard LP to BP transformation. The 1st order LP shelving filter is introduced, and the amplitude response characteristic is defined by Eq. (24).

$$H_{LS}(0) = g, H_{LS}(\infty) = 1, |H_{LS}(j\Omega_0)| = \sqrt{g} \quad (24)$$

The center frequency, Ω_0 will be defined at the midpoint gain, $G/2$ (in dB) or linear gain is \sqrt{g} [13–14]. The 1st order analog LP shelving filter can be written as Eq. (25), and the amplitude response shown as Eq. (26).

$$H_{LS}(s) = \frac{s/\Omega_0 + g}{s/\Omega_0 + 1} \quad (25)$$

$$|H_{LS}(j\Omega)| = \sqrt{\frac{\Omega^2 + g^2\Omega_0^2}{\Omega^2 + \Omega_0^2}} \quad (26)$$

The frequency Ω , providing the amplitude at the position of Ω_0 is equal to \sqrt{g} , can be determined in Eq. (27).

$$\sqrt{g} = \sqrt{\frac{\Omega^2 + g^2\Omega_0^2}{\Omega^2 + \Omega_0^2}} \Rightarrow \Omega = \sqrt{g}\Omega_0 \quad (27)$$

$$\hat{H}_{LS}(s) = \frac{\sqrt{g}s/\Omega_0 + g}{\sqrt{g}s/\Omega_0 + 1} \quad (28)$$

If $\Omega = \sqrt{g}\Omega_0$ or $s = \sqrt{g}s$, is substituted into the LP shelving filter Eq. (25) to create a new LP shelving $\hat{H}_{LS}(s)$, so $|\hat{H}_{LS}(\Omega_0)| = |H_{LS}(\sqrt{g}\Omega_0)| = \sqrt{g}$, the LP shelving filter transfer function can be expressed as Eq. (28). Then, we use the LP to BP transformation by substituting $s = \frac{s^2 + \Omega_0^2}{2s}$ in Eq. (28). Therefore the analog transfer function of peaking filter is found as seen in Eq. (29).

$$H_{PK}(s) = \frac{\sqrt{g}s^2 + \Omega_0 g s/Q + \Omega_0^2 \sqrt{g}}{\sqrt{g}s^2 + \Omega_0 s/Q + \Omega_0^2 \sqrt{g}} \quad (29)$$

where Ω_0 = center frequency of peaking filter,
 Q = quality factor that is relate with bandwidth, $Bw = \frac{\Omega_0}{Q}$.

The transformation of Eq. (29) to a digital transfer function using the bilinear Pascal matrix is possible as in Eq. (30).

$$k_{PK} = \frac{1}{\left(\Omega_0^2 + \frac{\Omega_0}{Q\sqrt{g}} + 1\right)}$$

The design of the peaking filter using multiple outputs biquadratic digital filter can be now performed by substituting Eqs. (11)–(13) into the digital transfer function of the peaking filter in Eq. (18) as follows,

When comparing Eq. (30) with Eq. (31), we found Eq. (32).

$$G_{LP} = k_{PK}\Omega_0^2, G_{BP} = k_{PK}\frac{\Omega_0}{Q\sqrt{g}}, G_{HP} = k_{PK} \quad (32)$$

Therefore, the matrix equation for the proposed symmetric peaking filter is Eq. (33).

$$\begin{bmatrix} G_{LP} \\ G_{BP} \\ G_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & g & 0 \\ 0 & 0 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k_{PK}\Omega_0^2 \\ \Omega_0 \\ k_{PK}Q\sqrt{g} \\ k_{PK} \end{bmatrix}; \text{ where } k_{PK} = \frac{1}{\left(\Omega_0^2 + \frac{\Omega_0}{Q\sqrt{g}} + 1\right)} \quad (33)$$

The comparison between Eq. (21) and Eq. (33), the scaling Q with \sqrt{g} is used in symmetric type design.

Lowpass and highpass shelving filters-symmetric type:
 LP and HP shelving filters are considered similar to peaking filters, but starting from the biquadratic analog prototypes as Eqs. (2)–(3) in boost case. Therefore, the amplitude response of LP shelving and HP shelving filters are shown as Eqs. (34)–(35), respectively.

$$|H_{LS}(j\Omega)| = \sqrt{\frac{\Omega^4 + g^2\Omega_0^4}{\Omega^2 + \Omega_0^2}} \quad (34)$$

$$H_{LS}(z) = \frac{k_{LS} \left(g \left(\frac{\Omega_0}{g^{1/4}} \right)^2 + \sqrt{2g} \frac{\Omega_0}{g^{1/4}} + 1 \right) + 2k_{LS} \left(g \left(\frac{\Omega_0}{g^{1/4}} \right)^2 - 1 \right) z^{-1} + k_{LS} \left(g \left(\frac{\Omega_0}{g^{1/4}} \right)^2 - \sqrt{2g} \frac{\Omega_0}{g^{1/4}} + 1 \right) z^{-2}}{1 + 2k_{LS} \left(\left(\frac{\Omega_0}{g^{1/4}} \right)^2 - 1 \right) z^{-1} + k_{LS} \left(\left(\frac{\Omega_0}{g^{1/4}} \right)^2 - \sqrt{2g} \frac{\Omega_0}{g^{1/4}} + 1 \right) z^{-2}} \quad (40)$$

$$H_{HS}(z) = \frac{k_{HS} (\sqrt{g}\Omega_0^2 + \sqrt{2g}\Omega_0g^{1/4} + g) + 2k_{HS} (\sqrt{g}\Omega_0^2 - g)z^{-1} + k_{HS} (\sqrt{g}\Omega_0^2 - \sqrt{2g}\Omega_0g^{1/4} + g)z^{-2}}{1 + 2k_{HS} (\sqrt{g}\Omega_0^2 - 1)z^{-1} + k_{HS} (\sqrt{g}\Omega_0^2 - \sqrt{2g}\Omega_0g^{1/4} + 1)z^{-2}} \quad (41)$$

$$|H_{HS}(j\Omega)| = \sqrt{\frac{g^2\Omega^4 + \Omega_0^4}{\Omega^2 + \Omega_0^2}} \quad (35)$$

According to the symmetric peaking filter, the gain at Ω_0 is defined as \sqrt{g} . So, obtain Eq. (36) for LP shelving filter, and Eq. (37) for HP shelving filter.

$$H_{LS}(z) = \frac{(gG_{LP} + \sqrt{g}G_{BP} + G_{HP}) + 2(gG_{LP} - G_{HP})z^{-1} + (gG_{LP} - \sqrt{g}G_{BP} + G_{HP})z^{-2}}{1 + 2(G_{LP} - G_{HP})z^{-1} + (G_{LP} - G_{BP} + G_{HP})z^{-2}} \quad (42)$$

$$H_{HS}(z) = \frac{(G_{LP} + \sqrt{g}G_{BP} + gG_{HP}) + 2(G_{LP} - gG_{HP})z^{-1} + (G_{LP} - \sqrt{g}G_{BP} + gG_{HP})z^{-2}}{1 + 2(G_{LP} - G_{HP})z^{-1} + (G_{LP} - G_{BP} + G_{HP})z^{-2}} \quad (43)$$

$$\sqrt{g} = \sqrt{\frac{\Omega^4 + g^2\Omega_0^4}{\Omega^2 + \Omega_0^2}} \Rightarrow \Omega = g^{1/4}\Omega_0 \quad (36)$$

$$\sqrt{g} = \sqrt{\frac{g^2\Omega^4 + \Omega_0^4}{\Omega^2 + \Omega_0^2}} \Rightarrow \Omega = \frac{\Omega_0}{g^{1/4}} \quad (37)$$

Consider in the same manner as peaking filter, from Eq. (36) by substituting $s = g^{1/4}s$ into Eq. (2) for LP shelving and from Eq. (37) by substituting $s = \frac{\Omega_0}{g^{1/4}}$ into Eq. (3) for HP shelving filter, the new transfer functions can be expressed as Eqs. (38)–(39).

$$\hat{H}_{LS}(s) = \frac{s^2 + \sqrt{2g} \frac{\Omega_0}{g^{1/4}} s + g \left(\frac{\Omega_0}{g^{1/4}} \right)^2}{s^2 + \sqrt{2g} \frac{\Omega_0}{g^{1/4}} s + \left(\frac{\Omega_0}{g^{1/4}} \right)^2} \quad (38)$$

$$\hat{H}_{HS}(s) = \frac{gs^2 + \sqrt{2g}\Omega_0g^{1/4}s + \sqrt{g}\Omega_0^2}{s^2 + \sqrt{2g}\Omega_0g^{1/4}s + \sqrt{g}\Omega_0^2} \quad (39)$$

Therefore, the digital transfer function of the symmetrical LP shelving and HP shelving filter can be shown as Eqs. (40)–(41).

$$\text{where } k_{LS} = \frac{1}{\left(\left(\frac{\Omega_0}{g^{1/4}} \right)^2 + \sqrt{2g} \frac{\Omega_0}{g^{1/4}} + 1 \right)} \text{ and } k_{HS} = \frac{1}{\left(\sqrt{g}\Omega_0^2 + \sqrt{2g}\Omega_0g^{1/4} + 1 \right)}$$

The digital transfer function of the shelving filter by multiple outputs biquadratic digital filter structure is obtained by substituting Eqs. (11)–(13) into Eq. (19) for the LP shelving filter, and Eq. (20) for the HP shelving filter, which are shown in Eqs. (42)–(43), respectively.

$$\begin{bmatrix} G_{LP} \\ G_{BP} \\ G_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} g & 0 & 0 \\ 0 & \sqrt{g} & 0 \\ 0 & 0 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k_{LS} \left(\frac{\Omega_0}{g^{1/4}}\right)^2 \\ k_{LS} \sqrt{2} \frac{\Omega_0}{g^{1/4}} \\ k_{LS} \end{bmatrix} \quad (44)$$

$$\begin{bmatrix} G_{LP} \\ G_{BP} \\ G_{HP} \\ d_1 \\ d_2 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ 0 & \sqrt{g} & 0 \\ 0 & 0 & g \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \begin{bmatrix} k_{HS} (g^{1/4} \Omega_0)^2 \\ k_{HS} \sqrt{2} g^{1/4} \Omega_0 \\ k_{HS} \end{bmatrix} \quad (45)$$

In the case of the LP shelving filter compared with Eq. (22) and Eq. (44), the difference in the scaling of Ω_0 can be found with $1/g^{1/4}$. In addition, when comparing Eq. (23) and Eq. (45) in the case of HP shelving filter, the distinguishable results on the scaling Ω_0 with $g^{1/4}$ can be found.

Design solution 1: As with the asymmetric type, g and \sqrt{g} are factored into the filter structure. Therefore, the filter structure of symmetric type digital peaking filter, LP shelving filter, and HP shelving filter can be used with the

asymmetric type as shown in Fig. 3 (a), Fig. 4 (a), Fig. 5 (a) respectively. But the matrix equation Eq. (16) was modified, for peaking filter scaling Q with \sqrt{g} , LP shelving filter scaling Ω_0 with $1/g^{1/4}$, and HP shelving filter scaling Ω_0 with $g^{1/4}$. In case of shelving filter, Q is fixed by $Q = 1/\sqrt{2}$.

Design solution 2: In this solution g and \sqrt{g} are embedded in the matrix equation, so the matrix equation of the peaking, LP shelving, and HP shelving filter are shown in Eqs. (33), (44), (45) and the structure is commonly used as Fig. 3 (b), Fig. 4 (b), Fig. 5 (b) respectively.

The symmetric type design when compared with asymmetric type for example in peaking filter, the scaling of Q by \sqrt{g} in symmetric type design affects to narrower bandwidth in boost case when compared with asymmetric type design. Conversely, wider bandwidth in cut case. However, this effect leads to symmetrical amplitude response both of boost and cut cases for symmetric type design without any conditions as in [3]. Scaling of Ω_0 by $1/g^{1/4}$, for LP shelving filter and scaling of Ω_0 by $g^{1/4}$ for HP shelving filter in symmetric type design also give the beneficial effects same as peaking filter.

4. Results and hardware implementation on STM32 processor

4.1. Simulation results

In this section, the frequency responses obtained from the proposed

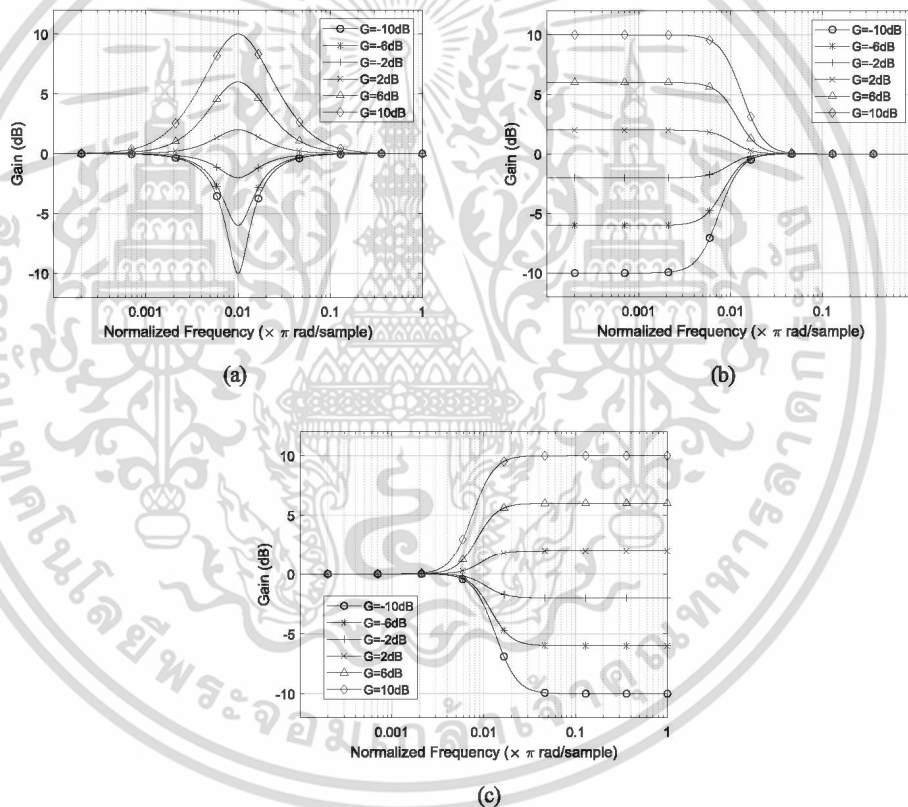


Fig. 6. Amplitude responses of asymmetric type design of peaking filter (a), LP shelving filter (b), HP shelving filter (c) for various gain in dB.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

matrix design equations for the peaking filter, LP shelving filter, and HP shelving filter and both asymmetric and symmetric types will be shown. Moreover, with the single input multiple outputs filter structure, other outputs, such as LP, HP, BP, BS, and AP outputs can be shown as well.

The frequency responses from design of the peaking filter, LP shelving filter and HP shelving filter with the same normalized digital frequency ω_0 as 0.01π rad/sample that related to Ω_0 as Eq. (4), and quality factor Q of peaking filter as 0.707 by asymmetric type design, for various gain in dB can be shown in Fig. 6. Whereas the symmetric type design can be shown in Fig. 7. In addition, Fig. 8 shows the comparison of symmetric type and asymmetric type design.

From the results above, asymmetry and symmetry in amplitude responses can be seen between boost case (positive gain in dB) and cut case (negative gain in dB) from asymmetric and symmetric types of design. From Fig. 8 considering in boost case, bandwidth of symmetric type design is narrower than asymmetric type bandwidth. On the other hand, bandwidth of symmetric type design is wider than asymmetric type

bandwidth in the cut case. The reason is that Ω_0 being adjusted to midpoint gain or at \sqrt{g} as described in Section 3.2 results in symmetric amplitude response for both boost and cut for the symmetric type design. However, comparing with amplitude response that obtained by method proposed in [3] which has symmetry in amplitude responses as well, but wider bandwidth than the proposed symmetric type design in this paper. Moreover, in fact of increasing sub-transfer functions since conditions of boost/cut in [3] can be eliminated by our proposed method. For asymmetric type design when compared with [3], amplitude responses in boost case are the same as in [3] only in cut case that differ. However, asymmetry of amplitude response as shown in Fig. 6 from asymmetric type design in Section 3.1 is not a problem in real-world applications or in practical such as the quasi-parametric equalizer on the StudioLive AR-series mixers in [15] which has the narrower bandwidth in cut case. The users just make understanding in this frequency characteristic of asymmetric type design.

As a multiple outputs filter structure, not only peaking filter, LP

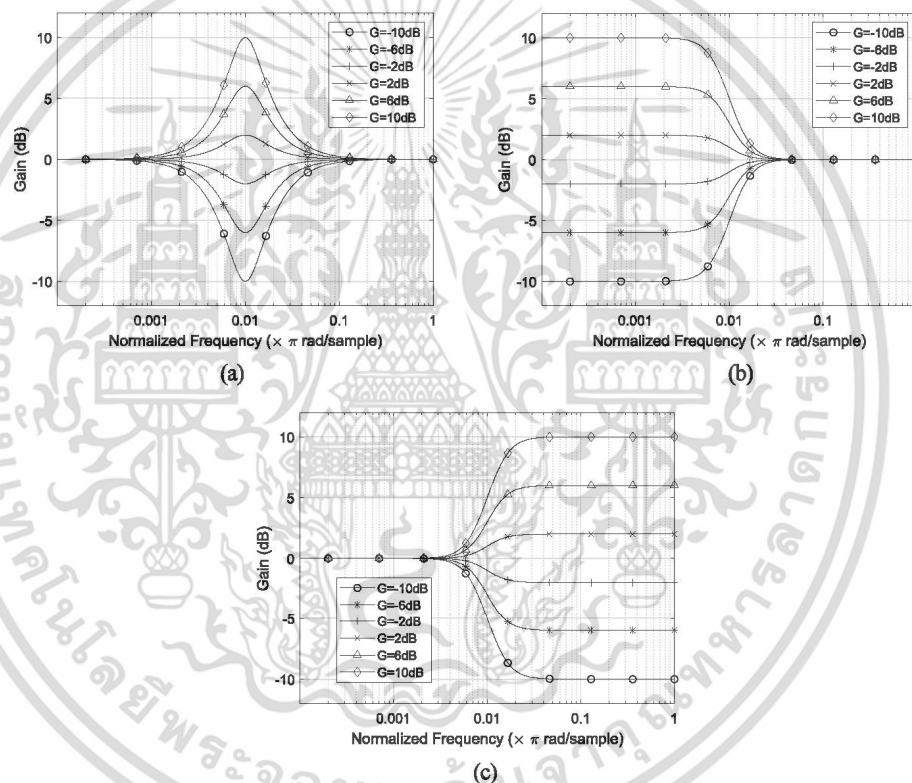


Fig. 7. Amplitude responses of symmetric type design of peaking filter (a), LP shelving filter (b), HP shelving filter (c) for various gain in dB.

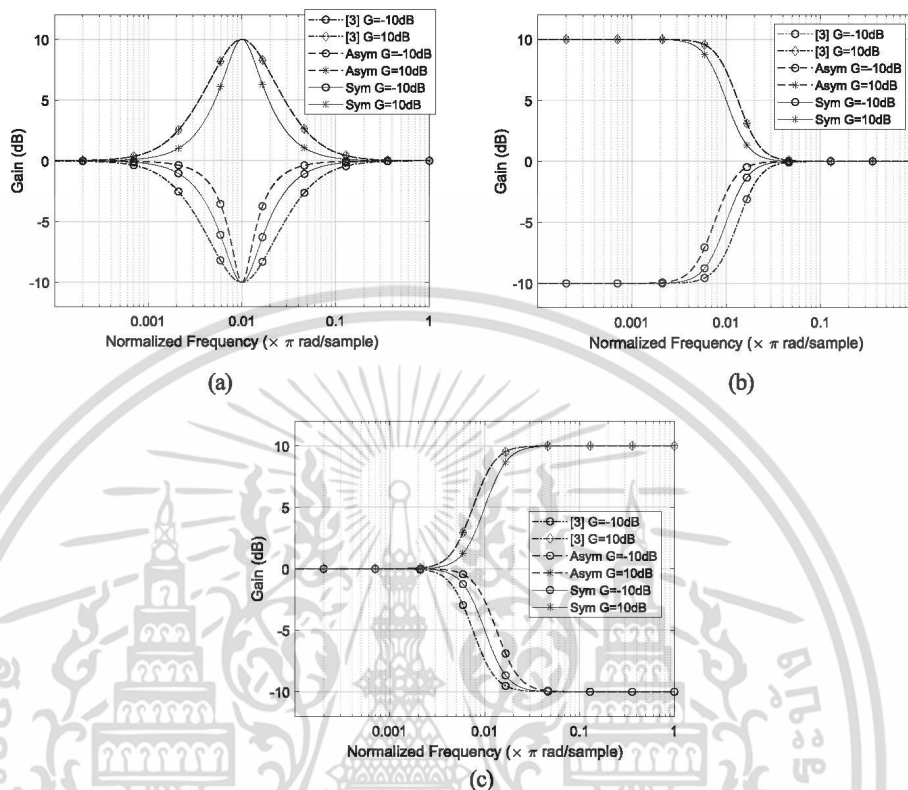


Fig. 8. Comparison of asymmetric type and symmetric type design of peaking filter (a), LP shelving filter (b), HP shelving filter (c).

shelving, or HP shelving outputs can be provided. The filter structure can also give other 5 outputs as shown in Fig. 9 from design solution 1 where linear gain (g) is separated from the matrix design equations and directly realized in the filter structure. The filter structure can give 6 outputs simultaneously. However, for design solution 2 where linear gain (g) is embedded in the matrix design equations, no gain (g) parameters appear in the filter structure. In such a case, only 3-4 other outputs can be given as show in Fig. 10 but some variation in gain is possible for some outputs that correspond to matrix design equations.

Some difference when comparing symmetric type design with asymmetric type design is the effect from scaling of Q for the peaking filter and scaling of Ω_0 for the LP shelving filter and HP shelving filter as explained in Section 3.2. This results in a slight overshoot in LP and HP outputs of symmetric type design for the peaking filter and a slight shift in ω_0 by the new definition of Ω_0 after frequency scaling for the LP shelving and HP shelving filter, respectively as can be seen in Fig. 9 and Fig. 10. These effects are not occurred in case of asymmetric type design.

4.2. Digital parametric equalizer implementation on STM32 processor

The matrix-based design equations and proposed filter structures of both peaking filter, LP shelving filter, and HP shelving filter will be implemented on an STM32 processor to create a digital parametric equalizer on hardware that can operate in real-time. The STM32F769 discovery board, based on the high-performance Arm® Cortex®-M/ 32-bit RISC core is connected to the audio codec WM8994ECS/R from CIRRUS which has Hi-fi 24-bit 4-channel DAC and 2-channel ADC with standard sample rates from 8 kHz to 96 kHz. The development tool that used is MATLAB/Simulink with hardware support packages from STMicroelectronics, which can be found in [3,9] for more details.

Both of asymmetric and symmetric types of digital parametric equalizer by design solution 1 or solution 2 can be realized as in the block diagram in Fig. 11. Updating of filter coefficients can be performed by placing the desirable parameters of the parametric equalizer into the matrix equations. The coefficients such as G_{LP} , G_{HP} , G_{BP} , d_1 , and d_2 can be reloaded back into the filter structure.

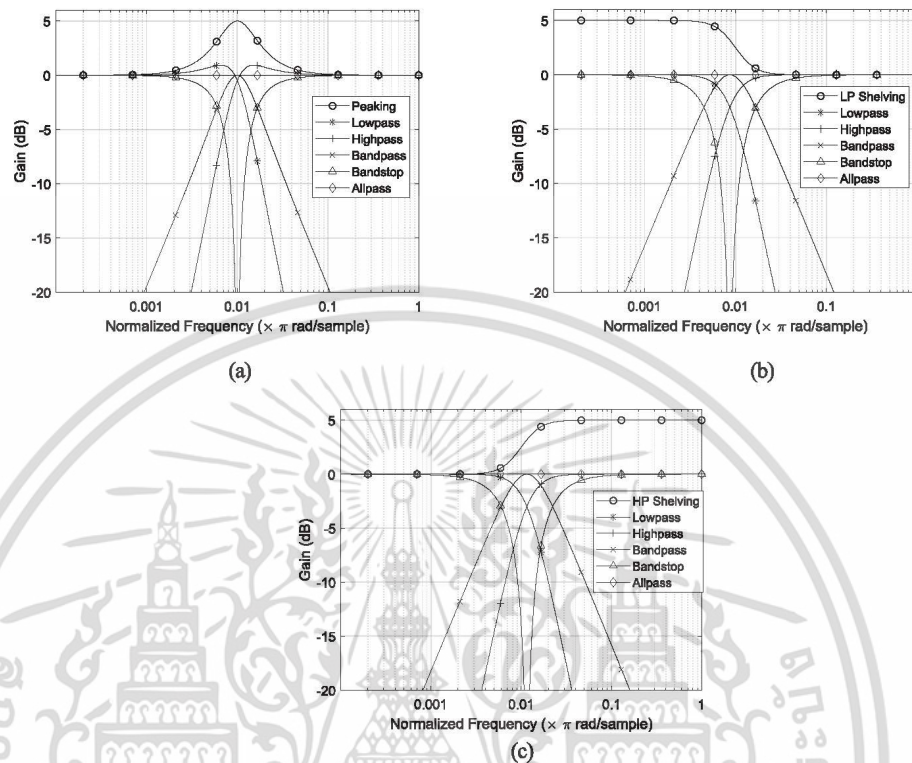


Fig. 9. Multiple outputs from design solution 1 for peaking filter (a), LP shelving filter (b), HP shelving filter (c) for symmetric type design.

Although the proposed design method can help the users get a quick and easy way to compute the new filter coefficients from the matrix-based equation every time that needs to change the filter characteristics, but filter coefficients calculation still requires. Further improvement to variable/tunable filter structure is another approach that can possible to research in the next step.

An example of the proposed multi-output filter structure with peaking filter output is shown in Fig. 3 (a). The MATLAB/Simulink model is shown in Fig. 12, we can see that the gain control (g) of the peaking filter output is separated from the matrix design equation and shown in the filter structure directly. In such case, it is easy to independently adjust the gain control of the peaking filter without any matrix recalculation. However, for digital parametric equalizer realization, only the peaking filter output is used. The LP shelving and HP shelving filter as shown in Fig. 4 (a) and Fig. 5 (a) can be considered for implementation in the same manner (see Fig. 13).

In case of design solution 1, only the matrix equation in Eq. (16) will be used since the gain (g) is separated and used directly in filter structure. However, the difference between asymmetric versus symmetric types is only the scaling of Ω_0 or Q before using Eq. (16) as summarized in following the flowcharts.

In case of design solution 2, the gain control parameter (g) is embedded in the matrix design equation, and so cannot be independently adjusted as in design solution 1. Therefore, only design solution 1 of symmetric type design will be focused for hardware implementation of digital parametric equalizer presented in this section. However, if design solution 2 is preferred for implementation, it is possible as explained in Section 3.

For real-time implementation, in order to give filter coefficients, the matrix calculation will be separated and implemented on a MATLAB M-file. Filter coefficients are connected to the filter structure that is implemented on the STM32F769 discovery board following the idea in Fig. 11. During real-time operation on the STM32 processor, if filter specifications are adjusted, the filter characteristics can be changed in real-time. The digital parametric equalizer can be created from cascade connection of the peaking filters, including LP shelving filter in the first band and HP shelving filter in the last band. In our experiment, the 5-bands digital parametric equalizer in Fig. 14 is tested and the experimental setup of hardware implementation and demonstration is shown in Fig. 15.

The 5-bands digital parametric equalizer with specifications as shown in Table 1 will be designed and implemented on the hardware

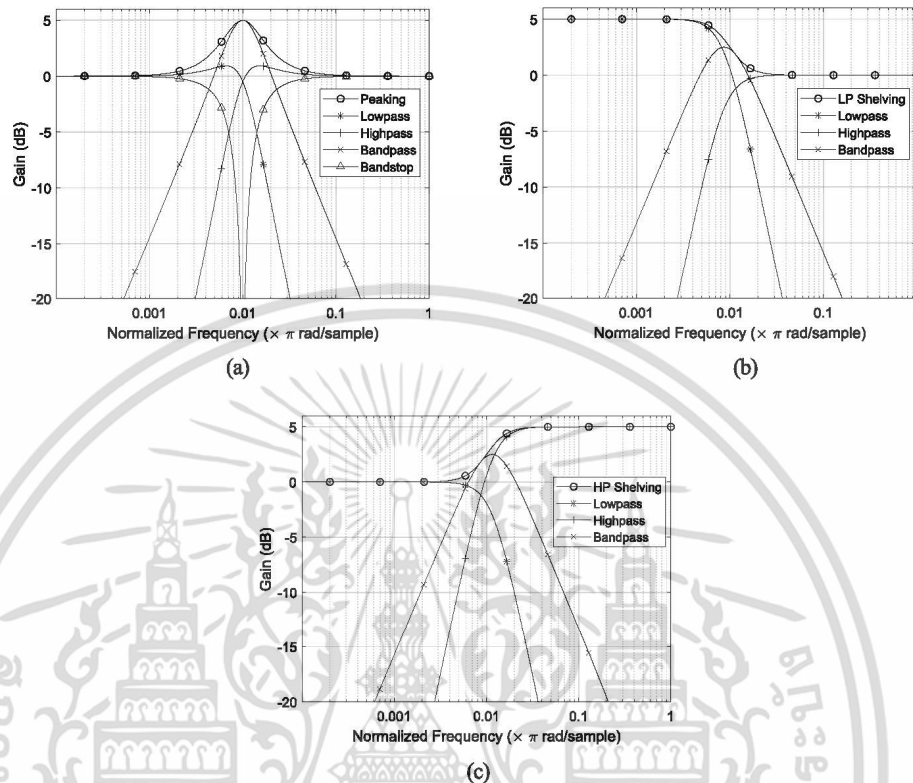


Fig. 10. Multiple outputs from design solution 2 for peaking filter (a), LP shelving filter (b), HP shelving filter (c) for symmetric type design.

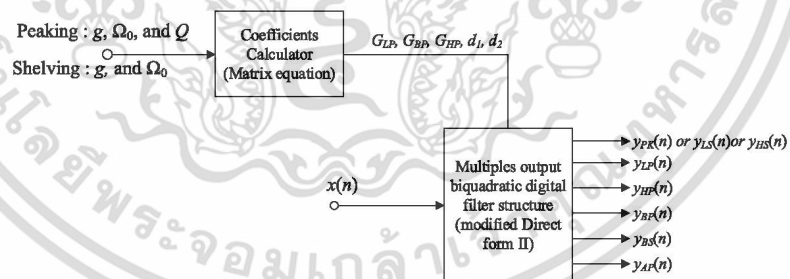


Fig. 11. Block diagram for realization.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

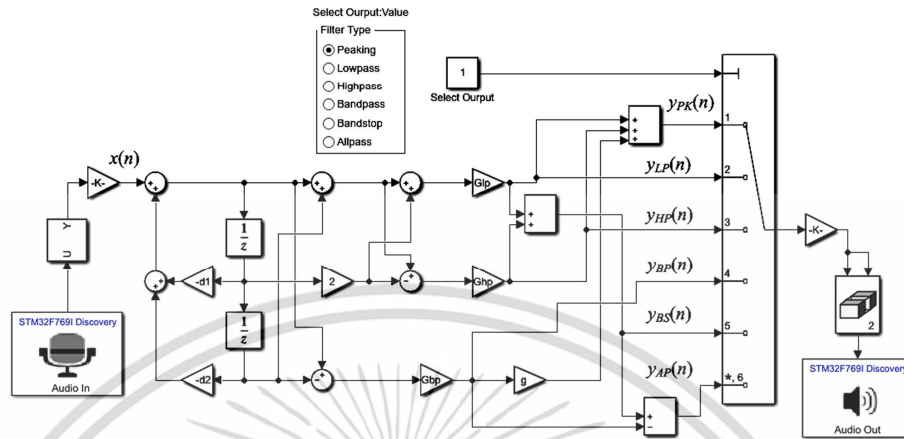


Fig. 12. Simulink model of multi-output filter structure with peaking filter output.

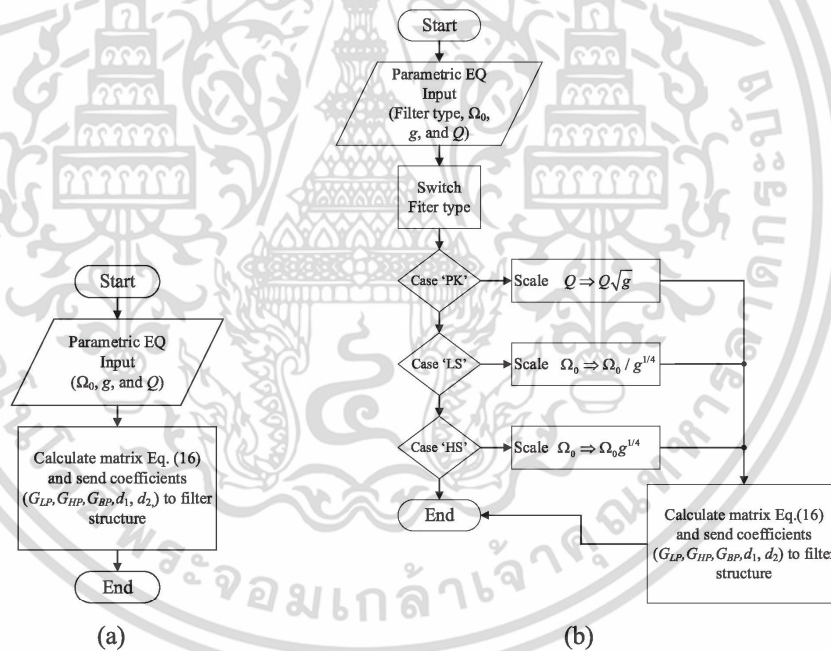


Fig. 13. The difference between asymmetric type (a) and symmetric type (b) for design solution 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

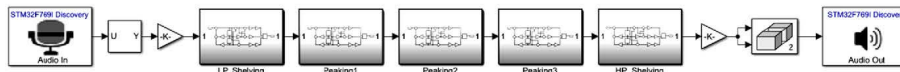


Fig. 14. Simulink model of 5-bands digital parametric equalizer.

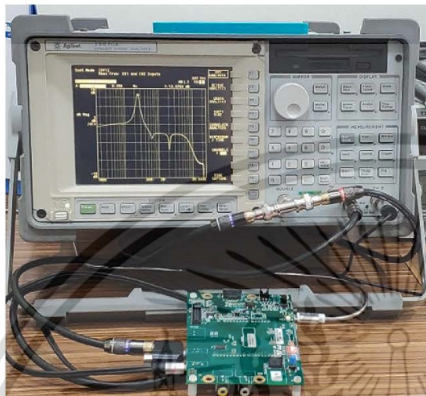


Fig. 15. Experimental setup for hardware implementation and demonstration.

Table 1
Parameters setting for 5-bands parametric equalizer of design example 1.

	1 st LP shelving filter	1 st Peaking filter	2 nd Peaking filter	3 rd Peaking Filter	HP shelving filter
Frequency (Hz)	150	400	1000	2000	10,000
Quality factor (Q)	N/A	1	5	0.8	N/A
Gain (dB)	3	-5	10	-2	-5

STM32F769 processor with a real sampling frequency of 44.1 kHz. The frequency response of each sub-filter and overall characteristic of the parametric equalizer can be shown by simulation compared with measurement from the real hardware using dynamic signal analyzer (Agilent 36570A) as in Figs. 16–21.

Another one design example, specifications are shown in Table 2 and the frequency responses of the overall characteristics of the parametric equalizer by simulation compared with measurement from the hardware can be shown in Fig. 22.

From experimental results, real hardware implementation on the STM32F769 discovery board can give identical frequency responses as the simulation results. However, in the low frequency range of about 0–70 Hz, the results from hardware implementation are slight attenuation due to an audio CODEC chip on STM32F769 discovery board having an HP filter inside for removing DC component and low frequency noise from mechanical vibration in the input signal.

To confirm the accuracy of hardware implementation results compared with simulation results of overall characteristic of 5-bands parametric equalizer from design example 1 and design example 2 in terms of numerical results, the raw data of frequency responses that is measured from dynamic signal analyzer can be compared with simulation results as shown in Fig. 23 (a) and Fig. 24 (a), respectively. However, if the low frequency range that affects in slightly attenuation from the effect of HP filter in audio CODEC chip is omitted, the absolute value of error can be shown in Fig. 23 (b) and Fig. 24 (b).

The errors obtain from comparisons can be computed as root mean square error (RMSE) and absolute value of maximum error ($|E_{max}|$) to show the accuracy of frequency responses from proposed hardware implementation as shown in Table 3 in 2 cases: whole frequency range from DC to half of sampling frequency, and without low frequency range 0–70 Hz.

From the numerical results can show the accuracy that obtained from the real hardware implementation and can ensure that the frequency responses are matched with the desired responses as simulation results, especially if the low frequency range that effects from HP filter in CODEC is omitted.

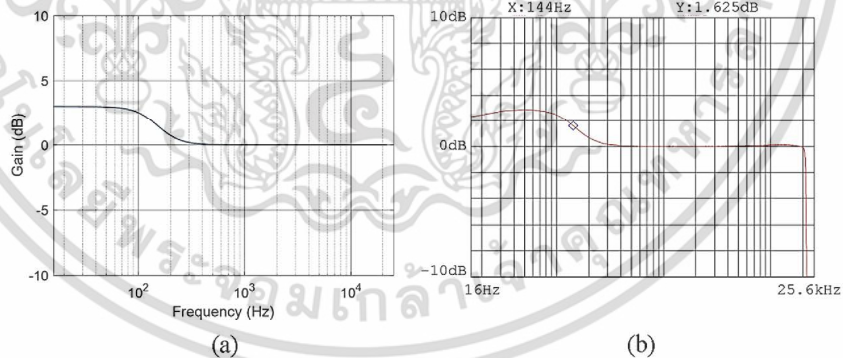


Fig. 16. Comparison of simulation result (a) with measurement from the real hardware (b) for LP shelving filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

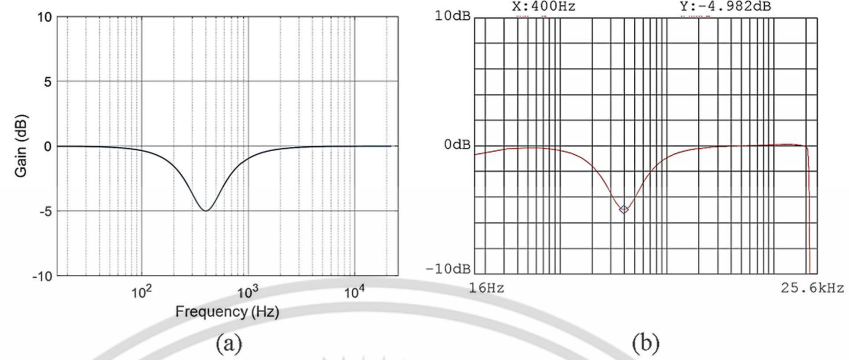


Fig. 17. Comparison of simulation result (a) with measurement from the real hardware (b) for 1st peaking filter.

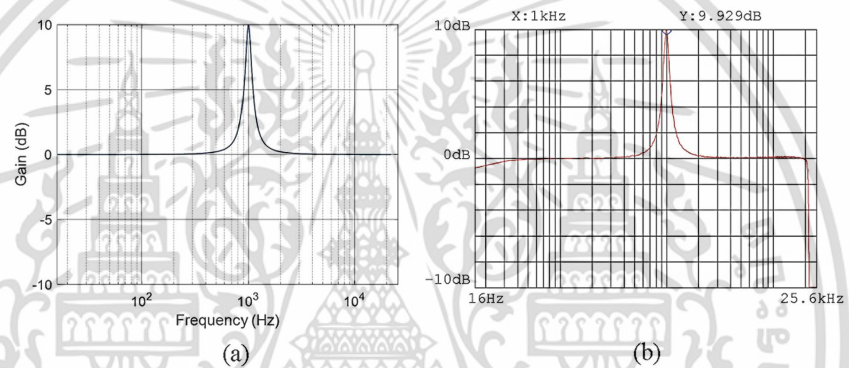


Fig. 18. Comparison of simulation result (a) with measurement from the real hardware (b) for 2nd peaking filter.

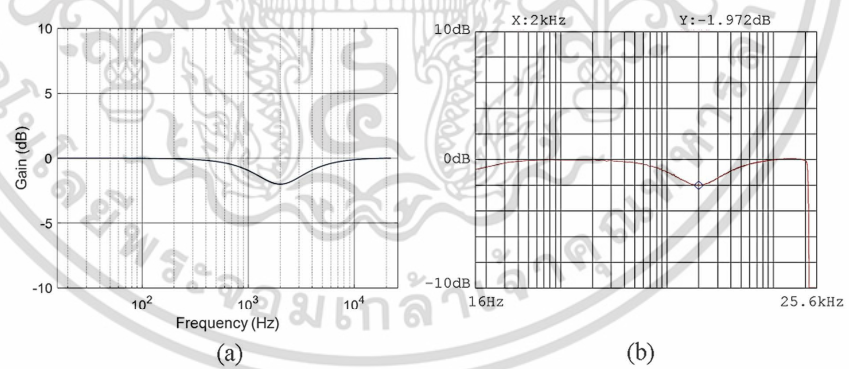


Fig. 19. Comparison of simulation result (a) with measurement from the real hardware (b) for 3rd peaking filter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

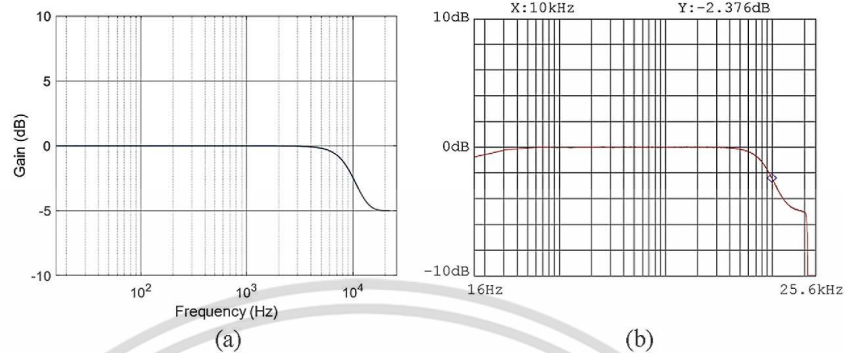


Fig. 20. Comparison of simulation result (a) with measurement from the real hardware (b) for HP shelving filter.

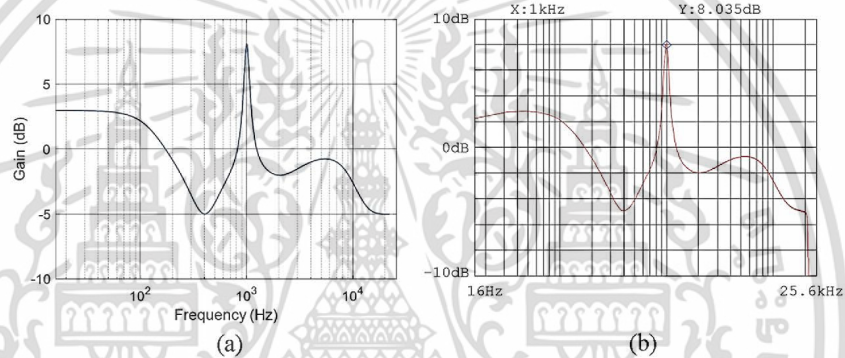


Fig. 21. Comparison of simulation result (a) with measurement from the real hardware (b) for 5-bands parametric equalizer from design example 1.

Table 2
Parameter setting for 5-bands parametric equalizer of design example 2.

	LP shelving filter	1 st Peaking filter	2 nd Peaking filter	3 rd Peaking filter	HP shelving filter
Frequency (Hz)	150	250	621	2048	7551
Quality factor (Q)	N/A	4	3.91	5.83	N/A
Gain (dB)	3	12.6	-2.6	-5.4	-10.3

Finally, in term of hardware STM32F769 processor/or CPU utilization for 5-bands parametric equalizer implementation can be measured after compilation and deployment by using Embedded Coder support package for ARM Cortex-M processors, the diagnostic viewer can show the used program memory and data memory as shown in Table 4. The execution time can be estimated by using the Processor-In-the-Loop (PIL) technique and then code execution profiling report will show the execution time as summarized in Table 4.

From Table 4, average execution time 2.348 microseconds which is estimated based on the CPU clock frequency is 216 MHz, the used

sampling frequency is 44.1 kHz that equivalents to sampling period of 22.67 microseconds. Therefore, the speed of operation/or execution time of proposed 5-bands parametric equalizer on this CPU can operate fast enough to use with sampling frequency 44.1 kHz in real-time processing.

5. Conclusions

The matrix-based design of peaking, LP shelving, and HP shelving digital filters for cascading to be a digital parametric equalizer is proposed by modifications of bilinear Pascal matrix for s-z transformation and direct form-II digital filter structure in feed-forward path. The correspondence of design equations and multiple outputs filter structures are presented. Asymmetric type and symmetric type of amplitude responses during boost/cut are considered with 2 design solutions for each type. The proposed design method and filter structure is an alternative solution for digital parametric equalizer design. Simulation results and experimental results from hardware implementation on an STM32 processor for use in real-time are compared to show the success of the proposed design and implementation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

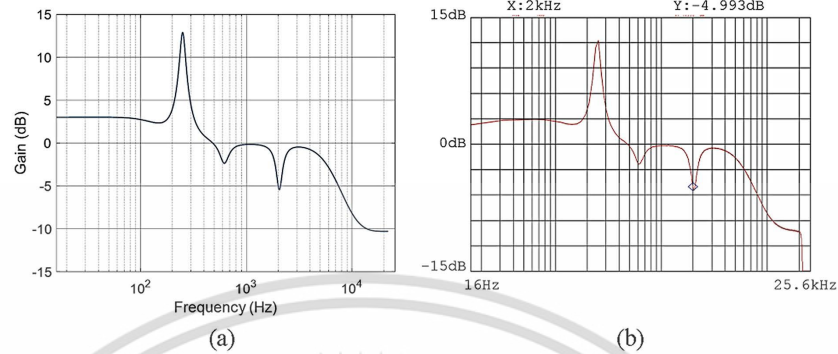


Fig. 22. Comparison of simulation result (a) with measurement from the real hardware (b) for 5-bands parametric equalizer from design example 2.

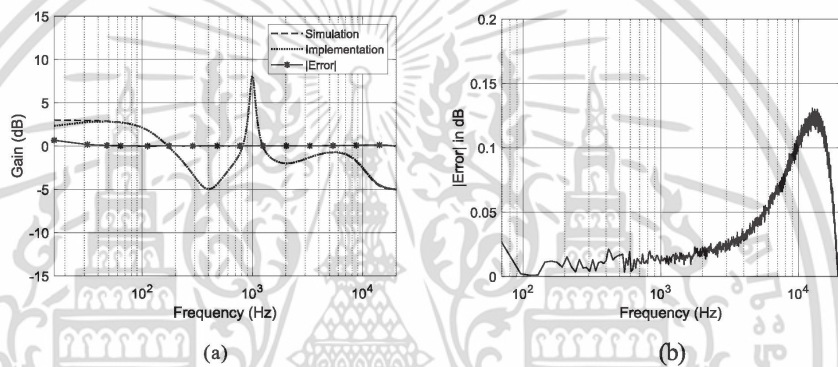


Fig. 23. Hardware implementation result compared with simulation result (a) and absolute value of error without low frequency range 0-70 Hz (b) from design example 1.

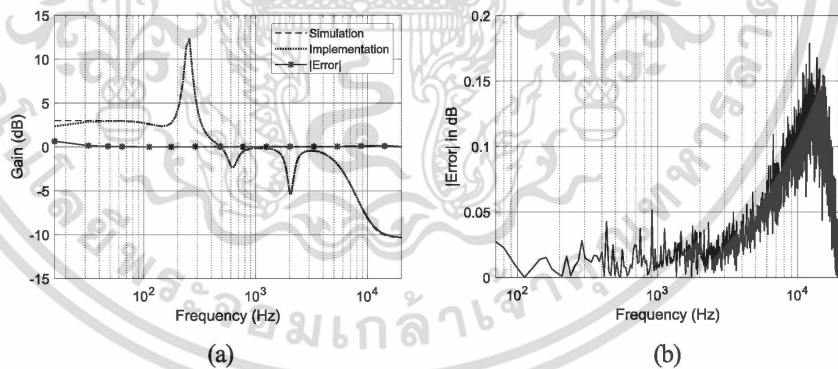


Fig. 24. Hardware implementation result compared with simulation result (a) and absolute value of error without low frequency range 0-70 Hz (b) from design example 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 3
RMSE and $|E_{\max}|$ from comparisons.

	Whole frequency range, 0– $F_s/2$ Hz		Without low frequency range, 0–70 Hz	
	RMSE in dB	$ E_{\max} $ in dB	RMSE in dB	$ E_{\max} $ in dB
Design example 1	0.0816	0.6618	0.0794	0.1309
Design example 2	0.0818	0.6455	0.0797	0.1786

Table 4
CPU utilization for 5-bands parametric equalizer implementation on STM32F769 processor.

Resources	Used	Available	Utilization
Program memory	40 kbytes	2 Mbytes	2%
Data memory	56 kbytes	512 kbytes	10.77%
Average execution time:	2.348 microseconds		

Declaration of Competing Interest

None.

Acknowledgements

A preliminary version of this work has been published as [3] in ECTI-CON 2020: Jongsatoporn T, Chivapreecha S. An implementation of digital parametric equalizer on STM32 processor, in *the 17th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON 2020)*, Phuket, Thailand, 2020.

This work was partially supported from The Office of National Higher Education Science Research and Innovation Policy Council (NXP) by Program Management Unit-Brain Power, manpower (PMU-B) under grant number B05F630018.

Appendix A. Supplementary material

Supplementary data to this article can be found online at <https://doi.org/10.1016/j.aeue.2021.153651>.

References

- [1] Zölzer U. *Digital audio signal processing*. 2nd ed. England: Wiley; 2008.
- [2] Koontz Warren LG. *Introduction to audio signal processing*. New York: RIT Press; 2016.
- [3] Jongsatoporn T, Chivapreecha S. An implementation of digital parametric equalizer on STM32 processor. *Proc ECTI-CON 2020*:113–7. <https://doi.org/10.1109/ECTI-CON49241.2020.9158299>.
- [4] Deng TB, Chivapreecha S, Dejhan K. Generalized Pascal matrices, inverses, computations and properties using one-to-one rational polynomial s - z transformations. *IEEE Trans Circ Syst* 2008;1(55):2650–63. <https://doi.org/10.1109/TCSI.2008.920102>.
- [5] Deng TB, Chivapreecha S, Dejhan K. Unified Pascal matrix for first-order s - z domain transformations. *IEEE Trans Signal Process* 2009;57:2130–9. <https://doi.org/10.1109/TSP.2009.2013895>.
- [6] Biolková V, Biřek D. Generalized Pascal matrix of first order S - Z transforms. *Proc ICECS 1999*:2929–31. <https://doi.org/10.1109/ICECS.1999.813384>.
- [7] Pšenicka B, García-Ugaldé E, Herrera-Camacho A. The bilinear Z transform by Pascal matrix and its application in the design of digital filters. *IEEE Signal Process Lett* 2002;9:368–70. <https://doi.org/10.1109/LSP.2002.804420>.
- [8] Chivapreecha S, Sriyaporn S, Jannapiya S, Dejhan K. Bilinear s - z with frequency transformation using Pascal matrix operation. *Proc ISCTI 2005*:764–7. <https://doi.org/10.1109/ISCTI.2005.1566965>.
- [9] MathWorks. STMicroelectronics support from embedded coder, <https://www.mathworks.com/hardware-support/stmicroelectronics.html>; [accessed 10 March 2020].
- [10] Reiss JD. Design of audio parametric equalizer filters directly in the digital domain. *IEEE Trans Audio, Speech Lang Process* 2011;19:1843–8. <https://doi.org/10.1109/TASL.2010.2091634>.
- [11] Van Waterschoot T, Moonen M. A pole-zero placement technique for designing second-order IIR parametric equalizer filters. *IEEE Trans Audio, Speech Lang Process* 2007;15:2561–5. <https://doi.org/10.1109/TASL.2007.905180>.
- [12] Chivapreecha S, Janvarakul A, Dejhan K. Modified Pascal matrix for biquad digital filter design and its filter structure realization. *Proc CSPA 2008*:2008:61–6.
- [13] Välimäki V, Reiss JD. All about audio equalization: solutions and frontiers. *Appl Sci* 2016;6:129. <https://doi.org/10.3390/app6030129>.
- [14] Birkov Johnson R. The equivalence of various methods of computing biquad coefficients for audio parametric equalizers. *Proc 97th convention of the audio engineering society*. 1994.
- [15] PreSonus. What is a Parametric EQ? <https://www.presonus.com/learn/technical-articles/What-is-a-Parametric-EQ>; [accessed 23 December 2020].



ISMAC 2016

**2016 International Symposium on Multimedia
and Communication Technology**
August 31 – September 2, 2016
Tokyo, Japan

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital Compensation Filter for The Effect of Analog Reconstruction filter in DSP System

Thitaphan Jongsatoporn*, Sorawat Chivapreecha† and Surapun Yimman‡

*Department of Telecommunication Engineering, Faculty of Engineering,

King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand

†Department of Industrial Physics and Medical Instrumentation, Faculty of Applied Science,

King Mongkut's University of Technology North Bangkok, Bangkok 10800, Thailand

*58601006@kmitl.ac.th, †sorawat@telecom.kmitl.ac.th, ‡sym4412@gmail.com

Abstract— This paper proposes a design of digital compensation filter in order to compensate the amplitude attenuation which is the effect of analog reconstruction filter in digital signal processing (DSP) system. Firstly, a digital filter $H(z)$, that has an amplitude response closest to the amplitude response of an analog reconstruction filter $H(s)$ will be designed. Then, a digital compensation filter $H(z)$ can be obtained by invert the transfer function in first step. The design solution of $H(z)$, can be started with the determination of amplitude responses of analog reconstruction filter at three-point of frequencies as 1st frequency at DC, 3rd frequency at Nyquist's frequency and the optimum 2nd frequency that chosen by a bisection method. Later, a set of nonlinear equation which has a relation between three-point of frequencies and their corresponding amplitude responses will be solved for zero and pole positions using Newton-Raphson method to make the optimum transfer function $H(z)$. This transfer function $H(z)$ can give a minimum RMSE compared with an amplitude response of analog reconstruction filter $H(s)$. The simulation results ensure that the proposed designed can reduce an average RMSE by about 40% when compared with the previous design method.

I. INTRODUCTION

The most DSP systems consist of an anti-aliasing filter, an analog to digital converter (A/D), a processor unit, a digital to analog converter (D/A), and an output filter or reconstruction filter [1-4]. In general, the operational frequency band of output signal is limited by input filter, D/A sampling property and reconstruction filter. The input of an A/D requires a lowpass analog filter, or the anti-aliasing filter, the input signal must be band-limited to prevent aliasing. The output of a D/A requires a reconstruction filter. It used to prevent the output signal from staircase effect. However, the reconstruction filter is an analog lowpass filter and it will

attenuate the high frequency band of output signal especially, frequency that higher than Nyquist's frequency ($F_s/2$). Therefore, the attenuation of output signal $y(t)$ will be occurred, especially at the high frequency band. Note that, the amplitude response of D/A output, $y_s(t)$ is different from output of a reconstruction filter $y(t)$.

From the reason mentioned earlier, this paper will propose the solution to solve this problem, by designing the digital lowpass filter $H(z)$ with an amplitude response as same as the analog reconstruction filter $H(s)$. Then, invert it to digital compensation filter ($H_c(z)=H^{-1}(z)$). The digital compensation filter $H_c(z)$ can be implemented in DSP Unit at the last process before an output $y(n)$ is go out, as shown in Fig. 1.

In [7], a reconstruction compensation filter was proposed using converting an analog transfer function of reconstruction filter to a digital filter by approximation of derivative technique. Then, invert it for compensation system. However, this design method cannot give enough accuracy. Therefore, the method proposed in [8] was presented. This method can reduce the amplitude response error between analog reconstruction filter $H(s)$ and obtained digital filter $H(z)$ when compared with results in [7]. The Newton-Raphson method was used to solve a set of nonlinear equation to obtain pole-zero position and gain for digital filter design by pole-zero placements. The simulation results can show that the amplitude response of obtained digital filter and analog reconstruction filter are closer than those of the approximation of derivative based. However, the results of [8] were considered by eye and does not has performance index to indicate how close of both amplitude responses. Therefore, this paper uses the root mean squared error (RMSE) to indicate the performance of design method. Moreover, the

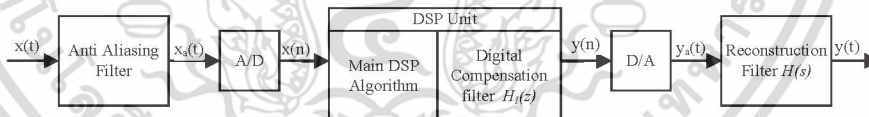


Fig. 1 Diagram of conventional digital signal processing system

optimum 2nd frequency Ω_2 (between first frequency Ω_1 , and third frequency Ω_3) will be selected by bisection method in order to get the minimum RMSE. By overall, the proposed design method can give $H(z)$ which can reduce an average RMSE at various cut-off frequencies range between $0.08\pi - 0.98\pi$ rad. compared with previous work in [8] by about 40%, especially at cut-off frequencies range $0.6\pi - 0.98\pi$ rad.

II. BACKGROUND

In [8], the authors proposed scheme to achieve the gains of the digital filter at digital frequency of the 0 (DC), ω_c (cut-off frequency) and π (Nyquist's frequency) that are identical to those of the analog reconstruction filter. The gains correspond to 1, $1/\sqrt{2}$ and A_3 [9, 10], respectively. Amplitude response of 1st order analog reconstruction filter and three-point of digital frequencies are shown in Fig. 2. and Table I. The parameter A_3 and the transfer function of the digital filter which is designed by pole-zero placement technique are expressed in (1)-(2), respectively.

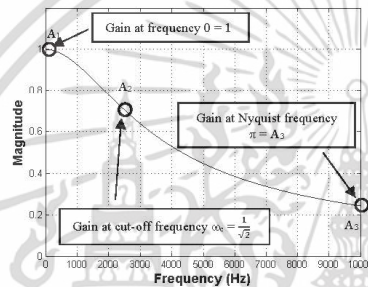


Fig. 2 Amplitude response of first order analog output filter.

TABLE I
GAINS OF DIGITAL COMPENSATION FILTER

Frequency Hz(s)	Frequency Hz(z)	Corresponding Amplitude Response
Ω_1 - DC	$\omega_1 = 0$	$A_1 = 1$
Ω_2 - cut-off frequency of Analog filter	$\omega_2 = \omega_c$	$A_2 = 1/\sqrt{2}$
Ω_3 - Nyquist frequency of Digital filter	$\omega_3 = \pi$	A_3

$$A_3 = \frac{1}{\sqrt{1 + \frac{f_c^2}{f_c^2}}} \quad (1)$$

where A_3 is amplitude response gain at the Nyquist frequency, f_n is the Nyquist's frequency in Hz and f_c is the cut-off frequency of analog reconstruction filter in Hz.

The transfer function of first order digital lowpass filter is

$$H(z) = k \left(\frac{z - z_1}{z - p_1} \right) \quad (2)$$

Substitute z in (2) with $z = e^{j\omega}$ can give (3)

$$H(\omega) = k \left(\frac{e^{j\omega} - z_1}{e^{j\omega} - p_1} \right) \quad (3)$$

At $\omega=0$, $\omega=\omega_c$ and $\omega=\pi$, which correspond to amplitude responses are 1, $1/\sqrt{2}$ and A_3 . Substitute all values into (3) to obtain (4), (5) and (6), respectively.

$$1 - p_1 = k(1 - z_1) \quad (4)$$

$$A_3(1 + p_1) = k(1 + z_1) \quad (5)$$

$$\frac{1}{2} = k^2 \left(\frac{(1 - 2p_1 \cos(\omega_c) + p_1^2 + (\cos(\omega_c) - p_1)(p_1 - z_1))^2 + (z_1 \sin(\omega_c) - p_1 \sin(\omega_c))^2}{(1 - 2p_1 \cos(\omega_c) + p_1^2)^2} \right) \quad (6)$$

The parameters k , p_1 and z_1 are concurrently solved using (4), (5) and (6). Since these equations are nonlinear, the Newton-Raphson method [11, 12] is thus used and expressed in (7).

$$\mathbf{x}_{n+1} = \mathbf{x}_n - \mathbf{J}(k_n, p_{1n}, z_{1n})^{-1} \mathbf{f}(k_n, p_{1n}, z_{1n}) \quad (7)$$

where

$$\mathbf{x}_n = \begin{bmatrix} k_n \\ p_{1n} \\ z_{1n} \end{bmatrix}, \mathbf{f}(k_n, p_{1n}, z_{1n}) = \begin{bmatrix} f_1(k_n, p_{1n}, z_{1n}) \\ f_2(k_n, p_{1n}, z_{1n}) \\ f_3(k_n, p_{1n}, z_{1n}) \end{bmatrix}, \mathbf{J}(k_n, p_{1n}, z_{1n}) = \begin{bmatrix} \frac{\partial f_1}{\partial k} & \frac{\partial f_1}{\partial p_1} & \frac{\partial f_1}{\partial z_1} \\ \frac{\partial f_2}{\partial k} & \frac{\partial f_2}{\partial p_1} & \frac{\partial f_2}{\partial z_1} \\ \frac{\partial f_3}{\partial k} & \frac{\partial f_3}{\partial p_1} & \frac{\partial f_3}{\partial z_1} \end{bmatrix}$$

and

$$f_1 = k_\sigma(1 - z_{1n}) - (1 - p_{1n}), \quad f_2 = k_\pi(1 + z_{1n}) - (1 + p_{1n}),$$

$$f_3 = k_c^2 \left(\frac{(1 - 2p_{1n} \cos(\omega_c) + p_{1n}^2 + (\cos(\omega_c) - p_{1n})(p_{1n} - z_{1n}))^2 + (z_{1n} \sin(\omega_c) - p_{1n} \sin(\omega_c))^2}{(1 - 2p_{1n} \cos(\omega_c) + p_{1n}^2)^2} \right)$$

The iteration is repeated until the convergence of k , p_1 and z_1 are achieved and subsequently substituted in (2) to derive the transfer function of the digital filter $H(z)$. To arrive at the compensatory scheme, the transfer function is inverted, as (8).

$$H_c(z) = H^{-1}(z) = \frac{1}{k} \left(\frac{z - p_1}{z - z_1} \right) = \frac{1}{k} \left(\frac{1 - p_1 z^{-1}}{1 - z_1 z^{-1}} \right) \quad (8)$$

However, the performance of proposed design method in [8] use only human eyes to indicate the similarity between amplitude response of digital filter $H(z)$ and amplitude response of analog reconstruction filter $H(s)$, it is no numerical performance index. Moreover, the method in [8] determine ω_2 is equal to cut-off frequency of analog reconstruction filter always. However, in fact it is not necessary to determine such 2nd frequency at that point. The amplitude response of $H(z)$ maybe not the most similar to $H(s)$ by choosing 2nd frequency at that frequency point. Therefore, this paper proposes the RMSE as the performance index to indicate how close of amplitude response of obtained digital filter by proposed design method compared with amplitude response of analog reconstruction filter with the optimum 2nd frequency point that chosen from bisection method which gives minimum RMSE in design process.

III. PROPOSED DESIGN

A. Performance index of proposed design method

This paper presents the root mean square error (RMSE) as performance index to indicate the similarity of amplitude response between designed digital filter $H(z)$ and analog reconstruction filter $H(s)$, as show in (9).

$$RMSE = \sqrt{\frac{1}{N} \sum_{m=1}^N [A(j\Omega_m) - A(e^{j\omega_m})]^2} \quad (9)$$

where N is number of frequency point.

$A(j\Omega_m) = |H(j\Omega_m)|$ is amplitude response of analog reconstruction filter $H(s)$.

$A(e^{j\omega_m}) = |H(e^{j\omega_m})|$ is amplitude response of designed digital filter $H(z)$.

RMSE can present the performance of designed compensatory reconstruction filter system. If the RMSE reduced to 0 means that the amplitude response of digital filter $H(z)$ exactly same as amplitude response of analog reconstruction filter $H(s)$. Thus, this paper aims to reduce RMSE from previous design method [8], to improve the compensatory reconstruction filter system with more accuracy.

B. Optimum 2nd frequency Ω_2 for minimum RMSE

In [8], the 2nd frequency is defined at cut-off frequency of analog reconstruction filter. However, at that frequency point RMSE is not necessary to be the minimum. Hence, our proposed design will search the optimum 2nd frequency by using bisection method [13]. Table I is modified by changing 2nd frequency and its amplitude response which can be obtained by bisection method as shown in Table II and in (10).

TABLE II
MODIFIED GAINS AND 2ND FREQUENCY POSITION OF IIR COMPENSATION FILTER

Frequency $H(s)$	Frequency $H(z)$	Corresponding Amplitude Response
Ω_1 - DC	ω_1 - 0	A_1 - 1
Ω_2 - optimum frequency from Bisection Method	ω_2 - ω_{opt}	A_2 - C_{opt}
Ω_3 - Nyquist frequency of Digital filter	ω_3 - π	A_3

$$C_{opt} = \frac{1}{\sqrt{1 + \frac{f_{opt}^2}{f_c^2}}} \quad (10)$$

where C_{opt} is the optimum amplitude response gain at the optimum frequency, f_{opt} is the optimum frequency and f_c is the cut-off frequency of analog reconstruction filter in Hz.

From modification, we can adjust the position of 2nd frequency independently. Therefore, we conduct the alignment position of the 2nd frequency over the range frequency of 0.025π to 0.975π rad. at cut-off frequency $0.1\pi, 0.2\pi, 0.3\pi, 0.4\pi, 0.5\pi, 0.6\pi, 0.7\pi, 0.8\pi$ and 0.9π rad. The RMSE results are shown in Fig. 3.

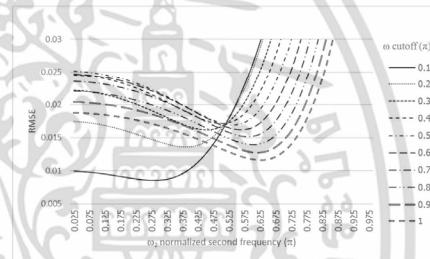


Fig. 3 The RMSE results.

From the results in Fig. 3, for example at cut-off frequency 0.1π rad., we found that RMSE at 2nd frequency 0.025π rad. is 0.009960481 . If the 2nd frequency is increased, RMSE will be decreased until reach at the minimum point. After reach the minimum point, RMSE will increase. Other cut-off frequencies give the same pattern of RMSE.

Therefore, we employ the bisection method to search the optimum 2nd frequency for minimum of RMSE. We will setup the initial 2nd frequency for first iteration which is defined as $\omega_2(0) = 0.5\pi$ rad. Then, increase and decrease frequency from the initial 2nd frequency for each $\frac{1}{2^{i+4}}\pi$ rad. (where, i is number of iteration). Then, we compare the RMSE for

selecting minimum of RMSE and set frequency at minimum RMSE is $\omega_2(i)$ for next iteration. For every iteration, we compare the difference of RMSE with previous iteration. If the difference of RMSE becomes less than 10^{-5} , the iteration will be terminated. Now the last 2nd frequency $\omega_2(i)$ will be optimum frequency ω_{opt} . Flowchart of proposed design method shown in Fig. 4. The RMSE calculations in this flowchart also use Newton-Raphson to solve system of nonlinear equations as in [8] to get pole-zero positions and gain of digital filter transfer function.

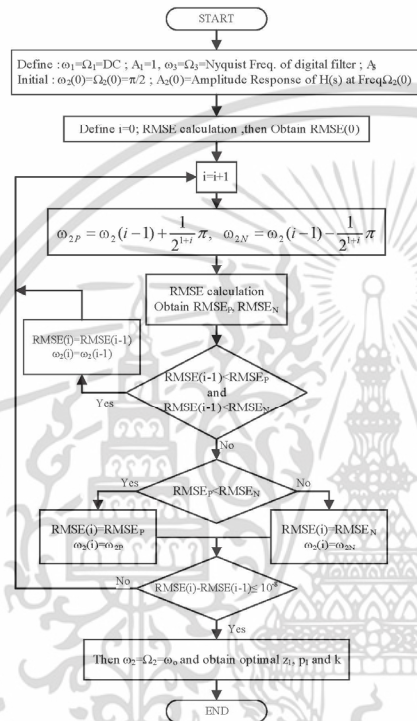


Fig. 4 Flowchart of proposed design method.

From example in Fig. 5, the RMSE graph is based on 1st order analog reconstruction filter, cut-off frequency at 0.2π rad., and the 2nd frequency over the frequency range 0.025π to 0.975π rad. For this example, we change the condition for terminate the iteration to 10^{-5} . First step, we calculate RMSE at 2nd frequency $\omega_2(0) = 0.5\pi$ rad., for initial of first iteration.

Second step, we calculate RMSE at 2nd frequency of 0.25π rad. and 0.75π rad. and then compare with RMSE at 2nd frequency in previous iteration, 0.5π rad. Therefore, the RMSE at frequency 0.25π rad. is minimum that determine is $\omega_2(1)$ for next step. Repeat second step, until the difference of RMSE with previous iteration less than 10^{-5} . In this case the last step of iteration is $i=4$. The difference of RMSE is 0.000006 , which is less than 10^{-5} . Therefore, the optimum 2nd frequency ω_{opt} is 0.04625π rad., for 1st order analog reconstruction filter with cut-off frequency at 0.2π rad.

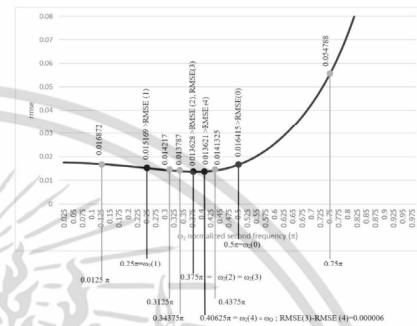


Fig. 5 Bisection method example.

IV. SIMULATION RESULTS

We consider frequency in normalized form, by an actual sampling frequency will be defined to 20 kHz for digital filter. Cut-off frequency range of 1st order analog reconstruction filter is $0.08\pi - 0.98\pi$ rad., step by 0.02π rad.

From proposed design method in Section III, we create the relationship between normalized frequency of cut-off frequency with normalized frequency of optimum 2nd frequency, as shown in Fig. 6. The optimum 2nd frequency gives the minimum RMSE.

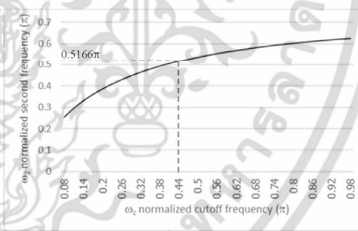


Fig. 6 Position of 2nd frequency with minimum RMSE at various cut-off frequencies range 0.08π to 0.98π rad.

For example, if we design 1st analog reconstruction filter at cut-off frequency 0.44π rad. From Fig. 6, the optimum 2nd frequency ω_2 is 0.5166π rad. By using our proposed design method the obtained RMSE= 0.01713. However, by using the previous design method in [8], it will define $\omega_2 = \omega_c=0.44\pi$ rad., the obtained RMSE=0.01808. This result shows that the RMSE from our proposed design method is less than obtained RMSE from design method in [8].

The comparison of the obtained RMSE between our proposed design method and method in [8] is shown in Fig. 7. From Fig. 7, shows that RMSE from our proposed design method is less than RMSE obtained by [8], especially when the cut-off frequency of analog reconstruction filter is over the range 0.6π - 0.98π rad.

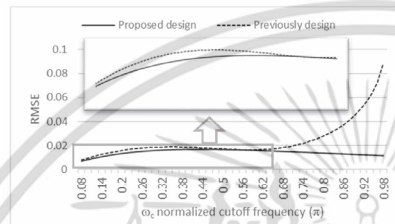


Fig. 7. Comparison of RMSE between proposed design method and design method in [8].

Figs. 8 and 9 show comparison of obtained amplitude responses from 1st order analog reconstruction filter, digital filter designed by method in [8], and digital filter designed by proposed design method at cut-off frequency 0.25π and 0.8π rad., respectively. At cut-off frequency of 0.25π rad., in overall the amplitude response obtained by proposed design and method in [8], they are not much difference. However, when zooming in a rectangle box (top right of Fig. 8) it shows that the proposed design method can give amplitude response close to analog reconstruction filter more than previously design. At cut-off frequency 0.8π rad., which is shown in Fig. 9, the proposed design method can give amplitude response is more similar to analog reconstruction filter than design method in [8]. Such results are relate to the result in Fig. 7.

However, in practical the DSP system must process with real sampling frequency (f_s) in Hz. Then, we try to simulate with other sampling frequency to consider the effect of RMSE. The Table III shows the results of average RMSE at the cut-off frequency range is 0.08π - 0.98π rad., step by 0.02π rad. with sampling frequency at 10 kHz, 20 kHz and 40 kHz, respectively.

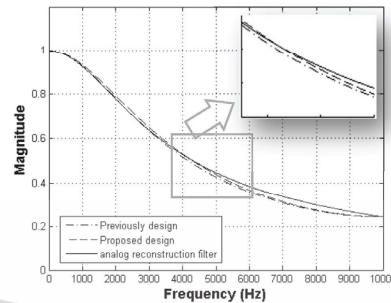


Fig. 8. Amplitude response of digital lowpass filter at cut-off frequency 0.25π rad.

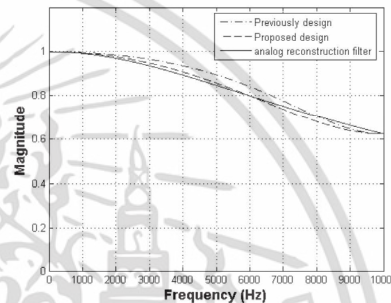


Fig. 9. Amplitude response of digital lowpass filter at cut-off frequency 0.8π rad.

TABLE III
AVERAGE RMSE

Sampling frequency	Average RMSE of previous design method [8]	Average RMSE of Proposed design method	RMSE reduction	
			RMSE	%
10 kHz	0.024197028	0.014530403	0.009666624	39.95
20 kHz	0.024201366	0.014530305	0.009671061	39.96
40 kHz	0.024205793	0.014530282	0.009678512	39.97

The results from Table III can show that the proposed design method can reduce the average RMSE about 40% compared to method in [8]. For sampling frequency effect, the difference of average RMSE is not significant.

V. CONCLUSIONS

This paper proposes a design of digital filter $H(z)$ that can give amplitude response similar to analog reconstruction filter $H(s)$. Then, we can convert it to $H(z)$, for amplitude compensation from effect of analog reconstruction filter. The RMSE is used as performance index to indicate the performance of design method. This paper is based on bisection method and Newton-Raphson method. We can find the value of z_i , p_i , and k for digital filter design using pole-zero placement technique which can give the minimum RMSE. The results show that the proposed design method can reduce the average of RMSE when compared with previous method by 40%.

This research aims to use analog reconstruction filter at the first order and uses only three-frequency points in design step. In the future work, RMSE will be reduced as more as possible and also consider for analog reconstruction filter at second order or high order including using number of frequency points more than three points. In addition, we will include other indexes to indicate the performance of design method, that more proper than RMSE.

REFERENCES

- [1] J. G. Proakis and D. G. Manolakis, *Digital Signal Processing Principle, Algorithms, and Applications*, Prentice Hall, 1996.
- [2] E. C. Ifeachor and B. W. Jervis, *Digital Signal Processing, A Practical Approach*, Addison Wesley, 1996.
- [3] A. V. Oppenheim, R. W. Schaffer and J. R. Buck, *Discrete-Time Signal Processing*, Prentice Hall, 1999.
- [4] S. K. Mitra, *Digital Signal Processing, A Computer-Based Approach*, McGraw-Hill, 2001.
- [5] S. J. Orfanidis, *Introduction to Signal Processing*, Prentice Hall, 1995.
- [6] www.maximintegrated.com/en/appnotes/index.mvp/id/3853
- [7] S. Praesomboon, K. Dejhan and S. Yimman, "Compensation of Reconstruction Filter Effect in Digital Signal Processing System," *Journal of Signal Processing*, Vol.18, No.3, PP.121-134, May 2014.
- [8] R. Boontawan, S. Tooprakai, K. Dejhan, and S. Yimman, "Algorithmic Scheme-Integrated Bandwidth Compensatory Reconstruction Filter of Digital Signal Processing System" Vol.20, No.3, pp.91-103, May 2016
- [9] G. Daryanani, *Principles of Active Network Synthesis and Design*, John Wiley & Sons, 1976.
- [10] D. J. Dailey, *Operational Amplifiers and Linear Integrated Circuits, Theory and Applications*, McGraw-Hill, 1989.
- [11] W. Hager, *Applied Numerical Linear Algebra*, Prentice-Hall, Englewoodcliffs, N.J., 1988.
- [12] W. Demmel, *Applied Numerical Linear Algebra*, University of California, Berkeley, California, 1997.
- [13] W. Kanchanakitkasem, *Numerical Methods*, Chulalongkorn University Press, 2014.













ABSTRACT BOOK

ISMAC2017

*2017 International Symposium on Multimedia
and Communication Technology*

August 23 – 25, 2017
Classic Kameo Hotel & Serviced Apartments,
Ayutthaya, Thailand
<http://ismac2017.aru.ac.th/>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Digital Compensation Filter for Analog Reconstruction Filter Effect in DSP System using Least Square Technique

Thitaphan Jongsataporn and Sorawat Chivapreecha

Department of Telecommunication Engineering, Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand
Email: 58601006@kmitl.ac.th, sorawat@telecom.kmitl.ac.th,

Abstract— This paper presents a design of digital compensation filter for compensate the amplitude attenuation which is the effect of first order analog reconstruction filter in digital signal processing (DSP) system. The advantage of the first order analog reconstruction filter has low phase shift and low delay, when it compare with high order analog reconstruction filter. On the other hand, it has a wide transition band. Then, if cutoff frequency is defined to cover the maximum operating frequency, it will not be possible to reduce the distortion of the output signal as well. However, if we design first order analog reconstruction filters by focusing on reducing the effect of distortion on the output signal. It will attenuate amplitude in operating frequency range. Therefore, the attenuation effect can be compensated by the digital compensation filter. Firstly, the first order digital filter will be designed, that an amplitude response should closest to the amplitude response of first order analog reconstruction filter using the least square technique to solve the overdetermined system of nonlinear equations. Then, invert transfer function of obtained digital filter to be a digital compensation filter. The simulation results ensure that the proposed design of digital compensation filter can reduce an average error by about 2-3 times when compared with the previous design method. Moreover, the overall phase response after compensation is more approached to linearity when compared with a system without digital compensation filter.

I. INTRODUCTION

Most of DSP systems consist of an anti-aliasing filter, an analog to digital converter (A/D), a processor unit, a digital to analog converter (D/A), and an output filter or reconstruction filter [1-3]. The input of an ADC requires an anti-aliasing filter. The input signal must be bandlimited to prevent

aliasing. For the same reason, the output of a DAC requires a lowpass analog filter, called a reconstruction filter. Because, the output signal must be bandlimited, to prevent imaging or stair case effect (meaning Fourier coefficients being reconstructed as spurious high-frequency mirrors). Ideally, both filters should be brick-wall filters, constant phase delay in the pass-band with constant flat magnitude response, and zero response from the Nyquist frequency, which is impossible to perform in real. Practical filters have non-flat frequency in the pass band and incomplete suppression of the signal elsewhere. Because, the analog lowpass filter has the slope or transition band.

The first step in design analog reconstruction filter is define a maximum operating frequency (ω_{max}) in rang of 0Hz to Nyquist frequency. Then, define the first stop band frequency of analog reconstruction filter is $\omega_s - \omega_{max}$ (ω_s is sampling frequency). So, the transition band of analog reconstruction filter is ω_{max} to $\omega_s - \omega_{max}$ [5]. If we define the maximum operating frequency close to Nyquist frequency, it will narrow the transition band. Therefore, the high order analog reconstruction filter is required, but it will have high phase shift and high delay effect. Consequently, this paper we will design an analog reconstruction filter at first order, but it has less slope. So, when designing the passband covers all operating frequency, it will not be able to reduce the distortion of the output signal as well. However, if we design first order analog reconstruction filters by focusing on reducing the effect of distortion on the output signal. It will

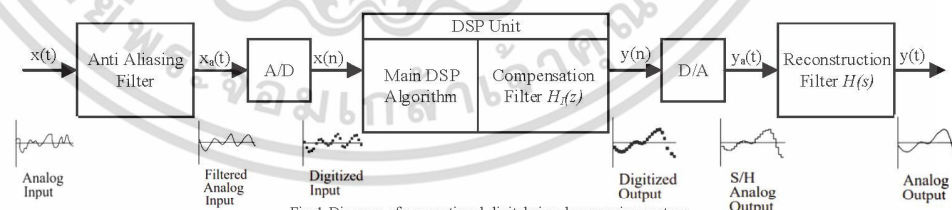


Fig. 1 Diagram of conventional digital signal processing system.

attenuate amplitude in operating frequency. Therefore, the attenuation effect was compensated by the compensation filter.

From the reason mentioned earlier, this paper will propose the solution to solve this problem, by designing the digital lowpass filter $H(z)$ with an amplitude response as same as the analog reconstruction filter $H(s)$. Then, invert it to compensation filter ($H_c(z)=H^{-1}(z)$). The compensation filter $H_c(z)$ can be implemented in DSP Unit at the last process before an output $y(n)$ is go out, as shown in Fig. 1.

In [5] the author proposes compensation filter, by using approximation of derivative technique for convert the transfer function of analog reconstruction filter to digital filter. Then, invert it to compensation filter. However, this design method cannot give enough accuracy. Therefore, the method proposed in [6] was presented. The Newton-Raphson method was used to solve a set of nonlinear equation to obtain pole-zero position and gain for digital filter design by pole-zero placements. The results can show that the amplitude response of obtained digital filter and analog reconstruction filter are closer than those of the approximation of derivative based. However, the results of [6] were considered by eye and does not has performance index to indicate how close of both amplitude responses.

So, in [7] was present the root mean squared error (RMSE) to indicate the performance of design method. Moreover, the optimum 2nd frequency ω_2 will be selected by bisection method to get the minimum RMSE. By overall, this design method can give $H(z)$ which can reduce an average about 40%. However, when analyzing the results from [7] at frequencies less than 0.6π rad. The RMSE can't be reduced significantly. Therefore, this paper has proposed the design method, by increasing the number frequency point. Then, solved the overdetermined nonlinear equation system by least square technique. The results show that the proposed designed can reduce an average error by about 2-3 times when compared with the previous design method [6, 7].

II. BACKGROUND

In [7], the authors propose a design that provides the amplitude response of the digital filter at digital frequency of the 0 (DC), ω_2 and π (Nyquist's frequency) that are equal to the analog reconstruction filter. the corresponding amplitude response is shown in Fig. 2 and Table I

TABLE I
GAINS OF DIGITAL FILTER

Frequency H(s)	Frequency H(z)	Corresponding Amplitude Response
$\Omega_1 = \text{DC}$	$\omega_1 = 0$	$A_1 = 1$
$\Omega_2 = \text{Optimum frequency}$	$\omega_2 = \omega_{opt}$	A_2
$\Omega_3 = \text{Nyquist frequency of Digital filter}$	$\omega_3 = \pi$	A_3

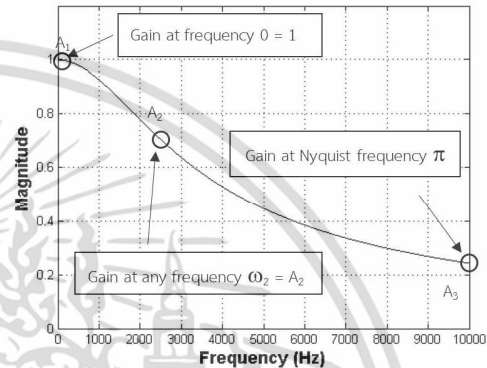


Fig. 2 Amplitude response of first order analog reconstruction filter.

$$A_2 = \frac{1}{\sqrt{1 + \frac{f_{opt}^2}{f_c^2}}} \tag{1}$$

where A_2 is the optimum amplitude response gain at the optimum frequency, f_{opt} is the optimum frequency and f_c is the cut-off frequency of analog reconstruction filter in Hz.

And

$$A_3 = \frac{1}{\sqrt{1 + \frac{f_n^2}{f_c^2}}} \tag{2}$$

where A_3 is amplitude response gain at the Nyquist frequency, f_n is the Nyquist's frequency in Hz and f_c is the cut-off frequency of analog reconstruction filter in Hz.

The transfer function of first order digital lowpass filter is

$$H(z) = k \left(\frac{z - z_1}{z - p_1} \right) \tag{2}$$

Substitute z in (2) with $z = e^{j\omega}$ can give (3)

$$H(\omega) = k \left(\frac{e^{j\omega} - z_1}{e^{j\omega} - p_1} \right) \tag{3}$$

At ω_1 , ω_2 and ω_3 , which correspond to amplitude responses are A_1 , A_2 and A_3 from table I. Substitute all values into (3) to obtain (4), (5) and (6), respectively.

$$1 - p_1 = k(1 - z_1) \quad (4)$$

$$A_2 = k \frac{\sqrt{\left(\cos(\omega_{opt}) - z_1\right)^2 + \sin^2(\omega_{opt})}}{\sqrt{\left(\cos(\omega_{opt}) - p_1\right)^2 + \sin^2(\omega_{opt})}} \quad (5)$$

$$A_3(1 + p_1) = k(1 + z_1) \quad (6)$$

The parameters k , p_1 and z_1 are concurrently solved using (4), (5) and (6). Since these equations are nonlinear, the Newton-Raphson method [11, 12] is thus used and expressed in (7).

$$\mathbf{x}_{m+1} = \mathbf{x}_m - \mathbf{J}(k_m, p_m, z_m)^{-1} \mathbf{f}(k_m, p_m, z_m) \quad (7)$$

where

$$\mathbf{x}_m = \begin{bmatrix} k_m \\ p_m \\ z_m \end{bmatrix}, \mathbf{f}(k_m, p_m, z_m) = \begin{bmatrix} f_1(k_m, p_m, z_m) \\ f_2(k_m, p_m, z_m) \\ f_3(k_m, p_m, z_m) \end{bmatrix}, \mathbf{J}(k_m, p_m, z_m) = \begin{bmatrix} \frac{\partial f_1}{\partial k} & \frac{\partial f_1}{\partial p_1} & \frac{\partial f_1}{\partial z_1} \\ \frac{\partial f_2}{\partial k} & \frac{\partial f_2}{\partial p_1} & \frac{\partial f_2}{\partial z_1} \\ \frac{\partial f_3}{\partial k} & \frac{\partial f_3}{\partial p_1} & \frac{\partial f_3}{\partial z_1} \end{bmatrix}$$

and

$$f_1 = k_m(1 - z_m) - (1 - p_m), \quad f_2 = -A_2 + k_m \frac{\sqrt{\left(\cos(\omega_{opt}) - z_m\right)^2 + \sin^2(\omega_{opt})}}{\sqrt{\left(\cos(\omega_{opt}) - p_m\right)^2 + \sin^2(\omega_{opt})}}$$

$$f_3 = k_m(1 + z_m) - A_3(1 + p_m).$$

The iteration is repeated until the convergence of k , p_1 and z_1 are achieved and subsequently substituted in (2) to derive the transfer function of the digital filter $H(z)$. To arrive at the compensatory scheme, the transfer function is inverted, as (8).

$$H_1(z) = H^{-1}(z) = \frac{1}{k} \left(\frac{z - p_1}{z - z_1} \right) = \frac{1}{k} \left(\frac{1 - p_1 z^{-1}}{1 - z_1 z^{-1}} \right) \quad (8)$$

Therefore, they employ the bisection method [8] to search the optimum 2nd frequency (ω_{opt}) for minimum of RMSE.

The proposed design method [7] can reduce RMSE by approximately 40% compared to [6], especially at high cut-off frequencies range $0.6\pi - 0.98\pi$ rad. However, when analyzing the results of [7]. It was found that the cut-off frequencies less than 0.6π rad. both methods had no significant difference in RMSE. The both designs method [6, 7] has fix number of frequency point in 3 points, which may not be the optimal number of points. So, this paper presents the addition number

of frequency points to find the optimal parameter. For reduce the RMSE value.

III. PROPOSED DESIGN

In [7], a digital filter has been proposed by define the amplitude response of digital filter equal to the amplitude response of analog reconstruction filter at 3 frequencies point. However, the design method can't reduce the RMSE significantly. Because the 3 frequencies point may not suitable. So, this paper will present the design method, by increasing the frequency range for increase accuracy and reduce errors.

Firstly, we will specify the maximum operating frequency (ω_{max}) of DSP system and acceptable stop band gain in dB scale (G_s), E.g. $\omega_{max} = 0.5\pi$ rad. and $G_s = -20$ dB. From slope of first order low-pass analog filter is -20 dB/decade. Then we can define the cut-off frequency of analog reconstruction filter (ω_c) by (9), E.g. $\omega_c = 0.15\pi$ rad.

$$\omega_c = \frac{\omega_s - \omega_{max}}{-G_s} \quad (9)$$

where ω_s is sampling frequency

ω_{max} is maximum operating frequency of DSP system

ω_c is cut-off frequency of analog reconstruction filter

G_s is acceptable stop band gain in dB scale

The amplitude response of first order analog reconstruction filter and digital filter show in (10-11) respectively.

$$|H(j\Omega)| = \frac{1}{\sqrt{1 + \frac{\Omega^2}{\Omega_c^2}}} \quad (10)$$

$$|H(e^{j\omega})| = k \frac{\sqrt{\left(\cos(\omega) - z\right)^2 + \sin^2(\omega)}}{\sqrt{\left(\cos(\omega) - p\right)^2 + \sin^2(\omega)}} \quad (11)$$

where ω is normalized frequency of digital filter.

Ω is normalized frequency of analog reconstruction filter.

Ω_c is normalized cut-off frequency of analog reconstruction filter.

This design method determines the amplitude response of digital filter is equal the analog reconstruction filter at every N frequencies point. The frequencies point is uniformly distributed.

$$f(x) = \begin{bmatrix} k \sqrt{\frac{(\cos(\omega_1) - z)^2 + \sin^2(\omega_1)}{(\cos(\omega_1) - p)^2 + \sin^2(\omega_1)}} \frac{1}{\sqrt{1 + \frac{\Omega_1^2}{\Omega_c^2}}} \\ k \sqrt{\frac{(\cos(\omega_2) - z)^2 + \sin^2(\omega_2)}{(\cos(\omega_2) - p)^2 + \sin^2(\omega_2)}} \frac{1}{\sqrt{1 + \frac{\Omega_2^2}{\Omega_c^2}}} \\ \vdots \\ k \sqrt{\frac{(\cos(\omega_N) - z)^2 + \sin^2(\omega_N)}{(\cos(\omega_N) - p)^2 + \sin^2(\omega_N)}} \frac{1}{\sqrt{1 + \frac{\Omega_N^2}{\Omega_c^2}}} \end{bmatrix} \quad (12)$$

where N is number of frequency point.
 $x = [k \ z \ p]^T$

the design problem consists of solving the following problem [9].

$$\min_{k,z,p} \sum_{n=1}^N k \sqrt{\frac{(\cos(\omega_n) - z)^2 + \sin^2(\omega_n)}{(\cos(\omega_n) - p)^2 + \sin^2(\omega_n)}} \frac{1}{\sqrt{1 + \frac{\Omega_n^2}{\Omega_c^2}}} \quad (13)$$

Clearly, (13) is a nonlinear least squares optimization problem with respect to the filter coefficients. The Gauss-Newton method [10] is used to estimate coefficients in a least square sense. The Gauss-Newton algorithm show in (14).

$$x_{(m+1)} = x_{(m)} - \Delta x_{(m)} \quad (14)$$

where $\Delta x = (J(x)^T J(x))^{-1} J(x)^T f(x)$
 $J(x)$ is Jacobian matrix of $f(x)$.

Note that $[(J(x)^T J(x))^{-1} J(x)^T]$ is the pseudoinverse of $J(x)$. The principle of pseudoinverse is based on the Least Square method. Thus, the number of frequency points is inversely to the error. The Gauss-Newton algorithms are iterative descent methods, starting from an initial point x_0 . And, it is necessary to stop the iterations when $|x_{(m+1)} - x_{(m)}|$ is less than 10^{-8} . Flowchart of proposed design method shows in Fig. 3.

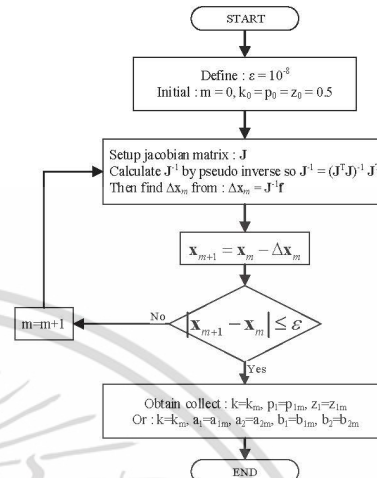


Fig. 3 Flowchart of proposed design method.

The acceptable number of frequency point (N) for each cut-off frequency is obtained by finding the relationship of the number of frequency points with the cutoff frequencies. The stop condition for obtained acceptable N is (15).

$$RMSE(N) - RMSE(N-1) \leq 10^{-6} \quad (15)$$

The relationship of acceptable N and cut-off frequency in range $0.01\pi - 0.99\pi$ rad. step by 0.01π rad. that show in Fig. 4.



Fig. 4 The relationship of acceptable N and cut-off frequency.

From Fig. 4 we separate analyzing in two range. The first range is $0.01\pi - 0.63\pi$ rad., this data in range is curved. So, we created a second order curve fitting (red dot line) for every cut-off frequencies in range. The second range is $0.64\pi - 0.99\pi$ rad., this data in range is constant at 55 points. Therefore, the acceptable N for every cut-off frequency finding by (16), E.g. $N(0.15\pi) = 39$ point.

$$N(\omega_c) = \begin{cases} \left[\frac{7.8646\omega_c^2 + 29.312\omega_c + 26.317}{55} \right] & : 0.01\pi \leq \omega_c \leq 0.63\pi \\ 55 & : 0.63\pi < \omega_c \leq 0.99\pi \end{cases} \quad (16)$$

IV. SIMULATION RESULTS

We consider frequency in normalized form, by an actual sampling frequency will be defined to 20 kHz for digital filter. Cut-off frequency range of 1st order analog reconstruction filter is $0.08\pi - 0.98\pi$ rad, step by 0.02π rad. The number of frequency points depends on the cutoff frequency, which is derived from the method in Section 3. The frequency point is distributed equally space from the frequency $0-\pi$ rad. of the digital filter. The simulation result will compare the error values from the 3-design method, as follows the design method [6], the design method [7] and the proposed design method. The results of RMSE and NRMSE are shown in Fig. 5-6, respectively.

$$NRMSE = \sqrt{\frac{1}{K} \sum_{k=1}^K \left[\frac{A(j\Omega_m) - A(e^{j\omega_c})}{A(j\Omega)} \right]^2} \times 100\% \quad (17)$$

where K is number of frequency point for error testing.
 $A(j\Omega)$ is amplitude response of analog reconstruction filter.
 $A(e^{j\omega_c})$ is amplitude response of digital filter.

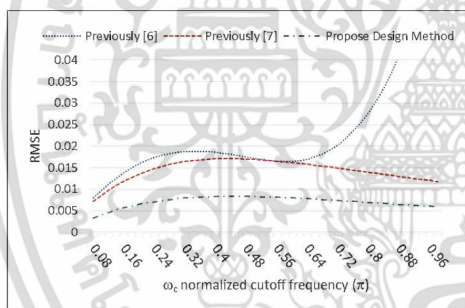


Fig. 5 Comparison of RMSE between proposed design method, design method in [6] and design method, design method in [7].

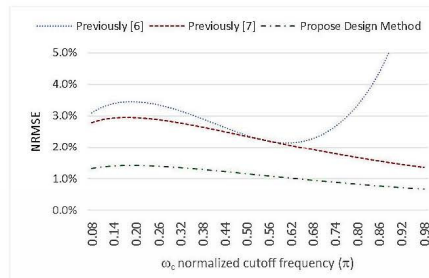


Fig. 6 Comparison of NRMSE between proposed design method, design method in [6] and design method, design method in [7].

The results clearly show the proposed design method is more effective to reducing errors than the previous design method, in all cutoff frequencies Both the RMSE and NRMSE.

In fig. 7-8 show comparison of obtained frequency response from 1st order analog reconstruction filter $H(s)$, digital filter designed by proposed design method $H(z)$, compensation filter $H_c(z)$, and output response $y(t)$ at cut-off frequency 2.0π and $.05\pi$ rad., respectively.

The result that shows the proposed design method can give amplitude response is similar to analog reconstruction filter. But, at the high frequency about more than 0.9π rad., it has more error when compare with other frequency. Moreover, the phase response of output response with compensation filter has more approached to linearity when compared with a system without compensation filter.

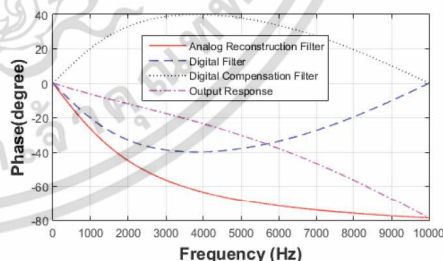
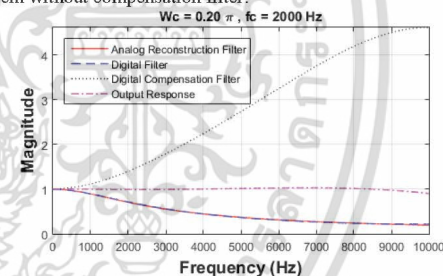
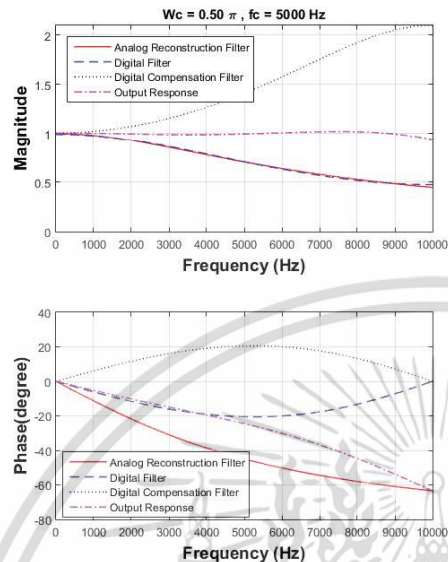


Fig. 7 Frequency response at cut-off frequency 0.2π rad.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fig. 8 Frequency response at cut-off frequency 0.5π rad.

The comparison of average RMSE and NRMSE at Cut-off frequency $0.08\pi - 0.98\pi$ rad. That show in table II.

TABLE II
AVERAGE RMSE AND NRMSE

	RMSE	NRMSE
Previously Design Method [6]	0.024201	3.44%
Previously Design Method [7]	0.014530	2.24%
Proposed Design Method	0.007115	1.09%

The results from Table II can show that the proposed design method can reduce the average RMSE 3.4 times and average NRMSE 3.14 times compared to method in [6]. But, when compared with method in [7] the proposed design can reduce the average RMSE 2.04 times and average NRMSE 2.05 times.

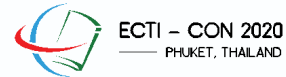
V. CONCLUSIONS

This paper proposes a design of digital filter $H(z)$ that can give amplitude response like analog reconstruction filter $H(s)$. Then, we can convert it to $H(z)$, for amplitude compensation from effect of analog reconstruction filter. This paper uses least square technique to solve the overdetermined nonlinear equation system, to find the parameters of digital filter transfer function. The simulation results ensure that the proposed designed can reduce an average error by about 2-3 times when compared with the previous design method. Moreover, the phase response is close to linearity when compared with a system without the compensation filter.

However, in this paper aim to compensate the amplitude response. But in practice, an analog reconstruction filter will effect in the phase response. This will make the phase response is not linear. And the output signal is distorted from the designed. So, the goal for further research is to design a compensation filter that can compensate the amplitude response and the phase response together. This will make the complete compensation effect of the analog reconstruction filter.

REFERENCES

- [1] J. G. Proakis and D. G. Manolakis, *Digital Signal Processing Principle, Algorithms, and Applications*, Prentice Hall, 1996.
- [2] E. C. Ifeachor and B. W. Jervis, *Digital Signal Processing, A Practical Approach*, Addison Wesley, 1996.
- [3] S. K. Mitra, *Digital Signal Processing, A Computer-Based Approach*, McGraw-Hill, 2001.
- [4] Li Tan, *Digital Signal Processing Fundamentals and Applications Mill Valley*, Elsevier Inc., 2008.
- [5] S. Praesomboon, K. Dejhan and S. Yimman, "Compensation of Reconstruction Filter Effect in Digital Signal Processing System," *Journal of Signal Processing*, Vol.18, No.3, PP.121-134, May 2014.
- [6] R. Boontawan, S. Tooprakai, K. Dejhan, and S. Yimman, "Algorithmic Scheme-Integrated Bandwidth Compensatory Reconstruction Filter of Digital Signal Processing System" Vol.20, No.3, pp.91-103, May 2016
- [7] T. Jongsataporn, S. Chivaprecha and S. Yimman, "Digital Compensation Filter for The Effect of Analog Reconstruction filter in DSP System" ISMAC2016, Sep 2016
- [8] W. Kanchanakitkasem, *Numerical Methods*, Chulalongkorn University Press, 2014.
- [9] Ricardo Vargas, *Iterative Design of l_p Digital Filters*, Rice University, 2011.
- [10] Björck, A., *Numerical methods for least squares problems*, Philadelphia, 1996.



ECTI - CON 2020

The 17th International Conference
on Electrical Engineering/Electronics, Computer,
Telecommunications and Information Technology
24 - 27 June 2020

Virtual Conference Hosted by College of Computing, Prince of Songkla University

PROCEEDINGS & PROGRAM BOOK



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

An Implementation of Digital Parametric Equalizer on STM32 Processor

Thitaphan Jongsatoporn

Department of Telecommunication Engineering
King Monkut's Institute of Technology Ladkrabang
Bangkok, Thailand
58601006@kmitl.ac.th

Sorawat Cheevapreecha

Department of Telecommunication Engineering
King Monkut's Institute of Technology Ladkrabang
Bangkok, Thailand
sorawat@telecom.kmitl.ac.th

Abstract— This paper presents design and implementation of digital parametric equalizer. The design method starts with analog filter prototypes consisting of peak filters, low-pass shelving filter, and high-pass shelving filter in the s -domain. The bilinear Pascal matrix is used for converting the transfer function in s -domain using bilinear s - z transformation to obtain all three types of digital filter as a transfer function in z -domain. By cascading of these digital filters result in obtaining a digital parametric equalizer. The simulation results are shown and hardware implementation on STM32F769 for real-time testing is also demonstrated to ensure the successfully of the proposed design and implementation.

Keywords— Parametric Equalizer, peak filters, shelving filters, Bilinear Pascal matrix, STM32

I. INTRODUCTION

In audio applications, equalizer is a major equipment that used to adjust or modify the frequency bands of an audio signal. Two major types of audio equalizer are graphic equalizer and parametric equalizer. Both of two types of audio equalizer can be implemented in analog circuit or in digital circuit. [1]

For various applications, parametric equalizer is preferred used in audio equalization. Of course, nowadays almost of music or audio is in digital format, therefore digital parametric equalizer will be an interesting aspect for sound/audio engineer to study, design and implementation [2-4]. The design method that is used in this paper is based on bilinear s - z transformation. The transfer function in s -domain can be transformed to transfer function in z -domain using bilinear Pascal matrix [5]. Using this matrix operation, it is convenient to transform and easily to get the digital filter coefficients from analog filter coefficients, suitable for coefficients updating during real-time operation. The hardware implementation on STM32 processor is also proposed in this paper, in order to show the results of design process can work in hardware with not so complicated both in hardware development environment and the procedure by using MATLAB/Simulink as in the design procedure [6]. The results are shown and simulation results and hardware experimental results are compared to ensure the correspondence.

The paper is organized as follows. Section II presents the parametric equalizer designed from the prototype of analog peaking filter, low-pass shelving filter, and high-pass shelving filter then using Bilinear Pascal Matrix convert to the digital filter. In Section III presents the implementation of the parametric equalizer by STM32F769-Discovery board. In Section IV present the comparison result of MATLAB simulation and hardware implementation. Conclusions are given in Section V.

II. DIGITAL PARAMETRIC EQUALIZER DESIGN USING BILINEAR PASCAL MATRIX

A. Parametric Equalizer by Analog Filter Prototypes

The most of filter used in audio equalizer processing is the peak filter, which has most of the gain at 0 dB, except for the frequency bands that is set to have a higher gain (Boost frequency) or some frequency bands that have a lower gain. (Cut frequency). In the case that the frequency range starts from 0 rad/sample, this type of filter is called the low-pass shelving filter and in the case of the end frequency range π rad/sample, this type of filter is called high-pass shelving filter. So, we can design the filters separated by according to the characteristic of each filter and can be cascade together without losing each characteristic or may lose a few features if the frequency range of each filter is very close. In this paper, we will present the design of the paramedic equalizer with the 2nd order analog prototype filters. The cascade of various 2nd order filters leads to the parametric equalizer is shown in Fig. 1.

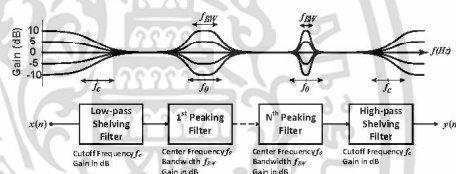


Fig. 1. Block diagram of the cascade Parametric Equalizer.

Analog Peak filter

Transfer function of analog peak filter can be shown in (1). [1]

$$H_p(s) = \begin{cases} \frac{s^2 + g\Omega_0 s / Q + \Omega_0^2}{s^2 + \Omega_0 s / Q + \Omega_0^2} & ; g > 1 \\ \frac{s^2 + \Omega_0 s / Q + \Omega_0^2}{s^2 + \Omega_0 s / gQ + \Omega_0^2} & ; g < 1 \end{cases} \quad (1)$$

Where: Ω_0 is the center frequency of peak filter in rad/sec.

Q is the quality factor, which is related to bandwidth of peak filter

g is gain of peak filter in linear scale, boost case ($g > 1$) and cut case ($g < 1$)

note: If gain is defined in decibel (represented by G), we must convert from log-scale to linear-scale by $g = 10^{G/20}$

Analog Shelving filter

Transfer functions of analog low-pass shelving filter and high-pass shelving filter are shown in (2) - (3) respectively. [1]

$$H_{LP}(s) = \begin{cases} \frac{s^2 + \sqrt{2g}\Omega_c s + g\Omega_c^2}{s^2 + \sqrt{2}\Omega_c s + \Omega_c^2} & ; g > 1 \\ \frac{s^2 + \sqrt{2}\Omega_c s + \Omega_c^2}{s^2 + \sqrt{2/g}\Omega_c s + \Omega_c^2/g} & ; g < 1 \end{cases} \quad (2)$$

$$H_{HP}(s) = \begin{cases} \frac{g s^2 + \sqrt{2g}\Omega_c s + \Omega_c^2}{s^2 + \sqrt{2}\Omega_c s + \Omega_c^2} & ; g > 1 \\ \frac{s^2 + \sqrt{2}\Omega_c s + \Omega_c^2}{s^2/g + \sqrt{2/g}\Omega_c s + \Omega_c^2} & ; g < 1 \end{cases} \quad (3)$$

Where: Ω_c is cutoff frequency in rad/sec.

g is gain in linear scale, boost case ($g > 1$) and cut case ($g < 1$)

B. The s-z Transformation using bilinear Pascal matrix

An important step of designing a digital parametric equalizer is to convert from analog transfer function ($H(s)$) to digital transfer function ($H(z)$) using the bilinear Pascal matrix [5]. This procedure is equivalent to the conventional bilinear s-z transformation, but it is more convenient because it is performed in a matrix operation, that suitable for updating filter coefficients (new filter coefficients calculation) when changing filter specifications or changing the frequency characteristics of the digital parametric equalizer. In the first step, pre-warping digital normalize frequency to analog frequency by (4).

$$\Omega = \tan \frac{\omega T}{2} \quad (\text{radius}) \quad (4)$$

where: Ω is frequency of analog filter

ω is normalize frequency of digital filter

Considering the transfer function of 2nd order analog filter and digital filter as shown in (5) – (6) respectively.

$$H(s) = \frac{B_0 + B_1 s + B_2 s^2}{A_0 + A_1 s + A_2 s^2} \quad (5)$$

$$H(z) = \frac{b_0 + b_1 z^{-1} + b_2 z^{-2}}{a_0 + a_1 z^{-1} + a_2 z^{-2}} \quad (6)$$

The coefficients of the digital filter are calculated from the product of the bilinear Pascal matrix and the coefficient vector of the analog filter as equation (7). The calculation will be independently calculated between the numerator coefficient and the denominator coefficient.

$$\begin{aligned} [\mathbf{b}_i] &= [\mathbf{P}][\mathbf{B}_i] \\ [\mathbf{a}_i] &= [\mathbf{P}][\mathbf{A}_i] \end{aligned} \quad (7)$$

Where: $[\mathbf{b}_i]$ is numerator coefficient vectors of digital filter

$[\mathbf{a}_i]$ is denominator coefficient vectors of digital filter

$[\mathbf{B}_i]$ is numerator coefficient vectors of analog filter

$[\mathbf{A}_i]$ is denominator coefficient vectors of analog filter

$$[\mathbf{P}] \text{ is the 2}^{\text{nd}} \text{ order pascal matrix} = \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix}$$

An example of the conversion of the analog low-pass shelving filter in boost case to digital low-pass shelving filter is shown as in (8)

$$\begin{aligned} \begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} &= \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \cdot \begin{bmatrix} g\Omega_c^2 \\ \sqrt{2g}\Omega_c \\ 1 \end{bmatrix} = \begin{bmatrix} g\Omega_c^2 + \sqrt{2g}\Omega_c + 1 \\ 2g\Omega_c^2 - 2 \\ g\Omega_c^2 - \sqrt{2g}\Omega_c + 1 \end{bmatrix} \\ \begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} &= \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \cdot \begin{bmatrix} \Omega_c^2 \\ \sqrt{2}\Omega_c \\ 1 \end{bmatrix} = \begin{bmatrix} \Omega_c^2 + \sqrt{2}\Omega_c + 1 \\ 2\Omega_c^2 - 2 \\ \Omega_c^2 - \sqrt{2}\Omega_c + 1 \end{bmatrix} \end{aligned} \quad (8)$$

The final step of the digital filter calculation using bilinear Pascal matrix is dividing all coefficients by a_0 in order to make $a_0 = 1$.

C. Design Example

In this paper we will design 5 bands digital parametric equalizer as the example. The design of 5 bands digital parametric equalizer consisting of low-pass shelving filter, high-pass shelving filter and 3 bands of peaking filter. The parameters for setting to determine the characteristics of each filter can be shown as follows.

TABLE I. PARAMETERS SETTING FOR 5 BANDS PARAMETRIC EQUALIZER OF A DESIGN EXAMPLE.

	Lowpass shelving filter	1 st Peak filter	2 nd Peak filter	3 rd peak filter	Highpass shelving filter
Center or Cutoff frequency (Hz)	150	400	1000	2000	10000
Quality factor (Q)	N/A	1	5	0.8	N/A
Gain (dB)	3	-5	10	-2	-5

From the example in Table I, the digital low-pass shelving filter that obtained by bilinear Pascal matrix operation from analog low-pass shelving filter is shown as in (9).

$$\begin{aligned} \begin{bmatrix} b_0 \\ b_1 \\ b_2 \end{bmatrix} &= \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \cdot \begin{bmatrix} 1.613 \times 10^{-4} \\ 0.018 \\ 1 \end{bmatrix} = \begin{bmatrix} 1.0181 \\ -1.9997 \\ 0.9822 \end{bmatrix} \\ \begin{bmatrix} a_0 \\ a_1 \\ a_2 \end{bmatrix} &= \begin{bmatrix} 1 & 1 & 1 \\ 2 & 0 & -2 \\ 1 & -1 & 1 \end{bmatrix} \cdot \begin{bmatrix} 1.1419 \times 10^{-4} \\ 0.0151 \\ 1 \end{bmatrix} = \begin{bmatrix} 1.0152 \\ -1.9698 \\ 0.9850 \end{bmatrix} \end{aligned} \quad (9)$$

By dividing all coefficients with a_0 , will get $b_0 = 1.0029$, $b_1 = -1.9697$, $b_2 = 0.9675$, $a_0 = 1$, $a_1 = -1.9698$ and $a_2 = 0.9702$. Therefore, the transfer function of digital low-pass shelving filter from the example above is shown as in (10).

$$H_{LP}(z) = \frac{1.0029 - 1.9697z^{-1} + 0.9675z^{-2}}{1 - 1.9698z^{-1} + 0.9702z^{-2}} \quad (10)$$

Transfer function of digital high-pass shelving filter, 1st digital peaking filter, 2nd digital peaking filter, and 3rd digital peaking filter from the designed example are shown in (11) – (14) respectively.

$$H_{HP}(z) = \frac{0.7145 - 0.1224z^{-1} + 0.1263z^{-2}}{1 - 0.4972z^{-1} + 0.2156z^{-2}} \quad (11)$$

$$H_{p1}(z) = \frac{0.9789 - 1.9005z^{-1} + 0.9247z^{-2}}{1 - 1.9005z^{-1} + 0.9036z^{-2}} \quad (12)$$

$$H_{p2}(z) = \frac{1.0303 - 1.9520z^{-1} + 0.94117z^{-2}}{1 - 1.9520z^{-1} + 0.9702z^{-2}} \quad (13)$$

$$H_{p3}(z) = \frac{0.9627 - 1.5717z^{-1} + 0.6750z^{-2}}{1 - 1.5717z^{-1} + 0.6378z^{-2}} \quad (14)$$

III. HARDWARE IMPLEMENTATION ON STM32 PROCESSOR

A. Development Environment

The hardware that used for the digital parametric equalizer implementation is the STM32F769I Discovery board, a 32bits processor of the STM32F7 family.

The important aspects consist of.

- STM32F769 devices are based on the high-performance Arm® Cortex®-M7 32-bit RISC core operating at up to 216 MHz frequency. The Cortex®-M7 core features a floating-point unit (FPU) which supports Arm® double-precision and single-precision data-processing instructions and data types. It also implements a full set of DSP instructions up to 216 MHz, MPU, 462 DMIPS/2.14 DMIPS/MHz.
- An audio codec WM8994ECS/R from CIRRUS with 4 DACs and 2 ADCs is connected to the SAI interface of the STM32F769NIH6. The WM8994 has Hi-fi 24-bit 4-channel DAC and 2-channel ADC with standard sample rates from 8kHz to 96kHz.

B. Development Tools.

The MATLAB/Simulink is chosen to be software tool for implementing in this paper because it has a hardware support package that is compatible with the STM32F769-Discovery board. Additional add-ons that be installed can be listed as follows,

- Embedded Coder Support Package for STMicroelectronics Discovery Boards provides support to Embedded Coder that includes automated build and execution, processor-optimized code for ARM Cortex-M.
- Embedded Coder Support Package for ARM Cortex-M Processors lets we generate optimized code for math operations using the CMSIS library. Use this generated code for ARM Cortex-M processors.
- DSP System Toolbox Support Package for ARM Cortex-M Processors, when paired with Embedded Coder, enables to generate optimized C code from MATLAB System object or Simulink blocks. This is done for ARM Cortex-M processor-based systems using the Cortex Microcontroller Software Interface Standard (CMSIS) DSP library.

C. The 5-band Digital Parametric Equalizer Implementation

The implementation process will use MATLAB/Simulink to create the digital parametric equalizer.

In the embedded Coder Support Package for STMicroelectronics Discovery Boards installed, there will be a function block to interface with various hardware on the STM32F769-Discovery board. This paper uses the audio interface (audio in, and audio out blocks) to be an analog interface joint with an implementation the digital parametric equalizer using the proposed design method. In the Fig. 2 shows the components of the Simulink blocks that used for implementation.

Audio In Block It is used to convert the analog signal to the digital signal (ADC) with 16-bits 2 channels. The sampling frequency can be chosen from 8 kHz to 96 kHz. The output data will be as frame, and can set the number of samples per frame (from 5 to 65535).

Audio Out Block It is used to convert the digital data to the analog signal (DAC) with 16-bits 4 channels. The sampling frequency can be chosen from 8 kHz to 96 kHz. The input data will be the frame that will set the number of samples per frame from 5 to 65535 and the gain output can be set from 0-100.

Gain Block Because the signal input from the Audio in block is 16 bits (Int) with a sign bit. When converted to binary, the values are -32768 to 32767, which are not suitable for processing. Therefore, the value must be converting to the range between -1 to 1 by dividing with 32768 or multiplying with 1/32768 and converting it to floating-point data. Likewise, the data after processing is in the floating-point. Therefore, in order to send the data to the Audio out block, the data must be converting back to the Int 16 bits format by multiplying by 32768.

Selector Block Since the signal coming from Audio in is a stereo 2 channels, but in this paper we process with a single signal. Therefore, the selector block must be used to select the signal to process only 1 channel.

Biquad Block The Biquad blocks are used to filter signals with biquadratic infinite impulse response (IIR) filters. The filter coefficients must be specified in the block with the format $[b_0 \ b_1 \ b_2 \ a_0 \ a_1 \ a_2]$ and choose the filter structure as direct form II transposed which can adjust the coefficient during the simulation/running.

Coefficients loader It is not a block in Simulink, but it creates by M-file script which will run on MATLAB and will calculate the coefficients $[b_0 \ b_1 \ b_2 \ a_0 \ a_1 \ a_2]$ of all 5 bands parametric equalizer by the proposed method described in previous section. The operation will start by specifying the parameter Gain (G), cutoff frequency (f_c) or center frequency (f_0) and quality factor (Q). After calculating the coefficients of all 5 bands filter, we will send the values to biquad blocks on Simulink with the setparam command. All coefficients can be adjusted in real-time while being process on the STM32F769-Discovery board.

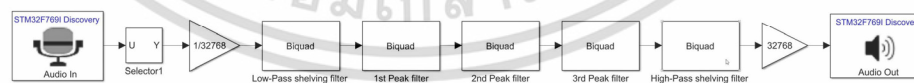


Fig. 2. Block diagram of parametric equalizer implementation (Simulink).

IV. RESULTS

A. Results from Design Example in Section II

The experiment results obtained from the design example in section II, by comparing the magnitude response between the simulation results using MATLAB and the results from implementing on the STM32F769-Discovery board with measuring the magnitude response with the dynamic signal analyzer. Each filter is divided into low-pass shelving filter, 1st peaking filter, 2nd peaking filter, 3rd peaking filter and high-pass shelving filter. After that, all the filters will be cascaded together to create a digital parametric equalizer. The results will be shown in the Fig. 3-8 (Left-hand side is result by hardware implementation and right-hand side is result by MATLAB simulation).

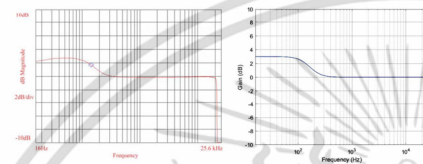


Fig. 3. The comparison of low-pass shelving filter from design example.

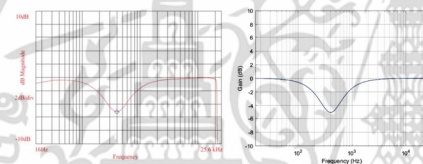


Fig. 4. The comparison of 1st peaking filter from design example.

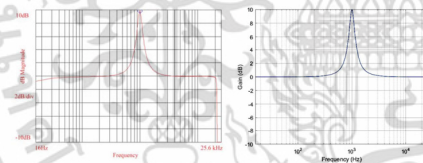


Fig. 5. The comparison of 2nd peaking filter from design example.

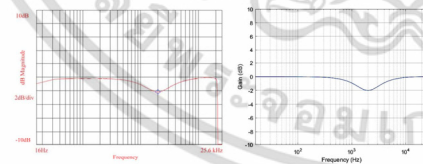


Fig. 6. The comparison of 3rd peaking filter from design example.

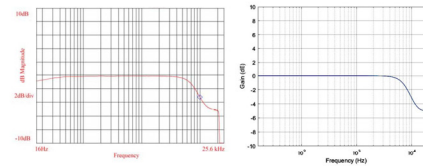


Fig. 7. The comparison of high-pass shelving filter from design example.

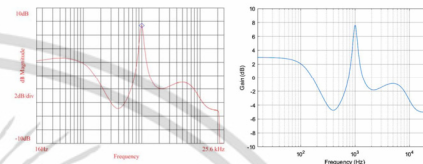


Fig. 8. The comparison of Parametric Eq. 5 bands from design example.

B. Results of Adjustable Digital Parametric Equalizer

The experimental results can show the adjustment of frequency characteristics of digital parametric equalizer with the proposed method, which will use the coefficient calculation through the bilinear Pascal matrix operation to make it convenient to adjust the characteristics. The experiment will change the properties of the 5 bands digital parametric equalizer and measure the results with dynamic signal analyzer compared with the results obtained from the simulation by MATLAB. Digital parametric equalizer parameters setting and the results as shown in Table II-III and Fig. 9-10.

TABLE II. PARAMETERS SETTING FOR 5 BANDS PARAMETRIC EQUALIZER OF A EXPERIMENTAL 1.

	Low-pass shelving filter	1 st Peak filter	2 nd Peak filter	3 rd Peak filter	High-pass shelving filter
Center or Cutoff frequency (Hz)	200	300	1000	2000	7000
Quality factor (Q)	N/A	24	24	2	N/A
Gain (dB)	-5	13	-13	10	3

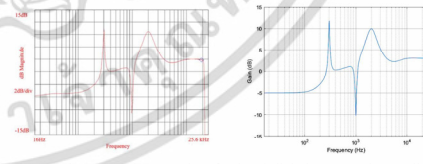


Fig. 9. The comparison results of 5 band digital Parametric equalizer as setting in Table II.

TABLE III. PARAMETERS SETTING FOR 5 BANDS PARAMETRIC EQUALIZER OF A EXPERIMENTAL 2.

	Low-pass shelving filter	1 st Peak filter	2 nd Peak filter	3 rd Peak filter	High-pass shelving filter
Center or Cutoff frequency (Hz)	150	250	621	2048	7551
Quality factor (Q)	N/A	4	3.91	5.83	N/A
Gain (dB)	3	12.6	-2.6	-5.4	-10.3

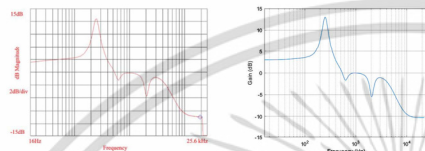


Fig. 10. The comparison results of 5 band digital Parametric equalizer as setting in Table III.

C. Discussion

From the experimental results, it is found that the results obtained from implementing on STM32F769-Discovery board have the same magnitude response as the simulation on MATLAB. In the case of separate testing, each filter has the same characteristics as design specification. In all respects, in the case of experimenting by cascading all 5 filters to make a 5-band digital parametric equalizer, some filters have slightly different properties than the design. Due to the overlap of the similar bandwidth filter, resulting in the characteristic being slightly changed from the specified value.

In the low-frequency band (around 0-120 Hz) the implementation results will be slightly attenuation. Because of the audio interface chip (WM8994ECS/R) on the digital signal processing board (STM32F769-Discovery) will have a high-pass filter in ADC for removing DC offset and suppressing

low-frequency noise such as mechanical variable and wind noise.

V. CONCLUSIONS

The design and implementation of digital parametric equalizer is proposed in this paper. Bilinear Pascal matrix is used in the process of s-z transformation to obtain the digital filter transfer function. This method is convenient for digital filter coefficient updating during frequency characteristics adjustment of digital parametric equalizer. The hardware implementation on STM32 processor is also presented. MATLAB/Simulink can be used later after finish the process of design and simulation, just only some modification and improvement using additional add-ons software tools the hardware can be obtained. Real-time digital parametric equalizer can work well and the frequency characteristics are same as the results from simulations.

REFERENCES

- [1] U. Zölzer, "Digital Audio Signal Processing Second Edition," A John Wiley & Sons, Ltd, England, 2008.
- [2] V. Valimäki, and J. D. Reiss, "All About Audio Equalization: Solutions and Frontiers," in Applied Sciences Audio Signal Processing, Special Issue, 2016, pp. 25-70.
- [3] Z. Xiuli, Z. Ruihua, and C. Weidong, "Design of digital parametric equalizer based on second-order function," 2010 International Conference on Image Analysis and Signal Processing, China, April 2010.
- [4] T. V. Waterschoot, and M. Moonen, "A Pole-Zero Placement Technique for Designing Second-Order IIR Parametric Equalizer Filters," IEEE Transactions on Audio, Speech, and Language Processing, vol. 15, no. 8, pp. 2561-2565, Nov. 2007.
- [5] T. B. Deng, S. Chivapreecha, K. Dejhan, "Generalized Pascal Matrices, Inverses, Computations and Properties Using One-to-One Rational Polynomial s-z Transformations," IEEE Transactions on Circuits and Systems, vol. 55, no. 9, pp. 2650-2669, Oct. 2008.
- [6] mathworks.com, "STMicroelectronics Support from Embedded Coder," [Online]. Available: <https://www.mathworks.com/hardware-support/stmicroelectronics.html>, [Accessed: 10-Mar-2020].

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายฐิตพันธ์ จงสถาพร
วัน เดือน ปีเกิด	28 มีนาคม 2523 จังหวัดกรุงเทพมหานคร
ที่อยู่	129/52 หมู่บ้านบางกอกบุเลอวอร์ด ราชพฤกษ์-พระราม5 ถนนราชพฤกษ์ ตำบลบางกร่าง อำเภอเมือง จังหวัดนนทบุรี 11000
ที่อยู่ทำงาน	มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ 1518 ถนน ประชากรราษฎร์ 1 แขวงวงศ์สว่าง เขตบางซื่อ กรุงเทพฯ 10800
ประวัติการศึกษา	2545 วิทยาศาสตรบัณฑิต สาขาวิชาฟิสิกส์อุตสาหกรรมและอุปกรณ์การแพทย์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ 2549 วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมการวัดคุม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ประสบการณ์ทำงาน	2550 – ปัจจุบัน อาจารย์ประจำภาควิชาฟิสิกส์อุตสาหกรรมและอุปกรณ์ การแพทย์ คณะวิทยาศาสตร์ประยุกต์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ 2549 – 2550 วิศวกรผ่านพัฒนาและวิจัย บริษัทโพลโก้จำกัด 2545 – 2547 นักวิชาการคอมพิวเตอร์ บัณฑิตวิทยาลัย, มหาวิทยาลัยเกษตรศาสตร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้