



ใบรับรองรูปเล่มปริญญาานิพนธ์

ปริญญาานิพนธ์ปีการศึกษา 2565

สาขาวิชาวิศวกรรมศาสตร์ หลักสูตรวิศวกรรมหุ่นยนต์ และอิเล็กทรอนิกส์อัจฉริยะ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง วิทยาเขตชุมพรเขตรอุดมศักดิ์ จังหวัดชุมพร

ชื่อโครงการ เครื่องตรวจสอบเมล็ดพันธุ์ข้าวเปลือก

THE PADDY GENUS SPECIES INVESTIGATIVE MACHINE

ผู้จัดทำ

1. นายภาสกร สุขอนุเคราะห์.....รหัสนักศึกษา 63201282

2. นายศักดิ์สิทธิ์ ตวงมงคลชัย.....รหัสนักศึกษา 63201285

ด้วยข้าพเจ้านักศึกษาวิศวกรรมหุ่นยนต์ และอิเล็กทรอนิกส์อัจฉริยะ สจล.วิทยาเขตชุมพรเขตรอุดมศักดิ์ จังหวัดชุมพร ได้จัดทำรูปเล่มปริญญาานิพนธ์ตามหลักสูตรปริญญาตรี สาขาวิศวกรรมศาสตร์ หลักสูตรวิศวกรรมหุ่นยนต์ และอิเล็กทรอนิกส์อัจฉริยะ ซึ่งในการนี้ข้าพเจ้าได้แก้ไขเนื้อหาและจัดทำรูปเล่มตามข้อกำหนดของรูปเล่มปริญญาานิพนธ์เรียบร้อยแล้ว จึงขอให้อาจารย์ตรวจสอบ และรับรองความถูกต้องเหมาะสมของปริญญาานิพนธ์ในครั้งนี้ด้วย

อาจารย์รับรองรูปเล่มปริญญาานิพนธ์

1. อาจารย์ สักกะพันธ์ คล้ายดอกจันทร์.....ลงชื่อ.....

2. อาจารย์ ว่าที่ร้อยตรีศิลา ศิริมาสกุล.....ลงชื่อ.....

3. อาจารย์ ผศ.ดร.เกษมสุข เสพศิริสุข.....ลงชื่อ.....

4. อาจารย์ ผศ.ดร.ภาสภณ มโนสุภตกุล.....ลงชื่อ.....

5. อาจารย์ที่ปรึกษา ผศ.ดร.มนตรี ไชยชาญยุทธ์.....ลงชื่อ.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เครื่องตรวจสอบเมล็ดพันธุ์ข้าวเปลือก

THE PADDY GENUS SPECIES INVESTIGATING MACHINE

ภาสกร สุขอนุเคราะห์

PHASAKON SUKANUKOH

ศักดิ์สิทธิ์ ดวงมงคลชัย

SAKSIT TUANGMONGKOLCHAI

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมหุ่นยนต์และอิเล็กทรอนิกส์อัจฉริยะ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

วิทยาเขตชุมพรเขตรอุดมศักดิ์ จังหวัดชุมพร

ปีการศึกษา 2565

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เครื่องตรวจสอบพันธุ์ข้าวเปลือก

THE PADDY GENUS SPECIES INVESTIGATING MACHINE

ภาสกร สุขอนุเคราะห์

PHASAKON SUKANUKOH

ศักดิ์สิทธิ์ ตวงมงคลชัย

SAKSIT TUANGMONGKOLCHAI

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิศวกรรมหุ่นยนต์และอิเล็กทรอนิกส์อัจฉริยะ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

วิทยาเขตชุมพรเขตรอุดมศักดิ์ จังหวัดชุมพร

ปีการศึกษา 2565

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2023

DEPARTMENT OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

PRINCE OF CHUMPHON CAMPUS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาานิพนธ์ปีการศึกษา 2565

สาขาวิศวกรรมหุ่นยนต์และอิเล็กทรอนิกส์อัจฉริยะ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง วิทยาเขตชุมพรเขตรอุดมศักดิ์ จังหวัดชุมพร

เรื่อง เครื่องตรวจสอบเมล็ดพันธุ์ข้าวเปลือก

The Paddy Genus Species Investigating Machine

ผู้จัดทำ

1. นายภาสกร สุขอนุเคราะห์ รหัสนักศึกษา 63201282
2. นายศักดิ์สิทธิ์ ตวงมงคลชัย รหัสนักศึกษา 63201285



(Handwritten signature)

.....อาจารย์ที่ปรึกษา
(ผู้ช่วยศาสตราจารย์ ดร.มนตรี ไชยชาญยุทธ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อปริญญานิพนธ์	เครื่องตรวจสอบพันธุ์ข้าวเปลือก	
นักศึกษา	นายภาสกร สุขอนุเคราะห์	รหัสนักศึกษา 63201282
	นายศักดิ์สิทธิ์ ดวงมงคลชัย	รหัสนักศึกษา 63201285
อาจารย์ที่ปรึกษา	ผศ.ดร.มนตรี ไชยชาญยุทธ์	
หลักสูตร	วิศวกรรมศาสตรบัณฑิต	
สาขาวิชา	วิศวกรรมหุ่นยนต์และอิเล็กทรอนิกส์อัจฉริยะ	
ปีการศึกษา	2565	

บทคัดย่อ

ปริญญาานิพนธ์ฉบับนี้นำเสนอเครื่องตรวจสอบพันธุ์ข้าวเปลือก มีวัตถุประสงค์เพื่อใช้ตรวจสอบพันธุ์ข้าวเปลือกที่จะใช้ในการปลูก มีพันธุ์ข้าวเปลือกพันธุ์อื่น ๆ ปะปนมาน้อยเพียงใด และแสดงผลการตรวจสอบพันธุ์ข้าวเปลือกให้แก่ผู้ใช้งานเครื่อง เครื่องจะลำเลียงเมล็ดพันธุ์ข้าวเปลือกเข้าสู่กระบวนการเก็บภาพ จากนั้นจะส่งไปยังกระบวนการสร้างโมเดล โดยใช้โครงข่ายประสาทเทียมแบบคอนโวลูชัน เพื่อตรวจสอบพันธุ์ข้าวเปลือกจากภาพ

จากการทดลอง พบว่า โมเดลที่ได้สร้างขึ้นมีค่าความแม่นยำอยู่ที่ 85% เมื่อนำไปทดสอบ พบว่าการตรวจสอบภาพทดสอบข้าวทั้ง 5 สายพันธุ์ ได้ผล คือพันธุ์ที่ 1 ถูกต้อง 68 % พันธุ์ที่ 2 ถูกต้อง 96 % พันธุ์ที่ 3 ถูกต้อง 82 % พันธุ์ที่ 4 ถูกต้อง 82 % พันธุ์ที่ 5 ถูกต้อง 46% เมื่อเครื่องตรวจสอบพันธุ์เสร็จสิ้น สามารถแสดงผล เป็นชนิดข้าว จำนวนสายพันธุ์ จำนวนเมล็ดพันธุ์ และ เปอร์เซนต์ของสายพันธุ์ที่ถูกตรวจสอบได้ อีกทั้งยังสามารถตรวจสอบสิ่งแปลกปลอมแล้วแสดงค่าเป็นเปอร์เซนต์ให้แก่ผู้ใช้งานผ่านจอแสดงผล และผู้ใช้งานยังสามารถเพิ่มพันธุ์ข้าวเปลือกหรือสิ่งแปลกปลอมใหม่เข้าสู่ระบบได้

คำสำคัญ: เมล็ดพันธุ์ข้าวเปลือก, โมเดล, ความแม่นยำของโมเดล, โครงข่ายประสาทเทียมแบบคอนโวลูชัน

Project Title	The Paddy Genus Species Investigating Machine	
Students	Mr. Phasakon Sukanukoh	Student ID 63201282
	Mr. Saksit Tuangmongkolchai	Student ID 63201285
Advisor	Asst.Prof.Dr.Montree Chaichanyut	
Degree	Bachelor of Engineering	
Program in	Robotics and Intelligent Electronics Engineering	
Academic Year	2022	

ABSTRACT

This thesis presents a paddy rice variety detection machine. It's purpose to inspect the paddy varieties, that will be used for planting. How many other paddy varieties are there and show the results of the inspection paddy varieties to the machine users, The part of the machine will be responsible for conveying paddy seeds to the image capture process. It will then be sent to the modeling process. This using a convolutional neural network to check the paddy varieties from the picture.

From the experiment, it was found that the model that was created had an accuracy of 85%. When tested, it was found that the inspection of all 5 rice varieties was effective, namely, the first variety was 68% correct, the second variety was 96%. No. 3 82 % Varieties 4 82 % Varieties 5 46% The machine, when checking varieties, It can display results was rice type, number of lines, number of seeds. The percentage of species that can be detect. It can also detect foreign matter and show the percentage value to the user through the display. In addition. The users can also add new varieties of paddy or foreign matter to the system.

Keywords: Paddy Seed, Model, Model Accuracy, Convolutional Neural Network

กิตติกรรมประกาศ

ปริญญาบัตรฉบับนี้ได้เรียบเรียงความรู้เกี่ยวกับ ระบบจับชิ้นงานด้วยหุ่นยนต์ สามารถสำเร็จ
ลุล่วงได้อย่างดี ด้วยความช่วยเหลือและการสนับสนุนจากบุคคลหลาย ๆ ท่าน ซึ่งผู้เขียนขอขอบคุณ
ทุก ๆ ท่านดังต่อไปนี้

ขอกราบขอบพระคุณ บิดามารดาและครอบครัว ผู้ซึ่งคอยอบรมสั่งสอน เลี้ยงดู สนับสนุน
การศึกษาตลอดจนให้กำลังใจเสมอมาตลอดจนสำเร็จการศึกษา

ขอกราบขอบพระคุณ ผศ.ดร.มนตรี ไชยชาญยุทธ์ อาจารย์ที่ปรึกษา ผู้ซึ่งให้คำแนะนำต่างๆ
คอยช่วยเหลือและติดตามเกี่ยวกับโครงการตลอดมา ผู้เขียนรู้สึกซาบซึ้งในความเมตตาของท่าน จึงขอ
กราบขอบพระคุณเป็นอย่างสูง

ขอขอบพระคุณอาจารย์ที่เคารพทุก ๆ ท่าน ที่ให้ความเอาใจใส่แนะนำและคอยช่วยเหลือมา
โดยตลอด

ขอขอบคุณพี่ ๆ เพื่อน ๆ ทุก ๆ คน ที่คอยช่วยเหลือการทำโครงการชิ้นนี้จนสำเร็จลุล่วงไปได้
ด้วยดี

คุณค่าและประโยชน์อันพึงมีจากรายงานฉบับนี้ ผู้จัดทำขอขอบแต่ผู้มีพระคุณทุกท่าน

ภาสกร สุขอนุเคราะห์
ศักดิ์สิทธิ์ ตวงมงคลชัย
มิถุนายน 2566

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ที่มาและความสำคัญของปัญหา.....	1
1.2 วัตถุประสงค์ของโครงการ.....	1
1.3 สมมติฐานการศึกษา.....	1
1.4 ขอบเขตของโครงการ.....	2
1.5 ประโยชน์ที่คาดว่าจะได้รับ.....	2
1.6 ขั้นตอนและวิธีการทำ.....	2
1.7 โครงสร้างปริญญานิพนธ์.....	3
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง.....	5
2.1 มอเตอร์ไฟฟ้ากระแสตรง (DC Motor).....	5
2.1.1 หลักการทำงานของมอเตอร์ไฟฟ้ากระแสตรง.....	6
2.1.2 ประเภทของมอเตอร์ไฟฟ้ากระแสตรง.....	6
2.2 กล้องจุลทรรศน์แบบดิจิตอล (Digital Microscope).....	6
2.3 สายพานลำเลียงแบบพีวีซี (PVC Belt Conveyor).....	7
2.4 คีย์บอร์ดไร้สาย (Keyboard wireless).....	7
2.5 สวิตช์ (Switch).....	8
2.5.1 ชนิดของสวิตช์.....	9
2.6 บัคคอนเวอร์เตอร์ (Buck Converter).....	9
2.7 สวิตชิงเพาเวอร์ซัพพลาย (Switching Power Supply).....	10
2.8 พัดลมดูดอากาศ (Exhaust Fan).....	11
2.9 เบรกเกอร์ (Breaker).....	12

สารบัญ (ต่อ)

	หน้า
2.10 เจ็ทสันนาโน (Jetson Nano)	12
2.11 โอเพินซีวี (OpenCV).....	14
2.12 เทนเซอร์โฟล (TensorFlow).....	15
2.13 โครงข่ายประสาทเทียมแบบคอนโวลูชัน (Convolutional Neural Network: CNN)	16
2.13.1 การสกัดคุณลักษณะ (Feature Extraction)	16
2.14 ภาษาไพธอน (Python Language).....	19
บทที่ 3 การออกแบบ	20
3.1 บล็อกไดอะแกรมแสดงการต่ออุปกรณ์ของเครื่องตรวจสอบสายพันธุ์ข้าวเปลือก	20
3.2 การเชื่อมต่อวงจรของเครื่องตรวจสอบสายพันธุ์ข้าวเปลือก	21
3.3 การออกแบบเครื่องตรวจสอบสายพันธุ์ข้าวเปลือก	22
3.3.1 การออกแบบชุดเก็ลเมล็ดพันธุ์ข้าวเปลือก	23
3.3.2 การออกแบบตัวบีบเรียงแนวของเมล็ดพันธุ์ข้าวเปลือก	24
3.3.3 การออกแบบตัวครอบกล้องตรวจจับ	25
3.4 การทำเครื่องตรวจสอบสายพันธุ์ข้าวเปลือก	26
3.5 การเตรียมภาพ	29
3.6 การออกแบบโครงข่ายประสาทเทียมแบบคอนโวลูชัน	30
บทที่ 4 การทดลองและผลการทดลอง	31
4.1 การทดลองที่ 1 เรื่องจำนวนข้อมูลสายพันธุ์ข้าวเปลือกที่มีในระบบ	31
4.1.1 วัตถุประสงค์	31
4.1.2 วิธีการทดลอง	31
4.1.3 สรุปผลการทดลอง	32
4.2 การทดลองที่ 2 เรื่องการออกแบบโครงข่ายประสาทเทียมแบบคอนโวลูชัน	34
4.2.1 วัตถุประสงค์	35
4.2.2 วิธีการทดลอง	35
4.2.3 ผลการทดลอง	36

สารบัญ (ต่อ)

หน้า

4.3 การทดลองที่ 3 เรื่องการตรวจสอบความถูกต้องของข้อมูลโมดูลเมล็ดพันธุ์ข้าวเปลือกที่มีข้อมูลอยู่ในระบบ	39
4.3.1 วัตถุประสงค์	39
4.3.2 วิธีการทดลอง	39
4.4 การทดลองที่ 4 เรื่องการใช้หน้าตาต่างสำหรับการแสดงผลพีธแก่ผู้ใช้งาน	43
4.4.1 วัตถุประสงค์	43
4.4.2 วิธีการทดลอง	43
4.5 การทดลองที่ 5 เรื่องการเก็บภาพพันธุ์ข้าวในระยะเวลา 1 ชั่วโมง 30 นาที	44
4.5.1 วัตถุประสงค์	44
4.5.2 วิธีการทดลอง	45
4.6 การทดลองที่ 6 เรื่องแสดงผลการตรวจสอบพันธุ์ข้าวเปลือกและผลการตรวจสอบสิ่งแปลกปลอม	47
4.6.1 วัตถุประสงค์	48
4.6.2 วิธีการทดลอง	48
4.7 การทดลองที่ 7 เรื่องเพิ่มการเรียนรู้เมล็ดพันธุ์ข้าวเปลือกสายพันธุ์ใหม่หรือสิ่งแปลกปลอมใหม่	50
4.7.1 วัตถุประสงค์	50
4.7.2 วิธีการทดลอง	50
บทที่ 5 บทสรุปและข้อเสนอแนะ	52
5.1 สรุปผลการทดลอง	52
5.2 ปัญหาและอุปสรรค	53
5.3 ข้อเสนอแนะและวิธีการแก้ปัญหา	53
เอกสารอ้างอิง	54
ภาคผนวก ก โปรแกรมควบคุมระบบเครื่องตรวจสอบสายพันธุ์ข้าวเปลือก	56
ภาคผนวก ข คู่มือการใช้งานเครื่องตรวจสอบสายพันธุ์ข้าวเปลือก	64
ภาคผนวก ค คู่มือการใช้อุปกรณ์ (Datasheets)	71
ประวัติผู้เขียน	135

สารบัญตาราง

ตารางที่	หน้า
1.1 แผนการดำเนินงานภาคเรียนที่ 1	2
1.2 แผนการดำเนินงานภาคเรียนที่ 2	2
4.1 การทดลองจำนวนข้อมูลสายพันธุ์เริ่มต้นของเมล็ดพันธุ์ข้าวเปลือก	32
4.2 การทดลองการออกแบบโครงข่ายประสาทเทียมแบบคอนโวลูชัน	36
4.3 การทดลองการตรวจสอบความถูกต้องของข้อมูลเมล็ดพันธุ์ข้าวเปลือกที่มีข้อมูลอยู่ในระบบ.....	40
4.4 การทดลองการใช้หน้าตาต่างสำหรับการสื่อสารกับผู้ใช้งาน.....	44
4.5 การทดลองการแสดงผลรหัสสายพันธุ์ข้าวเปลือกที่ถูกตรวจจำแนก.....	45
4.6 การทดลองแสดงผลการตรวจสอบพันธุ์ข้าวเปลือกและผลการตรวจสอบสิ่งแปลกปลอม	48
4.7 ผลการทดลองเพิ่มการเรียนรู้เมล็ดพันธุ์ข้าวเปลือกสายพันธุ์ใหม่หรือสิ่งแปลกปลอมใหม่.....	51

สารบัญรูป

รูปที่	หน้า
2.1 มอเตอร์ไฟฟ้ากระแสตรง (DC Motor)	5
2.2 กล้องจุลทรรศน์แบบดิจิทัล	7
2.3 สายพานลำเลียงขนาดเล็ก	7
2.4 คีย์บอร์ดไร้สาย	8
2.5 สวิตช์	8
2.6 บัคคอนเวอร์เตอร์	10
2.7 สวิตซ์িংเพาเวอร์ซัพพลาย	11
2.8 บล็อกไดอะแกรมการทำงานของสวิตซ์িংเพาเวอร์ซัพพลาย	11
2.9 พัดลมดูดอากาศ	11
2.10 เบรกเกอร์	12
2.11 เจ็ดสันนาโน	13
2.12 คุณสมบัติของบอร์ดเจ็ดสันนาโน	14
2.13 โลโก้โอเพินซีว	15
2.14 โลโก้เทนเซอร์โฟล	15
2.15 การหาคุณลักษณะของหน	16
2.16 ตัวกรอง 3X3 สำหรับหาเส้นตรงทแยงสี่ขาว	17
2.17 ผลลัพธ์การคำนวณหาฟังก์ชันลักษณะ	17
2.18 ตัวอย่างการกำหนดสไทรด (Stride) เท่ากับ 1	18
2.19 ฟังก์ชันลักษณะ (Feature Map) ที่ได้จากเติมแพดดิ้ง (Padding)	18
2.20 ผลลัพธ์ของการทำแมกพูลลิง (Max Polling) ขนาด 2X2	19
3.1 บล็อกไดอะแกรมการต่ออุปกรณ์	20
3.2 การเชื่อมต่อวงจร	21
3.3 การออกแบบเครื่องตรวจสอบสายพันธ์ข้าวเปลือก	22
3.4 การวัดขนาดจากสายพันธ์ข้าวเปลือกหน่วยมิลลิเมตร	23
3.5 การออกแบบร่องข้าวให้มีความกว้าง 3 มิลลิเมตร และยาว 11 มิลลิเมตร	23
3.6 การออกแบบชุดเกลียวให้มีขนาดความกว้าง 160 มิลลิเมตร ยาว 160 มิลลิเมตร และสูง 35 มิลลิเมตร	24

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.7 วัสดุที่นำมาใช้ในการทำตัวบียเรียงแนวของเมล็ดพันธุ์ข้าวเปลือก.....	24
3.8 การออกแบบตัวครอบกล่องตรวจจับ	25
3.9 การออกแบบตัวเรียงแนวเมล็ดพันธุ์ข้าว	25
3.10 ทำโครงสร้างของตัวเครื่อง	26
3.11 หุ้มสังกะสี.....	26
3.12 วางชุดฟีดเมล็ดพันธุ์ข้าวเปลือก.....	27
3.13 ยึดขาตั้งจอมอนิเตอร์.....	28
3.14 ติดตั้งอุปกรณ์	28
3.15 สวิตซ์ที่ติดตั้งทั้งหมดบนตัวเครื่อง	28
3.16 โฟลเดอร์ที่เก็บภาพ เทรน (train) และ เทส (test).....	29
3.17 บล็อกไดอะแกรมการออกแบบโครงข่ายประสาทเทียมแบบคอนโวลูชัน.....	30
4.1 ข้อมูลภาพข้าวพันธุ์ที่ 1 หอมนาคา	33
4.2 ข้อมูลภาพข้าวพันธุ์ที่ 2 กัญญา.....	33
4.3 ข้อมูลภาพข้าวพันธุ์ที่ 3 ไรซ์เบอร์รี่.....	34
4.4 ข้อมูลภาพข้าวพันธุ์ที่ 4 กข22	34
4.5 ข้อมูลภาพข้าวพันธุ์ที่ 5 กุหลาบแดง	35
4.6 จำนวนชั้นพีจเจอร์เลิร์นนิ่ง.....	37
4.7 ค่าความแม่นยำของโมเดลภาพข้าว 5 สายพันธุ์ที่ไม่ได้ลบพื้นหลัง	38
4.8 ค่าความแม่นยำของโมเดลภาพข้าว 5 สายพันธุ์ที่ลบพื้นหลังจำนวนชั้นพีจเจอร์เลิร์นนิ่ง 2 ชั้น	38
4.9 ค่าความแม่นยำของโมเดลภาพข้าว 5 สายพันธุ์ที่ลบพื้นหลังจำนวนชั้นพีจเจอร์เลิร์นนิ่ง 3 ชั้น	38
4.10 ค่าความแม่นยำของโมเดลภาพข้าว 5 สายพันธุ์ที่ลบพื้นหลังจำนวนชั้นพีจเจอร์เลิร์นนิ่ง 4 ชั้น	38
4.11 ผลการตรวจสอบพันธุ์ข้าวหอมนาคา	41
4.12 ผลการตรวจสอบพันธุ์ข้าวกัญญา	41
4.13 ผลการตรวจสอบพันธุ์ข้าวไรซ์เบอร์รี่.....	42
4.14 ผลการตรวจสอบพันธุ์กข22.....	42
4.15 ผลการตรวจสอบพันธุ์กุหลาบแดง.....	43
4.16 การทดลองการใช้หน้าตาสำหรับการสื่อสารกับผู้ใช้งาน	44
4.17 หน้าหนักที่ได้จากการทดลองครั้งที่ 1.....	45

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.18 หน้าที่ได้จากทดลองครั้งที่ 2.....	46
4.19 หน้าที่ได้จากทดลองครั้งที่ 3.....	46
4.20 จำนวนภาพที่ได้จากการทดลองครั้งที่ 1.....	46
4.21 จำนวนภาพที่ได้จากการทดลองครั้งที่ 2.....	47
4.22 จำนวนภาพที่ได้จากการทดลองครั้งที่ 3.....	47
4.23 ผลการทดลองครั้งที่ 1.....	49
4.24 ผลการทดลองครั้งที่ 2.....	49
4.25 ผลการทดลองครั้งที่ 3.....	49
4.26 ผลการทดลองครั้งที่ 4.....	50
4.27 ผลการทดลองครั้งที่ 5.....	50
4.28 ผลการทดลองเพิ่มพันธุ์ใหม่ 3 สายพันธุ์.....	51

บทที่ 1

บทนำ

ในบทนี้จะกล่าวถึง ความเป็นมาและความสำคัญของปัญหา วัตถุประสงค์ของโครงการ สมมติฐานการศึกษา ขอบเขตของโครงการ ประโยชน์ที่ได้รับ ขั้นตอนและวิธีการทำ ซึ่งมีรายละเอียด ดังนี้

1.1 ที่มาและความสำคัญของปัญหา

ในปัจจุบันนี้ประเทศไทยมีเกษตรกรที่ทำนาข้าวเป็นหลัก เกษตรกรที่ปลูกข้าวจะต้องซื้อพันธุ์ข้าวมาปลูกจากผู้ขายพันธุ์ข้าว ในบางครั้งอาจมีการปะปนสายพันธุ์ข้าวพันธุ์อื่น ๆ เป็นปัญหาต่อการปลูกข้าวของเกษตรกรที่ถูกละเลยจากผู้ขายพันธุ์ข้าว จึงได้นำปัญหานั้นมาออกแบบสร้างเครื่องตรวจสอบพันธุ์ข้าว เพื่อนำมาแก้ไขปัญหานี้

1.2 วัตถุประสงค์ของโครงการ

- 1) เพื่อสร้างเครื่องตรวจสอบพันธุ์ข้าวเปลือก
- 2) เพื่อตรวจสอบพันธุ์ข้าวเปลือก
- 3) เพื่อศึกษาเรียนรู้การสร้างโครงข่ายประสาทเทียมแบบคอนโวลูชัน (Convolutional neural network)
- 4) เพื่อศึกษาภาษาไพธอน (Python)
- 5) เพื่อศึกษาและใช้บอร์ดเจ็ตสันนาโน (Jetson nano)

1.3 สมมติฐานการศึกษา

- 1) เครื่องสามารถตรวจสอบเมล็ดพันธุ์ข้าวได้ มีความถูกต้องมากกว่า 90%
- 2) เครื่องสามารถตรวจสอบเมล็ดพันธุ์ข้าวเปลือกได้ 2 กิโลกรัม ในระยะเวลา 1.30 ชั่วโมง
- 3) เครื่องมีข้อมูลสายพันธุ์ข้าวเปลือกเริ่มต้น 5 สายพันธุ์
- 4) เครื่องสามารถแสดงผลรหัสสายพันธุ์ข้าวเปลือกที่ถูกตรวจจำแนกได้เป็นกิโลกรัม มีอะไรบ้าง แสดงค่าเปอร์เซ็นต์ของสายพันธุ์ข้าวเปลือกที่ตรวจสอบ
- 5) เครื่องตรวจสอบพันธุ์ข้าวเปลือกมีหน้า User Interface พร้อมใช้งาน
- 6) เครื่องสามารถเรียนรู้สายพันธุ์ข้าวได้มากกว่าที่เคยเก็บข้อมูล ตามหลักการ Machine Learning

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7) เครื่องสามารถตรวจสอบสิ่งแปลกปลอมที่ปะปนมากับเมล็ดพันธุ์ข้าวได้

1.4 ขอบเขตของโครงการ

- 1) เครื่องสามารถตรวจสอบพันธุ์ข้าวเปลือกที่มีข้อมูลในระบบถูกต้องมากกว่า 90%
- 2) เครื่องสามารถตรวจสอบพันธุ์ข้าวเปลือกได้ไม่เกิน 2 กิโลกรัม ได้ในระยะเวลา 1 ชั่วโมง 30 นาที
- 3) เครื่องมีข้อมูลสายพันธุ์ข้าวเปลือกเริ่มต้น 5 สายพันธุ์
- 4) เครื่องสามารถแสดงผลรหัสสายพันธุ์ข้าวเปลือกที่ถูกตรวจจำแนกได้เป็นกึ่งชนิด มีอะไรบ้าง แสดงค่าเปอร์เซ็นต์ของสายพันธุ์ข้าวเปลือกที่ตรวจสอบ
- 5) เครื่องที่ออกแบบมีหน้าตาสำหรับสื่อสารกับผู้ใช้งาน แสดงผลลัพธ์ที่ได้จากการตรวจสอบผ่านจอแสดงผล
- 6) เครื่องมีระบบสอนการเรียนรู้สายพันธุ์ข้าวเปลือกใหม่เพื่อใช้เป็นฐานข้อมูลในระบบได้
- 7) เครื่องสามารถตรวจสอบสิ่งแปลกปลอมได้และแสดงค่าสิ่งแปลกปลอมเป็นเปอร์เซ็นต์

1.5 ประโยชน์ที่คาดว่าจะได้รับ

- 1) สามารถออกแบบโครงข่ายประสาทเทียมแบบคอนโวลูชัน (Convolutional neural network)
- 2) ได้เรียนรู้วิธีการใช้งานบอร์ดเจ็ทสันนาโน (Jetson nano)
- 3) ได้ความรู้ในการเขียนภาษาไพธอน (Python)
- 4) สามารถตรวจสอบการปลอมปนของพันธุ์ข้าว

1.6 ขั้นตอนและวิธีการทำ

ขั้นตอน และวิธีการดำเนินงานของเครื่องตรวจสอบเมล็ดพันธุ์ข้าว ที่ผู้จัดทำได้วางแผนไว้แบ่งออกเป็น 2 ช่วงใหญ่ๆ คือแผนดำเนินงานในภาคเรียนที่ 1 และแผนการดำเนินงานในภาคเรียนที่ 2 ซึ่งได้แจกแจงรายละเอียดไว้ในตารางที่ 1.1 และตารางที่ 1.2 ดังนี้

ตารางที่ 1.1 แผนการดำเนินงานภาคเรียนที่ 1

ขั้นตอนการดำเนินงาน	ระยะเวลาดำเนินงาน			
	กันยายน	ตุลาคม	พฤศจิกายน	ธันวาคม
1. คิดหัวข้อโครงการนำเสนออาจารย์ที่ปรึกษา	←→			

ตารางที่ 1.1 แผนการดำเนินงานภาคเรียนที่ 1 (ต่อ)

ขั้นตอนการดำเนินงาน	ระยะเวลาดำเนินงาน			
	กันยายน	ตุลาคม	พฤศจิกายน	ธันวาคม
2. ศึกษาข้อมูลแนวทาง การเขียนโปรแกรม อุปกรณ์ที่ใช้ และหลักการ ทำงานทั้งหมด	←	→		
3. จัดทำโครงสร้างของเครื่องตรวจสอบ พันธุ์ข้าวเปลือก		←	→	
4. เขียนโปรแกรมตรวจสอบพันธุ์ข้าว			←	→
5. ออกแบบหน้า User Interface				←

ตารางที่ 1.2 แผนการดำเนินงานภาคเรียนที่ 2

ขั้นตอนการดำเนินงาน	ระยะเวลาดำเนินงาน				
	มกราคม	กุมภาพันธ์	มีนาคม	เมษายน	พฤษภาคม
1. ติดตั้งอุปกรณ์ทั้งหมดลงบนเครื่อง	←	→			
2. ออกแบบชุดข้อมูลสิ่งแปลกปลอมที่ใช้ในการตรวจจับ		←	→		
3. ทดสอบการทำงานของเครื่องทั้งหมด				←	→

1.7 โครงสร้างปริญญานิพนธ์

ปริญญานิพนธ์ฉบับนี้เสนอเกี่ยวกับเครื่องตรวจสอบพันธุ์ข้าวเปลือก โดยแบ่งออกเป็น 5 ส่วนคือบทที่ 1 ถึง 5 ซึ่งแต่ละส่วนจะอธิบายเนื้อหาที่เกี่ยวข้องไว้อย่างครบถ้วน ในแต่ละบทจะมีหัวข้อดังต่อไปนี้

บทที่ 1 บทนำ ในบทนี้จะกล่าวที่มาและความสำคัญของปัญหา วัตถุประสงค์ของโครงการ สมมติฐานการศึกษา ขอบเขตของโครงการ ประโยชน์ที่ได้รับ ขั้นตอนและวิธีการทำ รวมถึงโครงสร้างปริญญานิพนธ์

บทที่ 2 ในบทนี้จะกล่าวถึงทฤษฎีที่เกี่ยวข้องกับเครื่องตรวจสอบพันธุ์ข้าวเปลือก ได้แก่ มอเตอร์กระแสตรง (DC Motor), กล้องจุลทรรศน์แบบดิจิทัล (Digital Microscope), สายพาน

ลำเลียงแบบพีวีซี (PVC Belt Conveyor), คีย์บอร์ดไร้สาย (Keyboard wireless), สวิตช์ (Switch), เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บัคคอนเวอร์เตอร์ (Buck Converter), สวิตชิงเพาเวอร์ซัพพลาย (Switching Power Supply), พัดลมดูดอากาศ (Exhaust Fan), บรกเกอร์ (Breaker), เจ็ทสันนาโน (Jetson Nano), โอเพินซีวี (OpenCv), เทนเซอร์โฟล (TensorFlow), โครงข่ายประสาทเทียมแบบคอนโวลูชัน (Convolutional Neural Network: CNN) รวมไปถึงความรู้และทฤษฎีอื่น ๆ ที่เกี่ยวข้องเป็นต้น

บทที่ 3 ในบทนี้จะกล่าวถึงการออกแบบ และการออกแบบของเครื่องตรวจสอบพันธุ์ข้าวเปลือก ซึ่งจะมีบล็อกไดอะแกรมแสดงการต่ออุปกรณ์ของเครื่องของเครื่องตรวจสอบพันธุ์ข้าวเปลือก การเชื่อมต่อวงจรของเครื่องตรวจสอบพันธุ์ข้าวเปลือก การออกแบบเครื่องตรวจสอบพันธุ์ข้าวเปลือก การทำงานของเครื่องตรวจสอบพันธุ์ข้าวเปลือก บล็อกไดอะแกรมเครื่องตรวจสอบพันธุ์ข้าวเปลือก และแผนผังการทำงานของเครื่องตรวจสอบพันธุ์ข้าวเปลือก

บทที่ 4 ในบทนี้จะกล่าวถึงการทดลองและผลการทดลองเครื่องตรวจสอบพันธุ์ข้าวเปลือก ซึ่งมีหัวข้อการทดลองประกอบด้วย การทดลองจำนวนข้อมูลสายพันธุ์ข้าวเปลือกที่มีในระบบ การทดลองการออกแบบโครงข่ายประสาทเทียมแบบคอนโวลูชัน การทดลองการตรวจสอบความถูกต้องของข้อมูลโมดูลเมล็ดพันธุ์ข้าวเปลือกที่มีข้อมูลอยู่ในระบบ การทดลองการใช้หน้าต่างสำหรับการแสดงผลแก่ผู้ใช้งาน การทดลองการเก็บภาพพันธุ์ข้าวในระยะเวลา 1 ชั่วโมง 30 นาที การทดลองแสดงผลการตรวจสอบพันธุ์ข้าวเปลือกและผลการตรวจสอบสิ่งแปลกปลอม การทดลองเพิ่มการเรียนรู้เมล็ดพันธุ์ข้าวเปลือกสายพันธุ์ใหม่หรือสิ่งแปลกปลอมใหม่ เป็นต้น

บทที่ 5 บทสรุปและข้อเสนอแนะ ในบทนี้จะกล่าวถึงสรุปผลการทดลอง ปัญหาและอุปสรรค ข้อเสนอแนะและวิธีการแก้ไขปัญหา ของเครื่องตรวจสอบพันธุ์ข้าวเปลือก

บทที่ 2

ทฤษฎีที่เกี่ยวข้อง

ในบทนี้จะกล่าวถึงทฤษฎีที่เกี่ยวข้องกับเครื่องตรวจสอบพันธุ์ข้าวเปลือก ได้แก่ มอเตอร์กระแสตรง (DC Motor), กล้องจุลทรรศน์แบบดิจิทัล (Digital Microscope), สายพานลำเลียงแบบพีวีซี (PVC Belt Conveyor), คีย์บอร์ดไร้สาย (Keyboard wireless), สวิตช์ (Switch), บัคคอนเวอร์เตอร์ (Buck Converter), สวิตชิงเพาเวอร์ซัพพลาย (Switching Power Supply), พัดลมดูดอากาศ (Exhaust Fan), เบรกเกอร์ (Breaker), เจ็ทสันนาโน (Jetson Nano), โอเพินซีวี (OpenCv), เทนเซอร์โฟล (TensorFlow), โครงข่ายประสาทเทียมแบบคอนโวลูชัน (Convolutional Neural Network: CNN) รวมไปถึงความรู้และทฤษฎีอื่น ๆ ที่เกี่ยวข้องเป็นต้น

2.1 มอเตอร์ไฟฟ้ากระแสตรง (DC Motor)

เป็นมอเตอร์กระแสไฟฟ้าตรง [1] เป็นอุปกรณ์ที่ทำหน้าที่เปลี่ยนพลังงานไฟฟ้าเป็นพลังงานกล โดยเมื่อจ่ายไฟให้แก่มอเตอร์ จะทำให้แกนของมอเตอร์หมุน จึงสามารถนำการหมุนของแกนมอเตอร์ไปใช้ในการขับเคลื่อนวัตถุให้เกิดการเคลื่อนที่



รูปที่ 2.1 มอเตอร์ไฟฟ้ากระแสตรง (DC Motor)

(ที่มา: <https://naichangmashare.com/2021/05/28/electric-motor-ep-1/>)

2.1.1 หลักการทำงานของมอเตอร์ไฟฟ้ากระแสตรง

หลักการพื้นฐานของมอเตอร์ไฟฟ้ากระแสตรง ประกอบด้วยขดลวด 2 ชุด ซึ่งขดลวดชุดหนึ่งอยู่ที่สเตเตอร์ เรียกว่าขดลวดสนาม (Field winding) ที่ทำหน้าที่สร้างสนามแม่เหล็กถาวร ซึ่งแหล่งจ่ายไฟฟ้ากระแสตรงที่จ่ายมานั้นจะมาจากแหล่งเดียวกันกับขดลวดอาร์เมเจอร์ แต่ในบางครั้งสำหรับมอเตอร์เล็กๆ นั้นจะใช้แม่เหล็กถาวรแทนการใช้ขดลวดเพื่อสร้างสนามแม่เหล็กถาวร และขดลวดชุดที่สองที่อยู่ในส่วนของโรเตอร์ จะเรียกว่าขดลวดอาร์เมเจอร์ (Armature winding) ซึ่งจะจ่ายไฟฟ้ากระแสตรงเข้าขดลวดอาร์เมเจอร์ผ่านแปรงถ่าน (Brush) และชุดคอมมิวเตเตอร์ ซึ่งตัวขดลวดนั้นจะทำให้เกิดแรงบิด ในการหมุนของโรเตอร์ ที่เกิดมาจากการกระทำระหว่างขั้วแม่เหล็กของขดลวดในสเตเตอร์ และ โรเตอร์ ที่ต่างขั้วกันและผลักกันทำให้เกิดการหมุนขึ้นได้ในที่สุด

2.1.2 ประเภทของมอเตอร์ไฟฟ้ากระแสตรง

ประเภทของมอเตอร์ไฟฟ้ากระแสตรงนั้นจะขึ้นอยู่กับการต่อระหว่างขดลวดสนาม (Field Coil) และ ขดลวดอาร์เมเจอร์ (Armature Coil) ว่าเป็นการต่อแบบไหน ซึ่งมีวิธีการต่อดังนี้

1) ซีรีส์ดีซีมอเตอร์ (Series DC Motor) เป็นการต่อขดลวดสนาม (Field Coil) และขดลวดอาร์เมเจอร์ (Armature Coil) เป็นแบบอนุกรมกัน ซึ่งกระแสไฟฟ้าที่ไหลผ่านขดลวดทั้ง 2 นั้นจะมีค่าเท่ากัน ซึ่งปริมาณกระแสไฟฟ้าที่ไหลนั้นจะขึ้นอยู่กับภาระโหลดหรือภาระที่แกนมอเตอร์ โดยความเร็วของมอเตอร์จะลดลงเมื่อโหลดเพิ่มขึ้น

2) ชันท์ดีซีมอเตอร์ (Shunt DC Motor) เป็นการต่อขดลวดสนาม (Field Coil) และขดลวดอาร์เมเจอร์ (Armature Coil) เป็นแบบขนานกัน ดังนั้นกระแสไฟฟ้าที่ไหลผ่าน Field Coil และ Armature Coil จะไม่เท่ากัน

3) คอมพาวด์มอเตอร์ (Compound Motor) เป็นมอเตอร์ที่มีขดลวดสนาม (Field Coil) 2 ชุด โดยชุดที่ 1 จะต่ออนุกรมกับขดลวดอาร์เมเจอร์ (Armature Coil) ก่อนและค่อยมาขนานกับขดลวดสนาม (Field Coil) ชุดที่ 2

2.2 กล้องจุลทรรศน์แบบดิจิทัล (Digital Microscope)

กล้องจุลทรรศน์แบบดิจิทัล [2] กล้องจุลทรรศน์ที่ออกแบบสำหรับต่อเข้ากับหน้าจอในการใช้งาน สามารถดูวัตถุได้โดยหน้าจอแสดงผลบนตัวกล้อง กล้องจุลทรรศน์แบบดิจิทัลมีอัตราการขยายตั้ง 1-1000X มีระบบการบันทึกวิดีโอและภาพนิ่งลงบนเอสดีการ์ด (SD Card) สามารถเชื่อมต่อกับคอมพิวเตอร์ได้ด้วยสายไมโครยูเอสบี (Micro USB) เพื่อบันทึกภาพและวิดีโอลงบนคอมพิวเตอร์ได้ แสดงดังรูปที่ 2.2



รูปที่ 2.2 กล้องจุลทรรศน์แบบดิจิทัล

(ที่มา: <https://shorturl.asia/q67au>)

2.3 สายพานลำเลียงแบบพีวีซี (PVC Belt Conveyor)

ระบบสายพานลำเลียงแบบพีวีซี [3] เหมาะสำหรับลำเลียงชิ้นงานหรือวัสดุที่มีน้ำหนักเบา ระบบสายพานลำเลียงแบบ PVC สามารถทนความร้อนได้และราคาถูก ลักษณะการทำงานของระบบสายพานลำเลียงแบบ PVC จะลำเลียงจากจุดหนึ่งไปอีกจุดหนึ่ง เหมาะสำหรับงานลำเลียงในอุตสาหกรรมอาหาร สินค้าที่บรรจุหีบห่อที่มีน้ำหนักเบา และต้องการความสะอาด



รูปที่ 2.3 สายพานลำเลียงขนาดเล็ก

(ที่มา: <http://heiphar.blogspot.com/2014/08/belt-conveyor.html>)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 คีย์บอร์ดไร้สาย (Keyboard wireless)

คีย์บอร์ดไร้สาย [4] มีทั้งแบบใช้สัญญาณบลูทูธ เชื่อมต่อสมาร์ทโฟน แท็บเล็ต โน้ตบุ๊ก และคอมพิวเตอร์ ประกอบด้วย ตัวส่ง และตัวรับสัญญาณ ตัวส่ง คือตัวคีย์บอร์ด ส่วนตัวรับ ทำหน้าที่เชื่อมต่อ และออกคำสั่งเครื่องคอมพิวเตอร์ โดยมีวิธีการใช้งาน คือนำตัวรับสัญญาณเสียบเข้าไปที่ช่องพอร์ต USB ของเครื่องคอมพิวเตอร์ หรืออุปกรณ์ที่ต้องการใช้งาน และดูสัญญาณการเชื่อมต่อที่หน้าจอ และทดสอบการพิมพ์จากคีย์บอร์ด เมื่อพิมพ์ได้การเชื่อมต่อเสร็จสมบูรณ์ แสดงดังรูปที่ 2.4



รูปที่ 2.4 คีย์บอร์ดไร้สาย

(ที่มา: <https://new.autoinfo.co.th/article/113919>)

2.5 สวิตช์ (Switch)

สวิตช์ [5] สวิตช์ใช้ตัดต่อวงจรไฟฟ้าเพื่อให้มีการจ่ายแรงดันเข้าวงจร หรือลดจ่ายแรงดันเข้าวงจร จะมีแรงดันจ่ายเข้าวงจรเมื่อสวิตช์ต่อวงจร (Close Circuit) และไม่มีแรงดันจ่ายเข้าวงจรเมื่อสวิตช์ตัดวงจร (Open Circuit)



รูปที่ 2.5 สวิตช์

(ที่มา: <https://shorturl.asia/TZBp7>)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.1 ชนิดของสวิตช์

1) สวิตช์แบบเลื่อน (Slide Switch) เป็นสวิตช์ที่ต้องเลื่อนก้านสวิตช์ไปมา ก้านสวิตช์ยื่นยาวออกมาจากตัวสวิตช์เล็กน้อย การควบคุมตัดต่อสวิตช์ ทำได้โดยผลักเลื่อนสวิตช์ขึ้นบนหรือลงล่าง การเลื่อนสวิตช์ขึ้นบนเป็นการต่อ (ON) การเลื่อนสวิตช์ลงล่างเป็นการตัด (OFF)

2) สวิตช์แบบกด (Push Button Switch) เป็นสวิตช์ที่เวลาใช้งานต้องกดปุ่มสวิตช์ลงไป การควบคุมตัดต่อสวิตช์ ต้องกดปุ่มที่อยู่ส่วนกลางสวิตช์ กดปุ่มสวิตช์หนึ่งครั้งสวิตช์ต่อ (ON) และเมื่อกดปุ่มสวิตช์อีกหนึ่งครั้งสวิตช์ตัด (OFF) การทำงานเป็นเช่นนี้ตลอดเวลา แต่สวิตช์แบบกดบางแบบอาจเป็นชนิดกดติดปล่อยดับ (Momentary) คือขณะกดปุ่มสวิตช์เป็นการต่อ (ON) เมื่อปล่อยมือออกจากปุ่มสวิตช์เป็นการตัด (OFF) ทันที

3) สวิตช์แบบกระดก (Rocker Switch) เป็นสวิตช์ที่มีปุ่มกระดกยื่นออกมาจากตัวสวิตช์เล็กน้อย การควบคุมตัดต่อสวิตช์เล็กน้อย การควบคุมตัดต่อสวิตช์ ทำได้โดยกดผลักขึ้นบนหรือลงล่าง กดผลักด้านบนจะเป็นการต่อ (ON) กดผลักด้านล่างจะเป็นการตัด (OFF)

4) สวิตช์แบบก้านยาว (Toggle Switch) เป็นสวิตช์ที่เวลาใช้งานต้องโยกก้านสวิตช์ไปมาโดยมีก้านสวิตช์โยกยื่นยาวออกมาจากตัวสวิตช์ การควบคุมตัดต่อสวิตช์ ทำได้โดยโยกก้านสวิตช์ให้ขึ้นบนหรือลงล่าง ในการโยกก้านสวิตช์ขึ้นมักจะเป็นการต่อ (ON) และโยกก้านสวิตช์ลงมักจะเป็นการตัด (OFF)

5) สวิตช์แบบหมุน (Rotary Switch) หรือเรียกว่าสวิตช์แบบเลือกค่า (Selector Switch) เป็นสวิตช์ที่ต้องหมุนก้านสวิตช์ไปโดยรอบเป็นวงกลม สามารถเลือกตำแหน่งการตัดต่อได้หลายตำแหน่ง มีหน้าสัมผัสสวิตช์ให้เลือกต่อมากหลายตำแหน่ง เช่น 2, 3, 4 หรือ 5 ตำแหน่งเป็นต้น

6) เป็นสวิตช์แบบไมโคร (Microswitch) คือสวิตช์แบบกดชนิดกดติดปล่อยดับนั่นเอง แต่เป็นสวิตช์ที่สามารถใช้แรงจํานวนน้อยๆ กดปุ่มสวิตช์ได้ ก้านสวิตช์แบบไมโครสวิตช์มีด้วยกันหลายแบบ อาจเป็นปุ่มกดเฉยๆ หรืออาจมีก้านแบบโยกได้มากกดปุ่มสวิตช์อีกทีหนึ่ง การควบคุมตัดต่อสวิตช์ ทำได้โดยกดปุ่มสวิตช์หรือกดก้านคันโยกเป็นการต่อ (ON) และเมื่อปล่อยมือออกจากปุ่มหรือก้านคันโยกเป็นการตัด (OFF)

2.6 บัคคอนเวอร์เตอร์ (Buck Converter)

บัคคอนเวอร์เตอร์ [6] [18] เป็นวงจรที่ลดแรงดันไฟฟ้ากระแสตรงให้ต่ำลง เพื่อให้เหมาะสมกับการใช้งาน โครงสร้างวงจรประกอบด้วย สวิตช์ที่สามารถสั่งเปิด หรือปิด ได้ทุกขณะตามที่เราต้องการในทางปฏิบัติ สวิตช์ที่ใช้ในวงจรคืออุปกรณ์สวิตชิง เช่น บีเจที (BJT), มอสเฟต (MOSFET) นอกจากนี้ยังมีส่วนประกอบอื่น ๆ อีกคือ คอนเดนเซอร์ (Condenser), ค่าความเหนี่ยวนำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Inductance) และไดโอด (Diode) ส่วนการทำงานของคอนเดนเซอร์ (Condenser) และ ค่าความเหนี่ยวนำ (Inductance) นั้นจะทำงานแบบเชิงเส้น (Linear) แต่สำหรับไดโอด (Diode) นั้นจะทำงานแบบไม่เชิงเส้น (Non-Linear) แสดงดังรูปที่ 2.6



รูปที่ 2.6 บัคคอนเวอร์เตอร์

(ที่มา: <https://shorturl.asia/bHPk5>)

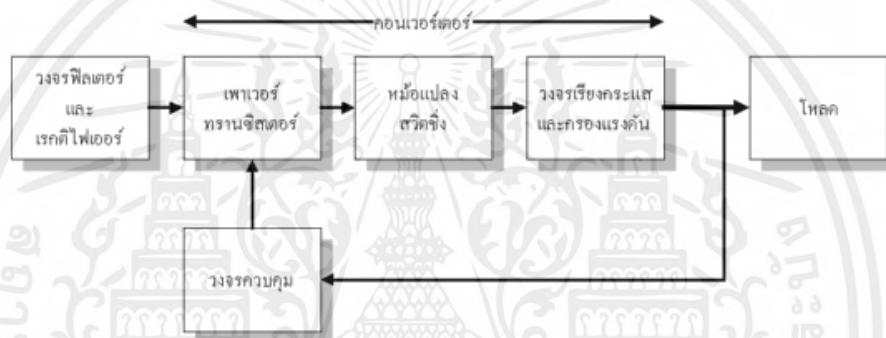
2.7 สวิตชิงเพาเวอร์ซัพพลาย (Switching Power Supply)

สวิตชิงเพาเวอร์ซัพพลาย [7] [8] เป็นแหล่งจ่ายไฟตรงคงค่าแรงดันแบบหนึ่ง และสามารถเปลี่ยนไฟฟ้ากระแสสลับโวลต์สูง ให้เป็นไฟฟ้ากระแสตรงโวลต์ต่ำ เพื่อใช้ในงานอิเล็กทรอนิกส์ได้ เช่นเดียวกันแหล่งจ่ายไฟเชิงเส้น (Linear Power Supply) ถึงแม้เพาเวอร์ซัพพลายทั้งสองแบบจะต้องมีการใช้หม้อแปลงในการลดทอนแรงดันสูงให้เป็นแรงดันต่ำเช่นเดียวกัน แต่สวิตชิงเพาเวอร์ซัพพลาย จะต้องการใช้หม้อแปลงที่มีขนาดเล็ก และน้ำหนักน้อย เมื่อเทียบกับแหล่งจ่ายไฟเชิงเส้น อีกทั้งสวิตชิงเพาเวอร์ซัพพลายยังมีประสิทธิภาพสูงกว่าอีกด้วย แสดงดังรูปที่ 2.7 โดยการทำงานของสวิตชิงเพาเวอร์ซัพพลายจะมีส่วนหลักอยู่ 3 ส่วนได้แก่ 1) วงจรฟิลเตอร์และเรกติไฟเออร์ วงจรฟิลเตอร์เป็นวงจรกรองความถี่ของสัญญาณไฟให้ผ่านได้บางช่วงเท่านั้น โดยความถี่อื่น ๆ จะถูกลดทอนหรือตัดออกไป เพื่อให้ได้ความถี่ที่ต้องการ วงจรเรกติไฟเออร์หรือวงจรเรียงกระแส เป็นวงจรแปลงไฟฟ้ากระแสสลับเป็นไฟฟ้ากระแสตรง 2) วงจรคอนเวอร์เตอร์ ทำหน้าที่ลดทอนแรงดันไฟฟ้ากระแสตรงค่าสูงลงมาเป็นแรงดันไฟฟ้ากระแสตรงค่าต่ำ และสามารถคงค่าแรงดันได้ 3) วงจรควบคุม ทำหน้าที่ควบคุมการทำงานของคอนเวอร์เตอร์ เพื่อให้ได้แรงดันเอาต์พุตตามต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 สวิตซ์เชิงเพาเวอร์ซัพพลาย
(ที่มา: <https://shorturl.asia/4JC3q>)



รูปที่ 2.8 บล็อกไดอะแกรมการทำงานของสวิตซ์เชิงเพาเวอร์ซัพพลาย
(ที่มา: <https://shorturl.asia/EJqsb>)

2.8 พัดลมดูดอากาศ (Exhaust Fan)

พัดลมดูดอากาศ [9] เป็นอุปกรณ์ที่ใช้ในการดูดความร้อนที่เกิดจากการทำงานของอุปกรณ์ในที่ไม่มีอากาศถ่ายเท เพื่อให้อุณหภูมิของอุปกรณ์ลดลง



รูปที่ 2.9 พัดลมดูดอากาศ

(ที่มา: <https://shorturl.asia/AZh04>)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 เบรกเกอร์ (Breaker)

เบรกเกอร์ [10] [18] เป็นเบรกเกอร์ชนิด 2 สาย ที่ใช้สำหรับป้องกันกระแสไฟฟ้าเกิน และกระแสไฟฟ้าลัดวงจร โดยหลักการทำงานคือจะตัดไฟเมื่อมีกระแสไฟฟ้าไหลผ่านวงจรเกินค่าแรงดันที่กำหนด เพื่อเพิ่มประสิทธิภาพของระบบวงจรไฟฟ้าให้มีความปลอดภัยมากยิ่งขึ้น



รูปที่ 2.10 เบรกเกอร์

(ที่มา: <https://shorturl.asia/FLAYG>)

2.10 เจ็ทสันนาโน (Jetson Nano)

เจ็ทสันนาโน [10] คือชุดคิทสำหรับพัฒนาปัญญาประดิษฐ์ (AI) และแมชชีนเลิร์นนิง (Machine Learning) โดยเจ็ทสันนาโนเปรียบเสมือนเครื่องคอมพิวเตอร์ขนาดเล็กที่มีพลังการประมวลผลมหาศาลผ่านจีพียูของค่าย Nvidia สามารถรันนิวรอนเน็ตเวิร์ค ได้หลายๆ ตัวพร้อมกัน หากใครต้องการทำงานประเภท การจำแนกประเภทข้อมูลภาพ (Image Classification), การตรวจจับวัตถุ (Object Detection), การรู้จักคำพูด (Speech Processing) สามารถทำได้บนเจ็ทสันนาโน ใช้แรงดันไฟ 5 โวลต์ 2 แอมป์ นอกจากนั้นเจ็ทสันนาโนยังสนับสนุน เฟรมเวิร์ค ยอดนิยมในสายเช่น เทนเซอร์โฟล (TensorFlow), ไพทอร์ช (PyTorch), คาเฟ่ (Caffe) เป็นต้น แสดงดังรูปที่ 2.11



รูปที่ 2.11 เจ็ทสันนาโน

(ที่มา: <https://shorturl.asia/PtbsJ>)

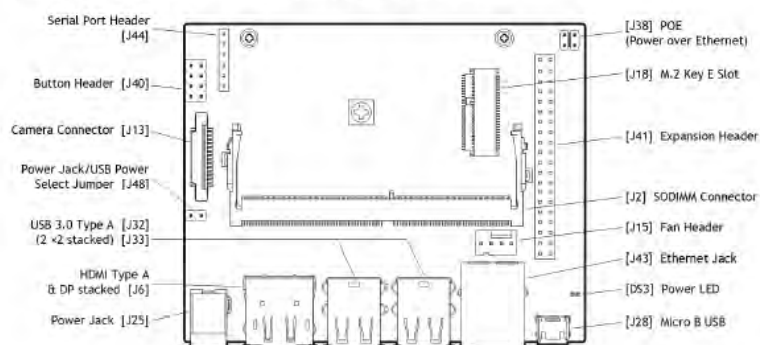
คุณสมบัติของบอร์ดเจ็ทสันนาโน

บอร์ดเจ็ทสันนาโนสามารถรับพลังงานได้จากพอร์ตไทป์ซี (Type C) แรงดันที่ 5 โวลต์ กระแส 1-2 แอมป์ สามารถใช้อะแดปเตอร์โทรศัพท์มือถือที่มีแรงดันและกระแสตรงกับความต้องการของบอร์ด ขาดต่อใช้งานดังรูป 2.12

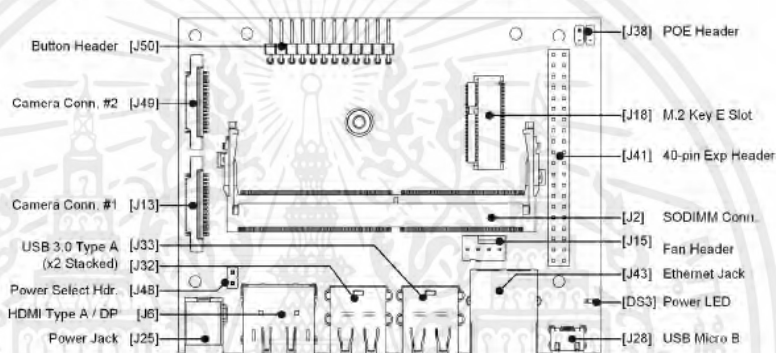
- 1) จีพียู: 128-core Maxwell
- 2) ซีพียู: Quad-core ARM A57 @ 1.43 Ghz
- 3) หน่วยความจำ: SD Card
- 4) การเข้ารหัสวิดีโอ: 4K @ 30 | 4x 1080p @ 30 | 9x 720p @ 30 (H.264/H.265)
- 5) การถอดรหัสวิดีโอ: 4K @ 60 | 2x 4K @ 30 | 8x 1080p @ 30 | 18x 720p @ 30(H.264/H.265)
- 6) การเชื่อมต่อกับโมดูลกล้อง: 2x MIPI CSI-2 DPHY lanes
- 7) การเชื่อมต่ออินเทอร์เน็ต: Gigabit Ethernet, M.2 Key E
- 8) การแสดงผล: HDMI 2.0 and eDP 1.4
- 9) ช่องยูเอสบี: 4x USB 3.0, USB 2.0 Micro-B
- 10) ขาพอร์ตที่ใช้เชื่อมต่อใช้งาน: GPIO, I2C, I2S, SPI, UART
- 11) ขนาดของตัวบอร์ด: 100 มม. x 80 มม. x 29 มม.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Developer kit carrier boards: rev A02 top view



Developer kit module and carrier board: rev B01 top view



รูปที่ 2.12 คุณสมบัติของบอร์ดเจ็ดสันนาโน

(ที่มา: <https://shorturl.asia/27R1k>)

2.11 โอเพินซีวี (OpenCv)

โอเพินซีวี [11] เป็นซอฟต์แวร์โอเพนซอร์ซที่เอาไว้ใช้จัดการรูปภาพ เริ่มพัฒนาขึ้นโดยบริษัท อินเทล (Intel) ในปี 1999 คำว่า โอเพินซีวี (OpenCV) ย่อมาจาก open source computer vision ขอบเขตการใช้งานของ โอเพินซีวี ค่อนข้างกว้าง มีความสามารถหลากหลายหลากหลาย นอกจากรูปภาพธรรมดาแล้วยังใช้จัดการกับวีดิโอภาพเคลื่อนไหว อัลกอริทึมที่ใช้มีตั้งแต่แบบง่าย ๆ ไปจนถึงระดับสูงซึ่งรวมถึงการใช้เทคนิคการเรียนรู้ของเครื่อง โอเพินซีวี เขียนขึ้นจากภาษาซี (C) แต่สามารถเรียกใช้ผ่านภาษาอื่นเช่น ไพธอน (Python), จาวา (Java), แมทแล็บ (MATLAB) ได้ด้วย ใช้ได้ในระบบปฏิบัติการหลากหลายทั้ง วินโดวส์ (Windows), ลินุกซ์ (Linux), โอเอสเอ็กซ์ (OS X), แอนดรอยด์ (Android), ไอโอเอส (iOS)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 โลโก้โอเพินซีวี

(ที่มา: <https://shorturl.asia/ESnLr>)

2.12 เทนเซอร์โฟล (TensorFlow)

เทนเซอร์โฟล [12] คือ ดีพเลิร์นนิงไลบรารี (Deep Learning Library) ของกูเกิ้ล (Google) ที่กำลังเป็นดาวเด่นอยู่ในตอนนี้ โดยทาง Google ก็ได้ใช้ แมชชีนเลิร์นนิง (Machine Learning) เพิ่มประสิทธิภาพกับผลิตภัณฑ์มากมาย ไม่ว่าจะเป็น เครื่องมือค้นหา (Search Engine), การแปลภาษา (Translation), คำบรรยายภาพ (Image Captioning) และ เครื่องมือช่วยการเสนอแนะ (Recommendations) เพื่อช่วยให้เห็นภาพมากขึ้น กูเกิ้ล (Google) นำ ปัญญาประดิษฐ์ (AI : Artificial Intelligence) มาช่วยให้พัฒนาประสบการณ์ของผู้ใช้ ทั้งในแง่ความเร็วของผลลัพธ์ และ ในแง่ผลลัพธ์ที่ถูกต้องแม่นยำมากขึ้น ด้านสถาปัตยกรรมแบ่งเป็น 3 ส่วน 1) การเตรียมประมวลผลข้อมูล 2) การสร้างแบบจำลอง 3) ฝึกและการประเมินผลแบบจำลอง



รูปที่ 2.14 โลโก้เทนเซอร์โฟล

(ที่มา: <https://www.thaiprogrammer.org/2018/12/มาทำความเข้าใจกับ-tensorflow/>)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.13 โครงข่ายประสาทเทียมแบบคอนโวลูชัน (Convolutional Neural Network: CNN)

โครงข่ายประสาทเทียมแบบคอนโวลูชัน [13] เป็นโครงข่ายประสาทเทียมหนึ่งในกลุ่มการนำข้อมูลทางชีววิทยา (Bio Inspired) โดยที่ ซีเอ็นเอ็น (CNN) จะจำลองการมองเห็นของมนุษย์ที่มองพื้นที่เป็นที่ย่อย ๆ และนำกลุ่มของพื้นที่ย่อย ๆ มาผสานกัน เพื่อค้นหาสิ่งที่เห็นอยู่เป็นอะไร การมองพื้นที่ย่อยของมนุษย์จะมีการแยกคุณลักษณะ (Feature) ของพื้นที่ย่อยนั้น เช่น ลายเส้น และการตัดกันของสี ซึ่งการที่มนุษย์รู้ว่าพื้นที่ตรงนี้เป็นเส้นตรงหรือสีตัดกัน เพราะมนุษย์ดูทั้งจุดที่สนใจและบริเวณรอบ ๆ ประกอบกัน การมองพื้นที่ย่อยของมนุษย์จะมีการแยกคุณลักษณะ (Feature) ของพื้นที่ย่อยนั้น เช่น ลายเส้น และการตัดกันของสี ซึ่งการที่มนุษย์รู้ว่าพื้นที่ตรงนี้เป็นเส้นตรงหรือสีตัดกัน เพราะมนุษย์ดูทั้งจุดที่สนใจและบริเวณรอบ ๆ ประกอบกัน ดังรูปที่ 2.15



รูปที่ 2.15 การหาคุณลักษณะของหนู
(ที่มา: <https://shorturl.asia/WHfuK>)

2.13.1 การสกัดคุณลักษณะ (Feature Extraction)

การสกัดคุณลักษณะ เป็นกระบวนการแปลงข้อมูลให้อยู่ในรูปแบบที่สามารถนำไปใช้งานได้ใน Machine Learning เช่น แปลงจากข้อมูล ข้อความ (Text) และ รูปภาพ (Image) ไปอยู่ในรูปแบบชุดของตัวเลข การคำนวณนี้จะเริ่มจากการกำหนดค่าใน ตัวกรอง (Filter) หรือ เคอร์เนล (kernel) ที่ช่วยดึงคุณลักษณะที่ใช้ในการรู้จำวัตถุออก โดยปกติตัวกรอง/เคอร์เนลอันหนึ่งจะดึงคุณลักษณะที่สนใจออกมาได้หนึ่งอย่าง เราจึงจำเป็นต้องตัวกรองหลายตัวกรองด้วย เพื่อหาคุณลักษณะทางพื้นที่หลายอย่างประกอบกันดังนี้

1) ลักษณะของการกรอง (Filter) สำหรับ Filter ของภาพดิจิทัลนั้น โดยปกติแล้วจะเป็นตารางสองมิติที่มีขนาดตามพื้นที่ย่อย ๆ ที่เราอยากพิจารณา สมมุติว่าถ้าเราต้องการหาเส้นตรงทแยงสีขาว ตัวกรองของเราอาจจะอยู่ในลักษณะนี้ ดังรูปที่ 2.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1	-1	-1
-1	1	-1
-1	-1	1

รูปที่ 2.16 ตัวกรอง 3X3 สำหรับหาเส้นตรงทแยงสีขาว
(ที่มา: <https://shorturl.asia/WHfuK>)

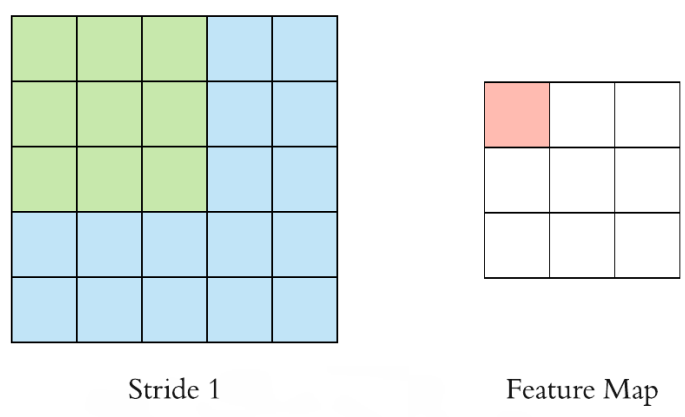
ตำแหน่งตรงกลางที่มีกรอบสีฟ้าคือ Anchor ที่เอาไว้หาบนพิกเซลของภาพข้อมูลเข้า ตัวกรองจะถูกหาบนพิกเซลแรกๆของภาพข้อมูลเข้า จากนั้นจะถูกเลื่อนไปหาบนพิกเซลอื่นในภาพทีละพิกเซลจนครบทุกพิกเซลในภาพ เราอาจจะไม่หาตัวกรองบนพิกเซลที่อยู่ใกล้กรอบภาพ เพราะตัวกรองจะล้นออกไปนอกภาพ เมื่อเราเลื่อนตัวกรองไปเรื่อย ๆ จนครบทุกพิกเซลที่สามารถเลื่อนได้ในภาพ สิ่งที่เราได้นั้นจะเป็นสิ่งที่เรียกว่า ฝังคุณลักษณะ (Feature Map) ดังรูปที่ 2.17

1x1	1x0	1x1	0	0
0x0	1x1	1x0	1	0
0x1	0x0	1x1	1	1
0	0	1	1	0
0	1	1	0	0

4		

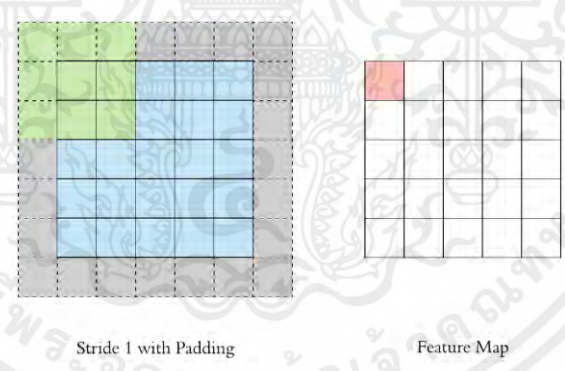
รูปที่ 2.17 ผลลัพธ์การคำนวณหาฝังคุณลักษณะ
(ที่มา: <https://shorturl.asia/WHfuK>)

2) สไทรด (Stride) เป็นตัวกำหนดว่าเราจะเลื่อนตัวกรอง (Filter) ไปด้วยจำนวนเท่าไร สามารถกำหนดค่าของ สไทรด (Stride) ให้มากขึ้นได้ ถ้าต้องการให้การคำนวณหาคุณลักษณะมีพื้นที่ทับซ้อนกันน้อยขึ้น แต่อย่างไรก็ตามการกำหนดค่าของสไทรด (Stride) ที่มากขึ้นจะทำให้เราได้ฝังคุณลักษณะ (Feature map) ที่มีขนาดเล็กลง ดังรูปที่ 2.18



รูปที่ 2.18 ตัวอย่างการกำหนดสไลด์ (Stride) เท่ากับ 1
(ที่มา: <https://shorturl.asia/WHfuK>)

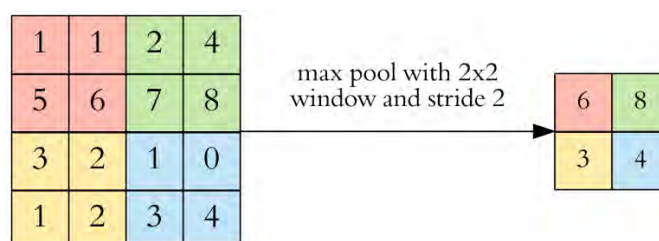
3) แพดดิ้ง (Padding) จากรูปที่ 2.19 จะพื้นที่สีเทาขอบ ๆ ข้อมูลที่เข้า (Input) พื้นที่เหล่านี้เป็นพื้นที่ที่เราเติมเข้าไป โดยอาจจะเป็นเติม 0 หรือค่าต่าง ๆ เข้าไป เพื่อให้เวลาในการทำซีเอ็นเอ็น (CNN) นั้นฟังก์ชันลักษณะ (Feature Map) ที่ได้ยังคงมีขนาดเท่ากับ ข้อมูลที่เข้า (Input) ดังรูปที่ 2.19



รูปที่ 2.19 ฟังก์ชันลักษณะ (Feature Map) ที่ได้จากเติมแพดดิ้ง (Padding)
(ที่มา: <https://shorturl.asia/WHfuK>)

4) แมกพูลลิ่ง (Max Polling) เป็นตัวกรองแบบหนึ่งที่ทำค่าสูงสุดในบริเวณที่ตัวกรองทาบอยู่มาเป็นผลลัพธ์ โดยเราจะเตรียมตัวกรองในลักษณะเดียวกับการทำการสกัดคุณลักษณะ (Feature Extraction) ของ ซีเอ็นเอ็น (CNN) มาทาบบนข้อมูลแล้วเลือกค่าที่สูงที่สุดบนตัวกรองนั้นมาเป็นผลลัพธ์ใหม่ และจะเลื่อนตัวกรองไปตามสไลด์ (Stride) ที่กำหนดไว้ โดยขนาดตัวกรองของการทำแมกพูลลิ่ง (Max Polling) จะนิยมเรียกกันว่า พูลไซส์ (Pool Size) ดังรูปที่ 2.20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 ผลลัพธ์ของการทำแมคพูลลิ่ง (Max Pooling) ขนาด 2X2

(ที่มา: <https://shorturl.asia/WHfuK>)

2.14 ภาษาไพธอน (Python Language)

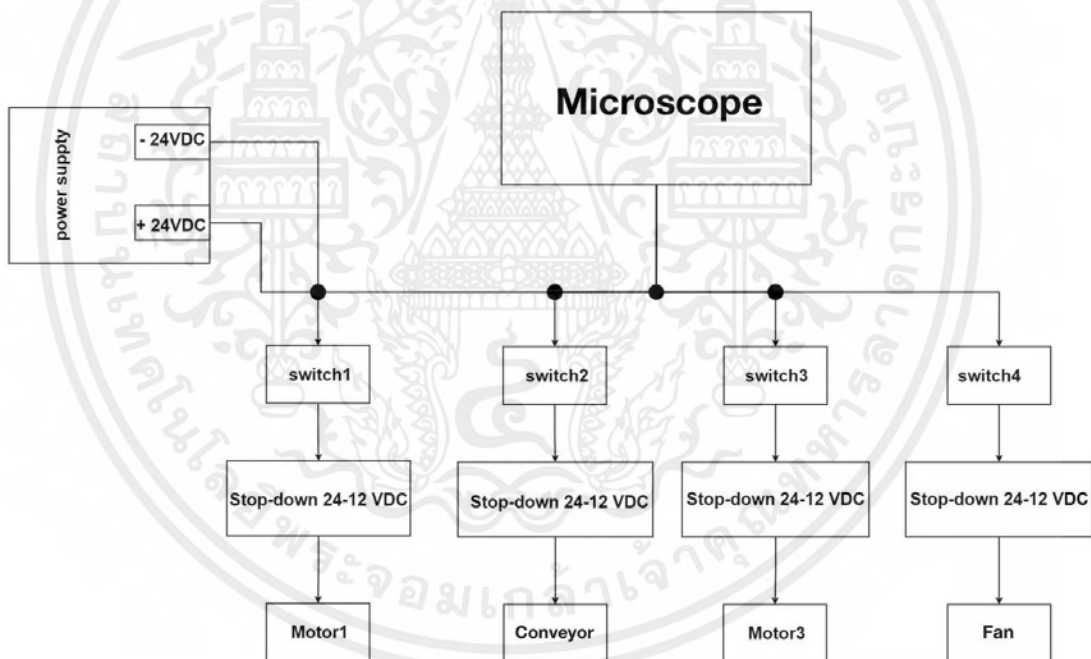
ภาษาไพธอน [14] [115] เป็นหนึ่งในภาษาคอมพิวเตอร์ที่ได้รับความนิยมสูงสุดในปัจจุบัน ซึ่งนอกจากจะใช้งานได้ง่าย ยังสามารถประยุกต์การใช้งานได้หลากหลายรูปแบบ ภาษาไพธอนถูกสร้างขึ้นเมื่อปี ค.ศ. 1994 โดยโปรแกรมเมอร์ชาวดัตช์ชื่อ Guido van Rossum ด้วยพื้นฐานจากหลายภาษารวมกันเช่น ภาษาซี (C Language), ภาษาเอบีซี (ABC Language), ภาษาโมดูลาร์สาม (Modular-3 Language), ภาษาสมอลทอล์ค (SmallTalk Language), ยูนิกซ์เชล (Unix Shell Language) เป็นต้น เพื่อให้เป็นภาษาคอมพิวเตอร์ที่เรียนรู้ได้ง่าย ไม่มีกฎเกณฑ์หรือหลักไวยากรณ์ที่ซับซ้อน และสามารถใช้นระบบปฏิบัติการที่แตกต่างกันได้

บทที่ 3

การออกแบบ

ในบทนี้กล่าวถึงการออกแบบ และการออกแบบของเครื่องตรวจพันธุ้ข้าวเปลือก ซึ่งจะมีบล็อกไดอะแกรมแสดงการต่ออุปกรณ์ของเครื่องของเครื่องตรวจสอบพันธุ้ข้าวเปลือก การเชื่อมต่อวงจรของเครื่องตรวจสอบพันธุ้ข้าวเปลือก การออกแบบเครื่องตรวจสอบพันธุ้ข้าวเปลือก การทำของเครื่องตรวจสอบพันธุ้ข้าวเปลือก บล็อกไดอะแกรมการออกแบบโครงข่ายประสาทเทียมแบบคอนโวลูชัน และแผนผังการทำงานของเครื่องตรวจสอบพันธุ้ข้าวเปลือก

3.1 บล็อกไดอะแกรมแสดงการต่ออุปกรณ์ของเครื่องตรวจสอบสายพันธุ้ข้าวเปลือก



รูปที่ 3.1 บล็อกไดอะแกรมการต่ออุปกรณ์

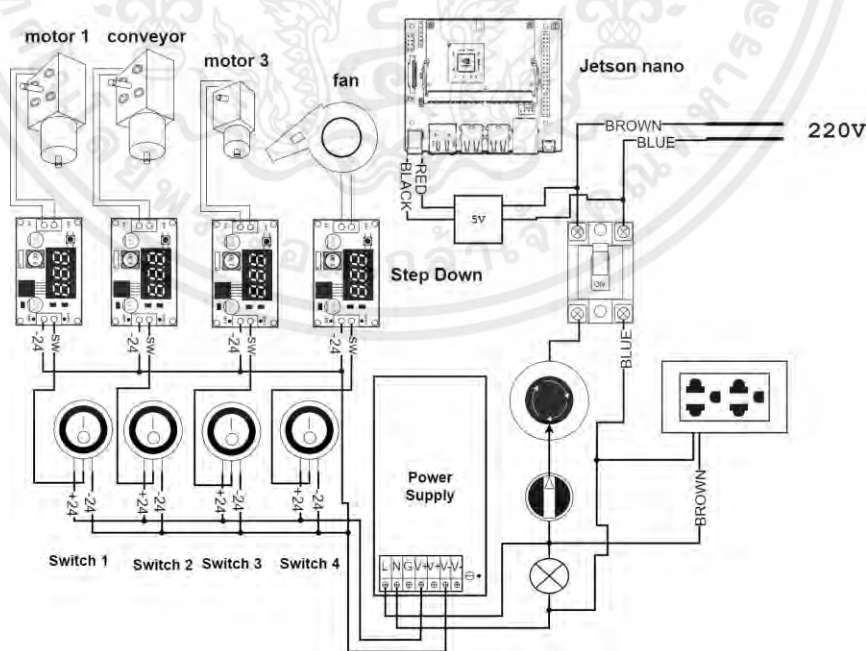
จากรูปที่ 3.1 เป็นการทำงานโดยรวมของเครื่องตรวจสอบพันธุ้ข้าวเปลือก จะแสดงถึงการเชื่อมโยงของอุปกรณ์ที่นำมาใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพาเวอร์ซัพพลายรับไฟจากไฟฟ้ากระแสสลับ 220 โวลต์ทำการแปลงจากไฟ 220 โวลต์เป็นไฟฟ้ากระแสตรง 24 โวลต์จ่ายไฟให้สวิตช์ 1 ผ่านวงจรถอดแรงดันควบคุมแรงดันให้อยู่ที่ 5.5 โวลต์และทำการจ่ายไฟให้มอเตอร์พัดเมล์ตีพันธุ์ข้าวเปลือก สวิตช์ 2 ผ่านวงจรถอดแรงดันควบคุมแรงดันให้อยู่ที่ 18 โวลต์ และทำการจ่ายไฟให้มอเตอร์พัดสายพานลำเลียง สวิตช์ 3 ผ่านวงจรถอดแรงดันควบคุมแรงดันให้อยู่ที่ 6 โวลต์ และทำการจ่ายไฟให้มอเตอร์บีบเรียงแนวเมล์ตีพันธุ์ข้าวเปลือก สวิตช์ 4 ผ่านวงจรถอดแรงดันควบคุมแรงดันให้อยู่ที่ 14.9 โวลต์ และทำการจ่ายไฟให้พัดลมระบายความร้อน 2 ตัว คือตัววงจรถอดแรงดันและตัวบอร์ดเจ้ทสันนาโนและก้ทำการจ่ายไฟเพื่อเลี้ยงตัวกล้องจุลทรรศน์แบบดิจิทัลเพื่อใช้ในการจับภาพ

3.2 การเชื่อมต่อวงจรของเครื่องตรวจสอบสายพันธุ์ข้าวเปลือก

การทำงานของวงจร เสียบปลั๊กไฟของเครื่องโดยที่มีไฟฟ้าจ่ายให้กับเบรกเกอร์อยู่ที่ 220 โวลต์ กระแสสลับ ต่ออยู่กับปุ่มกดฉุกเฉินเพื่อป้องกันความปลอดภัยของผู้ใช้งาน โดยการตัดกระแสไฟฟ้าไม่ให้ส่งไปยังเพาเวอร์ซัพพลายทำให้ไม่มีไฟฟ้าไปใช้ในวงจรต่อไปเป็นสวิตช์เปิด-ปิดเครื่องโดยใช้เป็นสวิตช์ซีเลคเตอร์ และยังมีหลอดไฟแสดงสถานะการทำงานของเครื่องที่ต่อผ่านสวิตช์ซีเลคเตอร์ต่อไปเป็นการต่อสวิตช์เปิด ปิดไฟฟ้าเพื่อให้กระแสไหลไปยังบอร์ดสเต็ปดาวน์เพื่อใช้ในการควบคุมมอเตอร์ทั้ง 4 ตัวไฟฟ้าที่ไหลไปยังสวิตช์มีแรงดันไฟฟ้าอยู่ที่ 24 โวลต์กระแสตรง ผ่านไปยังบอร์ดสเต็ปดาวน์ทั้ง 4 ตัวเหลือกระแสไฟฟ้า 12 โวลต์กระแสตรง ไปควบคุมมอเตอร์ทั้ง 4 ตัวให้ทำงานโดยจะมีบอร์ดเจ้ทสันนาโน ในการประมวลผลการทำงานโดยจะใช้ไฟฟ้าในการทำงานอยู่ที่ 5 กระแสตรง



รูปที่ 3.2 การเชื่อมต่อวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

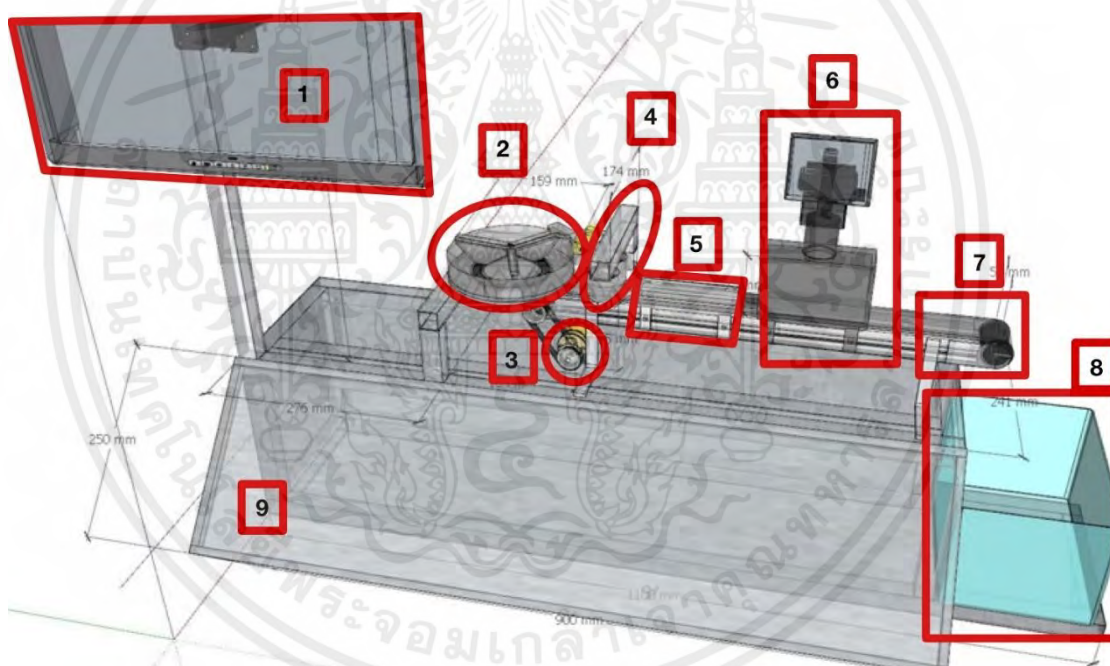
3.3 การออกแบบเครื่องตรวจสอบสายพันธุ์ข้าวเปลือก

ส่วนของการออกแบบตัวเครื่องนั้น จะกำหนดขนาดให้ตัวเครื่องมีขนาดอยู่ที่ 110x24x88 เซนติเมตร ประกอบไปด้วย หน้าจอแสดงผลขนาด 17 นิ้ว ต่อผ่านพอร์ทเอชดีเอ็มไอทีวีจีเอ ระบบประมวลผลที่ใช้บอร์ดเจ็ดสัณนาโน 2) ชุดเกลี่ยข้าว 3) มอเตอร์หมุนชุดเกลี่ยข้าว 4) ตัวบีบเรียงแนวของเมล็ดพันธุ์ข้าวเปลือก 5) ตัวเรียงแนวเมล็ดพันธุ์ข้าว 6) ชุดกล้องไมโครสโคปและตัวเลียงเมล็ดข้าว 7) สายพาน 8) ถังรับพันธุ์ข้าวที่ได้จากการเก็บภาพ 9) ฝาเปิด-ปิดตัวเครื่อง

ในส่วนของฐานที่ใช้ในการตั้งสายพานนั้นจะออกแบบให้มีขนาดความกว้างอยู่ที่ 90 เซนติเมตร และความยาวอยู่ที่ 24.1 เซนติเมตร

ส่วนของมอเตอร์ที่ใช้ในการส่งกำลังเพื่อขับเคลื่อนสายพานมีความกว้างอยู่ที่ 16.4 เซนติเมตร ความสูงอยู่ที่ 9.5 เซนติเมตร และความยาวอยู่ที่ 15.9 เซนติเมตร

ส่วนของชุดลำเลียงที่มีสายพาน 5 เซนติเมตร และความยาวอยู่ที่ 7.5 เซนติเมตร



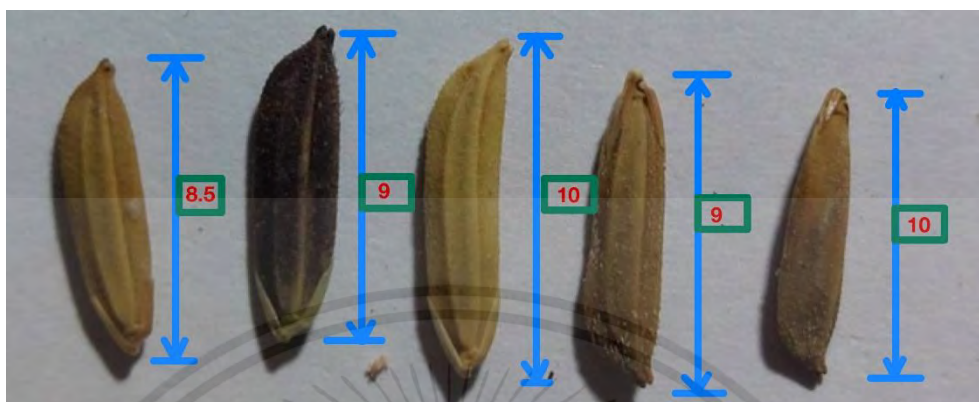
รูปที่ 3.3 การออกแบบเครื่องตรวจสอบสายพันธุ์ข้าวเปลือก

3.3.1 การออกแบบชุดเกลี่ยเมล็ดพันธุ์ข้าวเปลือก

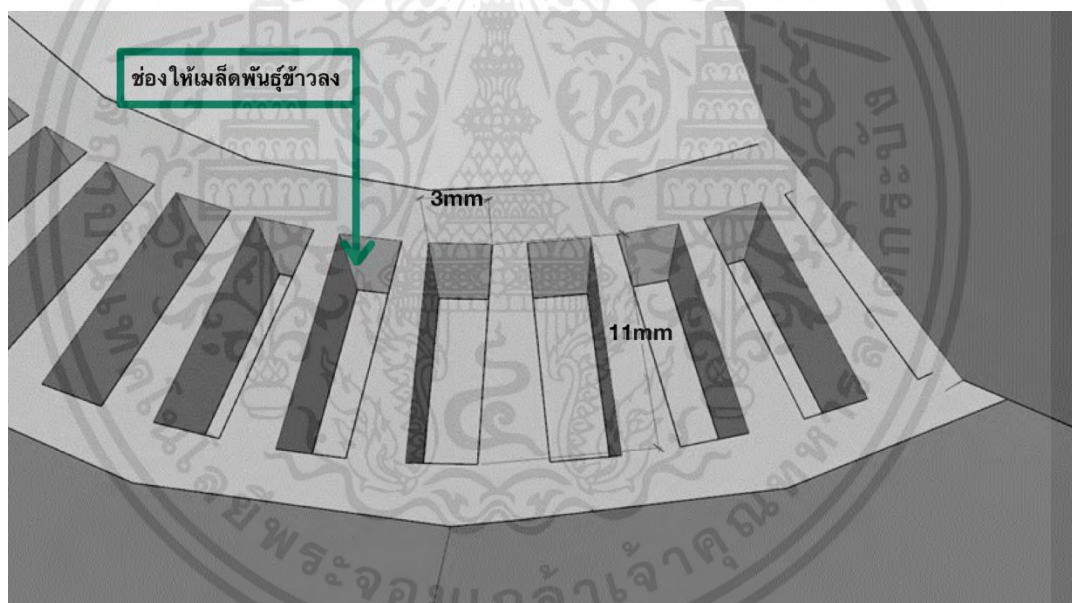
ในการออกแบบชุดเกลี่ยเมล็ดพันธุ์ข้าวเปลือก คือการที่นำเมล็ดพันธุ์ข้าวทั้ง 5 สายพันธุ์มาทำการวัดขนาดทุกๆ สายพันธุ์ เพื่อนำมาใช้ในการออกแบบจึงออกแบบให้ชุดเกลี่ยเมล็ดพันธุ์มีลักษณะเป็นรูปทรงกระบอกขนาด 160x160x35 มิลลิเมตร ด้านในมีความเอียง 2 ด้านทั้งวงใน และวงนอกที่ 50 องศาระหว่างตัววงใน และนอกมีรูขนาด 11x3x4 มิลลิเมตรจำนวน 56 ช่อง ข้างบนมีตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกลี่ยเมล็ดพันธุ์ข้าวเปลือกรูปทรงคล้ายใบพัดสามแฉก ตัวเกลี่ยขนาด 6x76x33 มิลลิเมตร มีหน้าที่ในการเกลี่ยเมล็ดข้าวให้ลงรูของตัวพัดเมล็ดข้าว โดยตัวใบจะมีการเอียงตัวใบให้รับกับเมล็ดข้าว

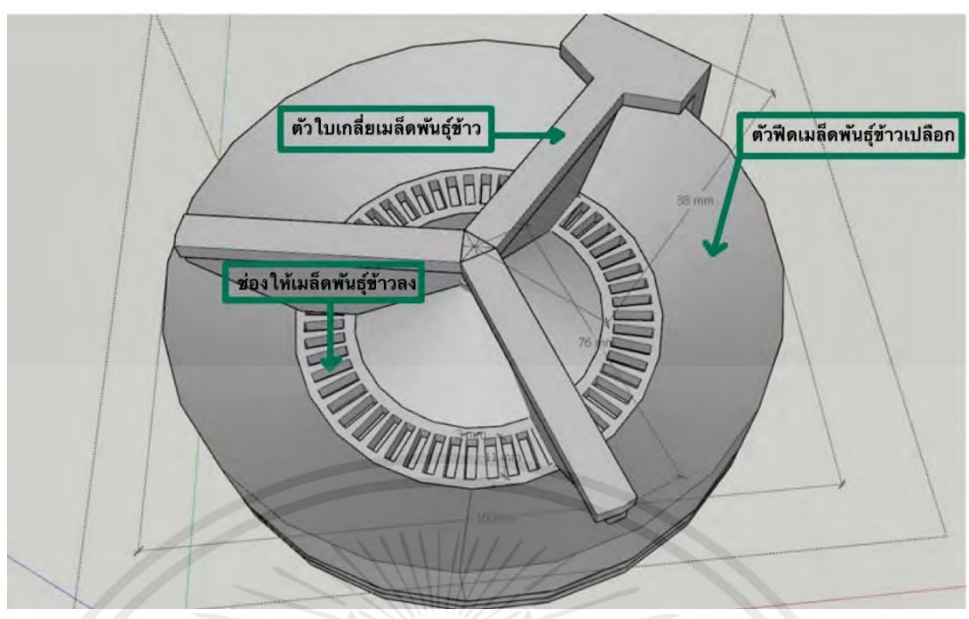


รูปที่ 3.4 การวัดขนาดจากสายพันธุ์ข้าวเปลือกหน่วยมิลลิเมตร



รูปที่ 3.5 การออกแบบร่องข้าวให้มีความกว้าง 3 มิลลิเมตร และยาว 11 มิลลิเมตร

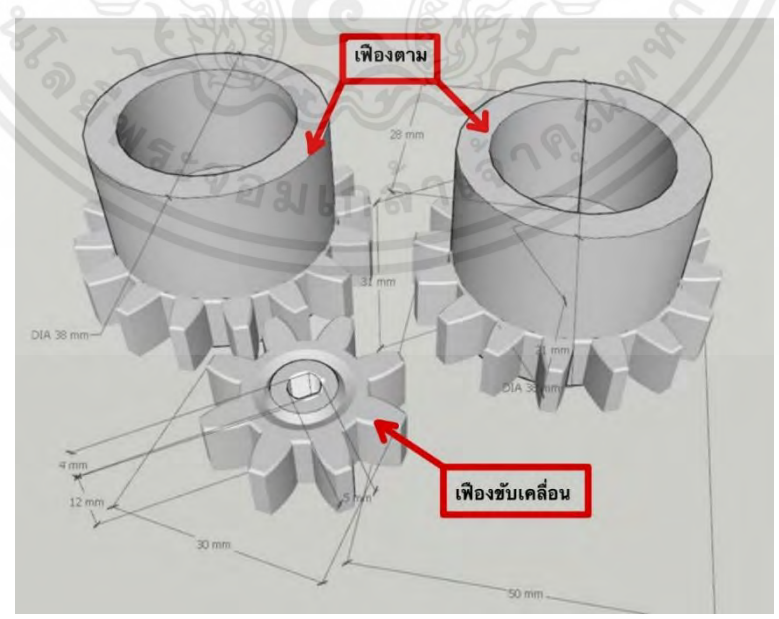
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 การออกแบบชุดเกลียวให้มีขนาดความกว้าง 160 มิลลิเมตร ยาว 160 มิลลิเมตร และสูง 35 มิลลิเมตร

3.3.2 การออกแบบตัวบีบเรียงแนวของเมล็ดพันธุ์ข้าวเปลือก

ในส่วนของตัวบีบเรียงแนวของเมล็ดพันธุ์ข้าวเปลือกทำหน้าที่ในการทำให้เมล็ดพันธุ์ข้าวจากที่อยู่ด้านข้างของสายพานลำเลียงให้เข้ามาอยู่ตรงกลางสายพานลำเลียง เพื่อให้เมล็ดพันธุ์ข้าวเปลือกมีความเป็นแนวตรงมากที่สุด วัสดุที่ใช้ในการทำคือเส้นพลาสติกพีแอลเอ มีเฟือง 15 ฟัน 2 ตัวเป็นเฟืองตาม และเฟือง 8 ฟันเป็นเฟืองขับ ดังรูปที่ 3.7

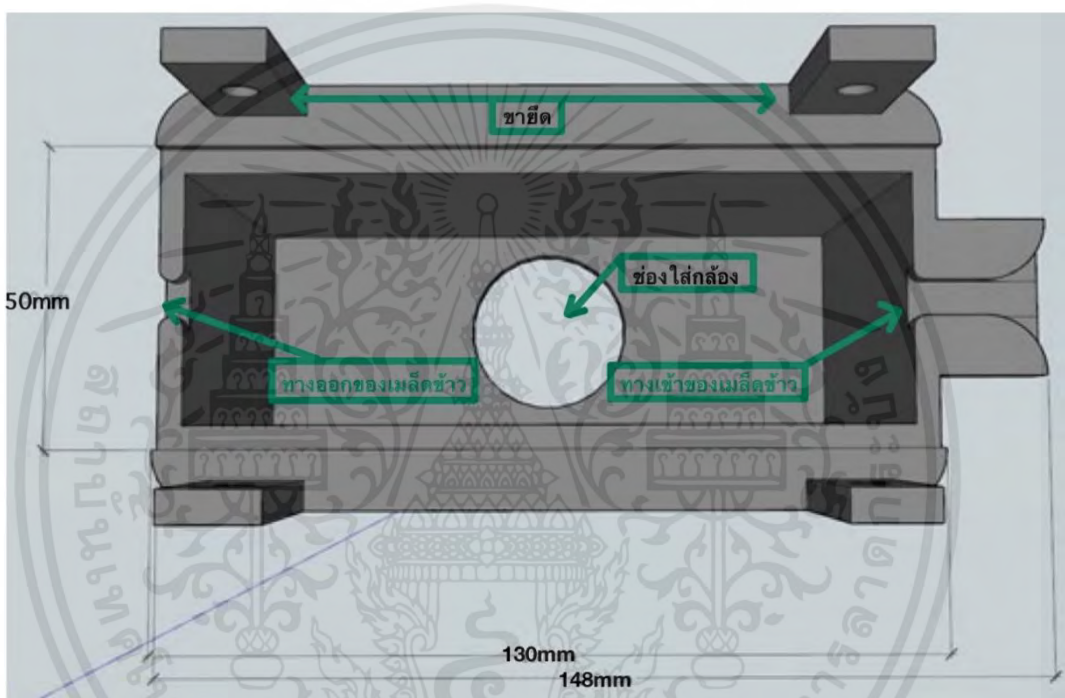


รูปที่ 3.7 วัสดุที่นำมาใช้ในการทำตัวบีบเรียงแนวของเมล็ดพันธุ์ข้าวเปลือก

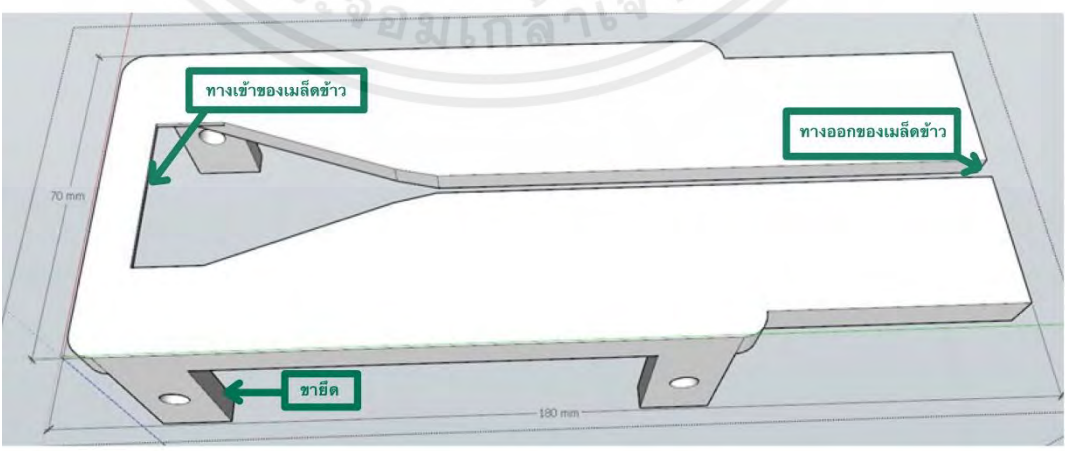
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 การออกแบบตัวครอบกล่องตรวจจับ

การออกแบบตัวครอบกล่องตรวจจับ โดยทำการออกแบบเป็นทรงสี่เหลี่ยมพื้นผ้า ขนาด 50x130x78 มิลลิเมตร โดยให้มีทางเข้าของเมล็ดพันธุ์ข้าวที่มีความโค้งเพื่อให้เมล็ดพันธุ์ข้าวเข้าได้ง่ายยิ่งขึ้น และมีรูตรงกลางเพื่อติดกับกล่องไมโครสโคป และตัวเรียงแนวเมล็ดพันธุ์ข้าวโดยมีขนาด 70x180x38 มิลลิเมตร โดยให้มีทางเข้าของเมล็ดพันธุ์ข้าวเป็นทรงสามเหลี่ยมตัวนี้จะทำการรับเมล็ดข้าวจากตัวบีบแนวเมล็ดข้าวแล้วทำการเรียงแนวให้ตรงมากยิ่งขึ้นก่อนที่จะส่งให้กล่องตรวจจับทำการถ่ายภาพต่อไป ดังรูปที่ 3.8 และรูปที่ 3.9



รูปที่ 3.8 การออกแบบตัวครอบกล่องตรวจจับ



รูปที่ 3.9 การออกแบบตัวเรียงแนวเมล็ดพันธุ์ข้าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การทำเครื่องตรวจสอบสายพันธุ์ข้าวเปลือก

ในส่วนนี้จะเป็นการเริ่มทำเครื่อง โดยจะมีขั้นตอนดังต่อไปนี้

- 1) ทำโครงสร้างของตัวเครื่องตามทีออกแบบไว้โดยใช้วัสดุเป็นเหล็กกล่องกาวาไนต์ขนาด 1x1 นิ้ว



รูปที่ 3.10 ทำโครงสร้างของตัวเครื่อง

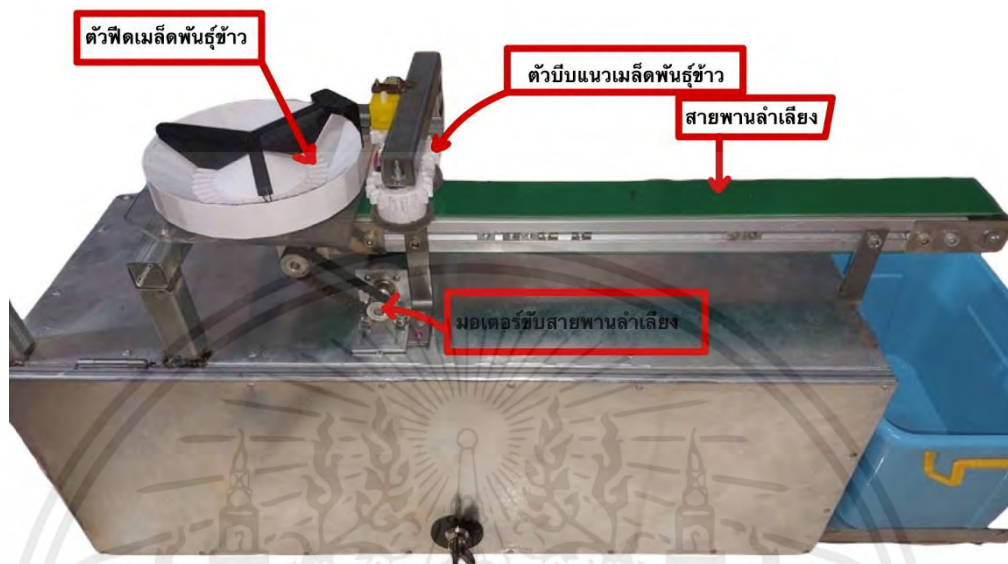
- 2) ทำการหุ้มบอดี้ตัวเครื่องโดยใช้แผ่นสังกะสีขนาด 0.5 มิลลิเมตร



รูปที่ 3.11 หุ้มสังกะสี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) วางชุดเกลี่ยเมล็ดพันธุ์ข้าวเปลือกให้สูงจากสายพานลำเลียง 10 มิลลิเมตร ให้ออกของเมล็ดพันธุ์ข้าวอยู่ตรงกลางของสายพานลำเลียง และทำการติดตัวบีบเรียงแนวข้าวให้อยู่ตรงกลางของสายพานลำเลียงเช่นกัน ที่ได้จากการออกแบบ



รูปที่ 3.12 วางชุดฟัดเมล็ดพันธุ์ข้าวเปลือก

4) ติดตั้งขಾಯัดจอมอเตอร์ให้มีความสูงจากด้านบนตัวเครื่อง 490 มิลลิเมตร



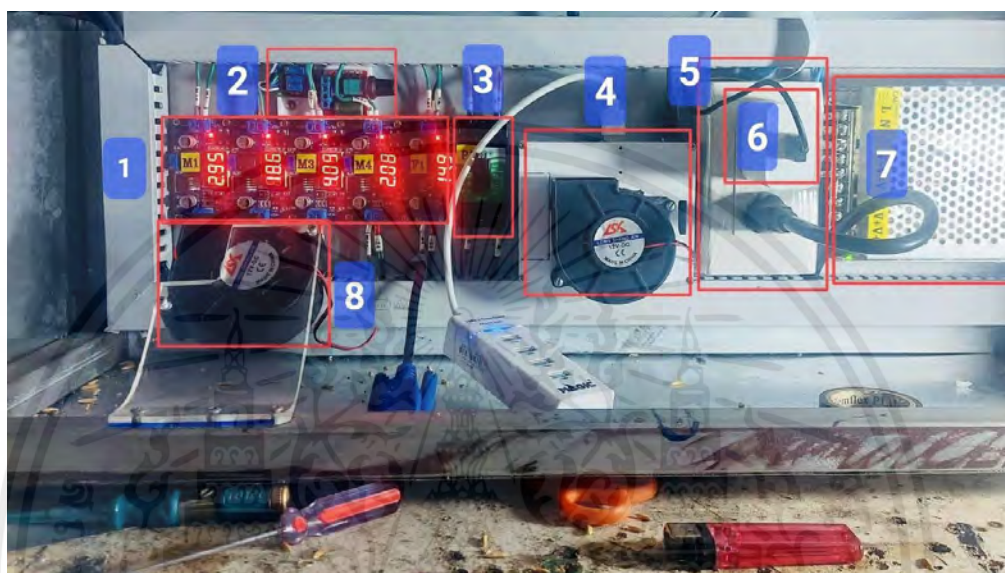
รูปที่ 3.13 ยึดขาตั้งจอมอเตอร์

5) ทำการติดอุปกรณ์ระบบไฟฟ้าเข้าไป

- 1) บอร์ดสแต็ปดาวน หรือ บัดคอนเวอร์เตอร์ (LM2596)
- 2) วงจรขับ และ หนีไฟพาสซีฟสายรับป้อน
- 3) เซอร์กิตเบรกเกอร์ขนาด 20 แอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 4) บอร์ดเจ็ดสัณนาโน 2 กิกะไบต์
- 5) ปลั๊กไฟเอซี 220 โวลต์
- 6) อะแดปเตอร์ 5 โวลต์ในการต่อไฟเลี้ยงบอร์ดเจ็ดสัณนาโน 2 กิกะไบต์
- 7) สวิตซ์ิงเพาเวอร์ซัพพลาย 24 โวลต์ 30 แอมป์
- 8) พัดลมเทอร์โบ 12 โวลต์ ระบายความร้อน



รูปที่ 3.14 ติดตั้งอุปกรณ์

- 6) หน้าตัวเครื่องจะประกอบไปด้วยไฟแสดงสถานะไฟเข้า 220 โวลต์ และสวิตซ์ ON-OFF และสวิตซ์ฉุกเฉิน และสวิตซ์ 24 โวลต์ในการควบคุมมอเตอร์แต่ละตัว

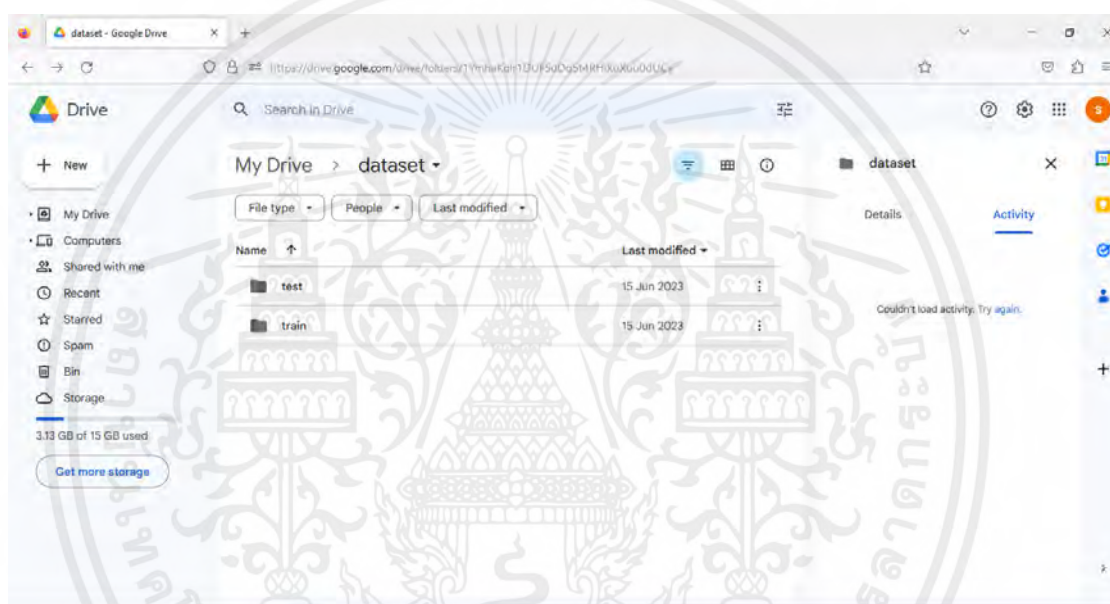


รูปที่ 3.15 สวิตซ์ที่ติดตั้งทั้งหมดบนตัวเครื่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 การเตรียมภาพ

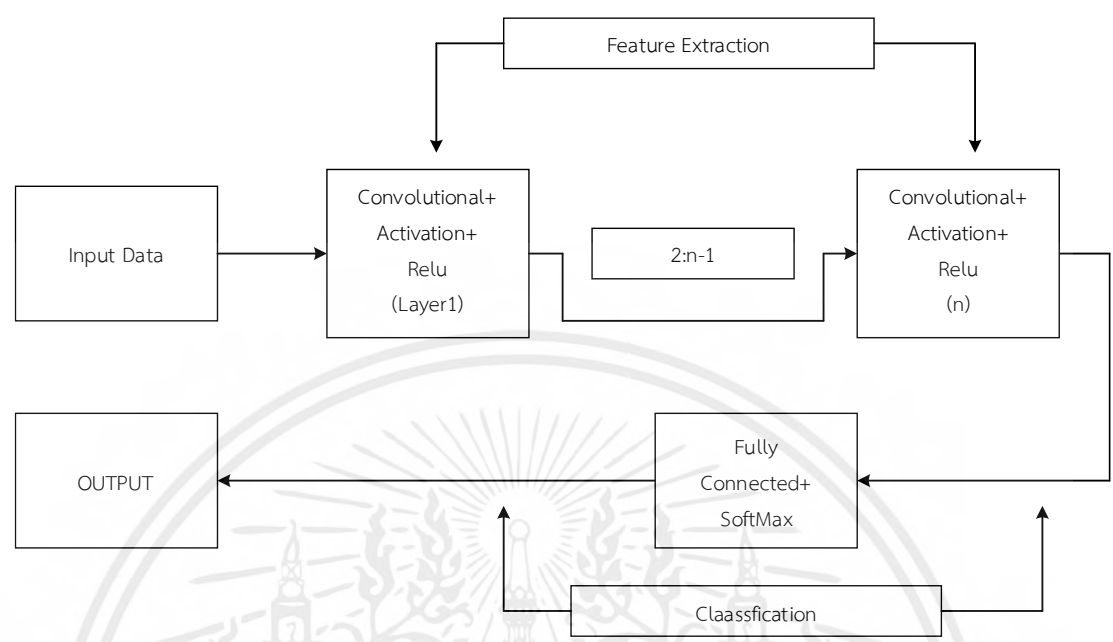
การเตรียมภาพ สามารถทำได้โดยการนำกล้องไมโครสโคป ถ่ายภาพพันธุ์ข้าวเปลือก 5 สายพันธุ์ สายพันธุ์ละ 110 ภาพ ซึ่งมีสายพันธุ์ข้าวดังนี้ พันธุ์ที่ 1 หอมนาคา พันธุ์ที่ 2 กัญญา พันธุ์ที่ 3 ไรซ์เบอร์รี่ พันธุ์ที่ 4 กข22 พันธุ์ที่ 5 กุหลาบแดง โดยเมื่อเก็บภาพข้าวแต่ละสายพันธุ์ได้ครบตามจำนวน ให้ทำการแบ่งภาพเป็น 2 ส่วน 1) ภาพที่ใช้ในการเรียนรู้ สายพันธุ์ละ 100 ภาพ 2) ภาพที่ใช้ในการทดสอบ สายพันธุ์ละ 10 รูป จะนำข้อมูลภาพอัปโหลดเก็บไว้ในกูเกิลไดรฟ์ ตั้งชื่อโฟลเดอร์ dataset ภายในโฟลเดอร์ dataset จะมีโฟลเดอร์ 2 โฟลเดอร์คือ เทรน (train) จะนำภาพสายพันธุ์ข้าว สายพันธุ์ละ 100 ภาพเก็บไว้ โฟลเดอร์ เทส (test) จะเก็บภาพสายพันธุ์ข้าว สายพันธุ์ละ 10 ภาพ



รูปที่ 3.16 โฟลเดอร์ที่เก็บภาพ เทรน (train) และ เทส (test)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 การออกแบบโครงข่ายประสาทเทียมแบบคอนโวลูชัน



รูปที่ 3.17 บล็อกไดอะแกรมการออกแบบโครงข่ายประสาทเทียมแบบคอนโวลูชัน

จากรูปที่ 3.17 เป็นบล็อกไดอะแกรมการออกแบบโครงข่ายประสาทเทียมแบบคอนโวลูชัน การออก ป้อนข้อมูลอินพุตที่เป็นภาพพันธุ์ข้าวที่เก็บไว้ในกูเกิลไดรฟ์ ในโพลเดอร์เทรน (train) จากนั้น จะดึงภาพมาแต่ละภาพเข้าสู่กระบวนการการสกัดคุณลักษณะของภาพ ซึ่งภายในการสกัดคุณลักษณะ จะมีการสกัดภาพตามเลเยอร์ โดยตั้งแต่เลเยอร์ที่ 1 จะมีการกำหนดเลเยอร์คอนทูลี ซึ่งจะมีไลहाพีเจอร์ของภาพไปเรื่อย ๆ และจะมีรีลู่ (Relu) เป็นฮิดเดนเลเยอร์ (Hidden Layer) ประกอบภายใน นิวรอน เมื่อเลเยอร์ที่ N จะส่งชุดข้อมูลไปยังฟังก์ชัน ซอฟแม็ก เป็นฟังก์ชันที่จะใช้บอกคะแนนที่ในการทำนายผลว่าเอาต์พุตที่ได้เป็นอะไร ก่อนส่งออกเป็นโมเดลให้ใช้งาน

บทที่ 4

การทดลองและผลการทดลอง

ในบทนี้จะกล่าวถึงการทดลองและผลการทดลองเครื่องตรวจสอบพันธุ์ข้าวเปลือก ซึ่งมีหัวข้อการทดลองประกอบด้วย การทดลองจำนวนข้อมูลสายพันธุ์ข้าวเปลือกที่มีในระบบ การทดลองการออกแบบโครงข่ายประสาทเทียมแบบคอนโวลูชัน การทดลองการตรวจสอบความถูกต้องของข้อมูลโมดูลเมล็ดพันธุ์ข้าวเปลือกที่มีข้อมูลอยู่ในระบบ การทดลองการใช้หน้าตาต่างสำหรับการแสดงผลแก่ผู้ใช้งาน การทดลองการเก็บภาพพันธุ์ข้าวในระยะเวลา 1 ชั่วโมง 30 นาที การทดลองแสดงผลการตรวจสอบพันธุ์ข้าวเปลือก และผลการตรวจสอบสิ่งแปลกปลอม การทดลองเพิ่มการเรียนรู้เมล็ดพันธุ์ข้าวเปลือกสายพันธุ์ใหม่หรือสิ่งแปลกปลอมใหม่ เป็นต้น

4.1 การทดลองที่ 1 เรื่องจำนวนข้อมูลสายพันธุ์ข้าวเปลือกที่มีในระบบ

การทดลองจำนวนข้อมูลสายพันธุ์เมล็ดข้าวเปลือกที่มีอยู่ในระบบ เพื่อทดสอบว่าในระบบมีข้อมูลภาพข้อในระบบครบ 5 สายพันธุ์หรือไม่ มีข้าวสายพันธุ์ใดบ้าง

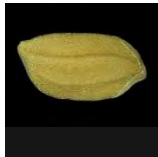
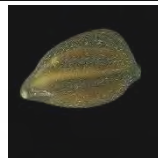



4.1.1 วัตถุประสงค์

- 1) เพื่อทดสอบข้อมูลภาพข้าวในระบบครบ 5 สายพันธุ์หรือไม่
- 2) เพื่อทดสอบข้อมูลภาพสายพันธุ์ข้าวมีชนิดใดบ้าง

4.1.2 วิธีการทดลอง

- 1) เสียบปลั๊กและเปิดสวิตช์แบบเลือกค่าที่ตำแหน่ง ON ที่ตัวเครื่อง
- 2) เปิดเบราว์เซอร์ไฟร์ฟอกซ์ (Firefox)
- 3) พิมพ์ในช่องค้นหา กูเกิลไดรฟ์ (Google Drive)
- 4) ล็อกอินด้วยอีเมลดังนี้ saksitkmitl@gmail.com พาสเวิร์ด: 0876211183Za
- 5) ไปที่โฟลเดอร์ dataset/train
- 6) บันทึกผลลงในตารางที่ 4.1

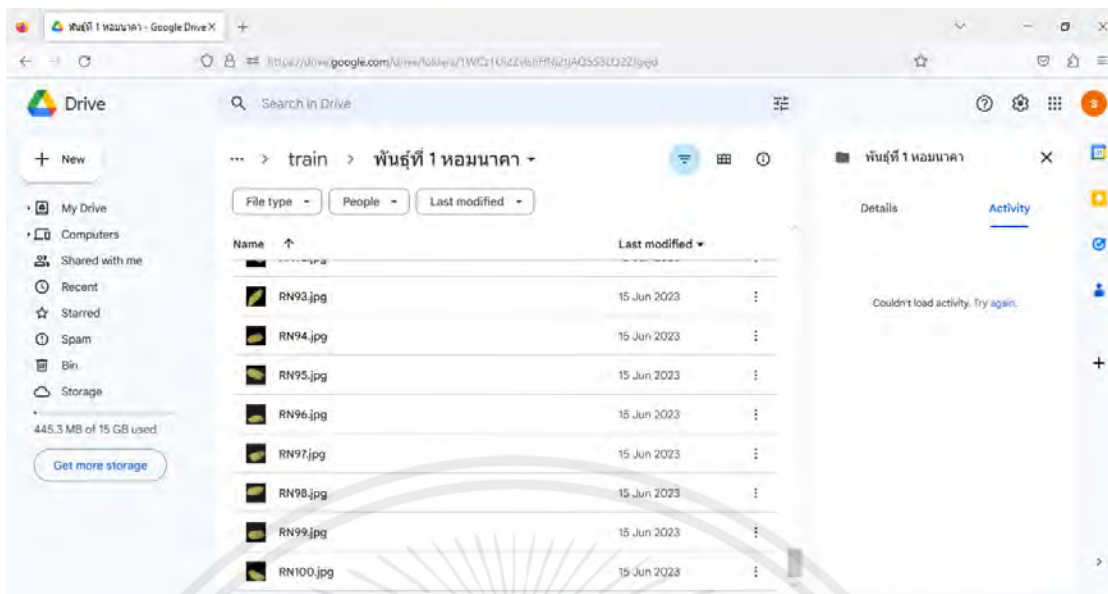
ตารางที่ 4.1 การทดลองจำนวนข้อมูลสายพันธุ์เริ่มต้นของเมล็ดพันธุ์ข้าวเปลือก

ชื่อเมล็ดพันธุ์ข้าวเปลือก	ผลการทดลอง (สายพันธุ์เมล็ดพันธุ์ข้าวเปลือกที่มีในระบบ)	ตัวอย่างภาพพันธุ์ข้าวที่มีในระบบ
1. ข้าวหอมนาคา	√	
2. ข้าวเหนียวกัญญา	√	
3. ข้าวไรซ์เบอร์รี่	√	
4. ข้าวเหนียวข.22	√	
5. ข้าวหอมกุหลาบแดง	√	

หมายเหตุ: √ หมายถึงข้อมูลภาพของเมล็ดพันธุ์ข้าวเปลือกที่มีอยู่ในระบบ

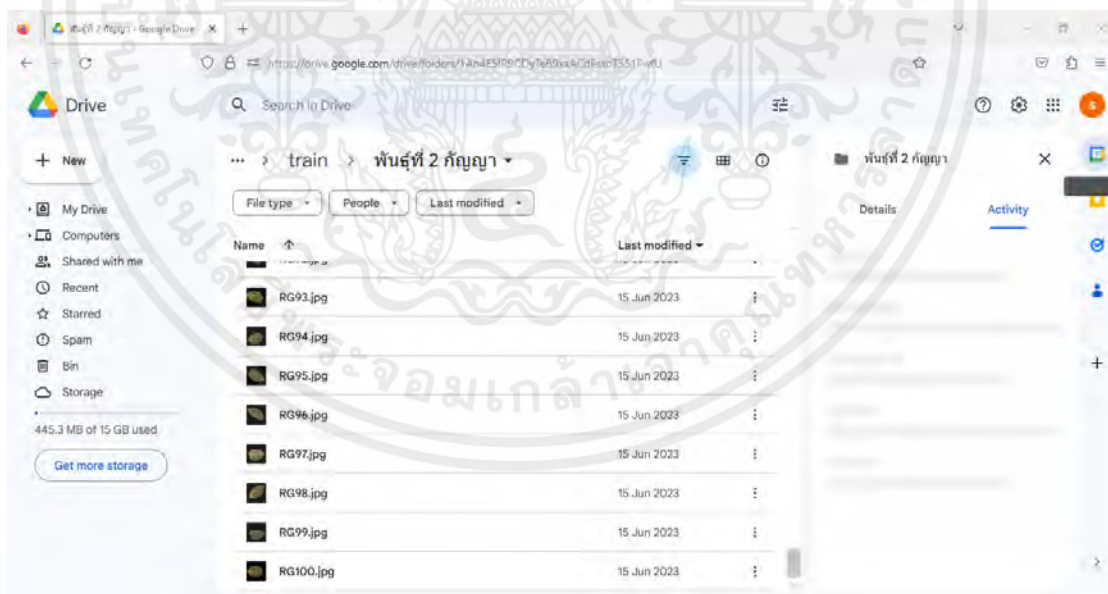
4.1.3 สรุปผลการทดลอง

จากตารางที่ 4.1 ข้อมูลภายในเครื่องจะมีข้อมูลภาพเมล็ดพันธุ์ข้าวเปลือกในระบบครบ 5 สายพันธุ์เป็นข้อมูลเริ่มต้นที่จะมีในระบบและมีพันธุ์ข้าวดังนี้ 1) ข้าวหอมนาคา 2) ข้าวเหนียวกัญญา 3) ข้าวไรซ์เบอร์รี่ 4) ข้าวเหนียวข.22 5) ข้าวหอมกุหลาบแดง ดังรูปต่อไปนี้



รูปที่ 4.1 ข้อมูลภาพข้าวพันธุ์ที่ 1 หอมนาคา

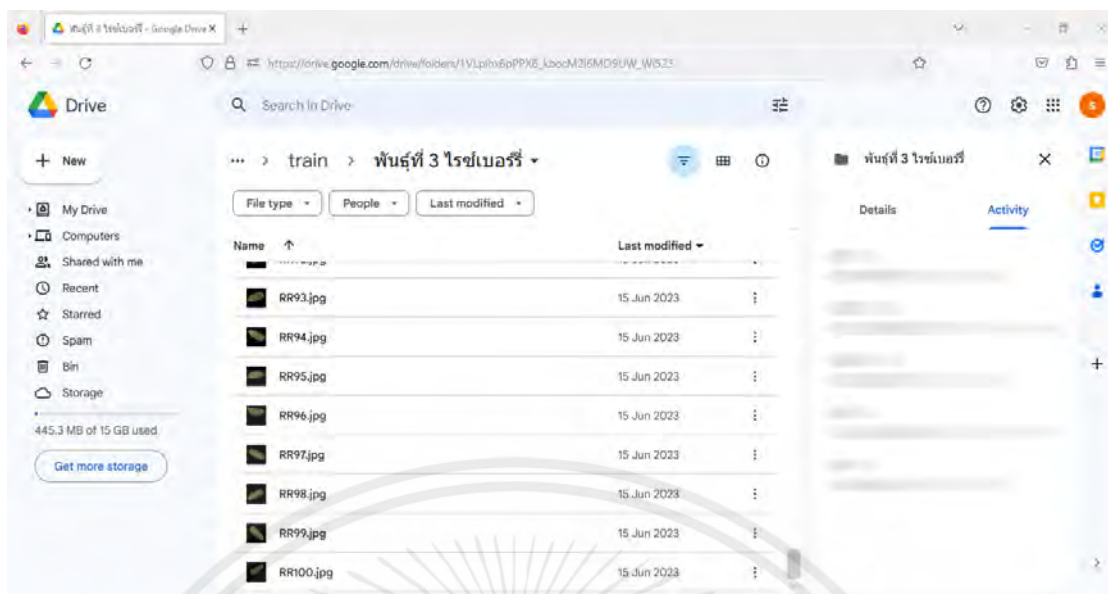
จากรูปที่ 4.1 ข้อมูลพันธุ์ที่ 1 หอมนาคา มีจำนวนภาพข้อมูลในระบบเริ่มต้น ที่ 100 ภาพ ซึ่งภาพจะถูกบันทึกไว้ในโฟลเดอร์ dataset/train/พันธุ์ที่ 1 หอมนาคา



รูปที่ 4.2 ข้อมูลภาพข้าวพันธุ์ที่ 2 กัญญา

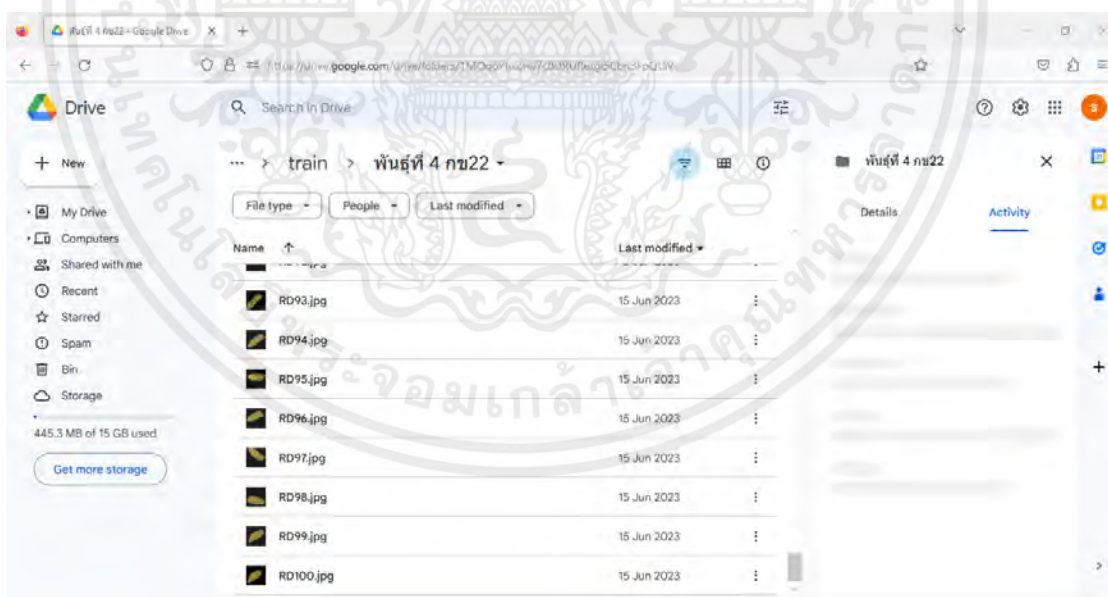
จากรูปที่ 4.2 ข้อมูลพันธุ์ที่ 2 หอมนาคา มีจำนวนภาพข้อมูลในระบบเริ่มต้น ที่ 100 ภาพ ซึ่งภาพจะถูกบันทึกไว้ในโฟลเดอร์ dataset/train/พันธุ์ที่ 2 กัญญา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 ข้อมูลภาพข่าวพันธุ์ที่ 3 ไรซ์เบอร์รี่

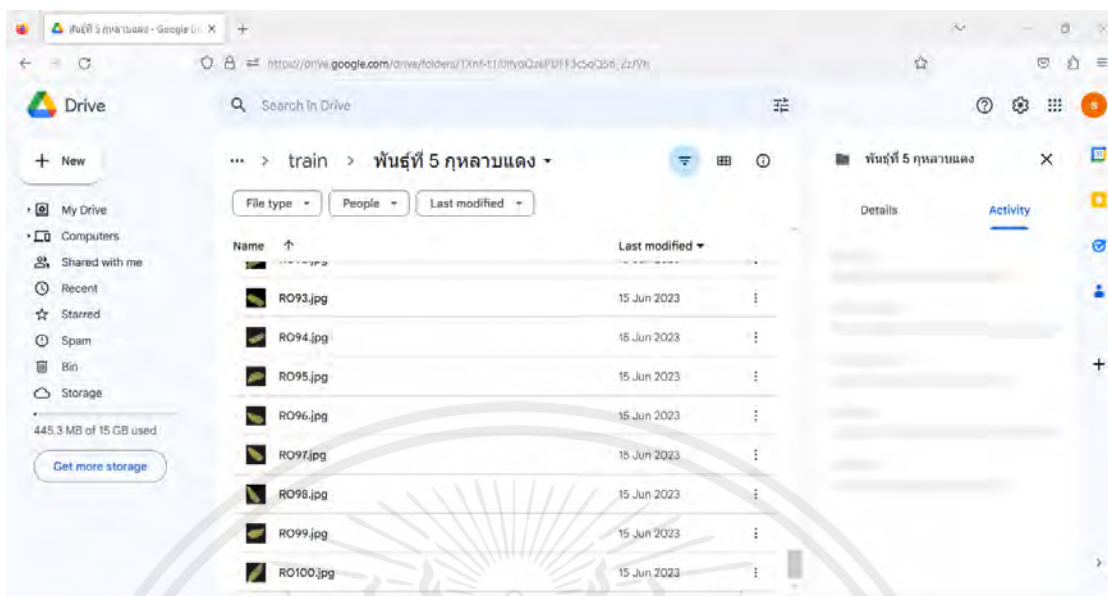
จากรูปที่ 4.3 ข้อมูลพันธุ์ที่ 3 ไรซ์เบอร์รี่ มีจำนวนภาพข้อมูลในระบบเริ่มต้น ที่ 100 ภาพ ซึ่งภาพจะถูกบันทึกไว้ในโฟลเดอร์ dataset/train/พันธุ์ที่ 3 ไรซ์เบอร์รี่



รูปที่ 4.4 ข้อมูลภาพข่าวพันธุ์ที่ 4 กข22

จากรูปที่ 4.4 ข้อมูลพันธุ์ที่ 4 กข22 มีจำนวนภาพข้อมูลในระบบเริ่มต้น ที่ 100 ภาพ ซึ่งภาพจะถูกบันทึกไว้ในโฟลเดอร์ dataset/train/พันธุ์ที่ 4 กข22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 ข้อมูลภาพข้าวพันธุ์ที่ 5 กุหลาบแดง

จากรูปที่ 4.5 ข้อมูลพันธุ์ที่ 5 กุหลาบแดง มีจำนวนภาพข้อมูลในระบบเริ่มต้น ที่ 100 ภาพ ซึ่งภาพจะถูกบันทึกไว้ในโฟลเดอร์ dataset/train/พันธุ์ที่ 5 กุหลาบแดง

4.2 การทดลองที่ 2 เรื่องการออกแบบโครงข่ายประสาทเทียมแบบคอนโวลูชัน

เป็นการทดลองทดลองการออกแบบโครงข่ายประสาทเทียมแบบคอนโวลูชัน (Convolutional neural network) หรือ ซีเอ็นเอ็น (CNN) เพื่อนำโมเดลที่ใช้ในการนายผลการตรวจสอบพันธุ์ข้าวเปลือก โดยจะนำโมเดลที่มีความแม่นยำมากที่สุดไปใช้งาน

4.2.1 วัตถุประสงค์

- 1) เพื่อหาจำนวนชั้นฟิเจอร์เลิร์นนิง (Feature Learning Layer)
- 2) เพื่อหาโมเดลที่มีความแม่นยำสูงสุด

4.2.2 วิธีการทดลอง

- 1) เสียบปลั๊กและเปิดสวิตช์แบบเลือกค่าที่ตำแหน่ง ON ที่ตัวเครื่อง
- 2) เปิดเบราว์เซอร์ไฟร์ฟอกซ์ (Firefox)
- 3) พิมพ์ในช่องค้นหา กูเกิลไดรฟ์ (Google Drive)
- 4) ล็อกอินด้วยอีเมลดังนี้ saksitkmitl@gmail.com รหัสผ่าน: 0876211183Za
- 5) ไปที่โฟลเดอร์ Collab Notebooks
- 6) เปิดไฟล์ชื่อ Train

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้





7) ทดลองนำภาพข้าว 5 สายพันธุ์ที่ไม่ได้ลบพื้นหลัง ใช้ฟิจเจอร์เลิร์นนิ่ง 2 ชั้น ในการสร้างโมเดล และบันทึกค่าความแม่นยำลงในตารางที่ 4.2

8) ทดลองนำภาพข้าว 5 สายพันธุ์ที่ลบพื้นหลังแล้ว ใช้ฟิจเจอร์เลิร์นนิ่ง 2 ชั้น ในการสร้างโมเดล และบันทึกค่าความแม่นยำลงในตารางที่ 4.2

9) ทดลองนำภาพข้าว 5 สายพันธุ์ที่ลบพื้นหลังแล้ว ใช้ฟิจเจอร์เลิร์นนิ่ง 3 ชั้น ในการสร้างโมเดล และบันทึกค่าความแม่นยำลงในตารางที่ 4.2

10) ทดลองนำภาพข้าว 5 สายพันธุ์ที่ลบพื้นหลังแล้ว ใช้ฟิจเจอร์เลิร์นนิ่ง 4 ชั้น ในการสร้างโมเดล และบันทึกค่าความแม่นยำลงในตารางที่ 4.2

ตารางที่ 4.2 การทดลองการออกแบบโครงข่ายประสาทเทียมแบบคอนโวลูชัน

การทดลอง	จำนวนชั้นฟิจเจอร์เลิร์นนิ่ง	ค่าความแม่นยำ	ตัวอย่างภาพ
1) ภาพข้าว 5 สายพันธุ์ที่ไม่ได้ลบพื้นหลัง	2	94	
2) ภาพข้าว 5 สายพันธุ์ที่ลบพื้นหลัง	2	71	
3) ภาพข้าว 5 สายพันธุ์ที่ลบพื้นหลัง	3	76	
4) ภาพข้าว 5 สายพันธุ์ที่ลบพื้นหลัง	4	85	

4.2.3 ผลการทดลอง

จากตารางที่ 4.2 จะเห็นว่าภาพสายพันธุ์ข้าวที่ไม่ได้ลบพื้นหลังมีค่าแม่นยำของโมเดลมากที่สุดคือ 94 เปอร์เซ็นต์ โมเดลนี้ไม่เหมาะกับการไปใช้งานจริงแม้จะมีค่าความแม่นยำสูง เพราะการสกัดคุณลักษณะจากโมเดลนั้น อาจไปสกัดพื้นหลังจึงทำให้โมเดลนี้ การตรวจพันธุ์ข้าวมีข้อผิดพลาดได้ ภาพข้าว 5 สายพันธุ์ที่ลบพื้นหลังที่มีจำนวนชั้นฟิจเจอร์เลิร์นนิ่ง 2 ชั้น มีค่าความแม่นยำ 71 เปอร์เซ็นต์ เมื่อเพิ่มจำนวนชั้นฟิจเจอร์เลิร์นนิ่งตามลำดับจะได้ค่าความแม่นยำของโมเดล 76 เปอร์เซ็นต์ และ 85 เปอร์เซ็นต์ จึงเลือกใช้โมเดลภาพข้าว 5 สายพันธุ์ที่ลบพื้นหลังที่มีจำนวนชั้นฟิจเจอร์เลิร์นนิ่ง 4 ชั้น ค่าความแม่นยำ 85 เปอร์เซ็นต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

num_classes = len(class_names)
model = Sequential([
    layers.experimental.preprocessing.Rescaling(1./255, input_shape=(img_height, img_width, 3)),
    layers.Conv2D(16, 3, padding='same', activation='relu'),
    layers.MaxPooling2D(),
    layers.Conv2D(32, 3, padding='same', activation='relu'),
    layers.MaxPooling2D(),
    layers.Flatten(),
    layers.Dense(128, activation='relu'),
    layers.Dense(num_classes)
])

```

(ก)

```

num_classes = len(class_names)
model = Sequential([
    layers.experimental.preprocessing.Rescaling(1./255, input_shape=(img_height, img_width, 3)),
    layers.Conv2D(16, 3, padding='same', activation='relu'),
    layers.MaxPooling2D(),
    layers.Conv2D(32, 3, padding='same', activation='relu'),
    layers.MaxPooling2D(),
    layers.Conv2D(64, 3, padding='same', activation='relu'),
    layers.MaxPooling2D(),
    layers.Flatten(),
    layers.Dense(128, activation='relu'),
    layers.Dense(num_classes)
])

```

(ข)

```

num_classes = len(class_names)
model = Sequential([
    layers.experimental.preprocessing.Rescaling(1./255, input_shape=(img_height, img_width, 3)),
    layers.Conv2D(16, 3, padding='same', activation='relu'),
    layers.MaxPooling2D(),
    layers.Conv2D(32, 3, padding='same', activation='relu'),
    layers.MaxPooling2D(),
    layers.Conv2D(64, 3, padding='same', activation='relu'),
    layers.MaxPooling2D(),
    layers.Conv2D(128, 3, padding='same', activation='relu'),
    layers.MaxPooling2D(),
    layers.Flatten(),
    layers.Dense(128, activation='relu'),
    layers.Dense(num_classes)
])

```

(ค)

รูปที่ 4.6 จำนวนชั้นฟิวเจอร์เลิร์นนิง

(ก) 2 ชั้น (ข) 3 ชั้น (ค) 4 ชั้น

จากรูปที่ 4.6 วิธีการดูจำนวนชั้นฟิวเจอร์เลิร์นนิง ทำได้โดยการดูในโค้ด ซึ่งให้จำนวนบรรทัดที่มีชื่อว่า `lays.Conv2D()` ก็จะทำให้ทราบถึงจำนวนชั้นของฟิวเจอร์เลิร์นนิง เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

7/7 [-----] - 3s 159ms/step - loss: 0.0029 - accuracy: 1.0000 - val_loss: 0.2964 - val_accuracy: 0.9400
Epoch 29/30
7/7 [-----] - 5s 196ms/step - loss: 0.0021 - accuracy: 1.0000 - val_loss: 0.3072 - val_accuracy: 0.9400
Epoch 30/30
7/7 [-----] - 3s 168ms/step - loss: 0.0016 - accuracy: 1.0000 - val_loss: 0.2864 - val_accuracy: 0.9400

```

รูปที่ 4.7 ค่าความแม่นยำของโมเดลภาพข่าว 5 สายพันธุ์ที่ไม่ได้ลบพื้นหลัง

จากรูปที่ 4.7 การหาความแม่นยำของโมเดลดูได้จาก val_accuracy มีค่าเท่า 0.9400 นำค่านี้ มาคูณ 100 จะได้ผลความแม่นยำที่ 94%

```

Epoch 29/30
7/7 [-----] - 2s 129ms/step - loss: 4.1146e-04 - accuracy: 1.0000 - val_loss: 1.3300 - val_accuracy: 0.6900
Epoch 30/30
7/7 [-----] - 2s 128ms/step - loss: 3.7295e-04 - accuracy: 1.0000 - val_loss: 1.3283 - val_accuracy: 0.7100

```

รูปที่ 4.8 ค่าความแม่นยำของโมเดลภาพข่าว 5 สายพันธุ์ที่ลบพื้นหลังจำนวนชั้นพีจเจอร์เลิร์นนิ่ง 2 ชั้น

จากรูปที่ 4.8 การหาความแม่นยำของโมเดลดูได้จาก val accuracy มีค่าเท่า 0.7100 นำค่านี้ มาคูณ 100 จะได้ผลความแม่นยำที่ 71%

```

Epoch 29/30
7/7 [-----] - 3s 195ms/step - loss: 7.6779e-04 - accuracy: 1.0000 - val_loss: 1.1667 - val_accuracy: 0.7600
Epoch 30/30
7/7 [-----] - 3s 140ms/step - loss: 6.6163e-04 - accuracy: 1.0000 - val_loss: 1.1775 - val_accuracy: 0.7600

```

รูปที่ 4.9 ค่าความแม่นยำของโมเดลภาพข่าว 5 สายพันธุ์ที่ลบพื้นหลังจำนวนชั้นพีจเจอร์เลิร์นนิ่ง 3 ชั้น

จากรูปที่ 4.9 การหาความแม่นยำของโมเดลดูได้จาก val accuracy มีค่าเท่า 0.7600 นำค่านี้ มาคูณ 100 จะได้ผลความแม่นยำที่ 76%

```

Epoch 29/30
7/7 [-----] - 2s 171ms/step - loss: 0.0012 - accuracy: 1.0000 - val_loss: 0.8135 - val_accuracy: 0.8300
Epoch 30/30
7/7 [-----] - 3s 286ms/step - loss: 0.0011 - accuracy: 1.0000 - val_loss: 0.8048 - val_accuracy: 0.8500

```

รูปที่ 4.10 ค่าความแม่นยำของโมเดลภาพข่าว 5 สายพันธุ์ที่ลบพื้นหลังจำนวนชั้นพีจเจอร์เลิร์นนิ่ง 4 ชั้น

จากรูปที่ 4.10 การหาความแม่นยำของโมเดลดูได้จาก val accuracy มีค่าเท่า 0.8500 นำค่านี้ มาคูณ 100 จะได้ผลความแม่นยำที่ 85%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทดลองที่ 3 เรื่องการทดลองการตรวจสอบความถูกต้องของข้อมูลโมเดลเมลิตพันธุ์ข้าวเปลือกที่มีข้อมูลอยู่ในระบบ

เป็นการทดลองทดลองหาความถูกต้องของโมเดลที่ได้จากการสร้างโครงข่ายประสาทเทียมแบบคอนโวลูชัน (Convolutional neural network) หรือ CNN ที่มีอยู่ในระบบ โดยจะใช้โมเดลที่สร้างนำมาทดสอบกับภาพเมลิตพันธุ์ข้าวเปลือกจำนวน 5 สายพันธุ์ สายพันธุ์ละ 50 ภาพ ซึ่งมีขั้นตอนการทดลองดังนี้

4.3.1 วัตถุประสงค์

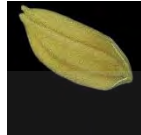
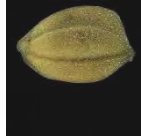



- 1) เพื่อตรวจสอบความถูกต้องของข้อมูลโมเดลเมลิตพันธุ์ข้าวเปลือกที่มีข้อมูลอยู่ในระบบ
- 2) เพื่อหาเปอร์เซ็นต์ความถูกต้องของข้อมูลโมเดลเมลิตพันธุ์ข้าวเปลือกที่มีข้อมูลอยู่ในระบบ

4.3.2 วิธีการทดลอง

- 1) เสียบปลั๊กและเปิดสวิตช์แบบเลือกค่าที่ตำแหน่ง ON ที่ตัวเครื่อง
- 2) เปิดเบราว์เซอร์ไฟร์ฟอกซ์ (Firefox)
- 3) พิมพ์ในช่องค้นหา กูเกิลไดรฟ์
- 4) ล็อกอินด้วยอีเมลดังนี้ saksitkmitl@gmail.com พาสเวิร์ด: 0876211183Za
- 5) ไปที่โฟลเดอร์ Collab Notebooks
- 6) เปิดไฟล์ที่ชื่อ Test1.ipynb
- 7) เลือกที่อยู่ของตำแหน่งภาพที่ต้องการจะตรวจสอบ
- 8) กดปุ่ม Connect ทางด้านขวามือ
- 9) ทำการเรียกใช้โปรแกรมในแต่ละเซลล์ และหาเปอร์เซ็นต์ความถูกต้องของผลของความถูกต้องในการทดลองตรวจจับดังสมการที่ (4.1) และบันทึกลงในตารางที่ 4.3

$$\text{เปอร์เซ็นต์ความถูกต้อง} = \frac{\text{จำนวนภาพที่อ่านได้ถูกต้อง}}{\text{จำนวนภาพทั้งหมด}} \times 100 \quad (4.1)$$

ตารางที่ 4.3 การทดลองการตรวจสอบความถูกต้องของข้อมูลเมล็ดพันธุ์ข้าวเปลือกที่มีข้อมูลอยู่ในระบบ

ชื่อพันธุ์ข้าวเปลือก	ผลการทดลอง (ผลความถูกต้องของการ ตรวจจำนวน 50 ภาพ)	เปอร์เซ็นต์ความถูกต้อง	ภาพตัวอย่าง
1) ข้าวหอมนาคา	34	68	
2) ข้าวเหนียว กัญญา	48	96	
3) ข้าวไรซ์เบอร์รี่	41	82	
4) ข้าวเหนียวกข. 22	41	82	
5) ข้าวหอมกุหลาบ	34	68	

จากตารางที่ 4.3 การทดลองการตรวจสอบความถูกต้องของข้อมูลเมล็ดพันธุ์ข้าวเปลือกที่มีข้อมูลอยู่ในระบบ การทำนายผลของข้าวหอมนาคา 50 ภาพ ถูกต้อง 34 ภาพ คิดเป็น 68 เปอร์เซ็นต์ ข้าวเหนียวกัญญา 50 ภาพ ถูกต้อง 48 ภาพ คิดเป็น 96 เปอร์เซ็นต์ ข้าวไรซ์เบอร์รี่ 50 ภาพ ถูกต้อง 41 ภาพ คิดเป็น 82 เปอร์เซ็นต์ ข้าวเหนียวกข.22 50 ภาพ ถูกต้อง 41 ภาพ คิดเป็น 82 เปอร์เซ็นต์ และ ข้าวหอมกุหลาบแดง 28 ภาพ ถูกต้อง 18 ภาพ คิดเป็น 36 เปอร์เซ็นต์ โมเดลที่ใช้ในการทดลองยังไม่เหมาะในการใช้งานได้จริง เนื่องจากความถูกต้องของพันธุ์ข้าวหอมนาคา และพันธุ์ข้าวหอมกุหลาบแดงมีความต่อน้อยกว่า 50 เปอร์เซ็นต์



รูปที่ 4.11 ผลการตรวจสอบพันธุ์ข้าวหอมนาคา

รูปที่ 4.12 ผลการตรวจสอบพันธุ์ข้าวกัญญา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 ผลการตรวจสอบพันธุ์ข้าวไรซ์เบอร์รี่



รูปที่ 4.14 ผลการตรวจสอบพันธุ์กข22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 ผลการตรวจสอบพันธุ์กุหลาบแดง

4.4 การทดลองที่ 4 เรื่องการใช้หน้าต่างสำหรับการแสดงผลแก่ผู้ใช้งาน

เป็นการทดลองการแสดงผลจากการตรวจสอบเมล็ดพันธุ์ข้าวเปลือกผ่านจอแสดงผลให้แก่ผู้ใช้งานเครื่อง ซึ่งมีขั้นตอนการทดลองดังนี้

4.4.1 วัตถุประสงค์

- 1) เพื่อทดลองการใช้งานหน้าต่างสำหรับผู้ใช้งาน
- 2) เพื่อทดลองการแสดงผลการตรวจสอบพันธุ์ข้าวเปลือกให้แก่ผู้ใช้

4.4.2 วิธีการทดลอง

- 1) เสียบปลั๊กและเปิดสวิตช์แบบเลือกค่าที่ตำแหน่ง ON ที่ตัวเครื่อง
- 2) เปิดโพลเดอร์ที่เก็บไฟล์ Flies/Interface/
- 3) คลิกบนหน้าต่างเลือก Open In Terminal
- 4) พิมพ์คำสั่ง wine User.exe

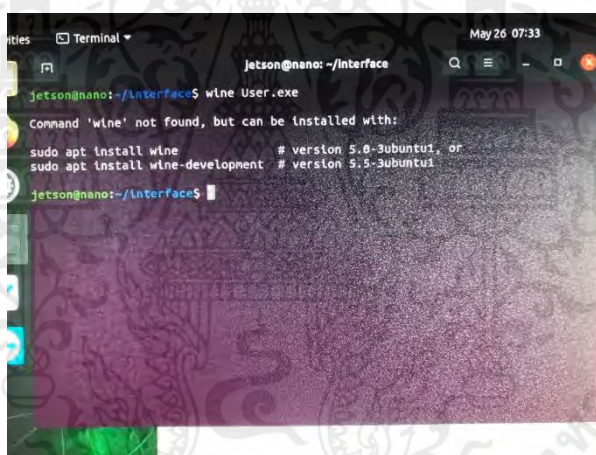
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.4 การทดลองการใช้หน้าต่างสำหรับการสื่อสารกับผู้ใช้งาน

จำนวนครั้งที่ทดลอง	ผลการทดลอง (แสดงผลให้แก่ผู้ใช้งานที่ออกแบบเอง)
1	X
2	X
3	X
4	X
5	X

หมายเหตุ: X หมายถึงไม่สามารถเปิดไฟล์ User.exe

จากตารางที่ 4.4 การทดลองการใช้หน้าต่างสำหรับการสื่อสารกับผู้ใช้งานไม่สามารถทำได้ เนื่องจากบอร์ด Jetson nano ไม่สามารถเปิดไฟล์ประเภท .exe ดังรูป



```

jetson@nano:~/Interface$ wine User.exe
Command 'wine' not found, but can be installed with:
sudo apt install wine # version 5.0-3ubuntu1, or
sudo apt install wine-development # version 5.5-3ubuntu1
jetson@nano:~/Interface$

```

รูปที่ 4.16 การทดลองการใช้หน้าต่างสำหรับการสื่อสารกับผู้ใช้งาน

4.5 การทดลองที่ 5 เรื่องการเก็บภาพพันธุ์ข้าวในระยะเวลา 1 ชั่วโมง 30 นาที

เป็นการทดลองหาจำนวนภาพที่เก็บได้ในระยะเวลา 1 ชั่วโมง 30 นาที ได้จำนวนภาพที่ภาพหน้าหนึ่งของพันธุ์ข้าวที่เก็บได้น้ำหนักกี่กรัม

4.5.1 วัตถุประสงค์

- 1) เพื่อหาจำนวนภาพที่เก็บพันธุ์ข้าวเปลือกในระยะเวลา 1 ชั่วโมง 30 นาที
- 2) เพื่อหาน้ำหนักของพันธุ์ข้าวที่เก็บภาพในระยะเวลา 1 ชั่วโมง 30 นาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.2 วิธีการทดลอง

- 1) เสียบปลั๊กและเปิดสวิตช์แบบเลือกค่าที่ตำแหน่ง ON ที่ตัวเครื่อง
- 2) เปิดสวิตช์ที่ชื่อว่า Motor 2, Motor3, Motor4
- 3) เทข้าวใส่ชุดเกลี่ยพันธุ์ข้าวช้า ๆ และจับเวลา
- 4) เก็บภาพด้วยกล้องจุลทรรศน์แบบดิจิตอล
- 5) เมื่อสิ้นสุดเวลา นำพันธุ์ข้าวที่เก็บภาพได้ไปชั่งน้ำหนัก
- 6) บันทึกผลการทดลองลงในตารางที่ 4.5

ตารางที่ 4.5 การทดลองการแสดงผลพืชสายพันธุ์ข้าวเปลือกที่ถูกตรวจจำแนก

จำนวนครั้ง	จำนวนภาพที่เก็บได้ (ภาพ)	น้ำหนักที่ได้ (กรัม)
1	702	20
2	766	25
3	622	22

จากตารางที่ 4.5 การทดลองเก็บภาพในระยะเวลา 1 ชั่วโมง 30 นาที ครั้งที่ 1 สามารถเก็บภาพได้ 702 ภาพ น้ำหนัก 20 กรัม การทดลองครั้งที่ 2 สามารถเก็บภาพได้ 766 ภาพ น้ำหนัก 25 การทดลองครั้งที่ 3 สามารถเก็บภาพได้ 622 ภาพ น้ำหนัก 22 กรัม



รูปที่ 4.17 น้ำหนักที่ได้จากการทดลองครั้งที่ 1



รูปที่ 4.18 น้ำหนักที่ได้จากการทดลองครั้งที่ 2



รูปที่ 4.19 น้ำหนักที่ได้จากการทดลองครั้งที่ 3

 image758.jpg	23:23	:
 image759.jpg	23:23	:
 image760.jpg	23:23	:
 image761.jpg	23:23	:
 image762.jpg	23:23	:
 image763.jpg	23:23	:
 image764.jpg	23:23	:
 image765.jpg	23:23	:
 image766.jpg	23:23	:

รูปที่ 4.20 จำนวนภาพที่ได้จากการทดลองครั้งที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

image674.jpg	23:25	:
image695.jpg	23:25	:
image696.jpg	23:25	:
image697.jpg	23:25	:
image698.jpg	23:25	:
image699.jpg	23:25	:
image700.jpg	23:25	:
image701.jpg	23:25	:
image702.jpg	23:25	:

รูปที่ 4.21 จำนวนภาพที่ได้จากการทดลองครั้งที่ 2

image654.jpg	23:27	:
image655.jpg	23:27	:
image656.jpg	23:27	:
image657.jpg	23:27	:
image658.jpg	23:27	:
image659.jpg	23:27	:
image660.jpg	23:27	:
image661.jpg	23:27	:
image662.jpg	23:27	:

รูปที่ 4.22 จำนวนภาพที่ได้จากการทดลองครั้งที่ 3

4.6 การทดลองที่ 6 เรื่องแสดงผลการตรวจสอบพันธุ์ข้าวเปลือกและผลการตรวจสอบสิ่งแปลกปลอม

เป็นการทดลองแสดงผลการตรวจสอบ ให้ผู้ใช้ทราบถึงชนิด จำนวน สิ่งแปลกปลอม และแสดงค่าเปอร์เซ็นต์ของสายพันธุ์ข้าวและค่าเปอร์เซ็นต์ของสิ่งแปลกปลอม โดยจะแสดงผ่านกุเกิลโค แลป เมื่อตรวจสอบเสร็จสิ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.1 วัตถุประสงค์

- 1) เพื่อแสดงชนิดของพันธุ์ข้าวเปลือกที่ถูกรตรวจสอบแล้ว
- 2) เพื่อแสดงจำนวนเมล็ดพันธุ์ข้าวเปลือกที่ถูกรตรวจสอบแล้ว
- 3) เพื่อแสดงค่าเปอร์เซ็นต์ของสายพันธุ์ข้าวที่ถูกรตรวจสอบแล้ว
- 4) เพื่อแสดงค่าเปอร์เซ็นต์ของสิ่งแปลกปลอม

4.6.2 วิธีการทดลอง

- 1) เสียบปลั๊กและเปิดสวิทช์แบบเลือกค่าที่ตำแหน่ง ON ที่ตัวเครื่อง
- 2) เปิดเบราว์เซอร์ไฟร์ฟอกซ์ (Firefox)
- 3) พิมพ์ในช่องค้นหา กูเกิลไดรฟ์ (Google Drive)
- 4) ล็อกอินด้วยอีเมลดังนี้ saksitkmitl@gmail.com รหัสเวิร์ด: 0876211183Za
- 5) ไปที่โฟลเดอร์ Collab Notebooks
- 6) เปิดไฟล์ชื่อ Test.
- 7) เรียกใช้เซลล์โปรแกรมที่ละส่วน
- 8) บันทึกผลการทดลองลงในตารางที่ 4.5

ตารางที่ 4.6 การทดลองแสดงผลการตรวจสอบพันธุ์ข้าวเปลือกและผลการตรวจสอบสิ่งแปลกปลอม

ครั้งที่	แสดงชนิดของพันธุ์ข้าวที่ถูกรตรวจสอบแล้ว	จำนวนเมล็ดพันธุ์ข้าวเปลือกที่ถูกรตรวจสอบแล้ว	แสดงค่าเปอร์เซ็นต์ของสายพันธุ์ข้าว	แสดงค่าเปอร์เซ็นต์ของสิ่งแปลกปลอม
1	✓	✓	✓	✓
2	✓	✓	✓	✓
3	✓	✓	✓	✓
4	✓	✓	✓	✓
5	✓	✓	✓	✓

หมายเหตุ: ✓ หมายถึงสามารถแสดงผลให้ผู้ใช้ทราบได้

จากตารางที่ 4.6 การทดลองเพื่อแสดงต่าง ๆ ผ่านทางกูเกิลโคแลป ให้ผู้ใช้งานสามารถทำได้ โดยจะแสดงผลให้ผู้ใช้ผลการตรวจพันธุ์ข้าวเปลือกได้ดังนี้ แสดงจำนวน ชนิด ค่าเปอร์เซ็นต์ของสายพันธุ์ข้าว และค่าเปอร์เซ็นต์ของสิ่งแปลกปลอม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการตรวจ		
พันธุ์ที่ 1	หอมนาคา	617 เมล็ด คิดเป็น 80.5%
พันธุ์ที่ 2	กัญญา	1 เมล็ด คิดเป็น 0.1%
พันธุ์ที่ 3	ไรซ์เบอร์รี่	0 เมล็ด คิดเป็น 0.0%
พันธุ์ที่ 4	กข22	0 เมล็ด คิดเป็น 0.0%
พันธุ์ที่ 5	กุหลาบแดง	148 เมล็ด คิดเป็น 19.3%

รูปที่ 4.23 ผลการทดลองครั้งที่ 1

จากรูปที่ 4.22 ทดลองที่ 1 ได้ผลลัพธ์คือ พันธุ์ที่ 1 หอมนาคา มีจำนวนข้าว 617 เมล็ด คิดเป็น 80.5 % พันธุ์ที่ 2 กัญญา 1 เมล็ด คิดเป็น 0.1 % พันธุ์ที่ 3 ไรซ์เบอร์รี่ 0 เมล็ด คิดเป็น 0 % พันธุ์ที่ 4 กข22 0 เมล็ด คิดเป็น 0 % พันธุ์ที่ 5 กุหลาบแดง 148 เมล็ดคิดเป็น 19.3 % โดยผลลัพธ์ที่จะแสดงเป็นข้อความ ให้ผู้ใช้ดูผลลัพธ์ รูปที่ 4.22

ผลการตรวจ		
พันธุ์ที่ 1	หอมนาคา	617 เมล็ด คิดเป็น 80.5%
พันธุ์ที่ 2	กัญญา	1 เมล็ด คิดเป็น 0.1%
พันธุ์ที่ 3	ไรซ์เบอร์รี่	0 เมล็ด คิดเป็น 0.0%
พันธุ์ที่ 4	กข22	0 เมล็ด คิดเป็น 0.0%
พันธุ์ที่ 5	กุหลาบแดง	148 เมล็ด คิดเป็น 19.3%

รูปที่ 4.24 รูปแสดงผลการทดลองครั้งที่ 2

จากรูปที่ 4.23 ทดลองที่ 2 เป็นการนำรูปชุดเดียวกันกับผลการทดลองที่ 2 ได้ผลลัพธ์คือ พันธุ์ที่ 1 หอมนาคา มีจำนวนข้าว 617 เมล็ด คิดเป็น 80.5 % พันธุ์ที่ 2 กัญญา 1 เมล็ด คิดเป็น 0.1 % พันธุ์ที่ 3 ไรซ์เบอร์รี่ 0 เมล็ด คิดเป็น 0 % พันธุ์ที่ 4 กข22 0 เมล็ด คิดเป็น 0 % พันธุ์ที่ 5 กุหลาบแดง 148 เมล็ดคิดเป็น 19.3 % โดยผลลัพธ์ที่จะแสดงเป็นข้อความ ให้ผู้ใช้ดูผลลัพธ์ ดังรูปที่ 4.23

พันธุ์ที่ 1	หอมนาคา	202 เมล็ด คิดเป็น 28.8%
พันธุ์ที่ 2	กัญญา	128 เมล็ด คิดเป็น 18.2%
พันธุ์ที่ 3	ไรซ์เบอร์รี่	209 เมล็ด คิดเป็น 29.8%
พันธุ์ที่ 4	กข22	90 เมล็ด คิดเป็น 12.8%
พันธุ์ที่ 5	กุหลาบแดง	73 เมล็ด คิดเป็น 10.4%

รูปที่ 4.25 ผลการทดลองครั้งที่ 3

จากรูปที่ 4.24 ทดลองที่ 3 ได้ผลลัพธ์คือ พันธุ์ที่ 1 หอมนาคา มีจำนวนข้าว 202 เมล็ด คิดเป็น 28.8 % พันธุ์ที่ 2 กัญญา 128 เมล็ด คิดเป็น 18.2 % พันธุ์ที่ 3 ไรซ์เบอร์รี่ 209 เมล็ด คิดเป็น 29.8 % พันธุ์ที่ 4 กข22 90 เมล็ด คิดเป็น 12.8 % พันธุ์ที่ 5 กุหลาบแดง 73 เมล็ดคิดเป็น 10.4 % โดยผลลัพธ์ที่จะแสดงเป็นข้อความ ให้ผู้ใช้ดูผลลัพธ์ ดังรูปที่ 4.24

พันธุ์ที่ 1	หอมनाका	63 เมล็ด	คิดเป็น 9.5%
พันธุ์ที่ 2	กัญญา	105 เมล็ด	คิดเป็น 15.9%
พันธุ์ที่ 3	ไรซ์เบอร์รี่	291 เมล็ด	คิดเป็น 44.0%
พันธุ์ที่ 4	กข22	84 เมล็ด	คิดเป็น 12.7%
พันธุ์ที่ 5	กุหลาบแดง	119 เมล็ด	คิดเป็น 18.0%

รูปที่ 4.26 ผลการทดลองครั้งที่ 4

จากรูปที่ 4.25 ทดลองที่ 4 ได้ผลลัพธ์คือ พันธุ์ที่ 1 หอมนาคา มีจำนวนข้าว 63 เมล็ด คิดเป็น 9.5 % พันธุ์ที่ 2 กัญญา 105 เมล็ด คิดเป็น 15.9 % พันธุ์ที่ 3 ไรซ์เบอร์รี่ 291 เมล็ด คิดเป็น 44.0 % พันธุ์ที่ 4 กข22 84 เมล็ด คิดเป็น 12.7 % พันธุ์ที่ 5 กุหลาบแดง 119 เมล็ดคิดเป็น 18 % โดยผลลัพธ์ที่จะแสดงเป็นข้อความ ให้ผู้ใช้ดูผลลัพธ์ ดังรูปที่ 4.25

ผลการตรวจ			
พันธุ์ที่ 1	หอมนาคา	6 เมล็ด	คิดเป็น 15.8%
พันธุ์ที่ 2	กัญญา	8 เมล็ด	คิดเป็น 21.1%
พันธุ์ที่ 3	ไรซ์เบอร์รี่	5 เมล็ด	คิดเป็น 13.2%
พันธุ์ที่ 4	กข22	10 เมล็ด	คิดเป็น 26.3%
พันธุ์ที่ 5	กุหลาบแดง	8 เมล็ด	คิดเป็น 21.1%
	สิ่งแปลกปลอม		คิดเป็น 1.0%

รูปที่ 4.27 ผลการทดลองครั้งที่ 5

จากรูปที่ 4.26 ทดลองที่ 5 ได้ผลลัพธ์คือ พันธุ์ที่ 1 หอมนาคา มีจำนวนข้าว 6 เมล็ด คิดเป็น 15.8 % พันธุ์ที่ 2 กัญญา 8 เมล็ด คิดเป็น 21.1 % พันธุ์ที่ 3 ไรซ์เบอร์รี่ 10 เมล็ด คิดเป็น 26.3 % พันธุ์ที่ 4 กข22 1 เมล็ด คิดเป็น 26.3 % พันธุ์ที่ 5 กุหลาบแดง 8 เมล็ดคิดเป็น 21.1 % และสิ่งแปลกปลอมคิดเป็น 1 % โดยผลลัพธ์ที่จะแสดงเป็นข้อความ ให้ผู้ใช้ดูผลลัพธ์ ดังรูปที่ 4.26

4.7 การทดลองที่ 7 เรื่องเพิ่มการเรียนรู้เมล็ดพันธุ์ข้าวเปลือกสายพันธุ์ใหม่หรือสิ่งแปลกปลอมใหม่

เป็นการทดลองเพิ่มภาพของเมล็ดพันธุ์ข้าวเปลือกใหม่หรือสิ่งแปลกปลอมใหม่ เป็นการเพิ่มคลาสของจำนวนข้อมูลในระบบให้มากยิ่งขึ้น ยิ่งข้อมูลในระบบมีมากขึ้น เครื่องสามารถตรวจพันธุ์ข้าวพันธุ์ใหม่ หรือสิ่งแปลกปลอมใหม่ได้

4.7.1 วัตถุประสงค์

- 1) เพื่อเพิ่มข้อมูลพันธุ์ใหม่ข้าวในระบบ
- 2) เพื่อเพิ่มข้อมูลสิ่งแปลกปลอมใหม่ในระบบ
- 3) เพื่อให้ข้อมูลในระบบมีมากขึ้น

4.7.2 วิธีการทดลอง

- 1) เสียบปลั๊กและเปิดสวิตช์แบบเลือกค่าที่ตำแหน่ง ON ที่ตัวเครื่อง
- 2) เปิดเบราว์เซอร์ไฟร์ฟอกซ์ (Firefox)
- 3) พิมพ์ในช่องค้นหา กูเกิลไดรฟ์ (Google Drive)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 4) ล็อกอินด้วยอีเมลดังนี้ saksitkmitl@gmail.com รหัสเวิร์ด: 0876211183Za
- 5) สร้างโฟลเดอร์ในกูเกิลไดรฟ์ จากนั้นทำการเพิ่มรูป
- 6) ไปที่โฟลเดอร์ Collab Notebooks
- 7) เปิดไฟล์ชื่อ Train
- 8) เรียกใช้เซลล์โปรแกรมที่ละส่วน
- 9) บันทึกผลการทดลองลงในตารางที่ 4.7

ตารางที่ 4.7 ผลการทดลองเพิ่มการเรียนรู้เมล็ดพันธุ์ข้าวเปลือกสายพันธุ์ใหม่หรือสิ่งแปลกปลอมใหม่

การทดลอง	ผลลัพธ์	ภาพตัวอย่าง
1) พันธุ์ข้าวแบ็คเบอร์รี่	✓	
2) พันธุ์ข้าวทับทิมชุมแพ	✓	
3) พันธุ์ข้าวหอมนิลจักรพรรดิ	✓	

หมายเหตุ: ✓ หมายถึงข้อมูลภาพของเมล็ดพันธุ์ข้าวเปลือกใหม่หรือสิ่งแปลกปลอมใหม่ที่สามารถที่เพิ่มได้

จากตารางที่ 4.7 ผลการทดลองในส่วนเพิ่มการเรียนรู้เมล็ดพันธุ์ข้าวเปลือกสายพันธุ์ใหม่หรือสิ่งแปลกปลอมใหม่สามารถทำได้ คลาสของโมเดลจะมีพันธุ์ข้าวเพิ่มขึ้น 3 พันธุ์ได้แก่ พันธุ์ข้าวที่ 6 แบ็คเบอร์รี่ พันธุ์ข้าวที่ 7 พันธุ์ข้าวทับทิมชุมแพ พันธุ์ที่ 8 หอมนิลจักรพรรดิ แต่ค่าความแม่นยำของโมเดลที่ได้นั้นขึ้นอยู่กับจำนวนรอบการเรียนรู้ใหม่ ถ้ามีรอบการเรียนรู้ที่มากจะได้โมเดลที่มีความแม่นยำมากกว่ารอบการเรียนรู้ที่ต่ำ แต่รอบการเรียนรู้ที่มากเกินไปส่งผลให้ โมเดลไม่เกิดการเรียนรู้จะเป็นการจำเพื่อนำมาตอบ

```
class_names = train_ds.class_names
print(class_names)
```

```
['พันธุ์ข้าวที่ 6 แบ็คเบอร์รี่', 'พันธุ์ข้าวที่ 7 พันธุ์ข้าวทับทิมชุมแพ', 'พันธุ์ข้าวที่ 8 หอมนิลจักรพรรดิ',
```

รูปที่ 4.28 ผลการทดลองเพิ่มพันธุ์ใหม่ 3 สายพันธุ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุปและข้อเสนอแนะ

บทสรุปและข้อเสนอแนะ ในบทนี้จะกล่าวถึงสรุปผลการทดลอง ปัญหาและอุปสรรค ข้อเสนอแนะและวิธีการแก้ไขปัญหา ของเครื่องตรวจสอบพันธุ์ข้าวเปลือก

5.1 สรุปผลการทดลอง

จากการทดลองจำนวนข้อมูลสายพันธุ์ข้าวเปลือกที่มีในระบบ ข้อมูลภายในเครื่องจะมี ข้อมูลภาพเมล็ดพันธุ์ข้าวเปลือกในระบบมีครบ 5 สายพันธุ์เป็นข้อมูลเริ่มต้นที่จะมีในระบบและมีพันธุ์ ข้าวดังนี้ 1) ข้าวหอมนาคา 2) ข้าวเหนียวกัญญา 3) ข้าวไรซ์เบอร์รี่ 4) ข้าวเหนียวข.22 5) ข้าวหอม กุหลาบแดง และการทดลองภาพสายพันธุ์ข้าวที่ไม่ได้ลบพื้นหลังมีค่าแม่นยำของโมเดลมากที่สุดคือ 94 เปอร์เซ็นต์ โมเดลนี้ไม่เหมาะกับการไปใช้งานจริงแม้จะมีค่าความแม่นยำสูง เพราะการสกัด คุณลักษณะจากโมเดลนั้น อาจไปสกัดพื้นหลังจึงทำให้โมเดลนี้ การตรวจพันธุ์ข้าวมีข้อผิดพลาดได้ ภาพข้าว 5 สายพันธุ์ที่ลบพื้นหลังที่มีจำนวนชั้นฟิจเจอร์เลิร์นนิ่ง 2 ชั้น มีค่าความแม่นยำ 71 เปอร์เซ็นต์ เมื่อเพิ่มจำนวนชั้นฟิจเจอร์เลิร์นนิ่งตามลำดับจะได้ค่าความแม่นยำของโมเดล 76 เปอร์เซ็นต์ และ 85 เปอร์เซ็นต์ จึงเลือกใช้โมเดลภาพข้าว 5 สายพันธุ์ที่ลบพื้นหลังมีจำนวนชั้นฟิจเจอร์ เลิร์นนิ่ง 4 ชั้น ค่าความแม่นยำ 85 เปอร์เซ็นต์ และการทดลองการตรวจสอบความถูกต้องของข้อมูล เมล็ดพันธุ์ข้าวเปลือกที่มีข้อมูลอยู่ในระบบ การทำนายผลของข้าวหอมนาคา 50 ภาพ ถูกต้อง 34 ภาพ คิดเป็น 68 เปอร์เซ็นต์ ข้าวเหนียวกัญญา 50 ภาพ ถูกต้อง 48 ภาพ คิดเป็น 96 เปอร์เซ็นต์ ข้าวไรซ์ เบอร์รี่ 50 ภาพ ถูกต้อง 41 ภาพ คิดเป็น 82 เปอร์เซ็นต์ ข้าวเหนียวข.22 50 ภาพ ถูกต้อง 41 ภาพ คิดเป็น 82 เปอร์เซ็นต์ ข้าวหอมกุหลาบแดง 28 ภาพ ถูกต้อง 18 ภาพ คิดเป็น 36 เปอร์เซ็นต์ โมเดลที่ ใช้ในการทดลองยังไม่เหมาะในการใช้งานได้จริง เนื่องจากความถูกต้องของพันธุ์ข้าวหอมนาคา และ พันธุ์ข้าวหอมกุหลาบแดงมีความถูกต้องไม่น้อยน้อยกว่า 50 เปอร์เซ็นต์ และการทดลองการใช้น้ำต่าง สำหรับการสื่อสารกับผู้ใช้งานไม่สามารถทำได้ เนื่องจากบอร์ด Jetson nano ไม่สามารถเปิดไฟล์ ประเภท .exe จึงเปลี่ยนการแสดงผลวิธีให้แก่ผู้ใช้ผ่านกูเกิลโคลแลป และจากการทดลองการเก็บภาพ ในระยะเวลา 1 ชั่วโมง 30 นาที ครั้งที่ 1 สามารถเก็บภาพได้ 702 ภาพ น้ำหนัก 20 กรัม การทดลอง ครั้งที่ 2 สามารถเก็บภาพได้ 766 ภาพ น้ำหนัก 25 การทดลองครั้งที่ 3 สามารถเก็บภาพได้ 622 ภาพ น้ำหนัก 22 กรัม และจากการทดลองเพื่อแสดงต่าง ๆ ผ่านทางกูเกิลโคลแลป ให้ผู้ใช้งานสามารถทำได้ โดยจะแสดงผลให้ผู้ใช้งานผลการตรวจพันธุ์ข้าวเปลือกได้ดังนี้ แสดงจำนวน ชนิด ค่าเปอร์เซ็นต์ของสาย พันธุ์ข้าว และค่าเปอร์เซ็นต์ของสิ่งแปลกปลอม และผลการทดลองในส่วนเพิ่มการเรียนรู้เมล็ดพันธุ์ ข้าวเปลือกสายพันธุ์ใหม่หรือสิ่งแปลกปลอมใหม่สามารถทำได้ คลาสของโมเดลจะมีพันธุ์ข้าวเพิ่มขึ้น 3 พันธุ์ได้แก่ พันธุ์ข้าวที่ 6 แบ็คเบอร์รี่ พันธุ์ข้าวที่ 7 พันธุ์ข้าวทับทิมชุมแพ พันธุ์ที่ 8 หอมนิลจักรพรรดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ค่าความแม่นยำของโมเดลที่ได้นั้นขึ้นอยู่กับจำนวนรอบการเรียนรู้ใหม่ ถ้ามีรอบการเรียนรู้ที่มากจะได้โมเดลที่มีความแม่นยำมากกว่ารอบการเรียนรู้ที่ต่ำ แต่รอบการเรียนรู้ที่มากเกินไปส่งผลให้ โมเดลไม่เกิดการเรียนรู้จะเป็นการจำเพื่อนำมาตอบ

5.2 ปัญหาและอุปสรรค

- 1) การสร้างโมเดลด้วยตนเอง อาจมีค่าความแม่นยำที่ต่ำ อันเนื่องมาจากการจัดการภาพที่อาจไม่เหมาะสมมากพอ ภาพที่นำเข้ามาใช้ในการสร้างโมเดลมีจำนวนไม่เพียงพอ
- 2) ข้อมูลที่ได้นำมาทดลอง เป็นข้อมูลที่ไม่ทราบระยะที่เก็บเกี่ยว บรรจุ และนำมาขาย จึงทำให้ลักษณะของเมล็ดพันธุ์ข้าวเปลือกนั้นมีความเปลี่ยนแปลง
- 3) บอร์ดเจ็ดสัณฐานโนรุ่นที่ใช้ มีแรมที่น้อยจึงไม่เพียงพอต่อการทำต่อการทำงานทดลองโค๊ดบนบอร์ดต่างๆ จึงทำให้บอร์ด Jetson nano นั้นค้างได้

5.3 ข้อเสนอแนะและวิธีการแก้ปัญหา

- 1) เพิ่มการจัดการภาพให้มีความหลากหลายมากยิ่งขึ้น เพื่อเพิ่มความแม่นยำให้กับโมเดล
- 2) ศึกษาการใช้การถ่ายถอดการเรียนรู้และการปรับแต่ง (Transfer Learning And Fine-Tuning) เพื่อเพิ่มความแม่นยำให้กับโมเดล

เอกสารอ้างอิง

- [1] “มอเตอร์ไฟฟ้ากระแสตรง” (Motor DC) (ระบบออนไลน์) แหล่งที่มา: <https://naichangmashare.com/2021/05/28/electric-motor-ep-1/>, เข้าถึงครั้งสุดท้าย 29 พฤศจิกายน 2565.
- [2] “กล้องจุลทรรศน์แบบดิจิทัล” (Digital Microscope) (ระบบออนไลน์) แหล่งที่มา: <https://shorturl.asia/q67au/>, เข้าถึงครั้งสุดท้าย 4 ธันวาคม 2565.
- [3] “สายพานลำเลียงแบบพีวีซี” (PVC Belt Conveyor) (ระบบออนไลน์) แหล่งที่มา: <http://heiphar.blogspot.com/2014/08/belt-conveyor.html/>, เข้าถึงครั้งสุดท้าย 3 มกราคม 2566.
- [4] “คีย์บอร์ดไร้สาย” (Keyboard wireless) (ระบบออนไลน์) แหล่งที่มา: <https://shorturl.asia/TZBp7/>, เข้าถึงครั้งสุดท้าย 5 มกราคม 2566.
- [5] “สวิตช์” (Keyboard wireless) (ระบบออนไลน์) แหล่งที่มา: <https://shorturl.asia/TZBp7/>, เข้าถึงครั้งสุดท้าย 6 กุมภาพันธ์ 2566.
- [6] ดร. กฤษ เฉยไสย, “Power Electronics”, ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยขอนแก่น ขอนแก่น, 2547.
- [7] “สวิตชิงเพาเวอร์ซัพพลาย” (Switching Power Supply) (ระบบออนไลน์) แหล่งที่มา: <https://shorturl.asia/4JC3q/>, เข้าถึงครั้งสุดท้าย 7 กุมภาพันธ์ 2566.
- [8] “สวิตชิงเพาเวอร์ซัพพลาย” (Switching Power Supply) (ระบบออนไลน์) แหล่งที่มา: <https://shorturl.asia/EJqsb/>, เข้าถึงครั้งสุดท้าย 7 กุมภาพันธ์ 2566.
- [9] “พัดลมดูดอากาศ” (Exhaust Fan) (ระบบออนไลน์) แหล่งที่มา: <https://shorturl.asia/AZh04/>, เข้าถึงครั้งสุดท้าย 10 กุมภาพันธ์ 2566.
- [10] “เบรกเกอร์” (Breaker) (ระบบออนไลน์) แหล่งที่มา: <https://shorturl.asia/FLAYG/>, เข้าถึงครั้งสุดท้าย 11 กุมภาพันธ์ 2566.
- [11] “เจ็ทสันนาโน” (Jetson Nano) (ระบบออนไลน์) แหล่งที่มา: <https://shorturl.asia/PtbsJ/>, เข้าถึงครั้งสุดท้าย 5 ตุลาคม 2565.
- [12] “โอเพินซีวี” (OpenCv) (ระบบออนไลน์) แหล่งที่มา: <https://shorturl.asia/PtbsJ/>, เข้าถึงครั้งสุดท้าย 20 มีนาคม 2566.

เอกสารอ้างอิง (ต่อ)

- [13] “เทนเซอร์โฟล” (TensorFlow) (ระบบออนไลน์) แหล่งที่มา: <https://www.thaiprogrammer.org/2018/12/มาทำความรู้จัก-tensorflow/>, เข้าถึงครั้งสุดท้าย 30 พฤษภาคม 2566.
- [14] “โครงข่ายประสาทเทียมแบบคอนโวลูชัน” (Convolutional Neural Network) (ระบบออนไลน์) แหล่งที่มา: <https://shorturl.asia/WHfuK/>, เข้าถึงครั้งสุดท้าย 5 มิถุนายน 2566.
- [15] บัญชา ปะสีละเตสังม, “การเขียนโปรแกรมด้วย Python ฉบับพื้นฐาน”, กรุงเทพฯ: ซีเอ็ด, 2565.
- [16] อรพิน ประวัตติบริสุทธิ, “คัมภีร์ Python ฉบับสมบูรณ์”, บจก.โปรวิชั่น, 2564.
- [17] สุวัฒน์ แซ่ตัน, “เทคนิคและการออกแบบ สวิตซ์เพาเวอร์ซัพพลาย”, สำนักพิมพ์หุ่นไขไก่, 2558
- [18] กฤษณ์ อินทรนนท์, “ตู้ควบคุมระบบไฟ”, สำนักพิมพ์คอร์ฟิงก์ชั่น, 2564



ภาคผนวก ก

โปรแกรมควบคุมระบบเครื่องตรวจสอบสายพันธ์ข้าวเปลือก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมการแปลงขนาดและลบพื้นหลังรูปภาพ

```
!pip install rembg #ติดตั้งไลบรารีเสริม
```

```
!pip3 install scikit-image #ติดตั้งไลบรารีเสริม
```

```
#เรียกใช้งานไลบรารี
```

```
from rembg import remove
```

```
from skimage import io
```

```
import matplotlib.pyplot as plt
```

```
import cv2
```

```
import pathlib
```

```
import os
```

```
#กำหนดโฟลเดอร์ที่ต้องการจะปรับขนาดและลบพื้นหลัง
```

```
dataname1 = "พันธุ์ที่ 1 หอมนาคา" #ชื่อโฟลเดอร์ที่ต้องการจะเรียกใช้ภาพ
```

```
imagename1 = "RN" #ชื่อไฟล์รูปภาพที่ต้องการจะแปลง
```

```
input_path1 = "drive/MyDrive/image test 50/"+dataname1+"/*jpg"
```

```
output_path1 = "drive/MyDrive/image test 50/T2/"+dataname1+"/"
```

```
data_dir2 = pathlib.Path(input_path1)
```

```
image_count = len(list(data_dir2.glob('*jpg')))
```

```
#ฟังก์ชันในการอ่านรูปปรับขนาดและลบพื้นหลังภาพ
```

```
i=1
```

```
from glob import glob
```

```
for image in glob(input_path1):
```

```
    image_count = image_count+1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

print(image)

img1 = io.imread(image)

image_rgb = cv2.cvtColor(img1, cv2.COLOR_BGR2RGB)

imgresize = cv2.resize(image_rgb,(640,640))

output = remove(imgresize)

name2 = output_path1+imagename1+str(i)+".jpg"

cv2.imwrite(name2, imgresize)

i=i+1

print("เสร็จสิ้นการแปลง")

```

โปรแกรมที่ใช้ในการสร้างโมเดลและกระบวนการเรียนรู้

```

import tensorflow as tf

import PIL

from tensorflow.keras import layers

import matplotlib.pyplot as plt

import numpy as np

import pickle as p

import plotly

from tensorflow.keras.models import load_model

from tensorflow.keras.models import model_from_json

import plotly.graph_objs as go

from tensorflow import keras

from tensorflow.keras.models import Sequential

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

import pickle as p

import pathlib

dataset = "drive/MyDrive/dataset/train" #ที่อยู่ข้อมูล

data_dir = pathlib.Path(dataset)

image_count = len(list(data_dir.glob('*/*.jpg')))

print("image_count : ",image_count)

#กำหนดขนาดของรูปภาพเข้า

batch_size = 60

img_height = 250

img_width = 250

#สุ่มรูปภาพที่จะใช้ Train และ Validation

train_ds = tf.keras.preprocessing.image_dataset_from_directory(

    data_dir,

    validation_split=0.2,

    subset="training",

    seed=120,

    image_size=(img_height, img_width),

    batch_size=batch_size)

val_ds = tf.keras.preprocessing.image_dataset_from_directory(

    data_dir,

    validation_split=0.2,

    subset="validation",

    seed=120,

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

image_size=(img_height, img_width),

batch_size=batch_size)

class_names = train_ds.class_names

print(class_names)

#ทำการ normalization แปลงค่าสี เป็น 0 1

normalization_layer = layers.experimental.preprocessing.Rescaling(1./255)

normalized_ds = train_ds.map(lambda x, y: (normalization_layer(x), y))

image_batch, labels_batch = next(iter(normalized_ds))

first_image = image_batch[0]

print(np.min(first_image), np.max(first_image))

#การสร้างคอนโวลูชั่น

num_classes = len(class_names)

model = Sequential([

    layers.experimental.preprocessing.Rescaling(1./255, input_shape=(img_height,
img_width, 3)),

    layers.Conv2D(16, 3, padding='same', activation='relu'),

    layers.MaxPooling2D(),

    layers.Conv2D(32, 3, padding='same', activation='relu'),

    layers.MaxPooling2D(),

    layers.Conv2D(64, 3, padding='same', activation='relu'),

    layers.MaxPooling2D(),

    layers.Conv2D(64, 3, padding='same', activation='relu'),

    layers.MaxPooling2D(),

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

layers.Flatten(),

layers.Dense(128, activation='relu'),

layers.Dense(num_classes)

])

model.compile(optimizer='adam',

                loss=tf.keras.losses.SparseCategoricalCrossentropy(from_logits=True),

                metrics=['accuracy'])

model.summary()

#การ Train

epochs=20

history = model.fit(

    train_ds,

    validation_data=val_ds,

    epochs=epochs

)

#บันทึกไฟล์โมเดลและเรียกใช้โมเดล

with open('history_model','wb') as file :

    p.dump(history.history,file)

filepath_model = 'model1.json'

filepath_weights = 'weights_model.h5'

model_json = model.to_json()

with open(filepath_model,"w") as json_file :

    json_file.write(model_json)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

model.save_weights('weights_model.h5')

print("save model to disk")

predict_model = load_model(file_path)

predict_model.summary()

with open(filepath_model, 'r') as f:

    loaded_model_json = f.read()

    predict_model = model_from_json(loaded_model_json)

    predict_model.load_weights(filepath_weights)

    print("Loaded model from disk")
#ขั้นตอนการทำนายผล
import requests

from IPython.display import Image

from io import BytesIO

test_path = ("drive/MyDrive/dataset/test/พันธุ์ที่ 4 กข22/RD2.jpg") #ที่อยู่ของ test

img = tf.keras.utils.load_img(

    test_path, target_size=(img_height, img_width)

)

img_array = tf.keras.utils.img_to_array(img)

img_array = tf.expand_dims(img_array, 0) # Create a batch

predictions = model.predict(img_array)

score = tf.nn.softmax(predictions[0])

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

display(Image(filename=test_path,width=250, height=250))

if score[0]==np.max(score) :
    rice = "พันธุ์ที่ 1 หอมนาคา "

elif score[1]==np.max(score) :
    rice = "พันธุ์ที่ 2 กัญญา"

elif score[2]==np.max(score) :
    rice = "พันธุ์ที่ 3 ไรซ์เบอร์รี่"

elif score[3]==np.max(score) :
    rice = "พันธุ์ที่ 4 กข22"

elif score[4]==np.max(score) :
    rice = "พันธุ์ที่ 5 กุหลาบแดง"

print(

    "เมล็ดพันธุ์ที่ตรวจสอบได้คือ {} "

    .format(rice, 100 * np.max(score))

)

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



คู่มือการใช้งานเครื่องตรวจสอบพันธุ์ข้าวเปลือก



สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

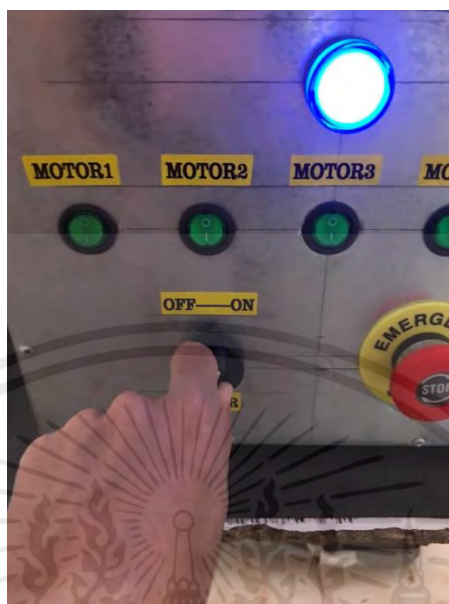
วิทยาเขตชุมพรเขตรอุดมศักดิ์ จังหวัดชุมพร

ปีการศึกษา 2565

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้งานเครื่องตรวจสอบพันธุ์ข้าวเปลือกเพื่อบันทึกภาพ

- 1) เสียบปลั๊กแล้วทำการเปิดเครื่องโดยหมุนสวิตช์ ดังรูปที่ ข.1



รูปที่ ข.1 หมุนสวิตช์เพื่อเปิดเครื่อง

- 2) เปิดสวิตช์ Motor2, Motor3, Motor4 ดังรูปที่ ข.2



รูปที่ ข.2 เปิดสวิตช์เพื่อให้ชุดเกลียวและลำเลียงข้าวทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3) เทข้าวใส่ชุดเกลียวข้าว ดังรูปที่ ข.3



รูปที่ ข.3 เทข้าวใส่ชุดเกลียวข้าว

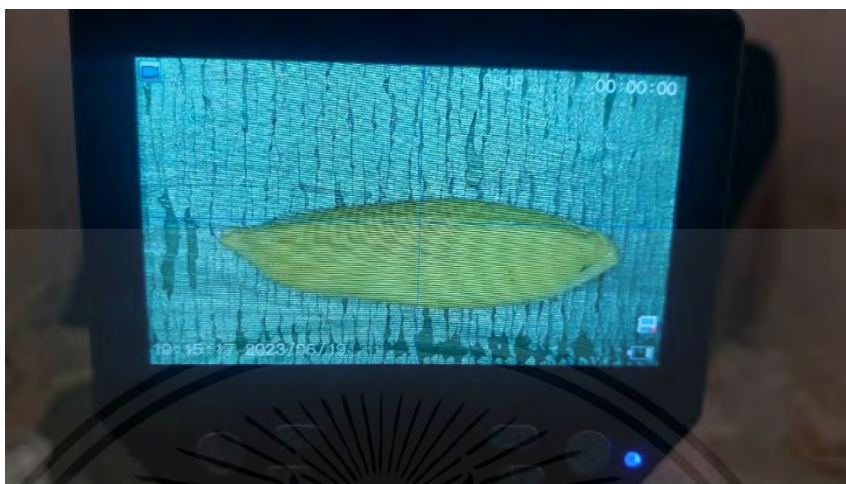
4) เมล็ดข้าวจะไหลไปยังช่องเรียงเมล็ดข้าว ดังรูปที่ ข.4



รูปที่ ข.4 เมล็ดข้าวจะไหลไปยังช่องเรียงเมล็ดข้าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

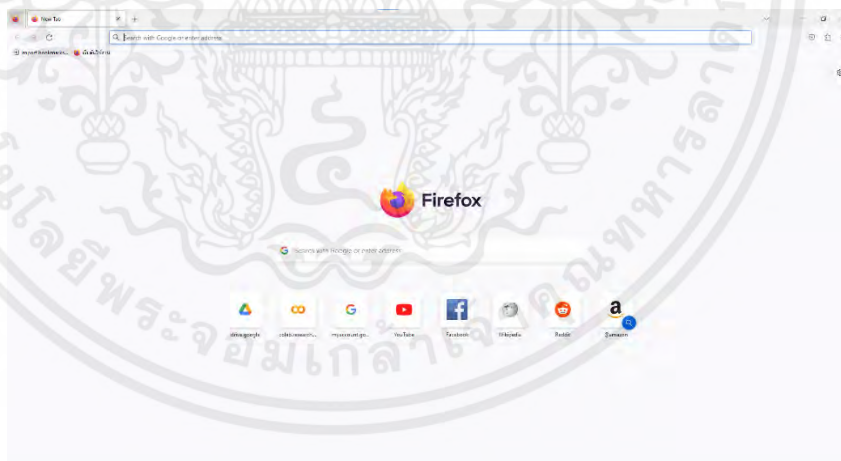
5) เมล็ดข้าวไหลผ่านกล้องจุลทรรศน์แบบดิจิทัล กถ่ายภาพที่ตัวกล้องเพื่อบันทึกภาพ ดังรูปที่ ข.5



รูปที่ ข.5 กถ่ายภาพที่ตัวกล้องเพื่อบันทึกภาพ

การใช้งานเครื่องตรวจสอบพันธุ์ข้าวเปลือกเพื่อตรวจสอบพันธุ์ข้าว

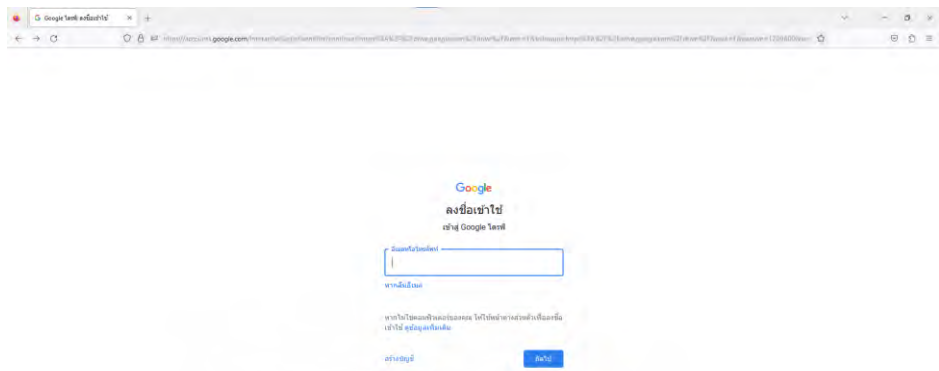
1) เปิดเบราว์เซอร์ไฟร์ฟอกซ์ (Firefox) ดังรูปที่ ข.6



รูปที่ ข.6 เปิดเบราว์เซอร์ไฟร์ฟอกซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) ล็อกอินด้วยอีเมล saksitkmit@gmail.com พาสเวิร์ด 0876211183Za ดังรูปที่ ข.7



รูปที่ ข.7 ล็อกอินกูเกิลไดรฟ์

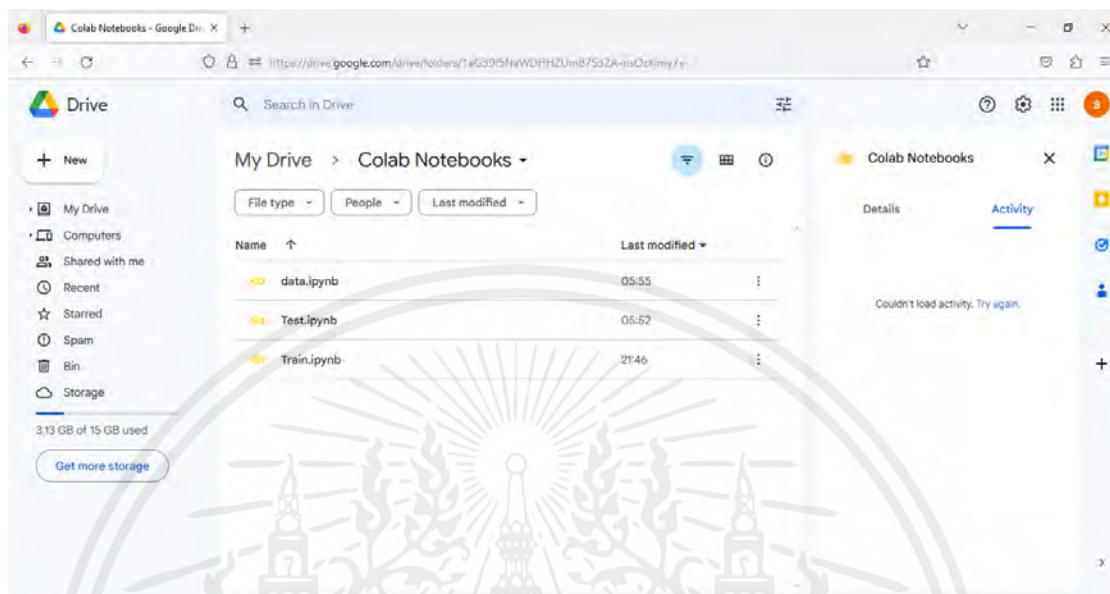
3) เลือก Collab Notebooks ดังรูปที่ ข.8



รูปที่ ข.8 เลือกการใช้งาน Colab Notebooks

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4) หากต้องการที่จะปรับขนาดและลบพื้นหลังของรูปให้เลือกไฟล์ data.ipynb ถ้าต้องการเลือกที่จะเรียนรู้หรือสร้างเดลให้เลือกไฟล์ Train.ipynb และถ้าต้องการจะตรวจสอบพันธุ์ข้าวให้เลือกไฟล์ Test.ipynb ดังรูปที่ ข.9



รูปที่ ข.9 เลือกการใช้งาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



DATA SHEET

NVIDIA Jetson Nano System-on-Module

Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

Maxwell GPU[†]

128-core GPU | End-to-end lossless compression | Tile Caching | OpenGL[®] 4.6 | OpenGL ES 3.2 | Vulkan™ 1.1 | CUDA[®] | OpenGL ES Shader Performance (up to): 512 GFLOPS (FP16) | Maximum Operating Frequency: 921MHz

CPU

ARM[®] Cortex[®]-A57 MPCore (Quad-Core) Processor with NEON Technology | L1 Cache: 48KB L1 instruction cache (I-cache) per core; 32KB L1 data cache (D-cache) per core | L2 Unified Cache: 2MB | Maximum Operating Frequency: 1.43GHz

Audio

Industry standard High Definition Audio (HDA) controller provides a multichannel audio path to the HDMI interface.

Memory

Dual Channel | System MMU | Memory Type: 4ch x 16-bit LPDDR4 | Maximum Memory Bus Frequency: 1600MHz | Peak Bandwidth: 25.6 GB/s | Memory Capacity: 4GB

Storage

eMMC 5.1 Flash Storage | Bus Width: 8-bit | Maximum Bus Frequency: 200MHz (HS400) | Storage Capacity: 16GB

Boot Sources

eMMC and USB (recovery mode)

Networking

10/100/1000 BASE-T Ethernet | Media Access Controller (MAC)

Imaging

Dedicated RAW to YUV processing engines process up to 1400Mpix/s (up to 24MP sensor) | MIPI CSI 2.0 up to 1.5Gbps (per lane) | Support for x4 and x2 configurations (up to four active streams).

Operating Requirements

Temperature Range (T_j): -25 – 97C* | Module Power: 5 – 10W | Power Input: 5.0V

Note: Refer to the software release feature list for current software support; all features may not be available for a particular OS.

[†] Product is based on a published Khronos Specification and is expected to pass the Khronos Conformance Process. Current conformance status can be found at www.khronos.org/conformance

* See the *Jetson Nano Thermal Design Guide* for details. Listed temperature range is based on module T_j characterization.

Display Controller

Two independent display controllers support DSI, HDMI, DP, eDP: MIPI-DSI (1.5Gbps/lane): Single x2 lane | Maximum Resolution: 1920x960 at 60Hz (up to 24bpp) | HDMI 2.0a/b (up to 6Gbps) | DP 1.2a (HBR2 5.4 Gbps) | eDP 1.4 (HBR2 5.4Gbps) | Maximum Resolution (DP/eDP/HDMI): 3840 x 2160 at 60Hz (up to 24bpp)

Clocks

System clock: 38.4MHz | Sleep clock: 32.768kHz | Dynamic clock scaling and clock source selection

Multi-Stream HD Video and JPEG**Video Decode**

H.265 (Main, Main 10): 2160p 60fps | 1080p 240fps
H.264 (BP/MP/HP/Stereo SEI half-res): 2160p 60fps | 1080p 240fps
H.264 (MVC Stereo per view): 2160p 30fps | 1080p 120fps
VP9 (Profile 0, 8-bit): 2160p 60fps | 1080p 240fps
VP8: 2160p 60fps | 1080p 240fps
VC-1 (Simple, Main, Advanced): 1080p 120fps | 1080i 240fps
MPEG-2 (Main): 2160p 60fps | 1080p 240fps | 1080i 240fps

Video Encode

H.265: 2160p 30fps | 1080p 120fps
H.264 (BP/MP/HP): 2160p 30fps | 1080p 120fps
H.264 (MVC Stereo per view): 1440p 30fps | 1080p 60fps
VP8: 2160p 30fps | 1080p 120fps
JPEG (Decode and Encode): 600 MP/s

Peripheral Interfaces

xHCI host controller with integrated PHY: 1 x USB 3.0, 3 x USB 2.0 | USB 3.0 device controller with integrated PHY | EHCI controller with embedded hub for USB 2.0 | 4-lane PCIe: one x1/2/4 controller | single SD/MMC controller (supporting SDIO 4.0, SD HOST 4.0) | 3 x UART | 2 x SPI | 4 x I2C | 2 x I2S: support I2S, RJM, LJM, PCM, TDM (multi-slot mode) | GPIOs

Mechanical

Module Size: 69.6 mm x 45 mm | PCB: 8L HDI | Connector: 260 pin SO-DIMM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Revision History

Version	Date	Description
v0.1	JAN 2019	Initial Release
v0.7	MAY 2019	Description <ul style="list-style-type: none"> Memory: corrected peak bandwidth Peripheral Interfaces: corrected number of available I2C interfaces Functional Overview <ul style="list-style-type: none"> Removed block diagram; see the <i>Jetson Nano Product Design Guide</i> for these details Power and System Management <ul style="list-style-type: none"> Removed On-Module Internal Power Rails table Updated Power Domains table Updated Programmable Interface Wake Event table Updated Power Up/Down sequence diagrams Pin Descriptions <ul style="list-style-type: none"> Updated throughout to reflect updated pinmux GPIO Pins: updated table to reflect dedicated GPIO pins only (see pinmux for ALL GPIO capable pins) Interface Descriptions <ul style="list-style-type: none"> Updated throughout to reflect updated pinmux Embedded DisplayPort (eDP) Interface: clarified DP use/limitations on DP0 MIPI Camera Serial Interface (CSI) - Updated CSI description to remove erroneous reference to virtual channels Physical/Electrical Characteristics <ul style="list-style-type: none"> Absolute Maximum Ratings - Added reference to <i>Jetson Nano Thermal Design Guide</i> for Operating Temperature; extended IDD_{MAX} to 5A Pinout: Updated to reflect updated pinmux Package Drawing and Dimensions - Updated drawing
v0.8	OCT 2019	Description <ul style="list-style-type: none"> Operating Requirements: corrected Module Power to reflect power for module only (previous stated range included module + IO); updated Temperature Range for clarity; included maximum operating temperature and updated note to reflect module temperature is based on T_1.
v1.0	FEB 2020	Pin Descriptions <ul style="list-style-type: none"> GPIO Pins: corrected pin number listing for GPIO01 Interface Descriptions <ul style="list-style-type: none"> High-Definition Multimedia Interface (HDMI) and DisplayPort (DP) Interfaces reference to YUV output support Gigabit Ethernet - Corrected Realtek Gigabit Ethernet Controller part number Physical/Electrical Characteristics <ul style="list-style-type: none"> Operating and Absolute Maximum Ratings - Added Mounting Force to Absolute Maximum Ratings table Package Drawing and Dimensions - Updated drawing Environmental & Mechanical Screening - Added section
v1.1	MAY 2022	Power and System Management <ul style="list-style-type: none"> Moved PMIC_BBAT information to new sub-section Updated PMIC_BBAT Pin Description Pin Descriptions <ul style="list-style-type: none"> GPIO Pins: updated GPIO8 (pin 208) description; Fan tachometer only Interface Descriptions <ul style="list-style-type: none"> SD/SDIO - Updated pin descriptions to include 3.3V support; deprecated GPIO8 SD Card Defect support SPI - updated master timing diagram and parameters UART - UART1_CTS (pin 209) updated PoR Physical/Electrical Characteristics <ul style="list-style-type: none"> Package Drawing and Dimensions - added module dimensions table

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

Table of Contents

1.0 Functional Overview	5
1.1 Maxwell GPU	5
1.2 CPU Complex	6
1.2.1 Snoop Control Unit and L2 Cache	6
1.2.2 Performance Monitoring	7
1.3 High-Definition Audio-Video Subsystem	7
1.3.1 Multi-Standard Video Decoder	7
1.3.2 Multi-Standard Video Encoder	7
1.3.3 JPEG Processing Block	8
1.3.4 Video Image Compositor (VIC)	8
1.4 Image Signal Processor (ISP)	9
1.5 Display Controller Complex	9
1.6 Memory	10
2.0 Power and System Management	11
2.1 Power Rails	12
2.2 PMIC_BBAT	12
2.3 Power Domains/Islands	12
2.4 Power Management Controller (PMC)	13
2.4.1 Resets	13
2.4.2 System Power States and Transitions	13
2.4.2.1 ON State	14
2.4.2.2 OFF State	14
2.4.2.3 SLEEP State	14
2.5 Thermal and Power Monitoring	15
2.6 Power Sequencing	15
2.6.1 Power Up	15
2.6.2 Power Down	15
3.0 Pin Descriptions	17
3.1 MPIO Power-on Reset Behavior	17
3.2 MPIO Deep Sleep Behavior	18
3.3 GPIO Pins	19
4.0 Interface Descriptions	20
4.1 USB	20
4.2 PCI Express (PCIe)	21
4.3 Display Interfaces	22
4.3.1 MIPI Display Serial Interface (DSI)	22
4.3.2 High-Definition Multimedia Interface (HDMI) and DisplayPort (DP) Interfaces	23
4.3.3 Embedded DisplayPort (eDP) Interface	24
4.4 MIPI Camera Serial Interface (CSI) / VI (Video Input)	25
4.5 SD / SDIO	27
4.6 Inter-IC Sound (I ² S)	28
4.7 Miscellaneous Interfaces	29
4.7.1 Inter-Chip Communication (I2C)	29
4.7.2 Serial Peripheral Interface (SPI)	29
4.7.3 UART	31
4.7.4 Gigabit Ethernet	32
4.7.5 Fan	33
4.7.6 Debug	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA.

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

5.0 Physical / Electrical Characteristics	34
5.1 Operating and Absolute Maximum Ratings	34
5.2 Digital Logic	35
5.3 Environmental & Mechanical Screening	35
5.4 Pinout	37
5.5 Package Drawing and Dimensions	38



JETSON | NANO | DATASHEET | DA-09366-001_v1.1 | SUBJECT TO CHANGE | COPYRIGHT © 2014 – 2022 NVIDIA CORPORATION. ALL RIGHTS RESERVED.

4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA.

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

1.0 Functional Overview

Designed for use in power-limited environments, the Jetson Nano squeezes industry-leading compute capabilities, 64-bit operating capability, and integrated advanced multi-function audio, video and image processing pipelines into a 260-pin SO-DIMM. The Maxwell GPU architecture implemented several architectural enhancements designed to extract maximum performance per watt consumed. Core components of the Jetson Nano series module include:

- NVIDIA® Tegra® X1 series SoC
 - NVIDIA Maxwell GPU
 - ARM® quad-core Cortex®-A57 CPU Complex
- 4GB LPDDR4 memory
- 16GB eMMC 5.1 storage
- Gigabit Ethernet (10/100/1000 Mbps)
- PMIC, regulators, power and voltage monitors
- 260-pin keyed connector (exposes both high-speed and low-speed industry standard I/O)
- On-chip temperature sensors

1.1 Maxwell GPU

The Graphics Processing Cluster (GPC) is a dedicated hardware block for rasterization, shading, texturing, and compute; most of the GPU's core graphics functions are performed inside the GPC. Within the GPC there are multiple Streaming Multiprocessor (SM) units and a Raster Engine. Each SM includes a Polymorph Engine and Texture Units; raster operations remain aligned with L2 cache slices and memory controllers

The Maxwell GPU architecture introduced an all-new design for the SM, redesigned all unit and crossbar structures, optimized data flows, and significantly improved power management. The SM scheduler architecture and algorithms were rewritten to be more intelligent and avoid unnecessary stalls, while further reducing the energy per instruction required for scheduling. The organization of the SM also changed; each Maxwell SM (called SMM) is now partitioned into four separate processing blocks, each with its own instruction buffer, scheduler and 32 CUDA cores.

The SMM CUDA cores perform pixel/vertex/geometry shading and physics/compute calculations. Texture units perform texture filtering and load/store units fetch and save data to memory. Special Function Units (SFUs) handle transcendental and graphics interpolation instructions. Finally, the Polymorph Engine handles vertex fetch, tessellation, viewport transform, attribute setup, and stream output. The SMM geometry and pixel processing performance make it highly suitable for rendering advanced user interfaces and complex gaming applications; the power efficiency of the Maxwell GPU enables this performance on devices with power-limited environments.

Features:

- End-to-end lossless compression
- Tile Caching
- Support for OpenGL 4.6, OpenGL ES 3.2, Vulkan 1.1, DirectX 12, CUDA 10 (FP16)
- Adaptive Scalable Texture Compression (ATSC) LDR profile supported
- Iterated blend, ROP OpenGL-ES blend modes
- 2D BLIT from 3D class avoids channel switch
- 2D color compression
- Constant color render SM bypass
- 2x, 4x, 8x MSAA with color and Z compression
- Non-power-of-2 and 3D textures, FP16 texture filtering



NVIDIA.

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

- FP16 shader support
- Geometry and Vertex attribute Instancing
- Parallel pixel processing
- Early-z reject: Fast rejection of occluded pixels acts as multiplier on pixel shader and texture performance while saving power and bandwidth
- Video protection region
- Power saving: Multiple levels of clock gating for linear scaling of power

GPU frequency and voltage are actively managed by Tegra Power and Thermal Management Software and influenced by workload. Frequency may be throttled at higher temperatures (above a specified threshold) resulting in a behavior that reduces the GPU operating frequency. Observed chip-to-chip variance is due to NVIDIA ability to maximize performance (DVFS) on a per-chip basis, within the available power budget.

1.2 CPU Complex

The CPU complex is a high-performance Multi-Core SMP cluster of four ARM Cortex-A57 CPUs with 2MB of L2 cache (shared by all cores). Features include:

- Superscalar, variable-length, out-of-order pipeline
- Dynamic branch prediction with Branch Target Buffer (BTB) and Global History Buffer RAMs, a return stack, and an indirect predictor
- 48-entry fully-associative L1 instruction TLB with native support for 4KB, 64KB, and 1MB page sizes.
- 32-entry fully-associative L1 data TLB with native support for 4KB, 64KB, and 1MB pages sizes.
- 4-way set-associative unified 1024-entry Level 2 (L2) TLB in each processor
- 48Kbyte I-cache and 32Kbyte D-cache for each core.
- Full implementation of ARMv8 architecture instruction set
- Embedded Trace Microcell (ETM) based on the ETMv4 architecture
- Performance Monitor Unit (PMU) based on the PMUV3 architecture
- Cross Trigger Interface (CTI) for multiprocessor debugging
- Cryptographic Engine for crypto function support
- Interface to an external Generic Interrupt Controller (vGIC-400)
- Power management with multiple power domains

CPU frequency and voltage are actively managed by Tegra Power and Thermal Management Software and influenced by workload. Frequency may be throttled at higher temperatures (above a specified threshold) resulting in a behavior that reduces the CPU operating frequency. Observed chip-to-chip variance is due to NVIDIA ability to maximize performance (DVFS) on a per-chip basis, within the available power budget.

1.2.1 Snoop Control Unit and L2 Cache

The CPU cluster includes an integrated snoop control unit (SCU) that maintains coherency between the CPUs within the cluster and a tightly coupled L2 cache that is shared between the CPUs within the cluster. The L2 cache also provides a 128-bit AXI master interface to access DRAM. L2 cache features include:

- 2MB L2
- Fixed line length of 64 bytes
- 16-way set-associative cache structure



Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

- Duplicate copies of the L1 data cache directories for coherency support
- Hardware pre-fetch support
- ECC support

1.2.2 Performance Monitoring

The performance monitoring unit (part of MPCore non-CPU logic) provides six counters, each of which can count any of the events in the processor. The unit gathers various statistics on the operation of the processor and memory system during runtime, based on ARM PMUv3 architecture.

1.3 High-Definition Audio-Video Subsystem

The audio-video subsystem off-loads audio and video processing activities from the CPU subsystem resulting in faster, fully concurrent, highly efficient operation.

1.3.1 Multi-Standard Video Decoder

The video decoder accelerates video decode, supporting low resolution content, Standard Definition (SD), High Definition (HD) and UltraHD (2160p, or 4k video) profiles. The video decoder is designed to be extremely power efficient without sacrificing performance.

The video decoder communicates with the memory controller through the video DMA which supports a variety of memory format output options. For low power operations, the video decoder can operate at the lowest possible frequency while maintaining real-time decoding using dynamic frequency scaling techniques.

Video standards supported:

- H.265: Main10, Main
- WEBM VP9 and VP8
- H.264: Baseline (no FMO/ASO support), Main, High, Stereo SEI (half-res)
- VC-1: Simple, Main, Advanced
- MPEG-4: Simple (with B frames, interlaced; no DP and RVLC)
- H.263: Profile 0
- DivX: 4/5/6
- XviD Home Theater
- MPEG-2: MP

1.3.2 Multi-Standard Video Encoder

The multi-standard video encoder enables full hardware acceleration of various encoding standards. It performs high-quality video encoding operations for applications such as video recording and video conferencing. The encode processor is designed to be extremely power-efficient without sacrificing performance.

Video standards supported:

- H.265 Main Profile: I-frames and P-frames (No B-frames)
- H.264 Baseline/Main/High Profiles: IDR/I/P/B-frame support, MVC
- VP8
- MPEG4 (ME only)
- MPEG2 (ME only)
- VC1 (ME only): No B frame, no interlaced



NVIDIA

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

1.3.3 JPEG Processing Block

The JPEG processing block is responsible for JPEG (de)compression calculations (based on JPEG still image standard), image scaling, decoding (YUV420, YUV422HV, YUV444, YUV400) and color space conversion (RGB to YUV; decode only).

Input (encode) formats:

- Pixel width: 8bpc
- Subsample format: YUV420
- Resolution up to 16K x 16K
- Pixel pack format
 - Semi-planar/planar for 420

Output (decode) formats:

- Pixel width 8bpc
- Resolution up to 16K x 16K
- Pixel pack format
 - Semi-planar/planar for YUV420
 - YUY2/planar for 422H/422V
 - Planar for YUV444
 - Interleave for RGBA

1.3.4 Video Image Compositor (VIC)

The Video Image Compositor implements various 2D image and video operations in a power-efficient manner. It handles various system UI scaling, blending and rotation operations, video post-processing functions needed during video playback, and advanced de-noising functions used for camera capture.

Features:

- Color Decompression
- High-quality Deinterlacing
- Inverse Teleciné
- Temporal Noise Reduction
 - High-quality video playback
 - Reduces camera sensor noise
- Scaling
- Color Conversion
- Memory Format Conversion
- Blend/Composite
- 2D Bit BLIT operation
- Rotation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA.

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

1.4 Image Signal Processor (ISP)

The ISP module takes data from the VI/CSI module or memory in raw Bayer format and processes it to YUV output. The imaging subsystem supports raw (Bayer) image sensors up to 24 million pixels. Advanced image processing is used to convert input to YUV data and remove artifacts introduced by high megapixel CMOS sensors and optics with up to 30-degree CRA.

Features:

- Flexible post-processing architecture for supporting custom computer vision and computational imaging operations
- Bayer domain hardware noise reduction
- Per-channel black-level compensation
- High-order lens-shading compensation
- 3 x 3 color transform
- Bad pixel correction
- Programmable coefficients for de-mosaic with color artifact reduction
 - Color Artifact Reduction: a two-level (horizontal and vertical) low-pass filtering scheme that is used to reduce/remove any color artifacts that may result from Bayer signal processing and the effects of sampling an image.
- Enhanced down scaling quality
- Edge Enhancement
- Color and gamma correction
- Programmable transfer function curve
- Color-space conversion (RGB to YUV)
- Image statistics gathering (per-channel)
 - Two 256-bin image histograms
 - Up to 4,096 local region averages
 - AC flicker detection (50Hz and 60Hz)
 - Focus metric block

1.5 Display Controller Complex

The Display Controller Complex integrates two independent display controllers. Each display controller is capable of interfacing to an external display device and can drive the same or different display contents at different resolutions and refresh rates. Each controller supports a cursor and three windows (Window A, B, and C); controller A supports two additional simple windows (Window D, T). The display controller reads rendered graphics or video frame buffers in memory, blends them and sends them to the display.

Features:

- Two heads. Each can be mapped to one of:
 - 1x DSI, 1x eDP/DP (Limited Functionality: No Audio)
 - 1x HDMI/DP (Full Functionality)
- 90, 180, 270-degree image transformation uses both horizontal and vertical flips (controller A only)
- Byte-swapping options on 16-bit and 32-bit boundary for all color depths
- NVIDIA Pixel Rendering Intensity and Saturation Management™ (PRISM)
- 256 x 256 cursor size
- Color Management Unit for color decompression and to enhance color accuracy (compensate for the color error specific to the display panel being used)



NVIDIA

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

- Scaling and tiling in hardware for lower power operation
- Full color alpha-blending
- Captive panels
 - Secure window (Win T) for TrustZone
 - Supports cursor and up to four windows (Win A, B, C, and D)
 - 1x 2-lane MIPI DSI
 - Supports MIPI D-PHY rates up to 1.5Gbps
 - 4-lane eDP with AUX channel
 - Independent resolution and pixel clock
 - Supports display rotation and scaling in hardware
- External displays
 - Supports cursor and three windows (Window A, B, and C)
 - 1x HDMI (2.0) or DisplayPort (HBR2) interface
 - Supports display scaling in hardware

1.6 Memory

The Jetson Nano integrates 4GB of LPDDR4 over a four-channel x 16-bit interface. Memory frequency options are 204MHz and 1600MHz; maximum frequency of 1600MHz has a theoretical peak memory bandwidth of 25.6GB/s.

The Memory Controller (MC) maximizes memory utilization while providing minimum latency access for critical CPU requests. An arbiter is used to prioritize requests, optimizing memory access efficiency and utilization and minimizing system power consumption. The MC provides access to main memory for all internal devices. It provides an abstract view of memory to its clients via standardized interfaces, allowing the clients to ignore details of the memory hierarchy. It optimizes access to shared memory resources, balancing latency and efficiency to provide best system performance, based on programmable parameters.

Features:

- TrustZone (TZ) Secure and OS-protection regions
- System Memory Management Unit
- Dual CKE signals for dynamic power down per device
- Dynamic Entry/Exit from Self-Refresh and Power Down states

The MC can sustain high utilization over a very diverse mix of requests. For example, the MC is prioritized for bandwidth (BW) over latency for all multimedia blocks (the multimedia blocks have been architected to prefetch and pipeline their operations to increase latency tolerance); this enables the MC to optimize performance by coalescing, reordering, and grouping requests to minimize memory power. DRAM also has modes for saving power when it is either not being used, or during periods of specific types of use.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



2.0 Power and System Management

The Jetson Nano module operates from a single power source (VDD_IN) with all internal module voltages and I/O voltages generated from this input. This enables the on-board power management controller to implement a tiered structure of power and clock gating in a complex environment that optimizes power consumption based on workload:

- **Power Management Controller (PMC) and Real Time Clock (RTC):** These blocks reside in an Always On (not power gated) partition. The PMC provides an interface to an external power manager IC or PMU. It primarily controls voltage transitions for the SoC as it transitions to/from different low power modes; it also acts as a slave receiving dedicated power/clock request signals as well as wake events from various sources (e.g., SPI, I2C, RTC, USB attach) which can wake the system from a deep-sleep state. The RTC maintains the ability to wake the system based on either a timer event or an external trigger (e.g., key press).
- **Power Gating:** The SoC aggressively employs power-gating (controlled by PMC) to power-off modules which are idle. CPU cores are on a separate power rail to allow complete removal of power and eliminate leakage. Each CPU can be power gated independently. Software provides context save/restore to/from DRAM.
- **Clock Gating:** Used to reduce dynamic power in a variety of power states.
- **Dynamic Voltage and Frequency Scaling (DVFS):** Raises voltages and clock frequencies when demand requires, lowers them when less is sufficient, and removes them when none is needed. DVFS is used to change the voltage and frequencies in the following power domains: CPU, CORE, and GPU.

Table 1 Power and System Control Pin Descriptions

Pin	Name	Direction	Type	PoR	Description
251 252 253 254 255 256 257 258 259 260	VDD_IN	Input	5.0V		Power. Main DC input, supplies PMIC and other regulators
235	PMIC_BBAT	Bidirectional	1.65V-5.5V		Power. PMIC Battery Back-up. Optionally used to provide back-up power for the Real-Time Clock (RTC).
240	SLEEP/WAKE*	Input	CMOS – 5.0V	PU	Sleep / Wake. Configured as GPIO for optional use to place system in sleep mode or wake system from sleep.
214	FORCE_RECOVERY*	Input	CMOS – 1.8V	PU	Force Recovery: strap pin
237	POWER_EN	Input	CMOS – 5.0V		Module on/off. high = on, low = off.
233	SHUTDOWN_REQ*	Output	CMOS – 5.0V	z	Shutdown Request: used by the module to request a shutdown from the carrier board (POWER_EN low). 100kΩ pull-up to VDD_IN (5V) on the module.
239	SYS_RESET*	Bidirectional	Open Drain, 1.8V	1	Module Reset. Reset to the module when driven low by the carrier board. When module power sequence is complete used as carrier board supply enable. Used to ensure proper power on/off sequencing between module and carrier board supplies. 4.7kΩ pull-up to 1.8V on the module.
178	MOD_SLEEP*	Output	CMOS – 1.8V		Indicates the module sleep status. Low is in sleep mode, high is normal operation. This pin is controlled by system software and should not be modified.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

2.1 Power Rails

VDD_IN must be supplied by the carrier board that the Jetson Nano is designed to connect to. It must meet the required electrical specifications detailed in Section 5. All Jetson Nano interfaces are referenced to on-module voltage rails; no I/O voltage is required to be supplied to the module. See the *Jetson Nano Product Design Guide* for details of connecting to each of the interfaces.

2.2 PMIC_BBAT

An optional back up battery can be attached to the PMIC_BBAT module input. It is used to maintain the RTC voltage when VDD_IN is not present. This pin is connected directly to the onboard PMIC. When a backup cell is connected to the PMIC, the RTC will retain its contents and can be configured to charge the backup cell. RTC accuracy is 2 seconds/day under typical room temperature conditions (only).

The following backup cells may be attached to the PMIC_BBAT pin:

- Super Capacitor (gold cap, double layer electrolytic)
- Standard capacitors (tantalum)
- Rechargeable Lithium Manganese cells

A backup cell **MUST** provide a voltage in the range 2.5V to 3.5V. The backup cell is charged with a constant current, constant voltage charger that can be configured between 2.5V and 3.5V (constant voltage) output and 50µA to 800µA (constant current).

Table 2: PMIC_BBAT Pin Descriptions

Pin	Name	Description	Direction	Pin Type
235	PMIC_BBAT	PMIC Battery Back-up. Optionally used to provide back-up power for the Real-Time Clock (RTC). Connects to Lithium Cell or super capacitor on Carrier Board. PMIC is supply when charging cap or coin cell. Super cap or coin cell is source when system is disconnected from power. Constant current of 2.0µA for 2.5V; 2.3µA for 3.3V typical; 4.2µA maximum.	Bidir	1.65V-5.5V

2.3 Power Domains/Islands

Power domains and power islands are used to optimize power consumption for various low-power use cases and limiting leakage current. The RTC domain is always on, CORE/CPU/GPU domains can be turned on and off. The CPU, CORE and GPU power domains also contain power-gated islands which are used to power individual modules (as needed) within each domain. Clock-gating is additionally applied during powered-on but idle periods to further reduce unnecessary power consumption. Clock-gating can be applied to both power-gated and non-power-gated islands (NPG).

Table 3 Power Domains

Power Domain	Power Island in Domain	Modules in Power Island
RTC (VDD_RTC)	N/A	PMC (Power Management Controller)
		RTC (Real Time Clock)
CORE (VDD_SOC)	NPG (Non-Power-Gated)	AHB, APB Bus, AVP, Memory Controller (MC/EMC), USB 2.0, SDMMC
	VE, VE2	ISPs (image signal processing) A and B, VI (video input), CSI (Camera Serial Interface)
	NVENC	Video Encode
	NVDEC	Video Decode
	NVJPG	JPG accelerator and additional Video Decode
	PCX	PCIe

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Power Domain	Power Island in Domain	Modules in Power Island
	SOR	HDMI, DSI, DP
	IRAM	IRAM
	DISP-A, DISP-B	Display Controllers A and B
	XUSBA, XUSBB, XUSBC	USB 3.0
	VIC	VIC (Video Image Compositor)
	ADSP	APE (Audio Processing Engine)
	DFD	Debug logic
GPU (VDD_GPU)	GPU	3D, FE, PD, PE, RAST, SM, ROP
CPU (VDD_CPU)	CPU 0	CPU 0
	CPU 1	CPU 1
	CPU 2	CPU 2
	CPU 3	CPU 3
	Non-CPU	L2 Cache for Main CPU complex
	TOP	Top level logic

2.4 Power Management Controller (PMC)

The PMC power management features enable both high-speed operation and very low-power standby states. The PMC primarily controls voltage transitions for the SoC as it transitions to/from different low-power modes; it also acts as a slave receiving dedicated power/clock request signals as well as wake events from various sources (e.g., SPI, I2C, RTC, USB attach) which can wake the system from deep sleep state. The PMC enables aggressive power-gating capabilities on idle modules and integrates specific logic to maintain defined states and control power domains during sleep and deep sleep modes.

2.4.1 Resets

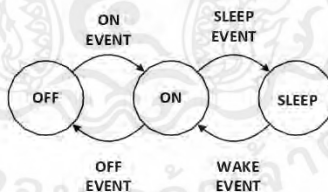
The PMC receives the primary reset event (from SYS_RESET*) and generates various resets for: PMC, RTC, and CAR. From the PMC provided reset, the Clock and Reset (CAR) controller generates resets for most of the blocks in the module. In addition to reset events, the PMC receives other events (e.g., thermal, WatchDog Timer (WDT), software, wake) which also result in variants of system reset.

The RTC block includes an embedded real-time clock and can wake the system based on either a timer event or an external trigger (e.g., key press).

2.4.2 System Power States and Transitions

The Jetson module operates in three main power modes: OFF, ON, and SLEEP. The module transitions between these states are based on various events from hardware or software. Figure 1 shows the transitions between these states.

Figure 1 Power State Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



2.4.2.1 ON State

The ON power state is entered from either OFF or SLEEP states. In this state the Jetson module is fully functional and operates normally. An ON event has to occur for a transition between OFF and ON states. The only ON EVENT currently used is a low to high transition on the POWER_EN pin. This must occur with VDD_IN connected to a power rail, and POWER_EN is asserted (at a logic1). The POWER_EN control is the carrier board indication to the Jetson module that the VDD_VIN power is good. The Carrier board should assert this high only when VDD_IN has reached its required voltage level and is stable. This prevents the Jetson module from powering up until the VDD_IN power is stable.

NOTE: The Jetson Nano module does include an Auto-Power-On option: a system input that enables the module to power on if asserted. For more information on available signals and broader system usage, see the *Jetson Nano Product Design Guide*.

2.4.2.2 OFF State

The OFF state is the default state when the system is not powered. It can only be entered from the ON state, through an OFF event. OFF Events are listed in the table below.

Table 4 OFF State Events

Event	Details	Preconditions
HW Shutdown	Set POWER_EN pin to zero for at least 100 μ S, the internal PMIC will start shutdown sequence	In ON State
SW Shutdown	Software initiated shutdown	ON state, Software operational
Thermal Shutdown	If the internal temperature of the Jetson module reaches an unsafe temperature, the hardware is designed to initiate a shutdown	Any power state

2.4.2.3 SLEEP State

The Sleep state can only be entered from the ON state. This state allows the Jetson module to quickly resume to an operational state without performing a full boot sequence. In this state the Jetson module operates in low power with enough circuitry powered to allow the device to resume and re-enter the ON state. During this state the output signals from Jetson module are maintained at their logic level prior to entering the state (i.e., they do not change to a 0V level).

The SLEEP state can only be entered directly by software. For example, operating within an OS, with no operations active for a certain time can trigger the OS to initiate a transition to the SLEEP state.

To Exit the SLEEP state a WAKE event must occur. WAKE events can occur from within the Jetson module or from external devices through various pins on the Jetson Nano connector. A full list of Wake enabled pins is available in the pinmux.

Table 5 SLEEP State Events

Event	Details
RTC WAKE up	Timers within the Jetson module can be programmed, on SLEEP entry. When these expire they create a WAKE event to exit the SLEEP state.
Thermal Condition	If the Jetson module internal temperature exceeds programmed hot and cold limits the system is forced to wake up, so it can report and take appropriate action (shut down for example)
USB VBUS detection	If VBUS is applied to the system (USB cable attached) then the device can be configured to Wake and enumerate



NVIDIA

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

2.5 Thermal and Power Monitoring

The Jetson Nano is designed to operate under various workloads and environmental conditions. It has been designed so that an active or passive heat sinking solution can be attached. The module contains various methods through hardware and software to limit the internal temperature to within operating limits. See the *Jetson Nano Thermal Design Guide* for more details.

2.6 Power Sequencing

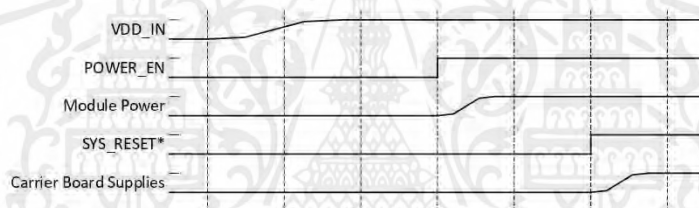
The Jetson Nano module is required to be powered on and off in a known sequence. Sequencing is determined through a set of control signals; the SYS_RESET* signal (when deasserted) is used to indicate when the carrier board can power on. The following sections provide an overview of the power sequencing steps between the carrier board and Jetson Nano module. Refer to the *Jetson Nano Product Design Guide* for system level details on the application of power, power sequencing, and monitoring. The Jetson Nano module and the product carrier board must be power sequenced properly to avoid potential damage to components on either the module or the carrier board system.

2.6.1 Power Up

During power up, the carrier board must wait until the signal SYS_RESET* is deasserted from the Jetson module before enabling its power; the Jetson module will deassert the SYS_RESET* signal to enable the complete system to boot.

NOTE: I/O pins cannot be high (>0.5V) before SYS_RESET* goes high. When SYS_RESET* is low, the maximum voltage applied to any I/O pin is 0.5V. For more information, refer to the *Jetson Nano Product Design Guide*.

Figure 2 Power-up Sequence (No Power Button – Auto-Power-On Enabled)



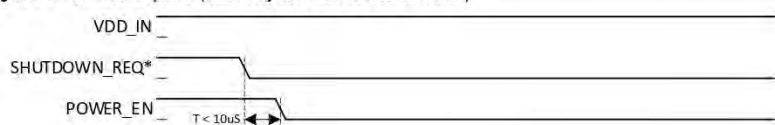
2.6.2 Power Down

In a shutdown event the Jetson module asserts SHUTDOWN_REQ*. The SHUTDOWN_REQ* must be serviced by the carrier board to toggle POWER_EN from high to low, even in cases of sudden power loss. The Jetson module starts the power off sequence when POWER_EN is deasserted; SYS_RESET* is asserted by the Jetson module, allowing the carrier board to put any components into a known state and power down.



Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

Figure 3 Power Down Sequence (Initiated by SHUTDOWN_REQ* Assertion)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

3.0 Pin Descriptions

The primary interface to Jetson Nano is via a 260-pin SO-DIMM connector. Connector exposes power, ground, high-speed and low-speed industry standard I/O connections. See the *NVIDIA Jetson Nano Product Design Guide* for details on integrating the module and mating connector into product designs.

The I/O pins on the SO-DIMM are comprised of both Single Function I/O (SFIO) and Multi-Purpose digital I/O (MPIO) pins. Each MPIO can be configured to act as a GPIO or it can be assigned for use by a particular I/O controller. Though each MPIO has up to five functions (GPIO function and up to four SFIO functions), a given MPIO can only act as a single function at a given point in time. The functions for each pin on the Jetson module are fixed to a single SFIO function or as a GPIO. The different MPIO pins share a similar structure, but there are several varieties of such pins. The varieties are designed to minimize the number of on-board components (such as level shifters or pull-up resistors) required in Jetson Nano designs.

MPIO pin types:

- ST (standard) pins are the most common pins on the chip. They are used for typical General Purpose I/O.
- DD (dual-driver) pins are similar to the ST pins. A DD pin can tolerate its I/O pin being pulled up to 3.3V (regardless of supply voltage) if the pin's output-driver is set to open-drain mode. There are special power-sequencing considerations when using this functionality.

NOTE: The output of DD pins cannot be pulled High during deep-power-down (DPD).

- CZ (controlled output impedance) pins are optimized for use in applications requiring tightly controlled output impedance. They are similar to ST pins except for changes in the drive strength circuitry and in the weak pull-ups/-downs. CZ pins are included on the VDDIO_SDMMC3 (Module SDMMC pins) power rail; also includes a CZ_COMP pin. Circuitry within the Jetson module continually matches the output impedance of the CZ pins to the on-board pull-up/-down resistors attached to the CZ_COMP pins.
- LV_CZ (low voltage-controlled impedance) pins are similar to CZ pins but are optimized for use with a 1.2V supply voltage (and signaling level). They support a 1.8V supply voltage (and signaling level) as a secondary mode. The Jetson nano uses LV_CZ pins for SPI interfaces operating at 1.8V.
- DP_AUX pin is used as an Auxiliary control channel for the DisplayPort which needs differential signaling. Because the same I/O block is used for DisplayPort and HDMI to ensure the control path to the display interface is minimized, the DP_AUX pins can operate in open-drain mode so that HDMI's control path (i.e., DDC interface which needs I2C) can also be used in the same pin.

Each MPIO pin consists of:

- An output driver with tristate capability, drive strength controls and push-pull mode, open-drain mode, or both
- An input receiver with either Schmitt mode, CMOS mode, or both
- A weak pull-up and a weak pull-down

MPIO pins are partitioned into multiple "pin control groups" with controls being configured for the group. During normal operation, these per-pin controls are driven by the pinmux controller registers. During deep sleep, the PMC bypasses and then resets the pinmux controller registers. Software reprograms these registers as necessary after returning from deep sleep.

Refer to the *Tegra X1 (SoC) Technical Reference Manual* for more information on modifying pin controls.

3.1 MPIO Power-on Reset Behavior

Each MPIO pin has a deterministic power-on reset (PoR) state. The particular reset state for each pin is chosen to minimize the need of on-board components like pull-up resistors in a Jetson Nano-based system. For example, the on-chip weak pull-ups are enabled during PoR for pins which are usually used to drive active-low chip selects.



NVIDIA

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

3.2 MPIO Deep Sleep Behavior

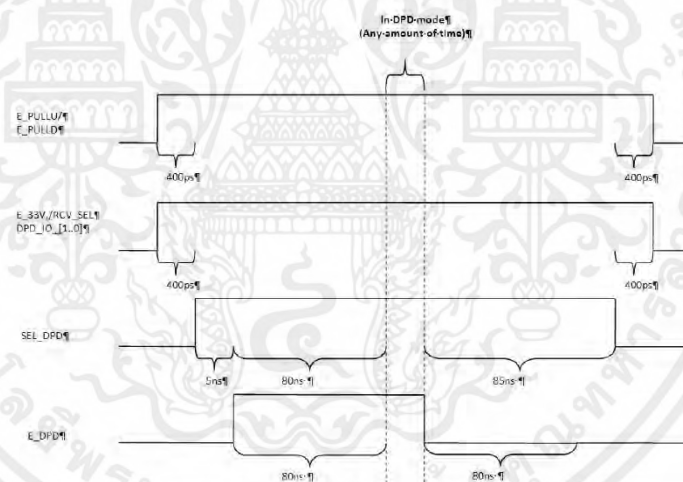
Deep Sleep is an ultra-low-power standby state in which the Jetson Nano maintains much of its I/O state while most of the chip is powered off. The following lists offer a simplified description of the deep sleep entry and exit concentrating on those aspects which relate to the MPIO pins. During deep sleep most of the pins are put in a state called Deep Power Down (DPD). The sequence for entering to DPD is same across pins. Specific variations are there in some pins in terms of type of features that are available in DPD.

NOTE: The output of DD pins cannot be pulled High during deep-power-down (DPD).
OD pins do NOT retain their output during DPD. OD pins should NOT be configured as GPIOs in a platform where they are expected to hold a value during DPD.

ALL MPIO pins do NOT have identical behavior during deep sleep. They differ with regard to:

- Input buffer behavior during deep sleep
 - Forcibly disabled OR
 - Enabled for use as a "GPIO wake event" OR
 - Enabled for some other purpose (e.g., a "clock request" pin)
- Output buffer behavior during deep sleep
 - Maintain a static programmable (0, 1, or tristate) constant value OR
 - Capable of changing state (i.e., dynamic while the chip is still in deep sleep)
- Weak pull-up/pull-down behavior during deep sleep
 - Forcibly disabled OR
 - Can be configured
- Pins that do not enter deep sleep
 - Some of the pins whose outputs are dynamic during deep sleep are of special type and they do not enter deep sleep (e.g., pins that are associated with PMC logic do not enter deep sleep, pins that are associated with JTAG do not enter into deep sleep any time).

Figure 4 DPD Wait Times



JETSON | NANO | DATASHEET | DA-09366-001_v1.1 | SUBJECT TO CHANGE | COPYRIGHT © 2014 – 2022 NVIDIA CORPORATION. ALL RIGHTS RESERVED.

18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA.

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

3.3 GPIO Pins

The Jetson Nano has multiple dedicated GPIOs. Each GPIO can be individually configurable as an Output, Input, or Interrupt source with level/edge controls. The pins listed in the following table are dedicated GPIOs; some with alternate SFIO functionality. Many other pins not included in this list are capable of being configured as GPIOs instead of the SFIO functionality the pin name suggests (e.g., UART, SPI, I²S, etc.). All pins that can support GPIO functionality have this exposed in the Pinmux.

Table 6 Dedicated GPIO Pin Descriptions

Pin	Name	Direction	Type	PoR	Alternate Function
87	GPIO00	Bidirectional	Open-Drain [DD]	0	USB VBUS Enable (USB_VBUS_EN0)
118	GPIO01	Bidirectional	CMOS – 1.8V [ST]	pd	Camera MCLK #2 (CLK)
124	GPIO02	Bidirectional	CMOS – 1.8V [ST]	pd	
126	GPIO03	Bidirectional	CMOS – 1.8V [ST]	pd	
127	GPIO04	Bidirectional	CMOS – 1.8V [ST]	pd	
128	GPIO05	Bidirectional	CMOS – 1.8V [ST]	pd	
130	GPIO06	Bidirectional	CMOS – 1.8V [ST]	pd	
206	GPIO07	Bidirectional	CMOS – 1.8V [ST]	pd	Pulse Width Modulation Signal (PWM)
208	GPIO08	Bidirectional	CMOS – 1.8V [ST]	pd	Fan Tachometer
211	GPIO09	Bidirectional	CMOS – 1.8V [ST]	pd	Audio Clock (AUD_MCLK)
212	GPIO10	Bidirectional	CMOS – 1.8V [ST]	pd	
216	GPIO11	Bidirectional	CMOS – 1.8V [ST]	pd	Camera MCLK #3
218	GPIO12	Bidirectional	CMOS – 1.8V [ST]	pd	
228	GPIO13	Bidirectional	CMOS – 1.8V [ST]	pd	Pulse Width Modulation Signal
230	GPIO14	Bidirectional	CMOS – 1.8V [ST]	pd	Pulse Width Modulation Signal
114	CAM0_PWDN	Bidirectional	CMOS – 1.8V [ST]	pd	
120	CAM1_PWDN	Bidirectional	CMOS – 1.8V [ST]	pd	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

4.0 Interface Descriptions

The following sections outline the interfaces available on the Jetson Nano module and details the module pins used to interact with and control each interface. See the *Tegra X1 Series SoC Technical Reference Manual* for complete functional descriptions, programming guidelines and register listings for each of these blocks.

4.1 USB

Standard	Notes
<i>Universal Serial Bus Specification Revision 3.0</i>	Refer to specification for related interface timing details.
<i>Universal Serial Bus Specification Revision 2.0</i>	USB Battery Charging Specification, version 1.0; including Data Contact Detect protocol Modes: Host and Device Speeds: Low, Full, and High Refer to specification for related interface timing details.
<i>Enhanced Host Controller Interface Specification for Universal Serial Bus revision 1.0</i>	Refer to specification for related interface timing details.

An xHCI/Device controller (named XUSB) supports the xHCI programming model for scheduling transactions and interface managements as a host that natively supports USB 3.0, USB 2.0, and USB 1.1 transactions with its USB 3.0 and USB 2.0 interfaces. The XUSB controller supports USB 2.0 L1 and L2 (suspend) link power management and USB 3.0 U1, U2, and U3 (suspend) link power managements. The XUSB controller supports remote wakeup, wake on connect, wake on disconnect, and wake on overcurrent in all power states, including sleep mode.

USB 2.0 Ports

Each USB 2.0 port operates in USB 2.0 High Speed mode when connecting directly to a USB 2.0 peripheral and operates in USB 1.1 Full- and Low-Speed modes when connecting directly to a USB 1.1 peripheral. All USB 2.0 ports operating in High Speed mode share one High-Speed Bus Instance, which means 480 Mb/s theoretical bandwidth is distributed across these ports. All USB 2.0 ports operating in Full- or Low-Speed modes share one Full/Low-Speed Bus Instance, which means 12 Mb/s theoretical bandwidth is distributed across these ports.

USB 3.0 Port

The USB 3.0 port only operates in USB 3.0 Super Speed mode (5 Gb/s theoretical bandwidth).

Table 7 USB 2.0 Pin Descriptions

Pin	Name	Direction	Type	Description
87	GPIO0	Input	USB VBUS, 5V	USB 0 VBUS Detect (USB_VBUS_EN0). Do not feed 5V directly into this pin; see the <i>Jetson Nano Product Design Guide</i> for complete details.
109 111	USB0_D_N USB0_D_P	Bidirectional	USB PHY	USB 2.0 Port 0 Data
115 117	USB1_D_N USB1_D_P	Bidirectional	USB PHY	USB 2.0 Port 1 Data
121 123	USB2_D_N USB2_D_P	Bidirectional	USB PHY	USB 2.0 Port 2 Data

Table 8 USB 3.0 Pin Descriptions

Pin	Name	Direction	Type	Description
163 161	USBSS_RX_P USBSS_RX_N	Input	USB SS PHY	USB 3.0 SS Receive

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

Pin	Name	Direction	Type	Description
168	USBSS_TX_P	Output	USB SS PHY	USB 3.0 SS Transmit
166	USBSS_TX_N			

4.2 PCI Express (PCIe)

Standard	Notes
PCI Express Base Specification Revision 2.0	Jetson Nano meets the timing requirements for the Gen2 (5.0 GT/s) data rates. Refer to specification for complete interface timing details. Although NVIDIA validates that the Jetson Nano design complies with the PCIe specification, PCIe software support may be limited.

The Jetson module integrates a single PCIe Gen2 controller supporting:

- Connections to a single (x1/2/4) endpoint
- Upstream and downstream AXI interfaces that serve as the control path from the Jetson Nano to the external PCIe device.
- Gen1 (2.5 GT/s/lane) and Gen2 (5.0 GT/s/lane) speeds.

NOTE: Upstream Type 1 Vendor Defined Messages (VDM) should be sent by the Endpoint Port (EP) if the Root Port (RP) also belongs to same vendor/partner; otherwise the VDM is silently discarded.

See the *Jetson Nano Product Design Guide* for supported USB 3.0/PCIe configuration and connection examples.

Table 9 PCIe Pin Descriptions

Pin	Name	Direction	Type	PoR	Description
179	PCIE_WAKE*	Input	Open Drain 3.3V	z	PCI Express Wake This signal is used as the PCI Express defined WAKE# signal. When asserted by a PCI Express device, it is a request that system power be restored. No interrupt or other consequences result from the assertion of this signal. On module 100kΩ pull-up to 3.3V
160	PCIE0_CLK_N	Output	PCIe PHY	0	PCIe Reference Clock
162	PCIE0_CLK_P			0	
180	PCIE0_CLKREQ*	Bidirectional	Open Drain 3.3V	z	PCIe Reference Clock Request This signal is used by a PCIe device to indicate it needs the PCIE0_CLK_N and PCIE0_CLK_P to actively drive reference clock. On module 47kΩ pull-up to 3.3V
181	PCIE0_RST*	Output	Open Drain 3.3V	0	PCIe Reset This signal provides a reset signal to all PCIe links. It must be asserted 100 ms after the power to the PCIe slots has stabilized. On module 47kΩ pull-up to 3.3V
157	PCIE0_RX3_P	Input	PCIe PHY		PCIe Receive (Lane 3)
155	PCIE0_RX3_N				
151	PCIE0_RX2_P	Input	PCIe PHY		PCIe Receive (Lane 2)
149	PCIE0_RX2_N				
139	PCIE0_RX1_P	Input	PCIe PHY		PCIe Receive (Lane 1)
137	PCIE0_RX1_N				
133	PCIE0_RX0_P	Input	PCIe PHY		PCIe Receive (Lane 0)
131	PCIE0_RX0_N				
156	PCIE0_TX3_P	Output	PCIe PHY		PCIe Transmit (Lane 3)
154	PCIE0_TX3_N				

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA

 Jetson Nano System-on-Module
 Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

Pin	Name	Direction	Type	PoR	Description
150 148	PCIe0_TX2_P PCIe0_TX2_N	Output	PCIe PHY		PCIe Transmit (Lane 2)
142 140	PCIe0_TX1_P PCIe0_TX1_N	Output	PCIe PHY		PCIe Transmit (Lane 1)
136 134	PCIe0_TX0_P PCIe0_TX0_N	Output	PCIe PHY		PCIe Transmit (Lane 0)

4.3 Display Interfaces

The Jetson Nano Display Controller Complex integrates a MIPI-DSI interface and Serial Output Resource (SOR) to collect pixels from the output of the display pipeline, format/encode them to desired format, and then streams to various output devices. The SOR consists of several individual resources which can be used to interface with different display devices such as HDMI, DP, or eDP.

4.3.1 MIPI Display Serial Interface (DSI)

The Display Serial Interface (DSI) is a serial bit-stream replacement for the parallel MIPI DPI and DBI display interface standards. DSI reduces package pin-count and I/O power consumption. DSI support enables both display controllers to connect to an external display(s) with a MIPI DSI receiver. The DSI transfers pixel data from the internal display controller to an external third-party LCD module.

Features:

- PHY Layer
 - Start / End of Transmission. Other out-of-band signaling
 - Per DSI interface: one Clock Lane; two Data Lanes
 - Supports link configuration – 1x 2
 - Maximum link rate 1.5Gbps as per MIPI D-PHY 1.1v version
 - Maximum 10MHz LP receive rate
- Lane Management Layer with Distributor
- Protocol Layer with Packet Constructor
- Supports MIPI DSI 1.0.1v version mandatory features
- Command Mode (One-shot) with Host and/or display controller as master
- Clocks
 - Bit Clock: Serial data stream bit-rate clock
 - Byte Clock: Lane Management Layer Byte-rate clock
 - Application Clock: Protocol Layer Byte-rate clock.
- Error Detection / Correction
 - ECC generation for packet Headers
 - Checksum generation for Long Packets
- Error recovery
- High-Speed Transmit timer
- Low-Power Receive timer
- Turnaround Acknowledge Timeout

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA.

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

Table 10 DSI Pin Descriptions

Pin	Name	Direction	Type	Description
76 78	DSI_CLK_N DSI_CLK_P	Output	MIPI D-PHY	Differential output clock for DSI interface
82 84	DSI_D1_N DSI_D1_P	Output	MIPI D-PHY	Differential data lanes for DSI interface.
70 72	DSI_D0_N DSI_D0_P	Bidirectional	MIPI D-PHY	Differential data lanes for DSI interface. DSI lane can read data back from the panel side in low power (LP) mode.

4.3.2 High-Definition Multimedia Interface (HDMI) and DisplayPort (DP) Interfaces

Standard	Notes
High-Definition Multimedia Interface (HDMI) Specification, version 2.0	> 340MHz pixel clock Scrambling support Clock/4 support (1/40 bit-rate clock)

The HDMI and DP interfaces share the same set of interface pins. A new transport mode was introduced in HDMI 2.0 to enable link clock frequencies greater than 340MHz and up to 600MHz. For transfer rates above 340MHz, there are two main requirements:

- All link data, including active pixel data, guard bands, data islands and control islands must be scrambled.
- The TMDS clock lane must toggle at CLK/4 instead of CLK. Below 340MHz, the clock lane toggles as normal (independent of the state of scrambling).

Features:

- HDMI
 - HDMI 2.0 mode (3.4Gbps < data rate <= 6Gbps)
 - HDMI 1.4 mode (data rate <= 3.4Gbps)
 - Multi-channel audio from HDA controller, up to eight channels 192kHz 24-bit.
 - Vendor Specific Info-frame (VSI) packet transmission
 - 24-bit RGB pixel formats
 - Transition Minimized Differential Signaling (TMDS) functional up to 340MHz pixel clock rate
- DisplayPort
 - Display Port mode: interface is functional up to 540MHz pixel clock rate (i.e., 1.62GHz for RBR, 2.7GHz for HBR, and 5.4GHz for HBR2).
 - 8b/10b encoding support
 - External Dual Mode standard support
 - Audio streaming support

Table 11 HDMI Pin Descriptions

Pin	Name	Direction	Type	Description
83 81	DP1_TXD3_P DP1_TXD3_N	Differential Output	AC-Coupled on Carrier Board [DP]	DP Data lane 3 or HDMI Differential Clock. AC coupling required on carrier board. For HDMI, pull-downs (with disable) also required on carrier board.
77 75 71 69 65	DP1_TXD2_P DP1_TXD2_N DP1_TXD1_P DP1_TXD1_N DP1_TXD0_P	Differential Output	AC-Coupled on Carrier Board [DP]	HDMI Differential Data lanes 2-0. AC coupling required on carrier board. For HDMI, pull-downs (with disable) also required on carrier board. HDMI: DP1_TXD2_[P,N] = HDMI Lane 0 DP1_TXD1_[P,N] = HDMI Lane 1

JETSON | NANO | DATASHEET | DA-09366-001_v1.1 | SUBJECT TO CHANGE | COPYRIGHT © 2014 – 2022 NVIDIA CORPORATION. ALL RIGHTS RESERVED

23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

Pin	Name	Direction	Type	Description
63	DP1_TXD0_N			DP1_TXD0_[P,N] = HDMI Lane 2
96	DP1_HPD	Input	CMOS – 1.8V [ST]	HDMI Hot Plug detection. Level shifter required as this pin is not 5V tolerant.
94	HDMI_CEC	Bidirectional	Open Drain, 1.8V [DD]	Consumer Electronics Control (CEC) one-wire serial bus. NVIDIA provides low level CEC APIs (read/write). These are not supported in earlier Android releases. For additional CEC support, 3rd party libraries need to be made available.
100	DP1_AUX_P	Bidirectional	Open-Drain, 1.8V (3.3V tolerant - DDC) [DP_AUX]	DDC Serial Clock for HDMI. Level shifter required, pin is not 5V tolerant.
98	DP1_AUX_N	Bidirectional	Open-Drain, 1.8V (3.3V tolerant - DDC)	DDC Serial Data. Level shifter required, pin is not 5V tolerant.

Table 12 DisplayPort on DP1 Pin Descriptions

Pin	Name	Direction	Type	Description
83	DP1_TXD3_P	Differential Output	AC-Coupled on Carrier Board [DP]	DisplayPort 1 Differential Data lanes 2:0. AC coupling required on carrier board. DP1_TXD2_[P,N] = DP Lane 2 DP1_TXD1_[P,N] = DP Lane 1 DP1_TXD0_[P,N] = DP Lane 0
81	DP1_TXD3_N			
77	DP1_TXD2_P			
75	DP1_TXD2_N			
71	DP1_TXD1_P			
69	DP1_TXD1_N			
65	DP1_TXD0_P			
63	DP1_TXD0_N			
96	DP1_HPD	Input	CMOS – 1.8V [ST]	DisplayPort 1 Hot Plug detection. Level shifter required and must be non-inverting.
100	DP1_AUX_P	Bidirectional	Open-Drain, 1.8V [DP_AUX]	DisplayPort 1 auxiliary channels. AC coupling required on carrier board.
98	DP1_AUX_N			

4.3.3 Embedded DisplayPort (eDP) Interface

Standard	Notes
Embedded DisplayPort 1.4	Supported eDP 1.4 features: <ul style="list-style-type: none"> Additional link rates Enhanced framing Power sequencing Reduced aux timing Reduced main voltage swing

eDP is a mixed-signal interface consisting of four differential serial output lanes and one PLL. This PLL is used to generate a high frequency bit-clock from an input pixel clock enabling the ability to handle 10-bit parallel data per lane at the pixel rate for the desired mode. Embedded DisplayPort (eDP) modes (1.6GHz for RBR, 2.16GHz, 2.43GHz, 2.7GHz for HBR, 3.42GHz, 4.32GHz and 5.4GHz for HBR2).

NOTE: eDP has been tested according to DP1.2b PHY CTS even though eDPv1.4 supports lower swing voltages and additional intermediate bit rates. This means the following nominal voltage levels (400mV, 600mV, 800mV, 1200mV) and data rates (RBR, HBR, HBR2) are tested. This interface can be tuned to drive lower voltage swings below 400mV and can be programmed to other intermediate bit rates as per the requirements of the panel and the system designer.

DisplayPort on DP0 is limited to display functionality only; no HDCP or audio support.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA.

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

Table 13 eDP (or DisplayPort on DP0) Pin Descriptions

Pin	Name	Direction	Type	Description
59	DP0_TXD3_P	Differential Output	AC-Coupled on Carrier Board [DP]	DP0 Differential Data. AC coupling & pull-downs (with disable) required on carrier board. DP0_TXD3_[P,N] = DisplayPort 0 Data Lane 3 DP0_TXD2_[P,N] = DisplayPort 0 Data Lane 2 DP0_TXD1_[P,N] = DisplayPort 0 Data Lane 1 DP0_TXD0_[P,N] = DisplayPort 0 Data Lane 0
57	DP0_TXD3_N			
53	DP0_TXD2_P			
51	DP0_TXD2_N			
47	DP0_TXD1_P			
45	DP0_TXD1_N			
41	DP0_TXD0_P			
39	DP0_TXD0_N			
88	DP0_HPD	Input	CMOS – 1.8V [ST]	DP0 Hot Plug detection. Level shifter required as this pin is not 5V tolerant
92	DP0_AUX_P	Bidirectional	AC-Coupled on Carrier Board [DP_AUX]	DP0 auxiliary channels. AC coupling required on Carrier board.
90	DP0_AUX_N			

4.4 MIPI Camera Serial Interface (CSI) / VI (Video Input)

Standard
MIPI CSI 2.0 Receiver specification
MIPI D-PHY® v1.2 Physical Layer specification

The Camera Serial Interface (CSI) is based on MIPI CSI 2.0 standard specification and implements the CSI receiver which receives data from an external camera module with CSI transmitter. The Video Input (VI) block receives data from the CSI receiver and prepares it for presentation to system memory or the dedicated image signal processor (ISP) execution resources.

Features:

- Supports both x4-lane and x2-lane sensor camera configurations:
 - x4 only configuration (up to three active streams)
 - x4 + x2 configurations (up to four active streams)
- Supported input data formats:
 - RGB: RGB888, RGB666, RGB565, RGB555, RGB444
 - YUV: YUV422-8b, YUV420-8b (legacy), YUV420-8b, YUV444-8b
 - RAW: RAW6, RAW7, RAW8, RAW10, RAW12, RAW14
 - DPCM: user defined
 - User defined: JPEG8
 - Embedded: Embedded control information
- Supports single-shot mode
- Physical Interface (MIPI D-PHY) Modes of Operation
 - High Speed Mode – High-speed differential signaling up to 1.5Gbps; burst transmission for low power
 - Low Power Control – Single-ended 1.2V CMOS level; low-speed signaling for handshaking.
 - Low Power Escape – Low-speed signaling for data, used for escape command entry only.

If the two streams come from a single source, then the streams are separated using a filter indexed on different data types. In case of separation using data types, the normal data type is separated from the embedded data type.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


NVIDIA.

 Jetson Nano System-on-Module
 Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

Table 14 CSI Pin Descriptions

Pin	Name	Direction	Type	Description
10	CSI0_CLK_N	Input	MIPI D-PHY	CSI 0 Clock-
12	CSI0_CLK_P	Input	MIPI D-PHY	CSI 0 Clock+
4	CSI0_D0_N	Input	MIPI D-PHY	CSI 0 Data 0-
6	CSI0_D0_P	Input	MIPI D-PHY	CSI 0 Data 0+
16	CSI0_D1_N	Input	MIPI D-PHY	CSI 0 Data 1-
18	CSI0_D1_P	Input	MIPI D-PHY	CSI 0 Data 1+
3	CSI1_D0_N	Input	MIPI D-PHY	CSI 1 Data 0-
5	CSI1_D0_P	Input	MIPI D-PHY	CSI 1 Data 0+
15	CSI1_D1_N	Input	MIPI D-PHY	CSI 1 Data 1-
17	CSI1_D1_P	Input	MIPI D-PHY	CSI 1 Data 1+
28	CSI2_CLK_N	Input	MIPI D-PHY	CSI 2 Clock-
30	CSI2_CLK_P	Input	MIPI D-PHY	CSI 2 Clock+
22	CSI2_D0_N	Input	MIPI D-PHY	CSI 2 Data 0-
24	CSI2_D0_P	Input	MIPI D-PHY	CSI 2 Data 0+
34	CSI2_D1_N	Input	MIPI D-PHY	CSI 2 Data 1-
36	CSI2_D1_P	Input	MIPI D-PHY	CSI 2 Data 1+
27	CSI3_CLK_N	Input	MIPI D-PHY	CSI 3 Clock-
29	CSI3_CLK_P	Input	MIPI D-PHY	CSI 3 Clock+
21	CSI3_D0_N	Input	MIPI D-PHY	CSI 3 Data 0-
23	CSI3_D0_P	Input	MIPI D-PHY	CSI 3 Data 0+
33	CSI3_D1_N	Input	MIPI D-PHY	CSI 3 Data 1-
35	CSI3_D1_P	Input	MIPI D-PHY	CSI 3 Data 1+
52	CSI4_CLK_N	Input	MIPI D-PHY	CSI 4 Clock-
54	CSI4_CLK_P	Input	MIPI D-PHY	CSI 4 Clock+
46	CSI4_D0_N	Input	MIPI D-PHY	CSI 4 Data 0-
48	CSI4_D0_P	Input	MIPI D-PHY	CSI 4 Data 0+
58	CSI4_D1_N	Input	MIPI D-PHY	CSI 4 Data 1-
60	CSI4_D1_P	Input	MIPI D-PHY	CSI 4 Data 1+
40	CSI4_D2_N	Input	MIPI D-PHY	CSI 4 Data 2-
42	CSI4_D2_P	Input	MIPI D-PHY	CSI 4 Data 2+
64	CSI4_D3_N	Input	MIPI D-PHY	CSI 4 Data 3-
66	CSI4_D3_P	Input	MIPI D-PHY	CSI 4 Data 3+

Table 15 Camera Clock and Control Pin Descriptions

Pin	Name	I/O	Pin Type	PoR	Description
213	CAM_I2C_SCL	Bidirectional	Open Drain - 3.3V [DD]	z	Camera I2C Clock
215	CAM_I2C_SDA	Bidirectional	Open Drain - 3.3V [DD]	z	Camera I2C Data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

Pin	Name	I/O	Pin Type	PoR	Description
116	CAM0_MCLK	Output	CMOS – 1.8V [ST]	PD	Camera 1 Reference Clock
114	CAM0_PWDN	Output	CMOS – 1.8V [ST]	PD	Camera 1 Powerdown or GPIO
122	CAM1_MCLK	Output	CMOS – 1.8V [ST]	PD	Camera 2 Reference Clock
120	CAM1_PWDN	Output	CMOS – 1.8V [ST]	PD	Camera 2 Powerdown or GPIO

4.5 SD / SDIO

Standard	Notes
SD Specifications Part A2 SD Host Controller Standard Specification Version 4.00	
SD Specifications Part 1 Physical Layer Specification Version 4.00	
SD Specifications Part E1 SDIO Specification Version 4.00	Support for SD 4.0 Specification without UHS-II
Embedded Multimedia Card (eMMC), Electrical Standard 5.1	

The SecureDigital (SD)/Embedded MultiMediaCard (eMMC) controller is used to support the on-module eMMC and a single SDIO interface made available for use with SDIO peripherals; it supports Default and High-Speed modes.

The SDMMC controller has a direct memory interface and is capable of initiating data transfers between memory and external device. The SDMMC controller supports both the SD and eMMC bus protocol and has an APB slave interface to access configuration registers. Interface is intended for supporting various compatible peripherals with an SD/MMC interface.

Table 16 SD/SDIO Controller I/O Capabilities

Controller	Bus Width	Supported Voltages (V)	I/O bus clock (MHz)	Max Bandwidth (MBps)	Notes
SD/SDIO Card	4	1.8 / 3.3	208	104	Available at connector for SDIO or SD Card use
eMMC	8	1.8	200	400	On-module eMMC

Table 17 SD/SDIO Pin Descriptions

Pin	Name	I/O	Pin Type	PoR	Description
229	SDMMC_CLK	Output	CMOS – 1.8V / 3.3V [CZ]	PD	SDIO/MMC Clock
227	SDMMC_CMD	Bidirectional	CMOS – 1.8V / 3.3V [CZ]	PU	SDIO/MMC Command
225	SDMMC_DAT3	Bidirectional	CMOS – 1.8V / 3.3V [CZ]	PU	SDIO/MMC Data bus
223	SDMMC_DAT2				
221	SDMMC_DAT1				
219	SDMMC_DAT0				

Note: Pin voltage is determined by LDO on module setting.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

4.6 Inter-IC Sound (I²S)

Standard
Inter-IC Sound (I ² S) specification

The I²S controller transports streaming audio data between system memory and an audio codec. The I²S controller supports I²S format, Left-justified Mode format, Right-justified Mode format, and DSP mode format, as defined in the Philips inter-IC-sound (I²S) bus specification.

The I²S and PCM (master and slave modes) interfaces support clock rates up to 24.5760MHz.

The I²S controller supports point-to-point serial interfaces for the I²S digital audio streams. I²S-compatible products, such as compact disc players, digital audio tape devices, digital sound processors, and those with digital TV sound may be directly connected to the I²S controller. The controller also supports the PCM and telephony mode of data-transfer. Pulse-Code-Modulation (PCM) is a standard method used to digitize audio (particularly voice) patterns for transmission over digital communication channels. The Telephony mode is used to transmit and receive data to and from an external mono CODEC in a slot-based scheme of time-division multiplexing (TDM). The I²S controller supports bidirectional audio streams and can operate in half-duplex or full-duplex mode.

Features:

- Basic I²S modes to be supported (I²S, RJM, LJM and DSP) in both Master and Slave modes.
- PCM mode with short (one-bit-clock wide) and long-sync (two bit-clocks wide) in both master and slave modes.
- NW-mode with independent slot-selection for both Tx and Rx
- TDM mode with flexibility in number of slots and slot(s) selection.
- Capability to drive-out a High-z outside the prescribed slot for transmission
- Flow control for the external input/output stream.

Table 18 Audio Pin Descriptions

Pin	Name	Direction	Type	PoR	Description
211	GPIO09	Output	CMOS – 1.8V [ST]	PD	Audio Codec Master Clock (AUD_MCLK)
195	I2S0_DIN	Input	CMOS – 1.8V [CZ]	PD	I ² S Audio Port 0 Data In
193	I2S0_DOUT	Output	CMOS – 1.8V [CZ]	PD	I ² S Audio Port 0 Data Out
197	I2S0_FS	Bidirectional	CMOS – 1.8V [CZ]	PD	I ² S Audio Port 0 Frame Select (Left/Right Clock)
199	I2S0_SCLK	Bidirectional	CMOS – 1.8V [CZ]	PD	I ² S Audio Port 0 Clock
222	I2S1_DIN	Input	CMOS – 1.8V [ST]	PD	I ² S Audio Port 1 Data In
220	I2S1_DOUT	Output	CMOS – 1.8V [ST]	PD	I ² S Audio Port 1 Data Out
224	I2S1_FS	Bidirectional	CMOS – 1.8V [ST]	PD	I ² S Audio Port 1 Frame Select (Left/Right Clock)
226	I2S1_SCLK	Bidirectional	CMOS – 1.8V [ST]	PD	I ² S Audio Port 1 Clock

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA.

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

4.7 Miscellaneous Interfaces

4.7.1 Inter-Chip Communication (I2C)

Standard
NXP inter-IC-bus (I ² C) specification

This general purpose I²C controller allows system expansion for I²C-based devices as defined in the NXP inter-IC-bus (I²C) specification. The I²C bus supports serial device communications to multiple devices; the I²C controller handles clock source negotiation, speed negotiation for standard and fast devices, 7-bit slave address support according to the I²C protocol and supports master and slave mode of operation.

The I²C controller supports the following operating modes: Master – Standard-mode (up to 100Kbit/s), Fast-mode (up to 400 Kbit/s), Fast-mode plus (Fm+, up to 1Mbit/s); Slave – Standard-mode (up to 100Kbit/s), Fast-mode (up to 400 Kbit/s), Fast-mode plus (Fm+, up to 1Mbit/s).

Table 19 I2C Pin Descriptions

Pin	Name	I/O	Pin Type	PoR	Description
185	I2C0_SCL	Bidirectional	Open Drain – 3.3V [DD]	z	Only 3.3V devices supported without level shifter. I ² C 0 Clock/Data pins. On module 2.2kΩ pull-up to 3.3V.
187	I2C0_SDA			z	
189	I2C1_SCL	Bidirectional	Open Drain – 3.3V [DD]	z	Only 3.3V devices supported without level shifter. I ² C 1 Clock/Data pins. On module 2.2kΩ pull-up to 3.3V.
191	I2C1_SDA			z	
232	I2C2_SCL	Bidirectional	Open Drain – 1.8V [DD]	z	Only 1.8V devices supported without level shifter. I ² C 2 Clock/Data pins. On module 2.2kΩ pull-up to 1.8V.
234	I2C2_SDA			z	
213	CAM_I2C_SCL	Bidirectional	Open Drain – 3.3V [DD]	z	Only 3.3V devices supported without level shifter. Camera I ² C Clock/Data pins. On module 4.7kΩ pull-up to 3.3V.
215	CAM_I2C_SDA			z	

4.7.2 Serial Peripheral Interface (SPI)

The SPI controllers operate up to 65Mbps in master mode and 45Mbps in slave mode. It allows a duplex, synchronous, serial communication between the controller and external peripheral devices. It consists of four signals, SS_N (Chip select), SCK (clock), MOSI (Master data out and Slave data in) and MISO (Slave data out and master data in). The data is transferred on MOSI or MISO based on the data transfer direction on every SCK edge. The receiver always receives the data on the other edge of SCK.

Features:

- Independent Rx FIFO and Tx FIFO.
- Software controlled bit-length supports packet sizes of 1 to 32 bits.
- Packed mode support for bit-length of 7 (8-bit packet size) and 15 (16-bit packet size).
- SS_N can be selected to be controlled by software, or it can be generated automatically by the hardware on packet boundaries.
- Receive compare mode (controller listens for a specified pattern on the incoming data before receiving the data in the FIFO).
- Simultaneous receive and transmit supported
- Supports Master mode. Slave mode has not been validated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA.

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

Table 20 SPI Pin Descriptions

Pin	Name	Direction	Type	PoR	Description
95	SPI0_CS0*	Bidirectional	CMOS – 1.8V [LV-CZ]	PU	SPI 0 Chip Select 0
97	SPI0_CS1*	Bidirectional	CMOS – 1.8V [LV-CZ]	PU	SPI 0 Chip Select 1
93	SPI0_MISO	Bidirectional	CMOS – 1.8V [LV-CZ]	PD	SPI 0 Master In / Slave Out
89	SPI0_MOSI	Bidirectional	CMOS – 1.8V [LV-CZ]	PD	SPI 0 Master Out / Slave In
91	SPI0_SCK	Bidirectional	CMOS – 1.8V [LV-CZ]	PD	SPI 0 Clock
110	SPI1_CS0*	Bidirectional	CMOS – 1.8V [CZ]	PU	SPI 1 Chip Select 0
112	SPI1_CS1*	Bidirectional	CMOS – 1.8V [CZ]	PU	SPI 1 Chip Select 1
108	SPI1_MISO	Bidirectional	CMOS – 1.8V [CZ]	PD	SPI 1 Master In / Slave Out
104	SPI1_MOSI	Bidirectional	CMOS – 1.8V [CZ]	PD	SPI 1 Master Out / Slave In
106	SPI1_SCK	Bidirectional	CMOS – 1.8V [CZ]	PD	SPI 1 Clock

Figure 5 SPI Master Timing Diagram

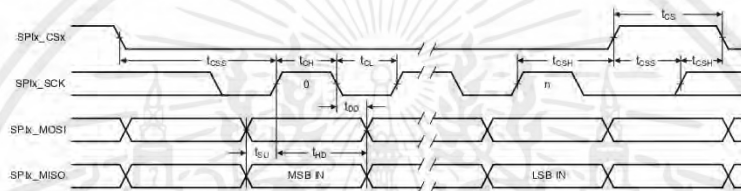


Table 21 SPI Master Timing Parameters

Symbol	Parameter	Minimum	Maximum	Unit
F _{sck}	SPIx_SCK clock frequency		65	MHz
P _{sck}	SPIx_SCK period	1/F _{sck}		ns
t _{CH}	SPIx_SCK high time	50%P _{sck} -10%	50%P _{sck} +10%	ns
t _{CL}	SPIx_SCK low time	50%P _{sck} -10%	50%P _{sck} +10%	ns
t _{CRR}	SPIx_SCK rise time (slew rate)	0.1		V/ns
t _{CFT}	SPIx_SCK fall time (slew rate)	0.1		V/ns
t _{SU}	SPIx_MISO setup to SPIx_SCK rising edge	2		ns
t _{HD}	SPIx_MISO hold from SPIx_SCK rising edge	3		ns
t _{DD}	SPIx_MOSI delay from SPIx_SCK falling edge	0	4	ns
t _{CSs}	SPIx_CSx setup time	2		ns
t _{CSH}	SPIx_CSx hold time	3		ns
t _{CS}	SPIx_CSx high time	10		ns

Note: Polarity of SCLK is programmable. Data can be driven or input relative to either the rising edge (shown above) or falling edge.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

Figure 6 SPI Slave Timing Diagram

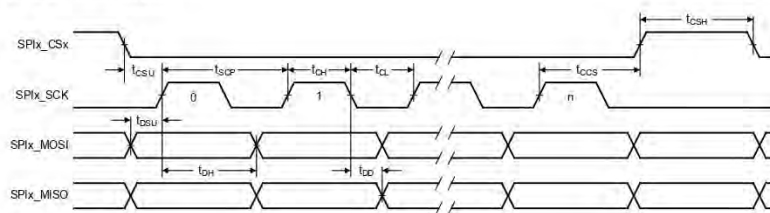


Table 22 SPI Slave Timing Parameters

Symbol	Parameter	Minimum	Maximum	Unit
t_{SCP}	SPIx_SCK period	$2 \cdot (t_{SDO} + t_{MSU}^1)$		ns
t_{SCH}	SPIx_SCK high time	$t_{SDO} + t_{MSU}^1$		ns
t_{SCL}	SPIx_SCK low time	$t_{SDO} + t_{MSU}^1$		ns
t_{CSU}	SPIx_CSx setup time	1		t_{SCP}
t_{CSH}	SPIx_CSx high time	1		t_{SCP}
t_{CCS}	SPIx_SCK rising edge to SPIx_CSx rising edge	1	1	t_{SCP}
t_{DSU}	SPIx_MOSI setup to SPIx_SCK rising edge	1	1	ns
t_{SCH}	SPIx_MOSI hold from SPIx_SCK rising edge	2	11	ns

1. t_{MSU} is the setup time required by the external master

Note: Polarity of SCLK is programmable. Data can be driven or input relative to either the rising edge (shown above) or falling edge.

4.7.3 UART

UART controller provides serial data synchronization and data conversion (parallel-to-serial and serial-to-parallel) for both receiver and transmitter sections. Synchronization for serial data stream is accomplished by adding start and stop bits to the transmit data to form a data character. Data integrity is accomplished by attaching a parity bit to the data character. The parity bit can be checked by the receiver for any transmission bit errors.

NOTE: The UART receiver input has low baud rate tolerance in 1-stop bit mode. External devices must use 2 stop bits.

In 1-stop bit mode, the Tegra UART receiver can lose sync between Tegra receiver and the external transmitter resulting in data errors/corruption. In 2-stop bit mode, the extra stop bit allows the Tegra UART receiver logic to align properly with the UART transmitter.

Features:

- Synchronization for the serial data stream with start and stop bits to transmit data and form a data character
- Supports both 16450- and 16550-compatible modes. Default mode is 16450
- Device clock up to 200MHz, baud rate of 12.5Mbits/second
- Data integrity by attaching parity bit to the data character
- Support for word lengths from five to eight bits, an optional parity bit and one or two stop bits
- Support for modem control inputs
- DMA capability for both Tx and Rx
- 8-bit x 36 deep Tx FIFO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

- 11-bit x 36 deep Rx FIFO. Three bits of 11 bits per entry log the Rx errors in FIFO mode (break, framing, and parity errors as bits 10, 9, 8 of FIFO entry)
- Auto sense baud detection
- Timeout interrupts to indicate if the incoming stream stopped
- Priority interrupts mechanism
- Flow control support on RTS and CTS
- Internal loopback
- SIR encoding/decoding (3/16 or 4/16 baud pulse widths to transmit bit zero)

Table 23 UART Pin Descriptions

Pin	Name	Direction	Type	PoR	Description
99	UART0_TXD	Output	CMOS – 1.8V [ST]	PD	UART 0 Transmit
101	UART0_RXD	Input	CMOS – 1.8V [ST]	PU	UART 0 Receive
103	UART0_RTS*	Output	CMOS – 1.8V [ST]	PD	UART 0 Request to Send
105	UART0_CTS*	Input	CMOS – 1.8V [ST]	PD	UART 0 Clear to Send
203	UART1_TXD	Output	CMOS – 1.8V [ST]	PD	UART 1 Transmit
205	UART1_RXD	Input	CMOS – 1.8V [ST]	PD	UART 1 Receive
207	UART1_RTS*	Output	CMOS – 1.8V [ST]	PD	UART 1 Request to Send
209	UART1_CTS*	Input	CMOS – 1.8V [ST]	PD	UART 1 Clear to Send
236	UART2_TXD	Output	CMOS – 1.8V [ST]	PD	UART 2 Transmit
238	UART2_RXD	Input	CMOS – 1.8V [ST]	PD	UART 2 Receive

4.7.4 Gigabit Ethernet

The Jetson Nano integrates a Realtek RTL811191CG Gigabit Ethernet controller. The on-module Ethernet controller supports:

- 10/100/1000 Mbps Gigabit Ethernet
- IEEE 802.3u Media Access Controller (MAC)

Table 24 Gigabit Ethernet Pin Descriptions

Pin	Name	Direction	Type	Description
194	GBE_LED_ACT	Output		Activity LED (yellow) enable
188	GBE_LED_LINK	Output		Link LED (green) enable. Link LED only illuminates if link established is 1000. 100/10 will not cause the Link LED to light up.
184	GBE_MDIO_N	Bidirectional	MDI	GbE Transformer Data 0
186	GBE_MDIO_P			
190	GBE_MD11_N	Bidirectional	MDI	GbE Transformer Data 1
192	GBE_MD11_P			
196	GBE_MD12_N	Bidirectional	MDI	GbE Transformer Data 2
198	GBE_MD12_P			
202	GBE_MD13_N	Bidirectional	MDI	GbE Transformer Data 3
204	GBE_MD13_P			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA.

4.7.5 Fan

The Jetson Nano includes PWM and Tachometer functionality to enable fan control as part of a thermal solution. The Pulse Width Modulator (PWM) controller is a frequency divider with a varying pulse width. The PWM runs off a device clock programmed in the Clock and Reset controller and can be any frequency up to the device clock maximum speed of 48MHz. The PWFm gets divided by 256 before being subdivided based on a programmable value.

Table 25 Fan Pin Descriptions

Pin	Name	Direction	Type	PoR	Description
230	GPIO14	Output	CMOS – 1.8V [ST]	PD	Fan PWM
208	GPIO08	Input	CMOS – 1.8V [ST]	PD	Fan Tachometer

4.7.6 Debug

A debug interface is supported via JTAG on-module test points or serial interface over UART1. The JTAG interface can be used for SCAN testing or communicating with integrated CPU. See the *NVIDIA Jetson Nano Product Design Guide* for more information.

Table 26 Debug Pin Descriptions

Pin	Name	I/O	Pin Type	PoR	Description
-	JTAG_RTCK	Output	CMOS – 1.8V [JT_RST]	0	Return Test Clock
-	JTAG_TCK	Input	CMOS – 1.8V [JT_RST]	z	Test Clock
-	JTAG_TDI	Input	CMOS – 1.8V [JT_RST]	PU	Test Data In
-	JTAG_TDO	Output	CMOS – 1.8V [ST]	z	Test Data Out
-	JTAG_TMS	Input	CMOS – 1.8V [JT_RST]	PU	Test Mode Select
-	JTAG_GPO	Input	CMOS – 1.8V [JT_RST]	PD	Test Reset
236	UART2_TXD	Output	CMOS – 1.8V [ST]	PD	Debug UART Transmit
238	UART2_RXD	Input	CMOS – 1.8V [ST]	PD	Debug UART Receive

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

5.0 Physical / Electrical Characteristics

5.1 Operating and Absolute Maximum Ratings

The parameters listed in following table are specific to a temperature range and operating voltage. Operating the Jetson Nano module beyond these parameters is not recommended. Exceeding these conditions for extended periods may adversely affect device reliability.

WARNING: Exceeding the listed conditions may damage and/or affect long-term reliability of the part. The Jetson Nano module should never be subjected to conditions extending beyond the ratings listed below.

Table 27 Recommended Operating Conditions

Symbol	Parameter	Minimum	Typical	Maximum	Unit
VDD _{DC}	VDD_IN	4.75	5.0	5.25	V
	PMIC_BBAT	1.65		5.5	V

Absolute maximum ratings describe stress conditions. These parameters do not set minimum and maximum operating conditions that will be tolerated over extended periods of time. If the device is exposed to these parameters for extended periods of time, no guarantee is made and device reliability may be affected. It is not recommended to operate the Jetson Nano module under these conditions.

Table 28 Absolute Maximum Ratings

Symbol	Parameter	Minimum	Maximum	Unit	Notes
VDD _{MAX}	VDD_IN	-0.5	5.5	V	
	PMIC_BBAT	-0.3	6.0	V	
IDD _{MAX}	VDD_IN I _{max}		5	A	
V _{ML_PIN}	Voltage applied to any powered I/O pin	-0.5	VDD + 0.5	V	VDD + 0.5V when CARRIER_PWR_ON high & associated I/O rail powered. I/O pins cannot be high (>0.5V) before CARRIER_PWR_ON goes high. When CARRIER_PWR_ON is low, the maximum voltage applied to any I/O pin is 0.5V
	DD pins configured as open drain	-0.5	3.63	V	The pin's output-driver must be set to open-drain mode
T _{OP}	Operating Temperature	-25	97	°C	See the <i>Jetson Nano Thermal Design Guide</i> for details.
T _{STG}	Storage Temperature (ambient)	-40	80	°C	
M _{MAX}	Mounting Force		4.0	kgf	kilogram-force (kgf). Maximum force applied to PCB. See the <i>Jetson Nano Thermal Design Guide</i> for additional details on mounting a thermal solution.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

5.2 Digital Logic

Voltages less than the minimum stated value can be interpreted as an undefined state or logic level low which may result in unreliable operation. Voltages exceeding the maximum value can damage and/or adversely affect device reliability.

Table 29. CMOS Pin Type DC Characteristics

Symbol	Description	Minimum	Maximum	Units
V _{IL}	Input Low Voltage	-0.5	0.25 x VDD	V
V _{IH}	Input High Voltage	0.75 x VDD	0.5 + VDD	V
V _{OL}	Output Low Voltage (I _{OL} = 1mA)	---	0.15 x VDD	V
V _{OH}	Output High Voltage (I _{OH} = -1mA)	0.85 x VDD	---	V

Table 30. Open Drain Pin Type DC Characteristics

Symbol	Description	Minimum	Maximum	Units
V _{IL}	Input Low Voltage	-0.5	0.25 x VDD	V
V _{IH}	Input High Voltage	0.75 x VDD	3.63	V
V _{OL}	Output Low Voltage (I _{OL} = 1mA)	---	0.15 x VDD	V
	I2C[1,0] Output Low Voltage (I _{OL} = 2mA) (see note)	---	0.3 x VDD	V
V _{OH}	Output High Voltage (I _{OH} = -1mA)	0.85 x VDD	---	V

Note: I2C[1,0]_[SCL, SDA] pins pull-up to 3.3V through on module 2.2kΩ resistor. I2C2_[SCL, SDA] pins pull-up to 1.8V through on module 2.2kΩ resistor.

5.3 Environmental & Mechanical Screening

Module performance was assessed against a series of industry standard tests designed to evaluate robustness and estimate the failure rate of an electronic assembly in the environment in which it will be used. Mean Time Between Failures (MTBF) calculations are produced in the design phase to predict a product's future reliability in the field.

Table 31. Jetson Nano Reliability Report

Test	Reference Standards / Test Conditions
Temperature Humidity Biased	JESD22-A101 85°C / 85% RH, 168 hours, Power ON
Temperature Cycling	JESD22-A104, IPC9701 -40°C to 105°C, 250 cycles, non-operational
Humidity Steady State	NVIDIA Standard 45°C 90% RH 336hrs, operational
Mechanical Shock – 140G	JESD22-B110 140G, half sine, 1 shock/orientation, 6 orientations total, non-operational
Mechanical Shock – 50G	IEC60068-2-27 50G, half sine, 1 shock/orientation, 6 orientations total, operational
Connector Insertion Cycling	EIA-364 30 cycles
Sine Vibration – 3G	IEC60068-2-6 3G, 10-500 Hz, 1 sweep/axis, 3 axes total, non-operational
Random Vibration – 2G	IEC60068-2-64 10-500 Hz, 2 Grms, 1 hour/axis, non-operational

JETSON | NANO | DATASHEET | DA-09366-001_v1.1 | SUBJECT TO CHANGE | COPYRIGHT © 2014 – 2022 NVIDIA CORPORATION. ALL RIGHTS RESERVED.

35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



NVIDIA.

Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

Test	Reference Standards / Test Conditions
Random Vibration – 1G	IEC60068-2-64 10-500 Hz, 1 Grms, 1 hour/axis, operational
Hard Boot	NVIDIA Standard Power ON/OFF, ON for 150 sec OFF for 30 sec 1000 cycles at 25°C, 1000 cycles at -40°C
Operational Low Temp	NVIDIA Standard -5°C, 24 hours, operational
Operational High Temp	NVIDIA Standard 40°C, 90%RH, 168 hours, operational
MTBF / Failure Rate: 3,371K Hours	Telcordia SR-332, ISSUE 3 Parts Count (Method I) Controlled Environment (GB), T = 35°C, CL = 90%
MTBF / Failure Rate: 1,836K Hours	Telcordia SR-332, ISSUE 3 Parts Count (Method I) Uncontrolled Environment (GF), T = 35°C, CL = 90%
MTBF / Failure Rate: 957K Hours	Telcordia SR-332, ISSUE 3 Parts Count (Method I) Uncontrolled Environment (GM), T = 35°C, CL = 90%



JETSON | NANO | DATASHEET | DA-09366-001_v1.1 | SUBJECT TO CHANGE | COPYRIGHT © 2014 – 2022 NVIDIA CORPORATION. ALL RIGHTS RESERVED

36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



5.4 Pinout

Signal Name	Pin # Top Odd	Pin # Bottom Even	Signal Name
GND	1	2	GND
CSI1_D0_N	3	4	CSI0_D0_N
CSI1_D0_P	5	6	CSI0_D0_P
GND	7	8	GND
RSVD	9	10	CSI0_CLK_N
RSVD	11	12	CSI0_CLK_P
GND	13	14	GND
CSI1_D1_N	15	16	CSI0_D1_N
CSI1_D1_P	17	18	CSI0_D1_P
GND	19	20	GND
CSI3_D0_N	21	22	CSI2_D0_N
CSI3_D0_P	23	24	CSI2_D0_P
GND	25	26	GND
CSI3_CLK_N	27	28	CSI2_CLK_N
CSI3_CLK_P	29	30	CSI2_CLK_P
GND	31	32	GND
CSI3_D1_N	33	34	CSI2_D1_N
CSI3_D1_P	35	36	CSI2_D1_P
GND	37	38	GND
DPO_TXD0_N	39	40	CSI4_D2_N
DPO_TXD0_P	41	42	CSI4_D2_P
GND	43	44	GND
DPO_TXD1_N	45	46	CSI4_D0_N
DPO_TXD1_P	47	48	CSI4_D0_P
GND	49	50	GND
DPO_TXD2_N	51	52	CSI4_CLK_N
DPO_TXD2_P	53	54	CSI4_CLK_P
GND	55	56	GND
DPO_TXD3_N	57	58	CSI4_D1_N
DPO_TXD3_P	59	60	CSI4_D1_P
GND	61	62	GND
DP1_TXD0_N	63	64	CSI4_D3_N
DP1_TXD0_P	65	66	CSI4_D3_P
GND	67	68	GND
DP1_TXD1_N	69	70	DSI_D0_N
DP1_TXD1_P	71	72	DSI_D0_P
GND	73	74	GND
DP1_TXD2_N	75	76	DSI_CLK_N
DP1_TXD2_P	77	78	DSI_CLK_P
GND	79	80	GND
DP1_TXD3_N	81	82	DSI_D1_N
DP1_TXD3_P	83	84	DSI_D1_P
GND	85	86	GND
GPIO0	87	88	DPO_HPD
SPI0_MOSI	89	90	DPO_AUX_N
SPI0_SCK	91	92	DPO_AUX_P
SPI0_MISO	93	94	HDMI_CEC
SPI0_CS0*	95	96	DP1_HPD
SPI0_CS1*	97	98	DP1_AUX_N
UART0_TXD	99	100	DP1_AUX_P
UART0_RXD	101	102	GND
UART0_RTS*	103	104	SPI1_MOSI
UART0_CTS*	105	106	SPI1_SCK
GND	107	108	SPI1_MISO
USB0_D_N	109	110	SPI1_CS0*
USB0_D_P	111	112	SPI1_CS1*
GND	113	114	CAM0_PWDN
USB1_D_N	115	116	CAM0_MCLK
USB1_D_P	117	118	GPIO01
GND	119	120	CAM1_PWDN
USB2_D_N	121	122	CAM1_MCLK
USB2_D_P	123	124	GPIO02
GND	125	126	GPIO03
GPIO04	127	128	GPIO05
GND	129	130	GPIO06
PCIe0_RX0_N	131	132	GND

Signal Name	Pin # Top Odd	Pin # Bottom Even	Signal Name
PCIe0_RX0_P	133	134	PCIe0_TX0_N
GND	135	136	PCIe0_TX0_P
PCIe0_RX1_N	137	138	GND
PCIe0_RX1_P	139	140	PCIe0_TX1_N
GND	141	142	PCIe0_TX1_P
RSVD	143	144	GND
KEY	KEY	KEY	KEY
RSVD	145	146	GND
GND	147	148	PCIe0_TX2_N
PCIe0_RX2_N	149	150	PCIe0_TX2_P
PCIe0_RX2_P	151	152	GND
GND	153	154	PCIe0_TX3_N
PCIe0_RX3_N	155	156	PCIe0_TX3_P
PCIe0_RX3_P	157	158	GND
GND	159	160	PCIe0_CLK_N
USBSS_RX_N	161	162	PCIe0_CLK_P
USBSS_RX_P	163	164	GND
GND	165	166	USBSS_TX_N
RSVD	167	168	USBSS_TX_P
RSVD	169	170	GND
GND	171	172	RSVD
RSVD	173	174	RSVD
RSVD	175	176	GND
GND	177	178	MOD_SLEEP*
PCIE_WAKE*	179	180	PCIe0_CLKREQ*
PCIe0_RST*	181	182	RSVD
RSVD	183	184	GBE_MDIO_N
I2C0_SCL	185	186	GBE_MDIO_P
I2C0_SDA	187	188	GBE_LED_LINK
I2C1_SCL	189	190	GBE_MD1_N
I2C1_SDA	191	192	GBE_MD1_P
I2S0_DOUT	193	194	GBE_LED_ACT
I2S0_DIN	195	196	GBE_MD12_N
I2S0_FS	197	198	GBE_MD12_P
I2S0_SCLK	199	200	GND
GND	201	202	GBE_MD13_N
UART1_TXD	203	204	GBE_MD13_P
UART1_RXD	205	206	GPIO07
UART1_RTS*	207	208	GPIO08
UART1_CTS*	209	210	CLK_32K_OUT
GPIO09	211	212	GPIO10
CAM_I2C_SCL	213	214	FORCE_RECOVERY*
CAM_I2C_SDA	215	216	GPIO11
GND	217	218	GPIO12
SDMMC_DAT0	219	220	I2S1_DOUT
SDMMC_DAT1	221	222	I2S1_DIN
SDMMC_DAT2	223	224	I2S1_FS
SDMMC_DAT3	225	226	I2S1_SCLK
SDMMC_CMD	227	228	GPIO13
SDMMC_CLK	229	230	GPIO14
GND	231	232	I2C2_SCL
SHUTDOWN_REQ*	233	234	I2C2_SDA
PMIC_BBAT	235	236	UART2_TXD
POWER_EN	237	238	UART2_RXD
SYS_RESET*	239	240	SLEEP/WAKE*
GND	241	242	GND
GND	243	244	GND
GND	245	246	GND
GND	247	248	GND
GND	249	250	GND
VDD_IN	251	252	VDD_IN
VDD_IN	253	254	VDD_IN
VDD_IN	255	256	VDD_IN
VDD_IN	257	258	VDD_IN
VDD_IN	259	260	VDD_IN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



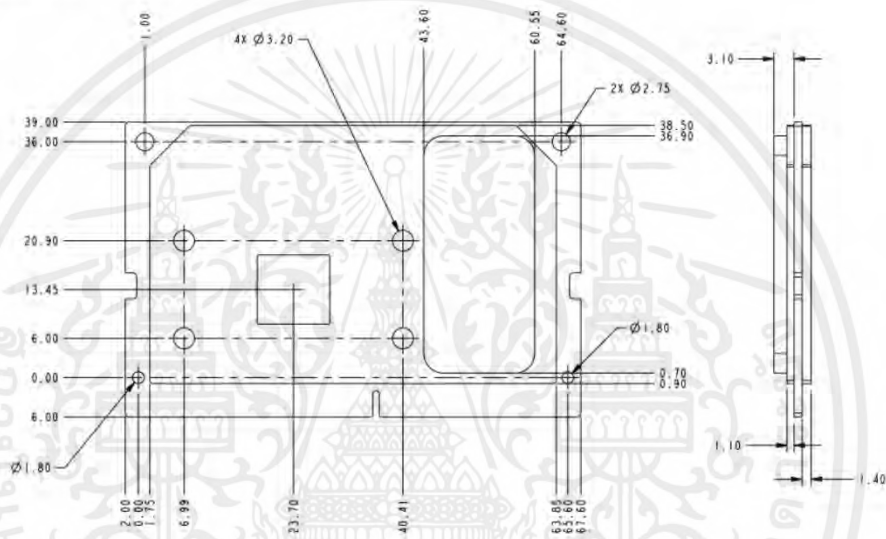
Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

5.5 Package Drawing and Dimensions

Table 32 Module Dimensions

Description	Minimum	Typical	Maximum	Unit
Connector to opposite side			45	mm
Side (perpendicular to connector) to opposite side			69.6	mm
SoC height	1.36	1.51	1.66	mm

Figure 7 Module Top and Side View with Cover Outline



JETSON | NANO | DATASHEET | DA-09366-001_v1.1 | SUBJECT TO CHANGE | COPYRIGHT © 2014–2022 NVIDIA CORPORATION. ALL RIGHTS RESERVED.

38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Figure 8 Module Bottom with Cover Outline

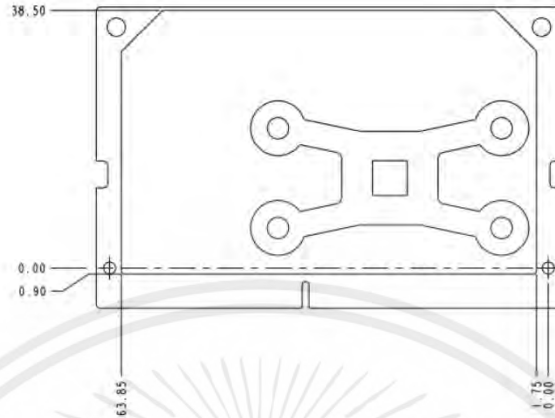
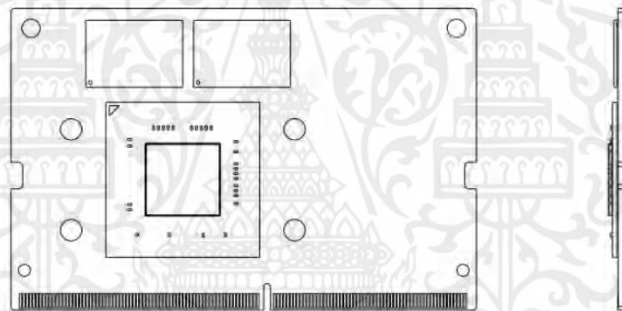


Figure 9 Module Top Showing DRAM Placement and Side View

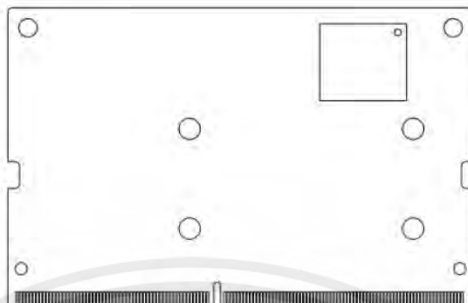


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Jetson Nano System-on-Module
Maxwell GPU + ARM Cortex-A57 + 4GB LPDDR4 + 16GB eMMC

Figure 10 Module Bottom Showing EMMC Placement



JETSON | NANO | DATASHEET | DA-09366-001_v1.1 | SUBJECT TO CHANGE | COPYRIGHT © 2014–2022 NVIDIA CORPORATION. ALL RIGHTS RESERVED.

40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Notice

The information provided in this specification is believed to be accurate and reliable as of the date provided. However, NVIDIA Corporation ("NVIDIA") does not give any representations or warranties, expressed or implied, as to the accuracy or completeness of such information. NVIDIA shall have no liability for the consequences or use of such information or for any infringement of patents or other rights of third parties that may result from its use. This publication supersedes and replaces all other specifications for the product that may have been previously supplied.

NVIDIA reserves the right to make corrections, modifications, enhancements, improvements, and other changes to this specification, at any time and/or to discontinue any product or service without notice. Customer should obtain the latest relevant specification before placing orders and should verify that such information is current and complete.

NVIDIA products are sold subject to the NVIDIA standard terms and conditions of sale supplied at the time of order acknowledgement, unless otherwise agreed in an individual sales agreement signed by authorized representatives of NVIDIA and customer. NVIDIA hereby expressly objects to applying any customer general terms and conditions with regard to the purchase of the NVIDIA product referenced in this specification.

NVIDIA products are not designed, authorized or warranted to be suitable for use in medical, military, aircraft, space or life support equipment, nor in applications where failure or malfunction of the NVIDIA product can reasonably be expected to result in personal injury, death or property or environmental damage. NVIDIA accepts no liability for inclusion and/or use of NVIDIA products in such equipment or applications and therefore such inclusion and/or use is at customer's own risk.

NVIDIA makes no representation or warranty that products based on these specifications will be suitable for any specified use without further testing or modification. Testing of all parameters of each product is not necessarily performed by NVIDIA. It is customer's sole responsibility to ensure the product is suitable and fit for the application planned by customer and to do the necessary testing for the application in order to avoid a default of the application or the product. Weaknesses in customer's product designs may affect the quality and reliability of the NVIDIA product and may result in additional or different conditions and/or requirements beyond those contained in this specification. NVIDIA does not accept any liability related to any default, damage, costs or problem which may be based on or attributable to (i) the use of the NVIDIA product in any manner that is contrary to this specification, or (ii) customer product designs.

No license, either express or implied, is granted under any NVIDIA patent right, copyright, or other NVIDIA intellectual property right under this specification. Information published by NVIDIA regarding third-party products or services does not constitute a license from NVIDIA to use such products or services or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property rights of the third party, or a license from NVIDIA under the patents or other intellectual property rights of NVIDIA. Reproduction of information in this specification is permissible only if reproduction is approved by NVIDIA in writing, is reproduced without alteration, and is accompanied by all associated conditions, limitations, and notices.

ALL NVIDIA DESIGN SPECIFICATIONS, REFERENCE BOARDS, FILES, DRAWINGS, DIAGNOSTICS, LISTS, AND OTHER DOCUMENTS (TOGETHER AND SEPARATELY "MATERIALS") ARE BEING PROVIDED "AS IS." NVIDIA MAKES NO WARRANTIES, EXPRESSED, IMPLIED, STATUTORY, OR OTHERWISE WITH RESPECT TO THE MATERIALS, AND EXPRESSLY DISCLAIMS ALL IMPLIED WARRANTIES OF NON-INFRINGEMENT, MERCHANTABILITY, AND FITNESS FOR A PARTICULAR PURPOSE. Notwithstanding any damages that customer might incur for any reason whatsoever, NVIDIA's aggregate and cumulative liability towards customer for the products described herein shall be limited in accordance with the NVIDIA terms and conditions of sale for the product.

HDMI

HDMI, the HDMI logo, and High-Definition Multimedia Interface are trademarks or registered trademarks of HDMI Licensing LLC.

ARM

ARM, AMBA and ARM Powered are registered trademarks of ARM Limited. Cortex, MPCore and Mali are trademarks of ARM Limited. All other brands or product names are the property of their respective holders. "ARM" is used to represent ARM Holdings plc, its operating company ARM Limited, and the regional subsidiaries ARM Inc.; ARM KK; ARM Korea Limited; ARM Taiwan Limited; ARM France SAS; ARM Consulting (Shanghai) Co. Ltd.; ARM Germany GmbH; ARM Embedded Technologies Pvt. Ltd.; ARM Norway, AS and ARM Sweden AB.

OpenCL

OpenCL is a trademark of Apple Inc. used under license to the Khronos Group Inc.

Trademarks

NVIDIA, the NVIDIA logo, and Tegra are trademarks and/or registered trademarks of NVIDIA Corporation in the U.S. and other countries. Other company and product names may be trademarks of the respective companies with which they are associated.

Copyright

© 2014 – 2022 NVIDIA Corporation. All rights reserved.

NVIDIA Corporation | 2788 San Tomas Expressway | Santa Clara, CA 95051 | www.nvidia.com



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM2596

3.0 A, Step-Down Switching Regulator

The LM2596 regulator is monolithic integrated circuit ideally suited for easy and convenient design of a step-down switching regulator (buck converter). It is capable of driving a 3.0 A load with excellent line and load regulation. This device is available in adjustable output version and it is internally compensated to minimize the number of external components to simplify the power supply design.

Since LM2596 converter is a switch-mode power supply, its efficiency is significantly higher in comparison with popular three-terminal linear regulators, especially with higher input voltages.

The LM2596 operates at a switching frequency of 150 kHz thus allowing smaller sized filter components than what would be needed with lower frequency switching regulators. Available in a standard 5-lead TO-220 package with several different lead bend options, and D²PAK surface mount package.

The other features include a guaranteed $\pm 4\%$ tolerance on output voltage within specified input voltages and output load conditions, and $\pm 15\%$ on the oscillator frequency. External shutdown is included, featuring 80 μA (typical) standby current. Self protection features include switch cycle-by-cycle current limit for the output switch, as well as thermal shutdown for complete protection under fault conditions.

Features

- Adjustable Output Voltage Range 1.23 V – 37 V
- Guaranteed 3.0 A Output Load Current
- Wide Input Voltage Range up to 40 V
- 150 kHz Fixed Frequency Internal Oscillator
- TTL Shutdown Capability
- Low Power Standby Mode, typ 80 μA
- Thermal Shutdown and Current Limit Protection
- Internal Loop Compensation
- Moisture Sensitivity Level (MSL) Equals 1
- Pb-Free Packages are Available

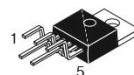
Applications

- Simple High-Efficiency Step-Down (Buck) Regulator
- Efficient Pre-Regulator for Linear Regulators
- On-Card Switching Regulators
- Positive to Negative Converter (Buck-Boost)
- Negative Step-Up Converters
- Power Supply for Battery Chargers



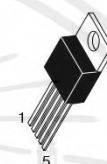
ON Semiconductor®

<http://onsemi.com>



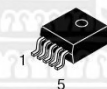
TO-220
TV SUFFIX
CASE 314B

Heatsink surface connected to Pin 3



TO-220
T SUFFIX
CASE 314D

Pin 1. V_{in}
2. Output
3. Ground
4. Feedback
5. ON/OFF



D²PAK
D2T SUFFIX
CASE 936A

Heatsink surface (shown as terminal 6 in case outline drawing) is connected to Pin 3

ORDERING INFORMATION

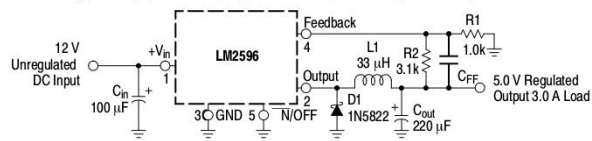
See detailed ordering and shipping information in the package dimensions section on page 23 of this data sheet.

DEVICE MARKING INFORMATION

See general marking information in the device marking section on page 23 of this data sheet.

LM2596

Typical Application (Adjustable Output Voltage Version)



Block Diagram

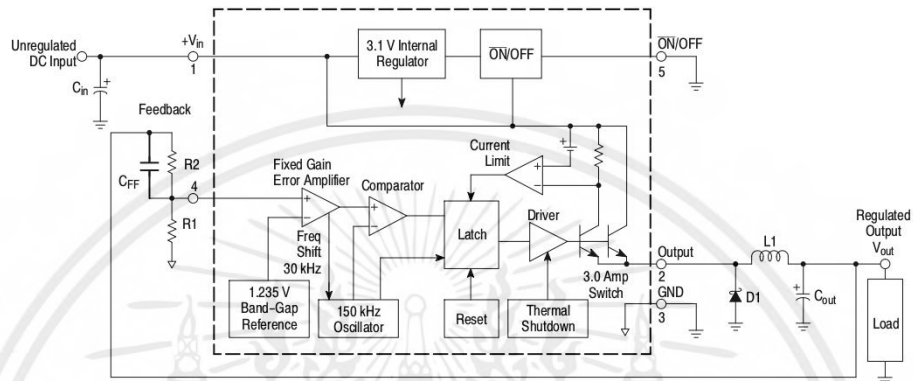


Figure 1. Typical Application and Internal Block Diagram

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Maximum Supply Voltage	V_{in}	45	V
ON/OFF Pin Input Voltage	-	$-0.3\text{ V} \leq V \leq +V_{in}$	V
Output Voltage to Ground (Steady-State)	-	-1.0	V
Power Dissipation			
Case 314B and 314D (TO-220, 5-Lead)	P_D	Internally Limited	W
Thermal Resistance, Junction-to-Ambient	$R_{\theta JA}$	65	$^{\circ}\text{C/W}$
Thermal Resistance, Junction-to-Case	$R_{\theta JC}$	5.0	$^{\circ}\text{C/W}$
Case 936A (D ² PAK)	P_D	Internally Limited	W
Thermal Resistance, Junction-to-Ambient	$R_{\theta JA}$	70	$^{\circ}\text{C/W}$
Thermal Resistance, Junction-to-Case	$R_{\theta JC}$	5.0	$^{\circ}\text{C/W}$
Storage Temperature Range	T_{stg}	-65 to +150	$^{\circ}\text{C}$
Minimum ESD Rating (Human Body Model: $C = 100\text{ pF}$, $R = 1.5\text{ k}\Omega$)	-	2.0	kV
Lead Temperature (Soldering, 10 seconds)	-	260	$^{\circ}\text{C}$
Maximum Junction Temperature	T_J	150	$^{\circ}\text{C}$

Stresses exceeding Maximum Ratings may damage the device. Maximum Ratings are stress ratings only. Functional operation above the Recommended Operating Conditions is not implied. Extended exposure to stresses above the Recommended Operating Conditions may affect device reliability.

<http://onsemi.com>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM2596

PIN FUNCTION DESCRIPTION

Pin	Symbol	Description (Refer to Figure 1)
1	V_{in}	This pin is the positive input supply for the LM2596 step-down switching regulator. In order to minimize voltage transients and to supply the switching currents needed by the regulator, a suitable input bypass capacitor must be present (C_{in} in Figure 1).
2	Output	This is the emitter of the internal switch. The saturation voltage V_{sat} of this output switch is typically 1.5 V. It should be kept in mind that the PCB area connected to this pin should be kept to a minimum in order to minimize coupling to sensitive circuitry.
3	GND	Circuit ground pin. See the information about the printed circuit board layout.
4	Feedback	This pin is the direct input of the error amplifier and the resistor network R2, R1 is connected externally to allow programming of the output voltage.
5	ON/OFF	It allows the switching regulator circuit to be shut down using logic level signals, thus dropping the total input supply current to approximately 80 μ A. The threshold voltage is typically 1.6 V. Applying a voltage above this value (up to $+V_{in}$) shuts the regulator off. If the voltage applied to this pin is lower than 1.6 V or if this pin is left open, the regulator will be in the "on" condition.

OPERATING RATINGS (Operating Ratings indicate conditions for which the device is intended to be functional, but do not guarantee specific performance limits. For guaranteed specifications and test conditions, see the Electrical Characteristics.)

Rating	Symbol	Value	Unit
Operating Junction Temperature Range	T_J	-40 to +125	$^{\circ}$ C
Supply Voltage	V_{in}	4.5 to 40	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM2596

SYSTEM PARAMETERS

ELECTRICAL CHARACTERISTICS Specifications with standard type face are for $T_J = 25^\circ\text{C}$, and those with boldface type apply over full Operating Temperature Range -40°C to $+125^\circ\text{C}$

Characteristics	Symbol	Min	Typ	Max	Unit
LM2596 (Note 1, Test Circuit Figure 15)					
Feedback Voltage ($V_{in} = 12\text{ V}$, $I_{Load} = 0.5\text{ A}$, $V_{out} = 5.0\text{ V}$.)	V_{FB_nom}		1.23		V
Feedback Voltage ($8.5\text{ V} \leq V_{in} \leq 40\text{ V}$, $0.5\text{ A} \leq I_{Load} \leq 3.0\text{ A}$, $V_{out} = 5.0\text{ V}$)	V_{FB}	1.193 1.18		1.267 1.28	V
Efficiency ($V_{in} = 12\text{ V}$, $I_{Load} = 3.0\text{ A}$, $V_{out} = 5.0\text{ V}$)	η	–	73	–	%
Characteristics	Symbol	Min	Typ	Max	Unit
Feedback Bias Current ($V_{out} = 5.0\text{ V}$)	I_b		25	100 200	nA
Oscillator Frequency (Note 2)	f_{osc}	135 120	150	165 180	kHz
Saturation Voltage ($I_{out} = 3.0\text{ A}$, Notes 3 and 4)	V_{sat}		1.5	1.8 2.0	V
Max Duty Cycle "ON" (Note 4)	DC		95		%
Current Limit (Peak Current, Notes 2 and 3)	I_{CL}	4.2 3.5	5.6	6.9 7.5	A
Output Leakage Current (Notes 5 and 6) Output = 0 V Output = -1.0 V	I_L		0.5 6.0	2.0 20	mA
Quiescent Current (Note 5)	I_Q		5.0	10	mA
Standby Quiescent Current (ON/OFF Pin = 5.0 V ("OFF")) (Note 6)	I_{sby}		80	200 250	μA
ON/OFF PIN LOGIC INPUT					
Threshold Voltage			1.6		V
$V_{out} = 0\text{ V}$ (Regulator OFF)	V_{IH}	2.2 2.4			V
$V_{out} = \text{Nominal Output Voltage}$ (Regulator ON)	V_{IL}			1.0 0.8	V
ON/OFF Pin Input Current					
ON/OFF Pin = 5.0 V (Regulator OFF)	I_{IH}	–	15	30	μA
ON/OFF Pin = 0 V (regulator ON)	I_{IL}	–	0.01	5.0	μA

- External components such as the catch diode, inductor, input and output capacitors can affect switching regulator system performance. When the LM2596 is used as shown in the Figure 15 test circuit, system performance will be as shown in system parameters section.
- The oscillator frequency reduces to approximately 30 kHz in the event of an output short or an overload which causes the regulated output voltage to drop approximately 40% from the nominal output voltage. This self protection feature lowers the average dissipation of the IC by lowering the minimum duty cycle from 5% down to approximately 2%.
- No diode, inductor or capacitor connected to output (Pin 2) sourcing the current.
- Feedback (Pin 4) removed from output and connected to 0 V.
- Feedback (Pin 4) removed from output and connected to +12 V to force the output transistor "off".
- $V_{in} = 40\text{ V}$.

LM2596

TYPICAL PERFORMANCE CHARACTERISTICS (Circuit of Figure 15)

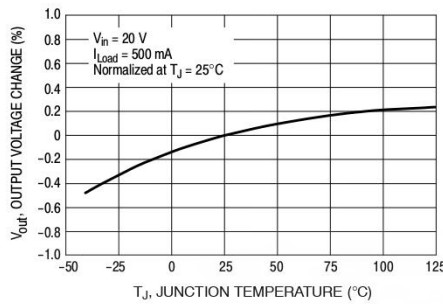


Figure 2. Normalized Output Voltage

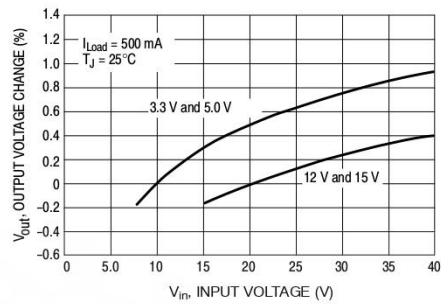


Figure 3. Line Regulation

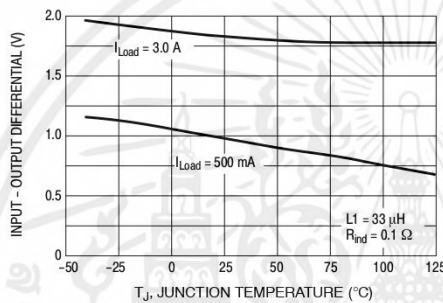


Figure 4. Dropout Voltage

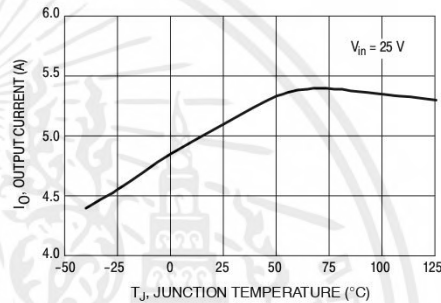


Figure 5. Current Limit

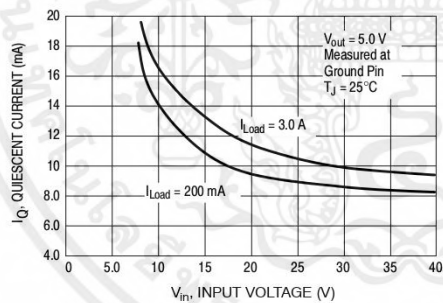


Figure 6. Quiescent Current

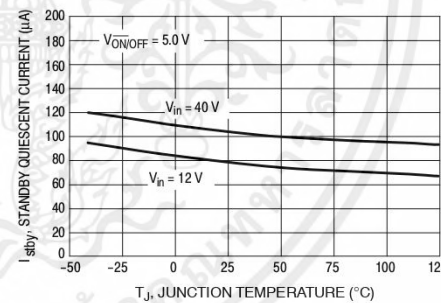


Figure 7. Standby Quiescent Current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM2596

TYPICAL PERFORMANCE CHARACTERISTICS (Circuit of Figure 15)

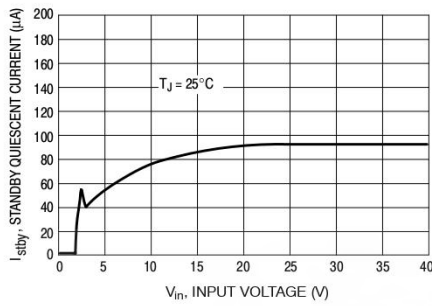


Figure 8. Standby Quiescent Current

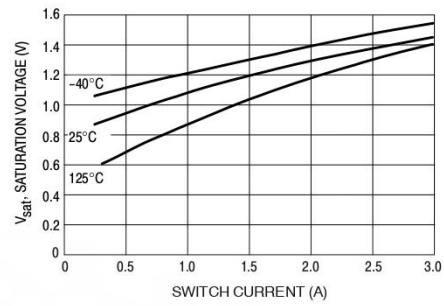


Figure 9. Switch Saturation Voltage

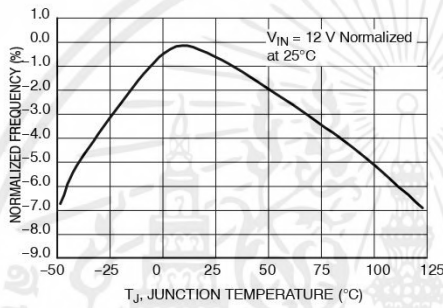


Figure 10. Switching Frequency

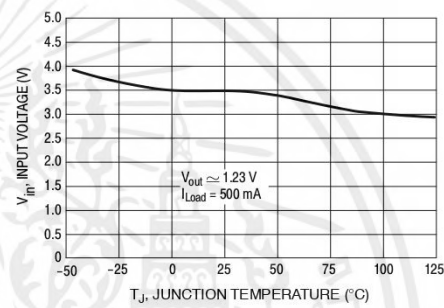


Figure 11. Minimum Supply Operating Voltage

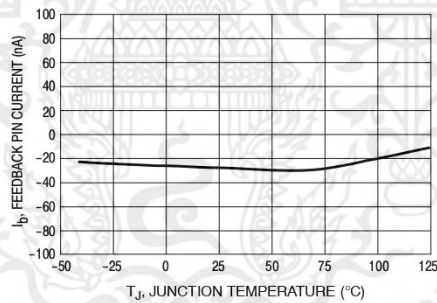


Figure 12. Feedback Pin Current

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM2596

TYPICAL PERFORMANCE CHARACTERISTICS (Circuit of Figure 15)

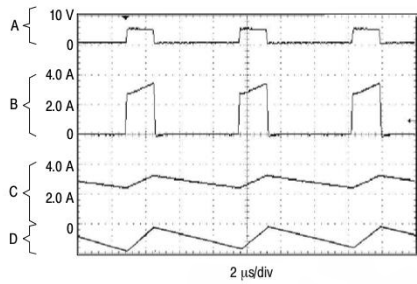


Figure 13. Switching Waveforms

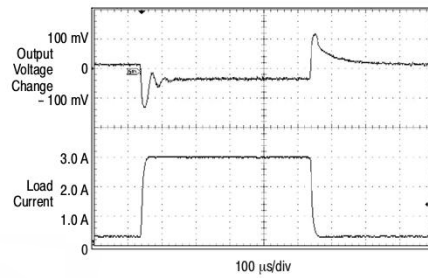


Figure 14. Load Transient Response

V_{out} = 5 V
 A: Output Pin Voltage, 10 V/div
 B: Switch Current, 2.0 A/div
 C: Inductor Current, 2.0 A/div, AC-Coupled
 D: Output Ripple Voltage, 50 mV/div, AC-Coupled
 Horizontal Time Base: 5.0 μs/div

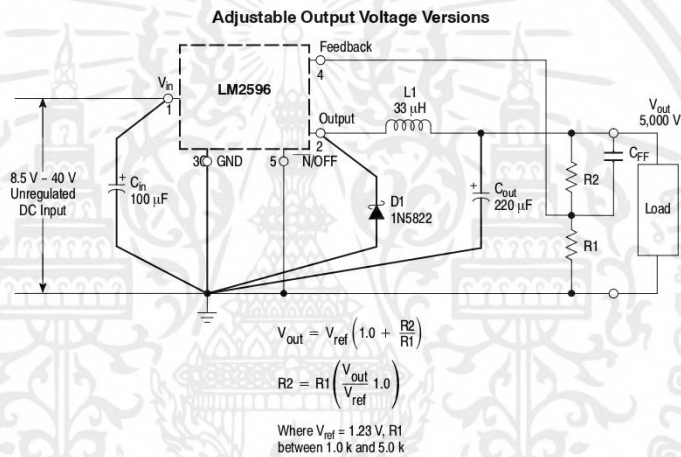


Figure 15. Typical Test Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM2596

PCB LAYOUT GUIDELINES

As in any switching regulator, the layout of the printed circuit board is very important. Rapidly switching currents associated with wiring inductance, stray capacitance and parasitic inductance of the printed circuit board traces can generate voltage transients which can generate electromagnetic interferences (EMI) and affect the desired operation. As indicated in the Figure 15, to minimize inductance and ground loops, the length of the leads indicated by heavy lines should be kept as short as possible.

For best results, single-point grounding (as indicated) or ground plane construction should be used.

On the other hand, the PCB area connected to the Pin 2 (emitter of the internal switch) of the LM2596 should be kept to a minimum in order to minimize coupling to sensitive circuitry.

Another sensitive part of the circuit is the feedback. It is important to keep the sensitive feedback wiring short. To assure this, physically locate the programming resistors near to the regulator, when using the adjustable version of the LM2596 regulator.

DESIGN PROCEDURE

Buck Converter Basics

The LM2596 is a "Buck" or Step-Down Converter which is the most elementary forward-mode converter. Its basic schematic can be seen in Figure 16.

The operation of this regulator topology has two distinct time periods. The first one occurs when the series switch is on, the input voltage is connected to the input of the inductor

The output of the inductor is the output voltage, and the rectifier (or catch diode) is reverse biased. During this period, since there is a constant voltage source connected across the inductor, the inductor current begins to linearly ramp upwards, as described by the following equation:

$$I_{L(on)} = \frac{(V_{IN} - V_{OUT})t_{on}}{L}$$

During this "on" period, energy is stored within the core material in the form of magnetic flux. If the inductor is properly designed, there is sufficient energy stored to carry the requirements of the load during the "off" period.

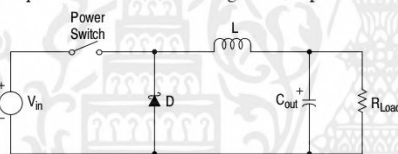


Figure 16. Basic Buck Converter

The next period is the "off" period of the power switch. When the power switch turns off, the voltage across the inductor reverses its polarity and is clamped at one diode voltage drop below ground by the catch diode. The current now flows through the catch diode thus maintaining the load current loop. This removes the stored energy from the inductor. The inductor current during this time is:

$$I_{L(off)} = \frac{(V_{OUT} - V_D)t_{off}}{L}$$

This period ends when the power switch is once again turned on. Regulation of the converter is accomplished by varying the duty cycle of the power switch. It is possible to describe the duty cycle as follows:

$$d = \frac{t_{on}}{T}, \text{ where } T \text{ is the period of switching.}$$

For the buck converter with ideal components, the duty cycle can also be described as:

$$d = \frac{V_{out}}{V_{in}}$$

Figure 17 shows the buck converter, idealized waveforms of the catch diode voltage and the inductor current.

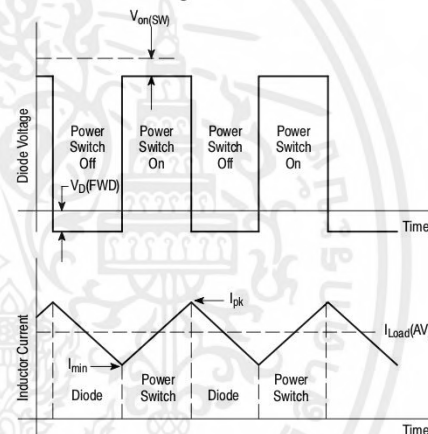


Figure 17. Buck Converter Idealized Waveforms

LM2596

PROCEDURE (ADJUSTABLE OUTPUT VERSION: LM2596)

Procedure	Example
<p>Given Parameters: V_{out} = Regulated Output Voltage $V_{in(max)}$ = Maximum DC Input Voltage $I_{Load(max)}$ = Maximum Load Current</p>	<p>Given Parameters: $V_{out} = 5.0\text{ V}$ $V_{in(max)} = 12\text{ V}$ $I_{Load(max)} = 3.0\text{ A}$</p>
<p>1. Programming Output Voltage To select the right programming resistor R1 and R2 value (see Figure 1) use the following formula:</p> $V_{out} = V_{ref} \left(1.0 + \frac{R2}{R1} \right) \text{ where } V_{ref} = 1.23\text{ V}$ <p>Resistor R1 can be between 1.0 k and 5.0 kΩ. (For best temperature coefficient and stability with time, use 1% metal film resistors).</p> $R2 = R1 \left(\frac{V_{out}}{V_{ref}} - 1.0 \right)$	<p>1. Programming Output Voltage (selecting R1 and R2) Select R1 and R2:</p> $V_{out} = 1.23 \left(1.0 + \frac{R2}{R1} \right) \text{ Select } R1 = 1.0\text{ k}\Omega$ $R2 = R1 \left(\frac{V_{out}}{V_{ref}} - 1.0 \right) = \left(\frac{5\text{ V}}{1.23\text{ V}} - 1.0 \right)$ <p>R2 = 3.0 kΩ, choose a 3.0k metal film resistor.</p>
<p>2. Input Capacitor Selection (C_{in}) To prevent large voltage transients from appearing at the input and for stable operation of the converter, an aluminium or tantalum electrolytic bypass capacitor is needed between the input pin +V_{in} and ground pin GND. This capacitor should be located close to the IC using short leads. This capacitor should have a low ESR (Equivalent Series Resistance) value.</p> <p>For additional information see input capacitor section in the "Application Information" section of this data sheet.</p>	<p>2. Input Capacitor Selection (C_{in}) A 100 μF, 50 V aluminium electrolytic capacitor located near the input and ground pin provides sufficient bypassing.</p>
<p>3. Catch Diode Selection (D1)</p> <p>A. Since the diode maximum peak current exceeds the regulator maximum load current the catch diode current rating must be at least 1.2 times greater than the maximum load current. For a robust design, the diode should have a current rating equal to the maximum current limit of the LM2596 to be able to withstand a continuous output short.</p> <p>B. The reverse voltage rating of the diode should be at least 1.25 times the maximum input voltage.</p>	<p>3. Catch Diode Selection (D1)</p> <p>A. For this example, a 3.0 A current rating is adequate.</p> <p>B. For robust design use a 30 V 1N5824 Schottky diode or any suggested fast recovery diode in the Table 2.</p>

LM2596

PROCEDURE (ADJUSTABLE OUTPUT VERSION: LM2596) (CONTINUED)

Procedure	Example
<p>4. Inductor Selection (L1)</p> <p>A. Use the following formula to calculate the inductor Volt x microsecond [V x μs] constant:</p> $E \times T = (V_{IN} - V_{OUT} - V_{SAT}) \times \frac{V_{OUT} + V_D}{V_{IN} - V_{SAT} + V_D} \times \frac{1000}{150 \text{ kHz}} (V \times \mu\text{s})$ <p>B. Match the calculated E x T value with the corresponding number on the vertical axis of the Inductor Value Selection Guide shown in Figure 18. This E x T constant is a measure of the energy handling capability of an inductor and is dependent upon the type of core, the core area, the number of turns, and the duty cycle.</p> <p>C. Next step is to identify the inductance region intersected by the E x T value and the maximum load current value on the horizontal axis shown in Figure 18.</p> <p>D. Select an appropriate inductor from Table 3.</p> <p>The inductor chosen must be rated for a switching frequency of 150 kHz and for a current rating of $1.15 \times I_{Load}$. The inductor current rating can also be determined by calculating the inductor peak current:</p> $I_{p(max)} = I_{Load(max)} + \frac{(V_{in} - V_{out}) t_{on}}{2L}$ <p>where t_{on} is the "on" time of the power switch and</p> $t_{on} = \frac{V_{out}}{V_{in}} \times \frac{1.0}{f_{osc}}$	<p>4. Inductor Selection (L1)</p> <p>A. Calculate E x T [V x μs] constant:</p> $E \times T = (12 - 5 - 1.5) \times \frac{5 + 0.5}{12 - 5 + 0.5} \times \frac{1000}{150 \text{ kHz}} (V \times \mu\text{s})$ $E \times T = (5.5) \times \frac{5.5}{7.5} \times 6.6 (V \times \mu\text{s})$ <p>B. E x T = 27 [V x μs]</p> <p>C. $I_{Load(max)} = 3.0 \text{ A}$ Inductance Region = L40</p> <p>D. Proper inductor value = 33 μH Choose the inductor from Table 3.</p>
<p>5. Output Capacitor Selection (C_{out})</p> <p>A. Since the LM2596 is a forward-mode switching regulator with voltage mode control, its open loop has 2-pole-1-zero frequency characteristic. The loop stability is determined by the output capacitor (capacitance, ESR) and inductance values.</p> <p>For stable operation use recommended values of the output capacitors in Table 1.</p> <p>Low ESR electrolytic capacitors between 220μF and 1500μF provide best results.</p> <p>B. The capacitors voltage rating should be at least 1.5 times greater than the output voltage, and often much higher voltage rating is needed to satisfy low ESR requirement</p>	<p>5. Output Capacitor Selection (C_{out})</p> <p>A. In this example is recommended Nichicon PM capacitors: 470 μF/35 V or 220 μF/35 V</p>
<p>6. Feedforward Capacitor (C_{FF})</p> <p>It provides additional stability mainly for higher input voltages. For C_{FF} selection use Table 1. The compensation capacitor between 0.6 nF and 40 nF is wired in parallel with the output voltage setting resistor R2. The capacitor type can be ceramic, plastic, etc..</p>	<p>6. Feedforward Capacitor (C_{FF})</p> <p>In this example is recommended feedforward capacitor 15 nF or 5 nF.</p>

LM2596

LM2596 Series Buck Regulator Design Procedures (continued)

Table 1. RECOMMENDED VALUES OF THE OUTPUT CAPACITOR AND FEEDFORWARD CAPACITOR
($I_{load} = 3\text{ A}$)

V_{in} (V)	Nichicon PM Capacitors							
	Capacity/Voltage Range/ESR ($\mu\text{F}/\text{m}\Omega$)							
40	1500/35/24	1000/35/29	1000/35/29	680/35/36	560/25/55	560/25/55	470/35/46	470/35/46
26	1200/35/26	820/35	680/35/36	560/35/41	470/25/65	470/25/65	330/35/60	
22	1000/35/29	680/35/36	560/35/41	330/25/85	330/25/85	220/35/85		
20	820/35/32	470/35/46	470/25/65	330/25/85	330/25/85	220/35/85		
18	820/35/32	470/35/46	470/25/65	330/25/85	330/25/85	220/35/85		
12	820/35/32	470/35/46	220/35/85	220/25/111				
10	820/35/32	470/35/46	220/35/85					
V_{out} (V)	2	4	6	9	12	15	24	28
C_{FF} (nF)	40	15	5	2	1.5	1	0.6	0.6

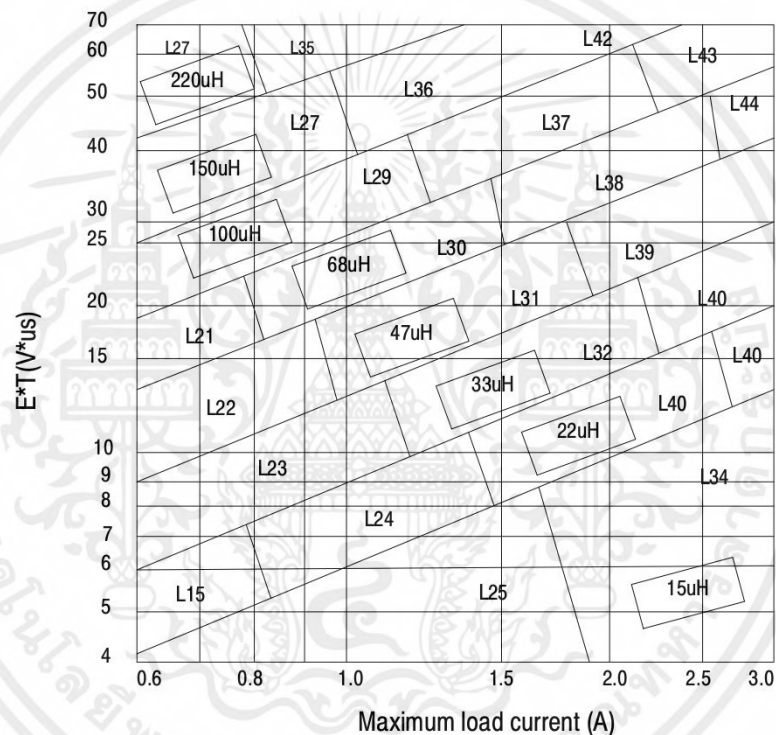


Figure 18. Inductor Value Selection Guides (For Continuous Mode Operation)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM2596

Table 2. DIODE SELECTION

V _R	Schottky				Fast Recovery			
	3.0 A		4.0 – 6.0 A		3.0 A		4.0 – 6.0 A	
	Through Hole	Surface Mount	Through Hole	Surface Mount	Through Hole	Surface Mount	Through Hole	Surface Mount
20 V	1N5820 MBR320P SR302	SK32	1N5823 SR502 SB520					
30 V	1N5821 MBR330 SR303 31DQ03	SK33 30WQ03	1N5824 SR503 SB530	50WQ03	MUR320 31DF1 HER302	MURS320T3 MURD320 30WF10	MUR420 HER602	MURD620CT 50WF10
40 V	1N5822 MBR340 SR304 31DQ04	SK34 30WQ04 MBRS340T3 MBRD340	1N5825 SR504 SB540	MBRD640CT 50WQ04	(all diodes rated to at least 100 V)	(all diodes rated to at least 100 V)	(all diodes rated to at least 100 V)	(all diodes rated to at least 100 V)
50 V	MBR350 31DQ05 SR305	SK35 30WQ05	SB550	50WQ05				
60 V	MBR360 DQ06 SR306	MBRS360T3 MBRD360	50SQ080	MBRD660CT				

NOTE: Diodes listed in bold are available from ON Semiconductor.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM2596

Table 3. INDUCTOR MANUFACTURERS PART NUMBERS

	Inductance (μ H)	Current (A)	Schott		Renco		Pulse Engineering		Coilcraft
			Through Hole	Surface Mount	Through Hole	Surface Mount	Through Hole	Surface Mount	Surface Mount
L15	22	0.99	67148350	67148460	RL-1284-22-43	RL1500-2 2	PE-53815	PE-53815-S	DO3308-223
L21	68	0.99	67144070	67144450	RL-5471-5	RL1500-6 8	PE-53821	PE-53821-S	DO3316-683
L22	47	1.17	67144080	67144460	RL-5471-6	-	PE-53822	PE-53822-S	DO3316-473
L23	33	1.40	67144090	67144470	RL-5471-7	-	PE-53823	PE-53823-S	DO3316-333
L24	22	1.70	67148370	67148480	RL-1283-22-43	-	PE-53824	PE-53825-S	DO3316-223
L25	15	2.10	67148380	67148490	RL-1283-15-43	-	PE-53825	PE-53824-S	DO3316-153
L26	330	0.80	67144100	67144480	RL-5471-1	-	PE-53826	PE-53826-S	DO5022P-334
L27	220	1.00	67144110	67144490	RL-5471-2	-	PE-53827	PE-53827-S	DO5022P-224
L28	150	1.20	67144120	67144500	RL-5471-3	-	PE-53828	PE-53828-S	DO5022P-154
L29	100	1.47	67144130	67144510	RL-5471-4	-	PE-53829	PE-53829-S	DO5022P-104
L30	68	1.78	67144140	67144520	RL-5471-5	-	PE-53830	PE-53830-S	DO5022P-683
L31	47	2.20	67144150	67144530	RL-5471-6	-	PE-53831	PE-53831-S	DO5022P-473
L32	33	2.50	67144160	67144540	RL-5471-7	-	PE-53932	PE-53932-S	DO5022P-333
L33	22	3.10	67148390	67148500	RL-1283-22-43	-	PE-53933	PE-53933-S	DO5022P-223
L34	15	3.40	67148400	67148790	RL-1283-15-43	-	PE-53934	PE-53934-S	DO5022P-153
L35	220	1.70	67144170	-	RL-5473-1	-	PE-53935	PE-53935-S	-
L36	150	2.10	67144180	-	RL-5473-4	-	PE-54036	PE-54036-S	-
L37	100	2.50	67144190	-	RL-5472-1	-	PE-54037	PE-54037-S	-
L38	68	3.10	67144200	-	RL-5472-2	-	PE-54038	PE-54038-S	DO5040H-683ML
L39	47	3.50	67144210	-	RL-5472-3	-	PE-54039	PE-54039-S	DO5040H-473ML
L40	33	3.50	67144220	67148290	RL-5472-4	-	PE-54040	PE-54040-S	DO5040H-333ML
L41	22	3.50	67144230	67148300	RL-5472-5	-	PE-54041	PE-54041-S	DO5040H-223ML
L42	150	2.70	67148410	-	RL-5473-4	-	PE-54042	PE-54042-S	-
L43	100	3.40	67144240	-	RL-5473-2	-	PE-54043	-	-
L44	68	3.40	67144250	-	RL-5473-3	-	PE-54044	-	DO5040H-683ML

<http://onsemi.com>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM2596

APPLICATION INFORMATION

EXTERNAL COMPONENTS

Input Capacitor (C_{in})***The Input Capacitor Should Have a Low ESR***

For stable operation of the switch mode converter a low ESR (Equivalent Series Resistance) aluminium or solid tantalum bypass capacitor is needed between the input pin and the ground pin, to prevent large voltage transients from appearing at the input. It must be located near the regulator and use short leads. With most electrolytic capacitors, the capacitance value decreases and the ESR increases with lower temperatures. For reliable operation in temperatures below -25°C larger values of the input capacitor may be needed. Also paralleling a ceramic or solid tantalum capacitor will increase the regulator stability at cold temperatures.

RMS Current Rating of C_{in}

The important parameter of the input capacitor is the RMS current rating. Capacitors that are physically large and have large surface area will typically have higher RMS current ratings. For a given capacitor value, a higher voltage electrolytic capacitor will be physically larger than a lower voltage capacitor, and thus be able to dissipate more heat to the surrounding air, and therefore will have a higher RMS current rating. The consequence of operating an electrolytic capacitor beyond the RMS current rating is a shortened operating life. In order to assure maximum capacitor operating lifetime, the capacitor's RMS ripple current rating should be:

$$I_{rms} > 1.2 \times d \times I_{load}$$

where d is the duty cycle, for a buck regulator

$$d = \frac{t_{on}}{T} = \frac{V_{out}}{V_{in}}$$

and $d = \frac{t_{on}}{T} = \frac{|V_{out}|}{|V_{out}| + V_{in}}$ for a buck-boost regulator.

Output Capacitor (C_{out})

For low output ripple voltage and good stability low ESR output capacitors are recommended. An output capacitor has two main functions: it filters the output and provides

regulator loop stability. The ESR of the output capacitor and the peak-to-peak value of the inductor ripple current are the main factors contributing to the output ripple voltage value. Standard aluminium electrolytics could be adequate for some applications but for quality design, low ESR types are recommended.

An aluminium electrolytic capacitor's ESR value is related to many factors such as the capacitance value, the voltage rating, the physical size and the type of construction. In most cases, the higher voltage electrolytic capacitors have lower ESR value. Often capacitors with much higher voltage ratings may be needed to provide low ESR values that are required for low output ripple voltage.

Feedforward Capacitor***(Adjustable Output Voltage Version)***

This capacitor adds lead compensation to the feedback loop and increases the phase margin for better loop stability. For C_{FF} selection, see the design procedure section.

The Output Capacitor Requires an ESR Value That Has an Upper and Lower Limit

As mentioned above, a low ESR value is needed for low output ripple voltage, typically 1% to 2% of the output voltage. But if the selected capacitor's ESR is extremely low (below 0.05Ω), there is a possibility of an unstable feedback loop, resulting in oscillation at the output. This situation can occur when a tantalum capacitor, that can have a very low ESR, is used as the only output capacitor.

At Low Temperatures, Put in Parallel Aluminium Electrolytic Capacitors with Tantalum Capacitors

Electrolytic capacitors are not recommended for temperatures below -25°C . The ESR rises dramatically at cold temperatures and typically rises 3 times at -25°C and as much as 10 times at -40°C . Solid tantalum capacitors have much better ESR spec at cold temperatures and are recommended for temperatures below -25°C . They can be also used in parallel with aluminium electrolytics. The value of the tantalum capacitor should be about 10% or 20% of the total capacitance. The output capacitor should have at least 50% higher RMS ripple current rating at 150 kHz than the peak-to-peak inductor ripple current.

LM2596

Catch Diode**Locate the Catch Diode Close to the LM2596**

The LM2596 is a step-down buck converter; it requires a fast diode to provide a return path for the inductor current when the switch turns off. This diode must be located close to the LM2596 using short leads and short printed circuit traces to avoid EMI problems.

Use a Schottky or a Soft Switching Ultra-Fast Recovery Diode

Since the rectifier diodes are very significant sources of losses within switching power supplies, choosing the rectifier that best fits into the converter design is an important process. Schottky diodes provide the best performance because of their fast switching speed and low forward voltage drop.

They provide the best efficiency especially in low output voltage applications (5.0 V and lower). Another choice could be Fast-Recovery, or Ultra-Fast Recovery diodes. It has to be noted, that some types of these diodes with an abrupt turnoff characteristic may cause instability or EMI troubles.

A fast-recovery diode with soft recovery characteristics can better fulfill some quality, low noise design requirements. Table 2 provides a list of suitable diodes for the LM2596 regulator. Standard 50/60 Hz rectifier diodes, such as the 1N4001 series or 1N5400 series are **NOT** suitable.

Inductor

The magnetic components are the cornerstone of all switching power supply designs. The style of the core and the winding technique used in the magnetic component's design has a great influence on the reliability of the overall power supply.

Using an improper or poorly designed inductor can cause high voltage spikes generated by the rate of transitions in current within the switching power supply, and the possibility of core saturation can arise during an abnormal operational mode. Voltage spikes can cause the semiconductors to enter avalanche breakdown and the part can instantly fail if enough energy is applied. It can also cause significant RFI (Radio Frequency Interference) and EMI (Electro-Magnetic Interference) problems.

Continuous and Discontinuous Mode of Operation

The LM2596 step-down converter can operate in both the continuous and the discontinuous modes of operation. The regulator works in the continuous mode when loads are relatively heavy, the current flows through the inductor continuously and never falls to zero. Under light load conditions, the circuit will be forced to the discontinuous mode when inductor current falls to zero for certain period of time (see Figure 19 and Figure 20). Each mode has distinctively different operating characteristics, which can affect the regulator performance and requirements. In many cases the preferred mode of operation is the continuous mode. It offers greater output power, lower peak currents in the switch, inductor and diode, and can have a lower output

ripple voltage. On the other hand it does require larger inductor values to keep the inductor current flowing continuously, especially at low output load currents and/or high input voltages.

To simplify the inductor selection process, an inductor selection guide for the LM2596 regulator was added to this data sheet (Figure 18). This guide assumes that the regulator is operating in the continuous mode, and selects an inductor that will allow a peak-to-peak inductor ripple current to be a certain percentage of the maximum design load current. This percentage is allowed to change as different design load currents are selected. For light loads (less than approximately 300 mA) it may be desirable to operate the regulator in the discontinuous mode, because the inductor value and size can be kept relatively low. Consequently, the percentage of inductor peak-to-peak current increases. This discontinuous mode of operation is perfectly acceptable for this type of switching converter. Any buck regulator will be forced to enter discontinuous mode if the load current is light enough.

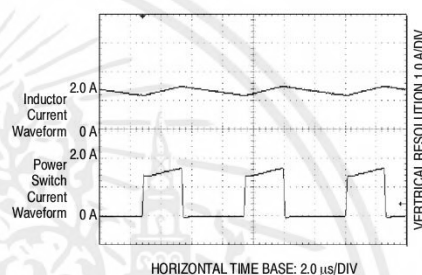


Figure 19. Continuous Mode Switching Current Waveforms

Selecting the Right Inductor Style

Some important considerations when selecting a core type are core material, cost, the output power of the power supply, the physical volume the inductor must fit within, and the amount of EMI (Electro-Magnetic Interference) shielding that the core must provide. The inductor selection guide covers different styles of inductors, such as pot core, core, toroid and bobbin core, as well as different core materials such as ferrites and powdered iron from different manufacturers.

For high quality design regulators the toroid core seems to be the best choice. Since the magnetic flux is contained within the core, it generates less EMI, reducing noise problems in sensitive circuits. The least expensive is the bobbin core type, which consists of wire wound on a ferrite rod core. This type of inductor generates more EMI due to the fact that its core is open, and the magnetic flux is not contained within the core.

When multiple switching regulators are located on the same printed circuit board, open core magnetics can cause

LM2596

interference between two or more of the regulator circuits, especially at high currents due to mutual coupling. A toroid, pot core or E-core (closed magnetic structure) should be used in such applications.

Do Not Operate an Inductor Beyond its Maximum Rated Current

Exceeding an inductor's maximum current rating may cause the inductor to overheat because of the copper wire losses, or the core may saturate. Core saturation occurs when the flux density is too high and consequently the cross sectional area of the core can no longer support additional lines of magnetic flux.

This causes the permeability of the core to drop, the inductance value decreases rapidly and the inductor begins to look mainly resistive. It has only the DC resistance of the winding. This can cause the switch current to rise very rapidly and force the LM2596 internal switch into cycle-by-cycle current limit, thus reducing the DC output load current. This can also result in overheating of the

inductor and/or the LM2596. Different inductor types have different saturation characteristics, and this should be kept in mind when selecting an inductor.

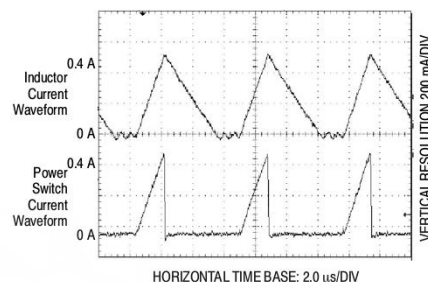


Figure 20. Discontinuous Mode Switching Current Waveforms

GENERAL RECOMMENDATIONS

Output Voltage Ripple and Transients
Source of the Output Ripple

Since the LM2596 is a switch mode power supply regulator, its output voltage, if left unfiltered, will contain a sawtooth ripple voltage at the switching frequency. The output ripple voltage value ranges from 0.5% to 3% of the output voltage. It is caused mainly by the inductor sawtooth ripple current multiplied by the ESR of the output capacitor.

Short Voltage Spikes and How to Reduce Them

The regulator output voltage may also contain short voltage spikes at the peaks of the sawtooth waveform (see Figure 21). These voltage spikes are present because of the fast switching action of the output switch, and the parasitic inductance of the output filter capacitor. There are some other important factors such as wiring inductance, stray capacitance, as well as the scope probe used to evaluate these transients, all these contribute to the amplitude of these spikes. To minimize these voltage spikes, low inductance capacitors should be used, and their lead lengths must be kept short. The importance of quality printed circuit board layout design should also be highlighted.

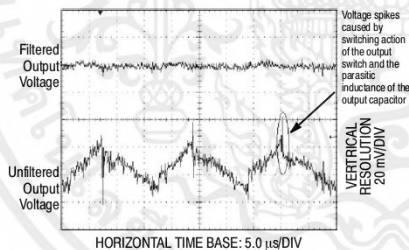


Figure 21. Output Ripple Voltage Waveforms

Minimizing the Output Ripple

In order to minimize the output ripple voltage it is possible to enlarge the inductance value of the inductor L1 and/or to use a larger value output capacitor. There is also another way to smooth the output by means of an additional LC filter (20 μH, 100 μF), that can be added to the output (see Figure 9) to further reduce the amount of output ripple and transients. With such a filter it is possible to reduce the output ripple voltage transients 10 times or more. Figure 21 shows the difference between filtered and unfiltered output waveforms of the regulator shown in Figure 30.

The lower waveform is from the normal unfiltered output of the converter while the upper waveform shows the output ripple voltage filtered by an additional LC filter.

Heatsinking and Thermal Considerations
The Through-Hole Package TO-220

The LM2596 is available in two packages, a 5-pin TO-220(T, TV) and a 5-pin surface mount D²PAK(D2T). Although the TO-220(T) package needs a heatsink under most conditions, there are some applications that require no heatsink to keep the LM2596 junction temperature within the allowed operating range. Higher ambient temperatures require some heat sinking, either to the printed circuit (PC) board or an external heatsink.

The Surface Mount Package D²PAK and its Heatsinking

The other type of package, the surface mount D²PAK, is designed to be soldered to the copper on the PC board. The copper and the board are the heatsink for this package and the other heat producing components, such as the catch diode and inductor. The PC board copper area that the package is soldered to should be at least 0.4 in² (or 260 mm²) and ideally should have 2 or more square inches (1300 mm²) of 0.0028 inch copper. Additional increases of copper area beyond approximately 6.0 in² (4000 mm²) will not improve

LM2596

heat dissipation significantly. If further thermal improvements are needed, double sided or multilayer PCB boards with large copper areas should be considered. In order to achieve the best thermal performance, it is highly recommended to use wide copper traces as well as large areas of copper in the printed circuit board layout. The only exception to this is the OUTPUT (switch) pin, which should not have large areas of copper (see page 8 'PCB Layout Guideline').

Thermal Analysis and Design

The following procedure must be performed to determine whether or not a heatsink will be required. First determine:

1. $P_{D(max)}$ maximum regulator power dissipation in the application.
2. $T_{A(max)}$ maximum ambient temperature in the application.
3. $T_{J(max)}$ maximum allowed junction temperature (125°C for the LM2596). For a conservative design, the maximum junction temperature should not exceed 110°C to assure safe operation. For every additional +10°C temperature rise that the junction must withstand, the estimated operating lifetime of the component is halved.
4. $R_{\theta JC}$ package thermal resistance junction-case.
5. $R_{\theta JA}$ package thermal resistance junction-ambient.

(Refer to Maximum Ratings on page 2 of this data sheet or $R_{\theta JC}$ and $R_{\theta JA}$ values).

The following formula is to calculate the approximate total power dissipated by the LM2596:

$$P_D = (V_{in} \times I_Q) + d \times I_{Load} \times V_{sat}$$

where d is the duty cycle and for buck converter

$$d = \frac{t_{on}}{T} = \frac{V_O}{V_{in}}$$

I_Q (quiescent current) and V_{sat} can be found in the LM2596 data sheet,

V_{in} is minimum input voltage applied,

V_O is the regulator output voltage,

I_{Load} is the load current.

The dynamic switching losses during turn-on and turn-off can be neglected if proper type catch diode is used.

Packages Not on a Heatsink (Free-Standing)

For a free-standing application when no heatsink is used, the junction temperature can be determined by the following expression:

$$T_J = (R_{\theta JA})(P_D) + T_A$$

where $(R_{\theta JA})(P_D)$ represents the junction temperature rise caused by the dissipated power and T_A is the maximum ambient temperature.

Packages on a Heatsink

If the actual operating junction temperature is greater than the selected safe operating junction temperature determined in step 3, then a heatsink is required. The junction temperature will be calculated as follows:

$$T_J = P_D (R_{\theta JC} + R_{\theta CS} + R_{\theta SA}) + T_A$$

where $R_{\theta JC}$ is the thermal resistance junction-case, $R_{\theta CS}$ is the thermal resistance case-heatsink, $R_{\theta SA}$ is the thermal resistance heatsink-ambient.

If the actual operating temperature is greater than the selected safe operating junction temperature, then a large heatsink is required.

Some Aspects That can Influence Thermal Design

It should be noted that the package thermal resistance and the junction temperature rise numbers are all approximate, and there are many factors that will affect these numbers, such as PCB board size, shape, thickness, physical position, location, board temperature, as well as whether the surrounding air is moving or still.

Other factors are trace width, total printed circuit copper area, copper thickness, single- or double-sided, multilayer board, the amount of solder on the board or even color of the traces.

The size, quantity and spacing of other components on the board can also influence its effectiveness to dissipate the heat.

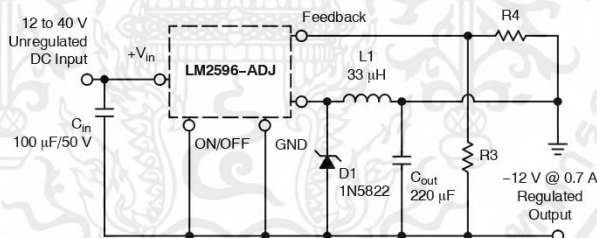


Figure 22. Inverting Buck-Boost Develops -12 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM2596

ADDITIONAL APPLICATIONS

Inverting Regulator

An inverting buck-boost regulator using the LM2596-ADJ is shown in Figure 22. This circuit converts a positive input voltage to a negative output voltage with a common ground by bootstrapping the regulator's ground to the negative output voltage. By grounding the feedback pin, the regulator senses the inverted output voltage and regulates it.

In this example the LM2596-12 is used to generate a -12 V output. The maximum input voltage in this case cannot exceed +28 V because the maximum voltage appearing across the regulator is the absolute sum of the input and output voltages and this must be limited to a maximum of 40 V.

This circuit configuration is able to deliver approximately 0.7 A to the output when the input voltage is 12 V or higher. At lighter loads the minimum input voltage required drops to approximately 4.7 V, because the buck-boost regulator topology can produce an output voltage that, in its absolute value, is either greater or less than the input voltage.

Since the switch currents in this buckboost configuration are higher than in the standard buck converter topology the available output current is lower.

This type of buck-boost inverting regulator can also require a larger amount of startup input current, even for light loads. This may overload an input power source with a current limit less than 5.0 A.

Such an amount of input startup current is needed for at least 2.0 ms or more. The actual time depends on the output voltage and size of the output capacitor.

Because of the relatively high startup currents required by this inverting regulator topology the use of a delayed startup or an undervoltage lockout circuit is recommended.

Using a delayed startup arrangement, the input capacitor can charge up to a higher voltage before the switch-mode regulator begins to operate.

The high input current needed for startup is now partially supplied by the input capacitor C_{in} .

It has been already mentioned above, that in some situations, the delayed startup or the undervoltage lockout features could be very useful. A delayed startup circuit applied to a buck-boost converter is shown in Figure 27. Figure 29 in the "Undervoltage Lockout" section describes an undervoltage lockout feature for the same converter topology.

Design Recommendations:

The inverting regulator operates in a different manner than the buck converter and so a different design procedure has to be used to select the inductor L1 or the output capacitor C_{out} .

The output capacitor values must be larger than what is normally required for buck converter designs. Low input voltages or high output currents require a large value output capacitor (in the range of thousands of μF).

The recommended range of inductor values for the inverting converter design is between 68 μH and 220 μH . To select an inductor with an appropriate current rating, the inductor peak current has to be calculated.

The following formula is used to obtain the peak inductor current:

$$I_{\text{peak}} \approx \frac{I_{\text{Load}} (V_{\text{in}} + |V_{\text{O}}|)}{V_{\text{in}}} + \frac{V_{\text{in}} \times t_{\text{on}}}{2L_1}$$

$$\text{where } t_{\text{on}} = \frac{|V_{\text{O}}|}{V_{\text{in}} + |V_{\text{O}}|} \times \frac{1.0}{f_{\text{osc}}}, \text{ and } f_{\text{osc}} = 52 \text{ kHz.}$$

Under normal continuous inductor current operating conditions, the worst case occurs when V_{in} is minimal.

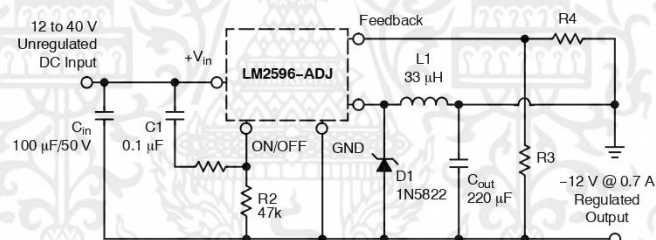
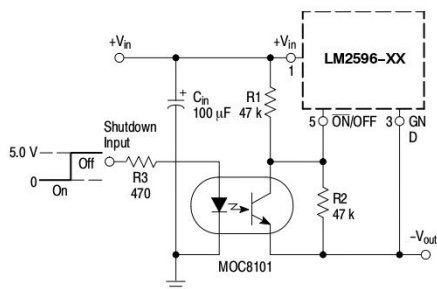


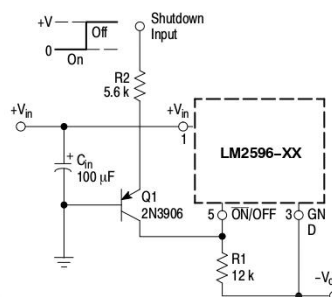
Figure 23. Inverting Buck-Boost Develops -12 V

LM2596



NOTE: This picture does not show the complete circuit.

Figure 24. Inverting Buck-Boost Regulator Shutdown Circuit Using an Optocoupler



NOTE: This picture does not show the complete circuit.

Figure 25. Inverting Buck-Boost Regulator Shutdown Circuit Using a PNP Transistor

With the inverting configuration, the use of the ON/OFF pin requires some level shifting techniques. This is caused by the fact, that the ground pin of the converter IC is no longer at ground. Now, the ON/OFF pin threshold voltage (1.3 V approximately) has to be related to the negative output voltage level. There are many different possible shutdown methods, two of them are shown in Figures 24 and 25.

Negative Boost Regulator

This example is a variation of the buck-boost topology and it is called negative boost regulator. This regulator experiences relatively high switch current, especially at low input voltages. The internal switch current limiting results in lower output load current capability.

The circuit in Figure 26 shows the negative boost configuration. The input voltage in this application ranges from -5.0 V to -12 V and provides a regulated -12 V output. If the input voltage is greater than -12 V, the output will rise above -12 V accordingly, but will not damage the regulator.

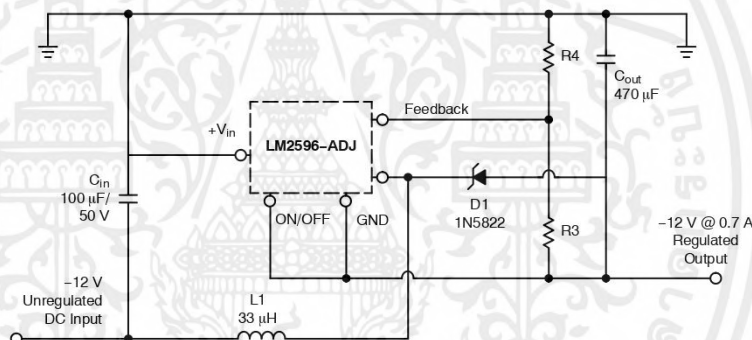


Figure 26. Negative Boost Regulator

Design Recommendations:

The same design rules as for the previous inverting buck-boost converter can be applied. The output capacitor C_{out} must be chosen larger than would be required for a what standard buck converter. Low input voltages or high output currents require a large value output capacitor (in the range of thousands of μF). The recommended range of inductor

values for the negative boost regulator is the same as for inverting converter design.

Another important point is that these negative boost converters cannot provide current limiting load protection in the event of a short in the output so some other means, such as a fuse, may be necessary to provide the load protection.

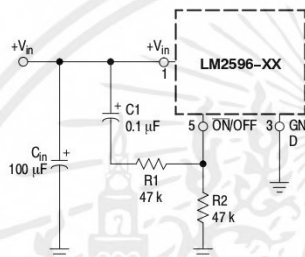
LM2596

Delayed Startup

There are some applications, like the inverting regulator already mentioned above, which require a higher amount of startup current. In such cases, if the input power source is limited, this delayed startup feature becomes very useful.

To provide a time delay between the time when the input voltage is applied and the time when the output voltage comes up, the circuit in Figure 27 can be used. As the input voltage is applied, the capacitor C1 charges up, and the voltage across the resistor R2 falls down. When the voltage on the ON/OFF pin falls below the threshold value 1.3 V, the regulator starts up. Resistor R1 is included to limit the maximum voltage applied to the ON/OFF pin. It reduces the power supply noise sensitivity, and also limits the capacitor C1 discharge current, but its use is not mandatory.

When a high 50 Hz or 60 Hz (100 Hz or 120 Hz respectively) ripple voltage exists, a long delay time can cause some problems by coupling the ripple into the ON/OFF pin, the regulator could be switched periodically on and off with the line (or double) frequency.



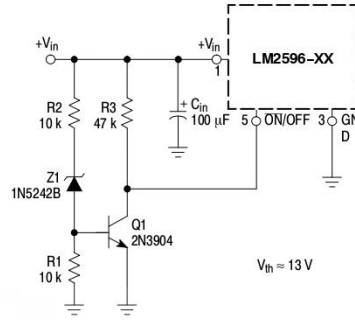
NOTE: This picture does not show the complete circuit.

Figure 27. Delayed Startup Circuitry

Undervoltage Lockout

Some applications require the regulator to remain off until the input voltage reaches a certain threshold level. Figure 28 shows an undervoltage lockout circuit applied to a buck regulator. A version of this circuit for buck-boost converter is shown in Figure 29. Resistor R3 pulls the ON/OFF pin high and keeps the regulator off until the input voltage reaches a predetermined threshold level with respect to the ground Pin 3, which is determined by the following expression:

$$V_{th} \approx V_{Z1} + \left(1.0 + \frac{R2}{R1}\right) V_{BE} (Q1)$$



NOTE: This picture does not show the complete circuit.

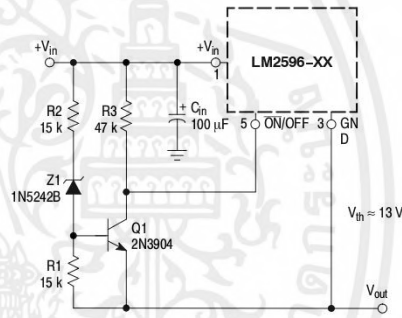
Figure 28. Undervoltage Lockout Circuit for Buck Converter

The following formula is used to obtain the peak inductor current:

$$I_{peak} \approx \frac{I_{Load} (V_{in} + |V_O|)}{V_{in}} + \frac{V_{in} \times t_{on}}{2L_1}$$

where $t_{on} = \frac{|V_O|}{V_{in} + |V_O|} \times \frac{1.0}{f_{osc}}$, and $f_{osc} = 52 \text{ kHz}$.

Under normal continuous inductor current operating conditions, the worst case occurs when V_{in} is minimal.



NOTE: This picture does not show the complete circuit.

Figure 29. Undervoltage Lockout Circuit for Buck-Boost Converter

Adjustable Output, Low-Ripple Power Supply

A 3.0 A output current capability power supply that features an adjustable output voltage is shown in Figure 30.

This regulator delivers 3.0 A into 1.2 V to 35 V output. The input voltage ranges from roughly 3.0 V to 40 V. In order to achieve a 10 or more times reduction of output ripple, an additional L-C filter is included in this circuit.

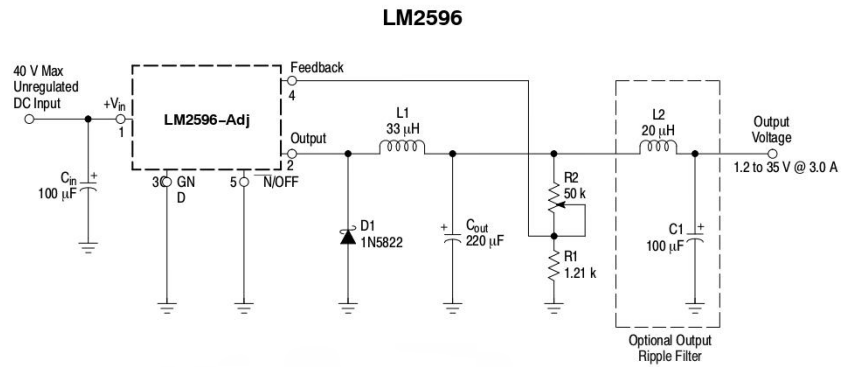


Figure 30. 1.2 to 35 V Adjustable 3.0 A Power Supply with Low Output Ripple



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM2596

THE LM2596 STEP-DOWN VOLTAGE REGULATOR WITH 5.0 V @ 3.0 A OUTPUT POWER CAPABILITY. TYPICAL APPLICATION WITH THROUGH-HOLE PC BOARD LAYOUT

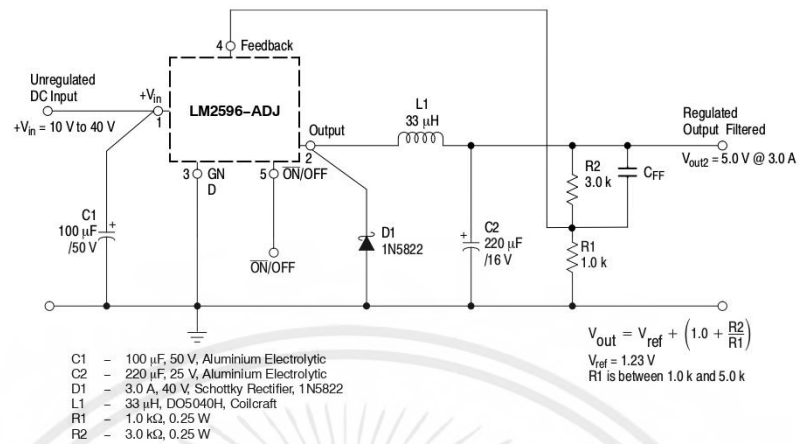
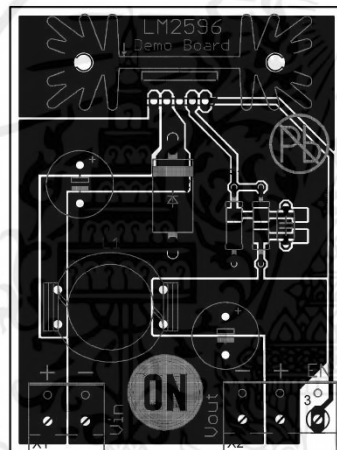
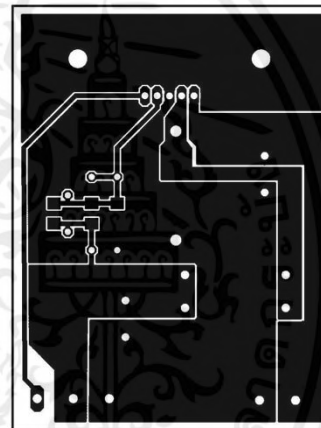


Figure 31. Schematic Diagram of the 5.0 V @ 3.0 A Step-Down Converter Using the LM2596-ADJ



NOTE: Not to scale.

Figure 32. Printed Circuit Board Layout Component Side



NOTE: Not to scale.

Figure 33. Printed Circuit Board Layout Copper Side

References

- National Semiconductor LM2596 Data Sheet and Application Note
- National Semiconductor LM2595 Data Sheet and Application Note
- Marty Brown "Practical Switching Power Supply Design", Academic Press, Inc., San Diego 1990
- Ray Ridley "High Frequency Magnetics Design", Ridley Engineering, Inc. 1995

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM2596

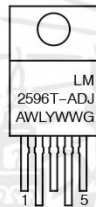
ORDERING INFORMATION

Device	Package	Shipping†
LM2596TADJG	TO-220 (Pb-Free)	50 Units / Rail
LM2596TVADJG	TO-220 (F) (Pb-Free)	50 Units / Rail
LM2596DSADJG	D ² PAK (Pb-Free)	50 Units / Rail
LM2596DSADJR4G	D ² PAK (Pb-Free)	800 / Tape & Reel

†For information on tape and reel specifications, including part orientation and tape sizes, please refer to our Tape and Reel Packaging Specifications Brochure, BRD8011/D.

MARKING DIAGRAMS

TO-220
TV SUFFIX
CASE 314B



TO-220
T SUFFIX
CASE 314D



D²PAK
DS SUFFIX
CASE 936A



A = Assembly Location
WL = Wafer Lot
Y = Year
WW = Work Week
G = Pb-Free Package

<http://onsemi.com>

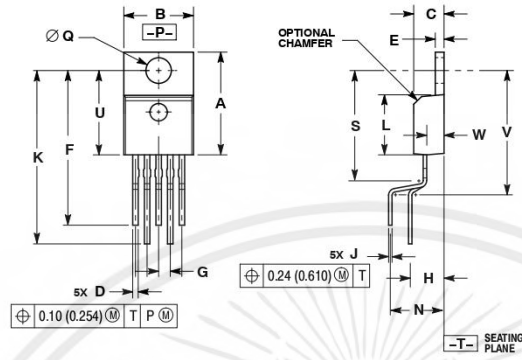
23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM2596

PACKAGE DIMENSIONS

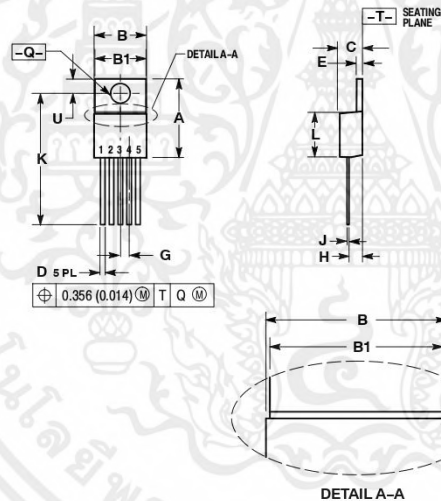
TO-220
TV SUFFIX
CASE 314B-05
ISSUE L



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION D DOES NOT INCLUDE INTERCONNECT BAR (DAMBAR) PROTRUSION. DIMENSION D INCLUDING PROTRUSION SHALL NOT EXCEED 0.043 (1.092) MAXIMUM.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.572	0.613	14.529	15.570
B	0.390	0.415	9.905	10.541
C	0.170	0.180	4.318	4.572
D	0.025	0.038	0.635	0.965
E	0.048	0.055	1.219	1.397
F	0.850	0.935	21.590	23.749
G	0.067 BSC		1.702 BSC	
H	0.166 BSC		4.216 BSC	
J	0.015	0.025	0.381	0.635
K	0.900	1.100	22.860	27.940
L	0.320	0.365	8.128	9.271
M	0.320 BSC		8.128 BSC	
Q	0.140	0.153	3.556	3.886
S	---	0.620	---	15.748
U	0.468	0.505	11.888	12.827
V	---	0.735	---	18.669
W	0.090	0.110	2.286	2.794

TO-220
T SUFFIX
CASE 314D-04
ISSUE F



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION D DOES NOT INCLUDE INTERCONNECT BAR (DAMBAR) PROTRUSION. DIMENSION D INCLUDING PROTRUSION SHALL NOT EXCEED 0.043 (1.092) MAXIMUM.

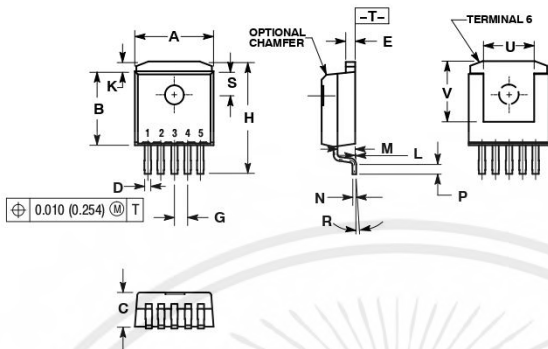
DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.572	0.613	14.529	15.570
B	0.390	0.415	9.906	10.541
B1	0.375	0.415	9.525	10.541
C	0.170	0.180	4.318	4.572
D	0.025	0.038	0.635	0.965
E	0.048	0.055	1.219	1.397
G	0.067 BSC		1.702 BSC	
H	0.087	0.112	2.210	2.845
J	0.015	0.025	0.381	0.635
K	0.977	1.045	24.810	26.543
L	0.320	0.365	8.128	9.271
Q	0.140	0.153	3.556	3.886
U	0.105	0.117	2.667	2.972

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LM2596

PACKAGE DIMENSIONS

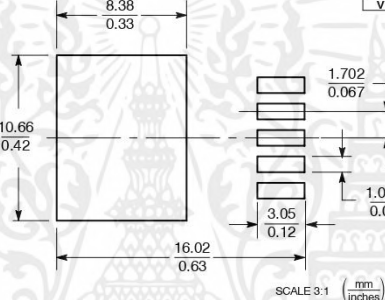
D²PAK
D2T SUFFIX
CASE 936A-02
ISSUE C



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: INCH.
 3. TAB CONTOUR OPTIONAL WITHIN DIMENSIONS A AND K.
 4. DIMENSIONS U AND V ESTABLISH A MINIMUM MOUNTING SURFACE FOR TERMINAL 6.
 5. DIMENSIONS A AND B DO NOT INCLUDE MOLD FLASH OR GATE PROTRUSIONS; MOLD FLASH AND GATE PROTRUSIONS NOT TO EXCEED 0.025 (0.635) MAXIMUM.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.398	0.403	9.804	10.236
B	0.356	0.368	9.042	9.347
C	0.170	0.180	4.318	4.572
D	0.026	0.036	0.660	0.914
E	0.045	0.055	1.143	1.397
G	0.067 BSC		1.702 BSC	
H	0.539	0.579	13.691	14.707
K	0.050 REF		1.270 REF	
L	0.000	0.010	0.000	0.254
M	0.088	0.102	2.235	2.591
N	0.018	0.026	0.457	0.660
P	0.058	0.078	1.473	1.981
R	5° REF		5° REF	
S	0.116 REF		2.948 REF	
U	0.200 MIN		5.080 MIN	
V	0.250 MIN		6.350 MIN	

SOLDERING FOOTPRINT*



*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

ON Semiconductor and are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:
Literature Distribution Center for ON Semiconductor
P.O. Box 5163, Denver, Colorado 80217 USA
Phone: 303-675-2175 or 800-344-3860 Toll Free USA/Canada
Fax: 303-675-2176 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada
Europe, Middle East and Africa Technical Support:
Phone: 421 33 790 2910
Japan Customer Focus Center
Phone: 81-3-5773-3850

ON Semiconductor Website: www.onsemi.com

Order Literature: <http://www.onsemi.com/orderlit>

For additional information, please contact your local Sales Representative

LM2596/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน



ชื่อ-นามสกุล

นายภาสกร สุขอนุเคราะห์

วัน เดือน ปีเกิด

11 พฤศจิกายน 2542

ที่อยู่

8/2 หมู่ 5 ตำบล บางโป้ อำเภอบางแพ เมือง

จังหวัด สุราษฎร์ธานี 84000

ประวัติการศึกษา

พ.ศ.2562 ประกาศนียบัตรวิชาชีพชั้นสูง สาขาวิชา

อิเล็กทรอนิกส์อุตสาหกรรม วิทยาลัยเทคนิคสุราษฎร์ธานี

Tel. 0614871800

Email. 63201282@kmitl.ac.th



ชื่อ-นามสกุล

นายศักดิ์สิทธิ์ ดวงมงคลชัย

วัน เดือน ปีเกิด

22 พฤษภาคม 2541

ที่อยู่

21/5 หมู่ 2 ซอย ศรีวิชัย 59 ถนน ศรีวิชัย

ตำบล มะขามเตี้ย อำเภอบางแพ เมืองสุราษฎร์ธานี

จังหวัด สุราษฎร์ธานี 84000

ประวัติการศึกษา

พ.ศ.2561 ประกาศนียบัตรวิชาชีพชั้นสูง สาขาวิชา

อิเล็กทรอนิกส์อุตสาหกรรม วิทยาลัยเทคนิคสุราษฎร์ธานี

Tel. 0876211183

Email. 63201285@kmitl.ac.th

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้