ออดิโอสวีฟมาร์กเกอร์เจนเนอเรเตอร์

AUDIO SWEEP / MARKER GENERATOR

โดย

นาย ปวเรศร์ ด่านสวนใหญ่

นางสาว พนารัตน์ ระวิวรรณ

วัน เดือน ปี 17 ก.ค. 2541

เลขทะเบียน 039028

เลขเรียกหนังสือ T 40269 ป 4830

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039028

ออดิโอสวีฟมาร์กเกอร์เจนเนอเรเตอร์

AUDIO SWEEP / MARKER GENERATOR

โดย

นาย ปวเรศร์ ด่านสวนใหญ่ 37014249

นางสาว พนารัตน์ ระวิวรรณ 37014273

อาจารย์ที่ปรึกษา

รศ.ดร. วิวัฒน์ กิรานนท์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออดิโอสวีฟมาร์กเกอร์เจนเนอเรเตอร์

AUDIO SWEEP / MARKER GENERATOR

โดย นาย ปวเรศร์ ด่านสวนใหญ่ 37014249
นางสาว พนารัตน์ ระวิวรรณ 37014273

อาจารย์ที่ปรึกษา รศ.ดร. วิวัฒน์ กิรานนท์

บทคัดย่อ

โครงงานนี้ คือ เครื่องออดิโอสวีฟมาร์กเกอร์เจนเนอเรเตอร์ เป็นเครื่องมือที่ใช้ในการทดสอบคุณสมบัติของวงจรขยายสัญญาณหรือวงจรกรองความถี่ โดยมันจะทำหน้าที่กำเนิดสัญญาณไซน์ที่มีความถี่ในช่วงความถี่ออดิโอ (20 Hz - 20 KHz) ซึ่งสัญญาณไซน์ที่สร้างได้นี้จะมีความถี่เปลี่ยนแปลงตามช่วงเวลาจากความถี่ต่ำสุดไปยังความถี่สูงสุดอย่างเนื่อง และเมื่อถึงความถี่สูงสุดแล้วก็จะกลับมาเริ่มต้นใหม่วนเช่นนี้เรื่อยไป สัญญาณไซน์จะเก็บไว้เป็นเลขฐานสองในอีพรอมและใช้สัญญาณนาฬิกาที่มีความถี่คงที่วนอ่านค่าที่เก็บไว้นี้ออกมา แล้วสัญญาณนี้จะถูกป้อนเข้าไปในวงจรที่ต้องการทดสอบ และนำไปผ่านวงจรดีเทคเตอร์ เพื่อดีเทคกรอบของสัญญาณซึ่งเป็นลักษณะการตอบสนองความถี่ของวงจรขยายสัญญาณหรือวงจรกรองความถี่ที่ต้องการทดสอบคุณสมบัติ และจะแสดงผลออกมาโดยผ่านทางจอออสซิลโลสโคป

ABSTRACT

This project presents here is "Audio Sweep / Marker Generator". It generates the audio signals with sweeping frequency (20 Hz - 20 KHz) which is used to test amplifier and filter characteristics. It delivers an input signal to feed through the test circuit and then output of the test circuit is taken to detected by envelope detector. Finally output response of the test circuit shown on oscilloscope.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ออดิโอสวีฟมาร์กเกอร์เจนเนอเรเตอร์

AUDIO SWEEP / MARKER GENERATOR

ผู้จัดทำ

1. นาย ปวเรศร์ ด่านสวนใหญ่ 37014249
2. นางสาว พนารัตน์ ระวิวรรณ 37014273

อาจารย์ที่ปรึกษา

(รศ.ดร. วิวัฒน์ กิรานนท์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	2
2.1 วงจรนับ	2
2.1.1 วงจรนับเลขฐานสองพื้นฐาน 2 ขั้น	3
2.1.2 วงจรนับเลขฐานสองแบบนับขึ้น 4 ขั้น	4
2.1.3 วงจรนับเลขฐานสองแบบนับลง 4 ขั้น	5
2.2 ไอซีที่เป็นวงจรนับ	6
2.3 การนำเอาวงจรนับมาเป็นวงจรหารความถี่	8
2.3.1 วงจรนับ-หารด้วย N	8
2.4 หน่วยความจำ	9
2.4.1 อีพรอม 2716	11
2.4.2 การใช้งานอีพรอม 2716 (2K * 8)	14
2.4.3 การโปรแกรมอีพรอม	14
2.4.4 การลบข้อมูลของอีพรอม	14
2.4.5 ข้อมูลและบัส	15
2.4.6 โหมดการเขียนข้อมูล	15
2.4.7 การยับยั้งการเขียนข้อมูล (Program Inhibit)	16
2.4.8 การตรวจสอบข้อมูล	16
2.5 วงจรดีเอซี	16
2.5.1 หลักการพื้นฐานของดีเอซี	16
2.5.2 วงจรดีเอซี	20
2.5.2.1 วงจรดีเอซีแบบตัวต้านทานอาร์-สองอาร์	20
2.5.2.2 วงจรดีเอซีแบบใช้แหล่งกำเนิดกระแส	21
2.5.3 ไอซีดีเอซี	22
2.6 แอคทีฟฟิลเตอร์ (Active Filter)	25
2.6.1 วงจรกรองความถี่ต่ำผ่าน	26
2.6.1.1 การออกแบบวงจรกรองความถี่ต่ำผ่านอัตรกการลดระดับ -20 เดซิเบล / ดีเคด	26
2.6.1.2 การออกแบบวงจรกรองความถี่ต่ำผ่านอัตรกการลดระดับ -40 เดซิเบล / ดีเคด	27
2.6.2 วงจรกรองความถี่สูงผ่าน	28
2.6.2.1 วงจรกรองความถี่สูงผ่าน แบบ 20 เดซิเบล / ดีเคด	28
2.6.2.2 วงจรกรองความถี่สูงผ่าน แบบ 40 เดซิเบล / ดีเคด	30
2.6.3 วงจรกรองความถี่ออกเฉพาะช่วง	31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

2.7 วงจรเรคติไฟเออร์ 32
2.7.1 วงจรเรคติไฟเออร์ แบบครึ่งช่วงคลื่น 32
2.7.2 วงจรเรคติไฟเออร์ แบบเต็มช่วงคลื่น 33
2.7.3 วงจรเรคติไฟเออร์ แบบเพิ่มศักดาเป็นสองเท่า 33
2.8 การทำงานของวงจรในภาคปรีแอมป์ 34
2.8.1 ปรีแอมป์ตัวชดเชยความถี่ 34
2.8.2 ปรีแอมป์สำหรับหัวเข็ม 34
2.9 ส่วนกำเนิดสัญญาณไซน์ 35
บทที่ 3 ทฤษฎีและหลักการ 38
3.1 บล็อกไดอะแกรม 38
3.2 หลักการสร้างสัญญาณฟันเลื่อย 39
3.3 หลักการสร้างสัญญาณไซน์ความถี่ 20 เฮิรตซ์ - 20 กิโลเฮิรตซ์ 40
3.4 วงจรสร้างสัญญาณฟันเลื่อย 41
3.5 วงจรสร้างสัญญาณไซน์ความถี่ 20 เฮิรตซ์ - 20 กิโลเฮิรตซ์ 42
3.6 หลักการทำงานของวงจรดีเทคเตอร์ 43
3.7 วงจรส่วนดีเทคเตอร์ 44
3.8 การหาทรานส์เฟอร์ฟังก์ชันของวงจรกรองความถี่ต่ำผ่าน 45
3.9 ส่วนวัดความถี่ 46
3.9.1 ภาคกำเนิดสัญญาณฐานเวลา 46
3.9.2 ภาคปรีแอมปลิไฟเออร์ 47
3.9.3 ภาคนับและแสดงผล 47
3.10 วงจรส่วนวัดความถี่ 48
3.11 วงจรสร้างสัญญาณนาฬิกา 49
3.12 วงจรโมโนสเตเบิล 50
3.13 การออกแบบวงจรกำเนิดสัญญาณไซน์ 51
3.13.1 การคำนวณ 51
3.14 หลักการสร้างเคอร์เซอร์ 53
บทที่ 4 ผลการทดลอง 54
4.1 ขั้นตอนการทดลอง 54
4.2 ผลการทดลอง 55
บทที่ 5 บทวิจารณ์และบทสรุป 62

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพและตาราง

	หน้า
รูปที่ 2.1 แสดงแผนผังการต่อวงจรนับแบบริปเปิล	2
รูปที่ 2.2 แสดงวงจรนับเลขฐานสองพื้นฐาน 2 ขั้น	3
รูปที่ 2.3 แสดงรูปคลื่นของวงจรนับเลขพื้นฐาน 2 ขั้น	3
ตารางที่ 2.1 ตารางนับของวงจรเลขฐานสอง 2 ขั้น รูปที่ 2.2	4
รูปที่ 2.4 วงจรนับเลขฐานสองแบบนับขึ้น	4
ตารางที่ 2.2 ตารางการนับของวงจรนับขึ้น 4 ขั้น	5
รูปที่ 2.5 รูปคลื่นของวงจรนับขึ้น 4 ขั้น	5
รูปที่ 2.6 รูปคลื่นของวงจรนับลง 4 ขั้น	5
ตารางที่ 2.3 ตารางการนับของวงจรนับลง 4 ขั้น	6
รูปที่ 2.7 (ก.) แสดงวงจรภายในของไอซีวงจรนับเบอร์ 4040	7
(ข.) แสดงตำแหน่งของขาต่าง ๆ ของไอซีวงจรนับเบอร์ 4040	7
(ค.) แสดงไทม์มิ่ง ไดอะแกรม ของไอซีวงจรนับเบอร์ 4040	7
รูปที่ 2.8 การใช้ฟลิปฟลอปหารความถี่	8
รูปที่ 2.9 ใช้ฟลิปฟลอป 4 ตัว สามารถหารความถี่ได้ด้วย 16	8
รูปที่ 2.10 วงจรนับ-หาร MOD-6	9
รูปที่ 2.11 สัญญาณการทำงานของวงจร MOD-6	9
รูปที่ 2.12 โครงสร้างของหน่วยความจำ	10
รูปที่ 2.13 แสดงแผนผังและการจัดขาของอีพรอม 2716	11
รูปที่ 2.14 แสดงสัญญาณการอ่านข้อมูลของอีพรอม 2716	12
รูปที่ 2.15 แสดงเปรียบเทียบการจัดวางขาของอีพรอม 2716/2 732	13
รูปที่ 2.16 แสดงเปรียบเทียบการจัดวางขาของอีพรอมขนาด 2 เค * 8 บิท ถึง 32 เค * 8 บิท	13
รูปที่ 2.17 แสดงไทม์มิ่งไดอะแกรมในขณะอ่านข้อมูลของอีพรอม	15
รูปที่ 2.18 แสดงไทม์มิ่งไดอะแกรมในขณะเขียนข้อมูลลงบน 2716	15
รูปที่ 2.19 แสดงกราฟอะนาลอกเอาต์พุตกับดิจิตอลอินพุต 3 บิท ของดีเอซี	17
รูปที่ 2.20 แสดงกราฟอะนาลอกเอาต์พุตกับดิจิตอลอินพุต 4 บิท ของดีเอซี ซึ่งเอาต์พุตแต่ละขั้นจะมีแรงดัน V / 16	17
รูปที่ 2.21 แสดงบล็อกไดอะแกรมของวงจรดีเอซี	18
รูปที่ 2.22 แสดงสัญลักษณ์ของวงจรดีเอซี	18
รูปที่ 2.23 แสดงวงจรดีเอซีขนาด 8 บิท	19
รูปที่ 2.24 แสดงวงจรดีเอซีแบบตัวต้านทานอาร์-สองอาร์เบื้องต้น	19
รูปที่ 2.25 แสดงวงจรดีเอซีขนาด 4 บิท มีความละเอียด 0.625 โวลต์ต่อบิท	21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 2.26 แสดงวงจรดีเอซีทางอุดมคติ เมื่อดิจิตอลอินพุตเป็น 4 บิท โดยใช้หลักการของแหล่งกำเนิดกระแส 21
รูปที่ 2.27 แสดงวงจรดีเอซีเมื่อดิจิตอลอินพุตเป็น 4 บิท โดยใช้หลักการของแหล่งกำเนิดกระแส 22
รูปที่ 2.28 วงจรสมมูลย์ของวงจรดีเอซีโดยใช้หลักการของแหล่งกำเนิดกระแส ที่มีอินพุตเป็นฟูลสเกล 22
รูปที่ 2.29 แสดงการต่อตัวต้านทานแบบอาร์-สองอาร์ 8 บิท 23
รูปที่ 2.30 แสดงการต่อวงจรไอซีเบอร์ DAC-08 23
รูปที่ 2.31 แสดงการต่อ DAC-08 แบบเอาต์พุตคู่ 24
รูปที่ 2.32 (ก.) แสดงผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน 25
รูปที่ 2.32 (ข.) แสดงผลตอบสนองความถี่ของวงจรกรองความถี่สูงผ่าน 25
รูปที่ 2.32 (ค.) แสดงผลตอบสนองความถี่ของวงจรกรองความถี่ผ่านเฉพาะบางช่วง 26
รูปที่ 2.32 (ง.) แสดงผลตอบสนองความถี่ของวงจรกรองความถี่แบบที่กันไม่ให้ความถี่ผ่านบางช่วง 26
รูปที่ 2.33 แสดงคุณสมบัติการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน 26
รูปที่ 2.34 ลักษณะของวงจรกรองความถี่ต่ำผ่านแบบ -20 เดซิเบล / ดีเคด 27
รูปที่ 2.35 แสดงคุณสมบัติการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านแบบ -20 เดซิเบล / ดีเคด 27
รูปที่ 2.36 ลักษณะของวงจรกรองความถี่ต่ำผ่านแบบ -40 เดซิเบล / ดีเคด 28
รูปที่ 2.37 แสดงผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่านแบบ -40 เดซิเบล / ดีเคด 28
รูปที่ 2.38 ลักษณะของวงจรกรองความถี่สูงผ่านแบบ 20 เดซิเบล / ดีเคด 29
รูปที่ 2.39 แสดงผลตอบสนองความถี่ของวงจรกรองความถี่สูงผ่านแบบ 20 เดซิเบล / ดีเคด 29
รูปที่ 2.40 ลักษณะของวงจรกรองความถี่สูงผ่านแบบ 40 เดซิเบล / ดีเคด 30
รูปที่ 2.41 แสดงผลตอบสนองความถี่ของวงจรกรองความถี่สูงผ่านแบบ 40 เดซิเบล / ดีเคด 30
รูปที่ 2.42 ลักษณะของวงจรนอดช์ฟิลเตอร์ 31
รูปที่ 2.43 แสดงผลตอบสนองความถี่ของวงจรกรองความถี่ออกเฉพาะบางช่วง 31
รูปที่ 2.44 แสดงวงจรเรคติไฟเออร์แบบครึ่งช่วงคลื่น 32
รูปที่ 2.45 แสดงวงจรเรคติไฟเออร์แบบเต็มช่วงคลื่น 33
รูปที่ 2.46 แสดงวงจรเรคติไฟเออร์แบบเต็มช่วงคลื่นโดยใช้บริดจ์ 33
รูปที่ 2.47 แสดงวงจรเรคติไฟเออร์แบบเพิ่มศักดาเป็นสองเท่า 34
รูปที่ 2.48 แสดงรูปคลื่นที่ถูกเรคติไฟเออร์ของการเพิ่มศักดาเป็นสองเท่า 34
รูปที่ 2.49 วงจรพื้นฐานของ XR-2206 สำหรับสร้างคลื่นไซน์ที่ความเพี้ยนต่ำ 35
รูปที่ 2.50 วงจรสร้าง sinusoidal FSK 36
รูปที่ 3.1 บล็อกไดอะแกรมของวงจร 38
รูปที่ 3.2 กราฟของสัญญาณฟันเลื่อย 1024 ค่า 39
รูปที่ 3.3 วงจรส่วน DAC 0800 40
รูปที่ 3.4 แสดงวงจรสร้างสัญญาณฟันเลื่อย 41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้า

รูปที่ 3.5 แสดงวงจรสร้างสัญญาณไซน์ ที่มีความถี่ 20 เฮิรตซ์ถึง 20 กิโลเฮิรตซ์ 42
รูปที่ 3.6 แสดงวงจรพื้นฐานฟูลเวฟพรีซิชันเรคติไฟเออร์ 43
รูปที่ 3.7 แสดงวงจรพื้นฐานฮาล์ฟเวฟเรคติไฟเออร์ 43
รูปที่ 3.8 วงจรดีเทคเตอร์ 44
รูปที่ 3.9 วงจรกรองความถี่ต่ำผ่านแบบ -40 เดซิเบล / ดีเคด 45
รูปที่ 3.10 วงจรสมบูรณ์ของเครื่องวัดความถี่ต่ำ 46
รูปที่ 3.11 วงจรส่วนวัดความถี่ 48
รูปที่ 3.12 การใช้ไอซี 555 ในการสร้างสัญญาณนาฬิกา 49
รูปที่ 3.13 การใช้ไอซี 555 เป็นวงจรโมโนสเตเบิลโดยทั่วไป 50
รูปที่ 3.14 แสดงการต่อขั้วไทม์มิ่งของ XR-2206 ในโหมดการทำงานของการกำเนิดสัญญาณไซน์ 51
รูปที่ 3.15 แสดงวงจรกำเนิดสัญญาณไซน์ที่มีความถี่อยู่ในช่วง 20 เฮิรตซ์ ถึง 20 กิโลเฮิรตซ์ 52
รูปที่ 3.16 แสดงวงจรที่ยกระดับสัญญาณฟันเลื่อย 53
รูปที่ 3.17 แสดงการสร้างโมโนสเตเบิล 53
รูปที่ 4.1 แสดงสัญญาณฟันเลื่อยที่มีความถี่ 1.182 เฮิรตซ์และสัญญาณไซน์ที่มีความถี่ 20 เฮิรตซ์ถึง 20 กิโลเฮิรตซ์ 55
รูปที่ 4.2 แสดงสัญญาณที่ได้เมื่อนำโครงงานนี้ไปผ่านวงจรกรองความถี่ต่ำผ่าน 55
รูปที่ 4.3 แสดงสัญญาณทีได้เมื่อนำไปผ่านวงจรกรองความถี่ต่ำผ่าน แล้วนำไปผ่านวงจรดีเทคเตอร์ 56
รูปที่ 4.4 แสดงสัญญาณที่ได้เมื่อนำโครงงานนี้ไปผ่านวงจรกรองความถี่สูงผ่าน 56
รูปที่ 4.5 แสดงสัญญาณที่ได้เมื่อนำไปผ่านวงจรกรองความถี่ต่ำผ่านแล้วนำไปผ่านวงจรดีเทคเตอร์ 57
รูปที่ 4.6 แสดงการเปรียบเทียบแรงดันไฟตรงที่ปรับค่าได้กับสัญญาณฟันเลื่อย 57
รูปที่ 4.7 แสดงเอาต์พุตของวงจรโมโนสเตเบิลซึ่งก็คือตำแหน่งของเลอร์เซอร์ 58
รูปที่ 4.8 แสดงสัญญาณเมื่อนำเลอร์เซอร์รวมกับกรอบของสัญญาณของวงจรกรองความถี่ต่ำผ่าน 58
รูปที่ 4.9 แสดงสัญญาณ ไซน์ที่มีความถี่ ณ ตำแหน่งที่เลอร์เซอร์อยู่ 59
รูปที่ 4.10 แสดงความถี่ ณ ตำแหน่งของเลอร์เซอร์ 59
รูปที่ 4.11 แสดงสัญญาณเมื่อนำเลอร์เซอร์รวมกับกรอบของสัญญาณของวงจรกรองความถี่สูงผ่าน 60
รูปที่ 4.12 แสดงสัญญาณไซน์ที่มีความถี่ ณ ตำแหน่งที่เลอร์เซอร์อยู่ 60
รูปที่ 4.13 แสดงความถี่ ณ ตำแหน่งของเลอร์เซอร์ 61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ปัจจุบันอุปกรณ์อิเลคทรอนิกส์ต่างๆนั้น ก่อนที่จะนำไปใช้งาน คุณสมบัติที่สำคัญข้อหนึ่งที่จำเป็นต้องพิจารณาคือ ค่าการตอบสนองความถี่ (Frequency Response) ในอุปกรณ์เหล่านั้นโดยเฉพาะวงจรขยายไม่ว่าจะเป็นวงจรปรีแอมป์ , เพาว์เวอร์แอมป์ , อีควอไลเซอร์ , ครอสโอเวอร์เน็ตเวิร์คทั้งแอคทีฟ (active) และพาสซีฟ (passive) นอกจากนี้วงจรกรองความถี่ต่างๆก็ควรที่จะพิจารณาค่าตอบสนองความถี่ด้วยเช่นกัน ถ้าหากว่าวงจรเหล่านั้นมีการตอบสนองทางความถี่แคบกว่าปกติหรือแคบกว่าย่านที่เราต้องการใช้งานจริง แสดงว่าวงจรนั้นมีคุณภาพต่ำเพราะไม่สามารถขยายสัญญาณได้ตลอดย่านความถี่เสียงที่ควรขยายได้ และไม่ควรที่จะนำมาใช้งานจริง

ในการทดสอบความสามารถในการตอบสนองความถี่ของวงจรขยายสัญญาณหรือวงจรกรองความถี่ปกติจะมีวิธีการคือป้อนสัญญาณไซน์ที่มีความถี่ค่าหนึ่งเข้าไปยังอินพุตของวงจรที่ต้องการทดสอบนั้น และวัดขนาดของเอาต์พุตที่ความถี่อินพุตนั้นแล้วบันทึกค่าไว้ จากนั้นก็ทำการปรับค่าความถี่เปลี่ยนไป และทำตามขั้นตอนเหมือนเดิม จนกระทั่งครบทุกความถี่ของย่านความถี่ที่ต้องการทดสอบ จากนั้นนำค่าขนาดของสัญญาณที่ได้ในแต่ละความถี่นั้นมาทำการพล็อตกราฟเป็นฟังก์ชันของความถี่ ก็จะทราบผลการตอบสนองความถี่ของวงจรนั้น ในการทดสอบนี้สามารถใช้เครื่องกำเนิดสัญญาณแบบธรรมดาได้ แต่ว่าต้องใช้เวลาในการทดสอบอย่างมาก

นอกจากนั้นยังต้องอาศัยเครื่องมือหลายชิ้นมาทำงานร่วมกันกับเครื่องกำเนิดสัญญาณ ซึ่งก็คือออสซิล-โลสโคปและตารางบันทึกค่าการตอบสนองความถี่ ซึ่งก่อให้เกิดความไม่สะดวกในการปฏิบัติงาน

โครงงานนี้จะทำการสร้างเครื่องมือที่ใช้ในการทดสอบคุณสมบัติของวงจรขยายสัญญาณและวงจรกรองความถี่ โดยเครื่องนี้จะทำหน้าที่กำเนิดสัญญาณไซน์ที่มีความถี่เปลี่ยนแปลงตามช่วงเวลา จากความถี่ต่ำสุดไปยังความถี่สูงสุดอย่างต่อเนื่อง และเมื่อถึงความถี่สูงสุดแล้วก็จะกลับมาเริ่มต้นใหม่วนเช่นนี้เรื่อยไป โดยสัญญาณไซน์ที่สร้างได้นี้จะเก็บไว้เป็นเลขฐานสองในอีพรอม และใช้สัญญาณนาฬิกาที่มีความถี่คงที่อ่านค่าที่เก็บไว้นี้ออกมา จากนั้นจะใช้วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกในการแปลงค่าที่เป็นเลขฐานสองที่เก็บไว้นี้ออกมาเป็นค่าของศักดาไฟฟ้า จากนั้นจะต่อเข้ากับวงจรที่ต้องการทดสอบและส่วนของวงจรดีเทคเตอร์ ซึ่งจะแสดงผลการตอบสนองความถี่พร้อมทั้งเคอร์เซอร์บนจอออสซิลโลสโคป โดยใช้การเลื่อนเคอร์เซอร์ในการอ่านความถี่เป็นตัวเลขจากส่วนวัดความถี่

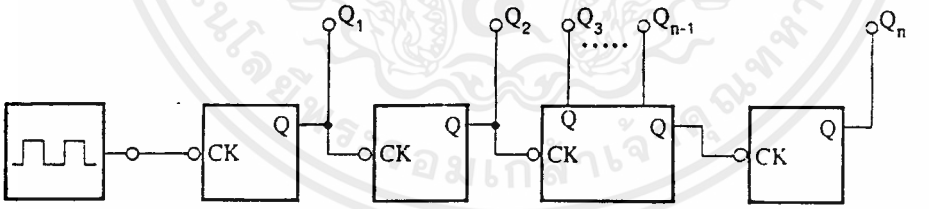
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

2.1 วงจรนับ

วงจรนับเป็นหน่วยแรกของการกำเนิดสัญญาณ โดยใช้ข้อมูลทางดิจิตอล วงจรนี้จะรับสัญญาณนาฬิกาเพื่อที่จะนับแบบเลขฐานสอง โดยการนับเลขฐานสอง (Binary Counter) หลักการของวงจรนับแบบเลขฐานสองคือ จะอาศัยวงจรไบสเตเบิลมัลติไวเบรเตอร์ (Bistable Multivibrator Cirrcuit) ซึ่งมีสถานะแน่นอน 2 สถานะ วงจรนี้เรียกว่า วงจรฟลิปฟลอป (Flipflop Circuit) วงจรนับปกติจะประกอบด้วยวงจรฟลิปฟลอปจำนวนหลายๆตัวมาต่อเข้าด้วยกัน ซึ่งการต่อโดยทั่วๆไปนั้นจะต่อได้เป็น 2 แบบ คือต่อให้วงจรนับแบบไม่ต้องเข้าจังหวะ เรียกวงจรนับแบบนี้ว่า วงจรนับแบบไม่เข้าจังหวะ (asynchronous counter) หรือเรียกอีกอย่างหนึ่งว่า วงจรนับแบบริปเปิล (ripple counter) ส่วนอีกวงจรหนึ่งการนับจะนับแบบเข้าจังหวะ (synchronous counter) ซึ่งจะได้กล่าวรายละเอียดต่อไป ในขณะเดียวกันการนับก็แบ่งออกได้เป็น 2 แบบย่อยๆอีก คือ วงจรนับขึ้นหรือนับเดินหน้า (up counter) หมายถึง การนับที่เรียงลำดับจากน้อยไปหามาก โดยพิจารณาจากรหัสเลขฐานสอง เช่น วงจรนับ 4 บิท เริ่มนับจาก 0000 ไปจนถึง 1111 หากวงจรนับเริ่มนับรหัสเลขฐานสองจาก 1111 ถอยลงมาจนถึง 0000 อย่างนี้เราเรียกวงจรนี้ว่า วงจรนับลงหรือนับถอยหลัง (down counter)

วงจรนับแบบไม่เข้าจังหวะ โดยทั่วไปมักเรียกว่าวงจรนับแบบริปเปิล การต่อวงจรนับแบบนี้ปกติจะใช้ที-ฟลิปฟลอปเสมอ (ใช้ อาร์-เอส, เจ-เค หรือ ดี-ฟลิปฟลอปก็ได้ แต่ต้องต่อกันเป็นที-ฟลิปฟลอปเสียก่อน) ขณะเดียวกันลักษณะการต่อให้ต่อกันเป็นวงจรเชิงอนุกรม โดยต่อเอาต์พุตของตัวแรกไปยังอินพุตของตัวที่ 2 และเรียงกันไปเรื่อยๆ ดังแสดงในรูปที่ 2.1



รูปที่ 2.1 แสดงแผนผังการต่อวงจรนับแบบริปเปิล

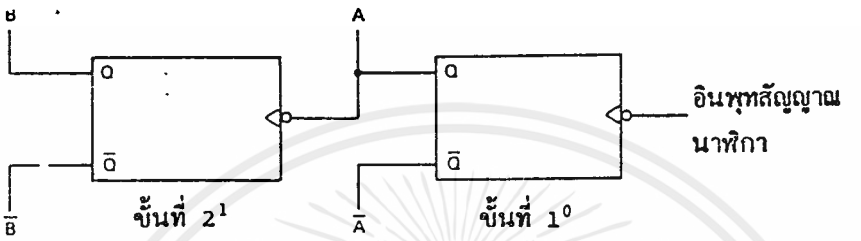
จากแผนผังที่แสดงในรูปที่ 2.1 จะเห็นว่าเอาต์พุตของฟลิปฟลอปตัวแรกจะเปลี่ยนแปลงในทุก ๆ ครั้งที่มีสัญญาณอินพุตให้กับฟลิปฟลอปตัวที่ 2 ดังนั้นเอาต์พุตของฟลิปฟลอปตัวที่ 2 ก็จะเปลี่ยนระดับลอจิกทุก 2 ครั้งของสัญญาณคล็อค และตัวถัดไปเรื่อย ๆ จะเปลี่ยนสถานะของเอาต์พุตตามกฎ 2^{n-1} โดยให้ n คือจำนวนฟลิปฟลอปที่ต่อกันเป็นวงจรนับ เช่น ถ้าหากเราใช้ฟลิปฟลอป 4 ตัว ซึ่งเรียกว่า วงจรนับ 4 บิท ตัวที่ 4 จะมีการเปลี่ยนแปลงสถานะของเอาต์พุตทุก ๆ 2^{4-1} หรือ เท่ากับ 8 ครั้ง ของสัญญาณคล็อคทางด้านอินพุต ส่วนจำนวนนับรหัสเลขฐานสองสูงสุดที่เป็นไปได้คือ 2^n กำหนดให้ n คือจำนวนฟลิปฟลอป ถ้าฟลิปฟลอป 4 ตัว จะนับได้สูงสุด 2^4 คือ 16(0000-1111) ดังนั้นถ้าใช้ฟลิปฟลอป n ตัว จำนวนนับสูงสุดจะเป็น 2^n ครั้ง หลังจากนับครบ 2^n ครั้งแล้ววงจรจะย้อนกลับมาเริ่มนับใหม่อีกถ้าหากยังคงมีสัญญาณคล็อคทางด้านอินพุตต่อไป

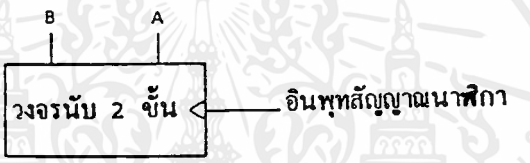
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1 วงจรนับเลขฐานสองพื้นฐาน 2 ขั้น

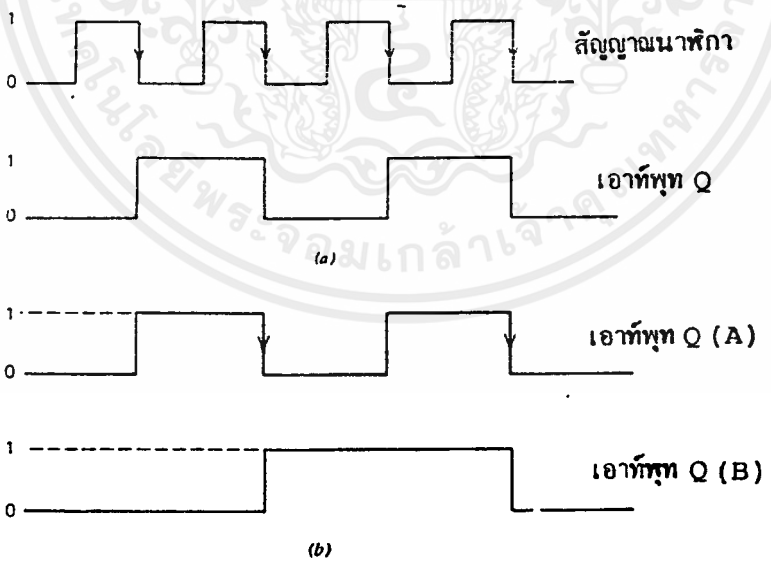
อินพุตพัลซ์นาฬิกาจะทำให้ ฟลิปฟลอป เปลี่ยนสถานะทุกพัลซ์ รูป 2.3 แสดงสัญญาณเอาต์พุตนาฬิกา และสัญญาณเอาต์พุต Q สังเกตเห็นว่าวงจรนี้ใช้การเปลี่ยนสถานะของสัญญาณอินพุตนาฬิกาจาก 1 ไปเป็น 0 ในการเปลี่ยนสถานะเอาต์พุต Q จากรูป 2.1 เอาต์พุต Q ของขั้นแรก (เรียกว่าขั้นที่ 2^0) จะเป็นอินพุต T ของขั้นที่ 2 (เรียกว่าขั้นที่ 2^1) ในรูป 2.2 A คือเอาต์พุต Q ของขั้นที่ 1 B คือเอาต์พุต Q ของขั้นที่ 2

เนื่องจากเอาต์พุต Q ของขั้นที่ 1 (A) เป็นตัวทริกของขั้นที่ 2 ดังนั้นสถานะของขั้นที่ 2 จะเปลี่ยนแปลงเมื่อเอาต์พุต Q ของขั้นที่ 1 ไปเป็น 0 เท่านั้นดังรูป 2.3





รูปที่ 2.2 แสดงวงจรนับเลขฐานสองพื้นฐาน 2 ขั้น



รูปที่ 2.3 แสดงรูปคลื่นของวงจรนับเลขฐานสองพื้นฐาน 2 ขั้น

สังเกตว่ารูปคลื่นเอาต์พุต ของขั้นถัดมาจะทำงานหรือเปลี่ยนสถานะเร็วเป็นครึ่งหนึ่งของอินพุต ตารางที่ 2.1 แสดงสถานะของการทำงานในขั้นต่าง ๆ ของวงจรรูป 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พัลซ์อินพุท	เอาท์พุท (B)	เอาท์พุท (A)
0	0	0
1	0	1
2	1	0
3	1	1
4 (หรือ 0)	0	0

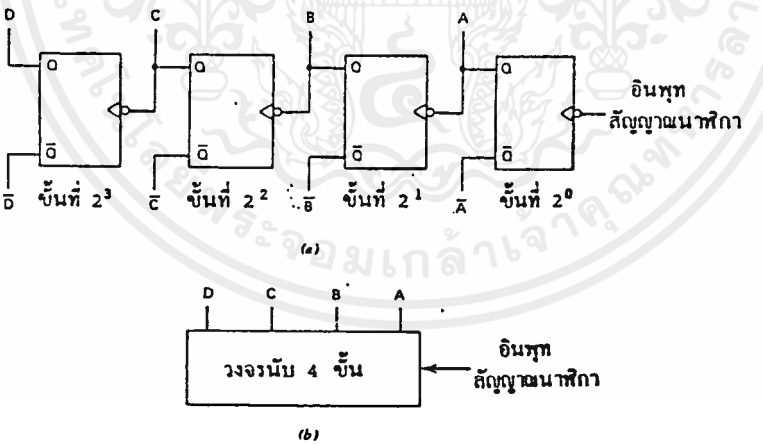
ตารางที่ 2.1 ตารางนับของวงจรฐานสอง 2 ขั้น รูปที่ 2.2

ถ้าวงจรนับมีจำนวนขั้นเพิ่มขึ้น เช่น วงจรนับ 4 ขั้น ดังรูปที่ 2.4 เอาต์พุต Q ของแต่ละขั้นจะต่อเป็นอินพุต T ของขั้นต่อมา วงจรนับ 4 ขั้นนี้ ไซเคิลของวงจรนับจะซ้ำกันไปเมื่อสัญญาณนาฬิกาอินพุต ครบ 16 พัลซ์ นั่นคือ วงจรนับ n ขั้น จะทำการนับ 2^n หมายความว่าวงจรนับ n ขั้นจะครบ 1 ไซเคิลของการนับเมื่อมีสัญญาณนาฬิกาอินพุตครบ 2^n พัลซ์ เรียกว่าวงจรนับ 2^n

จำนวนที่นับ = $N = 2^n$

เมื่อ n คือจำนวนขั้นของวงจรนับ ดังนั้นวงจรนับ 6 ขั้นจะเป็นวงจรนับ 64 วงจรนับ 10 ขั้น เป็นวงจรนับ 1024

2.1.2 วงจรนับเลขฐานสองแบบนับขึ้น 4 ขั้น



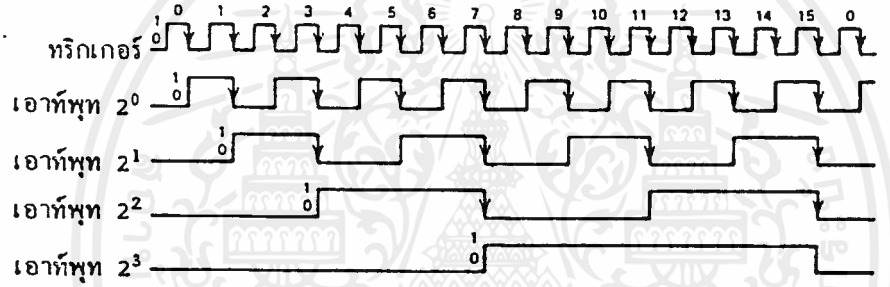
รูปที่ 2.4 วงจรนับเลขฐานสองแบบนับขึ้น

ตารางที่ 2.2 เป็นตารางการนับของวงจรรูปที่ 2.4 ขั้นที่ 2^0 จะเปลี่ยนแปลงสถานะทุก ๆ พัลซ์ของสัญญาณนาฬิกา (ช่วงที่สัญญาณนาฬิกาเปลี่ยนสถานะจาก 1 ไปเป็น 0 ดูรูป 2.5 ประกอบ) ขั้นที่ 2^1 จะเปลี่ยนแปลงสถานะทุก ๆ 2 พัลซ์ของสัญญาณ นาฬิกา และขั้นที่ 2^2 จะเปลี่ยนแปลงสถานะทุก ๆ 4 พัลซ์ของสัญญาณนาฬิกา เราสามารถจับความสัมพันธ์ในส่วนนี้เองได้จากตัวเลขที่บอกขั้น หลังจากที่การนับดำเนินไปเรื่อย ๆ จนกระทั่งเอาต์พุตของทุกขั้น (D,C,B,A) มีสถานะเป็น 1111 เมื่อมีพัลซ์ของนาฬิกาเข้ามาอีก 1 พัลซ์ เอาต์พุตของทุกขั้นจะมีสถานะเป็น 0000 และการนับของไซเคิลใหม่ก็จะเริ่มขึ้น ซ้ำเดิมทุกประการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พัลซ์อินพุท	2^3 เอาท์พุท (D)	2^2 เอาท์พุท (C)	2^1 เอาท์พุท (B)	2^0 เอาท์พุท (A)
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16 (or 0)	0	0	0	0

ตารางที่ 2.2 ตารางการนับของวงจรนับขึ้น 4 ขั้น

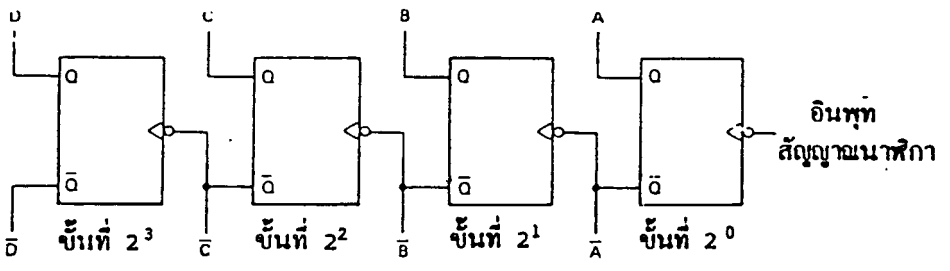


รูปที่ 2.5 รูปคลื่นของวงจรนับแบบนับขึ้น 4 ขั้น

เห็นได้ชัดเจนว่าลำดับของการนับเป็นการนับเลขฐานสองเพิ่มขึ้นเรื่อย ๆ ทุก ๆ พัลซ์นาฬิกาอินพุต (0000, 0001, 0010,...1111, 0000, ...) ดังนั้นวงจรนับในลักษณะนี้จึงเรียกว่า วงจรนับเลขฐานสองแบบนับขึ้น รูปคลื่นของเอาต์พุตแต่ละขั้นแสดงไว้ในรูป 2.5 วงจรนับบางทีเรียกว่า วงจรนับริปเปิล เนื่องจากการเปลี่ยนสถานะจากขั้นต่ำ ๆ จะเป็นตัวทริกให้ ขั้นสูง ๆ มีการเปลี่ยนแปลงสถานะไปเรื่อย ๆ มีลักษณะเหมือนการกระเพื่อมของคลื่น

2.1.3 วงจรนับเลขฐานสองแบบนับลง 4 ขั้น

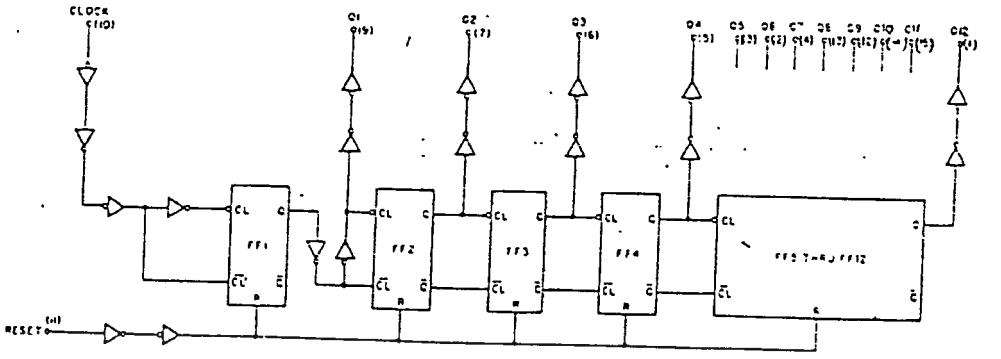
การต่อวงจรมีลักษณะคล้ายๆกับวงจรนับขึ้น แต่มีการเปลี่ยนแปลงการต่อตัวทริกดังรูป 2.6 โดยเอาต์พุต $\overline{Q}$ ของแต่ละขั้นจะใช้เป็นตัวทริกให้แก่ขั้นถัดไป แต่ยังคงใช้เอาต์พุต Q เป็นเอาต์พุตแสดงสถานะของแต่ละขั้น ดังตารางที่ 2.3



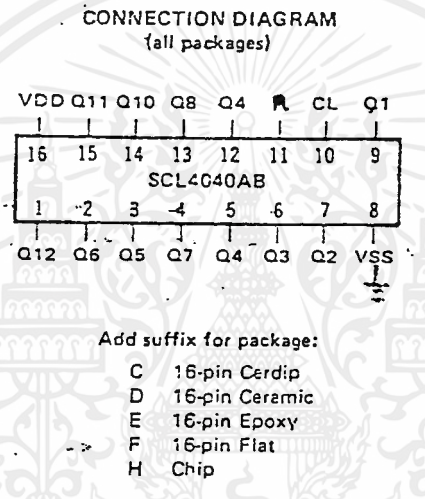
รูปที่ 2.6 วงจรนับเลขฐานสองแบบนับลง 4 ขั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

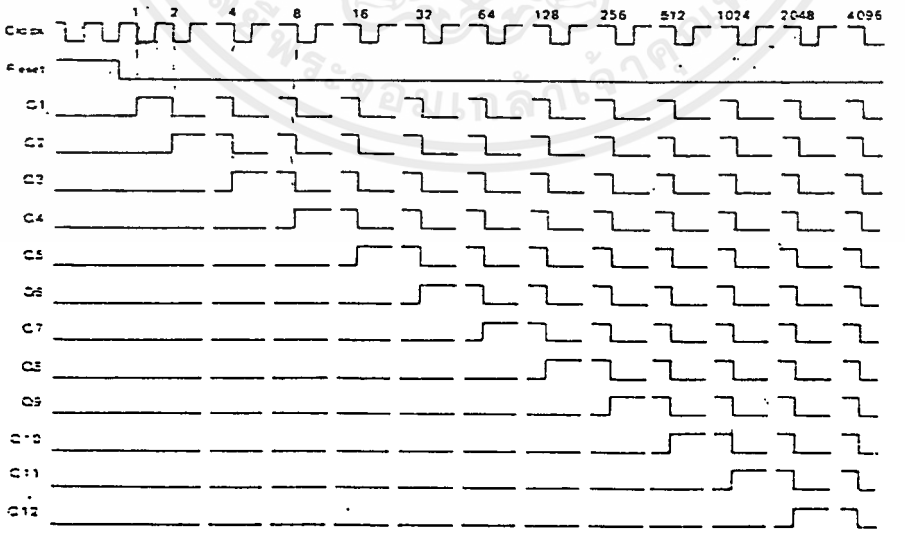
2.2 ไอซีที่เป็นวงจรนับ



รูปที่ 2.7 (ก) แสดงวงจรภายในของไอซีวงจรนับเบอร์ 4040



รูปที่ 2.7 (ข) แสดงตำแหน่งของขาต่างๆ ของไอซีวงจรนับเบอร์ 4040



รูปที่ 2.7 (ค) แสดงไทม์มิ่งไดอะแกรมของไอซีวงจรนับเบอร์ 4040

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พัลซ์อินพุท	D	C	B	A	การนับเอาต์พุทฐานสิบ
0	0	0	0	0	0 (หรือ 16)
1	1	1	1	1	15
2	1	1	1	0	14
3	1	1	0	1	13
4	1	1	0	0	12
5	1	0	1	1	11
6	1	0	1	0	10
7	1	0	0	1	9
8	1	0	0	0	8
9	0	1	1	1	7
10	0	1	1	0	6
11	0	1	0	1	5
12	0	1	0	0	4
13	0	0	1	1	3
14	0	0	1	0	2
15	0	0	0	1	1
16	0	0	0	0	0 (หรือ 16)
	1	1	1	1	15

ตาราง 2.3 ตารางการนับของวงจรนับลง 4 ขั้น

ตารางที่ 2.3 เริ่มที่วงจรนับทำการรีเซ็ต (RESET) เอาต์พุต Q ทุกขั้น แสดงลอจิก 0 พัลซ์อินพุตแรกทำให้ A หรือ เอาต์พุต Q ของขั้นแรกเปลี่ยนลอจิกจาก 0 เป็น 1 สัญญาณทริกของขั้น B คือสัญญาณเอาต์พุต $\overline{Q}$ ของขั้น A ซึ่งขณะที่เปลี่ยนลอจิกจาก 1 เป็น 0 ดังนั้น เอาต์พุต B ก็จะเปลี่ยนลอจิกจาก 0 เป็น 1 เอาต์พุต $\overline{Q}$ ของขั้น B (เปลี่ยนลอจิกจาก1 เป็น 0) ทำการทริกขั้น C ซึ่งจะทำให้เอาต์พุต C เปลี่ยนลอจิกจาก 0 เป็น 1 ในขณะเดียวกันนี้ด้วย และขั้น D ก็จะมีลักษณะเช่นเดียวกัน ก็จะได้เอาต์พุต DCBA เป็น 1111 ดังตาราง 2.3 หลังจากนั้นเมื่อพัลซ์อินพุตต่อมาทำการทริกขั้น A เอาต์พุต A เปลี่ยนลอจิกจาก 1 เป็น 0 แต่เนื่องจากเอาต์พุต $\overline{Q}$ ของขั้น A หรือเอาต์พุต $\overline{A}$ (ซึ่งเป็นตัวทริกของขั้น B) ขณะนี้เปลี่ยนลอจิกจาก 0 เป็น 1 ดังนั้น B ยังคงแสดงเอาต์พุตเดิมอยู่ (เหมือนกันกับเอาต์พุต C และ D) เอาต์พุต DCBA เป็น 1110 จะเห็นว่าการนับลงของวงจรนับได้เริ่มขึ้นแล้ว และจะนับลงทีละ 1 ทุก ๆ ครั้งที่พัลซ์นาฬิกาหรือพัลซ์อินพุตที่ทำการทริกขั้น A เข้ามา 1 พัลซ์ จากตาราง 2.3 เมื่อทำการนับลงจนถึง 0000 แล้วการนับลำดับต่อไปคือ 1111 ซึ่งจะเห็นว่าเริ่มซ้ำเดิม ดังนั้น วงจรนับลง 4 ขั้น จะมีรอบของการนับเป็น

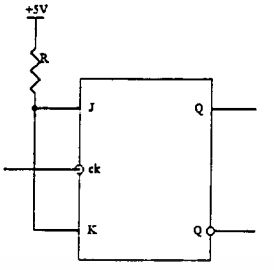
$$\text{จำนวนที่นับ} = N = 2^n = 2^4 \quad \text{นับ } 16$$

ด้วยการใช้เอาต์พุต Q เป็นตัวทริกในวงจรนับริปเปิล จะทำงานเป็นวงจรนับขึ้น แต่หากใช้เอาต์พุต Q เป็นตัวทริกจะทำงานเป็นวงจรนับลง และทั้งหมดนี้ใช้ฟลิปฟลอปที่มีการทริกหรือสัญญาณนาฬิกาจะทำให้ฟลิปฟลอปทำงานเมื่อสัญญาณทริกเปลี่ยนลอจิกจาก 1 เป็น 0 เท่านั้น

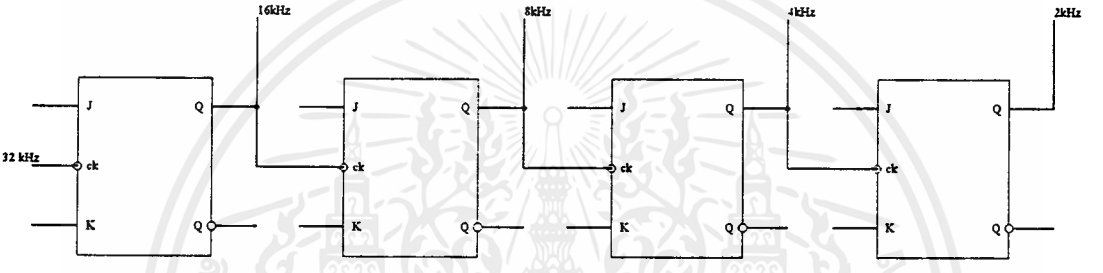
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การนำเอาวงจรนับมาเป็นวงจรหารความถี่

ฟลิปฟลอปมีคุณสมบัติพิเศษ คือตัวมันสามารถหารความถี่ของสัญญาณนาฬิกาที่อินพุตได้ แต่อย่างไรก็ตามการหารความถี่ของฟลิปฟลอปจะเกิดได้ก็ต่อเมื่อต่อขา J และ K ของฟลิปฟลอปมาอยู่ที่ลอจิก "1"



รูปที่ 2.8 การใช้ฟลิปฟลอปหารความถี่



รูปที่ 2.9 ใช้ฟลิปฟลอป 4 ตัว สามารถหารความถี่ได้ด้วย 16

2.3.1 วงจรนับ-หารด้วย N

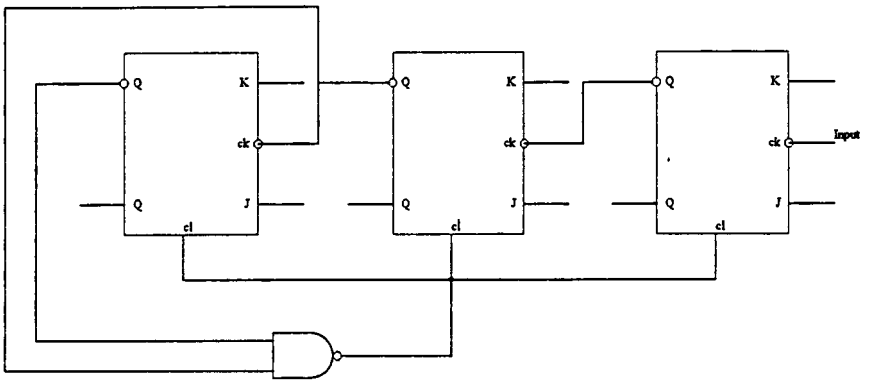
ในการต่อฟลิปฟลอป N ตัวเป็นวงจรนับชนิดริปเปิล จะทำให้การนับเลขไบนารี่เป็นไปได้ถึง 2^N สถานะ เช่นถ้าใช้ฟลิปฟลอป 2 ตัวก็นับได้ 4 สถานะถ้าใช้ 3 ตัวก็นับได้ $2^3 = 8$ สถานะ ปัญหาก็คือทำอย่างไรเราจึงทำให้วงจรนับหารด้วยค่าตัวเลขใด ๆ ก็ได้เช่น 3, 5, 6

วิธีที่จะทำให้วงจรนับ นับได้ถึงค่าที่ต้องการแล้วก็เริ่มต้นกลับมานับใหม่ เช่น นับจาก 0 ถึง 9 แล้วกลับมาเป็น 0 ใหม่นั้นทำได้หลายวิธีด้วยกัน วิธีแรกทำให้วงจรนับหยุดนับเมื่อนับถึงค่าที่เราต้องการ เช่น เมื่อมีฟลิปฟลอปสี่ตัววงจรจะนับจาก 0000 ถึง 1111 แล้วกลับมาเริ่ม 0000 ใหม่ แต่ถ้าเราต้องการให้นับจาก 0000 ถึง 1001 แล้วกลับมาเป็น 0 ใหม่

หลักการเบื้องต้นในการสร้างวงจรนับ MOD-N คือใช้ขาเคลียร์ของฟลิปฟลอปให้เป็นประโยชน์โดยทำให้ฟลิปฟลอปถึงสถานะที่เราต้องการ แล้วกระโดดข้ามสถานะที่เหลือไปอยู่ที่สถานะ 0 ใหม่ นั่นคือเราต้องมีการดีเทคค่าวงจรนับว่าถึงค่าที่เราต้องการแล้วหรือยัง เมื่อถึงแล้วจึงไปทำการเคลียร์ฟลิปฟลอป

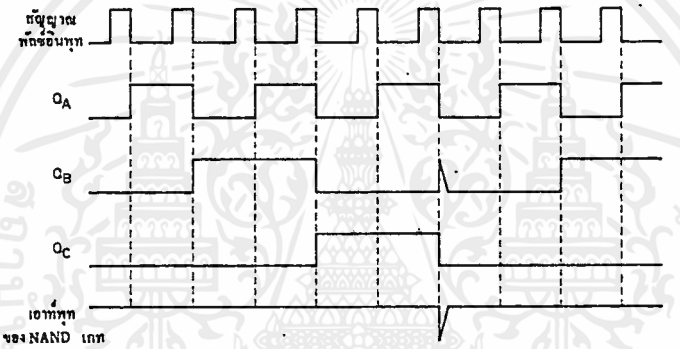
วิธีการที่จะออกแบบวงจรนับ MOD-N ทำได้ไม่ยากนัก เราเริ่มด้วยการหาจำนวนฟลิปฟลอปน้อยที่สุดที่ใช้ ซึ่งโดยปกติถ้าเป็นจำนวนฟลิปฟลอปเราจะได้ $2^n \geq N$ เช่นต้องการ MOD-10 เราก็ต้องใช้ฟลิปฟลอป 4 ตัว เพราะ $2^4 \geq 10$ เมื่อได้ฟลิปฟลอปแล้วเราก็จะนำฟลิปฟลอปเหล่านั้นมาต่อเป็นวงจร ริปเปิลเคาวน์เตอร์ใช้ NAND เกตหนึ่งตัว โดยใช้เอาต์พุตของ NAND เกตต่อไปยังขาเคลียร์ของฟลิปฟลอปทุกตัว ส่วนอินพุตของ NAND เกตนำมาจากเอาต์พุตที่แสดงลอจิก "1" เมื่อนับถึงสถานะ N หรือแสดงค่าไบนารี่เป็นเลข N-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 วงจรนับ-หาร MOD - 6

ดังตัวอย่างในรูป 2.10 เป็นวงจรนับ-หารด้วย 6 หรือ MOD-6 การนับจะนับจาก 000-001-010-011-100-101 และแทนที่จะนับต่อเป็น 110 วงจรจะได้รับการเคลียร์เป็น 000 แล้วเริ่มนับใหม่ ลักษณะของลูกคลื่นแสดงให้เห็นดังรูปที่ 2.11



รูปที่ 2.11 สัญญาณการทำงานของวงจร MOD-6

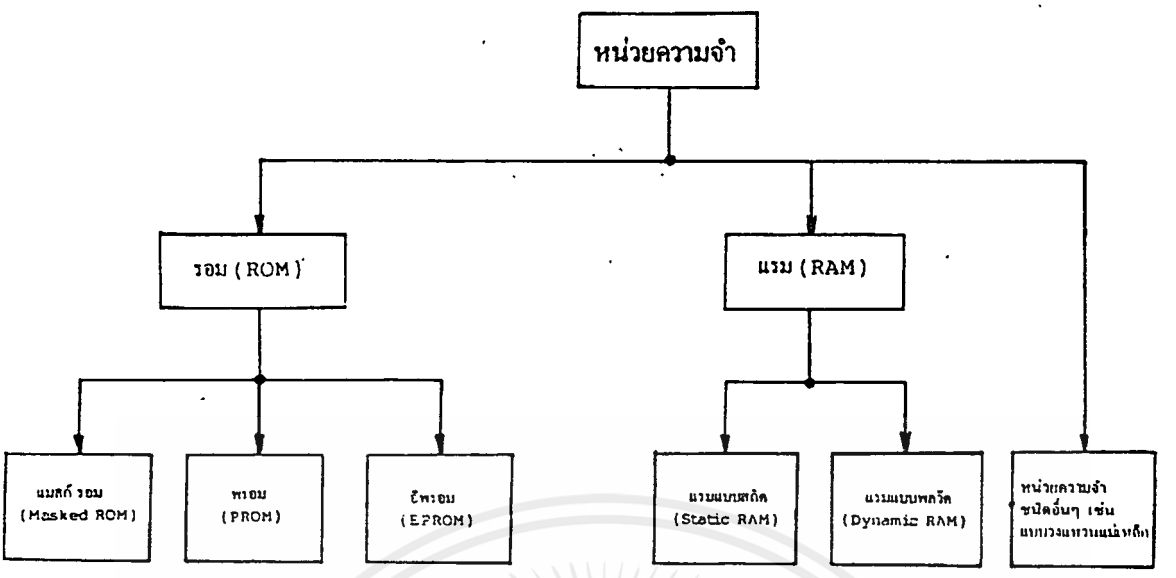
การเคลียร์ฟลิปฟลอปจะเกิดขึ้นเมื่อจาเคลียร์ของฟลิปฟลอปแสดงสภาวะลอจิก "0" ข้อเสีย ของวงจรนับเช่นนี้คือมันจะให้เอาต์พุตบางส่วนเป็นพัลซ์เหลม ดังตัวอย่างเช่นพัลซ์จากเอาต์พุต Q_B ในขณะเคลียร์จะมีลักษณะเป็นพัลซ์เหลม ๆ เกิดขึ้น

นอกจากนี้เรายังมีวิธีการที่จะทำให้วงจรนับถึงค่าที่เราต้องการแล้ววงจรจะหยุดนับคือไม่มีผลต่อสัญญาณพัลซ์ที่เข้ามาที่อินพุตอีกเลย จนกว่าเราจะทำการเคลียร์บางสิ่งบางอย่างเสร็จก่อนจึงค่อยให้เริ่มต้นนับใหม่ หลักการนี้ก็คล้ายคลึงกับหลักการที่กล่าวมาแล้วนั่นเองเพียงแต่เราเอาเอาต์พุตที่ออกจาก NAND เกต ต่อเข้ายังขา J และ K ของฟลิปฟลอปเป็น 0 หมด เอาต์พุตของฟลิปฟลอปก็จะไม่เปลี่ยนแปลงสถานะคือ จะคงค่าเช่นนั้นเรื่อยไป

2.4 หน่วยความจำ

หน่วยความจำจะเป็นที่เก็บข้อมูล หน่วยความจำ 1 เซลล์จะเก็บข้อมูลเลขฐานสองขนาด 1 บิท (bit) ข้อมูลจำนวนหลาย ๆ บิทที่แน่นอน จำนวนหนึ่งเรียกว่า เวิร์ด (word) จะต้องใช้หน่วยความจำหลาย ๆ เซลล์มาประกอบกันเก็บเอาไว้ ดังนั้นขนาดของหน่วยความจำจะวัดได้เป็นจำนวนบิทหรือจำนวนไบท์ (Byte) โดย 1 ไบท์จะเท่ากับ 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.12 โครงสร้างของหน่วยความจำ

ในรูปที่ 2.12 นั้นอธิบายถึงโครงสร้างของตระกูลของหน่วยความจำ โดยแบ่งออกได้เป็น รอม, แรม และแบบวงแหวนแม่เหล็ก

1. รอม (ROM) เป็นหน่วยความจำที่สามารถจดจำข้อมูลได้ถาวร ถึงแม้ว่ามันจะไม่มีไฟเลี้ยงก็ตาม รอม มักจะถูกใช้เก็บข้อมูลที่ต้องการจะใช้ทันทีที่เปิดคอมพิวเตอร์ หรืออาจใช้เก็บวิธีการในการกระทำการคณิตศาสตร์ในเครื่องคิดเลข หรือค่าตัวคงที่ต่าง ๆ เช่น π, e

   รอม นั้นมี 3 ชนิดคือ

   1.1 มาส์กรอมนั้นข้อมูลที่เก็บอยู่ในตัวมันจะถูกใส่เข้าไปในเวลาที่สร้างมันขึ้นมาจึงเหมาะกับการทำหน่วยความจำที่เหมือน ๆ กันจำนวนหลายร้อยหลายพันชิ้น

   1.2 พรอม ในกรณีที่ต้องการหน่วยความจำจำนวนน้อย ๆ นั้น การใช้พรอม จำเหมาะสมกว่าเนื่องจากผู้ใช้สามารถเขียนข้อมูลได้เองทีละ 1 หน่วย ข้อมูลในพรอมก็เป็นข้อมูลที่ถาวรเช่นกัน

   1.3 อีพรอม (EPROM : erasable programmable ROM) นั้นสามารถจะลบข้อมูลที่เขียนไปแล้วได้ด้วยโดยการใช้แสงอุลตราไวโอเลตที่มีความนาวคลื่นพอเหมาะส่องเข้าไปในตัวไอซี ด้วยเวลาที่เหมาะสม หลังจากลบข้อมูลแล้วก็สามารถจะโปรแกรมใหม่ได้ ข้อมูลอีพรอม จะไม่หายเมื่อไม่มีไฟเลี้ยงเช่นกัน

2. แรม (RAM) สามารถจะเขียนและอ่านข้อมูลออกมาได้ด้วย แต่ถ้าไม่มีไฟเลี้ยงแล้วข้อมูลจะสูญหายไปหมด แรม ยังแบ่งออกได้เป็น 2 ชนิด คือ 2.1 ชนิดไดนามิค 2.2 สแตติค

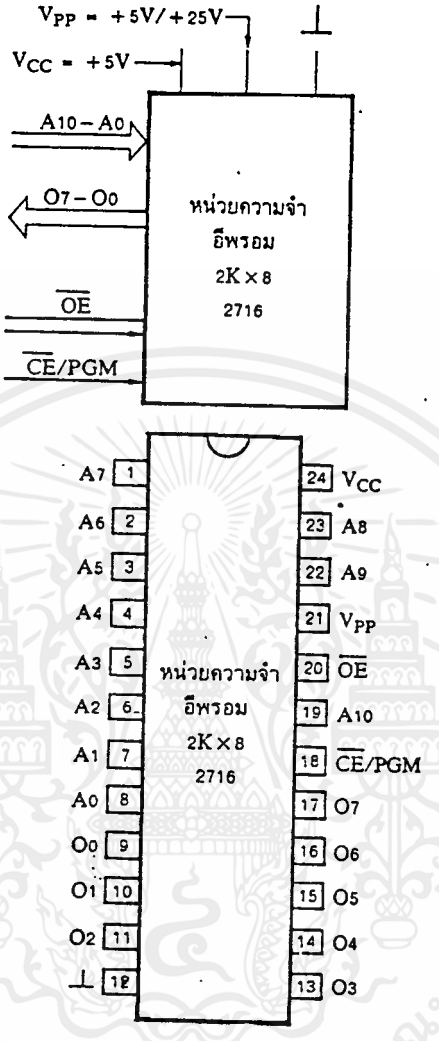
   ชนิดไดนามิคจะมีขนาดเล็กกว่าเก็บข้อมูลได้หนาแน่นกว่าและกินกำลังไฟฟ้าน้อยกว่า แต่หน่วยความจำชนิดไดนามิคนี้ จำข้อมูลได้นานเพียงไม่กี่มิลลิวินาที ดังนั้นจึงต้องมีการเขียนข้อมูลซ้ำลงไป ก่อนที่ข้อมูลจะหาย ซึ่งเราเรียกการทำเช่นนี้ว่าการรีเฟรช (refresh)

3. หน่วยความจำชนิดวงแหวนแม่เหล็กสามารถอ่านและเขียนได้ โดยการเก็บข้อมูลไว้ในรูปของสนามแม่เหล็ก ถึงแม้ว่าหน่วยความจำแบบวงแหวนแม่เหล็กจะอ่านและเขียนได้ เราก็ไม่เรียกมันว่า แรม เรายังคงเรียกมันว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน่วยความจำวงแหวนแม่เหล็ก เราจะเรียก แรม กับหน่วยความจำที่เป็นไอซีเท่านั้น หน่วยความจำแบบวงแหวนแม่เหล็กนี้ ใช้เป็นหน่วยความจำหลักในคอมพิวเตอร์ยุคต้น ๆ ซึ่งนานมากแล้ว

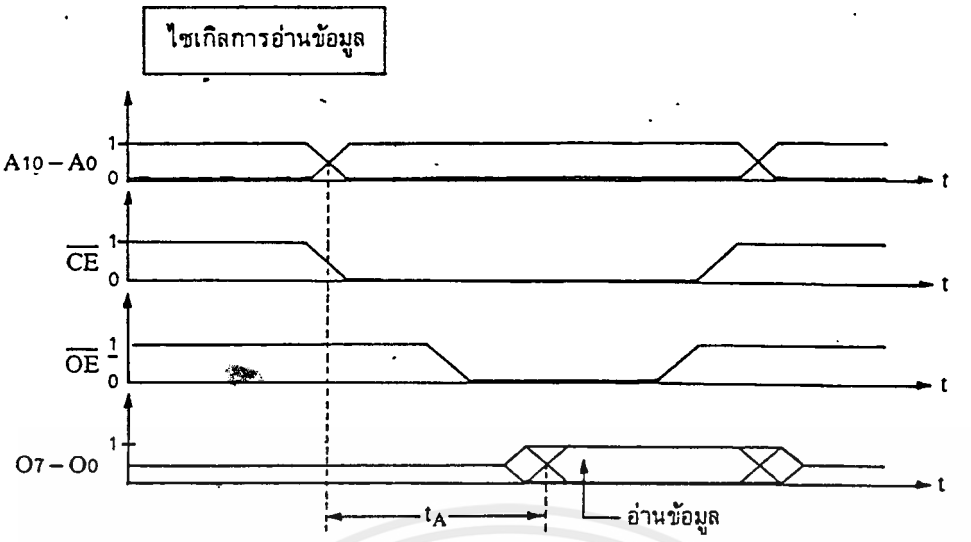
2.4.1 อีพรอม2716



รูปที่ 2.13 แสดงแผนผังและการจัดวางขาของอีพรอม 2716

จากรูปที่ 2.13 จะเห็นว่ามีสายแอดเดรส A_0 - A_{10} จำนวน 11 เส้น สายข้อมูล O_0 - O_7 จำนวน 8 เส้น OE ทำหน้าที่ควบคุมภาคเอาต์พุต CE/PGM เป็นอินพุตสำหรับป้อนสัญญาณลอจิก "0" เพื่อเลือกให้ไอซีหน่วยความจำตัวใดตัวหนึ่งทำงานในกรณีที่มีไอซีหน่วยความจำหลายตัวในระบบ ถ้าหากป้อนลอจิก "1" จะทำงานในโหมดโปรแกรม ช่วงเวลาการเข้าถึงข้อมูลจะใช้เวลาสูงสุดประมาณ 450 นาโนวินาที ดูรูปคลื่นของสัญญาณได้จากรูปที่ 2.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

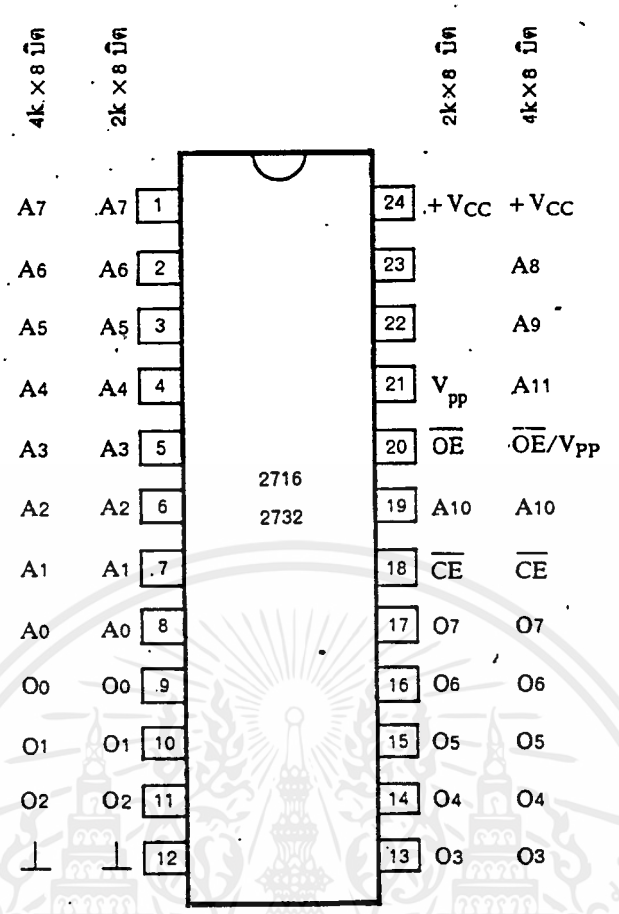


รูปที่ 2.14 แสดงสัญญาณการอ่านข้อมูลของอีพรอมเบอร์ 2716

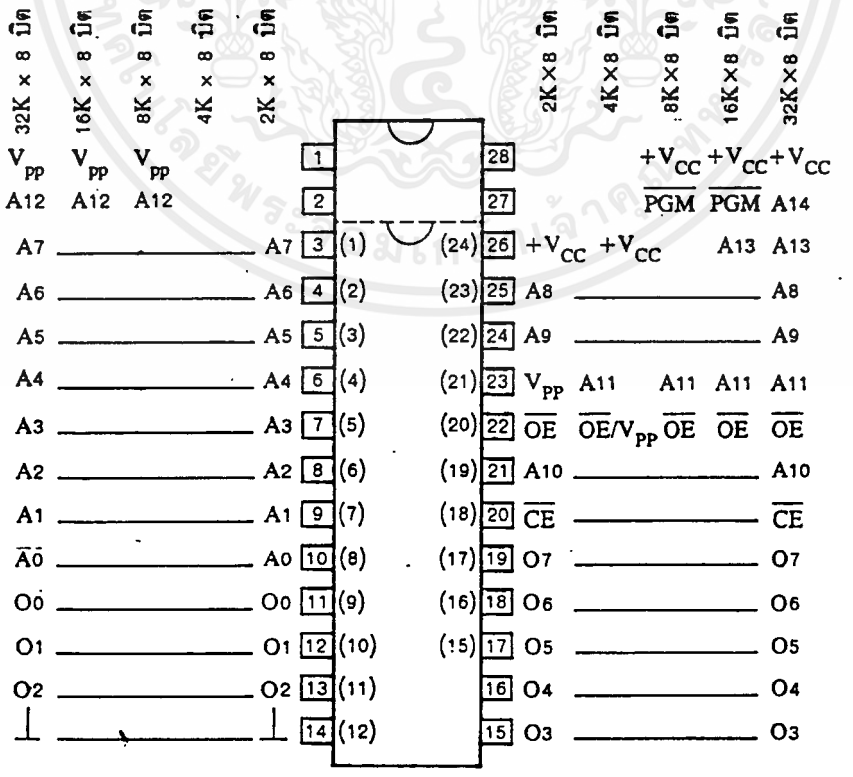
สำหรับขา V_{CC} และ V_{pp} ขณะใช้งานปกติจะต่อกับแหล่งจ่าย + 5 โวลต์ กระบวนการโปรแกรมข้อมูลเข้าไปยังแต่ละเซลล์ของหน่วยความจำ จะต้องให้ขา V_{pp} มีแรงดันประมาณ + 25 โวลต์ และจะต้องป้อนลอจิก "1" ที่ขา OE ป้อนข้อมูลแต่ละบิตที่ต้องการโปรแกรมเข้าไปยังหน่วยความจำแต่ละแอดเดรสทางสาย O_0 - O_7 ส่วนการระบุตำแหน่งแอดเดรสขณะทำการโปรแกรมต้องควบคุมที่ขาแอดเดรส A_0 - A_{10} ให้ได้ตำแหน่งของเซลล์หน่วยความจำที่ต้องการโปรแกรมท้ายสุดต้องไม่ลืมควบคุมขา CE/PGM(PGM = Programming)ให้แอคทีฟตาม ลอจิกที่กำหนด โดยใช้เวลาประมาณ 50 ไมโครวินาทีในแต่ละพัลซ์ของสัญญาณขณะทำกระบวนการโปรแกรมข้อมูล

ในทางปฏิบัติอนุกรมของอีพรอม 2 เค * 8 บิทนั้น ลักษณะการควบคุมไม่แตกต่างกัน ขณะที่ที่หน่วยความจำมีขนาดโตขึ้น เช่น 4 เค * 8 บิท เบอร์ 2732 จะมีขนาดเท่ากัน ขาควบคุมจะแตกต่างเพียงเล็กน้อยคือ ขา 21 แทนที่จะเป็น V_{pp} ก็เป็น A_{11} และขา OE ก็กลายเป็น OE/V_{pp} ดูจากรูปที่ 2.15 ประกอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 แสดงเปรียบเทียบการจัดวางขาของอีพรอม 2716/2732



รูปที่ 2.16 แสดงเปรียบเทียบการจัดวางขาของอีพรอมขนาด 2 เค x 8 บิท ถึง 32 เค x 8 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนไอซีหน่วยความจำประเภทนี้ที่มีความจุสูงขึ้นขนาดตั้งแต่ 8 กิโลไบท์ ขึ้นไปถึง 32 กิโลไบท์ จะเพิ่มจำนวนขาเป็น 28 ขา ดูรูปที่ 2.16

จากรูปที่ 2.16 จะเห็นได้ว่า ในการเพิ่มหรือเปลี่ยนหน่วยความจำในระบบให้มีขนาดของหน่วยความจำโตขึ้นนั้นทำได้ค่อนข้างง่าย เพราะการจัดวางขาจะเป็นมาตรฐานอันเดียวกัน นอกจากอีพรอมแล้วยังสามารถแทนที่ด้วยอีพรอมหรือแรมก็ได้ แต่ต้องดัดแปลงวงจรทางด้านฮาร์ดแวร์ที่เกี่ยวข้องกับสัญญาณควบคุมเพียงเล็กน้อยเท่านั้น ในทางปฏิบัติอาจใช้สวิตช์เลือกช่วยขณะออกแบบลายทองแดงของระบบหน่วยความจำก็ย่อมทำได้เช่นกัน

2.4.2 การใช้งานอีพรอม 2716 (2K * 8)

อินเทล 2716 เป็นอีพรอมขนาด 16,384 บิท ซึ่งสามารถทำงานได้โดยใช้ศักดาไฟฟ้าค่าเดียวจากแหล่งจ่ายไฟตรง 5 โวลต์มี static standby mode และมีลักษณะของ fast single address location programming ซึ่งจะทำให้การออกแบบใช้อีพรอมได้รวดเร็วและประหยัด

ตามมาตรฐานของบริษัทอินเทล ได้แบ่งอีพรอมเบอร์ 2716 ออกเป็นเบอร์ย่อยๆตามความเร็วของการทำงาน (Access Time) โดยแบ่งดังนี้

Access Time - 350 ns Max 2716 - 1
- 390 ns Max 2716 - 2
- 450 ns Max 2716
- 490 ns Max 2716 - 5
- 650 ns Max 2716 - 6

ซึ่งจะเห็นว่า Access Time มีค่าต่ำสุดเป็น 350 ns ซึ่งสามารถใช้ได้กับไมโครโปรเซสเซอร์เบอร์ 8058 และ 8086ของบริษัทอินเทลได้อย่างสบาย ส่วน 2716 - 5 กับ 2716 - 6 เหมาะสำหรับงานที่มีความเร็วต่ำมาก อีพรอม 2716 เป็นอีพรอมเบอร์แรกสุดที่มี standby mode สามารถลดความสูญเสียกำลังไฟฟ้าได้โดยไม่ทำให้ Access Time ลดลง ค่าความสูญเสียกำลังทางไฟฟ้ามีค่าสูงสุดเป็น 525 มิลลิวัตต์ ในขณะที่ค่าความสูญเสียกำลังทางไฟฟ้าสูงสุดใน standby mode มีค่าเพียง 132 มิลลิวัตต์ ซึ่งลดลงถึง 75% ทีเดียว

2.4.3 การโปรแกรมอีพรอม

การโปรแกรมอีพรอม ทำได้โดยการฉีดอิเลคตรอนที่มีพลังงานสูงผ่านชั้นของออกไซด์ไปยังเกตที่ลอยอยู่ ประจุจะถูกดักอยู่ในนี้ ถึงแม้ว่าจะไม่มีการต่อทางไฟฟ้ากับเกตที่ลอยตัวอยู่นี้ก็ตาม เซลล์ที่ถูกโปรแกรมแล้วในขณะที่ทำการการอ่านจะมีกระแสไหลระหว่างขาเดรนและขาซอส หรือ ขาเดรนกับขาซอสนำกระแสได้ แต่ถ้าเซลล์ใดที่ถูกโปรแกรมจะไม่นำกระแส การโปรแกรมอีพรอมนี้ จะต้องเลือกเซลล์ที่ต้องการจะโปรแกรมก่อน แล้วฉีดประจุเข้าไปที่เกตที่ลอยอยู่จนกระทั่งได้ประจุที่มากพอ ประจุนี้จะลอยตัวอยู่ได้ตลอดไปจนกว่าเราจะลบข้อมูลทิ้ง หลังจากโปรแกรมแล้ว อีพรอมก็จะทำหน้าที่เหมือนรอมตัวหนึ่ง

2.4.4 การลบข้อมูลของอีพรอม

ถ้าเราต้องการจะลบโปรแกรมทิ้งก็ต้องถอดอีพรอมตัวนี้ออกจากเครื่องคอมพิวเตอร์ที่มันใช้งานอยู่แล้วเอาไปอาบแสงอัลตร้าไวโอเลตที่มีความยาวคลื่นและความเข้มที่เหมาะสมในระยะเวลาที่นานเพียงพอ โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

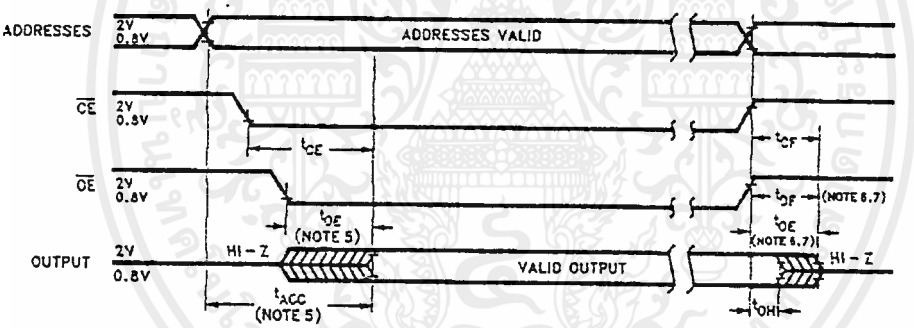
ทั่วไปประมาณ 10 นาที แสงอัลตร้าไวโอเลตจะไปคายประจุของประจุที่อยู่ที่เกตที่ลอยตัวอยู่อยู่นั้น เมื่อคายประจุจนหมดแล้วก็สามารถจะนำอีพรอมตัวนั้นมาโปรแกรมใหม่ได้

2.4.5 ข้อมูลและ บัส

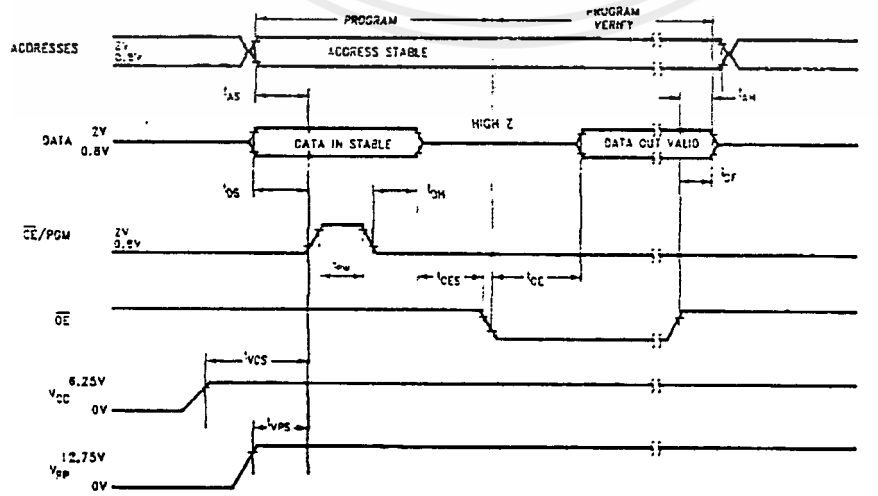
เพื่อที่จะใช้ขาควบคุมทั้งสองขาได้อย่างมีประสิทธิภาพ จึงขอแนะนำให้ขา CE เป็นขาที่ถูกถอดรหัสมาจากขาแอดเดรสและขาควบคุมอื่นๆของซีพียูตามสมควร และขา OE สามารถต่อได้โดยตรงกับขาอ่าน (read) ของบัสควบคุมระบบ ด้วยวิธีนี้เองจะสามารถมั่นใจได้ว่า อุปกรณ์หน่วยความจำที่มิได้ถูกเลือกในการติดต่อกับระบบจะอยู่ในโหมดประหยัดไฟฟ้าตลอดเวลา และขาเอาต์พุตจะแอคทีฟเมื่อต้องการข้อมูลจากอุปกรณ์หน่วยความจำที่ต้องการเท่านั้น

2.4.6 โหมดการเขียนข้อมูล

แรกเริ่มนั้นหลังจากที่อีพรอม 2716 ผ่านการลบข้อมูล บิททุกบิทของ 2716 จะอยู่ในสถานะ " 1" การเขียนข้อมูลลงไปเป็นการที่ทำให้บิทต่างๆที่ต้องการใน 2716 เปลี่ยนสถานะจาก " 1 " ไปเป็น " 0 " แม้ว่าเพียงแต่ " 0 " เท่านั้นที่เขียนลงไปได้ แต่ทั้ง " 1 " และ " 0 " ก็ยังคงปรากฏอยู่เป็นคาค้าเวิร์ด มีวิธีทางเดียวเท่านั้นที่จะเปลี่ยนจาก " 0 " เป็น " 1 " คือการนำอีพรอม 2716 ไปอาบแสงอัลตร้าไวโอเลต



รูปที่ 2.17 แสดงไทม์มิ่งไดอะแกรมในขณะอ่านข้อมูลของอีพรอม



รูปที่ 2.18 แสดงไทม์มิ่งไดอะแกรมขณะเขียนข้อมูลลงบน 2716

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อีพรอม 2716 จะเข้าสู่โหมดการเขียนข้อมูลเมื่อ V_{PP} มีค่า 25 โวลต์และ OE มีค่าลอจิกเป็น V_{ih} เมื่อข้อมูลถูกเขียนลงไปจะถูกป้อนสู่ขา เอาต์พุตข้อมูล โดยขนานกัน 8 บิท ระดับของสัญญาณแอดเดรสและข้อมูลที่ต้องการต้องอยู่ในระดับ TTL ดังรูปที่

เมื่อแอดเดรสและข้อมูลเสถียรแล้ว พัลซ์ TTL จะถูกป้อนเข้าสู่ CE/ PGM ซึ่งเป็นพัลซ์แบบ TTL 50 มิลลิวินาที โปรแกรมพัลซ์นี้จะต้องป้อนเข้าไปทุกๆแอดเดรสที่ต้องการเขียนข้อมูล ดังนั้นเราสามารถที่จะเขียนข้อมูลที่แอดเดรสใดๆที่เวลาใดๆก็ได้ คือ เขียนข้อมูลเฉพาะไบท์ใดไบท์หนึ่งเท่านั้นหรือเขียนข้อมูลต่อเนื่องกันได้ (sequentially) หรือแบบสุ่มตัวอย่าง (random) ก็สามารถทำได้

ในการเขียนข้อมูลลงบน 2716 พร้อมกันหลายๆตัว ด้วยข้อมูลอันเดียวกันนั้นสามารถทำได้โดยการนำเอา 2716 ขนานกันให้หมด รวมทั้งพัลซ์ TTL ที่จะป้อนให้กับขา CE/PGM ด้วย

2.4.7 การยับยั้งการเขียนข้อมูล (Program Inhibit)

การเขียนข้อมูลลงบน 2716 หลายๆตัว โดยการขนานกันด้วยข้อมูลที่ต่างค่ากันนั้น สามารถที่จะทำได้เหมือนกันกับวิธีในหัวข้อที่แล้ว ยกเว้นแต่ขา CE/PGM พร้อมกับที่ขา V_{PP} มีค่า 25 โวลต์จะเป็นการเขียนข้อมูลลงบน 2716 โดยสมบูรณ์ ในขณะที่โปรแกรมพัลซ์ระดับ TTL ที่ไม่แอคทีฟที่ 2716 นั้นๆ จากการที่กำลังเขียนข้อมูลลงบน 2716 อื่นๆที่เหลือ

2.4.8 การตรวจสอบข้อมูล

ในการตรวจสอบข้อมูลที่เขียนลงบนอีพรอมนั้นแล้ว สามารถทำได้ทันทีหลังจากที่เขียนข้อมูลไปใหม่ การตรวจสอบนี้มีความจำเป็นมาก ซึ่งเราจะต้องทราบทันทีว่าข้อมูลที่เขียนลงไปแล้วไม่ผิดพลาดไทม์มิ่งไดอะแกรม ของการตรวจสอบข้อมูล

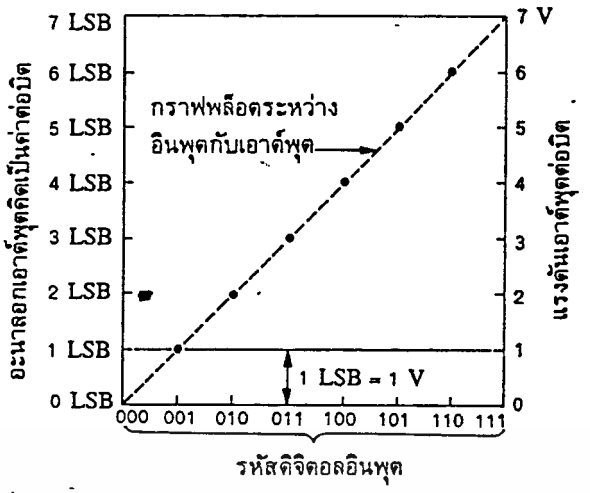
2.5 วงจรดีเอซี (DAC : Digital to Analog Converters)

วงจรดีเอซี คือ วงจรใช้สำหรับเชื่อมต่อระหว่างวงจรดิจิตอลกับวงจรอนาล็อก สัญญาณอนาล็อกเป็นสัญญาณที่เกิดขึ้นมาจากธรรมชาติ ตัวตรวจจับสัญญาณจะเป็นหน่วยเปลี่ยนกระบวนการทางฟิสิกส์ เช่น อุณหภูมิ แรงดัน ความชื้นหรืออื่น ๆ ให้เป็นสัญญาณทางไฟฟ้าในรูปของแรงดัน กระแส หรือ ความต้านทานก็ตาม แต่จะมีความยุ่งยากมากขึ้นหากต้องการเก็บสัญญาณอนาล็อกไว้ตลอดในช่วงเวลานาน ๆ เพื่อนำมาใช้ในการเปรียบเทียบหรือคำนวณในภายหลัง ตรงกันข้ามคอมพิวเตอร์สามารถทำงานดังกล่าวนี้ได้ดีกว่ามากด้วยสัญญาณดิจิตอล หากเมื่อใดต้องการที่จะนำผลที่ได้จากการประมวลผลด้วยคอมพิวเตอร์ออกไปควบคุมอุปกรณ์หรือ เครื่องจักรกลใด ๆ ที่ใช้สัญญาณอนาล็อก จำเป็นต้องมีวงจรดีเอซีต่อร่วมด้วยเสมอ

2.5.1 หลักการพื้นฐานของดีเอซี

หลักการทำงานของดีเอซี คือ การนำเอากลุ่มของบิท (bit) จากคอมพิวเตอร์หรืออุปกรณ์ดิจิตอลมาเปลี่ยนเป็นระดับแรงดันอนาลอก เอาต์พุตของดีเอซี เน้นความแตกต่างของแต่ละบอทของดิจิตอลอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

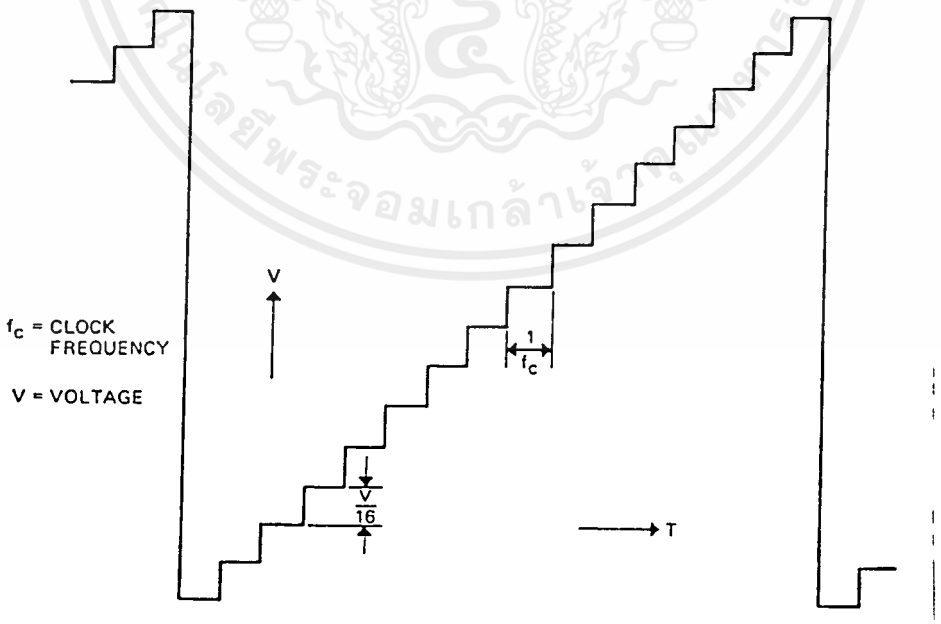


รูปที่ 2.19 แสดงกราฟอนาล็อกเอาต์พุตกับดิจิตอลกับดิจิตอลอินพุต 3 บิท ของดีเอซี

เอาต์พุตชนิดใดก็ตามของดีเอซี ที่ผลิตขึ้นมาได้จากวงจรที่นำมาใช้ในการเปลี่ยนดิจิตอลเป็นอนาล็อก จำนวนความแตกต่างของระดับแรงดันและกระแสที่สร้างขึ้นที่เอาต์พุตของ ดีเอซีจะสัมพันธ์กับจำนวนบิทที่มาเปลี่ยน จากสมการ

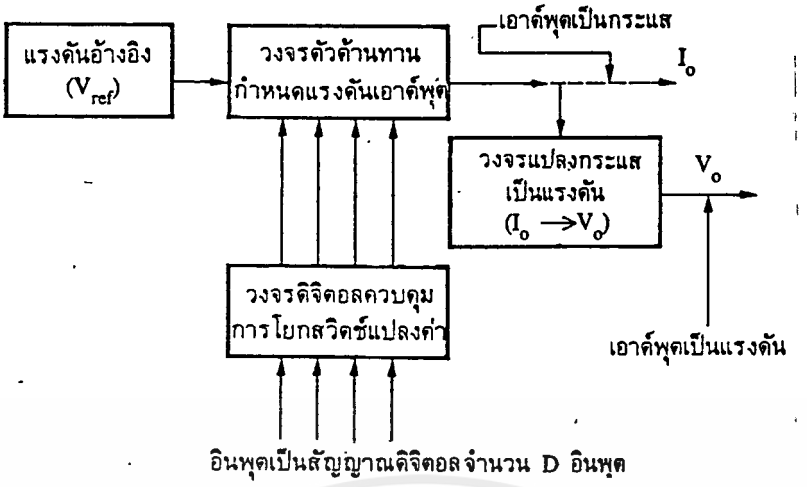
$$N = 2^n \qquad (2.1)$$

N คือจำนวนของระดับความแตกต่างทางด้านเอาต์พุตของดีเอซี หรือเรียกว่าความละเอียดของแรกดัน ซึ่งจะขึ้นอยู่กับขอบเขตการจำแนกของอุปกรณ์ที่ใช้งาน จำนวนบิทของอินพุตจะใช้บิทที่สูงสุดในการคำนวณ เช่น อินพุตดีเอซี 10 บิท สามารถเปลี่ยนระดับสัญญาณได้ 1024 บิท

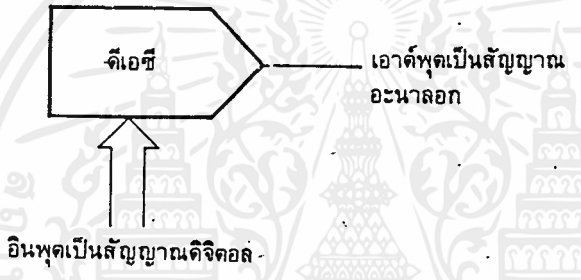


รูปที่ 2.20 แสดงกราฟอนาล็อกเอาต์พุตกับดิจิตอลอินพุต 4 บิทของดีเอซี ซึ่งเอาต์พุตแต่ละขั้นจะมีแรงดันเท่ากับ V/16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



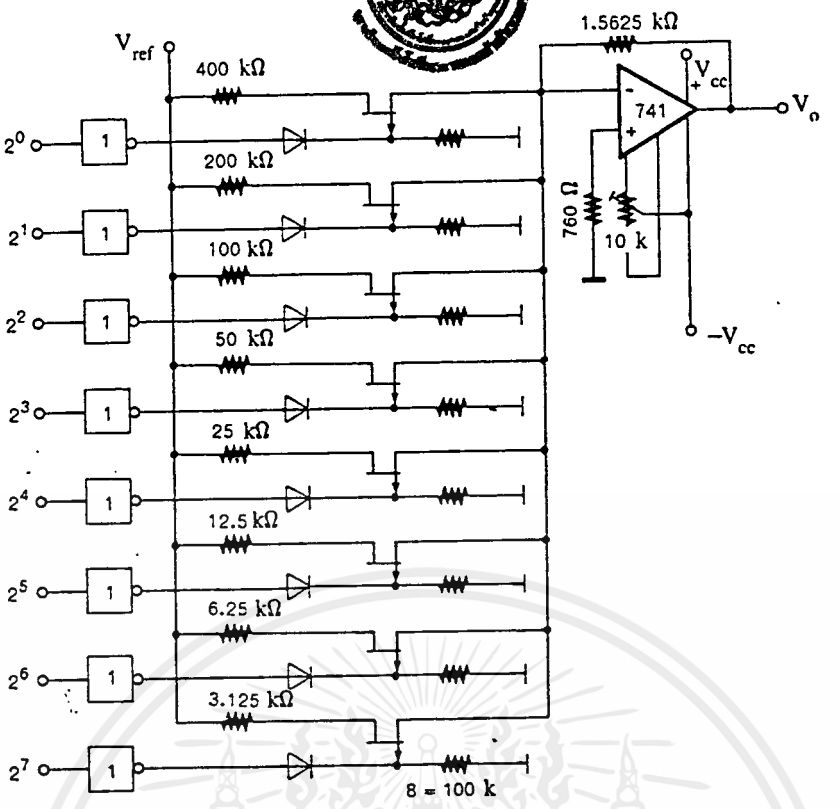
รูปที่ 2.21 แสดงบล็อกไดอะแกรมของวงจรดีเอซี



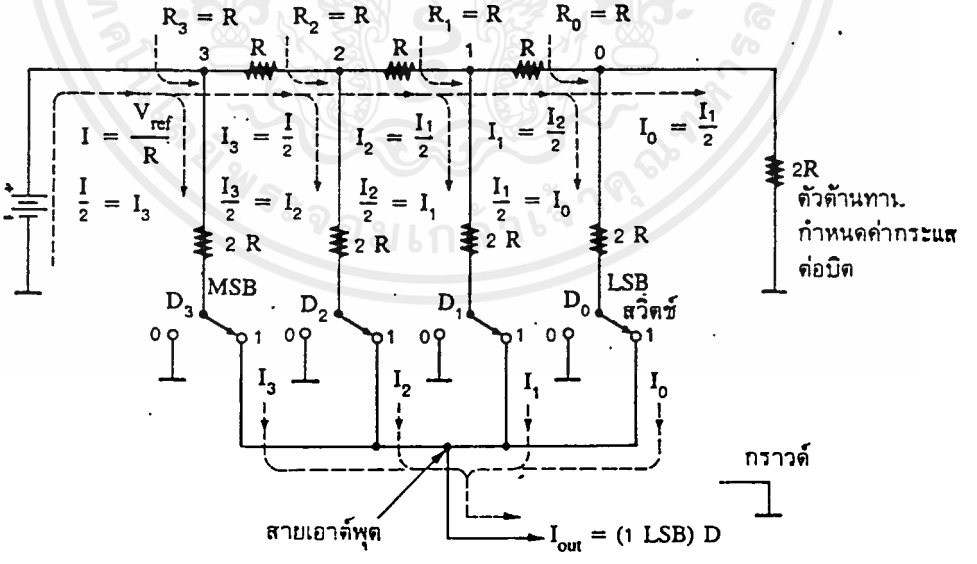
รูปที่ 2.22 แสดงสัญลักษณ์ของวงจรดีเอซี

เพื่ออำนวยความสะดวกในการรับส่งข้อมูลจากสายข้อมูลของระบบคอมพิวเตอร์ขนาด 8 บิท หรือมากกว่านั้น จึงจำเป็นต้องให้ ดีเอซี มีจำนวนอินพุตมากขึ้นดังแสดงตัวอย่างวงจรพื้นฐานในรูปที่ 2.22 โดยใช้ตัวต้านทานของบิทต่ำสุดเป็น 400 กิโลโอห์ม ส่วนบิทสูงสุดใช้ตัวต้านทานขนาด 3.125 กิโลโอห์ม และใช้ทรานซิสเตอร์เฟตเป็นอนาล็อกสวิตช์ ร่วมกับวงจรขยายออปแอมป์ เบอร์ 741

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 แสดง วงจรดีเอซีขนาด 8 บิท



LSB = บิทนัยสำคัญต่ำสุด

MSB = บิทนัยสำคัญสูงสุด

รูปที่ 2.24 แสดงวงจรดีเอซีแบบตัวต้านทานอาร์-สองอาร์เบื้องต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
039028

2.5.2 วงจรดีเอซี

2.5.2.1 วงจรดีเอซีแบบตัวต้านทานอาร์-สองอาร์

การต่อวงจรตัวต้านทานแบบอาร์-สองอาร์ (R-2R) ขนาด 4 บิทซึ่งประกอบด้วยตัวต้านทาน 3 ตัวมีค่าเท่ากับ R และตัวต้านทานอีก 5 ตัวมีค่าเท่ากับ 2R ดังแสดงในรูปที่ 2.24 กำหนดให้ R = 10 กิโลโอห์ม และ 2R = 20 กิโลโอห์ม สวิตช์ที่ต่ออยู่ในวงจรถูกควบคุมด้วยลอจิก "0" เพื่อโยกสวิตช์ไปยังตำแหน่งกราวด์หรือลอจิก "1" เพื่อโยกสวิตช์ให้กระแสไหลไปยังเอาต์พุตตามลอจิกที่ควบคุมในแต่ละบิททางด้านอินพุตจาก 0000 ถึง 1111 หากสังเกตที่โหนด 0 ของวงจรจะมีตัวต้านทาน 2R เป็นตัวกำหนดให้ $R_0 = R$ เพราะหากนำเอา 2R ขนานกับ 2R จะมีค่า เท่ากับ R และถ้ามองจากโหนด 1 ออกไปทางขวามือ $R_1 = R$ เพราะ $R_0 + R$ มีค่าเท่ากับ 2R และถ้ามองจากอินพุต V_{ref} จะได้ $R_3 = R$ ดังนั้นสามารถคำนวณหากระแสได้ดังนี้

$$\text{กระแสอินพุต} \quad I = V_{ref} / R \qquad (2.2)$$

กระแสที่จุดโหนดแต่ละโหนดจะถูกแบ่งออกเป็นสองส่วนเท่ากันเสมอดังนี้

$I_3 = I/2$

$I_2 = I_3/2 = I/4$

$I_1 = I_2/2 = I/8$

$I_0 = I_1/2 = I/16$

ดังนั้นค่ากระแสที่บิทต่ำสุด คือ I_0 ส่วนกระแสทางด้านเอาต์พุต คือ ผลรวมของกระแสที่ไหลผ่านตัวด้านทาน 2R ขณะแต่ละสวิตช์ถูกควบคุมด้วยลอจิก "1"

I_{out} = (กระแสที่ไหลขณะบิทต่ำสุดเป็นลอจิก "1") * D

= I_0 x D

= $(V_{ref} / R)\ (1/2^n)$ x D

กำหนดให้ I_0 คือ ค่ากระแสที่ไหลขณะบิทต่ำสุดเป็นลอจิก "1" (แอมป์)

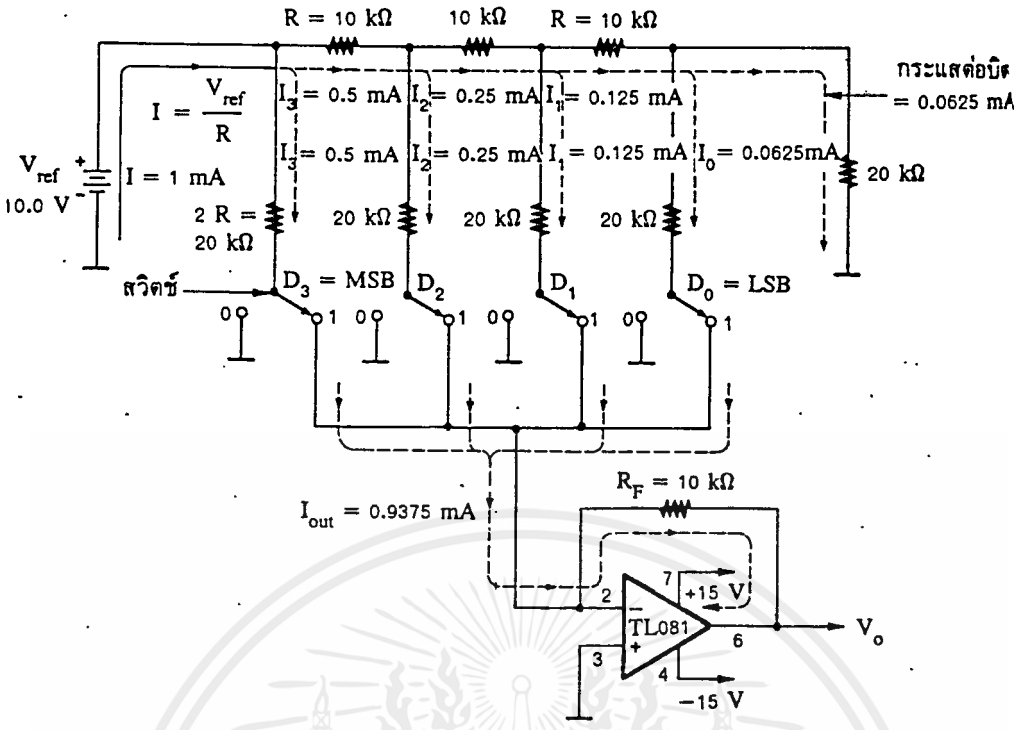
V_{ref} คือ ค่าแรงดันอ้างอิงของวงจร (โวลต์)

R คือ ค่าความต้านทาน (โอห์ม)

n คือ ค่าจำนวนบิทของ ดีเอซี

แรงดันเอาต์พุต จากรูปที่ 2.24 หากนำออปแอมป์มาต่อเพิ่มเข้าไปก็จะสามารถเปลี่ยนกระแสเป็นแรงดันได้ ดังแสดงในรูปที่ 2.25

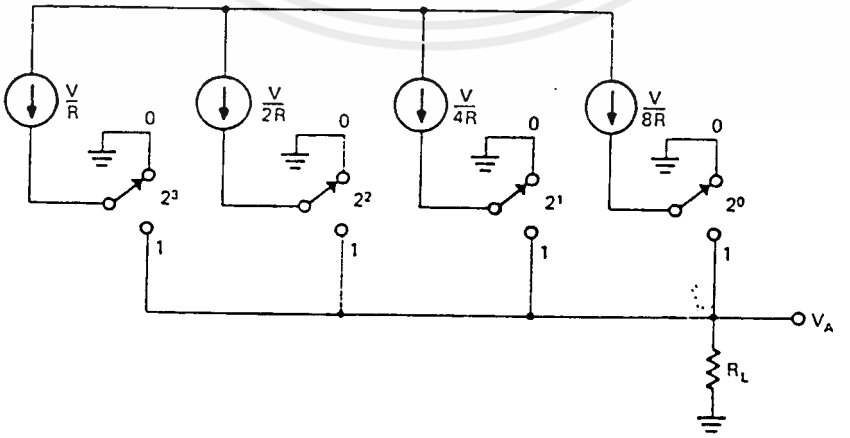
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.25 แสดงวงจรดีเอซีขนาด 4 บิท มีความละเอียด 0.625 โวลต์ต่อบิท

2.5.2.2 วงจรดีเอซีแบบใช้ แหล่งกำเนิดกระแส (Current Source D/A Converter)

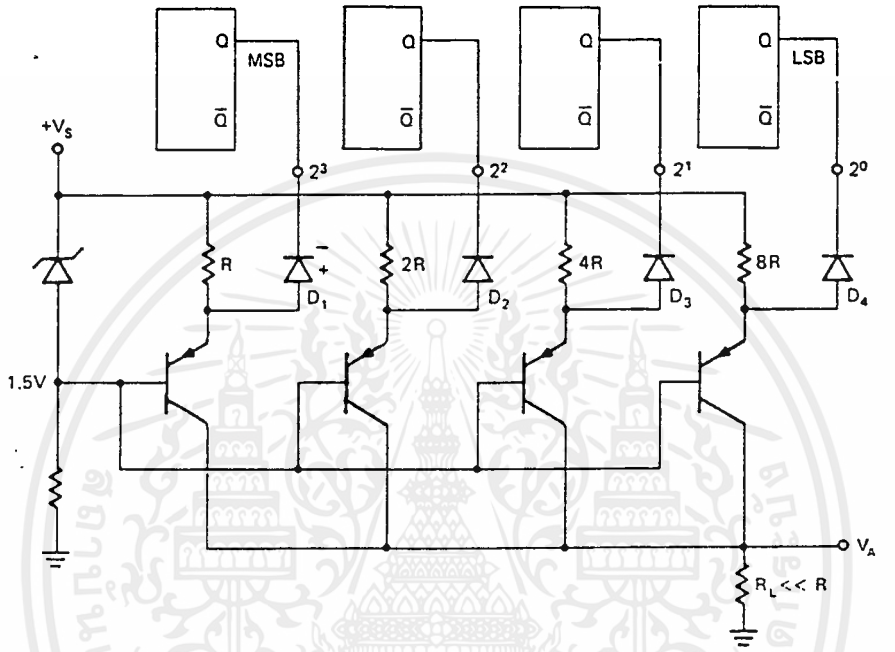
รูปที่ 2.26 แสดงวงจรสมมูลย์ทางอุดมคติของวงจรดีเอซีแบบใช้แหล่งกำเนิดกระแส ในวงจรนี้กระแสที่ผ่าน R_L จะเป็นกระแสที่มีค่าน้อยที่สุดคือ V/8R คูณกับตัวเลขไบนารี ณ ตำแหน่งที่เกิดการสวิตช์ไปที่สเตท 0 สวิตช์ทุกตัวจะถูกต่อลงกราวด์ นั่นคือไม่มีกระแสไหล แต่ที่สเตท 1 จะเกิดกระแสขึ้นค่าหนึ่งไหลผ่าน R_L จะเกิดแรงดันตกคร่อม R_L นั่นคือ จะมีการสวิตช์ขึ้น



รูปที่ 2.26 แสดงวงจรดีเอซีทางอุดมคติ เมื่อดิจิตอลอินพุตเป็น 4 บิท โดยใช้หลักการของแหล่งกำเนิดกระแส

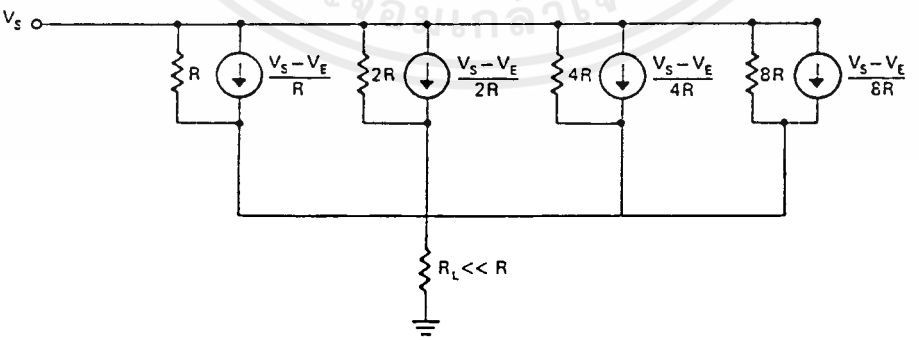
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.27 แสดงวงจรดีเอซีดิจิตอลอินพุตเป็น 4 บิท โดยใช้หลักการของแหล่งกำเนิดกระแส ซึ่งค่า $R_L << R$ ถ้าที่ Q เป็นบิท 1 จะมีแรงดันที่เชื่อมกับด้านคาโทด (cathode) ของไดโอด D_1 - D_4 จะทำให้ไดโอดนั้นเปิดวงจร (open circuit) ซึ่งเสมือนว่าสวิตช์ถูกเปิด ทรานส์ซิสเตอร์จะทำงาน ถ้ามีการนับ 15 (1111) นั่นคือ แรงดันจะถูกต่อกับที่ขั้วคาโทดของไดโอด D_1 - D_4 จะเป็นการไบอัสแบบรีเวอร์สไบอัส ทำให้วงจรไม่ทำงานแรงดัน $+V_S$ จะถูกเชื่อมต่อกับตัวต้านทาน จะเกิดกระแสไหลผ่านตัวต้านทาน ซึ่งแรงดันตกคร่อมตัวต้านทานนั้นจะมีค่าเล็กน้อย



รูปที่ 2.27 แสดงวงจรดีเอซี เมื่อดิจิตอลอินพุตเป็น 4 บิท โดยใช้หลักการของแหล่งกำเนิดกระแส

จากรูป 2.27 เมื่อค่า Q ของฟลิปฟลอปเป็น "0" แหล่งกำเนิดกระแสจะถูกต่อลงกราวด์ผ่านไดโอดแทนที่จะผ่านทรานซิสเตอร์ และ R_L



รูปที่ 2.28 วงจรสมมูลย์ของวงจรดีเอซี โดยใช้หลักการของแหล่งกำเนิดกระแส ที่มีอินพุตเป็นฟูลสเกล

2.5.3 ไอซีดีเอซี

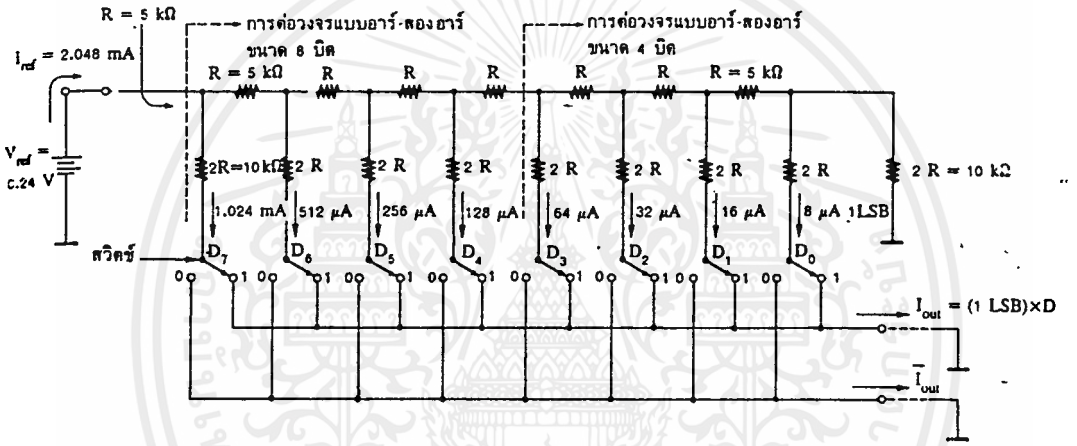
วงจรดีเอซีขนาด 8 บิท วงจรดีเอซีที่เคยกล่าวมาแล้วในรูปที่ 2.25 ได้มีการต่อวงจรแบบง่าย ๆ การโยกเปลี่ยนแปลงตำแหน่งของสวิตช์ทางด้านอินพุตควบคุมด้วยมือเพื่อให้เป็นลอจิก "0" หรือ "1" ตามที่ต้องการ แต่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

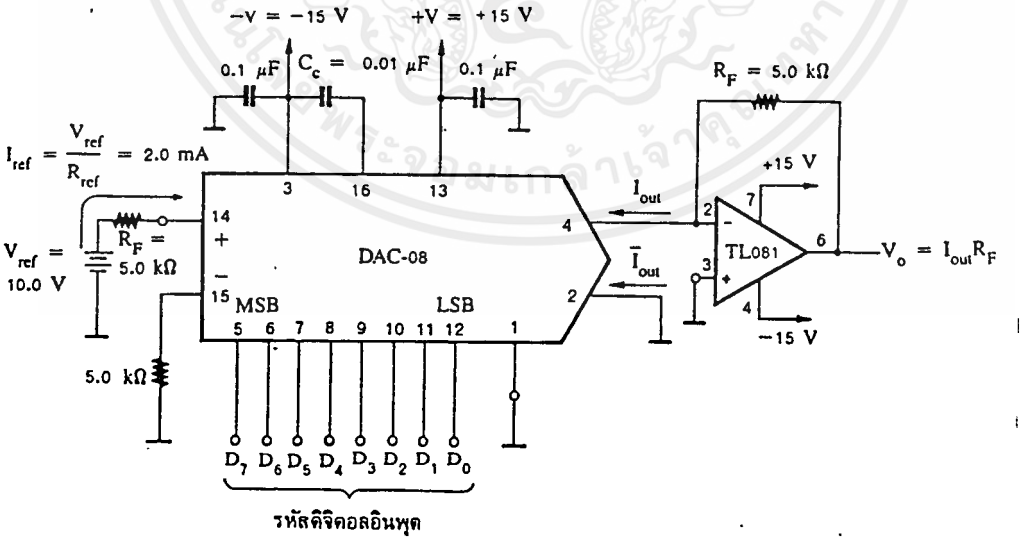
ในทางปฏิบัติต้องใช้วงจรลอจิกชนิดทีทีแอล ซีมอสหรืออื่น ๆ กระแสที่ไหลในแต่ละบิทที่ถูกควบคุมอาจไหลได้ 2 ทาง คือ ไหลลงกราวด์ หรือ ไหลไปยังเอาต์พุต อาจต่อวงจรตามรูปที่ 2.25 เพื่อให้กระแสเป็นสองทางดังกล่าวแล้ว หลังจากนั้นก็ต่อวงจรออปแอมป์เพื่อให้กระแสเอาต์พุตเป็นบวกหรือเป็นลบ หรือเป็นเอาต์พุตแบบคู่ ดังแสดงในรูปที่ 2.30 มีบริษัทผู้ผลิตหลายรายผลิตไอซีดีเอซีแบบนี้ออกมาจำหน่าย เบอร์ที่ใช้ทั่วไป เช่นเบอร์ DAC-08 ได้ถูกพัฒนามาจากวงจรรูปที่ 2.25 เพื่อให้การต่อใช้งานง่ายและมีราคาถูกลง ดังแสดงการต่อวงจรใช้งานเบื้องต้นในรูปที่ 2.30 ไอซีเบอร์นี้ใช้ได้กับแรงดันไฟเลี้ยง 4.5 โวลต์ ถึง 18 โวลต์ การต่อคาพาซิเตอร์ขนาด 0.1 ไมโครฟารัดเข้าไปเพื่อเป็นตัวกรองระหว่างขา 14 กับ 15 แรงดันอ้างอิงใช้ได้ทั้งไฟบวกหรือไฟลบ กระแสอ้างอิงหาได้จากสูตร

$$I_{ref} = V_{ref} / R_{ref} \qquad (2.3)$$

โดยปกติจะใช้ค่ากระแส I_{ref} = 2 มิลลิแอมป์ หรืออาจเป็นค่าระหว่าง 4 ไมโครแอมป์ ถึง 4 มิลลิแอมป์ได้



รูปที่ 2.29 แสดงการต่อตัวต้านทานแบบอาร์-สองอาร์ 8 บิท



รูปที่ 2.30 แสดงการต่อวงจรไอซีเบอร์ DAC - 08

ขา 5 ถึงขา 12 เป็นอินพุต ต่อกับสัญญาณดิจิตอลชนิดทีทีแอลหรือซีมอส ขา 5 เป็นบิทนัยสำคัญสูงสุด ขา 12 เป็นบิทนัยสำคัญต่ำสุด ลอจิก "0" จะต้องมีค่าสูงไม่เกิน 0.8 โวลต์ ลอจิก "1" จะต้องมีค่าไม่ต่ำกว่า +2.0 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา 1 เป็นขาควบคุมการทริก (V_{TH} = threshold voltage) กำหนดให้ $V_{TH} = V_{LC} + 1.4$ โวลต์ V_{LC} คือ ค่าแรงดันที่ขา 1

ขา 2 และขา 4 เป็น เอาต์พุต ขา 4 เป็นขาที่ $\bar{I}_{out}$ ไหลเมื่อบิทใด ๆ ทางด้านอินพุตถูกควบคุมด้วยลอจิก "1" ขา 2 เป็นขาที่ I_{out} ไหล ขณะที่บิทใด ๆ ทางด้านอินพุตถูกควบคุมด้วยลอจิก "0"

ความละเอียดของกระแส = $(V_{ref}/R_{ref})\ (1/2^n)$

I_{out} = ความละเอียดของกระแสคูณด้วยค่า D

I_{FS} = ความละเอียดของกระแสคูณด้วยค่า 255

IFS หมายถึงกระแสเต็มสเกลเมื่ออินพุตเป็น 11111111 = 255 = D

$$I_{out} = \bar{I}_{FS} - I_{out}$$

แรงดันเอาต์พุตขณะใช้เอาต์พุตแบบคู่

ไอซี DAC-08 ต่อเอาต์พุตได้ 2 เอาต์พุต ดังแสดงในรูปที่

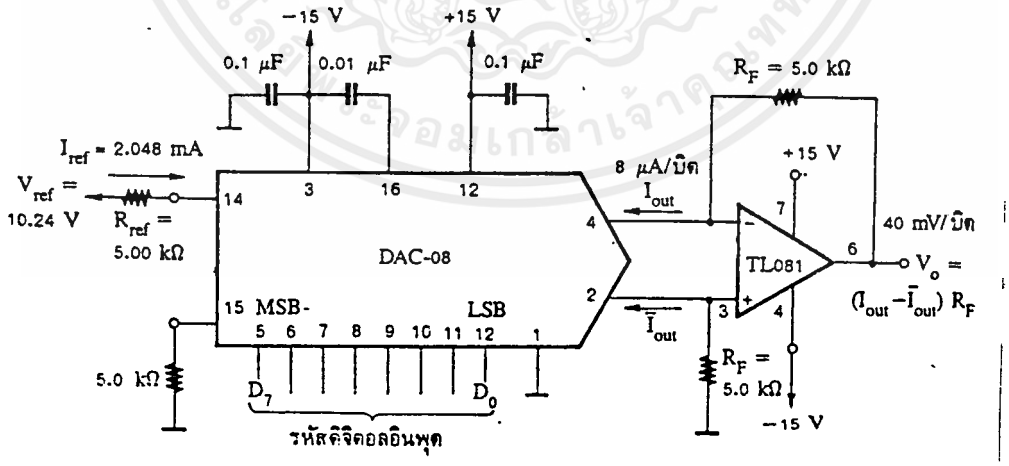
เขียนสมการเอาต์พุตได้ดังนี้

$V_o = (I_{out} - \bar{I}_{out})\ R_f$

I_{out} ทำให้แรงดันเอาต์พุตมีศักย์เป็นบวก

$\bar{I}_{out}$ ทำให้แรงดันเอาต์พุตมีศักย์เป็นลบ

V_{ref} มีค่าเป็น 10.24 โวลต์ R_{ref} มีค่า 5 กิโลโอห์มทำให้ได้ค่ากระแส I_{ref} เท่ากับ 2.048 มิลลิแอมป์ ค่ากระแสที่เปลี่ยนไปต่อบิทเท่ากับ 8 ไมโครแอมป์ ได้แรงดันเอาต์พุต 40 มิลลิโวลต์ต่อบิท ซึ่งค่าต่าง ๆ นี้ได้แสดงไว้ในรูปที่ 2.31



รูปที่ 2.31 แสดงการต่อ DAC-08 แบบเอาต์พุตคู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

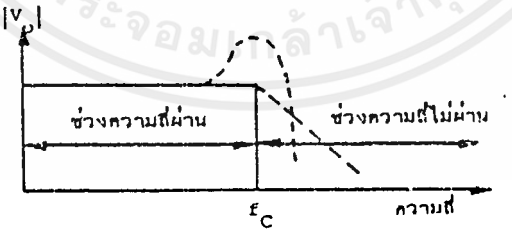
2.6 แอคทีฟฟิลเตอร์ (Active filter)

ฟิลเตอร์เป็นวงจรซึ่งได้รับการออกแบบเพื่อให้สัญญาณเฉพาะช่วงความถี่ใดความถี่หนึ่งผ่านได้เท่านั้น ส่วนสัญญาณอื่นซึ่งไม่อยู่ในช่วงความถี่ดังกล่าวนี้ จะถูกลดระดับหมด วงจรฟิลเตอร์อาจจะแบ่งออกได้เป็นแบบแอคทีฟและแบบพาสซีฟ วงจรพาสซีฟจะประกอบด้วยความต้านทาน ความจุไฟฟ้า และอินดักเตอร์เท่านั้น ส่วนแอคทีฟฟิลเตอร์จะประกอบด้วยทรานซิสเตอร์จะประกอบด้วยทรานซิสเตอร์ หรือออปแอมป์ นอกเหนือไปจากองค์ประกอบพาสซีฟทั้งสามชนิด แต่โดยทั่วไปวงจรแอคทีฟฟิลเตอร์มักจะไม่ใช้อินดักเตอร์ ทั้งนี้เพราะอินดักเตอร์มักมีขนาดใหญ่และราคาแพง

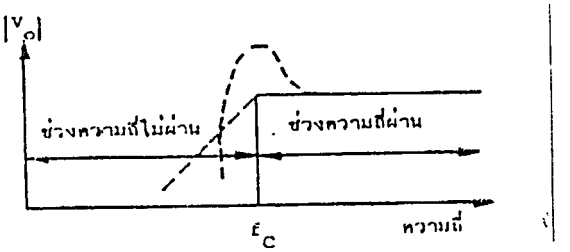
ฟิลเตอร์อาจจะแบ่งตามคุณสมบัติออกได้เป็นสี่ประเภท คือ ความถี่ต่ำผ่าน (Low-pass), ความถี่สูงผ่าน (High-pass), ช่วงความถี่ผ่าน (Band-pass) และแบบช่วงความถี่กัน (Band-reject) ซึ่งประเภทสุดท้ายบางครั้งอาจเรียกว่าเป็นฟิลเตอร์แบบนอทช์ (Notch) รูปที่ 2.32 แสดงกราฟของลักษณะการตอบสนองต่อความถี่ของฟิลเตอร์แต่ละประเภท ฟิลเตอร์แบบความถี่ต่ำผ่าน จะมีค่าขยายคงตัวจากศักดาตรง จนกระทั่งถึงจุดความถี่คัท-ออฟ หรือ f_c เมื่อความถี่มีค่าสูงกว่า f_c ค่าขยายสัญญาณจะลดลงตาม เช่นที่แสดงในรูปที่ 2.32 (ก) เส้นทึบแสดงคุณสมบัติของฟิลเตอร์ความถี่ต่ำผ่านในอุดมคติ ส่วนเส้นจุดแสดงคุณสมบัติในฟิลเตอร์ในทางปฏิบัติ ช่วงความถี่ซึ่งให้สัญญาณผ่านจะเรียกว่าพาสแบนด์ ส่วนช่วงความถี่ที่สัญญาณถูกลดระดับจะเรียกว่า สตอบแบนด์ ความถี่คัท ออฟบางครั้งอาจเรียกได้ว่าความถี่ 0.707, ความถี่ 3 เดซิเบล, ความถี่หักมุม หรือความถี่แยก

ฟิลเตอร์ความถี่สูงผ่านจะลดระดับสัญญาณที่มีความถี่ต่ำกว่า f_c ส่วนสัญญาณความถี่สูงกว่า f_c จะมีค่าขยายคงตัว รูปที่ 2.32 (ข) แสดงคุณสมบัติการตอบสนองต่อความถี่ของฟิลเตอร์ความถี่สูงผ่าน ทั้งแบบในอุดมคติและแบบในทางปฏิบัติ

ฟิลเตอร์ช่วงความถี่ผ่าน จะมีเฉพาะช่วงความถี่ใดช่วงความถี่หนึ่งเท่านั้นที่มีค่าขยายศักดาสัญญาณสูงกว่าบริเวณอื่น ส่วนประเภทช่วงความถี่กันจะมีคุณสมบัติตรงข้ามกับประเภทช่วงความถี่ผ่าน การตอบสนองต่อความถี่ของฟิลเตอร์สองประเภทหลังนี้ ได้แสดงไว้ในรูปที่ 2.32 (ค) และ 2.32 (ง) ทั้งในกรณีคุณสมบัติในอุดมคติและกรณีคุณสมบัติในทางปฏิบัติ

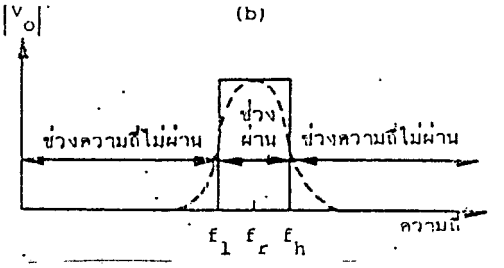


รูปที่ 2.32 (ก) แสดงผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน

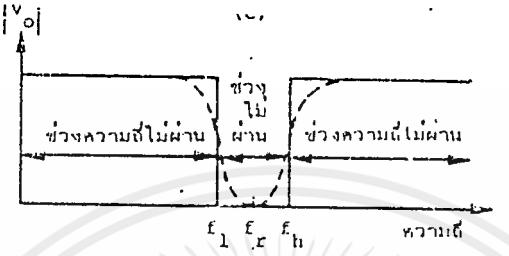


รูปที่ 2.32 (ข) แสดงผลตอบสนองความถี่ของวงจรกรองความถี่สูงผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

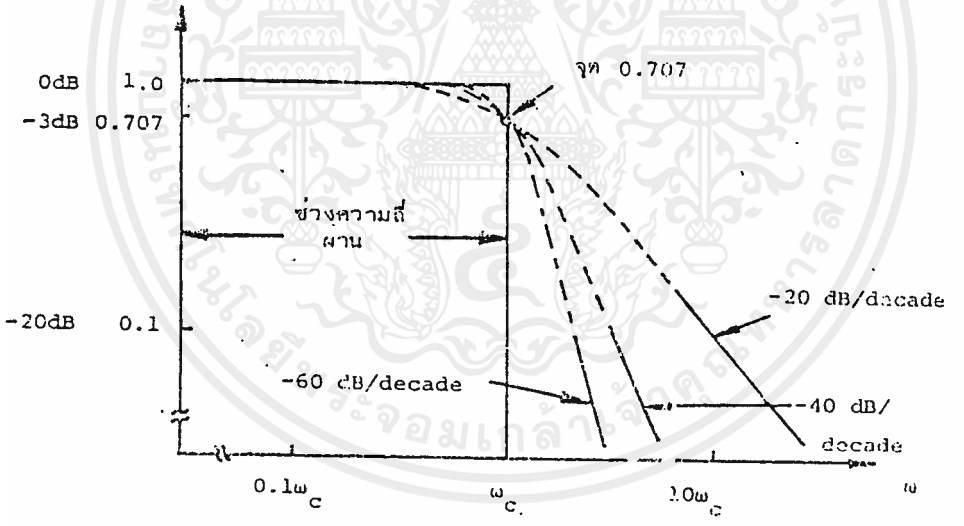


รูปที่ 2.32 (ค) แสดงผลตอบสนองความถี่ของวงจรกรองความถี่ผ่านเฉพาะบางช่วง



รูปที่ 2.32 (ง) แสดงผลตอบสนองความถี่ของวงจรกรองความถี่แบบที่กันไม่ให้ความถี่ผ่านเฉพาะบางช่วง

2.6.1 วงจรวงจรกรองความถี่ต่ำผ่าน



รูปที่ 2.33 แสดงคุณสมบัติการตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน

2.6.1.1 การออกแบบวงจรกรองความถี่ต่ำผ่าน ซึ่งมีอัตราลดระดับ -20 เดซิเบล / ดีเคด ความถี่คัทออฟ ω_c คือจุดความถี่ที่ $|A_{CL}|$ ลดระดับลง 0.701 เท่าของค่าที่ความถี่ต่ำ ความถี่คัทออฟจะหาได้จาก

$$\omega_c = 2\pi f_c = 1/RC \qquad (2.4)$$

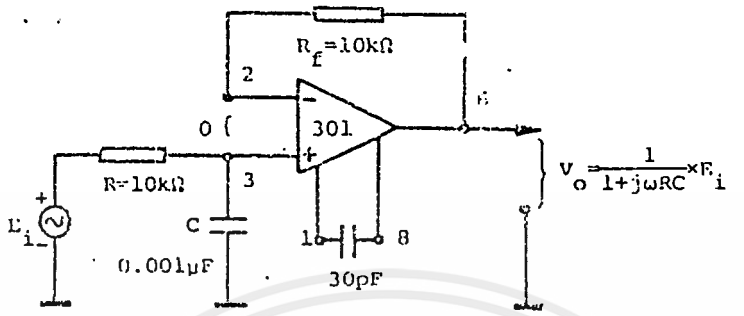
ดังนั้นสมการ อาจจะใช้หาค่าความจุไฟฟ้าที่ต้องการได้เท่ากับ

$$C = 1/\omega_c = 1/2\pi f_c R \qquad (2.5)$$

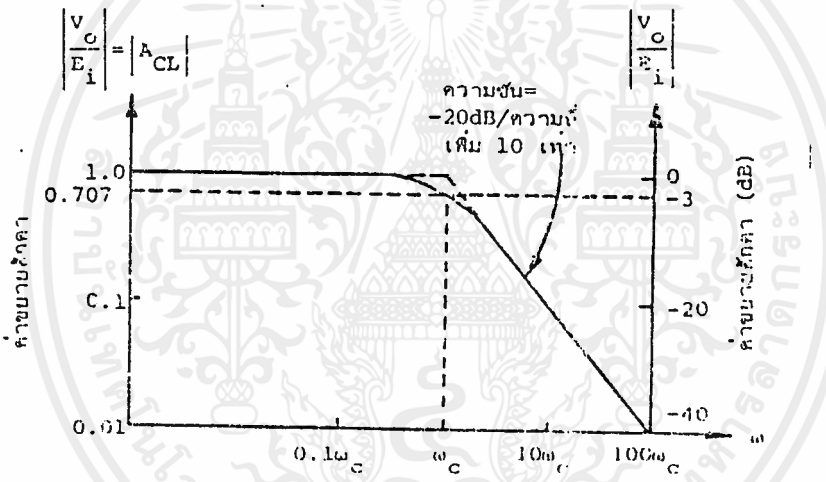
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุป การออกแบบฟิลเตอร์ความถี่ต่ำผ่านของรูปที่ 2..32 (ก) จะประกอบด้วยกรรมวิธีสามขั้น ดังนี้

1. กำหนดความถี่คัทออฟ ω_c หรือ f_c
2. เลือกความต้านทาน R ค่าใดค่าหนึ่งในช่วง 10 กิโลโอห์ม ถึง 100 กิโลโอห์ม
3. คำนวณหาค่า C ที่ต้องการ



รูปที่ 2.34 ลักษณะวงจรของวงจรกรองความถี่ต่ำผ่าน ซึ่งมีอัตราลดระดับ -20 เดซิเบล / ดีเคด



รูปที่ 2.35 แสดงลักษณะการตอบสนองความถี่ของแอคทีฟฟิลเตอร์แบบวงจรกรองความถี่ต่ำผ่าน ซึ่งมีอัตราลดระดับ -20 เดซิเบล / ดีเคด

2.6.1.2 การออกแบบวงจรกรองความถี่ต่ำผ่าน ซึ่งมีอัตราลดระดับ -40 เดซิเบล / ดีเคด

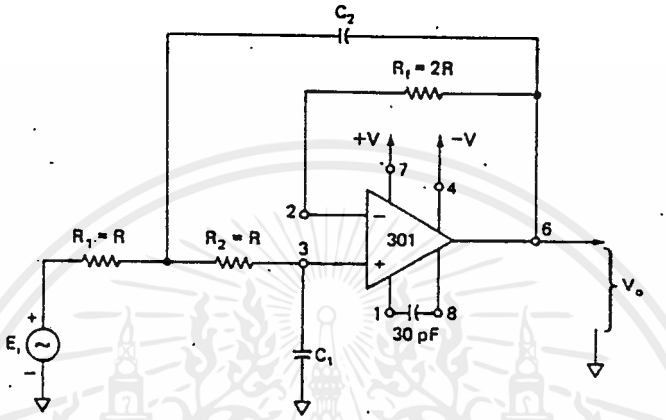
วงจรในรูปที่ 2.36 เป็นวงจรแบบให้สัญญาณความถี่ต่ำผ่านซึ่งเป็นที่นิยมใช้กันมากที่สุดแบบหนึ่ง อัตราลดระดับของวงจรจะเท่ากับ -40 เดซิเบล / ดีเคด นั่นคือสำหรับความถี่ค่าสูงกว่าความถี่คัทออฟค่าขยาย A_{CL} จะลดลง 40 เดซิเบลทุกๆ 10 เท่าของความถี่ที่เพิ่มขึ้น เส้นทึบในรูปที่ 2.37 แสดงคุณสมบัติการตอบสนองต่อความถี่จริงของวงจร ออปแอมป์จะต่ออยู่ในลักษณะของวงจรตามสัญญาณ ความต้านทาน R_f ต่ออยู่เพื่อลดผลจากศักดาออฟเซ็ต

เนื่องจากออปแอมป์อยู่ในลักษณะของวงจรตามสัญญาณ ดังนั้นศักดาตกคร่อม C_1 จะเท่ากับศักดาสัญญาณออก

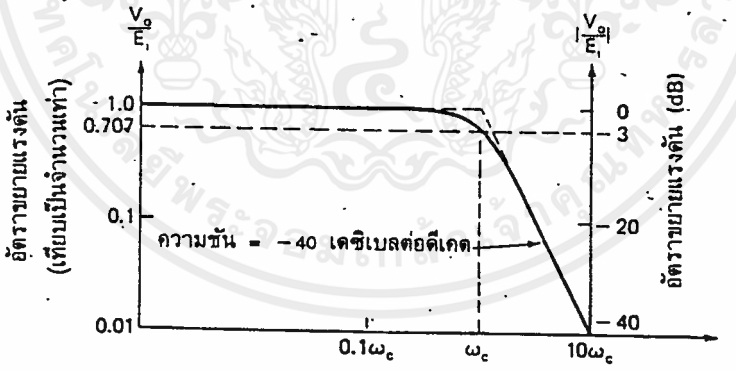
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรในรูปที่ 2.36 จะง่ายขึ้นมากถ้าเราให้ความต้านทาน R_1 และ R_2 เท่ากันหลักการออกแบบจะแบ่งออกได้เป็น 4 ขั้นดังนี้

1. กำหนดความถี่คัทออฟ ω_C หรือ f_C
2. ให้ $R_1 = R_2 = R$ และเลือกค่าที่เหมาะสมอยู่ในช่วง 10 กิโลโอห์มถึง 100 กิโลโอห์มและให้ $R_f = 2R$
3. คำนวณ C_1 จาก $C_1 = 0.707 / \omega_C R$ (2.6)
4. และกำหนดให้ $C_2 = C_1$



รูปที่ 2.36 เป็นลักษณะของวงจรวงจรกรองความถี่ต่ำผ่านซึ่งมีอัตราการลดระดับ -40 เดซิเบล / ดีเคด



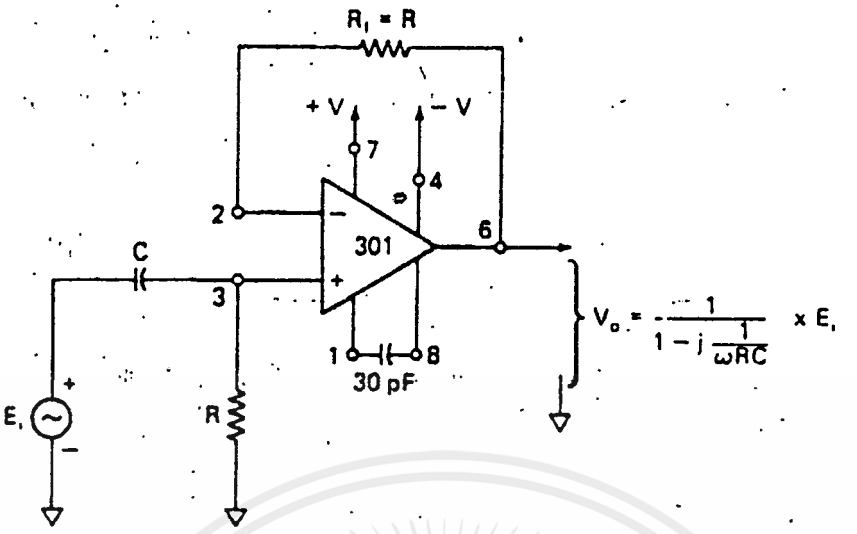
รูปที่ 2.37 แสดงผลตอบสนองความถี่ของวงจรวงจรกรองความถี่ต่ำผ่านซึ่งมีอัตราการลดระดับ -40 เดซิเบล / ดีเคด

2.6.2 วงจรกรองความถี่สูงผ่าน

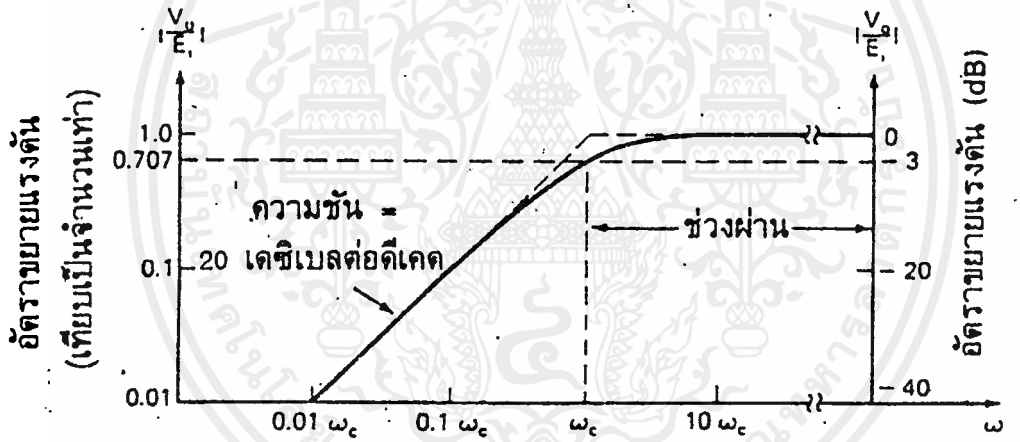
2.6.2.1 วงจรกรองความถี่สูงผ่าน แบบ 20 เดซิเบล / ดีเคด

ลักษณะการทำงานของวงจรกรองความถี่สูงผ่านคือ วงจรที่ทำการลดทอนสัญญาณความถี่ต่ำๆให้หมดไป โดยให้เลือกไว้เฉพาะสัญญาณความถี่สูงที่เราต้องการเท่านั้น ช่วงความถี่ที่เป็นช่วงผ่านจะอยู่ในช่วงตั้งแต่ความถี่คัทออฟขึ้นไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.38 ลักษณะของวงจรกรองความถี่สูงผ่านแบบ 20 เดซิเบล / ดีเคด



รูปที่ 2.39 แสดงการตอบสนองความถี่ของวงจรกรองความถี่สูงผ่านแบบ 20 เดซิเบล / ดีเคด

เส้นทึบของรูปกราฟแสดงผลตอบสนองทางความถี่ในการใช้งานจริง ส่วนเส้นประเป็นการแสดงผลโดยประมาณ วงจรกรองความถี่สูงผ่านนี้มีคุณสมบัติเช่นเดียวกับวงจรกรองความถี่แบบอื่นๆ คือมีอัตราขยายแบบลูปเท่ากับ 0.707 ที่ความถี่ ω_C หรือเมื่อ $\omega_{RC} = 1$ ดังนั้นจะได้ค่า ω_C เป็น

$$\omega_c = \frac{1}{RC} = 2\pi f_c \qquad (2.7)$$

หรือ $$R = \frac{1}{\omega_C R} = \frac{1}{2\pi f_c C} \qquad (2.8)$$

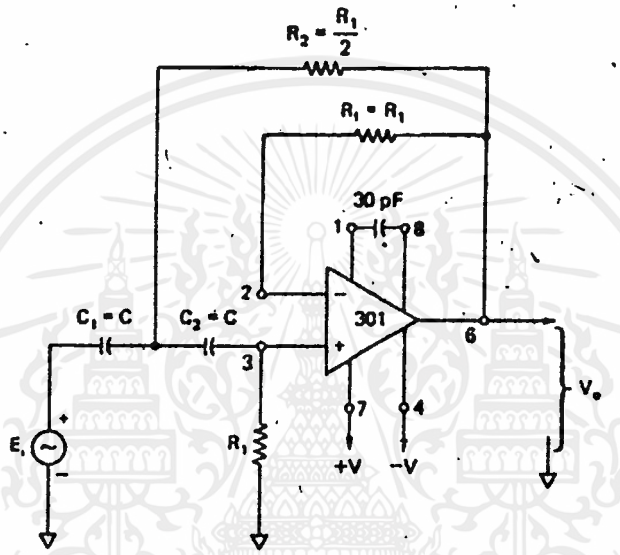
การที่แสดงสมการหาค่าของ R ก็เนื่องจากการหาค่าของความต้านทานที่จะใช้งานทำได้ง่ายกว่าเลือกค่าของตัวเก็บประจุ ดังนั้นจึงมักใช้การกำหนดค่าตัวเก็บประจุก่อนแล้วใช้การคำนวณหาค่า R ทีหลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

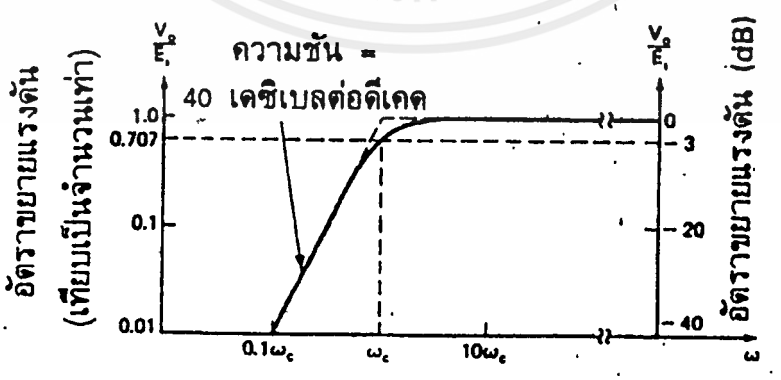
ขั้นตอนการออกแบบ

1. เลือกค่าความถี่คัทออฟที่จะใช้งาน ω_C หรือ f_C
2. เลือกค่าของตัวเก็บประจุ C โดยปกติจะให้มีค่าอยู่ในช่วง 0.001 ถึง 0.1 ไมโครฟารัด
3. คำนวณความต้านทาน R จากสมการ
4. แทน R_f ให้มีค่าเท่ากับ R

2.6.2.2 วงจรกรองความถี่สูงผ่านแบบ 40 เดซิเบล / ดีเคด



รูปที่ 2.40 ลักษณะวงจรกรองความถี่สูงผ่านแบบ 40 เดซิเบล / ดีเคด



รูปที่ 2.41 แสดงการตอบสนองความถี่ของวงจรกรองความถี่สูงผ่านแบบ 40 เดซิเบล / ดีเคด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการออกแบบ

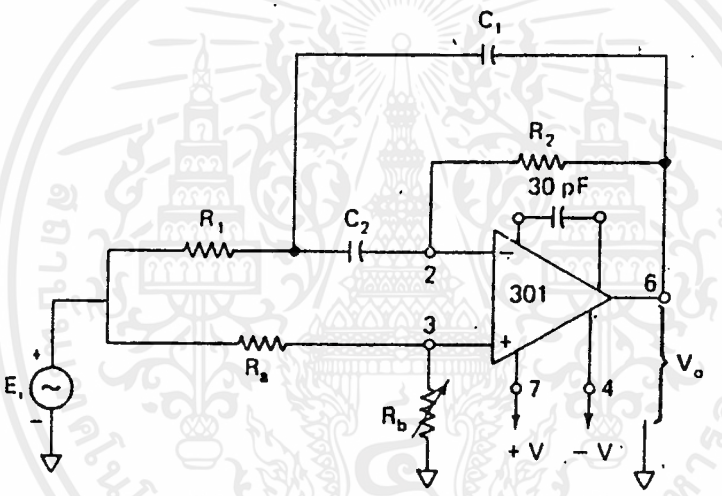
1. เลือกค่าความถี่คัทออฟที่ใช้งาน ω_C หรือ f_C
2. กำหนดค่า $C_1 = C_2 = C$ และเลือก C ที่จะใช้งานให้อยู่ในช่วง0.001 ถึง 0.1 ไมโครฟารัด
3. คำนวณหาค่า R_1 จากสมการ

$$R_1 = \frac{1.414}{\omega_C C} \qquad (2.9)$$

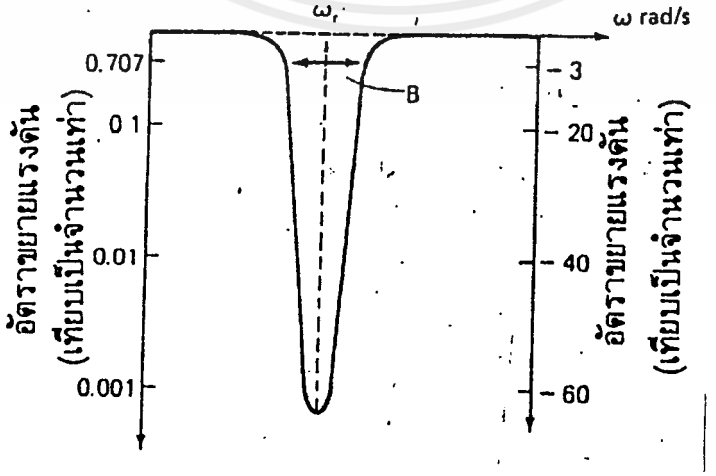
4. เลือก R_2 ให้มีค่าเท่ากับ $\frac{R_1}{2}$
5. เพื่อลดผลของออฟเซ็ตในทาง DC เลือก R_f ให้มีค่าเท่ากับ R_1

2.6.3 วงจรกรองความถี่ออกเฉพาะช่วง (band - elimination filter)

วงจรกรองความถี่ออกเฉพาะช่วง เป็นวงจรที่จะกำจัดความถี่บางช่วงออกไป บางครั้งเรียกว่า นอตช์ฟิลเตอร์



รูปที่ 2.42 ลักษณะของวงจรนอตช์ฟิลเตอร์



รูปที่ 2.43 แสดงผลการตอบสนองความถี่ของวงจรนอตช์ฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้นตอนการออกแบบ

1. กำหนดให้ $C_1 = C_2 = C$ และเลือกค่าที่จะใช้ โดยควรมีค่าอยู่ระหว่าง 100 พิโกฟารัดถึง 0.1 ไมโครฟารัด
2. คำนวณ R_2 จากสมการ

$$R_2 = \frac{2}{BC} \qquad (2.10)$$

เมื่อ B มีหน่วยเป็นเรเดียนต่อวินาที

3. คำนวณ R_1 จากสมการ

$$R_1 = \frac{R_2}{4Q^2} \qquad (2.11)$$

4. เลือก R_a ให้มีค่าเหมาะสม ควรมีค่าประมาณ 1 กิโลโอห์ม
5. คำนวณ R_b จากสมการ

$$R_b = 2Q^2 R_a \qquad (2.12)$$

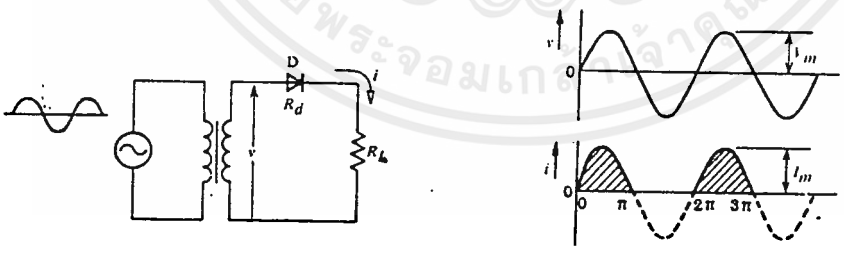
2.7 วงจรเรคติไฟเออร์

2.7.1 วงจรเรคติไฟเออร์แบบครึ่งช่วงคลื่น (Half-wave rectifying circuits)

รูปที่ 2.44 (ก) แสดงวงจรแบบง่ายที่สุดของวงจรเรคติไฟเออร์ เพราะว่ากระแส I ที่ไหลไปยังโหลดจะมีลักษณะเป็นรูปครึ่งช่วงคลื่น ดังรูปที่ 2.44 (ข) ดังนั้นจึงเรียกวงจรนี้ว่า วงจรเรคติไฟเออร์แบบครึ่งช่วงคลื่น

ในรูปที่ 2.44 (ก) ถ้าศักดาของแหล่งจ่ายไฟ v มีค่าเป็น

$$v = V_m \sin \omega t \qquad (2.13)$$



(ก) (ข)

รูปที่ 2.44 แสดงวงจรเรคติไฟเออร์แบบครึ่งช่วงคลื่น

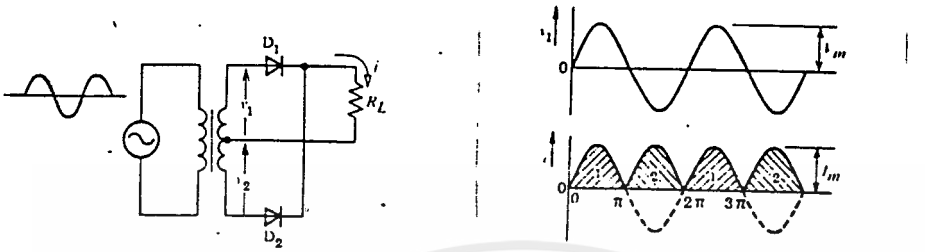
แต่ละในครึ่งช่วงคลื่นของ 0-π, 2π-3π เรื่อย ๆ ไป กระแส I ของการเรคติไฟเออร์แบบครึ่งช่วงคลื่นจะเขียนได้เป็น

$$I = I_m \sin \omega t \qquad (2.14)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7.2 วงจรเรคติไฟเออร์แบบเต็มช่วงคลื่น (Full-wave rectifying circuits)

รูปที่ 2.45 (ก) เป็นวงจรเรคติไฟเออร์แบบเต็มช่วงคลื่น โดยมีลักษณะของคลื่นที่ถูกเรคติไฟเออร์ออกมาทั้งสองช่วงคลื่น ดังรูปที่ 2.45 (ข)

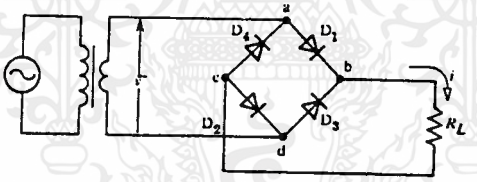


(ก) (ข)

รูปที่ 2.45 วงจรเรคติไฟเออร์แบบเต็มช่วงคลื่น

ไดโอด D_1 และ D_2 จะทำหน้าที่เรคติไฟเออร์แบบช่วงคลื่นสลับกันไปมา

วงจรในรูปที่ 2.41 (ก) จะมีข้อเสีย คือ ไม่เป็นการประหยัดเพราะจำนวนรอบของขดลวดทางด้านทุติยภูมิเป็นสองเท่า และไดโอดจะต้องทนค่าศักดาตกคร่อมได้ถึง $2V_m$ [v] เมื่อเปรียบเทียบกับวงจรในรูปที่ 2.42



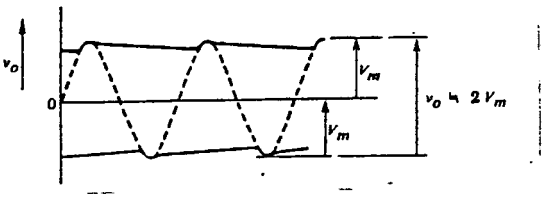
รูปที่ 2.46 แสดงวงจรเรคติไฟเออร์แบบเต็มช่วงคลื่นโดยใช้บริดจ์

โดยการใช้ไดโอด 4 ตัวเป็นวงจรบริดจ์ (bridge) จะทำให้ทรานฟอเมอร์มีขนาดเล็กลง ไดโอดที่ใช้งานก็คงทนศักดาที่ตกคร่อมตัวมันน้อยกว่าแบบธรรมดาทำให้ประหยัดกว่า ในปัจจุบันนี้มักจะเลือกใช้วงจรแบบบริดจ์ทั้งสิ้น

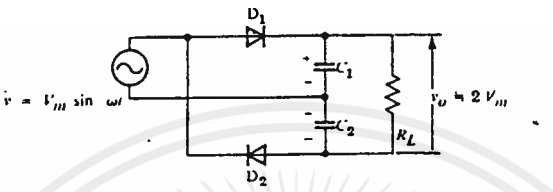
2.7.3 วงจรเรคติไฟเออร์แบบเพิ่มศักดาเป็นสองเท่า (Voltage-doubler rectifying circuits)

วงจรเรคติไฟเออร์แบบเพิ่มศักดาเป็นสองเท่า เป็นการนำเอาจุดออกของวงจรเรคติไฟเออร์แบบครึ่งคลื่นสองวงจรมาต่ออนุกรมกันเพื่อป้อนศักดาไปยังโหลด รูปที่ 2.47 แสดงวงจรพื้นฐานของวงจร เพิ่มศักดาเป็นสองเท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.47 แสดงวงจรเรคติไฟเออร์แบบเพิ่มศักดาเป็นสองเท่า



รูปที่ 2.48 แสดงรูปคลื่นที่ถูกเรคติไฟเออร์ของการเพิ่มศักดาเป็นสองเท่า

แต่ละครึ่งช่วงคลื่นของไฟสลับ ไดโอด D_1 และ D_2 จะทำงานสลับกัน เพื่อทำการประจุตัวเก็บประจุ C_1 และ C_2 ให้มีค่าเป็น V_m ดังรูปที่ โหลด R_L ต่ออยู่ด้านหนึ่งของตัวเก็บประจุ C_1 และ C_2 ถ้าตัวเก็บประจุ C_1 และ C_2 มีค่ามาก ($R_L >> 1/\omega C$) ค่าศักดาที่จ่ายให้โหลด $2V_m$ จะมีค่าประมาณ

เนื่องจากวงจรเรคติไฟเออร์แบบเพิ่มศักดาเป็นสองเท่า อาศัยประจุที่สะสมในตัวเก็บประจุเป็นกระแสของโหลด ดังนั้นจะนำไปใช้กับโหลดที่มีกระแสไหลผ่านตัวมันสูง ๆ ไม่ได้

2.8 การทำงานของวงจรในภาคปรีแอมป์ (Pre Amplifier)

ภาคปรีแอมป์จะเป็นภาคที่ทำหน้าที่ขยายแรงดันจากสัญญาณอินพุตที่เข้ามาให้มีขนาดใหญ่ขึ้นเหมาะกับความไวอินพุตของพาวเวอร์แอมป์ นอกจากนี้ภาคปรีแอมป์ยังทำหน้าที่เป็นตัวปรับแต่งเสียงทุ้มแหลมให้สอดคล้องกับลำโพง และสอดคล้องกับความต้องการของผู้ฟังด้วย

2.8.1 ปรีแอมป์ตัวชดเชยความถี่

สัญญาณจากต้นกำเนิดเสียงบางอย่าง เช่น หัวเข็ม (Phono) และหัวเล่นเทปเป็นสัญญาณที่ไม่แฟลต (Flat) เนื่องจากสัญญาณบางความถี่จะถูกลดขนาดลงและบางความถี่จะเพิ่มขนาดขึ้น (เป็นเทคนิคการอัดให้ได้เสียงดี) ดังนั้นเมื่อนำมาเล่น (Play back) จึงต้องเพิ่มความถี่ที่เคยลดความถี่ที่เคยเพิ่มให้ได้ขนาดของสัญญาณราบเรียบทุกความถี่ตามธรรมชาติของเสียงแท้ ๆ วงจรที่ทำหน้าที่ดังกล่าวนี้เรียกว่า "วงจรชดเชยความถี่" (Equalizer)

2.8.2 ปรีแอมป์สำหรับหัวเข็ม

ปรีแอมป์ที่ใช้กับหัวเข็มในการเล่นแผ่นเสียงนั้นจะมีวงจรอีควอไลเซอร์เพิ่มขนาดของวงจรความถี่ต่ำ (เสียงทุ้ม) และลดขนาดสัญญาณความถี่สูงโดยที่ความถี่ต่ำสุด (20 กิโลเฮิรตซ์) จะลดลงประมาณ 20 dB ส่วนที่ความถี่อื่น จะลดหลั่นกันตามลำดับความถี่

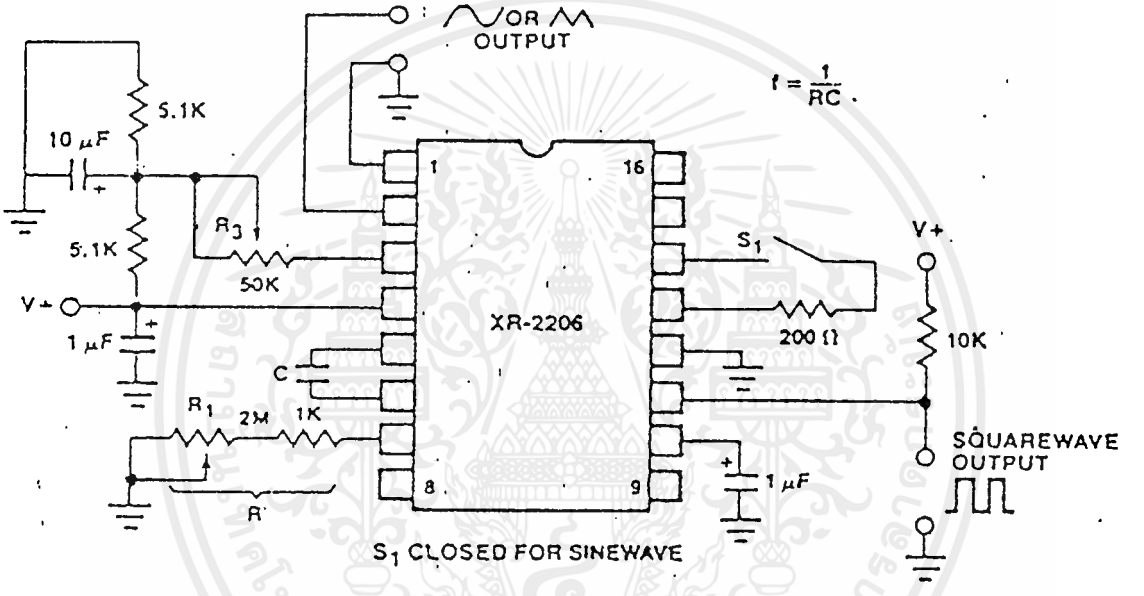
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 ส่วนกำเนิดสัญญาณไซน์

ในโครงงานนี้จะใช้ไอซี XR-2206 ในการสร้างสัญญาณไซน์ XR-2206 เป็นวงจรใช้ประโยชน์เป็นอีมิดเตอร์คับเปิ้ล วีซีไอที่สร้างคลื่นสามเหลี่ยม และสี่เหลี่ยม และรูปคลื่นลอกการิทึมที่แปลงคลื่นสามเหลี่ยมเป็นคลื่นไซน์ พารามิเตอร์ของวีซีไอถูกออกแบบต่อเป็นวงจรเบื้องต้นตามรูป 2.49

ความถี่ในการออสซิลเลชั่น คือ

$$f_0 = 1/RC \qquad (2.15)$$



รูปที่ 2.49 วงจรพื้นฐานของ XR-2206 สำหรับสร้างคลื่นไซน์ที่ความเพี้ยนต่ำ

ย่านการทำงานของความถี่จาก 0.01 เฮิรตซ์ ถึงมากกว่า 1 เมกกะเฮิรตซ์ ค่าเสถียรภาพทางอุณหภูมิเป็น 20 ppm/°c (typ) ค่าความต้านทาน R อยู่ในย่าน 1 กิโลโอห์ม ถึง 2 กิโลโอห์มเสถียรภาพที่สูงสุดคือ ค่า R อยู่ระหว่าง 4 กิโลโอห์ม ถึง 200 กิโลโอห์ม สามารถปรับค่า R ได้ด้วย pot ดังแสดงในรูปเป็น 2000 : 1 โดยการเปลี่ยนค่าของ f_0 การปรับความสมดุลย์ และความเพี้ยนถูกแยกออกจากกัน โดย R_{SYM} และ R_{THD} ด้วยการปรับที่พอเหมาะระดับของความเพี้ยนสามารถใกล้เคียงเกือบ 0.5 เปอร์เซนต์

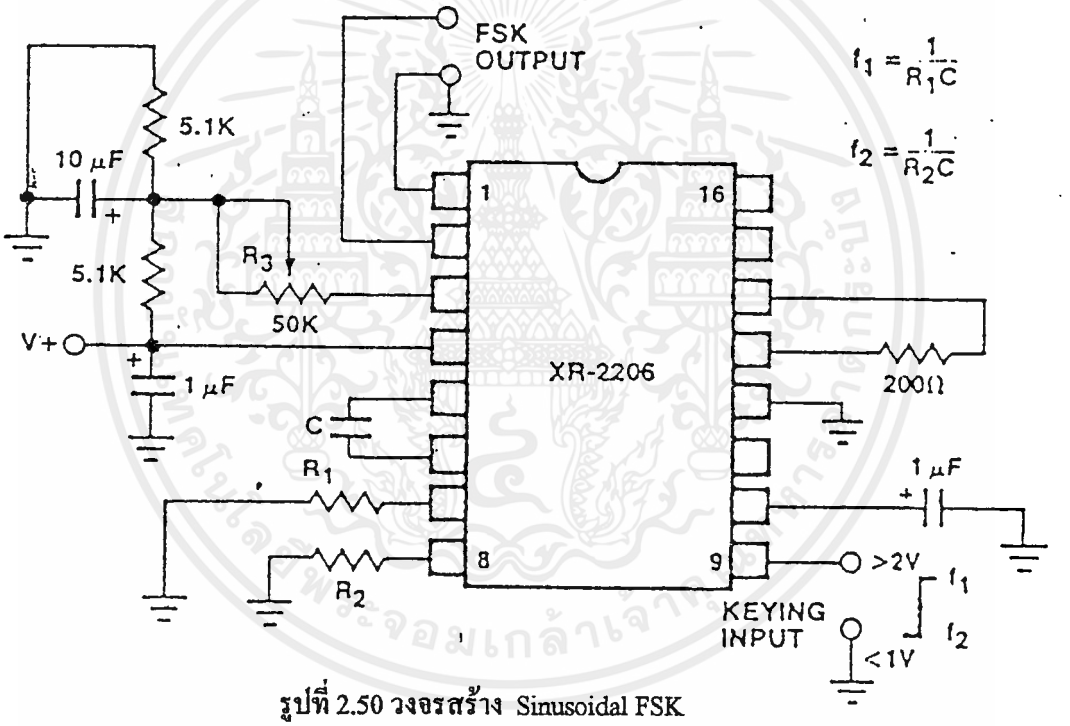
แอมปลิจูดและออฟเซ็ตของคลื่นไซน์ สามารถที่จะปรับได้จากวงจรรีซิสตีฟที่ต่ออยู่ภายนอกของขาที่ 3 ค่าของความต้านทานที่ขา 3 นี้ เราให้เป็น R_3 แอมปลิจูดสูงสุดประมาณ 60 มิลลิโวลต์ สำหรับทุก ๆ kΩ ของ R_3 เช่น R_2 ถ้าเราตั้งให้อยู่กึ่งกลาง ค่าสูงสุดของแอมปลิจูดของคลื่นไซน์ คือ (25+5.1//5.1) 60 มิลลิโวลต์ = 1.65 โวลต์ ค่าออฟเซ็ตของคลื่นไซน์ ก็เป็นเหมือนแรงดัน dc ที่สร้างขึ้นโดยวงจรภายนอก ค่าของอุปกรณ์ที่แสดงในรูปได้ VCC/2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อวงจร open ขา 13 และ 14 ก็จะแยกจากกันโดยทำให้รูปคลื่นเอาต์พุตกลายเป็นรูปสามเหลี่ยม ค่าออฟเซ็ตก็เหมือนกับของ คลื่นไซน์ อย่างไรก็ตามค่าแอมปลิจูดสูงสุดประมาณได้เป็น 2 เท่า เอาต์พุตของคลื่นสี่เหลี่ยมคือ แบบ open-collector ดังนั้นเราต้องใช้ความต้านทาน pull-up

รูป 2.50 แสดงการใช้งานของ XR-2206 อย่างกว้างขวาง ซึ่งเป็นอุปกรณ์ที่สามารถทำงานโดยค่าของความต้านทาน R1 และ R2 โดยการควบคุมที่ขา 9 วงจร open หรือ ขับด้วยค่าที่สูง R_1 จะเป็นตัวแอคทีฟ และวงจรจะออฟซิสเลทที่ f1 = $1/(R_1C)$ เช่นเดียวกับที่ขา 9 ถ้าขับด้วยค่าต่ำ R_2 ก็จะเป็นตัวแอคทีฟเท่านั้นและวงจรจะออสซิลเลทที่ f2 = $1/(R_2C)$ ดังนั้นความถี่สามารถ keyed อยู่ระหว่างสองระดับที่อ้างถึงบ่อย ๆ ก็คือความถี่ของมาร์ก และ สเปซ ซึ่งถูกเซ็ทโดยค่าของ R1 และ R2 Frequency Shift keying (FSK) ใช้กันอย่างกว้างขวางในการส่งข้อมูลในระบบโทรคมนาคม

ถ้า FSK ที่ใช้ควบคุม V1 ได้จากเอาต์พุตของคลื่นสี่เหลี่ยม R1 และ R2 ก็จะทำงานคนละครั้งไซเคิ้ลในการออสซิลเลทลักษณะเช่นนี้ XR-2206 จะเป็นตัวสร้างสัญญาณฟันเลื่อย และ สัญญาณพัลซ์



รูปที่ 2.50 วงจรสร้าง Sinusoidal FSK

หน้าที่ของขาไอซี XR-2206

XR-2206 ประกอบด้วย วีซีโอ (VCO), ส่วนปรับรูปคลื่นสัญญาณไซน์ , ส่วนขยาย , สวิตช์กระแส (current switch)

ขาและการทำงานของ XR-2206

ขาที่ 1 เป็นขาที่ใส่สัญญาณจากภายนอก เพื่อให้สัญญาณเอาต์พุตเป็นสัญญาณแบบแอมปลิจูดมอดูเลชัน โดยสัญญาณจากภายนอกจะควบคุมขนาดของสัญญาณเอาต์พุต

ขาที่ 2 เอาต์พุตเป็นขาที่ให้สัญญาณเอาต์พุตที่เป็น สัญญาณไซน์ หรือ สัญญาณสามเหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาที่ 3 เป็นขาสำหรับกำหนดขนาดของสัญญาณเอาต์พุต โดยต่อขานี้ไปยังจุดอ้างอิงในการสวิง หรือใช้เป็น ออฟเซ็ต

ขาที่ 4 เป็นขาไฟเลี้ยง V_{CC} ซึ่งจะจ่ายไฟขนาด 15 โวลต์ ซึ่งจะใช่กระแสประมาณ 14 มิลลิแอมป์

ขาที่ 5 และ 6 เป็นขาสำหรับต่อตัวเก็บประจุ เพื่อใช้ในการปรับความถี่ ที่สองขานี้จะมีสวิตช์เลือกเพื่อปรับช่านความถี่ โดยที่เมื่อ C มีค่าน้อยความถี่จะมีค่ามากตาม f = 1/RC

ขาที่ 7 และ 8 เป็นขาที่ใช้ปรับความถี่ของสัญญาณเอาต์พุตอย่างต่อเนื่อง โดยเลือกใช้เพียงขาใดขาหนึ่งเท่านั้น

ขาที่ 9 เป็นขาสำหรับใช้ค่า R1 หรือ R2 ในการใช้ความถี่เอาต์พุตเมื่อแรงดันที่ขา 9 สูงกว่า 2 โวลต์ ควรจะเลือกใช้ความต้านทานที่ขา 7 เพื่อกำหนดความถี่และเมื่อแรงดันที่ขา 9 ต่ำกว่า 1 โวลต์ วงจรจะเลือกใช้ความต้านทานที่ขา 8 ในการกำหนดความถี่

ขาที่ 10 เป็นขาที่ใช้ต่อตัวเก็บประจุกับกราวด์

ขาที่ 11 เป็นขาที่ให้สัญญาณเอาต์พุตแบบโอเพนคอลเลคเตอร์ (open collector) โดยให้สัญญาณที่ ซิงโครไนซ์กับขา 2

ขาที่ 12 กราวด์

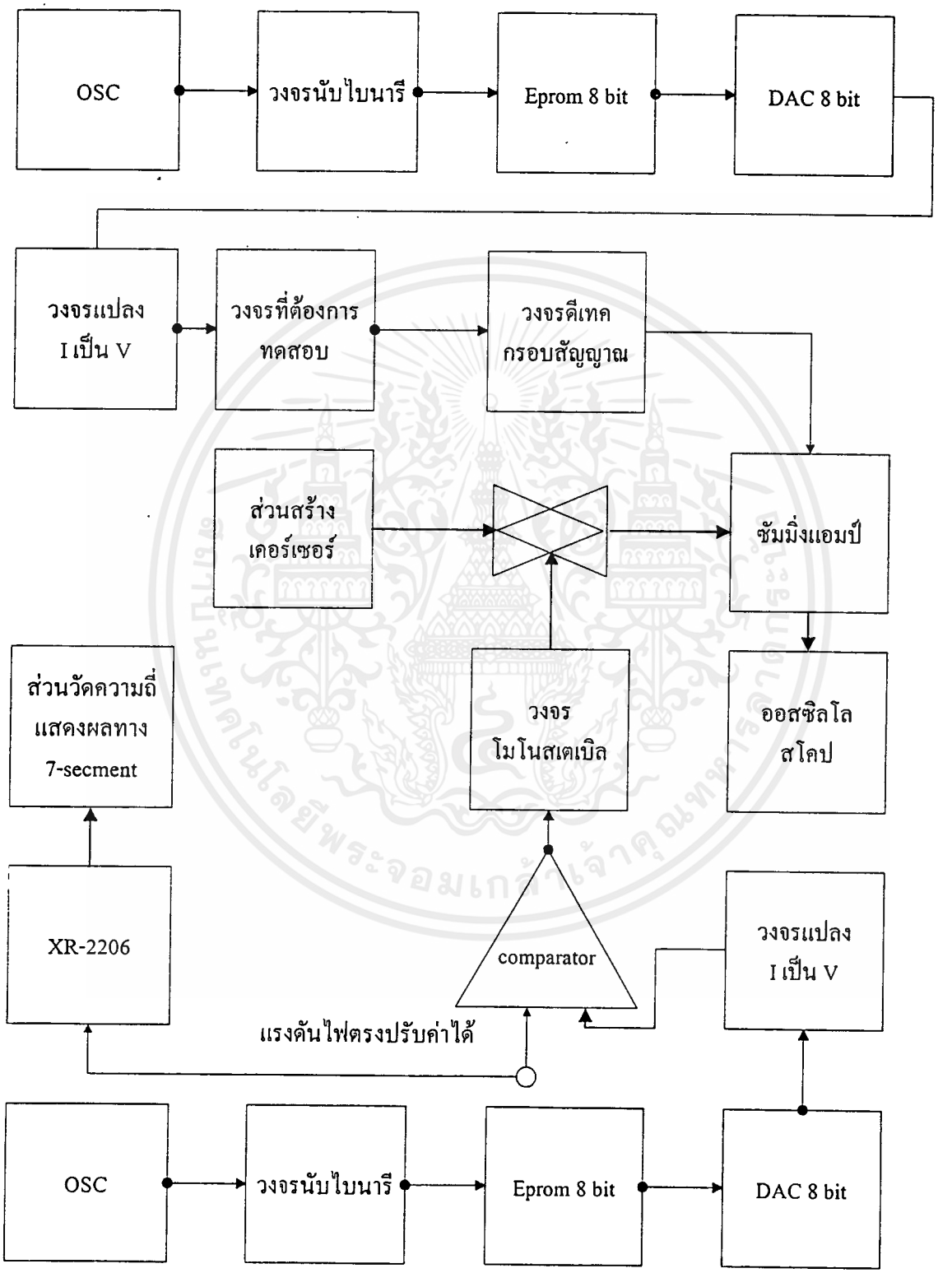
ขาที่ 13 และ 14 เป็นขาที่ปรับให้สัญญาณเอาต์พุตมีลักษณะสมบูรณ์

ขาที่ 15 และ 16 เป็นขาที่ใช้ปรับสมมาตรของสัญญาณเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

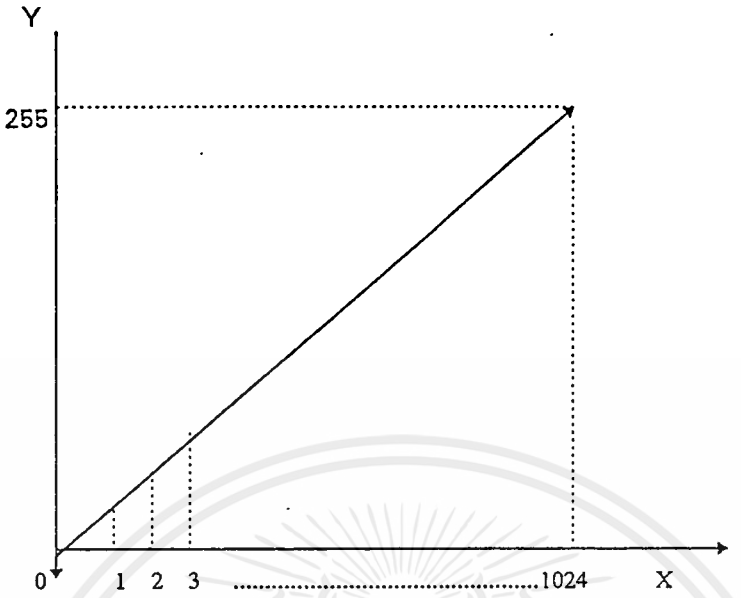
3.1 บล็อกไดอะแกรม



รูปที่ 3.1 บล็อกไดอะแกรมของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 หลักการสร้างสัญญาณฟันเลื่อย



รูปที่ 3.2 กราฟของสัญญาณฟันเลื่อย 1024 ค่า (1 ลูกคลื่น)

ความชัน (m) = $(Y_0 - Y_1) / (X_0 - X_1)$ = (255 - 0) / (1024 - 0) = 0.25

ได้สมการเส้นตรง $Y = 0.25\,X$

จากกราฟจะเห็นว่า ค่าพีคสูงสุดเท่ากับ 255 โวลต์ ซึ่งสามารถกำหนดค่านี้ได้จากการที่ใช้ DAC 0800 โดยใช้ค่าสูงสุดของสัญญาณฟันเลื่อยที่เก็บไว้ในอีพรอมคือ 1111 1111 (255 10)

จะได้ว่า I_{OUT} ที่ขา 4 $= I_{REF} * 255 / 256$

$= (10\ V * 255) / (5\ K\Omega * 256)$

$= 1.99\ mA$

ซึ่ง I_{OUT} จะไปเป็นอินพุตของ IC เบอร์ 741 ที่ขา 2 ทำให้

$V_{OUT} = - I_{OUT} * (5\ K\Omega) = - 10\ V$

ดังนั้นจะเก็บค่าไว้ในอีพรอม 1024 ค่า ต้องใช้สัญญาณนาฬิกาอ่านค่าที่เก็บไว้ในอีพรอมวนออกมาเพื่อให้ได้เป็นสัญญาณฟันเลื่อยที่มีค่าความถี่เท่ากับ 1.182 เฮิรตซ์

สมมุติใช้สัญญาณนาฬิกา 1024 ลูกในการอ่านค่าข้อมูล 1024 ค่า ที่เก็บไว้ในอีพรอม และสมมุติสัญญาณนาฬิกา 1 ลูก กินเวลา T_1 วินาที

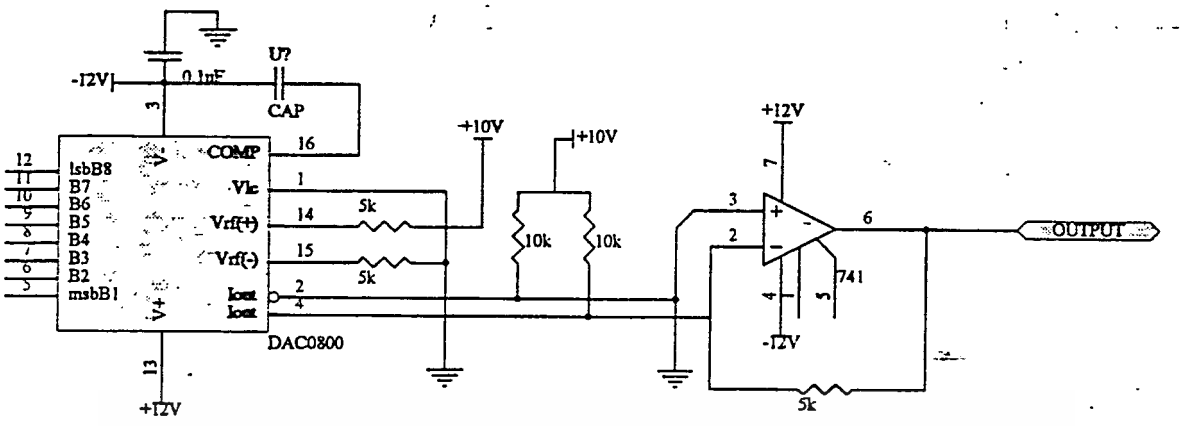
และเราต้องการให้สัญญาณฟันเลื่อยมีค่าคาบเวลาเท่ากับ 1 / 1.182 วินาที

$1024 * T_1 = 1 / 1.182$

$T_1 = 1 / (1024 * 1.182)$

$= 0.826$ มิลลิวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 วงจรส่วน DAC 0800 ของส่วนสร้างสัญญาณฟันเลื่อย

3.3 หลักการสร้างสัญญาณไซน์ความถี่ 20 เฮิรตซ์ ถึง 20 กิโลเฮิรตซ์

สัญญาณไซน์ที่กวาดความถี่ได้ 20 เฮิรตซ์ ถึง 20 กิโลเฮิรตซ์ ทำการสร้างแบบเชิงเส้น (linear) โดยให้

$$\omega_c(t) = at + b \qquad (3.1)$$

เมื่อ $t = 0$; ต้องการให้ $\omega_c(0) = 20$ เฮิรตซ์

ดังนั้น $\omega_c(t) = at + 20$

เมื่อ $t = 1/100$; ต้องการให้ $\omega_c(t) = 20$ กิโลเฮิรตซ์

$20\ \text{KHz} = (a/100) + 20$

$a = 1.998 * 10^6$

ดังนั้น $\omega_c(t) = (1.998 * 10^6 t) + 20$

$t = n/x$; n คือจำนวนจุดของสัญญาณไซน์ 1024 จุด

ที่ $t = 1/100$ วินาที หาค่า x จะได้

$1/100 = 1024/x$

$x = 1024 * 100$

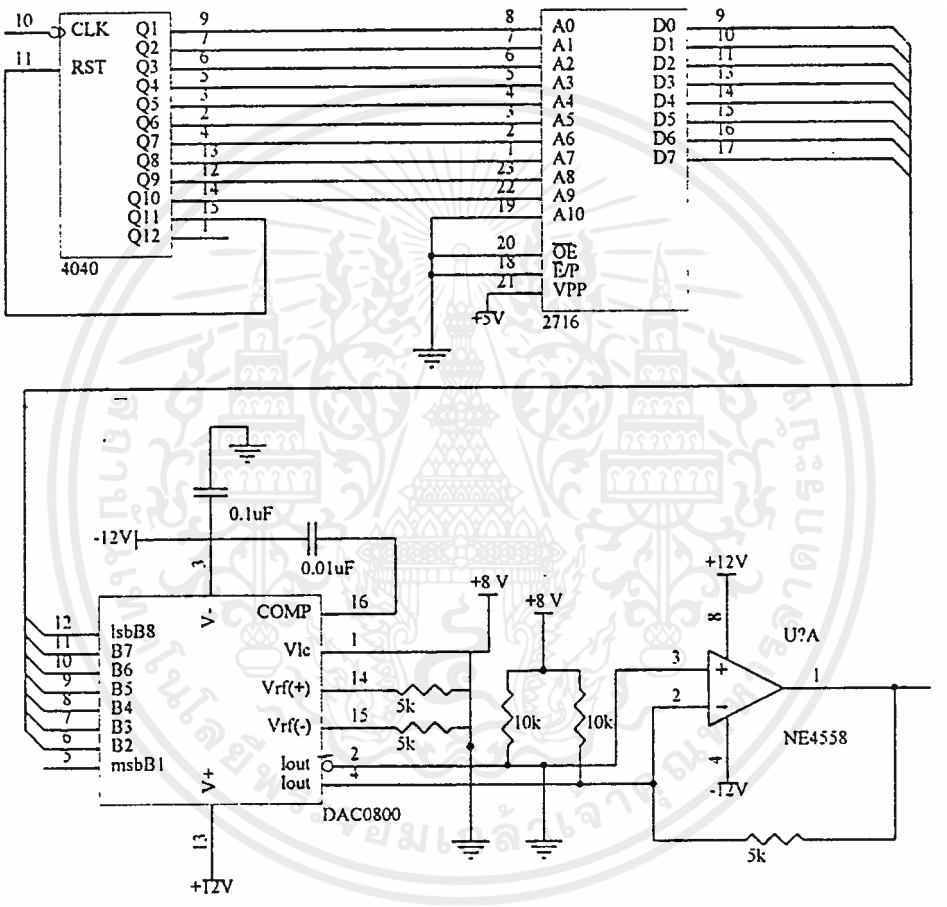
ดังนั้น $\omega_c(t) = ((1.998 * 10^6 n) / (1024 * 100)) + 20$

จะได้ว่าสมการไซน์คือ

$$\text{SIN}\{\omega_c(t) * t\} = \text{SIN}\{(((1.998 * 10^6 n)/(1024 * 100)) + 20) * n/(1024 * 100)\} \qquad (3.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

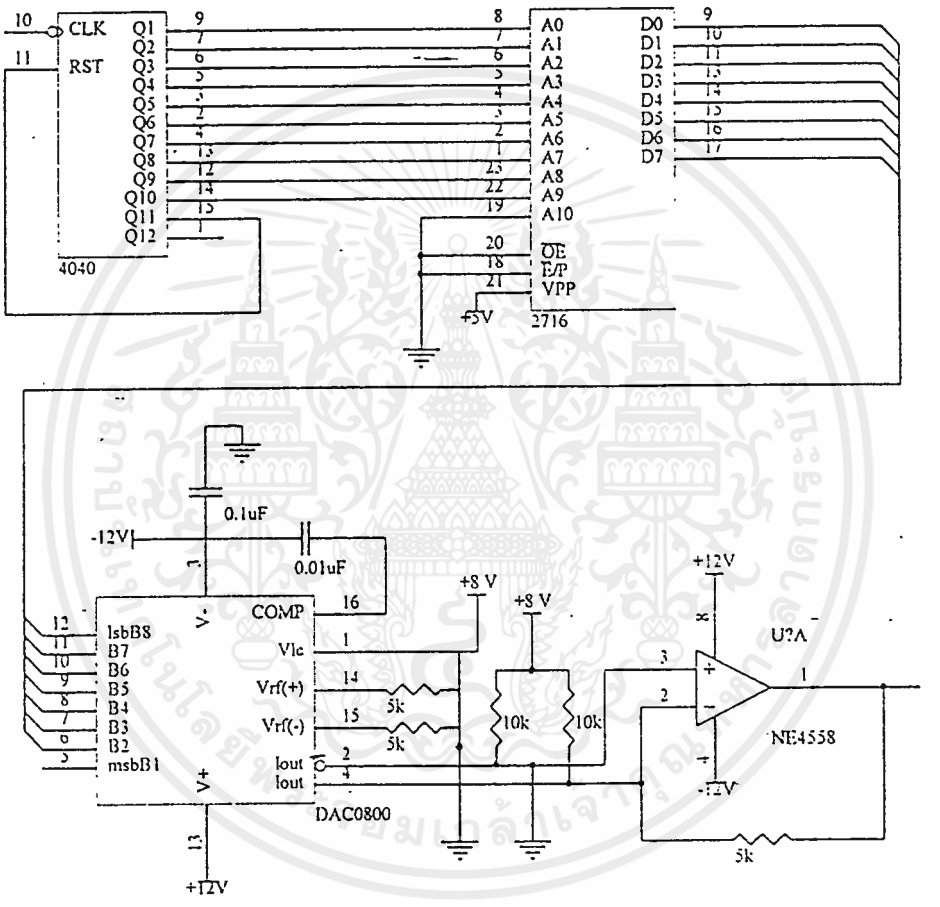
3.4 วงจรสร้างสัญญาณฟันเลื่อย



รูปที่ 3.4 แสดงวงจรสร้างสัญญาณฟันเลื่อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรสร้างสัญญาณไซน์ความถี่ 20 เฮิรตซ์ ถึง 20 กิโลเฮิรตซ์

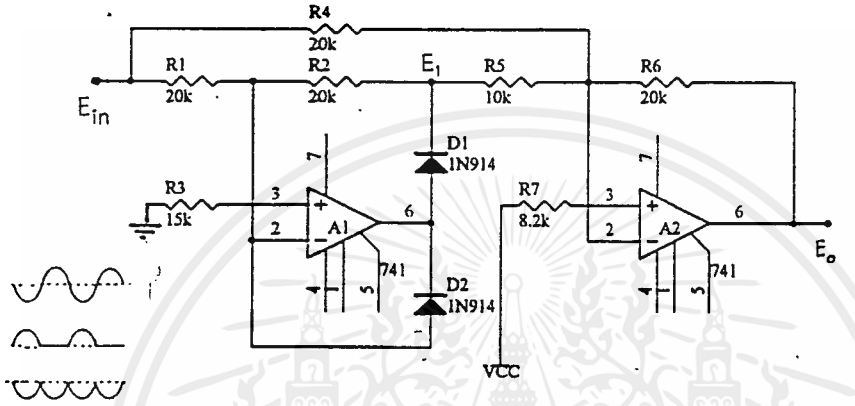


รูปที่ 3.5 แสดงวงจรสร้างสัญญาณไซน์ที่มีความถี่ 20 เฮิรตซ์ ถึง 20 กิโลเฮิรตซ์

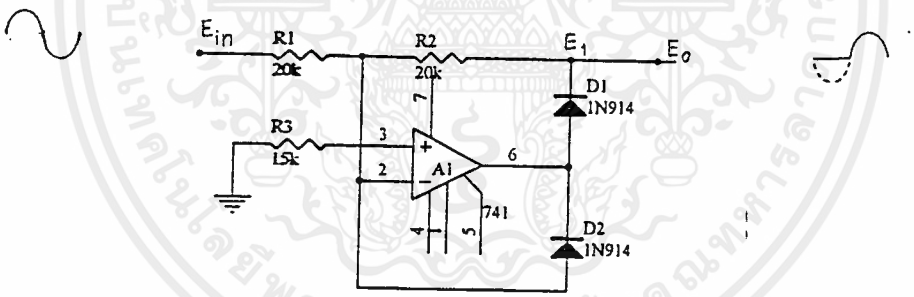
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 หลักการทำงานของวงจรดีเทคเตอร์

วงจรดีเทคเตอร์ สำหรับโครงงานนี้ ใช้หลักการของฟูลเวฟพรีซิชั่นเรคติไฟเออร์ (Full Wave Precision Rectifier) กล่าวคือ จะใช้การบวกกันระหว่างเอาต์พุตของฮาล์ฟเวฟเรคติไฟเออร์ (Half Wave Rectifier) และสัญญาณอินพุต โดยมีความสัมพันธ์ระหว่างเฟสและแอมปลิจูดที่ตรงกัน จากนั้นจะนำสัญญาณไปผ่านวงจรอินเวอร์ทติงแอมปลิไฟเออร์ (inverting amplifier) เพื่อกลับเฟสของสัญญาณให้เป็น พีคบวก แล้วนำไปกรองสัญญาณความถี่สูงออกไปโดยวงจรกรองความถี่ต่ำผ่าน ก็จะได้กรอบของสัญญาณออกมา



รูปที่ 3.6 แสดงวงจรพื้นฐานฟูลเวฟพรีซิชันเรคติไฟเออร์



รูปที่ 3.7 แสดงวงจรพื้นฐานฮาล์ฟเวฟเรคติไฟเออร์

ถ้าสัญญาณที่เข้ามาเป็นบวก จะได้เอาต์พุตที่เป็นลบ ทำให้ D_1 ไม่ทำงาน แต่ D_2 ทำงาน ซึ่งทำให้เกิดการป้อนกลับแบบลบไปยังจุดที่ทำการบวกกัน ถ้าสัญญาณอินพุตที่เข้ามาเป็นลบ จะได้เอาต์พุตที่เป็นบวก และเป็นฟอร์เวิร์ดไบอัส (forward bias) ให้กับ D_1 ทำให้ลูปการป้อนกลับแบบลบที่ R_2 ทำให้มีค่าเกนเกิดขึ้นที่ R_2 และ R_1

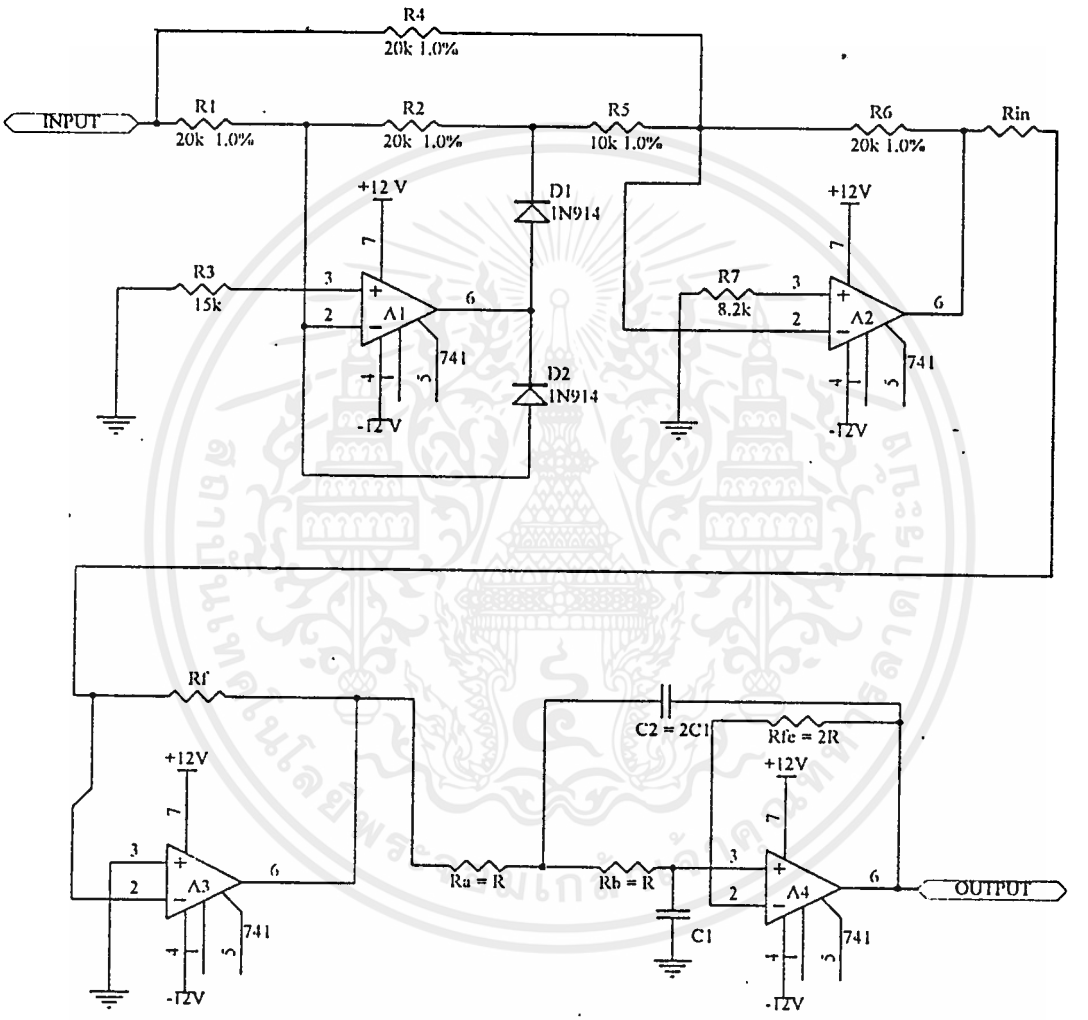
สัญญาณเอาต์พุตของ A_1 จะถูกนำมาบวกกับสัญญาณอินพุตที่เริ่มต้นที่ A_2 (summing mixer) ซึ่งค่าเฟสและแอมปลิจูดของสัญญาณแสดงดังรูปที่ 3.6 ถ้า E_{in} เป็นบวกจะไม่มีค่าที่เอาต์พุตที่ E_1

สัญญาณ E_{in} จะถูกป้อนผ่านความต้านทานที่ 20 กิโลโอห์ม และสัญญาณ E_1 ถูกป้อนผ่านความต้านทาน 10 กิโลโอห์ม ดังนั้น E_1 จะทำให้เกิดกระแสที่จุดที่มีการบวกกันมีค่าเป็น 2 เท่าของกระแสที่เกิดจาก E_{in}

สัญญาณเอาต์พุตจะมีขั้วตรงกันข้ามกับรูปที่ 3.6 ถ้าเรากลับทิศทางไดโอด D_1 , D_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

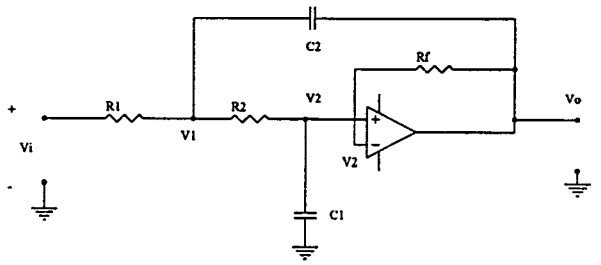
3.7 วงจรส่วนดีเทคเตอร์



รูปที่ 3.8 วงจรดีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 การหาค่าทรานส์เฟอร์ฟังก์ชันของวงจรกรองความถี่ต่ำผ่าน



รูปที่ 3.9 วงจรกรองความถี่ต่ำผ่านที่ให้ค่า -40 เดซิเบลต่อดีเคด

$$take V_1; \frac{V_1 - V_i}{R_1} + \frac{V_1 - V_2}{R_2} + SC_2(V_1 - V_O) = 0 \ldots\ldots(1)$$

$$V_2; \frac{V_2 - V_1}{R_2} + SC_1V_2 = 0 \ldots\ldots \quad (2)$$

$$\frac{V_2 - V_O}{R_f} = 0$$

$$V_2 = V_O \ldots\ldots \quad (3)$$

จาก (1) R_1R_2 คูณตลอด ; $V_1R_2 - V_iR_2 + V_1R_1 - V_2R_1 + SC_2R_1R_2V_O = 0$

$$(R_2 + R_1 + SC_2R_1R_2)V_1 - V_iR_2 - V_2R_1 - SC_2R_1R_2V_O = 0 \ldots\ldots(4)$$

จาก (2) * R_2 ; $V_2 - V_1 + SC_1R_2V_2 = 0$

$$(1 + SC_1R_2)V_2 - V_1 = 0 \ldots\ldots(5)$$

แทน (3) ใน (4) ; $R_2 + R_1 + SC_1R_1R_2)V_1 - V_iR_2 - V_oR_1 - SC_2R_1R_2V_o = 0$

$$(R_2 + R_1 + SC_2R_1R_2)V_1 - V_iR_2 - (R_1 + SC_2R_1R_2)V_o = 0 \ldots\ldots(6)$$

แทน (3) ใน (5) ; $(1 + SC_1R_2)V_O - V_1 = 0 \qquad \therefore V_1 = (1 + SC_1R_2)V_o \ldots\ldots(7)$

แทน (7) ใน (6) ; $(R_2 + R_1 + SC_2R_1R_2)V_o - V_iR_2 - (R_1 + SC_2R_1R_2)V_o = 0$

$$[R_2 + SC_1R_2^2 + SC_1R_1R_2 + S^2C_1C_2R_1R_2^2]V_o = V_iR_2$$

$$\therefore \frac{V_o}{V_i} = \frac{R_2}{R_2 + SC_1R_2^2 + SC_1R_1R_2 + S^2C_1C_2R_1R_2^2} = \frac{R_2}{1 + SC_1R_2 + SC_1R_1 + S^2C_1C_2R_1R_2^2}$$

นำ $\frac{1}{C_1C_2R_1R_2^2}$ คูณทั้งเศษและส่วน ;

$$\frac{V_o}{V_i} = \frac{\frac{1}{C_1C_2R_1R_2}}{\frac{1}{C_1C_2R_1R_2} + \frac{S}{C_2R_1} + \frac{S}{C_2R_2} + S^2} = \frac{\frac{1}{C_1C_2R_1R_2}}{S^2 + S(\frac{1}{C_2R_1} + \frac{1}{C_2R_2}) + \frac{1}{C_1C_2R_1R_2}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

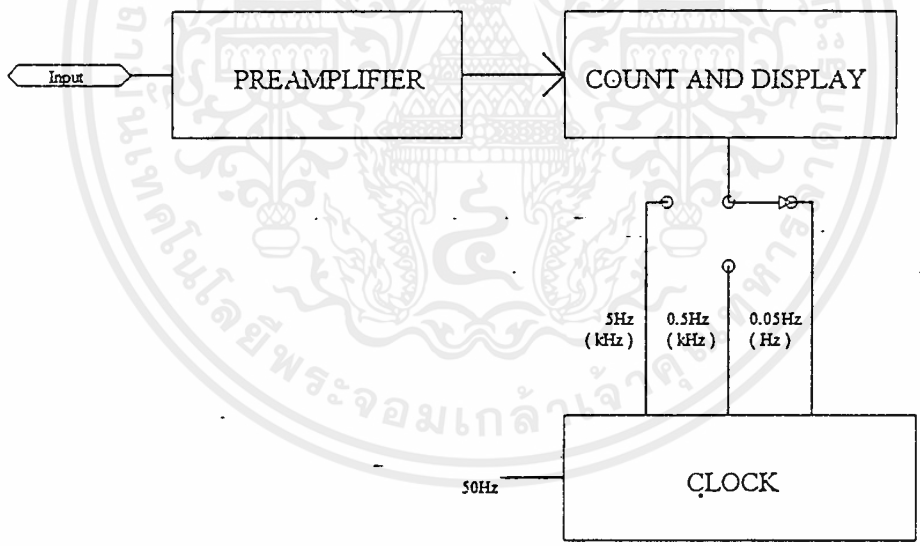
สมการทั่วไปของวงจรกรองความถี่ต่ำผ่าน (Transfer function)

$$\frac{V_o}{V_i} = \frac{k\omega_p^{\,2}}{S^2 + \frac{\omega_p}{Q_p}S + \omega_p^{\,2}} \qquad (3.3)$$

ต้องการความถี่คัทออฟ 20 เฮิรตซ์ ดังนั้นออกแบบให้ $C_1 = 0.47$ ไมโครฟารัด , $C_2 = 1$ ไมโครฟารัด , $R_1 = R_2 = 5.6$ กิโลโอห์ม , $R_f = 2R_1 = 11.2$ กิโลโอห์ม (ขั้นตอนการออกแบบอยู่ในบทที่ 2)

3.9 ส่วนวัดความถี่

การทำงานของวงจรแสดงเป็นบล็อกไดอะแกรมในรูปที่ 3.10 สัญญาณอินพุตจะป้อนเข้าอินพุตของภาคปรีแอมปลิไฟเออร์เพื่อขยายสัญญาณให้แรงขึ้น ส่งผ่านไปยังภาคนับและแสดงผล ภาคนับและแสดงผลจะต่อภาคกำเนิดสัญญาณฐานเวลาค่าต่าง ๆ โดยมีสวิตช์เป็นตัวเลือกค่าเวลาต่าง ๆ ภาคกำเนิดสัญญาณฐานเวลาจะใช้สัญญาณไฟฟ้ากระแสสลับ 50 เฮิรตซ์ มาเป็นอินพุตในการสร้าง การทำงานในแต่ละภาคมีดังนี้



รูปที่ 3.10วงจรสมบูรณ์ของเครื่องวัดความถี่ต่ำ

3.9.1 ภาคกำเนิดสัญญาณฐานเวลา

จากรูปที่ 3.11 ซึ่งเป็นวงจรสมบูรณ์ของเครื่องวัดความถี่ต่ำ ในส่วนของภาคกำเนิดสัญญาณฐานเวลามีการทำงานดังนี้ที่ ไดโอด D_3 ทำหน้าที่เรคติไฟร์สัญญาณไฟฟ้ากระแสสลับเพื่อให้ได้สัญญาณเฉพาะซีกบวกซึ่งยังคงมีความถี่ 50 เฮิรตซ์ อยู่ นำไปผ่านวงจรดิไวเดอร์ลดระดับของแรงดันและป้อนให้วงจรหาร 10 หาร 100 และ หาร 1000 โดย IC_2, IC_3, และ IC_4 ได้ความถี่ 5 เฮิรตซ์, 0.5 เฮิรตซ์ และ 0.05 เฮิรตซ์ ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9.2 ภาคปรีแอมปลิไฟเออร์

ภาคนี้สามารถรับสัญญาณอินพุตต่ำสุด 10 มิลลิโวลต์ และสูงสุด 100 โวลต์ ตัวเก็บประจุ C_3 เป็นตัวคัปปลิ้งสัญญาณและป้องกันสัญญาณ DC จากอินพุต ตัวต้านทาน R_4 และไดโอด D_4 , D_5 ทำหน้าที่จำกัดแรงดันที่ป้อนให้กับ Q_1 ให้เหลือเพียงเท่ากับค่าไบแอสตรงของ D_4 และ D_5 คือประมาณ 700 มิลลิโวลต์ แม้ว่าค่าแรงดันอินพุตจะมีค่าสูงถึง 100 โวลต์ ก็ตาม

Q_1 ใช้ FET เบอร์ BF245C ทำหน้าที่เป็นบัฟเฟอร์และเป็นตัวทำให้ค่าอิมพีแดนซ์ทางอินพุตมีค่าสูง เพื่อสามารถวัดสัญญาณขนาดเล็ก ๆ ได้และทำให้กระแสวงจรไม่เปลี่ยนแปลงหรือเปลี่ยนแปลงน้อยที่สุด เพื่อให้การวัดนั้นเที่ยงตรง

3.9.3 ภาคนับและแสดงผล

การทำงานในส่วนของวงจรนับและแสดงผล IC_5 ใช้เบอร์ 74C925 ซึ่งเป็นไอซีชนิดซีมอส ภายในประกอบด้วยวงจรนับสิบ (0-9) จำนวน 4 ชุด, วงจรเก็บข้อมูล, วงจรมัลติเพล็กเซอร์ และวงจรถอดรหัสสำหรับตัวเลข 7 ส่วน จำนวน 4 หลัก

เมื่อสัญญาณอินพุตที่ได้จากวงจรปรีแอมปลิไฟเออร์เข้ามาผ่าน C_8 เพื่อกรองสัญญาณส่งผ่านเข้ามาขาเบสของ Q_5 ซึ่งทำหน้าที่เป็นวงจรบัฟเฟอร์

การนับของไอซี 74C925 จะนับในช่วงสัญญาณคาบเวลาเป็นลอจิก "1" เท่านั้น การนับแต่ละครั้งจะต้องมีการเก็บข้อมูลชั่วคราว (latch) ในช่วงเวลาที่สัญญาณคาบเวลาเป็นลอจิก "0" และจะต้องมีการรีเซ็ต (reset) ข้อมูลทุกครั้งก่อนที่จะเริ่มนับใหม่ โดยสัญญาณควบคุมนี้จะได้จาก $IC_{6/1}$ และ $IC_{6/2}$ ซึ่งใช้เบอร์ 74LS221 ผลิตพัลซ์ในการทริก IC_5 ให้ทำหน้าที่เก็บข้อมูลชั่วคราวและทำหน้าที่รีเซ็ตข้อมูล

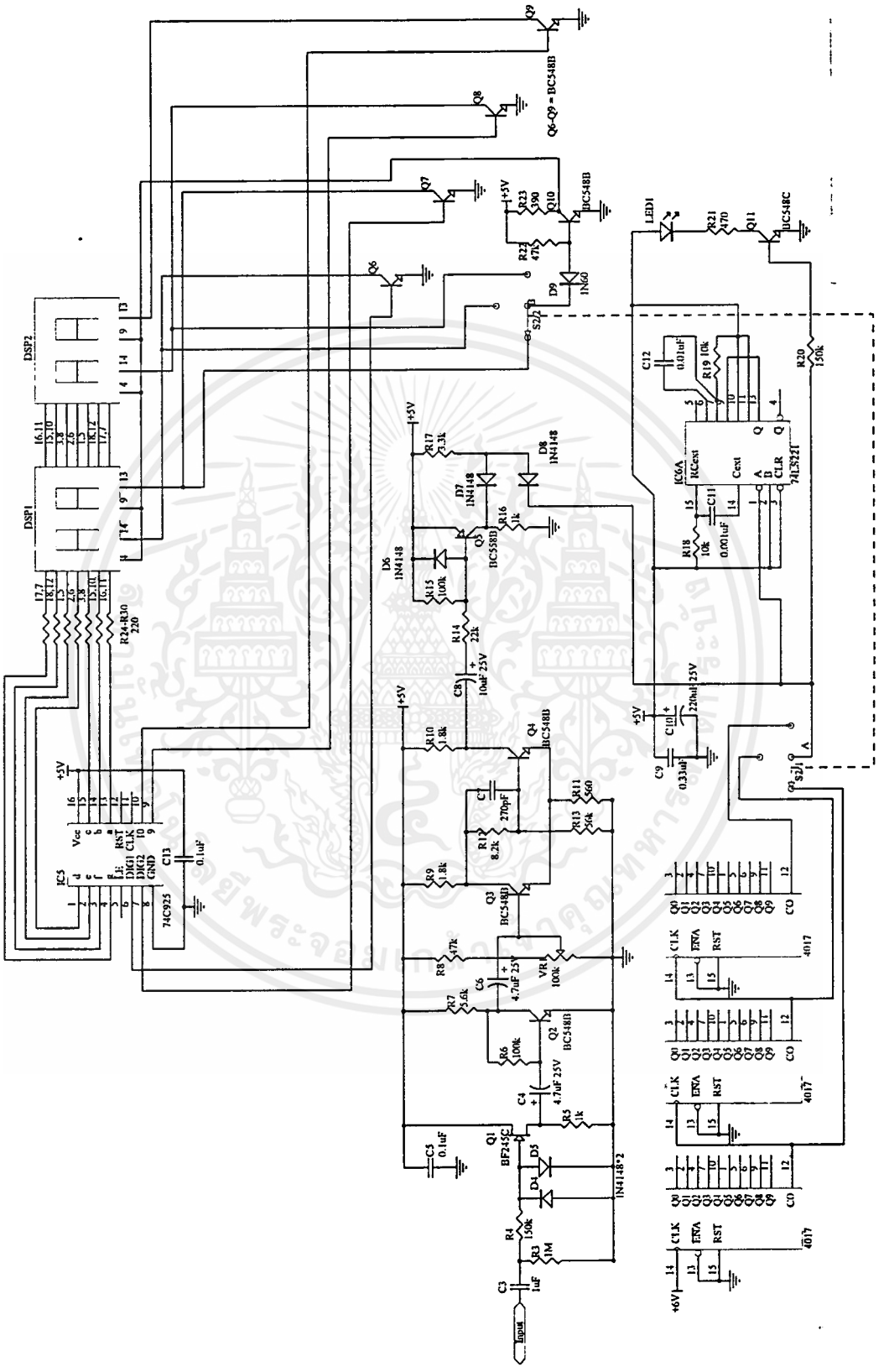
$IC_{6/1}$ และ $IC_{6/2}$ จะต่อวงจรในแบบโมโนสเตเบิลมัลติไวเบรเตอร์ เมื่อสัญญาณฐานเวลาในช่วงขอบขาลงผ่านเข้ามาทาง A ของ $IC_{6/1}$ ที่เอาต์พุตขา Q ของ $IC_{6/1}$ จะเกิดพัลซ์ขึ้นมา 1 ลูก ขนาด 7 μs ซึ่งสัญญาณนี้จะไปทริก IC_5 ให้เก็บข้อมูลไว้ชั่วคราว จากวงจรจะเห็นว่าสัญญาณ 7 μs ดังกล่าวต่อเข้ากับขา A ของ$IC_{6/2}$ ด้วย ดังนั้นช่วงขอบขาลงของพัลซ์ 7 μs นั้นจะทำให้เกิดพัลซ์ขึ้นมาอีก 1 ลูก ขนาด 7 μs เช่นเดียวกัน และสัญญาณนี้จะไปรีเซ็ต IC_5 เพื่อให้ IC_5 เริ่มต้นนับจาก 0 ใหม่ทุกครั้งไป

IC_5 จะแสดงตัวเลขที่นับได้ออกมาทางขวา 1, 2, 3,4, 13, 14 และ 15 สัญญาณที่ได้เป็นสัญญาณข้อมูลของตัวเลข 7 ส่วน ทั้ง 4 หลัก ซึ่งถูกมัลติเพล็กซ์เข้าด้วยกัน โดยผ่าน R_{24}-R_{30} เพื่อควบคุมกระแสที่ไหลผ่าน LED ภายในตัวเลข 7 ส่วน

ทรานซิสเตอร์ Q_6-Q_9 ทำหน้าที่ ขับตัวเลข 7 ส่วน แต่ละตัว โดยที่ IC_5 จะให้สัญญาณ DIG_1-DIG_4 ในการควบคุมการแสดงผล ตัวอย่างเช่น เมื่อ IC_5 กำลังจะส่งข้อมูลของตัวเลขหลักที่ 1 ออกมา ขา DIG_1 ก็จะเป็นลอจิก "1" ทำให้ Q_6 ทำงาน เมื่อ IC_5 ส่งสัญญาณข้อมูลออกมา ตัวเลข 7 ส่วนหลักที่ 1 ก็จะแสดงผล และเมื่อ IC_5 ส่งข้อมูลของตัวเลขหลักที่ 2 ออกมา Q_6 ก็จะได้รับลอจิก "0" ทำให้ Q_6 หยุดทำงาน และ IC_5 ก็จะส่งสัญญาณลอจิก "1" ออกมาทางขา DIG_2 ส่งผลให้ Q_7 ทำงาน เมื่อ IC_5 ส่งข้อมูลออกมา ตัวเลขหลักที่ 2 ก็จะแสดงผล และในทำนองเดียวกันเมื่อ IC_5 จะส่งสัญญาณข้อมูลตัวเลขหลักที่ 3 และ 4 ก็จะส่งสัญญาณลอจิก "1" ไปที่ Q_8 และ Q_9 ตามลำดับ เพื่อทำให้ทรานซิสเตอร์ทำงานขับข้อมูลแสดงผลออกมา การทำงานดังกล่าวจะทำงานด้วยความเร็วสูง จึงทำให้เรามองเห็นตัวเลขแสดงผลอยู่ตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10 วงจรส่วนวัดความถี่



รูปที่ 3.11 วงจรส่วนวัดความถี่

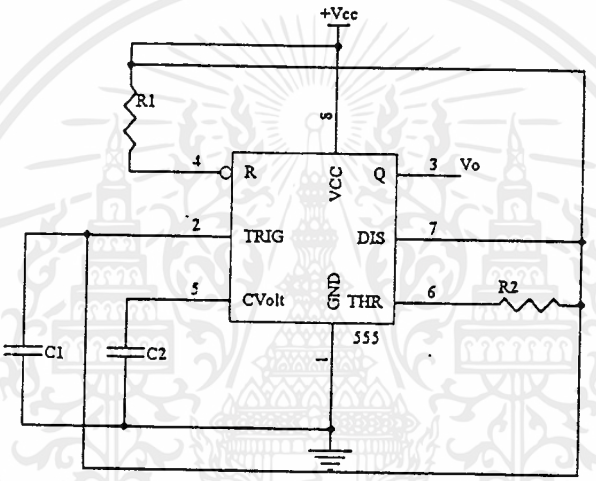
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ Q_{10} ทำหน้าที่ขับจุดทศนิยมของตัวเลข 7 ส่วน โดยทำงานร่วมกับ Q_6-Q_8 โดยผ่านสวิตช์ $S_{2/2}$ เพื่อเลือกว่าจะแสดงที่จุดใดของตำแหน่งเลขทั้ง 4 หลัก ซึ่งจะทำงานสัมพันธ์กับ IC_5

สัญญาณฐานเวลาอีกส่วนหนึ่งจะถูกส่งผ่าน R_{20} เข้าที่ขาเบสของ Q_{11} เพื่อขับสัญญาณฐานเวลาหรือสัญญาณเปิดเกตให้ LED_1 ติดสว่าง เพื่อแสดงสถานะลอจิกของสัญญาณฐานเวลาที่ป้อนเข้ามา

3.11 วงจรสร้างสัญญาณนาฬิกา

ในโครงงานนี้จะใช้ไอซี 555 ในการสร้างสัญญาณนาฬิกา



รูปที่ 3.12 การใช้ไอซี 555 ในการสร้างสัญญาณนาฬิกา

ตัวเก็บประจุ C_1 จะถูกประจุ R_1 และ R_2 จนมีแรงดันเท่ากับ 2/3 V_{CC} ในช่วงเวลา t_1

$$t_1 = (-\log e^{1/3})(R_1 + R_2)C - (-\log e_{2/3})(R_1 + R_2)C_1$$

$$t_1 = 0.694(R_1 + R_2) \qquad (3.4)$$

เมื่อถึงช่วงเวลาของการคายประจุการคายประจุของ C_1 จะผ่าน R_2 เท่านั้น ดังนั้นช่วงเวลาของการคายประจุเท่ากับ $t_2 = 0.694\, R_2C_1$

ซึ่งก็หมายความว่าแรงดันบนตัวเก็บประจุจะเปลี่ยนไปมาระหว่าง 1/3 V_{CC} ถึง 2/3 V_{CC} ช่วงเวลาทั้งหมดคำนวณได้จาก $T = t_1 + t_2$

$$= 0.694\,(R_1 + 2R_2)\,C_1 \qquad (3.5)$$

และค่าความถี่เอาต์พุต (f_0) จะเท่ากับ $f_0 = 1/T$

$$f_0 = 1.44/(R_1 + 2R_2)\,C_1 \qquad (3.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในโครงงานนี้ได้ออกแบบให้ $f_0 = 102\ kHz$ จึงเลือกใช้

$C_1 = 0.001\ \mu F$

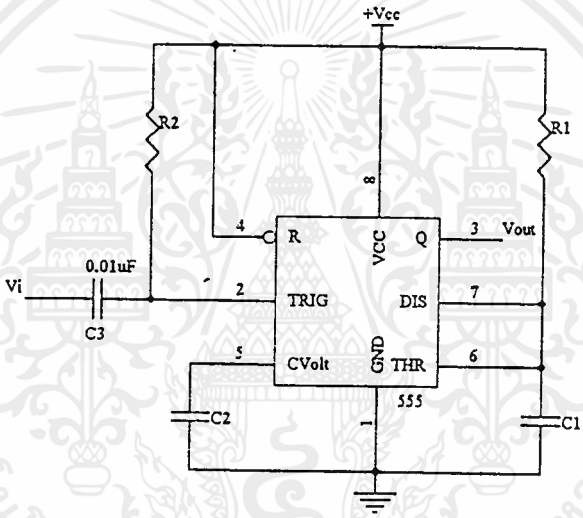
$R_1 = 500\ \Omega$

$R_2 = 6.8\ k\Omega$

เมื่อเราจ่ายไฟให้แก่วงจรครั้งแรกหรือเมื่อให้อินพุตที่รีเซ็ตเป็นระดับสูง C จะเริ่มประจุจาก 0 โวลต์ ดังนั้นช่วงเวลาของพัลซ์ลูกแรกจะเท่ากับ $1.1\ R_1C_1$

3.12 วงจรโมโนสเตเบิล

ในโครงงานนี้จะสร้างวงจรโมโนสเตเบิลโดยใช้ไอซี555



รูปที่ 3.13 การใช้ไอซี 555 เป็นวงจรโมโนสเตเบิลโดยทั่วไป

โดยทั่วไปแรงดันประจุ C (V_C) จะถูกประจุผ่าน R จากแหล่งจ่ายไฟ V_{CC} จนมีแรงดันเท่ากับ 2/3 V_{CC}

เมื่อ $V_C(t) = V_{CC}(1 - e^{-t/R1C1})$ (3.7)

โดยที่ $t = (-\log e^{1/3})\ R_1C_1$

$t = 1.1\ R_1C_1$ (3.8)

ในโครงงานนี้ได้ออกแบบให้ $t = 1.1*10^{-5}$ ดังนั้นจึงเลือกใช้ $R_1 = 1k\Omega$ และ $C_1 = 0.01\ \mu F$

แรงดันที่ถูกประจุนี้จะเป็นตัวกำหนดช่วงเวลาเดี่ยว (monotime) และพัลซ์ที่มากระตุ้นก็จะสั้นกว่าช่วงเวลาเดี่ยว ถ้าพัลซ์ที่มากระตุ้นยิ่งกว้างก็จะส่งผลให้ช่วงเวลาเดี่ยวกว้างขึ้นด้วย แต่สามารถแก้ไขได้โดยการใช้วิธีการส่งผ่านแบบสัญญาณไฟสลับ (โดยมีการเพิ่ม R_2, C_3 และให้ $(R_2.C_3) < (R_1.C_1)$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.13 การออกแบบวงจรกำเนิดสัญญาณไซน์

ในการออกแบบสร้างวงจรกำเนิดสัญญาณไซน์นี้ เราเลือกใช้ไอซี XR-2206 กำเนิดสัญญาณไซน์ในช่วง 20 เฮิรตซ์ ถึง 20 กิโลเฮิรตซ์ โดยความถี่ที่เอาต์พุตสามารถควบคุมจากแรงดันอินพุต และอุปกรณ์ที่ขาไทม์มิ่งเทอร์มินัล (timing terminal) ได้โดยง่าย ช่วงของการกวาดความถี่ก็มีความเป็นเชิงเส้นดี ความถี่ที่ใช้งานนี้ สามารถหาได้จาก

$$f_0 = 320 I_T\,(mA) / C_0\,(\mu F) \qquad Hz \qquad (3.9)$$

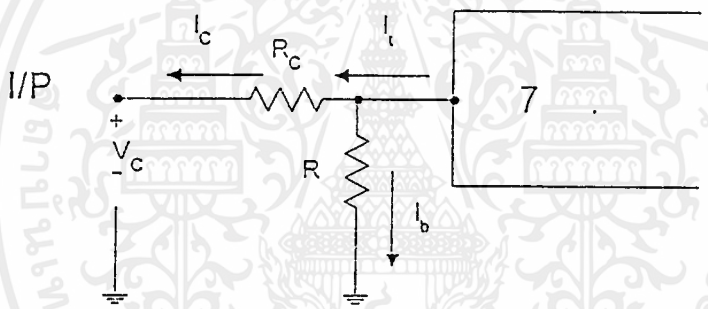
เมื่อ I_T เป็นกระแสที่ผ่านเข้าไปยังไทม์มิ่งเทอร์มินัล

C_0 เป็นตัวเก็บประจุ (timing capacitor)

f_0 เป็นความถี่ที่ได้เนื่องจากค่าแรงดันอินพุตค่าหนึ่ง

3.13.1 การคำนวณ

เนื่องจากที่ขาไทม์มิ่งเทอร์มินัล มีแรงดันไบอัสอยู่ภายใน 3 โวลต์ ตามรูป 3.14 กำหนดให้กระแสสูงสุดของ I_T เท่ากับ 3 มิลลิแอมป์ และสัญญาณอินพุตที่กวาดมีค่าเปลี่ยนแปลงอยู่ในช่วง 0 ถึง 8 โวลต์



รูปที่ 3.14 แสดงการต่อขั้วไทม์มิ่งของ XR-2206 ในโหมดการทำงานของการกำเนิดสัญญาณไซน์

จากวงจรรูปที่ 3.14 จะได้

$$I_T = I_B + I_C$$

$$I_T = (3/R) + [(3-V_C)/R_C] \qquad (3.10)$$

แทนค่าสมการที่ (3.10) ลงในสมการที่ (3.9) จะได้

$$f = (0.32/C_0)\,[\,(3/R) + (3-V_C)/R_C]$$

$$= (1/RC_0) + (1/R_CC_0) - (1/3R_CC_0)$$

$$f = (1/RC_0)\,[\,1 + (R/R_C)\,(1+V_C/3)] \qquad (3.11)$$

โดยการดิฟเฟอเรนชิเอท (differentiate) สมการที่ (3.12) จะได้อัตราการขยาย จากการเปลี่ยนแรงดันเป็นความถี่ (voltage-to-frequency conversion gain : K)

$$K = \partial F/\partial V_C \qquad (3.I2)$$

$$= -0.32/R_CC_0 \qquad Hz/V \qquad (3.13)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ช่วงการกวาดที่ใช้งานในระบบนี้ต้องการให้เอาต์พุต กวาดความถี่ตั้งแต่ 20 เฮิรตซ์ ถึง 20 กิโลเฮิรตซ์ มีช่วงความถี่เท่ากับ 19.98 กิโลเฮิรตซ์

$$K = 19.98\ KHz / 8V \quad = 2.49 \times 10^{3} \quad = 2.5 \times 10^{3}$$

$$= 0.32 / R_C C_0$$

$$\therefore \quad R_C C_0 = 0.32/2.5 \times 10^{3} \quad = 128.13 \times 10^{-6}$$

วงจรกำเนิดสัญญาณไซน์ จ่ายความถี่ใช้งานสูงสุดเท่ากับ 20 กิโลเฮิรตซ์ เมื่ออินพุต $V_C = 0V$ ดังนั้น แทนค่าลงไปในสมการที่ (3.11)

$$20000 = 1/RC_0 [1+(R/R_C)(1-0/3)]$$

$$= (1/RC_0)+ (1/R_C C_0)$$

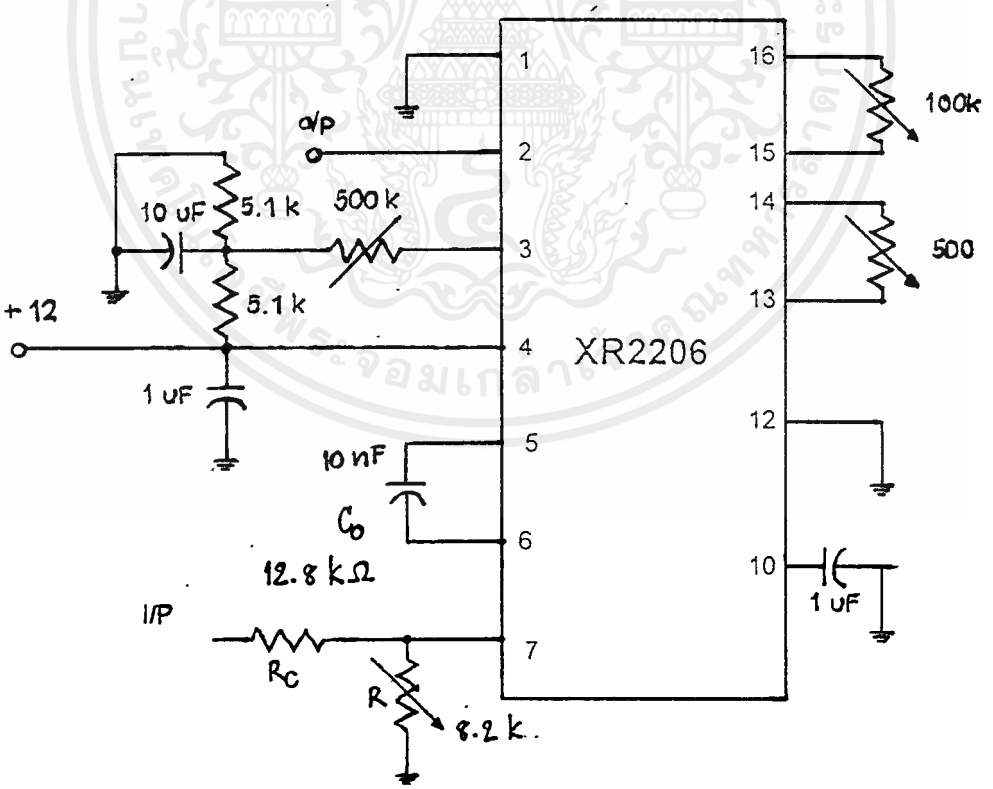
และจากสมการที่ (3.11) และ (3.13) จะได้ค่าตัวแปรที่ต้องการคือ

$R_C = 12.8\ K\Omega$

$R = 8.2\ K\Omega$

$C_0 = 10\ nF$

จะได้วงจรกำเนิดสัญญาไซน์

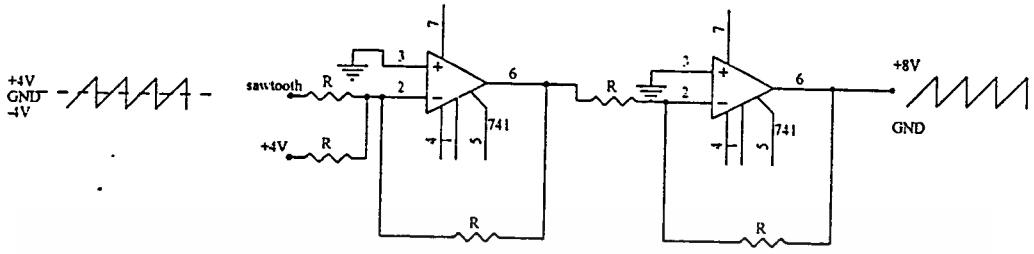


รูปที่ 3.15 แสดงวงจรกำเนิดสัญญาณไซน์ ที่มีความถี่อยู่ในช่วง 20 เฮิรตซ์ ถึง 20 กิโลเฮิรตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

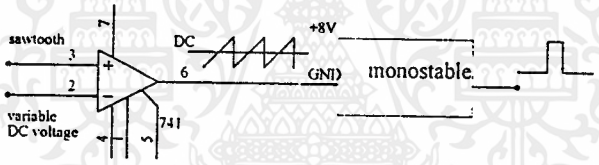
3.14 หลักการสร้างเดอร์เซอร์

3.14.1 นำสัญญาณฟันเลื่อย ไปยกระดับจาก แรงดัน -4 ถึง +4 โวลต์ เป็นแรงดัน 0 ถึง 8โวลต์ เนื่องจากต้องการนำไปเปรียบเทียบกับแรงดันไฟตรงปรับค่าได้ 0 ถึง 8 โวลต์ ดังรูป 3.16



รูปที่ 3.16 แสดงวงจรที่ยกระดับสัญญาณฟันเลื่อย

3.14.2 จากนั้นนำสัญญาณที่ได้เปรียบเทียบกับแรงดันไฟตรงปรับค่าได้ 0 ถึง 8 โวลต์ แล้วนำผลที่ได้ไปผ่านวงจรโมโนสเตเบิล ดังรูป 3.17



รูปที่ 3.17 แสดงการสร้างโมโนสเตเบิล

3.14.3 นำสัญญาณที่มีความถี่สูง(ในที่นี้ใช้สัญญาณนาฬิกา ความถี่ 102 กิโลเฮิรตซ์) ไปผ่านอนาล็อกสวิตช์ซึ่งใช้สัญญาณจากโมโนสเตเบิลเป็นตัวควบคุมการสวิตช์ ซึ่งเอาต์พุตที่ได้ก็คือ เดอร์เซอร์ นั่นเอง จากนั้นนำเดอร์เซอร์ที่ได้ไปรวมกับกรอบสัญญาณของวงจรที่ต้องการทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

การทดลองในโครงงานนี้ ได้ทดลองวงจร 3 ส่วนคือ

1. ส่วนสร้างสัญญาณฟันเลื่อย
2. ส่วนสร้างสัญญาณไซน์ที่มีความถี่ตั้งแต่ 20 เฮิรตซ์ ถึง 20 กิโลเฮิรตซ์
3. ส่วนดีเทคเตอร์
4. ส่วนเคอร์เซอร์และแสดงผลความถี่

4.1 ขั้นตอนการทดลองคือ

4.1.1 ทำการสร้างสัญญาณฟันเลื่อยสำหรับการกวาดสัญญาณ โดยใช้วงจรสร้างสัญญาณไซน์ในบทที่ 3 ซึ่งจะใช้อีพรอมเก็บค่าสมการของสัญญาณฟันเลื่อย 1024 จุด (1 ลูกคลื่น) และใช้การป้อนสัญญาณนาฬิกาที่ความถี่ค่าหนึ่ง (f_1) วนอ่านค่าที่เก็บไว้ในอีพรอมที่เก็บอยู่ในรูปไบนารี ซึ่งจะถูกแปลงเป็นค่าศักดาไฟฟ้าโดยใช้ไอซี DAC 0800 ซึ่งทำหน้าที่แปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อก ทำให้ได้สัญญาณฟันเลื่อยที่มีค่าความถี่ค่าหนึ่ง (f_2)

4.1.2 ทำการสร้างสัญญาณไซน์ที่มีความถี่ตั้งแต่ 20 เฮิรตซ์ถึง 20 กิโลเฮิรตซ์ โดยใช้วงจรสร้างสัญญาณไซน์ในบทที่ 3 ซึ่งใช้อีพรอมเก็บค่าไซน์ 1024 จุดโดยใช้ฟังก์ชันในบทที่ 3 และใช้การป้อนสัญญาณนาฬิกาที่ความถี่ค่าหนึ่ง วนอ่านค่าที่เก็บไว้ในอีพรอมที่เก็บอยู่ในรูปไบนารีซึ่งจะถูกแปลงเป็นค่าศักดาไฟฟ้าโดยใช้ไอซี DAC 0800 ซึ่งทำหน้าที่แปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อก ทำให้ได้สัญญาณไซน์ออกมา แต่มีข้อแม้ว่าความถี่ของสัญญาณนาฬิกาที่ใช้อ่านสัญญาณฟันเลื่อยและสัญญาณไซน์ต้องเท่ากัน เพื่อให้เกิดการซิงค์กันของสัญญาณทั้งสอง

4.1.3 นำทั้งสองส่วนนี้มาต่อรวมกัน ซึ่งจะนำเอาค่าสัญญาณที่ได้ป้อนไปยังวงจรที่ต้องการทดสอบ จากนั้นนำไปผ่านวงจรดีเทคเตอร์เพื่อดีเทคกรอบของสัญญาณออกมา

4.1.4 ทำการสร้างเคอร์เซอร์โดยนำสัญญาณฟันเลื่อยไปเปรียบเทียบกับแรงดันไฟตรงที่ปรับค่าได้แล้วนำไปผ่านโมโนสเตเบิลเพื่อแสดงตำแหน่งของเคอร์เซอร์

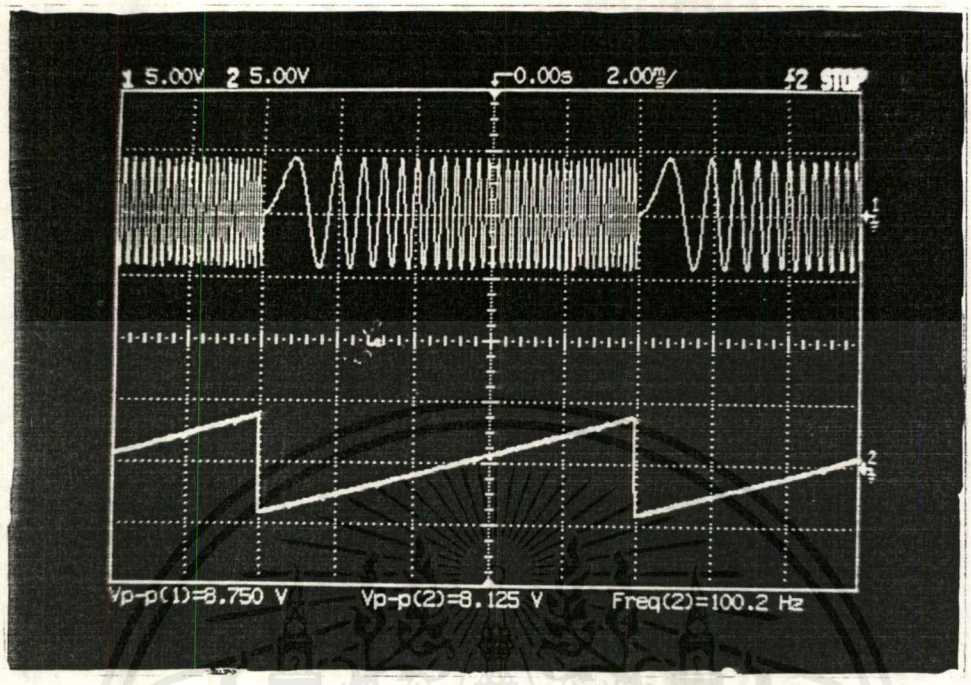
4.1.5 นำแรงดันไฟตรงที่เปรียบเทียบกับสัญญาณฟันเลื่อยไปผ่านไอซี XR-2206 เพื่อสร้างสัญญาณไซน์ที่มีความถี่ ณ ตำแหน่งที่เคอร์เซอร์อยู่ จากนั้นนำสัญญาณไซน์ที่ได้ไปผ่านส่วนวงจรวัดความถี่เพื่อแสดงความถี่ที่เคอร์เซอร์อยู่เป็นตัวเลข

4.1.6 นำเอาเคอร์เซอร์รวมกับกรอบของสัญญาณที่ดีเทคได้ แล้วนำเอาต์พุตที่ได้ไปแสดงผลทางจอออสซิลโลสโคป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

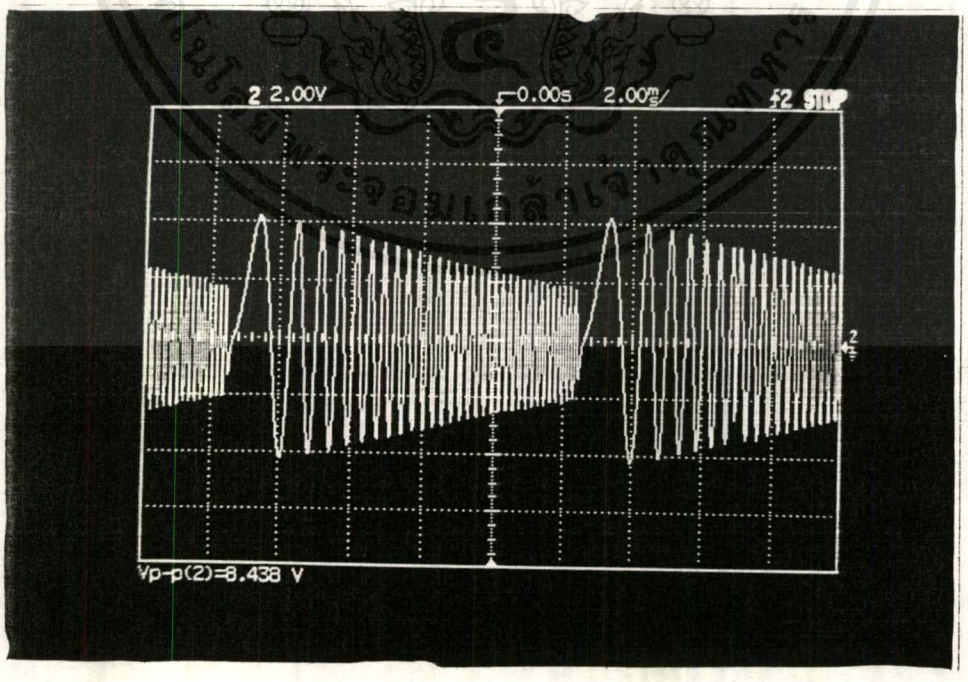
4.2 ผลการทดลอง

4.2.1 นำสัญญาณฟันเลื่อยและสัญญาณไซน์มาต่อรวมกัน



รูปที่ 4.1 แสดงสัญญาณฟันเลื่อยที่มีความถี่ 100 เฮิรตซ์ และสัญญาณไซน์ที่มีความถี่ตั้งแต่ 20 เฮิรตซ์ ถึง 20 กิโลเฮิรตซ์

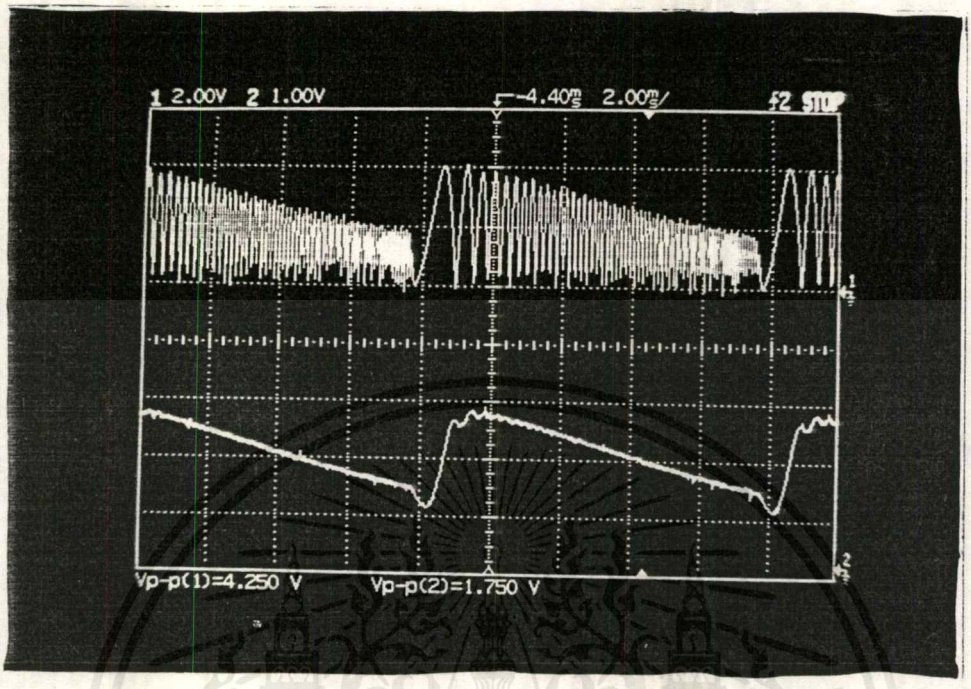
4.2.2 เมื่อนำเอาต์พุตของเครื่องออดิโอสวีฟมาร์กเกอร์เจนเนอเรเตอร์นี้ไปผ่านวงจรกรองความถี่ต่ำผ่าน (เป็นวงจรที่นำมาทดสอบ) จะได้สัญญาณดังรูปที่ 4.2



รูปที่ 4.2 แสดงสัญญาณที่ได้เมื่อนำโครงงานนี้ไปผ่านวงจรกรองความถี่ต่ำผ่าน (LPF)

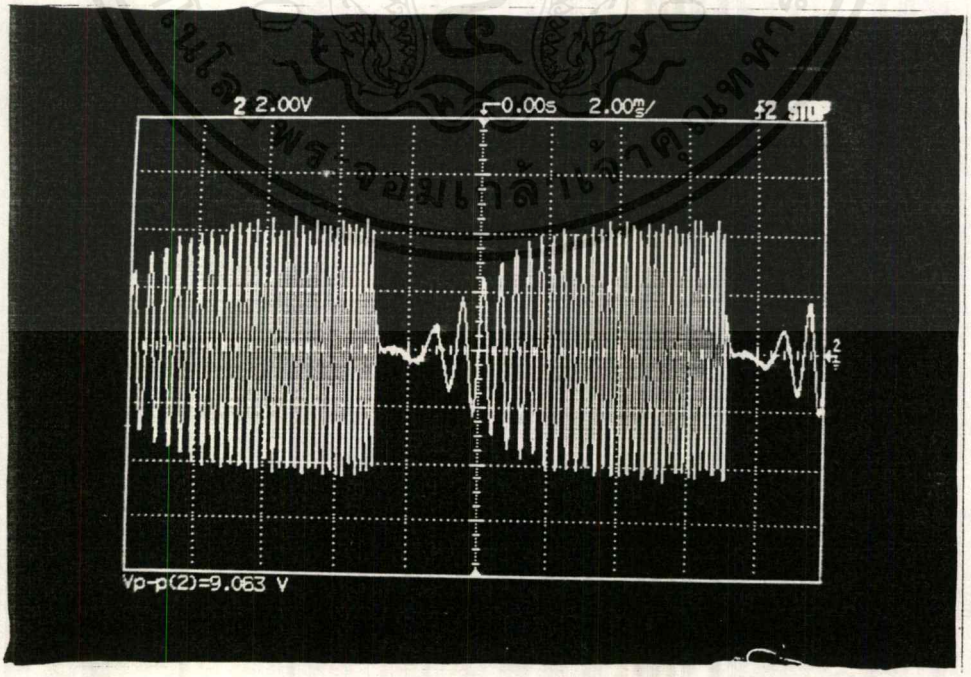
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 เมื่อนำสัญญาณที่ได้จากเอาต์พุตของวงจรกรองความถี่ต่ำผ่านป้อนไปยังวงจรดีเทคเตอร์ จะได้สัญญาณดังรูปที่ 4.3



รูปที่ 4.3 แสดงสัญญาณที่ได้เมื่อนำไปผ่านวงจรกรองความถี่ต่ำผ่าน แล้วนำไปผ่านวงจรดีเทคเตอร์

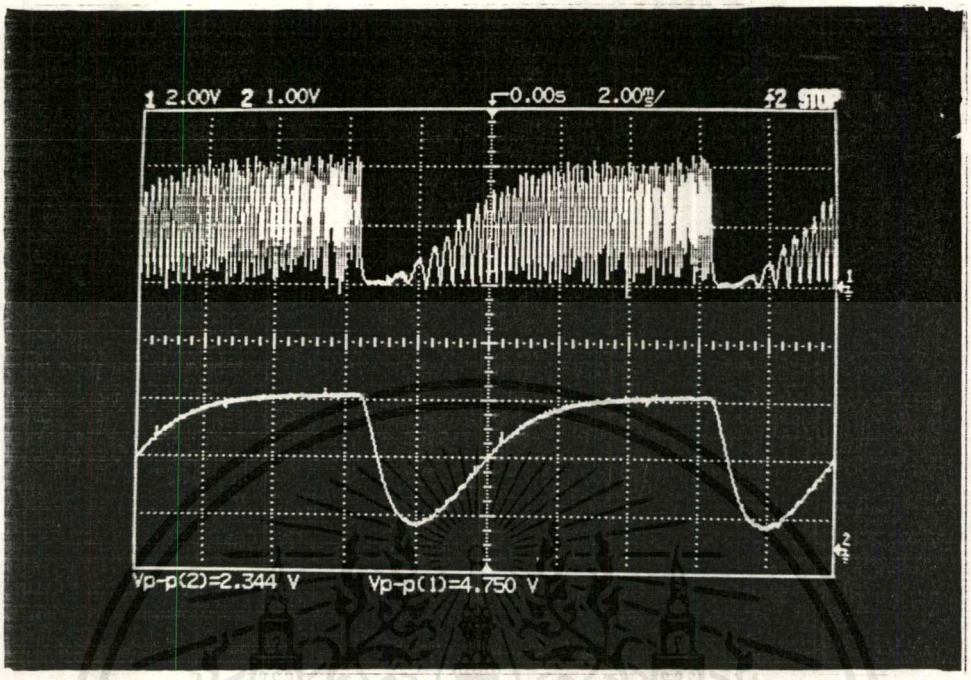
4.2.4 เมื่อนำเอาต์พุตของเครื่องออดิโอสวีฟมาร์กเกอร์เจนเนอเรเตอร์ไปผ่านวงจรกรองความถี่สูงผ่าน จะได้สัญญาณดังรูปที่ 4.4



รูปที่ 4.4 แสดงสัญญาณที่ได้เมื่อนำโครงงานนี้ไปผ่านวงจรกรองความถี่สูงผ่าน (HPF)

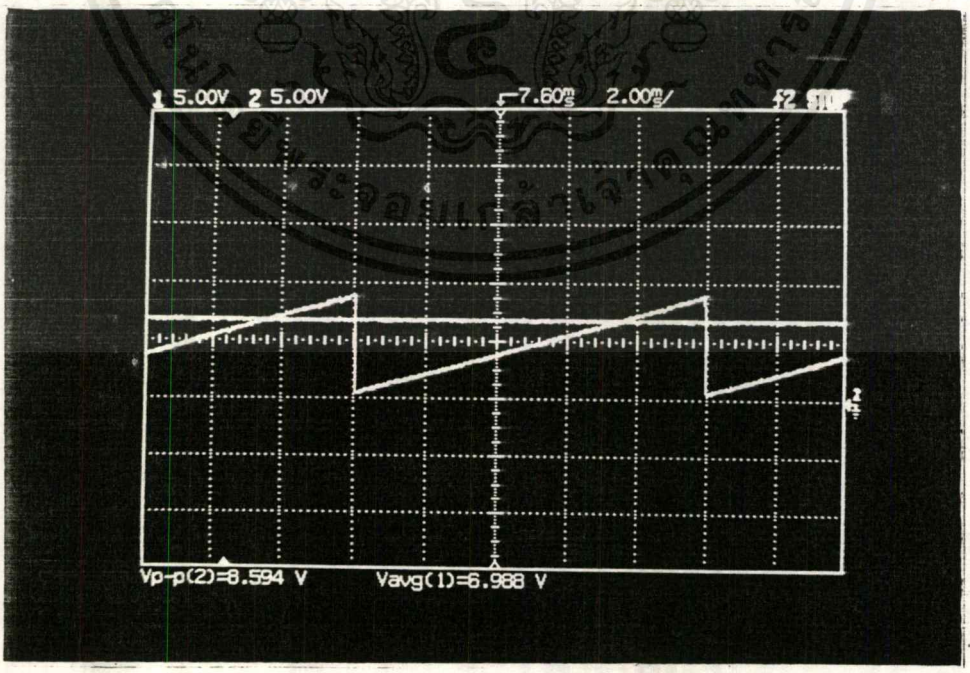
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.5 เมื่อนำสัญญาณที่ได้จากเอาต์พุตของวงจรกรองความถี่สูงผ่านป้อนไปยังวงจรดีเทคเตอร์ จะได้สัญญาณดังรูปที่ 4.5



รูปที่ 4.5 แสดงสัญญาณที่ได้เมื่อนำไปผ่านวงจรกรองความถี่สูงผ่าน แล้วนำไปผ่านวงจรดีเทคเตอร์

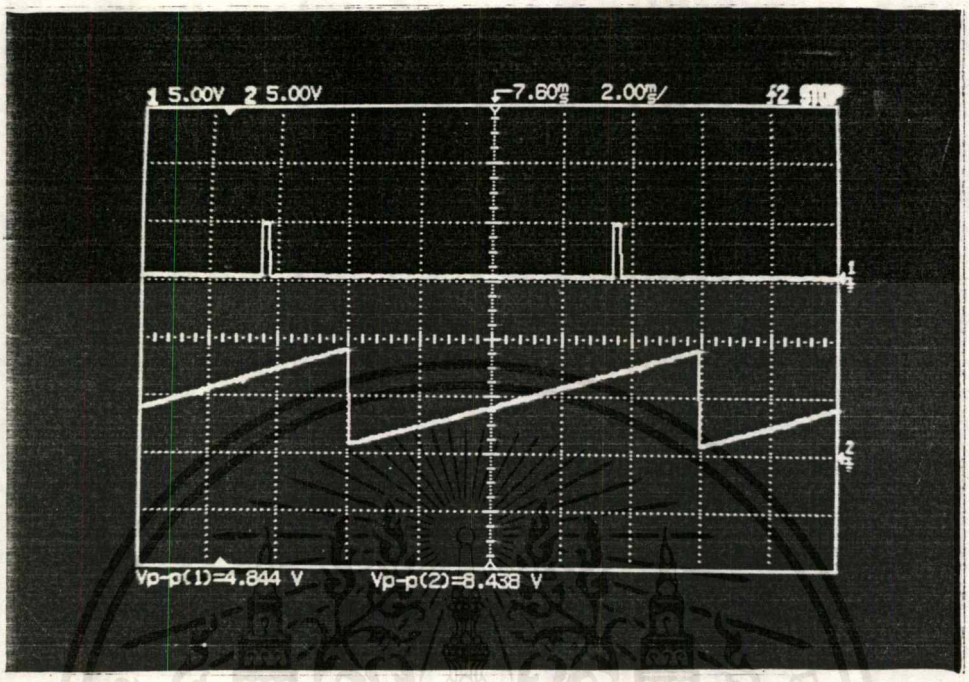
4.2.6 นำสัญญาณไฟตรงที่ปรับค่าได้ไปเปรียบเทียบกับสัญญาณฟันเลื่อยก็จะได้ตำแหน่งของเคอร์เซอร์ดังรูปที่ 4.6



รูปที่ 4.6 แสดงการเปรียบเทียบแรงดันไฟตรงที่ปรับค่าได้กับสัญญาณฟันเลื่อย

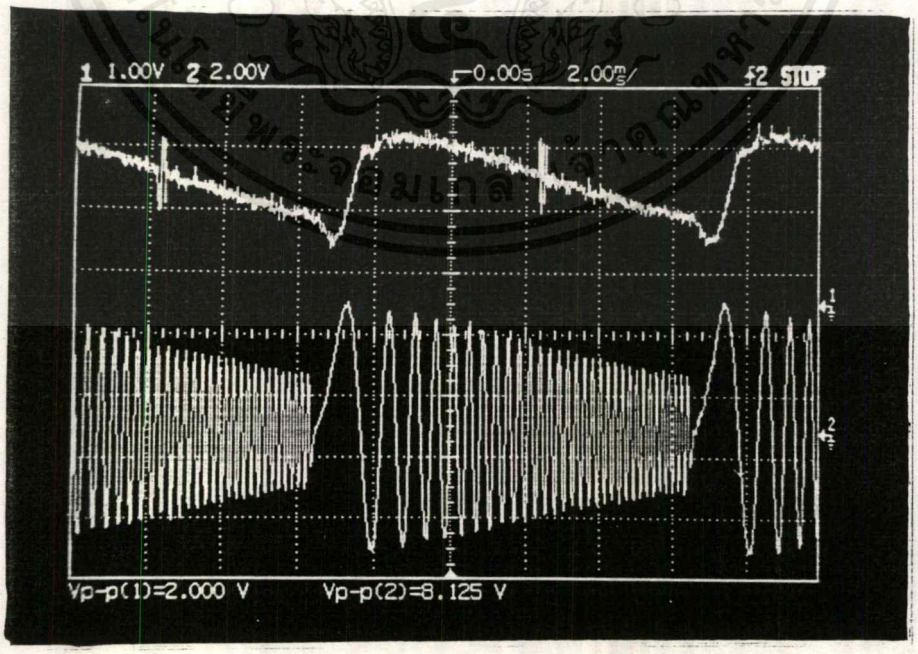
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.7 เมื่อนำเอาต์พุตที่ได้จากการเปรียบเทียบแรงดันไฟตรงที่ปรับค่าได้กับสัญญาณฟันเลื่อยไปผ่านวงจรโมโนสเตเบิลเพื่อแสดงตำแหน่งที่เคอร์เซอร์อยู่ ดังรูป 4.7



รูปที่ 4.7 แสดงเอาต์พุตของวงจรโมโนสเตเบิลซึ่งก็คือตำแหน่งของเคอร์เซอร์

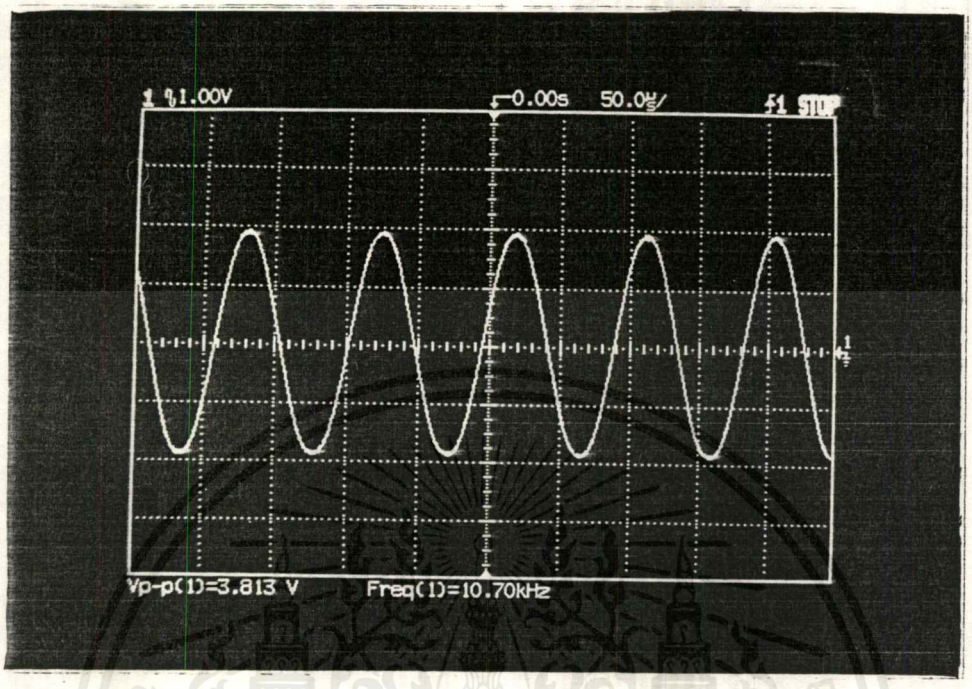
4.2.8 เมื่อนำเคอร์เซอร์รวมกับกรอบของสัญญาณของวงจรกรองความถี่ต่ำผ่านก็จะได้สัญญาณแสดงดังรูปที่ 4.8



รูปที่ 4.8 แสดงสัญญาณเมื่อนำเคอร์เซอร์รวมกับกรอบของสัญญาณของวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.9 เมื่อนำแรงดันไฟตรงที่เปรียบเทียบกับสัญญาณฟันเลื่อยไปผ่านไอซี XR-2206 จะได้สัญญาณไซน์ที่มีความถี่ ณ ตำแหน่งที่เคอร์เซอร์อยู่แสดงดังรูปที่ 4.9



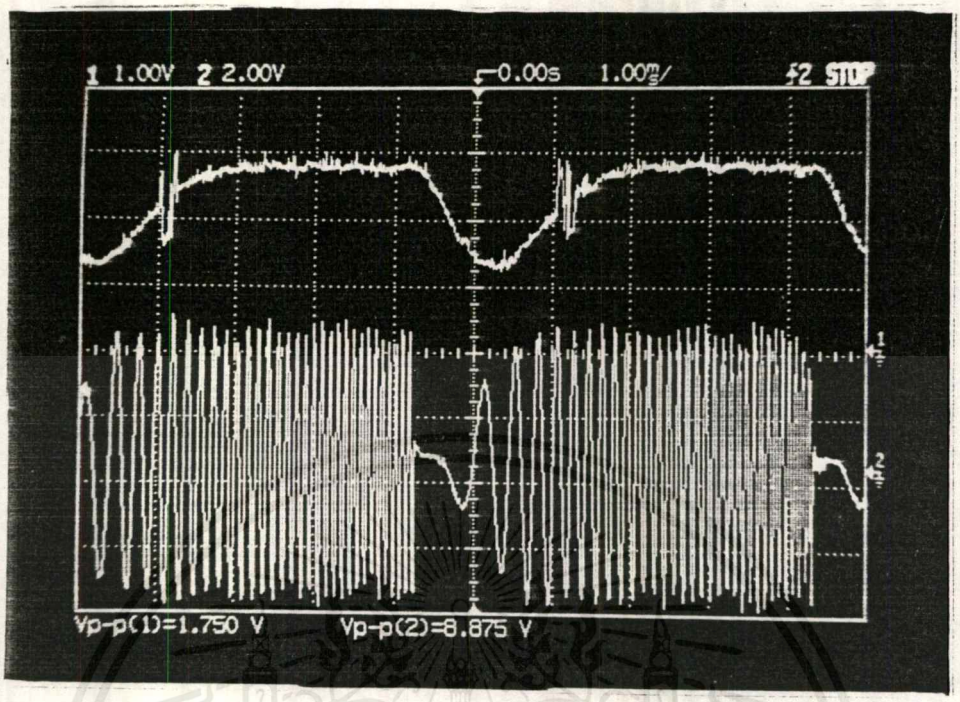
รูปที่ 4.9 แสดงสัญญาณไซน์ที่มีความถี่ ณ ตำแหน่งที่เคอร์เซอร์อยู่

4.2.10 เมื่อนำสัญญาณไซน์ที่ได้จาก XR-2206 (รูปที่ 4.9) ไปผ่านวงจรวัดความถี่แสดงความถี่เป็นตัวเลขแสดงดังรูป 4.10

รูปที่ 4.10 แสดงความถี่ ณ ตำแหน่งของเคอร์เซอร์

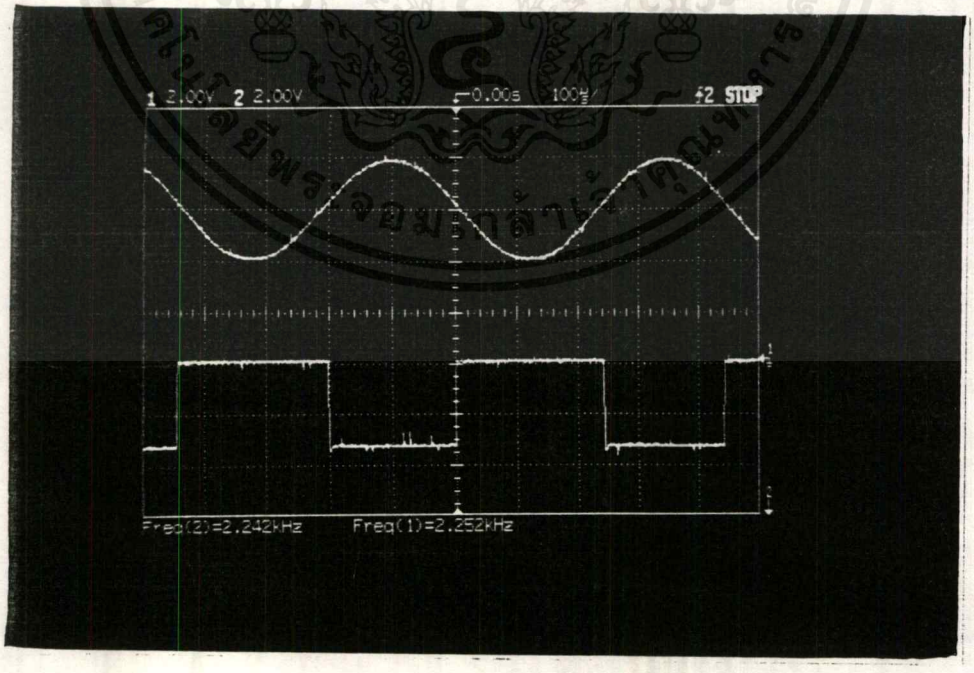
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.11 เมื่อนำเคอร์เซอร์รวมกับกรอบของสัญญาณของวงจรกรองความถี่สูงผ่านก็จะได้สัญญาณแสดงดังรูปที่ 4.11



รูปที่ 4.11 แสดงสัญญาณเมื่อนำเคอร์เซอร์รวมกับกรอบของสัญญาณของวงจรกรองความถี่สูงผ่าน

4.2.12 เมื่อนำแรงดันไฟตรงที่เปรียบเทียบกับสัญญาณฟันเลื่อยไปผ่านไอซี XR-2206 จะได้สัญญาณไซน์ที่มีความถี่ ณ ตำแหน่งที่เคอร์เซอร์อยู่แสดงดังรูปที่ 4.12



รูปที่ 4.12 แสดงสัญญาณไซน์ที่มีความถี่ ณ ตำแหน่งที่เคอร์เซอร์อยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.13 เมื่อนำสัญญาณไซน์ที่ได้จาก XR-2206 (รูปที่ 4.12) ไปผ่านวงจรวัดความถี่แสดงความถี่เป็นตัวเลขแสดงดังรูป 4.13

รูปที่ 4.13 แสดงความถี่ ณ ตำแหน่งของเคอร์เซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

ปริญญานิพนธ์ฉบับนี้ ได้ทำการทดลองไป 4 ส่วนคือ ส่วนกำเนิดสัญญาณฟันเลื่อย , ส่วนกำเนิดสัญญาณไซน์ 20 เฮิรตซ์ถึง 20 กิโลเฮิรตซ์ , ส่วนของวงจรดีเทคเตอร์ , ส่วนเคอร์เซอร์และวัดความถี่

โดยจะใช้อีพรอมในการเก็บค่าฟังก์ชันของสัญญาณฟันเลื่อยและสัญญาณไซน์ 1 ลูกคลื่น (1024 ค่า) ซึ่งเก็บอยู่ในรูปของเลขฐานสอง แล้วใช้สัญญาณนาฬิกาที่มีความถี่เดียวกันวนอ่านค่าที่เก็บไว้ในอีพรอมนั้นออกมา โดยค่าของเลขฐานสองนั้นจะถูกเปลี่ยนค่าศักดาไฟฟ้าโดยใช้ DAC 0800 ซึ่งทำหน้าที่แปลงสัญญาณดิจิตอลให้เป็นสัญญาณอนาล็อก จากนั้นนำสัญญาณที่มีความถี่ 20 เฮิรตซ์ถึง 20 กิโลเฮิรตซ์ ไปทดสอบกับวงจรภายนอก ในโครงงานนี้ใช้วงจรกรองความถี่ต่ำผ่าน และ วงจรกรองความถี่สูงผ่าน ซึ่งจะแสดงผลออกมาในลักษณะเชิงเส้น และไปผ่านส่วนของวงจรดีเทคเตอร์

สำหรับในส่วนของเคอร์เซอร์นั้นสร้างจากการนำแรงดันไฟตรงที่ปรับค่าได้ไปเปรียบเทียบกับสัญญาณฟันเลื่อย แล้วนำสัญญาณจากการเปรียบเทียบนั้นไปผ่านวงจรโมโนสเตเบิลเพื่อแสดงตำแหน่งของเคอร์เซอร์ จากนั้นนำเคอร์เซอร์ที่ได้ไปรวมกับกรอบของสัญญาณจากวงจรทดสอบ แล้วนำไปแสดงผลบนจอออสซิลโลสโคป ส่วนแรงดันไฟตรงที่ปรับค่าได้ที่เปรียบเทียบกับสัญญาณฟันเลื่อยนั้น จะนำไปผ่านไอซี XR-2206 เพื่อสร้างสัญญาณไซน์ที่มีความถี่ ณ ตำแหน่งของเคอร์เซอร์ แสดงผลของความถี่นั้นทางตัวเลขของส่วนวัดความถี่

จากการทดลองปรากฏว่าสัญญาณไซน์ที่ได้จาก XR-2206 ควรจะเป็นความถี่ 20 เฮิรตซ์ ถึง 20 กิโลเฮิรตซ์ แต่ปรากฏว่าสามารถกำเนิดสัญญาณไซน์ได้ในช่วงความถี่ประมาณ 200 เฮิรตซ์ ถึง 20 กิโลเฮิรตซ์ ทำให้ส่วนวัดความถี่ไม่สามารถวัดที่ความถี่ต่ำได้ สำหรับเอาต์พุตซึ่งก็คือกรอบของสัญญาณรวมกับเคอร์เซอร์ที่นำไปแสดงบนจอออสซิลโลสโคปนั้น จะมีสัญญาณรบกวนปนเข้ามาเล็กน้อย บางครั้งจึงทำให้เส้นกรอบของสัญญาณไม่เรียบเท่าที่ควร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

December 1993

NMC27C16B 16,384-Bit (2048 x 8) CMOS EPROM

General Description

The NMC27C16B is a high performance 16K UV erasable and electrically reprogrammable CMOS EPROM, ideally suited for applications where fast turnaround, pattern experimentation and low power consumption are important requirements.

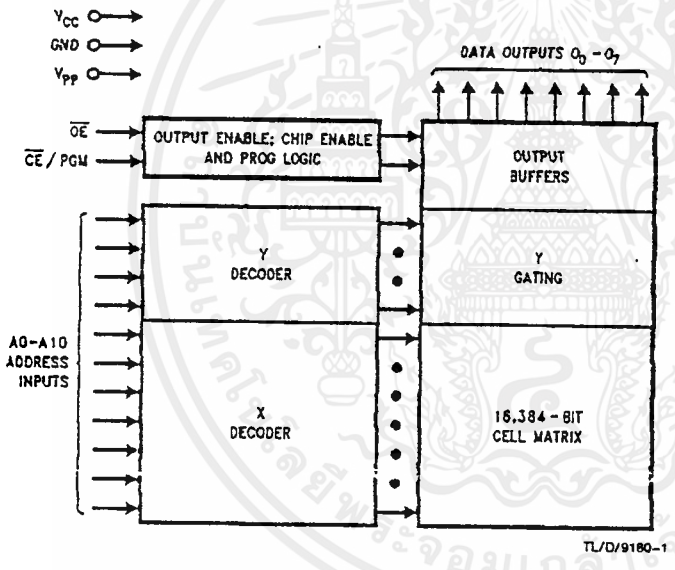
The NMC27C16B is packaged in a 24-pin dual-in-line package with a quartz window. The quartz window allows the user to expose the chip to ultraviolet light to erase the bit pattern. A new pattern can then be written into the device by following the programming procedure.

This EPROM is fabricated with National's proprietary, time proven CMOS double-poly silicon gate technology which combines high performance and high density with low power consumption and excellent reliability.

Features

- Low CMOS power consumption
  Active power: 55 mW max
  Standby power: 0.55 mW max
- Extended temperature range available, −40°C to +85°C
- Fast and reliable programming (100 µs for most bytes)
- TTL compatible inputs/outputs
- TRI-STATE® output
- Manufacturer's identification code for automatic programming equipment
- High current CMOS level output drivers
- Upgrade for NMOS 2716

Block Diagram



TL/D/9180–1

Pin Names

A0–A10	Addresses
$\overline{CE}$	Chip Enable
$\overline{OE}$	Output Enable
O_0–O_7	Outputs
PGM	Program
NC	No Connect

TRI-STATE® is a registered trademark of National Semiconductor Corporation.
NSC800™ is a trademark of National Semiconductor Corporation.

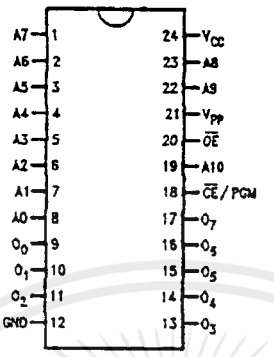
©1996 National Semiconductor Corporation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection Diagram

27C256 27256	27C128 27128	27C64 2764	27C32 2732
V_{PP}	V_{PP}	V_{PP}	
A12	A12	A12	
A7	A7	A7	A7
A6	A6	A6	A6
A5	A5	A5	A5
A4	A4	A4	A4
A3	A3	A3	A3
A2	A2	A2	A2
A1	A1	A1	A1
A0	A0	A0	A0
O_0	O_0	O_0	O_0
O_1	O_1	O_1	O_1
O_2	O_2	O_2	O_2
GND	GND	GND	GND

NMC27C16B
Dual-In-Line Package



TL/D/9180–2

Top View

27C32 2732	27C64 2764	27C128 27128	27C256 27256
	V_{CC} $\overline{PGM}$	V_{CC} $\overline{PGM}$	V_{CC} A14
V_{CC}	NC	A13	A13
A8	A8	A8	A8
A9	A9	A9	A9
A11	A11	A11	A11
$\overline{OE}/V_{PP}$	$\overline{OE}$	$\overline{OE}$	$\overline{OE}$
A10	A10	A10	A10
$\overline{CE}$	$\overline{CE}$	$\overline{CE}$	$\overline{CE}$
O_7	O_7	O_7	O_7
O_6	O_6	O_6	O_6
O_5	O_5	O_5	O_5
O_4	O_4	O_4	O_4
O_3	O_3	O_3	O_3

Note: Socket compatible EPROM pin configurations are shown in the blocks adjacent to the NMC27C16B pins.

Order Number NMC27C16BQ
See NS Package Number J24AQ

Commercial Temp. Range (0°C to 70°C) V_{CC} = 5V ± 10%

Parameter/Order Number	*Access Time (ns)*
NMC27C16BQ150	150
NMC27C16BQ200	200

Extended Temp. Range (−40°C to +85°C) V_{CC} = 5V ± 10%

Parameter/Order Number	Access Time (ns)
NMC27C16BQE150	150
NMC27C16BQE200	200

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Temperature Under Bias	
Commercial Parts	−10°C to +80°C
Extended Temp. Parts	−40°C to +85°C
Storage Temperature	−65°C to +150°C
V_{CC} Supply with Respect to Ground	+7.0V to −0.6V
All Input Voltages except A9 with Respect to Ground (Note 10)	+6.5V to −0.6V
All Output Voltages with Respect to Ground (Note 10)	V_{CC} + 1.0V to GND −0.6V
V_{PP} Supply and A9 Voltage with Respect to Ground	+14.0V to −0.6V
Power Dissipation	1.0W
Lead Temp. (Soldering, 10 sec.)	300°C

Operating Conditions (Note 8)

Temperature Range	
NMC27C16BQ150, 200	0°C to +70°C
NMC27C16BQE150, 200	−40°C to +85°C
V_{CC} Power Supply	+5V ±10%

READ OPERATION

DC Electrical Characteristics

Symbol	Parameter	Conditions	Min	Typ (Note 11)	Max	Units
I_{LI}	Input Load Current	$V_{IN} = V_{CC}$ or GND		0.1	1	μA
I_{LO}	Output Leakage Current	$V_{OUT} = V_{CC}$ or GND, $\overline{CE} = V_{IH}$		0.1	1	μA
I_{CC1} (Note 3)	V_{CC} Current (Active) TTL Inputs	$\overline{CE} = V_{IL}$, f = 5 MHz Inputs = V_{IH} or V_{IL} I/O = 0 mA		5	20	mA
I_{CC2} (Note 3)	V_{CC} Current (Active) CMOS Inputs	$\overline{CE}$ = GND, f = 5 MHz Inputs = V_{CC} or GND, I/O = 0 mA		3	10	mA
I_{CCSB1}	V_{CC} Current (Standby) TTL Inputs	$\overline{CE} = V_{IH}$		0.1	1	mA
I_{CCSB2}	V_{CC} Current (Standby) CMOS Inputs	$\overline{CE} = V_{CC}$		0.5	100	μA
I_{PP}	V_{PP} Load Current	V_{PP} = 5.5V			10	μA
V_{IL}	Input Low Voltage		−0.2		0.8	V
V_{IH}	Input High Voltage		2.0		V_{CC} + 1	V
V_{OL1}	Output Low Voltage	I_{OL} = 2.1 mA			0.45	V
V_{OH1}	Output High Voltage	I_{OH} = −400 mA	2.4			V
V_{OL2}	Output Low Voltage	I_{OL} = 10 μA			0.1	V
V_{OH2}	Output High Voltage	I_{OH} = −10 μA	V_{CC} −0.1			V

AC Electrical Characteristics

Symbol	Parameter	Conditions	NMC27C16BQ				Units
			Q150, QE150		Q200, QE200		
			Min	Max	Min	Max	
t_{ACC}	Address to Output Delay	$\overline{CE} = \overline{OE} = V_{IL}$		150		200	ns
t_{CE}	$\overline{CE}$ to Output Delay	$\overline{OE} = V_{IL}$		150		200	ns
t_{OE}	$\overline{OE}$ to Output Delay	$\overline{CE} = V_{IL}$		60		60	ns
t_{DF}	$\overline{OE}$ High to Output Float	$\overline{CE} = V_{IL}$	0	50	0	60	ns
t_{CF}	$\overline{CE}$ High to Output Float	$\overline{OE} = V_{IL}$	0	50	0	60	ns
t_{OH}	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$, Whichever Occurred First	$\overline{OE} = \overline{OE} = V_{IL}$	0		0		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

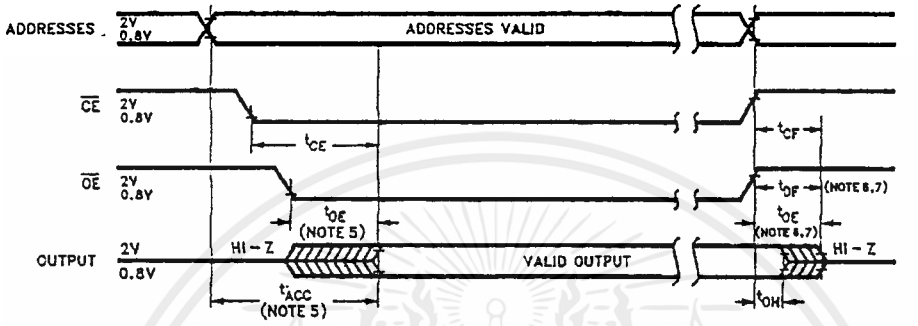
Capacitance T_A = +25°C, f = 1 MHz (Note 4)

Symbol	Parameter	Conditions	Typ	Max	Units
C_{IN}	Input Capacitance	V_{IN} = 0V	6	12	pF
C_{OUT}	Output Capacitance	V_{OUT} = 0V	9	12	pF

AC Test Conditions

Output Load (Note 12)	1 TTL Gate and C_L = 100 pF	Timing Measurement Reference Level	
Input Rise and Fall Times	≤ 5 ns	Inputs	0.8V and 2V
Input Pulse Levels	0.45V to 2.4V	Outputs	0.8V and 2V

AC Waveforms (Notes 2 & 9)



TL/D/9180–3

Note 1: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Note 2: V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.

Note 3: V_{PP} may be connected to V_{CC} except during programming. I_{CC1} ≤ the sum of the I_{CC} active and I_{PP} read currents.

Note 4: This parameter is only sampled and is not 100% tested.

Note 5: $\overline{OE}$ may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge of $\overline{CE}$ without impact on t_{ACC}.

Note 6: The t_{DF} and t_{CF} compare level is determined as follows:
High to TRI-STATE, the measured V_{OH1} (DC) − 0.10V;
Low to TRI-STATE, the measured V_{OL1} (DC) + 0.10V.

Note 7: TRI-STATE may be attained using $\overline{OE}$ or $\overline{CE}$.

Note 8: The power switching characteristics of EPROMs require careful device decoupling. It is recommended that a 0.1 µF ceramic capacitor be used on every device between V_{CC} and GND.

Note 9: The outputs must be restricted to V_{CC} + 1.0V to avoid latch-up and device damage.

Note 10: Inputs and outputs can undershoot to −2.0V for 20 ns maximum.

Note 11: Typical values are for T_A = 25°C and nominal supply voltages.

Note 12: 1 TTL Gate: I_{OL} = 1.6 mA, I_{OH} = 400 µA.
C_L: 100 pF includes fixture capacitance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programming Characteristics (Notes 1, 2, 3 & 4)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
t_{AS}	Address Setup Time		1			μs
t_{OES}	$\overline{OE}$ Setup Time		1			μs
t_{DS}	Data Setup Time		1			μs
t_{VCS}	V_{CC} Setup Time		1			μs
t_{VPS}	V_{PP} Setup Time		1			μs
t_{AH}	Address Hold Time		0			μs
t_{DH}	Data Hold Time		1			μs
t_{DF}	Output Enable to Output Float Delay	$\overline{CE}$/PGM = V_{IL}	0		60	ns
t_{PW}	Program Pulse Width		95	100	105	μs
t_{OE}	Data Valid from $\overline{OE}$	$\overline{CE}$/PGM = V_{IL}			150	ns
I_{PP}	V_{PP} Supply Current During Programming Pulse	$\overline{CE}$ = V_{IH} $\overline{OE}$ = V_{IH}			30	mA
I_{CC}	V_{CC} Supply Current				10	mA
T_A	Temperature Ambient		20	25	30	°C
V_{CC}	Power Supply Voltage		6.0	6.25	6.5	V
V_{PP}	Programming Supply Voltage		12.5	12.75	13.0	V
t_{FR}	Input Rise, Fall Time		5			ns
V_{IL}	Input Low Voltage			0.0	0.45	V
V_{IH}	Input High Voltage		3.0	4.0		V
t_{IN}	Input Timing Reference Voltage		0.8		2.0	V
t_{OUT}	Output Timing Reference Voltage		0.8		2.0	V

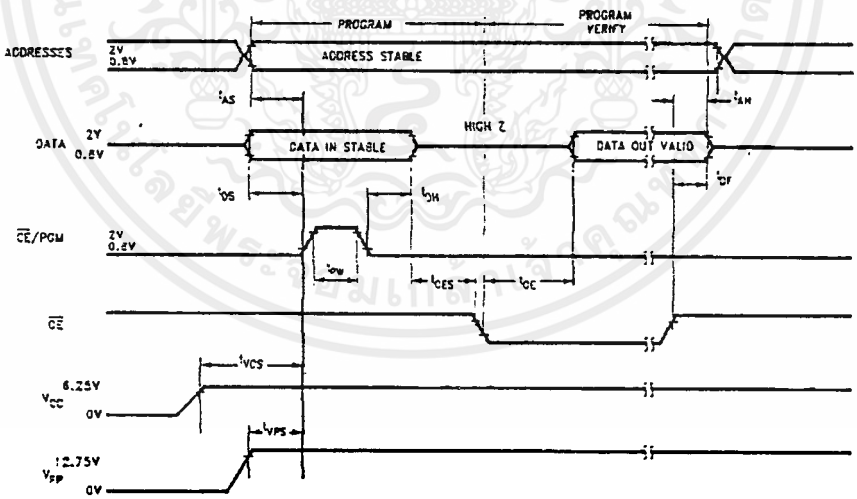
Note 1: National's standard product warranty applies only to devices programmed to specifications described herein.

Note 2: V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}. The EPROM must not be inserted into or removed from a board with voltage applied to V_{PP} or V_{CC}.

Note 3: The maximum absolute allowable voltage which may be applied to the V_{PP} pin during programming is 14V. Care must be taken when switching the V_{PP} supply to prevent any overshoot from exceeding this 14V maximum specification. At least a 0.1 μF capacitor is required across V_{PP}, V_{CC} to GND to suppress spurious voltage transients which may damage the device.

Note 4: Programming and program verify are tested with the fast Program Algorithm, at typical power supply voltages and timings. The Min and Max Limit Parameters are Design parameters, not Tested or guaranteed.

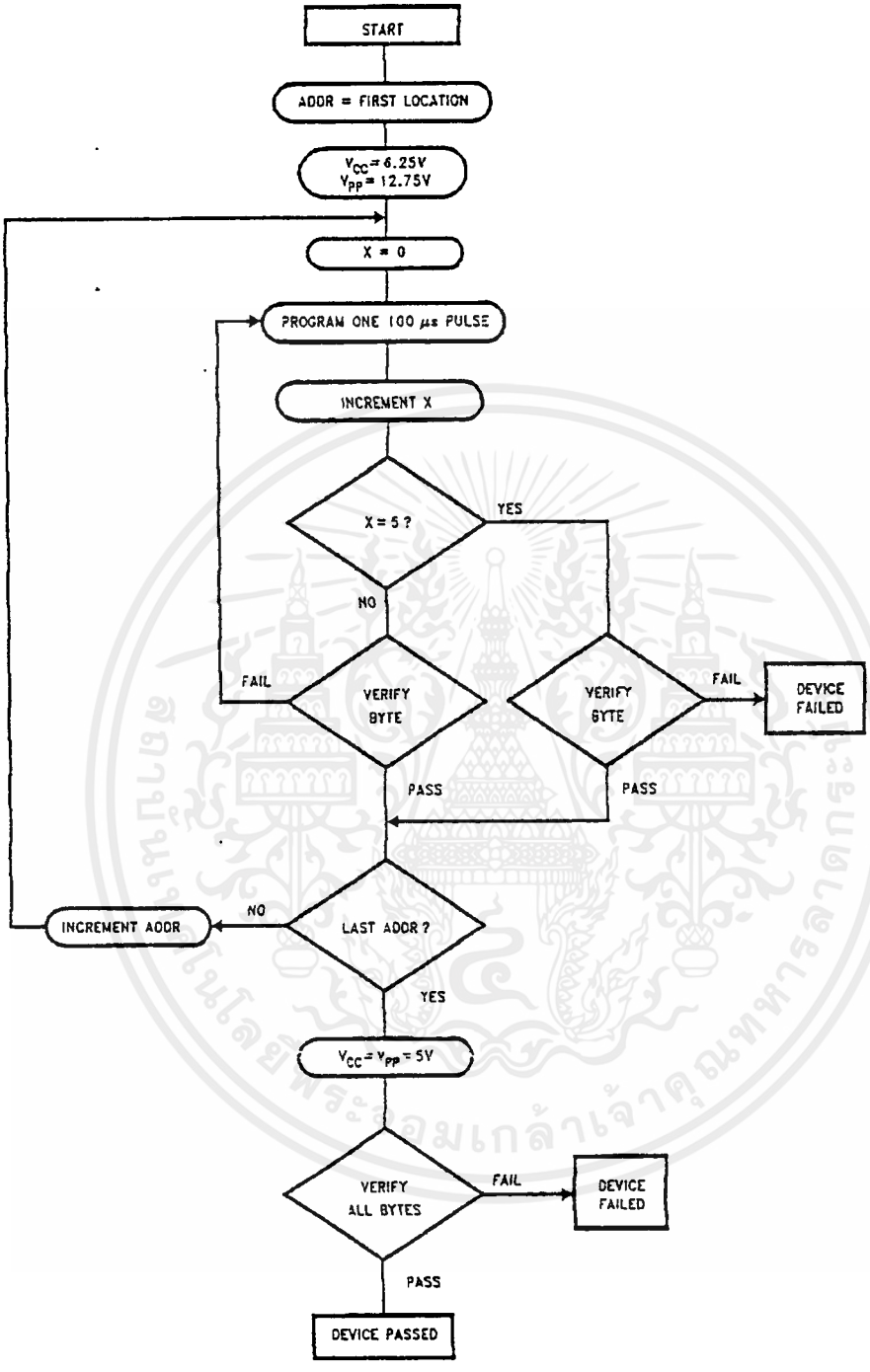
Programming Waveforms



TL/D/9180–4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Fast Programming Algorithm Flow Chart



TL/D/9180–5

FIGURE 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

DEVICE OPERATION

The six modes of operation of the NMC27C16B are listed in Table I. It should be noted that all inputs for the six modes are at TTL levels. The power supplies required are V_{CC} and V_{PP}. The V_{PP} power supply must be at 12.75V during the three programming modes, and must be at V_{CC} in the other modes. The V_{CC} power supply must be at 6.25V during the three programming modes, and at 5V in the other modes.

Read Mode

The NMC27C16B has two control functions, both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{CE}$) is the power control and should be used for device selection. Output Enable ($\overline{OE}$) is the output control and should be used to gate data to the output pins, independent of device selection. Assuming that addresses are stable, address access time (t_{ACC}) is equal to the delay from $\overline{CE}$ to output (t_{CE}). Data is available at the outputs t_{OE} after the falling edge of $\overline{OE}$, assuming that $\overline{CE}$ has been low and addresses have been stable for at least $t_{ACC} - t_{OE}$.

The sense amps are clocked for fast access time. V_{CC} should therefore be maintained at operating voltage during read and verify. If V_{CC} temporarily drops below the spec. voltage (but not to ground) an address transition must be performed after the drop to insure proper output data.

Standby Mode

The NMC27C16B has a standby mode which reduces the active power dissipation by 99%, from 55 mW to 0.55 mW. The NMC27C16B is placed in the standby mode by applying a CMOS high signal to the $\overline{CE}$ input. When in standby mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input.

Output OR-Tying

Because NMC27C16Bs are usually used in larger memory arrays, National has provided a 2-line control function that accommodates this use of multiple memory connections. The 2-line control function allows for:

a) the lowest possible memory power dissipation, and

b) complete assurance that output bus contention will not occur.

To most efficiently use these two control lines, it is recommended that $\overline{CE}$ (pin 18) be decoded and used as the primary device selecting function, while $\overline{OE}$ (pin 20) be made a common connection to all devices in the array and connected to the READ line from the system control bus. This assures that all deselected memory devices are in their low power standby modes and that the output pins are active only when data is desired from a particular memory device.

Programming

CAUTION: Exceeding 14V on pin 21 (V_{PP}) will damage the NMC27C16B.

Initially, and after each erasure, all bits of the NMC27C16B are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be presented in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The NMC27C16B is in the programming mode when the V_{PP} power supply is at 12.75V and $\overline{OE}$ is at V_{IH}. It is required that at least a 0.1 μF capacitor be placed across V_{PP}, V_{CC} to ground to suppress spurious voltage transients which may damage the device. The data to be programmed is applied 8 bits in parallel to the data output pins.

When the address and data are stable, an active high, TTL program pulse is applied to the $\overline{CE}$/PGM input. A program pulse must be applied at each address location to be programmed. The NMC27C16B is programmed with the Fast Programming Algorithm shown in Figure 1. Each Address is programmed with a series of 100 μs pulses until it verifies good, up to a maximum of 25 pulses. Most memory cells will program with a single 100 μs pulse.

The NMC27C16B must not be programmed with a DC signal applied to the $\overline{CE}$/PGM input.

Programming multiple NMC27C16Bs in parallel with the same data can be easily accomplished due to the simplicity of the programming requirements. Like inputs of the paralleled NMC27C16Bs may be connected together when they are programmed with the same data. A high level TTL pulse applied to the $\overline{CE}$/PGM input programs the paralleled NMC27C16Bs.

TABLE I. Mode Selection

Mode \ Pins	$\overline{CE}$/PGM (18)	$\overline{OE}$ (20)	V_{PP} (21)	V_{CC} (24)	Outputs (9-11), (13-17)
Read	V_{IL}	V_{IL}	V_{CC}	5	D_{OUT}
Standby	V_{IH}	Don't Care	V_{CC}	5	Hi-Z
Output Disable	Don't Care	V_{IH}	V_{CC}	5	Hi-Z
Program	V_{IH}	V_{IH}	12.75V	6.25	D_{IN}
Program Verify	V_{IL}	V_{IL}	12.75V	6.25	D_{OUT}
Program Inhibit	V_{IL}	V_{IH}	12.75V	6.25	Hi-Z

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description (Continued)

Program Inhibit

Programming multiple NMC27C16Bs in parallel with different data is also easily accomplished. Except for $\overline{CE}$/PGM all like inputs (including $\overline{OE}$) of the parallel NMC27C16Bs may be common. A TTL high level program pulse applied to an NMC27C16B's $\overline{CE}$/PGM input with V_{PP} at 12.75V will program that NMC27C16B. A TTL low level $\overline{CE}$/PGM input inhibits the other NMC27C16Bs from being programmed.

Program Verify

A verify should be performed on the programmed bits to determine whether they were correctly programmed. The verify may be performed with V_{PP} at 12.75V. Except during programming and program verify, V_{PP} must be at V_{CC}.

MANUFACTURER'S IDENTIFICATION CODE

The NMC27C16B has a manufacturer's identification code to aid in programming. The code, shown in Table III, is two bytes wide and is stored in a ROM configuration on the chip. It identifies the manufacturer and the device type. The code for the NMC27C16B is, "8F80", where "8F" designates that it is made by National Semiconductor, and "80" designates a 16k part.

The code is accessed by applying 12.0V ±0.5V to address pin A9. Addresses A1–A8, A10, $\overline{CE}$, and $\overline{OE}$ are held at V_{IL}. Address A0 is held at V_{IL} for the manufacturer's code, and at V_{IH} for the device code. The code is read out on the 8 data pins. Proper code access is only guaranteed at 25°C ±5°C.

The primary purpose of the manufacturer's identification code is automatic programming control. When the device is inserted in an EPROM programmer socket, the programmer reads the code and then automatically calls up the specific programming algorithm for the part. This automatic programming control is only possible with programmers which have the capability of reading the code.

ERASURE CHARACTERISTICS

The erasure characteristics of the NMC27C16B are such that erasure begins to occur when exposed to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000Å–4000Å range. After programming, opaque labels should be placed over the NMC27C16B window to prevent unintentional erasure. Covering the window will also prevent temporary functional failure due to the generation of photo currents.

The recommended erasure procedure for the NMC27C16B is exposure to short wave ultraviolet light which has a wavelength of 2537Å. The integrated dose (i.e., UV intensity × exposure time) for erasure should be a mimimum of 15 W-sec/cm^2.

The NMC27C16B should be placed within 1 inch of the lamp tubes during erasure. Some lamps have a filter on their tubes which should be removed before erasure. Table II shows the minimum NMC27C16B erasure time for various light intensities.

An erasure system should be calibrated periodically. The distance from lamp to unit should be maintained at one inch. The erasure time increases as the square of the distance. (If distance is doubled the erasure time increases by a factor of 4.) Lamps lose intensity as they age. When a lamp is changed, the distance has changed, or the lamp has aged, the system should be checked to make certain full erasure is occurring. Incomplete erasure will cause symptoms that can be misleading. Programmers, components, and even system designs have been erroneously suspected when incomplete erasure was the problem.

SYSTEM CONSIDERATION

The power switching characteristics of EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by voltage transitions on input pins. The magnitude of these transient current peaks is dependent on the output capacitance loading the device. The associated V_{CC} transient voltage peaks can be suppressed by properly selected decoupling capacitors. It is recommended that at least a 0.1 μF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance. In addition, at least a 4.7 μF bulk electrolytic capacitor should be used between V_{CC} and GND for each eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage drop caused by the inductive effects of the PC board traces.

TABLE II. Minimum NMC27C16B Erasure Time

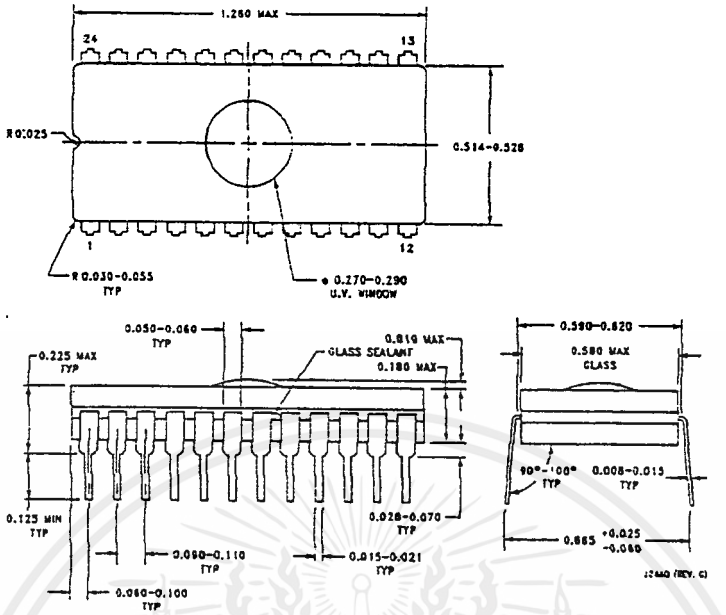
Light Intensity (Micro-Watts/cm^2)	Erasure Time (Minutes)
15,000	20
10,000	25
5,000	50

TABLE III. Manufacturer's Identification Code

Pins	A_0 (8)	O_7 (17)	O_6 (16)	O_5 (15)	O_4 (14)	O_3 (13)	O_2 (11)	O_1 (10)	O_0 (9)	Hex Data
Manufacturer Code	V_{IL}	1	0	0	0	1	1	1	1	8F
Device Code	V_{IH}	1	0	0	0	0	0	0	0	80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) unless otherwise noted



UV Window Cavity Dual-In-Line Package (Q)
Order Number NMC27C16BQ
NS Package Number J24AQ

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
Americas
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018
Email: support@nsc.com
http://www.national.com

National Semiconductor Europe
Fax: +49 (0) 180-530 85 86
Email: europe.support@nsc.com
Deutsch Tel: +49 (0) 180-530 85 85
English Tel: +49 (0) 180-532 78 32
Français Tel: +49 (0) 180-532 93 58
Italiano Tel: +49 (0) 180-534 16 80

National Semiconductor Southeast Asia
Fax: (852) 2376 3901
Email: sea.support@nsc.com

National Semiconductor Japan Ltd.
Tel: 81-3-5620-7561
Fax: 81-3-5620-6179

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

January 1995

DAC0800/DAC0801/DAC0802 8-Bit Digital-to-Analog Converters

General Description

The DAC0800 series are monolithic 8-bit high-speed current-output digital-to-analog converters (DAC) featuring typical settling times of 100 ns. When used as a multiplying DAC, monotonic performance over a 40 to 1 reference current range is possible. The DAC0800 series also features high compliance complementary current outputs to allow differential output voltages of 20 Vp-p with simple resistor loads as shown in *Figure 1*. The reference-to-full-scale current matching of better than ±1 LSB eliminates the need for full-scale trims in most applications while the nonlinearities of better than ±0.1% over temperature minimizes system error accumulations.

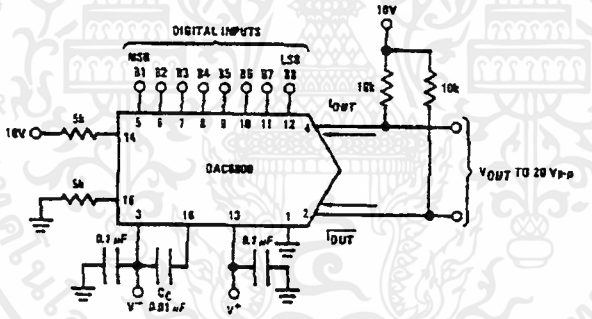
The noise immune inputs of the DAC0800 series will accept TTL levels with the logic threshold pin, V_{LC}, grounded. Changing the V_{LC} potential will allow direct interface to other logic families. The performance and characteristics of the device are essentially unchanged over the full ±4.5V to ±18V power supply range; power dissipation is only 33 mW with ±5V supplies and is independent of the logic input states.

The DAC0800, DAC0802, DAC0800C, DAC0801C and DAC0802C are a direct replacement for the DAC-08, DAC-08A, DAC-08C, DAC-08E and DAC-08H, respectively.

Features

- Fast settling output current — 100 ns
- Full scale error — ±1 LSB
- Nonlinearity over temperature — ±0.1%
- Full scale current drift — ±10 ppm/°C
- *High output compliance* — −10V to +18V
- Complementary current outputs
- Interface directly with TTL, CMOS, PMOS and others
- 2 quadrant wide range multiplying capability
- Wide power supply range — ±4.5V to ±18V
- Low power consumption — 33 mW at ±5V
- Low cost

Typical Applications



TL/H/5686–1

FIGURE 1. ±20 V_{p-p} Output Digital-to-Analog Converter (Note 4)

Ordering Information

Non-Linearity	Temperature Range	Order Numbers				
		J Package (J16A)*		N Package (N16A)*		SO Package (M16A)
±0.1% FS	0°C ≤ T_A ≤ +70°C	DAC0802LCJ	DAC-08HQ	DAC0802LCN	DAC-08HP	DAC0802LCM
±0.19% FS	−55°C ≤ T_A ≤ +125°C	DAC0800LJ	DAC-08Q			
±0.19% FS	0°C ≤ T_A ≤ +70°C	DAC0800LCJ	DAC-08EQ	DAC0800LCN	DAC-08EP	DAC0800LCM
±0.39% FS	0°C ≤ T_A ≤ +70°C			DAC0801LCN	DAC-08CP	DAC0801LCM

*Devices may be ordered by using either order number.

©1995 National Semiconductor Corporation TL/H/5686

RRD-B30M115/Printed in U. S. A.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage ($V^+ - V^-$)	±18V or 36V
Power Dissipation (Note 2)	500 mW
Reference Input Differential Voltage (V14 to V15)	V^- to V^+
Reference Input Common-Mode Range (V14, V15)	V^- to V^+
Reference Input Current	5 mA
Logic Inputs	V^- to V^- plus 36V
Analog Current Outputs ($V_S^- = -15V$)	4.25 mA
ESD Susceptibility (Note 3)	TBD V
Storage Temperature	−65°C to +150°C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 seconds)	215°C
Infrared (15 seconds)	220°C

Operating Conditions (Note 1)

	Min	Max	Units
Temperature (T_A)			
DAC0800L	−55	+125	°C
DAC0800LC	0	+70	°C
DAC0801LC	0	+70	°C
DAC0802LC	0	+70	°C

Electrical Characteristics

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \le T_A \le T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	8	8	8	Bits
	Nonlinearity				±0.1			±0.19			±0.39	%FS
t_s	Settling Time	To ±½ LSB, All Bits Switched "ON" or "OFF", $T_A = 25°C$		100	135					100	150	ns
		DAC0800L					100	135				ns
		DAC0800LC					100	150				ns
tPLH, tPHL	Propagation Delay	$T_A = 25°C$										
	Each Bit			35	60		35	60		35	60	ns
	All Bits Switched			35	60		35	60		35	60	ns
TCI_{FS}	Full Scale Tempco			±10	±50		±10	±50		±10	±80	ppm/°C
V_{OC}	*Output Voltage Compliance*	*Full Scale Current Change* <½ LSB, $R_{OUT} > 20$ MΩ Typ	−10		18	−10		18	−10		18	V
I_{FS4}	Full Scale Current	$V_{REF} = 10.000V$, R14 = 5.000 kΩ R15 = 5.000 kΩ, $T_A = 25°C$	1.984	1.992	2.000	1.94	1.99	2.04	1.94	1.99	2.04	mA
I_{FSS}	Full Scale Symmetry	$I_{FS4} - I_{FS2}$		±0.5	±4.0		±1	±8.0		±2	±16	μA
I_{ZS}	Zero Scale Current			0.1	1.0		0.2	2.0		0.2	4.0	μA
I_{FSR}	Output Current Range	$V^- = -5V$	0	2.0	2.1	0	2.0	2.1	0	2.0	2.1	mA
		$V^- = -6V$ to $-18V$	0	2.0	4.2	0	2.0	4.2	0	2.0	4.2	mA
	Logic Input Levels											
V_{IL}	Logic "0"	$V_{LC} = 0V$			0.8			0.8			0.8	V
V_{IH}	Logic "1"		2.0			2.0			2.0			V
	Logic Input Current	$V_{LC} = 0V$										
I_{IL}	Logic "0"	$-10V \le V_{IN} \le +0.8V$		−2.0	−10		−2.0	−10		−2.0	−10	μA
I_{IH}	Logic "1"	$2V \le V_{IN} \le +18V$		0.002	10		0.002	10		0.002	10	μA
V_{IS}	Logic Input Swing	$V^- = -15V$	−10		18	−10		18	−10		18	V
V_{THR}	Logic Threshold Range	$V_S = \pm 15V$	−10		13.5	−10		13.5	−10		13.5	V
I_{15}	Reference Bias Current			−1.0	−3.0		−1.0	−3.0		−1.0	−3.0	μA
dI/dt	Reference Input Slew Rate	*(Figure 12)*	4.0	8.0		4.0	8.0		4.0	8.0		mA/μs
$PSSI_{FS+}$	Power Supply Sensitivity	$4.5V \le V+ \le 18V$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
$PSSI_{FS-}$		$-4.5V \le V^- \le 18V$ $I_{REF} = 1mA$		0.0001	0.01		0.0001	0.01		0.0001	0.01	%/%
	Power Supply Current	$V_S = \pm 5V$, $I_{REF} = 1$ mA										
$I+$				2.3	3.8		2.3	3.8		2.3	3.8	mA
$I-$				−4.3	−5.8		−4.3	−5.8		−4.3	−5.8	mA
		$V_S = 5V, -15V$, $I_{REF} = 2$ mA										
$I+$				2.4	3.8		2.4	3.8		2.4	3.8	mA
$I-$				−6.4	−7.8		−6.4	−7.8		−6.4	−7.8	mA
		$V_S = \pm 15V$, $I_{REF} = 2$ mA										
$I+$				2.5	3.8		2.5	3.8		2.5	3.8	mA
$I-$				−6.5	−7.8		−6.5	−7.8		−6.5	−7.8	mA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

The following specifications apply for $V_S = \pm 15V$, $I_{REF} = 2$ mA and $T_{MIN} \leq T_A \leq T_{MAX}$ unless otherwise specified. Output characteristics refer to both I_{OUT} and $\overline{I_{OUT}}$.

Symbol	Parameter	Conditions	DAC0802LC			DAC0800L/ DAC0800LC			DAC0801LC			Units
			Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
P_D	Power Dissipation	$\pm 5V$, $I_{REF} = 1$ mA		33	48		33	48		33	48	mW
		5V, −15V, $I_{REF} = 2$ mA		108	136		108	136		108	136	mW
		$\pm 15V$, $I_{REF} = 2$ mA		135	174		135	174		135	174	mW

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

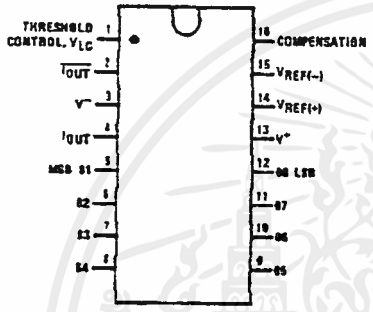
Note 2: The maximum junction temperature of the DAC0800, DAC0801 and DAC0802 is 125°C. For operating at elevated temperatures, devices in the Dual-In-Line J package must be derated based on a thermal resistance of 100°C/W, junction-to-ambient, 175°C/W for the molded Dual-In-Line N package and 100°C/W for the Small Outline M package.

Note 3: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 4: Pin-out numbers for the DAC080X represent the Dual-In-Line package. The Small Outline package pin-out differs from the Dual-In-Line package.

Connection Diagrams

Dual-In-Line Package

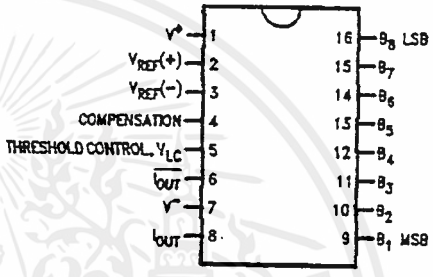


Top View

TL/H/5686–13

See Ordering Information

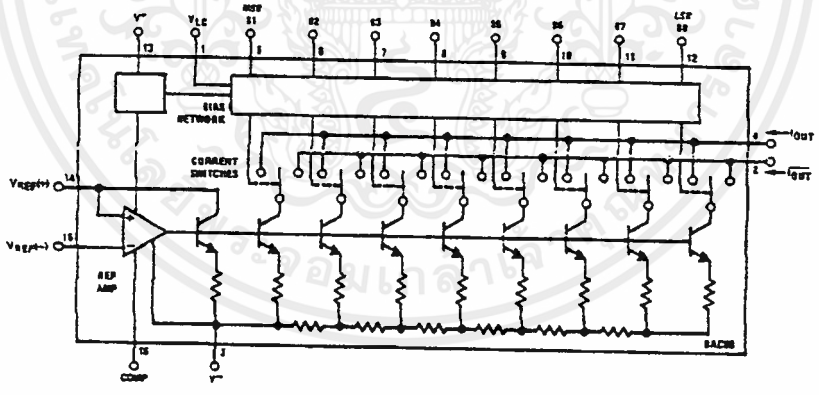
Small Outline Package



Top View

TL/H/5686–14

Block Diagram (Note 4)

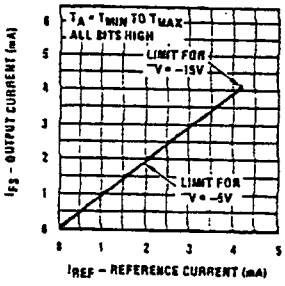


TL/H/5686–2

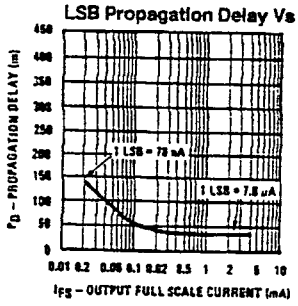
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

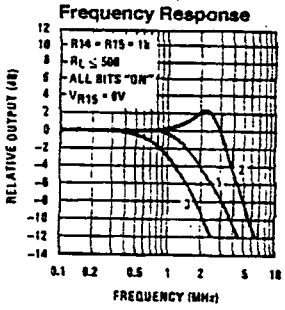
Full Scale Current vs Reference Current



LSB Propagation Delay Vs I_{FS}



Reference Input Frequency Response

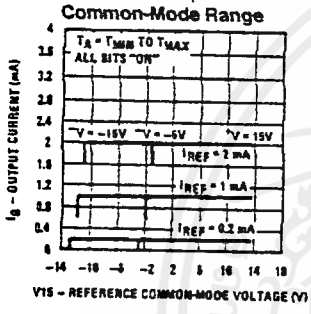


Curve 1: C_C = 15 pF, V_{IN} = 2 Vp-p centered at 1V.

Curve 2: C_C = 15 pF, V_{IN} = 50 mVp-p centered at 200 mV.

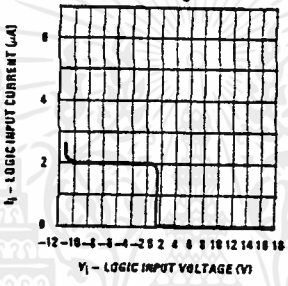
Curve 3: C_C = 0 pF, V_{IN} = 100 mVp-p at 0V and applied through 50 Ω connected to pin 14.2V applied to R14.

Reference Amp Common-Mode Range

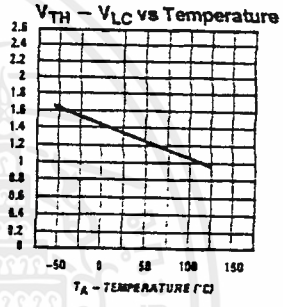


Note. Positive common-mode range is always (V+) − 1.5V

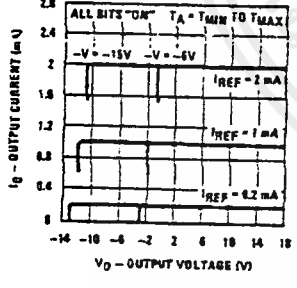
Logic Input Current vs Input Voltage



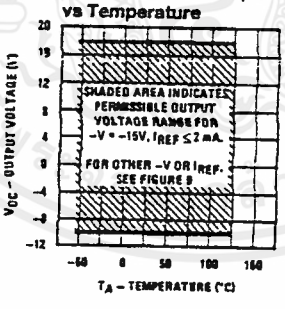
$V_{TH} - V_{LC}$ vs Temperature



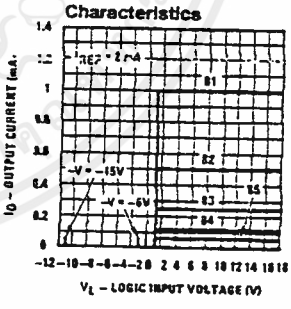
Output Current vs Output Voltage (Output Voltage Compliance)



Output Voltage Compliance vs Temperature



Bit Transfer Characteristics



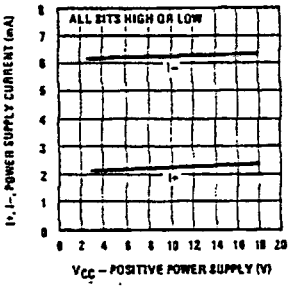
TL/H/5686–3

Note. B1–B8 have identical transfer characteristics. Bits are fully switched with less than ½ LSB error, at less than ± 100 mV from actual threshold. These switching points are guaranteed to lie between 0.8 and 2V over the operating temperature range (V_{LC} = 0V).

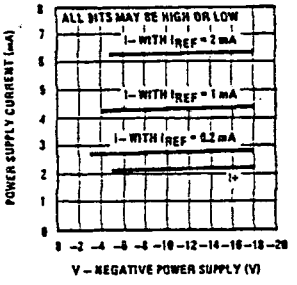
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics (Continued)

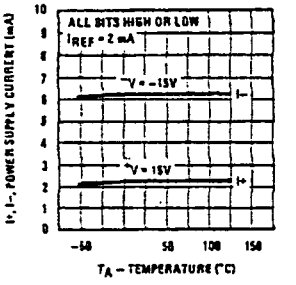
Power Supply Current vs $+V$



Power Supply Current vs $-V$

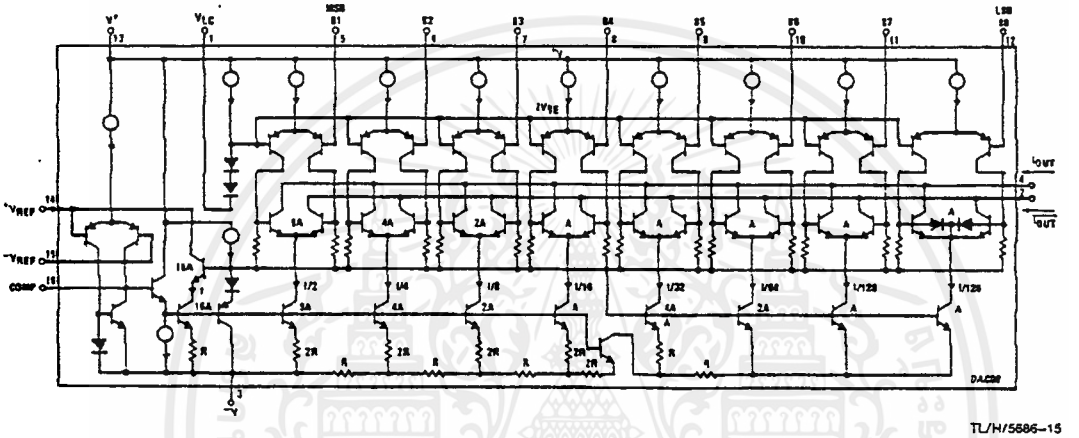


Power Supply Current vs Temperature



TL/H/5686–4

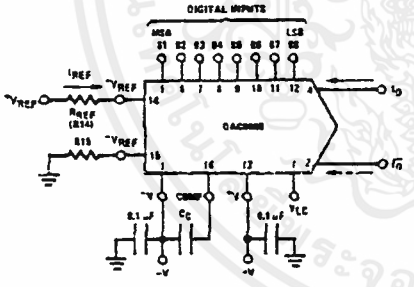
Equivalent Circuit



TL/H/5686–15

FIGURE 2

Typical Applications (Continued)



$$I_{FS} \simeq \frac{+V_{REF}}{R_{REF}} \times \frac{255}{256}$$

$I_O + \overline{I_O} = I_{FS}$ for all logic states

For fixed reference, TTL operation, typical values are:

$V_{REF} = 10.000V$

$R_{REF} = 5.000k$

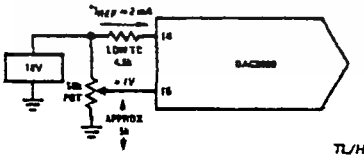
$R15 \simeq R_{REF}$

$C_C = 0.01\ \mu F$

$V_{LC} = 0V$ (Ground)

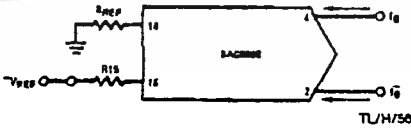
TL/H/5686–5

FIGURE 3. Basic Positive Reference Operation (Note 4)



TL/H/5686–21

FIGURE 4. Recommended Full Scale Adjustment Circuit (Note 4)



TL/H/5686–16

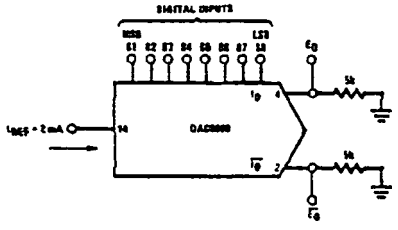
$$I_{FS} \simeq \frac{-V_{REF}}{R_{REF}} \times \frac{255}{256}$$

Note. R_{REF} sets I_{FS}; $R15$ is for bias current cancellation

FIGURE 5. Basic Negative Reference Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)



TL/H/5686–17

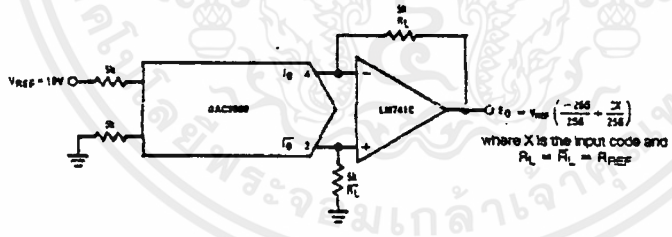
	B1	B2	B3	B4	B5	B6	B7	B8	I_O mA	$\overline{I_O}$ mA	E_O	$\overline{E_O}$
Full Scale	1	1	1	1	1	1	1	1	1.992	0.000	−9.960	0.000
Full Scale−LSB	1	1	1	1	1	1	1	0	1.984	0.008	−9.920	−0.040
Half Scale+LSB	1	0	0	0	0	0	0	1	1.008	0.984	−5.040	−4.920
Half Scale	*1*	*0*	*0*	*0*	*0*	*0*	*0*	*0*	1.000	0.992	−5.000	−4.960
Half Scale−LSB	0	1	1	1	1	1	1	1	0.992	1.000	−4.960	−5.000
Zero Scale+LSB	0	0	0	0	0	0	0	1	0.008	1.984	−0.040	−9.920
Zero Scale	0	0	0	0	0	0	0	0	0.000	1.992	0.000	−9.960

FIGURE 6. Basic Unipolar Negative Operation (Note 4)

TL/H/5686–6

	B1	B2	B3	B4	B5	B6	B7	B8	E_O	$\overline{E_O}$
Pos. Full Scale	1	1	1	1	1	1	1	1	−9.920	+10.000
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	−9.840	+9.920
Zero Scale+LSB	1	0	0	0	0	0	0	1	−0.080	+0.160
Zero Scale	1	0	0	0	0	0	0	0	0.000	+0.080
Zero Scale−LSB	0	1	1	1	1	1	1	1	+0.080	0.000
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	+9.920	−9.840
Neg. Full Scale	0	0	0	0	0	0	0	0	+10.000	−9.920

FIGURE 7. Basic Bipolar Output Operation (Note 4)



TL/H/5686–16

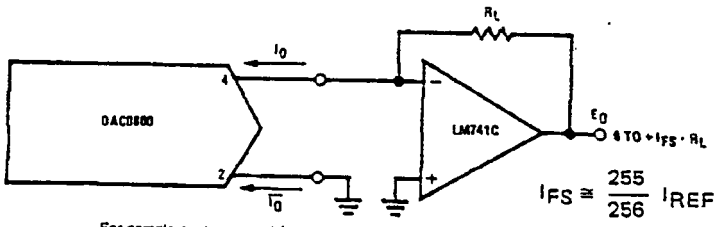
If $R_L = \overline{R_L}$ within ±0.05%, output is symmetrical about ground

	B1	B2	B3	B4	B5	B6	B7	B8	E_O
Pos. Full Scale	1	1	1	1	1	1	1	1	+9.960
Pos. Full Scale−LSB	1	1	1	1	1	1	1	0	+9.880
(+)Zero Scale	1	0	0	0	0	0	0	0	+0.040
(−)Zero Scale	0	1	1	1	1	1	1	1	−0.040
Neg. Full Scale+LSB	0	0	0	0	0	0	0	1	−9.880
Neg. Full Scale	*0*	*0*	*0*	*0*	*0*	*0*	*0*	*0*	−9.960

FIGURE 8. Symmetrical Offset Binary Operation (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

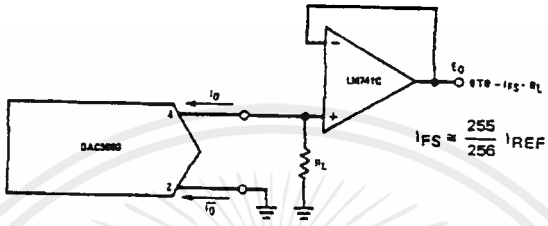
Typical Applications (Continued)



TL/H/5686–19

For complementary output (operation as negative logic DAC), connect inverting input of op amp to $\overline{I_O}$ (pin 2), connect I_O (pin 4) to ground.

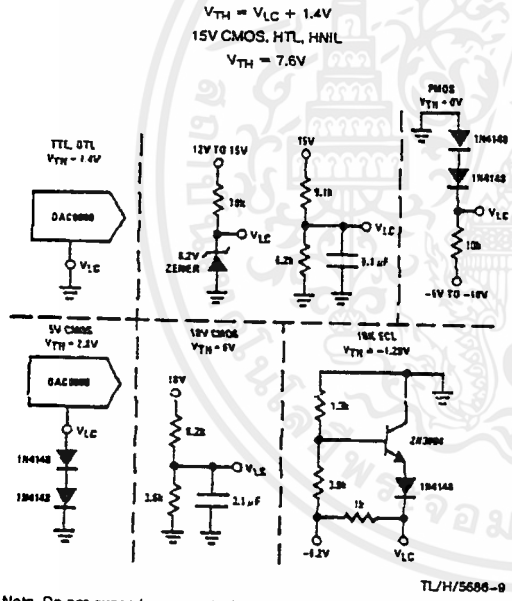
FIGURE 9. Positive Low Impedance Output Operation (Note 4)



TL/H/5686–20

For complementary output (operation as a negative logic DAC) connect non-inverting input of op amp to $\overline{I_O}$ (pin 2); connect I_O (pin 4) to ground.

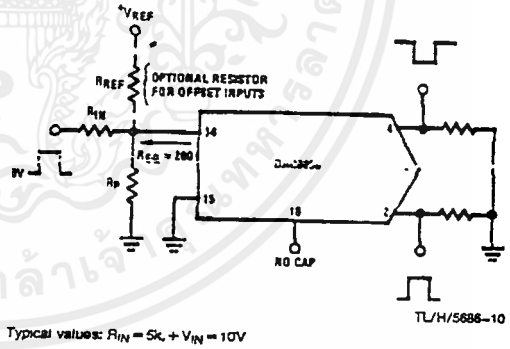
FIGURE 10. Negative Low Impedance Output Operation (Note 4)



TL/H/5686–9

Note. Do not exceed negative logic input range of DAC.

FIGURE 11. Interfacing with Various Logic Families



TL/H/5686–10

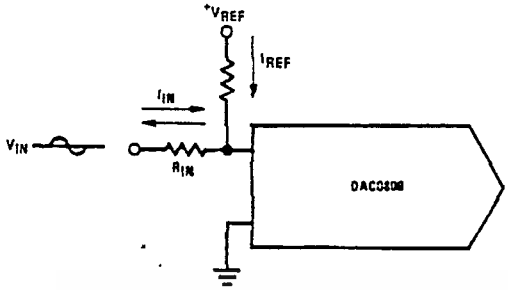
Typical values: $R_{IN} = 5k$, $+V_{IN} = 10V$

FIGURE 12. Pulsed Reference Operation (Note 4)

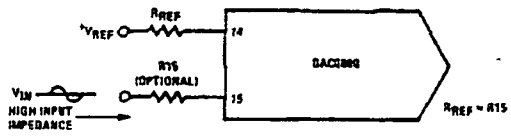
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

(a) $I_{REF} \geq$ peak negative swing of I_{IN}



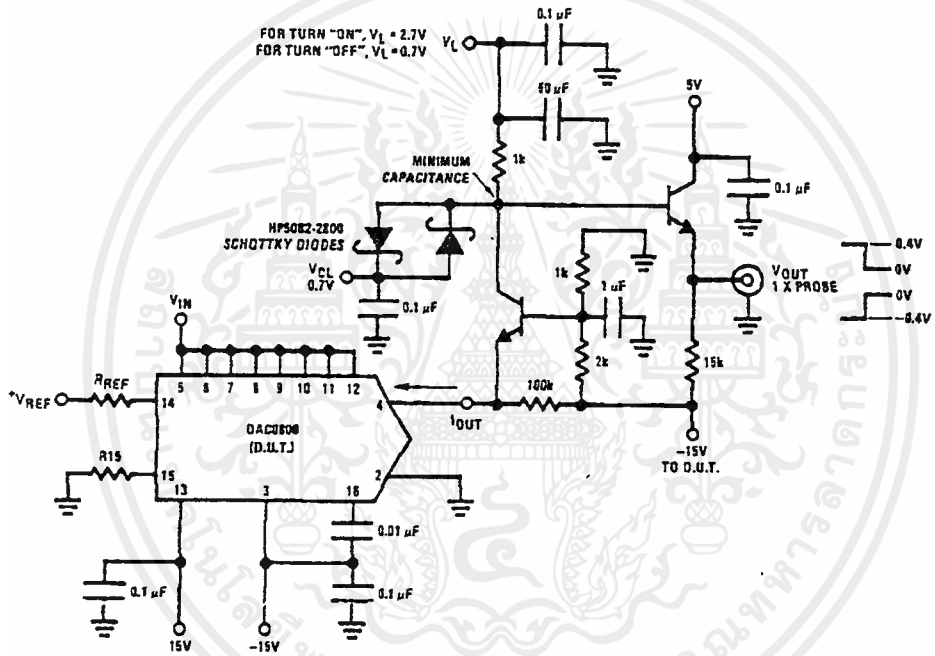
(b) + V_{REF} must be above peak positive swing of V_{IN}



TL/H/5686–12

TL/H/5686–11

FIGURE 13. Accommodating Bipolar References (Note 4)

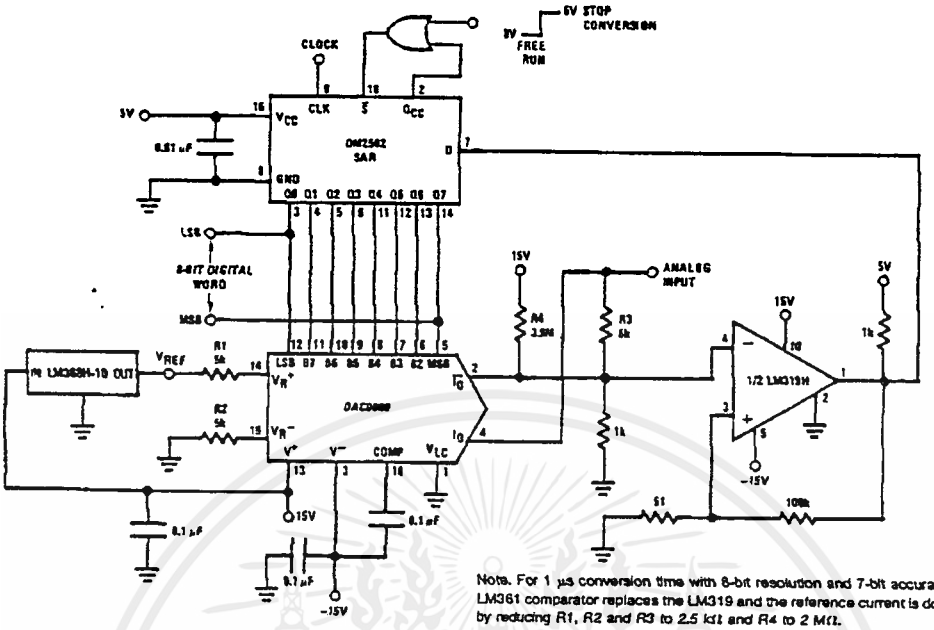


TL/H/5686–7

FIGURE 14. Settling Time Measurement (Note 4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

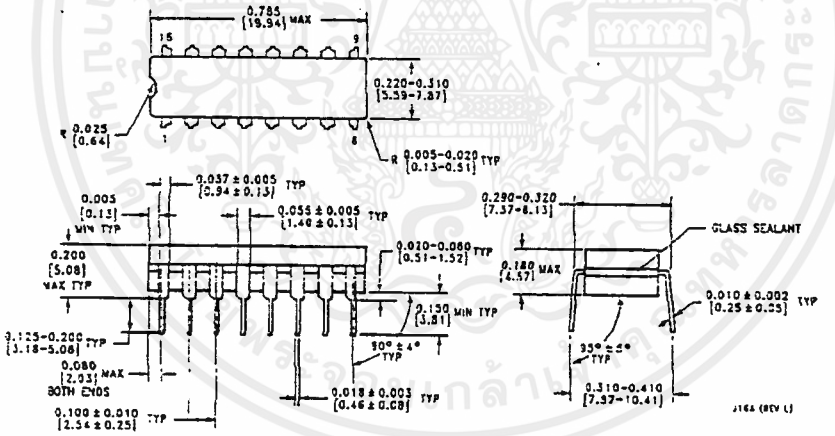


Note. For 1 µs conversion time with 8-bit resolution and 7-bit accuracy, an LM361 comparator replaces the LM319 and the reference current is doubled by reducing *R1*, *R2* and *R3* to *2.5 kΩ* and *R4* to *2 MΩ*.

TL/H/5686–8

FIGURE 15. A Complete 2 µs Conversion Time, 8-Bit A/D Converter (Note 4)

Physical Dimensions inches (millimeters)

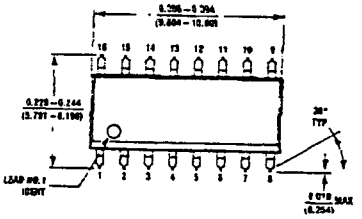


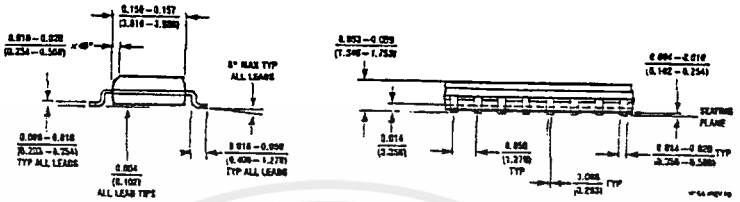
Molded Dual-In-Line Package
Order Numbers DAC0800 or DAC0802
NS Package Number J16A

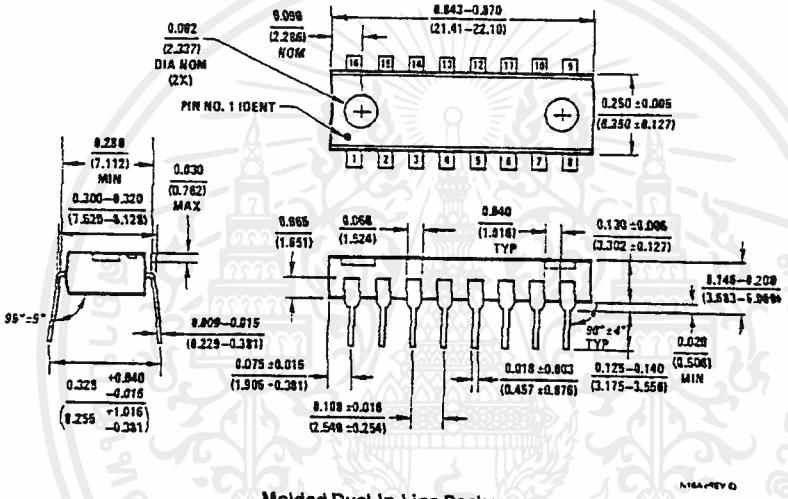
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Physical Dimensions inches (millimeters) (Continued)

Molded Small Outline Package (SO)
***Order Numbers* DAC0800LCM,**
DAC0801LCM or DAC0802LCM
NS Package Number M16A







Molded Dual-In-Line Package
Order Numbers DAC0800, DAC0801, DAC0802
NS Package Number N16A

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation
1111 West Bardin Road
Arlington, TX 76017
Tel: 1(800) 272-9959
Fax: 1(800) 737-7018

National Semiconductor Europe
Fax: (+49) 0-180-530 85 86
Email: cnjwge@tevm2.nsc.com
Deutsch Tel: (+49) 0-180-530 85 85
English Tel: (+49) 0-180-532 78 32
Français Tel: (+49) 0-180-532 93 58
Italiano Tel: (+49) 0-180-534 16 80

National Semiconductor Hong Kong Ltd.
13th Floor, Straight Block,
Ocean Centre, 5 Canton Rd.
Tsimshatsui, Kowloon
Hong Kong
Tel: (852) 2737-1600
Fax: (852) 2736-9960

National Semiconductor Japan Ltd.
Tel: 81-043-299-2309
Fax: 81-043-299-2408

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Monolithic Function Generator

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01 Hz to more than 1 MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20 ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range, with an external control voltage, having a very small affect on distortion.

FEATURES

Low-Sine Wave Distortion	.5%, Typical
Excellent Temperature Stability	20 ppm/°C, Typical
Wide Sweep Range	2000:1, Typical
Low-Supply Sensitivity	0.01%V, Typical
Linear Amplitude Modulation	
TTL Compatible FSK Controls	
Wide Supply Range	10V to 26V
Adjustable Duty Cycle	1% to 99%

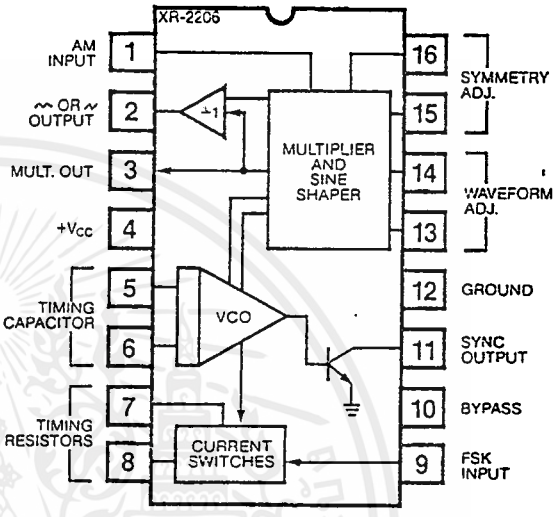
APPLICATIONS

Waveform Generation
Sweep Generation
AM/FM Generation
V/F Conversion
FSK Generation
Phase-Locked Loops (VCO)

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V
Power Dissipation	750 mW
Derate Above 25°C	5 mW/°C
Total Timing Current	6 mA
Storage Temperature	-65°C to +150°C

FUNCTIONAL BLOCK DIAGRAM



ORDERING INFORMATION

Part Number	Package	Operating Temperature
XR-2206M	Ceramic	-55°C to +125°C
XR-2206N	Ceramic	0°C to +70°C
XR-2206P	Plastic	0°C to +70°C
XR-2206CN	Ceramic	0°C to +70°C
XR-2206CP	Plastic	0°C to +70°C

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO actually produces an output frequency porportional to an input current, which is produced by a resistor from the timing terminals to ground. The current switches route one of the timing pins current to the VCO controlled by an FSK input pin, to produce an output frequency. With two timing pins, two discrete output frequencies can be independently produced for FSK Generation Applications.

EXAR Integrated Systems, Inc., 750 Palomar Avenue, Sunnyvale, CA 94086 • (408) 732-7970 • TWX 910-339-9233

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of Figure 1, $V^+ = 12V$, $T_A = 25°$, $C = 0.01\ \mu F$, $R_1 = 100\ k\Omega$, $R_2 = 10\ k\Omega$, $R_3 = 25\ k\Omega$ unless otherwise specified. S_1 open for triangle, closed for sine wave.

PARAMETER	XR-2206M			XR-2206C			UNIT	CONDITIONS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.		
GENERAL CHARACTERISTCS								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	±5		±13	±5		±13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10\ k\Omega$
OSCILLATOR SECTION								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000\ pF$, $R_1 = 1\ k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\ \mu F$, $R_1 = 2\ M\Omega$
Frequency Accuracy		±1	±4		±2		% of f_o	$f_o = 1/R_1C$
Temperature Stability		±10	±50		±20		ppm/°C	$0°C \leq T_A \leq 75°C$, $R_1 = R_2 = 20\ k\Omega$
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20\ k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	f_H @ $R_1 = 1\ k\Omega$, f_L @ $R_1 = 2\ M\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1\ kHz$, $f_H = 10\ kHz$
1000:1 Sweep		8			8		%	$f_L = 100\ Hz$, $f_H = 100\ kHz$
FM Distortion		0.1			0.1		%	±10% Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	μF	See Figure 4.
Timing Resistors: R_1 & R_2	1		2000	1		2000	kΩ	
Triangle Sine Wave Output								See Note 1, Figure 2.
Triangle Amplitude		160			160		mV/kΩ	Figure 1, S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/kΩ	Figure 1, S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Amplitude Stability		4800			4800		ppm/°C	See Note 2.
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30\ k\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See Figures 6 and 7.
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		nsec	$C_L = 10\ pF$
Fall Time		50			50		nsec	$C_L = 10\ pF$
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2\ mA$
Leakage Current		0.1	20		0.1	100	μA	$V_{11} = 26V$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Note 1: Output amplitude is directly proportional to the resistance, R_3, on Pin 3. See Figure 2.
Note 2: For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

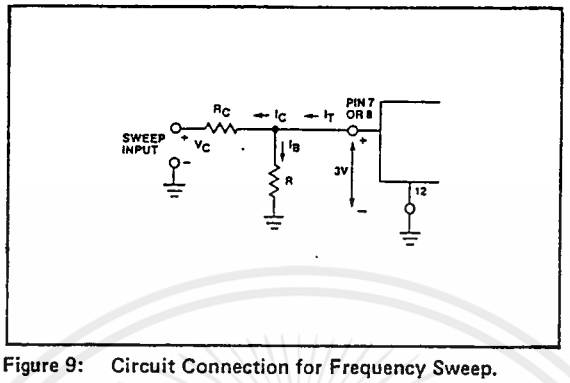


Figure 9: Circuit Connection for Frequency Sweep.

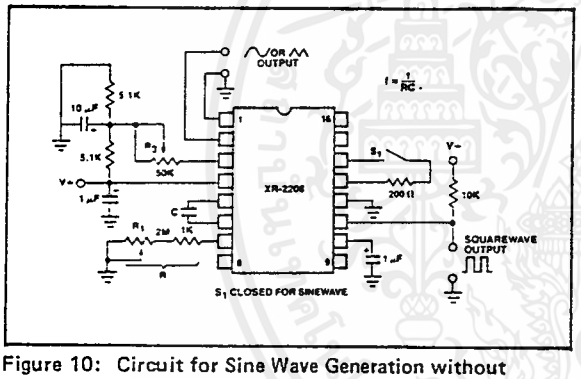


Figure 10: Circuit for Sine Wave Generation without External Adjustment. (See Figure 2 for Choice of R_3.)

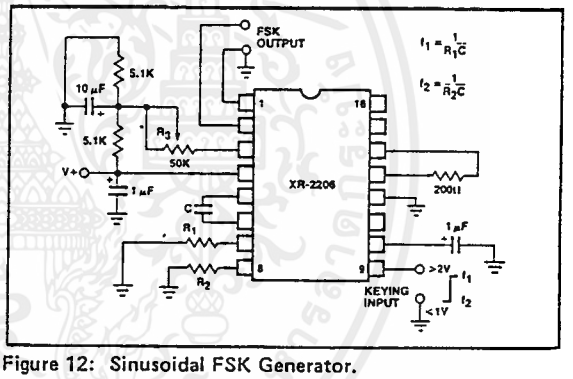


Figure 12: Sinusoidal FSK Generator.

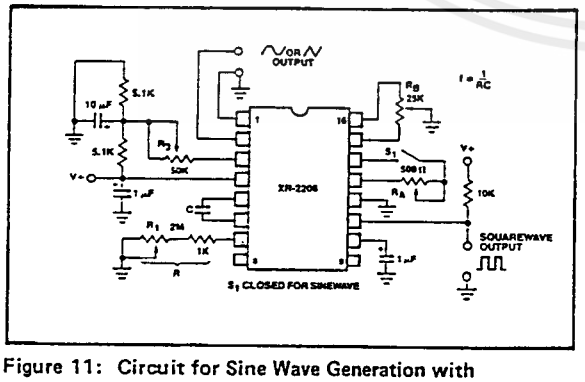


Figure 11: Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R_3 Determines Output Swing – See Figure 2.)

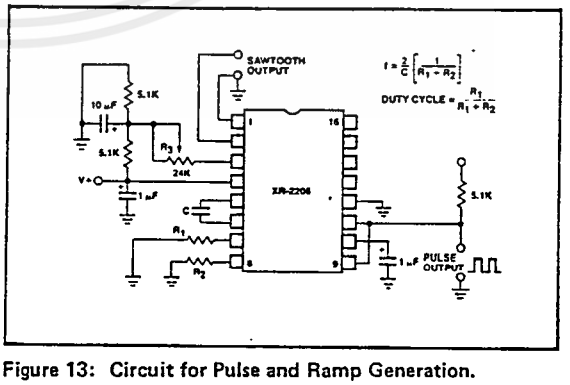


Figure 13: Circuit for Pulse and Ramp Generation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frequency-Shift Keying:

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2, connected to the timing Pin 7 and 8, respectively, as shown in Figure 12. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq$2V, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq$1V, only R_2 is activated. Thus, the output frequency can be keyed between two levels, f_1 and f_2, as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^-.

Output DC Level Control:

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In Figures 10, 11 and 12, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment:

Figure 10 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is <2.5%. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of Figure 10 can be converted to split-supply operation, simply by replacing all ground connections with V^-. For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to $\approx$0.5% by additional adjustments as shown in Figure 11. The potentiometer, R_A, adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint, and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of Figures 10 and 11 can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 12 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted, by the choice of timing resistors, R_1 and R_2; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^-.

Pulse and Ramp Generation

Figure 13 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99%, by the choice of R_1 and R_2. The values of R_1 and R_2 should be in the range of 1 kΩ to 2 MΩ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

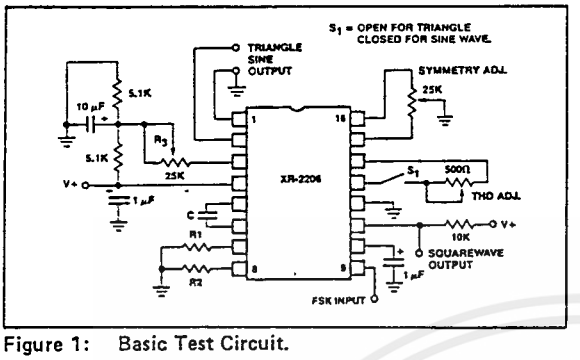


Figure 1: Basic Test Circuit.

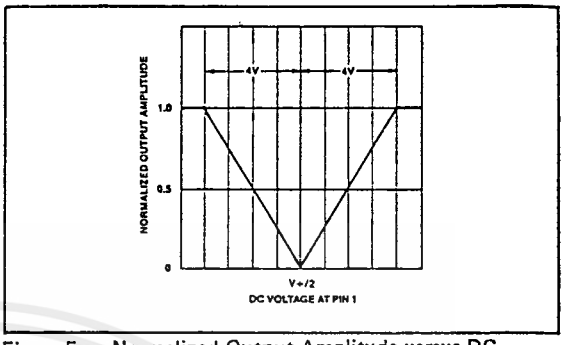


Figure 5: Normalized Output Amplitude versus DC Bias at AM Input (Pin 1).

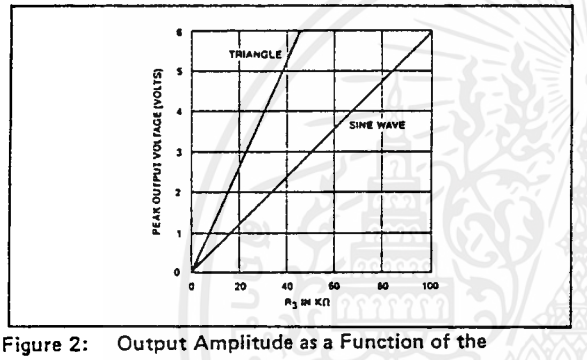


Figure 2: Output Amplitude as a Function of the Resistor, R_3, at Pin 3.

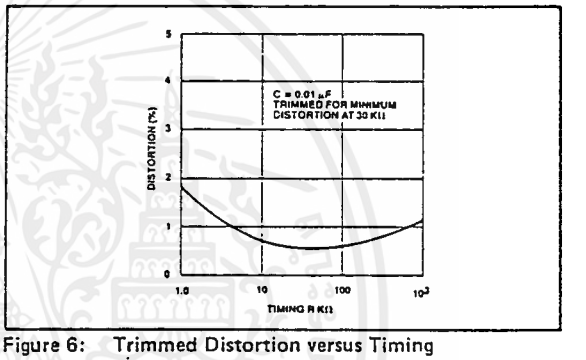


Figure 6: Trimmed Distortion versus Timing Resistor.

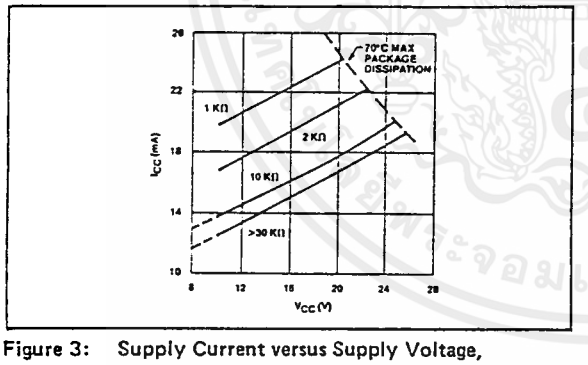


Figure 3: Supply Current versus Supply Voltage, Timing, R.

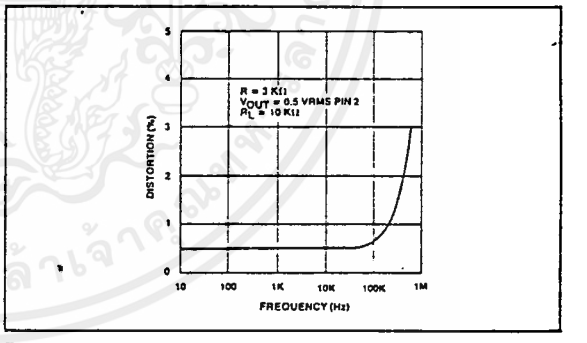


Figure 7: Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

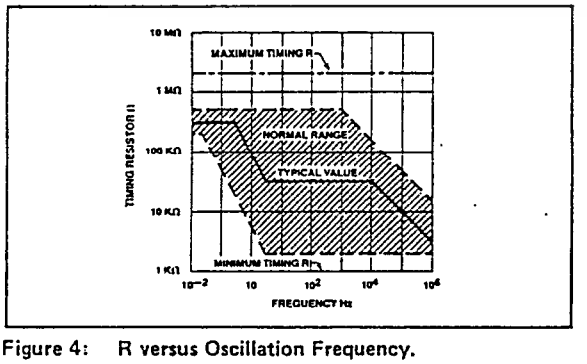


Figure 4: R versus Oscillation Frequency.

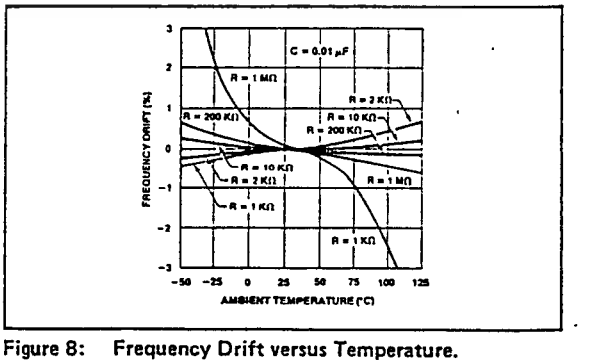


Figure 8: Frequency Drift versus Temperature.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:
The frequency of oscillation, f_o, is determined by the external timing capacitor, C, across Pin 5 and 6, and by the timing resistor, R, connected to either Pin 7 or 8. The frequency is given as:

$$f_o = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C. The recommended values of R, for a given frequency range, are shown in Figure 4. Temperature stability is optimum for $4\ k\Omega < R < 200\ k\Omega$. Recommended values of C are from 1000 pF to 100 μF.

Frequency Sweep and Modulation:
Frequency of oscillation is proportional to the total timing current, I_T, drawn from Pin 7 or 8:

$$f = \frac{320 I_T\ (mA)}{C\ (\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T, over a wide range of current values, from 1 μA to 3 mA. The frequency can be controlled by applying a control voltage, V_C, to the activated timing pin as shown in Figure 9. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC}\left[1 + \frac{R}{R_C}\left(1 - \frac{V_C}{3}\right)\right] \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K, is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_C C} \text{ Hz/V}$$

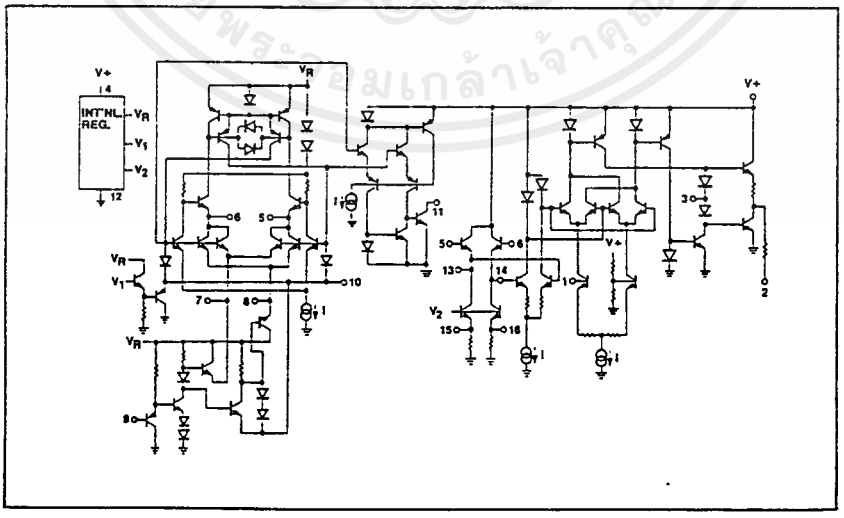
CAUTION: For safe operation of the circuit, I_T should be limited to ≤ 3 mA.

Output Amplitude:
Maximum output amplitude is inversely proportional to the external resistor, R_3, connected to Pin 3 (see Figure 2). For sine wave output, amplitude is approximately 60 mV peak per kΩ of R_3; for triangle, the peak amplitude is approximately 160 mV peak per kΩ of R_3. Thus, for example, $R_3 = 50\ k\Omega$ would produce approximately ±3V sinusoidal output amplitude.

Amplitude Modulation:
Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance at Pin 1 is approximately 100 kΩ. Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within ±4 volts of $V^+/2$ as shown in Figure 5. As this bias level approaches $V^+/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55 dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V^+.

EQUIVALENT SCHEMATIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

MM74C925, MM74C926, MM74C927, MM74C928 4-Digit Counters with Multiplexed 7-Segment Output Drivers

general description

These CMOS counters consist of a 4-digit counter, an internal output latch, NPN output sourcing drivers for a 7-segment display, and an internal multiplexing circuitry with four multiplexing outputs. The multiplexing circuit has its own free-running oscillator, and requires no external clock. The counters advance on negative edge of clock. A high signal on the Reset input will reset the counter to zero, and reset the carry-out low. A low signal on the Latch Enable input will latch the number in the counters into the internal output latches. A high signal on Display Select input will select the number in the counter to be displayed; a low level signal on the Display Select will select the number in the output latch to be displayed.

The MM74C925 is a 4-decade counter and has Latch Enable, Clock and Reset inputs.

The MM74C926 is like the MM74C925 except that it has a display select and a carry-out used for cascading counters. The carry-out signal goes high at 6000, goes back low at 0000.

The MM74C927 is like the MM74C926 except the second most significant digit divides by 6 rather than 10. Thus, if the clock input frequency is 10 Hz, the display would read tenths of seconds and minutes (i.e., 9:59.9).

The MM74C928 is like the MM74C926 except the most significant digit divides by 2 rather than 10 and the carry-out is an overflow indicator which is high at 2000, and it goes back low only when the counter is reset. Thus, this is a 3 1/2-digit counter.

features

- Wide supply voltage range — 3V to 6V
- Guaranteed noise margin — 1V
- High noise immunity — 0.45 V_{CC} typ
- High segment sourcing current — 40 mA @ $V_{CC} - 1.6V$, $V_{CC} = 5V$
- Internal multiplexing circuitry

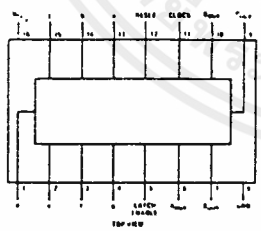
design considerations

Segment resistors are desirable to minimize power dissipation and chip heating. The DM75492 serves as a good digit driver when it is desired to drive bright displays. When using this driver with a 5V supply at room temperature, the display can be driven without segment resistors to full illumination. The user must use caution in this mode however, to prevent overheating of the device by using too high a supply voltage or by operating at high ambient temperatures.

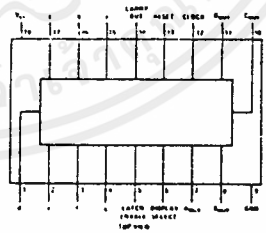
The input protection circuitry consists of a series resistor, and a diode to ground. Thus input signals exceeding V_{CC} will not be clamped. This input signal should not be allowed to exceed 15V.

connection diagrams

Dual-In-Line Package
MM74C925



Dual-In-Line Package
MM74C926, MM74C927 and MM74C928



functional description

Reset — Asynchronous, active high

Display Select — High, displays output of counter
Low, displays output of latch

Latch Enable — High, flow through condition
Low, latch condition

Clock — Negative edge sensitive.

Segment Output — Current sourcing with 80 mA @ $V_{OUT} = V_{CC} - 1.6V$ typical. Also, sink capability = 2 LTTL loads

Digit Output — Current sourcing with 1 mA @ $V_{OUT} = 1.75V$. Also, sink capability = 2 LTTL loads

Carry-out — 2 LTTL loads. See carry-out waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings (Note 1)

Voltage at Any Output Pin	Gnd − 0.3V to V_{CC}+0.3V
Voltage at Any Input Pin	Gnd − 0.3V to +15V
Operating Temperature Range (T_A)	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Package Dissipation	Refer to $P_{D(MAX)}$ vs T_A Graph
Operating V_{CC} Range	3V to 6V
V_{CC}	6.5V
Lead Temperature (Soldering, 10 seconds)	300°C

dc electrical characteristics Min/max limits apply at −40°C ≤ T_j ≤ +85°C, unless otherwise noted.

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
CMOS TO CMOS						
$V_{IN(1)}$	Logical "1" Input Voltage	V_{CC} = 5.0V	3.5			V
$V_{IN(0)}$	Logical "0" Input Voltage	V_{CC} = 5.0V			1.5	V
$V_{OUT(1)}$	Logical "1" Output Voltage (Carry-out and Digit Output Only)	V_{CC} = 5.0V, I_O = −10 μA	4.5			V
$V_{OUT(0)}$	Logical "0" Output Voltage	V_{CC} = 5.0V, I_O = 10 μA			0.5	V
$I_{IN(1)}$	Logical "1" Input Current	V_{CC} = 5.0V, V_{IN} = 15V		0.005	1.0	μA
$I_{IN(0)}$	Logical "0" Input Current	V_{CC} = 5.0V, V_{IN} = 0V	−1.0	−0.005		μA
I_{CC}	Supply Current	V_{CC} = 5.0V, Outputs Open Circuit, V_{IN} = 0V or 5V		20	1000	μA
CMOS/LPTTL INTERFACE						
$V_{IN(1)}$	Logical "1" Input Voltage	V_{CC} = 4.75V	V_{CC}−1.5			V
$V_{IN(0)}$	Logical "0" Input Voltage	V_{CC} = 4.75V			0.8	V
$V_{OUT(1)}$	Logical "1" Output Voltage (Carry-Out and Digit Output Only)	V_{CC} = 4.75V, I_O = −360 μA	2.4			V
$V_{OUT(0)}$	Logical "0" Output Voltage	V_{CC} = 4.75V, I_O = 360 μA			0.4	V
OUTPUT DRIVE						
V_{OUT}	Output Voltage (Segment Sourcing Output)	I_{OUT} = −65 mA, V_{CC} = 5V, T_j = 25°C		V_{CC}−1.3		V
		I_{OUT} = −40 mA, V_{CC} = 5V, T_j = 100°C	V_{CC}−1.6	V_{CC}−1.2		V
		I_{OUT} = −40 mA, V_{CC} = 5V, T_j = 150°C	V_{CC}−2	V_{CC}−1.4		V
R_{ON}	Output Resistance (Segment Sourcing Output)	I_{OUT} = −65 mA, V_{CC} = 5V, T_j = 25°C		20		Ω
		I_{OUT} = −40 mA, V_{CC} = 5V, T_j = 100°C		30	40	Ω
		I_{OUT} = −40 mA, V_{CC} = 5V, T_j = 150°C		35	50	Ω
	Output Resistance (Segment Output) Temperature Coefficient			0.6	0.8	%/°C
I_{SOURCE}	Output Source Current (Digit Output)	V_{CC} = 4.75V, V_{OUT} = 1.75V, T_j = 150°C	−1	−2		mA
I_{SOURCE}	Output Source Current (Carry-out)	V_{CC} = 5V, V_{OUT} = 0V, T_j = 25°C	−1.75	−3.3		mA
I_{SINK}	Output Sink Current (All Outputs)	V_{CC} = 5V, V_{OUT} = V_{CC}, T_j = 25°C	1.75	3.6		mA
θ_{JA}	Thermal Resistance	MM74C925 (Note 4)		75	100	°C/W
		MM74C926, MM74C927, MM74C928		70	90	°C/W

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: Capacitance is guaranteed by periodic testing.

Note 3: C_{PD} determines the no load ac power consumption of any CMOS device. For complete explanation see 54C/74C Family Characteristics application note, AN-90.

Note 4: θ_{JA} measured in free-air with device soldered into printed circuit board.

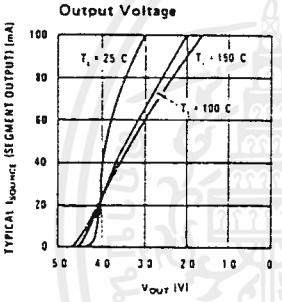
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ac electrical characteristics $T_j = 25°C$, $C_L = 50$ pF, unless otherwise specified

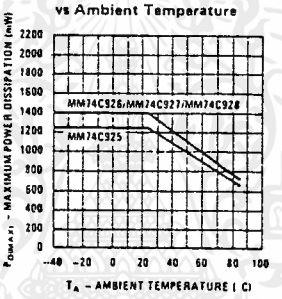
PARAMETER		CONDITIONS		MIN	TYP	MAX	UNITS
f_{MAX}	Maximum Clock Frequency	$V_{CC} = 5.0V$,	$T_j = 25°C$	2	4		MHz
		Square Wave Clock	$T_j = 100°C$	1.5	3		MHz
t_r, t_f	Maximum Clock Rise or Fall Time	$V_{CC} = 5.0V$				15	μs
t_{WR}	Reset Pulse Width	$V_{CC} = 5.0V$	$T_j = 25°C$	250	100		ns
			$T_j = 100°C$	320	125		ns
t_{WLE}	Latch Enable Pulse Width	$V_{CC} = 5.0V$	$T_j = 25°C$	250	100		ns
			$T_j = 100°C$	320	125		ns
$t_{SETICK,LE}$	Clock to Latch Enable Set-Up Time	$V_{CC} = 5.0V$	$T_j = 25°C$	2500	1250		ns
			$T_j = 100°C$	3200	1600		ns
t_{LR}	Latch Enable to Reset Wait Time	$V_{CC} = 5.0V$	$T_j = 25°C$	0	-100		ns
			$T_j = 100°C$	0	100		ns
$t_{SETR,LE}$	Reset to Latch Enable Set-Up Time	$V_{CC} = 5.0V$	$T_j = 25°C$	320	160		ns
			$T_j = 100°C$	400	200		ns
f_{MUX}	Multiplexing Output Frequency	$V_{CC} = 5.0V$			1000		Hz
C_{IN}	Input Capacitance	Any Input (Note 2)			5		pF

typical performance characteristics

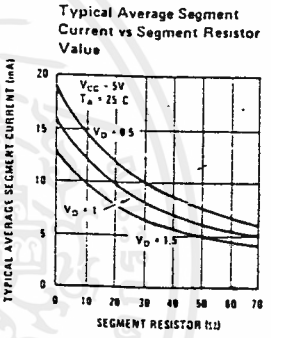
Typical Segment Current vs Output Voltage



Maximum Power Dissipation vs Ambient Temperature



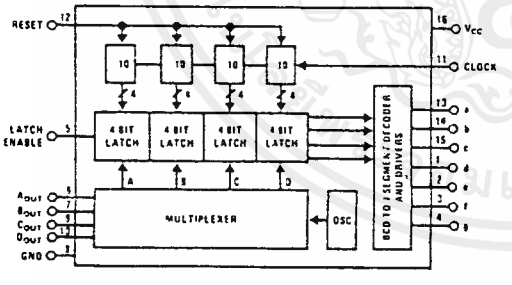
Typical Average Segment Current vs Segment Resistor Value



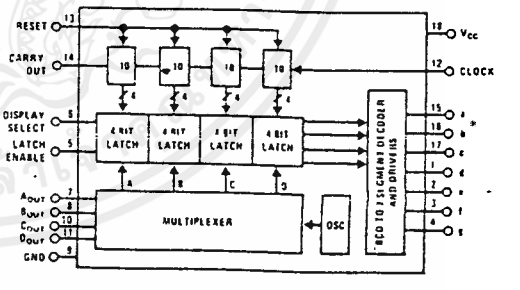
Note. V_D = Voltage across digit driver.

logic and block diagrams

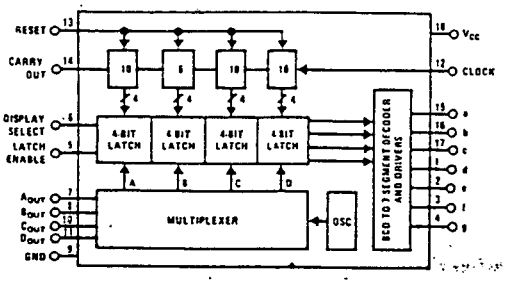
MM74C925



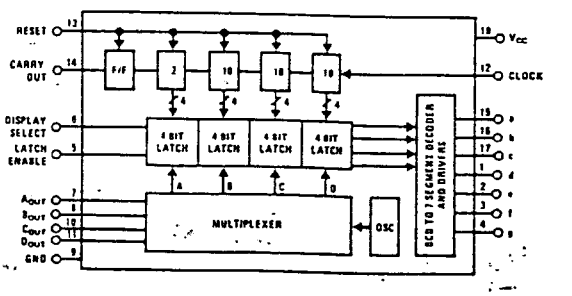
MM74C926



MM74C927

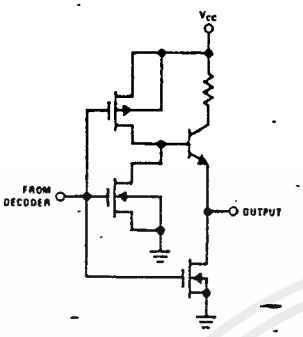


MM74C928

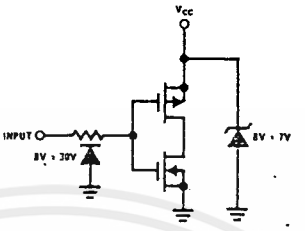


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

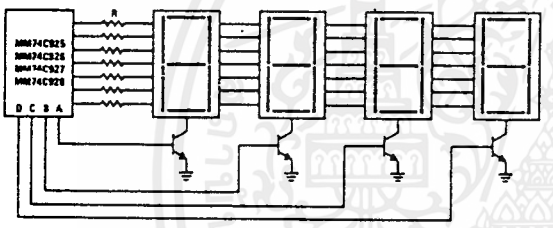
Segment Output Driver



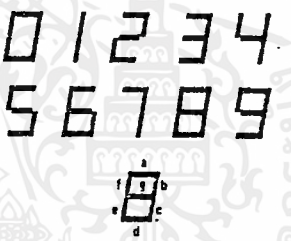
Input Prptection



Common Cathode LED Display

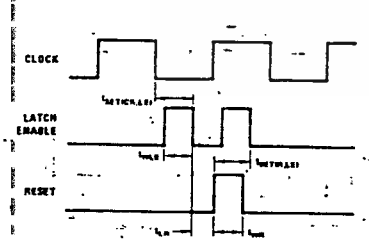


Segment Identification

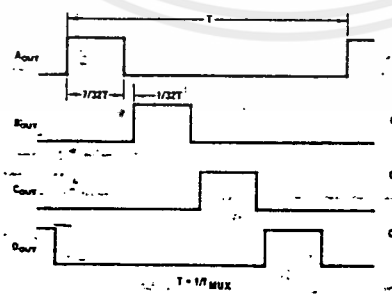


switching time waveforms

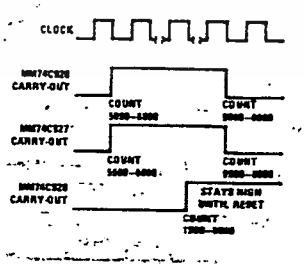
Input Waveforms



Multiplexing Output Waveforms



Carry-Out Waveforms



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

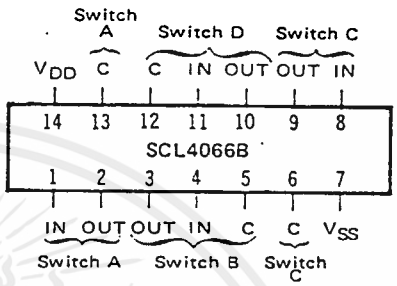
SCL4066B

CMOS QUAD ANALOG SWITCH

FEATURES

- Transmission or Multiplexing of Analog or Digital Signals
- 80Ω Typical ON-Resistance for 15-Volt operation
- Switch ON-Resistance Matched to within 5Ω over 15-Volt Signal-Input Range
- ON-Resistance Flat over Full Peak-to-Peak Signal Range
- High Degree of Linearity:
  ≤0.5% Distortion (typ) @ f_{is} = 1kHz,
  $V_{is} = 5V_{p-p}$, V_{DD}-$V_{SS} \geq 10V$, R_L = 10kΩ
- Extremely Low OFF switch Leakage Resulting in very Low Offset Current and High Effective OFF Resistance:
  10pA (typ) @ V_{DD}-V_{SS} = 10V, T_A = 25°C
- Extremely High Control Input Impedance (Control Circuit Isolated from Signal Circuit):
  10^{12}Ω (typ)
- Low Crosstalk between Switches:
  -50dB (typ) @ f_{is} = 0.9MHz, R_L = 1kΩ
- Matched Control-Input to Signal-Output Capacitance Reduces Output Signal Transients
- Frequency Response, Switch ON = 40MHz (typ)

CONNECTION DIAGRAM
(all packages)



Add suffix for package:

C	14-pin Cerdip	F	14-pin Flat
D	14-pin Ceramic	H	Chip
E	14-pin Epoxy		

RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

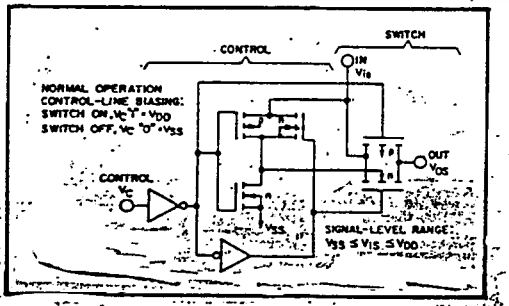
DC Supply Voltage	V_{DD} - V_{SS}	3 to 15	Vdc
Operating Temperature	T_A		
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

DESCRIPTION

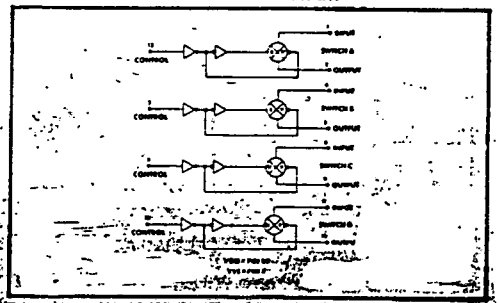
The SCL4066B is a Quad Bilateral Switch intended for the transmission or multiplexing of analog or digital signals. It is pin-for-pin compatible with the SCL4016B, but exhibits a much lower ON-resistance. In addition, the ON-resistance is relatively constant over the full input signal range. The SCL4066 consists of four independent bilateral switches. A single control signal is required per switch. Both the P and the N device in a given switch are biased ON or OFF simultaneously by the control signal. As shown below, the well of the N-channel device on each switch is either tied to the input when the switch is ON or to V_{SS} when the switch is OFF. This configuration minimizes the variation of the switch-transistor threshold voltage with input-signal, and thus keeps the ON-resistance low over the full operating range.

The advantages over single-channel switches include peak input-signal voltage swings equal to the full supply voltage, and more constant ON-impedance over the input-signal range. For sample-and-hold applications, however, the SCL4016 is recommended.

SCHEMATIC DIAGRAM (one of four switches)



LOGIC DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS

STATIC CHARACTERISTICS [1,3]

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	T_{LOW} [2] Min.	T_{LOW} [2] Max.	25°C Min.	25°C Typ.	25°C Max.	T_{HIGH} [2] Min.	T_{HIGH} [2] Max.	Units
QUIESCENT DEVICE CURRENT	I_{DD}	$V_{IN} = V_{SS}$ or V_{DD}	0	5	–	0.05	–	0.0005	0.05	–	1.5	μAdc
		All valid input	0	10	–	0.1	–	0.001	0.1	–	3.0	
		combinations	0	15	–	0.2	–	0.002	0.2	–	6.0	
MINIMUM INPUT HIGH VOLTAGE (Control Input)	V_{IH}	$V_{IS} = V_{SS}$	0	5	–	4.0	–	2.75	4.0	–	4.0	Vdc
		$V_{OS} = V_{DD}$	0	10	–	8.0	–	5.5	8.0	–	8.0	
		$I_{OS} = 10\mu A$	0	15	–	12.0	–	8.25	12.0	–	12.0	
MAXIMUM INPUT LOW VOLTAGE (Control Input)	V_{IL}	$V_{IS} = V_{SS}$	0	5	1.0	–	1.0	2.25	–	1.0	–	Vdc
		$V_{OS} = V_{DD}$	0	10	2.0	–	2.0	4.5	–	2.0	–	
		$I_{OS} = 10\mu A$	0	15	3.0	–	3.0	6.75	–	3.0	–	
SWITCH INPUT/OUTPUT LEAKAGE	I_{OFF}	$V_C = V_{SS}$ $V_{IS} = \pm 7.5$Vdc	-7.5	+7.5	–	±100	–	±0.01	±100	–	±200	nAdc
ON-RESISTANCE C,D,F,H device	R_{ON}	$V_C = V_{DD}$ $V_{SS} \leq V_{IS} \leq V_{DD}$ $R_L = 10k\Omega$	-7.5	+7.5	–	220	–	80	280	–	320	Ω
			0	+15								
			-5	+5	–	310	–	120	400	–	550	Ω
			0	+10								
			-2.5	+2.5	–	2000	–	270	2500	–	3500	Ω
			0	+5								
E device	R_{ON}	$V_C = V_{DD}$ $V_{SS} \leq V_{IS} \leq V_{DD}$ $R_L = 10k\Omega$	-7.5	+7.5	–	250	–	80	280	–	300	Ω
			0	+15								
			-5	+5	–	330	–	120	400	–	520	Ω
			0	+10								
			-2.5	+2.5	–	2100	–	270	2500	–	3200	Ω
			0	+5								
ON-RESISTANCE MATCH (Same package)	ΔR_{ON}	$V_C = V_{DD}$ $V_{SS} \leq V_{IS} \leq V_{DD}$ $R_L = 10k\Omega$	-7.5	+7.5	–	–	–	5	–	–	–	Ω
			0	+15								
			-5	+5	–	–	–	10	–	–		Ω
			0	+10								
			-2.5	+2.5	–	–	–	10	–	–		Ω
			0	+5								

NOTES: [1] Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications"

[2] T_{LOW} = -55°C for C, D, F, H device.
= -40°C for E device.
T_{HIGH} = +125°C for C, D, F, H device.
= + 85°C for E device.

[3] This device has been designed for balanced output drive current specifications. Consult Family Specifications.

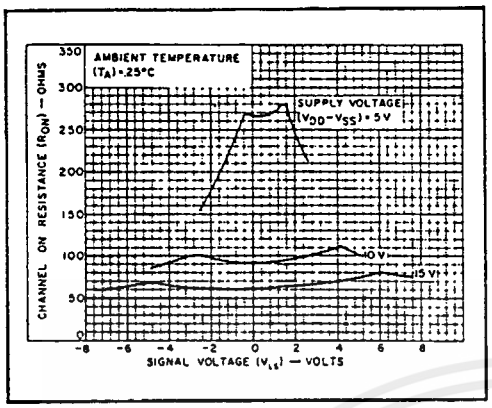
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (Continued)

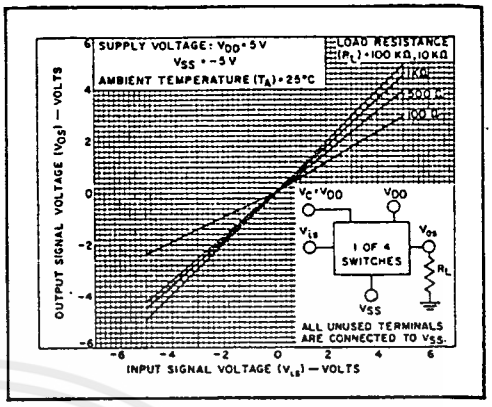
DYNAMIC CHARACTERISTICS (C_L = 50pF, T_A = 25°C)

PARAMETER		CONDITIONS	V_{SS} (Vdc)	V_{DD} (Vdc)	Min.	Typ.	Max.	Units
SIGNAL INPUTS (V_{is}) AND OUTPUTS (V_{os})								
PROPAGATION DELAY TIME Signal Input to Signal Output	t_{PLH}, t_{PHL}	V_c=V_{DD} V_{is}=Square Wave R_L = 10kΩ	0 0 0	5 10 15	– – –	20 10 7.5	40 20 15	ns
BANDWIDTH (-3dB) (Sine Wave)	BW	V_c=V_{DD} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	54 40 38 37	– – – –	MHz
INSERTION LOSS (=20 $\log_{10}\frac{V_{os}}{V_{is}}$)		V_c=V_{DD} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @ 0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	2.3 0.2 0.1 0.05	– – – –	dB
SIGNAL DISTORTION (Sine Wave)		V_c=V_{DD} V_{is}=5V_{p-p} centered @ 0.0Vdc f_{is}=1.0kHz R_L = 10kΩ	-5	+5	–	0.16	–	%
FEEDTHROUGH (-50dB)		V_c=V_{SS} R_L V_{is}=5V_{p-p} 1kΩ centered 10kΩ @0.0Vdc 100kΩ 1MΩ	-5	+5	– – – –	1250 140 18 2	– – – –	kHz
CROSSTALK (-50dB) Between two switches		V_c(A)=V_{DD} V_c(B)=V_{SS} V_{is}(A)=5V_{p-p} centered @0.0Vdc R_L = 10kΩ	-5	+5	–	0.9	–	MHz
CAPACITANCE Input Output Feedthrough	C_{is} C_{os} C_{ios}	V_C = V_{SS}	-5	+5	– – –	8 8 0.5	– – –	pF pF pF
CONTROL INPUT (V_C)								
PROPAGATION DELAY TIME Turn on	t_{PC}	V_{SS}≤V_{is}≤V_{DD} R_L = 10kΩ	0 0 0	5 10 15	– – –	50 25 20	100 50 40	ns
MAXIMUM INPUT FREQUENCY	f_c	V_{SS}≤V_{is}≤V_{DD} R_L = 1.0kΩ	0 0 0	5 10 15	– – –	5 10 12	– – –	MHz
CROSSTALK (To signal port)		V_c=Square Wave R_L = 10kΩ R_{in} = 1.0kΩ	0 0 0	5 10 15	–	30 50 100	–	mV

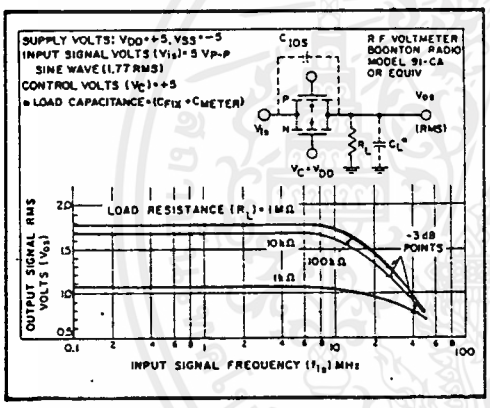
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



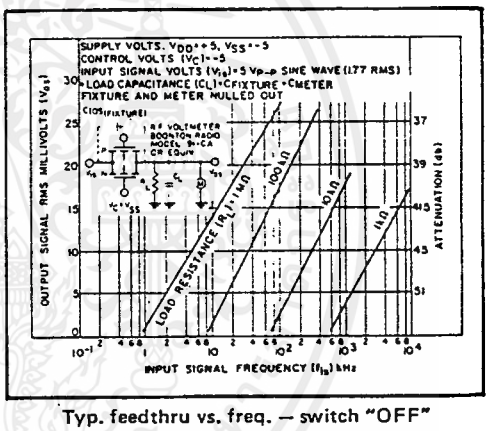
Typical channel ON resistance vs. signal voltage for three values of supply voltage (V_{DD}-V_{SS})



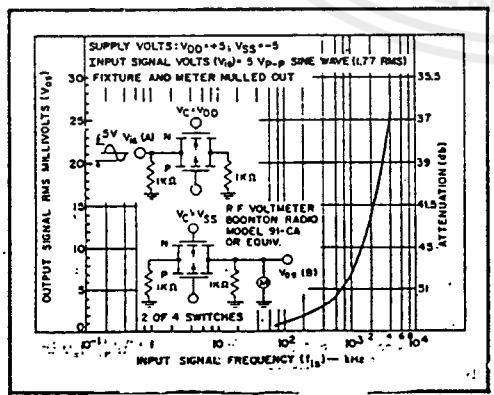
Typical ON characteristics for 1 of 4 channels.



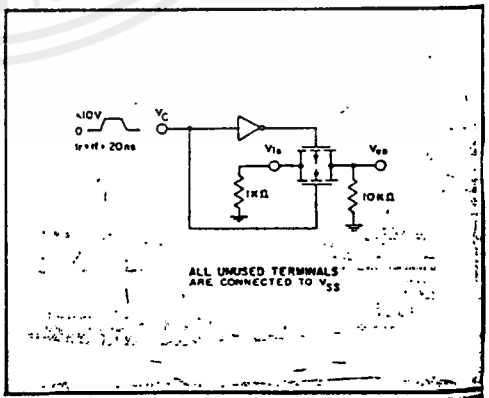
Typ. switch frequency response - switch "ON"



Typ. feedthru vs. freq. — switch "OFF"



Typ. crosstalk between switch circuits in the same package



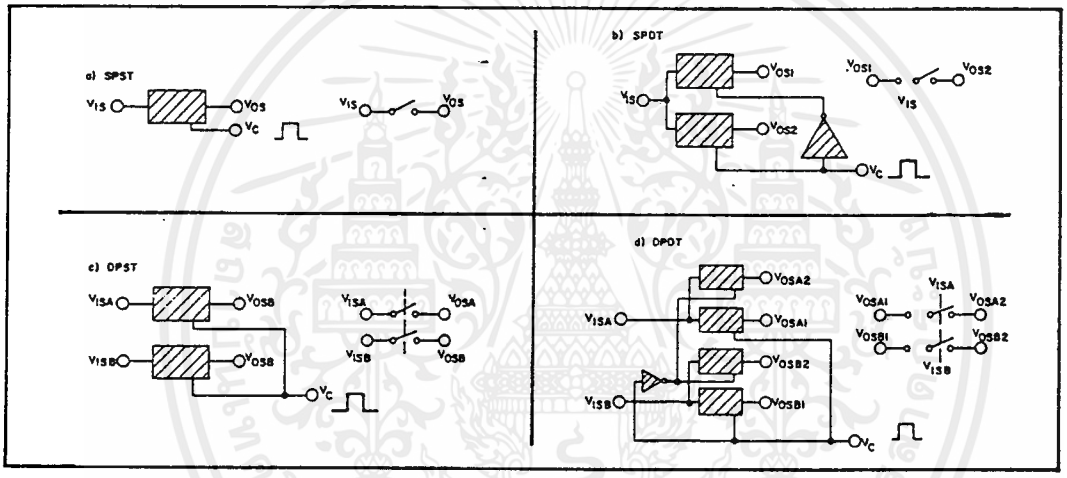
Test circuit, crosstalk-control input to signal output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

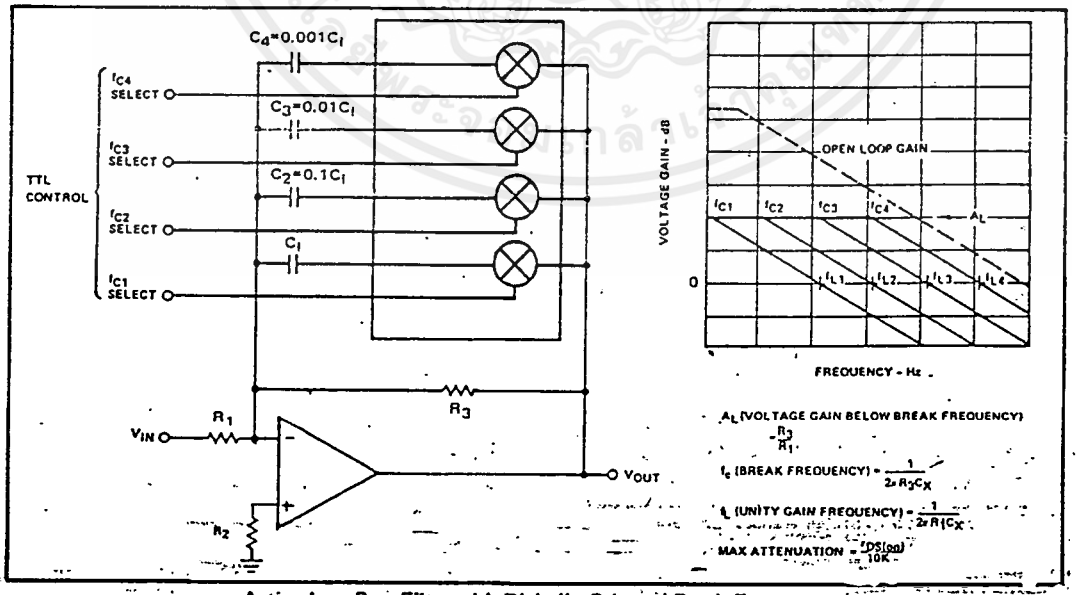
SPECIAL CONSIDERATIONS – SCL4066B

1. In applications where separate power sources are used to drive V_{DD} and the signal inputs, the V_{DD} current capability should exceed V_{DD}/R_L (R_L = effective external load of the 4 SCL4066B bilateral switches). This provision avoids any permanent current flow or clamp action on the V_{DD} supply when power is applied or removed from SCL4066B.
2. In certain applications, the external load-resistor current may include both V_{DD} and signal-line components. To avoid drawing V_{DD} current when switch current flows into terminals 1, 4, 8, or 11, the voltage drop across the bidirectional switch must not exceed 0.8 volt (calculated from R_{ON} values shown).
   No V_{DD} current will flow through R_L if the switch current flows into terminals 2, 3, 9, or 10. Failure to observe this condition may result in distortion of the signal.

APPLICATIONS INFORMATION



Basic Switch Functions using the SCL4066B



Active Low Pass Filter with Digitally Selected Break Frequency

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานนี้สำเร็จไปด้วยดีก็ด้วยการชี้แนะแนวทางในการปฏิบัติงานและให้คำปรึกษาแก้ไขปัญหาต่างๆ ด้วยความกรุณาจาก อาจารย์ที่ปรึกษาคือ รศ.ดร. วิวัฒน์ กิรานนท์ , รศ.ดร. ปราโมทย์ วาดเขียน และอาจารย์วิภา แสงพิสิทธิ์ จึงขอกราบขอบพระคุณมา ณ ที่นี้ รวมทั้งเพื่อนๆ ในห้องโปรเจคทุกคนที่ให้ความช่วยเหลือด้านต่างๆ ตลอดมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] Robert F. Coughlin and Frederick F. Driscoll "Operational Amplifier and Linear Integrated Circuit," USA. : Prentice - Hall , Inc . , 1987

[2] Walter G Jung " IC OP- AMP COOKBOOK ," USA. , : Howard W. Sams&co. , Inc., 1977

[3] John D. Kershaw " Digital Electronics Logic and Systems , third edition," USA. : Massachusetts , PSW - Kent Publishing co. , 1988

[4] บัณฑิต บัวบูชา และคณะ " ทฤษฎีและการออกแบบวงจรดิจิตอล เล่ม 2" กรุงเทพฯ : บริษัท ซีเอ็ด ยูเคชันจำกัด

[5] คิศพงษ์ วงษ์วานิช , ชัยวัฒน์ ลิ้มพรจิตรวิไล และ ธงชัย อมรศรีจิรทร " เซมิคอนดัคเตอร์อิเลคทรอ-นิกส์ เล่ม 120 " กรุงเทพฯ : บริษัทซีเอ็ดยูเคชั่นจำกัด

[6] ธนัท ชัยยุทธ และกฌพ แก้วพิชัย " ดิจิตอลพื้นฐาน " กรุงเทพฯ : บริษัทซีเอ็ดยูเคชั่นจำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้