เครื่องตอบรับโทรศัพท์และเตือนภัยอัตโนมัติ

AUTOMATIC TELEPHONE ANSWERING & WARNING UNIT

โดย

นายประสบชัย ไขแสง

นายสิทธิพงศ์ จรัญญากรณ์

วัน เดือน ปี 17 ธค. 2541

เลขทะเบียน 039039

เลขเรียกหนังสือ T 10180 ป 3912 ค

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039039

เครื่องตอบรับโทรศัพท์และเตือนภัยอัตโนมัติ

AUTOMATIC TELEPHONE ANSWERING &WARNING UNIT

โดย

นายประสบชัย ไขแสง

นายสิทธิพงศ์ จรัญญากรณ์

อาจารย์ที่ปรึกษา

อ. สุรพล บุญจันทร์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2540

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา2540

ภาควิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง เครื่องตอบรับโทรศัพท์และเตือนภัยอัตโนมัติ

AUTOMATIC TELEPHONE ANSWERING&WARNING UNIT

ผู้จัดทำ

นายประสบชัย ไขแสง 37014237

นายสิทธิพงศ์ จรัญญากรณ์ 37014487

.....อาจารย์ที่ปรึกษา

(อ.สุรพล บุญจันทร์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องตอบรับโทรศัพท์และเตือนภัยอัตโนมัติ

AUTOMATIC TELEPHONE ANSWERING &WARNING UNIT

โดย นายประสบชัย ไขแสง 37014237

นายสิทธิพงศ์ จรัญญากรณ์ 37014487

อาจารย์ที่ปรึกษา อ.สุรพล บุญจันทร์

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นการออกแบบและการสร้างเครื่องรับโทรศัพท์ที่มีหน้าที่การทำงานได้หลายหน้าที่ ช่วยเพิ่มประสิทธิภาพในการทำงานของโทรศัพท์ให้มากยิ่งขึ้นและช่วยอำนวยความสะดวกให้แก่ผู้ใช้โทรศัพท์ ดังนั้นปริญญานิพนธ์นี้เป็นการพัฒนาเครื่องตอบรับโทรศัพท์ทั่วไปคือ นอกจากผู้ใช้สามารถบันทึกเสียงในการตอบกลับได้ด้วยตัวเอง แล้วยังสามารถตั้งเวลาในการบันทึกข้อความจากผู้โทรเข้ามาให้ได้ตามระยะเวลาที่ต้องการได้ และยังมีระบบเตือนภัยทางโทรศัพท์ได้โดยที่เราเขียนโปรแกรมเข้าไปในส่วนประมวลผล มันจะทำการตรวจจับทันทีที่มีผู้บุกรุกโดยอาศัยการทำงานของสวิตช์ที่ติดตั้งไว้ตามประตูหน้าต่าง และที่ต่าง ๆ เพื่อตรวจจับผู้ที่บุกรุก และจะทำการเรียกไปยังหมายเลขโทรศัพท์ที่กำหนดไว้โดยอัตโนมัติ

ABSTRACT

This thesis is a design and construction of the "Telephone Answering Unit", which can be used for many purposes and can increase the efficiency of the telephone performance so as to make facility for telephone users. Therefore, this thesis is the development of the "Telephone Answering Unit". Besides, the telephone user can record voice for answering by himself. He still can set the time in order to record the voice or message of someone, calling him, for any period of time he wants to set. For this function it has Alarm System of automatic telephone. When nobody is at home and somebody breaks in this device will automatically call to the set destination.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่1 บทนำ	1
บทที่2 ทฤษฎีและหลักการ	2
2.1 โครงสร้างของชุมสายโทรศัพท์	2
2.2 ขั้นตอนการทำงานของโทรศัพท์	2
2.3 ระบบสัญญาณโทรศัพท์	4
2.4 ระบบการส่งสัญญาณโทรศัพท์จากชุมสายมายังชุมสายย่อย	7
2.5 ระบบสวิตช์ชิ่ง (Switching) ภายในโทรศัพท์	8
2.6 ระบบตัดต่อโทรศัพท์	9
2.7 ระบบการเชื่อมต่อของโทรศัพท์และชุมสาย	9
2.8 หลักการทำงานของเครื่องตอบรับโทรศัพท์	11
2.9 รายละเอียดการทำงานของวงจรเบื้องต้น	13
2.10 ส่วนของเครื่องเตือนภัยอัตโนมัติ	25
2.11 สถาปัตยกรรมของ 8051 และโปรแกรมมิ่งโมเดล	27
2.12 พอร์ต I/O ของ 8051	29
2.13 ไมโครคอนโทรลเลอร์เบอร์ 8051	32
บทที่3 การคำนวณและการสร้าง	38
บทที่4 การทดลองและผลการทดลอง	49
บทที่5 บทสรุปและวิจารณ์	54
ภาคผนวก	
กิตติกรรมประกาศ	
หนังสืออ้างอิง	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ในปัจจุบัน การสื่อสารมีความสำคัญต่อชีวิตประจำวันของบุคคลทั่วไปมากขึ้น โทรศัพท์ก็เป็นการสื่อสารวิธีหนึ่งที่ได้รับความนิยมอย่างกว้างขวาง เพราะเป็นวิธีสื่อสารที่สะดวกรวดเร็วและง่ายต่อการใช้งาน ตลอดจนเสียค่าใช้จ่ายน้อยกว่า เมื่อเทียบกับการสื่อสารระบบอื่นๆ เช่น Telex หรือ Facsimile โทรศัพท์มีความสำคัญและมีใช้กันอย่างแพร่หลายทั้งในสำนักงานและในครัวเรือน จึงทำให้มีการสร้างอุปกรณ์สนับสนุน เพื่อช่วยเพิ่มประสิทธิภาพในการใช้งานหรือสร้างอรรถประโยชน์อื่น ๆ จากการใช้งานโทรศัพท์มากขึ้น

โครงงานนี้จึงเป็นส่วนหนึ่งในการเพิ่มประสิทธิภาพ และ สร้างอรรถประโยชน์จากการใช้งานโทรศัพท์ โดยมันสามารถทำการตอบรับโทรศัพท์ได้เองในขณะที่ไม่มีคนอยู่ในช่วงเวลานั้น โดยที่เสียงตอบกลับไปนั้นมาจาก DRAM ที่ทำการบันทึกไว้ก่อนแล้ว (เสียงบันทึกนี้สามารถทำการบันทึกได้โดยผู้ใช้เอง) และในส่วนของเสียงที่เรียกเข้ามาจะถูกบันทึกไว้ด้วยเทป ความยาวในการบันทึกเราสามารถกำหนดได้ โดยก่อนหมดเวลาบันทึกจะมีเสียงเตือน 1 ครั้ง อีกหนึ่งส่วนของโครงงานนี้ จะเป็นระบบเตือนภัยทางโทรศัพท์ หรือ โทรศัพท์เตือนภัยอัตโนมัติ กล่าวคือระบบนี้จะมีสวิตช์ที่ใช้ในการตรวจจับอยู่ ถ้าสวิตช์ทำงานจะมีสัญญาณเตือนภัย ส่งไปตามเลขหมายที่ได้บันทึกไว้ก่อนก่อนหน้านั้นแล้ว (ผู้ใช้สามารถบันทึกเลขหมายได้ด้วยตนเอง) จะส่งเป็นเวลานานเท่าไรขึ้นอยู่กับผู้สร้างเป็นผู้กำหนดและยังมีระบบป้องกันสายไม่ว่างอีกด้วย

การนำไอซีมาใช้เป็นตัวพูดแทนนั้น เป็นชิปที่เป็น CVSD มีออกมาจำหน่ายหลายแบบด้วยกัน เช่น เบอร์ VP 2500 ประเทศไต้หวัน

HC 55516/55532	ของบริษัท แฮริส
T 6668	ของบริษัท โตชิบา
FX 209	ของ CMA (อเมริกา)

ในโครงงานนี้ทางเราเลือกใช้ เบอร์ T6668 ของบริษัท โตชิบา เพราะเราสามารถที่จะประยุกต์ได้หลายรูปแบบ และเป็นเบอร์ที่ยังใหม่อยู่

วัตถุประสงค์ที่ทำเครื่องตอบรับและเตือนภัยอัตโนมัติ

1. เพื่อเป็นการนำ ไอซีเบอร์ T6668 ไปประยุกต์ใช้งาน
2. เพื่อสร้างเครื่องตอบรับโทรศัพท์และเตือนภัยอัตโนมัติขึ้นมาใช้เอง
3. เพื่อเพิ่มประสิทธิภาพการใช้งานเครื่องรับโทรศัพท์
4. เพื่อปรับปรุงให้เกิดความสะดวกและง่ายต่อการใช้งาน
5. ผลงานที่ได้ เพื่อเป็นแนวทางในการพัฒนา หรือ ปรับปรุงให้ดีขึ้นสำหรับผู้ที่สนใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

ความรู้ทั่วไปเกี่ยวกับชุมสายโทรศัพท์

ทฤษฎีการทำงานของชุมสายโทรศัพท์

โครงงานเครื่องตอบรับโทรศัพท์อัตโนมัตินี้ผู้จัดทำได้ศึกษาทฤษฎีที่เกี่ยวข้องกับการทำงานของเครื่องตอบรับ โดยมีรายละเอียดตามหัวข้อต่อไปนี้

2.1 โครงสร้างของเครื่องชุมสายโทรศัพท์

ชุมสายโทรศัพท์ คือ อุปกรณ์ต่าง ๆ ที่ทำหน้าที่ร่วมกันในการต่อการเรียกแบ่งเป็นสองส่วนใหญ่ ๆ คือ ภาคตัดต่อ (Switching Part) และภาคควบคุม (Control Part) หน้าที่หลักของภาคตัดต่อ คือ การตัดต่อการเรียกระหว่าง A-Sub และ D-Sub ซึ่งทำงานได้โดยการสั่งงานจากภาคควบคุม

ตารางที่ 2.1 การเปรียบเทียบภาคควบคุมและภาคตัดต่อของเครื่องชุมสายแต่ละแบบ

ระบบของเครื่องชุมสาย	ภาคตัดต่อ	ภาคควบคุม
Manual	ตู้ Switch Board	Operator
Step - By - Step	Rotary Switch	Hard-wired Logic และ Direct Control
Crossbar SPC (Analog)	Crossbar Switch Reed Relay	Hard-wired Logic Stored Program Control
SPG (Digital)	TIME division Switch	Stored Program Control SPC

2.2 ขั้นตอนการทำงานของโทรศัพท์

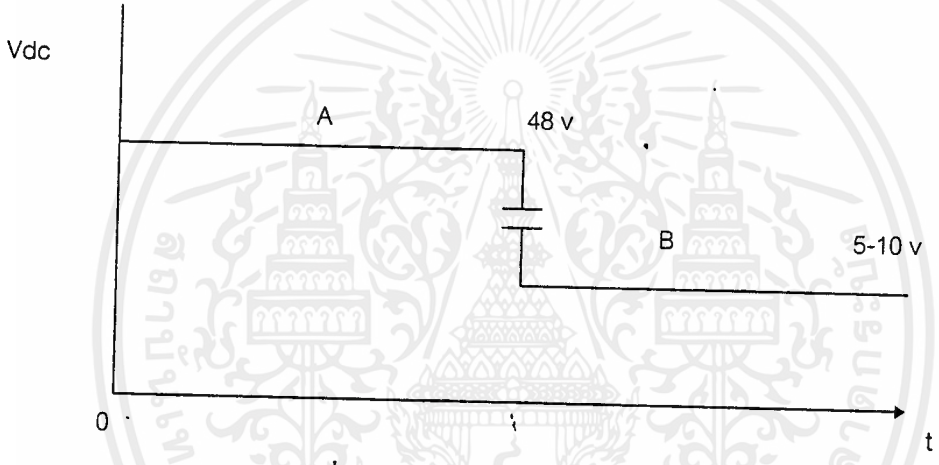
การทำงานโทรศัพท์ แบ่งได้เป็น 2 กรณี คือ ที่เป็นผู้เรียก (Calling subscriber) กับผู้ถูกเรียก (Called subscriber) สรุปการทำงานพอสังเขปดังนี้

กรณีที่เป็นผู้เรียก ขณะที่หูโทรศัพท์วางอยู่นั้น จะมีไฟกระแสตรงตกคร่อมคู่สายโทรศัพท์อยู่ -48 โวลต์ จะตกลงมาเหลือ 5-10 โวลต์ ทั้งนี้ขึ้นอยู่กับระบบชุมสายย่อย ขณะเดียวกันก็จะมีสัญญาณส่งมาจากชุมสาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เสียงที่ได้ยินคือ เสียงแมวกรน (Dial tone) ขั้นตอนการทำงานโทรศัพท์แสดงว่าพร้อมที่จะให้หมุนเลขหมายได้ หรือพร้อมที่จะให้กดเลขหมายได้ ถ้าเลขหมายที่ถูกเรียกไม่ว่าง ผู้เรียกจะได้ยินเสียง Busy tone (เสียงจะสลับเป็นจังหวะ ดัง 0.5 วินาที และเงียบ 0.5 วินาที) ในกรณีที่คู่สายเลขหมายที่ถูกเรียกว่าง ชุมสายจะต่อกับเลขหมายที่เรียกให้ เราจะได้ยินเสียง สัญญาณเรียก ดัง 1 วินาที แล้วเงียบ 4 วินาที สัญญาณนี้เรียกว่า Ringing tone หรือ Calling tone แสดงว่าเลขหมายที่เรียกไปว่างพร้อมที่จะพูดได้ ให้คอยจนกว่า ฝ่ายถูกเรียกจะยกหูรับ

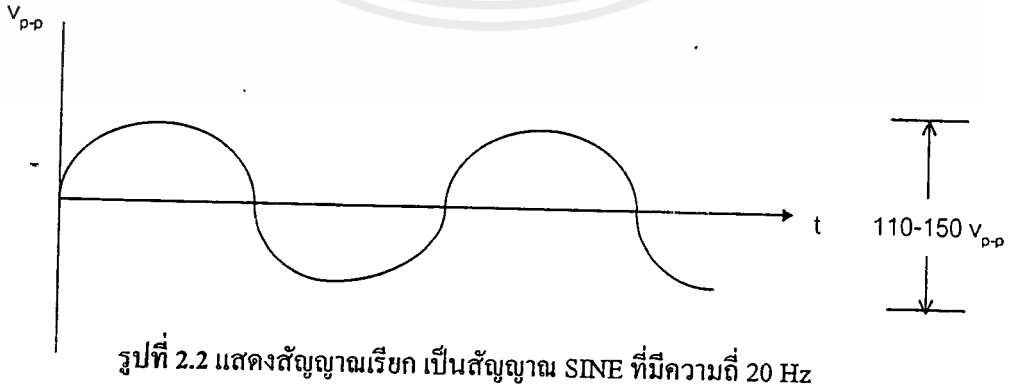
กรณีที่เป็นผู้ถูกเรียก ขณะที่คู่สายว่างจะมีไฟกระแสตรงตกคร่อมคู่สาย -48 โวลต์ และเมื่อมีการเรียกมายังเลขหมาย ทางชุมสายจะทำการต่อให้ และจะส่งสัญญาณเรียกเป็นแรงดันไฟสลับประมาณ 110-150 โวลต์ เป็นจังหวะให้กระดิ่งดัง 2 วินาที และเงียบ 4 วินาทีสลับกันไป และเมื่อมีการยกหูโทรศัพท์ทำให้วงจรภายในเครื่องรับโทรศัพท์ซึ่งมีอิมพีแดนซ์ประมาณ 600 โอห์ม ต่อเข้าชุมสาย ในขณะเดียวกัน ชุมสายจะหยุดส่งสัญญาณเรียก และทำการต่อคู่สายโทรศัพท์ให้



รูปที่ 2.1 แสดงไฟกระแสตรงเลี้ยงคู่สาย

A : ขณะที่วางโทรศัพท์อยู่ มีไฟกระแสตรงตกคร่อม 48 โวลต์

B : ขณะที่วางโทรศัพท์อยู่ มีไฟกระแสตรงตกคร่อม 5-10 โวลต์



รูปที่ 2.2 แสดงสัญญาณเรียก เป็นสัญญาณ SINE ที่มีความถี่ 20 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ระบบสัญญาณโทรศัพท์ (Signalling System)

ในระบบของชุมสายโทรศัพท์ การจ่ายสัญญาณเพื่อให้ผู้ใช้โทรศัพท์รับทราบ เพื่อใช้การงานได้อย่างถูกต้องตามความต้องการ มีดังนี้

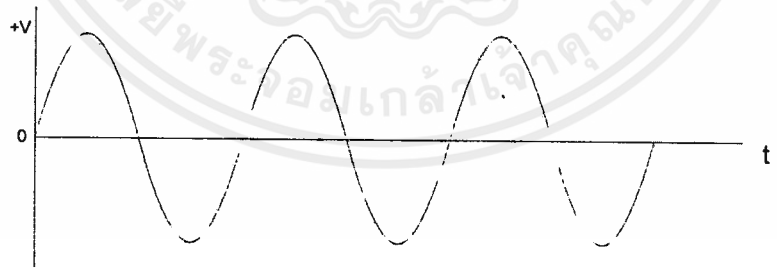
2.3.1 สัญญาณให้หมุน (Dial tone) คือสัญญาณที่ทางชุมสายแจ้งให้ผู้ใช้ทราบว่าสามารถใช้บริการในการเรียกได้ จะเป็นสัญญาณความถี่ประมาณ 400 Hz มีลักษณะคงที่ตลอดและจะดังอยู่ประมาณ 9-10 วินาที ถ้าผู้ใช้ไม่ทำการกดหมายเลขในการเรียกสัญญาณก็จะตัดและจะกลายเป็นสัญญาณไม่ว่างต่อไป

2.3.2 สัญญาณไม่ว่าง (Busy Tone) คือ สัญญาณที่ทางชุมสายแจ้งให้ผู้ใช้ทราบหลังจากผู้ใช้ทำการกดหรือหมุนหมายเลขที่ต้องการจะติดต่อแต่ทางชุมสายไม่สามารถติดต่อได้จะมีสัญญาณประมาณ 400 Hz ดังและดับเป็นช่วงประมาณ 0.5 วินาทีตลอด

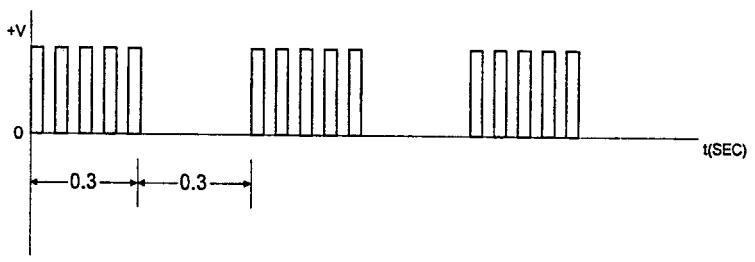
2.3.3 สัญญาณเรียกกลับ (Ring back Tone) คือ สัญญาณที่ทางชุมสายแจ้งให้ผู้ใช้ทราบหลังจากผู้ใช้โทรศัพท์ กดหรือหมุน หมายเลขที่ต้องการเรียก และทางชุมสายสามารถติดต่อคู่สายที่ต้องการเรียกได้แล้ว จะเป็นสัญญาณความถี่ประมาณ 400 Hz ดังประมาณ 1 วินาที ดับประมาณ 3 วินาที สลับกันไปเรื่อย ๆ และทางชุมสายจะทำการเฝ้าสังเกต (Supervision) อยู่ตลอดเวลาว่าเมื่อใดผู้ถูกเรียกจะทำการตอบรับการเรียกภายในเวลา 72-90 วินาที ถ้าผู้ถูกเรียกไม่ตอบรับก็จะทำการยกเลิกการติดต่อ กลับไป

2.3.4 สัญญาณเรียก (Ringing Tone) เป็นสัญญาณที่ทางชุมสายแจ้งให้ ผู้ถูกเรียกทราบ โดยจะส่งสัญญาณไปยังเครื่องโทรศัพท์ผู้ถูกเรียก ทำให้กระดิ่งดัง เป็นสัญญาณ AC 25 Hz ประมาณ 90 Vp-p ดังและดับเป็นช่วงพร้อมกับสัญญาณเรียกกลับทางผู้เรียก

สัญญาณที่กล่าวมาทั้งหมดนี้ เป็นสัญญาณที่ทางองค์การโทรศัพท์ใช้เป็นบรรทัดฐานในการจ่ายให้กับผู้ใช้โทรศัพท์ และยังสามารถนำไปสร้างเป็นสัญญาณที่ใช้ในตู้สาขาโทรศัพท์ย่อย เพื่อให้ได้ระบบสัญญาณที่มีลักษณะเหมือนทาง องค์การโทรศัพท์ทุกประการ

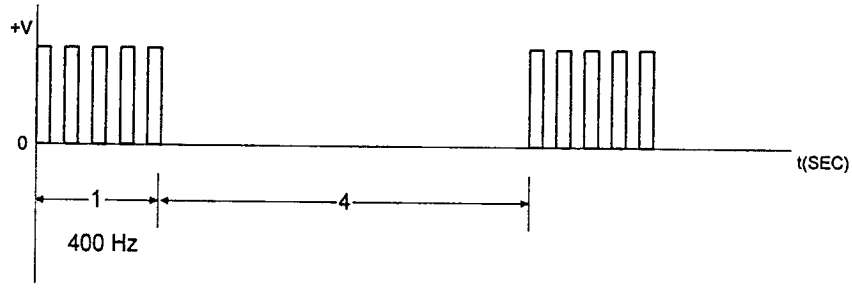


ก.

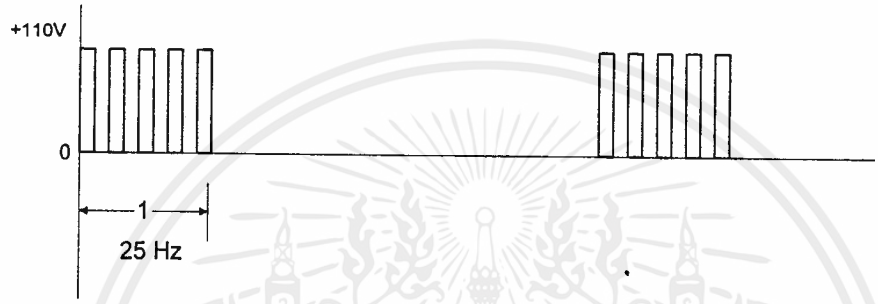


ข.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ค.



ง.

รูปที่ 2.3 รูปลักษณะของสัญญาณต่างๆ

สัญญาณเหล่านี้จะได้จากภาคกำหนดสัญญาณ ซึ่งจะถูกควบคุมโดยวงจรตรวจสภาวะการยกหูและวงจรถอดรหัสดังตารางที่ 2.2

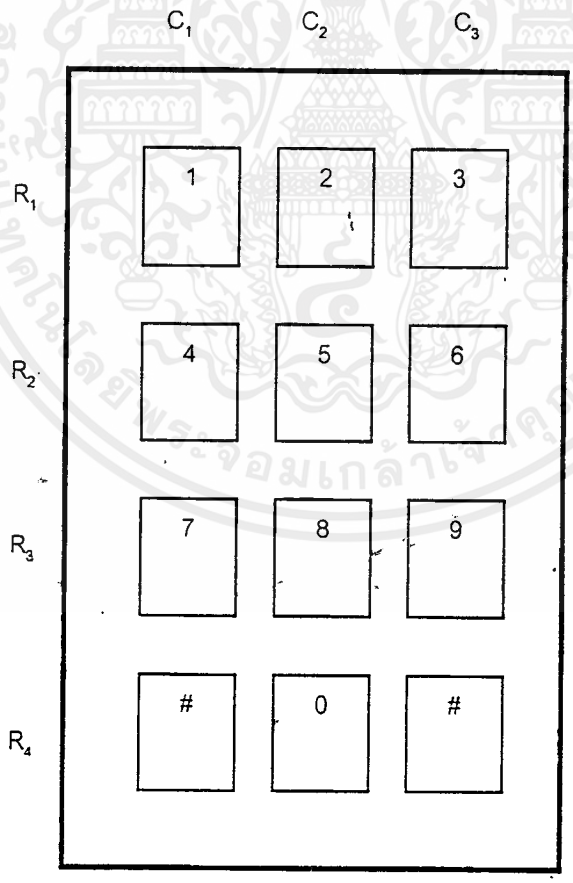
ตารางที่ 2.2 ตารางแสดงวงจรตรวจสภาวะการยกหูและวงจรถอดรหัส

สภาวะการยกหู	มีการเรียกเข้า	สัญญาณออก
ไม่มี	ไม่มี	ไม่มี
ไม่มี	มี	Ringing
มี	ไม่มี	Dial
มี	มี	Busy

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.3 แสดงความถี่ประจำหมายเลขบนแผงกดปุ่มถึง % ความผิดพลาด

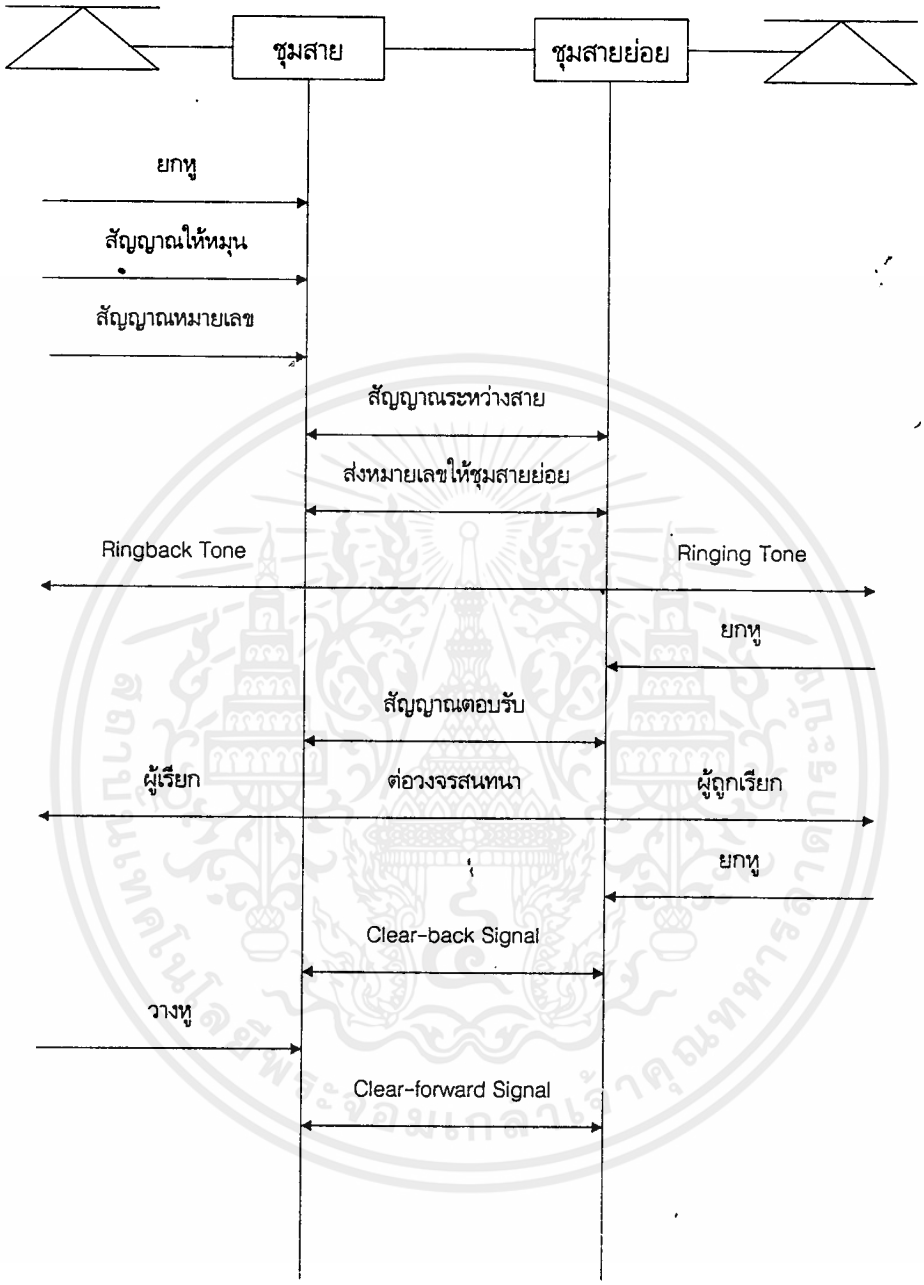
อินพุท	ความถี่ (Hz)	% ผิดพลาด
R_1	697	+0.31
R_2	770	-0.49
R_3	852	-0.54
R_4	941	+0.74
C_1	1209	+0.57
C_2	1336	-0.32
C_3	1447	-0.35



รูปที่ 2.4 แสดงตำแหน่งหมายเลขบนแผงกดปุ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

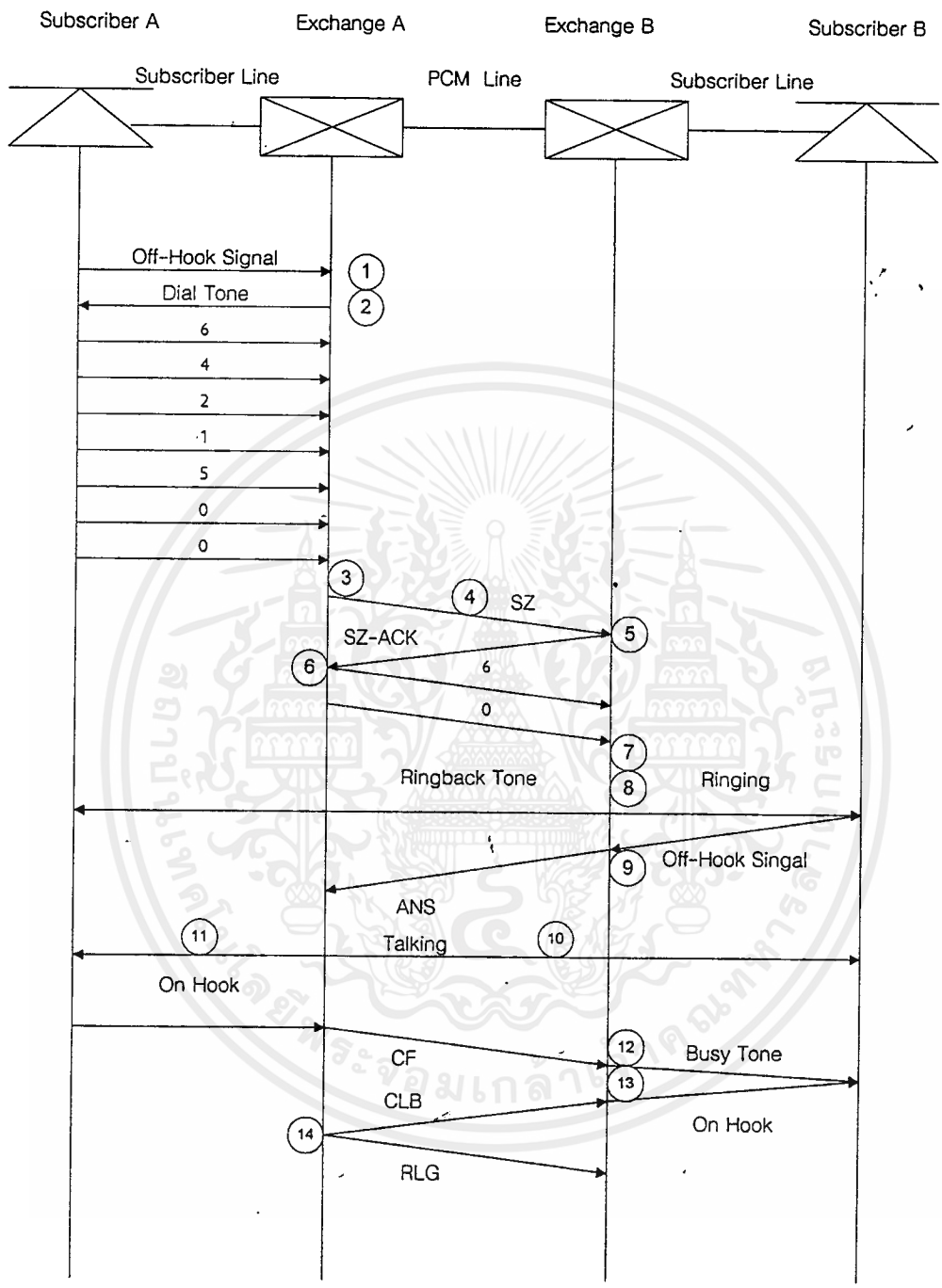
2.4 ระบบการส่งสัญญาณโทรศัพท์จากชุมสายมายังชุมสายย่อย



รูปที่ 2.5 แสดงระบบการส่งสัญญาณโทรศัพท์จากชุมสายมายังชุมสายย่อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 ระบบสัญญาณสวิตช์ชิ่ง (Switching) ภายในชุมสายโทรศัพท์



รูปที่ 2.6 แสดงสัญญาณสวิตช์ชิ่ง (Switching) ภายในชุมสายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 ระบบตัดต่อโทรศัพท์ (Switching System)

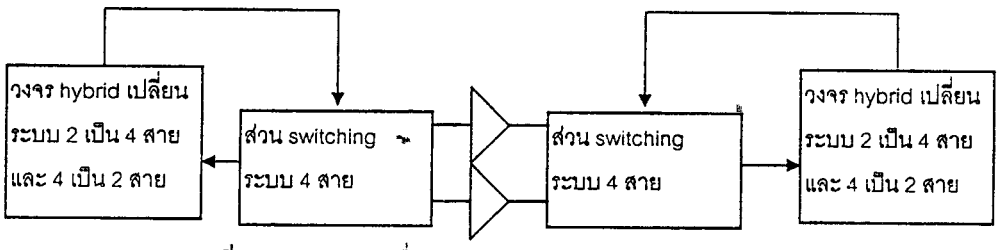
ระบบตัดต่อหรือระบบสวิตช์ชิ่งนี้ เป็นระบบที่ทำหน้าที่ตัดต่อคู่สายโทรศัพท์ เสมือนเป็นสวิตช์ตัดต่อ เพื่อทำให้การสนทนาหรือยกเลิกการสนทนาเกิดขึ้นได้ ซึ่งในปัจจุบันเทคโนโลยีทางด้านคอมพิวเตอร์ ได้เข้ามามีบทบาทในการทำงานแทนพนักงานคอยควบคุมมากขึ้นโดยการใช้คำสั่งเข้ามาควบคุมระบบตัดต่อ ให้มีการทำงานเป็นไปตามที่ต้องการและในปัจจุบันได้มีการนำเอาวงจรรวม (Integrate-Circuit) มาใช้แทนสวิตช์ตัดต่อ หลักการทำงานโดยคร่าวๆของระบบสวิตช์ชิ่งจะได้กล่าวดังต่อไปนี้

2.6.1 หลักการทำงานของระบบตัดต่อ

เมื่อผู้เรียกส่งสัญญาณในการใช้โทรศัพท์โดยการยกหูโทรศัพท์ ทางชุมสายโทรศัพท์จะตรวจพบแล้วจะทำการตัดต่อสวิตช์เพื่อส่งสัญญาณให้หมุน มายังเครื่องของผู้เรียกหลังจากนั้น จะคอยตรวจรับความถี่เมื่อผู้เรียกทำการกดหมายเลข ซึ่งในโทรศัพท์แบบกดหมายเลขจะมีสัญญาณความถี่เฉพาะ ในแต่ละเลขหมายเรียกว่า DTMF (Dual Tone Multi Frequency) ออกมา (การวิเคราะห์เลขหมายจะกล่าวโดยละเอียดต่อไป) หลังจากที่ผู้เรียกกดหมายเลขที่ต้องการแล้วทางชุมสายจะวิเคราะห์หมายเลข จากนั้นก็จะส่งสัญญาณระหว่างชุมสาย (seizure signal, sz) ไปยังชุมสายปลายทางเมื่อชุมสายปลายทางรับทราบก็จะส่งสัญญาณตอบรับ (seizure acknowledge signal, sz-ack) กลับมาแจ้งให้ทราบว่าชุมสายปลายทางพร้อมที่จะรับเลขหมายแล้ว หลังจากนั้นชุมสายต้นทางจะทำการส่งเลขหมายให้ชุมสายปลายทาง เมื่อชุมสายปลายทางรับทราบเลขหมายแล้วก็จะทำการต่อวงจร ทางชุมสายต้นทางจะส่งสัญญาณเรียกกลับ มายังเครื่องของผู้เรียกพร้อมทั้งส่งสัญญาณเรียก มายังเครื่องรับโทรศัพท์ของผู้ถูกเรียก เมื่อปลายทางที่ถูกเรียกทำการต่อคู่สายโทรศัพท์เข้าด้วยกัน เมื่อทำการสนทนาจบและทางผู้เรียกวางหู (On-Hook) ก็จะมีสัญญาณไม่ว่างส่งมายังผู้ถูกเรียกแต่ในอีกลักษณะหนึ่ง ถือผู้ถูกเรียกวางหูลงก่อนทางชุมสายก็จะไม่ตัดวงจรสนทนา แต่ชุมสายปลายทางจะส่งสัญญาณยกเลิกการติดต่อ (Clear Back) แจ้งมายังชุมสายต้นทางและทางชุมสายต้นทางก็จะจับเวลาประมาณ 72-90 วินาที ก่อนจะยกเลิกการทำงานต่อไป

2.7 ระบบการเชื่อมต่อของโทรศัพท์และชุมสาย

ในชุมสายจะประกอบด้วยผู้ใช้ (subscriber) หลาย ๆ จุด และการเชื่อมต่อของสายสัญญาณจากผู้ใช้ มายังองค์การโทรศัพท์ ก็คือ สาย TIP และ RING ในการเชื่อมต่อระหว่างเครื่องโทรศัพท์ของผู้ใช้เข้ากับชุมสาย ก็จะต้องผ่าน Hook switch ภายในเครื่องโทรศัพท์



รูปที่ 2.7 แสดงการเชื่อมต่อระหว่างโทรศัพท์โดยผ่านชุมสาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของชุมสายจะใช้วงจร Hybrid ทำหน้าที่แยกสัญญาณออกเป็น 2 ส่วน คือ เป็นสัญญาณที่ใช้รับอย่างเดียวและส่งเพียงอย่างเดียว โดยการแยกสัญญาณออกจากกันก็เพื่อที่จะทำให้สามารถปรับระดับสัญญาณให้มีระดับที่เหมาะสมกับระยะทางระหว่างคู่สนทนา รูปที่ 2.5 แสดงให้เห็นถึงการเชื่อมต่อของทั้งสองระบบ

27.1 การอินเตอร์เฟสระหว่างชุมสายกับชุมสาย (Trunkside Interface)

Trunkside interface เป็นการติดต่อระหว่างชุมสายหรือส่วนที่เป็นฝ่ายส่งสัญญาณระหว่างชุมสาย ในส่วนของวงจรที่ต้องอินเตอร์เฟสระหว่างชุมสายก็จะมีฟังก์ชันการทำงาน เช่น Supervision วงจรควบคุมสัญญาณในการส่งการรับในส่วนนี้จะมีความซับซ้อนยุ่งยากวงจรที่ใช้จึงมีลักษณะที่มีการใช้งานร่วมกันของหลาย ๆ คู่สายและใช้คอมพิวเตอร์เข้ามาควบคุมการทำงาน

2.7.2 การอินเตอร์เฟสระหว่างเครื่องโทรศัพท์กับชุมสาย (Lineside Interface)

การอินเตอร์เฟสในส่วนนี้เป็นส่วนที่ต้องใช้งานมากที่สุดในระบบโทรศัพท์ทั่วไป เพราะเป็นการอินเตอร์เฟสกันระหว่างเครื่องรับโทรศัพท์ กับชุมสายโทรศัพท์ฟังก์ชันการทำงานก็คือฟังก์ชัน BORSCHT ซึ่งในการทำงานจะกล่าวดังต่อไปนี้

2.7.2.1 แบตเตอรี่ฟีด (Battery Feed :B) มีส่วนประกอบและการทำงานดังนี้

- เป็นแหล่งจ่ายกำลัง ขนาดแรงดันประมาณ 48 Volts จ่ายให้แก่เครื่องรับโทรศัพท์
- ทำหน้าที่ในการส่งผ่านสัญญาณต่าง ๆ ที่มีอยู่ในระบบโทรศัพท์
- มีค่าความต้านทานต่ำ
- มีค่าอิมพีแดนซ์ (Impedance) สูง

2.7.2.2 ส่วนป้องกันแรงดันเกิน (Over Voltage Protection : O) เป็นส่วนที่ทำหน้าที่ป้องกันความเสียหายที่จะเกิดขึ้นกับอุปกรณ์ภายในวงจรของอินเตอร์เฟสที่อาจจะมากับสัญญาณทรานเซี้ยนต์สูง ๆ เช่น แรงดันที่เหนี่ยวนำเข้ามาในวงจรขณะเกิดฟ้าผ่าหรืออันตรายที่เกิดมาจากการลัดวงจร

2.7.2.3 ส่วนกำเนิดสัญญาณกระดิ่ง (Ringing : R) เมื่อมีการต่อวงจรของผู้ถูกเรียกเข้ากับชุมสายแล้วทางชุมสาย ก็จะส่งสัญญาณกระดิ่ง ไปยังเครื่องโทรศัพท์โดยใช้รีเลย์ (Relay) ในการต่อวงจรสร้างสัญญาณกระดิ่ง เข้ากับสายสัญญาณ Tip และ Ring โดยใช้สัญญาณกระดิ่ง ที่มาจากสายจะมีขนาดของแรงดันประมาณ 90Vrms, 25 Hz

2.7.2.4 ส่วนตรวจรับสภาพการทำงานของโทรศัพท์ (Supervision: S) เป็นส่วนที่ต้องคอยตรวจเช็คการขอใช้โทรศัพท์ การรับทราบเลขหมายที่ส่งมาและยังตรวจสอบสถานะของการใช้งาน

2.7.2.5 การเข้า/ถอดรหัส (Coding :C) ทำหน้าที่ในการเข้าและถอดรหัสข้อมูลดิจิตอล ซึ่งจะใช้วิธีการแบบ PCM (Pulse Code Modulation) ซึ่งทางภาครับก็จะต้องใช้วงจรถอดรหัสและทำการแปลงให้อยู่ในรูปของสัญญาณ Analog ต่อไป

2.7.2.6 วงจร Hybrid (Hybrid:H) ทำหน้าที่แปลงระบบสายส่งสัญญาณจากระบบ 2 สายให้เป็น 4 สาย เพื่อที่จะแยกสัญญาณส่งและรับได้อย่างเหมาะสม

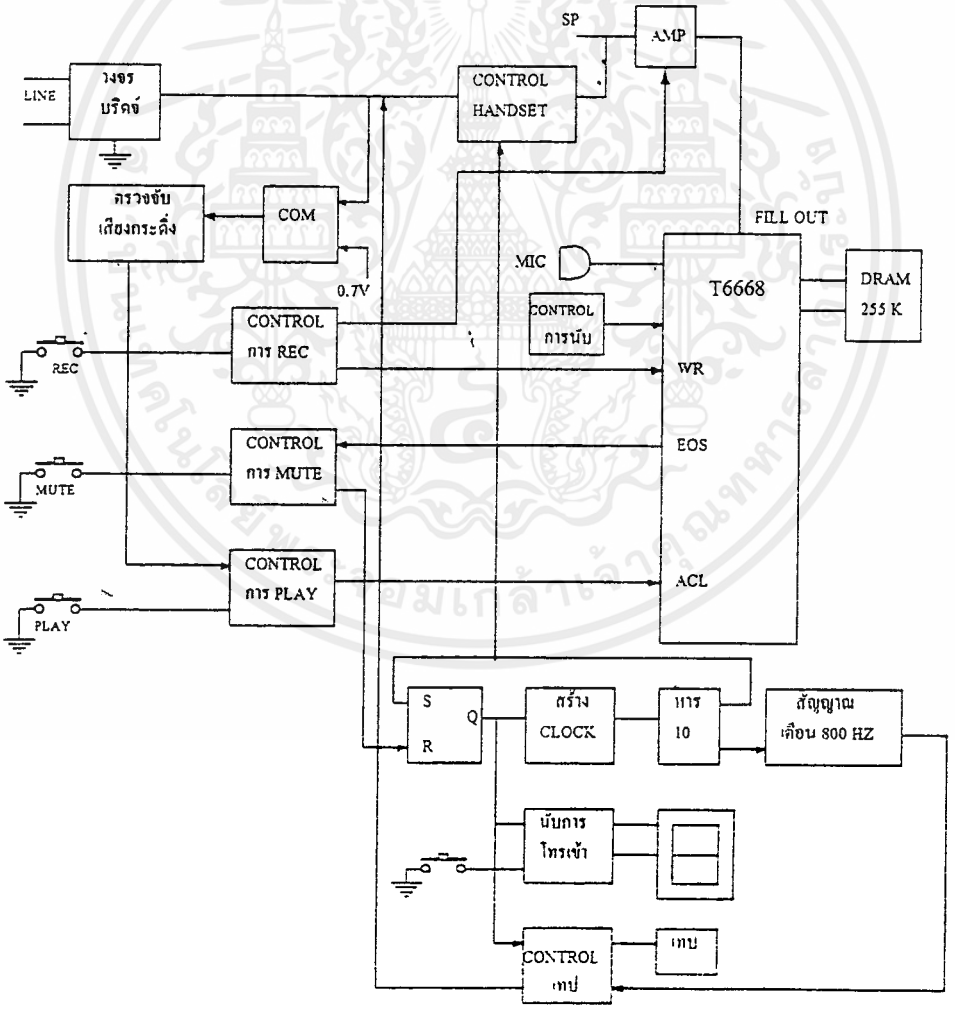
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7.2.7 ส่วนทดสอบ (Test:T) เป็นส่วนที่ทำหน้าที่ในการตรวจสอบหาจุดบกพร่องในการทำงานของวงจรอินเตอร์เฟสตรวจสอบอุปกรณ์ Switching ที่ต่ออยู่กับคู่สายนั้น ตลอดจนการตรวจซ่อมก็สามารถทำได้

ทั้งหมดนี้คือฟังก์ชั่น BORSCHT ซึ่งปัจจุบันจะอยู่ในรูปของวงจรรวม (Integrate Circuit:IC) เป็นส่วนใหญ่โดยวงจรอินเตอร์เฟสที่มีฟังก์ชั่นนี้ครบเรียกว่า SLIC (Subscriber Line Interface Circuit) ในการทำงานของส่วนติดต่อระหว่างชุมสายกับเครื่องรับโทรศัพท์เป็นส่วนที่มีความสำคัญ ส่วนทั้งหมดที่ได้กล่าวมานี้เป็นส่วนที่สำคัญเป็นอย่างยิ่ง ที่ใช้ศึกษาการทำงานของชุมสายโทรศัพท์อย่างคร่าว ๆ เพื่อใช้เป็นแนวทางในการทดลองสร้างเครื่องตอบรับโทรศัพท์อัตโนมัติ (Answering Machine)

2.8 หลักการทำงานของเครื่องตอบรับโทรศัพท์

เครื่องตอบรับโทรศัพท์ที่สร้างขึ้นมา ประกอบด้วยภาคต่างๆ หลายภาค แต่ละภาคจะทำงานสัมพันธ์กัน ซึ่งเขียนเป็นบล็อกไดอะแกรม (BLOCK DIAGRAM) แสดงการทำงานต่อไปนี้



รูปที่ 2.8 BLOCK DIAGRAM ของเครื่องตอบรับโทรศัพท์อัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก block diagram ในรูปที่ 2.8 สามารถอธิบายการทำงานได้ต่อไปนี้

เริ่มด้วยเมื่อมีสัญญาณกระดิ่งเข้ามาที่ line tel. ผ่านวงจรบริดจ์ วงจรบริดจ์เป็นการกำหนดทั้งของ line tel. ที่จะให้สัญญาณกระดิ่งเข้าในวงจร จากนั้นส่วนของการตรวจจับเสียงกระดิ่ง จะเริ่มทำงานเมื่อมีสัญญาณ trig มาจาก comparator, comparator นี้จะเปรียบเทียบ voltage ระหว่าง voltage reference กับ voltage ที่มาจากเสียงกระดิ่ง ดังนั้นเมื่อมีเสียงกระดิ่งเข้ามาทำให้ voltage ที่จุดนี้สูงกว่า voltage reference จึงทำให้มีสัญญาณ trig ออกที่ out put เมื่อตรวจจับเสียงกระดิ่งทำงาน ก็จะส่งสัญญาณไปให้กับส่วนของ control การ play จากนั้นก็จะส่งสัญญาณต่อไปยัง ACL ของ T6668 ก็จะนำเสียงที่ทำการบันทึกไว้แล้วใน DRAM ออกทาง Fil Out ของ T6668 เสียงนี้จะถูกขยายออกลำโพงและอีกส่วนหนึ่งจะส่งไปยัง Line Tel. เมื่อมีการยกหูไว้ก่อนแล้วจึงทำให้ผู้ที่โทรเข้ามานี้ ได้ยินเสียงตอบกลับมา แต่เสียงนี้จะเป็นเสียงจาก DRAM นั่นเอง

เมื่อเสียงที่ออกไปนี้หยุด หรือหมดเวลาแล้ว ที่ EOS ของ T6668 จะเป็นHigh เมื่อขานี้เป็น High จะทำให้ Flip - Flop ต่ออยู่นั้น Reset Q จะเป็น High และส่งไปยังส่วนของการสร้าง clock ความถี่ต่ำ ส่งไปยังวงจรควบคุมการบันทึกเทป เพื่อให้ทำงานหรือทำการบันทึกได้เลย และส่งไปยังการ Display ของผู้โทรเข้าหรือแสดงจำนวนครั้งของการโทรเข้า เทปนี้จะหยุดการบันทึกเมื่อ มีสัญญาณเตือน 800 Hz ที่ output ของวงจรนี้เมื่อนับ 9 จะสั่งให้สัญญาณเตือนออกไป และเมื่อนับ 10 จะสั่งให้วงจรทั้งหมดหยุดทำงาน โดยจะไป Set Flip - Flop ให้ Q เป็น LOW และอีกส่วนหนึ่งส่งไปยัง วงจร Control การยก - การวางหูโทรศัพท์ให้ทำการวางหู ก็เป็นอันว่าสิ้นสุดการทำงานของ Block diagram นี้

ในส่วนของการบันทึกเสียงเข้า DRAM.

โดยดูจาก Block diagram เมื่อเรากด SW "REC" จะมีสัญญาณส่งไปให้วงจร control การ REC เมื่อวงจรนี้ได้รับสัญญาณ ก็จะส่งสัญญาณออกเป็น 2 สาย สายหนึ่งจะส่งไปยัง WR ของ T6668 เพื่อให้ทำการบันทึกได้เลยและอีกสายหนึ่งจะส่งไปยังวงจร Amp. ขยายเสียงออกทางลำโพง ดังนั้นขณะทำการบันทึกเสียงอยู่นั้นจะไม่มีเสียงออกทางลำโพงเลย ซึ่งในขณะนี้ก็ทำการบันทึกเสียงได้ โดยพูดทาง mic และเสียงที่บันทึกนี้จะถูก Sampling แล้วเก็บไว้ใน DRAM ดังนั้นถ้าต้องการให้บันทึกเสียงนานเท่าไรก็เพิ่ม DRAM ในส่วนนี้เข้าไป แต่ในโครงงานนี้จะใช้ DRAM 256K เพียงตัวเดียว สามารถบันทึกได้นาน 16 วินาที เพราะเวลาเพียงแค่นี้ก็เพียงพอสำหรับการตอบกลับแล้ว เมื่อการบันทึกเสร็จสิ้นลงที่ EOS ของ T6668 จะเป็น High ในขณะที่ทำการบันทึกเสียงอยู่นั้นจะมี LED แสดงการ REC. อยู่ด้วยแต่เมื่อบันทึกเสียงเสร็จ LED แสดงการ REC นี้ จะดับแต่ LED แสดงการ Mute จะติด โดยได้สัญญาณมาจาก ขา EOS ของ T6668

ต้องการฟังเสียงที่บันทึกไว้แล้ว

เมื่อต้องการฟังเสียงไว้แล้วนั้นให้กด SW "PLAY" ก็จะเป็นสัญญาณส่งไปให้กับวงจร Control การPlay เมื่อวงจรนี้ได้รับสัญญาณ ก็จะส่งสัญญาณไปให้กับ ACL ของ T6668 เพื่อเป็นการเล่นกลับ จากนั้น T6668 ก็จัดการนำเสียงที่ทำการบันทึกไว้แล้ว ใน DRAM ออกทาง Fil out แล้วส่งให้ Amp ขยายเสียงออกทางลำโพงเราสามารถฟังเสียงที่ทำการบันทึกแล้วนั้นได้.

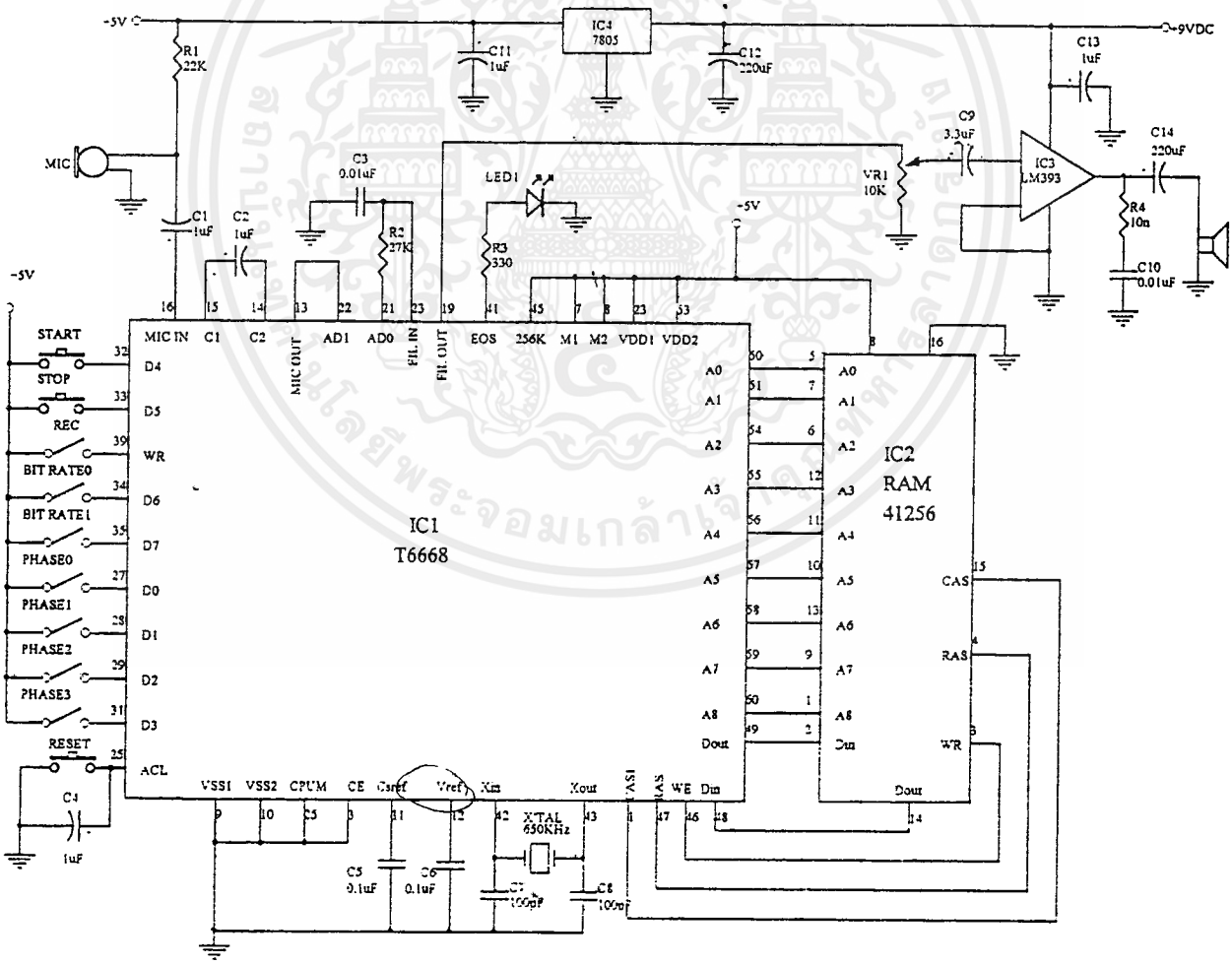
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 รายละเอียดการทำงานของวงจรเบื้องต้น

วงจรแบ่งเป็น 2 วงจรใหญ่ ๆ คือ 1. วงจรตอบรับโทรศัพท์

2. วงจรควบคุมการบันทึกเทป

ส่วนบันทึกเสียงพูดด้วยไอซีดีจิตอล ประกอบด้วยไอซี 1 และไอซี 2 โดยไอซี 1 ทำหน้าที่บันทึกเสียงโดยใช้เทคนิค CVSD (CONTINUOUS VARIABLE SLOPE DELTAMODULATION) หรือแปลเป็นภาษาไทยได้ว่า ระบบเดลต้ามอดูเลชั่น แบบเปลี่ยนแปลงความชันต่อเนื่อง ซึ่งภายในตัวไอซี 1 จะประกอบด้วยวงจรเปลี่ยนอนาล็อกเป็นดิจิตอลและส่วนของวงจรเปลี่ยนดิจิตอลเป็นอนาล็อก ต่ออยู่กับไดนามิคแรม เบอร์41256 ขนาด 256 K ใช้คริสตอล X1 ควบคุมความถี่ภาคออสซิลเลเตอร์ดังนั้นขณะเราบันทึกเสียงเพื่อบอกข้อความไปยังผู้โทรมา จะบันทึกได้นาน 16 วินาที รูปร่างของไอซี 1 เป็น ไอซี 60 ขาแบบเซอร์เฟสเมาต์ เบอร์ T6668



รูปที่ 2.9 วงจรสมบูรณ์ของเครื่องบันทึกเสียงพูดที่ใช้ T6668 บันทึกได้นาน 16 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนจดจำและทำกำเนิดเสียงพูด

ในที่นี้จะใช้ IC T6668 ของโตชิบาเป็น IC ADM หรือ ADAPTIVE DELTA MODULATION เป็น CMOS LSI มีรูปร่างภายนอกเป็นแบบติดตั้งบนผิวหรือ เซอร์เฟสเมาต์ขนาด 60 ขา ต่อกับหน่วยความจำชนิดไดนามิกขนาด64 K * 1 บิต ได้โดยตรง 4 ตัว ใช้คริสตอลควบคุมความถี่สัญญาณนาฬิกา เปลี่ยนบิตเรตโดยใช้ DIP SW. เลือกหน้า (PHARSE) ของหน่วยความจำ แยกบันทึก / เล่นกลับได้ เมื่อใช้หน่วยความจำ 256 K * 1 บิต (41256) จำนวน 4 ตัว ที่บิตเรต 16 K จะบันทึกได้นาน 64 วินาที T6668 นี้มีความสมบูรณ์ในตัวค่อนข้างมาก ทางด้าน IN PUT สามารถต่อไมโครโฟนเข้ากับไอซีได้เลย ด้าน OUT PUT ต้องเพิ่มภาคขยายอีกส่วนหนึ่งโดย T6668 จะรับสัญญาณ IN PUT เสียงพูดเข้ามาจากนั้นทำการขยายแล้วเปลี่ยนจากสัญญาณอนาล็อก เป็นสัญญาณดิจิตอล แล้วนำข้อมูลที่ได้นี้ไปเก็บไว้ที่ ไดนามิคแรม (DRAM) โดย T6668 จะทำการเลื่อนแอดเดรสที่จะนำเข้าไปเก็บเองโดยอัตโนมัติ เมื่อทำการแปลงข้อมูลจาก D/A จะใช้อัตรา 10 BIT D/A เพื่อเปลี่ยนกลับมาเป็นเสียงเช่นเดิม การอัดเข้าไปเราจะสามารถเลือกบิตเรตได้ 4 บิตเรต โดยเลือกที่ขาสัญญาณ D_6 , D_7 (ขา 34,35)

ตารางที่ 2.4 แสดงค่าบิตเรตที่ได้จากการกำหนด D_6 และ D_7 .

K BPS	D_7	D_6
8	0	0
11	0	1
16	1	0
32	1	1

จากตารางที่ 2.4

1. ถ้าเราเลื่อนสวิตช์ D_7 - D_6 ไปที่ 0,0 จะทำให้อัตราความเร็วของการเปลี่ยนแปลงข้อมูลเป็น 8K บิตต่อวินาที ทำให้อัดหรือเล่นเสียงได้นาน 128 วินาที

2. D_7 - D_6 เป็น 0.1 จะทำให้อัตราการแปลงข้อมูลเป็น 16 K บิตต่อวินาที ทำให้อัดหรือเล่นได้นาน 93 วินาที

3. D_7 - D_6 เป็น1.1 ทำให้อัตราการแปลงข้อมูลเป็น 32K บิตต่อวินาที ทำให้อัดหรือเล่นได้นาน 32 วินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

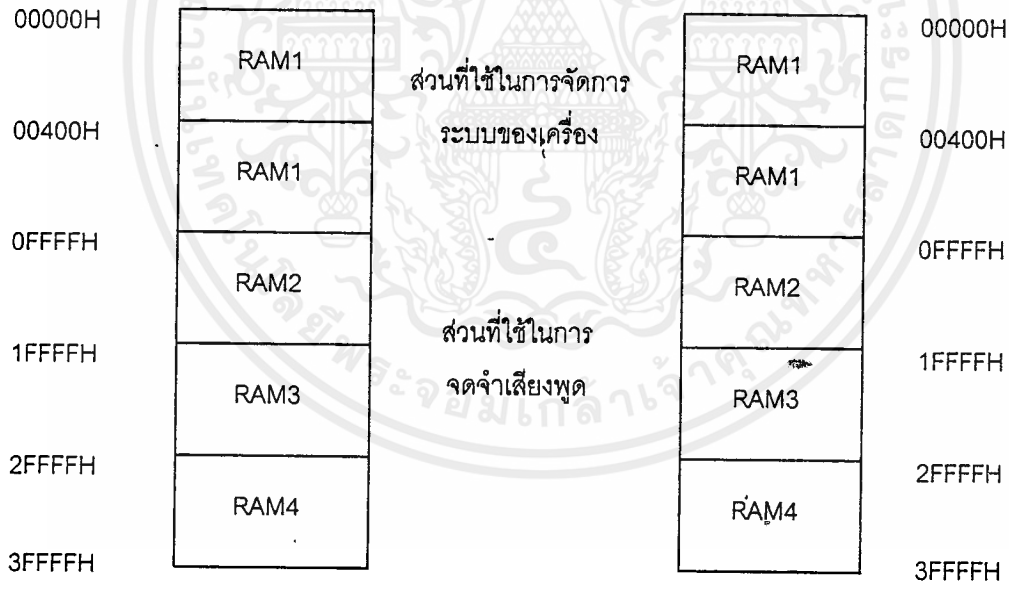
การทดลองใช้ X-TAL 650 kHz เป็นฐานความถี่และต่อกับ RAM 256k จำนวน 4 ตัว ทำให้ความจุของ memory เพิ่มขึ้นเป็น1M bit ดังวงจรรูปที่ 2.11 การอัดเมื่อเราอัดสปีดใดสปีดหนึ่งเสร็จแล้ว เราต้องการดัดเสียงสูง ๆ ให้ได้ผลดีควรจะใช้สปีดสูง ๆ ในการอัดด้วย จึงจะทำให้เสียงที่อัดออกมามีคุณภาพเสียงที่ดี

MEMORY

T6668 สามารถเลือกใช้ memory ได้ 2 ขนาดคือ 64k DRAM กับ 256k DRAM โดยการเลือกที่ขา 45 ของ IC (ที่เขียนไว้ว่า 256k) คือเมื่อเราจะต่อ DRAM 256k ให้กับ IC เราจะต้องเลือกต่อขา 45 กับไฟบวก และเมื่อเราต้องการต่อ DRAM 64k ให้กับ IC เราต้องต่อขา 45 กับกราวด์ T6668 ก็จะรู้ว่าเราใช้ memory ขนาดเท่าใดกับมัน

การเพิ่ม memory ให้กับ IC T6668 สามารถกำหนดได้โดยการต่อขา M2 (ขา 8),M2 (ขา 7) ตามตารางที่ 2.6 คือ ถ้าเราต่อ M2,M1 ลงกราวด์ T6668 จะทำการเขียนหรืออ่านข้อมูลจาก 0000H ไปจนถึง 0FFFFH แล้วตัวมันเองก็จะเลิกการอ่านหรือการเขียนมารอการเริ่มต้นใหม่

ดังนั้นเราจึงกำหนดขนาดของ memory ได้ตามต้องการเพื่อการประหยัดในการนำไปใช้งานที่ต้องการขนาด memory ต่างกันได้



รูปที่ 2.10 แผนภูมิของ memory ที่ใช้ในการทำงานทั้ง 2 แบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.5 แสดงอัตราความเร็วของการเปลี่ยนแปลงข้อมูล

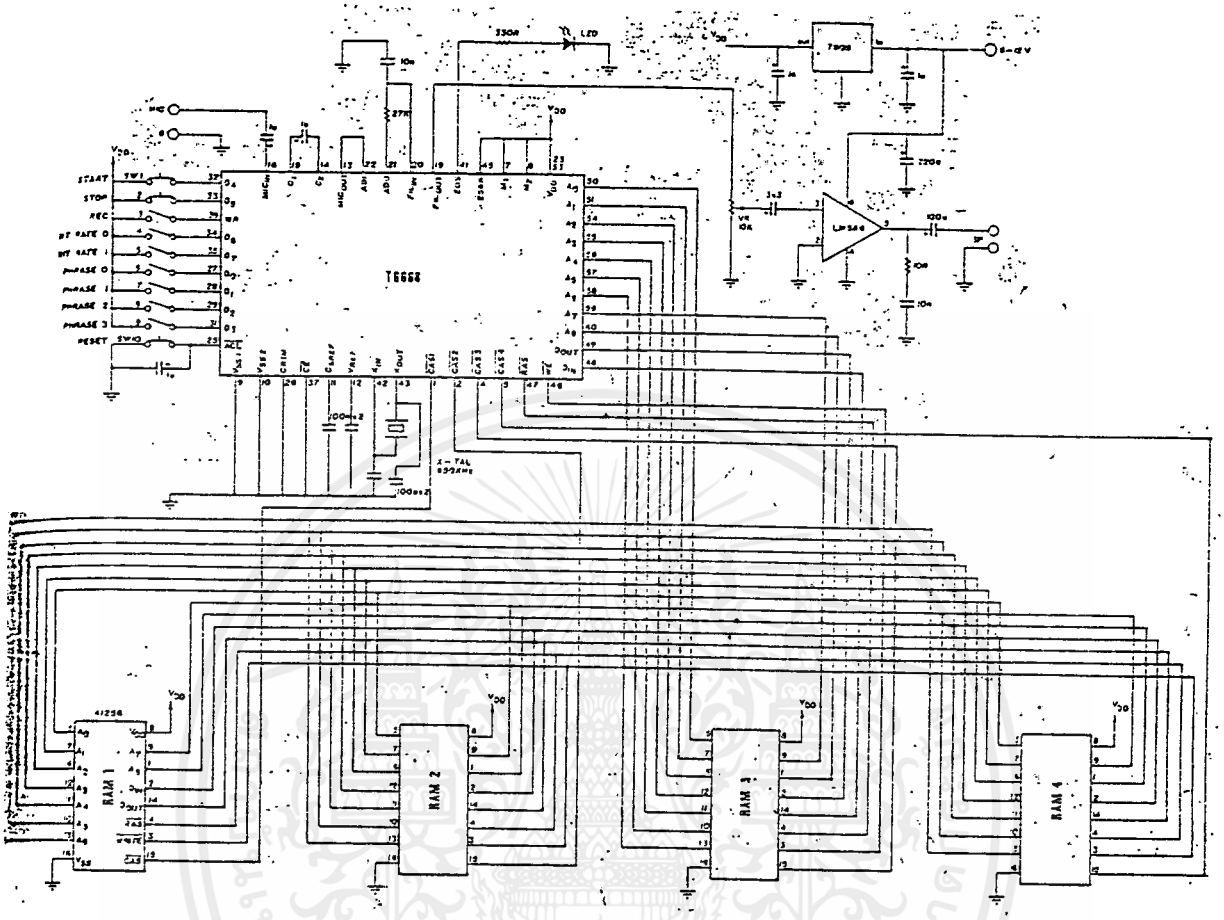
ระยะเวลา / ช่อง	D_7	D_0
128 วินาที	0	0
93 วินาที	0	1
64 วินาที	1	0
32 วินาที	1	1

แผนภูมิของ memory ที่ใช้ในการทำงานทั้งสองแบบ ตามรูปที่ 2.10 การต่อ memory เพิ่มเติมทำโดยการง้างขา CAS (ขา 15 ของ 41256) ออกมาแล้วซ้อนทับ IC เข้าไปจากนั้นก็ต่อขา CASไปยัง CAS2 ,CAS3,CAS4 ของ IC T6668

ตารางที่2.6 แสดงการเพิ่ม Memory ให้กับ IC T6668

ชนิดของ RAM	256K	M_2	M_1	ADDRESS ที่หยุด
64K DRAM ตัวที่ 1	0	0	0	0FFFFH
64K DRAM ตัวที่ 2	0	0	1	1FFFFH
64K DRAM ตัวที่ 3	0	1	0	2FFFFH
64K DRAM ตัวที่ 4	0	1	1	3FFFFH
256K DRAM ตัวที่ 1	1	0	0	3FFFFH
256K DRAM ตัวที่ 2	1	0	1	7FFFFH
256K DRAM ตัวที่ 3	1	1	0	BFFFFH
256K DRAM ตัวที่ 4	1	1	1	FFFFFH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 ตัวอย่างวงจรเมื่อใช้ RAM 4 ตัว

การใช้งานในแบบธรรมดา

1. เปิดเครื่องจะเห็น LED ติดอยู่
2. กดสวิตช์ไปที่อัดค้างไว้ (CE จะต้องต่อกับกราวด์ด้วย)
3. เลือกช่องที่จะอัดเข้าไป โดยช่องที่จะอัดมี 4 ช่อง สวิตช์นี้เป็น Binary Code
4. เลือกสปีดโดยตั้ง D_7 - D_6 ได้ตามต้องการ (เวลาที่แสดงนี้ใช้ memory 1 M
5. กดปุ่มสวิตช์ START แล้วไฟที่ LED จะดับ แสดงว่าเครื่องกำลังอัดคำพูดเข้าไปเก็บ เมื่อพูดจนพอใจแล้วจึงกดสวิตช์ STOP อีกครั้งหนึ่งไฟที่ LED จะสว่าง ในกรณีที่เราพูดนานเกินกว่าเวลาที่กำหนดเครื่องจะหยุดการทำงานอัตโนมัติ ไฟที่ LED จะสว่างขึ้นมาเพื่อบอกให้เรารู้ว่าเป็นการสิ้นสุดขั้นตอนการอัดใน 1 ช่อง
6. ถ้าเราต้องการอัดในช่องอื่น ๆ อีกก็ทำเช่นเดียวกัน ตั้งแต่ต้นจนถึงข้อ 5 (เวลารวมของแต่ละช่องต้องไม่เกินเวลาที่ได้กำหนดไว้)
7. การอ่านทำโดยการยก สวิตช์ WR ขึ้น (CE ต่อกราวด์เหมือนเดิม)

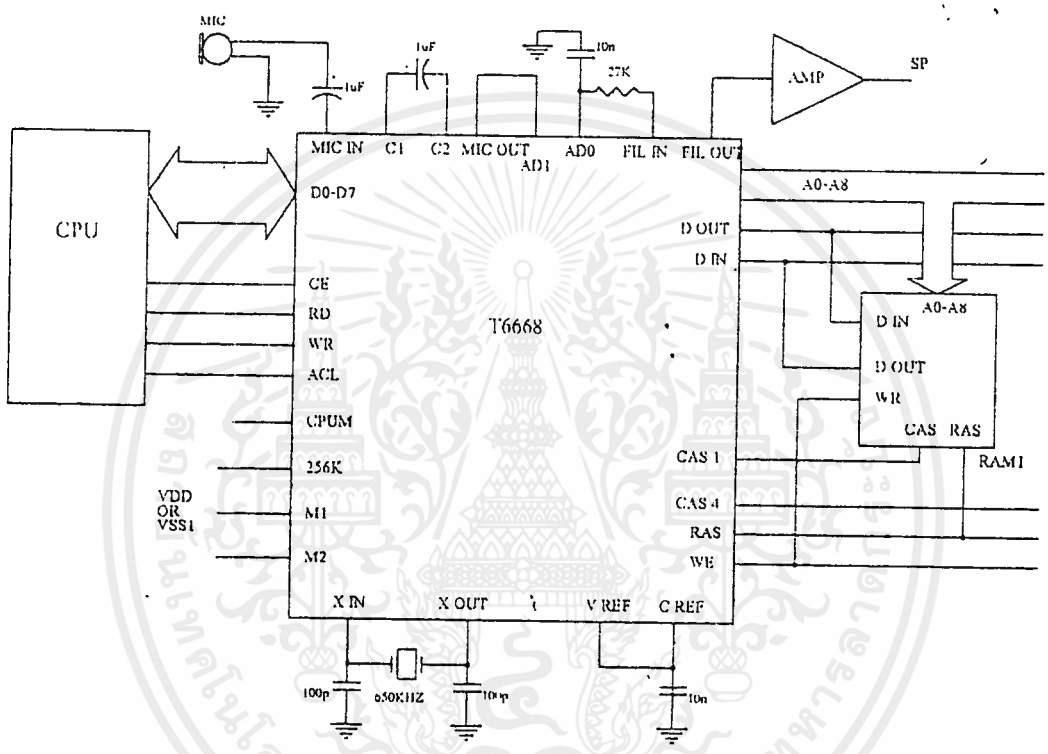
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8. เลือกช่องที่จะอ่านและสปีด

9. กดสวิตช์ START เครื่องจะพูดตามที่อัดไว้ ถ้าเรากดสวิตช์ซ้ำกันหลายครั้งในระหว่างพูด เครื่องจะจำได้ว่ามีการกดสวิตช์ START เพียงครั้งเดียวและจะพูดซ้ำอีกเมื่อพูดจบ

10. เมื่อต้องการให้เครื่องพูดติดต่อกัน ทำโดยเลือกช่องแรก กด START เสร็จแล้วเปลี่ยนช่องแล้วกดสวิตช์ซ้ำอีกทีหนึ่งเครื่องจะพูดซ้ำอีกตามต้องการได้

จากที่กล่าวมาข้างต้นจึงทำให้เครื่องนี้สามารถตัดต่อคำพูดได้ พูดซ้ำได้เร่งหรือลดสปีดคำพูดได้ เครื่องนี้สามารถควบคุมได้จาก CPU โดยตรง ซึ่งทำให้สามารถไปประยุกต์ใช้งานต่าง ๆ ได้ตามต้องการ



รูปที่ 2.12 การต่ออินเตอร์เฟส T6668 เข้ากับ CPU เพื่อควบคุมการทำงาน

<u>รายละเอียดขาใช้งานของไอซี T6668</u>

A_0 - A_8	:ขาแอดเดรสต่อกับหน่วยความจำ DRAM
D_{in} , D_{out}	:ขาดาต้าต่อกับหน่วยความจำ DRAM
RAS ,WE	:สัญญาณควบคุม DRAM
CAS_1 ,CAS_2	:ขาเลือกใช้งาน DRAM แต่ละตัวรวม 4 ตัว
M_1 , M_2	:ใช้กำหนดจำนวนแรมที่ใช้งาน (ดูตารางที่ 2.6)
256K	:เลือกความจุของหน่วยความจำที่ใช้งาน
EOS	:เอาท์พุตเป็นไฮเมื่อจบข้อความที่บันทึก
MIC_{in} , MIC_{out}	:อินพุตและเอาท์พุตของภาคขยายส่วนหน้า
AD_1 . . AD_9	:อินพุตสัญญาณอนาล็อกที่จะนำไปแปลงเพื่อบันทึกและเอาท์พุตอนาล็อกที่ได้จากการอ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIL_{in} , FIL_{out} :ขาต่อวงจรความถี่ต่ำผ่าน

C_1 , C_2 :ต่อตัวเก็บประจุภายนอก

ACL :ขารีเซตแอคทีฟโลว์

X_{in} , X_{out} :ขาต่อคริสตอลออสซิลเลเตอร์ความถี่ 455 kHz

CPUM , CE :ขาสัญญาณควบคุมสำหรับอินเตอร์เฟสกับ CPU

WR :ขาอินพุตสำหรับควบคุมการบันทึกเสียง

D_4 ,D_5 :ขาอินพุตควบคุมการเริ่มต้น (D_4)และการหยุด(D_5)ขณะบันทึกและเล่นกลับ

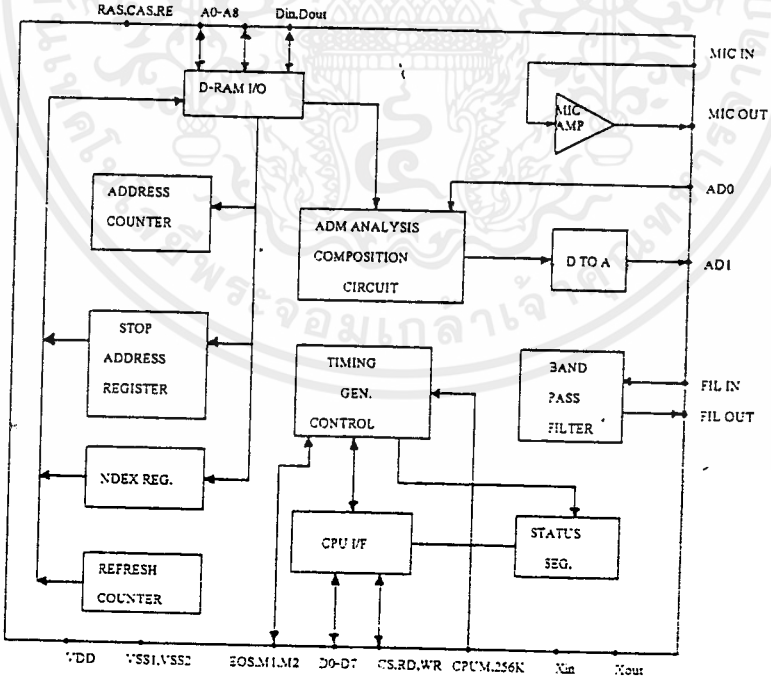
D_6 , D_7 :กำหนดบิตเรต(ดูตารางที่ 2.4)

D_0 - D_3 :เลือกหน้าของหน่วยความจำ(PHARSE) สำหรับบันทึก แบ่งได้สูงสุด 16 หน้า ตามรหัสเลขฐานสองแต่ละหน้าไม่กำหนดความยาวแล้วแต่ว่าจะกำหนด STOP (D_5) เมื่อใด ก็จะมีการบันทึกไว้โดยอัตโนมัติ

V_{ss} ,V_{dd} :ขาไฟเลี้ยงและกราวด์

<u>โครงสร้างภายในของ T6668</u>

บล็อกไดอะแกรมของ T6668



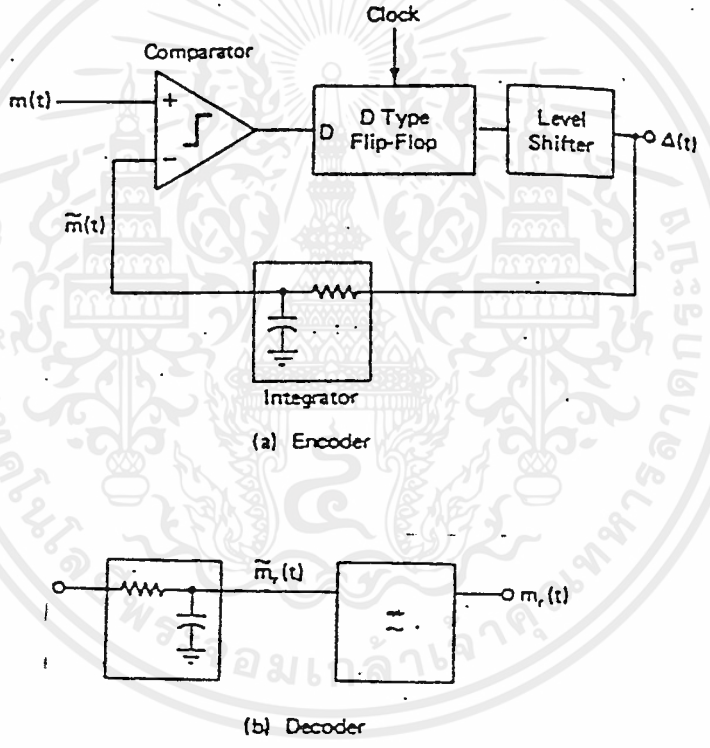
รูปที่ 2.13 แสดงบล็อกไดอะแกรมของไอซี T6668

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

039039

เดลต้า มอดดูเลชั่น (Delta Modulation)

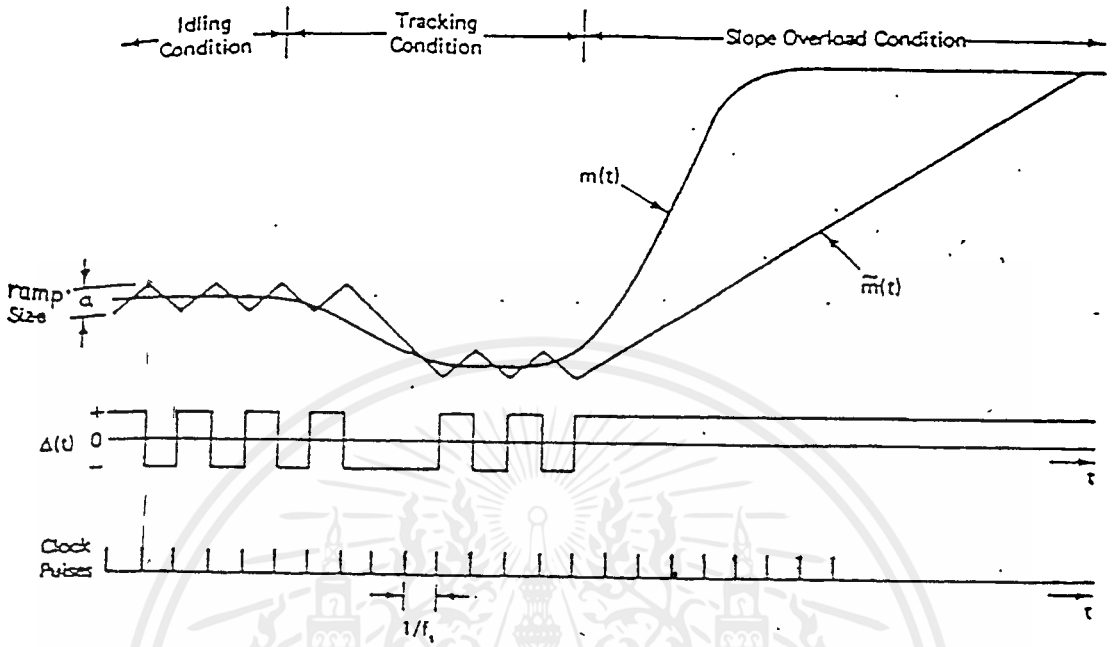
เดลต้ามอดดูเลชั่น (DM) เป็นวิธีการหนึ่งของดิจิตอลมอดดูเลชั่น (Digital Modulation) ถูกนำไปใช้งานในด้านการสื่อสารดาวเทียม การส่งโทรทัศน์และระบบโทรศัพท์ เดลต้ามอดดูเลชั่น เป็นวิธีการที่ยุ่งยากน้อยกว่าและค่าใช้จ่ายถูกกว่าระบบ พีซีเอ็ม (PCM) นอกจากนี้มันยังทำให้การผิดพลาดในการส่งข้อมูลน้อยกว่า และไม่ต้องการชิงโครไนซ์ (Synchronization) ของข้อมูลเหมือนกับระบบพีซีเอ็ม แต่มันมีข้อเสียคือ มันมีความไวต่อการเปลี่ยนแปลงความชันเกินขนาด (slope overload) ของวงจรอินทิเกรเตอร์ (integrator) และใช้กับระบบเวลาร่วม (time sharing) ไม่ได้เทคนิคของเดลต้ามอดดูเลชั่น จะใช้การสุ่มสัญญาณหนึ่งจุดแล้วเปรียบเทียบความสูงหรือการเปลี่ยนแปลงของสัญญาณอินพุตนั้น ข้อมูลที่ได้ก็คือทิศทางของการเปลี่ยนแปลงซึ่งก็มีเพียงขึ้นหรือลงเท่านั้น ดังนั้นความกว้างของข้อมูลดิจิตอลจึงใช้เพียงบิทเดียวก็เพียงพอข้อดีของวิธีการเดลต้ามอดดูเลชั่น ก็คือใช้หน่วยความจำน้อยกว่าวิธีการอื่น



รูปที่ 2.14 Delta Modulator

เดลต้ามอดดูเลชั่นจะส่งกลุ่มข้อมูลไบนารี่ออกมาโดยที่ขั้วของมันหรือระดับลอจิกจะขึ้นอยู่กับสัญญาณอินพุตปัจจุบัน และสัญญาณอินพุตซึ่งผ่านวงจรฟิดแบคอินทิเกรเตอร์ ในรูปที่ 2.14 สัญญาณส่วนฟีดแบค $\overline{m}(t)$ ถ้าสัญญาณ m(t) มากกว่า $\overline{m}(t)$ มันจะให้สัญญาณดิจิตอลที่มีระดับลอจิกสูงที่มีคาบเวลา (t) และถ้า $\overline{m}(t)$ พัลซ์ลบจะถูกสร้างออกไป เอาท์พุต จากการเปรียบเทียบนี้ จะถูกป้อนผ่านฟลิปฟลอปที่ควมคุมด้วยสัญญาณนาฬิกาความถี่ fs ในรูป 2.15 เพื่อให้ได้เป็นข้อมูลดิจิตอล ซึ่งก็คือ การกำหนดอัตราการสุ่มสัญญาณนั้นเอง

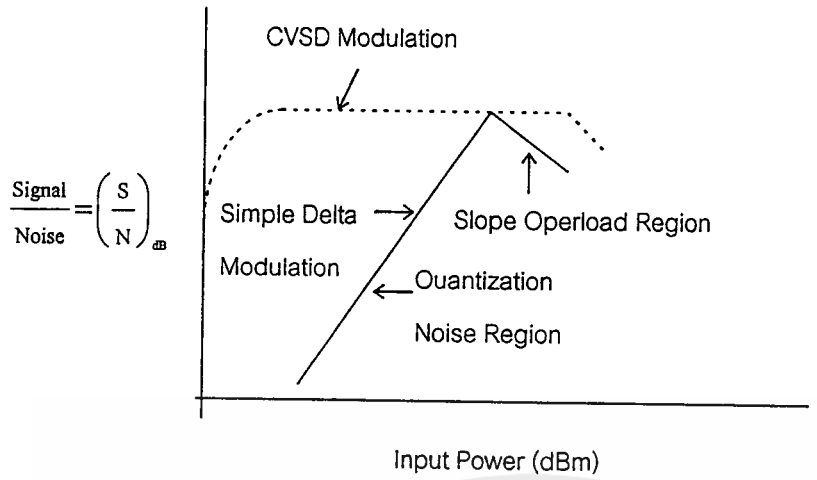
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 Delta Modulation Waveforms illustrating idling , Tracking and Slop Overload

รูปกราฟที่ได้แสดงในรูปที่ 2.15 แสดงถึงการทำงานของเดลต้ามอดดูเลเตอร์รูปทางด้านซ้ายมือจะเป็นชุดของสัญญาณสามเหลี่ยม (triangular waveforms) ซึ่งสร้างมาจากวงจรอินทิเกรเตอร์ คือสัญญาณ $\overline{m}(t)$ เมื่อสัญญาณอินพุตที่จะป้อนเข้าเดลต้ามอดดูเลเตอร์ เนื่องจากวงจรอินทิเกรเตอร์จะให้สัญญาณลาด (ramp) ที่มีค่าความชันคงที่ ดังนั้นในสภาพคงที่ (Idling condition) สัญญาณที่ถูกส่งออกไปจะประกอบด้วยพัลซ์บวกและพัลซ์ลบต่อเนื่องกันไปความแตกต่างระหว่างสัญญาณอินพุตเดิม m(t) และสัญญาณที่สร้างขึ้นใหม่ $\overline{m}(t)$ จะก่อให้เกิดผลของความผิดพลาดได้ ซึ่งเรียกว่ากรานูล่าร์ หรือ ควอนไทเซชั่นนอยส์ (quantization noise) ซึ่งสามารถลดลงได้โดยการลดขนาดของช่วง a หรือโดยการเพิ่มความถี่ของการสุ่ม (sampling frequency) ถ้าสัญญาณอินพุต m(t) มีขนาดพอ ๆ กันกับสัญญาณฟีดแบค $\overline{m}(t)$ พัลซ์ได้ทางเอาท์พุตคงเป็นบวกอยู่ แต่ถ้าสัญญาณอินพุตเกิดการเปลี่ยนแปลงของระดับของสัญญาณขนาดใหญ่หรือสัญญาณที่มีความถี่สูงได้ซึ่งสิ่งเหล่านี้เป็นข้อจำกัดของ เดลต้ามอดดูเลชั่น เพราะถ้าเราต้องการคุณภาพของสัญญาณที่ดี ความถี่ของสัญญาณนาพิกาก็จะต้องยิ่งมีค่าสูงมากขึ้นเท่านั้น ซึ่งก็สิ้นเปลืองหน่วยความจำตามไปด้วยความถี่ที่เพียงพอ ในการใช้งานจะต้องลองนำสัญญาณเอาท์พุตที่ได้ผ่านวงจรดีมอดดูเลเตอร์ในรูปแล้วดูคุณภาพของสัญญาณที่ได้ โดยทั่วไปแล้วสำหรับคุณภาพเสียงพูดจากโทรศัพท์ซึ่งมีแถบกว้างประมาณ 4 kHz จะใช้ความถี่สุ่มประมาณ 16 kHz ความถี่นี้เป็นตัวกำหนดอัตราเร็วของข้อมูล (bit rate) ซึ่งเท่ากับ 16000 บิทต่อวินาที (bps)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



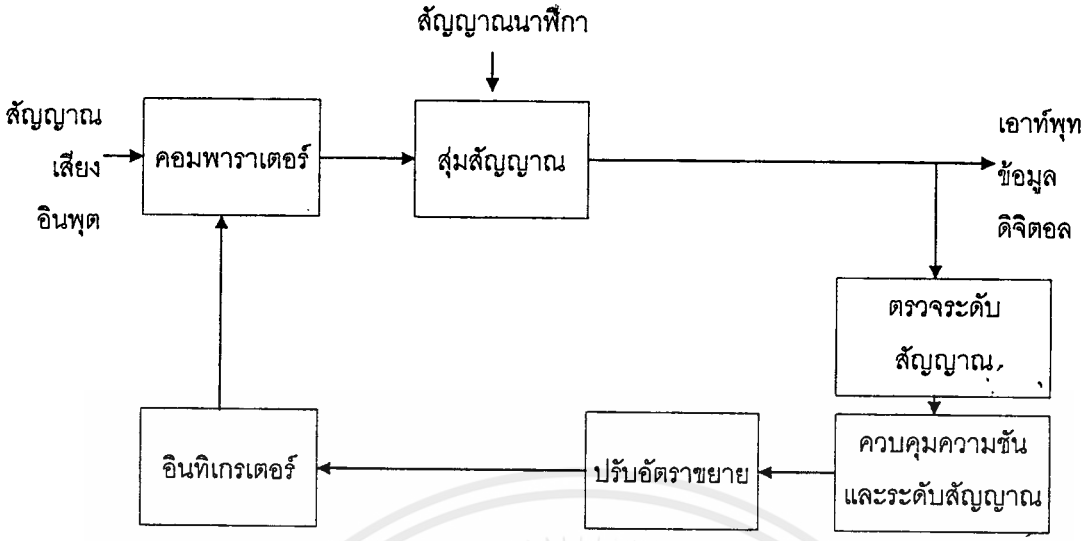
รูปที่ 2.16 แสดงความสัมพันธ์ระหว่างอัตราของสัญญาณต่อสัญญาณรบกวน

จากรูป 2.16 แสดงให้เห็นความสัมพันธ์ระหว่างอัตราของสัญญาณต่อสัญญาณรบกวน (S/N Ratio) กับขนาดของสัญญาณอินพุต โดยจะเห็นได้ว่าอัตราส่วนของสัญญาณรบกวนของเดลต้ามอดดูเลชั่นแบบธรรมดา (simple delta modulation) นั้นจะมีค่าไม่คงที่เมื่อเทียบกับขนาดของสัญญาณอินพุต กล่าวคือ ถ้าสัญญาณอินพุตสูงเกินไป ก็จะเกิดสัญญาณรบกวนจากการเปลี่ยนแปลงความชันเกินขนาด ซึ่งสิ่งเหล่านี้จำกัดขีดความสามารถของเดลต้ามอดดูเลชั่น นอกเหนือไปจากข้อเสียอื่น ๆ อีกคือ แถบกว้างของความถี่ใช้งานซึ่งถูกจำกัดโดยความถี่สัญญาณนาฬิกา ซึ่งจะต้องสูงกว่าความถี่สูงสุดของสัญญาณอินพุตมากกว่าสองเท่าขึ้นไป อีกอันหนึ่งก็คือ ความเร็วของการเปลี่ยนแปลงความสูงของสัญญาณ ระบบเดลต้ามอดดูเลชั่นแบบธรรมดามีช่วงไดนามิคที่แคบ จำเป็นต้องมีส่วนเพิ่มเติมทำหน้าที่ขยายย่านไดนามิคให้กว้าง โดยการควบคุมอัตราการขยายของอินทิเกรเตอร์ เพื่อตอบสนองต่อสัญญาณที่มีความชันมาก ๆ ได้ทัน และยังต้องสามารถลดสัญญาณรบกวนลงได้ในย่านของการเปลี่ยนแปลงของสัญญาณอินพุตที่กว้างเพียงพอ ระบบนี้มีชื่อใหม่ว่า ระบบเดลต้ามอดดูเลชันแบบเปลี่ยนแปลงความชันต่อเนื่อง หรือ CVSD (Continuous Variable Slope Delta Modulation) หรือบางทีเรียกว่าอแดปทีฟ เดลต้ามอดดูเลชั่น (Adaptive Delta Modulation)

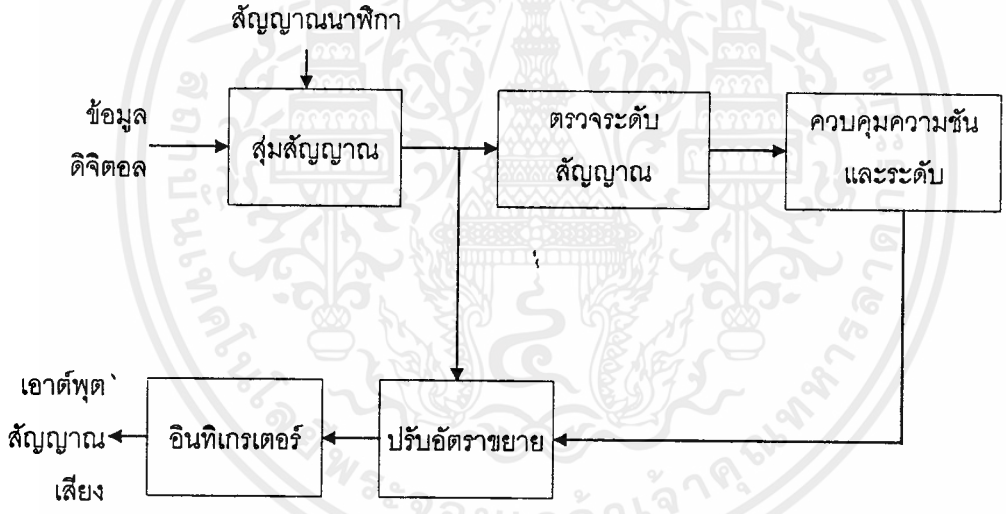
ด้วยวิธีการของ CVSD นี้มันจะสามารถให้ ซิกแนลทูนอยส์เรโชที่คงที่ได้มากกว่าดังแสดงในรูปที่ 2.16 เนื่องจากความสามารถของตัวมันในการที่จะปรับตัวเองให้เหมาะสมกับขนาดของสัญญาณอินพุต โดยการเปลี่ยนแปลงขนาดของช่วง a ในรูป2.15 ให้เหมาะสมกับสัญญาณอินพุต ถ้าสัญญาณอินพุตมีขนาดเล็กช่วง a นี้จะแคบเข้า และจะกว้างออกเมื่อสัญญาณอินพุตมีขนาดใหญ่ ข้อดีนี้ทำให้มันมีอัตราส่วนของสัญญาณต่อสัญญาณรบกวนสูงและคงที่ และย่านไดนามิคของมันยังกว้างเพิ่มขึ้นกว่าเดิมด้วย

การทำงานของ CVSD นี้ แสดงเป็นบล็อกไดอะแกรมให้เห็นในรูปที่ 2.17 จะเห็นว่า การทำงานของวงจรจะขึ้นอยู่กับอัตราการขยายของวงจรในส่วนป้อนกลับ โดยจะมีอัตราขยายเพิ่มขึ้นถ้าขนาดของสัญญาณใหญ่ขึ้น และน้อยลงเมื่อขนาดของสัญญาณเล็กลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



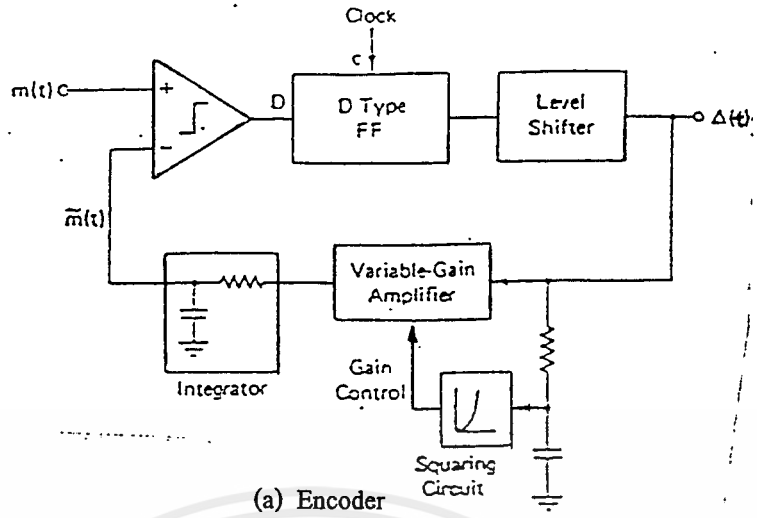
แผนผังการทำงานของระบบ CVSD ในส่วนของการแปลงจากสัญญาณเสียงเป็นข้อมูลดิจิตอล



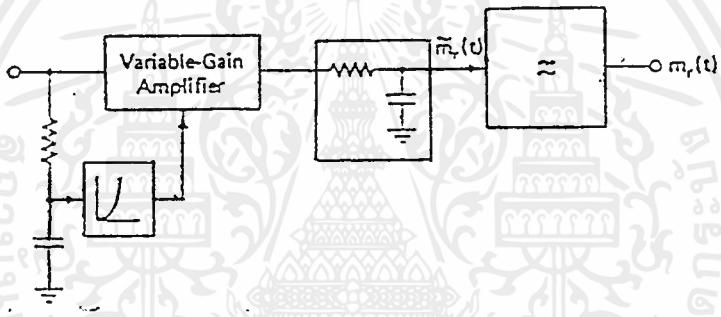
แผนผังการทำงานของระบบ CVSD ในส่วนของการแปลงกลับจากดิจิตอลเป็นสัญญาณเสียง

รูปที่ 2.17 แสดงแผนผังการทำงานของระบบ CVSD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a) Encoder



(b) Decoder

รูปที่ 2.18 Variable Slope Delta Modulation

ข้อดีอีกประการหนึ่งของ CVSD เมื่อเทียบกับระบบ PCM แล้ว ระบบ CVSD จะใช้อัตราเร็วของข้อมูลต่ำกว่าครึ่งหนึ่ง สำหรับคุณภาพของสัญญาณที่ใกล้เคียงกัน เช่นระบบ PCM ต้องการ 64 kbps ในขณะที่ CVSD ต้องการเพียง 32 kbps เท่านั้น

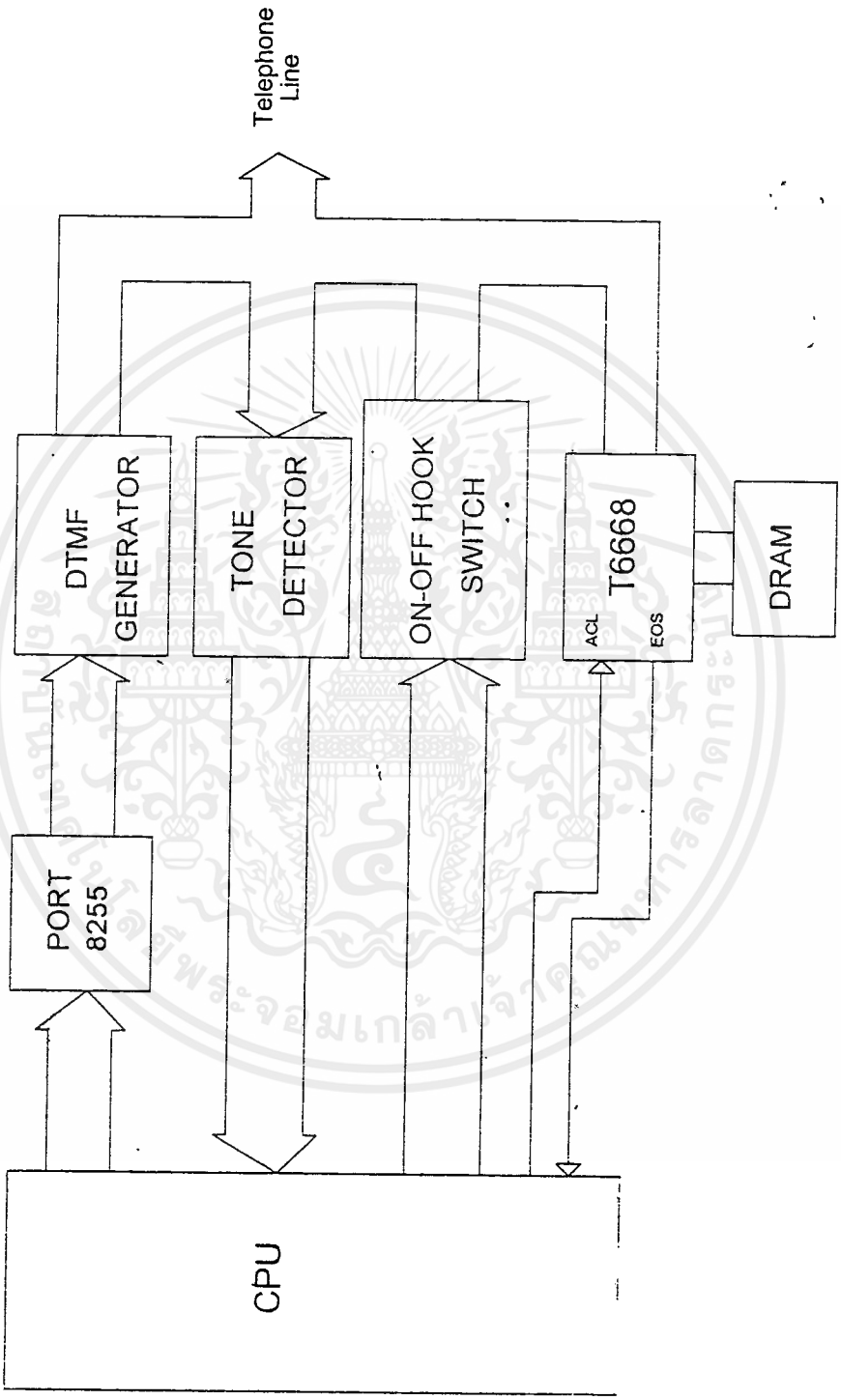
แต่ข้อเสียของ CVSD ก็คือ มันไม่สามารถจะใช้กับระบบเวลาร่วมในการส่งสัญญาณหลาย ๆ ช่องได้ และไม่สามารถเข้ารหัสแบบเฟสสำหรับส่งสัญญาณผ่านโมเด็มในระยะทางไกล ๆ ได้เช่นกัน

ในปัจจุบันมีชิปที่เป็นCVSD ออกมาจำหน่ายหลายแบบด้วยกัน เช่น เบอร์ VP2500 ของประเทศไต้หวัน เบอร์ HC55516/55532 ของบริษัท แฮริส และเบอร์ T6668 ของบริษัทโตชิบา เบอร์ FX209 ของ CAM (อเมริกา) และในโครงงานนี้จะใช้ไอซี CVSD เบอร์ T6668 ของอเมริกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10 ส่วนของเครื่องเตือนภัยอัตโนมัติ

Block Diagram ของเครื่องเตือนภัยอัตโนมัติแสดงได้ดังรูปที่ 2.19



รูปที่ 2.19 แสดง Block Diagram ของเครื่องเตือนภัยอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปเมื่อมีเหตุผิดปกติเกิดขึ้นจะทำให้ sensor ทำงานและจะมีสัญญาณเข้าไปยัง CPU ซึ่งเป็นไมโครคอนโทรลเลอร์ 8031 ทำให้ CPU ทำงาน โดยจะส่งสัญญาณไปยังส่วนควบคุมการวางหูและยกหูโทรศัพท์ให้ทำการยกหูโทรศัพท์ เมื่อยกหูโทรศัพท์แล้ว CPU จะตรวจสอบสัญญาณจากส่วน Tone detector ว่ามีสัญญาณ Dial tone เข้ามาหรือยัง ถ้ามีสัญญาณ Dial tone เข้ามา CPU จะนำหมายเลขโทรศัพท์ที่เก็บไว้ใน RAM ออกมาแล้วจะส่งสัญญาณไปยังส่วน DTMF Generator ซึ่งทำหน้าที่หมุนหมายเลขโทรศัพท์ โดยการสร้างสัญญาณ DTMF ตามหมายเลขโทรศัพท์ที่ป้อนเข้ามาแล้วส่งสัญญาณ DTMF ไปยังคู่สายโทรศัพท์ แต่ถ้าไม่มีสัญญาณ Dial tone เข้ามา CPU จะส่งสัญญาณไปยังส่วนควบคุมการยกหูและวางหูโทรศัพท์ (ON-OFF hook switch) ให้ทำการวางหูและยกหูโทรศัพท์จนกว่าจะได้รับสัญญาณให้หมุน (Dial tone) เมื่อทำการหมุนหมายเลขโทรศัพท์แล้ว CPU จะทำการตรวจสอบว่ามีสัญญาณ Busy tone เข้ามาหรือไม่ โดยตรวจสอบสัญญาณที่มาจากส่วน Tone detector ถ้ามีสัญญาณ Busy tone เข้ามาแสดงว่าสายไม่ว่าง CPU จะทำการส่งเลขหมายโทรศัพท์มาให้ส่วน DTMF Generator ทำการหมุนเลขหมายโทรศัพท์อีกครั้งหนึ่ง ถ้าไม่มีสัญญาณ Busy tone เข้ามาแสดงว่าคู่สายว่าง CPU จะทำการตรวจสอบว่ามีสัญญาณ Ring Back Tone เข้ามาหรือไม่ โดยตรวจสอบสัญญาณที่มาจากส่วน Tone detector ถ้าไม่มีสัญญาณ Ring Back Tone เข้ามา CPU จะส่งหมายเลขโทรศัพท์ให้ส่วน DTMF Generator หมุนหมายเลขโทรศัพท์เดิมอีกครั้งหนึ่ง แต่ถ้ามีสัญญาณ Ring Back Tone เข้ามาก็จะรอเป็นเวลา 15 วินาที ถ้าหากไม่มีผู้รับโทรศัพท์ CPU จะนำเลขหมายโทรศัพท์หมายเลขใหม่ที่เก็บไว้ใน RAM ส่งไปยังส่วน DTMF Generator ให้ทำการหมุนหมายเลขโทรศัพท์ถ้าหากมีผู้รับโทรศัพท์ CPU จะส่งสัญญาณไปยัง-ไอซี T6668 ให้ทำการนำข้อความเตือนภัยที่ได้บันทึกไว้ก่อนหน้านี้แล้ว และส่งไปยังคู่สายโทรศัพท์ไปยังผู้รับปลายทาง เมื่อข้อความเตือนภัยได้ถูกส่งออกไปเรียบร้อยแล้วไอซี T6668 จะส่งสัญญาณไปยัง CPU จากนั้น CPU จะหยุดการติดต่อกับผู้รับและส่งสัญญาณไปยังส่วนควบคุมการยกหูและวางหู โทรศัพท์ให้ทำการวางหูโทรศัพท์

สำหรับการเก็บเลขหมายโทรศัพท์ไว้ใน RAM จะผ่านมาทางวงจร Scan key ที่พอร์ต C ของ 8255 โดยมีการแสดงหมายเลขดังกล่าวทาง 7 Segment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11 สถาปัตยกรรมของ 8051 และโปรแกรมมิ่งโมเดล

8051 เป็นไมโครโปรเซสเซอร์ชิปเดี่ยวขนาด 8 บิตยุคที่ 2 ไมโครโปรเซสเซอร์ชิปเดี่ยวขนาด 8 บิตรุ่นแรกที่ผลิตโดยบริษัท Intel ก็คือ ไมโครโปรเซสเซอร์ชิปเดี่ยวเบอร์ 8048 ในเวลาต่อมาบริษัท Intel ได้เปิดตัวไมโครโปรเซสเซอร์ชิปเดี่ยวเบอร์ 8049 ซึ่งมีขนาด 8 บิตที่มีขนาดของ ROM และ RAM มากกว่ารุ่น 8048 ถึงสองเท่า นอกจากข้อแตกต่างนี้แล้วไมโครโปรเซสเซอร์เบอร์ 8048 และ 8049 นี้มีสถาปัตยกรรมที่เหมือนกัน

สถาปัตยกรรมและชุดคำสั่งใน 8051 ถูกพัฒนาให้มีความสามารถสูงขึ้นและได้มีการรวมเอาพอร์ตอนุกรมอย่างสมบูรณ์เข้าไปในชิป แต่การเพิ่มคุณสมบัติเหล่านี้เข้าไปทำให้สถาปัตยกรรมของ 8051 มีความแตกต่างจากสถาปัตยกรรมที่พบได้ใน 8048 และ 8049 ในเวลาต่อมาได้มีการเปิดตัวชิปเบอร์ 8052 ซึ่งนอกจากจะมีการเพิ่มขนาดของ ROM และ RAM แล้วสถาปัตยกรรมในด้านอื่นของชิปตัวนี้ก็ยังคงเหมือน กับสถาปัตยกรรมของ8051

คุณสมบัติสำคัญของชิปเบอร์ 8051 ซึ่งรวมถึงพอร์ต I/O ที่มีความสามารถซับซ้อน ROM (หรือ EPROM) ขนาด 4 กิโลไบต์ RAM ขนาด 128 ไบต์ และเคาน์เตอร์ไทม์มิ่งขนาด 16 บิต 2 ตัว อุปกรณ์เหล่านี้เป็นส่วนหนึ่งของโปรแกรมมิ่งโมเดลเนื่องจากเราพบส่วนต่างๆเหล่านี้ได้ในตัวชิป 8051 เราสามารถทำการอ้างอิงแอดเดรสของส่วนเหล่านี้ได้โดยตรงโดยไม่ต้องใช้คำสั่ง I/O

คุณสมบัติสำคัญในไมโครโปรเซสเซอร์ชิปเดี่ยวเบอร์ 8051

- ALU ขนาด 8 บิต
- ROM ขนาด 4Kx8 (หรือ EPROM)
- RAM ขนาด 128x8
- เคาน์เตอร์ไทม์เมอร์ขนาด 16 บิต 2 ตัว
- เส้นส่งสัญญาณ I/O 32 เส้น
- สามารถอ้างอิงหน่วยความจำสำหรับเก็บโปรแกรมได้ 64 Kbytes
- สามารถอ้างอิงหน่วยความจำสำหรับเก็บข้อมูลได้ 64 Kbytes
- ชุดคำสั่งที่มี 111 คำสั่ง
- พอร์ตอนุกรม
- คล็อกที่มีความถี่ได้สูงสุด 12 เมกะเฮิรตซ์
- ขารับสัญญาณอินเตอร์รัปต์ภายนอก 2 ขา

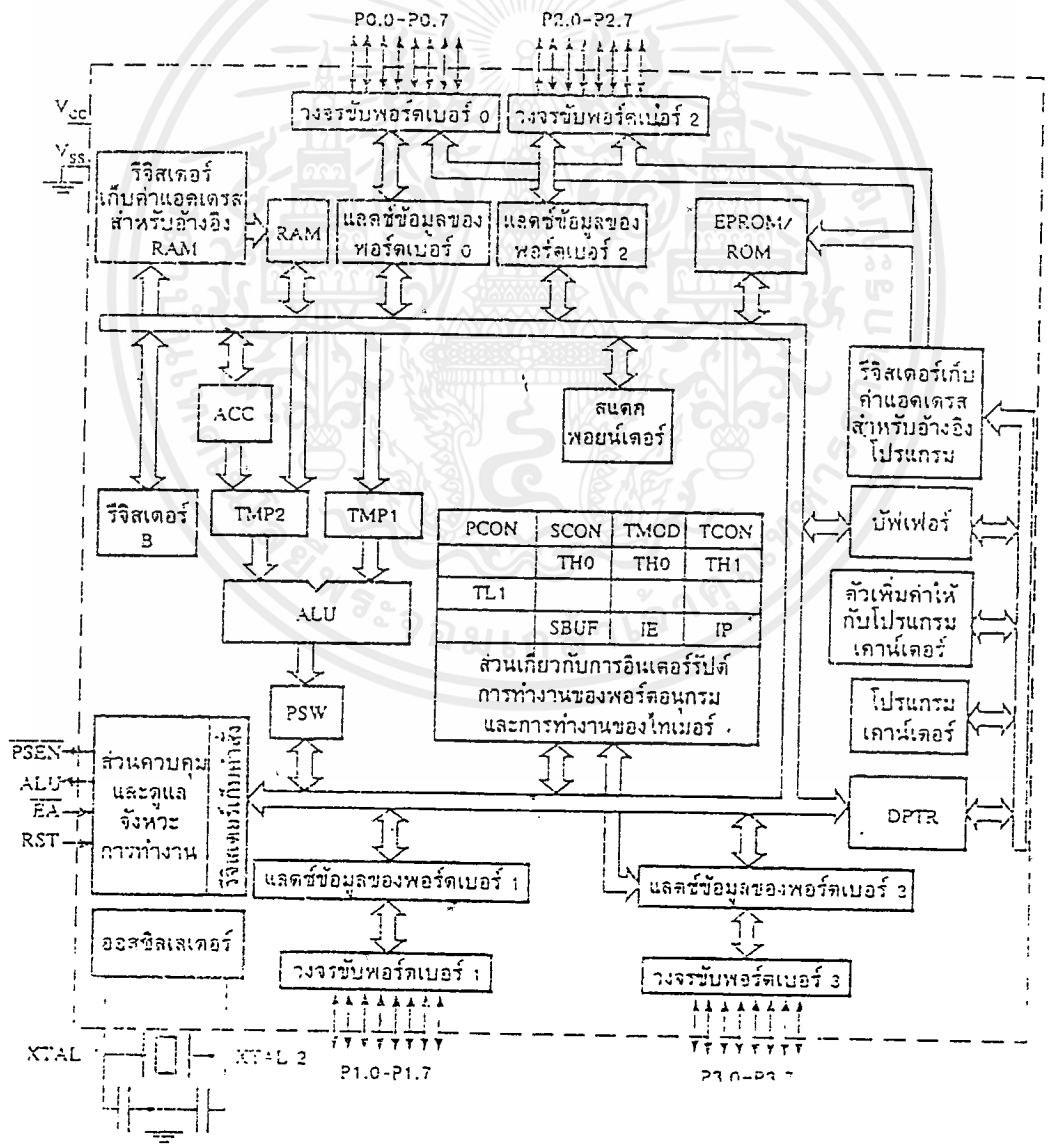
8051 สามารถทำการอ้างอิงหน่วยความจำภายนอกได้ถ้า RAM หรือ ROM ภายในนั้นมีขนาดไม่เพียงพอ โดยจะใช้พอร์ต 2 ตัวในการทำหน้าที่อ้างอิงข้อมูลกับหน่วยความจำภายนอกซึ่งการกระทำเช่นนี้จะส่งผลให้พอร์ตที่ทำหน้าที่เป็น I/O มีจำนวนลดลง แต่ 8051 จะมีความยืดหยุ่นในการทำงานมากขึ้น

รูปที่ 2.20 เป็นบล็อกไดอะแกรมซึ่งแสดงถึงสถาปัตยกรรมของ 8051 เราจะเห็นว่าการเชื่อมต่อของตัวชิปกับภายนอกนั้นไม่มีความซับซ้อนมากนัก ตัวชิปดังแสดงในรูปจะมีขาสัญญาณจำนวน 32 ขา สำหรับใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พอร์ต I/O ขนาด 8 บิตจำนวน 4 พอร์ต ที่สามารถส่งข้อมูลได้สองทิศทาง นอกจากนี้ตัวชิปยังมีขาสำหรับป้อนไฟเลี้ยง ขาสำหรับใช้เชื่อมต่อกับคริสตอลที่สร้างสัญญาณนาฬิกา และขาส่งสัญญาณกำกับจังหวะการทำงาน และขาส่งสัญญาณควบคุมเมื่อเราเปรียบเทียบชิป 8051 กับ Z80 ที่มีขาเกี่ยวกับการควบคุมและขาให้จังหวะการทำงานมากมายนั้น เราจะพบว่ามีโครงสร้างภายนอกที่ไม่ซับซ้อน ซึ่งก็หมายความว่าเราจะต้องเพิ่มอุปกรณ์ภายนอกเพียงไม่กี่ชิ้น ในการที่จะให้ระบบที่ใช้ 8051 ทำงาน แต่ในทางกลับกัน โครงสร้างภายในของ 8051 จะมีความสลับซับซ้อนพอสมควร เราจะพบส่วนที่ทำหน้าที่สำคัญในไมโครโปรเซสเซอร์ได้ในตรงกลางบล็อกไดอะแกรมซึ่งรวมถึง ALU แอกคิวมูเลเตอร์ สแตกพอยน์เตอร์ รีจิสเตอร์ที่มีหน้าที่ทั่วไปต่างๆ (เช่น รีจิสเตอร์ B) โดยส่วนต่างๆเหล่านี้จะเชื่อมต่อกับบัสภายในของ 8051

พอร์ต I/O แต่ละตัวจะถูกเชื่อมต่อกับบัสข้อมูลภายในขนาด 8 บิต โดยผ่านรีจิสเตอร์ที่ต่ออนุกรมกัน รีจิสเตอร์เหล่านี้จะทำหน้าที่ในการเก็บข้อมูลในช่วงที่มีการโอนย้ายข้อมูลของ I/O และควบคุมการทำงานของพอร์ต I/O จากบล็อกไดอะแกรมนี้ยังแสดงถึง ROM และ RAM ของ 8051 ด้วย



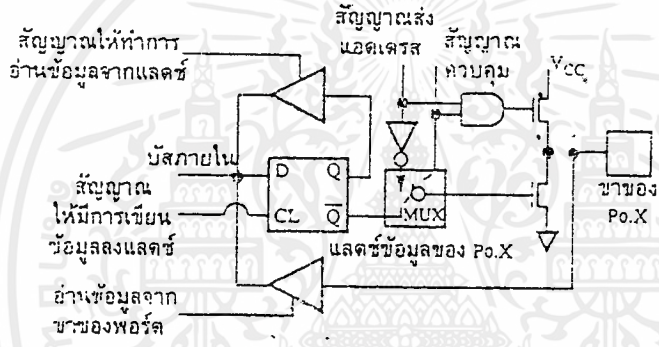
รูปที่ 2.20 แสดงบล็อกไดอะแกรมที่แสดงสถาปัตยกรรมของ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

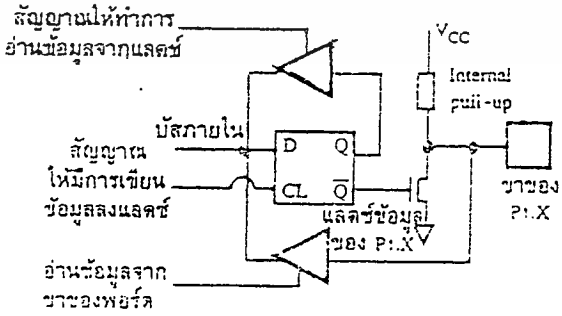
2.12พอร์ต I/O ของ 8051

จากบล็อกไดอะแกรมที่แสดงสถาปัตยกรรมของ 8051 เราพบว่ามีพอร์ต I/O ที่รับส่งข้อมูลได้ 2 ทิศทาง ขนาด 8 บิตอยู่ 4 พอร์ตแต่ละตัวมีคุณสมบัติพิเศษเฉพาะตัวรูปที่ 2.21 แสดงแผนภาพทางตรรกะสำหรับบิตหนึ่งๆในพอร์ตแต่ละตัว เราจะเห็นได้ว่าพอร์ตเหล่านี้ (P0-P3) มีคุณสมบัติทางตรรกะและทางไฟฟ้าที่แตกต่างกันเล็กน้อย พอร์ตแต่ละตัวจะมีแลตช์ข้อมูล (latch) ซึ่งจะทำหน้าที่เก็บข้อมูลที่เข้าหรือออกจากพอร์ต โดยแลตช์ข้อมูลนี้สามารถนำข้อมูลจากขาของพอร์ตหรือจากบัสของไมโครโปรเซสเซอร์เข้ามาเก็บได้และแลตช์ข้อมูลสามารถทำการส่งข้อมูลไปยังบัสข้อมูลของไมโครโปรเซสเซอร์หรือไปยังขาของพอร์ตได้.

เราจะเห็นได้จากรูปที่ 2.21 (ก) และ (ค) ว่าบิตในพอร์ตเบอร์ 0 และพอร์ตเบอร์ 2 มี controlled pull-up ซึ่งรูปแบบการทำงานของมันจะขึ้นอยู่กับโหมดการทำงานของพอร์ต

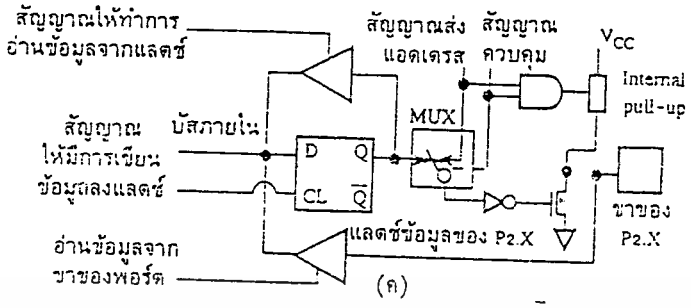


(ก) พอร์ต 0 บิต

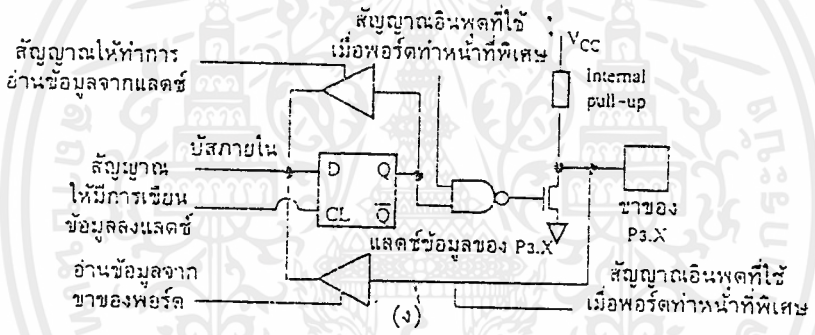


(ข) พอร์ต 1 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค) พอร์ต 2 บิต



(ง) พอร์ต 3 บิต

รูปที่2.21 แสดงแผนผังทางตรรกะสำหรับบิตหนึ่งๆในพอร์ตแต่ละตัว เนื่องจากการทำงานของพอร์ตมีรูปแบบแตกต่างกันจึงมีโครงสร้างที่ไม่เหมือนกัน

Port 0

พอร์ต 0 นี้ใช้ได้ทั้งการรับ-ส่งตำแหน่งและข้อมูลกับหน่วยความจำหรือใช้เป็นพอร์ตรับ-ส่งข้อมูลก็ได้ โครงสร้างของแต่ละบิตของพอร์ต 0 เป็นแบบ Open Drain Bidirectional ดังรูปที่2.22 (ก) พอร์ต 0 จะใช้งานได้หลายอย่างดังนี้

1. ใช้สำหรับส่งค่าตำแหน่งหน่วยความจำภายนอกที่ต้องการติดต่อด้วย ตำแหน่งหน่วยความจำสูงสุดที่จะติดต่อได้ก็คือ 64 กิโลไบต์ จึงมีค่าตำแหน่งหน่วยความจำ 16 บิต ค่าตำแหน่งหน่วยความจำ 8 บิตล่างจะถูกส่งออกไปทางพอร์ต 0 และ 8 บิตบนจะถูกส่งออกไปทางพอร์ต 2
2. ใช้รับ-ส่งข้อมูลกับหน่วยความจำสำหรับข้อมูลหรือใช้รับข้อมูลจากหน่วยความจำสำหรับโปรแกรม
3. ใช้รับ-ส่งข้อมูลผ่านทางพอร์ตโดยตรงในกรณีที่ไม่มีการใช้หน่วยความจำของหน่วยความจำสำหรับโปรแกรมหรือหน่วยความจำสำหรับข้อมูลภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Port 1

โครงสร้างของพอร์ต 1 ดังรูปที่ 2.21 (ข) นี้จะใช้ทำหน้าที่เป็นตัวรับ-ส่งข้อมูลเท่านั้น ข้อมูลที่ส่งออกมาทางพอร์ต 1 จะถูก Lacth ไว้แล้วส่งออกไปทางแต่ละขาก่อนที่จะอ่านข้อมูลเข้าไปที่พอร์ต 1 จะต้องเขียน 1 ไปยังทุกบิตของพอร์ต 1 เสียก่อนเพื่อให้ FET อยู่ในสภาวะ OFF ก่อน มิฉะนั้นแล้วถ้ามีข้อมูล 0 ส่งออกมาค้างอยู่ที่ D-Flip Flop จะทำให้ FET อยู่ในสภาวะ ON ดังนั้นถ้าสัญญาณภายนอกส่งเข้ามาที่ขานี้ก็จะถูกลัดวงจรลงกราวนด์โดยไม่สนว่าสภาวะของลอจิกของสัญญาณที่เข้ามาจะเป็นอะไรข้อมูลที่อ่านเข้าไปจึงจะเป็น 0 เสมอ

Port 2

โครงสร้างของพอร์ต 2 ตามรูปที่ 2.21 (ค) ลักษณะของโครงสร้างจะเหมือนกับพอร์ต 0 แตกต่างกันที่พอร์ต 2 นั้นภาค Driver จะใช้งานเพียงสองลักษณะคือ

1. ใช้ส่งค่าตำแหน่งหน่วยความจำภายนอกที่ต้องการติดต่อ ค่าตำแหน่งนี้เป็น 8 บิตบนของค่าตำแหน่ง
2. ใช้เป็นพอร์ตรับ-ส่งข้อมูลกับภายนอก

Port 3

โครงสร้างของพอร์ต 3 ตามรูปที่2.21 (ง) แต่ละบิตของพอร์ต 3 จะใช้ในการทำงานอื่นได้โดยใช้คำสั่งควบคุมการทำงานซึ่งแต่ละบิตของพอร์ต 3 จะมีฟังก์ชั่นอื่นดังนี้

P3.0/RXD (Serial Input Port) เป็นขาที่ใช้รับข้อมูลแบบอนุกรม

P3.1/TXD (Serial Output Port) เป็นขาที่ใช้ส่งข้อมูลแบบอนุกรม

P3.2/ $\overline{INT0}$ (External Interupt) เป็นขาที่ใช้รับสัญญาณขัดจังหวะจากภายนอก

P3.3/ $\overline{INT1}$ (External Interrupt) เป็นขาที่ใช้รับสัญญาณขัดจังหวะจากภายนอก

P3.3/T0 (Timer/Counter 0 External Input)เป็นขาที่ใช้ รับสัญญาณเข้าไปยังวงจรTimer/Counter 0 ที่ทำหน้าที่นับจำนวนไซเคิลของสัญญาณ T1 นี้หรือสัญญาณนาฬิกาก็ได้

P3.5/T1 (Timer/Counter 1 External Input) เป็นขาที่ใช้รับสัญญาณเข้าไปยังวงจรTimer/Counter ที่ทำหน้าที่นับจำนวนไซเคิลของสัญญาณT1 หรือสัญญาณนาฬิกาก็ได้

P3.6/ $\overline{WR}$ (External Data Memory Write Strobe) เป็นขาควบคุมการเขียนข้อมูลไปยังหน่วยความจำสำหรับข้อมูลภายนอก 8051

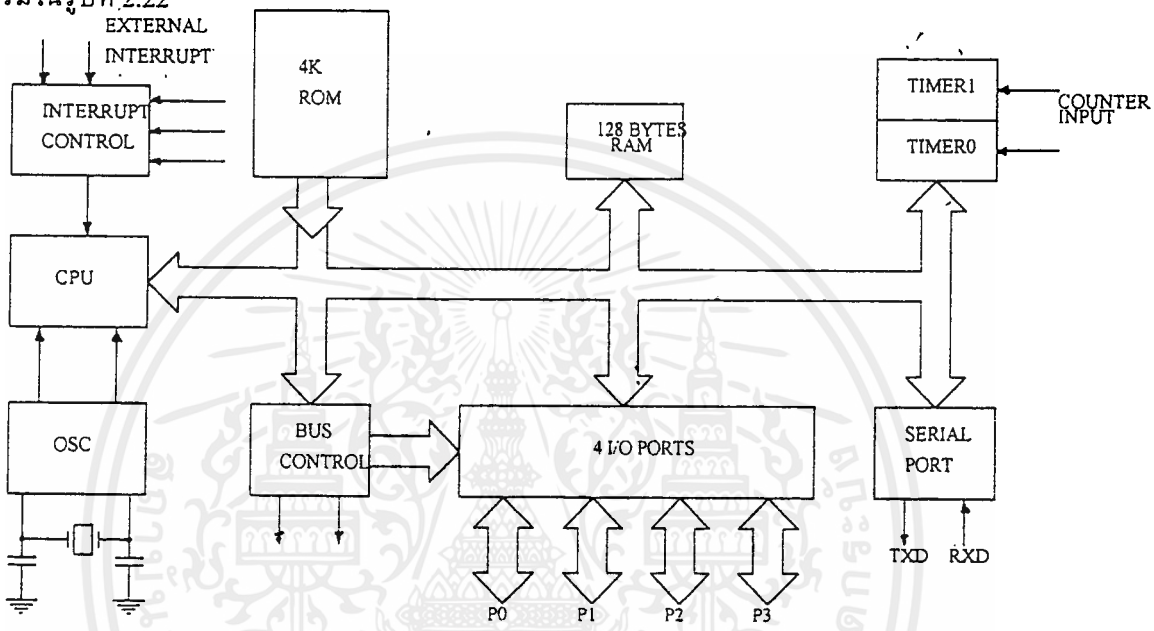
P3.7/ $\overline{RD}$ (External Data Memory Read Strobe) เป็นขาควบคุมการอ่านข้อมูลจากหน่วยความจำสำหรับข้อมูลภายนอก 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.13 ไมโครคอนโทลเลอร์เบอร์ 8051

2.13.1 โครงสร้างของ 8051

ภายใน 8051 จะประกอบด้วยเกท(GATE) ต่างๆเช่น AND , OR , NOT ซึ่ง เกท เหล่านี้จะถูกนำเอามาออกแบบให้มีหน้าที่การทำงานต่างๆเช่นวงจรถอดรหัสคำสั่ง(Instruction Decoder) ,วงจรสร้างสัญญาณนาฬิกา(Clock Signal Generator) โครงสร้างภายในของ 8051 จะประกอบด้วยส่วนย่อยๆ ดังบล็อกไดอะแกรมในรูปที่ 2.22



รูปที่ 2.22 บล็อกไดอะแกรมโครงสร้างของ 8051

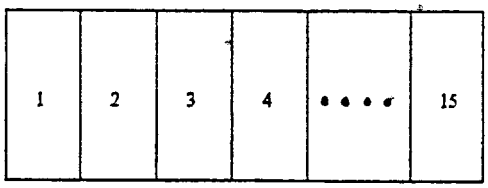
บล็อกไดอะแกรมในรูปที่ 2.22 เป็นโครงสร้างใหญ่ๆของ 8051 เนื่องจากลักษณะของ 8051 เป็นคอมพิวเตอร์จึงประกอบด้วย 3 ส่วนหลักๆคือ

ส่วนที่ 1 คือ CPU (Central Processing Unit) หรือตัวประมวลผล ส่วนนี้จะมีวงจรที่ทำหน้าที่สร้างสัญญาณควบคุมการติดต่อกับส่วนอื่นๆเรียกว่าวงจรควบคุม (Control Unit) สัญญาณที่สร้างจากวงจรควบคุมได้แก่สัญญาณที่ติดต่อกับหน่วยความจำ อุปกรณ์รับข้อมูลเข้าหรือส่งข้อมูลออกจากตัว 8051 ซึ่งส่วนควบคุมการขัดจังหวะ (Interrupt Control) และส่วนควบคุมบัส (Bus Control) ก็เป็นส่วนหนึ่งของวงจรควบคุมด้วย การสร้างสัญญาณควบคุมจากส่วน CPU นี้ จะทำการสร้างสัญญาณโดยการถอดรหัสคำสั่ง (Instruction) ตามที่มีการกำหนดไว้ และสัญญาณที่สร้างขึ้นมาจะอ้างถึงกับสัญญาณนาฬิกาที่สร้างจากวงจรออสซิลเลเตอร์เพื่อให้ทุกๆส่วนในวงจรทำงานประสานกัน (Synchronize) อย่างถูกต้อง

ใน CPU นี้ยังประกอบด้วยส่วนย่อยๆอีกส่วนที่เรียกว่าส่วนประมวลผล (Arithmetic Logic Unit) ส่วนนี้จะทำการประมวลผลข้อมูลเช่น การบวก การลบ คูณ หรือหารข้อมูลแล้วนำผลลัพธ์เก็บไว้ในรีจิสเตอร์หรือหน่วยความจำที่ต้องการ

ส่วนที่ 2 คือ หน่วยความจำ (Memory) มีไว้สำหรับจดจำข้อมูล ถ้าจะให้เห็นภาพพจน์ของหน่วยความจำได้ดีก็คือ หน่วยความจำเปรียบเสมือนกล่องเก็บเอกสารจำนวนมากที่นำมาต่อเรียงกันไว้แต่ละกล่องก็มีเอกสาร 1 แผ่น ดังในรูปที่ 2.23 มีกล่องเอกสารทั้งหมด 15 กล่อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 ภาพเสมือนของหน่วยความจำ

ถ้าต้องการเอาเอกสารจากกล่องใดหรือเอาเอกสารไปเก็บที่กล่องใด จะต้องรู้หมายเลขของกล่องข้อมูลเสียก่อนซึ่งถ้าเป็นหน่วยความจำแล้วหมายเลขของกล่องก็คือตำแหน่งของหน่วยความจำหรือแอดเดรส (Address) นั่นเอง การนำเอาข้อมูลไปเก็บในหน่วยความจำเรียกว่าการเขียน (Write) ข้อมูลและการเอาข้อมูลออกจากหน่วยความจำจะเรียกว่าการอ่าน (Read) ข้อมูลซึ่งแต่ละตำแหน่งของหน่วยความจำจะเก็บข้อมูลได้เพียงค่าเดียวเท่านั้น ในไมโครโปรเซสเซอร์ทั่วไปรวมทั้ง 8051 นั้นข้อมูลในแต่ละตำแหน่งของหน่วยความจำจะมีค่าได้เพียง 8 หลักของเลขฐาน 2 (8 บิตเท่ากับ 1 ไบท์) ดังนั้นแต่ละตำแหน่งของหน่วยความจำจะเก็บข้อมูลมีค่าได้ระหว่าง 0 ถึง 255 (00000000 ถึง 11111111 ในเลขฐาน 2) แต่จำนวนตำแหน่งที่จะเก็บข้อมูลได้ขึ้นกับไมโครโปรเซสเซอร์แต่ละเบอร์ การติดต่อกับหน่วยความจำจะต้องมีสัญญาณ 3 กลุ่ม คือ

1.แอดเดรสหรือค่าตำแหน่งที่ต้องการติดต่อกับหน่วยความจำ ใน 8051 จะติดต่อกับหน่วยความจำประเภท Program Memory หรือ Data Memory ได้สูงสุดชนิดละ 65536 ตำแหน่ง ดังนั้นการอ้างอิงแต่ละตำแหน่งของหน่วยความจำจะต้องใช้เส้นแสดงตำแหน่งในเลขฐาน 2 ทั้งหมด 16 เส้น (2^{16} เท่ากับ 64*1024 = 65536)

2.ข้อมูลที่จะอ่านหรือเขียนกับหน่วยความจำที่ตำแหน่งในข้อ 1

3.สัญญาณควบคุมที่จะส่งไปยังหน่วยความจำ เพื่อบอกกับหน่วยความจำว่าต้องการอ่านหรือเขียนข้อมูล

สัญญาณเหล่านี้จะถูกวงจรควบคุมภายใน 8051 สร้างมาจากวงจรถอดรหัสของคำสั่งที่ 8051 อ่านจากหน่วยความจำ Program Memory เข้าไปทำงานนั่นเอง ในรูปที่ 2.22 หน่วยความจำได้แก่ 4K ROM และ 128 Byte RAM ซึ่งขนาดของหน่วยความจำนี้มีขนาดต่างๆกันตามเบอร์ของไมโครคอนโทลเลอร์

ส่วนที่ 3 อุปกรณ์อินพุตและเอาท์พุต เป็นส่วนที่จะส่งข้อมูลเข้าหรือออกจาก 8051 ทำให้ 8051 ติดต่อกับภายนอกได้ ดังในบล็อกไดอะแกรมรูปที่ 2.22 อุปกรณ์อินพุตและเอาท์พุตได้แก่ 4 I/O Port , Timer 0 , Timer 1 ,Serial Port การทำงานของแต่ละส่วนมีดังนี้

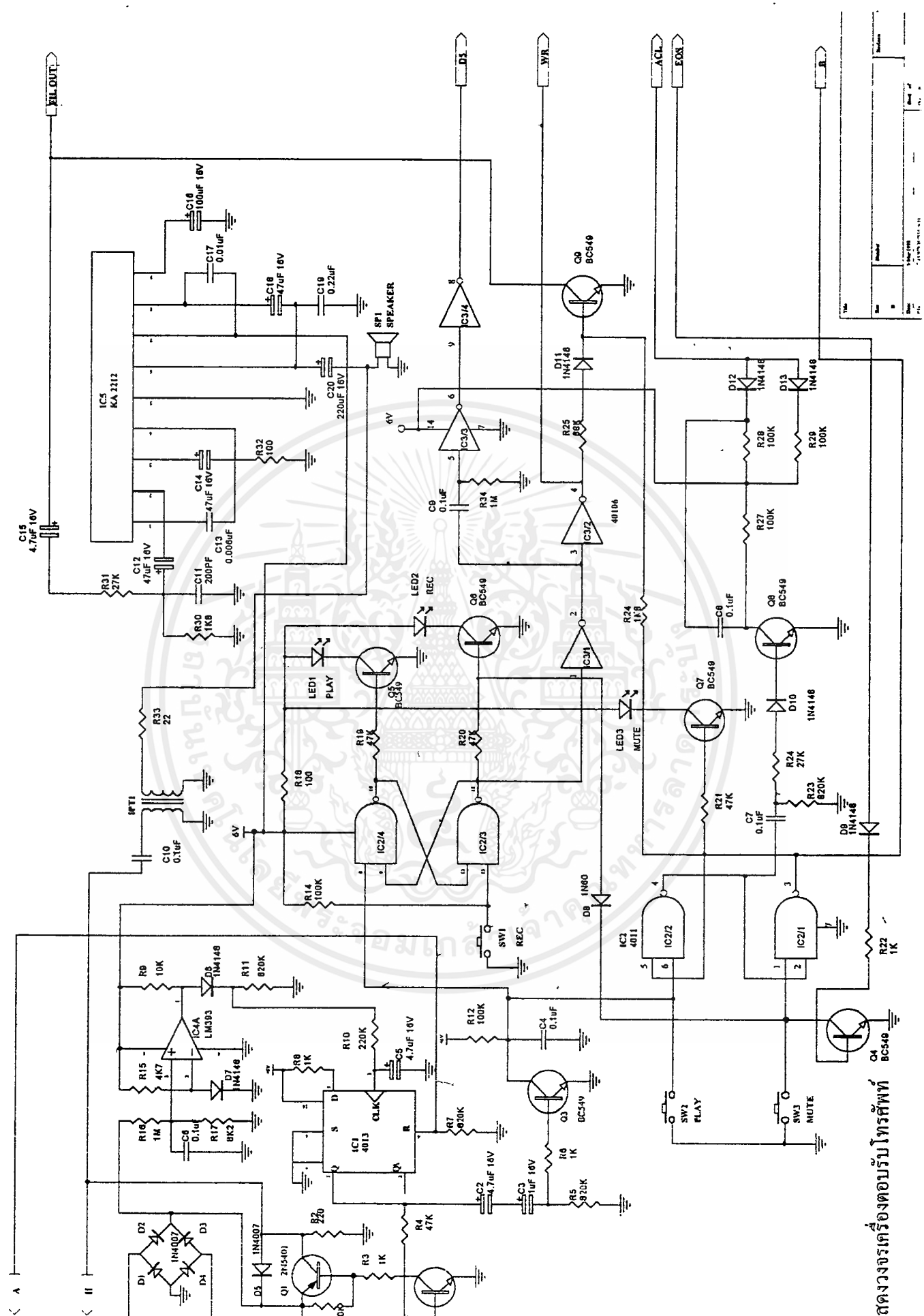
1. 4 I/O Port คำว่าพอร์ตหมายถึงจุดที่จะติดต่อกับส่วนที่อยู่ภายนอก 4 I/O Port ของ 8051 เป็นที่ใช้สำหรับรับ-ส่งข้อมูลซึ่งเป็นสัญญาณดิจิตอลเข้าหรือออกจากตัว MSC -51 พอร์ตมีทั้งหมด 4 พอร์ตโดยแต่ละพอร์ตจะรับ-ส่งข้อมูลได้ 8 บิต มีพอร์ต P0 , P1 , P2 และ P3 บางพอร์ตจะใช้ทำงานมากกว่า 1 อย่างก็ได้เช่น พอร์ต P0 และ P2 จะใช้สำหรับการส่งค่าตำแหน่งของหน่วยความจำที่ต้องการติดต่อและพอร์ต P0 จะใช้รับส่งข้อมูลเมื่อติดต่อกับหน่วยความจำได้ด้วยสิ่งเหล่านี้ไม่ได้เกิดขึ้นที่เวลาเดียวกัน แต่จะใช้วิธีการทำงานตามลำดับโดยควบคุมจากสัญญาณควบคุมที่ถอดรหัสมาจากแต่ละคำสั่งที่ให้คอมพิวเตอร์ทำงานนั่นเองและสัญญาณทั้งหมดจะอ้างอิงกับสัญญาณนาฬิกา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.Timer 0 และ Timer 1 เป็นวงจรนับที่สามารถกำหนดให้ทำการไซเคิลของสัญญาณที่ต่อจากภายนอก 8051 หรือจำนวนไซเคิลของสัญญาณนาฬิกาภายใน 8051 ก็ได้ ค่าจากการนับจะถูกอ่านหรือตั้งค่าเริ่มต้นของการนับได้โดย CPU

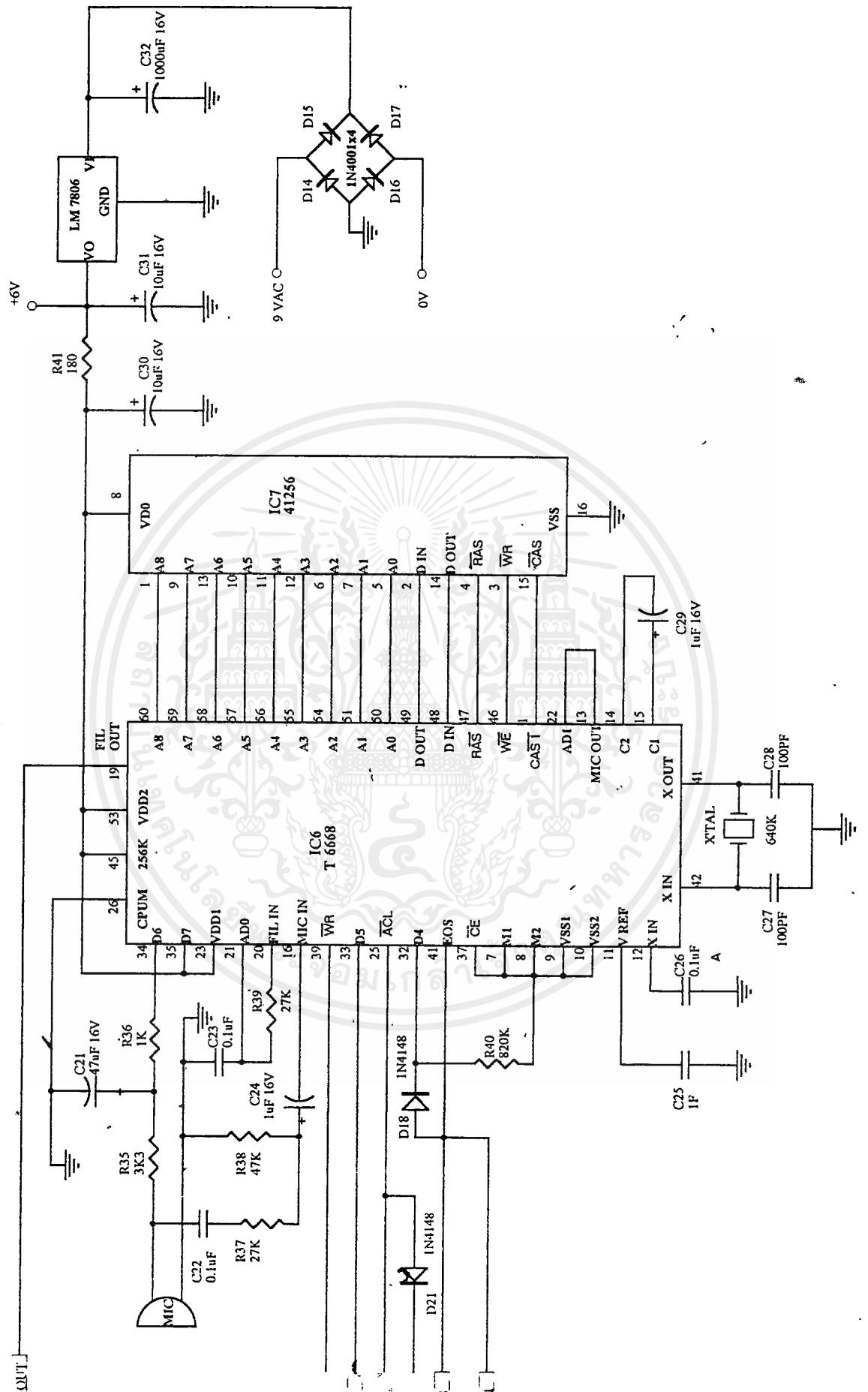
3.Serial Port หรือ พอร์ตอนุกรม CPU จะอ่านและเขียนข้อมูลกับ Serial Port เป็นแบบ 8 บิต แต่ข้อมูลจะถูกส่งออกจาก 8051 เรียงไปทีละบิต ออกจากขา TXD และในการรับข้อมูลก็จะรับเข้ามาทีละบิตทางขา RXD แล้วจัดเรียงใหม่เป็น 8 บิต เพื่อให้ CPU อ่านไปใช้งานต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



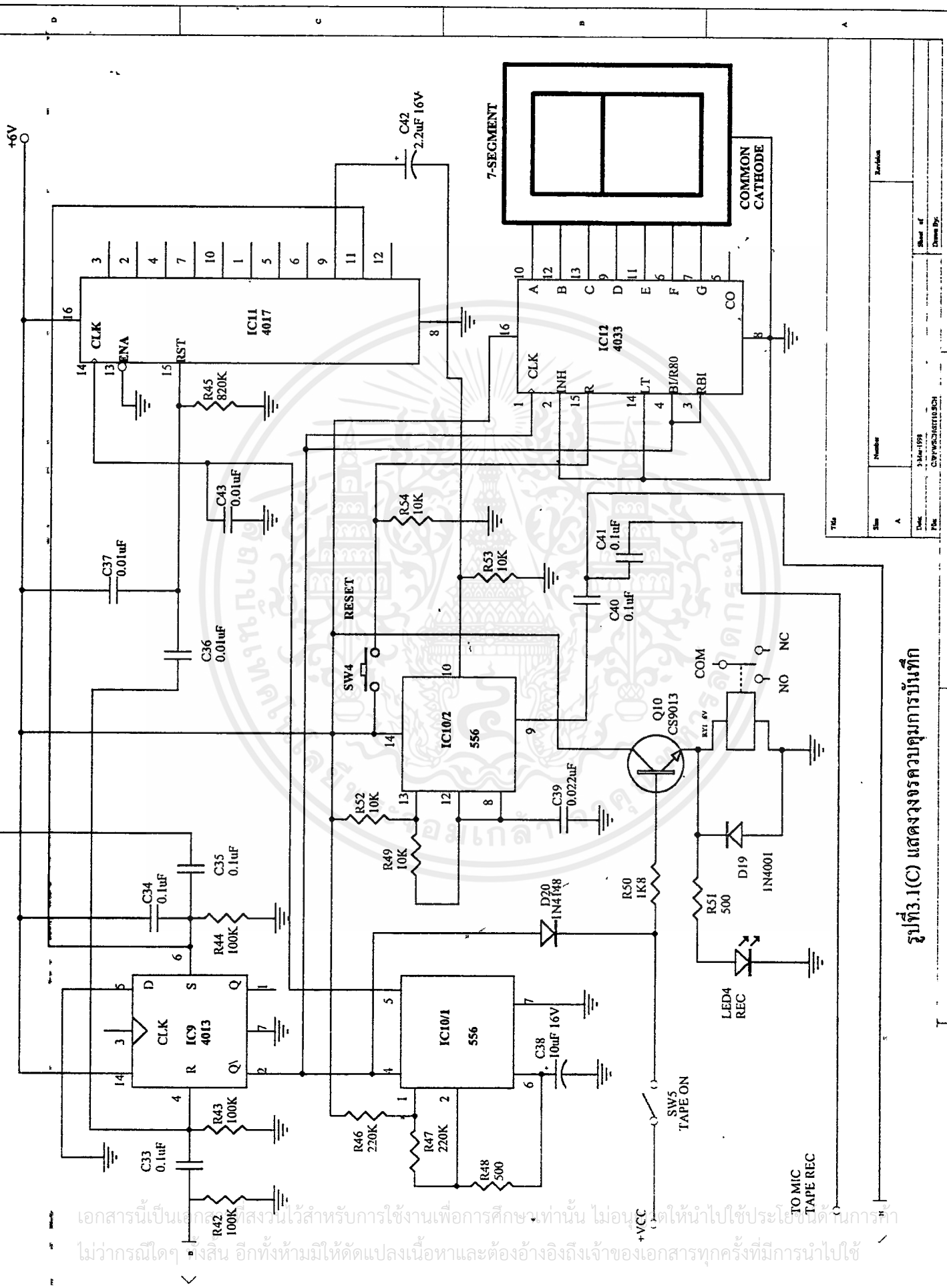
รูปที่ 3.1 (A) แสดงวงจรเครื่องตอบรับโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 (B) วงจรส่วนส่งข้อความตอบรับโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



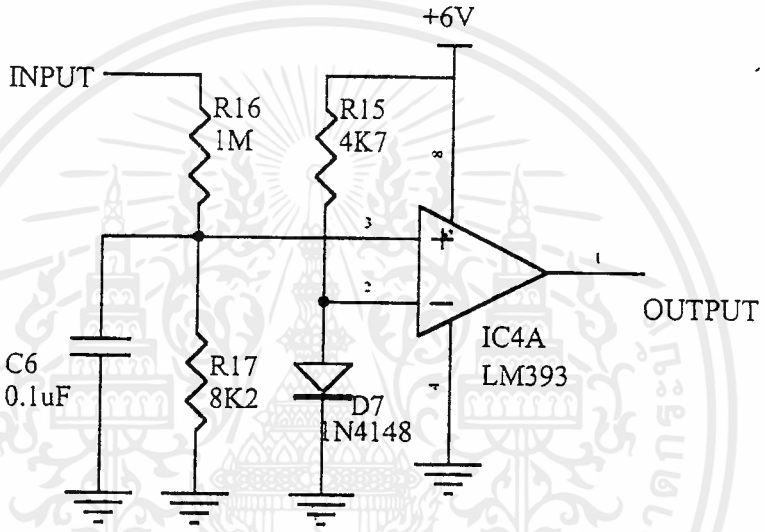
รูปที่3.1(C) แสดงวงจรควบคุมการบันทึก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและการสร้าง

ในส่วนของเครื่องตอบรับโทรศัพท์มีวงจรแสดงดังรูปที่ 3.1 (A) จากรูปเมื่อมีผู้เรียกโทรศัพท์เข้ามาจะมีสัญญาณริงกิงโทน (ringing tone) เข้ามายังวงจร สัญญาณนี้จะผ่านเข้าไปยังวงจรบริดจ์ วงจรนี้จะเปลี่ยนสัญญาณริงกิงโทนซึ่งเป็นสัญญาณกระแสสลับให้เป็นสัญญาณกระแสตรง และสัญญาณนี้จะไปยังวงจรเปรียบเทียบแรงดัน (comparator)

3.1) วงจรเปรียบเทียบแรงดัน (comparator)

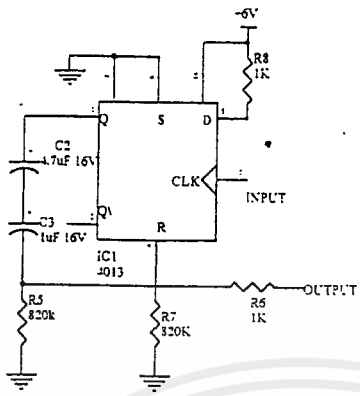


รูปที่ 3.2 แสดงวงจรเปรียบเทียบแรงดัน

สัญญาณจะผ่าน R_{16} ซึ่งทำหน้าที่แบ่งแรงดันให้แรงดันต่ำลงและสัญญาณจะเข้าไปยังไอซี LM 393 ซึ่งเป็นไอซีเปรียบเทียบแรงดัน โดยมีแรงดันอ้างอิงที่ขา 2 ประมาณ 0.6 โวลต์ สัญญาณกระแสตรงที่เข้ามายังขา 3 จะมีแรงดันที่ขา 2 ทำให้สัญญาณที่ออกมาจากวงจรเปรียบเทียบแรงดันที่ขา 1 เป็นสัญญาณทริกที่มีแรงดันประมาณ 6 โวลต์ สัญญาณนี้จะผ่านไดโอด D_8 เมื่อผ่านไดโอด D_8 สัญญาณนี้จะประกอบด้วยสัญญาณทริกรวมกับไฟ DC คงที่ เมื่อผ่าน R_{10} ซึ่งทำหน้าที่แบ่งแรงดันจะได้สัญญาณทริกที่มีแรงดันน้อยลงและสัญญาณนี้จะเข้าไปยังวงจรตรวจจับเสียงกระดิ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

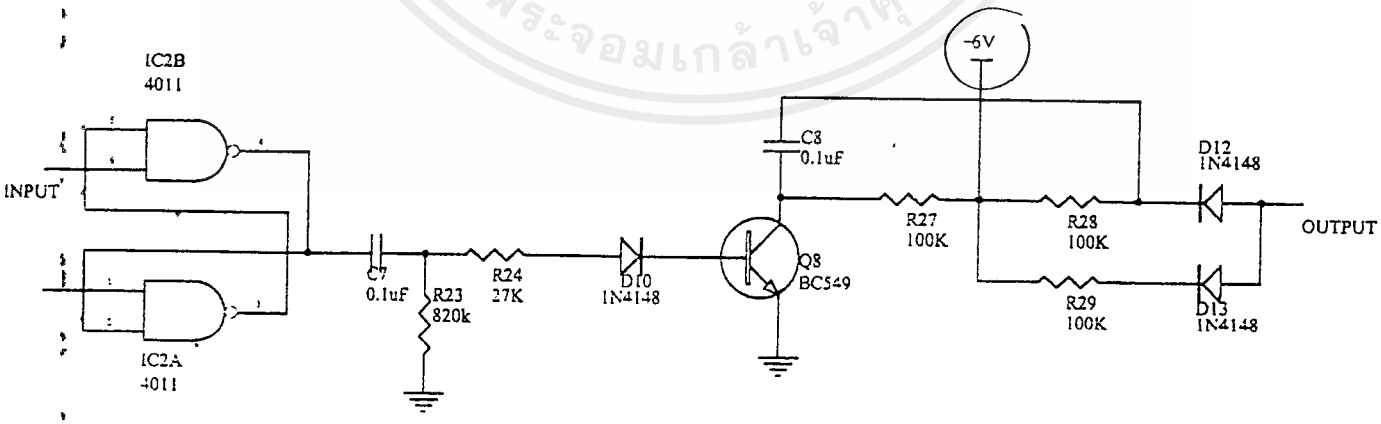
3.2) วงจรตรวจจับเสียงกระดิ่ง



รูปที่ 3.3 แสดงรูปวงจรตรวจจับเสียงกระดิ่ง

สัญญาณทริกจะเข้าไปที่ขา CLK ของ D ฟลิปฟลอปที่ขา D จะต่อเข้ากับ R8 ไปยัง Vcc ทำให้ที่ขา D มีลอจิกเป็น 1 ตลอดเวลา ขณะที่ยังไม่มีสัญญาณทริกเข้ามาที่ขา Q จะมีลอจิกเป็น 0 เนื่องจาก D ฟลิปฟลอป ทำงานที่ขอบขาขึ้นดังนั้นเมื่อมีสัญญาณทริกเข้ามาจะทำให้ Q มีลอจิกเป็น 1 ทันที แล้ว C1 และ C2 จะทำการชาร์จประจุผ่าน R6 และผ่านเข้าไปยังทรานซิสเตอร์ Q3 ทำให้ทรานซิสเตอร์ทำงาน ทำให้ไฟ DC ไหลผ่าน R12 แล้วไปยังทรานซิสเตอร์ แต่ไม่ไหลไปที่ขา 8 ของไอซี 2 ซึ่ง เป็น RS ฟลิปฟลอปและมีแรงดันไฟ DC ไหลผ่านเข้าไปยังขา 13 ของไอซี 2 ทำให้ที่ขา 10 ของไอซี 2 มีลอจิกเป็น 1 แต่ที่ขา 11 มีลอจิกเป็น 0 เป็นผลให้ทรานซิสเตอร์ Q5 ทำงาน LED1 จะติดและ LED2 จะดับ สัญญาณไฟ DC ลอจิก 0 จะถูกส่งจากส่วนตรวจจับเสียงกระดิ่งเข้าไปยังวงจรส่วนควบคุมการ PLAY

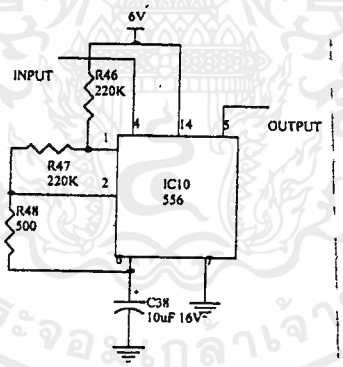
3.3) วงจรส่วนควบคุมการ PLAY



รูปที่ 3.4 แสดงวงจรควบคุมการ PLAY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณลอจิก 0 จะเข้าไปยังขา 6 ของไอซี 2 ซึ่งเป็น RS ฟลิปฟลอป ทำให้ที่ขา 3 ของไอซี 2 มีลอจิกเป็น 0 ทรานซิสเตอร์ Q_7 จึงไม่ทำงาน LED_3 จึงดับ และที่ขา 4 จะมีลอจิกเป็น 1 ตัวเก็บประจุ C_7 จะทำการชาร์จระดับลอจิกHighเข้ามาจน C_7 เก็บประจุเต็มและจะคายประจุผ่าน R_{24}และไดโอด D_{10} เข้าไปยังทรานซิสเตอร์ Q_8 ทำงานแบบช่วงสั้นๆ เมื่อทรานซิสเตอร์ Q_8 ทำงานจะมีผลทำให้ไม่มีกระแสไหลผ่านไดโอด D_{12} และ D_{13} ทำให้ที่ขา ACL มีระดับลอจิกเป็น Low ไอซี T6668 จะส่งสัญญาณเสียงที่บันทึกไว้ใน RAM ออกมาผ่าน ไอซี KA2212 ซึ่งทำหน้าที่เป็นแอมปลิไฟเออร์ (Amplifier) ทำให้ได้สัญญาณเสียงที่มีกำลังสูงขึ้นออกมาผ่านลำโพงและส่วนหนึ่งจะผ่าน R_{33} ผ่าน IPT ผ่าน C_{10} เข้าที่ขา Collector ของ Q_1 และออกที่ขา Emitter ของ Q_1 ไปยังคู่สายโทรศัพท์ ดังนั้นผู้เรียกต้นทางจะได้ยินเสียงตอบรับโทรศัพท์ที่ได้บันทึกไว้ ในขณะเดียวกันสัญญาณลอจิกจากขา 11 จะเข้าไปยังขา 1 ของไอซี 3 ทำให้ขา 2 มีลอจิกเป็น 1 ดังนั้นที่ขา 8 ของไอซี 3 จะมีลอจิกเป็น 1 ส่งเข้าไปยัง D_5 ของไอซี T6668 เพื่อหยุดการนับเคาน์เตอร์ (counter) สำหรับการเล่นกลับ เมื่อส่งข้อความที่บันทึกไว้ใน RAM เสร็จแล้ว ไอซี T6668 จะส่งสัญญาณลอจิกHighออกมาทางขา EOS และสัญญาณนี้จะผ่านไดโอด D_9 และ R_{22} เข้าไปยังทรานซิสเตอร์ Q_4 ทำให้ทรานซิสเตอร์ Q_4 ทำงาน เป็นผลทำให้ที่ขา 1 ของไอซี 2 มีลอจิกเป็น Low ที่ขา 3 ก็จะมีลอจิกเป็น High ทำให้ทรานซิสเตอร์ Q_7 ทำงาน LED_3 จะติด สัญญาณลอจิก High จะถูกส่งไปรีเซ็ตไอซี 9 ให้ทำงาน ทำให้ขา $\overline{Q}$ มีลอจิกเป็น High และมีสัญญาณที่ขา $\overline{Q}$ นี้จะเข้าไปยังวงจรสร้างสัญญาณนาฬิกา (Clock) ซึ่งแสดงดังรูปที่ 3.5



รูปที่ 3.5 แสดงวงจรสร้างสัญญาณนาฬิกา

สัญญาณที่มีลอจิก High จะเข้าไปยังขา 4 ของไอซี NE 556 ไอซีนี้จะสร้างสัญญาณนาฬิกาความถี่ต่ำเพื่อใช้ตั้งเวลาการบันทึกเทป โดยที่ความถี่ของสัญญาณนาฬิกาคำนวณได้จากสูตร

$$f = 1.43/(R_A + 2R_B)C$$

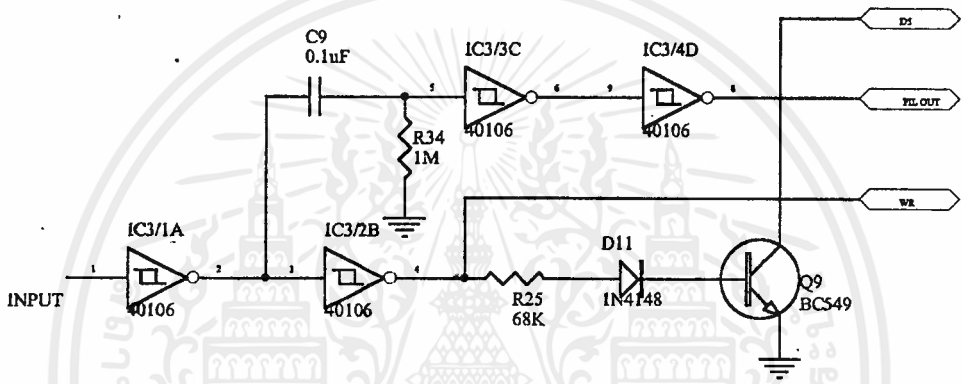
เมื่อ R_A ,R_B เป็นความต้านทานที่ต่อกับไอซี และC เป็นตัวเก็บประจุที่ต่อกับไอซี สัญญาณนาฬิกาที่ขาเอาท์พุตของไอซี NE 556 จะส่งไปยังวงจรหาร 10 ซึ่งใช้ไอซี 4017 สัญญาณเอาท์พุตที่ได้จากไอซี 4017 จะถูกส่งไปยังวงจรออสซิลเลเตอร์ เพื่อสร้างสัญญาณที่มีความถี่ 800 Hz โดยใช้ไอซี NE 556 ต่อเป็นวงจรออสซิลเลเตอร์

สัญญาณที่มีลอจิกHighจากขา 2 ของไอซี 9 ส่วนหนึ่งจะถูกส่งไปยังวงจรควบคุมการบันทึกเทป ซึ่งใช้ทรานซิสเตอร์ Q_{10} และรีเลย์ RY_1 ควบคุมการบันทึกเทป โดยควบคุมเครื่องเล่นเทปให้เปิด-ปิดการบันทึกเทป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเพื่อประโยชน์ทางการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการป้อนไฟเลี้ยงผ่านหน้าคอนแทค(contact) NO กับ COM เมื่อวงจรทำงานเครื่องเล่นเทปก็จะทำงานไปด้วย ผู้ที่โทรเข้ามาก็สามารถที่จะฝากข้อความได้โดยสัญญาณเสียงจากผู้โทรเข้าจะผ่านคู่สายที่จุด H ผ่านตัวเก็บประจุ C_{41} เข้าไปทางอินพุตของไมโครโฟนของเครื่องเล่นเทป สัญญาณจากขา 2 ของไอซี 9 อีกส่วนหนึ่งจะเข้าไปยังไอซี 4033 ซึ่งทำหน้าที่นับการโทรเข้า โดยจะแสดงจำนวนครั้งของการโทรเข้า ทาง LED 7 segment เมื่อไอซี 4017 ซึ่งเป็นวงจรหาร 10 นับถึง 9 ก็จะส่งสัญญาณเอาท์พุตที่ขา 9 ไปยังวงจรออสซิลเลเตอร์ ให้สร้างสัญญาณเตือนความถี่ 800 Hz ส่งออกไปยังวงจรส่วนควบคุมการเปิด-ปิดเทป ให้เปิด-ปิดเทปทำให้เทปหยุดทำการบันทึกเมื่อไอซี 4017 นับถึง 10 จะส่งสัญญาณออกไปทางขา 11 ไปเซ็ตไอซี 9 ให้ขา $\overline{Q}$ มีลอจิกเป็น Low และอีกส่วนหนึ่งส่งไปยังวงจรควบคุมการยกหู-วางหู ให้ทำการวางหูโทรศัพท์

3.4) วงจรควบคุมการบันทึก

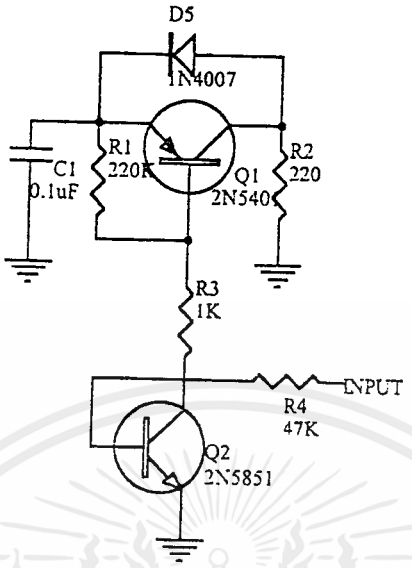


รูปที่ 3.6 แสดงวงจรควบคุมการบันทึก

เมื่อจะทำการบันทึก ให้กดสวิตช์ SW_1 ทำให้เอาท์พุตฟลิปฟลอปที่ขา 11 มีลอจิกเป็น High ทรานซิสเตอร์ Q_6 จะทำงานทำให้ LED_2 ติด สัญญาณลอจิก High จะไปยังขา 1 ของไอซี 3 ผ่านไอซี 3/1 และไอซี 3/2 ซึ่งเป็นชมิทท์ ทริกเกอร์ (Schmitt trigger) แบบอินเวอร์เตอร์ (Inverter)ที่ขา 4 ของไอซี 3 มีลอจิกเป็น High เข้าไปยังขา WR ของไอซี T6668 ทำให้สามารถบันทึกข้อความลงในไอซี T6668 ได้โดยผ่านทางไมค์(Mic) ไอซี T6668 จะทำการแปลงสัญญาณเสียงให้เป็นสัญญาณดิจิตอล แล้วนำไปเก็บไว้ในไอซี 7 ซึ่งเป็น RAM และสัญญาณลอจิก High จากขา 4 ของไอซี 3 อีกส่วนหนึ่งจะเข้าไปยังทรานซิสเตอร์ Q_9 ทำให้ Q_9 ทำงาน และจะช็อตอินพุตของวงจรขยายเสียง ดังนั้นในขณะทำการบันทึกจึงไม่มีเสียงออกทางลำโพง เมื่อการบันทึกจบลงที่ขา EOS จะส่งลอจิก High ออกมา ทำให้ทรานซิสเตอร์ Q_4 ทำงาน และทรานซิสเตอร์ Q_4 จะช็อตระดับลอจิก High ที่ขา 11 ผ่าน D_8 ทำให้ทรานซิสเตอร์ Q_6 หยุดการทำงาน LED_2 จะดับลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5) วงจรควบคุมการยกหูและวางหูโทรศัพท์



รูปที่ 3.7 แสดงวงจรควบคุมการยกหูและวางหูโทรศัพท์

จากรูปที่ 3.7 ทรานซิสเตอร์ Q_1 และ Q_2 ต่อเป็นโหลดของวงจรโทรศัพท์ เมื่อมีผู้โทรเข้ามา ทำให้ขา Q ของไอซี 4013 มีลอจิกเป็น High ทำให้ทรานซิสเตอร์ Q_2 ได้รับระดับลอจิกเป็น High จากขา Q ของไอซี 4013 มีผลทำให้ทรานซิสเตอร์ Q_1 ทำงานด้วย ทำให้แรงดันจากคู่สายตกลงเหลือประมาณ 6 ถึง 8 โวลต์ ซึ่งก็หมายถึงการยกหูโทรศัพท์ ถ้ามีสัญญาณมารีเซ็ตไอซี 4013 ที่ขา R ทำให้ขา Q มีลอจิกเป็น Low ทรานซิสเตอร์ Q_1 และ Q_2 ก็จะไม่ทำงาน แรงดันจากคู่สายจึงเป็น -48 โวลต์ ซึ่งหมายถึงการวางหูโทรศัพท์

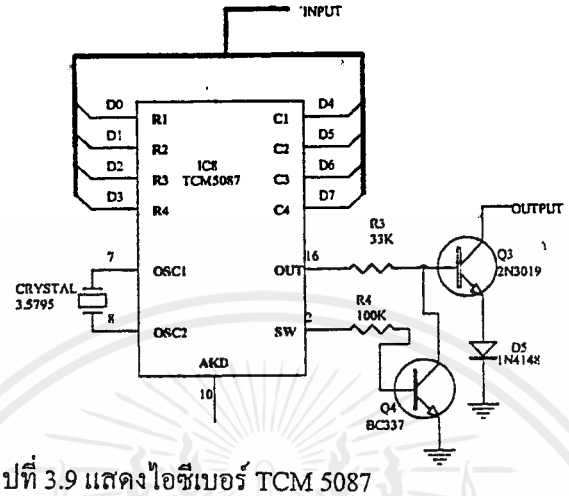
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเครื่องเตือนภัยอัตโนมัติ

วงจรเครื่องเตือนภัยอัตโนมัติแสดงดังรูปที่ 3.8 (A) ซึ่งประกอบด้วยวงจรต่างๆ ดังนี้

3.6) วงจรหมุนหมายเลขโทรศัพท์ (DTMF GENERATOR)

วงจรนี้ใช้ไอซีเบอร์ TCM 5087 ซึ่งเป็นไอซีโทนดีโคดเดอร์ (tone decoder) แสดงดังรูปที่3.9



รูปที่ 3.9 แสดงไอซีเบอร์ TCM 5087

ไอซี TCM 5087 จะทำหน้าที่หมุนหมายเลขโทรศัพท์แบบใช้ความถี่คู่ โดยไอซีนี้จะสร้างสัญญาณ DTMF 2 ความถี่ที่สอดคล้องกับเบอร์โทรศัพท์ต่างๆ ดังตารางที่ 3.1

ตารางที่ 3.1 ค่าความถี่ที่ได้จากการกดหมายเลขโทรศัพท์

	1209 Hz	1336 Hz	1447 Hz
697 Hz	1	2	3
770Hz	4	5	6
852 Hz	7	8	9
941 Hz	*	0	#

การส่งเบอร์โทรศัพท์ให้ไอซีทำได้โดยการส่งลอจิก " 0 " หรือ " 1 " ที่สอดคล้องกับหมายเลขโทรศัพท์ไปยังขา R_1 - R_4 และ C_1 - C_4 ของไอซี โดยขา R_1 - R_4 จะทำงานที่ลอจิก " 0 " ส่วน C_1 - C_4 จะทำงานที่ลอจิก " 1 " โดยค่า R_1 - R_4 ที่สอดคล้องกับหมายเลขโทรศัพท์จะเป็นไปตามตารางที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

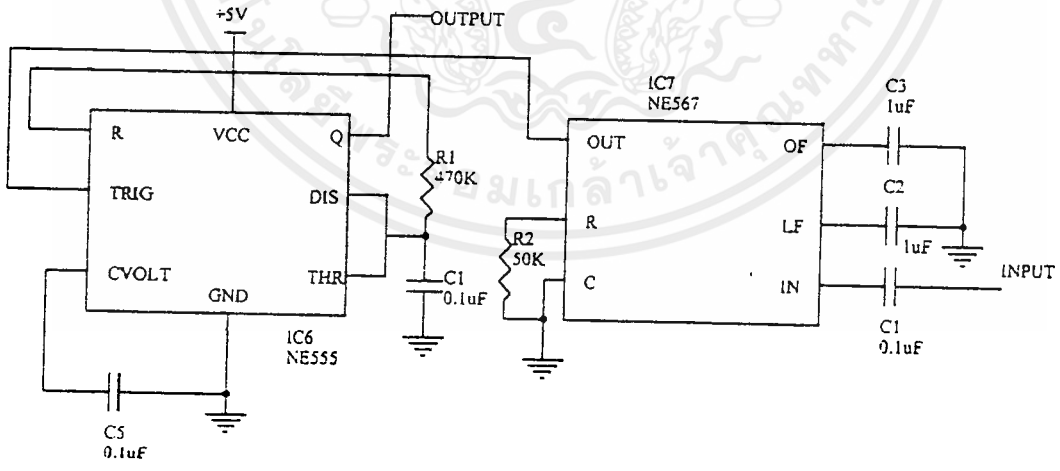
ตารางที่ 3.2 การส่งลอจิกที่สอดคล้องกับเบอร์โทรศัพท์

เบอร์	R1	R2	R3	R4	C1	C2	C3	C4	เลขฐานสิบหก
1	0	1	1	1	1	0	0	0	78H
2	0	1	1	1	0	1	0	0	74H
3	0	1	1	1	0	0	1	0	72H
4	1	0	1	1	1	0	0	0	B8H
5	1	0	1	1	0	1	0	0	B4H
6	1	0	1	1	0	0	1	0	B2H
7	1	1	0	1	1	0	0	0	D8H
8	1	1	0	1	0	1	0	0	D4H
9	1	1	0	1	0	0	1	0	D2H
0	1	1	1	0	0	1	0	0	E4H

ตัวอย่างเช่นถ้าต้องการหมุนเบอร์ 1 ก็จะส่งข้อมูลให้ R1 เป็น "0" ส่วน R2-R4 ให้เป็น "1" และ C1 เป็น "1" ส่วน C2-C4 เป็น "0"

3.7) วงจรตรวจสัญญาณจากสายโทรศัพท์ (tone detector)

วงจรนี้ประกอบด้วยไอซี NE 567 และไอซี NE 555 ต่อเป็นวงจรดังรูปที่ 3.10



รูปที่ 3.10 แสดงวงจรตรวจจับสัญญาณจากสายโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรนี้ใช้ในการตรวจจับสัญญาณจากสายโทรศัพท์ว่าเป็นสัญญาณให้หมุน (Dial tone) สัญญาณไม่ว่าง (Busy tone) หรือสัญญาณเรียกกลับ (Ring back tone) เนื่องจากทั้งสามสัญญาณนี้เป็นสัญญาณที่มีความถี่ 400 Hz ปรากฏอยู่เท่านั้น จึงใช้ไอซีเบอร์ NE 567 ซึ่งเป็นไอซีเฟสล็อกลูป (Phase lock loop) โดยตั้งความถี่ศูนย์กลางให้ได้ 400 Hz ซึ่งขึ้นอยู่กับการตั้งค่า C และ R โดยมีการคำนวณค่า C และ R ดังนี้

1) หาจาก C_1 , R_1 จากสูตร

$$f_0 = 1.1/ R_1C_1 \text{ โดยที่ } f_0 = 400 \text{ Hz}$$

2) หาค่า C_2 จากสูตร

$$C_2 = 130 / f_0$$

3) หาค่า C_3 จากสูตร

$$C_3 > 2C_2 > 260 / f_0$$

ที่ขาเอาท์พุตของไอซี NE 567 ปกติจะมีลอจิกเป็น "1" แต่ถ้ามีสัญญาณอินพุตที่มีความถี่ศูนย์กลางเท่ากับ 400 Hz ที่ขาเอาท์พุตจะมีลอจิกเป็น "0" เมื่อสัญญาณที่ตรงกับความถี่นี้หมดไป เอาท์พุตจะมีลอจิกกลับเป็นดังเดิมเนื่องจากสัญญาณที่ออกจากขาเอาท์พุตของไอซี NE 567 มีการกระเพื่อมเนื่องจากมีการรบกวนภายในสายโทรศัพท์ ดังนั้นจึงใช้ไอซี NE 555 มีลอจิกเป็น "0" แต่เมื่อมีสัญญาณลอจิก "0" เข้ามาที่ขาอินพุตจะทำให้เอาท์พุตมีลอจิกเป็น "1" เป็นเวลานานตามที่หน่วงเอาไว้ ซึ่งเวลาที่หน่วงจะขึ้นอยู่กับค่า R และ C โดยคำนวณเวลาที่หน่วง (T) ได้จากสูตร

$$T = 1.1 R_1C_1 \text{ วินาที}$$

วงจรเครื่องเตือนภัยอัตโนมัตินี้สามารถแสดงได้ดังรูปที่ 3.8 (A) วงจรจะประกอบด้วยวงจรหมุนหมายเลขโทรศัพท์ วงจรตรวจสัญญาณจากสายโทรศัพท์ วงจรควบคุมการวางหู และยกหูโทรศัพท์ และมีไมโครคอนโทรลเลอร์ 8031 เป็นตัวควบคุมการทำงานโดยมีหลักการดังนี้ เมื่อเซนเซอร์ตรวจจับมีเหตุผิดปกติก็จะส่งสัญญาณไปยังขา INT1 ของ 8031 จากนั้นไมโครคอนโทรลเลอร์ 8031 จะทำการวางหู-ยกหูโทรศัพท์ โดยทำการเซ็ตบิต P1.4 , P1.6 และเคลียร์บิต P1.4 ตามลำดับ ทำให้รีเลย์จะทำการเป็นสวิตช์ปิดเปิดเพื่อให้ R_{10} ต่อคร่อมกับคู่สายโทรศัพท์ในกรณีวางหูและไม่ต่อคร่อมกับคู่สายในกรณียกหูโทรศัพท์ ไมโครคอนโทรลเลอร์ 8031 จะทำการตรวจสอบว่ามีสัญญาณให้หมุนเข้ามาหรือไม่ โดยตรวจสอบจากขาเอาท์พุตของไอซี NE555 ซึ่งเป็นไอซีโมโนสเตเบิ้ลทำงานร่วมกับไอซีเฟสล็อกลูป ไอซี NE 555 ซึ่งตั้งความถี่ศูนย์กลางจากค่า R และ C ไว้ที่ 400 Hz

ถ้ามีสัญญาณ Dial tone หมายเลขโทรศัพท์ที่เก็บไว้ใน RAM ที่อยู่ภายในไมโครคอนโทรลเลอร์ 8031 จะถูกส่งออกทางพอร์ต 1 ไปยังวงจรหมุนหมายเลขโทรศัพท์ ซึ่งใช้ไอซีเบอร์ TCM 5087 ทำหน้าที่ส่งสัญญาณ DTMF แล้วส่งสัญญาณออกไป ถ้าไม่ได้รับสัญญาณ Dial tone CPU 8031 จะทำการส่งสัญญาณไปยังวงจรควบคุมการวางหูและยกหูโทรศัพท์ จนกว่าจะได้รับสัญญาณให้หมุนเบอร์โทรศัพท์ เมื่อหมุนหมายเลขโทรศัพท์แล้ว 8031 จะทำการตรวจสอบว่ามี Busy tone เข้ามาหรือไม่ โดยตรวจสอบสัญญาณเอาท์พุตของไอซี NE 555 ถ้ามีสัญญาณ Busy tone เข้ามาแสดงว่าคู่สายไม่ว่าง 8031 จะทำการส่งสัญญาณออกที่ขา RXD และ TXD ไป ยังวงจรควบคุมการวางหูและยกหูโทรศัพท์ให้ทำการวางหูโทรศัพท์ แล้ว 8031 จะทำการหมุนหมายเลขเดิมแต่

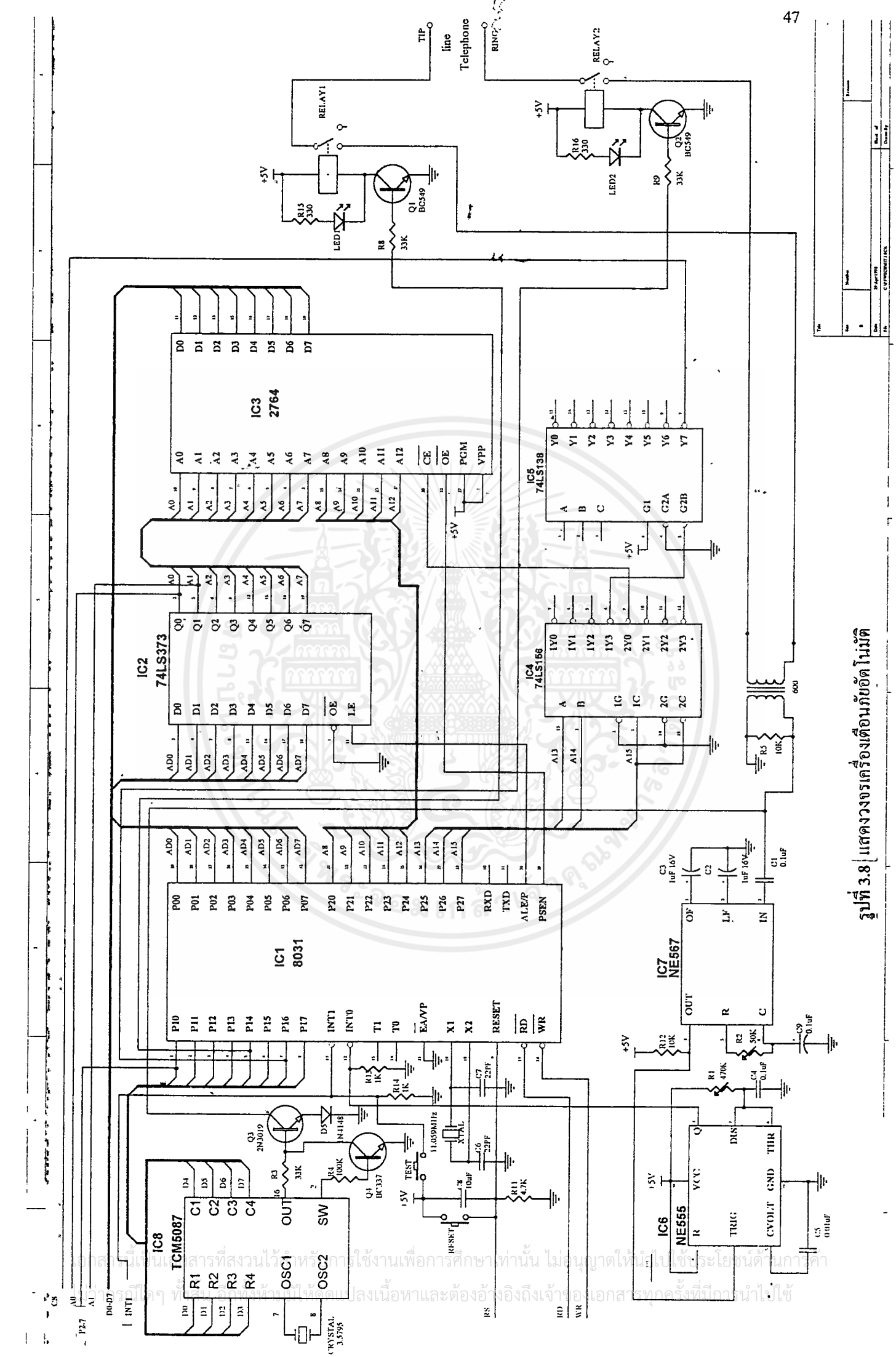
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หมุนหมายเลขเดิมแล้วสายยังไม่ว่าง 8031 ก็จะทำการส่งหมายเลขมาให้วงจรหมุนหมายเลขโทรศัพท์ทำการหมุน หมายเลขใหม่อีกครั้ง

ถ้าไม่มีสัญญาณ Busy tone เข้ามาแสดงว่าคู่สายว่าง 8031 จะทำการตรวจสอบสัญญาณ Ring back tone ไมโครคอนโทรลเลอร์ 8031 ก็จะทำการหมุนหมายเลขเดิมแต่ถ้ามีสัญญาณนี้ก็จะรอเป็นเวลา 15 วินาที ถ้าไม่มีผู้รับก็จะทำการเปลี่ยนหมายเลขแล้วทำการโทรเข้ามาใหม่ หากมีผู้รับสาย 8031 จะทำการส่งสัญญาณลอจิก Low ไปยังขา ACL ของไอซี T6668 จะนำข้อความเตือนภัยมาเก็บไว้ใน RAM ส่งออกไปทางคู่สายไปยังผู้รับปลายทาง เมื่อข้อความเตือนภัยจบลง ไอซี T6668 จะส่งสัญญาณลอจิก High ออกมาจากขา EOS แล้วส่งมายังขา INT1 ของ 8031 จากนั้น 8031 ก็จะหยุดการติดต่อกับผู้รับและส่งสัญญาณไปยังวงจรควบคุมการวางหูและยกหูให้ทำการวางหูโดยอัตโนมัติ

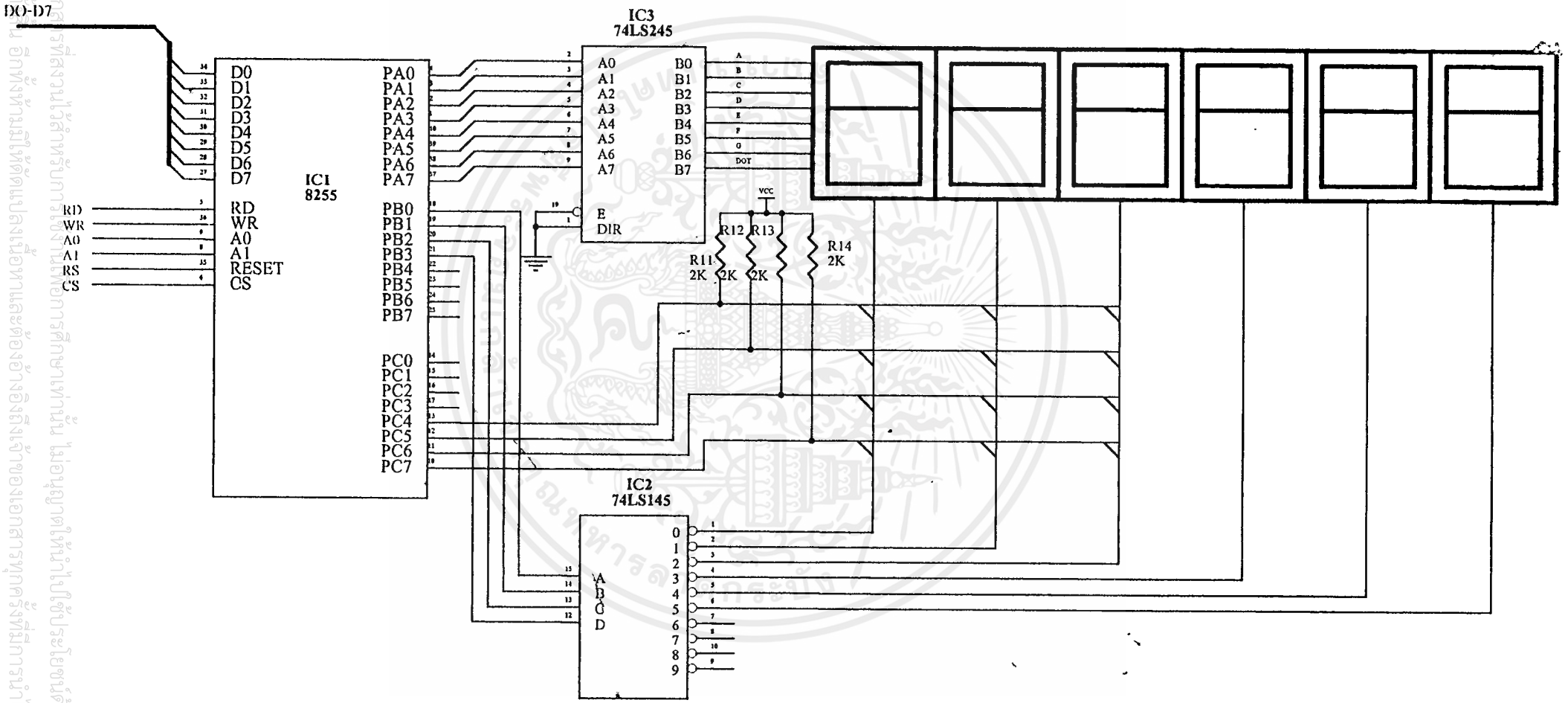
สำหรับการเก็บหมายเลขโทรศัพท์ ทำได้โดยการกดปุ่มบนหน้าปัทม์โทรศัพท์หมายเลขโทรศัพท์จะถูกส่งมายังพอร์ต C ของ 8255 แล้ว 8255 จะนำหมายเลขส่งออกมาทางบัสข้อมูลไปยัง 8031 และ 8031 จะนำหมายเลขไปเก็บไว้ใน RAM และหมายเลขดังกล่าวจะถูก แสดง บน LED 7 segment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงวงจรเครื่องตอนกันอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า การกำไรรูปแบบ ทั้งนี้ห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 (ต่อ) แสดงวงจร Scan-key และ Display

บทที่ 4

การทดลองและผลการทดลอง

4.1 ขั้นตอนการทดลอง ในส่วนของเครื่องตอบรับโทรศัพท์

4.1.1 ต่อวงจรเข้ากับคู่สายโทรศัพท์ โดยการต่อพ่วงออกมาจากคู่สายโทรศัพท์

4.1.2 ทำการ โทรเรียกเข้ามายังเครื่องโทรศัพท์ที่มีเครื่องตอบรับโทรศัพท์ต่อพ่วงอยู่

4.1.3 ใช้ออสซิลโลสโคปวัดสัญญาณอินพุตที่เข้ามายังวงจรส่วนเปรียบเทียบแรงดัน (LM393)

4.1.4 วัดสัญญาณเอาท์พุตที่ออกมาจากวงจรส่วนเปรียบเทียบแรงดัน(LM393)

4.1.5 วัดสัญญาณเอาท์พุตที่ออกจากวงจรส่วนตรวจจับเสียงกระดิ่ง

4.1.6 วัดสัญญาณเอาท์พุตที่ออกจากวงจรส่วน control การ play

4.1.7 วัดสัญญาณริงกิงโทน(ringing tone) ที่เข้ามายังวงจรเครื่องตอบรับโทรศัพท์

4.2 ขั้นตอนการทดลองในส่วนของเครื่องเตือนภัย

4.2.1 ต่อวงจรเครื่องเตือนภัยเข้ากับคู่สายโทรศัพท์

4.2.2 กดปุ่มรีเซ็ตค้างไว้แล้วป้อนหมายเลขเครื่องโทรศัพท์ที่ต่อกับวงจร จากนั้นรอเวลาประมาณ 30 วินาที แล้วกดปุ่มทดสอบ (SW_1) LED จะติด และได้ยินเสียงรีเลย์ RY_1 ดัง เมื่อยกหูโทรศัพท์ฟังดูจะได้ยินเสียงการหมุนหมายเลขดังออกมา พร้อมกันนั้นจะได้ยินเสียงเตือนดังออกมาตลอดเวลาอีกด้วย

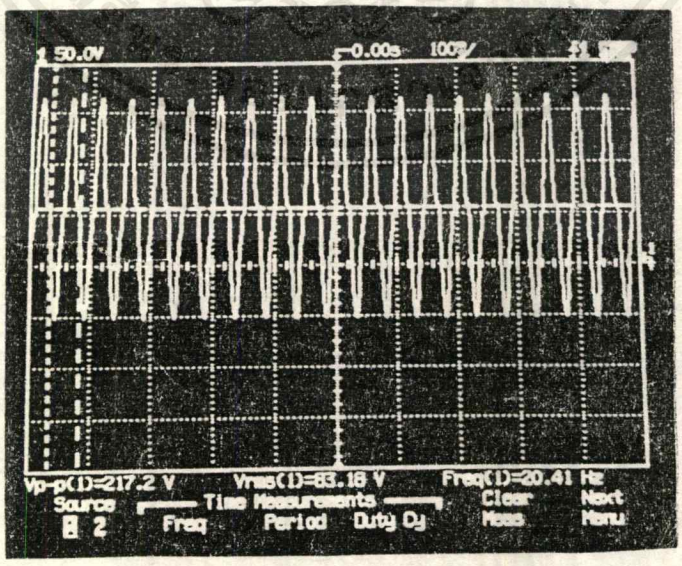
4.2.3 ใช้ออสซิลโลสโคปวัดสัญญาณเอาท์พุตจากวงจรส่วนหมุนหมายเลข

4.2.4 วัดสัญญาณอินพุตที่เข้าไปยังวงจรส่วนหมุนเลขหมายและส่งสัญญาณเตือน

4.2.5 วัดสัญญาณเอาท์พุตที่ออกจากวงจรส่วนสร้างสัญญาณเตือน

4.3 ผลการทดลอง

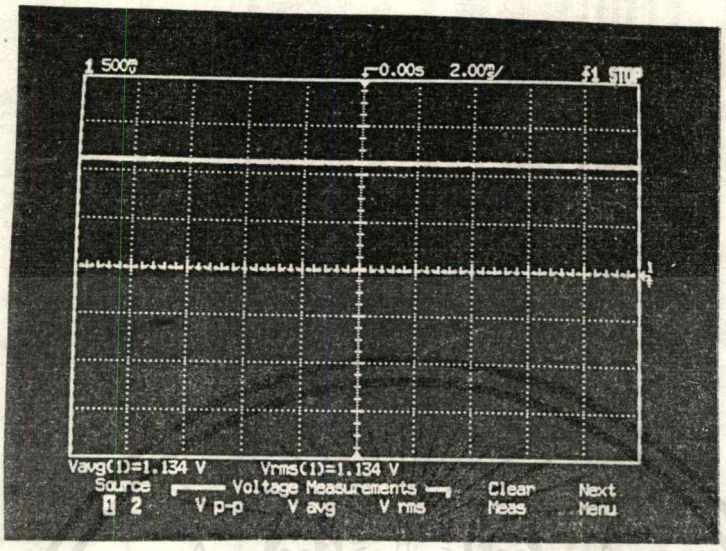
4.3.1) วัดสัญญาณริงกิงโทน(ringing tone) ที่เข้าไปยังเครื่องตอบรับโทรศัพท์



รูปที่ 4.3.1 แสดงสัญญาณริงกิงโทนที่เข้าไปยังเครื่องตอบรับโทรศัพท์

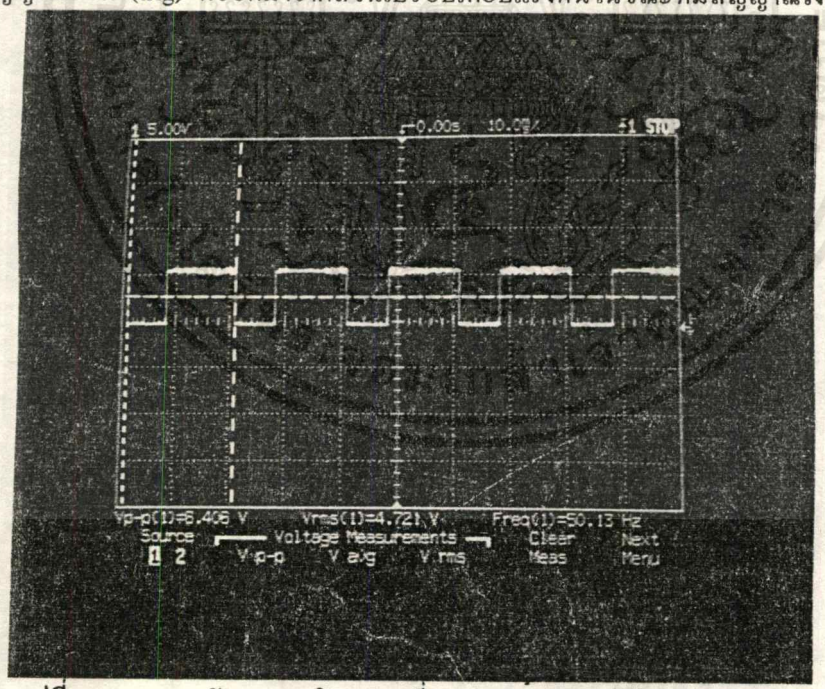
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2) วัดสัญญาณอินพุตที่เข้ามายังส่วนเปรียบเทียบแรงดัน (ในขณะที่มีสัญญาณริงกิงโทนเข้ามา)



รูปที่ 4.3.2 แสดงสัญญาณอินพุตที่เข้าไปยังส่วนเปรียบเทียบแรงดันในขณะที่มีสัญญาริงกิงโทน

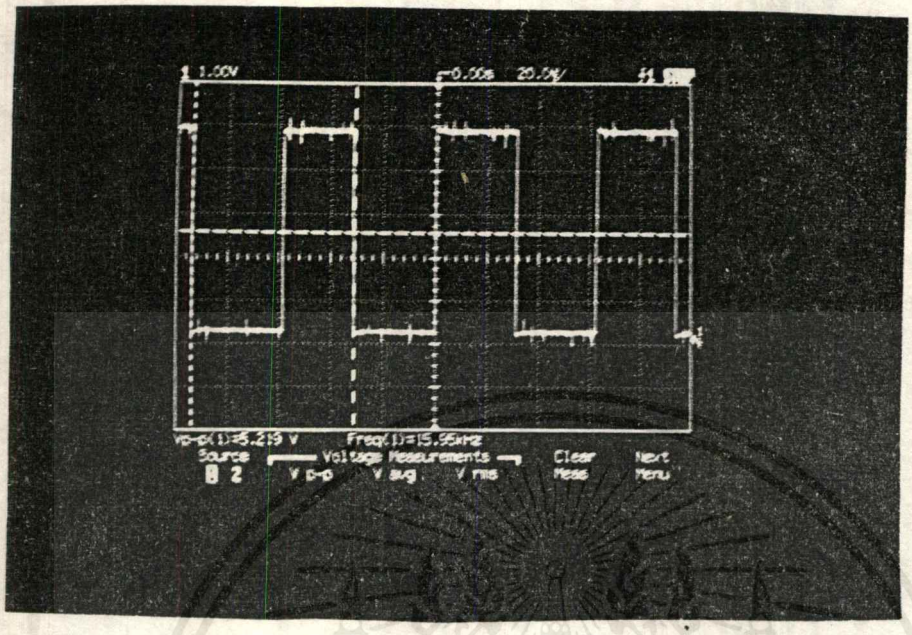
4.3.3) วัดสัญญาณทริก (trig) ที่ออกมาจากส่วนเปรียบเทียบแรงดันในขณะที่มีสัญญาณริงกิงโทนเข้ามา



รูปที่ 4.3.3 แสดงสัญญาณทริก (trig) ที่ออกมาจากวงจรเปรียบเทียบแรงดันในขณะที่มีสัญญาณริงกิงโทนเข้ามา

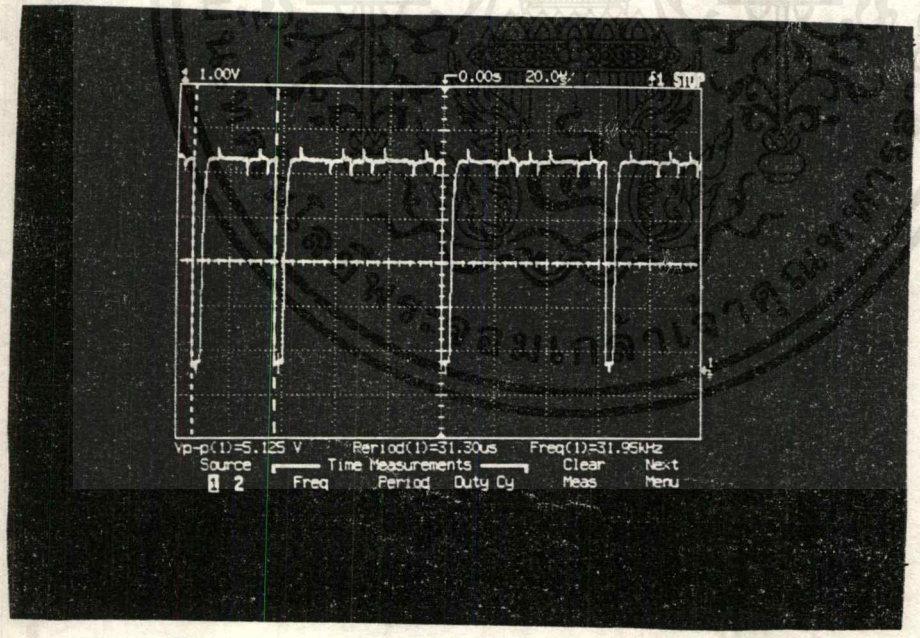
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.4) วัดสัญญาณที่ขา D OUT ของไอซี T 6668 ขณะที่มีการบันทึกเสียงเข้า DRAM



รูปที่ 4.3.4 แสดงสัญญาณที่ขา D OUT ของไอซี T 6668

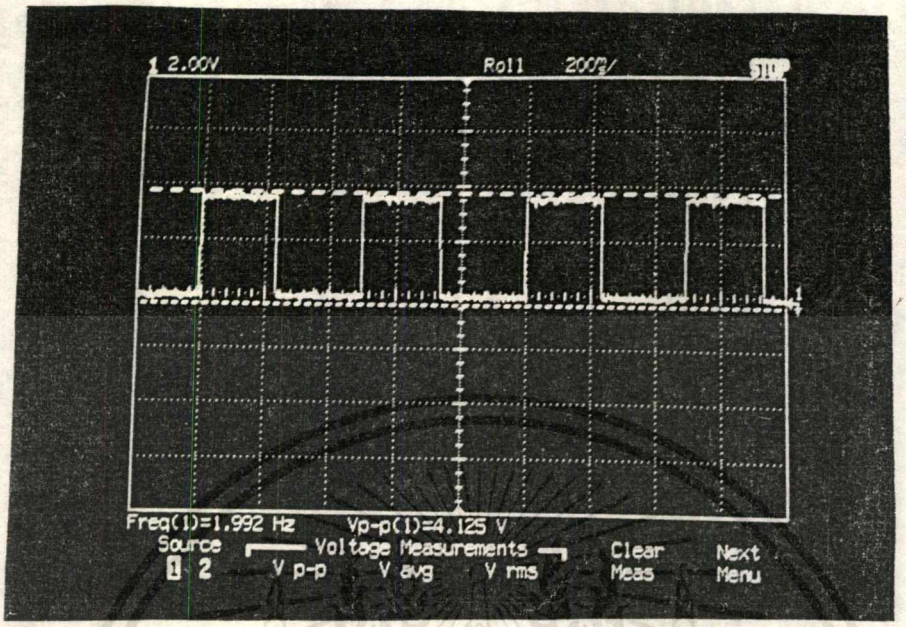
4.3.5) วัดสัญญาณที่ขา D IN ของไอซี T 6668 ขณะที่มีการกดปุ่ม play



รูปที่ 4.3.5 แสดงสัญญาณที่ขา D IN ของไอซี T 6668

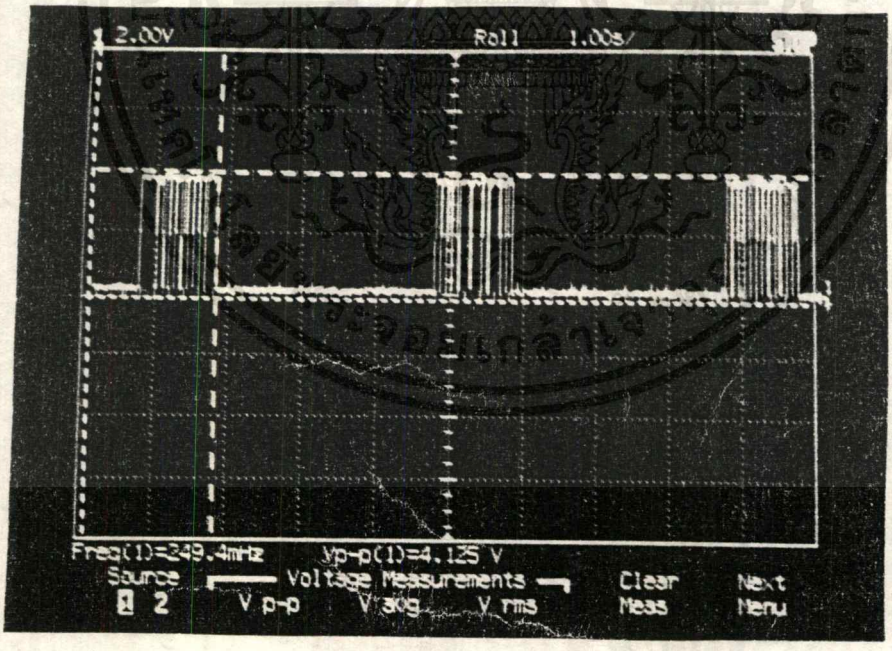
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.6) วัดสัญญาณที่ขาเอาท์พุตของไอซี NE 555 ขณะที่มีสัญญาณ busy Tone เข้ามา



รูปที่ 4.3.6 แสดงสัญญาณที่ขาเอาท์พุตของไอซี NE 555 ขณะที่มีสัญญาณ busy Tone เข้ามา

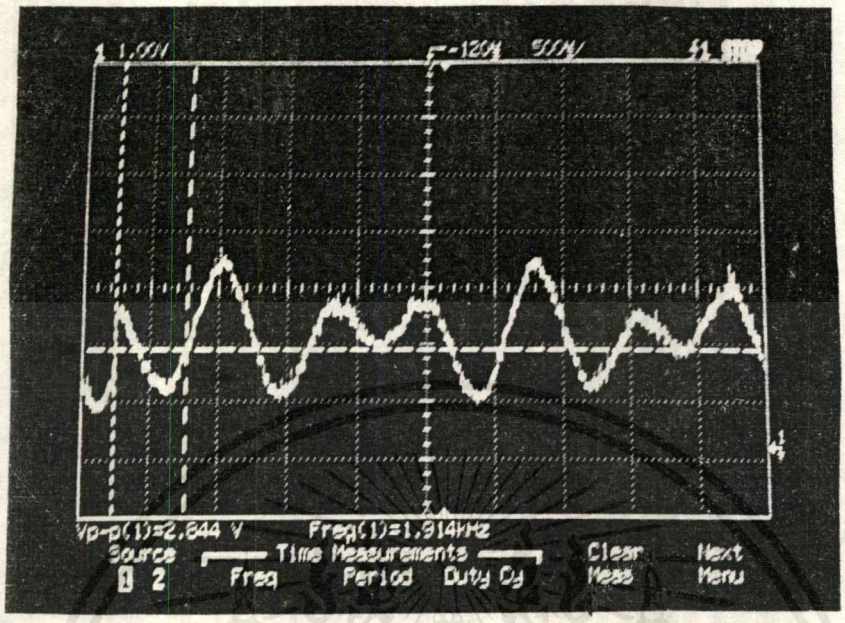
4.3.7) วัดสัญญาณที่ขาเอาท์พุตของไอซี NE 555 ขณะที่มีสัญญาณ Ring back Tone เข้ามา



รูปที่ 4.3.7 แสดงสัญญาณที่ขาเอาท์พุตของไอซี NE 555 ขณะที่มีสัญญาณ Ring back Tone เข้ามา

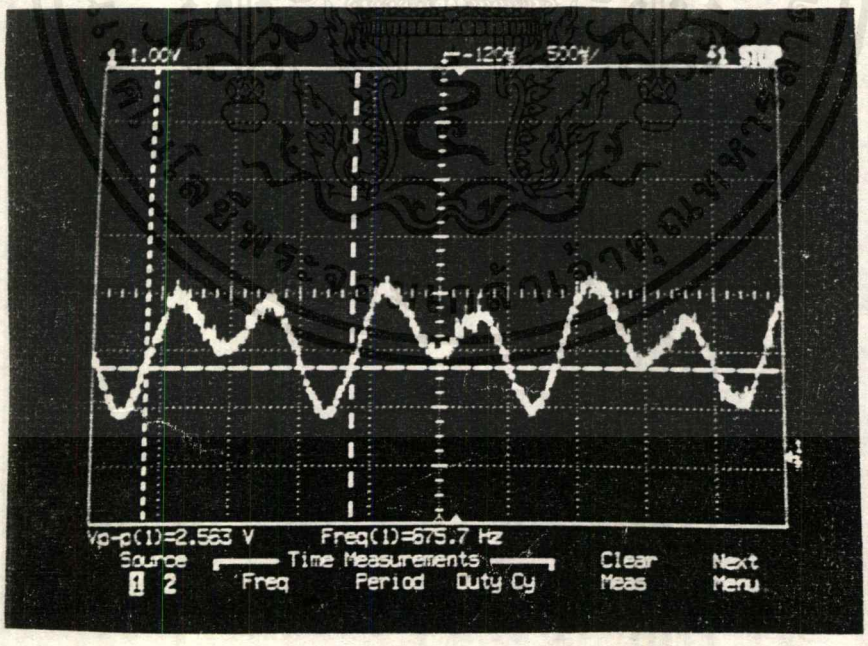
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.8) วัดสัญญาณ DTMF ที่ขาเอาท์พุตของไอซี TCM 5087 เมื่อต้องการให้ไอซีหมุนเบอร์ 2



รูปที่ 4.3.8 แสดงสัญญาณ DTMF ที่ขาเอาท์พุตของไอซี TCM 5087 เมื่อต้องการให้ไอซีหมุนเบอร์ 2

4.3.9) วัดสัญญาณ DTMF ที่ขาเอาท์พุตของไอซี TCM 5087 เมื่อต้องการให้ไอซีหมุนเบอร์ 8



รูปที่ 4.3.9 แสดงสัญญาณ DTMF ที่ขาเอาท์พุตของไอซี TCM 5087 เมื่อต้องการให้ไอซี หมุนเบอร์ 8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทวิจารณ์และบทสรุป

บทสรุป

ในส่วนของเครื่องตอบรับโทรศัพท์เมื่อมีผู้เรียกโทรฯเข้ามา สัญญาณจะผ่านไปยังวงจรบริดจ์ทำให้ได้สัญญาณกระแสตรงป้อนเข้าไปยังวงจรเปรียบเทียบแรงดันสัญญาณที่ได้จะถูกส่งไปยังส่วนควบคุมการ Play เพื่อให้ส่วนนี้ส่งสัญญาณเข้าไปยังไอซี T6668 และมีการนำเสียงที่เก็บบันทึกได้ออกทางลำโพง

ในส่วนของโทรศัพท์เตือนภัย เมื่อกดสวิตช์ทดสอบจะทำให้หมายเลขโทรศัพท์ของผู้รับปลายทางถูกส่งออกไปในรูปของพัลซ์พร้อมทั้งสัญญาณเตือนและจะไปยังส่วนที่ทำการหมุนหมายเลขและส่งสัญญาณ ซึ่งจะทำการหมุนหมายเลขเมื่อหมุนหมายเลขเสร็จแล้วก็จะส่งสัญญาณเตือนออกไปทางคู่สายโทรศัพท์

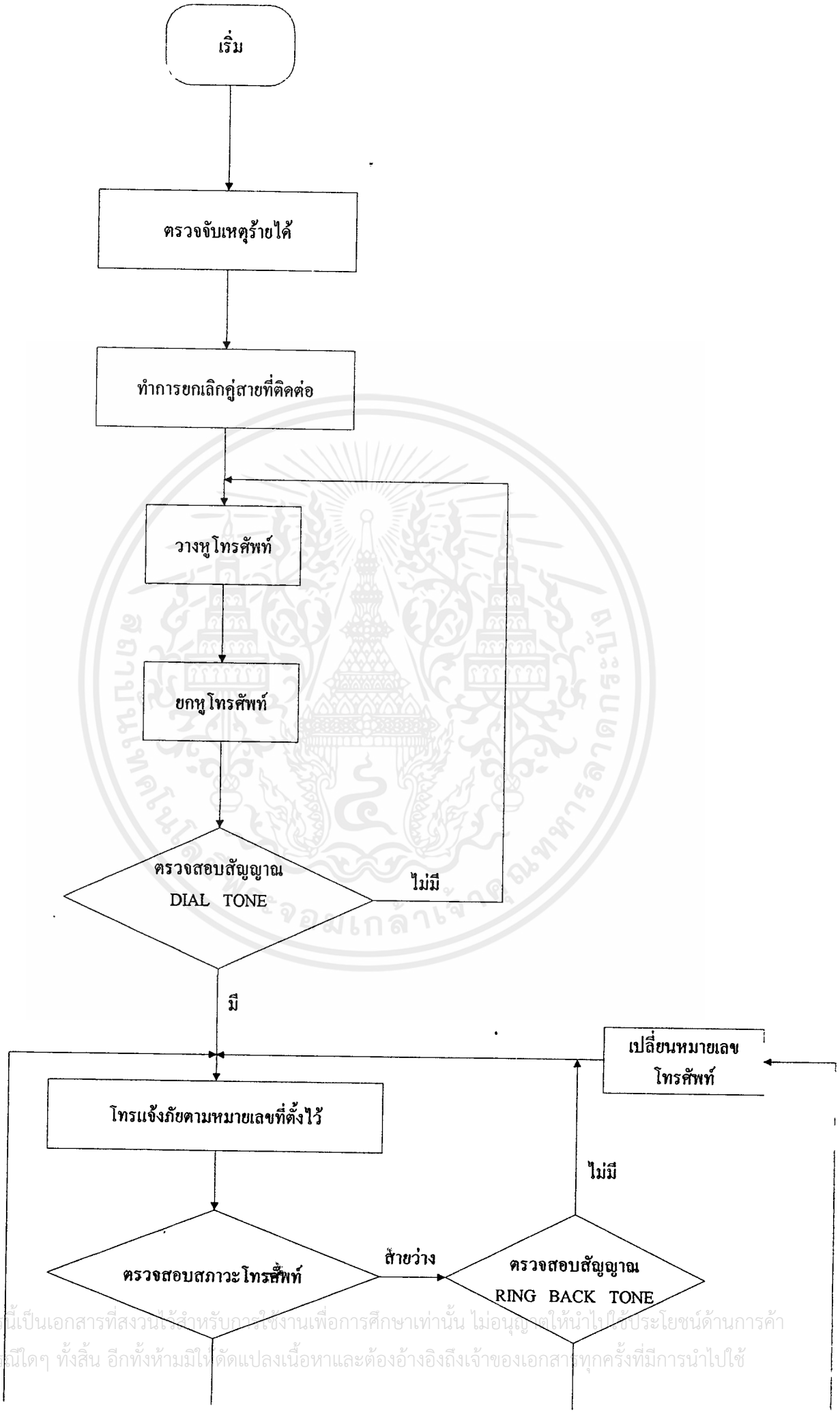
บทวิจารณ์

สัญญาณที่ได้จากการทดลองจะมีสัญญาณรบกวนแทรกเข้ามาซึ่งทำให้สัญญาณเกิดการผิดเพี้ยนไปจากที่เป็นจริง ควรระมัดระวังไม่ให้มีสัญญาณรบกวนเข้ามาให้ได้

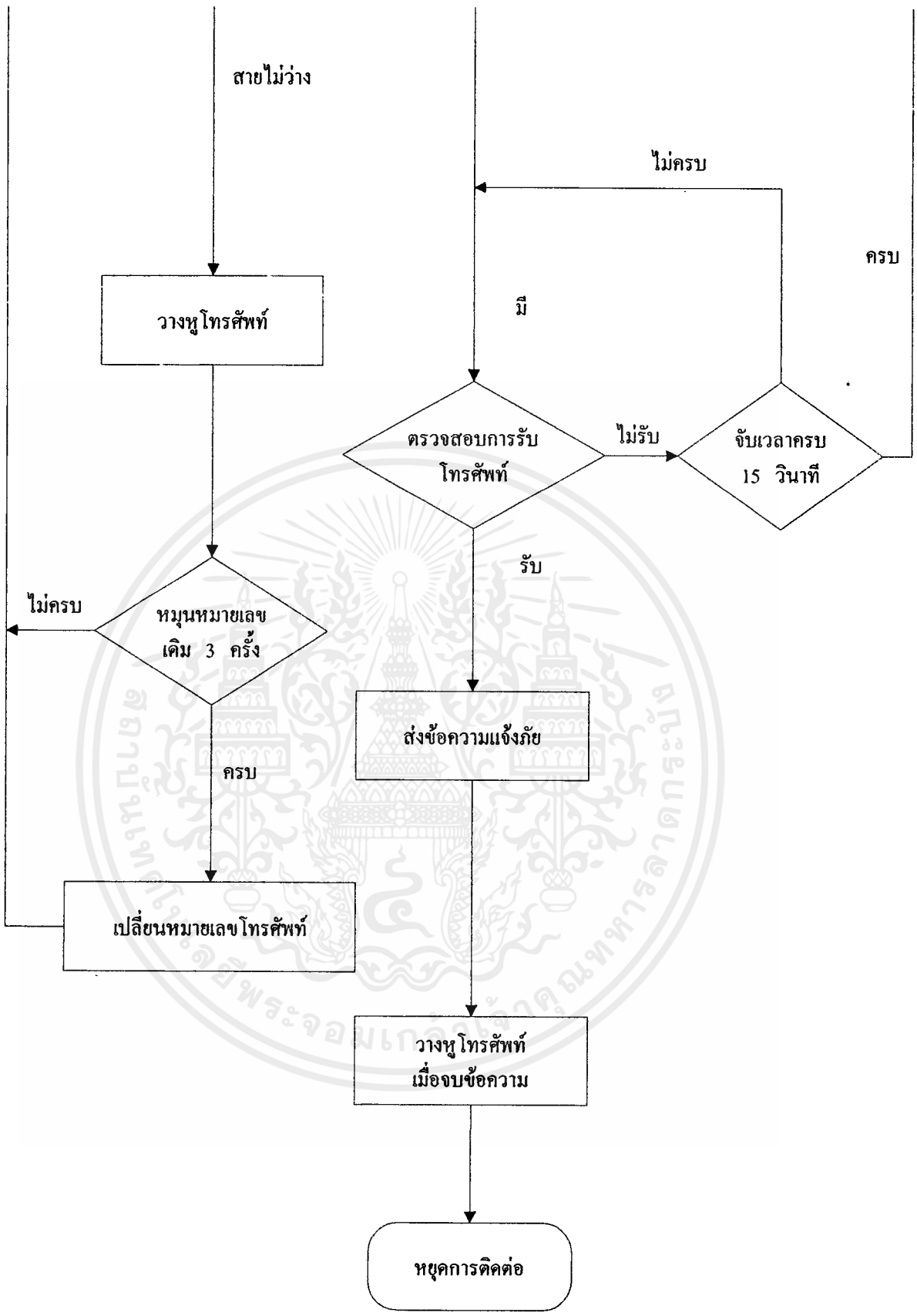
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



FLOW CHART แสดงการทำงานของเครื่องเตือนภัยอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
*************************************************
*   Software For Automatic Warning Unit         *
*     By   Sittipong  jarunyakorn               *
*     Program  sit7.asm                         *
*     use CPU 8031 port 8255  #0E0E0H-#0E0E3H   *
*************************************************


         ORG 0000H
        Dispbuff EQU 30H
        Keybuff EQU 60H
        Port1 EQU 90H
        PortA EQU 0E0E0H
        PortB EQU 0E0E1H
        PortC EQU 0E0E2H
        Control EQU 0E0E3H
        LJMP START
   ****** Interrupt Service for Timer0 ******
        ORG 000BH
        PUSH ACC
        CLR TR0
        DEC R2
        MOV TH0,#0FFH
        MOV TL0,#0FFH
        POP ACC
        RETI
   ****** Interrupt Service for Timer1 ******
        ORG 001BH
        PUSH ACC
        PUSH PSW
        CLR P1.4                ;on hook
        LCALL DELAY1            ;delay 0.8s
        SETB P1.6
        LCALL DELAY1            ;delay 0.8s
        SETB P1.4               ;off hook
        POP PSW
        POP ACC
        RETI
   ****** Set 8255 and Port ******
   START:ORG 0030H
         MOV A,#89H
         MOV PSW,#00H
         MOV DPTR,#Control
         MOVX @DPTR,A
         MOV P1,#00H                ;Port1 = Output Port
         MOV IE,#8AH                ;set Register IE
         MOV IP,#0AH                ;set Register IP
         MOV TMOD,#99H              ;set Timer mode
         SETB TR1
     **** Scan Keyboard and Display ****
         MOV R1,#Dispbuff           ;Clear Display buffer
         MOV R2,#06H                ;at 30H-35H
         MOV R0,#40H
 INCLED: MOV @R1,#00H
         INC R1
         DJNZ R2,INCLED
         MOV R1,#Dispbuff           ;R1=Point to dispbuff
INITIAL: MOV R2,#10H                ;R2=Point to Col1
         MOV R3,#03H                ;R3=Scan Col1-Col3
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
SHOWLED: MOV DPTR,#PortA          ;Send display Code
         MOV A,@R1                ;to 7 Segment Display
         MOVX @DPTR,A
         LCALL DELAY3
         MOV DPTR,#PortB          ;send Column Code
         MOV A,R2                 ;to 7 segment Display
         MOVX @DPTR,A
         LCALL DELAY1
         MOV DPTR,#PortA
         MOV A,#00H
         MOVX @DPTR,A
      **** Read Key Board Port C ****
READKEY:MOV DPTR,#PortC
         MOVX A,@DPTR
         ANL A,#0F0H                    ;Mask Low Nibble
         CJNE A,#0F0H,KEYDOWN
         LJMP INCRE
     **** Key Down or Up ****
KEYDOWN:MOV 60H,A
         MOVX A,@DPTR
         ANL A,#0F0H
         CJNE A,60H,READKEY
         INC R1                         ;Inc Display Buffer
     **** Check Key Release ****
   BACK: MOVX A,@DPTR
         ANL A,#0F0H
         CJNE A,#0F0H,BACK
   SAVE: MOV A,60H
         LCALL CHKVALUE                 ;Check Row and Column
         LCALL DELAY3
         CJNE R1,#38H,INCRE
         MOV R7,#00H
         LJMP DISPLAY
  INCRE: INC R2                         ;Inc Column
         DJNZ R3,SHOWLED                ;If not last Col
         LJMP INITIAL                   ;Display Key Code
SEGMENT: DB 06H,5BH,4FH                 ;Display Code  1 2 3
         DB 66H,6DH,7DH                 ;               4 5 6
         DB 07H,7FH,6FH                 ;               7 8 9
         DB 79H,3FH,71H                 ;               * 0 #
CHKVALUE: NOP
    ROW1:CJNE A,#0E0H,ROW2              ;If not Row1-Row2
         MOV DPTR,#SEGMENT              ;If Row1 get Key Code
         AJMP COL1                      ;and check Col1-Col3
    ROW2:CJNE A,#0D0H,ROW3              ;If not Row2-Row3
         MOV DPTR,#SEGMENT+3            ;If Row2 get Key Code
         AJMP COL1                      ;and check Col1-Col3
    ROW3:CJNE A,#0B0H,ROW4              ;If not Row3-Row4
         MOV DPTR,#SEGMENT+6            ;If Row3 get Key Code
         AJMP COL1                      ;and check Col1-Col3
    ROW4:CJNE A,#70H,TURN               ;If not Row4 Return
         MOV DPTR,#SEGMENT+9            ;If Row4 get Key Code
         AJMP COL1                      ;and check Col1-Col3
   TURN: RET
      **** Check Column ****
    COL1: MOV A,R2                      ;Read Col Code
         CJNE A,#10H,COL2               ;Not Col1-Col2
         CLR A                          ;If Col1 read key Code
         MOVC A,@A+DPTR                 ;Save key Code
         MOV @R1,A
         LCALL DELAY3
         MOV A,60H
         ANL A,#0F0H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น รวมทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
WRITE1:CJNE A,#0E0H,WRITE2          ;If not Row1-Row2
       MOV A,#78H                   ;save data in RAM
       MOV @R0,A
       INC R0
       RET
WRITE2:CJNE A,#0D0H,WRITE3          ;If not Row2-Row3
       MOV A,#0B8H                  ;save data in RAM
       MOV @R0,A
       INC R0
       RET
WRITE3:CJNE A,#0B0H,WRITE4          ;If not Row3-Row4
       MOV A,#0D8H                  ;save data in RAM
       MOV @R0,A
       INC R0
       RET
WRITE4:CJNE A,#70H,TURN             ;If not Row4 return
       MOV A,#00H                   ;save data in RAM
       MOV @R0,A
       INC R0
       RET
  COL2:MOV A,R2                     ;Read Col Code
       CJNE A,#11H,COL3             ;Not Col2-Col3
       INC DPTR                     ;Shift Col2
       CLR A
       MOVC A,@A+DPTR               ;If Col2 Read Key Code
       MOV @R1,A                    ;save Key Code
       LCALL DELAY3
       MOV A,60H
       ANL A,#0F0H
WRITE5:CJNE A,#0E0H,WRITE6          ;If not Row1-Row2
       MOV A,#74H                   ;save data in RAM
       MOV @R0,A
       INC R0
       RET
WRITE6:CJNE A,#0D0H,WRITE7          ;If not Row2-Row3
       MOV A,#0B4H                  ;save data in RAM
       MOV @R0,A
       INC R0
       RET
WRITE7:CJNE A,#0B0H,WRITE8          ;If not Row3-Row4
       MOV A,#0D4H                  ;save data in RAM
       MOV @R0,A
       INC R0
       RET
WRITE8:CJNE A,#70H,TURN             ;If not Row4 return
       MOV A,#0E4H                  ;save data in RAM
       MOV @R0,A
       INC R0
       RET
 COL3: MOV A,R2                     ;Read Col Code
       CJNE A,#12H,TURN             ;Not Col2-Col3
       INC DPTR                     ;Shift Col3
       INC DPTR
       CLR A
       MOVC A,@A+DPTR               ;If Col2 Read Key Code
       MOV @R1,A                    ;save Key Code
       LCALL DELAY3
       MOV A,60H
       ANL A,#0F0H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
 WRITE9: CJNE A,#0E0H,WRITE10          ;If not Row1-Row2
         MOV A,#72H                    ;save data in RAM
         MOV @R0,A
         INC R0
         RET
WRITE10: CJNE A,#0D0H,WRITE11          ;If not Row2-Row3
         MOV A,#0B2H                   ;save data in RAM
         MOV @R0,A
         INC R0
         RET
WRITE11: CJNE A,#0B0H,WRITE12          ;If not Row3-Row4
         MOV A,#0D2H                   ;save data in RAM
         MOV @R0,A
         INC R0
      TU: RET
WRITE12: CJNE A,#70H,TU                ;If not Row4 return
         MOV A,#01H                    ;save data in RAM
         MOV @R0,A
         INC R0
         RET
    ****** Display on 7 Segment ******
DISPLAY: MOV R1,#Dispbuff
         INC R1
         MOV R2,#10H
         MOV R3,#06H
  DIS:   MOV DPTR,#PortA
         MOV A,@R1
         MOVX @DPTR,A
         MOV DPTR,#PortB
         MOV A,R2
         MOVX @DPTR,A
         LCALL DELAY3
         DEC DPL
         MOV A,#00H
         MOVX @DPTR,A
         LCALL DELAY3
         INC R1
         INC R2
         DJNZ R3,DIS
         DJNZ R7,DISPLAY

    ****** initial program ******
         MOV TH1,#0FFH                 ;Initial TH1=0FFH
         MOV TL1,#0FFH                 ;Initial TL1=0FFH
  LOOP1:JNB TF1,LOOP1                  ;If TF1=0 Loop1
         CLR TF1
     **** Check Dial Tone ****
   TONE: MOV R2,#01H
         MOV TH0,#0FFH                 ;Initial TH0=0FFH
         MOV TL0,#0FFH                 ;Initial TL0=0FFH
         SETB TR0
  LOOP2: JNB TF0,LOOP2                 ;If TF0=0 Loop2
         CLR TF0
         CJNE R2,#00H,SE
         LCALL DELAY1
         SJMP TE                       ;If R2=00H jump to TE
      SE:CLR P1.4                      ;on hook
         LCALL DELAY1                  ;delay 0.8s
         SETB P1.4                     ;off hook
         LCALL DELAY1
         SETB P1.6
         SJMP TONE
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        **** Send telephone number to TCM 5087 ****
            TE: MOV R3,#03H
            TEL:MOV R1,#07H
            MOV R0,#40H
  DIALLING: MOV A,@R0                    ;send telephone number
            MOV P1,A                     ;to port 1
            INC R0
            MOV R7,#01H
         RT: LCALL DELAY2
            DJNZ R7,RT
            MOV P1,#0F0H
            CLR P1.6
            LCALL DELAY1
            SETB P1.6
            LCALL DELAY1
            DJNZ R1,DIALLING
       ****** Check Busy Tone ******
            MOV R2,#01H
            SETB TR0
     LOOP3: JNB TF0,LOOP3                ;If TF0=0 Loop3
            CLR TF0
            LCALL DELAY2
            MOV R2,#01H
            SETB TR0
            CJNE R2,#00H,CHECKRING
            CLR TF0
            CLR P1.4
            LCALL DELAY1
            SETB P1.4
            DJNZ R3,TEL                   ;If R3<>0 jump to TEL
       ****** Change Telephone Number ******
     CHANGE:MOV R1,#07H
            MOV R0,#56H
            LJMP DIALLING
       ****** Check Ring Back Tone ******
  CHECKRING:MOV R0,#04H
            MOV R2,#01H
            SETB TR0
     LOOP4: JNB TF0,LOOP4                 ;if TF0=0 Loop4
            CLR TF0
            MOV R7,#05H
     LOOP5: LCALL DELAY1
            DJNZ R7,LOOP5
            MOV R2,#01H
            SETB TR0
            LCALL DELAY3
            CJNE R2,#00H,TE
            CLR TF0
       ****** Check handset ******
     LOOP6: MOV R7,#05H
     LOOP7: LCALL DELAY1
            MOV R2,#01H
            SETB TR0
     LOOP8: JNB TF0,LOOP8
            CLR TF0
            LCALL DELAY1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        MOV R2,#01H
        SETB TR0
        LCALL DELAY3
        CJNE R2,#00H,SEND
        CLR TF0
        DJNZ R7,LOOP7
        DJNZ R0,LOOP6
        CLR P1.4
        LCALL DELAY1
        SETB P1.4
        LJMP CHANGE
 ****** Send Message ******
SEND:   MOV TH1,#0FFH              ;Initial TH1=0FFH
        MOV TL1,#0FFH              ;Initial TL1=0FFH
        SETB P1.0
        LCALL DELAY2
        CLR P1.0
LOOP9:  JNB TF1,LOOP9              ;If TF1=0 Loop8
        CLR TF1
        LCALL DELAY1
        CLR P1.4
        SJMP $
      **** Delay Time ****
 DELAY3: MOV R5,#02H
  DEL20: MOV R6,#00H
  DEL10: DJNZ R6,DEL10
         DJNZ R5,DEL20
         RET
      **** Delay 0.8s ****
  DELAY1:MOV R4,#06H
    DEL2:MOV R5,#00H
    DEL1:MOV R6,#00H
    DEL0:DJNZ R6,DEL0
         DJNZ R5,DEL1
         DJNZ R4,DEL2
         RET
     **** Delay 0.5s ****
  DELAY2:MOV R4,#04H
   DEL21:MOV R5,#00H
   DEL11:MOV R6,#00H
   DEL01:DJNZ R6,DEL01
         DJNZ R5,DEL11
         DJNZ R4,DEL21
         RET
         END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

CD4017BM/CD4017BC Decade Counter/Divider with 10 Decoded Outputs
CD4022BM/CD4022BC Divide-by-8 Counter/Divider with 8 Decoded Outputs

General Description

The CD4017BM/CD4017BC is a 5-stage divide-by-10 Johnson counter with 10 decoded outputs and a carry out bit.

The CD4022BM/CD4022BC is a 4-stage divide-by-8 Johnson counter with 8 decoded outputs and a carry-out bit.

These counters are cleared to their zero count by a logical "1" on their reset line. These counters are advanced on the positive edge of the clock signal when the clock enable signal is in the logical "0" state.

The configuration of the CD4017BM/CD4017BC and CD4022BM/CD4022BC permits medium speed operation and assures a hazard free counting sequence. The 10/8 decoded outputs are normally in the logical "0" state and go to the logical "1" state only at their respective time slot. Each decoded output remains high for 1 full clock cycle. The carry-out signal completes a full cycle for every 10/8 clock input cycles and is used as a ripple carry signal to any succeeding stages.

Features

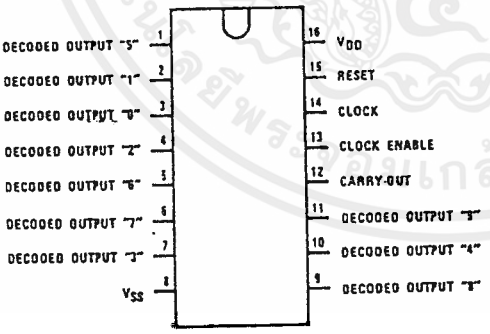
■ Wide supply voltage range	3.0V to 15V
■ High noise immunity	0.45 V_{DD} (typ.)
■ Low power TTL compatibility	Fan out of 2 driving 74L or 1 driving 74LS
■ Medium speed operation	5.0 MHz (typ.) with 10V V_{DD}
■ Low power	.10 μW (typ.)
■ Fully static operation	

Applications

- Automotive
- Instrumentation
- Medical electronics
- Alarm systems
- Industrial electronics
- Remote metering

Connection Diagrams

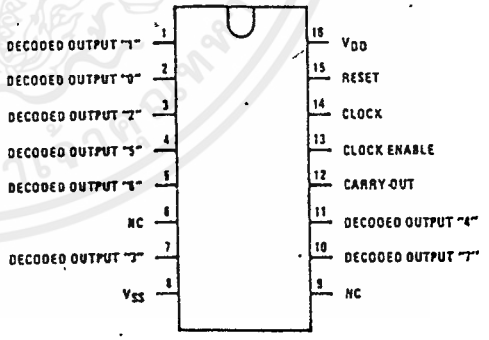
CD4017B
Dual-In-Line Package



TL/F/5950–1

Top View

CD4022B
Dual-In-Line Package



TL/F/5950–2

Top View

Order Number CD4017B* or CD4022B*

*Please look into Section 8, Appendix D for availability of various package types.

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

DC Supply Voltage (V_{DD})	$-0.5\ V_{DC}$ to $+18\ V_{DC}$
Input Voltage (V_{IN})	$-0.5\ V_{DC}$ to $V_{DD}+0.5\ V_{DC}$
Storage Temperature (T_S)	$-65°C$ to $+150°C$
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L) (Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	$+3\ V_{DC}$ to $+15\ V_{DC}$
Input Voltage (V_{IN})	0 to $V_{DD}\ V_{DC}$
Operating Temperature Range (T_A)	
CD4017BM, CD4022BM	$-55°C$ to $+125°C$
CD4017BC, CD4022BC	$-40°C$ to $+85°C$

DC Electrical Characteristics CD4017BM, CD4022BM (Note 2)

Symbol	Parameter	Conditions	−55°C		+25°			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	$V_{DD}=5V, V_{IN}=V_{DD}$ or V_{SS}		5		0.3	5		150	μA
		$V_{DD}=10V, V_{IN}=V_{DD}$ or V_{SS}		10		0.5	10		300	μA
		$V_{DD}=15V, V_{IN}=V_{DD}$ or V_{SS}		20		1.0	20		600	μA
V_{OL}	Low Level Output Voltage	$\|I_O\|<1.0\ \mu A$								
		$V_{DD}=5V$		0.05		0	0.05		0.05	V
		$V_{DD}=10V$		0.05		0	0.05		0.05	V
		$V_{DD}=15V$		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	$\|I_O\|<1.0\ \mu A$								
		$V_{DD}=5V$	4.95		4.95	5		4.95		V
		$V_{DD}=10V$	9.95		9.95	10		9.95		V
		$V_{DD}=15V$	14.95		14.95	15		14.95		V
V_{IL}	Low Level Input Voltage	$\|I_O\|<1.0\ \mu A$								
		$V_{DD}=5V, V_O=0.5V$ or $4.5V$		1.5			1.5		1.5	V
		$V_{DD}=10V, V_O=1.0V$ or $9.0V$		3.0			3.0		3.0	V
		$V_{DD}=15V, V_O=1.5V$ or $13.5V$		4.0			4.0		4.0	V
V_{IH}	High Level Input Voltage	$\|I_O\|<1.0\ \mu A$								
		$V_{DD}=5V, V_O=0.5V$ or $4.5V$	3.5		3.5			3.5		V
		$V_{DD}=10V, V_O=1.0V$ or $9.0V$	7.0		7.0			7.0		V
		$V_{DD}=15V, V_O=1.5V$ or $13.5V$	11.0		11.0			11.0		V
I_{OL}	Low Level Output Current (Note 3)	$V_{DD}=5V, V_O=0.4V$	0.64		0.51	0.88		0.36		mA
		$V_{DD}=10V, V_O=0.5V$	1.6		1.3	2.25		0.9		mA
		$V_{DD}=15V, V_O=1.5V$	4.2		3.4	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 3)	$V_{DD}=5V, V_O=4.6V$	−0.25		−0.2	−0.36		−0.14		mA
		$V_{DD}=10V, V_O=9.5V$	−0.62		−0.5	−0.9		−0.35		mA
		$V_{DD}=15V, V_O=13.5V$	−1.8		−1.5	−3.5		−1.1		mA
I_{IN}	Input Current	$V_{DD}=15V, V_{IN}=0V$	—	−0.1		-10^{-5}	−0.1		−1.0	μA
		$V_{DD}=15V, V_{IN}=15V$		0.1		10^{-5}	0.1		1.0	μA

DC Electrical Characteristics CD4017BC, CD4022BC (Note 2)

Symbol	Parameter	Conditions	−40°C		+25°			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	$V_{DD}=5V$		20		0.5	20		150	μA
		$V_{DD}=10V$		40		1.0	40		300	μA
		$V_{DD}=15V$		80		5.0	80		600	μA
V_{OL}	Low Level Output Voltage	$\|I_O\|<1.0\ \mu A$								
		$V_{DD}=5V$		0.05		0	0.05		0.05	V
		$V_{DD}=10V$		0.05		0	0.05		0.05	V
		$V_{DD}=15V$		0.05		0	0.05		0.05	V
V_{OH}	High Level Output Voltage	$\|I_O\|<1.0\ \mu A$								
		$V_{DD}=5V$	4.95		4.95	5		4.95		V
		$V_{DD}=10V$	9.95		9.95	10		9.95		V
		$V_{DD}=15V$	14.95		14.95	15		14.95		V

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed, they are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

Note 2: $V_{SS}=0V$ unless otherwise specified.

Note 3: I_{OL} and I_{OH} are tested one output at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM555/LM555C Timer

General Description

The LM555 is a highly stable device for generating accurate time delays or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and duty cycle are accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output circuit can source or sink up to 200 mA or drive TTL circuits.

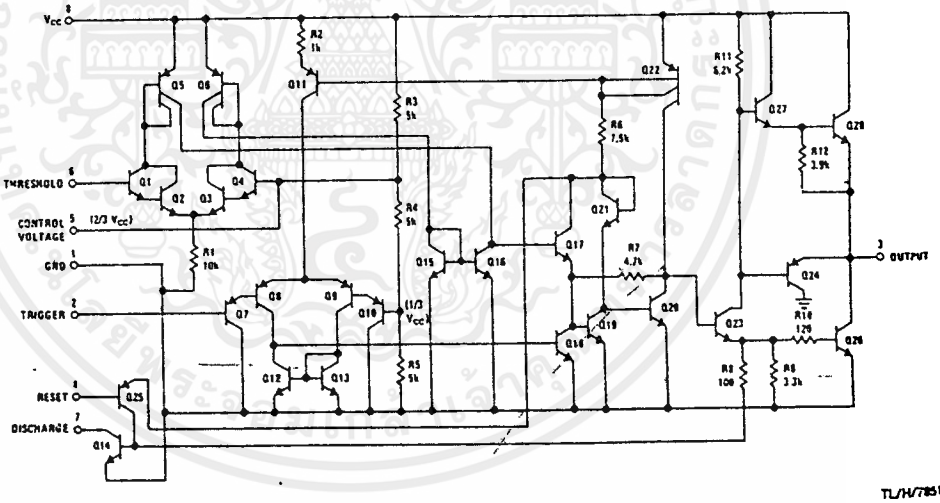
Features

- Direct replacement for SE555/NE555
- Timing from microseconds through hours
- Operates in both astable and monostable modes
- Adjustable duty cycle
- Output can source or sink 200 mA
- Output and supply TTL compatible
- Temperature stability better than 0.005% per °C
- Normally on and normally off output

Applications

- Precision timing
- Pulse generation
- Sequential timing
- Time delay generation
- Pulse width modulation
- Pulse position modulation
- Linear ramp generator

Schematic Diagram



TL/H/7851-1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage +18V

Power Dissipation (Note 1) LM555H, LM555CH 760 mW
LM555N, LM555CN 1180 mW

Operating Temperature Ranges
LM555C 0°C to +70°C
LM555 −55°C to + 125°C

Storage Temperature Range −65°C to +150°C

Soldering Information
Dual-In-Line Package
Soldering (10 Seconds) 260°C
Small Outline Package
Vapor Phase (60 Seconds) 215°C
Infrared (15 Seconds) 220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics (T_A = 25°C, V_{CC} = +5V to +15V, unless otherwise specified)

Parameter	Conditions	Limits						Units
		LM555			LM555C			
		Min	Typ	Max	Min	Typ	Max	
Supply Voltage		4.5		18	4.5		16	V
Supply Current	V_{CC} = 5V, R_L = ∞		3	5		3	6	mA
	V_{CC} = 15V, R_L = ∞ (Low State) (Note 2)		10	12		10	15	mA
Timing Error, Monostable								
Initial Accuracy			0.5			1		%
Drift with Temperature	R_A = 1k to 100 kΩ, C = 0.1 µF, (Note 3)		30			50		ppm/°C
Accuracy over Temperature			1.5			1.5		%
Drift with Supply			0.05			0.1		%/V
Timing Error, Astable								
Initial Accuracy			1.5			2.25		%
Drift with Temperature	R_A, R_B = 1k to 100 kΩ, C = 0.1 µF, (Note 3)		90			150		ppm/°C
Accuracy over Temperature			2.5			3.0		%
Drift with Supply			0.15			0.30		%/V
Threshold Voltage			0.667			0.667		x V_{CC}
Trigger Voltage	V_{CC} = 15V	4.8	5	5.2		5		V
	V_{CC} = 5V	1.45	1.67	1.9		1.67		V
Trigger Current			0.01	0.5		0.5	0.9	µA
Reset Voltage		0.4	0.5	1	0.4	0.5	1	V
Reset Current			0.1	0.4		0.1	0.4	mA
Threshold Current	(Note 4)		0.1	0.25		0.1	0.25	µA
Control Voltage Level	V_{CC} = 15V	9.6	10	10.4	9	10	11	V
	V_{CC} = 5V	2.9	3.33	3.8	2.6	3.33	4	V
Output Leakage Output High			1	100		1	100	nA
Output Sat (Note 5)								
Output Low	V_{CC} = 15V, I_7 = 15 mA		150			180		mV
Output Low	V_{CC} = 4.5V, I_7 = 4.5 mA		70	100		80	200	mV

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics $T_A = 25°C$, $V_{CC} = +5V$ to $+15V$, (unless otherwise specified) (Continued)

Parameter	Conditions	Limits						Units
		LM555			LM555C			
		Min	Typ	Max	Min	Typ	Max	
Output Voltage Drop (Low)	$V_{CC} = 15V$							
	$I_{SINK} = 10$ mA		0.1	0.15		0.1	0.25	V
	$I_{SINK} = 50$ mA		0.4	0.5		0.4	0.75	V
	$I_{SINK} = 100$ mA		2	2.2		2	2.5	V
	$I_{SINK} = 200$ mA		2.5			2.5		V
	$V_{CC} = 5V$							
	$I_{SINK} = 8$ mA		0.1	0.25				V
	$I_{SINK} = 5$ mA					0.25	0.35	V
Output Voltage Drop (High)	$I_{SOURCE} = 200$ mA, $V_{CC} = 15V$		12.5			12.5		V
	$I_{SOURCE} = 100$ mA, $V_{CC} = 15V$	13	13.3		12.75	13.3		V
	$V_{CC} = 5V$	3	3.3		2.75	3.3		V
Rise Time of Output			100			100		ns
Fall Time of Output			100			100		ns

Note 1: For operating at elevated temperatures the device must be derated above 25°C based on a +150°C maximum junction temperature and a thermal resistance of 164°c/w (T0-5), 106°c/w (DIP) and 170°c/w (S0-8) junction to ambient.

Note 2: Supply current when output high typically 1 mA less at $V_{CC} = 5V$.

Note 3: Tested at $V_{CC} = 5V$ and $V_{CC} = 15V$.

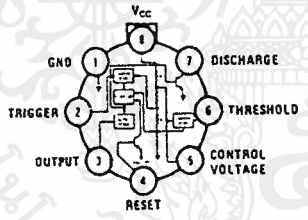
Note 4: This will determine the maximum value of $R_A + R_B$ for 15V operation. The maximum total ($R_A + R_B$) is 20 MΩ.

Note 5: No protection against excessive pin 7 current is necessary providing the package dissipation rating will not be exceeded.

Note 6: Refer to RETS555X drawing of military LM555H and LM555J versions for specifications.

Connection Diagrams

Metal Can Package

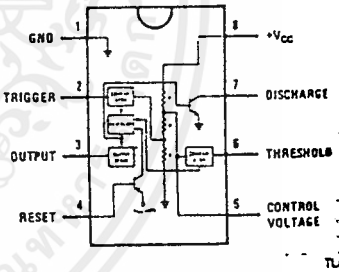


TL/H/7851–2

Top View

Order Number LM555H or LM555CH
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/7851–1

Top View

Order Number LM555J, LM555CJ,
LM555CM or LM555CN
See NS Package Number J08A, M08A or N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

CD4013BM/CD4013BC Dual D Flip-Flop

General Description

The CD4013B dual D flip-flop is a monolithic complementary MOS (CMOS) integrated circuit constructed with N- and P-channel enhancement mode transistors. Each flip-flop has independent data, set, reset, and clock inputs and "Q" and "$\overline{Q}$" outputs. These devices can be used for shift register applications, and by connecting "$\overline{Q}$" output to the data input, for counter and toggle applications. The logic level present at the "D" input is transferred to the Q output during the positive-going transition of the clock pulse. Setting or resetting is independent of the clock and is accomplished by a high level on the set or reset line respectively.

Features

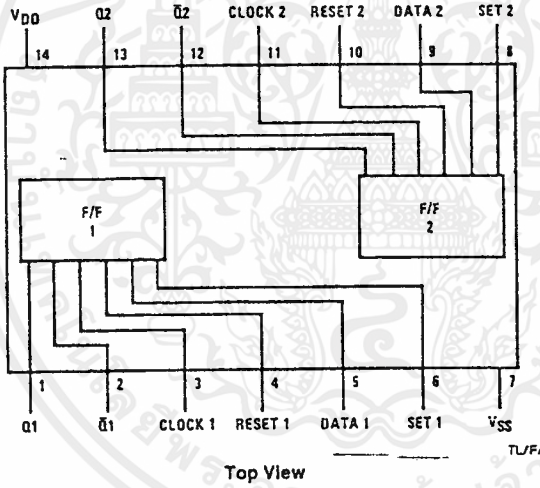
■ Wide supply voltage range	3.0V to 15V
■ High noise immunity	0.45 V_{DD} (typ.)
■ Low power TTL compatibility	fan out of 2 driving 74L or 1 driving 74LS

Applications

- Automotive
- Data terminals
- Instrumentation
- Medical electronics
- Alarm system
- Industrial electronics
- Remote metering
- Computers

Connection Diagram

Dual-In-Line Package



TL/F/5948–1

Top View

Order Number CD4013B*

Please see Section 8, Appendix D for availability of various package types

Truth Table

CL↑	D	R	S	Q	$\overline{Q}$
⌐	0	0	0	0	1
⌐	1	0	0	1	0
⌐	x	0	0	Q	$\overline{Q}$
x	x	1	0	0	1
x	x	0	1	1	0
x	x	1	1	1	1

No change
↑ = Level change
x = Don't care case

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1 & 2)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

DC Supply Voltage (V_{DD})	$-0.5\ V_{DC}$ to $+18\ V_{DC}$
Input Voltage (V_{IN})	$-0.5\ V_{DC}$ to $V_{DD} + 0.5\ V_{DC}$
Storage Temp. Range (T_S)	$-65°C$ to $+150°C$
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Lead Temperature (T_L)	
(Soldering, 10 seconds)	260°C

Recommended Operating Conditions (Note 2)

DC Supply Voltage (V_{DD})	$+3\ V_{DC}$ to $+15\ V_{DC}$
Input Voltage (V_{IN})	$0\ V_{DC}$ to $V_{DD}\ V_{DC}$
Operating Temperature Range (T_A)	
CD4013BM	$-55°C$ to $+125°C$
CD4013BC	$-40°C$ to $+85°C$

DC Electrical Characteristics CD4013BM (Note 2)

Symbol	Parameter	Conditions	−55°C		+25°C			+125°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	$V_{DD} = 5V, V_{IN} = V_{DD}$ or V_{SS}		1.0			1.0		30	μA
		$V_{DD} = 10V, V_{IN} = V_{DD}$ or V_{SS}		2.0			2.0		60	μA
		$V_{DD} = 15V, V_{IN} = V_{DD}$ or V_{SS}		4.0			4.0		120	μA
V_{OL}	Low Level Output Voltage	$\|I_O\| < 1.0\ \mu A$								
		$V_{DD} = 5V$		0.05			0.05		0.05	V
		$V_{DD} = 10V$		0.05			0.05		0.05	V
		$V_{DD} = 15V$		0.05			0.05		0.05	V
V_{OH}	High Level Output Voltage	$\|I_O\| < 1.0\ \mu A$								
		$V_{DD} = 5V$	4.95		4.95			4.95		V
		$V_{DD} = 10V$	9.95		9.95			9.95		V
		$V_{DD} = 15V$	14.95		14.95			14.95		V
V_{IL}	Low Level Input Voltage	$\|I_O\| < 1.0\ \mu A$								
		$V_{DD} = 5V, V_O = 0.5V$ or $4.5V$		1.5			1.5		1.5	V
		$V_{DD} = 10V, V_O = 1.0V$ or $9.0V$		3.0			3.0		3.0	V
		$V_{DD} = 15V, V_O = 1.5V$ or $13.5V$		4.0			4.0		4.0	V
V_{IH}	High Level Input Voltage	$\|I_O\| < 1.0\ \mu A$								
		$V_{DD} = 5V, V_O = 0.5V$ or $4.5V$	3.5		3.5			3.5		V
		$V_{DD} = 10V, V_O = 1.0V$ or $9.0V$	7.0		7.0			7.0		V
		$V_{DD} = 15V, V_O = 1.5V$ or $13.5V$	11.0		11.0			11.0		V
I_{OL}	Low Level Output Current (Note 3)	$V_{DD} = 5V, V_O = 0.4V$	0.64		0.51	0.88		0.36		mA
		$V_{DD} = 10V, V_O = 0.5V$	1.6		1.3	2.25		0.9		mA
		$V_{DD} = 15V, V_O = 1.5V$	4.2		3.4	8.8		2.4		mA
I_{OH}	High Level Output Current (Note 3)	$V_{DD} = 5V, V_O = 4.6V$	−0.64		−0.51	−0.88		−0.36		mA
		$V_{DD} = 10V, V_O = 9.5V$	−1.6		−1.3	−2.25		−0.9		mA
		$V_{DD} = 15V, V_O = 13.5V$	−4.2		−3.4	−8.8		−2.4		mA
I_{IN}	Input Current	$V_{DD} = 15V, V_{IN} = 0V$		−0.1		-10^{-5}	−0.1		−1.0	μA
		$V_{DD} = 15V, V_{IN} = 15V$		0.1		10^{-5}	0.1		1.0	μA

DC Electrical Characteristics CD4013BC (Note 2)

Symbol	Parameter	Conditions	−40°C		+25°C			+85°C		Units
			Min	Max	Min	Typ	Max	Min	Max	
I_{DD}	Quiescent Device Current	$V_{DD} = 5V, V_{IN} = V_{DD}$ or V_{SS}		4.0			4.0		30	μA
		$V_{DD} = 10V, V_{IN} = V_{DD}$ or V_{SS}		8.0			8.0		60	μA
		$V_{DD} = 15V, V_{IN} = V_{DD}$ or V_{SS}		16.0			16.0		120	μA
V_{OL}	Low Level Output Voltage	$\|I_O\| < 1.0\ \mu A$								
		$V_{DD} = 5V$		0.05			0.05		0.05	V
		$V_{DD} = 10V$		0.05			0.05		0.05	V
		$V_{DD} = 15V$		0.05			0.05		0.05	V
V_{OH}	High Level Output Voltage	$\|I_O\| < 1.0\ \mu A$								
		$V_{DD} = 5V$	4.95		4.95			4.95		V
		$V_{DD} = 10V$	9.95		9.95			9.95		V
		$V_{DD} = 15V$	14.95		14.95			14.95		V
V_{IL}	Low Level Input Voltage	$\|I_O\| < 1.0\ \mu A$								
		$V_{DD} = 5V, V_O = 0.5V$ or $4.5V$		1.5			1.5		1.5	V
		$V_{DD} = 10V, V_O = 1.0V$ or $9.0V$		3.0			3.0		3.0	V
		$V_{DD} = 15V, V_O = 1.5V$ or $13.5V$		4.0			4.0		4.0	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

CD4001M/CD4001C Quadruple 2-Input NOR Gate
CD4011M/CD4011C Quadruple 2-Input NAND Gate

General Description

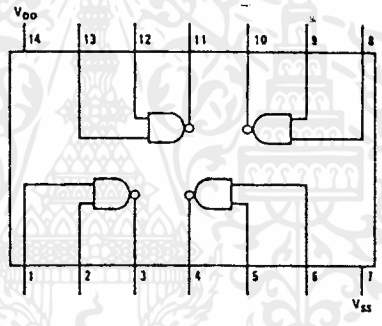
The CD4001M/CD4001C, CD4011M/CD4011C are monolithic complementary MOS (CMOS) quadruple two-input NOR and NAND gate integrated circuits. N- and P-channel enhancement mode transistors provide a symmetrical circuit with output swings essentially equal to the supply voltage. This results in high noise immunity over a wide supply voltage range. No DC power other than that caused by leakage current is consumed during static conditions. All inputs are protected against static discharge and latching conditions.

Features

■ Wide supply voltage range	3.0V to 15V
■ Low power	10 nW (typ.)
■ High noise immunity	0.45 V_{DD} (typ.)

Connection Diagrams

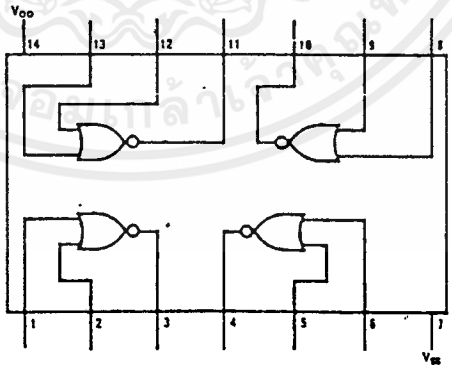
Dual-In-Line Package



TL/F/5938–1

Top View
CD4011M/CD4011C

Dual-In-Line Package



TL/F/5938–2

Top View
CD4001M/CD4001C

Order Number CD4001* or CD4011*

*Please look into Section 8, Appendix D for availability of various package types.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 1)

If Military/Aerospace specified devices are required, contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Voltage on any Pin	$V_{SS}-0.3V$ to $V_{DD}+0.3V$
Operating Temperature Range	
CD4001M, CD4011M	−55°C to +125°C
CD4001C, CD4011C	−40°C to +85°C
Storage Temperature Range	−65°C to +150°C
Power Dissipation (P_D)	
Dual-In-Line	700 mW
Small Outline	500 mW
Operating V_{DD} Range	$V_{SS}+3.0V$ to $V_{SS}+15V$
Lead Temp.(Soldering, 10 sec.)	260°C

DC Electrical Characteristics CD4001M, CD4011M

Symbol	Parameter	Conditions	Limits							Units
			−55°C		+25°C			+125°C		
			Min	Max	Min	Typ	Max	Min	Max	
I_L	Quiescent Device Current	V_{DD} = 5.0V V_{DD} = 10V		0.05 0.1		0.001 0.001	0.05 0.1		3.0 6.0	μA μA
P_D	Quiescent Device Dissipation/Package	V_{DD} = 5.0V V_{DD} = 10V		0.25 1.0		0.005 0.01	0.25 1.0		15 60	μW μW
V_{OL}	Output Voltage low Level	$V_{DD}=5.0V$, $V_I=V_{DD}$, $I_O=0A$ $V_{DD}=10V$, $V_I=V_{DD}$, $I_O=0A$		0.05 0.05		0 0	0.05 0.05		0.05 0.05	V V
V_{OH}	Output Voltage High Level	$V_{DD}=5.0V$, $V_I=V_{SS}$, $I_O=0A$ $V_{DD}=10V$, $V_I=V_{SS}$, $I_O=0A$	4.95 9.95		4.95 9.95	5.0 10		4.95 9.95		V V
V_{NL}	Noise Immunity (All Inputs)	$V_{DD}=5.0V$, $V_O=3.6V$, $I_O=0A$ $V_{DD}=10V$, $V_O=7.2V$, $I_O=0A$	1.5 3.0		1.5 3.0	2.25 4.5		1.4 2.9		V V
V_{NH}	Noise Immunity (All Inputs)	$V_{DD}=5.0V$, $V_O=0.95V$, $I_O=0A$ $V_{DD}=10V$, $V_O=2.9V$, $I_O=0A$	1.4 2.9		1.5 3.0	2.25 4.5		1.5 3.0		V V
I_{DN}	Output Drive Current N-Channel (4001) (Note 2)	$V_{DD}=5.0V$, $V_O=0.4V$, $V_I=V_{DD}$ $V_{DD}=10V$, $V_O=0.5V$, $V_I=V_{DD}$	0.5 1.1		0.40 0.9	1.0 2.5		0.28 0.65		mA mA
I_{DP}	Output Drive Current P-Channel (4001) (Note 2)	$V_{DD}=5.0V$, $V_O=2.5V$, $V_I=V_{SS}$ $V_{DD}=10V$, $V_O=9.5V$, $V_I=V_{SS}$	−0.62 −0.62		−0.5 −0.5	−2.0 −1.0		−0.35 −0.35		mA mA
I_{DN}	Output Drive Current N-Channel (4011) (Note 2)	$V_{DD}=5.0V$, $V_O=0.4V$, $V_I=V_{DD}$ $V_{DD}=10V$, $V_O=0.5V$, $V_I=V_{DD}$	0.31 0.63		0.25 0.5	0.5 0.6		0.175 0.35		mA mA
I_{DP}	Output Drive Current P-Channel (4011) (Note 2)	$V_{DD}=5.0V$, $V_O=2.5V$, $V_I=V_{SS}$ $V_{DD}=10V$, $V_O=9.5V$, $V_I=V_{SS}$	−0.31 −0.75		−0.25 −0.6	−0.5 −1.2		−0.175 −0.4		mA mA
I_I	Input Current					10				pA

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. Except for "Operating Temperature Range" they are not meant to imply that the devices should be operated at these limits. The table of "Electrical Characteristics" provides conditions for actual device operation.

Note 2: I_{DN} and I_{DP} are tested one output at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

LM567/LM567C Tone Decoder

General Description

The LM567 and LM567C are general purpose tone decoders designed to provide a saturated transistor switch to ground when an input signal is present within the passband. The circuit consists of an I and Q detector driven by a voltage controlled oscillator which determines the center frequency of the decoder. External components are used to independently set center frequency, bandwidth and output delay.

Features

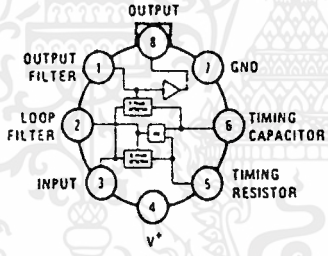
- 20 to 1 frequency range with an external resistor
- Logic compatible output with 100 mA current sinking capability
- Bandwidth adjustable from 0 to 14%
- High rejection of out of band signals and noise
- Immunity to false signals
- Highly stable center frequency
- Center frequency adjustable from 0.01 Hz to 500 kHz

Applications

- Touch tone decoding
- Precision oscillator
- Frequency monitoring and control
- Wide band FSK demodulation
- Ultrasonic controls
- Carrier current remote controls
- Communications paging decoders

Connection Diagrams

Metal Can Package

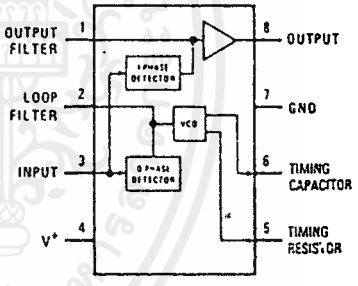


TL/H/6975–1

Top View

Order Number LM567H or LM567CH
See NS Package Number H08C

Dual-In-Line and Small Outline Packages



TL/H/6975–2

Top View

Order Number LM567CM
See NS Package Number M08A

Order Number LM567CN
See NS Package Number N08E

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage Pin	9V
Power Dissipation (Note 1)	1100 mW
	15V
	−10V
	V_4 + 0.5V
Storage Temperature Range	−65°C to +150°C
Operating Temperature Range	
LM567H	−55°C to +125°C
LM567CH, LM567CM, LM567CN	0°C to +70°C

Soldering Information

Dual-In-Line Package	
Soldering (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and Their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics AC Test Circuit, T_A = 25°C, V^+ = 5V

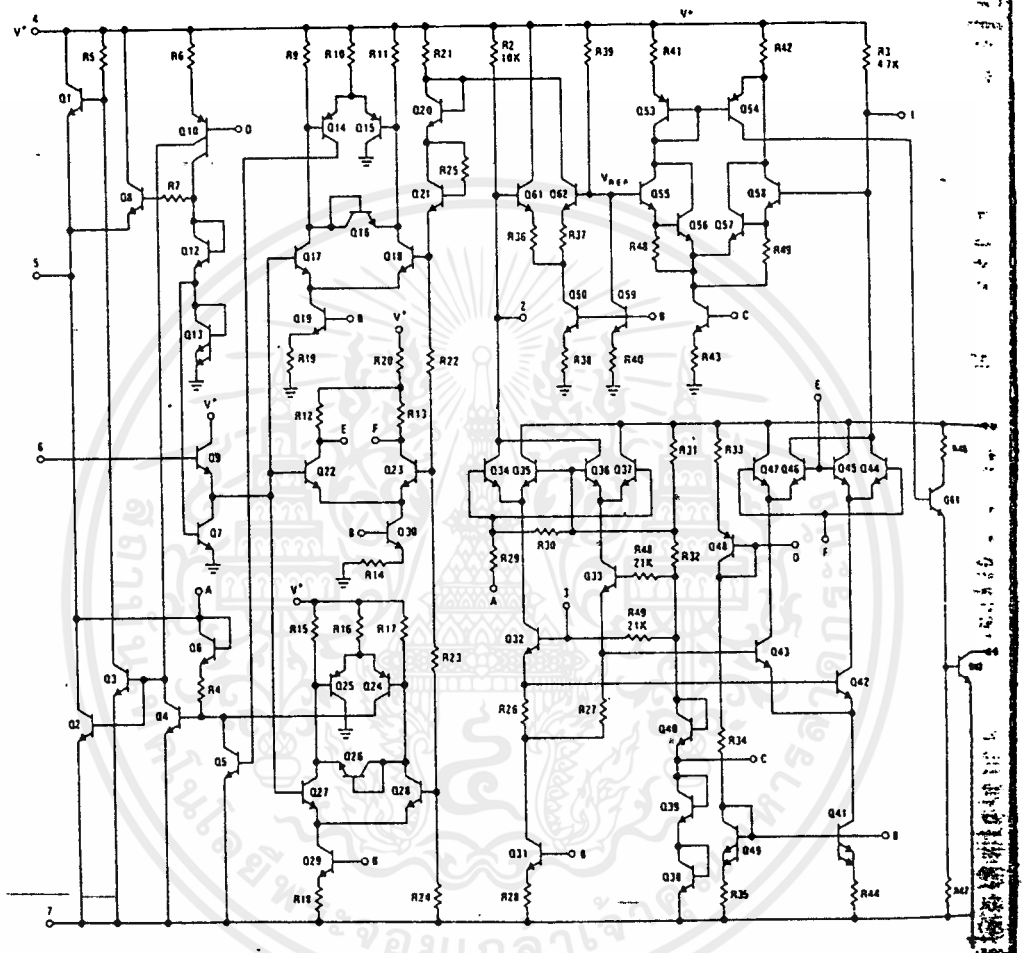
Parameters	Conditions	LM567			LM567C/LM567CM			Units
		Min	Typ	Max	Min	Typ	Max	
Supply Voltage Range		4.75	5.0	9.0	4.75	5.0	9.0	V
Supply Current Quiescent	R_L = 20k		6	8		7	10	mA
Supply Current Loaded	R_L = 20k		11	13		12	15	mA
Resistance		18	20		15	20		kΩ
Lowest Detectable Input Voltage	I_L = 100 mA, $f_i = f_o$		20	25		20	25	mVrms
Largest No Output Input Voltage	I_C = 100 mA, $f_i = f_o$	10	15		10	15		mVrms
Largest Simultaneous Outband Signal to Inband Signal Ratio			6			6		dB
Maximum Input Signal to Wideband Noise Ratio	B_n = 140 kHz		−6			−6		dB
Largest Detection Bandwidth		12	14	16	10	14	18	% of f_o
Largest Detection Bandwidth Skew			1	2		2	3	% of f_o
Typical Detection Bandwidth Variation with Temperature			±0.1			±0.1		%/°C
Typical Detection Bandwidth Variation with Supply Voltage	4.75 − 6.75V		±1	±2		±1	±5	%V
Typical Center Frequency		100	500		100	500		kHz
Typical Frequency Stability (4.75–5.75V)	$0 < T_A < 70$ $-55 < T_A < +125$		35 ± 60 35 ± 140			35 ±60 35 ± 140		ppm/°C ppm/°C
Typical Frequency Shift with Supply Voltage	4.75V − 6.75V 4.75V − 9V		0.5	1.0 2.0		0.4	2.0 2.0	%/V %/V
Typical ON-OFF Cycling Rate			f_o/20			f_o/20		
Typical Leakage Current	V_8 = 15V		0.01	25		0.01	25	μA
Typical Saturation Voltage	e_i = 25 mV, I_8 = 30 mA e_i = 25 mV, I_8 = 100 mA		0.2 0.6	0.4 1.0		0.2 0.6	0.4 1.0	V
Typical Fall Time			30			30		ns
Typical Rise Time			150			150		ns

Note 1: The maximum junction temperature of the LM567 and LM567C is 150°C. For operating at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of 150°C/W, junction to ambient or 45°C/W, junction to case. For the DIP the device must be derated based on a thermal resistance of 110°C/W, junction to ambient. For the Small Outline package, the device must be derated based on a thermal resistance of 160°C/W, junction to ambient.

Note 2: Refer to RETS567X drawing for specifications of military LM567H version.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

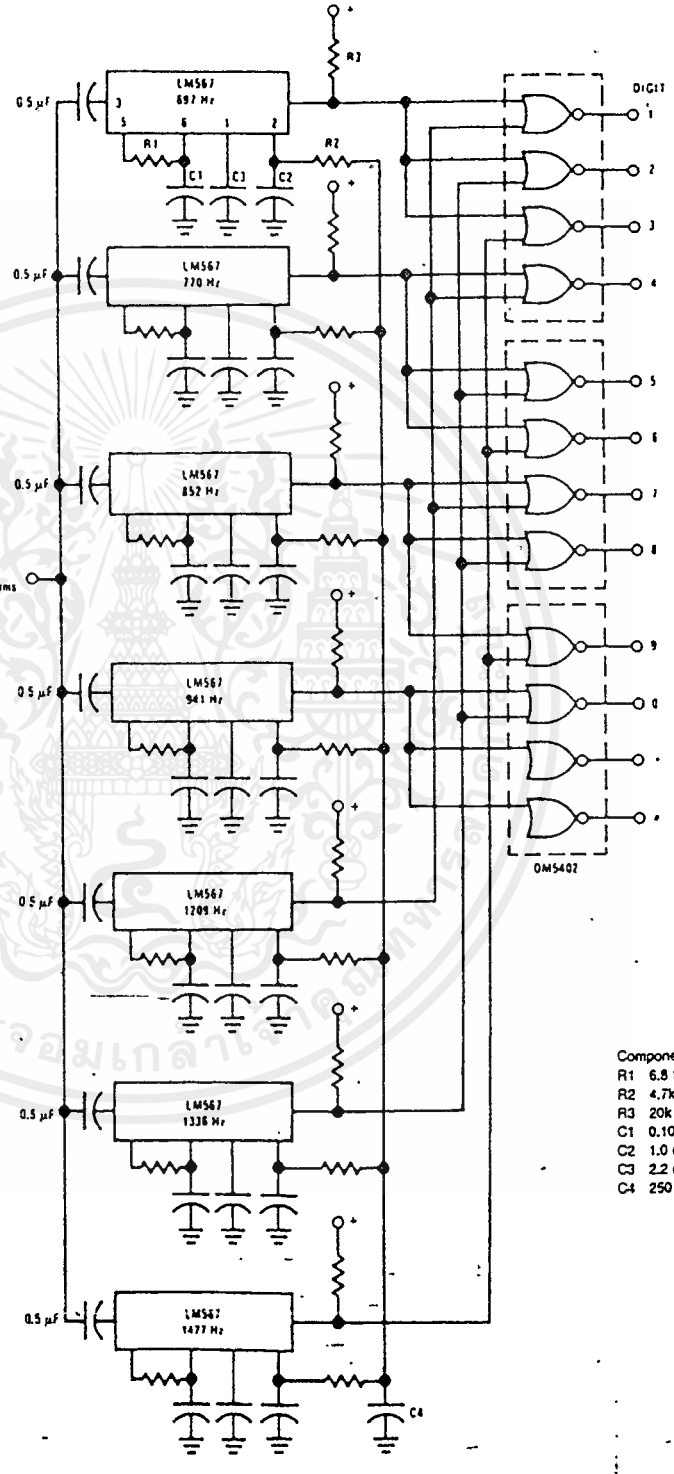
Schematic Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

Touch-Tone Decoder

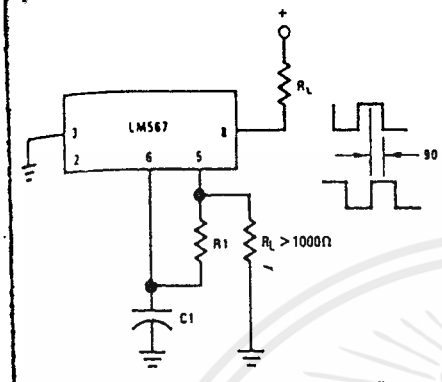


Component values for:
R1 6.8 to 15k
R2 4.7k
R3 20k
C1 0.10 mfd
C2 1.0 mfd 6V
C3 2.2 mfd 6V
C4 250 mfd 6V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications (Continued)

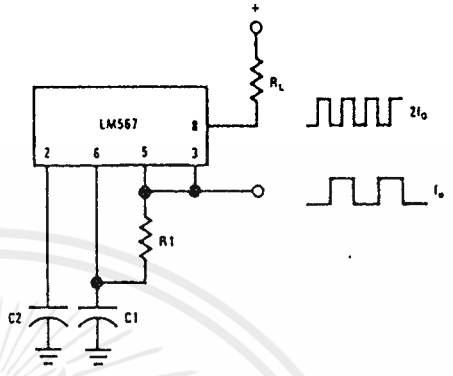
Oscillator with Quadrature Output



Connect Pin 3 to 2.8V to Invert Output

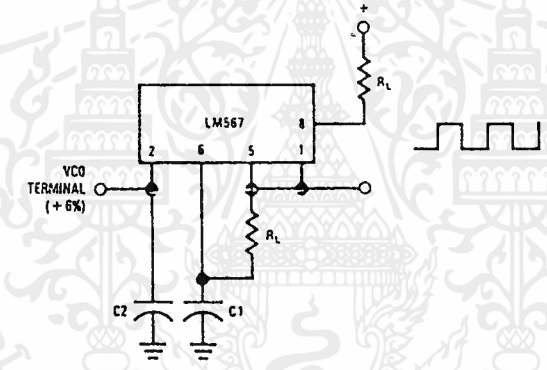
TL/H/6975–6

Oscillator with Double Frequency Output



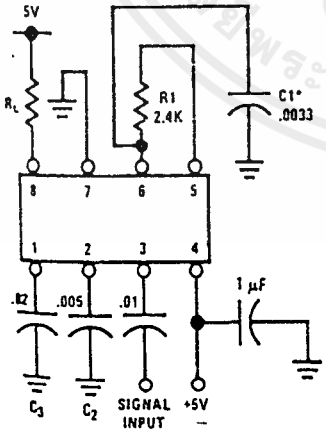
TL/H/6975–7

Precision Oscillator Drive 100 mA Loads



TL/H/6975–8

Test Circuit



TL/H/6975–9

f_i = 100 kHz + 5V

*Note: Adjust for f_o = 100 kHz.

Applications Information

The center frequency of the tone decoder is equal to the free running frequency of the VCO. This is given by

$$f_o \cong \frac{1}{1.1\,R_1C_1}$$

The bandwidth of the filter may be found from the approximation

$$BW = 1070\sqrt{\frac{V_i}{f_oC_2}} \text{ in \% of } f_o$$

Where:

V_i = Input voltage (volts rms), $V_i \leq 200$ mV

C_2 = Capacitance at Pin 2 (μF)

5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. Status of the external pins during Idle and Power Down modes

Mode	Program Memory	ALE	PSEN	PORT0	PORT1	PORT2	PORT3
Idle	Internal	1	1	Port Data	Port Data	Port Data	Port Data
Idle	External	1	1	Floating	Port Data	Address	Port Data
Power Down	Internal	0	0	Port Data	Port Data	Port Data	Port Data
Power Down	External	0	0	Floating	Port Data	Port Data	Port Data

IDLE MODE

The instruction that sets PCON.0 is the last instruction executed before the Idle mode is activated. Once in the Idle mode the CPU status is preserved in its entirety: the Stack Pointer, Program Counter, Program Status Word, Accumulator, RAM, and all other registers maintain their data during Idle. *Table 1* describes the status of the external pins during Idle mode.

There are two ways to terminate the Idle mode. Activation of any enabled interrupt will cause PCON.0 to be cleared by hardware, terminating Idle mode. The interrupt is serviced, and following RETI, the next instruction to be executed will be the one following the instruction that wrote a 1 to PCON.0.

The flag bits GF0 and GF1 may be used to determine whether the interrupt was received during normal execution or during the Idle mode. For example, the instruction that writes to PCON.0 can also set or clear one or both flag bits. When Idle mode is terminated by an enabled interrupt, the service routine can examine the status of the flag bits.

The second way of terminating the Idle mode is with a hardware reset. Since the oscillator is still running, the hardware reset needs to be active for only 2 machine cycles (24 oscillator periods) to complete the reset operation.

POWER DOWN MODE

The instruction that sets PCON.1 is the last executed prior to entering power down. Once in power down, the oscillator is stopped. The contents of the onchip RAM and the Special Function Register is saved during power down mode. A hardware reset is the only way of exiting the power down mode. The hardware reset initiates the Special Function Register *(see Table 1)*.

In the Power Down mode, V_{CC} may be lowered to minimize circuit power consumption. Care must be taken to ensure the voltage is not reduced until the power down mode is entered, and that the voltage is restored before the hardware reset is applied which frees the oscillator. Reset should not be released until the oscillator has restarted and stabilized.

Table 1 describes the status of the external pins while in the power down mode. It should be noted that if the power down mode is activated while in external program memory, the port data that is held in the Special Function Register P2 is restored to Port 2. If the data is a 1, the port pin is held high during the power down mode by the strong pullup, T1, shown in *Figure 4*.

STOP CLOCK MODE

Due to static design, the MHS 80C31/C51 clock speed can be reduced until 0 MHz without any data loss in memory or registers. This mode allows step by step utilization, and permits to reduce system power consumption by bringing the clock frequency down to any value. At 0 MHz, the power consumption is the same as in the Power Down Mode.

80C51 I/O PORTS

The I/O port drive of the 80C51 is similar to the 8051. The I/O buffers for Ports 1, 2, and 3 are implemented as shown in *figure 4*.

When the port latch contains a 0, all pFETS in *figure 4* are off while the nFET is turned on. When the port latch makes a 0-to-1 transition, the nFET turns off. The strong pullup pFET, T1, turns on for two oscillator periods, pulling the output high very rapidly. As the output line is drawn high, pFET T3 turns on through the inverter to supply the I_{OH} source current. This inverter and T3 form a latch which holds the 1 and is supported by T2. When Port 2 is used as an address port, for access to external program of data memory, any address bit that contains a 1 will have his strong pullup turned on for the entire duration of the external memory access.

When an I/O pin on Ports 1, 2, or 3 is used as an input, the user should be aware that the external circuit must sink current during the logical 1-to-0 transition. The maximum sink current is specified as ITL under the D.C. Specifications. When the input goes below approximately 2V, T3 turns off to save ICC current. Note, when returning to a logical 1, T2 is the only internal pullup that is on. This will result in a slow rise time if the user's circuit does not force the input line high.

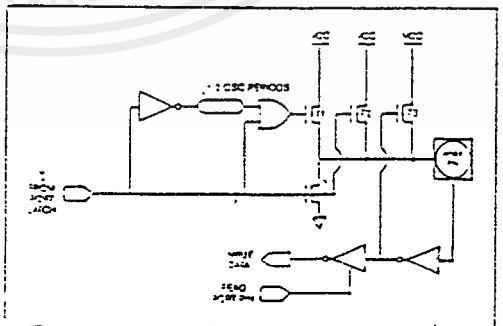


Fig. 4. I/O Buffers in the 80C51 (Ports 1, 2, 3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

80C51 PIN DESCRIPTIONS

VSS

Circuit ground potential

VCC

Supply voltage during normal, Idle, and Power Down operation.

Port 0

Port 0 is an 8-bit open drain bi-directional I/O port. Port 0 pins that have 1's written to them float, and in that state can be used as high-impedance inputs.

Port 0 is also the multiplexed low-order address and data bus during accesses to external Program and Data Memory. In this application it uses strong internal pullups when emitting 1's. Port 0 also outputs the code bytes during program verification in the 80C51. External pullups are required during program verification. Port 0 can sink eight LS TTL inputs.

Port 1

Port 1 is an 8-bit bi-directional I/O port with internal pullups. Port 1 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 1 pins that are externally being pulled low will source current (I_{IL} on the data sheet) because of the internal pullups.

Port 1 also receives the low-order address bytes during program verification. In the 80C51, Port 1 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

Port 2

Port 2 is an 8-bit bi-directional I/O port with internal pullups. Port 2 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 2 pins that are externally being pulled low will source current (I_{IL} on the data sheet) because of the internal pullups. Port 2 emits the high-order address byte during fetches from external Program Memory and during accesses to external Data Memory that use 16-bit addresses (MOVX @ DPTR). In this application, it uses strong internal pullups when emitting 1's. During accesses to external Data Memory that uses 8-bit addresses (MOVX @ Ri), Port 2 emits the contents of the P2 Special Function Register.

It also receives the high-order address bits and control signals during program verification in the 80C51. Port 2 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

Port 3

Port 3 is an 8-bit bi-directional I/O port with internal pullups. Port 3 pins that have 1's written to them are pulled high by the internal pullups, and in that state can be used as inputs. As inputs, Port 3 pins that are externally being pulled low will source current (I_{IL} on the data sheet) because of the pullups. It also serves the functions of various special features of the MCS-51 Family, as listed below:

Port Pin	Alternate Function
P3.0	RXD (serial input port)
P3.1	TXD (serial output port)
P3.2	INT0 (external interrupt 0)
P3.3	INT1 (external interrupt 1)
P3.4	T0 (Timer 0 external input)
P3.5	T1 (Timer 1 external input)
P3.6	$\overline{WR}$ (external Data Memory write strobe)
P3.7	$\overline{RD}$ (external Data Memory read strobe)

Port 3 can sink/source three LS TTL inputs. It can drive CMOS inputs without external pullups.

RST

A high level on this for two machine cycles while the oscillator is running resets the device. An internal pull-down resistor permits Power-On reset using only a capacitor connected to VCC.

ALE

Address Latch Enable output for latching the low byte of the address during accesses to external memory. ALE is activated as though for this purpose at a constant rate of 1/6 the oscillator frequency except during an external data memory access at which time one ALE pulse is skipped. ALE can sink/source 8 LS TTL inputs. It can drive CMOS inputs without an external pullup.

$\overline{PSEN}$

Program Store Enable output is the read strobe to external Program Memory. PSEN is activated twice each machine cycle during fetches from external Program Memory. (However, when executing out of external Program Memory, two activations of PSEN are skipped during each access to external Data Memory). PSEN is not activated during fetches from internal Program Memory. PSEN can sink/source 8 LS TTL inputs. It can drive CMOS inputs without an external pullup.

$\overline{EA}$

When EA is held high, the CPU executes out of internal Program Memory (unless the Program Counter exceeds CFFFH). When EA is held low, the CPU executes only out of external Program Memory. EA must not be floated.

XTAL1

Input to the inverting amplifier that forms the oscillator. Receives the external oscillator signal when an external oscillator is used.

XTAL2

Output of the inverting amplifier that forms the oscillator, and input to the internal clock generator. This pin should be floated when an external oscillator is used.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

OSCILLATOR CHARACTERISTICS

XTAL1 and XTAL2 are the input and output respectively, of an inverting amplifier which is configured for use as an on-chip oscillator, as shown in figure 5. Either a quartz crystal or ceramic resonator may be used.

To drive the device from an external clock source, XTAL1 should be driven while XTAL2 is left unconnected as shown in *figure 6*. There are no requirements on the duty cycle of the external clock signal, since the input to the internal clocking circuitry is through a divide-by-two flip-flop, but minimum and maximum high and low times specified on the Data Sheet must be observed.

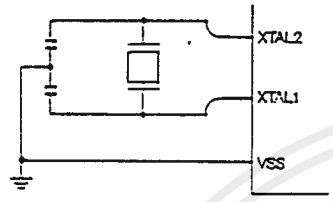


Figure 5. Crystal Oscillator

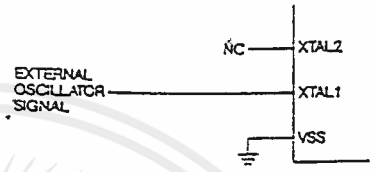


Figure 6. External Drive Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias:
- Commercial ..... 0°C to 70°C
- Industrial ..... −40°C to 85°C

Storage Temperature ..... −65°C to +150°C

Voltage on V_{CC} to V_{SS} ..... −0.5V to +7V

Voltage on Any Pin to V_{SS} ..... −0.5V to V_{CC} +0.5V

Power Dissipation 1W*

*This value is based on the maximum allowable die temperature and the thermal resistance of the package.

*NOTICE:

Stresses at or above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions may affect device reliability.

DC CHARACTERISTICS

TA = −40°C to 85°C; VCc = 2.7V to 6V; VSS = 0V; F = 0 to 6 MHz

Symbol	Parameter	Min	Max	Unit	Test Conditions
VIL	Input Low Voltage	−0.5	0.2 V_{CC} −0.1	V	
VIH	Input High Voltage (Except XTALs and RST)	0.2 V_{CC} +0.9	V_{CC} +0.5	V	
VIH1	Input High Voltage to RST for Reset	0.7 V_{CC}	V_{CC} −0.5	V	
VIH2	Input High Voltage To XTAL 1	0.7 V_{CC}	V_{CC} −0.5	V	
VPD	Power Down Voltage To V_{CC} in PD Mode	2.0	6.0	V	
VOL	Output Low Voltage (Ports 1, 2, 3)		0.45	V	IOL = 1.6mA (note 1)
VOL1	Output Low Voltage Port 0, ALE, PSEN		0.45	V	IOL = 3.2mA (note 1)
VOH	Output High Voltage Ports 1, 2, 3	0.9 V_{CC}		V	IOH = −10uA
		2.4		V	IOH = −60uA V_{CC} = 5V ± 10%
VOH1	Output High Voltage (Port 0 in External in External Bus Mode), ALE, PSEN	0.9 V_{CC}		V	IOH = −40uA
		2.4		V	IOH = −400uA V_{CC} = 5V ± 10%
IIL	Logical 0 Input Current Ports 1,2,3		−50	µA	Vin = 0.45V
ILI	Input Leakage Current		± 10	uA	0.45 < Vin < V_{CC}
ITL	Logical 1 to 0 Transition Current (Ports 1, 2, 3)		−500	µA	Vin = 2.0V
ICCPD	Power Supply Current (Power Down Mode)	50	10	µA	V_{CC} = 2.0V to 5.5V (note 2)
RRST	RST Pulldown Resistor	50	150	kΩ	
CIO	Capacitance of I/O Buffer		10	pF	f_C = 1MHz, TA = 25°C

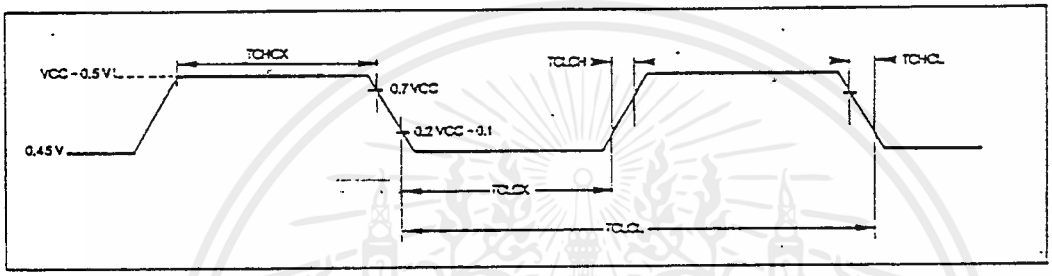
Note 1:

Capacitive loading on Ports 0 and 2 may cause spurious noise pulses to be superimposed on the VOLs of ALE and Ports 1 and 3. The noise is due to external bus capacitance discharging into the Port 0 and Port 2 pins when these pins make 1-to-0 transitions during bus operations. In the worst cases (capacitive loading 100 pF), the noise pulse on the ALE line may exceed 0.45V with maxi V_{OL} peak 0.6V. A Schmitt Trigger use is not necessary.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXTERNAL CLOCK DRIVE CHARACTERISTICS (XTAL1)

Symbol	Parameter	Variable Clock freq = 0 to 6 MHz		Unit
		Min	Max	
TCLCL	Oscillator Period	166		ns
TCHCX	High Time	20		ns
TCLCX	Low Time	20		ns
TCLCH	Rise Time		20	ns
TCHCL	Fall Time		20	ns



AC CHARACTERISTICS

(T_A = -40°C to 85°C, V_{CC} = 2.7V to 6V, V_{SS} = 0V)
(Load Capacitance for Port 0, ALE, and $\overline{PSEN}$ = 100pf; Load Capacitance for All Other Outputs = 80pf).

EXTERNAL PROGRAM MEMORY CHARACTERISTICS

Symbol	Parameter	Min	Max	Units
TLHLL	ALE Pulse Width	2TCLCL - 40		ns
TAVLL	Address Valid to ALE	TCLCL - 55		ns
TLLAX	Address Hold After ALE	TCLCL - 35		ns
TLLIV	ALE to Valid Instr In		4TCLCL - 170	ns
TLLPL	ALE to $\overline{PSEN}$	TCLCL - 25		ns
TPLPH	$\overline{PSEN}$ Pulse Width	3TCLCL - 35		ns
TPLIV	$\overline{PSEN}$ to Valid Instr In		3TCLCL - 220	ns
TPXIX	Input Instr Hold After $\overline{PSEN}$	0		ns
TPXIZ	Input Instr Float After $\overline{PSEN}$		TCLCL - 20	ns
TPXAV	$\overline{PSEN}$ to Address Valid	TCLCL - 8		ns
TAVIV	Address to Valid Instr In		5TCLCL - 220	ns
TPLAZ	$\overline{PSEN}$ Low to Address Float		0	ns

See next page for External Data Memory Characteristics.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXTERNAL DATA MEMORY CHARACTERISTICS

Symbol	Parameter	Min	Max	Units
TRLRH	$\overline{RD}$ Pulse Width	6TCLCL-100		ns
TWLWH	$\overline{WR}$ Pulse Width	6TCLCL-100		ns
TLLAX	Data Address Hold After ALE	TCLCL-35		ns
TRLDV	$\overline{RD}$ to Valid Data In		5TCLCL-165	ns
TRHDX	Data Hold After $\overline{RD}$	0		ns
TRHDZ	Data Float After $\overline{RD}$		2TCLCL-70	ns
TLLDV	ALE to Valid Data In		8TCLCL-150	ns
TAVDV	Address to Valid Data In		9TCLCL-165	ns
TLLWL	ALE to $\overline{WR}$ or $\overline{RD}$	3TCLCL-50	3TCLCL+50	ns
TAVWL	Address to $\overline{WR}$ or $\overline{RD}$	4TCLCL-130		ns
TQVWX	Data Valid to $\overline{WR}$ Transition	TCLCL-60		ns
TQVWH	Data Setup to $\overline{WR}$ High	7TCLCL-150		ns
TWHQX	Data Hold After $\overline{WR}$	TCLCL-50		ns
TRLAZ	$\overline{RD}$ Low to Address Float		0	ns
TWHLH	$\overline{RD}$ or $\overline{WR}$ High to ALE High	TCLCL-40	TCLCL+40	ns

MAXIMUM I_{CC} (mA)

	Operating (Note 3)			Idle (Note 4)		
Freq. V_{CC}	2.7V	5V	6V	2.7V	5V	6V
1 MHz	0.8 mA	1.5 mA	1.8 mA	400 uA	800 uA	1 mA
16 MHz	4 mA	8 mA	10 mA	1.2 mA	3.5 mA	3.8 mA

Note 2:

Power Down I_{CC} is measured with all output pins disconnected; $\overline{EA}$ = Port 0 = V_{CC}; XTAL2 N.C.; $\overline{RST}$ = V_{SS}

Note 3:

I_{CC} is measured with all output pins disconnected; XTAL1 driven with TCLCH, TCHCL = 5 ns, V_{IL} = V_{SS} + 0.5V; V_{IH} = V_{CC} − 0.5V; XTAL2 N.C.; $\overline{EA}$ = $\overline{RST}$ = Port 0 = V_{CC}. I_{CC} would be slightly higher if a crystal oscillator used.

Note 4:

Idle I_{CC} is measured with all output pins disconnected; XTAL1 driven TCLCH, TCHCL = 5 ns, V_{IL} = V_{SS} + 0.5V; V_{IH} = V_{CC} − 0.5V; XTAL2 N.C.; Port 0 = V_{CC}; $\overline{EA}$ = $\overline{RST}$ = V_{SS}.

EXPLANATION OF THE AC SYMBOLS

Each timing symbol has 5 characters. The first character is always a 'T' (stands for time). The other characters, depending on their positions, stand for the name of a signal or the logical status of that signal. The following is a list all the characters and what they stand for.

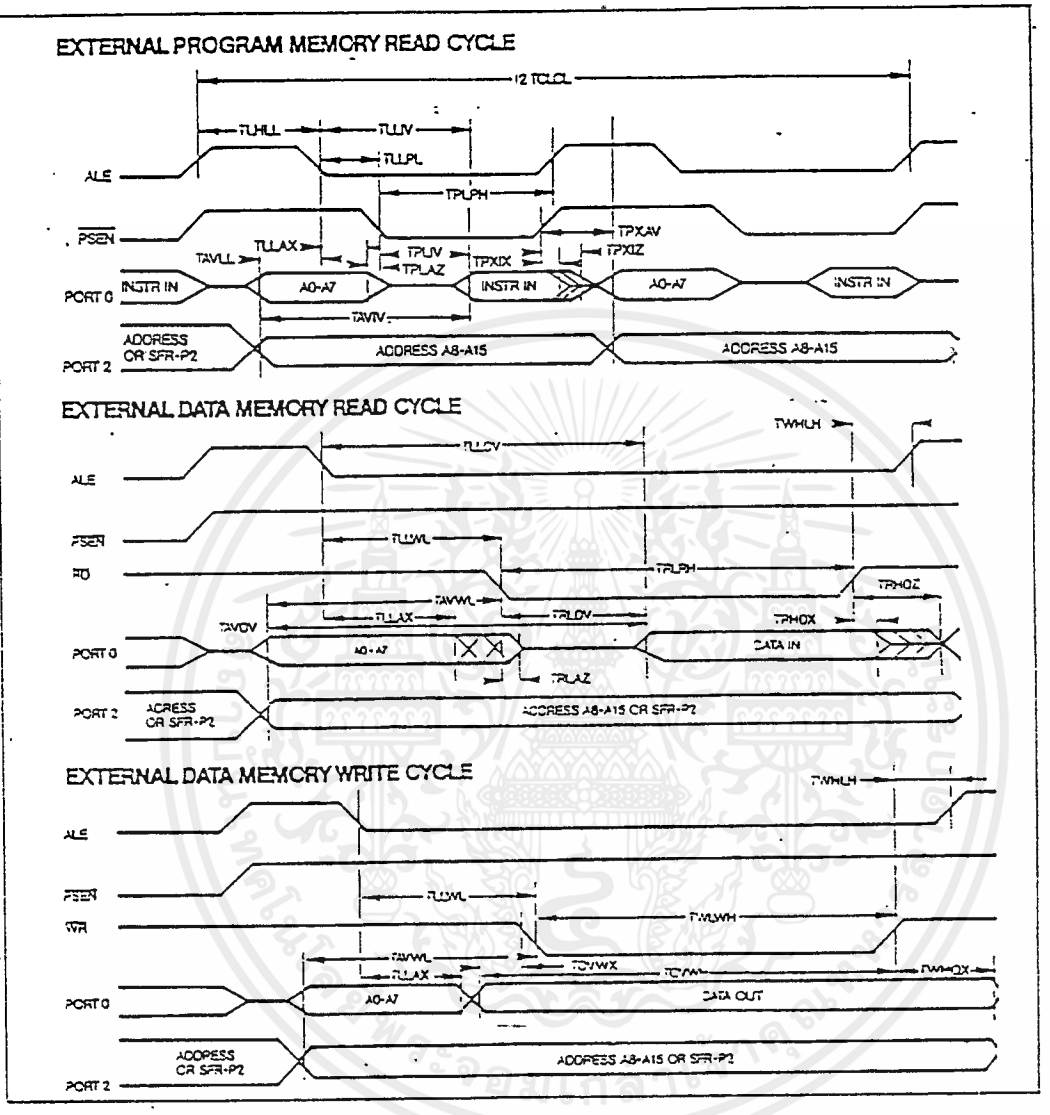
EXAMPLE:

TAVLL = Time for Address Valid to ALE low.
TLLPL = Time for ALE low to $\overline{PSEN}$ low.

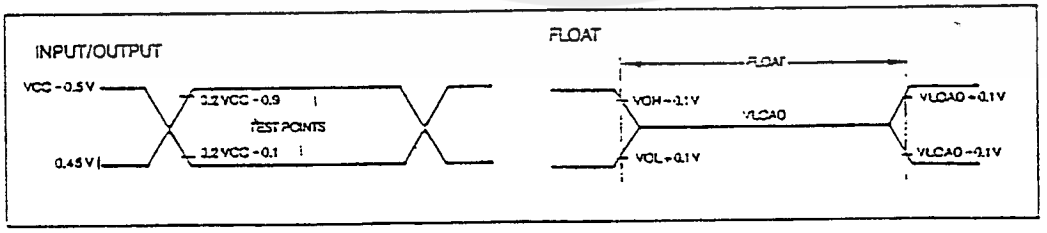
A: Address.
C: Clock.
D: Input data.
H: Logic level HIGH.
I: Instruction (program memory contents).
L: Logic level LOW, or ALE.
P: $\overline{PSEN}$
Q: Output data.
R: $\overline{READ}$ signal.
T: Time.
V: Valid.
W: $\overline{WRITE}$ signal.
X: No longer a valid logic level.
Z: Float.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC TIMING DIAGRAMS



AC TESTING INPUT/OUTPUT, FLOAT WAVEFORMS



AC inputs during testing are driven at VCC – 0.5 for a logic "1" and 0.45V for a logic "0". Timing measurements are made at VIH min for a logic "1" and VIL max for a logic "0". For timing purposes a port pin is no longer floating when a 100 mV change from load voltage occurs and begins to float when a 100 mV change from the loaded VOH/VOL level occurs. IOL/IOH ≥ ± 20 mA.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

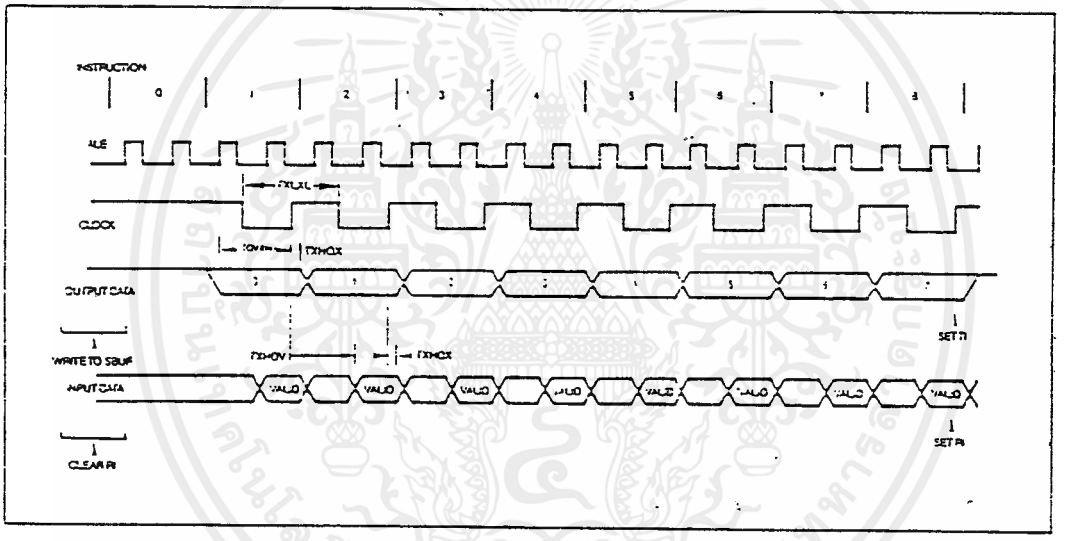
SERIAL PORT TIMING - SHIFT REGISTER MODE

A.C. CHARACTERISTICS:

(T_A = 0°C to 70°C; V_{SS} = 0V; V_{CC} = 2.7V to 6V; Load Capacitance = 80 pF)

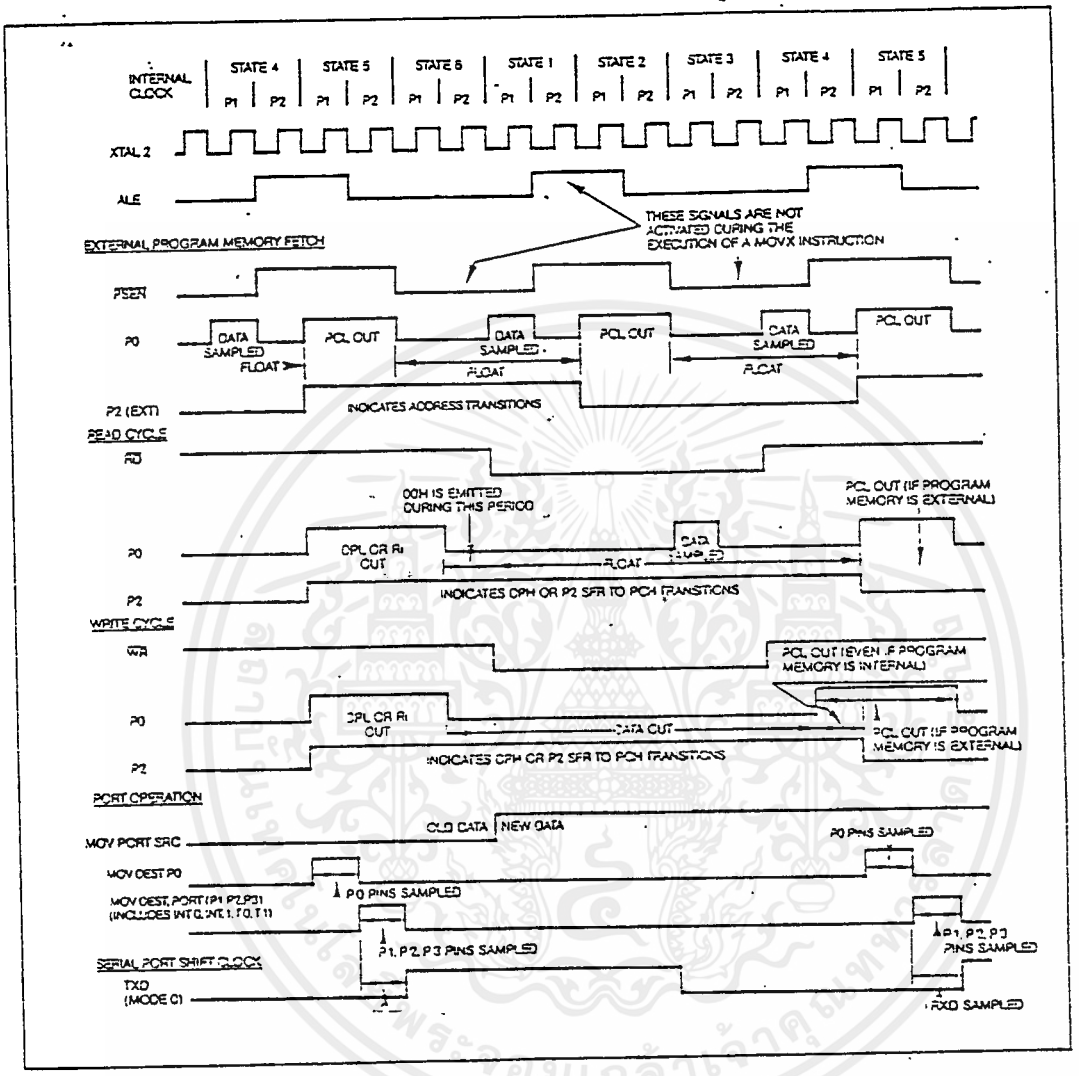
Symbol	Parameter	Min	Max	Units
TXLXL	Serial Port Clock Cycle Time	12TCLCL		µs
TQVXH	Output Data Setup to Clock Rising Edge	10TCLCL-133		ns
TXHQX	Output Data Hold After Clock Rising Edge	2TCLCL-117		ns
TXHDX	Input Data Hold After Clock Rising Edge	0		ns
TXHDV	Clock Rising Edge to Input Data Valid		10TLCL-133	ns

SHIFT REGISTER TIMING WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CLOCK WAVEFORMS



This diagram indicates when signals are clocked internally. The time it takes the signals to propagate to the pins, however, ranges from 25 to 125 ns. This propagation delay is dependent on variables such as temperature and pin loading. Propagation also varies from output to output and component. Typically though ($T_A = 25°C$ fully loaded) RD and WR propagation delays are approximately 50 ns. The other signals are typically 85 ns. Propagation delays are incorporated in the AC specifications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. MCS®-51 Instruction Set Description

ARITHMETIC OPERATIONS

Mnemonic		Description	Byte	Cyc
ADD	A,Rn	Add register to Accumulator	1	1
ADD	A,direct	Add direct byte to Accumulator	2	1
ADD	A,@Ri	Add indirect RAM to Accumulator	1	1
ADD	A,#data	Add immediate data to Accumulator	2	1
ADDC	A,Rn	Add register to Accumulator with Carry	1	1
ADDC	A,direct	Add direct byte to A with Carry flag	2	1
ADDC	A,@Ri	Add indirect RAM to A with Carry flag	1	1
ADDC	A,#data	Add immediate data to A with Carry flag	2	1
SUBB	A,Rn	Subtract register from A with Borrow	1	1
SUBB	A,direct	Subtract direct byte from A with Borrow	2	1
SUBB	A,@Ri	Subtract indirect RAM from A with Borrow	1	1
SUBB	A,#data	Subtract immed. data from A with Borrow	2	1
INC	A	Increment Accumulator	1	1
INC	Rn	Increment register	1	1
INC	direct	Increment direct byte	2	1
INC	@Ri	Increment indirect RAM	1	1
INC	DPTR	Increment Data Pointer	1	2
DEC	A	Decrement Accumulator	1	1
DEC	Rn	Decrement register	1	1
DEC	direct	Decrement direct byte	2	1
DEC	@Ri	Decrement indirect RAM	1	1
MUL	AB	Multiply A & B	1	4
DIV	AB	Divide A by B	1	4
DA	A	Decimal Adjust Accumulator	1	1

LOGICAL OPERATIONS

Mnemonic		Destination	Byte	Cyc
ANL	A,Rn	AND register to Accumulator	1	1
ANL	A,direct	AND direct byte to Accumulator	2	1
ANL	A,@Ri	AND indirect RAM to Accumulator	1	1
ANL	A,#data	AND immediate data to Accumulator	2	1
ANL	direct,A	AND Accumulator to direct byte	2	1
ANL	direct,#data	AND immediate data to direct byte	3	2
ORL	A,Rn	OR register to Accumulator	1	1
ORL	A,direct	OR direct byte to Accumulator	2	1
ORL	A,@Ri	OR indirect RAM to Accumulator	1	1
ORL	A,#data	OR immediate data to Accumulator	2	1
ORL	direct,A	OR Accumulator to direct byte	2	1
ORL	direct,#data	OR immediate data to direct byte	3	2
XRL	A,Rn	Exclusive-OR register to Accumulator	1	1
XRL	A,direct	Exclusive-OR direct byte to Accumulator	2	1
XRL	A,@Ri	Exclusive-OR indirect RAM to A	1	1
XRL	A,#data	Exclusive-OR immediate data to A	2	1
XRL	direct,A	Exclusive-OR Accumulator to direct byte	2	1
XRL	direct,#data	Exclusive-OR immediate data to direct	3	2
CLR	A	Clear Accumulator	1	1
CPL	A	Complement Accumulator	1	1
RL	A	Rotate Accumulator Left	1	1
RLC	A	Rotate A Left through the Carry flag	1	1
RR	A	Rotate Accumulator Right	1	1
RRC	A	Rotate A Right through Carry flag	1	1
SWAP	A	Swap nibbles within the Accumulator	1	1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. (Cont.)

DATA TRANSFER

Mnemonic		Description	Byte	Cyc
MOV	A,Rn	Move register to Accumulator	1	1
MOV	A,direct	Move direct byte to Accumulator	2	1
MOV	A,@Ri	Move indirect RAM to Accumulator	1	1
MOV	A,#data	Move immediate data to Accumulator	2	1
MOV	Rn,A	Move Accumulator to register	1	1
MOV	Rn,direct	Move direct byte to register	2	2
MOV	Rn,#data	Move immediate data to register	2	1
MOV	direct,A	Move Accumulator to direct byte	2	1
MOV	direct,Rn	Move register to direct byte	2	2
MOV	direct,direct	Move direct byte to direct	3	2
MOV	direct,@Ri	Move indirect RAM to direct byte	2	2
MOV	direct,#data	Move immediate data to direct byte	3	2
MOV	@Ri,A	Move Accumulator to indirect RAM	1	1
MOV	@Ri,direct	Move direct byte to indirect RAM	2	2
MOV	@Ri,#data	Move immediate data to indirect RAM	2	1
MOV	DPTR,#data 16	Load Data Pointer with a 16-bit constant	3	2
MOVC	A,@A+DPTR	Move Code byte relative to DPTR to A	1	2
MOVC	A,@A+PC	Move Code byte relative to PC to A	1	2
MOVX	A,@Ri	Move External RAM (8-bit addr) to A	1	2
MOVX	A,@DPTR	Move External RAM (16-bit addr) to A	1	2
MOVX	@Ri,A	Move A to External RAM (8-bit addr)	1	2
MOVX	@DPTR,A	Move A to External RAM (16-bit addr)	1	2
PUSH	direct	Push direct byte onto stack	2	2
POP	direct	Pop direct byte form stack	2	2
XCH	A,Rn	Exchange register with Accumulator	1	1
XCH	A,direct	Exchange direct byte with Accumulator	2	1
XCH	A,@Ri	Exchange indirect RAM with A	1	1
XCHD	A,@Ri	Exchange low-order nibble ind RAM with A	1	1

BOOLEAN VARIABLE MANIPULATION

Mnemonic		Description	Byte	Cyc
CLR	C	Clear Carry flag	1	1
CLR	bit	Clear direct bit	2	1
SETB	C	Set Carry flag	1	1
SETB	bit	Set direct Bit	2	1
CPL	C	Complement Carry flag	1	1
CPL	bit	Complement direct bit	2	1
ANL	C,bit	AND direct bit to Carry flag	2	2
ANL	C,/ bit	AND complement of direct bit to Carry	2	2
ORL	C,bit	OR direct bit to Carry flag	2	2
ORL	C,/ bit	OR complement of direct bit to Carry	2	2
MOV	C,bit	Move direct bit to Carry flag	2	1
MOV	bit,C	Move Carry flag to direct bit	2	2

PROGRAM AND MACHINE CONTROL

Mnemonic		Description	Byte	Cyc
ACALL	addr 11	Absolute Subroutine Call	2	2
LCALL	addr 16	Long Subroutine Call	3	2
RET		Return from subroutine	1	2
RETI		Return from interruct	1	2
AJMP	addr 11	Absolute Jump	2	2
LJMP	addr 16	Long Jump	3	2
SJMP	rel	Short Jump (relative addr)	2	2
JMP	@A+DPTR	Jump indirect relative to the DPTR	1	2
JZ	rel	Jump if Accumulator is Zero	2	2
JNZ	rel	Jump if Accumulator is Not Zero	2	2
JC	rel	Jump if Carry flag is set	2	2
JNC	rel	Jump if No Carry flag	2	2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 1. (Cont.)

PROGRAM AND MACHINE CONTROL (cont.)				
Mnemonic		**Description**	**Byte**	**Cyc**
JB	bit,rel	Jump if direct Bit set	3	2
JNB	bit,rel	Jump if direct Bit Not set	3	2
JBC	bit,rel	Jump if direct Bit is set & Clear bit	3	2
CJNE	A,direct,rel	Compare direct to A & Jump if Not Equal	3	2
CJNE	A,#data,rel	Comp. immed. to A & Jump if Not Equal	3	2
CJNE	Rn,#data,rel	Comp. immed. to reg & Jump if Not Equal	3	2
CJNE	@Ri,#data, rel	Comp. immed. to ind. & Jump if Not Equal	3	2
DJNZ	Rn,rel	Decrement register & Jump if Not Zero	2	2
DJNZ	direct, rel	Decrement direct & Jump if Not Zero	3	2
NOP		No operation	1	1

Notes on data addressing modes:

Rn	– Working register R0-R7
direct	– 128 internal RAM locations, any I/O port, control or status register
@Ri	– Indirect internal RAM location addressed by register R0 or R1
#data	– 8-bit constant included in instruction
#data 16	– 16-bit constant included as bytes 2 & 3 of instruction
bit	– 128 software flags, any I/O pin, control or status bit

Notes on program addressing modes:

addr 16	– Destination address for LCALL & LJMP may be anywhere within the 64-k program memory address space
Addr 11	– Destination address for ACALL & AJMP will be within the same 2-k page of program memory as the first byte of the following instruction
rel	– SJMP and all conditional jumps include an 8-bit offset byte. Range is +127–128 bytes relative to first byte of the following instruction.

All mnemonics copyrighted © Intel Corporation 1979

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. Instruction Opcodes in Hexadecimal Order

Hex Code	Number of Bytes	Mnemonic	Operands
00	1	NOP	
01	2	AJMP	code addr
02	3	LJMP	code addr
03	1	RR	A
04	1	INC	A
05	2	INC	data addr
06	1	INC	@R0
07	1	INC	@R1
08	1	INC	R0
09	1	INC	R1
0A	1	INC	R2
0B	1	INC	R3
0C	1	INC	R4
0D	1	INC	R5
0E	1	INC	R6
0F	1	INC	R7
10	3	JBC	bit addr,code addr
11	2	ACALL	code addr
12	3	LCALL	code addr
13	1	RRC	A
14	1	DEC	A
15	2	DEC	data addr
16	1	DEC	@R0
17	1	DEC	@R1
18	1	DEC	R0
19	1	DEC	R1
1A	1	DEC	R2
1B	1	DEC	R3
1C	1	DEC	R4
1D	1	DEC	R5
1E	1	DEC	R6
1F	1	DEC	R7
20	3	JB	bit addr,code addr
21	2	AJMP	code addr
22	1	RET	
23	1	RL	A
24	2	ADD	A,data
25	2	ADD	A,data addr
26	1	ADD	A,@R0
27	1	ADD	A,@R1
28	1	ADD	A,R0
29	1	ADD	A,R1
2A	1	ADD	A,R2
2B	1	ADD	A,R3
2C	1	ADD	A,R4
2D	1	ADD	A,R5
2E	1	ADD	A,R6
2F	1	ADD	A,R7
30	3	JNB	bit addr,code addr
31	2	ACALL	code addr
32	1	RETI	

Hex Code	Number of Bytes	Mnemonic	Operands
33	1	RLC	A
34	2	ADDC	A,#data
35	2	ADDC	A,data addr
36	1	ADDC	A,@R0
37	1	ADDC	A,@R1
38	1	ADDC	A,R0
39	1	ADDC	A,R1
3A	1	ADDC	A,R2
3B	1	ADDC	A,R3
3C	1	ADDC	A,R4
3D	1	ADDC	A,R5
3E	1	ADDC	A,R6
3F	1	ADDC	A,R7
40	2	JC	code addr
41	2	AJMP	code addr
42	2	ORL	data addr,A
43	3	ORL	data addr,#data
44	2	ORL	A,#data
45	2	ORL	A,data addr
46	1	ORL	A,@R0
47	1	ORL	A,@R1
48	1	ORL	A,R0
49	1	ORL	A,R1
4A	1	ORL	A,R2
4B	1	ORL	A,R3
4C	1	ORL	A,R4
4D	1	ORL	A,R5
4E	1	ORL	A,R6
4F	1	ORL	A,R7
50	2	JNC	code addr
51	2	ACALL	code addr
52	2	ANL	data addr,A
53	3	ANL	data addr,#data
54	2	ANL	A,#data
55	2	ANL	A,data addr
56	1	ANL	A,@R0
57	1	ANL	A,@R1
58	1	ANL	A,R0
59	1	ANL	A,R1
5A	1	ANL	A,R2
5B	1	ANL	A,R3
5C	1	ANL	A,R4
5D	1	ANL	A,R5
5E	1	ANL	A,R6
5F	1	ANL	A,R7
60	2	JZ	code addr
61	2	AJMP	code addr
62	2	XRL	data addr,A
63	3	XRL	data addr,#data
64	2	XRL	A,#data
65	2	XRL	A,data addr

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. (Cont.)

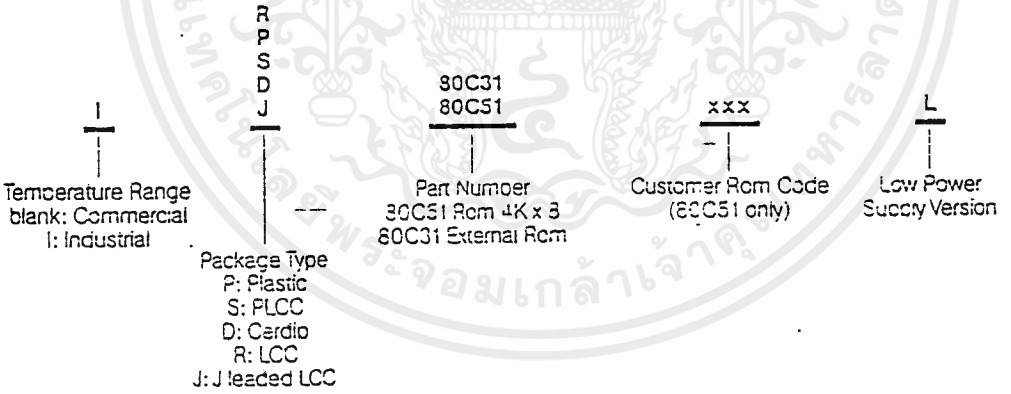
Hex Code	Number of Bytes	Mnemonic	Operands
66	1	XRL	A,@R0
67	1	XRL	A,@R1
68	1	XRL	A,R0
69	1	XRL	A,R1
6A	1	XRL	A,R2
6B	1	XRL	A,R3
6C	1	XRL	A,R4
6D	1	XRL	A,R5
6E	1	XRL	A,R6
6F	1	XRL	A,R7
70	2	JNZ	code addr
71	2	ACALL	code addr
72	2	ORL	C,bit addr
73	1	JMP	@A+DPTR
74	2	MOV	A,#data
75	3	MOV	data addr,#data
76	2	MOV	@R0,#data
77	2	MOV	@R1,#data
78	2	MOV	R0,#data
79	2	MOV	R1,#data
7A	2	MOV	R2,#data
7B	2	MOV	R3,#data
7C	2	MOV	R4,#data
7D	2	MOV	R5,#data
7E	2	MOV	R6,#data
7F	2	MOV	R7,#data
80	2	SJMP	code addr
81	2	AJMP	code addr
82	2	ANL	C,bit addr
83	1	MOVC	A,@A+PC
84	1	DIV	AB
85	3	MOV	data addr,data addr
86	2	MOV	data addr,@R0
87	2	MOV	data addr,@R1
88	2	MOV	data addr,R0
89	2	MOV	data addr,R1
8A	2	MOV	data addr,R2
8B	2	MOV	data addr,R3
8C	2	MOV	data addr,R4
8D	2	MOV	data addr,R5
8E	2	MOV	data addr,R6
8F	2	MOV	data addr,R7
90	3	MOV	DPTR,#data
91	2	ACALL	code addr
92	2	MOV	bit addr,C
93	1	MOVC	A,@A+DPTR
94	2	SUBB	A,#data
95	2	SUBB	A,data addr
96	1	SUBB	A,@R0
97	1	SUBB	A,@R1
98	1	SUBB	A,R0
99	1	SUBB	A,R1
9A	1	SUBB	A,R2
9B	1	SUBB	A,R3
9C	1	SUBB	A,R4
9D	1	SUBB	A,R5
9E	1	SUBB	A,R6
9F	1	SUBB	A,R7
A0	2	ORL	C,bit addr
A1	2	AJMP	code addr
A2	2	MOV	C,bit addr
A3	1	INC	DPTR
A4	1	MUL	AB
A5		reserved	
A6	2	MOV	@R0,data addr
A7	2	MOV	@R1,data addr
A8	2	MOV	R0,data addr
A9	2	MOV	R1,data addr
AA	2	MOV	R2,data addr
AB	2	MOV	R3,data addr
AC	2	MOV	R4,data addr
AD	2	MOV	R5,data addr
AE	2	MOV	R6,data addr
AF	2	MOV	R7,data addr
B0	2	ANL	C,bit addr
B1	2	ACALL	code addr
B2	2	CPL	bit addr
B3	1	CPL	C
B4	3	CJNE	A,#data,code addr
B5	3	CJNE	A,data addr,code addr
B6	3	CJNE	@R0,#data,code addr
B7	3	CJNE	@R1,#data,code addr
B8	3	CJNE	R0,#data,code addr
B9	3	CJNE	R1,#data,code addr
BA	3	CJNE	R2,#data,code addr
BB	3	CJNE	R3,#data,code addr
BC	3	CJNE	R4,#data,code addr
BD	3	CJNE	R5,#data,code addr
BE	3	CJNE	R6,#data,code addr
BF	3	CJNE	R7,#data,code addr
C0	2	PUSH	data addr
C1	2	AJMP	code addr
C2	2	CLR	bit addr
C3	1	CLR	C
C4	1	SWAP	A
C5	2	XCH	A,data addr
C6	1	XCH	A,@R0
C7	1	XCH	A,@R1
C8	1	XCH	A,R0
C9	1	XCH	A,R1
CA	1	XCH	A,R2
CB	1	XCH	A,R3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Table 2. (Cont.)

Hex Code	Number of Bytes	Mnemonic	Operands
CC	1	XCH	A,R4
CD	1	XCH	A,R5
CE	1	XCH	A,R6
CF	1	XCH	A,R7
D0	2	POP	data addr
D1	2	ACALL	code addr
D2	2	SETB	bit addr
D3	1	SETB	C
D4	1	DA	A
D5	3	DJNZ	data addr,code addr
D6	1	XCHD	A,@R0
D7	1	XCHD	A,@R1
D8	2	DJNZ	R0,code addr
D9	2	DJNZ	R1,code addr
DA	2	DJNZ	R2,code addr
DB	2	DJNZ	R3,code addr
DC	2	DJNZ	R4,code addr
DD	2	DJNZ	R5,code addr
DE	2	DJNZ	R6,code addr
DF	2	DJNZ	R7,code addr
E0	1	MOVX	A,@DPTR
E1	2	AJMP	code addr
E2	1	MOVX	A,@R0
E3	1	MOVX	A,@R1
E4	1	CLR	A
E5	2	MOV	A,data addr

Hex Code	Number of Bytes	Mnemonic	Operands
E6	1	MOV	A,@R0
E7	1	MOV	A,@R1
E8	1	MOV	A,R0
E9	1	MOV	A,R1
EA	1	MOV	A,R2
EB	1	MOV	A,R3
EC	1	MOV	A,R4
ED	1	MOV	A,R5
EE	1	MOV	A,R6
EF	1	MOV	A,R7
F0	1	MOVX	@DPTR,A
F1	2	ACALL	code addr
F2	1	MOVX	@R0,A
F3	1	MOVX	@R1,A
F4	1	CPL	A
F5	2	MOV	data addr,A
F6	1	MOV	@R0,A
F7	1	MOV	@R1,A
F8	1	MOV	R0,A
F9	1	MOV	R1,A
FA	1	MOV	R2,A
FB	1	MOV	R3,A
FC	1	MOV	R4,A
FD	1	MOV	R5,A
FE	1	MOV	R6,A
FF	1	MOV	R7,A



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - —Standard Temperature Range
  - —Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 8 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

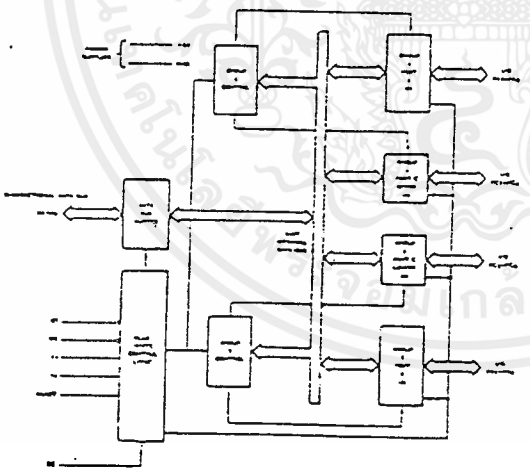


Figure 1. 8255A Block Diagram

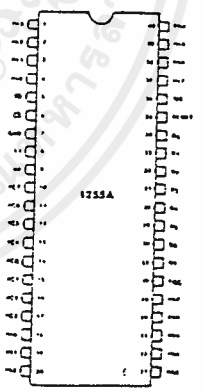


Figure 2. Pin Configuration.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select. A "low" on this input pin enables the communiction between the 8255A and the CPU.

($\overline{RD}$)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

($\overline{WR}$)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A_0 and A_1)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A – DATA BUS
0	1	0	1	0	PORT B – DATA BUS
1	0	0	1	0	PORT C – DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS – PORT A
0	1	1	0	0	DATA BUS – PORT B
1	0	1	0	0	DATA BUS – PORT C
1	1	1	0	0	DATA BUS – CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS – 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS – 3-STATE

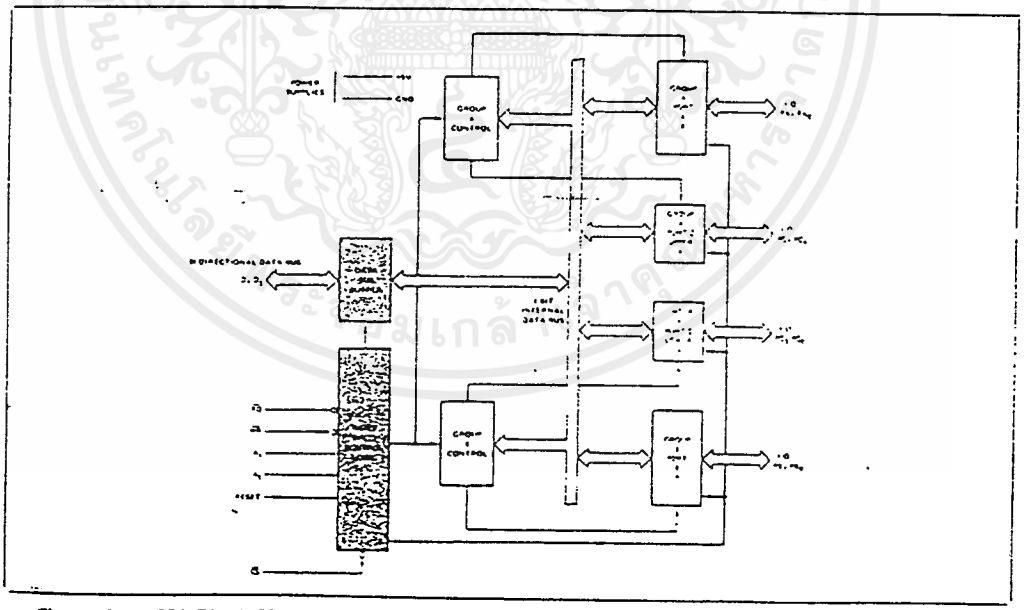


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

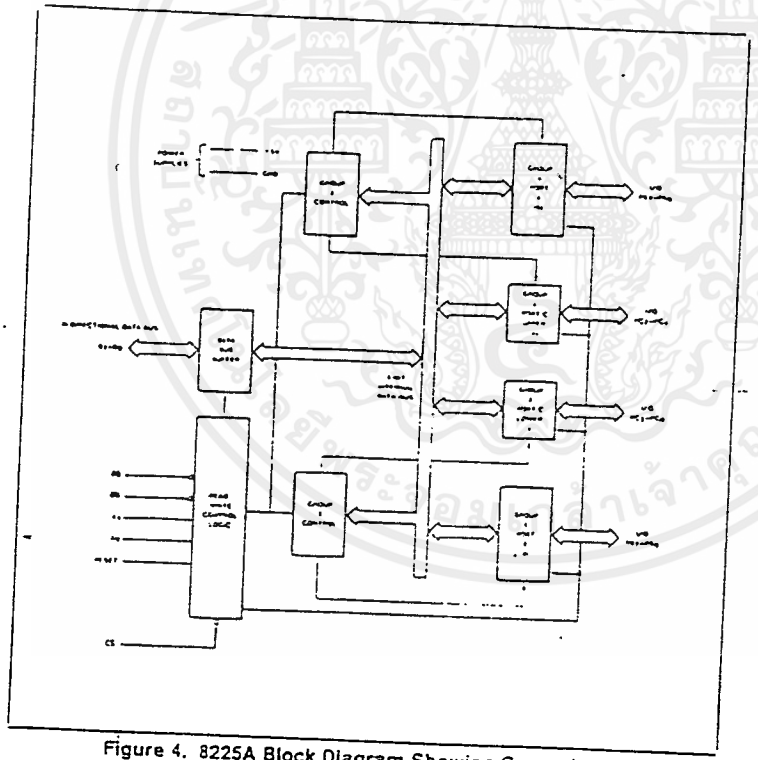
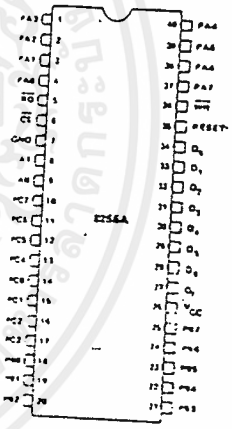


Figure 4. 8225A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

D_7-D_0	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 — Basic Input/Output
Mode 1 — Strobed Input/Output
Mode 2 — Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

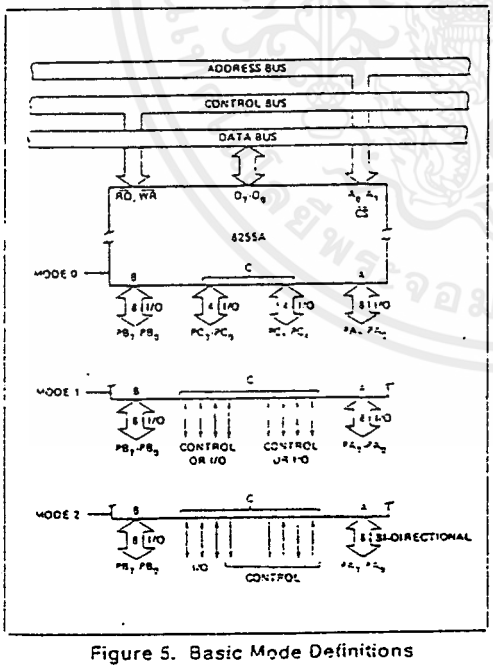


Figure 5. Basic Mode Definitions and Bus Interface

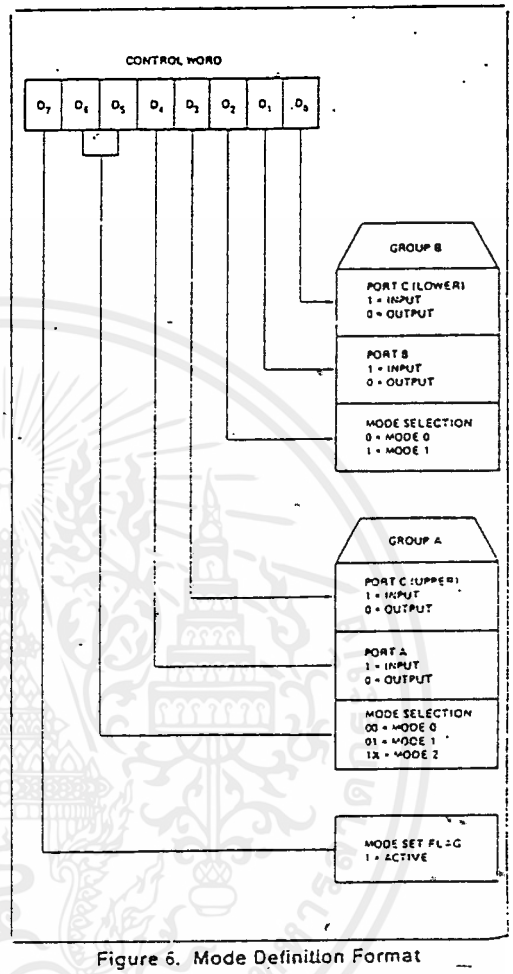


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

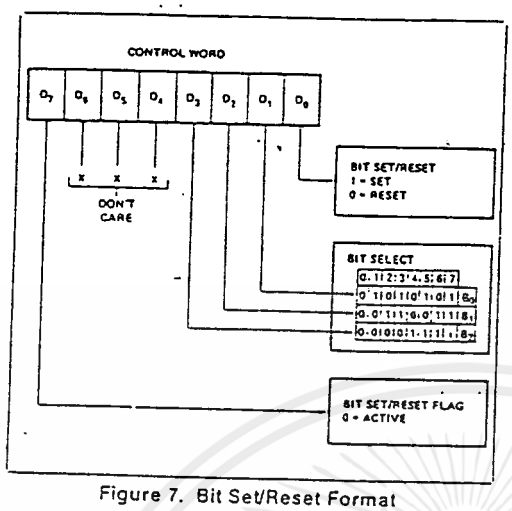


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) — INTE is SET — Interrupt enable
(BIT-RESET) — INTE is RESET — Interrupt disable

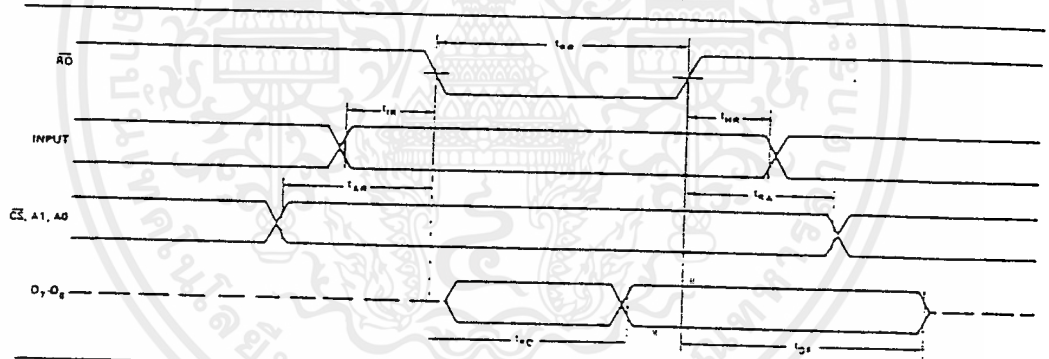
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

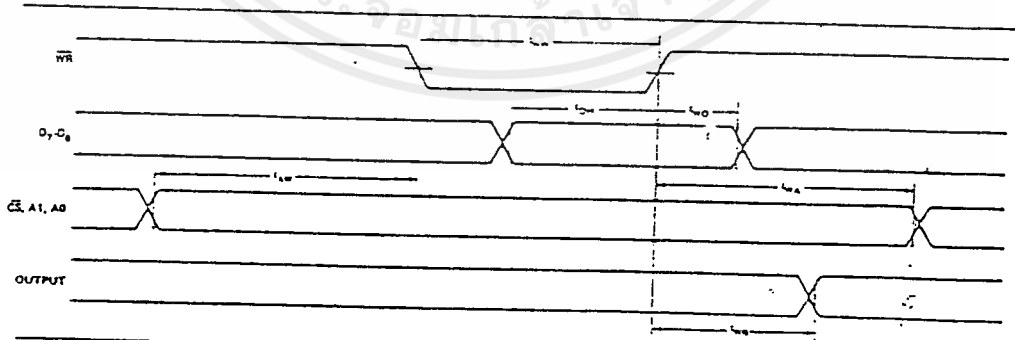
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



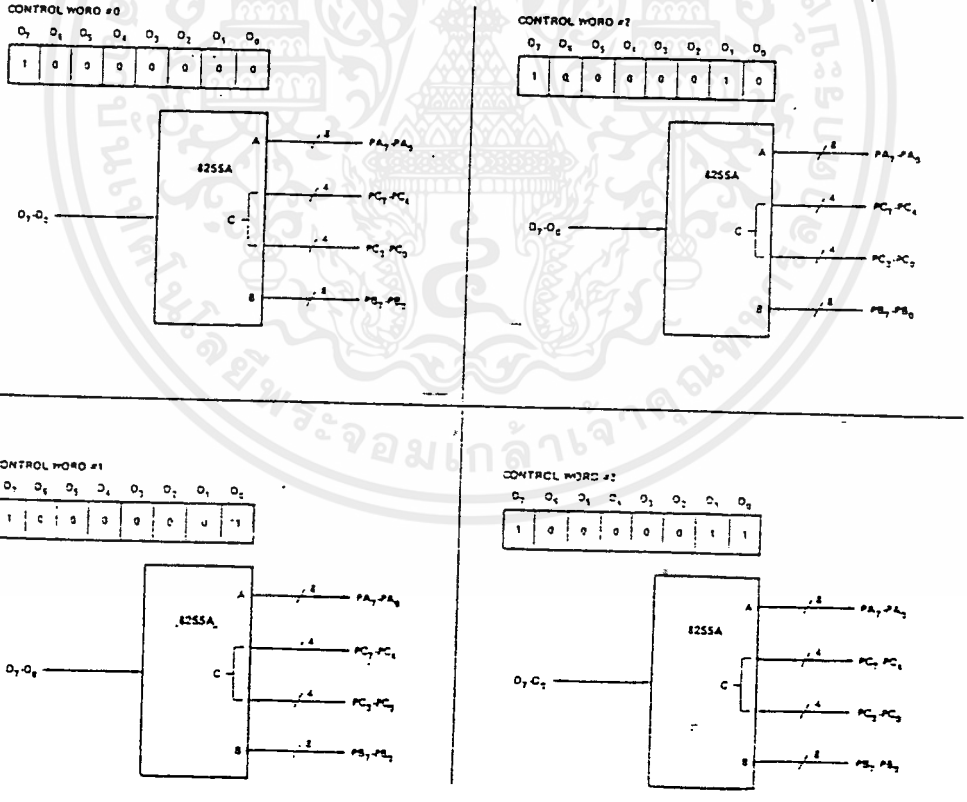
MODE 0 (Basic Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MODE 0 Port Definition

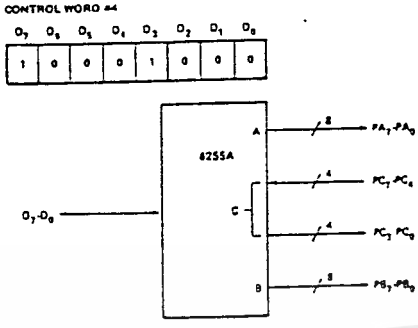
A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations

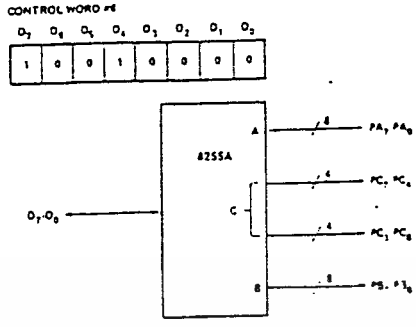


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

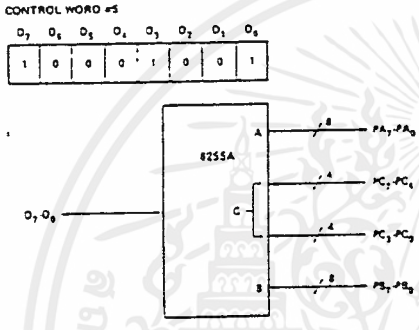
CONTROL WORD #4



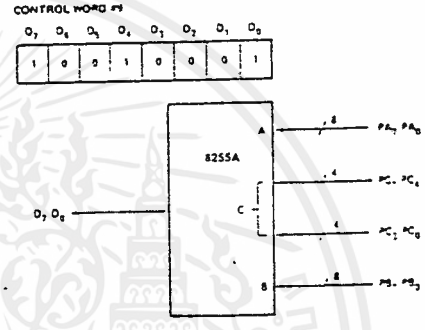
CONTROL WORD #8



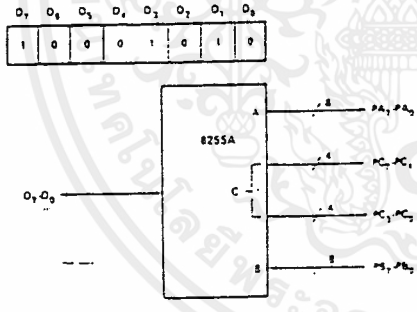
CONTROL WORD #5



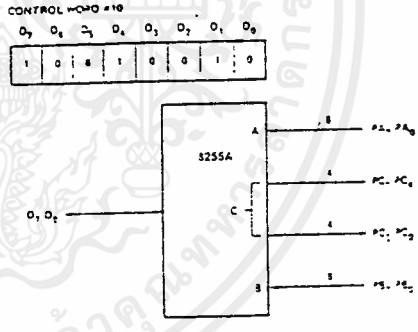
CONTROL WORD #9



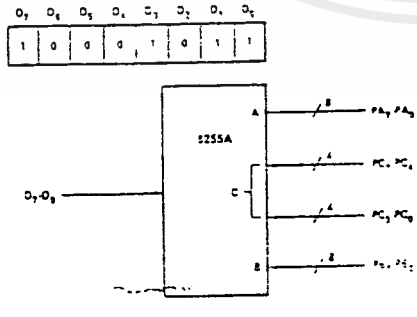
CONTROL WORD #6



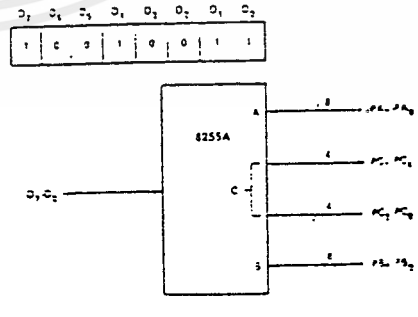
CONTROL WORD #10



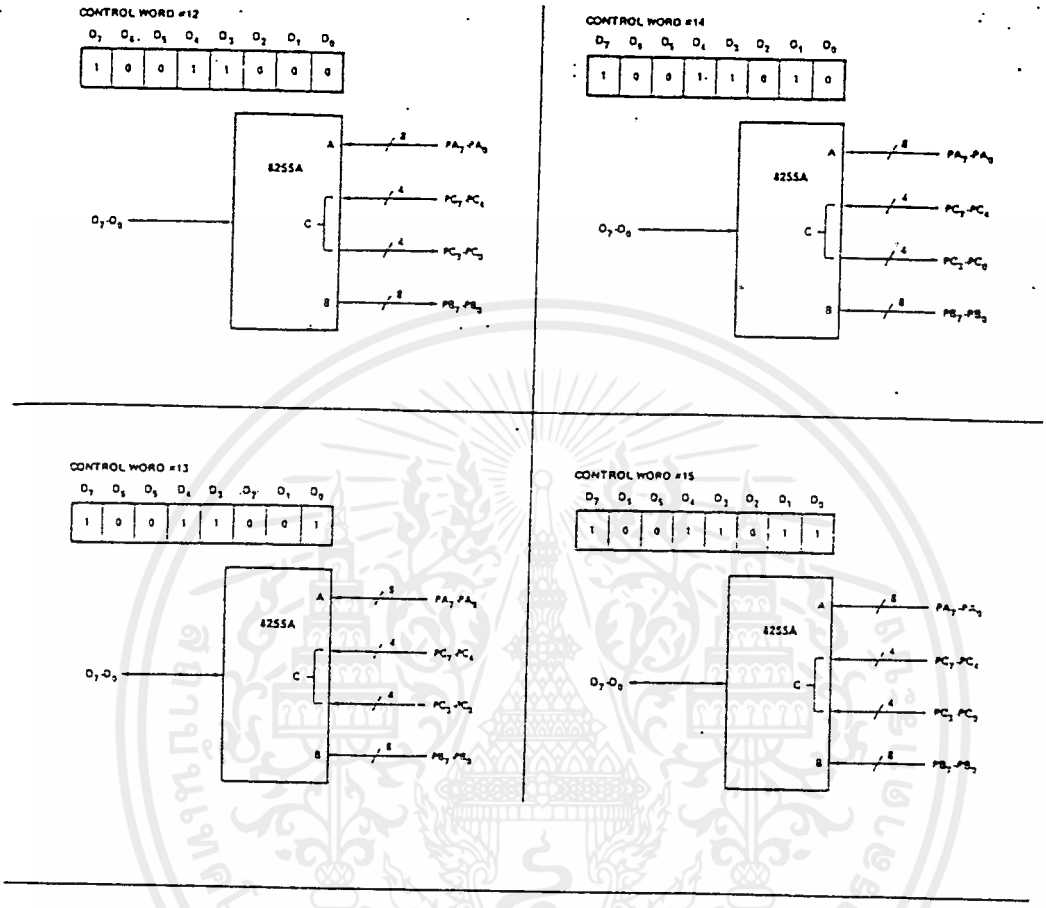
CONTROL WORD #7



CONTROL WORD #11



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Operating Modes

MODE 1 (Strobed Input/Output). This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

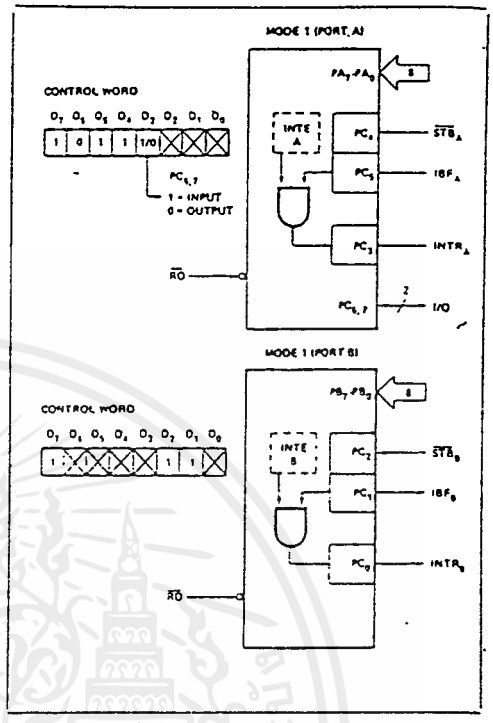


Figure 8. MODE 1 Input

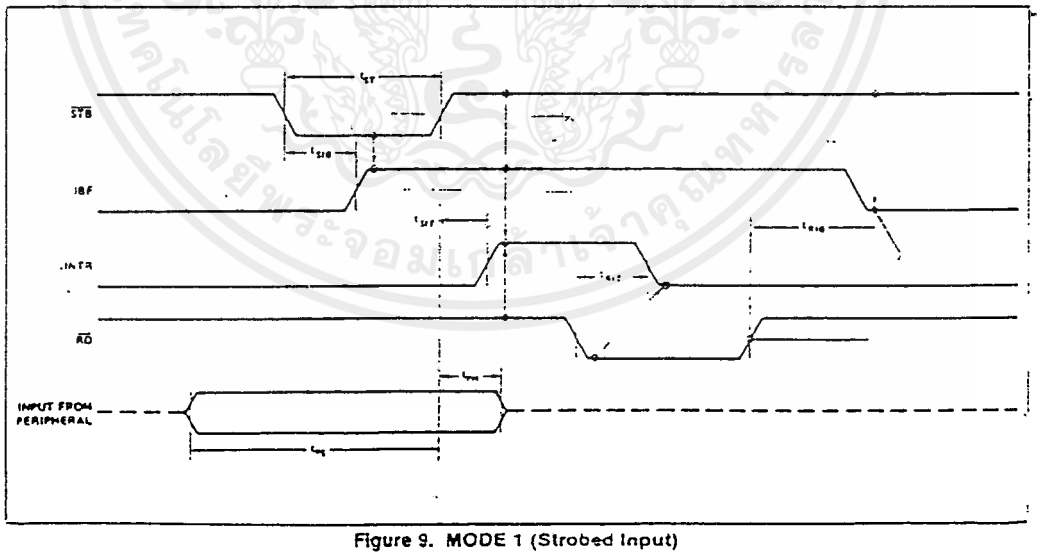


Figure 9. MODE 1 (Strobed Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{OBF}$ F/F will be set by the rising edge of the $\overline{WR}$ input and reset by $\overline{ACK}$ input being low.

$\overline{ACK}$ (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has recieved the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTE A

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

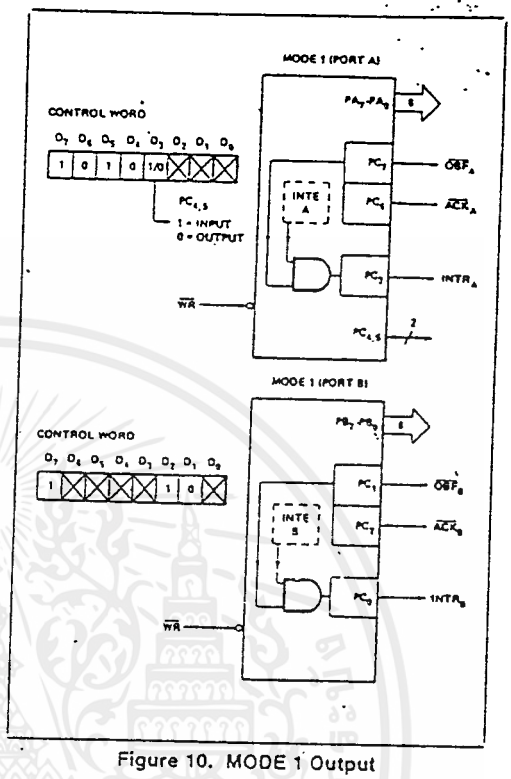


Figure 10. MODE 1 Output

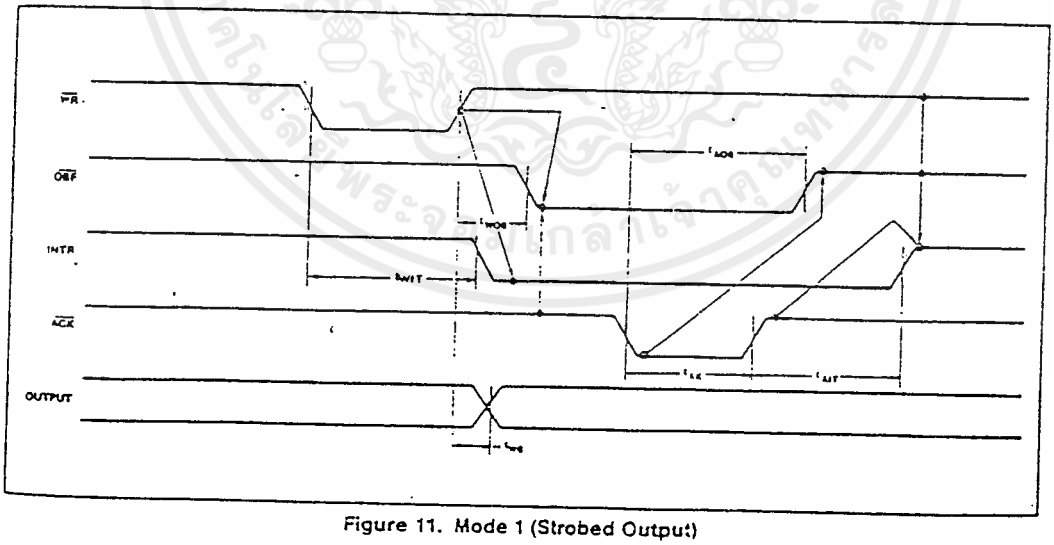


Figure 11. Mode 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

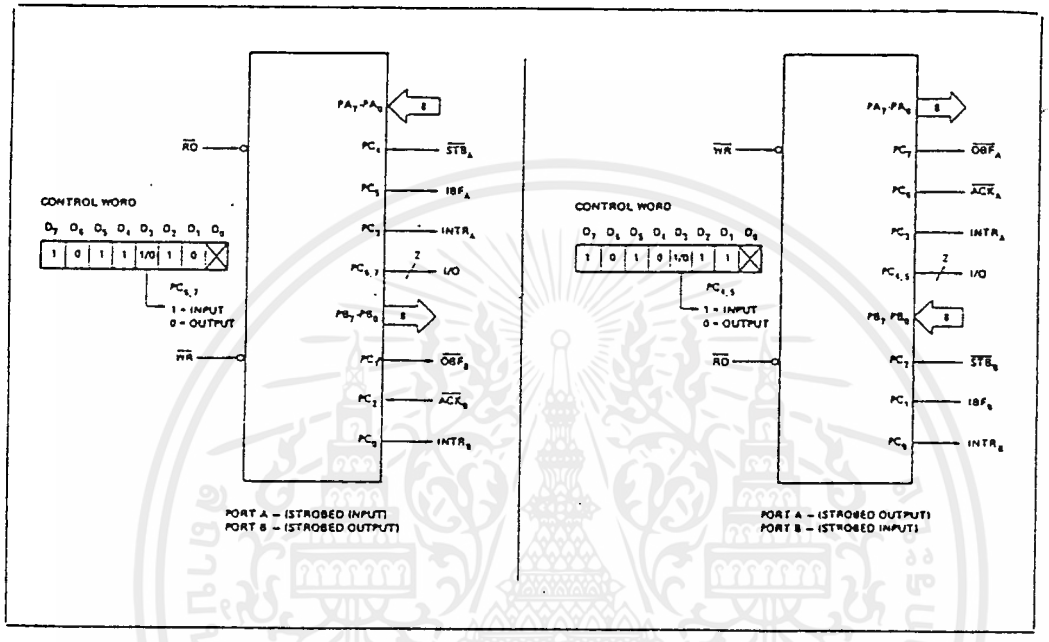


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

$\overline{OBF}$ (Output Buffer Full). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to port A.

$\overline{ACK}$ (Acknowledge). A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with $\overline{OBF}$). Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC_4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

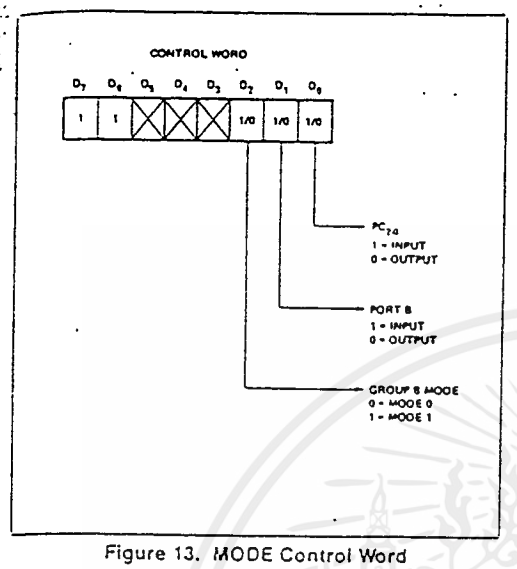


Figure 13. MODE Control Word

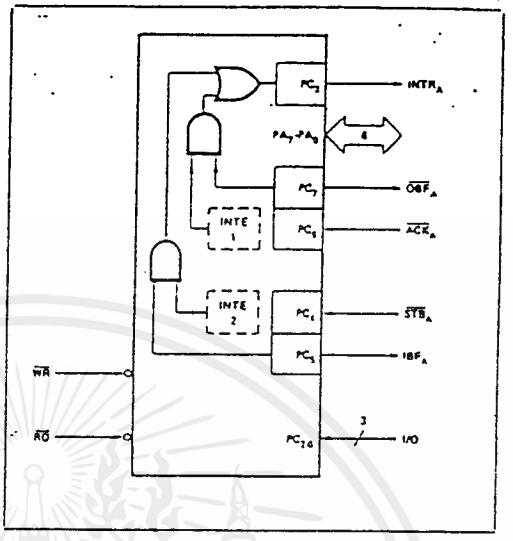


Figure 14. MODE 2

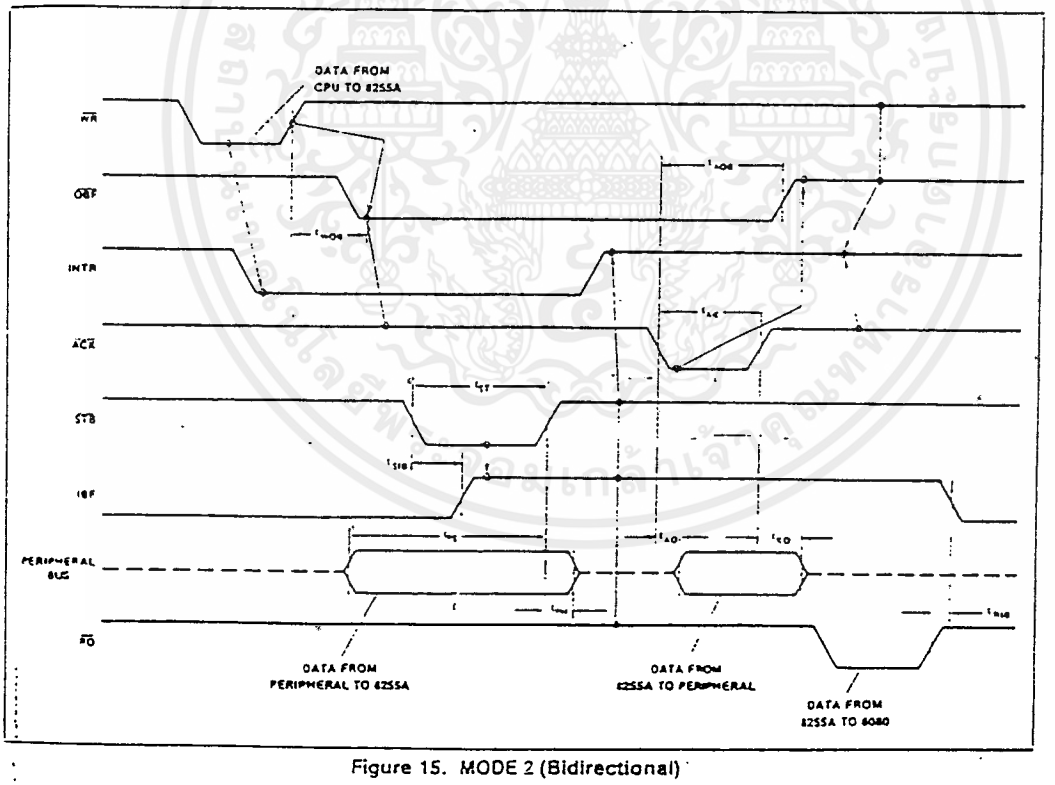


Figure 15. MODE 2 (Bidirectional)

NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissable.
(INTR = IBF · $\overline{MASK}$ · $\overline{STB}$ · $\overline{RD}$ + $\overline{OBF}$ · $\overline{MASK}$ · $\overline{ACK}$ · $\overline{WR}$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

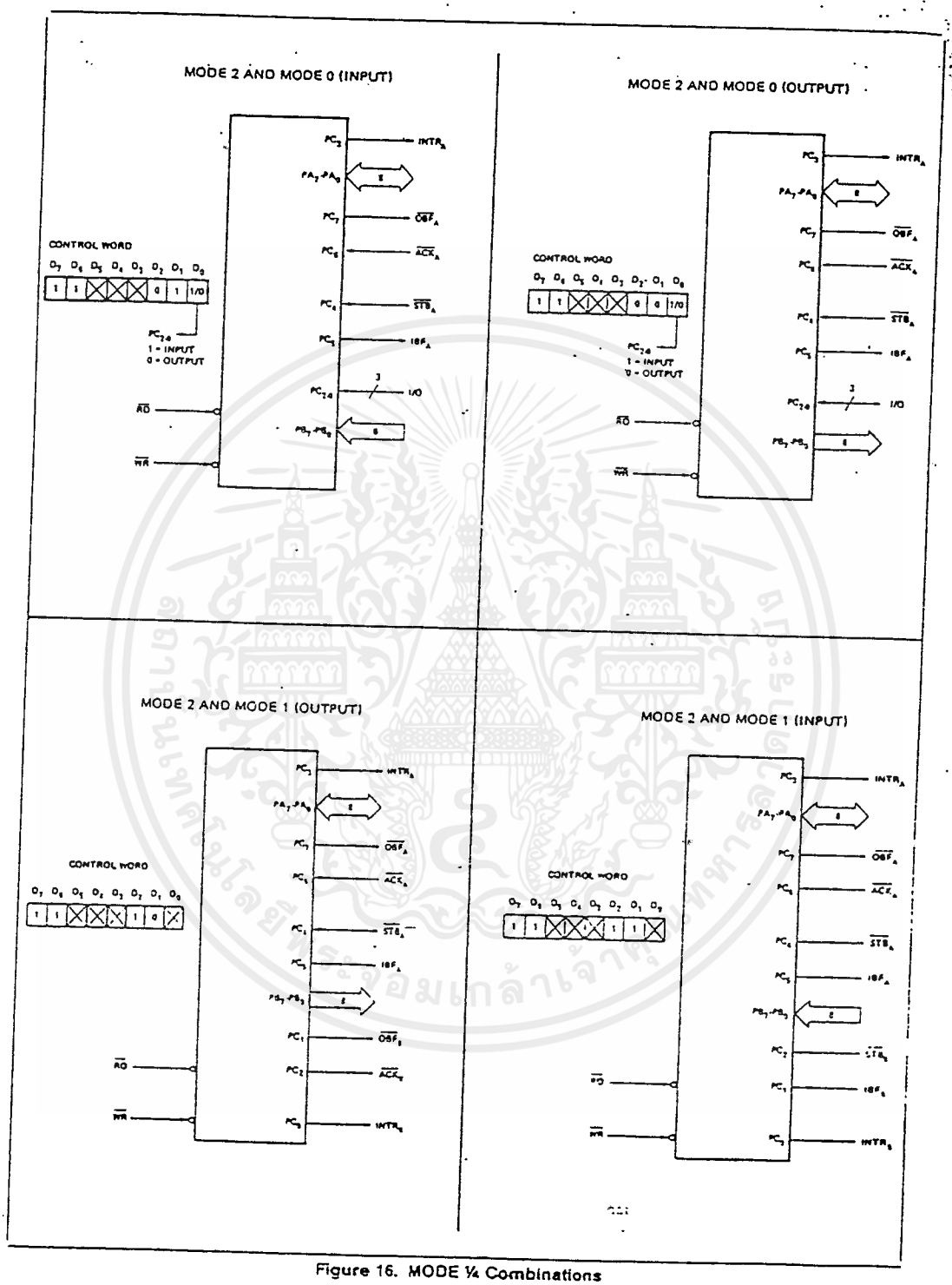


Figure 16. MODE ¼ Combinations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Mode Definition Summary

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	⟷	
PA_1	IN	OUT	IN	OUT	⟷	
PA_2	IN	OUT	IN	OUT	⟷	
PA_3	IN	OUT	IN	OUT	⟷	
PA_4	IN	OUT	IN	OUT	⟷	
PA_5	IN	OUT	IN	OUT	⟷	
PA_6	IN	OUT	IN	OUT	⟷	
PA_7	IN	OUT	IN	OUT	⟷	
PB_0	IN	OUT	IN	OUT	—	MODE 0 OR MODE 1 ONLY
PB_1	IN	OUT	IN	OUT	—	
PB_2	IN	OUT	IN	OUT	—	
PB_3	IN	OUT	IN	OUT	—	
PB_4	IN	OUT	IN	OUT	—	
PB_5	IN	OUT	IN	OUT	—	
PB_6	IN	OUT	IN	OUT	—	
PB_7	IN	OUT	IN	OUT	—	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I/O	
PC_1	IN	OUT	IBF_B	$\overline{OBF}_B$	I/O	
PC_2	IN	OUT	$\overline{STB}_B$	$\overline{ACK}_B$	I/O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$\overline{STB}_A$	I/O	$\overline{STB}_A$	
PC_5	IN	OUT	IBF_A	I/O	IBF_A	
PC_6	IN	OUT	I/O	$\overline{ACK}_A$	$\overline{ACK}_A$	
PC_7	IN	OUT	I/O	$\overline{OBF}_A$	$\overline{OBF}_A$	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs –
All input lines can be accessed during a normal Port C read.

If Programmed as Outputs –
Bits in C upper (PC_7-PC_4) must be individually accessed using the bit set/reset function.

Bits in C lower (PC_3-PC_0) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

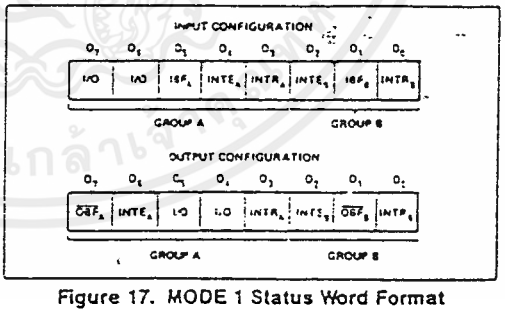


Figure 17. MODE 1 Status Word Format

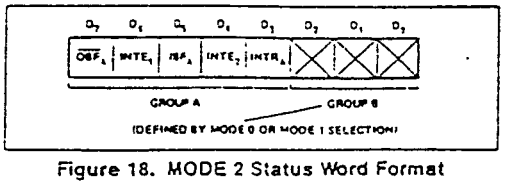


Figure 18. MODE 2 Status Word Format

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

APPLICATIONS OF THE 8255A

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.

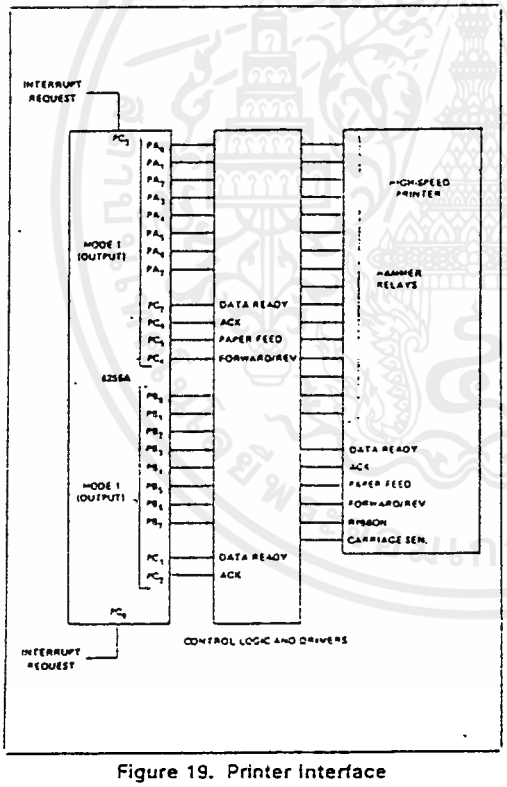


Figure 19. Printer Interface

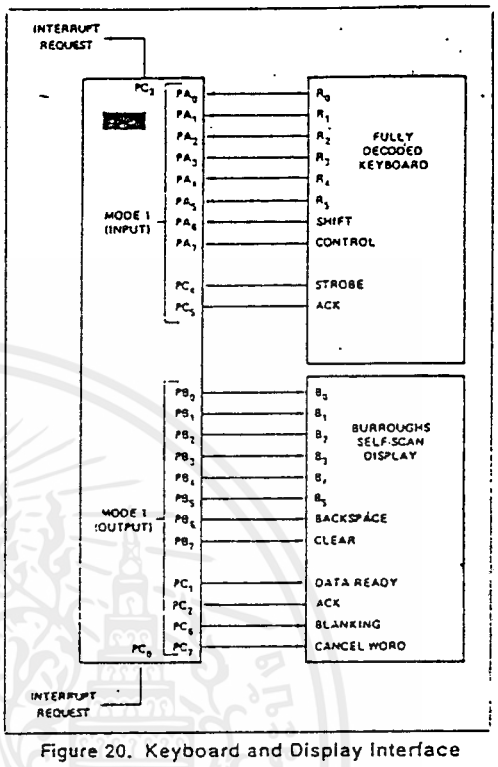


Figure 20. Keyboard and Display Interface

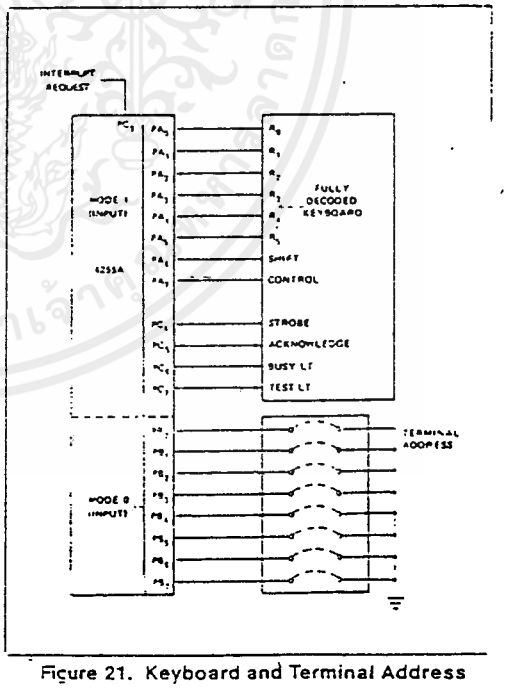


Figure 21. Keyboard and Terminal Address Interface

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

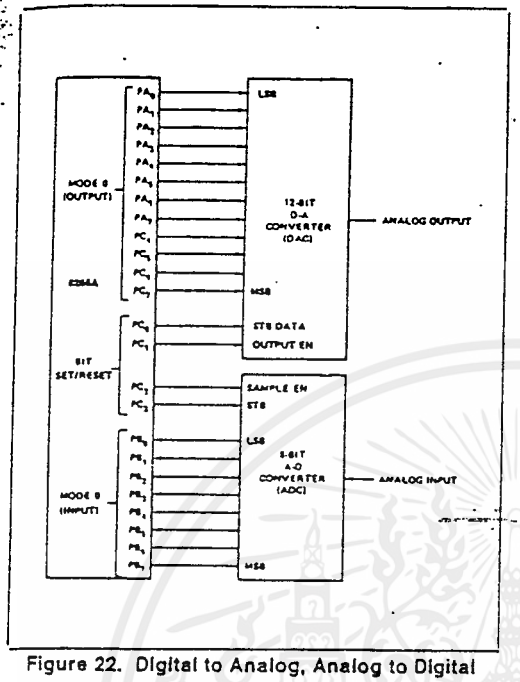


Figure 22. Digital to Analog, Analog to Digital

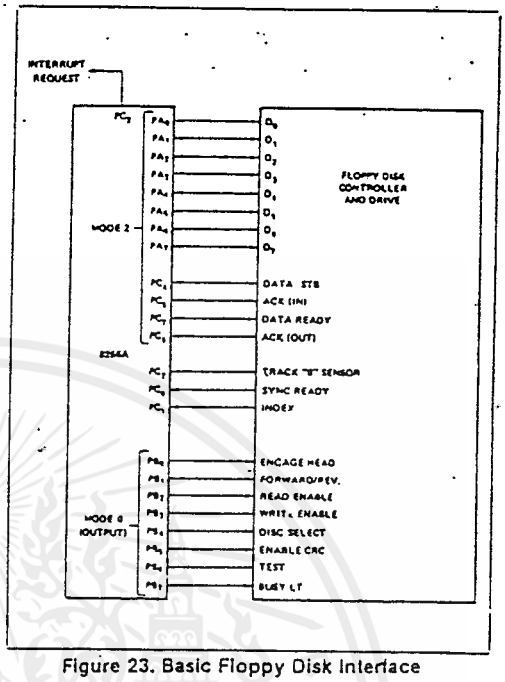


Figure 23. Basic Floppy Disk Interface

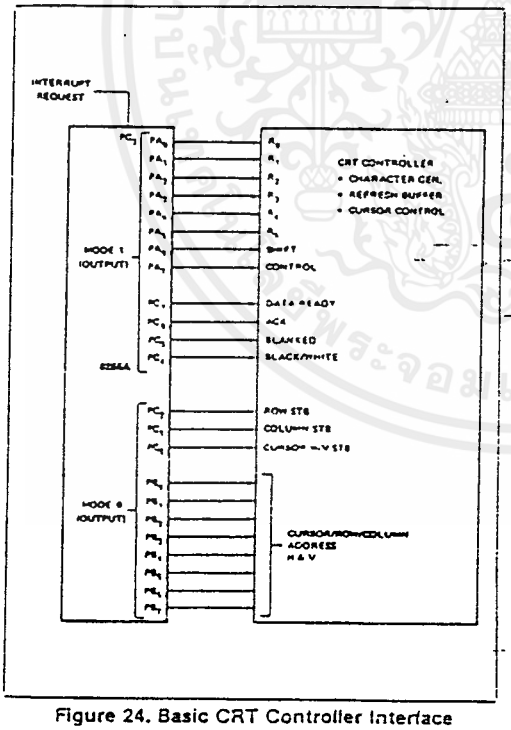


Figure 24. Basic CRT Controller Interface

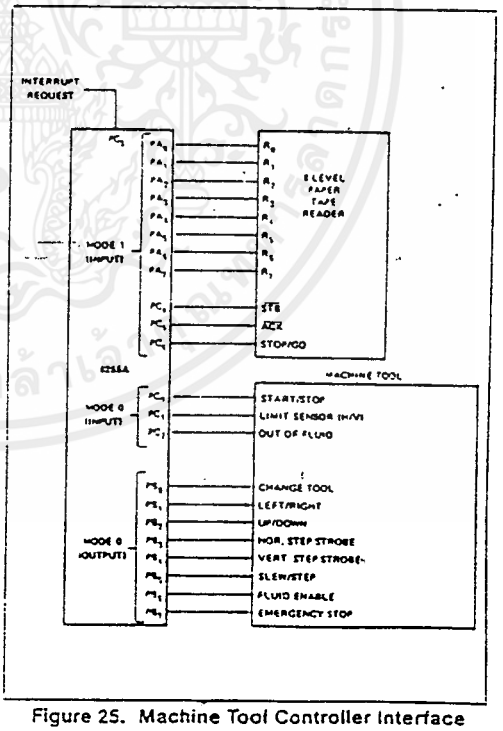


Figure 25. Machine Tool Controller Interface

231308-001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias. . . . . 0°C to 70°C
Storage Temperature . . . . . −65°C to +150°C
Voltage on Any Pin
With Respect to Ground . . . . . −0.5V to +7V
Power Dissipation . . . . . 1 Watt

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ± 10%, GND = 0V)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL} (DB)	Output Low Voltage (Data Bus)		0.45	V	I_{OL} = 2.5mA
V_{OL} (PER)	Output Low Voltage (Peripheral Port)		0.45	V	I_{OL} = 1.7mA
V_{OH} (DB)	Output High Voltage (Data Bus)	2.4		V	I_{OH} = -400μA
V_{OH} (PER)	Output High Voltage (Peripheral Port)	2.4		V	I_{OH} = -200μA
I_{DAR}[1]	Darlington Drive Current	-1.0	-4.0	mA	R_{EXT} = 750Ω; V_{EXT} = 1.5V
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to .45V

NOTE:
1. Available on any 8 pins from Port B and C.

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ± 10%, GND = 0V)*

Bus Parameters

READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before READ	0		0		ns
t_{RA}	Address Stable After READ	0		0		ns
t_{RR}	READ Pulse Width	300		300		ns
t_{RD}	Data Valid From READ[1]		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{RV}	Time Between READs and/or WRITEs	850		850		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

OTHER TIMINGS

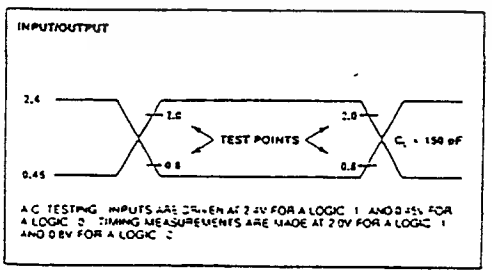
Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{WB}	WR = 1 to Output[1]		350		350	ns
t_{IR}	Peripheral Data Before RD	0		0		ns
t_{HR}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output[1]		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0[1]		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1[1]		350		350	ns
t_{SIB}	STB = 0 to IBF = 1[1]		300		300	ns
t_{RIB}	RD = 1 to IBF = 0[1]		300		300	ns
t_{RIT}	RD = 0 to INTR = 0[1]		400		400	ns
t_{SIT}	STB = 1 to INTR = 1[1]		300		300	ns
t_{AIT}	ACK = 1 to INTR = 1[1]		350		350	ns
t_{WIT}	WR = 0 to INTR = 0[1,3]		450		450	ns

NOTES:

1. Test Conditions: C_L = 150 pF.
2. Period of Reset pulse must be at least 50μs during or after power on. Subsequent Reset pulse can be 500 ns min.
3. INTR↑ may occur as early as $\overline{WR}$↓.

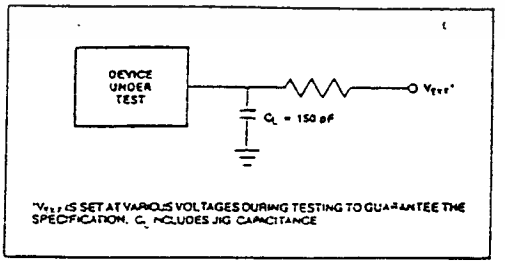
* For Extended Temperature EXPRESS, use M8255A electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING INPUTS ARE DRIVEN AT 2.4V FOR A LOGIC "1" AND 0.45V FOR A LOGIC "0". TIMING MEASUREMENTS ARE MADE AT 2.0V FOR A LOGIC "1" AND 0.8V FOR A LOGIC "0".

A.C. TESTING LOAD CIRCUIT

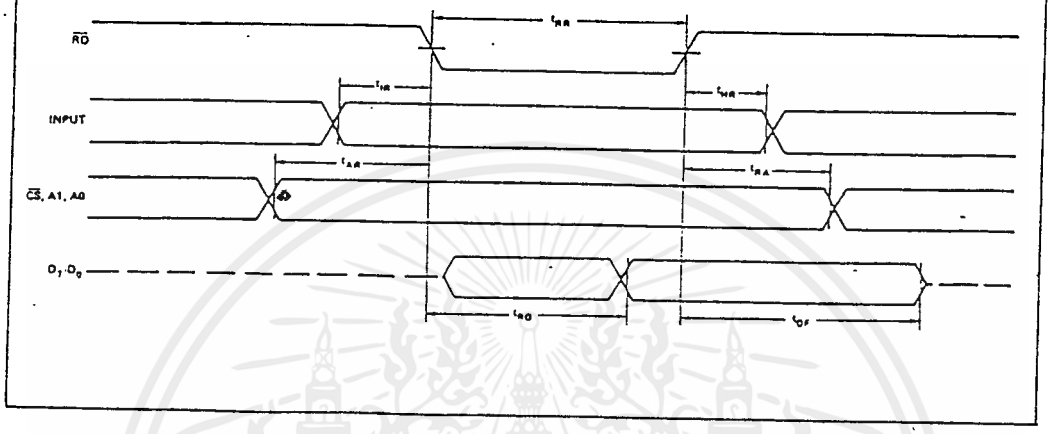


*V_{TEST} IS SET AT VARIOUS VOLTAGES DURING TESTING TO GUARANTEE THE SPECIFICATION. C_L INCLUDES JIG CAPACITANCE

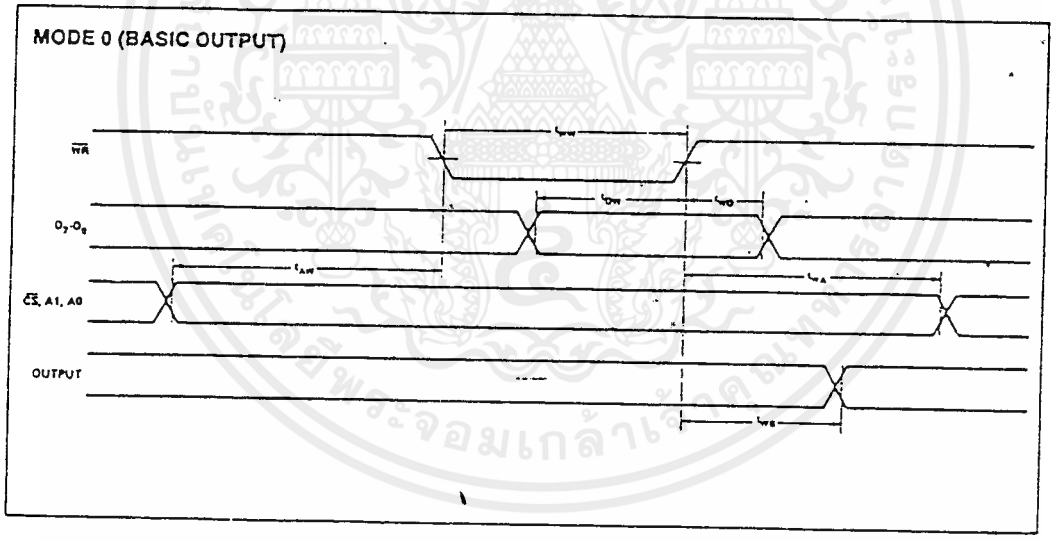
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS

MODE 0 (BASIC INPUT)



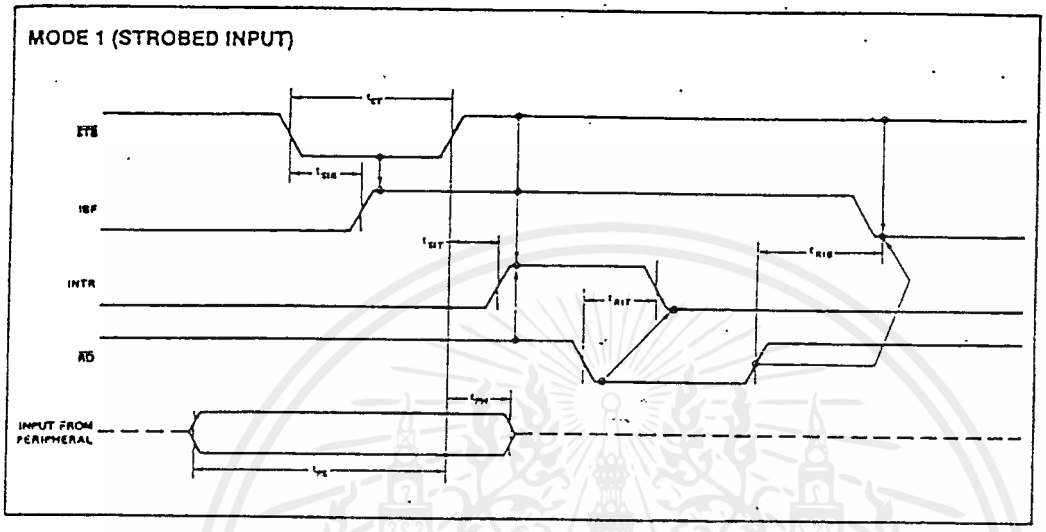
MODE 0 (BASIC OUTPUT)



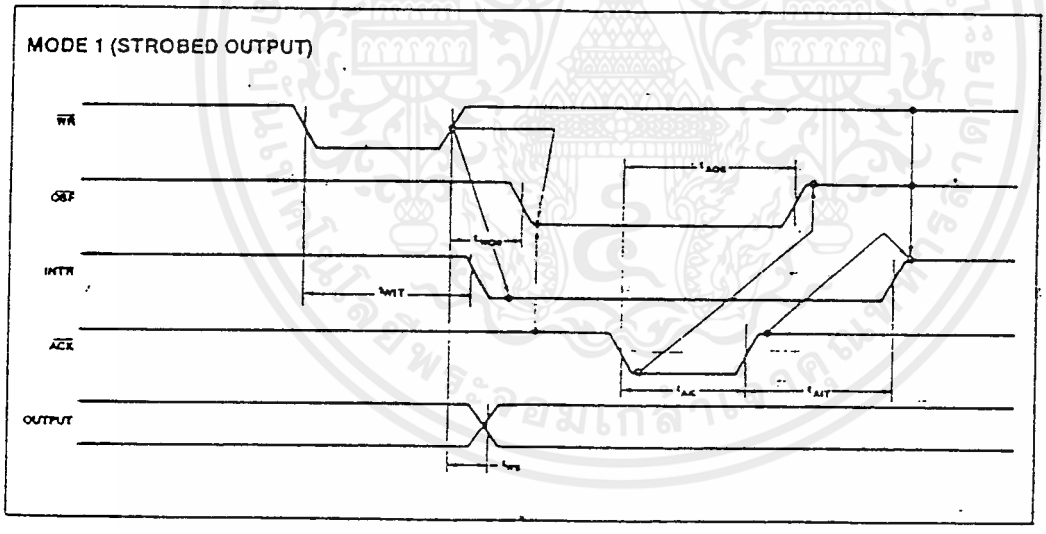
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)



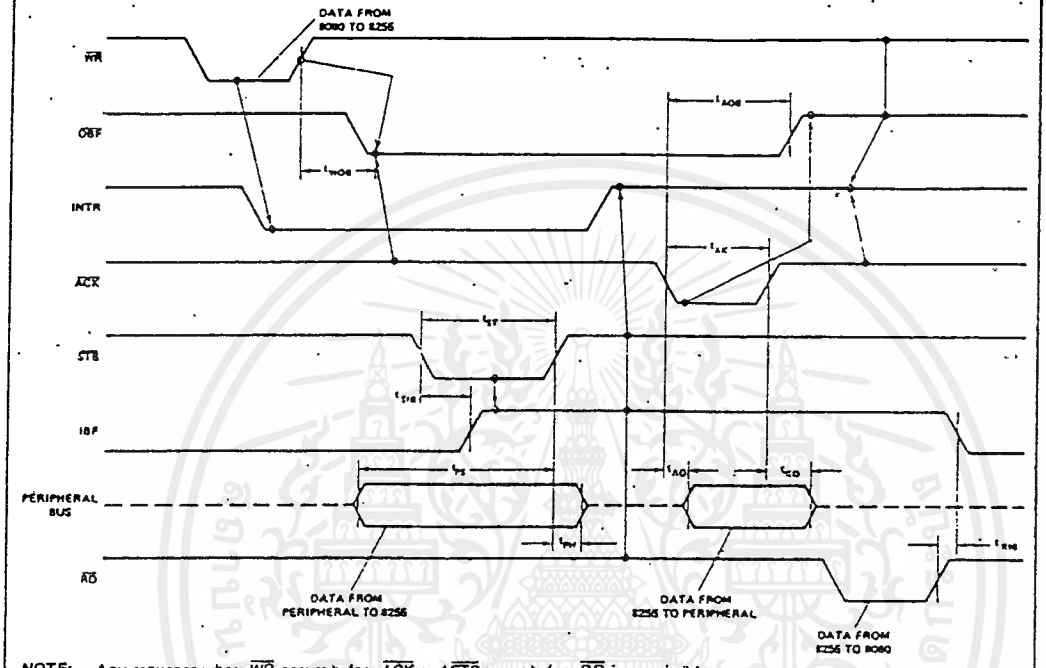
MODE 1 (STROBED OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

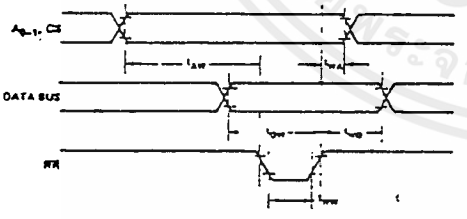
WAVEFORMS (Continued)

MODE 2 (BIDIRECTIONAL)

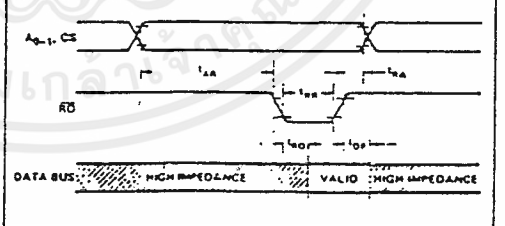


NOTE: Any sequence where $\overline{WR}$ occurs before $\overline{ACK}$ and $\overline{STB}$ occurs before $\overline{RD}$ is permissible.
(INTR = IBF • $\overline{MASK}$ • $\overline{STB}$ • $\overline{RD}$ + $\overline{OBF}$ • $\overline{MASK}$ • $\overline{ACK}$ • $\overline{WR}$)

WRITE TIMING



READ TIMING



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. หนังสือรวมโครงงานอิเล็กทรอนิกส์ "โลกอิเล็กทรอนิกส์" บริษัทอิเล็กทรอนิกส์เวิร์ล จำกัด หน้า 137--145 ปี พ.ศ 2527
2. "อิเล็กทรอนิกส์พื้นฐาน"ดร.มงกล เดชนครินทร์ และ ดร.ชาตรี ศรีไพวรรณ จุฬาลงกรณ์มหาวิทยาลัย พ.ศ. 2533
3. "โทรศัพท์เบื้องต้น" องค์การโทรศัพท์แห่งประเทศไทย พ.ศ. 2518
4. "วงจรเครื่องตอบรับโทรศัพท์ระบบซิงเกิ้ลไลน์" สถาบันอิเล็กทรอนิกส์กรุงเทพรังสิต หน้า 47 ปี พ.ศ. 2534
5. " การประยุกต์ใช้งานไมโครคอนโทรลเลอร์ ตระกูล MCS-51 " ผศ. สมชศ จุณณะปิยะ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง พ.ศ. 2537
6. "ไมโครโปรเซสเซอร์ ทฤษฎีและการประยุกต์ใช้งาน"ชาร์ล เอ็ม กิลมอร์ เรียบเรียงโดย พันจันทร์ ธนะวัฒนเสถียร และ คงสวัสดิ์ ลอรัตนเรืองกิต บริษัทซีเอ็ดยูเคชั่น จำกัด (มหาชน) พ.ศ.2537

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอขอบคุณท่านอาจารย์สุรพล บุญจันทร์ที่เอื้อเฟื้อให้คำปรึกษาและขอขอบคุณเพื่อนๆที่ให้กำลังใจให้คำแนะนำเกี่ยวกับปัญหาต่างๆระหว่างการทำงานนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้