การออกแบบวงจรซีมอสทรานซีฟเวอร์สำหรับการสื่อสารแบบอนุกรมระหว่างชิป

A Design of CMOS Transceiver for Chip-to-Chip Serial Link

นายนภาดล คำแหงพล 62010461

Napadon Khamhangpon 62010461

พีรปกรณ์ พรพิกุล 62010649

Peerapakorn Phornphikun 62010649

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2565

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรซีมอสทรานซีฟเวอร์สำหรับการสื่อสารแบบอนุกรมระหว่างชิป

A Design of CMOS Transceiver for Chip-to-Chip Serial Link

โดย

นายนภาดล คำแหงพล 62010461

พีรปกรณ์ พรพิกุล 62010649

อาจารย์ที่ปรึกษา

ผู้ช่วยศาสตราจารย์.ดร.กสิน วิเชียรชม

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2565

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2565

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะ วิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบวงจรซีมอสทรานซีฟเวอร์สำหรับการสื่อสารแบบอนุกรมระหว่างชิป

A Design of CMOS Transceiver for Chip-to-Chip Serial Link

ผู้จัดทำ นายนภาดล คำแหงพล รหัสประจำตัว 62010461
นายพีรปกรณ์ พรพิกุล รหัสประจำตัว 62010649

ปริญญานิพนธ์นี้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

(ผู้ช่วยศาสตราจารย์.ดร.กสิน วิเชียรชม)
อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อโครงงาน	การออกแบบวงจรซีมอสทรานซีฟเวอร์สำหรับการสื่อสารแบบอนุกรมระหว่างชิป		
นักศึกษา	นายนภาดล	คำแหงพล	รหัสประจำตัว 62010461
	นายพีรปกรณ์	พรพิกุล	รหัสประจำตัว 62010649
ปริญญา	วิศวกรรมศาสตรบัณฑิต		
ภาควิชา	วิศวกรรมอิเล็กทรอนิกส์		
ปีการศึกษา	2565		
อาจารย์ที่ปรึกษาโครงการ	ผู้ช่วยศาสตราจารย์ ดร.กสิน วิเชียรชม		

บทคัดย่อ

รายงานฉบับนี้อธิบายถึง การออกแบบและจำลองการทำงานของ วงจรทรานซีฟเวอร์ สำหรับการส่งข้อมูลแบบอนุกรม ระหว่างวงจรรวมสองวงจร ที่อยู่บนแผงวงจรเดียวกัน หรือ ระหว่างวงจรรวมที่อยู่ต่างแผงวงจร แต่เชื่อมต่อด้วยสายโคแอคเชียล ในการออกแบบนี้ใช้การส่งข้อมูลแบบพัลวิดธ์มอดดูเลชัน (PWM) โดยแปลงข้อมูลอนุกรมแบบ NRZ จำนวน 2 บิต เป็นสัญลักษณ์ 4 แบบ ที่มีการเปลี่ยนความกว้างพัลซ์ตามข้อมูล แต่ยังคงคาบเวลาและตำแหน่งขอบขาขึ้นของสัญญาณ PWM เช่นเดียวกับสัญญาณนาฬิกาที่ใช้ในการส่ง ดังนั้นนอกจากจะทำให้อัตราการส่งข้อมูลเพิ่มเป็นสองเท่าแล้ว การส่งแบบ PWM ยังทำให้ภาครับสามารถใช้ขอบขาขึ้น เป็นสิ่งอ้างอิงในการเข้าจังหวะและกู้ข้อมูลได้ทันที

ภาคส่งของวงจรประกอบด้วย วงจรเฟสล็อคลูป วงจรแปลงอนุกรมเป็นขนาน วงจรมอดดูเลเตอร์แบบ PWM และวงจรขับสัญญาณ เมื่อวงจรเฟสล็อคลูป ล็อคเข้ากับสัญญาณนาฬิกาของระบบ เฟสต่างๆของสัญญาณนาฬิกาที่ผลิตจากวงจรริงออสซิเลเตอร์ภายในวงจรเฟสล็อกลูป จะถูกนำมาใช้ควบคุมการทำงานของวงจรแปลงอนุกรมเป็นขนาน และวงจรพัลซ์วิดธ์มอดูเลเตอร์เพื่อสร้างสัญญานแบบ PWM และส่งไปยังวงจรขับภาคเอาท์พุทแบบดิฟเฟอร์เรนเชียล ที่เชื่อมต่อกับช่องสัญญาณ แบบลายทองแดง หรือสายเคเบิล ไปสู่ภาครับ

ส่วนแรกของภาครับ เป็นวงจรขยายแบบดิฟเฟอร์เรนเชียล ที่ขยายและแปลงสัญญาณ PWM เป็นแบบซิงเกิลเอนด์ แล้วส่งไปยังวงจรเฟสล็อคลูป เพื่อล็อคกับสัญญาณนาฬิกาของภาครับ จากนั้นวงจรดีมอดูเลเตอร์ และวงจรแปลงขนานเป็นอนุกรม ซึ่งถูกควบคุมการทำงานด้วยเฟสต่างๆของสัญญาณนาฬิกา จะทำหน้าที่แปลงสัญญาณ PWM เป็น ข้อมูลแบบ NRZ เพื่อใช้ในระบบต่อไป

วงจรทรานซีฟเวอร์ได้ถูกออกแบบและจำลองการทำงาน โดยใช้พารามิเตอร์ของ เทคโนโลยีซีมอสขนาด 90 nm ผลการจำลองการทำงานแสดงให้เห็นว่า วงจรมีอัตราการส่งข้อมูลสูงสุดที่ 2 Gbps โดยเกิด peak-to-peak jitter ที่สัญญาณ PWM และที่สัญญาณนาฬิกาของภาครับ เท่ากับ 51 ps และ 10 ps วงจรภาคส่งและภาครับ มีอัตราการสิ้นเปลืองกำลังงาน 17.8 mW และ 18 mW ตามลำดับ เลย์เอาท์ของวงจร PWM Modulator และ PWM Demodulator มีขนาดประมาณ 470 μm^2 และ 270 μm^2 ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Project Title	A Design of CMOS Transceiver for Chip-to-Chip Serial Link
Student	Mr. Napadon Khamhangpon Student ID 62010461
	Mr. Peerapakorn Phornphikul Student ID 62010649
Degree	Bachelor of Engineering
Program	Electronics Engineering
Year	2022
Project Advisor	Assistant Prof. Kasin Vichienchom, Ph.D

ABSTRACT

This report describes the design and simulation of a chip-to-chip serial transceiver. The transceiver is designed for transferring data between two chips connecting through a copper trace on the same PCB/backplane or through a coaxial cable between two PCBs/backplanes. In this design a pulse-width modulation technique is employed. The transmitter circuit encodes 2-bit non-return to zero (NRZ) data in to one of four pulse-width modulated symbols. Each symbol maintains the same clock period while varying its pulse width. As a result, not only its data rate is two times faster than NRZ, the rising edge of each symbol is also the rising of the transmission clock which can be simply used for synchronization by the receiver.

The transmitter is composed of a PLL, a parallelizer, a PWM modulator and a driver circuit. The PLL is locked to the system clock. Multiple clock phases are tapped from the PLL's ring oscillator to precisely control the parallelizer circuit and the pulse-width modulator circuit to convert a 2-bit NRZ data into a PWM symbol. The PWM signal is then driven by the differential mode driver circuit to the channel. The receiver performs the opposite procedure. The incoming differential PWM signal is first amplified and converted to a single ended signal by the receiver front-end amplifier. The receiver PLL is then locked to the rising edge of the PWM signal. Finally, the PWM demodulator and the serializer convert the PWM signal to NRZ data.

The transceiver was designed and simulated using the 90 nm CMOS technology parameters. The simulation results showed that it can achieve data rate up to 2 Gbps. The peak-to-peak jitter of the transmitted PWM is 51 ps while the receiver clock jitter is 10 ps. Power consumption of the transmitter and the receiver are 17.8 mW and 18 mW respectively. Chip layout transmitter and the receiver are 470 μm^2 and 270 μm^2 respectively.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สามารถดำเนินงานลุล่วงไปได้ด้วยดี โดยได้รับความอนุเคราะห์จากอาจารย์ที่ปรึกษาสำหรับความรู้ คำแนะนำ แนวคิดต่างๆ ที่นำมาใช้ในการออกแบบวงจรนี้ ทำให้ผมได้ศึกษาและฝึกฝนการใช้โปรแกรม Cadence, Matlab และ โปรแกรม Visio เพื่อออกแบบและเขียนแบบวงจร นอกจากนี้ยังได้รับการสนับสนุนจากอาจารย์ทุกท่านในภาควิชาอิเล็กทรอนิกส์ รวมถึงตึกภาควิชาอิเล็กทรอนิกส์ ที่เป็นสถานที่ทำงานให้เสร็จลุล่วงไปได้ด้วยดี และขอบคุณคุณพ่อ คุณแม่ ที่เป็นผู้ผลักดันทางด้านจิตใจในการทำโครงงานครั้งนี้จึงใคร่ขอขอบคุณพระคุณผู้มีอุปการคุณทุกท่านมา ณ ที่นี้

นภาดล คำแหงพล

พีรปกรณ์ พรพิกุล

ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ I
บทคัดย่อ(ภาษาอังกฤษ) II
กิตติกรรมประกาศ III
สารบัญ III
สารบัญตาราง VIII
สารบัญรูป IIIX
บทที่ 1 บทนำ 1
1.1 ที่มาและความสำคัญของโครงงาน 1
1.2 วัตถุประสงค์ของโครงงาน 1
1.3 สมมุติฐานของการศึกษา 2
1.4 ขอบเขตในการจัดทำโครงงาน 2
1.5 ประโยชน์ที่คาดว่าจะได้รับ 2
บทที่ 2 หลักการและทฤษฎีเบื้องต้น 3
2.1 ระบบการสื่อสาร 3
2.2 การส่งข้อมูลแบบดิจิตอล 4
2.2.1 รูปแบบของสัญญาณ 4
2.2.2 การสอดแทรกระหว่างสัญลักษณ์ (Inter-Symbol Interference; ISI) 5
2.2.3 รูปแบบและข้อตกลงในการสื่อสารระหว่างระบบ (Protocol) 6
2.3 ช่องการสื่อสาร (Channel) 7
2.3.1 พารามิเตอร์ของสายส่ง (Transmission line parameters) 7
2.3.2 อิมพีแดนซ์คุณลักษณะ (Characteristic impedance) 9
2.3.3 ค่าคงที่การแพร่กระจาย (Propagation constants) 10
2.3.4 สายส่งในอุดมคติ (Ideal transmission line) 11
2.3.5 พารามิเตอร์ในสายส่งในลักษณะของสายส่ง 11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

2.4 เฟสล็อคลูป 12
2.4.1 วงจรออสซิเลเตอร์ 13
2.4.2 Voltage-Controlled Oscillators 18
2.4.3 วงจรตรวจจับเฟส (Phase Detector) 20
2.4.4 Charge Pump PLLs 31
2.4.5 ผลกระทบจากความไม่เป็นอุดมคติในเฟสล็อคลูป 43
2.4.6 การประยุกต์ใช้งาน PLLs 50
2.6 วงจรสร้างแรงดันอ้างอิงแบนด์แกบ [5] 53
2.6.1 วงจรอ้างอิงแบนด์แกบที่ทำงานที่แรงดันไฟเลี้ยงต่ำ 56
2.7 วงจรขยายพื้นฐาน 58
2.7.1 วงจรขยายผลต่าง (Differential amplifier) 58
2.7.2 วงจรขยายแบบคอมมอนซอร์ส (Common Source Amplifier) 59
2.8 การออกแบบวงจรเพื่อการทดสอบวงจร 60
บทที่ 3 การออกแบบ 63
3.1 การออกแบบวงจร 63
3.1.1 การออกแบบวงจรดิจิตอลพื้นฐาน 64
3.2 วงจรเฟสล็อคลูป (Phase Lock Loop :PLL) 64
3.2.1 VCO 65
3.2.2 Phase Frequency Detector 72
3.2.3 Charge pump [6] 73
3.2.4 Loop Filter 74
3.2.5 active loop filter 75
3.3 วงจรภาคส่ง (Transmitter) 76
3.3.1 Parallelizer 76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

3.3.2 PWM Modulator 77
3.4 วงจรภาครับ (Receiver) 79
3.4.1 PWM demodulator 79
3.4.2 Serializer 81
3.5 วงจรอินเตอร์เฟสทรานซีฟเวอร์ 84
3.5.1 Interface TX 84
3.5.2 Comparator 85
3.5.3 Interface RX 86
3.6 ช่องสัญญาณ (Channel) 87
3.7 วงจรแรงดันอ้างอิงและกระแสอ้างอิง 87
3.7.1 วงจรแรงดันอ้างอิง 87
3.7.2 วงจรกระแสอ้างอิง 89
3.8 การออกแบบวงจรเพื่อการทดสอบวงจร 91
3.9 Layout วงจรทรานซีฟเวอร์ 92
บทที่ 4 การทดลองและผลการทดลอง 93
4.1 พารามิเตอร์เทคโนโลยี 90 nm 93
4.1.1 พารามิเตอร์ของ NMOS และ PMOS 93
4.1.2 พารามิเตอร์ของวงจร CMOS 95
4.2 คุณสมบัติของ Phase Lock Loop 96
4.2.1 คุณสมบัติของ Phase-Frequency Detector และ Charge Pump 96
4.2.2 คุณสมบัติของ Oscillator 97
4.3 คุณสมบัติของวงจรภาคส่ง 98
4.4 คุณสมบัติของวงจรภาครับ 99
4.5 คุณสมบัติของ transceiver 101

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

4.6 คุณสมบัติของวงจรอ้างอิงแบนด์แกบและวงจรอ้างอิงกระแส 101
4.7 การออกแบบวงจรเพื่อการทดสอบวงจร 102
บทที่ 5 สรุปผลการทดลองและข้อเสนอแนะ 104
5.1 สรุปผลการทดลอง 104
5.2 ข้อเสนอแนะ 104
บรรณานุกรม 105

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

2.1 พหุนามปฐมฐานกับจำนวน N = 2-74 บิต 62

3.1 ตาราง truth table ของวงจร Control Phase Selector 78

3.2 ตาราง truth table ของวงจร Edge Detector 80

3.3 ตาราง truth table ของวงจร Demodulator ส่วน XOR 81

3.4 ตาราง truth table ของวงจร Demodulator ส่วน NOR 81

4.1 ตารางสรุปผลการทดลอง Characteristic ของ MOSFET 90 nm 95

4.2 ตารางสรุปผลการทดลองวัดวงจร Combination 96

4.3 ตารางสรุปผลการทดลองวัดวงจร Sequential 96

4.4 สรุปผลการทดลองระบบส่งข้อมูลของทรานซีฟเวอร์ 103

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

2.1 แบบจำลองระบบสื่อสาร 3
2.2 รูปแบบของสัญญาณ 4
2.3 ตัวอย่างของกราฟ Eye Diagram 5
2.4 การสื่อสารแบบขนาน (Parallel Communication) 6
2.5 การสื่อสารแบบอนุกรม (Serial Communication) 7
2.6 ความยาวของสายส่งหนึ่งส่วนที่มีความยาว Δz มีค่าน้อยมาก 9
2.7 วงจรสมมูลสำหรับความยาวของสายส่งหนึ่งส่วน 9
2.8 บล็อกไดอะแกรมของเฟสล็อคลูป 12
2.9 ระบบป้อนกลับแบบลบ 13
2.10 การออสซิเลสตามเวลา 13
2.11 ริงออสซิเลเตอร์แบบสามสเตจ 14
2.12 รูปสัญญาณของทั้งสามสเตจในริงออสซิเลเตอร์ 15
2.13 โมเดลของสามสเตจริงออสซิเลเตอร์ 15
2.14 โพลของสามสเตจริงออสซิเลเตอร์ในอัตราขยายค่าต่างๆ 16
2.15 วงจรริงออสซิเลเตอร์แบบใช้ CMOS inverters 17
2.16 สัญญาณคลื่นของริงออสซิลเลเตอร์ เมื่อโหนดหนึ่งเริ่มต้นที่ VDD 17
2.17 ความและสัมพันธ์ระหว่าง $\omega 0$ และ Vcont 18
2.18 VCO แบบไม่เป็นเชิงเส้น 19
2.19 ตัวตรวจจับเฟส 20
2.20 XOR ที่ใช้เป็นตัวตรวจจับเฟส 20
2.21 (ก) สัญญาณทั้งสองที่เหลื่อมกัน (ข) การเปลี่ยนVCOเพื่อลดการเหลื่อมกันของสองสัญญาณ 21
2.22 (ก) ลูปป้อนกลับเปรียบเทียบเฟสอินพุตและเอาต์พุต (ข) พื้นฐานของเฟสล็อคลูป 21
2.23 (ก) คลื่นในเฟสล็อคลูปในสภาวะล็อคเฟส (ข)คำนวณความผิดพลาดของเฟส 22
2.24 ผลตอบสนองของเฟสล็อคลูปกับเฟสสเตป 24
2.25 ผลตอบสนองของเฟสล็อคลูปกับความถี่สเตปอินพุตขนาดเล็ก 25
2.26 ตัวอย่างผลตอบสนองของเฟสสเตป 25
2.27 โมเดลของ PLL type I 26
2.28 ผลตอบสนองแบบ Underdamped ของเฟสล็อคลูปกับสเตปความถี่ 29
2.29 ผลตอบสนอง Underdamped ของระบบ 2nd order ที่ค่าต่างๆ ของ Damping factor 29
2.30 Bode plot ของ PLL type I 30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

2.31 Root Locus ของ PLL type I 31
2.32 การเพิ่มการตรวจจับความถี่ในระบบ 32
2.33 แนวคิดของ PFD 32
2.34 (ก) การทำงานของ PFD (ข) การใช้งาน D flipflop 33
2.35 ลักษณะอินพุตและเอาต์พุตของ PFD 34
2.36 PFD ตามด้วยตัวกรองความถี่ต่ำ 34
2.37 PFD ที่ต่อกับ CP 35
2.38 charge-pump PLL 35
2.39 (ก) การทดสอบความเป็นเชิงเส้นของ PFD/CP/LPF (ข) การประมาณ ramp ของการตอบสนอง 37
2.40 การตอบสนองของสเตปของ PFD/CP/LPF 37
2.41 โมเดลของชาร์จปั๊มPLL 38
2.42 (ก) ลักษณะการอัตราขยายลูปของ PLL ชาร์จปั๊ม (ข) การเพิ่มซีโร่ 38
2.43 การเพิ่มซีโร่ของชาร์จปั๊ม PLL 39
2.44 การลดลงของเสถียรภาพชาร์จปั๊ม PLL เมื่อ I_PK_{VCO} ลดลง 40
2.45 Root locus ของ PLL type II 40
2.46 การเพิ่ม C_2 เพื่อลดการเพื่อมของแรงดันที่ไปควบคุม VCO 41
2.47 ตัวเก็บประจุตัวกรองลูปแบบแอคทีฟเพื่อใช้ตัวเก็บประจุค่าขนาดใหญ่บนชิป 41
2.48 พัลส์ที่เกิดขึ้นโดย PFD ที่ไม่มีความต่างของเฟส 44
2.49 เอาต์พุตของ PD ที่ (ก) ความต่างเฟสอินพุตเป็นศูนย์และ(ข) อินพุตขนาดเล็กความต่างเฟส 44
2.50 Dead zone ในชาร์จปั๊ม 44
2.51 Jitter ที่เกิดจาก Dead zone 45
2.52 การตอบสนองของ PD ต่อความต่างเฟสอินพุตเล็กๆ 45
2.53 (ก) การติดตั้งปั๊มชาร์จ (ข)ผลของความเหลื่อมระหว่าง Q_A และ Q_B
(ค) การกำจัดของเหลื่อมด้วย Transmittion gate 46
2.54 ผลของกระแส UP และ DOWN ที่ไม่เท่ากัน 46
2.55 Charge sharing ระหว่าง C_P และตัวเก็บประจุ C_X กับ C_Y 47
2.56 Bootstrapping X และ Y เพื่อลด Charge sharing 47
2.57 Jitter ในอุดมคติ 48
2.58 Jitter ช้าและ Jitter ที่เร็ว 48
2.59 ผลกระทบของ VCO Jitter 49
2.60 ฟังก์ชันการถ่ายโอนของ Jitter จากอินพุตและเอาต์พุตของ VCO 49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า
2.61 (ก) การขยายแรงดันและ (ข) การคูณความถี่ ... 50
2.62 วงจรเสมือนของการรวม VCO กับวงจรหาร ... 51
2.63 การสังเคราะห์ความถี่ ... 52
2.64 การสลูวซ์ของข้อมูลและ CLK ... 52
2.65 ใช้ PLL ลดอัตราสลูวซ์ ... 52
2.66 (ก) การกู้คืนข้อมูลด้วย D flipflop ที่ขับด้วยสัญญาณนาฬิกาที่มีสัญญาณรบกวนต่ำ ... 53
2.67 หลักการของวงจรสร้างแรงดันอ้างอิงแบนด์แกบ ... 54
2.68 วงจรอ้างอิงแบนด์แกบที่สามารถทำงานที่แรงดันไฟเลี้ยงต่ำกว่า 1V ... 56
2.69 วงจรสร้างกระแสและแรงดันไบอัสโดยใช้วงจรอ้างอิงแบนด์แกบ ... 57
2.70 วงจรขยายผลต่าง (Differential Amplifier) ... 59
2.71 กราฟความสัมพันธ์ระหว่าง V_{IN} และ V_{OUT} ของวงจร Common Source Amplifier ... 59
2.72 Small signal model ของวงจร Common Source Amplifier ... 60
2.73 วงจร LFSR แบบ Standard LFSR ... 61
2.74 วงจร LFSR แบบ Modular LFSR ... 61
3.1 บล็อกไดอะแกรมของทรานซีฟเวอร์ ... 63
3.2 วัดอัตราส่วน PMOS ต่อ NMOS ... 64
3.3 การตอบสนองของสเตปของสมการ PLL ... 65
3.4 Delay Stage of Ring Oscillator ... 65
3.5 Differential Amplifier ... 68
3.6 วงจร Replica bias ... 69
3.7 Differential amplifier ... 70
3.8 Differential to Single ended ... 71
3.9 วงจร Phase Frequency Detector ... 72
3.10 วงจร Charge Pump ... 73
3.11 Loop filter ... 74
3.12 Active Loop Filter ... 75
3.13 ตัวอย่าง Symbol ของ Transmitter ... 76
3.14 (ก) วงจร Parallelizer (ข) Timing Diagram วงจร Parallelizer [7] ... 76
3.15 บล็อกไดอะแกรมของวงจร PWM Modulator [7] ... 77
3.16 (ก) วงจร Phase Selector 1 (ข) วงจร Phase Selector 2 [7] ... 77
3.17 วงจร Control Phase Selector ... 78

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

3.18 (ก) วงจร Phase Detector base on SR Latch 79
3.19 วงจร Demodulator 79
3.20 วงจร Edge Detector 80
3.21 วงจร Demodulator ส่วน XOR 80
3.22 วงจร Demodulator ส่วน NOR 81
3.23 วงจร MUX2:1 81
3.24 การทำงานของวงจร MUX2:1 P1 = LOW 82
3.25 การทำงานของวงจร MUX2:1 P1= HIGH 82
3.26 วงจร Phase Detector 83
3.27 การทำงานของ Phase Detector 83
3.28 วงจรอินเตอร์เฟสของภาคส่ง 84
3.29 วงจร Comparator 85
3.30 วงจรอินเตอร์เฟสของภาครับ 86
3.31 วงจรเสมือนของสายสัญญาณ 87
3.32 วงจรแรงดันอ้างอิงแบนด์แกบ 87
3.33 วงจรกระแสอ้างอิง 89
3.34 วงจร LFSR สำหรับสร้างชุดข้อมูล 91
3.35 วงจร LFSR สำหรับ Compactor 91
3.36 Layout ของวงจร PWM Modulator 92
3.37 Layout ของวงจร PWM Demodulator 92
4.1 วงจรวัดค่าพารามิเตอร์ของ NMOS 93
4.2 V_{TH} ของ NMOS 93
4.3 กราฟ I-V ของ NMOS 94
4.4 ค่า λn lambda 94
4.5 Switching Point และอัตราส่วนของ PMOS/NMOS 95
4.6 Dead Zone ของ Phase Frquency Detector 96
4.7 กราฟแสดงความสัมพันธ์ระหว่างความถี่เอาต์พุตของ VCO แบบ maneatis และแรงดันอินพุต 97
4.8 กราฟแสดงความสัมพันธ์ระหว่างการใช้กำลังงานของ VCO และแรงดันอินพุต 97
4.9 PLL Output jitter 98
4.10 การจำลองการทำงานของวงจรภาคส่ง 98
4.11 Transmitter Output Jitter 99

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

4.12 การจำลองการทำงานของวงจรภาครับ 99
4.13 PLL Output jitter 100
4.14 Clock Output jitter 100
4.15 กราฟความสัมพันธ์การแปรผันอุณหภูมิของวงจรอ้างอิงแบนด์แกบ 101
4.16 กราฟความสัมพันธ์การแปรผันอุณหภูมิของวงจรอ้างอิงกระแส 102
4.17 การจำลองการทำงานการทดสอบวงจร 102

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ที่มาและความสำคัญของโครงงาน

วงจรรวม(Integrated Circuits, IC) หรือที่นิยมเรียกว่า ไอซี เป็นวงจรอิเล็กทรอนิกส์ชนิดหนึ่งที่มีความสำคัญอย่างมากใน การออกแบบระบบอิเล็กทรอนิกส์และคอมพิวเตอร์ ซึ่งช่วยให้ความเป็นอยู่ในชีวิตประจำวันของมนุษย์ มีความสะดวกสบายมากขึ้น การทำงานร่วมกันของไอซี ต้องมีการรับส่งข้อมูลระหว่างไอซี ซึ่งแต่เดิมใช้การรับส่งแบบขนาน แต่เนื่องจากการรับส่งแบบขนานจำเป็นต้องใช้จำนวนขาของไอซีซึ่งมีอยู่จำกัด เป็นจำนวนมาก และยังเพิ่มจำนวนลายเส้น (Trace) บนแผงวงจร (Printed-Circuit Board) ทำให้ต้องใช้ขนาดแผงวงจรที่ใหญ่ขึ้น ด้วยเหตุนี้จึงได้มีการพัฒนาการรับส่งข้อมูลแบบอนุกรมความเร็วสูง (High-speed Serial Link) ที่สามารถถ่ายโอนข้อมูลได้ในปริมาณเท่ากันแต่ใช้จำนวนขาของไอซีน้อยกว่า นอกจากนี้ หากเป็นการรับส่งข้อมูลระหว่างแผงวงจรด้วยสายเคเบิล เพื่อลดจำนวนสายเคเบิล จะนิยมส่งเพียงแค่สัญญาณที่จำเป็นเท่านั้น เช่น สัญญาณข้อมูล และ กราวด์ (GND)

รูปแบบของการรับส่งแบบอนุกรมที่นิยมกันมาก ได้แก่ การส่งข้อมูลแบบ Non-Return to Zero หรือ NRZ การส่งข้อมูลแบบ Pulse Amplitude Modulation หรือ PAM ตัวอย่างเช่น การส่งข้อมูลตามมาตรฐาน PCIe ที่ใช้กับบอร์ดคอมพิวเตอร์ทั่วไป อย่างไรก็ตามเนื่องจากวิธีการส่งเหล่านี้ ไม่ได้ส่งสัญญาณนาฬิกาแยกต่างหาก ทำให้ภาครับต้องสามารถกู้สัญญาณนาฬิกาจากสัญญาณข้อมูล ทำให้การออกแบบวงจรภาครับยุ่งยากและซับซ้อน ในโครงงานนี้เราได้เสนอการส่งข้อมูลแบบอนุกรมที่ใช้เทคนิคของการมอดูเลทความกว้างพัลซ์ (Pulse Width Modulation) หรือ PWM ซึ่งเป็นการส่งสัญลักษณ์ที่แทนจำนวนข้อมูลมากกว่า 1 บิต เช่นเดียวกับ PAM จึงได้เปรียบการส่งแบบ NRZ แต่ในเวลาเดียวกันกับขอบขาขึ้นของสัญลักษณ์ PWM ยังทำหน้าที่แทนขอบขาขึ้นของสัญญาณนาฬิกา ทำให้วงจรภาครับออกแบบได้ง่ายกว่าการส่งแบบ NRZ และ PAM เพราะไม่ต้องกู้สัญญาณนาฬิกา

1.2 วัตถุประสงค์ของโครงงาน

1.2.1 เพื่อศึกษาพื้นฐานของทรานซีฟเวอร์สำหรับการสื่อสารแบบอนุกรมระหว่างชิป

1.2.2 เพื่อศึกษาไดอะแกรมพื้นฐานของวงจรที่ใช้ในทรานซีฟเวอร์

1.2.3 เพื่อศึกษาและออกแบบคุณสมบัติเฉพาะของวงจรที่ใช้ออกแบบวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 สมมุติฐานของการศึกษา

วงจรทรานซีฟเวอร์สำหรับการสื่อสารแบบอนุกรมระหว่างชิปที่ภาคส่งมอดูเลตส่งสัญญาณพัลส์วิทด์ไปยังส่วนภาครับและดีมอดูเลตสัญญาณที่เข้ามาให้ข้อมูลที่ถูกต้องสามารถทำงานในหน่วยของหลักร้อยเมกะเฮิรตซ์วงจรที่ออกแบบและปรับคุณสมบัติให้สามารถทำงานในวงจรรวมทรานซีฟเวอร์สำหรับการสื่อสารแบบอนุกรมระหว่างชิป

1.4 ขอบเขตในการจัดทำโครงงาน

1.4.1 ศึกษาเฟสล็อคลูปสำหรับการสื่อสารและการประยุกต์ใช้ในวงจรทรานซีฟเวอร์สำหรับสื่อสาร

1.4.2 อธิบายเสถียรภาพของเฟสล็อคลูปที่นำมาใช้งานได้

1.5 ประโยชน์ที่คาดว่าจะได้รับ

1.5.1 เข้าใจและออกแบบวงจรพื้นฐานของทรานซีฟเวอร์สำหรับการสื่อสารแบบอนุกรมระหว่างชิป

1.5.2 สามารถอธิบายไดอะแกรมพื้นฐานของวงจรส่วนต่างๆ ที่ใช้ในทรานซีฟเวอร์

1.5.3 เลือกใช้และปรับคุณสมบัติเฉพาะของวงจรที่ใช้ออกแบบวงจร

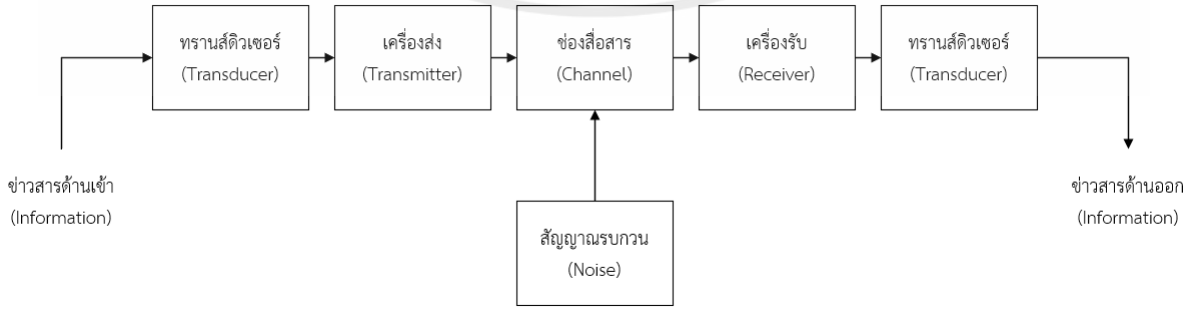
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการและทฤษฎีเบื้องต้น

2.1 ระบบการสื่อสาร

ในปัจจุบันระบบสื่อสารมีความสำคัญต่อการดำรงชีวิตของมนุษย์ในทุกด้าน ตั้งแต่สังคม การทำงาน การติดต่อธุรกิจ รวมไปถึงการส่งผ่านข่าวสาร หากย้อนกลับไปในอดีต จะพบว่าการสื่อสารของมนุษย์มีมาช้านาน แต่พัฒนาไปอย่างเชื่องช้าจนกระทั่งมนุษย์เริ่มค้นพบไฟฟ้าในช่วงศตวรรษที่ผ่านมา วิวัฒนาการของเทคโนโลยีการสื่อสารจึงมีความก้าวหน้าไปอย่างรวดเร็ว การสื่อสารของมนุษย์ก็ได้เปลี่ยนแปลงไปอย่างสิ้นเชิง

โครงสร้างของระบบการสื่อสาร โดยทั่วไปเราสามารถแสดงแบบจำลองของระบบสื่อสารในรูปของแผนภาพบล็อกได้ดังในรูปที่ 2.1 พิจารณาเริ่มจากทางด้านซ้ายมือ ข่าวสารด้านเข้าที่ป้อนเข้าสู่ระบบมีลักษณะได้หลากหลายรูปแบบ ทั้งที่เป็นสัญญาณแอนะล็อกหรือดิจิทัล เช่น เสียง ดนตรี ความดัน อุณหภูมิ ภาพ ข้อความ ตัวอักษร สัญญาณเหล่านี้จะถูกแปลงให้อยู่ในรูปสัญญาณที่เหมาะสมในการส่งผ่านระบบสื่อสารโดยอาศัยอุปกรณ์ที่เรียกว่าทรานส์ดิวเซอร์ (Transducer) ยกตัวอย่างเช่น ในระบบโทรศัพท์ สัญญาณเสียงจะถูกแปลงให้อยู่ในรูปของสัญญาณไฟฟ้าโดยใช้ไมโครโฟน ส่วนถัดมาของแบบจำลองระบบสื่อสารคือเครื่องส่ง (Transmitter) อุปกรณ์ส่วนนี้มีหน้าที่ในการแปลงสัญญาณที่ออกจากทรานส์ดิวเซอร์ให้อยู่ในรูปที่เหมาะสมกับช่องสื่อสารที่จะส่งออก กระบวนการที่ใช้ในการแปลงสัญญาณนี้โดยทั่วไปเรียกว่า การมอดูเลต (Modulation) การมอดูเลตสัญญาณมีได้หลายรูปแบบเช่น การมอดูเลตเชิงแอมพลิจูด การมอดูเลตเชิงความถี่ และการมอดูเลตเชิงเฟส ในอดีตการมอดูเลตสัญญาณจะเป็นเทคโนโลยีอนาล็อกแทบทั้งหมด แต่ในปัจจุบันเทคโนโลยีการสื่อสารได้เปลี่ยนแปลงไปสู่ยุคดิจิทัลเนื่องจากการส่งข้อมูลแบบดิจิตอลสามารถทนต่อสัญญาณรบกวนได้มากกว่าสัญญาณแบบอนาล็อก และมีอัตราความเร็วในการส่งข้อมูลสูง



รูปที่ 2.1 แบบจำลองระบบสื่อสาร

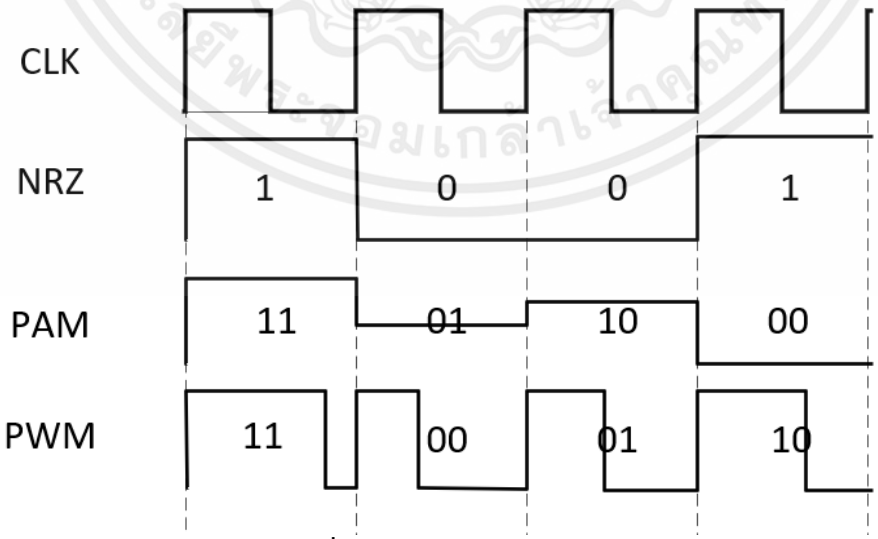
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนถัดมาของแบบจำลองคือ ช่องสื่อสาร (Channel) ในส่วนนี้ก็คือสื่อนำสัญญาณที่พาข่าวสารจากแหล่งกำเนิดไปสู่ปลายทางของภาครับ สื่อที่ใช้มีตั้งแต่แบบที่มีสายนำสัญญาณ เช่น สายใยแก้วนำแสง (Optical fiber) สายตีเกลียวคู่ (Twisted pair) สายโคแอกซ์ (Coaxial cable) ไปจนถึงการส่งสัญญาณประเภทไม่มีสายนำสัญญาณ แต่อาศัยการแพร่ของคลื่นแม่เหล็กไฟฟ้าออกจากสายอากาศไปในบรรยากาศ เช่น คลื่นวิทยุ AM หรือ FM (AM/FM Radio) คลื่นไมโครเวฟ (Microwave) การสื่อสารดาวเทียม และระบบอินฟราเรด (Infrared) ช่องสัญญาณส่วนใหญ่จะได้รับผลกระทบจากสัญญาณรบกวน และในสภาพที่สัญญาณรบกวนมีความรุนแรงมากอาจจะส่งผลให้ข่าวสารที่ส่งผ่านในช่องสัญญาณเกิดความผิดเพี้ยนไปจากเดิม เมื่อสัญญาณได้รับการส่งจนถึงจุดหมายปลายทาง สัญญาณเหล่านี้จะได้รับการแปลงกลับโดยเครื่องรับ (Receiver) กระบวนการแปลงสัญญาณในขั้นตอนนี้เรียกว่า กระบวนการดีมอดูเลต (Demodulation) จากนั้นสัญญาณที่ได้จะถูกแปลงกลับคืนให้กลายเป็นข่าวสารที่มีรูปแบบตามต้องการ โดยใช้อุปกรณ์ทรานส์ดิวเซอร์ ยกตัวอย่างเช่น ลำโพงซึ่งทำหน้าที่แปลงสัญญาณไฟฟ้าให้กลายเป็นสัญญาณเสียง [1]

2.2 การส่งข้อมูลแบบดิจิตอล

สัญญาณที่สื่อสารนั้น สามารถใช้ส่งเพื่อการสื่อสารได้โดยตรง โดยไม่จำเป็นต้องผ่านการมอดูเลต ซึ่งการส่งลักษณะนี้ ซึ่งมีความแตกต่างจากการส่งข้อมูลที่สัญญาณจะผ่านการมอดูเลต เพื่อให้มีความถี่หมาะสมกับช่องสัญญาณก่อน อย่างไรก็ตามการส่งในลักษณะนี้นั้นใช้ในการส่งสัญญาณผ่านสายเป็นหลักและระยะทางที่ใช้ส่งสัญญาณนั้นก็จำกัดด้วยเช่นกัน ในการส่งข้อมูลจะต้องมีการกำหนดรูปสัญญาณที่แตกต่างกัน เพื่อใช้แทนข้อมูลไบนารี 0 หรือ 1 สำหรับผ่านช่องของสัญญาณ

2.2.1 รูปแบบของสัญญาณ



รูปที่ 2.2 รูปแบบของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปแบบของสัญญาณมีหลายลักษณะ ในรายงานเล่มนี้ขอยกตัวอย่างที่แตกต่างกันทั้ง 3 รูปแบบ คือ

Non-Return-to-Zero (NRZ) หรือ Polar NRZ มี 2 ระดับสัญญาณคือ +V หรือ -V โวลต์ โดยที่บิต 1 แทนด้วยระดับแรงดันไฟฟ้า +V โวลต์ และบิต 0 แทนด้วยระดับแรงดันไฟฟ้า -V โวลต์ ตลอดคาบเวลาของแต่ละบิต

ต่อมาได้ถูกพัฒนาขึ้นให้มีการส่งข้อมูลดิจิทัลใช้การเข้ารหัสก่อนส่งข้อมูลดิจิทัล โดยการนำข้อมูลแบบไบนารีมาทำการมอดดูเลต นำข้อมูลไบนารีมาจัดกลุ่มให้เป็นสัญลักษณ์ (symbol) ที่ประกอบด้วยข้อมูล $n = \log_2(N)$ บิต และ N คือจำนวนสัญลักษณ์ทั้งหมดที่ใช้ในการส่งข้อมูล

Pulse Amplitude Modulation (PAM) คือการผสมบิตข้อมูลเข้ากับสัญญาณโดยแทนรูปแบบของบิตด้วยขนาดของสัญญาณพัลส์ (amplitude) ซึ่งการใช้ขนาดของพัลส์แทนรูปแบบของบิตทำให้สามารถส่งมูลได้มากกว่าครั้งละ 1 บิตในหนึ่งช่วงเวลา ทั่วไปการจัดระดับคือช่วงห่างของขนาดในแต่ละช่วงมีค่าเท่ากัน โดยความห่างของแต่ละช่วงเรียกว่า ความละเอียด (Resolution)

Pulse Width Modulation (PWM) คือการผสมบิตข้อมูลเข้ากับช่วงของคาบเวลาโดยแทนรูปแบบของบิตด้วยคาบเวลาที่แตกต่างกัน ซึ่งการใช้ความกว้างพัลส์แทนรูปแบบของบิตทำให้สามารถส่งมูลได้มากกว่าครั้งละ 1 บิตในหนึ่งช่วงเวลา

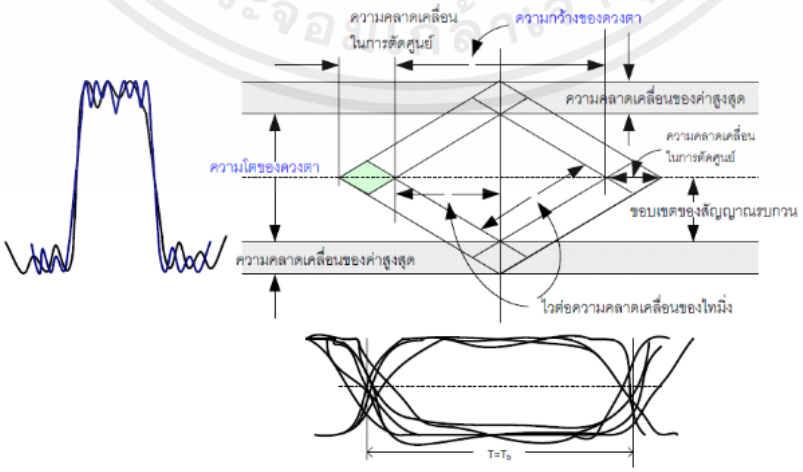
ข้อดีของการมอดดูเลตของข้อมูลแบบ PWM ทำให้ได้สัญญาณนาฬิกามาพร้อมกับข้อมูลสามารถทำวงจรกู้ข้อมูลและนาฬิกาได้ง่าย ด้วยความก้าวหน้าของเทคโนโลยีนั้น ทำให้ช่วงในการปรับของเวลามีความละเอียดมากขึ้น ทำได้แม่นยำมากขึ้น

การส่งข้อมูลหลังจากผ่านการมอดดูเลต มีทั้งข้อดีและข้อเสีย

ข้อดี สามารถช่วยลดแบนด์วิดท์ที่ต้องการใช้ส่งข้อมูล

ข้อเสีย ทำให้ระบบต้องมีวงจรเพิ่มเข้ามาใช้เข้ารหัสในภาคส่งและถอดรหัสในส่วนของภาครับจะมีความซับซ้อนมากขึ้น และสิ้นเปลืองพลังงานเพิ่มขึ้น

2.2.2 การสอดแทรกระหว่างสัญลักษณ์ (Inter-Symbol Interference; ISI)



รูปที่ 2.3 ตัวอย่างของกราฟ Eye Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

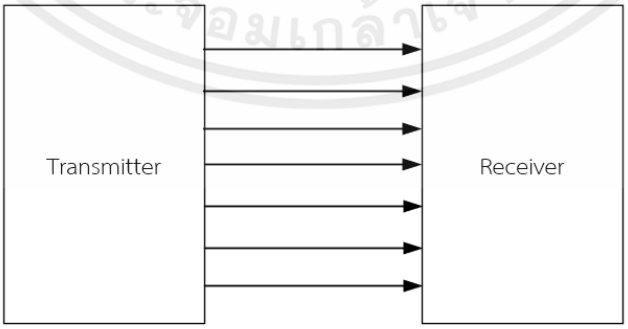
ในการส่งสัญญาณผ่านช่องสัญญาณที่มีแบนด์วิดท์จำกัด ส่งผลให้สัญญาณที่รับได้ ณ ภาครับปลายทางจะมีความผิดเพี้ยน เนื่องจากสัญญาณจะมีการแผ่ออกทางเวลา และเกิดการเกยทับกันกับข้อมูลบิตข้างเคียง ผลที่เกิดขึ้นนี้เรียกว่าการสอดแทรกระหว่างสัญลักษณ์ (ISI) สามารถแสดงผลของ ISI ด้วย Eye Diagram หากกราฟแสดงสัญญาณที่ดีมี ISI รวมถึงสัญญาณรบกวนน้อย กราฟ Eye Diagram เป็นแบบดวงตาโต จะบ่งบอกว่าสัญญาณมีการเปลี่ยนแปลงของขอบขาขึ้นลงเล็กน้อย มี ISI มาก กราฟ Eye Diagram เป็นแบบดวงตาแคบตาตี่ แสดงว่าสัญญาณมีความคลาดเคลื่อนของขอบขามากหรือขอบขาของสัญญาณไม่คงที่ ทั้งนี้หากทำการนำข้อมูลไปใช้ควรนำในช่วงของดวงตาเปิดก็จะได้สัญญาณที่ถูกต้อง

2.2.3 รูปแบบและข้อตกลงในการสื่อสารระหว่างระบบ (Protocol)

การสื่อสารระหว่างระบบสองระบบสามารถทำได้โดยการสื่อสารแบบอนาล็อกหรือแบบดิจิตอล แต่การสื่อสารแบบดิจิตอลเป็นที่นิยมมากกว่าในปัจจุบัน เนื่องจากสามารถทนต่อสัญญาณรบกวนได้มากกว่าสัญญาณแบบอนาล็อก การสื่อสารระหว่างระบบสองระบบ ทั้งสองระบบจำเป็นจะต้องเข้าใจวิธีการสื่อสารกัน ข้อกำหนดหรือข้อตกลงในการสื่อสารเรียกว่า โปรโตคอล (Protocol) เช่นเดียวกับคนเราที่ต้องมีภาษาพูดเพื่อให้สื่อสารเข้าใจกันได้ โปรโตคอลช่วยให้ระบบสองระบบที่แตกต่างกันสามารถสื่อสารกันอย่างเข้าใจได้

การสื่อสารแบบดิจิตอลนั้น สามารถแบ่งรูปแบบได้ 2 แบบ คือ การสื่อสารแบบขนานและการสื่อสารแบบอนุกรม ซึ่งแต่ละกลุ่มจะมีข้อดีและข้อเสียแตกต่างกันไป

2.2.2.1 การสื่อสารแบบขนาน (Parallel Communication) คือการส่งข้อมูลพร้อมกันทีละหลาย ๆ บิตในหนึ่งรอบสัญญาณนาฬิกา โดยการส่งจะรวมบิต 0 และ 1 หลาย ๆ บิตเข้าเป็นกลุ่มจำนวน n บิต ผู้ส่งส่งครั้งละ n บิต ผู้รับจะรับครั้งละ n บิตเช่นกัน ซึ่งจะคล้ายกับเวลาที่เราพูดคุยเราจะพูดเป็นคำ ๆ ไม่พูดทีละตัวอักษร กลไกการส่งข้อมูลแบบขนานใช้หลักการง่าย ๆ เมื่อส่งครั้งละ n บิต ต้องใช้สาย n เส้น แต่ละบิตมีสายของตนเอง ในการส่งแต่ละครั้งทุกเส้นต้องใช้สัญญาณนาฬิกาอันเดียวกัน ทำให้สามารถส่งออกไปยังอุปกรณ์อื่นพร้อมกันได้



รูปที่ 2.4 การสื่อสารแบบขนาน (Parallel Communication)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2.2 การสื่อสารแบบอนุกรม (Serial Communication) การสื่อสารแบบอนุกรมเป็นการรับส่งข้อมูลที่ละบิตแทนที่จะทำการรับส่งข้อมูลพร้อมกันทุกบิตในเวลาเดียวกัน ข้อดีของการสื่อสารแบบนี้คือใช้จำนวนสายในการสื่อสารน้อย สามารถรับส่งได้ในระยะทางที่ไกล ๆ แต่มีข้อเสียในด้านเวลาเพราะต้องใช้เวลาในการสื่อสารมาก เมื่อเทียบกับการสื่อสารแบบขนาน

รูปที่ 2.5 การสื่อสารแบบอนุกรม (Serial Communication)

2.3 ช่องการสื่อสาร (Channel) [2]

สื่อนำสัญญาณที่พาข้อมูลหรือข่าวสารจากภาคส่ง (Transmitter) ไปสู่ปลายทางของภาครับ (Receiver) สื่อที่ใช้มีตั้งแต่แบบที่มีสายนำสัญญาณ เช่น สายใยแก้วนำแสง (optical fiber) สายตีเกลียวคู่ (twisted pair) สายโคแอกซ์ (coaxial cable) ไปจนถึงการส่งสัญญาณประเภทไม่มีสายนำสัญญาณ เนื่องจากในโครงงานนี้เป็นการสื่อสารแบบใช้สายสัญญาณ ดังนั้นจะขอทบทวนความรู้ ด้านช่องทางการสื่อสาร เฉพาะที่เกี่ยวข้องกับสายสัญญาณ ดังนี้

สายส่ง (transmission line) คือระบบตัวนำที่เป็นโลหะใช้ในการส่งผ่านพลังงาน (กำลังไฟฟ้า, คลื่นเสียง, คลื่นแม่เหล็กไฟฟ้า) จากจุดหนึ่งไปยังตำแหน่งอื่นๆ ด้วยประสิทธิภาพในการส่งผ่านที่มีการสูญเสียพลังงานน้อยที่สุด โครงสร้างโดยทั่วไปของสายส่งจะประกอบด้วยเส้นลวดตัวนำ 2 เส้นหรือมากกว่าที่ถูกแยกออกจากกันด้วยฉนวนเรียกว่า “ระบบของคู่สายหรือสายส่งเส้นคู่” สายส่งเป็นอุปกรณ์เฉพาะที่ถูกออกแบบมาเพื่อการถ่ายโอนพลังงานจากภาคส่งไปยังด้านภาครับด้วยคุณสมบัติที่มีค่าการสูญเสียพลังงานที่น้อยที่สุด การสูญเสียพลังงานในระหว่างการส่งผ่านขึ้นอยู่กับคุณสมบัติทางไฟฟ้าและทางกายภาพของสายส่ง

ในการออกแบบทรานซีฟเวอร์มีความจำเป็นที่ต้องมีความรู้ ความเข้าใจเกี่ยวกับช่องทางการสื่อสารเพื่อให้การสื่อสารเป็นไปอย่างมีประสิทธิภาพ

2.3.1 พารามิเตอร์ของสายส่ง (Transmission line parameters)

การส่งสัญญาณคลื่นแม่เหล็กไฟฟ้าไปบนสายส่งเป็นกรรมวิธีที่สลับซับซ้อน อันเนื่องมาจากสัญญาณที่ส่งไปนั้นเป็นกระแสคอมเพล็กซ์หรือกระแสสลับ จึงทำให้เกิดปรากฏการณ์บนสายส่งเป็นค่ารีซิสแตนซ์และรีแอกแตนซ์ อันเกิดมาจากคลื่นและสนามแม่เหล็กไฟฟ้ารอบตัวนำและทำให้เกิดลักษณะคุณสมบัติเป็นค่าอินดักแตนซ์และคาปาซิแตนซ์บนสายส่งพารามิเตอร์ของสายส่งบนตลอดความยาวสายจะประกอบด้วยความต้านทานของสายส่ง(Resistance) ความเหนี่ยวนำในสายส่ง (Inductance) ความจุไฟฟ้าระหว่างตัวนำของสายส่ง (Capacitance) และค่าความนำของไดอิเล็กตริกที่คั่นกลางระหว่างตัวนำทั้งสองของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สายส่ง(Conductance) ค่าต่างๆที่เป็นพารามิเตอร์ในสายส่ง จะเกิดขึ้นก็ต่อเมื่อมีสัญญาณไฟฟ้าส่งผ่านไปตามสายส่งนั้น

ความต้านทาน (Resistance)

ความต้านทานจะใช้ตัวอักษรภาษาอังกฤษ “R” เป็นสัญลักษณ์แทนและมีหน่วยเป็นโอห์ม (ohm) ต่อความยาวสาย ความต้านทานเกิดขึ้นบนตัวนำที่ทำหน้าที่เป็นสายส่งตลอดความยาวสาย จะมีค่ามากหรือน้อยขึ้นอยู่กับขนาด ชนิดของวัสดุ ความยาวของสายส่ง และความถี่ที่ใช้งานความต้านทานของสายส่งเปลี่ยนแปลงค่าไปตามความถี่ ก็เนื่องจากปรากฏการณ์ผิว เมื่อความถี่เพิ่มขึ้นค่าความต้านทานจะเพิ่มขึ้นตามในทำนองเดียวกันถ้าสายส่งมีความยาวเพิ่มขึ้น ค่าความต้านทานก็จะเพิ่มขึ้นเช่นกัน แต่ในทางตรงข้ามในกรณีที่ค่าความต้านทานเปลี่ยนแปลงไปกับขนาดของสายส่ง คือ ถ้าสายส่งมีขนาดเล็กลงค่าความต้านทานจะเพิ่มขึ้น

ความเหนี่ยวนา (Inductance)

ความเหนี่ยวนำใช้ตัวอักษรภาษาอังกฤษ “L” เป็นสัญลักษณ์แทน มีหน่วยเป็นเฮนรี่ (henry) ต่อหน่วยความยาวสาย จะเป็นความเหนี่ยวนำต่อรอบความยาว เช่นเดียวกับค่าความต้านทาน เป็นความเหนี่ยวนำอนุกรมเมื่อเกิดขึ้นบนสายส่ง จะมีผลทำให้เกิดแรงดันต้านทานขึ้นในวงจรของสายส่งตลอดความยาวสายขนาดของความเหนี่ยวนำขึ้นอยู่กับขนาดของตัวนำ ความยาวของสายส่งและขนาดของความต้านทานเหนี่ยวนำอนุกรมจะขึ้นอยู่กับความเหนี่ยวนำและความถี่ที่ใช้งาน

ความจุไฟฟ้า (Capacitance)

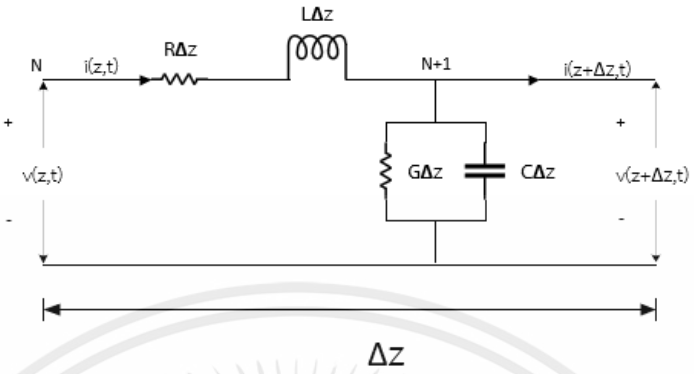
ความจุไฟฟ้าใช้ตัวอักษรภาษาอังกฤษ “C” เป็นสัญลักษณ์แทน มีหน่วยเป็นฟารัด (Farad) ต่อหน่วยความยาวสาย โดยทั่วไปจะเรียกว่า “ความจุขนานต่อหน่วยความยาว” จะเกิดขึ้นระหว่างตัวนำทั้งสองตลอดความยาวสายส่ง ตามลักษณะกายภาพ ถ้าตัวนำไฟฟ้าจะมีรูปแบบใดหรือขนาดเท่าใดก็ตามเมื่อนำมาวางขนานกันและมีความต่างศักย์เกิดขึ้นบนตัวนำทั้งสองก็จะเกิดความจุไฟฟ้าดังนั้น ลักษณะของสายส่งจะอยู่ในรูปแบบเดียวกันกับตัวเก็บประจุไฟฟ้า จึงมีคุณสมบัติความจุไฟฟ้าเกิดขึ้นบนสายส่ง เมื่อมีสัญญาณไฟฟ้าส่งผ่านไปตามสายส่งนั้น ขนาดความจุไฟฟ้าจะขึ้นอยู่กับขนาดและชนิดของโลหะที่ทำเป็นตัวนำ ขึ้นอยู่กับระยะห่างระหว่างตัวนำทั้งสองและชนิดของไดอิเล็กตริก ส่วนความต้านทานความจุขนานจะขึ้นอยู่กับความจุไฟฟ้าและความถี่ที่ใช้งาน

ความนำ (Conductance)

ความนำไฟฟ้าใช้ตัวอักษรภาษาอังกฤษ “G” เป็นสัญลักษณ์แทน มีหน่วยเป็นโมห์ (Mho) ต่อหน่วยความยาวสาย โดยทั่วไปจะเรียกว่า “ความนำขนานต่อหน่วยความยาว” สาเหตุที่เกิดความนำขนานบนสายส่งเนื่องจากไดอิเล็กตริกที่นำมาคั่นกลางระหว่างตัวนำทั้งสองไม่เป็นฉนวนที่สมบูรณ์ เมื่อมีสัญญาณไฟฟ้าส่งผ่านไปบนสายส่งนั้นทำให้เกิดแรงดันตกคร่อมระหว่างคู่สาย และมีกระแสไหลไปตามสายส่ง มีผลทำให้โมเลกุลของฉนวนบางตัวเกิดการแตกตัวเป็นประจุอิสระและสามารถนำกระแสได้ จะมีผลทำให้เกิดกระแสรั่วซึม (Leakage current) ระหว่างคู่สายโดยผ่านทางไดอิเล็กตริก ซึ่งจะเกิดความนำไฟฟ้าขนานตลอดความยาวสายส่งได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

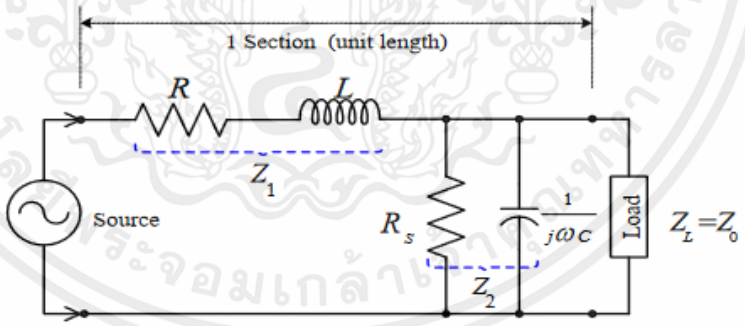
เมื่อนำมาเขียนรวมกันจะได้เป็นพารามิเตอร์ที่เกิดขึ้นบนสายส่งตลอดความยาวสาย โดยการแบ่งส่วนตลอดความยาวของสายส่ง ดังแสดงในรูปที่ 2.6



รูปที่ 2.6 ความยาวของสายส่งหนึ่งส่วนที่มีความยาว Δz มีค่าน้อยมาก

2.3.2 อิมพีแดนซ์คุณลักษณะ (Characteristic impedance)

อิมพีแดนซ์คุณลักษณะของสายส่ง (Z_0) มีค่าเป็นจำนวนเชิงซ้อนซึ่งแสดงค่าเป็นหน่วยของโอห์ม และค่าทั้งหมดนี้จะขึ้นอยู่กับค่าของความยาวสายและความถี่ที่ใช้งานสำหรับค่ากำลังงานสูงสุดที่ถูกส่งออกจากแหล่งกำเนิดไปยังโหลด และในกรณีที่ไม่มีการสะท้อนกลับของพลังงาน สายส่งจะมีส่วนปลายของสายเป็นความต้านทานโหลดที่มีค่าเท่ากับค่าอิมพีแดนซ์คุณลักษณะของสายส่ง



รูปที่ 2.7 วงจรสมมูลสำหรับความยาวของสายส่งหนึ่งส่วน **[2]**

จากรูปที่ 2.7 แสดงเป็นวงจรสมมูลของสายส่งเพียงหนึ่งส่วนที่ปลายสายถูกต่อด้วยโหลด Z_L ซึ่งถูกกำหนดให้มีค่าเท่ากับอิมพีแดนซ์ Z_0 และค่าอิมพีแดนซ์ที่ถูกมองเข้าไปในสายส่งของส่วนความยาวสายเป็น n ส่วน สามารถจะหาค่าอิมพีแดนซ์ได้จากสมการที่ (2.1)

$$Z_0^2 = Z_1 Z_2 + \frac{Z_L^2}{n} \qquad (2.1)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ n เป็นจำนวนส่วนของความยาวสายลำหรับจำนวนส่วนของความยาวสายมีค่าเป็นอนันต์ จะได้ค่า $\frac{Z_L{}^2}{n}$ มีค่าประมาณศูนย์

ดังนั้นจะได้

$$Z_0{}^2 = Z_1 Z_2$$

$$Z_0 = \sqrt{Z_1 Z_2}$$

$$Z_1 = R + j\omega L$$

$$Z_2 = \frac{1}{G + j\omega C}$$

เพราะฉะนั้นจะได้

$$Z_0 = \sqrt{(R + j\omega L)\left(\frac{1}{G + j\omega C}\right)}$$

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \quad \Omega \tag{2.2}$$

2.3.3 ค่าคงที่การแพร่กระจาย (Propagation constants)

ค่าคงที่การแพร่กระจาย (γ) หรือบางครั้งจะเรียกว่า “ค่าสัมประสิทธิ์การแพร่กระจาย” (Propagation coefficient) ซึ่งถูกใช้เป็นตัวกำหนดค่าการลดทอนสัญญาณและค่าเบี่ยงเบนเฟสต่อหน่วยความยาวสาย อย่างเช่นคลื่นแพร่กระจายไปตามสายส่ง ค่าแอมปลิจูดของสัญญาณจะมีค่าลดลงตามระยะทางที่เพิ่มขึ้นของการเดินทาง และค่าคงที่การลดทอนถูกใช้ในการคำนวณหาค่าการลดทอนในแรงดันหรือกระแสตามระยะทางที่ TEM wave แพร่กระจายไปตามสายส่ง สำหรับสายที่มีความยาวเป็นอนันต์ส่วนทั้งหมดของกำลังงานตกกระทบจะถูกทำให้สูญเสียไปในความต้านทานของสาย เมื่อคลื่นแพร่กระจายไปตามสายส่ง นั้นคือสายส่งถูกพิจารณาให้เป็นสายมีความยาวเป็นอนันต์ดังนั้นถ้าสายมีความยาวที่จำกัดและปลายสายถูกต่อเข้ากับแมตซ์อิมพีแดนซ์โหลด ($Z_L=Z_0$) ก็จะไม่มีพลังงานสะท้อนกลับมายังแหล่งกำเนิดสัญญาณและสมการทางคณิตศาสตร์ของค่าคงที่การแพร่กระจายคือ

$$\gamma = \alpha + j\beta \tag{2.3}$$

เมื่อ

γ คือ ค่าคงที่การแพร่กระจาย

α คือ ค่าคงที่การลดทอน (เนเปอร์ต่อหน่วยความยาวสาย)

β คือ ค่าคงที่เฟส (เรเดียนต่อหน่วยความยาวสาย)

และเมื่อค่าคงที่การแพร่กระจายเป็นจำนวนเชิงซ้อน จะได้ดังสมการที่ (2.4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\gamma=\sqrt{ZY}$$

$$\gamma= \sqrt{(R+j\omega L)(G+j\omega C)} \quad (2.4)$$

เมื่อค่าคงที่เฟสของ เรเดียน เกิดขึ้นครอบคลุมความยาวของ 1 ความยาวคลื่น ดังสมการที่ (2.5)

$$\beta\lambda= 2\pi$$

$$\beta= \frac{2\pi}{\lambda} \quad (2.5)$$

2.3.4 สายส่งในอุดมคติ (Ideal transmission line)

จากการวิเคราะห์ค่าคงที่ของสายส่งที่ผ่านมาจะพบว่าความสามารถของสายส่งในการส่งผ่านพลังงานไปยังโหลด ที่มีทั้งค่าตัวทานต้าน ตัวนำอยู่ในสายส่ง จึงทำให้เกิดการสูญเสียพลังงาน ถ้าจะไม่ให้เกิดการสูญเสียในสายส่ง ก็จะต้องหาวัสดุที่นำมาทำสายเป็นวัสดุที่ไม่มีค่าความต้านทาน หรือ R=0 และค่าความนำระหว่างสายส่งที่ฉนวนที่นำมาใช้ทำสายก็จะต้องมีค่า G= 0 ด้วย และสายส่งชนิดนี้จะถูกเรียกว่า“สายในอุดมคติ” (Ideal line)

เมื่อ $\gamma=\sqrt{ZY}$

สำหรับสายส่งในอุดมคติ R=0 และ G=0 ดังนั้นจะได้สมการของค่าคงที่การแพร่กระจายเป็น

$$\gamma = \sqrt{(R + j\omega L)(G + j\omega C)}$$

$$\gamma = \sqrt{j\omega L \cdot j\omega C}$$

$$\gamma = j\omega\sqrt{LC} \quad (2.6)$$

เมื่อสายส่งในอุดติ $\alpha = 0$ $\gamma = \alpha + j\beta$

เพราะฉะนั้น $\beta = \omega\sqrt{LC}$ (2.7)

2.3.5 พารามิเตอร์ในสายส่งในลักษณะของสายส่ง

สายส่งไร้การสูญเสียพลังงาน (Lossless Transmission Lines)

($R \ll \omega L$ และ $G \ll \omega C$ หรือ R=G=0)

$Z_0 = \sqrt{\frac{L}{C}}$, $\gamma = j\omega\sqrt{LC}$, $\beta = \omega\sqrt{LC}$, $\alpha = 0$ $\beta = \frac{2\pi}{\lambda}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สายส่งที่มีการสูญเสียพลังงานน้อย (Low-Loss Transmission Lines)

($R < \omega L$ และ $G < \omega C$)

$$Z_0 = \sqrt{\frac{L}{C}}\left[1+\frac{1}{j2\omega}\left(\frac{R}{L}-\frac{G}{C}\right)\right] \qquad \gamma \cong j\omega\sqrt{LC}\left(1+\frac{1}{j2\omega}\left(\frac{R}{L}-\frac{G}{C}\right)\right)$$

$$\alpha \cong \frac{1}{2}\left(R\sqrt{\frac{C}{L}}-G\sqrt{\frac{L}{C}}\right) \qquad \beta \cong \omega\sqrt{LC}$$

สายส่งที่ไม่มีความผิดเพี้ยนของสัญญาณ (Distortion Transmission Lines)

$(\frac{R}{L} = \frac{G}{C})$

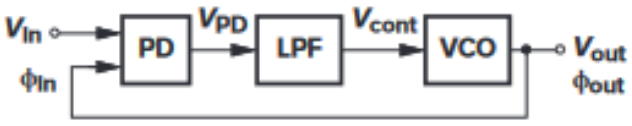
$$Z_0 = \sqrt{\frac{L}{C}}\ ,\ \gamma = R\sqrt{\frac{C}{L}}+j\omega\sqrt{LC} = G\sqrt{\frac{L}{C}}+j\omega\sqrt{LC} = \alpha+j\beta$$

จากการผ่านช่องสัญญาณหรือสายส่งที่อยู่ในระบบ ทำให้สัญญาณที่มายังภาคส่งเกิดความผิดเพี้ยนและสูญเสียสัญญาณ จึงมีความจำเป็นต้องกู้คืนสัญญาณที่เข้ามาภาครับ เพื่อให้ได้ข้อมูลด้านเวลาที่ถูกต้องที่จะนำไปใช้ควบคุมการทำงานของภาครับ การกู้คืนสัญญาณ โดยทั่วไปจะเป็นการประยุกต์ใช้วงจรเฟสล็อคลูป ดังนั้นจะขอกล่าวถึงทฤษฎีเบื้องต้นของเฟสล็อคลูป และการออกแบบวงจรเฟสล็อคลูปในหัวข้อถัดไป

2.4 เฟสล็อคลูป [3]

แนวคิดของการล็อคเฟสถูกคิดค้นขึ้นในช่วงทศวรรษที่ 1930 และพบการใช้งานอย่างกว้างขวางในอุปกรณ์อิเล็กทรอนิกส์และการสื่อสาร ในขณะที่ลูปล็อคเฟสพื้นฐานยังคงเหมือนเดิมตั้งแต่นั้นมา การใช้งานในเทคโนโลยีที่แตกต่างกันและสำหรับการใช้งานที่แตกต่างกันยังคงท้าทายสำหับนักออกแบบวงจรเฟสล็อคลูปที่สร้างสัญญาณนาฬิกาในไมโครโพรเซสเซอร์นั้นค่อนข้างคล้ายกับการสร้างความถี่ที่ใช้ในโทรศัพท์มือถือ แต่วงจรจริงได้รับการออกแบบแตกต่างกันมาก

เฟสล็อคลูปมีองค์ประกอบพื้นฐาน คือ Phase detector (PD), Voltage-controlled oscillator (VCO) และ Lowpass filter (LPF) ที่รวมกันเป็นลูปปิดดังแสดงไว้ใน รูปที่ 2.8 การทำงานของเฟสล็อคลูปจะเริ่มที่ PD ซึ่งเป็นส่วนทำการเปรียบเทียบความถี่ของสัญญาณขาเข้า f_{in} (ซึ่งเราจะถือว่าเป็นความถี่อ้างอิง f_{ref}) กับความถี่ของสัญญาณ VCO ซึ่งจะได้เอาต์พุตอยู่ในรูปของค่าความต่างเฟส ซึ่งจะถูกกรองและขยายสัญญาณเป็นสัญญาณองค์ประกอบไฟตรง เพื่อนำไปทำการควบคุมการผลิตความถี่ของ VCO จนกระทั่ง VCO ทำการล็อคกับสัญญาณขาเข้านั่นคือ f_{vco} เท่ากับ f_{in} ด้วยค่าความต่างเฟสคงที่ค่าหนึ่ง



รูปที่ 2.8 บล็อกไดอะแกรมของเฟสล็อคลูป [3]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

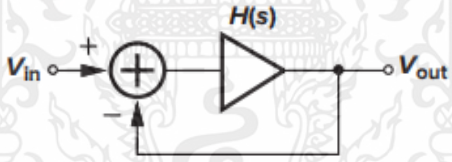
จะอธิบายในส่วนของ Voltage-controlled oscillator (VCO) ในการทำ VCO นั้นจะเริ่มจากพื้นฐานของวงจรออสซิเลเตอร์

2.4.1 วงจรออสซิเลเตอร์

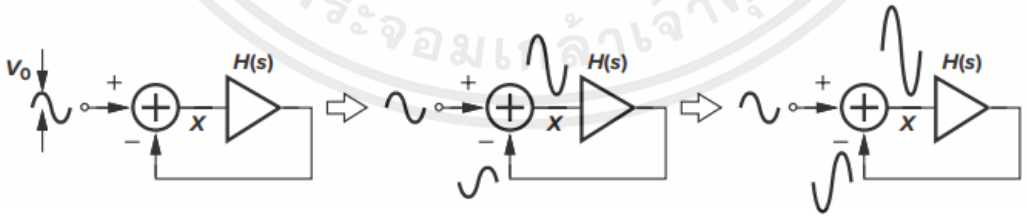
วงจรออสซิเลเตอร์อย่างง่ายสร้างเอาต์พุตโดยทั่วไปอยู่ในรูปของแรงดัน ดังนั้นวงจรไม่จำเป็นต้องมีอินพุตในขณะที่ยังคงเอาต์พุตไว้อย่างต่อเนื่อง หรือ วงจรออสซิเลเตอร์พิจารณา unity-gain negative-feedback circuit สมการที่ 2.8

$$\frac{V_{out}(S)}{V_{in}(S)} = \frac{H(S)}{1+H(S)} \tag{2.8}$$

หากวงจรขยาย ที่ความถี่สูงเกิดเลื่อนเฟสมากจนการป้อนกลับโดยรวมกลายเป็นบวกจะนำไปสู่การออสซิเลทได้ หาก $s = j\omega_0$, $H(j\omega_0) = -1$ จากนั้นอัตราขยายลูปปิดจะเข้าใกล้อนันต์ที่ความถี่ ω_0 ภายใต้เงื่อนไขนี้ วงจรจะขยายส่วนประกอบสัญญาณรบกวนของวงจรเองที่ ω_0 ตามที่แสดงในรูปที่ 2.10 องค์ประกอบของสัญญาณรบกวนที่ความถี่ ω_0 จะพบกับ unity-gain และเลื่อนเฟส 180 องศา จากนั้นจะถูกป้อนกลับไปยังขาลบของอินพุตซึ่งจะทำให้เกิดขาบวกและขาลบมีความแตกต่างกันมากขึ้น ดังนั้นวงจรยังคง regenerate ต่อไป ทำให้ส่วนประกอบที่ ω_0 เติบโตขึ้น



รูปที่ 2.9 ระบบป้อนกลับแบบลบ [3]



รูปที่ 2.10 การออสซิเลสตามเวลา [3]

ในการเริ่มต้นการออสซิเลทการป้อนกลับจำเป็นต้องมีอัตราขยายมากกว่าหรือเท่ากับ unity-gain สามารถติดตามสัญญาณรอบลูปหลายๆรอบและแสดงแอมพลิจูด ณ ตำแหน่งเอาต์พุตของวงจรลบ ดังสมการที่ 2.9

$$V_x = V_0 + |H(j\omega_0)|V_0 + |H(j\omega_0)|^2 V_0 + |H(j\omega_0)|^3 V_0 + \ldots \tag{2.9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า $|H(j\omega_0)| > 1$ ผลรวมข้างต้นมีค่าลู่ออกในขณะที่ถ้า $|H(j\omega_0)| < 1$ แล้ว

$$V_x = \frac{V_0}{1 - |H(j\omega_0)|} < \infty \tag{2.10}$$

โดยสรุป ถ้าวงจรป้อนกลับแบบลบมีลูปปิดซึ่งมีเงื่อนไขตามสองประการนี้ วงจรจะเกิดการออสซิสเลท

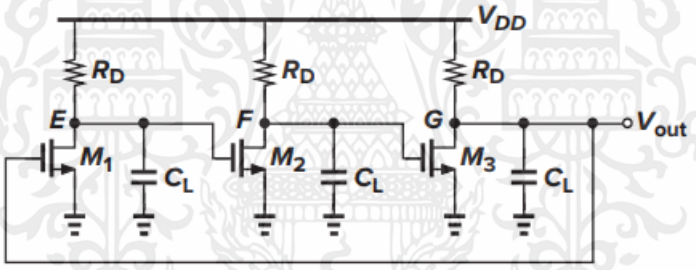
$$|H(j\omega_0)| > 1 \tag{2.11}$$

$$\angle H(j\omega_0) = 180^\circ \tag{2.12}$$

จากนั้นวงจรจะออสซิสเลสที่ ω_0 เรียกว่า “เกณฑ์ของ Barkhausen” เงื่อนไขเหล่านี้มีความจำเป็นแต่ไม่เพียงพอ เพื่อให้แน่ใจว่าออสซิสเลทในสภาวะที่มีอุณหภูมิและการแปรผันของกระบวนการ โดยทั่วไปแล้วจะเลือกอัตราขยายของลูปอย่างน้อยสองหรือสามเท่าของค่าที่ต้องการ

อาจระบุเกณฑ์ของ Barkhausen เป็น $H(j\omega_0) = 180^\circ$ ในการป้อนกลับแบบลบหรือการเปลี่ยนเฟสทั้งหมด 360° ในการป้อนกลับแบบบวก

2.4.1.1 ริงออสซิเลเตอร์



รูปที่ 2.11 ริงออสซิเลเตอร์แบบสามสเตจ **[3]**

จากวงจรริงออสซิเลเตอร์ในรูป 2.11 หากเราทำการวิเคราะห์วงจรแบบลูปเปิดโดยกำหนดให้อัตราขยายของแต่ละสเตจเท่ากับ A_0 และโพลแต่ละสเตจเท่ากับ ω_0 จะได้สมการดังนี้

$$H(S) = -\frac{A_0^3}{(1 + \frac{S}{\omega_0})^3} \tag{2.13}$$

เนื่องจากเงื่อนไขการออสซิเลทจำเป็นต้องเลื่อนเฟส 180 องศา และเนื่องจากมีสามสเตจจึงแบ่งการเลื่อนเฟสสเตจละ 60 องศา เพื่อให้ตรงกับเงื่อนไขการออสซิเลทจะได้ว่า

$$\tan^{-1}\frac{\omega_{osc}}{\omega_0} = 60^\circ \tag{2.14}$$

$$\omega_{osc} = \omega_0\sqrt{3} \tag{2.15}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

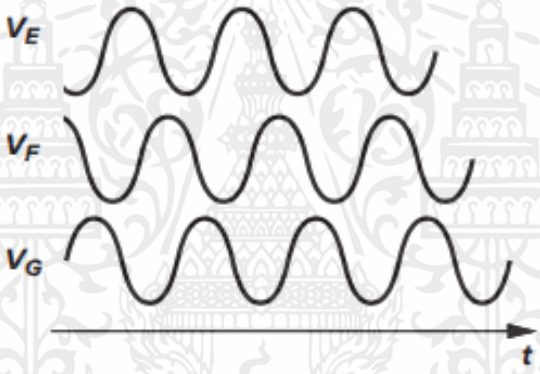
และเนื่องจากเงื่อนไขการออสซิเลทจำเป็นต้องมีลูปเกนที่ตำแหน่งความถี่เท่ากับ ω_{osc} มากกว่าหรือเท่ากับหนึ่ง

$$\frac{A_0{}^3}{\left(\sqrt{1+\left(\frac{\omega_{osc}}{\omega_0}\right)^2}\right)^3} > 1 \tag{2.16}$$

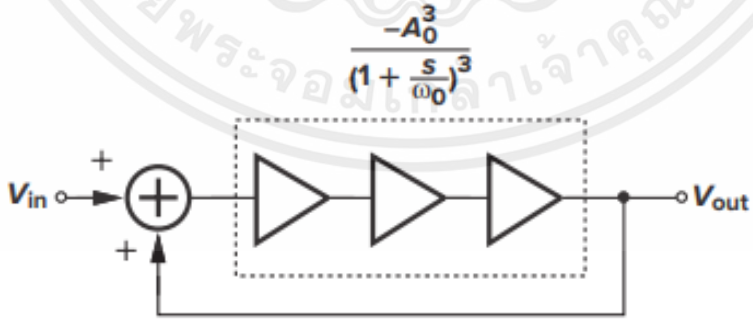
$$A_0 > 2 \tag{2.17}$$

สรุปได้ว่า ริงออสซิเลเตอร์ต้องการอัตราขยายที่ความถี่ต่ำมากกว่า 2 ต่อสเตจ และจะออสซิเลทที่ความถี่เท่ากับ $\omega_0\sqrt{3}$ โดยที่ ω_0 คือโพลของแต่ละสเตจ

เมื่อเราสังเกตโหนดเอาต์พุตของแต่ละสเตจจะเห็นได้ว่าแต่ละสเตจเกิดการเลื่อนเฟส 60 องศา รูปคลื่นแต่ละโหนดมีการเปลี่ยนแปลงเฟส 240 องศา (หรือ 120 องศา) เมื่อเทียบกับโหนดข้างเคียง ดังรูปที่ 2.12 ความสามารถในการสร้างสัญญาณหลายเฟสเป็นคุณสมบัติที่มีประโยชน์ของริงออสซิเลเตอร์



รูปที่ 2.12 รูปสัญญาณของทั้งสามสเตจในริงออสซิเลเตอร์ **[3]**



รูปที่ 2.13 โมเดลของสามสเตจริงออสซิเลเตอร์ **[3]**

จาก Barkhausen's criteria ถ้าหาก $A_0 < 2$ วงจรจะไม่เกิดการออสซิเลท หาก $A_0 > 2$ ต้องวิเคราะห์จากระบบป้อนกลับเชิงเส้น ดังแสดงในรูปที่ 2.13 สังเกตว่าเป็นระบบป้อนกลับแบบบวก ฟังก์ชันถ่ายโอนลูปปิดคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{\dfrac{-A_0^3}{(1+s/\omega_0)^3}}{1+\dfrac{A_0^3}{(1+s/\omega_0)^3}} \tag{2.18}$$

$$= \frac{-A_0^3}{(1+s/\omega_0)^3+A_0^3} \tag{2.19}$$

ตัวส่วนของสมการที่ 2.19 สามารถขยายความได้ว่า

$$(1+\frac{s}{\omega_0})^3+A_0^3=\left(1+\frac{s}{\omega_0}+A_0\right)\left[(1+\frac{s}{\omega_0})^2-\left(1+\frac{s}{\omega_0}\right)A_0+A_0^2\right] \tag{2.20}$$

ดังนั้น ระบบลูปปิดมีสามโพล

$$s_1 = (-A_0 - 1)\,\omega_0 \tag{2.21}$$

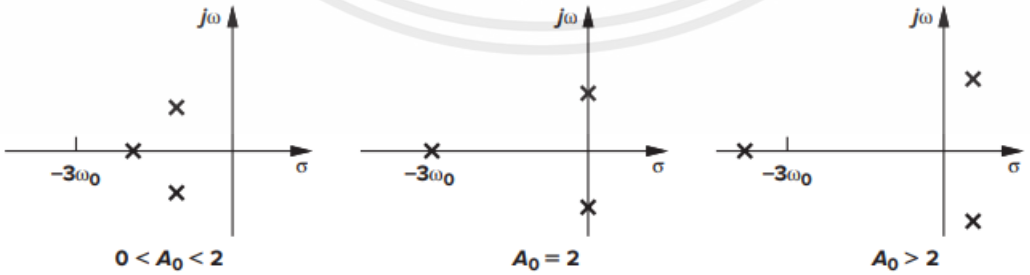
$$s_{2,3} = \left[\frac{A_0 \pm j\sqrt{3}}{2} - 1\right]\omega_0 \tag{2.22}$$

หาก A_0 มีค่าเป็นบวกจะเห็นได้ว่าโพลตัวที่หนึ่งมีค่าลดลงแบบเอ็กซ์โพเนนเชียลซึ่งสามารถละเลยได้ในสภาวะคงที่ รูปที่ 2.14 แสดงตำแหน่งของโพลสำหรับค่าต่าง ๆ ของ A_0 จะเห็นได้ว่าหาก $A_0 > 2$ จะมีโพลเชิงซ้อนอยู่บนด้านบวกของแกนจริงและด้วยเหตุผลนี้จึงทำให้เกิดไซน์นูซอยที่โตขึ้น หากละเลยผลของโพลตัวที่หนึ่งจะสามารถแสดงสัญญาณเอาต์พุตได้เป็น

$$V_{out}(t)= a\exp\left(\frac{A_0-2}{2}\omega_0 t\right)\cos\left(\frac{A_0\sqrt{3}}{2}\omega_0 t\right) \tag{2.23}$$

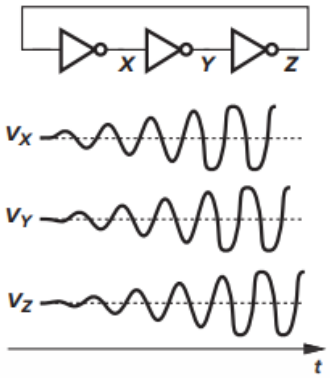
ดังนั้นหาก $A_0 > 2$ เทอมของเอ็กซ์โพเนนเชียลจะโตขึ้นเข้าสู่อนันต์

ในทางปฏิบัติ เมื่อแอมพลิจูดเพิ่มขึ้นจนอิ่มตัวซึ่งจะจำกัดแอมพลิจูดอาจกล่าวได้ว่าโพลเริ่มต้นที่ระนาบทางขวาและเคลื่อนที่ไปยังแกนจินตภาพและหยุดการโตในที่สุด หากอัตราขยายลูปของสัญญาณขนาดเล็กมากกว่าหนึ่งวงจรต้องใช้เวลาให้เพียงพอในช่วงอิ่มตัว เพื่อให้อัตราขยายของลูปโดยเฉลี่ยยังคงมีค่าเท่ากับหนึ่ง



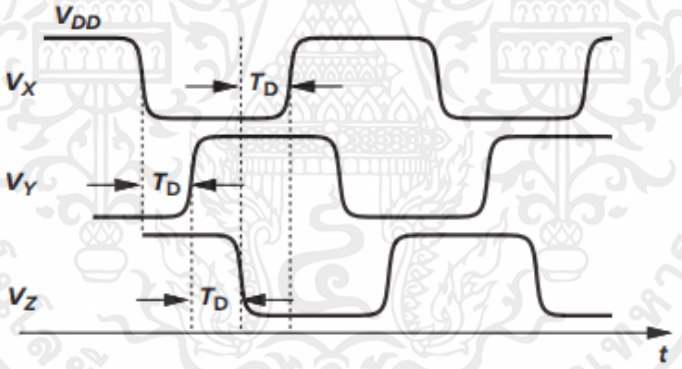
รูปที่ 2.14 โพลของสามสเตจริงออสซิเลเตอร์ในอัตราขยายค่าต่างๆ [3]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 วงจรริงออสซิเลเตอร์แบบใช้ CMOS inverters **[3]**

ริงออสซิเลเตอร์อย่างง่าย ดังในรูป 2.15 สมมุติว่าวงจรถูกปล่อยด้วยแรงดันเริ่มต้นในแต่ละโหนดเท่ากับทริปพอย์ท หากไม่มีสัญญาณรบกวนวงจรจะคงอยู่ในสถานะนี้ตลอดไป หากมีองค์ประกอบของสัญญาณรบกวนแรงดันแต่ละโหนดจะถูกรบกวนจึงทำให้รูปคลื่นโตขึ้นจนในที่สุดสัญญาณจะแสดงการแกว่งแบบ rail-to-rail swings



รูปที่ 2.16 สัญญาณคลื่นของริงออสซิลเลเตอร์ เมื่อโหนดหนึ่งเริ่มต้นที่ VDD **[3]**

สมมุติว่าวงจร 2.15 เริ่มต้นด้วย $V_X = V_{DD}$ ดังแสดงในรูปที่ 2.16 ภายใต้เงื่อนไขนี้ $V_Y = 0$ และ $V_Z = V_{DD}$ ดังนั้นเมื่อวงจรถูกปล่อย V_X จะเริ่มลดลงเป็นศูนย์ บังคับให้ V_Y เพิ่มขึ้นเป็น V_{DD} หลังจากการหน่วงเวลาของอินเวอร์เตอร์หนึ่งครั้ง T_D และ V_Z จะลดลงเป็นศูนย์หลังจากการหน่วงเวลาของอินเวอร์เตอร์อื่น วงจรจึงออสซิเลทด้วยการหน่วงเวลา T_D ระหว่างแรงดันโหนดที่ต่อเนื่องกัน ซึ่งให้ผลเป็นระยะเวลา $6T_D$

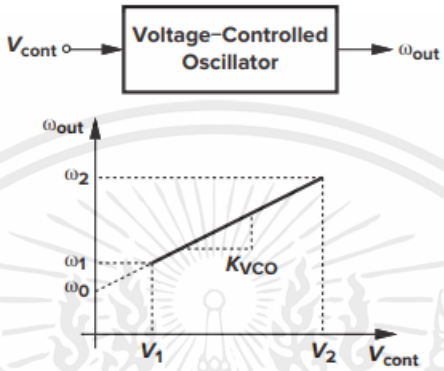
การวิเคราะห์สัญญาณขนาดเล็กและสัญญาณขนาดใหญ่ข้างต้นทำให้เกิดคำถามที่น่าสนใจ ในขณะที่ความถี่ออสซิเลทด้วยของสัญญาณขนาดเล็กถูกกำหนดโดย $A_0\sqrt{3}\omega_0/2$ จากสมการที่ 2.23 ค่าสัญญาณขนาดใหญ่คือ $1/(6T_D)$ เป็นค่าทั้งสองนี้เท่ากันหรือไม่ ไม่จำเป็นต้องเท่ากัน ท้ายที่สุดแล้ว ω_0 ถูกกำหนดโดยความต้านทานเอาต์พุตของสัญญาณขนาดเล็กและค่าความตัวเก็บประจุของอินเวอร์เตอร์แต่ละตัวใกล้กับจุดตัดการทำงาน ในขณะที่ T_D เป็นผลมาจากสัญญาณขนาดใหญ่ การขับกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และค่าตัวเก็บประจุที่ไม่เป็นเชิงเส้นของแต่ละสเตจ เมื่อวงจรถูกปล่อยที่ทริปพอย์ท การออสซิเลทจะเริ่มต้นด้วยความถี่ $\sqrt{3}A_0\omega_0/2$ แต่เมื่อแอมพลิจูดเพิ่มขึ้นจนอิ่มตัว ความถี่จะเปลี่ยนเป็น $1/6T_D$ ซึ่งเป็นค่าที่ต่ำกว่า

2.4.2 Voltage-Controlled Oscillators

แอพพลิเคชั่นส่วนใหญ่ต้องการออสซิเลเตอร์ที่ปรับค่าได้ เช่น ความถี่เอาต์พุตเป็นฟังก์ชันของอินพุต ซึ่งโดยปกติจะเป็นแรงดันไฟฟ้า วงจรออสซิเลเตอร์ที่ถูกควบคุมด้วยแรงดันไฟฟ้าในอุดมคติแล้วจะเป็นวงจรที่มีความถี่เอาต์พุตเป็นฟังก์ชันเชิงเส้นของอินพุต



รูปที่ 2.17 ความและสัมพันธ์ระหว่าง $\boldsymbol{\omega_0}$ และ V_{CONT} [3]

$$\omega_{out} = \omega_0 + K_{VCO}\, V_{cont} \tag{2.24}$$

Ω_0 แทนจุดตัด ณ $V_{cont} = 0$ และ K_{vco} หมายถึง อัตราขยายของวงจรในหน่วย $\frac{rad}{sV}$ ช่วงความถี่ที่ทำงานได้คือ $\omega_1 - \omega_2$ ซึ่งถูกเรียกว่า “จูนนิ่งเรน”

2.4.2.1 พารามิเตอร์ที่สำคัญของ VCO

1. ความถี่กลาง

ความถี่กลางถูกกำหนดโดยสภาพแวดล้อมที่ VCO ถูกใช้งาน

2. ช่วงความถี่ใช้งาน

ช่วงการปรับจูนที่ต้องการถูกกำหนดด้วยสองพารามิเตอร์ 1. ความผันแปรความถี่กลางของ VCO โดยกระบวนการผลิตและอุณหภูมิ และ 2. ความถี่ที่จำเป็นสำหรับแอพพลิเคชั่น ซึ่งความถี่กลางของ CMOS ออสซิเลเตอร์อาจแปรผันไปตามกระบวนการผลิตและอุณหภูมิอย่างมาก ดังนั้นควรมีจูนนิ่งเรนที่มากพอ (>2x) เพื่อรับประกันว่าเอาต์พุตของ VCO สามารถให้ค่าความถี่ค่าที่ต้องการได้

สิ่งสำคัญในการออกแบบระบบ VCO คือการรบกวนของเฟสเอาต์พุตและความถี่ ซึ่งเป็นผลมาจากสัญญาณรบกวนบนสายควบคุม เนื่องจาก $\omega_{out} = \omega_0 + K_{VCO}\, V_{cont}$ ดังนั้น เพื่อลดผลกระทบของสัญญาณรบกวนใน V_{cont} จะต้องลดอัตราขยายของ VCO ซึ่งเป็นข้อจำกัดที่ย้อนแย้งกันกับจูนนิ่งเรนที่ต้องการ ในความเป็นจริงดังแสดงในรูปที่ 2.17 ช่วงที่เป็นไปได้ของ V_{cont} คือ $V_1 - V_2$ และช่วงการปรับของจูนนิ่งเรนต้องมีระยะ $\omega_1 - \omega_2$ ดังนั้นค่า K_{VCO} จึงเป็นไปตามข้อกำหนด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

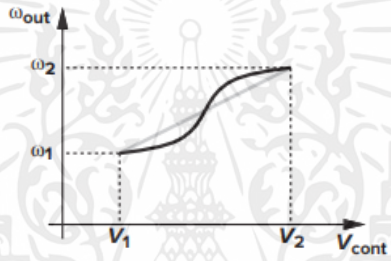
$$K_{VCO} \geq \frac{\omega_1-\omega_2}{V_1-V_2} \quad (2.25)$$

จะเห็นได้ว่า K_{VCO} เพิ่มขึ้นเมื่อแรงดันของแหล่งจ่ายลดลง ทำให้ออสซิเลทเตอร์ไวต่อสัญญาณรบกวนบนสายควบคุมมากขึ้น

3. ช่วงความถี่เปลี่ยนแปลงแบบเชิงเส้น

คุณสมบัติการปรับความถี่ของ VCO ไม่เป็นเชิงเส้น เช่น K_{VCO} ไม่คงที่ความไม่เป็นเชิงเส้นดังกล่าวทำให้เกิดผลเสียกับพฤติกรรมการเข้าที่ของเฟสล็อคลูปจึงควรลดการแปรผันให้น้อยที่สุดตลอดช่วงจูนนิ่งเรน

ลักษณะของออสซิลเลเตอร์ที่แท้จริงมักจะแสดงอัตราขยายสูงในช่วงกลางของจูนนิ่งเรนและอัตราขยายที่ต่ำในช่วงขอบทั้งสองฝั่ง ในรูปที่ 2.18 เปรียบเทียบกับลักษณะเชิงเส้นพฤติกรรมที่แท้จริงมีอัตราขยายสูงสุดมากกว่าที่คาดการณ์ไว้ในสมการที่ 2.24 ซึ่งหมายความว่าความไม่เป็นเชิงเส้นนำไปสู่ความไวที่สูงขึ้นในบางช่วงของการทำงาน



รูปที่ 2.18 VCO แบบไม่เป็นเชิงเส้น **[3]**

4. เอาต์พุตแอมพลิจูด

เป็นที่ต้องการเพื่อให้ได้แอมพลิจูดการของการออสซิเลทขนาดใหญ่ ซึ่งจะทำให้รูปคลื่นมีความไวต่อสัญญาณรบกวนน้อย ลงแอมพลิจูดแลกเปลี่ยนกับกำลังงานที่ใช้แรงดันของแหล่งจ่ายไฟแม้แต่จูนนิ่งเรน นอกจากนี้แอมพลิจูดอาจต่างกันไปตามช่วงช่วงของจูนนิ่งเรน

5. การสิ้นเปลืองกำลังงาน

เช่นเดียวกับวงจรแอนาล็อกอื่นๆ ออสซิลเลเตอร์ต้องประสบกับการแลกเปลี่ยนระหว่างความเร็วการสิ้นเปลืองกำลังงานและสัญญาณรบกวน ออสซิลเลเตอร์ทั่วไปใช้พลังงาน 1 ถึง 10 mW

6. การขจัดสัญญาณรบกวน

ออสซิลเลเตอร์ค่อนข้างไวต่อสัญญาณรบกวน โดยเฉพาะอย่างยิ่งหากรับรู้ในรูปแบบซิงเกิลเอ็นแม้แต่ออสซิเลเตอร์แบบผลต่างก้ยังมีความไวต่อแรงดันแหล่งจ่าย การออกแบบวงจรออสซิเลเตอร์ให้สามารถต้านทานสัญญาณรบกวนได้สูงจึงเป็นเรื่องที่ค่อนข้างท้าทาย

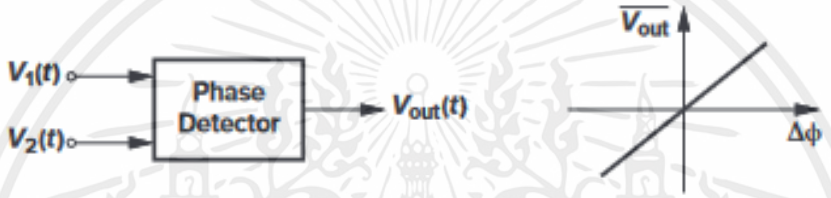
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. ความบริสุทธิ์ของสัญญาณ

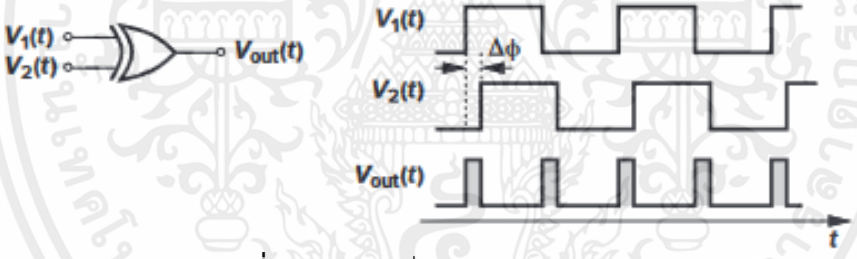
แม้จะมีแรงดันไฟฟ้าควบคุมคงที่ รูปคลื่นเอาต์พุตของ VCO ก็ไม่ได้เป็นคาบอย่างสมบูรณ์ สัญญาณรบกวนทางอิเล็กทรอนิกส์ของอุปกรณ์ในออสซิลเลเตอร์และสัญญาณรบกวนของแหล่งจ่ายทำให้เกิดสัญญาณรบกวนในเฟสเอาต์พุตและความถี่ ผลกระทบเหล่านี้วัดจาก jitter และ Phase Noise และกำหนดโดยข้อกำหนดของแต่ละแอปพลิเคชัน

2.4.3 วงจรตรวจจับเฟส (Phase Detector)

ตัวตรวจจับเฟสเป็นวงจรที่มีเอาต์พุตเฉลี่ย $\overline{V_{out}}$ เป็นสัดส่วนเชิงเส้นกับความต่างของเฟส **Δφ** ระหว่างอินพุตทั้งสอง ดังแสดงในรูปที่ 2.19 ในกรณีในอุดมคติ ความสัมพันธ์ระหว่าง $\overline{V_{out}}$ และ **Δφ** เป็นเชิงเส้นตัดที่จุดกำเนิดสำหรับ **Δφ** = 0 เรียกว่า "อัตราขยาย" ของ PD ความชันของเส้น K_{PD} จะแสดงเป็น V/rad



รูปที่ 2.19 ตัวตรวจจับเฟส **[3]**



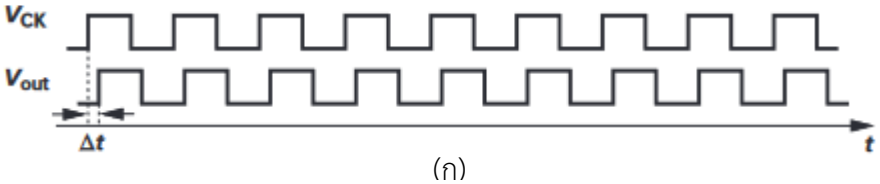
รูปที่ 2.20 XOR ที่ใช้เป็นตัวตรวจจับเฟส **[3]**

ตัวอย่างที่คุ้นเคยของเครื่องตรวจจับเฟสคือเกต Exclusive OR (XOR) ดังแสดงในรูปที่ 2.20 ความต่างเฟสระหว่างอินพุตต่างกัน ความกว้างของพัลส์เอาต์พุตก็เช่นกัน ดังนั้นจึงมีระดับแรงดันไฟตรงที่เป็นสัดส่วนกับ **Δϕ** ในขณะที่วงจร XOR สร้างพัลส์ผิดพลาดทั้งบนขอบขึ้นและลง ตัวตรวจจับเฟสประเภทอื่นอาจตอบสนองต่อการเปลี่ยนแปลงเชิงบวกหรือเชิงลบเท่านั้น

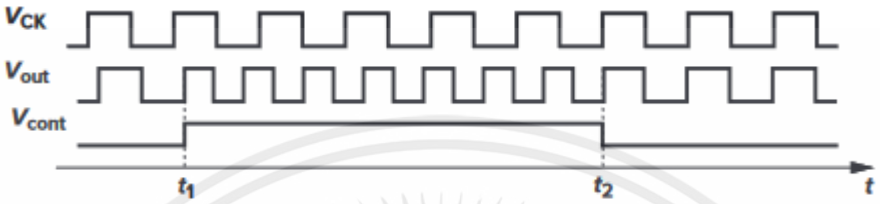
ในการมาถึงแนวคิดของการล็อคเฟส ให้พิจารณาปัญหาการจัดเฟสเอาต์พุตของ VCO กับเฟสของสัญญาณนาฬิกาที่อ้างอิง ดังที่แสดงในรูปที่ 2.21 (ก) ขอบขาขึ้นของ Vout จะเหลื่อมกันด้วย Δt วินาที เมื่อเทียบกับ V_{CK} และต้องการกำจัดความต่างนี้ สมมติว่า VCO อินพุตควบคุมคือ V_{cont} สังเกตว่าเพื่อให้เฟสต่างกันเราต้องเปลี่ยนความถี่และอนุญาตให้รวมเข้าด้วยกัน $\varphi = \int(\omega_0 + K_{VCO}V_{cont})dt$ ที่เกิดขึ้น ตัวอย่างเช่น สมมติว่าดังแสดงในรูปที่ 2.21 (ข) VCO ความถี่จะเปลี่ยนไปค่าที่สูงขึ้นที่ t = t_1 วงจรจึงสะสมเฟสเร็วขึ้นและความต่างเฟส ที่ t = t_2 ความต่างเฟสลดลงเป็นศูนย์และหาก V_{cont} ลดลงเป็นค่าเดิม V_{VCO} และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{CK} ยังคงมีเฟสใกล้กัน การเปลี่ยนเฟสสามารถทำได้โดยการเปลี่ยนความถี่ VCO ให้มีค่าต่ำลงในช่วงเวลาหนึ่งเช่นกัน ดังนั้นการเปลี่ยนเฟสสามารถทำได้โดยการเปลี่ยนแปลงความถี่ชั่วคราว



(ก)

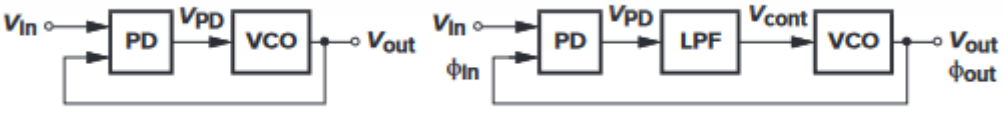


(ข)

รูปที่ 2.21 (ก)สัญญาณทั้งสองที่เหลื่อมกัน (ข) การเปลี่ยนVCOเพื่อลดการเหลื่อมกันของสองสัญญาณ **[3]**

ข้างต้นจะกล่าวว่าเฟสเอาต์พุตของ VCO สามารถมีเฟสที่ตรงกับเฟสที่อ้างอิง ถ้าความถี่ของ VCO มีการเปลี่ยนแปลงชั่วขณะ และวิธีการเปรียบเทียบสองเฟส ตัวตรวจจับเฟสใช้เพื่อตรวจสอบว่าเฟสเอาต์พุต VCO และเฟสอ้างอิงมีเฟสตรงกัน การเปลี่ยนเฟสเอาต์พุตของแรงดันควบคุมออสซิลเลเตอร์ (VCO) ให้ตรงกับเฟสอ้างอิงเรียกว่า "เฟสล็อค”

จากการสังเกตข้างต้น จะสันนิษฐานว่าเฟสล็อคลูป ประกอบด้วยตัวตรวจจับเฟส (PD) และแรงดันควบคุมออสซิลเลเตอร์ (VCO) ในลูปป้อนกลับดังที่แสดงรูปที่ 2.22(ก) ตัวตรวจจับเฟส (PD) เปรียบเทียบเฟสของ V_{out} และ V_{in} ทำให้ความต่างเฟสของแรงดันควบคุมออสซิลเลเตอร์ (VCO) เปลี่ยนความถี่ให้เฟสตรงกันคือ “ลูปถูกล็อค” เพราะ ตามตัวอย่างในรูปคลื่นของรูปที่ 2.19 เอาต์พุตตัวตรวจจับเฟส (PD), V_{PD} ประกอบด้วยองค์ประกอบแรงดันไฟตรงที่ต้องการ และองค์ประกอบความถี่สูงที่ไม่ต้องการ และตัวควบคุมแรงดันไฟของออสซิลเลเตอร์ที่ไม่เปลี่ยนแปลงตอนสถานะคงที่ ทำให้ต้องกรองสัญญาณเอาท์พุตจาก PD ดังนั้นจึงแทรกตัวกรองความถี่ต่ำผ่าน (LPF) ระหว่าง PD และ VCO รูปที่ 2.22(ข) เพื่อกำจัดองค์ประกอบความถี่สูงของเอาต์พุต PD และแสดงระดับแรงดันไฟตรงให้กับออสซิลเลเตอร์รูปแบบนี้



(ก) (ข)

รูปที่ 2.22 (ก) ลูปป้อนกลับเปรียบเทียบเฟสอินพุตและเอาต์พุต (ข) พื้นฐานของเฟสล็อคลูป **[3]**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลูปป้อนกลับของรูปที่ 2.22(ข) เปรียบเทียบเฟสของอินพุตและเอาต์พุต โดยทั่วไปแล้วเฟสล็อคลูปนั้นไม่ต้องรู้เกี่ยวกับแรงดันหรือกระแสในการป้อนกลับ ถ้าอัตราขยายลูปมีมากเพียงพอ ความต่างเฟสอินพุต φin และเอาต์พุต φout มีค่าน้อยในสภาวะที่เสถียร เมื่อเฟสตรงกัน

สำหรับการวิเคราะห์เฟสล็อคลูปในภายหลัง ต้องกำหนดเงื่อนไขการล็อคเฟสอย่างละเอียด รูปที่ 2.12(ข) ถูกล็อคคาดว่า $\varphi out - \varphi in$ มีค่าคงที่และมีขนาดเล็ก ลูปที่กำหนดจะล็อคถ้า $\varphi out - \varphi in$ และไม่เปลี่ยนแปลงตามเวลาแสดงว่า

$$\frac{d\varphi_{out}}{dt} - \frac{d\varphi_{in}}{dt} = 0 \tag{2.26}$$

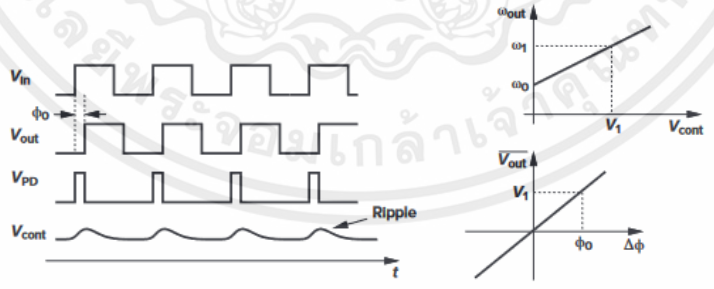
$$\omega_{out} = \omega_{in} \tag{2.27}$$

ดังนั้นจะทำให้

นี่เป็นคุณสมบัติเฉพาะของเฟสล็อคลูป โดยสรุปเมื่อล็อค เฟสล็อคลูปจะสร้างเอาต์พุตที่มีความต่างเฟสเล็กน้อยกับอินพุตที่ความถี่เท่ากันทุกประการ

เฟสล็อคลูปในสภาวะล็อค

พฤติกรรมของเฟสล็อคลูป เริ่มต้นด้วยกรณีที่ง่ายที่สุดเมื่อวงจรถูกล็อคและต้องการที่จะตรวจสอบรูปคลื่นในแต่ละจุดในลูป ดังที่แสดงในรูปที่ 2.23(ก) Vin และ Vout มีความแตกต่างของเฟสเล็กน้อยแต่ความถี่เท่ากัน ดังนั้น PD จึงสร้างพัลส์ที่กว้างเท่ากับที่เหลื่อมกันระหว่างอินพุตและเอาต์พุต และตัวกรองความถี่ต่ำผ่านจะแยกองค์ประกอบไฟตรงของ V_{PD} นำไปคุมควบ VCO
ตัวกรองความถี่ต่ำผ่านจะกรองความถี่สูงได้ไม่หมดเกิดเป็นแรงดันกระเพื่อม (Ripple) ใน V_{LPF}



(ก) (ข)

รูปที่ 2.23 (ก)คลื่นในเฟสล็อคลูปในสภาวะล็อคเฟส (ข)คำนวณความผิดพลาดของเฟส **[3]**

รูปคลื่นของรูปที่ 2.23(ก) ไม่ทราบปริมาณทั้งสองคือ ϕ_0 และระดับแรงดันไฟตรงของ V_{cont} ถึงกำหนดค่าเหล่านี้เพื่อสร้างคุณสมบัติ VCO และ PD รูปที่ 2.23(ข) หากอินพุตและความถี่เอาต์พุตเท่ากับ ω_1 ดังนั้นแรงดันควบคุมออสซิลเลเตอร์ (V_{cont}) ที่ต้องการจะมีค่าเฉพาะตัวและไม่ซ้ำกัน มีค่าเท่ากับ V_1 แรงดันไฟนี้ต้องถูกผลิตโดยตัวตรวจจับเฟส ซึ่งต้องการความต่างของเฟสที่กำหนดโดย PD จาก
$\omega_{out} = \omega_0 + K_{VCO} V_{cont}$ และ $\overline{V_{PD}} = K_{PD} \Delta\varphi$ สามารถเขียนเป็น

$$V_1 = \frac{\omega_1 - \omega_0}{K_{VCO}} \tag{2.28}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\varphi_0 = \frac{V_1}{K_{PD}} \quad (2.29)$$

$$= \frac{\omega_1 - \omega_0}{K_{PD}\, K_{VCO}} \quad (2.30)$$

จากสมการที่ 2.30 แสดงให้เห็นว่า ความถี่อินพุตของ PLL ต่างกันเช่นเดียวกับความต่างของเฟส และเพื่อลดความต่างเฟสให้น้อยที่สุดต้องมี $K_{PD}\, K_{VCO}$ ที่มาก

ด้วยความเข้าใจพื้นฐานของเฟสล็อคลูปที่ถูกพัฒนาขึ้นมาจนถึงตอนนี้ สมการที่ 2.27 ที่ความถี่เท่ากันของความถี่อินพุตและเอาต์พุตของเฟสล็อคลูปในสภาวะที่ถูกล็อคเป็นลักษณะที่สำคัญ ความสำคัญของคุณสมบัตินี้สามารถเห็นได้จากข้อสังเกตคือ 1.ในหลายๆ การนำไปใช้งาน ความต่างเฟสเล็กน้อยอาจพิสูจน์ได้ว่าไม่สามารถยอมรับได้ ตัวอย่างเช่น ถ้าข้อมูลจะเป็นประมวลผลแบบเข้าจังหวะกับสัญญาณนาฬิกาโดยระบบโอเวอร์คล็อก แม้มีความแตกต่างเล็กน้อยระหว่างอัตราข้อมูลและความถี่สัญญาณนาฬิกา 2. เฟสเท่ากันจะไม่เกิดขึ้นหากเฟสล็อคลูปเปรียบเทียบความถี่อินพุตและเอาต์พุตมากกว่าเฟส การใช้ตัวตรวจจับความถี่ (FD) จะได้รับผลกระทบจากความแตกต่างระหว่าง ω_{in} และ ω_{out} เนื่องจากความไม่ตรงกันและความไม่เป็นอุดมคติอื่นๆ

วิเคราะห์การตอบสนองของเฟสล็อคลูป (Phase Lock Loop : PLL) ในสภาวะล็อคที่ความต่างเฟสเล็กน้อย

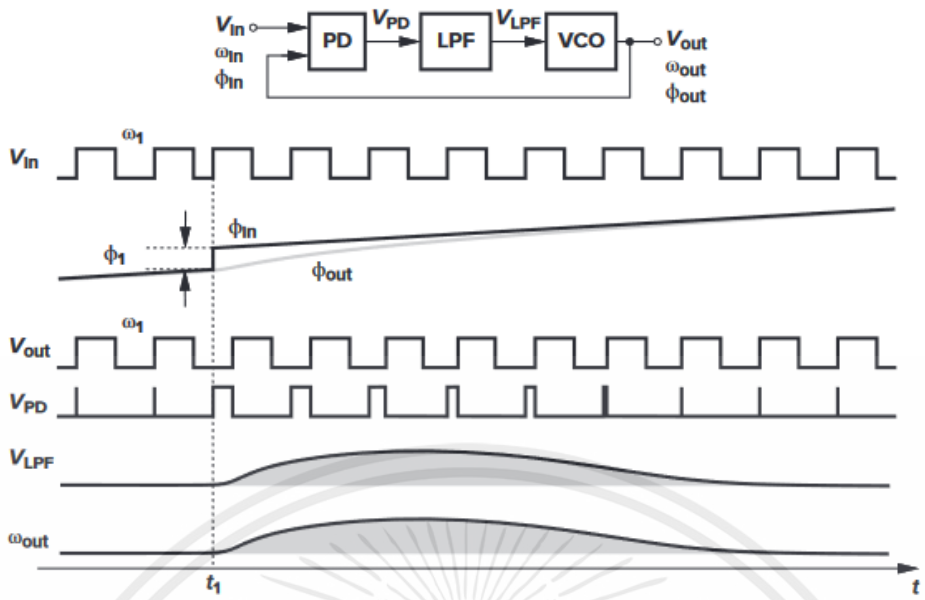
พิจารณาเฟสล็อคลูป (Phase Lock Loop : PLL) ในสภาวะที่ถูกล็อคและให้คลื่นอินพุตและเอาต์พุต

$$V_{in}(t) = V_A \cos\omega_1 t \quad (2.31)$$

$$V_{out}(t) = V_B \cos(\omega_1 t + \varphi_o) \quad (2.32)$$

โดยที่ฮาร์โมนิกสูงจะถูกละเลยและ φ_0 คือความต่างเฟสคงที่ ดังแสดงในรูปที่ 2.24 เมื่อให้อินพุตมีเฟสสเตปของ φ_1 ณ t = t_1 คือ $\varphi_{in} = \omega_1 t + \varphi_1 u(t - t1)^2$ เฟสสเตปจะปรากฏเป็นขอบที่เพิ่มขึ้นใน V_{in} ที่เกิดขึ้นก่อนหน้าหรือช้ากว่าระยะเวลาที่จะกำหนด อีกทางหนึ่งสามารถพูดได้ว่าเฟสสเตปของเฟสส่งผลให้ระยะเวลาสั้นลงหรือนานกว่าก่อน t_1 เนื่องจากเอาต์พุตของตัวกรองความถี่ต่ำผ่าน (Low Pass Filter : LPF) ไม่เปลี่ยนแปลงในทันที VCO ยังคงให้ความถี่ที่ ω_1 ความต่างเฟสระหว่างอินพุตและเอาต์พุตจะสร้างพัลส์ที่เอาต์พุตของตัวตรวจจับเฟส (PD) ทำให้ V_{LPF} สูงขึ้นส่งผลให้ความถี่ VCO เปลี่ยนแปลงโดยลดความต่างเฟสให้เล็กสุด ความต่างกันของเฟสในการวนในลูปปิดซ้ำจะไม่ถูกล็อคในระหว่างช่วงเวลาชั่วคราวเนื่องจากความต่างเฟสจะแตกต่างกันไปกับเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 ผลตอบสนองของเฟสล็อคลูปกับเฟสสเตป **[3]**

หลังจากความถี่ VCO เริ่มเปลี่ยนแปลง ถ้าลูปจะกลับไปล็อค ω_{out} ต้องปรับความถี่กลับไปที่ ω_1 ทำให้ V_{LPF} และ $\varphi_{out} - \varphi_{in}$ จึงกลับไปเป็นค่าเดิม เนื่องจาก φ_{in} เปลี่ยนไป $\varphi 1$ ความแปรของความถี่ VCO จึงเป็นพื้นที่ใต้ ω_{out} เฟสเพิ่มเติมของ φ_1 ใน φ_{out}

$$\int_{t_1}^{\infty} \omega_{out}\, dt = \varphi_1 \qquad (2.26)$$

ดังนั้น เมื่อลูปเกิดการล็อคเฟส ผลลัพธ์จะเท่ากับ

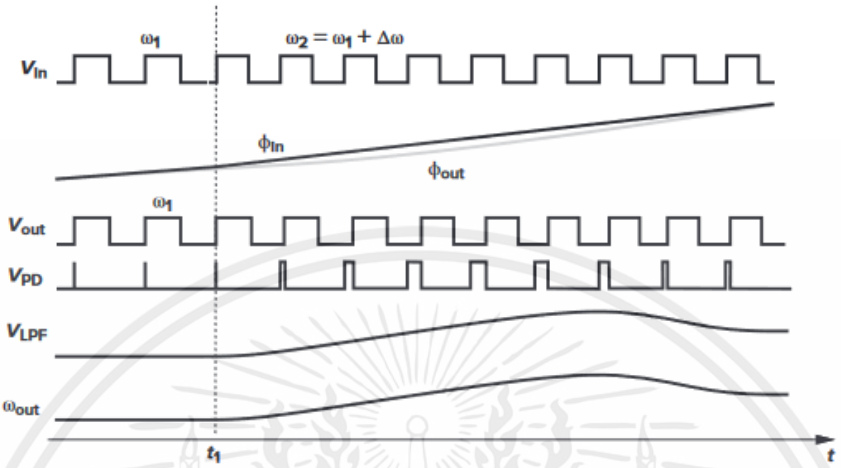
$$V_{out}(t) = V_B \cos[\omega_1 t + \varphi_o + \varphi_1 u(t - t_1)] \qquad (2.27)$$

ดังแสดงในรูปที่ 2.24 φ_{out} ค่อยๆเปลี่ยนตามกับ φ_{in} สิ่งสำคัญคือหลังจากที่ลูปกลับมาล็อค ค่าพารามิเตอร์ทั้งหมดยกเว้นเฟสอินพุตและเอาต์พุตทั้งหมดถือว่าค่าเดิม นั่นคือ $\varphi_{out} - \varphi_{in}$, V_{LPF} และความถี่ VCO ยังคงไม่เปลี่ยนแปลง ผลลัพธ์ที่คาดหวังเนื่องจากพารามิเตอร์ทั้งสามนี้มีความสัมพันธ์แบบหนึ่งต่อหนึ่งและความถี่อินพุตยังคงเหมือนเดิม และแรงดันควบคุมของออสซิลเลเตอร์สามารถใช้เป็นจุดทดสอบที่เหมาะสมในการวิเคราะห์เฟสล็อคลูป (Phase Lock Loop : PLL) แม้ว่าการวัดความผันแปรของเวลาของเวลาดังในรูปที่ 2.24 ได้ยาก แต่ V_{cont} (=V_{LPF}) สามารถตรวจสอบได้ง่ายในการจำลองและการวัดผล

ตรวจสอบการตอบสนองของเฟสล็อคลูป (Phase Lock Loop : PLL) ต่อความถี่อินพุตขนาดเล็ก ω ที่ $t = t_1$ รูปที่ 2.25 เช่นเดียวกับกรณีของเฟสสเตป VCO ยังคงออสซิเลที่ ω_1 ทันทีหลังจาก t_1 ดังนั้นตัวตรวจจับเฟส (PD) สร้างพัลส์ที่กว้างขึ้นและ V_{LPF} เพิ่มขึ้นตามเวลา เมื่อ ω_{out} เข้าใกล้ $\omega_1 + \Delta\omega$ ความกว้างของ

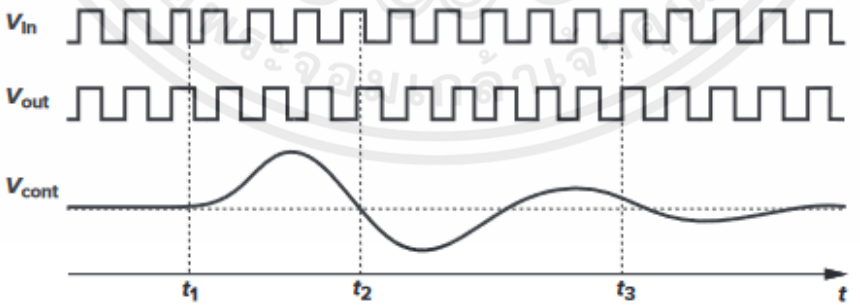
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พัลส์ที่สร้างโดย PD ลดลงเป็นค่าที่มีองค์ประกอบแรงดันไฟตรงเท่ากับ $\frac{\omega_1+\Delta\omega-\omega_0}{K_{VCO}}$ ตรงกันข้ามกับกรณีของเฟสสเตป การตอบสนองของเฟสล็อคลูป (Phase Lock Loop : PLL) กับเฟสสเตป ทำให้เกิดการเปลี่ยนทั้งแรงดัน VCO และความต่างของเฟส ถ้าอินพุตกรณีความถี่อินพุตขนาดเล็กจะแปรผันอย่างช้าๆ



รูปที่ 2.25 ผลตอบสนองของเฟสล็อคลูปกับความถี่สเตปอินพุตขนาดเล็ก **[3]**

พฤติกรรมของเฟสล็อคลูป (Phase Lock Loop : PLL) ขึ้นอยู่กับพารามิเตอร์ของลูป แต่เพื่อให้มาถึงการสังเกตที่สำคัญ จะพิจารณาการตอบสนองของเฟสสเตปที่แสดงในรูปที่ 2.26 โดยที่ V_{cont} เพิ่มขึ้นก่อนที่จะเข้าสู่ค่าคงที่ พิจารณาสถานะของลูปที่ $t = t_2$ ที่จุดนี้ความถี่เอาต์พุตเท่ากับค่าเดิมเพราะ V_{cont} เท่ากับค่าเดิม แต่เกิดการวนซ้ำดำเนินต่อไปชั่วคราวเนื่องจากความต่างของเฟสเปลี่ยนไปจากค่าที่ต้องการ ในทำนองเดียวกัน ที่ $t = t_3$ ความต่างของเฟสเท่ากับค่าเดิมแล้วแต่ความถี่เอาต์พุตไม่เท่าเดิม ดังนั้นเพื่อให้เกิดการล็อคเฟส ทั้งเฟสและความถี่จะต้องได้ค่าที่เหมาะสม



รูปที่ 2.26 ตัวอย่างผลตอบสนองของเฟสสเตป **[3]**

จากการศึกษาเฟสล็อคลูป (Phase Lock Loop : PLL) จนถึงตอนนี้ เราสรุปได้ว่าเฟสล็อคลูป (Phase Lock Loop : PLL) เป็นระบบแบบไดนามิก คือการตอบสนองขึ้นอยู่กับค่าในอดีตของอินพุตและเอาต์พุต เนื่องจากตัวกรองความถี่ต่ำผ่าน (Low Pass Filter : LPF) และ VCO ทำให้เกิดโพลและอาจเกิดเป็นซีโร่ในฟังก์ชันการถ่ายโอนของลูป นอกจากนี้ยังทราบว่าอินพุตและเอาต์พุตยังคงที่เป็นช่วงเวลาที่เป็นคาบเช่น

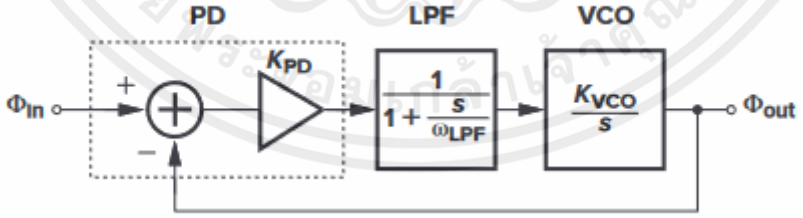
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$\varphi_{in} = \omega_{in}t$ และ $\varphi_{out} = \omega_{in}t+\varphi_0$ ลูปทำงานในสถานะคงที่ไม่เปลี่ยนแปลงอย่างรวดเร็ว ดังนั้นเฟสล็อคลูป (Phase Lock Loop : PLL) จะตอบสนองต่อการเปลี่ยนแปลงในเฟสที่มากของอินพุตหรือเอาต์พุตเท่านั้น ตัวอย่างเช่น ในรูปที่ 2.24 $\varphi_{in} = \omega_1 t + \varphi_1 u(t - t_1)$ และในรูปที่ 2.25 $\varphi_{in} = \omega_1 t + \Delta\omega \cdot tu(t - t_1)$

ด้วยการวิเคราะห์เฟสล็อคลูป (Phase Lock Loop : PLL) สมมติว่าลูปถูกล็อคเฟสตั้งแต่แรก เฟสล็อคลูป (Phase Lock Loop : PLL) เป็นระบบป้อนกลับ แต่เอาต์พุตในการวิเคราะห์นี้จะต้องเป็นเฟสที่เกิน ของ VCO เนื่องจากวงจรขยายผลต่างสามารถเปรียบเทียบเฟสได้เท่านั้น วัตถุประสงค์คือการกำหนดฟังก์ชันการโอนออก $\varphi_{out}(s) / \varphi_{in}(s)$ สำหรับทั้งระบบลูปเปิดและลูปปิดและวิเคราะห์การตอบสนองของโดเมนเวลาที่เปลี่ยนจากเฟสเป็นแรงดันผ่าน PD และจากแรงดันเป็นเฟสผ่าน VCO

$\varphi_{out}(s) / \varphi_{in}(s)$ หมายถึงการเปรียบเทียบด้วยฟังก์ชันการถ่ายโอน วงจรมีฟังก์ชันถ่ายโอน $V_{out}(s)/V_{in}(s) = 1/(1+s/\omega_0)$ เป็นตัวกรองความถี่ต่ำผ่าน (Low Pass Filter : LPF) เพราะหาก V_{in}เปลี่ยนแปลงอย่างรวดเร็ว V_{out} จะไม่สามารถเปลี่ยนตามอินพุตได้ ในกรณีเดียวกัน $\varphi_{out}(s) / \varphi_{in}(s)$ จะมีเฟสเอาต์พุตเปลี่ยนตามหลังเฟสอินพุตเปลี่ยนแปลงได้ช้าหรือรวดเร็ว

สร้างแบบจำลองของเฟสล็อคลูป (Phase Lock Loop : PLL) โดยสมมติว่าตัวกรองความถี่ต่ำเป็น 1 st order เพื่อความเรียบง่าย เอาต์พุตตัวตรวจจับเฟส (PD) มีองค์ประกอบแรงดันไฟตรงเท่ากับ $K_{PD}(\varphi_{out}-\varphi_{in})$ รวมถึงส่วนประกอบความถี่ถูกกำจัดโดยตัวกรองความถี่ต่ำผ่าน (Low Pass Filter : LPF) เพียงแค่จำลองตัวตรวจจับเฟส (PD) ที่มีเอาต์พุตเป็นอัตราขยาย K_{PD} ภาพประกอบในรูปที่ 2.27 ฟังก์ชันการถ่ายโอนตัวกรองความถี่ต่ำผ่าน (Low Pass Filter : LPF) $1/(1 + s/\omega_{LPF})$ โดยที่ ω_{LPF} หมายถึงแบนด์วิดท์ −3 dB และ VCO ฟังก์ชั่นการถ่ายโอน K_{VCO}/s φ_{in} และ φout แสดงถึงเฟสส่วนเกินของรูปคลื่นอินพุตและเอาต์พุตตามลำดับ ตัวอย่างเช่น หากเฟสรวมของอินพุตพบกับการเปลี่ยนแบบสเตป $\varphi_1 u(t)$ แล้ว $\varphi_{in}(s) = \varphi_1 / s$



รูปที่ 2.27 โมเดลของ PLL type I **[3]**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ฟังก์ชันการถ่ายโอนแบบลูปเปิดเป็น

$$H(s)\,|_{open} = \frac{\varphi_{out}}{\varphi_{in}}(s)\,|_{open} \tag{2.33}$$

$$= K_{PD} \cdot \frac{1}{1+\frac{s}{\omega_{LPF}}} \cdot \frac{K_{VCO}}{s} \tag{2.34}$$

จะพบโพลที่ $s = -\omega_{LPF}$ และอีกที่ $s = 0$ อัตราขยายของลูปเท่ากับ $H(s)|_{open}$ เพราะมีการป้อนกลับ unity feedback จากเอาต์พุต เนื่องจากมีอัตราขยายลูปที่โพลที่จุดกำเนิด ระบบจึงถูกเรียกว่า type I

คำนวณฟังก์ชันการถ่ายโอนแบบลูปปิด หากอัตราขยายลูปมี s ที่ขนาดเล็กมาก เช่น ถ้าเฟสส่วนเกินที่ป้อนเข้ามาเปลี่ยนแปลงช้ามาก เนื่องจากโพลที่จุดกำเนิด อัตราขยายของลูปที่เป็นอนันต์เมื่อเข้าใกล้ศูนย์ ดังนั้นเฟสล็อคลูป (Phase Lock Loop : PLL) ภายใต้สภาวะถูกล็อค การเปลี่ยนแปลงใน φ_{out} เท่ากับการเปลี่ยนแปลงใน φ_{in} เมื่อ s มีค่าเป็นศูนย์ ผลลัพธ์นี้มีคุณสมบัติที่น่าสนใจของเฟสล็อคลูป (Phase Lock Loop : PLL) ขั้นแรกถ้าเฟสส่วนเกินอินพุตเปลี่ยนแปลงช้ามาก เฟสส่วนเกินเอาต์พุตเปลี่ยนตามอินพุต หลังจาก φ_{out} ถูกล็อคไว้ที่ φ_{in} และหากการเปลี่ยนแปลงใน φ_{in} อีกกรณีหนึ่งที่สอดคล้องกับ $s \longrightarrow 0$ ดังนั้นการเปลี่ยนแปลงใน φ_{out} จะเท่ากับการเปลี่ยนแปลงใน φ_{in} ในตัวอย่างที่แสดงในรูปที่ 2.24

จากสมการที่ 2.34 สามารถเขียนฟังก์ชันการถ่ายโอนแบบลูปปิดเป็น

$$H(s)|_{closed} = \frac{K_{PD}K_{VCO}}{\frac{s^2}{\omega_{LPF}} + s + K_{PD}K_{VCO}} \tag{2.35}$$

ต่อจากนี้เราหมายถึง $H(s)|_{closed}$ โดย $H(s)$ หรือ $\varphi_{out} / \varphi_{out}$ ถ้า $s \longrightarrow 0$, $H(s) \longrightarrow 1$ เนื่องจากอัตราขยายลูปเป็นอนันต์

จะวิเคราะห์ $H(s)$ เพิ่มเติม เราได้รับความสัมพันธ์ที่ช่วยให้เข้าใจของระบบจากออสซิเลเตอร์ว่าความถี่ชั่วขณะของรูปคลื่นเท่ากับเวลาของอนุพันธ์ของเฟส $\omega = d\varphi/dt$ เนื่องจากความถี่และเฟสสัมพันธ์กันโดยเชิงเส้นของฟังก์ชันการถ่ายโอนของสมการที่ 2.35 นำไปใช้กับการเปลี่ยนแปลงในความถี่อินพุตและเอาต์พุตเช่นกัน

$$\frac{\omega_{out}}{\omega_{in}}(s) = \frac{K_{PD}K_{VCO}}{\frac{s^2}{\omega_{LPF}} + s + K_{PD}K_{VCO}} \tag{2.36}$$

ผลลัพธ์นี้คาดว่าหาก ω_{in} เปลี่ยนแปลงช้ามาก ($s \longrightarrow 0$) ดังนั้น ω_{out} จะเปลี่ยนตาม ω_{in} อีกครั้ง ผลลัพธ์ที่คาดไว้เนื่องจากถือว่าลูปถูกล็อค สมการที่ 2.36 ระบุด้วยว่าถ้า ω_{in} เปลี่ยนแปลงอย่างรวดเร็ว แต่ระบบมีเวลาเพียงพอในการทำให้คงที่ ($s \longrightarrow 0$) ดังนั้นการเปลี่ยนแปลงใน ω_{out} จะเท่ากับใน ω_{in} ดังแสดงในรูปที่ 2.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสังเกตข้างต้นช่วยในการวิเคราะห์ได้สองแบบ อย่างแรกคือการตอบสนองชั่วคราวบางอย่างของลูปปิดของระบบจะจัดการได้ง่ายกว่าในเรื่องของการเปลี่ยนแปลงในปริมาณความถี่มากกว่าปริมาณเฟส ประการที่สองเนื่องจากการเปลี่ยนแปลงใน ω_{out} จะต้องมาพร้อมกับการเปลี่ยนแปลงใน V_{cont} จึงได้

$$H(s) = K_{VCO} \cdot \frac{V_{cont}}{\omega_{in}}(s) \tag{2.37}$$

นั่นคือการตอบสนองของ V_{cont} ต่อการเปลี่ยนแปลงใน ω_{in} ทำให้เกิดการตอบสนองของลูปปิดของระบบ

ฟังก์ชั่นการถ่ายโอนของ 2nd order ของสมการ 2.36 แสดงให้เห็นว่าการตอบสนองของระบบ type I สามารถเป็น overdamped critical damped หรือ underdamped เพื่อให้ได้เงื่อนไขสำหรับแต่ละกรณีในรูปแบบที่ใช้ในทฤษฎี $s^2 + 2\zeta\omega_n s + \omega_n^2$ โดยที่ ζ คือ damping factor และ ω_n คือ natural frequency นั่นคือ

$$H(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \tag{2.38}$$

เมื่อ

$$\omega_n = \sqrt{\omega_{LPF} K_{PD} K_{VCO}} \tag{2.39}$$

$$\zeta = \frac{1}{2}\sqrt{\frac{\omega_{LPF}}{K_{PD}K_{VCO}}} \tag{2.40}$$

โพลทั้งสองของระบบลูปปิดถูกกำหนดโดย

$$s_{1,2} = -\zeta\omega_n \pm \sqrt{(\zeta^2 - 1)\omega_n^2} \tag{2.41}$$

$$= \left(-\zeta \pm \sqrt{(\zeta^2 - 1)}\right)\omega_n \tag{2.42}$$

ดังนั้น ถ้า $\zeta > 1$ ทั้งสองโพลเป็นค่าจริง ระบบจะเป็น overdamped การตอบสนองชั่วคราวด้วยเลขชี้กำลังสองตัวที่มีค่าคงที่เวลา $1/s_1$ และ $1/s_2$ ในทางกลับกัน ถ้า $\zeta < 1$ โพลนั้นจะซับซ้อนและการตอบสนองกับสเตปความถี่อินพุต $\omega in = \Delta\omega u(t)$ เท่ากับ

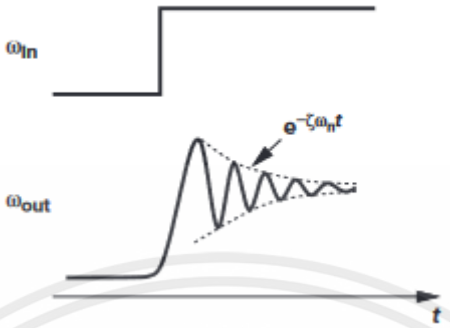
$$\omega_{out}(t) = \{1 - e^{-\zeta\omega_n t}\left[cos\left(\omega_n\sqrt{(1-\zeta^2 t}\right) + \frac{\zeta}{\sqrt{(1-\zeta^2}} sin\left(\omega_n\sqrt{(1-\zeta^2 t}\right)\right]\}\Delta\omega u(t) \tag{2.43}$$

$$= [1 - \frac{\zeta}{\sqrt{(1-\zeta^2}} e^{-\zeta\omega_n t} \sin\left(\omega_n\sqrt{(1-\zeta^2 t} + \theta\right)]\,\Delta\omega u(t) \tag{2.44}$$

โดยที่ ω_{out} หมายถึงการเปลี่ยนแปลงความถี่เอาต์พุตและ $\theta = \sin^{-1}\sqrt{1-\zeta^2}$ ดังแสดงในรูปที่ 2.28 การตอบสนองของสเตปประกอบด้วยองค์ประกอบไซน์ที่มีความถี่ $\omega_n\sqrt{1-\zeta^2}$ ที่ลดลงด้วยค่าคงที่เวลา $\zeta\omega n^{-1}$ ระบบจะแสดงการตอบสนองเดียวกันหากใช้เฟสสเตป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

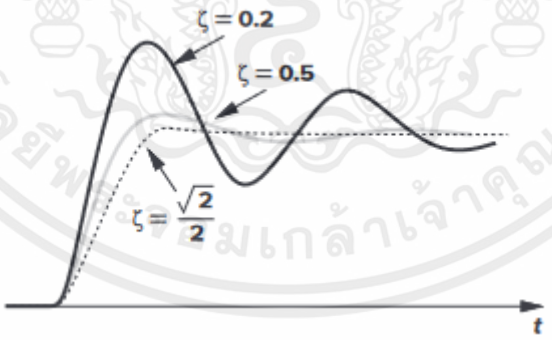
ความเร็วในการเปลี่ยนแปลงของเฟสล็อคลูป (Phase Lock Loop : PLL) เป็นปัญหาอย่างมากในการใช้งานส่วนใหญ่ สมการที่ 2.44 แสดงว่าการลดลงแบบเอ็กซ์โพเนนเชียลเป็นตัวกำหนดความเร็วของเอาต์พุตที่เข้าใกล้ค่าสุดท้าย ซึ่งหมายความว่า $\zeta\omega n$ ต้องมีค่ามากสุดสำหรับ PLL type I



รูปที่ 2.28 ผลตอบสนองแบบ Underdamped ของเฟสล็อคลูปกับสเตปความถี่ **[3]**

ผลลัพธ์นี้เผยให้เห็นการเปลี่ยนแปลงที่สำคัญระหว่างความเร็วก่อนที่จะเสถียรและการกระเพื่อมบนจุดที่เชื่อมต่อ VCO ยิ่งค่า ω_{LPF} น้อยจะกำจัดองค์ประกอบความถี่สูงที่ผลิตโดย PD มากขึ้นแต่ใช้ระยะเวลาคงที่นานขึ้น

นอกจาก $\zeta\omega_n$ แล้ว ค่าของ ζ ก็มีความสำคัญเช่นกัน ภาพประกอบในรูป 2.29 สำหรับค่า ζ และ ω_n การตอบสนองของสเตปแสดงการกระเพื่อมที่รุนแรงสำหรับ $\zeta < 0.5$ ในมุมมองของกระบวนการและการเปลี่ยนแปลงพารามิเตอร์ในลูป ζ ส่วนใหญ่จะถูกเลือกในช่วง $\frac{\sqrt{2}}{2}$ ถึง 1 เพื่อหลีกเลี่ยงการกระเพื่อมที่มากเกินไป



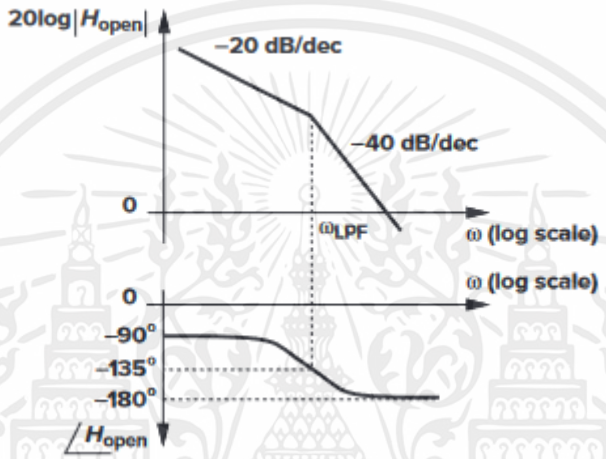
รูปที่ 2.29 ผลตอบสนอง Underdamped ของระบบ 2nd order ที่ค่าต่างๆ ของ Damping factor **[3]**

การเลือก ζ ต้องแลกเปลี่ยนกับค่าตัวแปรอื่นๆ เช่น สมการที่ 2.40 หมายความว่าเมื่อ ω_{LPF} ลดลงน้อยที่สุด กระเพื่อมของแรงดันควบคุมและความเสถียรจะลดลง และสมการที่ 2.28 และ 2.40 ระบุว่าทั้งความต่างของเฟสและ ζ เป็นสัดส่วนที่ผกผันกับค่า $K_{PD}K_{VCO}$ การลดความต่างของเฟสอย่างหลีกเลี่ยงไม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำให้ระบบเสถียรน้อยลง โดยสรุป PLL type I ได้รับผลกระทบจากการเปลี่ยนระหว่างความเร็วก่อนที่จะเสถียรกับการกระเพื่อมของแรงดันควบคุม (เช่น คุณภาพของสัญญาณเอาต์พุต) ความต่างเฟสและความเสถียรของระบบ

ความเสถียรของเฟสล็อคลูป (Phase Lock Loop : PLL) ยังสามารถวิเคราะห์แบบกราฟวาด Bode plot ของขนาดและเฟสของลูปได้รับผลระยะของเฟส ใช้สมการที่ 2.34 เพื่อสร้าง Bode plot ดังแสดงในรูปที่ 2.30 การเพิ่มของลูปเริ่มต้นจากที่ $\omega = 0$ และลดลงที่อัตรา 20 dB/dec สำหรับ $\omega < \omega_{LPF}$ และที่อัตรา 40 dB/dec เฟสเริ่มต้นที่ −90° และถึง −180°



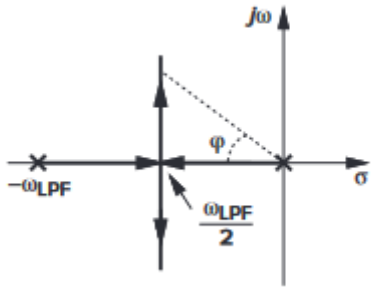
รูปที่ 2.30 Bode plot ของ PLL type I **[3]**

หากเลือก $K_{PD}K_{VCO}$ ที่สูงกว่าเพื่อลด $\varphi out - \varphi in$ พล็อตในรูปที่ 2.30 ถูกเลื่อนขึ้น เกนครอสโอเวอร์จะเลื่อนไปทางขวา ซึ่งจะทำให้ระยะเฟสลดลงซึ่งขึ้นกับ ζ และ $K_{PD}K_{VCO}$

$K_{PD}K_{VCO}$ ส่งผลกระทบต่อพารามิเตอร์ที่สำคัญหลายอย่างของเฟสล็อคลูป (Phase Lock Loop : PLL) ปริมาณนี้คือ บางครั้งเรียกว่าอัตราขยายลูปเพราะความคล้ากันของสมการ $\Delta\varphi = (\omega_{out} - \omega_0)/(K_{PD}K_{VCO})$ กับสมการระบบป้อนกลับ

ความเสถียรของเฟสล็อคลูป (Phase Lock Loop : PLL) ชนิด type I สามารถวิเคราะห์ได้โดยตำแหน่งของโพลในระนาบเชิงซ้อนพารามิเตอร์ $K_{PD}K_{VCO}$ แตกต่างกันไป ในรูปที่ 2.31 ด้วย $K_{PD}K_{VCO} = 0$ ลูปเปิดอยู่ $\zeta = \infty$ และทั้งสองโพลถูกกำหนดโดย $s_1 = -\omega_{LPF}$ และ $s_2 = 0$ เมื่อ $K_{PD}K_{VCO}$ เพิ่มขึ้น ζ ลดลงและสองโพลที่กำหนดโดย $s_{1,2} = (-\zeta \pm \sqrt{\zeta^2 - 1})\, \omega_n$ เลื่อนเข้าหากันบนแกนจริง สำหรับ $\zeta = 1$ $s_1 = s_2 = -\zeta\, \omega_n = -\omega_{LPF}/2$ ถ้า $K_{PD}K_{VCO}$ เพิ่มขึ้นอีก สองทั้งโพลจะซับซ้อนยิ่งขึ้นโดยมีส่วนจริงเท่ากับ $-\zeta\omega_n = -\omega_{LPF}/2$ เลื่อนที่ขนานกับแกน $j\omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.31 Root Locus ของ PLL type I **[3]**

จากรูปที่ 2.31 เมื่อ s_1 และ s_2 เคลื่อนออกจากแกนจริง ระบบจะมีเสถียรภาพน้อยลง $\cos \psi = \zeta$ สรุปได้ว่าเมื่อ ψ เข้าใกล้ 90° ค่า ζ ลดลงเป็นศูนย์

ฟังก์ชันการถ่ายโอนอื่นที่แสดงพฤติกรรมของเฟสล็อคลูป (Phase Lock Loop : PLL) คือ ความผิดพลาดที่เอาต์พุตของตัวลบเฟสในรูปที่ 2.27 กำหนดเป็น $H_e(s) = (\varphi in - \varphi out)/\varphi in$ ฟังก์ชันการถ่ายโอนนี้สามารถได้จากการสังเกตว่า $\varphi out/\varphi in = H(s)$ และจากสมการที่ 2.35

$$H_e(S) = 1 - H(S) \tag{2.45}$$

$$= \frac{s^2 + 2\zeta\omega_n s}{s^2 + 2\zeta\omega_n s + \omega_n^2} \tag{2.46}$$

ตามที่คาดไว้ $H_e(s) \longrightarrow 0$ ถ้า $s \longrightarrow 0$ เนื่องจากเอาต์พุตเปลี่ยนตามอินพุตเมื่ออินพุตเปลี่ยนแปลงช้า

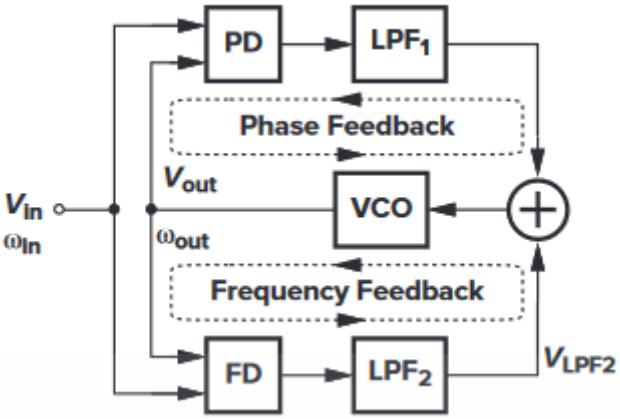
2.4.4 Charge Pump PLLs

แม้ว่า PLL type I จะได้รับการยอมรับอย่างกว้างขวางในรูปแบบที่ไม่ต่อเนื่อง แต่ข้อบกพร่องของ PLL เหล่านี้มักจะห้ามการใช้งานในวงจรรวมประสิทธิภาพสูง นอกเหนือจากการแลกเปลี่ยนระหว่าง ζ , ω_{LPF} และความต่างเฟส PLL type I มีข้อเสียเปรียบที่สำคัญอีกประการหนึ่งช่วงการทำงานที่จำกัด

เมื่อวงจร PLL เริ่มทำงาน ออสซิลเลเตอร์จะทำงานที่ความถี่ต่างจากความถี่อินพุต เช่น ลูปไม่ได้ล็อค คือ ลูปไม่ถูกล็อคภายใต้เงื่อนไขใด การเปลี่ยนแปลงของการวนซ้ำจากสภาวะไม่ถูกล็อคสู่สภาวะที่ถูกล็อคเป็นปรากฏการณ์ที่ไม่เป็นเชิงเส้นเนื่องจากตัวตรวจจับเฟสจะจับได้ความถี่ที่ไม่เท่ากัน แต่ระบุโดยไม่มีข้อพิสูจน์การได้มาอยู่ในลำดับของ ω_{LPF} นั่นคือ ลูปจะล็อคก็ต่อเมื่อความแตกต่างระหว่าง ω_{in} และ ω_{out} น้อยกว่าค่า ω_{LPF} โดยประมาณ

ปัญหาของการการล็อคทำให้เปลี่ยน PLL type I ถ้า ω_{LPF} ลดลงเพื่อการลดการกระเพื่อมของแรงดันควบคุมช่วงการได้มาจะลดลง แม้ว่าความถี่อินพุตมีค่าที่ควบคุมที่แม่นยำ ช่วงการได้มาที่กว้างเนื่องจาก VCO ความถี่กลางอาจแตกต่างกันมากตามกระบวนการและอุณหภูมิ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

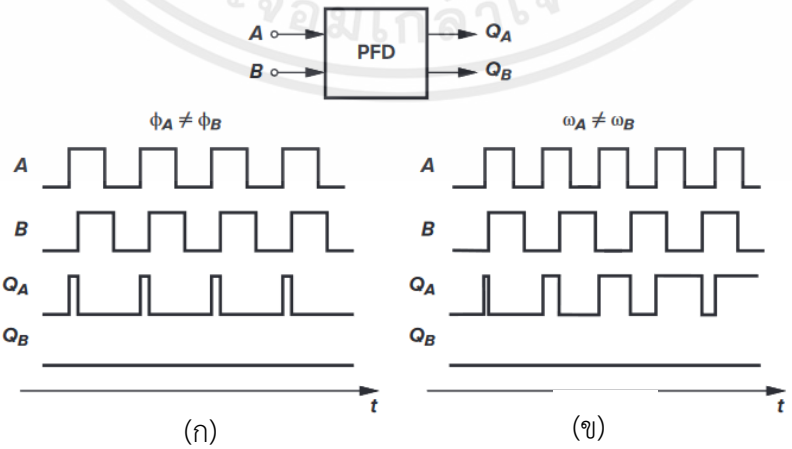


รูปที่ 2.32 การเพิ่มการตรวจจับความถี่ในระบบ **[3]**

เพื่อแก้ไขปัญหาการได้มา PLL ได้รวมตัวตรวจจับความถี่ไว้ด้วย เพื่อตรวจจับเฟสและแสดงในรูปที่ 2.32 แนวคิดคือการเปรียบเทียบ ω_{in} และ ω_{out} โดยใช้เครื่องตรวจจับความถี่ สร้างองค์ประกอบแรงดันไฟตรง V_{LPF} ตามสัดส่วน $\omega_{in} - \omega_{out}$ และนำไปใช้กับ VCO ในลูปปิด ในตอนแรก FD ขับ ω_{out} ไปทาง ω_{in} ในขณะที่เอาต์พุต PD ยังไม่เปลี่ยนแปลง เมื่อ $|\omega_{out} - \omega_{in}|$ มีขนาดเล็กเพียงพอ เฟสล็อคลูปได้รับการล็อครูปแบบดังกล่าวจะเพิ่มช่วงการได้มาของช่วงการปรับของ VCO

2.4.4.1 Phase/Frequency Detector

สำหรับสัญญาณเป็นคาบ และเป็นไปได้ที่จะรวมสองลูปของรูปที่ 2.32 โดยสร้างวงจรที่สามารถตรวจจับความแตกต่างของเฟสและความถี่ เรียกว่าเครื่องตรวจจับเฟส/ความถี่ (PFD) และแสดงภาพประกอบในรูปที่ 2.33 วงจรเชิงลำดับเพื่อสร้างสามสถานะและตอบสนองต่อขอบที่เพิ่มขึ้นหรือลดลงของอินพุตทั้งสอง หากเริ่มแรก $Q_A = Q_B = 0$ การเปลี่ยนแปลงที่เพิ่มขึ้นของ A จะนำไปสู่ $Q_A = 1$, $Q_B = 0$ วงจรจะคงอยู่ในสถานะนี้จนกว่า B จะสูง จากนั้น Q_A จะกลับสู่ศูนย์ คือถ้าขอบที่เพิ่มขึ้นบน A ตามด้วยขอบที่เพิ่มขึ้นบน B แล้ว Q_A จะสูงขึ้นและกลับสู่ต่ำ ลักษณะการทำงานจะคล้ายกันสำหรับอินพุต B

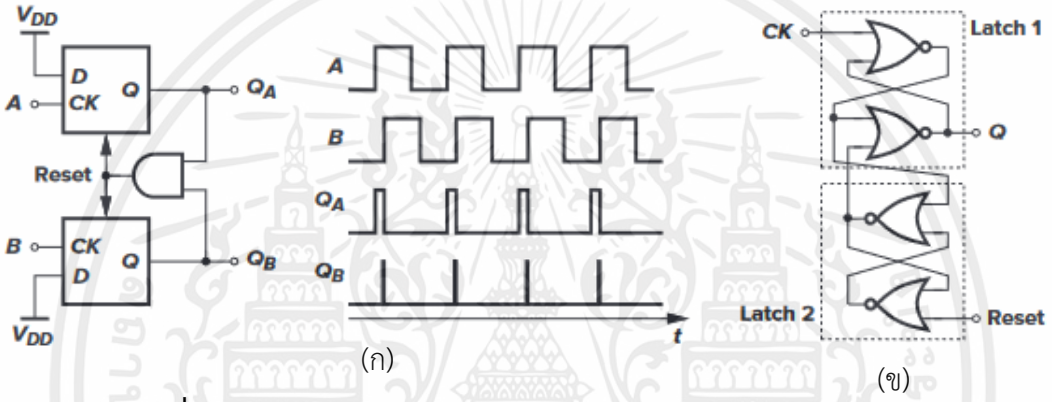


รูบท 2.33 แนวคิดของ PFD **[3]**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 2.33(ก) อินพุตทั้งสองมีความถี่เท่ากัน แต่ A นำไปสู่ B เอาต์พุต Q_A ยังคงทำงานต่อไป สร้างพัลส์ที่มีความกว้างเป็นสัดส่วนกับ $\phi_A - \phi_B$ ในขณะที่ Q_B ยังคงเป็นศูนย์ ในรูป 2.33(ข), A มีความถี่สูงกว่า B และ Q_A สร้างพัลส์ในขณะที่ Q_B ไม่สร้าง โดยสมมาตรถ้า A ความถี่ต่ำกว่า B จากนั้น Q_B จะสร้างพัลส์และ Q_A ยังคงนิ่ง ดังนั้น dc ของ Q_A และ Q_B จะให้ค่าเกี่ยวกับ $\phi_A - \phi_B$ หรือ $\omega_A - \omega_B$ เอาต์พุต Q_A และ Q_B เรียกว่า “UP” และ “DOWN” พัลส์ตามลำดับ

วงจรของรูปที่ 2.33 สามารถเกิดขึ้นได้ในรูปแบบต่างๆ รูปที่ 2.34(ก) แสดงการใช้งานอย่างง่ายซึ่งประกอบด้วย D flipflop ที่ทริกเกอร์ขอบขึ้นและรีเซตได้สองตัวพร้อมอินพุต D ที่เชื่อมโยงกับหนึ่งลอจิก

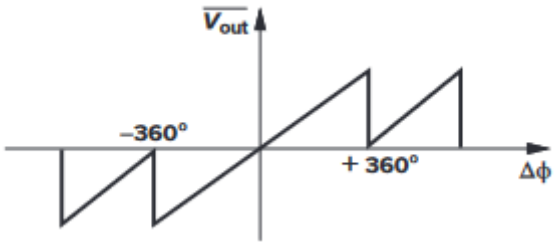


รูปที่ 2.34 (ก) การทำงานของ PFD (ข) การใช้งาน D flipflop **[3]**

อินพุต A และ B ทำหน้าที่เป็นสัญญาณนาฬิกาของ D flipflop ถ้า Q_A=Q_B=0 และ A มีสัญญาณลอจิก HIGH เข้ามา Q_A = 1 หากตามมาด้วยการเปลี่ยนแปลงสัญญาณลอจิก HIGH เข้ามาใน B, Q_B = 1 และลอจิก AND จะรีเซ็ตทั้ง D flipflop ทั้งคู่ Q_A และ Q_B นั้นสูงพร้อมกันในช่วงเวลาสั้น ๆ แต่ความแตกต่างระหว่างค่าเฉลี่ยยังคงแสดงถึงเฟสอินพุตหรือความแตกต่างของความถี่อย่างถูกต้อง D flipflop แต่ละตัวสามารถถูกใช้งานดังแสดงในรูปที่ 2.34(ข) โดยที่ RS Lactch สองตัวเป็นแบบ cross-coupled Latch1 และLatch 2 ตอบสนองต่อขอบที่เพิ่มขึ้นของ CK และรีเซ็ตตามลำดับ

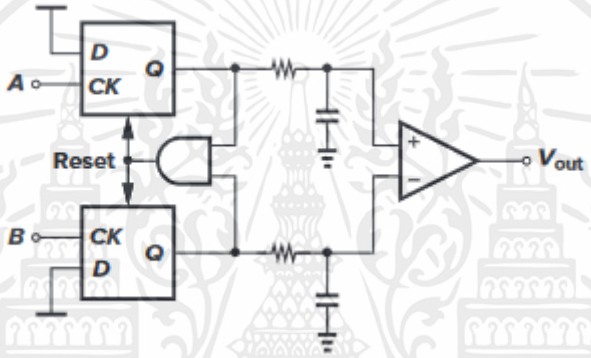
อินพุตและเอาท์พุตของ PFD ด้านบน กำหนดเอาต์พุตเป็นความแตกต่างระหว่างค่าเฉลี่ยของ Q_A และ Q_B เมื่อ $\omega_A = \omega_B$ และละเลยผลกระทบของพัลส์รีเซ็ตแคบ สังเกตว่าผลลัพธ์จะแปรผันอย่างสมมาตรเป็น $|\Delta\varphi|$ เริ่มจากศูนย์ในรูปที่ 2.35 สำหรับ $\Delta\varphi = \pm 360^\circ$ V_{out} จะถึงจุดสูงสุดและเปลี่ยนเครื่องหมายในภายหลัง ลักษณะความชันสามารถมองเป็นอัตราขยายได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.35 ลักษณะอินพุตและเอาต์พุตของ PFD **[3]**

PFD ของรูปที่ 2.34(ก) ถูกนำไปใช้ใน phase-locked loop เนื่องจากความแตกต่างระหว่างค่าเฉลี่ยของ Q_A และ Q_B ทั้งสองเอาต์พุตสามารถกรองความถี่ต่ำผ่านและตรวจจับความแตกต่างได้ดังรูปที่ 2.36 แต่เนื่องจากอัตรายขยายลูปที่จำกัด $K_{PFD}K_{VCO}$ มันได้รับผลกระทบจากความต่างเฟส

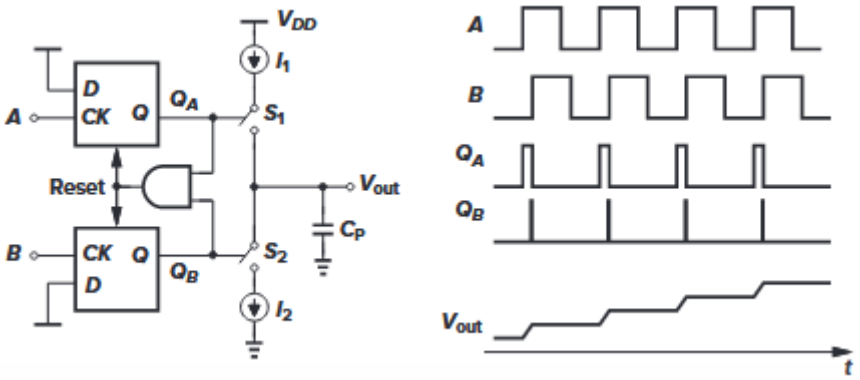


รูปที่ 2.36 PFD ตามด้วยตัวกรองความถี่ต่ำ **[3]**

2.4.4.2 Charge Pump

เพื่อหลีกเลี่ยงความต่างเฟสที่มีจำกัดที่อยู่ใน PLL type I ต้องการเพิ่มอัตราขยายลูปแบบไม่จำกัดอาจโดยวิธีการของรวบรวมในขั้นแรก จะใส่ชาร์จปั๊ม(Charge Pump: CP) ระหว่าง PFD และตัวกรองลูป ชาร์จปั๊มประกอบด้วยแหล่งจ่ายกระแสสองแหล่งสลับกันทำงานดังแสดงในรูปที่ 2.37 แสดงตัวอย่างชาร์จปั๊มที่ขับโดย PFD และขับคาปาซิเตอร์ วงจรมีสามสถานะ ถ้า $Q_A = Q_B = 0$ แสดงว่าปิด S_1 และ S_2 และ Vout คงที่ หาก $Q_A = 1$ และ $Q_B = 0$ I_1 จะชาร์จประจุ C_P ในทางกลับกัน ถ้า $Q_A = 0$ และ $Q_B = 1$ แล้ว I_2 ปล่อยประจุ C ดังนั้น ตัวอย่างเช่น ถ้า A นำ B แล้ว Q_A ยังคงสร้างพัลส์และ Vout เพิ่มขึ้นอย่างต่อเนื่อง เรียกว่ากระแส UP และ DOWN ตามลำดับ I_1 และ I_2 มีค่าเท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.37 PFD ที่ต่อกับ CP **[3]**

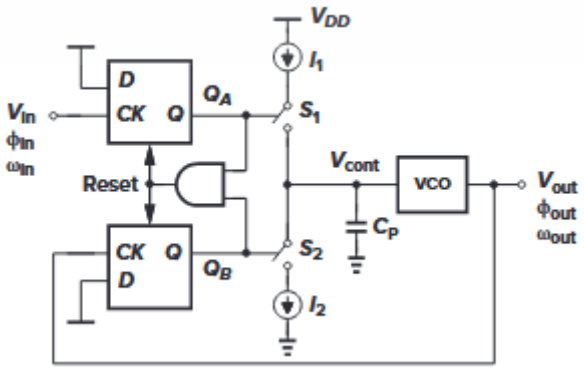
‘

PFD/CP/LPF ที่ตาม แสดงในรูปที่ 2.37 มีคุณสมบัติที่น่าสนใจ ถ้า A นำ B Q_A สร้างพัลส์ไปเรื่อยๆ ทำให้ชาร์จปั๊มฉีดประจุ I_1 เข้าไปใน C_P และบังคับให้ V_{out} ให้สูงขึ้นเรื่อยๆ สำหรับความต่างอินพุตแบบจำกัด ผลลัพธ์สุดท้ายจะไปที่ $+\infty$ หรือ $-\infty$ นั่นคืออัตราขยายของวงจรเป็นอนันต์ ในคาสเคดนี้ PFD จะแปลงความต่างเฟสอินพุตเป็นความกว้างพัลส์ใน Q_A หรือ Q_B ชาร์จปั๊มจะแปลงความกว้างพัลส์นี้เป็นการชาร์จและตัวเก็บประจุจะชาร์จไว้ใช้งานต่อไป

ชาร์จปั๊มแบบพื้นฐาน PLL

สร้าง PLL โดยใช้วงจรของรูปที่ 2.37 แสดงในรูป 2.38 และเรียกว่าชาร์จปั๊ม PLL การใช้งานดังกล่าวจะตรวจจับการเปลี่ยนแปลงที่อินพุตและเอาต์พุต ตรวจจับเฟสหรือความถี่ที่ต่างและเปิดใช้งานชาร์จปั๊มตามลำดับ เมื่อเริ่มทำงาน ω_{out} อาจอยู่ต่างจาก ω_{in} และ PFD และชาร์จปั๊มจะปรับแรงดันควบคุมเพื่อให้ ω_{out} เข้าใกล้ ω_{in} เมื่อความถี่อินพุตและเอาต์พุตเข้าใกล้กัน PFD ทำงานเป็นตัวตรวจจับเฟสซึ่งทำหน้าที่ในการล็อคเฟส ลูปจะล็อคเมื่อความต่างเฟสลดลงเป็นศูนย์และชาร์จปั๊มหยุดทำงาน

จากข้างต้นอัตราขยายของการรวม PFD/CP/LPF นั้นเป็นอนันต์ ความแตกต่างระหว่าง φ_{in} และ φ_{out} ทำให้เกิดประจุสะสมบน C_P อย่างไม่มีกำหนด เมื่อลูปของรูปที่ 2.38 ถูกล็อค V_{cont} จะถูกจำกัด ดังนั้นความต่างของเฟสอินพุตต้องเป็นศูนย์พอดี สิ่งนี้ตรงกันข้ามกับพฤติกรรม PLL type I ซึ่งความต่างเฟสมีจำกัดและฟังก์ชั่นของความถี่เอาต์พุต



รูปที่ 2.38 charge-pump PLL **[3]**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้เข้าใจถึงการดำเนินการของ PLL มากขึ้น ดังแสดงในรูปที่ 2.38 ให้ละผลของรีเซ็ตพัลส์บน Q_A และ Q_B และสมมติว่าหลังจาก $\varphi out - \varphi in$ ลดลงเป็นศูนย์ PFD จะสร้าง $Q_A = Q_B = 0$ ดังนั้น ชาร์จปั๊มจึงไม่ได้ใช้งาน และ C_P จะรักษาแรงดันไฟควบคุมให้คงที่ หมายความว่าไม่จำเป็นต้องใช้ PFD และ CP อีกต่อไป ถ้า Vcont คงที่เป็นเวลานาน VCO ความถี่และเฟสเริ่มเลื่อน โดยเฉพาะในออสซิเลเตอร์ใน VCO จะสร้างการสัญญาณแบบสุ่มในความถี่การกระเพื่อมที่อาจส่งผลให้เกิดความต่างของเฟสที่สะสมเป็นจำนวนมาก จากนั้น PFD จะตรวจพบความแตกต่างของเฟสสร้างพัลส์แก้ไขบน Q_A หรือ Q_B ที่ปรับความถี่ VCO ผ่านชาร์จปั๊มและตัวกรอง นี่คือเหตุผลที่ระบุไว้ก่อนหน้านี้ว่า PLL ตอบสนองเฉพาะส่วนที่เกินเฟสของคลื่นนอกจากนี้ยังทราบว่าเนื่องจากในรูปที่ 2.38 จะทำการเปรียบเทียบเฟสในทุกรอบเฟสและความถี่ของ VCO ไม่สามารถเลื่อนได้อย่างมาก

Dynamics of CPPLL

เพื่อที่จะหาปริมาณพฤติกรรมของ PLLs ของชาร์จปั๊ม แบบจำลองเชิงเส้นสำหรับการรวมกันของ PFD CP และตัวกรองความถี่ต่ำผ่าน ดังนั้นจึงได้ฟังก์ชันถ่ายโอนการทำงาน

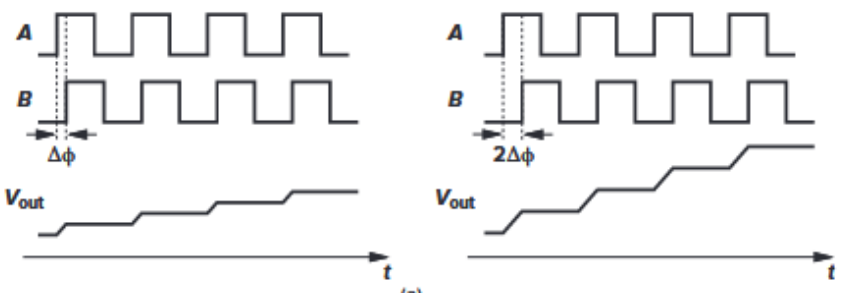
ทดสอบระบบเพื่อหาความเป็นเชิงเส้น ตัวอย่างเช่น ดังแสดงในรูปที่ 2.39(ก)เพิ่มความแตกต่างของเฟสอินพุตเป็นสองเท่าและดูว่า Vout เป็นสองเท่าหรือไม่ ที่น่าสนใจคือส่วนแบนของ Vout สองเท่าแต่ไม่ใช่ ramp ท้ายที่สุดแล้วการชาร์จหรือการคายประจุ C_P มีค่าคงที่ ส่งผลให้ความชันคงที่สำหรับ ramp คล้ายกับการแกว่งในออปแอมป์ ดังนั้นระบบไม่เป็นเชิงเส้นอย่างสมบูรณ์ เพื่อให้แน่ใจนี้ ประมาณรูปคลื่นเอาท์พุตโดยใช้ ramp ในรูปที่ 2.39(ข) ความสัมพันธ์เชิงเส้นตรงระหว่าง Vout และ $\Delta\varphi$ ประมาณระบบเวลาที่ไม่ต่อเนื่องด้วยแบบจำลองเวลาที่ต่อเนื่อง

ฟังก์ชันการถ่ายโอนคือการแปลงลาปลาสของการตอบสนองของอิมพัลส์ กำหนดให้ใช้อิมพัลส์ที่แตกต่างของเฟสและคำนวณ Vout ในโดเมนเวลา เนื่องจากอิมพัลส์มีความต่างของเฟสที่สังเกตุได้ยาก จึงใช้สเตปความต่างเฟส ได้ Vout และแยกผลลัพธ์ตามเวลา

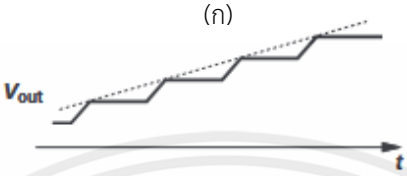
สมมติว่าระยะเวลาอินพุตคือ T_{IN} และชาร์จปั๊มให้กระแส $\pm I_P$ กับตัวเก็บประจุ ดังแสดงในรูปที่ 2.40 เริ่มต้นด้วยความแตกต่างของเฟสเป็นศูนย์ ที่ t = 0 ให้เลื่อนเฟส B โดย φ_0 นั่นคือ $\Delta\varphi = \varphi_0 u(t)$ เป็นผลให้ Q_A หรือ Q_B สร้างพัลส์ที่กว้างเป็น $\frac{\varphi_0 T_{in}}{2\pi}$ วินาที เพิ่มแรงดันไฟขาออก $\frac{I_p}{C_p} \cdot \frac{\varphi_0 T_{in}}{2\pi}$ ในทุกคาบ ประมาณ ramp (ความชัน) V_{out} จึงแสดงความชันของ $\frac{I_p}{C_p} \cdot \frac{\varphi_0}{2\pi}$ และสามารถแสดงได้

$$V_{out}(t) = \frac{I_p}{2\pi C_p} t \cdot \varphi_0 u(t) \qquad (2.47)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



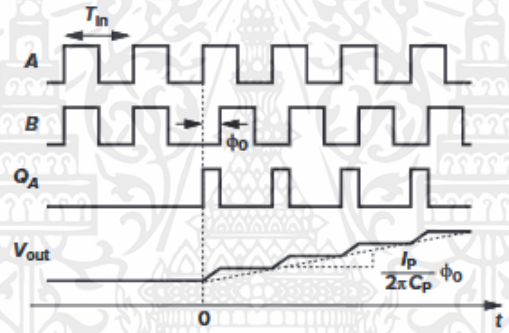
(ก)



(ข)

รูปที่ 2.39 (ก) การทดสอบความเป็นเชิงเส้นของ PFD/CP/LPF

(ข) การประมาณ RAMP ของการตอบสนอง **[3]**



รูปที่ 2.40 การตอบสนองของสเตปของ PFD/CP/LPF **[3]**

ดังนั้นการตอบสนองของอิมพัลส์คือ

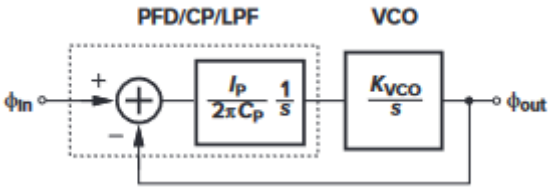
$$h(t)= \frac{I_p}{2\pi C_p}u(t) \tag{2.48}$$

ฟังก์ชันการถ่ายโอน

$$\frac{V_{out}}{\Delta\varphi}(t)= \frac{I_p}{2\pi C_p}\cdot\frac{1}{s} \tag{2.49}$$

ดังนั้น ชุด PFD/CP/LPF มีโพลที่จุดกำเนิด ซึ่งเป็นจุดที่ตรงกันข้ามกับวงจร PD/LPF ที่ใช้ใน PLL type I ในการเปรียบเทียบกับนิพจน์ K_{VCO}/s เรียก $\frac{I_p}{2\pi C_p}$ ว่า อัตราขยายของ PFD คือ K_{PFD}

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.41 โมเดลของชาร์จปั๊มPLL **[3]**

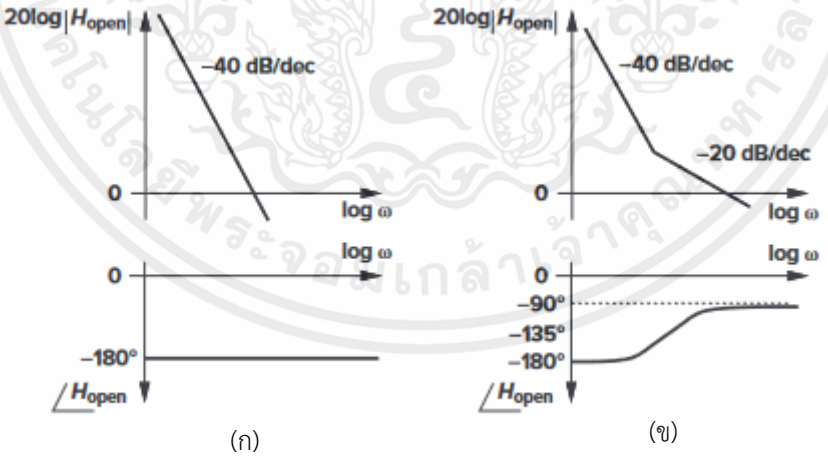
PLL ชาร์จปั๊ม แสดงในรูปที่ 2.41 ให้ฟังก์ชันการถ่ายโอนแบบลูปเปิด

$$\frac{\varphi_{out}}{\varphi_{in}}(s)|_{open} = \frac{I_p}{2\pi C_p}\cdot\frac{K_{VCO}}{s^2} \tag{2.50}$$

เนื่องจากอัตราขยายลูปมี 2 โพลที่จุดกำเนิด โทโพโลยีนี้จึงเรียกว่า PLL type II ฟังก์ชันการถ่ายโอนลูปปิดแทนด้วย H (s) เท่ากับ

$$H(s) = \frac{\frac{I_p K_{VCO}}{2\pi C_p}}{s^2+\frac{I_p K_{VCO}}{2\pi C_p}} \tag{2.51}$$

ระบบลูปปิดประกอบด้วยโพลที่จินตภาพสองโพลที่ $s_{1,2}=\pm j\sqrt{\frac{I_p K_{VCO}}{2\pi C_p}}$ ดังนั้นจึงไม่เสถียร ความไม่เสถียรเกิดขึ้นเพราะการได้รับลูปมีสองโพลที่จุดกำเนิด ดังแสดงในรูปที่ 2.42(ก) แต่ละโพลมีการเปลี่ยนเฟสคงที่ที่ 90° ทำให้ระบบออสซิเลสที่ความถี่ครอสโอเวอร์เกนได้

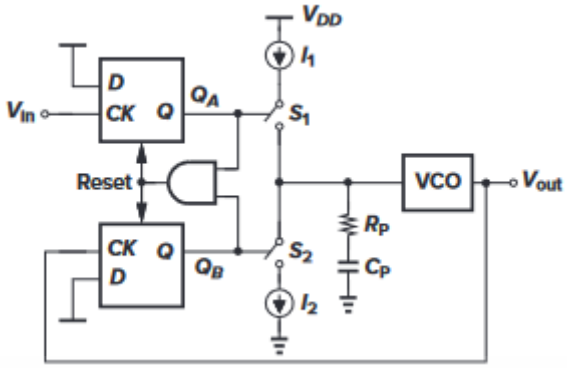


(ก) (ข)

รูปที่ 2.42 (ก) ลักษณะการอัตราขยายลูปของ PLL ชาร์จปั๊ม (ข) การเพิ่มซีโร่ **[3]**

เพื่อให้ระบบเสถียร เราต้องปรับเปลี่ยนลักษณะเฟสเพื่อให้เฟสเลื่อนที่น้อยกว่า 180° ที่เกนครอสโอเวอร์ ดังแสดงในรูปที่ 2.42(ข) ซึ่งทำได้โดยการใส่ซีโร่ในการเพิ่มของลูปคือโดยการเพิ่มตัวต้านทานแบบอนุกรมด้วยตัวเก็บประจุตัวกรองลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.43 การเพิ่มซีโร่ของชาร์จปั๊ม PLL **[3]**

จากรูปที่ 2.43 มีฟังก์ชันการถ่ายโอน

$$\frac{V_{out}}{\Delta\varphi}(t) = \frac{I_p}{2\pi}\left(R_p + \frac{1}{C_p S}\right) \tag{2.52}$$

ฟังก์ชันการถ่ายโอนแบบลูปเปิด PLL เท่ากับ

$$\frac{\varphi_{out}}{\varphi_{in}}(s)|_{open} = \frac{I_p}{2\pi C_p}\left(R_p + \frac{1}{C_p S}\right)\frac{K_{VCO}}{S} \tag{2.53}$$

และ

$$H(s) = \frac{\frac{I_p K_{VCO}}{2\pi C_p}\left(R_p + \frac{1}{C_p S}\right)}{s^2 + \frac{I_p}{2\pi}K_{VCO}R_p S + \frac{I_p K_{VCO}}{2\pi C_p}} \tag{2.54}$$

ระบบลูปปิดประกอบด้วยซีโร่ที่ $s_z = -\frac{1}{(R_p C_p)}$ และ

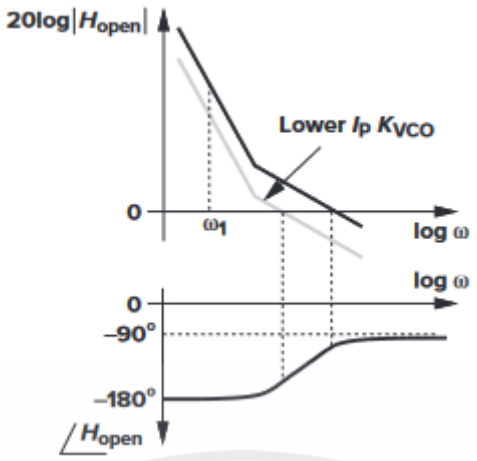
$$\omega_n = \sqrt{\frac{I_p K_{VCO}}{2\pi C_p}} \tag{2.55}$$

$$\zeta = \frac{R_p}{2}\sqrt{\frac{I_p C_p K_{VCO}}{2\pi}} \tag{2.56}$$

ถ้า $R_P = 0$ แล้ว $\zeta = 0$ สำหรับโพลเชิงซ้อน ค่าคงที่ของเวลาที่จะได้ $\frac{1}{\zeta\omega_n} = \frac{4\pi}{R_p I_p K_{VCO}}$

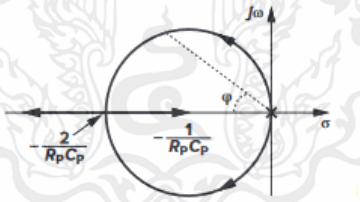
ปัญหาความเสถียร ความเสถียรของ PLL type II ค่อนข้างแตกต่างจาก PLL type I เริ่มการวิเคราะห์ด้วย Bode plot ของอัตราขยายลูปจากสมการที่ 2.53 แสดงในรูปที่ 2.44 Bode plot แสดงว่าถ้า $I_p K_{VCO}$ ลดลง ความถี่ครอสโอเวอร์เกนจะเคลื่อนที่ไปทางจุดกำเนิด ลด phase margin โดยสมการที่ 2.56 แนวโน้มนี้ตรงกันข้ามกับที่แสดงออกมาอย่างชัดเจนโดยสมการที่ 2.40 และแสดงในรูปที่ 2.35

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.44 การลดลงของเสถียรภาพชาร์จปั๊ม PLL เมื่อ I_PK_{VCO} ลดลง **[3]**

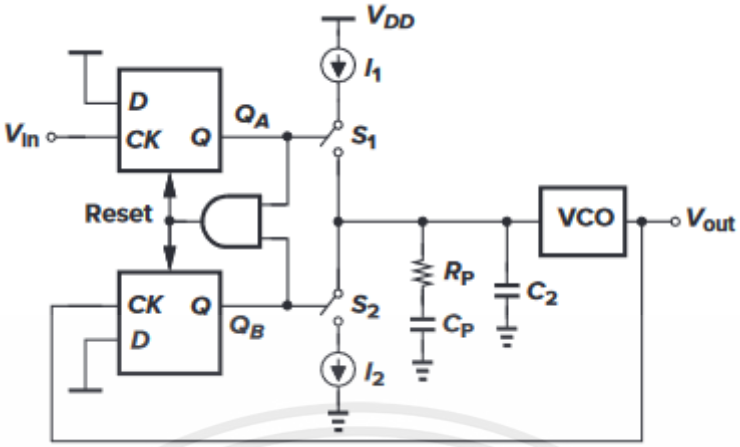
นอกจากนี้ยังสามารถสร้างโลคัสรูทของระบบลูปปิดในระนาบเชิงซ้อนได้ สำหรับ $I_pK_{VCO}=0$ ($I_p=0$) ลูปเปิดและทั้งสองโพลอยู่ที่จุดเริ่มต้น สำหรับ $I_pK_{VCO}>0$ มี $s_{1,2}=-\zeta\omega_n\pm\omega_n\sqrt{\zeta^2-1}$ และเนื่องจาก $\zeta \propto \sqrt{I_pK_{VCO}}$ โพลเชิงซ้อน ถ้า I_pK_{VCO} มีขนาดเล็กสามารถพิสูจน์ได้ ว่าเมื่อ I_pK_{VCO} เพิ่มขึ้น S_1 และ S_2 จะเคลื่อนที่บนวงกลมที่อยู่ตรงกลางที่ $\sigma=-\frac{1}{(R_pC_p)}$ มีรัศมี $\frac{1}{(R_pC_p)}$ แสดงในรูปที่ 2.45 โพลกลับสู่แกนจริงที่ $\zeta=1$ สมมติว่าค่า $-\frac{2}{(R_pC_p)}$ สำหรับ $\zeta>1$ โพลยังคงเป็นจริง โพลหนึ่งเข้าใกล้ $-\frac{1}{(R_pC_p)}$ และอีกอันไปที่ $-\infty$ ตามที่ $I_pK_{VCO}\longrightarrow+\infty$ เนื่องจากสำหรับคอมเพล็กซ์ S_1 และ S_2 $\zeta=\cos\psi$ สังเกตว่า I_pK_{VCO} เกิดค่าซีโร่ระบบจะมีเสถียรภาพมากขึ้น



รูปที่ 2.45 Root locus ของ PLL type II **[3]**

PLL type II ที่ได้รับการแก้ไขในรูปที่ 2.43 ของผลกระทบจากข้อเสียที่สำคัญ เมื่อชาร์จปั๊มขับของ R_P และ C_P ที่อนุกรมกัน ในทุกครั้งที่มีการฉีดกระแสเข้าไปตัวกรองลูป แรงดันที่ควบคุมจะเพิ่มขึ้นอย่างมาก แม้ในสภาวะที่ล็อค การที่ฉีดประจุระหว่าง I_1 และ I_2 ไม่เท่ากันและการป้อนผ่านของสัญญาณนาฬิกาของ S_1 และ S_2 ส่งผลให้เกิดการเพิ่มขึ้นของแรงดันใน V_{cont} ผลลัพธ์ที่เกิดขึ้นคือเกิดการกระเพื่อมอย่างมากที่ VCO ทำให้เฟสเอาต์พุตเกิดการเคลื่อนไป ปัญหานี้มักจะแก้ไขด้วยการใส่ตัวเก็บประจุตัวที่สองเข้าไปขนานกับ R_P และ C_P ที่อนุกรมกันดังในรูปที่ 2.46 และส่งผลให้ตัวกรองลูปนี้ที่เป็น second order กลายเป็น PLL ที่เป็น 3rd order และส่งผลทางด้านเสถียรภาพ ถ้า C_2 เป็นประมาณ 1 ใน 5 ถึง 1 ใน 10 ของ C_p เวลาในลูปปิดและการตอบสนองถี่ไม่เปลี่ยนแปลง

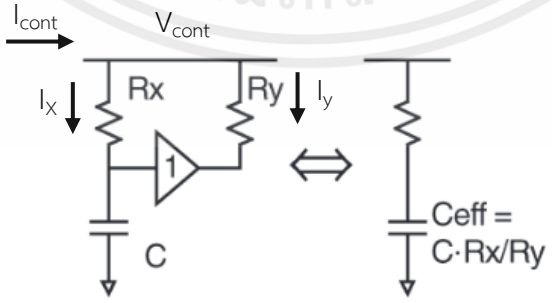
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.46 การเพิ่ม C_2 เพื่อลดการเพื่อมของแรงดันที่ไปควบคุม VCO **[3]**

จากสมการที่ 2.56 ลูปจะมีเสถียรภาพเพิ่มมากขึ้น เมื่อ R_p มีขนาดใหญ่ขึ้น ในความเป็นจริงเสถียรภาพจะลดลงอีกครั้ง ผลกระทบนี้ไม่ได้แสดงข้างต้นเพราะมีการประมาณระบบที่เวลาไม่ต่อเนื่องด้วยระบบเวลาที่ต่อเนื่อง

นอกจากนี้ยังมีการคิด Loop Filter แบบ Active Filter โดยต่อ Loop Filter ดังรูปที่ 2.47 โดยมีแนวคิดจาก ตัวกรองลูปบนชิปที่จะลดขนาด ส่วนที่จะต้องต่อจากภายนอกและลดสัญญาณรบกวนในโหนดควบคุม VCOข้อจำกัดของกระบวนการของพื้นที่ของตัวต้านทานของตัวกรองลูปและตัวเก็บประจุสามารถหักล้างกับที่กำหนดการออกแบบเกี่ยวกับ jitter peaking/bandwidth 2^{ND} Order PLLที่มีกระแส I_p ชาร์จปั๊ม และ VCO มี K_{vco} มีแบนด์วิดท์ (bw) เป็นสัดส่วนกับ $I_pK_{vco}R$ ในขณะที่ Jitter Peaking เป็นสัดส่วนกับ 1/(bwRC) เพื่อให้เกิด Jitter ต่ำ จุดสูงสุดและ bw ขนาดเล็ก ควรให้ C ให้ใหญ่สุด ข้อจำกัดนี้คือพื้นที่ในชิป ของ C ถูกแก้ไขโดยตัวเก็บประจุแบบแอคทีฟในรูปที่ 2.47 ใส่เข้ามาในตัวกรองลูปใน PLL C ที่ได้มาจะเป็นสัดส่วนกับ R_x และ R_Y [4]



รูปที่ 2.47 ตัวเก็บประจุตัวกรองลูปแบบแอคทีฟเพื่อใช้ตัวเก็บประจุค่าขนาดใหญ่บนชิป **[4]**

การวิเคราะห์จากฟังก์ชัน $H(s)=\frac{V_{cont}(s)}{I_{cont}(s)}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_C(s) = \frac{Z_C}{Z_C+R_X} V_{cont}(s)$$

$$I_X(s) = \frac{V_{cont}(s)-\frac{Z_C}{Z_C+R_X} V_{cont}(s)}{R_1} = \frac{(1-\frac{Z_C}{Z_C+R_X})V_{cont}(s)}{R_X}$$

$$I_Y(s) = \frac{V_{cont}(s)-\frac{Z_C}{Z_C+R_X} V_{cont}(s)}{R_Y} = \frac{(1-\frac{Z_C}{Z_C+R_X})V_{cont}(s)}{R_Y}$$

ดังนั้น

$$I_{cont}(s)=I_X(s)+I_Y(s)$$

$$I_{cont}(s)=\left(\frac{R_Y+R_X}{R_XR_Y}\right)\left(1-\frac{Z_C}{Z_C+R_X}\right)V_{cont}(s) \quad (2.57)$$

จากสมการที่ 2.57 แทน $Z_C=\frac{1}{SC}$

$$\frac{V_{cont}(s)}{I_{cont}(s)}=\frac{\left(\frac{R_XR_Y}{R_Y+R_X}\right)}{\frac{sCR_X}{sCR_X+1}}$$

$$H(s)=\frac{V_{cont}(s)}{I_{cont}(s)}=\left(\frac{R_XR_Y}{R_Y+R_X}\right)\left(\frac{sCR_X+1}{sCR_X}\right)$$

$$H(s)=\frac{V_{cont}(s)}{I_{cont}(s)}=\frac{(sCR_X+1)}{sC\left(1+\frac{R_X}{R_Y}\right)} \quad (2.58)$$

จากสมการที่ 2.58 จะประมาณ $1+\frac{R_X}{R_Y} \approx \frac{R_X}{R_Y}$

$$H(s)=\frac{V_{cont}(s)}{I_{cont}(s)}=\frac{(sCR_X+1)}{sC\left(\frac{R_X}{R_Y}\right)} \quad (2.59)$$

นำฟังก์ชันการถ่ายโอนสมการที่ 2.59 เข้าไปใช้ในฟังก์ชันการถ่ายโอนแบบลูปเปิด PLL

$$\frac{\varphi_{out}}{\varphi_{in}}|_{open}=\frac{I_P(sCR_X+1)}{2\pi sC\left(\frac{R_X}{R_Y}\right)}\cdot\frac{K_{VCO}}{s} \quad (2.60)$$

ฟังก์ชันการถ่ายโอนแบบลูปปิด PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{\varphi_{out}}{\varphi_{in}}|_{close}=\frac{\frac{I_P K_{VCO}(sCR_x+1)}{2\pi s^2 C\left(\frac{R_x}{R_Y}\right)}}{1+\frac{I_P K_{VCO}(sCR_X+1)}{2\pi s^2 C\left(\frac{R_X}{R_Y}\right)}}$$

$$\frac{\varphi_{out}}{\varphi_{in}}|_{close}=\frac{\frac{I_P K_{VCO}(sCR_X+1)}{2\pi C\left(\frac{R_X}{R_Y}\right)}}{s^2+\frac{I_P K_{VCO} R_Y}{2\pi}s+\frac{I_P K_{VCO}}{2\pi C\left(\frac{R_X}{R_Y}\right)}} \quad (2.61)$$

ฟังก์ชั่นการถ่ายโอนของ 2nd order ของสมการ 2.61 รูปแบบที่ใช้ในทฤษฎี $s^2+2\zeta\omega_n s+\omega_n{}^2$ โดยที่ ζ คือ damping factor และ ω_n คือ natural frequency นั่นคือ

$$\omega_n=\sqrt{\frac{I_P K_{VCO}}{2\pi C\left(\frac{R_X}{R_Y}\right)}} \quad (2.62)$$

$$\zeta=\frac{R_Y}{2}\sqrt{\frac{I_P K_{VCO} C\left(\frac{R_X}{R_Y}\right)}{2\pi}} \quad (2.63)$$

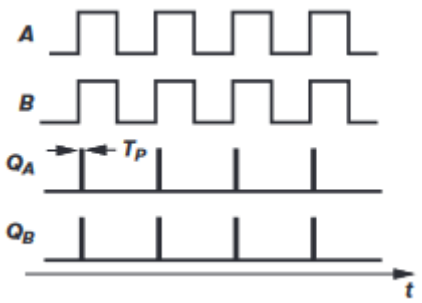
2.4.5 ผลกระทบจากความไม่เป็นอุดมคติในเฟสล็อคลูป

2.4.5.1 ความไม่เป็นอุดมคติ PFD/CP

ความไม่สมบูรณ์หลายประการในวงจร PFD/CP ทำให้เกิดการกระเพื่อมของแรงดันที่ควบคุมสูง แม้ขณะที่ลูปถูกล็อค ดังที่ได้กล่าวไว้ก่อนหน้านี้ แรงดันกระเพื่อมจะปรับความถี่ VCO ทำให้เกิดรูปคลื่นที่เป็นไม่เป็นคาบอีกต่อไป

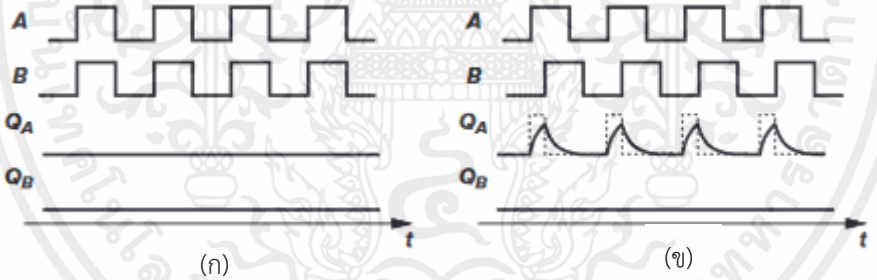
การใช้ PFD ของรูปที่ 2.34(ก) ทำให้เกิดพัลส์แคบและเกิดขึ้นพร้อมกันบนทั้ง Q_A และ Q_B แม้ว่าความต่างของเฟสอินพุตจะเป็นศูนย์ ดังแสดงในรูปที่ 2.48 หาก A และ B เพิ่มขึ้นพร้อมกัน ดังนั้น Q_A และ Q_B ทำการรีเซ็ต ไม่ว่า PLL จะถูกล็อคอยู่ Q_A และ Q_B เปิดชาร์จปั๊มพร้อมกันเป็นระยะเวลาที่จำกัด $T_P \approx 5T_D$ โดยที่ T_D หมายถึงการหน่วงเวลาของเกต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

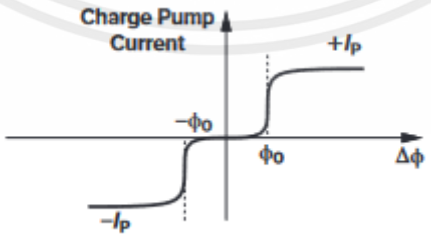


รูปที่ 2.48 พัลส์ที่เกิดขึ้นโดย PFD ที่ไม่มีความต่างของเฟส **[3]**

เมื่อพิจารณา PFD สมมุติไม่ก่อให้เกิดพัลส์สำหรับความต่างของเฟสอินพุตที่เป็นศูนย์ 2.49(ก) PFD ดังกล่าวตอบสนองต่อความต่างเฟสเล็กๆ แบบไหน ดังแสดงในรูปที่ 2.49(ข) วงจรสร้างพัลส์แคบมาบน Q_A หรือ Q_B เนื่องจากเวลาขึ้นและลงมีจำกัดเป็นผลมาจากความตัวเก็บประจุที่เห็นที่โหนดเหล่านี้ พัลส์แคบอาจจะไม่มีเวลาเพียงพอที่จะไปชาร์จตัวเก็บประจุถึงลอจิก HIGH ไม่สามารถเปิดสวิตช์ชาร์จปั๊ม หรือความต่างของเฟสอินพุต $\Delta\varphi$ ต่ำกว่าค่าที่กำหนด φ_0 แรงดันเอาต์พุตของ PFD/CP/LPF จะไม่ใช่ฟังก์ชันของ $\Delta\varphi$ ในรูปที่ 2.50 เมื่อ $|\Delta\varphi| < \varphi_0$ ชาร์จปั๊มไม่มีกระแส จากสมการที่ 2.48 อัตราขยายของลูปลดลงเป็นศูนย์และเฟสเอาต์พุตไม่ถูกล็อค วงจร PFD/CP จะหยุดทำงานในช่วง $\pm\varphi_0$ รอบ $\Delta\varphi = 0$



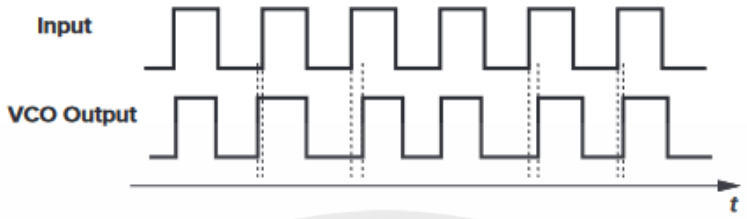
รูปที่ 2.49 เอาต์พุตของ PD ที่(ก) ความต่างเฟสอินพุตเป็นศูนย์และ(ข) อินพุตขนาดเล็กความต่างเฟส **[3]**



รูปที่ 2.50 Dead zone ในชาร์จปั๊ม **[3]**

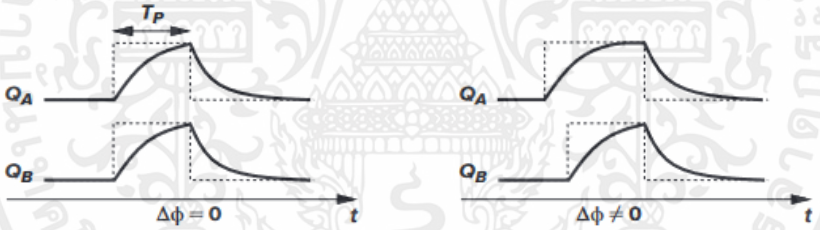
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

dead zone เป็นสิ่งที่ไม่ต้องการเพราะทำให้ VCO สะสมความต่างของเฟสแบบสุ่มเป็น φ_0 ในส่วนอินพุตในขณะที่ไม่ได้รับการป้อนกลับ ดังในรูปที่ 2.51 จุดตัดแกนของเอาต์พุต VCO พบการเปลี่ยนแปลงแบบสุ่มและผลกระทบนี้เรียกว่า Jitter



รูปที่ 2.51 Jitter ที่เกิดจาก Dead zone **[3]**

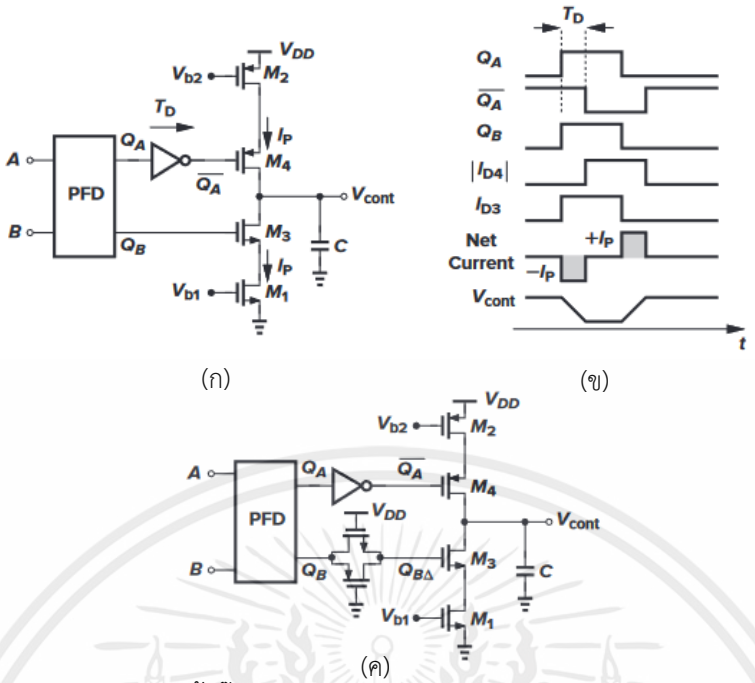
เมื่อ Q_A และ Q_B สามารถกำจัด dead zone ได้ เพราะ $\Delta\varphi = 0$ พัลส์จะเปิดชาร์จปั๊มเสมอหากความกว้างของพัลส์เพียงพอ ดังที่แสดงไว้ในรูป 2.52 การเพิ่มเล็กน้อยของความต่างของเฟสส่งผลให้การเพิ่มขึ้นตามสัดส่วนกระแสที่ผลิตโดยชาร์จปั๊มคือ dead zone จะถูกกำจัดหายไปหาก T_P ยาวพอที่จะให้ Q_Aและ Q_B ไปถึงระดับแรงดันลอจิกที่ถูกต้องและเปิดสวิตช์ในชาร์จปั๊ม



รูปที่ 2.52 การตอบสนองของ PD ต่อความต่างเฟสอินพุตเล็กๆ **[3]**

ขณะกำจัด Dead Zone การรีเซ็ตของ Q_A และ Q_B จะเกิดปัญหาอื่นๆ ทำวงจรชาร์จปั๊มโดยใช้ทรานซิสเตอร์ MOS ดังในรูปที่ 2.53(ก) ในนี้ M1 และ M2 ทำงานเป็นแหล่งจ่ายกระแส M3 และ M4 ทำหน้าที่เป็นสวิตช์ เอาต์พุต Q_A จะกลับลอจิกเพื่อให้เปิด PMOS ขอ M4 ให้ทำงาน

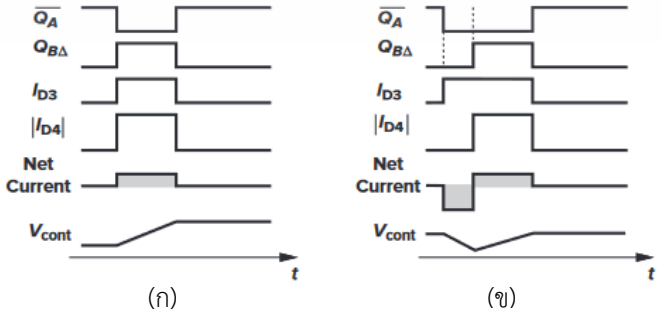
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.53 (ก)การติดตั้งปั๊มชาร์จ (ข)ผลของความเหลื่อมระหว่าง Q_A และ Q_B (ค) การกำจัดของเหลื่อมด้วย Transmittion gate **[3]**

ปัญหาแรกในวงจรของรูปที่ 2.53(ก) เกิดจากความต่างระหว่าง Q_A และ Q_B ในเปิดสวิตช์ตามลำดับ ดังแสดงในรูปที่ 2.53(ข) กระแสที่จ่ายโดยประจุปั๊มเข้าไปในตัวกรองลูปและไปที่ $+I_P$ และ $-I_P$ ทำให้รบกวนควบคุมแรงดันออสซิลเลเตอร์เป็นระยะ แม้ว่าลูปจะถูกล็อค เพื่อกำจัดผลกระทบนี้ ต้องเพิ่ม complementary pass gate ระหว่าง Q_B และขาเกตของ M3 เพื่อปรับการหน่วงเวลา ดังในรูปที่ 2.53(ค)

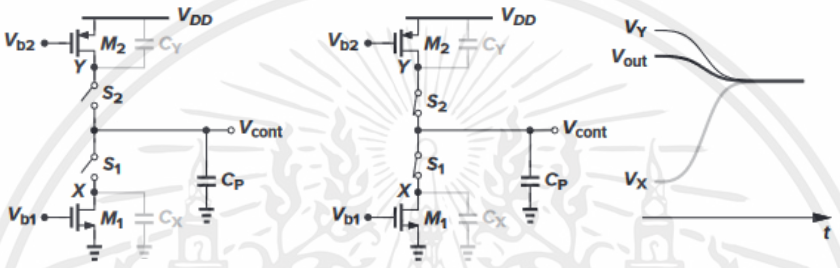
ปัญหาที่สองใน CP ของรูปที่ 2.53(ค) เกี่ยวข้องกับความไม่ตรงกันระหว่างกระแสเดรนของ M1 และ M2 ดังแสดงในรูปที่ 2.54(ก) แม้ว่าจะมีพัลส์ขึ้นและลงที่สมบูรณ์แบบ กระแสที่ผลิตโดยชาร์จปั๊มไม่เป็นศูนย์ ปรับ V_{cont} โดยเพิ่มขึ้นคงที่ในแต่ละเฟสและเปรียบเทียบทันที PLL ยังคงล็อคอยู่ ค่าเฉลี่ยค่าของแรงดันควบคุมต้องคงที่ PLL จะสร้างความต่างเฟสระหว่างอินพุตและเอาต์พุต เพื่อให้กระแสที่จ่ายโดย CP เป็นศูนย์ ดังแสดงในรูปที่ 2.53(ข)



รูปที่ 2.54 ผลของกระแส UP และ DOWN ที่ไม่เท่ากัน **[3]**

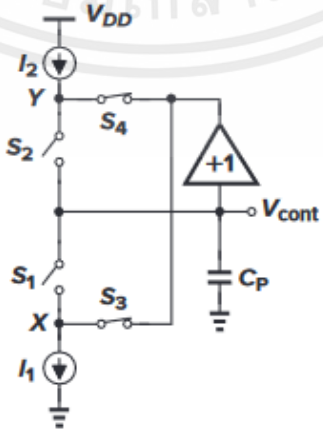
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัญหาที่สามในวงจรของรูปที่ 2.53(ค) เกิดตัวเก็บประจุที่เห็นที่เดรนของแหล่งจ่ายกระแส สมมติว่าดังแสดงในรูปที่ 2.55(ก) S1 และ S2 หยุดทำงาน ทำให้ M1 ปล่อยประจุ X ถึง GND และ M2 เพื่อชาร์จ Y ถึง VDD ในการเปรียบเทียบเฟสถัดไป ทันที S1 และ S2 จะเปิดขึ้น V_X เพิ่มขึ้น V_Y ลดลง และ $V_X \approx V_Y \approx V_{cont}$ ถ้าไม่สนใจแรงดันตกคร่อม S1 และ S2 ในรูปที่ 2.54(ข) หากความต่างของเฟสเป็นศูนย์ และ $I_{D1} = |I_{D2}|$ Vcont จะคงที่หลังจากเปิดสวิตช์หรือไม่ ถึงแม้ว่า $C_X = C_Y$ การเปลี่ยนแปลงใน V_X ไม่เท่ากับการเปลี่ยนแปลงใน V_Y ตัวอย่างเช่น ถ้า V_{cont} ค่อนข้างสูง V_X จะเปลี่ยนมากและ V_Y เปลี่ยนเล็กน้อย ดังนั้นความแตกต่างระหว่างการเปลี่ยนแปลงทั้งสองโดย CP นำไปสู่การรั่วไหลใน V_{cont}



รูปที่ 2.55 Charge sharing ระหว่าง C_P และตัวเก็บประจุ C_X กับ C_Y **[3]**

ปรากฏการณ์ปัญหาที่สามในวงจรข้างต้นสามารถระงับได้โดย "bootstrapping" ภาพประกอบในรูป 2.56 แนวคิดคือการทำให้ V_X และ V_Y เท่ากับ V_{cont} หลังจากการเปรียบเทียบเฟสเสร็จสิ้น เมื่อ S1 และ S2 ปิด เปิด S3 และ S4 ทำให้แอมพลิฟายเออร์ที่อัตราขยายเป็น 1 เพื่อทำให้โหนด X และ Y มีศักย์แรงดันเท่ากับ V_{cont} วงจรขยายไม่จำเป็นต้องใช้กระแสมากเพราะ $I_1 \approx I_2$ ในการเปรียบเทียบเฟส S1 และ S2 เปิด S3 และ S4 ปิด และ V_X และ V_Y เริ่มด้วยค่าเท่ากับ V_{cont} ดังนั้นจึงไม่กระทบกับ CP และความจุที่ X และ Y



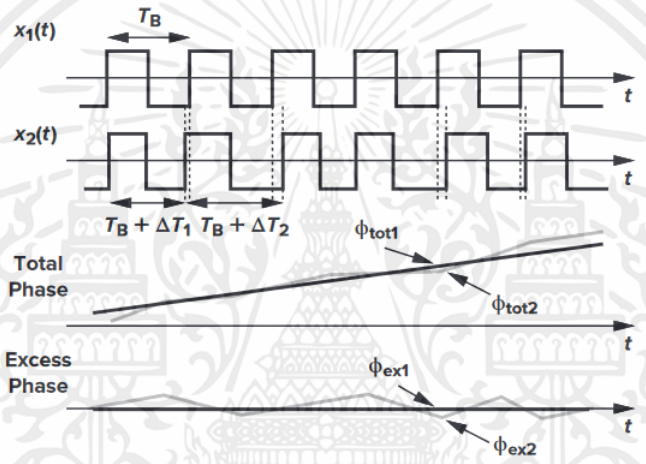
รูปที่ 2.56 Bootstrapping X และ Y เพื่อลด Charge sharing **[3]**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.5.2 Jitter ใน PLLs

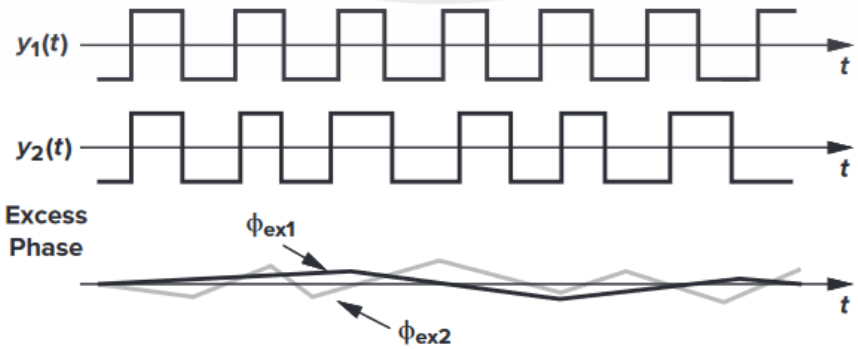
การตอบสนองของลูปล็อคเฟสต่อ jitter มีความสำคัญอย่างยิ่งในแอปพลิเคชันส่วนใหญ่ แนวคิดของ jitter และอัตราการเปลี่ยนแปลงของ jitter

ดังแสดงในรูปที่ 2.57 รูปคลื่นเป็นคาบที่แน่นอน $x_1(t)$ มีจุดตัดที่เท่ากันเป็นศูนย์ พิจารณาสัญญาณเป็นระยะเกือบ $x_2(t)$ ซึ่งช่วงเวลามีการเปลี่ยนแปลงเล็กน้อยแทนที่จะตัดศูนย์จากจุดในอุดมคติ รูปคลื่นหลังจากเกิด jitter พล็อตเฟสทรวม φ_{tot} และเฟสส่วนเกิน φ_{ex} ของทั้งสองรูปคลื่น jitter แสดงออกเป็นการเปลี่ยนแปลงของ excess phase φ_{ex} ตามเวลา ความเป็นจริงไม่สนใจฮาร์โมนิกพื้นฐาน สามารถเขียน $x_1(t)=A\cos\omega t$ และ $x_2(t)=A\cos[\omega t+\varphi_n(t)]$ เมื่อ φ_n คือการเปลี่ยนของช่วงเวลา



รูปที่ 2.57 Jitter ในอุดมคติ [3]

อัตราของ Jitter แตกต่างกันมีความสำคัญเช่นกัน พิจารณารูปคลื่น Jitter สองรูปที่ปรากฏรูปที่ 2.57 สัญญาณแรก $y_1(t)$ พบกับสัญญาณ jitter ที่ช้า เนื่องจากความถี่ที่เกิดขึ้นทันทีนั้นแตกต่างกันไป อย่างช้า ๆ จากช่วงหนึ่งไปอีกช่วงหนึ่ง สัญญาณที่สอง $y_2(t)$ พบกับสัญญาณ jitter ที่เร็ว อัตราการเปลี่ยนแปลงยังเห็นได้ชัดจากภาพ excess phase ของสองรูปคลื่น



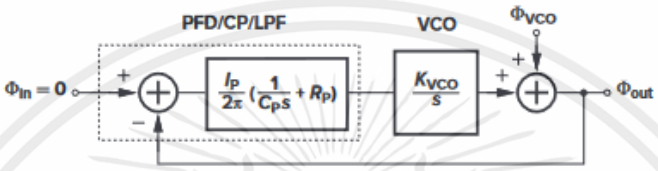
รูปที่ 2.58 Jitter ช้าและ Jitter ที่เร็ว [3]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเกิด jitter ทั้งสองลักษณะในเฟสล็อคลูปคือ jitter ของอินพุตและ VCO สร้าง jitter แต่ละกรณีให้คลื่นอินพุตและเอาต์พุตเป็น $x_{in}(t)=A\cos[\omega t+\varphi_{in}(t)]$ และ $x_{out}(t)=A\cos[\omega t+\varphi_{out}(t)]$

ฟังก์ชันการถ่ายโอนที่ได้จาก PLL type I และ II มีลักษณะเฉพาะของ low-pass ถ้า $\varphi_{in}(t)$ เปลี่ยนอย่างรวดเร็ว $\varphi_{out}(t)$ ไม่เปลี่ยนตามทั้งหมด คือ jitter ที่ช้าของอินพุตจะไม่ส่งผ่านไปยังเอาต์พุตแบบไม่ลดทอน แต่ jitter ที่เร็วยังคงส่งผ่าน จะบอกได้ว่า PLL มีลักษณะแบบตัวกรองความถี่ต่ำของ $\varphi_{in}(t)$

สมมติว่าอินพุตเป็นคาบคงที่ต่อเนื่อง แต่ VCO ที่สามารถทน jitter jitter ที่ได้เป็นแบบสุ่มรูปแบบเฟสออกมา สร้างแบบจำลองที่แสดงในรูปที่ 2.59



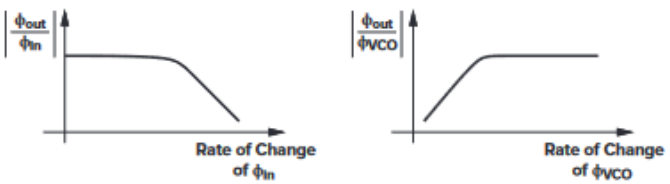
รูปที่ 2.59 ผลกระทบของ VCO Jitter **[3]**

โดยที่เฟสส่วนเกินของอินพุตถูกกำหนดเป็นศูนย์เช่น $x_1(t)=A\cos\omega t$ และเพิ่มส่วนประกอบแบบสุ่ม ϕ_{VCO} ให้กับเอาต์พุตของ VCO เพื่อแสดง jitter ของ VCO เครื่องอ่านสามารถแสดงว่าฟังก์ชันถ่ายโอนจาก ϕ_{VCO} ออกไปเอาต์พุต φ_{VCO} ของ PLL ประเภท II ได้

$$\frac{\varphi_{out}}{\varphi_{in}}(s)=\frac{s^2}{s^2+2\zeta\omega_n s+\omega_n{}^2} \qquad (2.64)$$

ลักษณะนี้มีลักษณะความถี่สูงผ่าน ซึ่งบอกว่ามีการสร้างองค์ประกอบของ jitter ที่ช้าโดยถูก VCO กำจัด แต่องค์ประกอบ jitter แบบเร็วไม่ได้ถูกกำจัด สิ่งนี้สามารถเข้าใจได้ด้วยรูปที่ 2.59 ถ้า $\varphi_{VCO}(t)$เปลี่ยนแปลงอย่างช้าๆ ดังนั้นเปรียบเทียบกับ $\varphi_{in}=0$ ทำให้เกิดความต่างเฟสที่แปรผันอย่างช้าๆ ผ่าน LPF และปรับความถี่ VCO จะช่วยต่อต้านเปลี่ยนแปลงใน ϕ_{VCO} ในทางกลับกันถ้า ϕ_{VCO} แปรผันอย่างรวดเร็วแสดงว่าเกิดความต่างเฟสที่ผลิตโดยตัวตรวจจับเฟสถูกลดทอนอย่างมากโดยโพลในลูป

รูปที่ 2.60 แนวคิดของการตอบสนองของ PLL ต่ออินพุต jitter และ jitter ของ VCO ขึ้นอยู่กับในการใช้งานและสิ่งแวดล้อม อย่างใดอย่างหนึ่งหรือทั้งสองอย่างอาจมีนัยสำคัญ ต้องใช้ค่าที่เหมาะสมที่สุดในการเลือกใช้งานช่วงแบนด์วิดธ์ของลูป



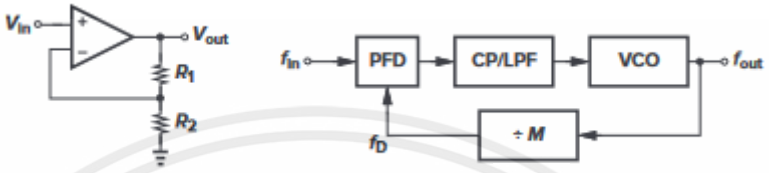
รูปที่ 2.60 ฟังก์ชันการถ่ายโอนของ Jitter จากอินพุตและเอาต์พุตของ VCO **[3]**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.6 การประยุกต์ใช้งาน PLLs

ตั้งแต่มีการประดิษฐ์ PLLs เกือบ 90 ปี การล็อคเฟสยังคงค้นหาการใช้งานใหม่ๆ ในด้านเล็กทรอนิกส์ การสื่อสารและเครื่องมือวัด ตัวอย่าง ได้แก่ หน่วยความจำ ไมโครโปรเซสเซอร์ ฮาร์ดดิสก์ไดรฟ์อิเล็กทรอนิกส์ เครื่องรับส่งสัญญาณ RF และไร้สาย และเครื่องรับใยแก้วนำแสง

1. การคูณและการสังเคราะห์ความถี่ (Frequency Multiplication and Synthesis)



(ก) (ข)

รูปที่ 2.61 (ก) การขยายแรงดันและ (ข) การคูณความถี่ **[3]**

การคูณความถี่ PLL สามารถแก้ไขได้โดยการคูณความถี่อินพุตด้วยตัวประกอบของ M ใช้ประโยชน์จากการเปรียบเทียบกับการคูณแรงดันไฟฟ้า ตามที่แสดงในรูป 2.61(ก) ระบบป้อนกลับจะขยายแรงดันอินพุตเป็นค่า M ถ้าแรงดันเอาต์พุตเท่ากับหารด้วย M เช่น ถ้า R2/(R1 + R2) = 1/M และผลลัพธ์จะถูกเปรียบเทียบกับอินพุต ดังนั้นดังที่แสดงในรูป 2.61(ข) หากความถี่เอาต์พุตของ PLL ถูกหารด้วย M และนำไปใช้กับตัวตรวจจับเฟสมี $f_{out} = M f_{in}$ เนื่องจาก $f_D = f_{out}/M$ และ f_D และ f in ต้องเท่ากันในสภาวะล็อคของ PLL คูณ f_{in} ด้วย M วงจรหาร M นั้นตัวนับที่สร้างหนึ่งเอาต์พุตพัลส์สำหรับทุกๆ M อินพุตพัลส์

เช่นเดียวกับการแบ่งแรงดันในรูปที่ 2.61(ก) ตัวแบ่งป้อนกลับในลูปของรูปที่ 2.61(ข) จะเปลี่ยนแปลงลักษณะของระบบ ใช้สมการที่ 2.53 เขียนใหม่เป็นสมการที่ 2.54

$$H(s) = \frac{\frac{I_p}{2\pi}\left(R_p+\frac{1}{C_p s}\right)\frac{K_{VCO}}{s}}{1+\frac{1}{M}\frac{I_p}{2\pi}\left(R_p+\frac{1}{C_p s}\right)\frac{K_{VCO}}{s}} \tag{2.65}$$

$$= \frac{\frac{I_p K_{VCO}}{2\pi C_p}\left(R_p C_p s+1\right)}{s^2+\frac{I_p}{2\pi}\frac{K_{VCO}}{M}R_p s+\frac{I_p}{2\pi C_p}\frac{K_{VCO}}{M}} \tag{2.66}$$

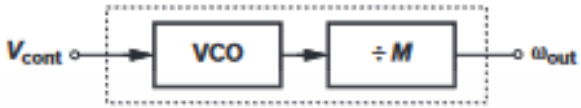
H (s) $\longrightarrow$ M เป็น s $\longrightarrow$ 0, เช่นการเปลี่ยนแปลงเฟสหรือความถี่ที่อินพุตส่งผลให้เกิดการเปลี่ยนแปลง M-fold ในปริมาณผลผลิตที่สอดคล้องกัน เปรียบเทียบตัวส่วนของสมการที่ 2.54 และสมการที่ 2.66 การแบ่งความถี่นั้นในลูปแสดงตัวเองว่าเป็นการแบ่ง K_{VCO} ด้วย M คือเนื่องจากโพลของลูปปิดมีความเกี่ยวข้อง สามารถสมมติได้ว่าออสซิลเลเตอร์และตัวหารสร้าง VCO ที่มีอัตราขยายเทียบเท่า K_{VCO}/M แน่นอนที่แสดงในรูปที่ 2.62 มี

$$H(s) = \frac{\omega_0 + K_{VCO}V_{cont}}{M} \tag{2.67}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$= \frac{\omega_0}{M} + \frac{K_{VCO}}{M} V_{cont} \quad (2.68)$$

ดังนั้น การรวมกันไม่สามารถแยกความแตกต่างจาก VCO ที่มีความถี่การสกัดกั้นเป็น ω_0/M และได้รับ K_{VCO} /M



รูปที่ 2.62 วงจรเสมือนของการรวม VCO กับวงจรหาร **[3]**

จะเขียนสมการที่ 2.56 และ 2.64 เขียนใหม่ได้เป็น

$$\omega_n = \sqrt{\frac{I_p}{2\pi C_p}\frac{K_{VCO}}{M}} \quad (2.69)$$

$$\zeta = \frac{R_p}{2}\sqrt{\frac{I_p C_p}{2\pi}\frac{K_{VCO}}{M}} \quad (2.70)$$

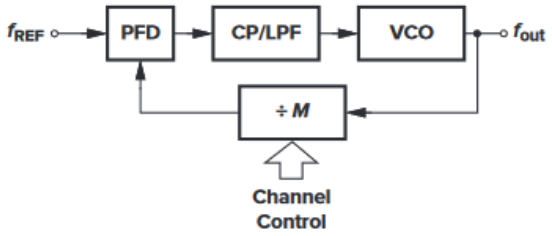
นอกจากนี้ค่าคงที่ของเวลา ที่สลายจะได้ $\frac{1}{\zeta\omega_n} = \frac{4\pi M}{R_p I_p K_{VCO}}$ เป็นไปตามการใส่ตัวหารในลูป type II จะลดทั้งความเสถียรและความเร็วในการคงที่ ซึ่งต้องเพิ่มสัดส่วนในกระแสชาร์จปั๊ม

ลูปการคูณความถี่ของรูปที่ 2.61(ข) แสดงคุณสมบัติที่น่าสนใจสองประการ ประการแรกซึ่งแตกต่างจากแอมพลิฟายเออร์แรงดันไฟฟ้าของรูปที่ 2.61(ก) PLL ให้ปัจจัยการคูณเท่ากับ M ซึ่งเป็นเอกลักษณ์คุณลักษณะที่เกิดจากการล็อคเฟส ประการที่สอง ความถี่เอาต์พุตสามารถเปลี่ยนแปลงได้โดยการเปลี่ยนการแบ่งอัตราส่วน M ซึ่งเป็นคุณสมบัติที่มีประโยชน์อย่างมากในการสังเคราะห์ความถี่

การสังเคราะห์ความถี่ ระบบบางระบบต้องการรูปแบบคลื่นเป็นคาบ ซึ่งต้องการความถี่แม่นยำมากและสามารถเปลี่ยนแปลงได้ละเอียดมาก พบบ่อยในเครื่องรับส่งสัญญาณไร้สาย ความต้องการดังกล่าวสามารถพบได้ผ่านการคูณความถี่โดย PLL

รูปที่ 2.63 แสดงบล็อคไดอะแกรมของวงจรสังเคราะห์ความถี่ล็อคเฟส การควบคุมช่องสัญญาณอินพุตเป็นดิจิทัลที่กำหนดค่าของ M เนื่องจาก f_{out} = M f_{REF} ความถูกต้องของ f_{out} เท่ากับของ f_{REF} ส่งผลให้ f_{REF} มาจากคริสตัลออสซิลเลเตอร์ที่มีสัญญาณรบกวนต่ำและมีความเสถียร ที่ f_{out} จะแปรผันเป็นขั้นๆเท่ากับ f_{REF} ถ้า M เปลี่ยนแปลงทีละครั้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

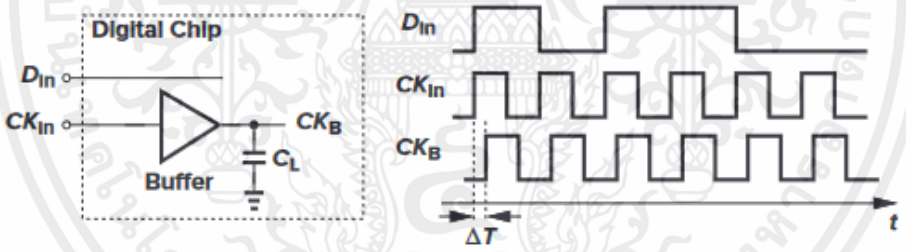


รูปที่ 2.63 การสังเคราะห์ความถี่ [3]

ตัวสังเคราะห์ความถี่ CMOS ที่ได้รับความถี่เอาต์พุตระดับกิกะเฮิรตซ์ แต่มีปัญหาต่างๆ เช่น สัญญาณรบกวน แถบด้านข้าง ความเร็วในการทำงานคงที่ ช่วงความถี่ และการใช้พลังงาน ทั้งหมดยังคงเป็นสิ่งที่ท้าทายสำหรับนักออกแบบตัวสังเคราะห์ความถี่

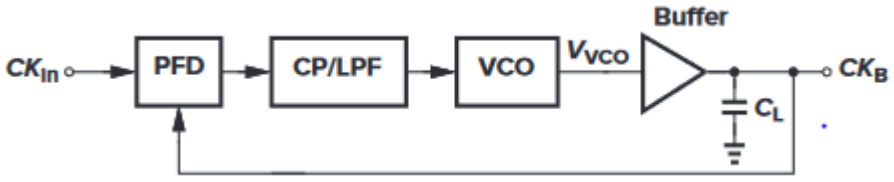
2. การลดอัตราสลูวซ์

การใช้งานเฟสล็อคแรกสุดในระบบดิจิตอลคือการลดความเหลื่อมกัน สมมติคู่สัญญาณที่ทำงานของข้อมูลและนาฬิกาเข้าสู่ชิปดิจิทัลขนาดใหญ่ ดังแสดงในรูปที่ 2.64 เนื่องจากนาฬิกาจะให้ขับทรานซิสเตอร์จำนวนมากและการเชื่อมต่อระหว่างกันแบบยาว มันถูกนำไปใช้กับบัฟเฟอร์ขนาดใหญ่ในครั้งแรก ดังนั้นนาฬิกาการกระจายบนชิปอาจประสบกับความเหลื่อมกันอย่างมาก ΔT ในส่วนข้อมูลเป็นที่ไม่ต้องการให้เกิดเพราะลดเวลาสำหรับการดำเนินงานบนชิป



รูปที่ 2.64 การสลูวซ์ของข้อมูลและ CLK [3]

วงจรที่แสดงในรูปที่ 2.65 โดยที่ CK_{in} ถูกนำไปใช้กับ PLL บนชิปและบัฟเฟอร์ถูกวางไว้ในลูป เนื่องจาก PLL มีความต่างของเฟสที่เป็นศูนย์ระหว่าง CK_{in} และ CK_B ความเหลื่อมกันจะถูกตัดออกจากการเปลี่ยนเฟสอย่างต่อเนื่องถูกนำเข้าบัฟเฟอร์ถูกหารด้วยค่าการวนซ้ำไม่สิ้นสุดของระบบป้อนกลับเอาต์พุต VCO V_{VCO} อาจจะไม่ตรงกับ CK_{in} เป็นปัญหาที่ไม่สำคัญเพราะไม่ได้ใช้ V_{VCO}



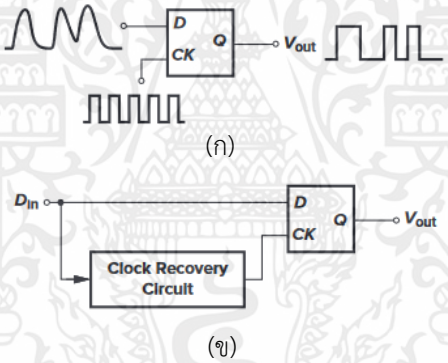
รูปที่ 2.65 ใช้ PLL ลดอัตราสลูวซ์ [3]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. การลด jitter

จาก Jitter ใน PLLs ว่า PLLs ระงับส่วนประกอบ jitter อย่างเร็วที่อินพุต ตัวอย่างเช่น ถ้า 1-GHz สัญญาณ Jitter ใช้กับ PLL ที่มีแบนด์วิดท์ 10 MHz จากนั้นป้อนส่วนประกอบ Jitter ที่แตกต่างกันเร็วกว่า 10 MHz จะถูกลดทอน ในแง่หนึ่งเฟสล็อคลูปทำงานเป็นตัวกรองแถบความถี่แคบ ศูนย์กลางอยู่ที่ประมาณ 1 GHz โดยมีแบนด์วิดท์รวม 20 MHz นี่เป็นอีกหนึ่งคุณสมบัติที่สำคัญและมีประโยชน์ของ PLL

แอปพลิเคชั่นจำนวนมากต้องจัดการกับรูปคลื่นที่มี Jitter สัญญาณไบนารีแบบสุ่มพบ jitter เพราะ crosstalk บนชิปและในแพ็คเกจ ค่าแฝงของปรสิตในแพ็คเกจ การเกิดสัญญาณรบกวนในตัวอุปกรณ์ เป็นต้น โดยทั่วไปแล้วรูปคลื่นดังกล่าวจะถูกปรับใหม่โดยนาฬิกาที่มีสัญญาณรบกวนต่ำเพื่อให้ลด jitter ดังในภาพประกอบในรูปที่ 2.66(ก) แนวคิดคือการสุ่มตัวอย่างจุดกึ่งกลางของแต่ละบิตด้วย D flipflop ที่ขับด้วยสัญญาณนาฬิกา ในหลาย ๆ แอพพลิเคชั่น นาฬิกาอาจไม่สามารถใช้งานได้อย่างอิสระ วงจรของรูปที่ 2.66(ก) จึงมีการปรับเปลี่ยนดังแสดงในรูปที่ 2.66(ข) โดยที่วงจรการกู้คืนนาฬิกา(CRC) สร้างนาฬิกาจากข้อมูล ใช้การล็อคเฟสด้วยแบนด์วิดท์ของลูปค่อนข้างแคบ วงจรจะลดผลกระทบของ jitter ของอินพุตต่อการกู้คืนสัญญาณนาฬิกา

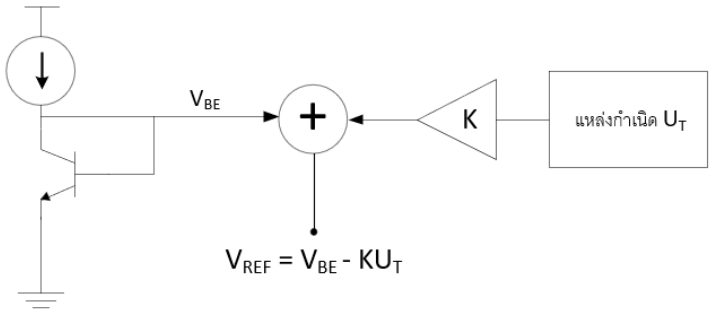


รูปที่ 2.66(ก) การกู้คืนข้อมูลด้วย D FLIPFLOP ที่ขับด้วยสัญญาณนาฬิกาที่มีสัญญาณรบกวนต่ำ (ข) การใช้วงจรกู้คืนสัญญาณด้วยการล็อคเฟสเพื่อสร้างสัญญาณนาฬิกา **[3]**

2.6 วงจรสร้างแรงดันอ้างอิงแบนด์แกบ [5]

ในการออกแบบวงจรรวม วงจรต่างๆ จำเป็นต้องใช้แรงดันอ้างอิงในการกำหนด ค่ากระแส ค่าอัตราขยาย รวมทั้งการไบอัสให้วงจรอยู่ในสภาวะที่เหมาะสม แรงดันอ้างอิงนี้จะต้องมีค่าคงที่ไม่เปลี่ยนแปลงตามสภาวะแวดล้อม เช่น อุณหภูมิ จึงจะทำให้วงจรทำงานได้อย่างถูกต้อง ค่าแรงดันอ้างอิง อาจจะถูกป้อนจากภายนอก หรือ สร้างขึ้นภายในไอซี โดยทั่วไปหากค่าแรงดันอ้างอิงมีค่าที่แน่นอน และไม่จำเป็นต้องเปลี่ยนค่า การสร้างขึ้นจากภายในจะสะดวกกว่าและ ยังเป็นการเก็บขาของไอซีที่มีอยู่อย่างจำกัดไว้ใช้ป้อนสัญญานที่จำเป็นกว่า ในโครงงานนี้เราเลือกที่จะออกแบบวงจรสร้างแรงดันอ้างอิงภายในไอซี โดยเลือกวงจรแรงดันอ้างอิงแบนด์แกบ ดังนั้น ในหัวข้อต่อไปนี้จะเป็นการทบทวนความรู้พื้นฐานที่จำเป็นสำหรับการออกแบบวงจรดังกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.67 หลักการของวงจรสร้างแรงดันอ้างอิงแบนด์แกบ

วงจรสร้างแรงดันอ้างอิงแบนต์แกบ (bandgap voltage reference) เป็นวงจะที่สร้างแรงดันอ้างอิงที่มีสัมประสิทธิ์อุณหภูมิเป็นศูนย์ โดยอาศัยผลรวมของแรงดัน V_{BE} ของ BJT ที่มีสัมประสิทธิ์อุณหภูมิเป็นลบและแรงตันความร้อน (U_T) ที่มีสัมประสิทธิ์อุณหภูมิเป็นบวกดังโครงสร้างในรูปที่ 2.67 ซึ่งมีแรงดันเอาท์พุตเท่ากับ

$$V_{REF} = V_{BE} + KU_T \tag{2.71}$$

โดยที่ K เป็นค่าคงที่ จากสมการที่ 2.79 เราสามารถคำนวณสัมประสิทธิ์อุณหภูมิของ VREF ได้เป็น

$$\frac{\partial V_{REF}}{\partial T} = \frac{\partial V_{BE}}{\partial T} + K\frac{\partial U_T}{\partial T} \tag{2.72}$$

และถ้าต้องการ $\frac{\partial V_{REF}}{\partial T} = 0$ จะได้

$$0 = \frac{\partial V_{BE}}{\partial T} + K\frac{\partial U_T}{\partial T} \tag{2.73}$$

ดังนั้น จะได้ K เท่ากับ

$$K = -\frac{\frac{\partial V_{BE}}{\partial T}}{\frac{\partial U_T}{\partial T}} \tag{2.74}$$

โดยสัมประสิทธิ์อุณหภูมิของ U_T มีคำเท่ากับ $\frac{\partial U_T}{\partial T} = \frac{k}{q}$ โดยที่ k = 1.38 x 10^-23 J/k คือค่าคงที่ของโบลต์ชมานน์และ q = 1.6 x 10^-19 C เช่น เมื่อ T = 300K จะได้ $\frac{\partial U_T}{\partial T} \approx +\frac{0.087mV}{k}$

สามารถคำนวณสัมประสิทธิ์อุณหภูมิของ V_{BE} ได้จาก $V_{BE} = U_T \ln\left({}^{I_O}/_{I_S}\right)$ โดยที่ I_S คือกระแสอิ่มตัวย้อนกลับของไดโอดรอยต่อ pn มีค่าเป็น

$$I_S = k_0 \mu_n T n_i^2 \tag{2.75}$$

โดยที่ T คือ อุณหภูมิในหน่วยเคลวิน μ_n คือ ค่าความคล่องตัวของอิเล็กตรอนในเบสของ BJT n_i คือ ความเข้มข้นบริสุทธิ์ของพาหะส่วนน้อย และ k_0 คือ ค่าคงที่ซึ่งเป็นอิสระกับอุณหภูมิ โดย μ_n และ n_i มีค่าแปรผันกับ T ดังนี้

$$\mu_n = k_1 T^{-m} \tag{2.76}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$n_i^2 = k_2 T^3 \exp\left(-\frac{V_{G0}}{U_T}\right) \tag{2.77}$$

โดยที่ V_{G0}= 1.205V คือ แรงดันแบนด์แกบของซิลิคอนที่ T=0K k_1 และ k_2 คือ ค่าคงที่เป็นอิสระกับอุณหภูมิ และ m ≈0.8-1.5 เป็นค่าตัวเปรในการปรับเส้น (curve-fitting parameter) ดังนั้น I_S จะมีค่าเป็น

$$I_S = kT^{-l} \exp\left(-\frac{V_{G0}}{U_T}\right) \tag{2.78}$$

โดยที่ l =4 - m และ k= $k_0 k_1 k_2$ ดังนั้น

$$V_{BE} = V_T \ln\left(kT^{-l} \exp\left(-\frac{V_{G0}}{U_T}\right)\right) \tag{2.79}$$

และถ้าสมมติให้ I_0 มีค่าคงที่เป็นอิสระกับอุณหภูมิ เราสามารถคำนวณสัมประสิทธิ์อุณหภูมิของ V_{BE} ได้ดังนี้

$$\frac{\partial V_{BE}}{\partial T} = \frac{\partial U_T}{\partial T} \ln\left(\frac{I_0}{I_s}\right) - \frac{U_T}{I_S}\frac{\partial I_S}{\partial T} \tag{2.80}$$

$$= \frac{U_T}{T} \ln\left(\frac{I_0}{I_s}\right) - l\frac{U_T}{T} - \frac{V_{G0}}{T} \tag{2.81}$$

$$= \frac{V_{BE} - lU_T - V_{G0}}{T} \tag{2.82}$$

สมการที่ 2.82 แสดงว่าสัมประสิทธิ์อุณหภูมิของ V_{BE} มีค่าแปรผันตามอุณหภูมิเช่น ถ้าสมมติให้ l =3 T=300K และ V_{BE} ≈0.7 V จะได้ $\frac{\partial V_{BE}}{\partial T}$ ≈1.9 $^{mV}/_{K}$ ดังนั้น จากสมการ 2.74 เพื่อให้สัมประสิทธิ์อุณหภูมิ $\frac{\partial V_{REF}}{\partial T}$=0 จะได้ K เท่ากับ

$$K = -\frac{\frac{\partial V_{BE}}{\partial T}}{\frac{\partial U_T}{\partial T}} \approx 21.8 \tag{2.83}$$

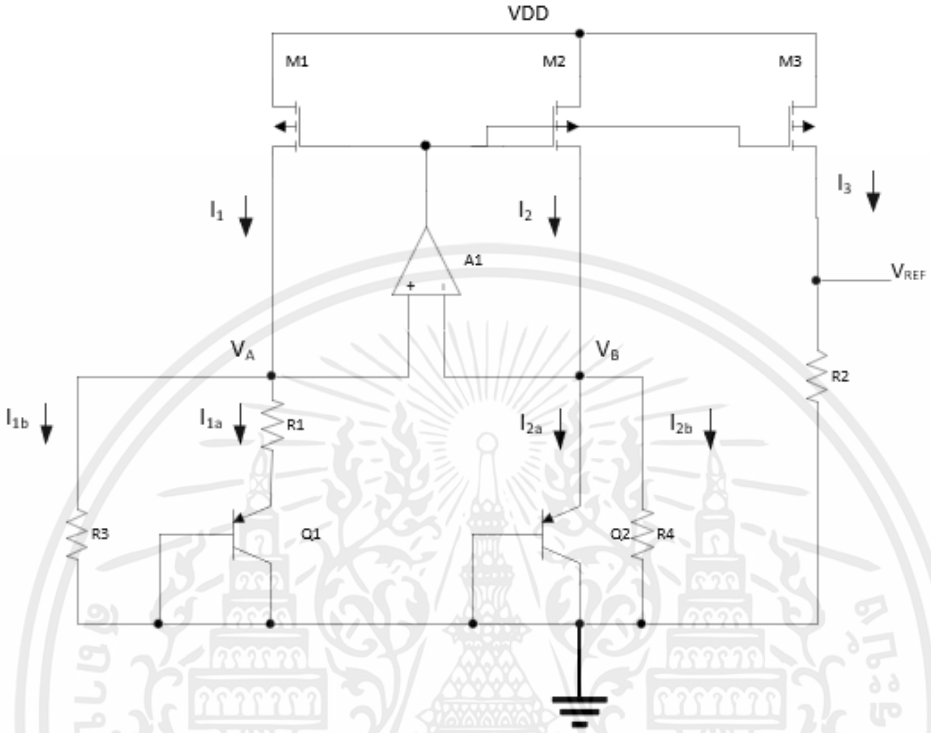
ซึ่งทำให้ V_{REF} มีค่าประมาณ

$$V_{REF} = V_{BE} + 21.8U_T \tag{2.84}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.1 วงจรอ้างอิงแบนด์แกบที่ทำงานที่แรงดันไฟเลี้ยงต่ำ

วรจรอ้างอิงแบนด์แกบที่กล่าวมาข้างตันจะให้แรงดันอ้างอิงเอาท์พุทประมาณ 1.2 V ทำให้ไม่สามารถสร้างวงจรอ้างอิงแบนด์แกบที่แรงตันไฟเลี้ยงต่ำกว่า 1.2 V ได้



รูปที่ 2.68 วงจรอ้างอิงแบนด์แกบที่สามารถทำงานที่แรงดันไฟเลี้ยงต่ำกว่า 1V

โดยใช้หลักการแบ่งกระแสด้วย R_3 และR_4 ซึ่งมีค่าเท่ากัน (R_3=R_4) และวงจรออปแอมป์ในลูปป้อนกลับทำให้ V_A= V_B จะได้ว่า I_{1a}= I_{2a} และ I_{1b}= I_{2b} และถ้าสมมติให้ $\left(W/L\right)_1=\left(W/L\right)_2=\left(W/L\right)_3$ จะได้ I_1= I_2= I_3 ดังนั้น

$$I_{1a} = \frac{V_{EB2}-V_{EB1}}{R_1} = \frac{U_T}{R_1}\ln(p) \quad (2.85)$$

$$I_{1b} = \frac{V_{EB2}}{R_3} \quad (2.86)$$

$$I_3 = I_1 = I_{1a} + I_{1b}$$

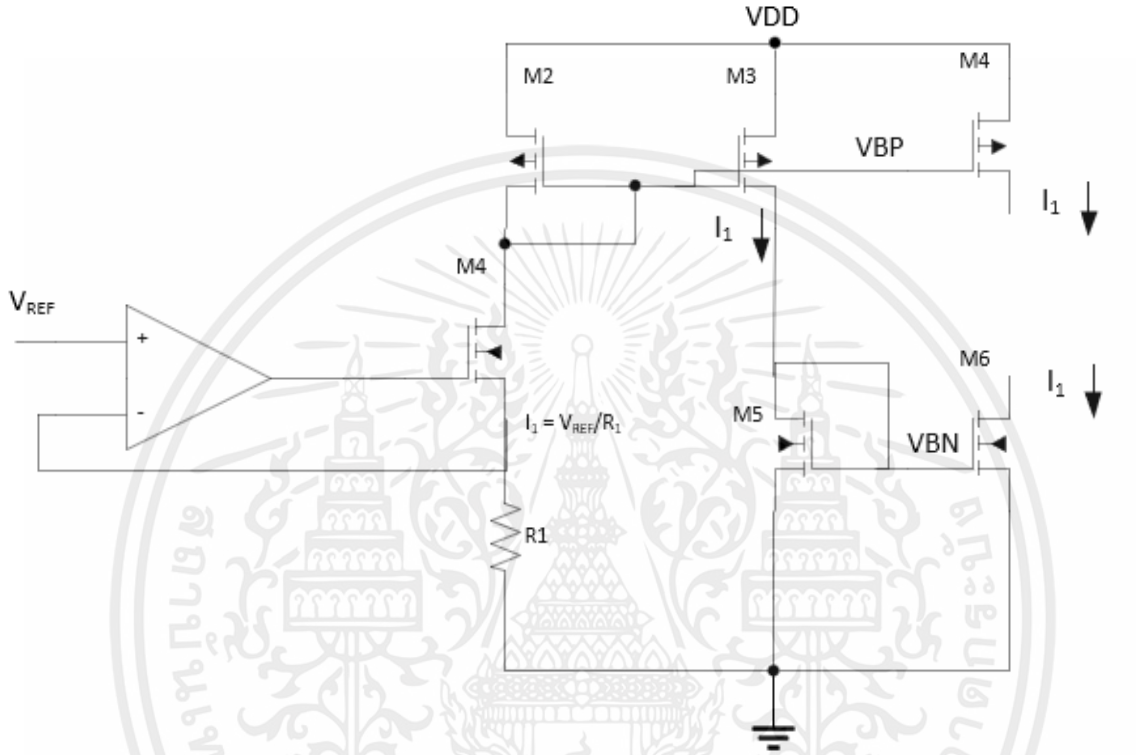
$$= \frac{U_T}{R_1}\ln(p) + \frac{V_{EB2}}{R_3} \quad (2.87)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น

$$V_{REF} = I_3 R_2 = \left(\frac{R_2}{R_3}\right)\left(\left(\frac{R_3}{R_1}\right) U_T \ln(p) + V_{EB2}\right) = \left(\frac{R_2}{R_3}\right) V_R \qquad (2.88)$$

โดยที่ V_R จะมีค่าเท่ากับแรงดันเอาท์พุตของวงจรอ้างอิงแบนด์แกบปกติซึ่งมีค่าประมาณ 1.2 V ดังนั้น เราสามารถลดค่าแรงดัน V_{REF} ให้น้อยกว่า 1.2 V ได้โดยให้ $\left({}^{R_2}/_{R_3}\right) < 1$



รูปที่ 2.69 วงจรสร้างกระแสและแรงดันไบอัสโดยใช้วงจรอ้างอิงแบนด์แกบ

รูปที่ 2.69 แสดงตัวอย่างโดยใช้ออปแอมป์และ M_1 ในลูปป้อนกลับแบบลบ เพื่อให้แรงดันตกคร่อม R_1 มีค่าเท่ากับ V_{REF} ซึ่งคือแรงดันเอาท์พุตจากวงจรอ้างอิงแบนด์แกบ ดังนั้น $I_1 = {}^{V_{REF}}/_{R_1}$ ซึ่งถูกจ่ายไปสร้างกระแสไบอัส (I_1) และแรงดันไบอัส (V_{BP} และ V_{BN}) โดยใช้วงจรสะท้อนกระแส (M_2-M_6) เนื่องจาก V_{REF} มีค่าค่อนข้างคงที่กับ V_{DD} และอุณหภูมิ ดังนั้นความไวกับ V_{DD} และอุณหภูมิ จะขึ้นอยู่กับ R_1 ในกรณีที่เราต้องการให้ I_1 มีค่าที่แม่นยำและคงที่สูง เรามักใช้ R_1 เป็นตัวต้านทานที่อยู่นอกชิพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 วงจรขยายพื้นฐาน

การส่งผ่านสัญญาณ จากแต่ละสเตจของวงจร ในหลายกรณี สัญญาณจะอยู่ในรูปของสัญญาณแอนาล็อก ซึ่งต้องมีการขยายให้มีขนาดที่เหมาะสม ในการประมาลผลในสเตจถัดไป นอกจากนี้สัญญาณที่ส่งจากภาคส่ง ผ่านสายส่ง เมื่อมาถึงภาครับจะมีขนาดลงลง ซึ่งเป็นผลจากการสูญเสียที่เกิดขึ้นในสายส่ง จำเป็นต้องมีการขยายขนาดให้เหมาะสมเช่นกัน ดังนั้นในหัวข้อต่อไปจะกล่าวถึง ความรู้พื้นฐานที่สำคัญของการออกแบบวงจรขยาย สำหรับใช้ในโครงงานนี้

2.7.1 วงจรขยายผลต่าง (Differential amplifier)

โดยหลักการทำงานของ Differential amplifier คือการใช้ผลต่างของแรงดันไฟอินพุตสองอินพุต คือ $V_{IN1(+)}$ และ $V_{IN2(-)}$ คูณด้วยอัตราขยายของ amplifier เป็นเอาท์พุตโดยข้อดีของการใช้ Differential Amplifier คือลดสัญญาณรบกวนที่เกิดมาจากสายส่งที่อินพุตในกรณีที่มีการส่งสัญญาณใกล้กัน (สัญญาณรบกวนมีค่าเท่ากัน) โดยมีสมการเอาท์พุตดังนี้

$$V_{OUT}=A_{vd}(V_{id})+A_{vc}(V_{ic}) \tag{2.89}$$

โดยที่

A_{vd} คือ อัตราขยายผลต่าง (Differential gain)

A_{vc} คือ อัตราขยายโหมดร่วม (common-mode gain)

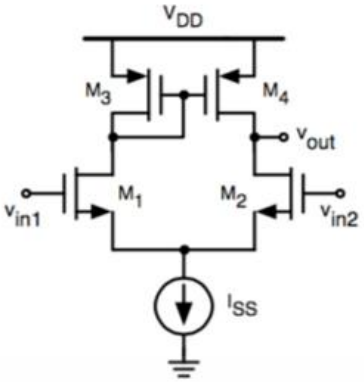
V_{id} คือ สัญญาณผลต่าง (Differential inputs) โดยมีค่าเท่ากับ $V_{IN1} - V_{IN2}$

V_{ic} คือ สัญญาณโหมดร่วม (Differential inputs) โดยมีค่าเท่ากับ $(V_{IN1} + V_{IN2})/2$

Differential amplifier ที่ดีควรมีค่าอัตราขยายผลต่าง (Differential gain) ที่สูงและมีอัตราขยายโหมดร่วม (common-mode gain) ที่ต่ำ เนื่องจากในสัญญาณรบกวนจากกรณี $V_{IN1}=V_{IN(+)} + V_{noise}$ และ $V_{IN2} =V_{IN(-)} + V_{noise}$ เราจึงควรกำจัดสัญญาณโหมดร่วม (Differential inputs) โดยการทำให้ค่าอัตราขยายโหมดร่วม (common-mode gain) มีค่าต่ำที่สุดโดยมีพารามิเตอร์ Common Mode Rejection Ratio (CMRR) ที่บ่งบอกประสิทธิภาพของ Differential amplifier โดยมีสมการเป็น

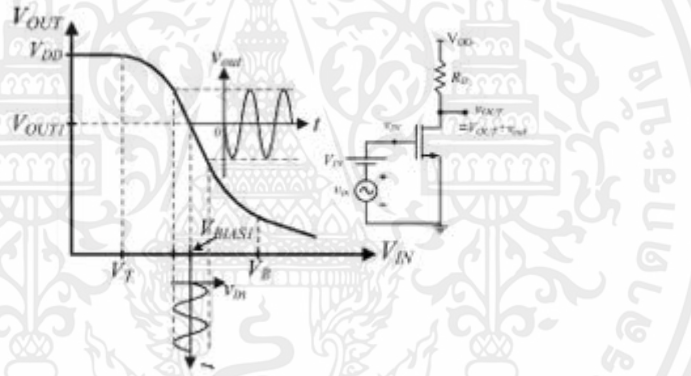
$$CMRR=\left|\frac{A_{vd}}{A_{vc}}\right| \tag{2.90}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.70 วงจรขยายผลต่าง (Differential Amplifier)

2.7.2 วงจรขยายแบบคอมมอนซอร์ส (Common Source Amplifier)



รูปที่ 2.71 กราฟความสัมพันธ์ระหว่าง V_{IN} และ V_{OUT} ของวงจร Common Source Amplifier

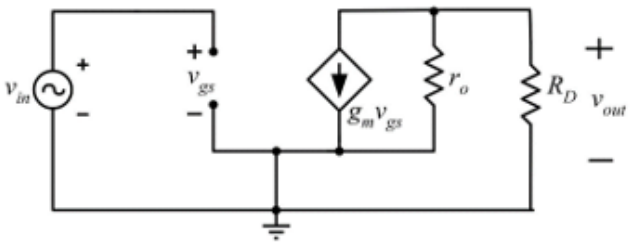
Common Source Amplifier เป็น Amplifier รูปแบบหนึ่งที่ทำการป้อนสัญญาณอินพุต (V_{IN}) เข้าที่ขาเกตของมอสเฟต โดยสัญญาณเอาต์พุต (V_{OUT}) ออกที่ขาเดรน โดยเมื่อพิจารณา Small signal model วงจรจะมีอัตราขยาย (A_V) มีค่าเท่ากับ

$$V_{OUT} = \left(-G_{ms}V_{gs}\right)(R_{OUT}) \text{ โดย } V_{gs} = V_{IN} \tag{2.91}$$

$$\frac{V_{OUT}}{V_{IN}} = \mathrm{A}v = -G_{ms}R_{OUT} \tag{2.92}$$

โดยสัญญาณเอาต์พุต (V_{OUT}) ที่ได้จะมีความต่างเฟสกับสัญญาณอินพุต (V_{IN}) เท่ากับ 180° โดยเราสามารถปรับค่าของอัตราขยายของวงจรได้โดยการเพิ่มค่าตัวต้านทานเอาต์พุตให้มีค่าสูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.72 Small signal model ของวงจร Common Source Amplifier

2.8 การออกแบบวงจรเพื่อการทดสอบวงจร

การทดสอบวงจรรวมเป็นขั้นตอนที่สำคัญเป็นอย่างยิ่ง โดยทั่วไปการทดสอบการทำงานสามารถกระทำได้ด้วยการป้อนสัญญาณอินพุต จากแหล่งกำเนิดสัญญาณภายนอกและ วัดค่าสัญญาณเอาต์พุตของวงจร อย่างไรก็ตามในโครงงานนี้ เราได้นำเสนอวงจรทรานซีฟเวอร์ ซึ่งเป็นวงจรด้านการสื่อสาร ประกอบด้วยสองส่วนคือ วงจรภาคส่ง และ วงจรภาครับ การทดสอบจึงแบ่งเป็น 2 ระดับ คือ ในระดับสัญญาณ และในระดับข้อมูล

การทดสอบในระดับสัญญาณ สามารถพิจารณาตามลักษณะการใช้งานจริง วงจรภาคส่งจะได้รับสัญญาณอินพุตเป็นข้อมูลแบบ NRZ ที่ส่งมาพร้อมกับ สัญญาณนาฬิกา และสร้างสัญญาณ PWM เป็นเอาต์พุต ดังนั้นในการทดสอบวงจร เราต้องสร้างสัญญาณข้อมูล แบบ NRZ ป้อนให้กับวงจรภาคส่ง ซึ่งโดยทั่วไปนิยมใช้เครื่องกำเนิดสัญญาณพัลซ์ความถี่สูง (Pulse Generator) และ การวัดสัญญาณเอาต์พุตจะใช้ ดิจิตัลแซมปลิงสโคป (Digital sampling oscilloscope) เพื่อสร้างไดอะแกรมรูปตา สำหรับวัดค่าเอาต์พุตจิตเตอร์ (Output Jitter) ของสัญญาณ PWM และ สัญญาณนาฬิกา ส่วนวงจรภาครับ การทดสอบทำได้โดยป้อนสัญญาณ PWM และวัดสัญญาณ NRZ

การทดสอบในระดับข้อมูล มีจุดมุ่งหมายเพื่อทดสอบความถูกต้องของการรับส่งข้อมูล โดยวัดอัตราความผิดพลาดของข้อมูล (Bit Error Rate: BER) วิธีการโดยทั่วไปคือ เชื่อมต่อเอาต์พุตของวงจรภาคส่ง ผ่านช่องทางการสื่อสาร เข้าสู่วงจรภาครับ และเปรียบเทียบข้อมูลที่ส่งกับข้อมูลที่ได้รับ ความแตกต่างของข้อมูลทั้งสองซึ่งแสดงถึงความผิดพลาด จะถูกคำนวณด้วยหลักการทางสถิติและรายงานเป็นค่า BER ซึ่งแสดงถึงอัตราส่วนของจำนวนบิตที่ผิด ต่อจำนวนบิตทั้งหมด ค่า BER ยิ่งต่ำยิ่งดี

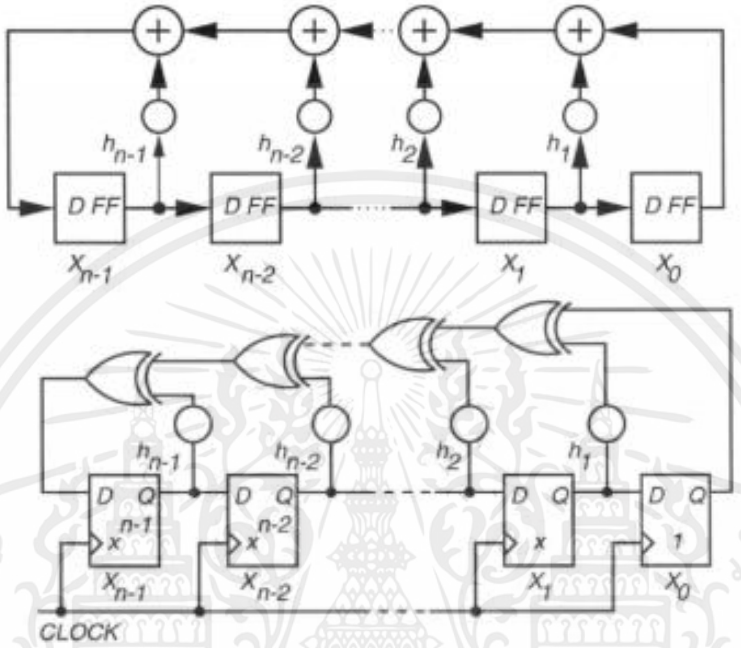
นอกจากนี้ ในอุตสาหกรรมการผลิตวงจรรวม ยังเพิ่มวงจรเพื่อช่วยลดขั้นตอนการทดสอบในขบวนการผลิต ที่เรียกว่า Design for Test หรือ DFT และหากวงจร DFT นั้นสามารถดำเนินการทดสอบได้ด้วยตัวเองจะเรียกว่า วงจร Built-in Self Test หรือ BIST ในโครงงานนี้เราได้ออกแบบวงจร DFT เพิ่มโดยสร้างวงจรสำหรับผลิตสัญญาณอินพุต NRZ แบบสุ่มให้แก่วงจรภาคส่ง ที่เรียกว่า Pseudo-Random Bit Sequence หรือ PRBS และ สร้างวงจรสำหรับตรวจสอบความถูกต้องของข้อมูลที่ภาครับ ที่เรียกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Signature Analyzer วงจรทั้งสองมีพื้นฐานจากวงจร Linear Feedback Shift Register หรือ LFSR ดังนั้นเนื้อหาต่อจากนี้ไป จะทบทวนความรู้พื้นฐานในการออกแบบวงจร LFSR

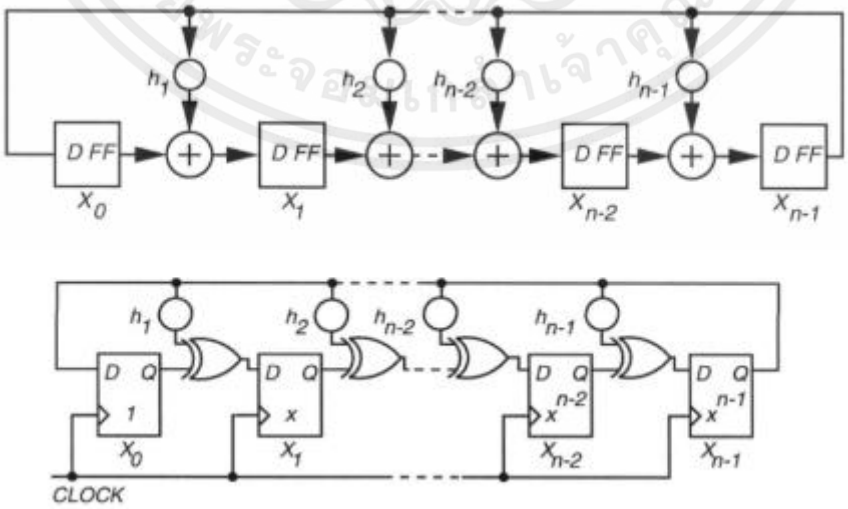
วงจร LFSR จะมีโครงสร้าง 2 แบบคือ Standard LFSR และ Modular LFSR

วงจร LFSR แบบ Standard LFSR



รูปที่ 2.73 วงจร LFSR แบบ Standard LFSR

วงจร LFSR แบบ Modular LFSR



รูปที่ 2.74 วงจร LFSR แบบ Modular LFSR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งวงจรทั้ง Standard LFSR และ Modular LFSR จะมีจำนวน D-Flipflop ตามจำนวน n บิตที่จะนำมาทดสอบระบบในวงจร LFSR จะมีสมการพหุนามสร้างวงจรคือ

$$f(x) = 1 + h_1x + h_2x^2 + \ldots + h_{n-1}x^{n-1} + x^n \quad (2.93)$$

ในการสร้าง LFSR มีเงื่อนไขที่จะต้องสร้างวงจรให้มีการสุ่มแบบ pseudo random โดยให้สมการพหุนามแบบพหุนามปฐมฐาน (primitive polynomial) วงจร LFSR จะไม่มีชุดข้อมูล 000...0 และต้องไม่ให้วงจร LFSR ที่สถานะเริ่มต้นของวงจรเป็น 000...0 ทั้งหมด เพื่อให้ LFSR เกิดการสุ่มข้อมูลทั้งหมด 2^n-1 ชุด จะมีชุดพหุนามปฐมฐานกับจำนวน n เท่ากับ 2 ถึง 74

Degree (n)	Polynomial
2, 3, 4, 6, 7, 15, 22, 60, 63	$x^n + x + 1$
5, 11, 21, 29, 35	$x^n + x^2 + 1$
8, 19, 38, 43	$x^n + x^6 + x^5 + x + 1$
9, 39	$x^n + x^4 + 1$
10, 17, 20, 25, 28, 31, 41, 52	$x^n + x^3 + 1$
13, 24, 45, 64	$x^n + x^4 + x^3 + x + 1$
14, 16	$x^n + x^5 + x^4 + x^3 + 1$
18, 57	$x^n + x^7 + 1$
23, 47	$x^n + x^5 + 1$
26, 27	$x^n + x^{12} + x^{11} + x + 1$
30, 51, 53, 61, 70	$x^n + x^{16} + x^{15} + x + 1$
32, 48	$x^n + x^{28} + x^{27} + x + 1$
44, 50	$x^n + x^{27} + x^{26} + x + 1$
49, 68	$x^n + x^9 + 1$
56, 59	$x^n + x^{22} + x^{21} + x + 1$
66, 67, 74	$x^n + x^{10} + x^9 + x + 1$

Degree (n)	Polynomial
12	$x^n + x^6 + x^4 + x^3 + 1$
33	$x^n + x^{13} + 1$
34	$x^n + x^{15} + x^{14} + x + 1$
36	$x^n + x^{11} + 1$
37	$x^n + x^{12} + x^{10} + x^2 + 1$
40	$x^n + x^{21} + x^{19} + x^2 + 1$
42	$x^n + x^{23} + x^{22} + x + 1$
46	$x^n + x^{21} + x^{20} + x + 1$
54	$x^n + x^{37} + x^{36} + x + 1$
55	$x^n + x^{24} + 1$
58	$x^n + x^{19} + 1$
65	$x^n + x^{18} + 1$
69	$x^n + x^{29} + x^{27} + x^2 + 1$
71	$x^n + x^6 + 1$
72	$x^n + x^{53} + x^{47} + x^6 + 1$
73	$x^n + x^{25} + 1$

ตารางที่ 2.1 พหุนามปฐมฐานกับจำนวน n = 2-74 บิต

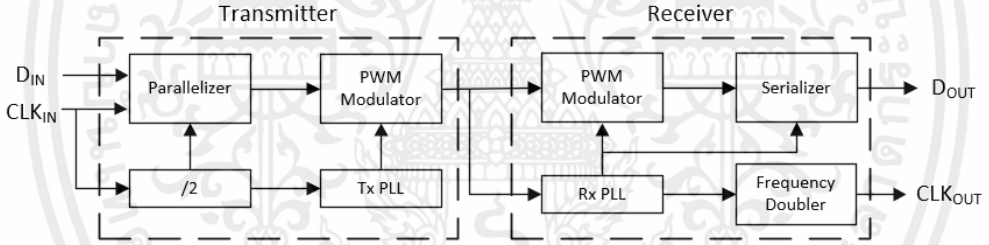
นอกจากจะใช้ LFSR สร้างชุดข้อมูลแบบสุ่มมาได้ ยังสามารถใช้ LFSR ที่สร้างออกมาสำหรับทดสอบการทำงานของวงจรที่ทำงานนั้นสามารถให้ผลออกมาที่ถูกต้อง โดยเอาโหนดที่ป้อนกลับและข้อมูลที่จะตรวจสอบมาต่ออินพุตของ XOR และต่อเอาท์พุตไปยัง D-Flipflop ตัวที่ X_0 จะสามารถใช้ทฤษฎีของ CRC ในการตรวจสอบชุดข้อมูลสุดท้ายจากการนำสมการพหุนามของเอาท์พุตหารด้วยพหุนามของ LFSR ที่ใช้ทดสอบวงจรให้ผลที่อาจจะผิดพลาดจากวงจร LFSR เป็น $1/2^n$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบ

ในการออกแบบถูกกำหนดข้อจำกัดในการออกแบบโดยใช้โมเดลของ MOSFET ที่มีขนาด 90nm มีการใช้แรงดัน 1.2 โวลต์ ตามใน Document ของการออกแบบเทคโนโลยี 90 nm การส่งข้อมูลแบบอนุกรม มีสัญญาณที่เป็นข้อมูลและสัญญาณนาฬิกาเข้ามาในระบบ ผู้ออกแบบต้องการส่งข้อมูลด้วยความถี่สูง ทำให้ช่องสัญญาณหรือเคเบิลต้องใช้มีความถี่คัทออฟที่สูงขึ้นส่งผลให้การส่งข้อมูลต้องแลกมาด้วยราคาหรือค่าใช้จ่ายที่สูงขึ้นสำหรับสายสัญญาณที่ความถี่คัทออฟสูงขึ้น เพื่อให้สามารถลดความถี่คัทออฟของสายเคเบิลที่มีความถี่คัทออฟที่สูงจากการส่งข้อมูลแบบไบนารีหรือ NRZ ดังนั้นการออกแบบเลือกที่จะเพิ่มวงจรเข้ารหัสที่ภาคส่งและถอดรหัสที่ภาครับเข้ามาเพื่อให้ส่งข้อมูลที่ความถี่เดิมและความถี่คัทออฟต่ำลงในการส่งข้อมูลได้ นอกจากนี้ยังลดสายสัญญาณให้เหลือเฉพาะสายส่งข้อมูลโดยจะส่งสัญญาณข้อมูลและสัญญาณนาฬิการวมกันไปในเส้นเดียวเพื่อที่จะลดสายเคเบิลที่ใช้ในภาคส่งและภาครับข้อมูล แต่จะต้องเพิ่มวงจรในการกู้ข้อมูลและสัญญาณนาฬิกาเพิ่มเข้ามาในวงจรภาครับ

3.1 การออกแบบวงจร



รูปที่ 3.1 บล็อกไดอะแกรมของทรานซีฟเวอร์

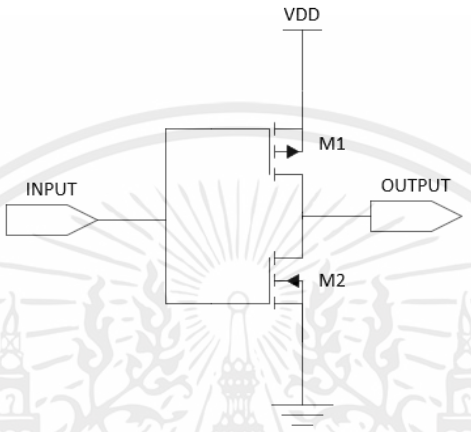
การสื่อสารแบบอนุกรมจะนำข้อมูลสัญญาณข้อมูล D_{in} และสัญญาณนาฬิกา CLK เข้ามาในระบบ เริ่มด้วยมาทำให้สัญญาณถูกลดความถี่ลงเพื่อทำให้ข้อมูลไบนารีสามารถส่งเป็นสัญลักษณ์หรือ Symbol แทนการส่งไบนารีจะช่วยลดความถี่ในการส่งได้ โดยจะมี multiple phase จากสัญญาณนาฬิกาที่ผ่าน Phase lock loop มาช่วยในการทำ Symbol ต่างๆ ทำข้อมูล 2 บิต จะแบ่งคาบเวลาเป็น 5 ช่วง เพื่อแทนแต่ละ symbol ละส่วนสุดท้ายเว้นสำหรับแยกข้อมูลเป็นชุดและง่ายต่อการกู้คืนสัญญาณนาฬิกา เนื่องจากผู้ออกแบบจะมีขอบขาขึ้นของสัญญาณ PWM ออกมาทุกๆ Symbol เมื่อออกจากภาคส่งและเข้าภาครับ จะใช้ Phase Lock Loop แบบเดียวกับภาคส่งและมีวงจรถอดรหัสเพื่อกู้คือข้อมูลและสัญญาณนาฬิกา และเข้าไปทำให้ข้อมูลออกมาเป็นชุดข้อมูลเช่นเดียวกับภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 การออกแบบวงจรดิจิตอลพื้นฐาน

ต้องใช้อัตราส่วนของ W/L ที่ PMOS และ NMOS ให้ค่า VDD/2 หรือจุด Switching Point สำหรับออกแบบวงจรในภาครับและภาคส่งในส่วนของวงจรดิจิตอล

ในการหาอัตราส่วนของ CMOS โดยการจำลองในโปรแกรม Cadence โดยหาค่า W ของ PMOS ที่เป็น N เท่าของ NMOS ที่ทำให้จุดของ Switching Point อยู่ที่ $\frac{V_{DD}}{2}$



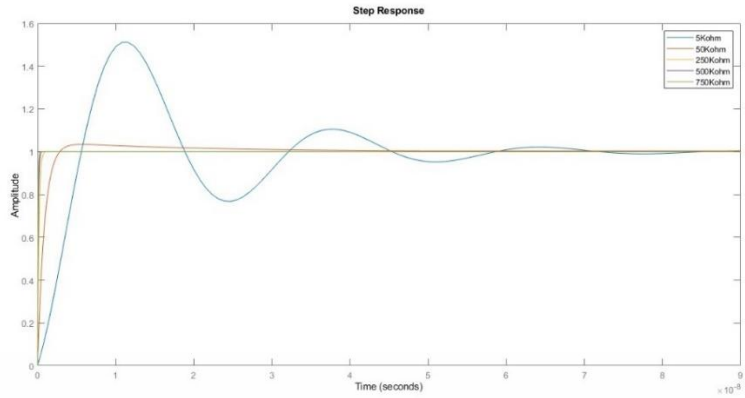
รูปที่ 3.2 วัดอัตราส่วน PMOS ต่อ NMOS

จากผลการวัดค่าจากรูปที่ 3.2 ได้อัตราส่วน PMOS ต่อ NMOS เท่ากับ 3.46 เท่า จากเทคโนโลยีคือ NMOS:PMOS ที่ 100:415 nm

3.2 วงจรเฟสล็อคลูป (Phase Lock Loop :PLL)

จากความต้องการที่จะออกแบบระบบในครั้งนี้ เป็นการสังเคราะห์ความถี่ขึ้นใหม่ ความต้องการระบบจะไม่เกิดการเปลี่ยนความถี่ขึ้นบ่อยครั้ง จะเป็นในช่วงแรกของระบบเท่านั้นที่จะทำการล็อคความถี่ให้ตรงกับ CLK_{IN} ทำให้เลือกใช้การตอบสนองของสเตปเป็นแบบ Over damped เพื่อให้ความสำคัญกับการลด jitter ที่จะเกิดขึ้นในระบบ นำสมการระบบปิดของเฟสล็อคลูปจากสมการที่ 2.54 มาพล็อตในโปรแกรม Matlab เพื่อการตอบสนองของสเตปกับระบบ และทดลองปรับค่าความต้านทานเพื่อเปลี่ยนค่าของ ζ (damping factor)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



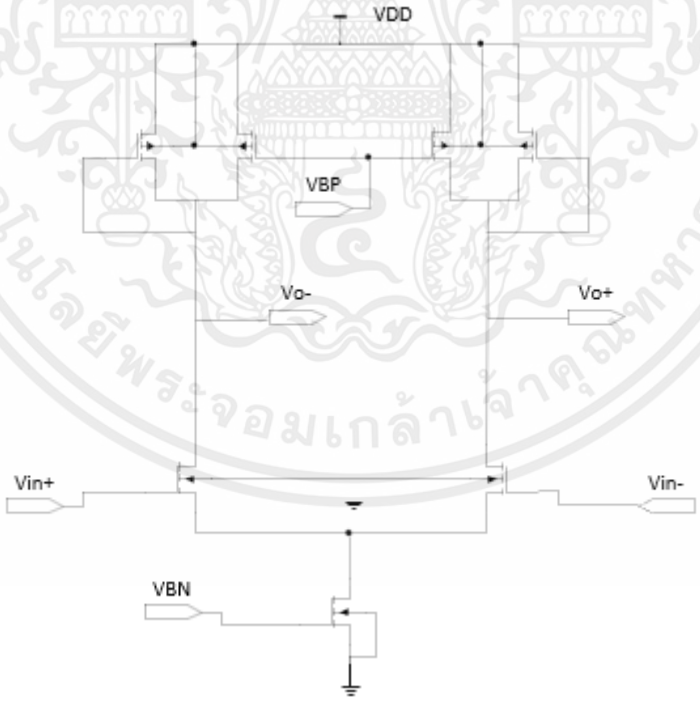
รูปที่ 3.3 การตอบสนองของสเตปของสมการ PLL

หากต้องการลด jitter ที่มาจากอินพุตสามารถบอกได้ว่าต้องการระบบที่เป็น Over damped และมี settling time ที่นานขึ้น

เราจะได้ค่าความต้านทานและค่าตัวเก็บประจุที่นำไปใช้ออกแบบเฟสล็อคลูปในส่วนของตัวกรองลูป

3.2.1 VCO

3.2.1.1 Delay Stages of Ring Oscillator



รูปที่ 3.4 Delay Stage of Ring Oscillator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออสซิเลทสัญญาณขนาดเล็ก

เนื่องจากต้องการ 5 Stages ดังนั้นเฟสชิบแต่ละสเตจจะต้องมีค่าเท่ากับ $\frac{180^\circ}{5}=36^\circ$ ความถี่ถูกกำหนดโดยสมการที่ 2.14 และ 2.15

$$\tan^{-1}\frac{\omega_{osc}}{\omega_0}=36^\circ$$

$$\omega_{osc}=0.73\omega_0$$

โดยที่ ω_{osc} คือ ความถี่การออสซิเลทของสันญาณขนาดเล็ก

ω_0 คือ โพลของแต่ละสเตจ

และ อัตราขยาย open loop ต้องมีค่ามากกว่าหรือเท่ากับ 1 จากสมการที่ 2.16

$$\frac{A_o{}^5}{\left(\sqrt{1^2+\left(\omega_{osc}/\omega_0\right)^2}\right)^5}\geq 1$$

$$A_o\geq 1.24$$

โดยที่ A_o คือ อัตราขยายของแต่ละสเตจ

จากสมการกระแสของมอสเฟส

$$I_D=\frac{\mu C_{ox}(W/L)}{2}(V_{GS}-V_T)^2 \qquad (3.1)$$

จากวงจรกำหนด $I_{ss}=200\ \mu A$, $V_{GS}-V_T=0.1\ V$

$$200\mu=\frac{1250\mu(W/L)_{ss}}{2}(0.1)^2$$

$$(W/L)_{ss}=32$$

กำหนด $I_{D3}=50\ \mu A$, $V_{GS}-V_T=0.1\ V$

$$50\mu=\frac{350\mu(W/L)_3}{2}(0.1)^2$$

$$(W/L)_3=28$$

เนื่องจาก symmetric load $(W/L)_5=(W/L)_3$

จากวงจรสามารถหาอัตราขยายได้จากสมการ

$$A_o=g_m(r_{o1}//r_{o3}//r_{o5}) \qquad (3.2)$$

ซึ่งจะมีค่าประมาณ

$$A_o=g_{m1}r_{o5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ $r_{o5}=\frac{1}{\sqrt{2\mu C_{ox}(W/L)_5 I_{D5}}}$

$$A_o=\frac{\sqrt{2\mu C_{ox}(W/L)_1 I_{D1}}}{\sqrt{2\mu C_{ox}(W/L)_5 I_{D5}}}$$

เนื่องจากต้องการ $A_o \geq 1.24$

$$\frac{\sqrt{2(1250\mu)(W/L)_1 100\mu}}{\sqrt{2(350\mu)(28)50\mu}} \geq 1.24$$

$$(W/L)_1 \geq 6.03$$

การออสซิเลทสัญญาณขนาดใหญ่

ความถี่การออสซิเลทสัณญาณขนาดใหญ่ขึ้นอยู่กับ เวลาดีเลย์ของแต่ละสเตจและจำนวนสเตจ ดังสมการ

$$F=\frac{1}{2NT_d} \tag{3.3}$$

ซึ่งค่าระยะเวลาดีเลย์ขึ้นอยู่กับค่าความต้านทานและค่าตัวเก็บประจุ ดังสมการ

$$T_d=RC=\frac{C_L}{\sqrt{2kI_D}} \tag{3.4}$$

นำสมการที่ 3.3 แทนค่าในสมการที่ 3.4

$$F=\frac{\sqrt{2kI_D}}{2NC_L} \tag{3.5}$$

กำหนด I_D=25 μA , F = 2 GHz , N=5 , k=uC_{ox}W/L แทนค่าลงในสมการที่ 3.5

$$C_L=100\ fF$$

โดยที่ F คือ ความถี่ของการออสซิเลทของสันญาณขนาดใหญ่

N คือ จำนวนสเตจของริงออสซิเลเตอร์

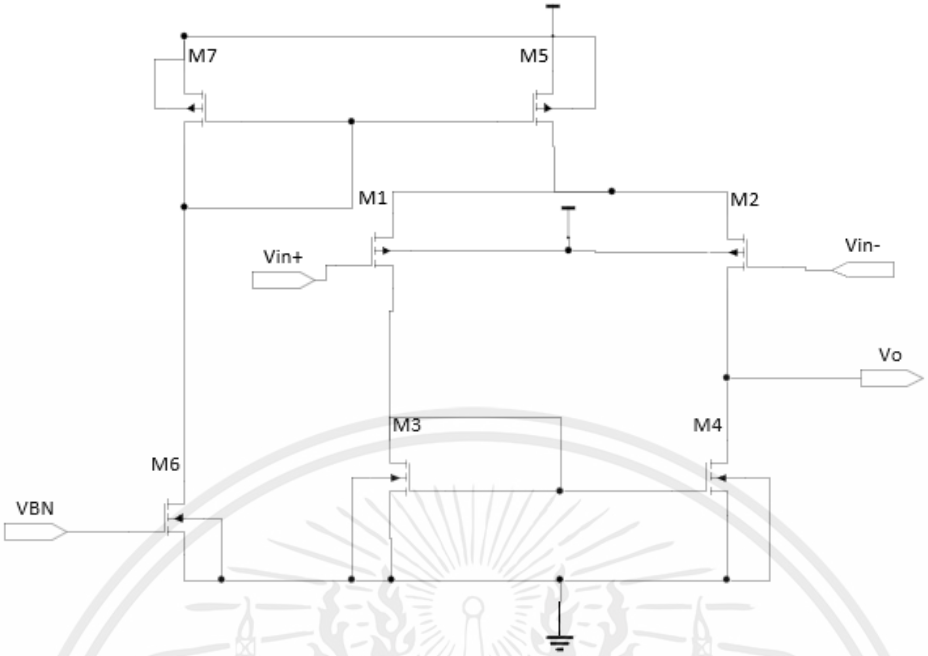
T_d คือ เวลาของการหน่วงเวลาแต่ละสเตจ

C_L คือ ค่าความจุของตัวเก็บประจุเอาต์พุตแต่ละสเตจ

I_D คือ กระแสของเดรนของมอสเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1.2 Differential Amplifier



รูปที่ 3.5 Differential Amplifier

เนื่องจาก M_7 สะท้อนกระแสไปยัง M_5 และกำหนด I_{D5}=10 μA

$$\frac{I_{D5}}{I_{D7}}=\frac{(W/L)_5}{(W/L)_7}$$

$$(W/L)_5=\frac{I_{D5}}{I_{D7}}(W/L)_7$$

$$(W/L)_5=\frac{10\mu}{5\mu}(5)$$

$$(W/L)_5=10$$

จากรูปที่ 3.5 วงจรมีอัตราขยายเท่ากับ

$$A_o=g_m(r_{o2}//r_{o4})$$

โดยที่ $g_m=\sqrt{2\mu C_{ox}(W/L)I_D}$ และ $r_o=\frac{1}{\lambda I_D}$

$$A_o=\sqrt{2\mu C_{ox}(W/L)_1 I_{D1}}\left(\frac{1}{0.6(I_{D2})+0.6(I_{D4})}\right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และกำหนด A_o=100 , λ=0.6

$$100=\sqrt{2(350\mu)\left(W/L\right)_1(5\mu)}\left(\frac{1}{0.6(5\mu)+0.6(5\mu)}\right)$$

$$(W/L)_1=100$$

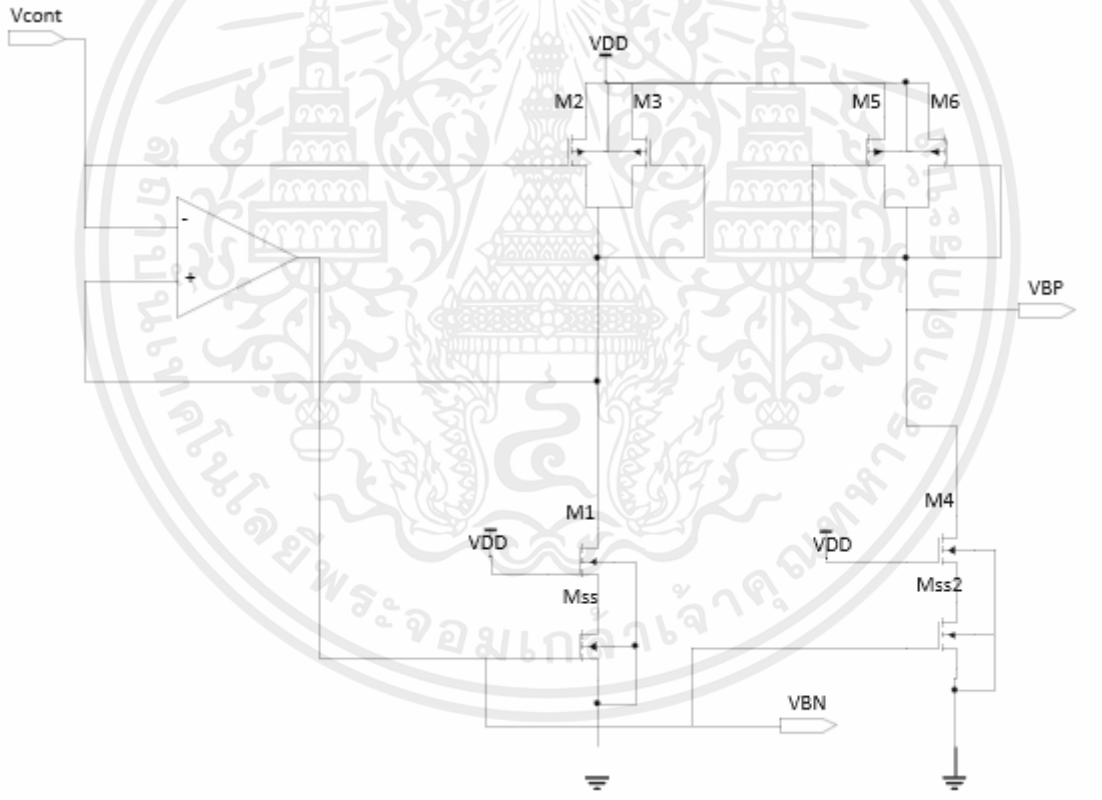
จากสมการกระแสมอสเฟส สมการที่ 3.1

จากวงจรกำหนด I_{D3}=5 μA , V_{GS}-V_T=0.1 V

$$5\mu=\frac{1250\mu(W/L)_3}{2}(0.1)^2$$

$$(W/L)_3=1$$

3.2.1.3 Replica bias version maneatis [6]

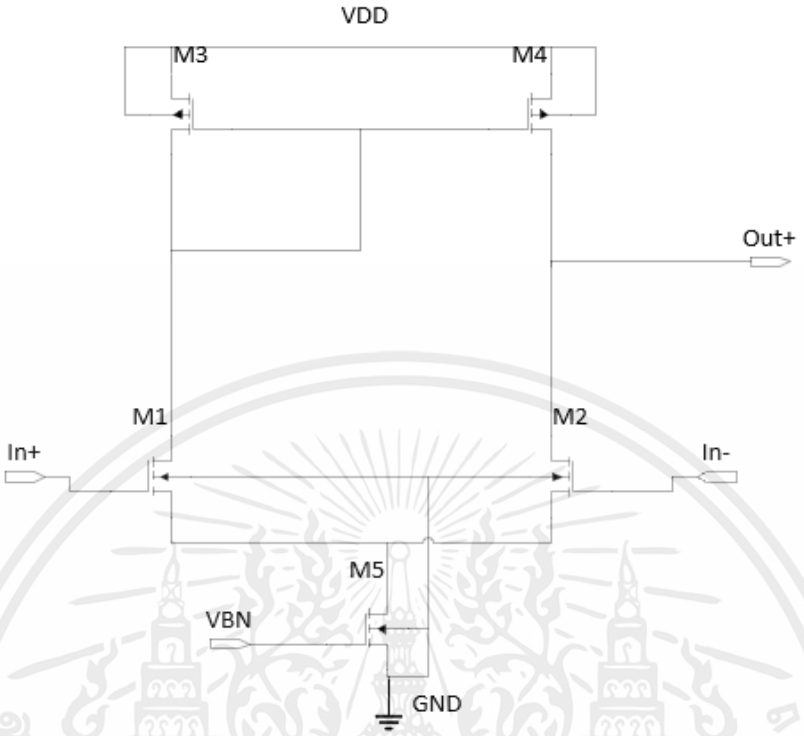


รูปที่ 3.6 วงจร Replica bias **[6]**

กำหนดขนาดของ M_1,M_2,M_3,M_4,M_5,M_6,M_{ss},M_{ss2} ให้มีขนาดเท่ากับ Delay Stage of Ring Oscillator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1.4 Differential amplifier



รูปที่ 3.7 Differential amplifier

จากสมการ $A_V=g_m r_O$

$$A_V=\sqrt{2\mu C_{OX}\left(\frac{W}{L}\right)_1 I_{D1}}\cdot\left(\frac{1}{\lambda I_{D2}+\lambda I_{D4}}\right)$$

กำหนด $A_V=20$, $I_{SS}=500\ \mu A$, $\lambda=0.6$, $\mu C_{OX}=1250\ uA/V^2$

$$20=\sqrt{2(1250\mu)\left(\frac{W}{L}\right)_1 (500\mu)}\cdot\left(\frac{1}{0.6(250\mu)+0.6(250\mu)}\right)$$

$$(W/L)_1=60$$

$$(W/L)_2=(W/L)_1=60$$

กำหนด $L = 100\ nm$

$$W_1=W_2=6\ \mu m$$

$$V_{ic(MAX)}=V_{DD}-V_{GS3}+V_{TN}$$

กำหนด $V_{ic(MAX)}=0.9\ V$, $V_{TN}=0.25\ V$, $V_{TP}=0.3\ V$

$$0.9=1.2-\sqrt{\frac{2(250\mu)}{350\mu\left(\frac{W}{L}\right)_3}}-0.3+0.25$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$(W/L)_3 = 20$$

$$(W/L)_4 = (W/L)_3 = 20$$

กำหนด L = 100 nm

$$W_3 = W_4 = 2\ \mu m$$

$$V_{ic(MIN)} = V_{DS5(SAT)} + V_{GS1}$$

กำหนด $V_{ic(MIN)}$=0.4 V, V_{TN} = 0.25 V, V_{TP} = 0.3 V

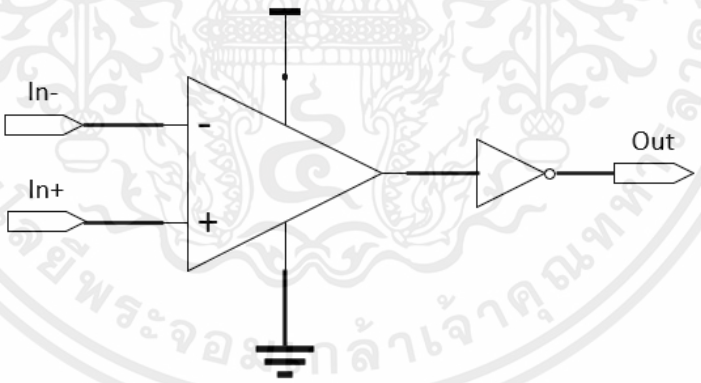
$$0.4 = \sqrt{\frac{2(500\mu)}{1250\mu\left(\frac{W}{L}\right)_5}} + \sqrt{\frac{2(250\mu)}{1250\mu(60)}} + 0.25$$

$$(W/L)_5 = 100$$

กำหนด L=1 µm

$$W_5 = 100\ \mu m$$

3.2.1.5 differential to single ended

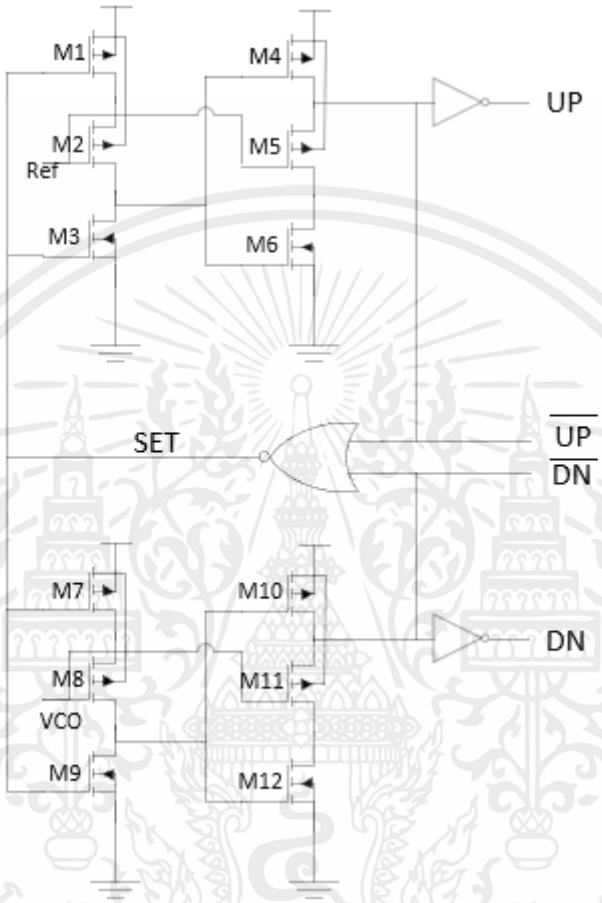


รูปที่ 3.8 Differential to Single ended

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 Phase Frequency Detector

การทำงานของ PFD ของวงจรจะให้ผลของอินพุตและเอาท์พุตวงจร เหมือนกับตัวพื้นฐาน PFD ในหัวข้อที่ 2.5.4.1 แต่โครงสร้างที่ปรับเปลี่ยนทำให้สามารถทำงานที่ความถี่สูงขึ้น มีวงจรดังรูปที่ 3.9



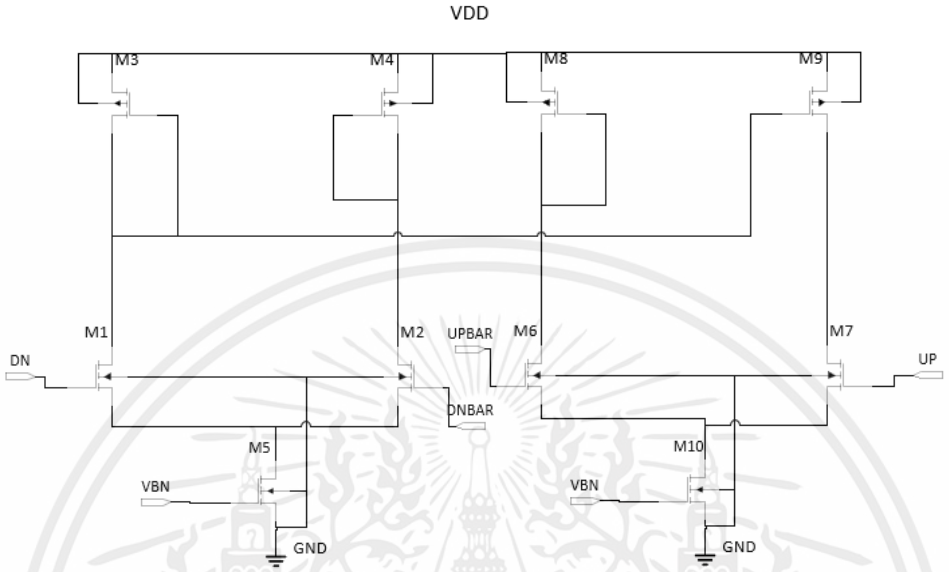
รูปที่ 3.9 วงจร Phase Frequency Detector

การทำงานของวงจร PHASE FREQUENCY DETECTOR เมื่อมี 2 สัญญาณ เข้ามาและจับที่ขอบขาขึ้นของสัญญาณเปลี่ยนจาก LOW เป็น HIGH ของทั้ง 2 สัญญาณที่เข้ามา จะให้สัญญาณ UP และ DOWN ที่จะนำไปใช้ในส่วนถัดไป คือ Charge-Pump ตัวที่ตรวจจับขอบขาจะใช้ PMOS และ NMOS เป็นส่วนช่วยขณะที่สัญญาณเปลี่ยนจาก LOW เป็น HIGH ค่าของโหนด SET จะมีค่าเริ่มเป็น 0 V หรือ LOW เมื่อมีสัญญาณเข้ามา PMOS M2 จะทำงานก่อน PMOS M2 จะทำให้ PMOS M1 ต่อกับ NMOS M3 เหมือนกับ Inverter ทำให้สัญญาณที่เข้ามาผ่านไปส่วนถัดไป เมื่อ HIGH NMOS M5 จะทำงานต่อจาก PMOS M2 PMOS M2 จะ OFF NMOS M5 จะทำงาน PMOS M4 ต่อกับ NMOS M6 เหมือนกับ Inverter เราจะได้สัญญาณ UPbar และนำไปต่อกับ Inverter กลับเป็น UP โดยจะมีลักษณะคล้ายกันทั้งสองส่วนที่ตรวจจับขอบขาขึ้น จะได้สัญญาณที่เป็น UP และ DOWN นำสัญญาณที่ได้มาป้อนกลับไปที่ NOR GATE เมื่อสัญญาณใดสัญญาณหนึ่งเข้ามาจะทำให้ NOR GATE ให้อินพุตเป็น LOW หรือทำให้ค่า SET เป็น HIGH และเมื่ออีกสัญญาณมีขาขอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขึ้นเข้ามา สัญญาณทั้งสองมีขอบขาเข้ามาจะทำให้ค่า SET เปลี่ยนเป็น LOW เช่นค่าที่เริ่มต้น เริ่มทำการตรวจจับขอบของขาขึ้นของสองสัญญาณใหม่และให้ค่า UP DOWN ออกมา

3.2.3 Charge pump [6]



รูปที่ 3.10 วงจร Charge Pump **[6]**

จากสมการกระแสมอสเฟส สมการที่ 3.1

กำหนดให้ขนาดของ $M_3=M_4=M_8=M_9$

$I_{D3}=5\ \mu A$, $V_{GS}-V_T=0.1$

$$5\mu=\frac{350\mu(W/L)_3}{2}(0.1)^2$$

$$(W/L)_3=3$$

กำหนด $L_3=1\ \mu m$

$$W_3=3\ \mu m$$

กำหนดให้ขนาดของ $M_5=M_{10}$

กำหนด $I_{D5}=5\ \mu A$ เนื่องจากวงจรกระแสอ้างอิงมี $I_{REF}=5\ \mu A$, $(W/L)_{REF}=1$

$$\left(W/L\right)_5=\frac{I_{D6}}{I_{D3}}\left(W/L\right)_{REF}$$

$$\left(W/L\right)_5=\frac{5\mu}{5\mu}(1)$$

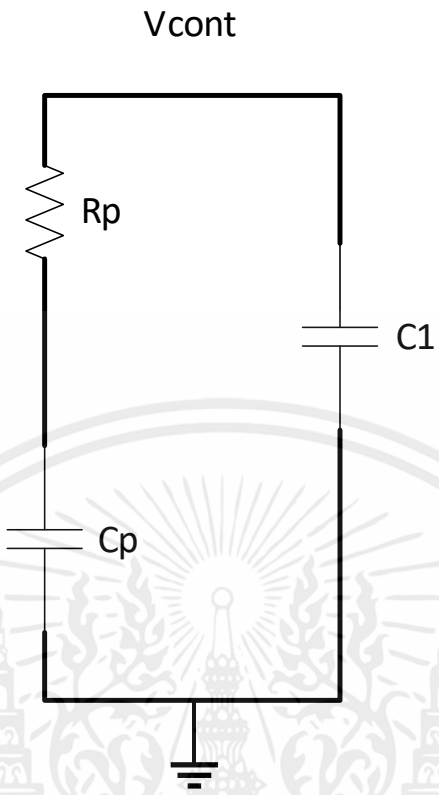
$$\left(W/L\right)_5=1$$

กำหนด $L_5=1\ \mu m$

$$W_5=1\ \mu m$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4 Loop Filter



รูปที่ 3.11 Loop filter

จากความสัมพันธ์ ω_n และ ζ จากสมการที่ 2.55 และ 2.56

เนื่องจาก $\omega_n < 0.1\ \omega_{REF}$ ดังนั้น กำหนด $\omega_n = 2\pi(10)$ M rad/s , $I_P = 5\ \mu A$, $K_{VCO} = 88$ G rad/V s

$$2\pi(10)M = \sqrt{\frac{(5\mu)(88G)}{2\pi C_P}}$$

$$C_P = 12 \text{ pF}$$

กำหนด $\zeta = 1$

$$1 = \frac{R_P}{2}\sqrt{\frac{(5\mu)(88G)(12p)}{2\pi}}$$

$$R_P = 2.2\ \text{k}\Omega$$

กำหนด $C_1 = 0.1C_P$

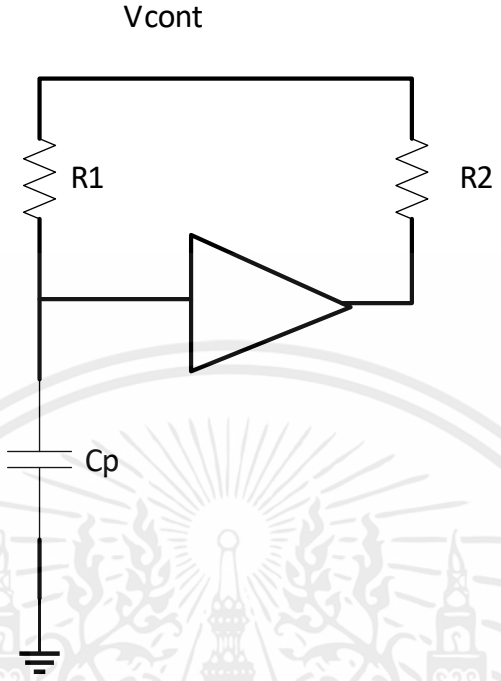
$$C_1 = 0.1C_P$$

$$= 0.1(12p)$$

$$= 1.2 \text{ pF}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.5 active loop filter



รูปที่ 3.12 Active Loop Filter

จากความสัมพันธ์ ω_n และ ζ จากสมการที่ 2.62 และ 2.63

กำหนด $\omega_n=2\pi(10)\text{M}\frac{\text{rad}}{\text{s}}$, $I_P=5\ \mu\text{A}$, $K_{VCO}=88\ \text{G}\frac{\text{rad}}{\text{sV}}$

$$2\pi(10\text{M})=\sqrt{\frac{5\mu(88\text{G})}{2\pi C_P\left(\frac{R_1}{R_2}\right)}}$$

$$C_P\left(\frac{R_1}{R_2}\right)=12\ \text{pF}$$

กำหนด $\zeta = 1$

$$1=\frac{R_2}{2}\sqrt{\frac{(5\mu)(88\text{G})(12\text{p})}{2\pi}}$$

$$R_2=2.2\ \text{k}\Omega$$

จาก $C_P\left(\frac{R_1}{R_2}\right)=12\ \text{pF}$

กำหนด $C_P = 1.2\ pF$

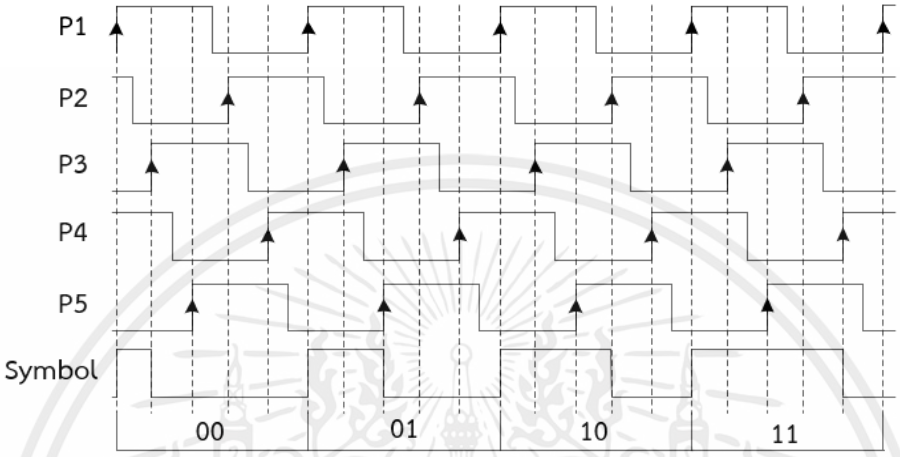
$$(1.2\text{p})\left(\frac{R_1}{2.2\ \text{k}}\right)= 12\ \text{pF}$$

$$R_1 = 22\ \text{k}\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

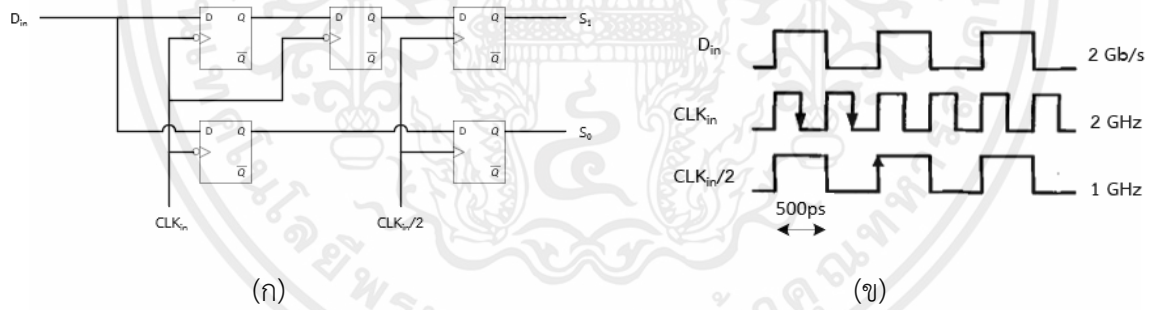
3.3 วงจรภาคส่ง (Transmitter)

จากส่วนของเฟสล็อคลูปนั้นทำให้ผู้ออกแบบมี Multiple Phase ทั้งหมด 5 สัญญาณ จะนำสัญญาณนั้นมาแบ่งใน 1 คาบเวลาที่เท่าๆ กันเป็นสัญลักษณ์และส่งออกไปในรูปแบบของ PWM โดยใช้ขอบขาขึ้นทั้ง 5 สัญญาณ โดยใช้เฟส 1 เป็นขอบขาขึ้นของสัญลักษณ์ และเฟส 2 ถึง 5 เป็นสัญญาณไว้กำหนดขอบขาลงของสัญลักษณ์ดังรูปที่ 3.13



รูปที่ 3.13 ตัวอย่าง Symbol ของ Transmitter

3.3.1 Parallelizer



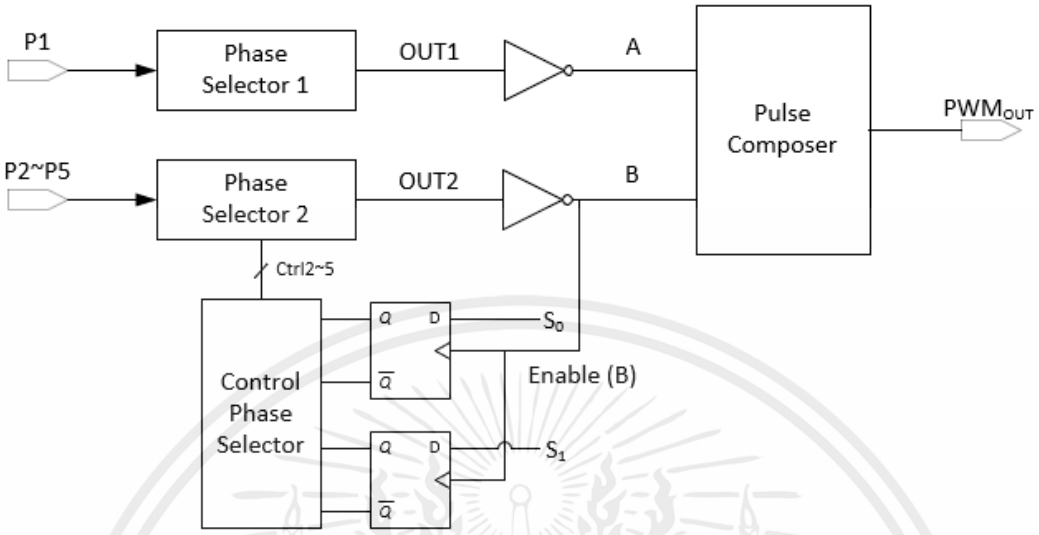
(ก) (ข)

รูปที่ 3.14 (ก) วงจร Parallelizer (ข) Timing Diagram วงจร Parallelizer **[7]**

ออกแบบโดยต้องการให้เก็บข้อมูลในช่วงกึ่งกลางของข้อมูลไบนารีจากสัญญาณนาฬิกาของระบบ เนื่องจากค่าของข้อมูลให้ความแม่นยำได้มากที่สุด ป้องกันการอ่านข้อมูลที่ผิดพลาดเมื่อสัญญาณที่เข้ามามี Rise time และ Fall time ที่มาก จากนั้น D flipflop นำข้อมูลออกไปหลังจากได้ข้อมูลมาครบทั้งสองบิตที่ความถี่ของสัญญาณนาฬิกาที่หารความถี่ลงครึ่งหนึ่ง Parallelizer มี D flipflop negative edge 3 ตัว เพื่อเก็บข้อมูล 2 บิต ข้อมูลจะออกค่าหลังจากขอบขาลงสัญญาณนาฬิกาของระบบ เข้ามาเก็บไว้ และ D flipflop positive edge 2 ตัวจะเก็บข้อมูล 2 บิตเพื่อนำข้อมูล 2 บิตไปแปลงเป็น Symbol สำหรับส่งไปยังส่วนถัดไป ข้อมูลจะถูกเก็บไว้ใน D flipflop หลังจากขอบขาขึ้นสัญญาณนาฬิกาของระบบที่หารความถี่ลงครึ่งหนึ่งเข้ามา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

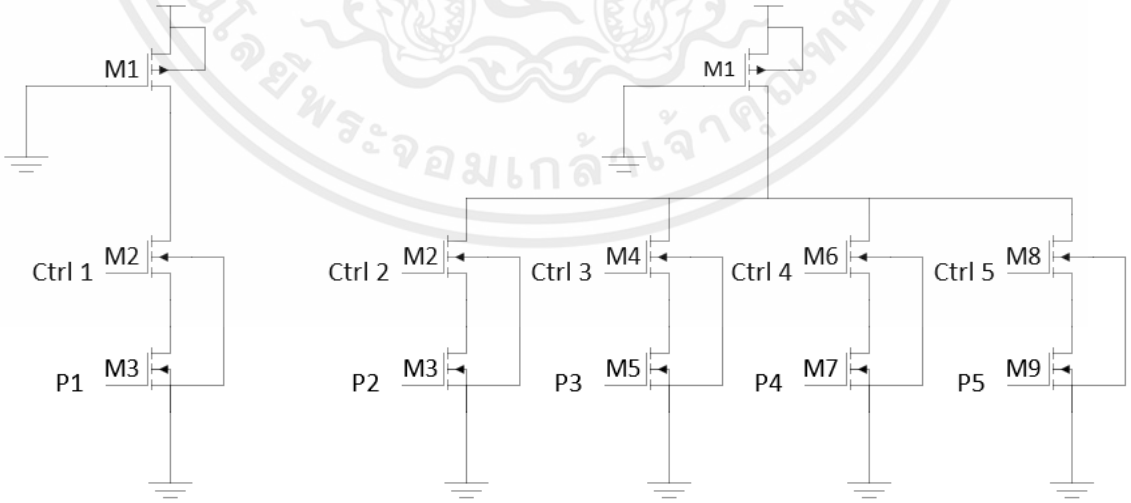
3.3.2 PWM Modulator



รูปที่ 3.15 บล็อกไดอะแกรมของวงจร PWM Modulator **[7]**

นำ Multiple Phase จาก Phase Lock Loop และสัญญาณข้อมูลที่ถูกแปลงจาก Parallelizer เข้ามา จะใช้ Phase Selector กับ Control Phase Selector สำหรับเลือก Phase จาก Multiple Phase Clock ให้สอดคล้องกับข้อมูล 2 บิตที่เข้ามาและใช้ Pulse Composer สร้างสัญญาณ PWM จากขอบขาขึ้นของเฟส 1 และเฟส 2 ถึง 5 ออกมาแบบเป็น Different signal ผ่านเข้า Driver Circuit สำหรับส่งไปยังภาครับ

3.3.2.1 Phase Selector



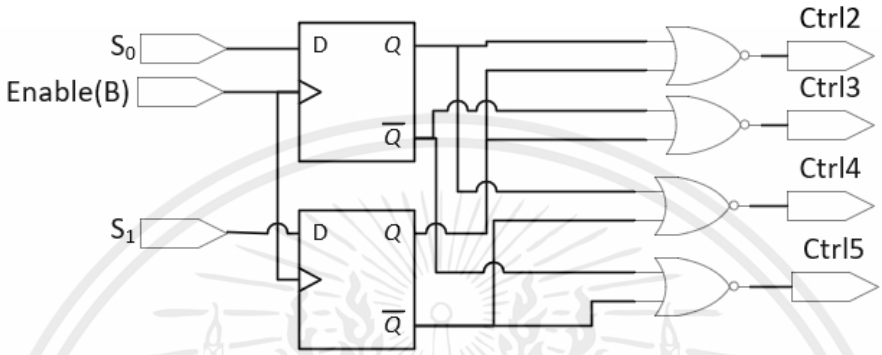
(ก) (ข)

รูปที่ 3.16 (ก) วงจร Phase Selector 1 (ข) วงจร Phase Selector 2 **[7]**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผู้ออกแบบเลือกใช้ pseudo-nMOS เพื่อลดค่าตัวเก็บประจุแฝงที่เกิดขึ้นในวงจรและทำงานเร็วขึ้น P_1 และ Ctrl 1 จะทำงานทุกๆ Clock Cycle สำหรับขอบเริ่มต้นของสัญญาณ PWM เอา Multiple Phase ออกมาจากเฟสล็อคลูปมาเข้าที่ขา P2-P5 และ Ctrl 2-5 เลือกเฟสมาทำเป็น Symbol จะเป็นขอบขาลงในสัญญาณ PWM

3.3.2.2 ออกแบบ Control Phase Selector



รูปที่ 3.17 วงจร Control Phase Selector

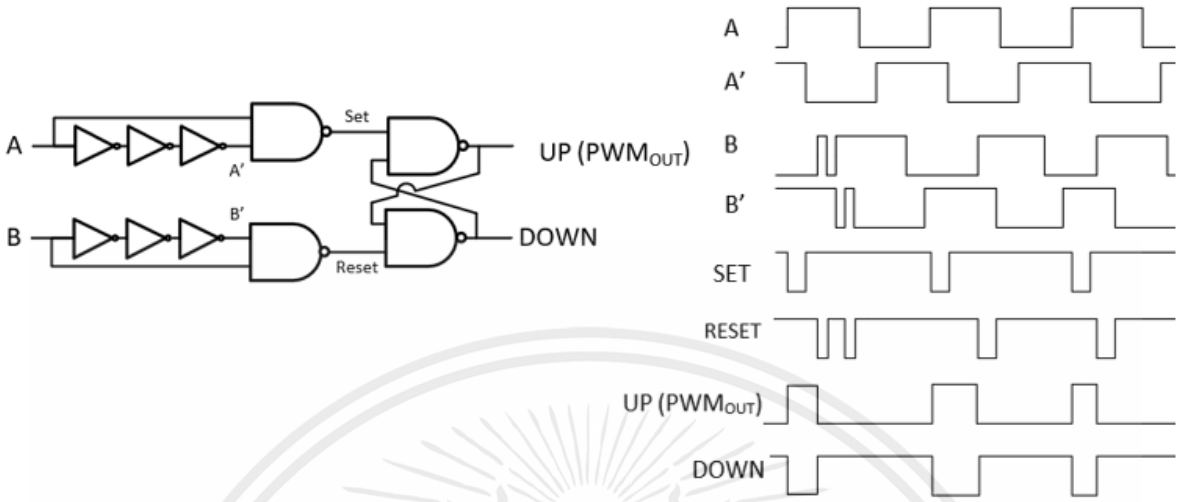
นำค่ามาจาก S_0 และ S_1 มาเก็บใน D Flipflop ที่มีสัญญาณหลังจาก Invert Phase 2-5 ขอบขาขึ้นจะทำให้ Symbol ถูกสร้างและนำข้อมูลชุดใหม่ที่เก็บไว้ Parallelizer เข้ามาเอาท์พุตของ D Flipflop S_0 และ S_1 สร้างสัญญาณ Ctrl2-5 ออกมาตามตารางความจริงดังนี้

INPUT		OUTPUT			
S_0	S_1	Ctrl5	Ctrl4	Ctrl3	Ctrl2
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

ตารางที่ 3.1 ตาราง truth table ของวงจร Control Phase Selector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2.3 ออกแบบ Phase Detector base on SR Latch



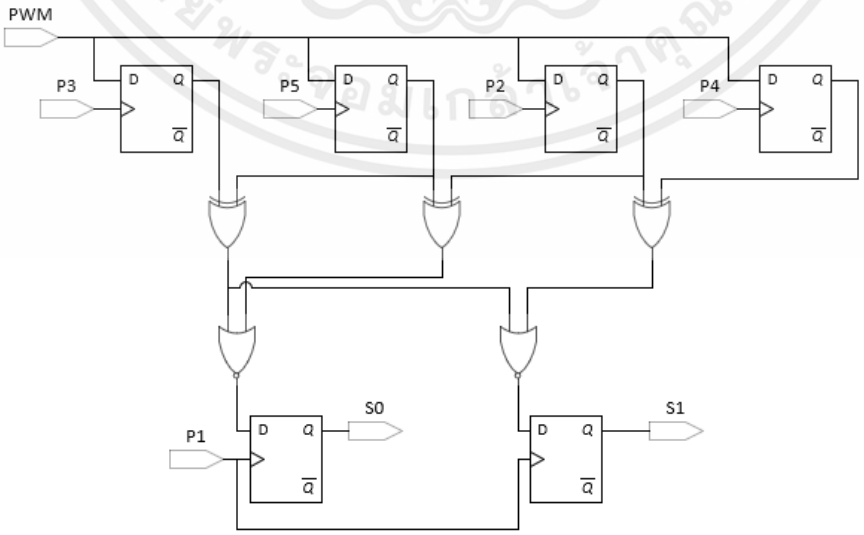
(ก) (ข)

รูปที่ 3.18 (ก) วงจร Phase Detector base on SR Latch
(ข) Timing Diagram วงจร Phase Detector base on SR Latch [7]

จะทำงานคล้ายกับ Phase Detector คือนำความต่างเฟสออกมาที่ขา UP ของวงจร แต่ในวงจรนี้อาจจะมีขอบขาขึ้นเข้ามามากกว่าหนึ่งครั้งให้ช่วงเวลาเดียวกัน วงจรที่ออกแบบจะทำงานเฉพาะขอบขาของสัญญาณที่มาครั้งแรกเท่านั้น

3.4 วงจรภาครับ (Receiver)

3.4.1 PWM demodulator

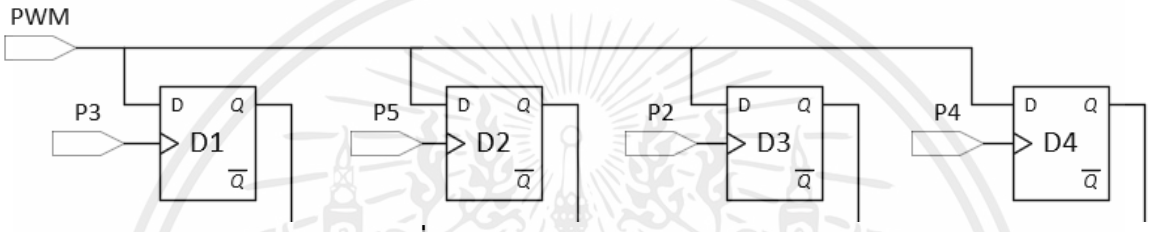


รูปที่ 3.19 วงจร Demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้วงจรที่ตรวจจับการเปลี่ยนแปลงของสัญญาณหรือ Edge Detecter กับวงจรโดยให้สัญญาณจาก Phase Lock Loop ที่เป็น Multiple Phase ให้สัญญาณของ CLK กับ D Flipflop ที่ใช้งานทั้ง 4 ตัวเพื่อจับขอบขาลงจากสัญญาณ PWM ทำกลับมาเป็นข้อมูล 2 บิตที่ขนานกันละแปลงกับมาเป็นข้อมูลไบนารีสำหรับ D_{out} เมื่อได้การเปลี่ยนแปลงและต้องเก็บข้อมูลไว้ใน D Flipflop 2 ตัว เพื่อจะนำไปป้อนให้ Serializer ละออกเป็น D_{out}

ใช้ Edge Detecter จับขาลงแต่ละ Symbol ที่ส่งมายังภาครับ ใช้สัญญาณ Multiple Phase Clock จาก PLL ภาครับ เอาขอบขาขึ้นของแต่ละ Symbol ในส่วนภาคส่งมาเป็นสัญญาณ Enable ของ D-Flipflop ใน Demodulator เมื่อเกิดการเปลี่ยนแปลงค่าที่ D-Flipflop จะเป็นดังตารางข้อมูลนี้

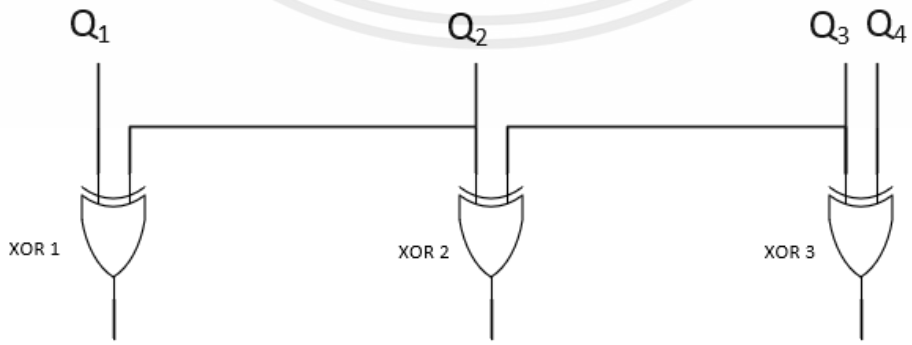


รูปที่ 3.20 วงจร Edge Detector

PWM Symbol	Q1	Q2	Q3	Q4
00	1	0	0	0
01	1	1	0	0
10	1	1	1	0
11	1	1	1	1

ตารางที่ 3.2 ตาราง truth table ของวงจร Edge Detector

และนำค่า Q มาผ่าน XOR ทั้งสามตัวเทียบการเปลี่ยนแปลงที่เกิดขึ้น



รูปที่ 3. 21 วงจร Demodulator ส่วน XOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Q1	Q2	Q3	Q4	XOR1	XOR2	XOR3
1	0	0	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1
1	1	1	1	0	0	0

ตารางที่ 3.3 ตาราง truth table ของวงจร Demodulator ส่วน XOR

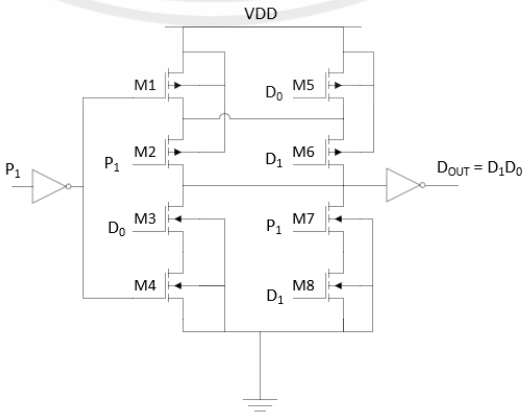
และแปลงค่าจาก XOR ทั้งสามตัวผ่าน NOR ตัวเพื่อทำให้ Symbol เป็นข้อมูลและเก็บไว้ใน D-Flipflop

รูปที่ 3.22 วงจร Demodulator ส่วน NOR

XOR1	XOR2	XOR3	NOR1	NOR2
1	0	0	0	0
0	1	0	0	1
0	0	1	1	0
0	0	0	1	1

ตารางที่ 3.4 ตาราง truth table ของวงจร Demodulator ส่วน NOR

3.4.2 Serializer

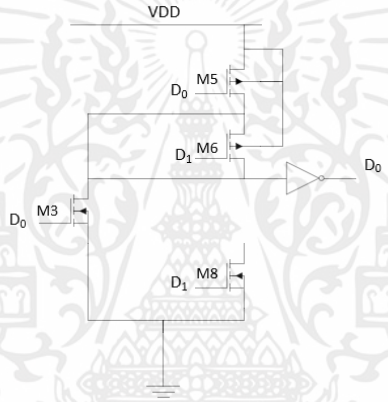


รูปที่ 3.23 วงจร MUX2:1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

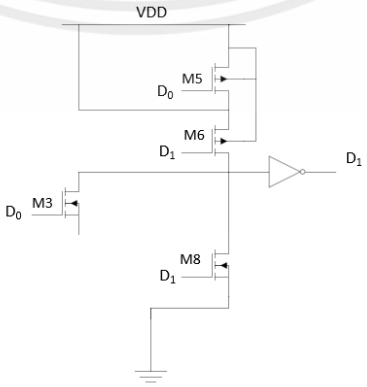
เมื่อได้ข้อมูล 2 บิตที่ขนานกันออกมาจาก PWM demodulator ต้องการให้ข้อมูลกลับเป็นแบบอนุกรมและออกเป็นชุดข้อมูล D_{out} จากภาคส่งที่ลดความถี่ของข้อมูลลงครึ่งหนึ่ง ใช้ MUX2:1 เพื่อให้ D_{out} ออกมาที่ความถี่เดิมให้ออกมา ใช้ Multiple Phase จาก Phase Lock Loop มาที่ Select(S) ให้ข้อมูลออกมาเมื่อสัญญาณ Select เป็นทั้ง HIGH และ LOW จะได้ข้อมูลที่ความถี่เดิมก่อนที่จะเข้าวงจรในภาคส่ง และนำข้อมูล2 บิตที่ขนานกันจาก Serializer มาที่ D_0 และ D_1 จะได้สัญญาณของข้อมูลออกมาที่ความถี่เดิมที่ส่งมา

การทำงานของ MUX2:1 จะมีขา S และ A กับ B เป็นข้อมูลที่เข้ามา ที่ P1 = LOW ค่าของ D_0 จะออกมาที่ OUTPUT เมื่อ P1 = LOW M1 และ M7 Open Circuit , M2 และ M4 จะ Short Circuit จากรูปที่ 3.23 เปลี่ยนเป็นรูปที่ 3.24 จะเหมือนกับ D_0 ต่อเข้ากับ Inverter 2 ตัวและเป็นบัฟเฟอร์ส่ง D_0 ไปเอาท์พุตของวงจร MUX2:1



รูปที่ 3.24 การทำงานของวงจร MUX2:1 P1 = LOW

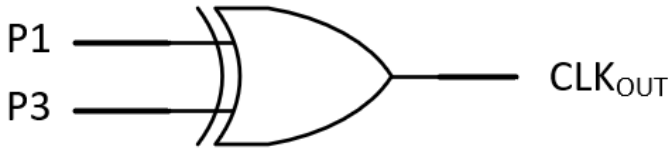
เมื่อ P1 = HIGH M1 และ M7 Short Circuit , M2 และ M4 จะ Open Circuit จากรูปที่ 3.23 เปลี่ยนเป็นรูปที่ 3.25 จะเหมือนกับ D_1 ต่อเข้ากับ Inverter 2 ตัวและเป็นบัฟเฟอร์ส่ง D_1 ไปเอาท์พุตของวงจร MUX2:1



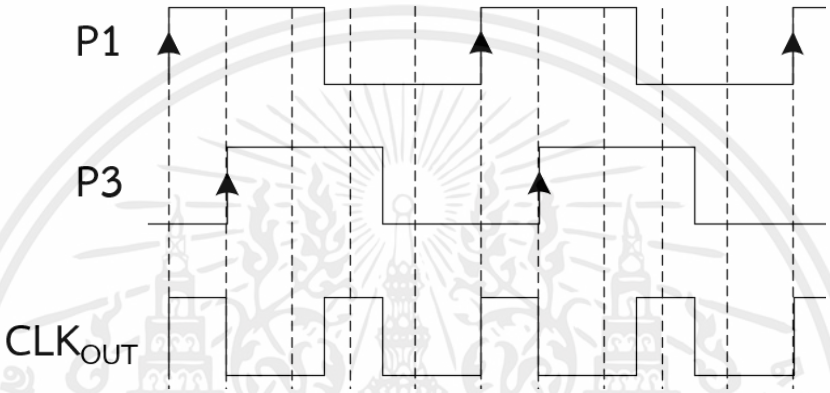
รูปที่ 3.25 การทำงานของวงจร MUX2:1 P1= HIGH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.3 Frequency Doubler



รูปที่ 3. 26 วงจร Phase Detector



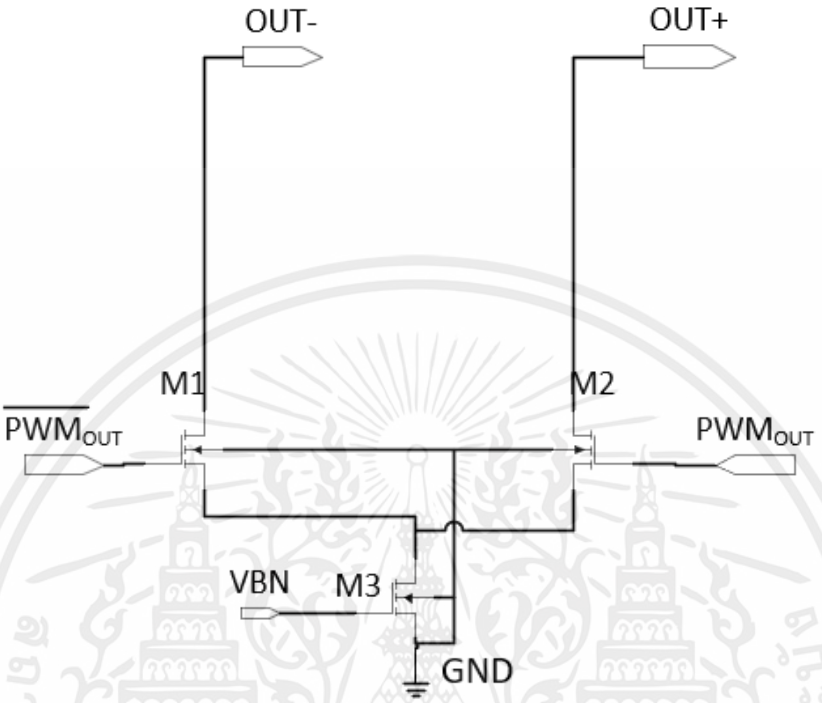
รูปที่ 3.27 การทำงานของ Phase Detector

ผู้ออกแบบต้องการให้มีสัญญาณนาฬิกาที่มีความถี่เท่ากับอินพุตของภาคส่งออกมาพร้อมกับสัญญาณข้อมูล เมื่อ PLL อยู่ในสภาวะล็อคแล้ว จะเลือกใช้ Phase Detector นำสัญญาณจาก Multiple Phase Clock ออกมา 2 เฟส คือ เฟส 1 และ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรอินเตอร์เฟสทรานซีฟเวอร์

3.5.1 Interface TX



รูปที่ 3.28 วงจรอินเตอร์เฟสของภาคส่ง

จากวงจรกระแสอ้างอิง I_{REF}=5 μA ทำการสะท้อนกระแสไปยัง M_{ss}

$$\left(W/L\right)_{ss}=\frac{I_{ss}}{I_{REF}}\left(W/L\right)_{REF}$$

กำหนด I_{REF}=5 μA , I_{ss}=10 mA , $\left(W/L\right)_{REF}$=1

$$\left(W/L\right)_{ss}=\frac{10m}{5\mu}(1)$$

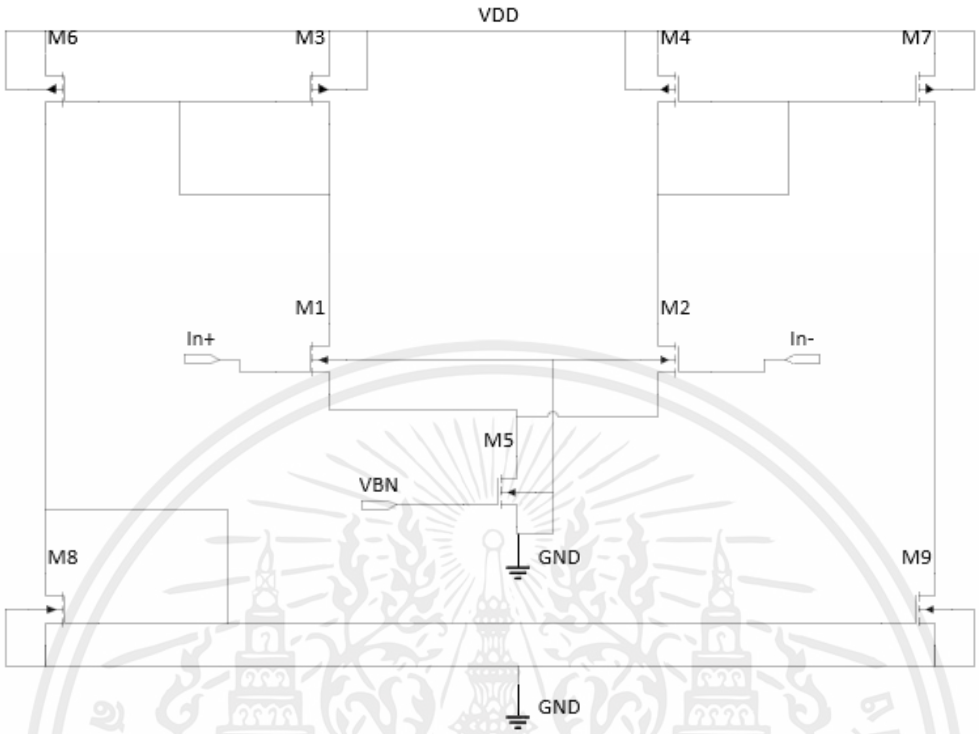
$$\left(W/L\right)_{ss}=2000$$

กำหนด L_{ss}=100 nm

$$W_{ss}=200\ um$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.2 Comparator



รูปที่ 3.29 วงจร Comparator

ขนาด M_1, M_2, M_3, M_4 และ M_5 มีขนาดเท่ากับ Differential amplifier

M_3 สะท้อนกระแสไปยัง M_6

$$\left(W/L\right)_6=\frac{I_{D6}}{I_{D3}}\left(W/L\right)_3$$

กำหนด I_{D6}=2.5 mA , I_{D3}=250 μA , $\left(W/L\right)_3$=20

$$\left(W/L\right)_6=\frac{2.5m}{250\mu}(20)$$

$$\left(W/L\right)_6=200$$

กำหนด L = 100 nm

$$W_6=20\ \mu m$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนด $I_{D6} = I_{D7}$, V_{GS}-V_T=0.2 V จากสมการที่ 3.1

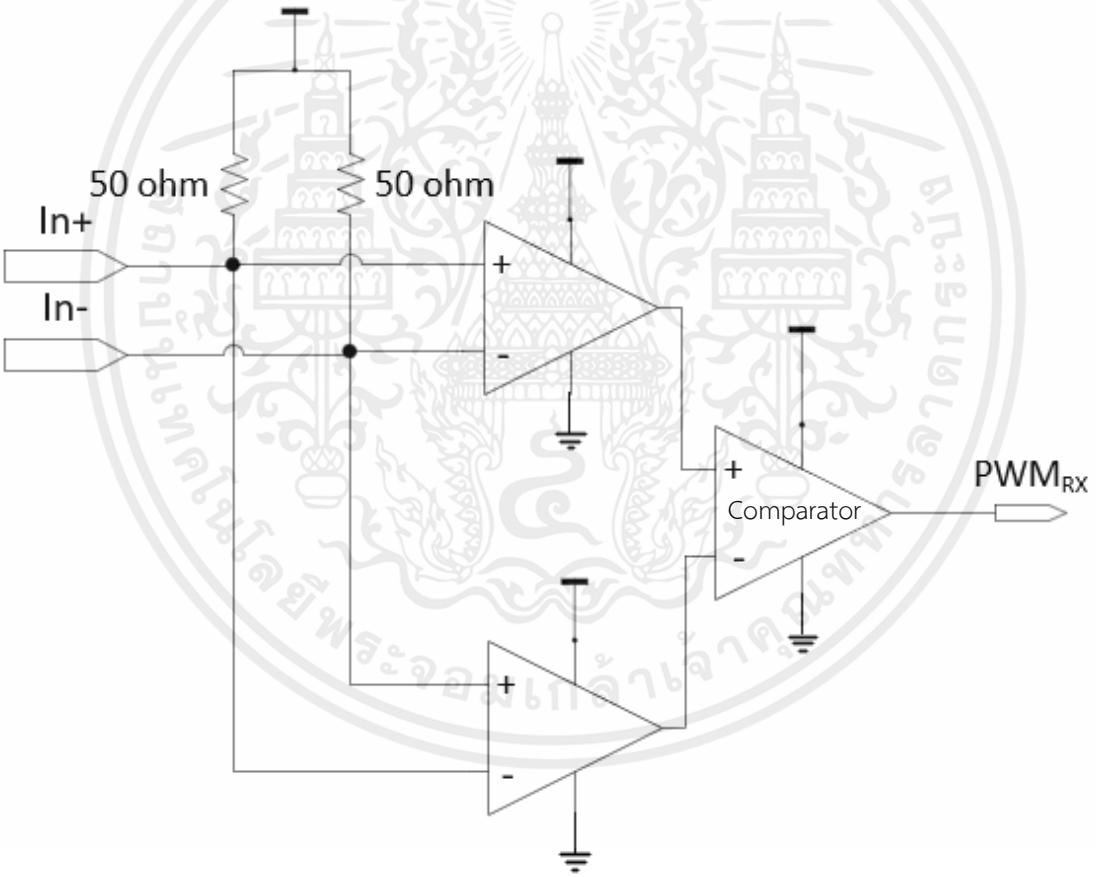
$$2.5m = \frac{1250\mu(W/L)_7}{2}(0.2)^2$$

$$(W/L)_7 = 100$$

กำหนด L = 100 nm

$$W_7 = 10\ \mu m$$

3.5.3 Interface RX

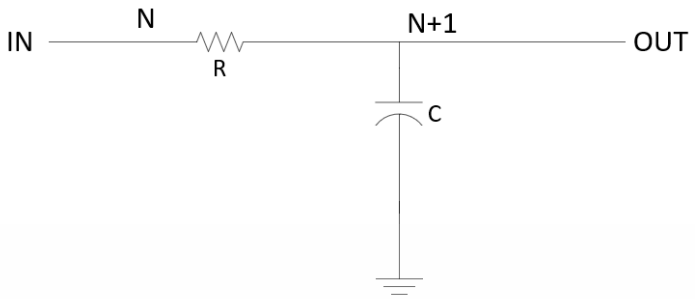


รูปที่ 3.30 วงจรอินเตอร์เฟสของภาครับ

นำวงจร Diff amp และ Comparator ที่ได้ออกแบบไว้มาต่อกันดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 ช่องสัญญาณ (Channel)

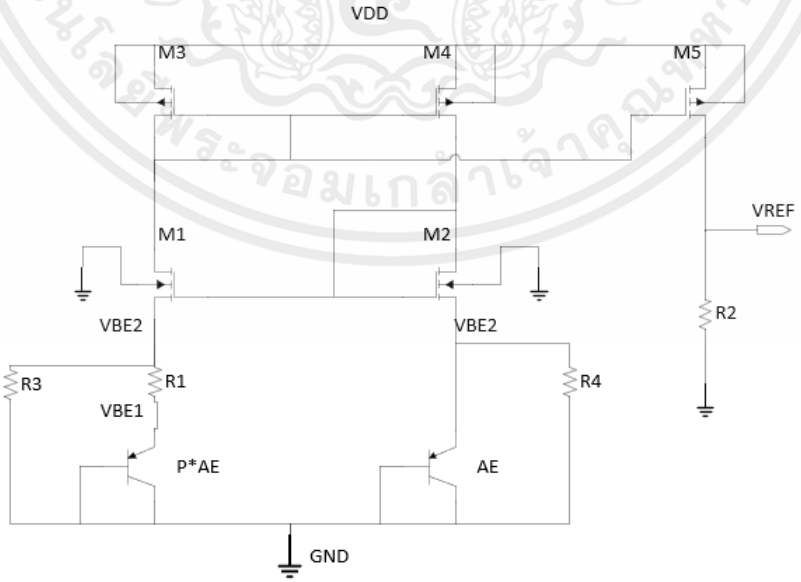


รูปที่ 3.31 วงจรเสมือนของสายสัญญาณ

เพื่อให้การจำลองการทำงานของวงจรมีความสมจริงมากขึ้นในวงจร ผู้ออกแบบได้ทำการจำลองสายส่งสัญญาณที่มีความถี่คัตออฟเท่ากับความถี่สูงสุดของสัญญาณ PWM ผู้ออกแบบได้ออกแบบสายส่งที่มีเฉพาะ R,C โดยไม่ได้คำนึงถึง L และ G คือ L = 0, G = 0 จากวงจรเสมือนของสายส่งสัญญาณ โดยเลือกออกแบบสายส่งที่มีการสูญเสียพลังงาน จากสมการ 2.2 คำนวณอิมพีแดนซ์ของสายส่งให้ Match กับโหลดให้มีอิมพีแดนซ์เท่ากันเพื่อไม่ให้เกิดการสะท้อนในลูป และลดแรงดันที่ใช้ส่งลดลงครึ่งหนึ่ง จากรูปที่ 3.31 จะต่ออนุกรมกันทั้งหมด 5 ชุด RC จากรูปใช้ค่าที่ R = 15.9 ohm C= 200fF จะได้ค่าคำนวณ $|Z_0| = 50$ ที่ความถี่ 5 GHz ทำให้ Matching กับ RX Interface ของภาครับ

3.7 วงจรแรงดันอ้างอิงและกระแสอ้างอิง

3.7.1 วงจรแรงดันอ้างอิง



รูปที่ 3.32 วงจรแรงดันอ้างอิงแบนด์แกบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{D3}= I_{D1}=I_{D2}$$

$$I_{D3}=I_{1a}+I_{1b}$$

โดยที่

$$I_{1a}=\frac{V_{BE2}-V_{BE1}}{R_1}=\frac{V_T \ln P}{R_1}$$

$$I_{1b}=\frac{V_{BE2}}{R_3}$$

ดังนั้น

$$I_{D3}=\frac{V_T \ln P}{R_1}+\frac{V_{BE2}}{R_3}$$

$$V_{REF}=I_{D3}R_2$$

$$V_{REF}=\frac{R_2}{R_3}\left(\frac{R_3}{R_1}V_T \ln P+V_{BE2}\right)$$

หาอนุพันธ์ของทั้งสมการเทียบกับอุณหภูมิ T

$$\frac{dV_{REF}}{dT}=\frac{R_2}{R_3}\left(\left(\frac{R_3}{R_1}\ln P\right)\frac{dV_T}{dT}+\frac{V_{BE2}}{dT}\right)$$

กำหนด $\frac{dV_{REF}}{dT}=0$, $\frac{dV_T}{dT}=0.085\ \frac{mV}{C^\circ}$, $\frac{V_{BE2}}{dT}=-2\ \frac{mV}{C^\circ}$

$$0=\left(\frac{R_3}{R_1}\ln P\right)(0.085)-2$$

$$\left(\frac{R_3}{R_1}\ln P\right)=22$$

กำหนด P=8

$$\frac{R_3}{R_1}=10.6$$

จากความสัมพันธ์ของ I_{1a}

$$I_{1a}=\frac{V_T \ln P}{R_1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนด I_{1a}=5 μA , V_T=26 mV

$$5\ \mu=\frac{(26m)\ln(8)}{R_1}$$

$$R_1=10\ k\Omega$$

จากความสัมพันธ์ของ R_1 และ R_3

$$\frac{R_3}{R_1}=10.6$$

$$\frac{R_3}{10k}=10.6$$

$$R_3=106\ k\Omega$$

จากความสัมพันธ์ของ V_{REF}

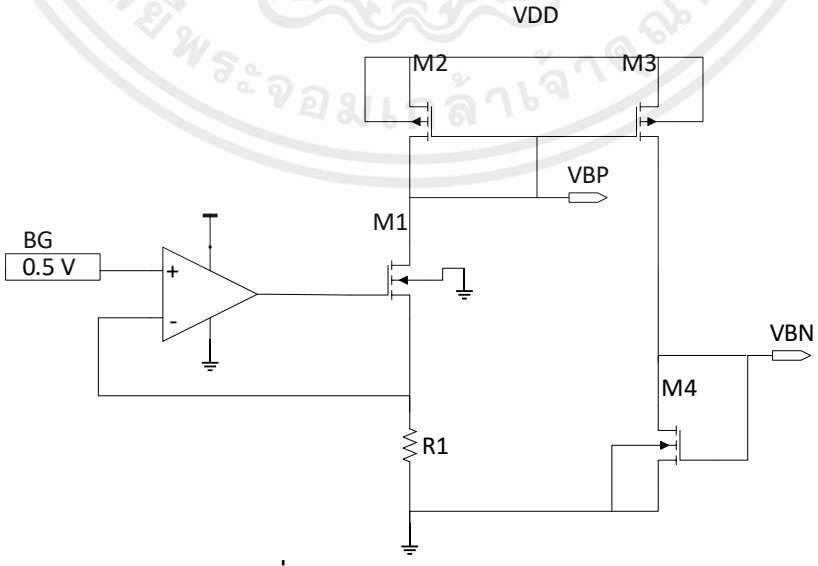
$$V_{REF}=\frac{R_2}{R_3}\left(\frac{R_3}{R_1}V_T\ln P+V_{BE2}\right)$$

กำหนด V_{REF}=0.5 VV_T=26 mV , V_{BE2}=0.6 V

$$0.5=\frac{R_2}{106k}\left(\frac{106k}{10k}(26m)\ln(8)+(0.6)\right)$$

$$R_2=45\ k\Omega$$

3.7.2 วงจรกระแสอ้างอิง



รูปที่ 3.33 วงจรกระแสอ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากวงจรต่อแบบป้อนกลับเชิงลบดังนั้นแรงดันที่ขาบวกเข้ากับขาลบ V_{R1}=0.5 V

$$R_1 = \frac{V_{R1}}{I_{R1}}$$

กำหนด I_{R1}=5 μA

$$R_1 = \frac{0.5}{5\mu}$$

$$R_1 = 100\ k\Omega$$

จากสมการกระแสของมอสเฟส สมการที่ 3.1

เนื่องจาก $I_{D2} = I_{R1}$=5 μA และกำหนด $V_{GS}-V_T$=0.1 V

$$5\mu = \frac{350\mu(W/L)_2}{2}(0.1)^2$$

$$(W/L)_2 = 3$$

กำหนด L_2=1 μm

$$W_2 = 3\ \mu m$$

กำหนด $I_{D3} = I_{D2} = 5\ \mu A$

$$(W/L)_3 = \frac{I_{D3}}{I_{D2}}(W/L)_2$$

$$(W/L)_3 = \frac{5\mu}{5\mu}(3)$$

$$(W/L)_3 = 3$$

กำหนด L_3=1 μm

$$W_3 = 3\ \mu m$$

จากสมการกระแสของมอสเฟส สมการที่ 3.1

กำหนด $I_{D4} = I_{D3}$= 5 μA , $V_{GS}-V_T$=0.1 V

$$5\mu = \frac{1250\mu(W/L)_4}{2}(0.1)^2$$

$$(W/L)_4 = 1$$

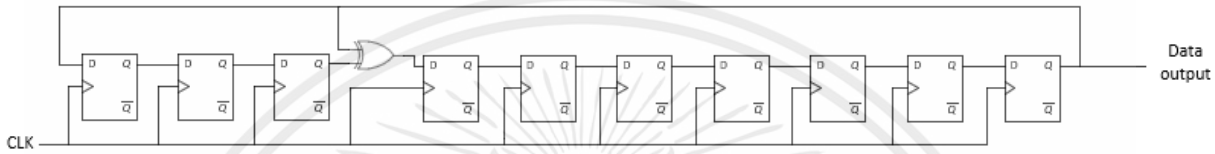
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนด L_4=1 μm

W_4=1 μm

3.8 การออกแบบวงจรเพื่อการทดสอบวงจร

ในการสร้างวงจรชุดข้อมูลสำหรับการสร้างและตรวจสอบ ผู้ออกแบบใช้วงจร LFSR แบบ Modular ที่มีพหุนามปฐมฐาน n = 10 จากตารางที่ 2.1 คือ $X^{10}+X^3+1$ สำหรับสร้างข้อมูลสำหรับวงจรภาคส่ง

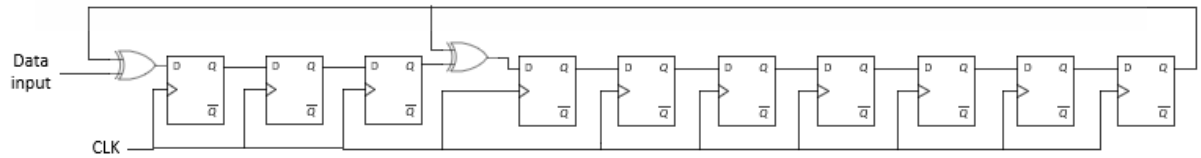


รูปที่ 3.34 วงจร LFSR สำหรับสร้างชุดข้อมูล

และจะนำข้อมูล 15 บิตท้ายของข้อมูลมาตรวจสอบตามทฤษฎีของ CRC จากข้อมูล LFSR ที่ทำหน้าที่เป็นตัวสร้างชุดข้อมูลในภาคส่งจะให้เอาท์พุต 16 บิตท้ายคือ 0010001110001111 เมื่อนำเข้ามาคำนวณตามทฤษฎีของ CRC จะได้

$$
\begin{array}{r|l}
 & X^3 \\
\hline
X^{10}+X^3+1 & X^{13} + X^9 + X^8 + X^7 \quad\quad + X^3 + X^2 + X + 1 \\
 & X^{13} \quad\quad\quad\quad + X^6 + X^3 \\
 & \quad X^9 + X^8 + X^7 + X^6 \quad\quad + X^2 + X + 1
\end{array}
$$

ได้ค่าของ $Q_9 - Q_0$ คือ 1111000111 เป็นค่าสำหรับทดสอบความถูกต้องในการส่งข้อมูลในส่วนของ LFSR ที่ทำหน้าเป็น Compactor สำหรับตรวจสอบข้อมูลในภาครับ



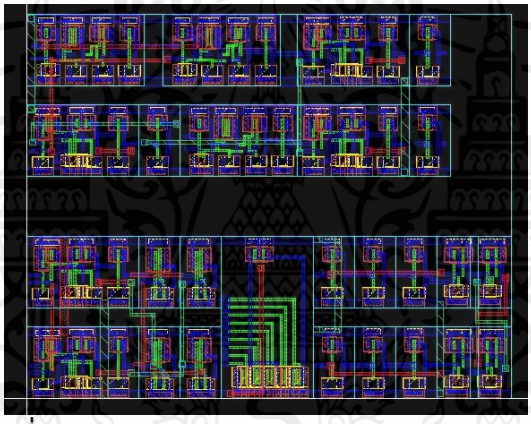
รูปที่ 3.35 วงจร LFSR สำหรับ Compactor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

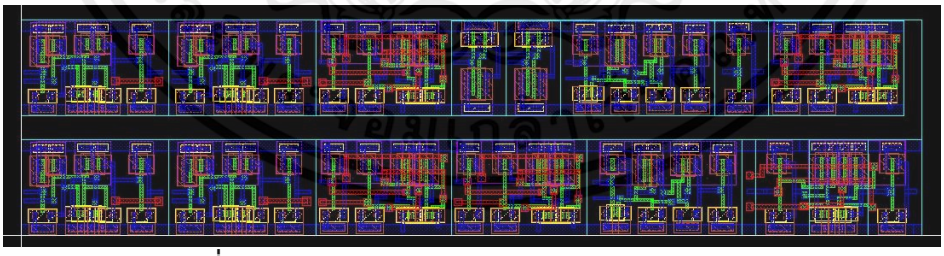
3.9 Layout วงจรทรานซีฟเวอร์

เมื่อออกแบบวงจรในทุกส่วนเรียบร้อยแล้ว ผู้ออกแบบได้ทำการจำลองสายส่งแล้วยังทำส่วนของ Post-Silicon ของวงจรมาเทียบกับผลของ Pre-Silicon เพื่อดูการทำงานของวงจรเมื่อถูกผลิตออกมา โดยจะมีผลของ RC parasitic เข้ามาในวงจร เนื่องจากระยะเวลาที่จำกัดทำให้ผู้ออกแบบไม่สามารถทำ Layout ของวงจรได้ทั้งหมด รูปที่ 3.36 และ 3.37 คือส่วนของวงจร PWM Modulator มีขนาดประมาณ 460 μm^2 และ PWM Demodulator มีขนาดประมาณ 270 μm^2

และเลือกการสร้างอุปกรณ์พาสซีฟในวงจรทรานซีฟเวอร์ เลือกการสร้างตัวต้านจากค่าความต้านทานมากที่สุดคือจากวงจรแรงดันอ้างอิงค่าตัวต้านทาน 106 kΩ ใช้ Non-salicide P+ Poly sheet resistance 400 Ω/Sq จาก Sheet resistance ขนาดของตัวต้านทานใช้พื้นที่ประมาณ 0.270 μm^2 และตัวเก็บประจุจากวงจร Charge Pump ค่าตัวเก็บประจุ 12 pF ใช้ Metal 2 and 3 capacitance 0.0856 fF/μm^2 ขนาดของตัวเก็บประจุใช้พื้นที่ประมาณ 400 μm^2



รูปที่ 3.36 Layout ของวงจร PWM Modulator



รูปที่ 3.37 Layout ของวงจร PWM Demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
การทดลองและผลการทดลอง

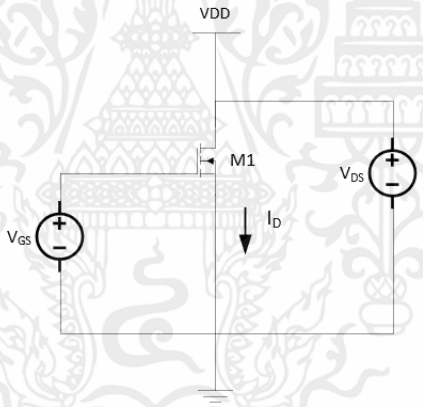
4.1 พารามิเตอร์เทคโนโลยี 90 nm

พารามิเตอร์ที่สำคัญในการออกแบบนั้นคือตัวแปรต่างๆ ที่ใช้ในการออกแบบ ค่าที่ผู้ออกแบบต้องการทราบค่าของ MOSFET ในเทคโนโลยี 90 นาโนเมตรคือ μC_{OX}, V_{TH} และ λ ของทั้ง NMOS และ PMOS ที่ผู้ออกแบบทำการออกแบบ

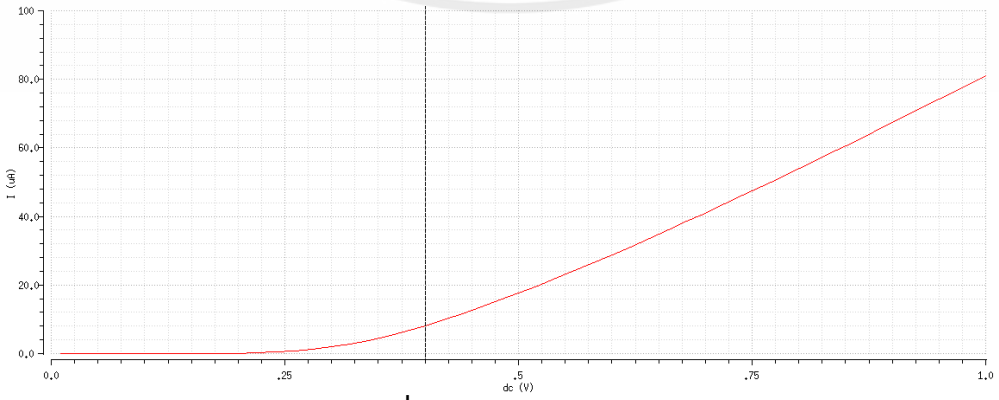
4.1.1 พารามิเตอร์ของ NMOS และ PMOS

- NMOS

ค่า V_{TH} ของ NMOS ที่ $W/L=1$ ต่อวงจรดังรูปที่ 4.1 เพิ่มค่า V_{GS} และวัด I_D ของ MOSFET จะได้กราฟดังผลออกมา หาจุดที่ Slope ของกราฟลากตัดแกน Y หรือ V_{GS} ค่าที่ทำให้ $I_D > 0$ ค่า V_{GS} คือ V_{TH} ของ MOSFET จากกราฟได้ค่า $V_{TH} \approx 0.3\ V$ หรือ 300 mV



รูปที่ 4.1 วงจรวัดค่าพารามิเตอร์ของ NMOS

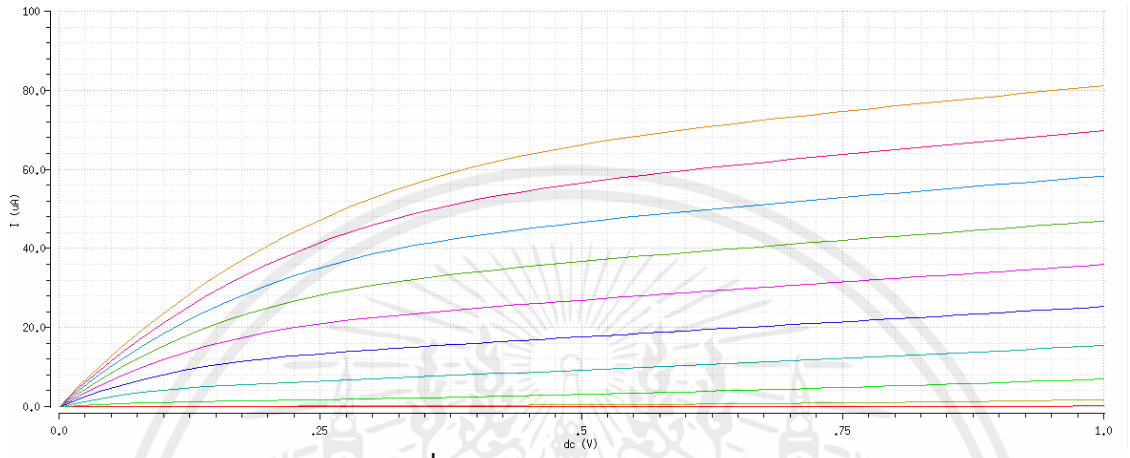


รูปที่ 4.2 V_{TH} ของ NMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I-V ของ NMOS

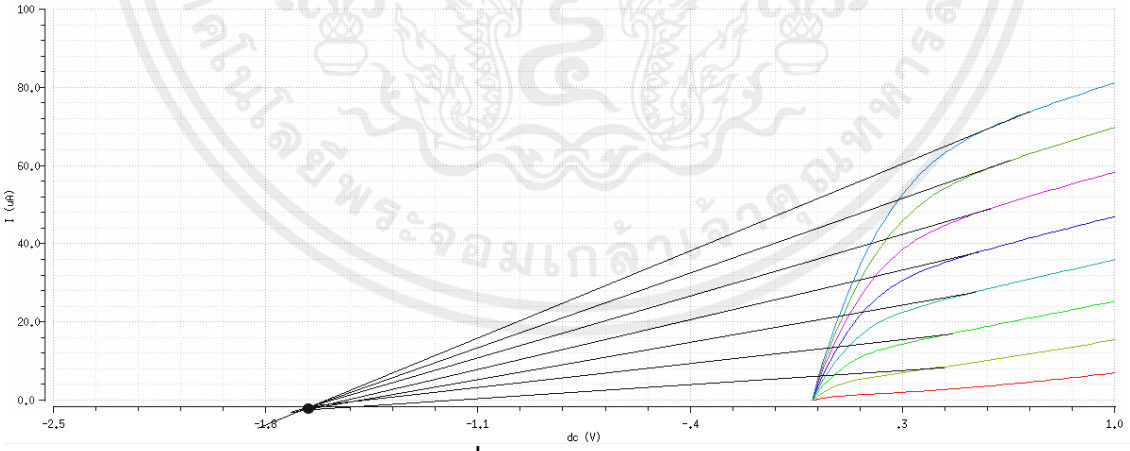
ในการวัด I-V ผู้ออกแบบได้ให้ค่า $V_{DS} = 1\,V$ แล้วปรับค่า V_{GS} เพิ่มขึ้นทีละ 0.1 V ที่ V_{GS} ต่างกัน และวัดค่า I_D ของ MOSFET จะได้กราฟ I-V Characteristic ของ MOSFET กราฟนี้ใช้หา $V_{DS(SAT)}$ และ λ จากกราฟ



รูปที่ 4.3 กราฟ I-V ของ NMOS

Lambda ของ NMOS

จากกราฟ I-V Characteristic ของ MOSFET ลากเส้นต่อจากความชันในย่าน Saturation ลงมาตัด $I_D = 0$ จะได้ค่า $-V_{DS}$ ออกมา จะหา $\lambda = -\frac{1}{V_{DS}}$



รูปที่ 4.4 ค่า λ_n LAMBDA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของ PMOS ก็จะวัดคล้ายกับ NMOS ผู้ออกแบบได้ค่าพารามิเตอร์ของ NMOS และ PMOS ดังตารางที่ 4.1

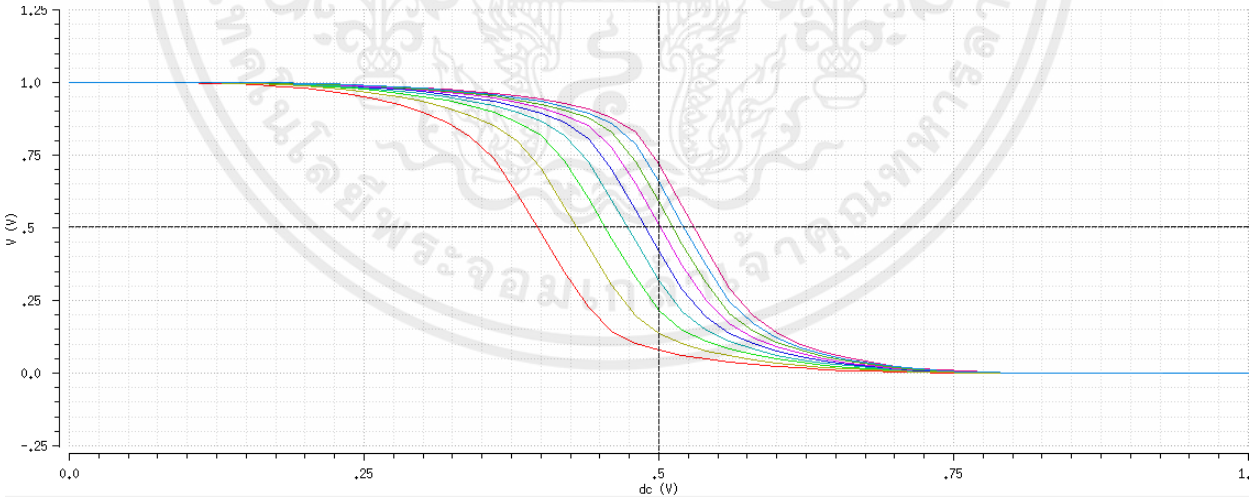
	PMOS	NMOS
μC_{OX} ($\mu A/V^2$)	350	1250
$\lvert V_{TH} \rvert$ (V)	0.3	0.25
λ (V^{-1})	0.63	0.59

ตารางที่ 4.1 ตารางสรุปผลการทดลอง Characteristic ของ MOSFET 90 nm

4.1.2 พารามิเตอร์ของวงจร CMOS

4.1.2.1 Switching Point

หาอัตราส่วน PMOS/NMOS และวัดจุด Switching Point เพื่อได้อัตราส่วนที่ทำให้ มีจุด Switching Point ที่ Vdd/2 มีอัตราส่วนของ PMOS/NMOS จะทำการต่อ CMOS Inverter ละเพิ่ม PMOS ให้มีอัตราส่วนเพิ่มทีละ 0.5 เท่าของ NMOS จะได้กราฟออกมาดังรูปที่ เพื่อให้ CMOS Inverter มีจุด Switching Point ที่ Vdd/2 มีอัตราส่วนของ PMOS มีค่า 3.46 เท่าของ NMOS จะได้อัตราส่วนเป็น 415nm:120nm เพื่อออกแบบวงจร CMOS



รูปที่ 4.5 Switching Point และอัตราส่วนของ PMOS/NMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2.2 ค่า Delay time ,rise time และ fall time ของวงจร Combination

	Rise Time (ps)	Fall Time(ps)	Delay Time(ps)
Inverter	50	70	40
NAND	30	80	50
NOR	30	30	60
XOR	40	90	50

ตารางที่ 4.2 ตารางสรุปผลการทดลองวัดวงจร Combination

4.1.2.3 ค่า Delay time ,rise time และ fall time ของวงจร Sequential

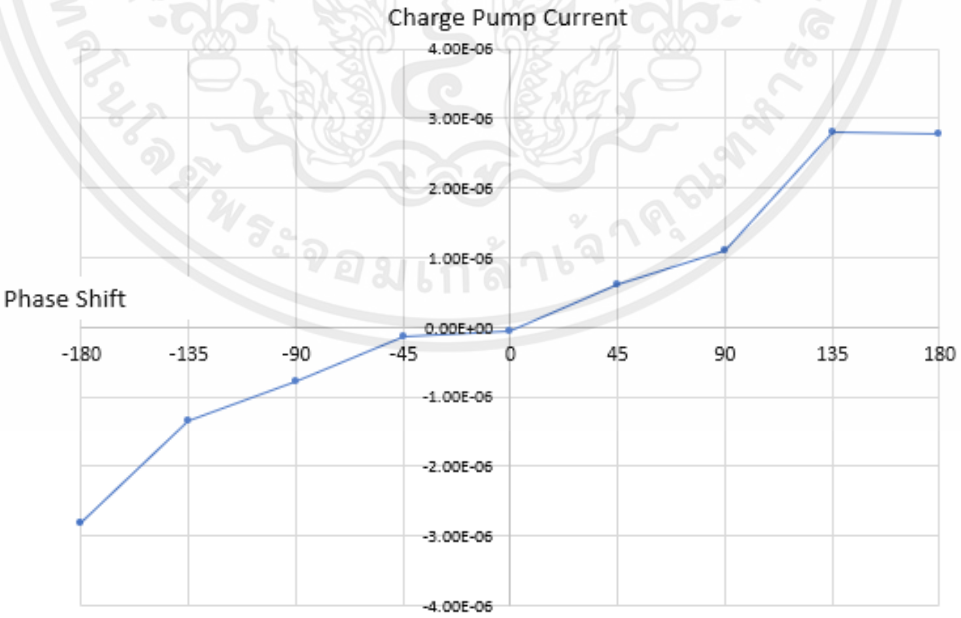
	Rise Time (ps)	Fall Time(ps)	Clock-to-Q(ps)
Positive Edge	40	40	50
Negative Edge	60	65	60

ตารางที่ 4.3 ตารางสรุปผลการทดลองวัดวงจร Sequential

4.2 คุณสมบัติของ Phase Lock Loop

4.2.1 คุณสมบัติของ Phase-Frequency Detector และ Charge Pump

การวัด Deadzone ของ PFD จะเลื่อน Phase 1 คาบเวลาหรือ 2π ไปที่ละ 45 องศา

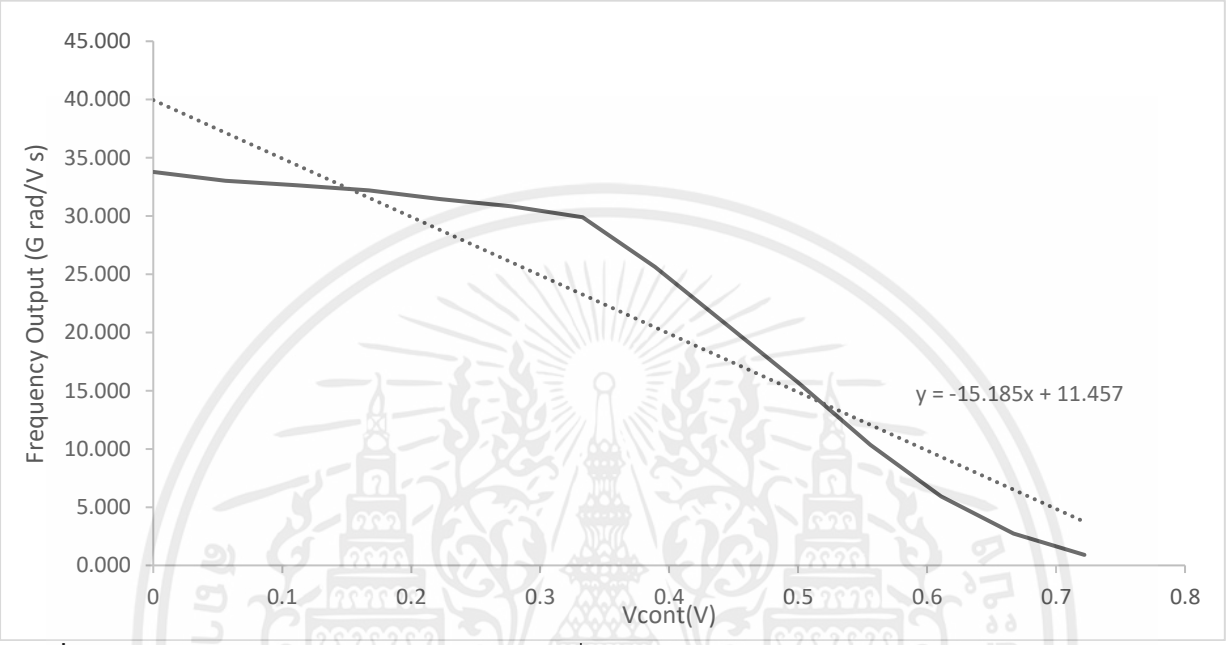


รูปที่ 4.6 Dead Zone ของ Phase Frquency Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 คุณสมบัติของ Oscillator

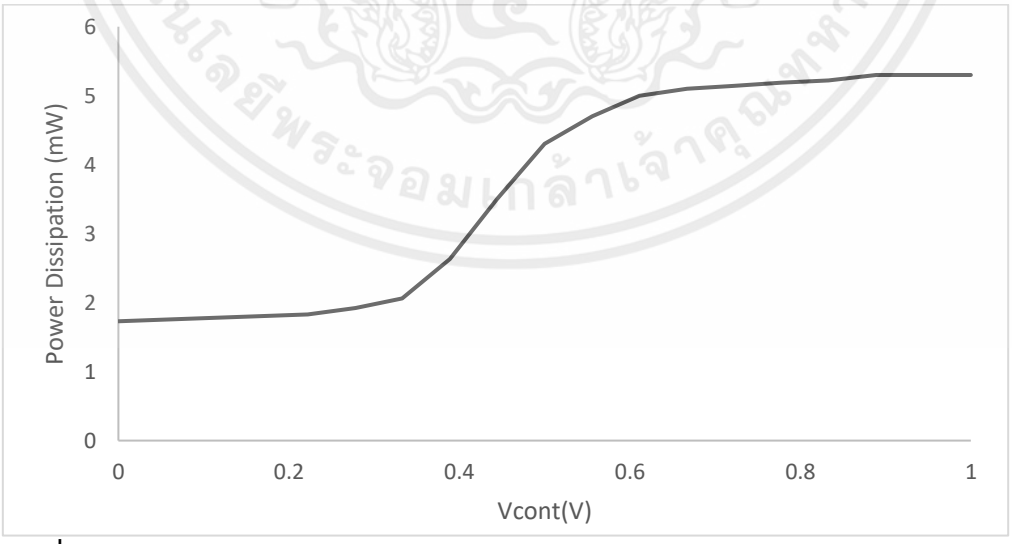
VCO แบบ maneatis ที่ออกแบบ ควบคุมแรงดันอินพุตและวัดความถี่ที่ออกมาจาก Oscillator จะได้ความสัมพันธ์ดังรูปที่ 4.7 จากกราฟผู้ออกแบบใช้งานได้ใช้งานพารามิเตอร์ของออสซิเลสเตอร์ในช่วงของ $K_{VCO} = 88\ G\ {}^{rad}/_{s \cdot V}$ และมีช่วงจูนนิ่งเรนในช่วง 40 MHz – 5 GHz



รูปที่ 4.7 กราฟแสดงความสัมพันธ์ระหว่างความถี่เอาต์พุตของ VCO แบบ MANEATIS และแรงดันอินพุต

Power Dissipation

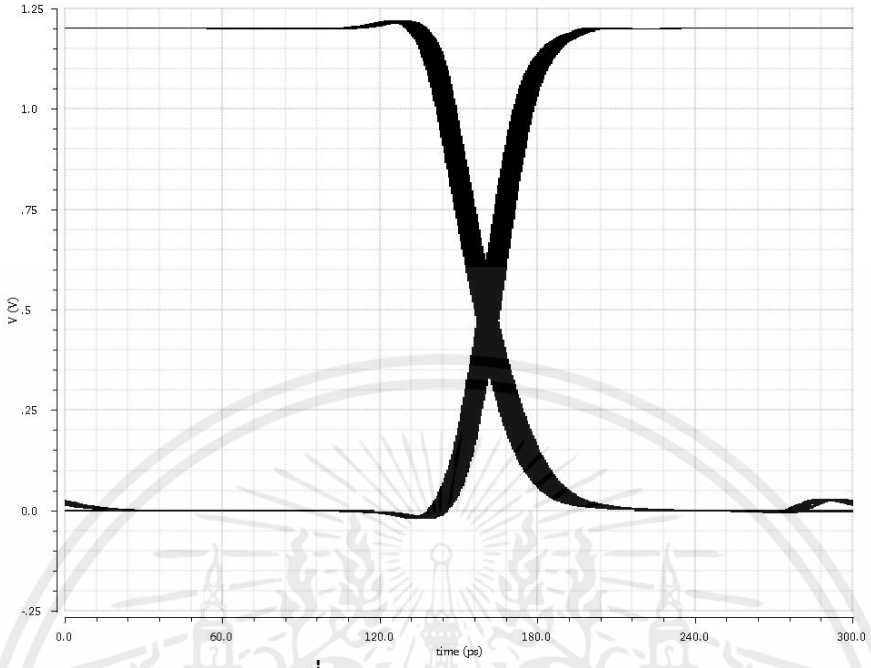
ในการวัด Power Dissipation ที่ใช้งานสูงสุดอยู่ที่



รูปที่ 4.8 กราฟแสดงความสัมพันธ์ระหว่างการใช้กำลังงานของ VCO และแรงดันอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Jitter

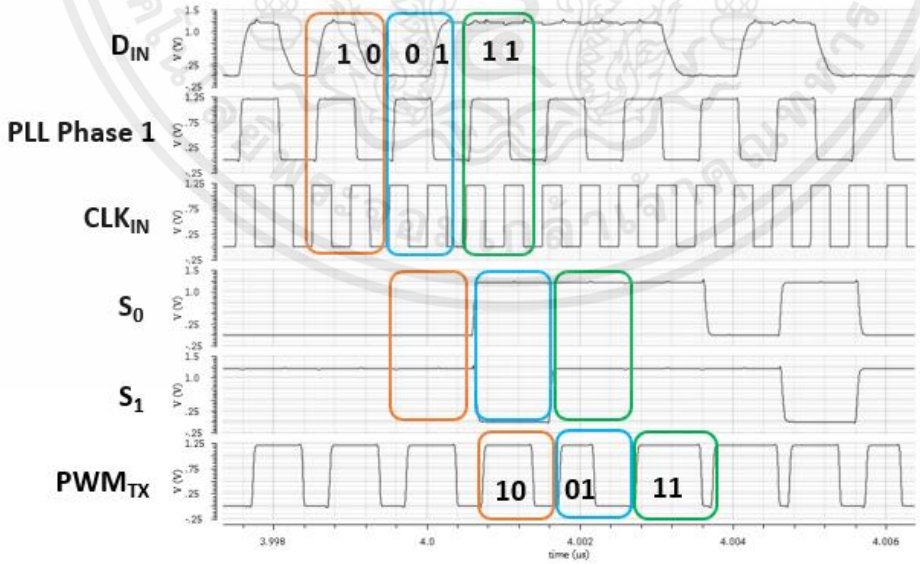


รูปที่ 4.9 PLL Output jitter

$$\Delta T_{Pk\text{-}Pk} = 9 \text{ ps}$$

4.3 คุณสมบัติของวงจรภาคส่ง

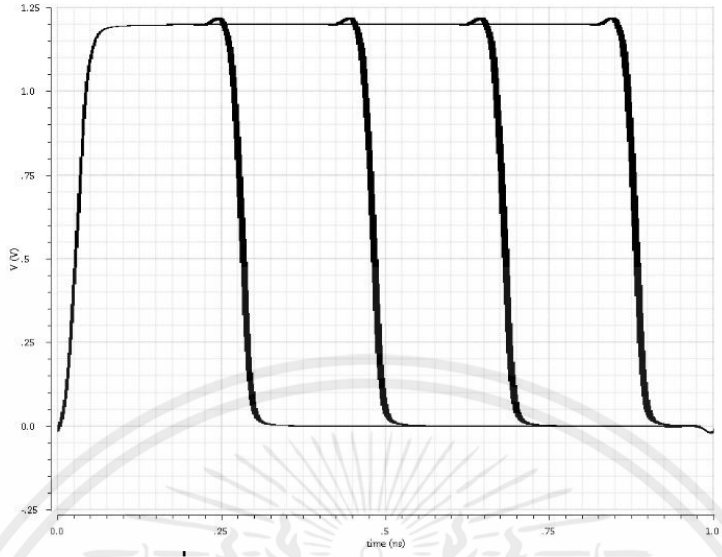
การจำลองการทำงานของวงจรภาคส่ง



รูปที่ 4.10 การจำลองการทำงานของวงจรภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Jitter

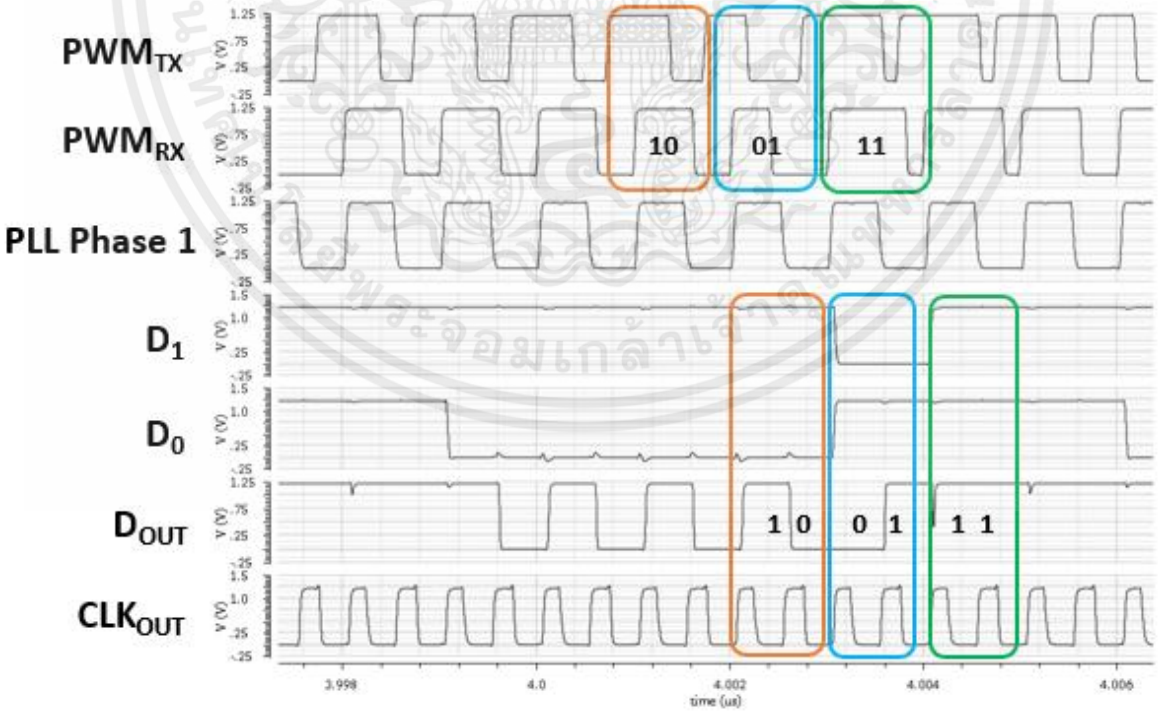


รูปที่ 4.11 Transmitter Output Jitter

$$\Delta T_{Pk\text{-}Pk} = 9 \text{ ps}$$

4.4 คุณสมบัติของวงจรภาครับ

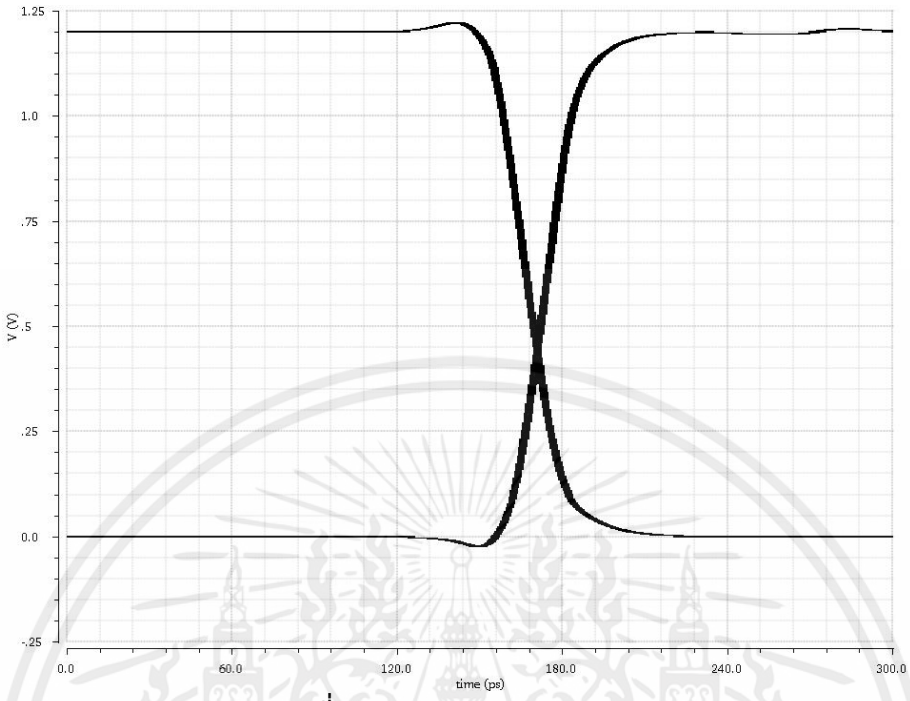
การจำลองการทำงานของวงจรภาครับ



รูปที่ 4.12 การจำลองการทำงานของวงจรภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Jitter



รูปที่ 4.13 PLL Output jitter

$$\Delta T_{Pk\text{-}Pk} = 14 \text{ ps}$$

รูปที่ 4.14 Clock Output jitter

$$\Delta T_{Pk\text{-}Pk} = 10 \text{ ps}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 คุณสมบัติของ transceiver

Energy per Bit

Energy per Bit = 44.57 nJ/Bit

Power Dissipation

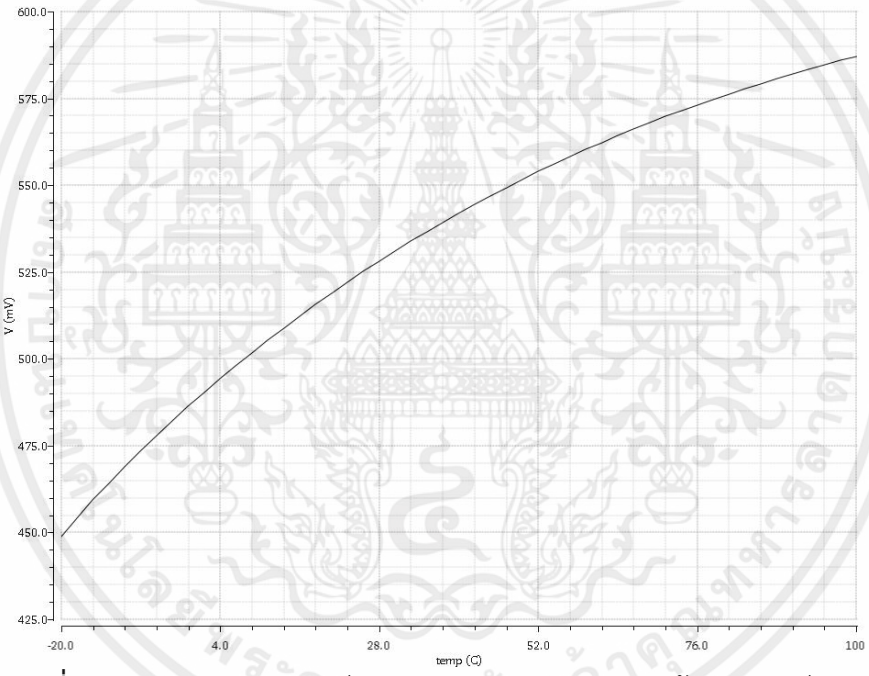
Transceiver = 54 mW

Transmitter = 17.8 mW

Receiver = 17.82 mW

Interface = 18 mW

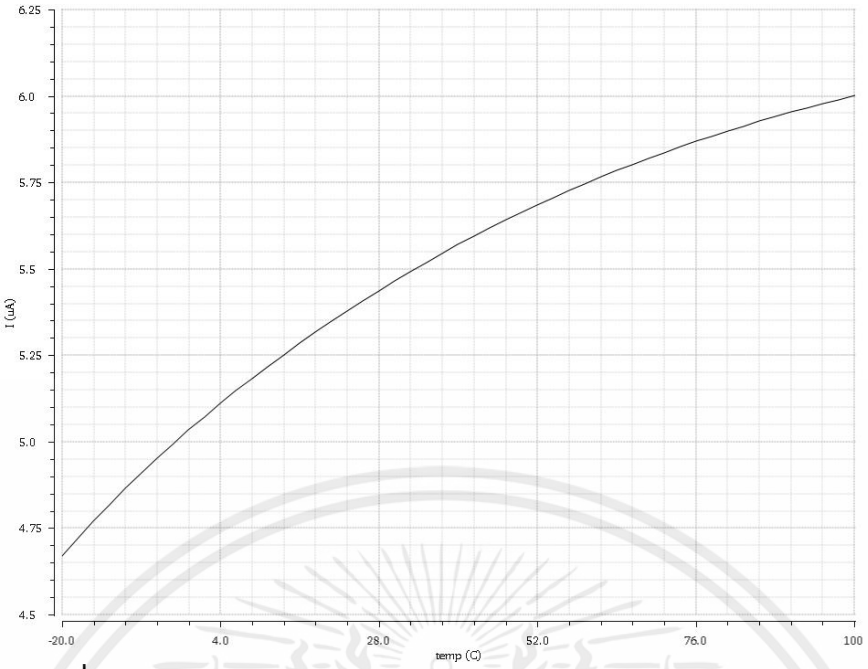
4.6 คุณสมบัติของวงจรอ้างอิงแบนด์แกบและวงจรอ้างอิงกระแส



รูปที่ 4.15 กราฟความสัมพันธ์การแปรผันอุณหภูมิของวงจรอ้างอิงแบนด์แกบ

อัตราการเปลี่ยนแปลงของ Vref กับอุณหภูมิคือ 1.15 mV/ °C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

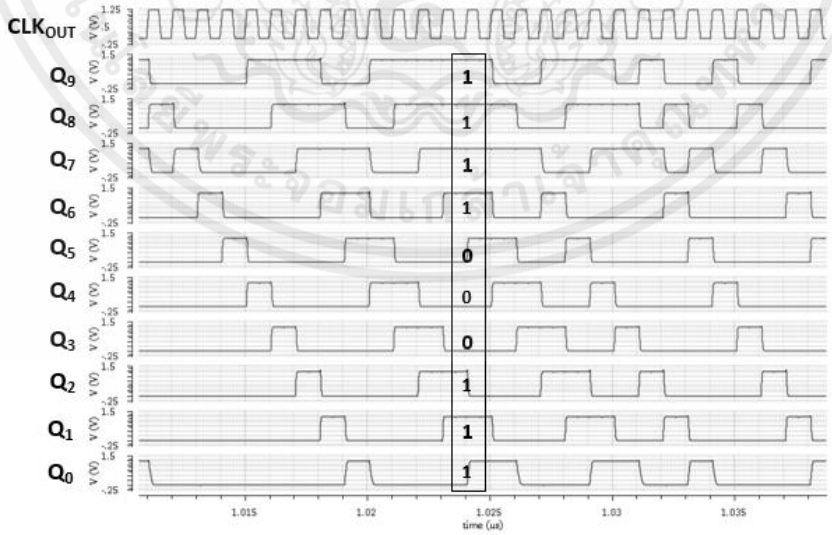


รูปที่ 4.16 กราฟความสัมพันธ์การแปรผันอุณหภูมิของวงจรอ้างอิงกระแส

อัตราการเปลี่ยนแปลงของ Vref กับอุณหภูมิคือ 1.13 nA/ °C

4.7 การออกแบบวงจรเพื่อการทดสอบวงจร

จากการคำนวณตามทฤษฎี CRC ในหัวข้อที่ 3.8 ได้ $Q_9 – Q_0$ คือ 1111000111 การนำ D_{OUT} และ CLK_{OUT} ออกมาทดสอบตามทฤษฎีค่าของการจำลองการทำงานดังรูปที่ 4.17 ค่า Q_9 ถึง Q_0 ค่าตรงกับที่ผู้ออกแบบคำนวณ



รูปที่ 4.17 การจำลองการทำงานการทดสอบวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางสรุปผลการทดลอง

Technology	90 nm CMOS 1 Poly 9 Metal		
Supply Voltage	1.2 V		
Power consumption	Transmitter	17.80 mW	
	Tx PLL	17.76 mW	
	Receiver	17.82 mW	
	RX PLL	17.76 mW	
	Interface	18.00 mW	
	Transceiver	89.14 mW	
Data rate	2 Gb/s		
Clock rate	1 GHz		
Energy per Bit	44.57 nJ/Bit		
PLL output jitter	Transmitter	ΔT_{Pk-Pk}	09 ps
	Receiver	ΔT_{Pk-Pk}	14 ps
Tx output jitter	ΔT_{Pk-Pk}		12 ps
Clock output jitter	ΔT_{Pk-Pk}		10 ps

ตารางที่ 4.4 สรุปผลการทดลองระบบส่งข้อมูลของทรานซีฟเวอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการทดลองและข้อเสนอแนะ

5.1 สรุปผลการทดลอง

จากการทดลองข้างต้นพบว่าในระบบทรานซีฟเวอร์ของผู้ออกแบบนั้นสามารถส่งข้อมูลจากภาคส่งมายังภาครับได้อย่างถูกต้อง จากการตรวจสอบสัญญาณข้อมูลและสัญญาณนาฬิกาจากภาครับด้วยวงจร LFSR ที่ทำหน้าที่เป็น Compactor ตามทฤษฎี CRC สัญญาณที่นำมาตรวจสอบและคำนวณมีชุดข้อมูลที่ตรงกัน และในส่วนของ PLL ต้องการประมาณลักษณะการทำงานของ PLL เป็นแบบต่อเนื่อง ดังนั้นผู้ออกแบบจึงออกแบบให้ $\omega_n < 0.1\omega_{ref}$ และเนื่องจากระบบไม่จำเป็นต้องเปลี่ยนความถี่ในการรับส่งข้อมูลบ่อยครั้งดังนั้นจึงเลือกใช้ผลการตอบสนองแบบ Over damped เพื่อลด jitter

5.2 ข้อเสนอแนะ

เนื่องจากสัญญาณ PWM มี symbol ที่ส่ง 11 และต่อด้วย 00 เป็นองค์ประกอบความถี่สูงสุด ($5\omega_{ref}$) ดังนั้นต้องการวงจร Interface RX ที่มี bandwidth สูง ซึ่งต้องการกำลังงานสูงมาก

การออกแบบ active loop filter ที่ความถี่สูง เนื่องจาก buffer โดยทั่วไปเกิดจากการนำ op amp มาต่อแบบ negative feedback ซึ่งการออกแบบ op amp ที่ความถี่สูงค่อนข้างยาก และใช้กำลังงานสูง

การกู้คืนของสัญญาณนาฬิกาในภาครับนั้น จากวงจรริงออสซิเลเตอร์ที่ออกแบบมีเฟสที่ไม่เหมาะสมมาก ทำให้กู้คืนสัญญาณนาฬิกากลับมาได้ที่ Duty Cycle ที่ 40% และ 60%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] สุวิทย์ นาคพีระยุทธ, หลักการไฟฟ้าสื่อสาร Principles of Communications, สำนักพิมพ์แห่งจุฬาลงกรณ์มหาวิทยาลัย, 2558.

[2] อภิชฎา ทองรักษ์, เครือข่ายการสื่อสารและสายส่ง Communication Network and Transmission Lines, 2565.

[3] B. Razavi, **Design of Analog CMOS Integrated Circuits**. New York : Mc Graw Hill, 2001.

[4] P. Larsson, **“An Offset-Cancelled CMOS Clock-Recovery/Demux with a Half Rate Linear Phase Detector for 2.5 Gb/s Optical Communucation**,” IEEE Internation Solid-State Cirtcuits Conference, 2001.

[5] อภินันท์ ธนชยานนท์, วงจรรวมแอนะล็อกซีมอส CMOS Analog Intrated Circuits, กรุงเทพมหานคร: ห้างหุ้นส่วนจำกัด มีน เซอร์วิส ซัพพลาย 661 ซอยฉลองกรุง 1 ถนนฉลองกรุง 1 เขตลาดกระบัง กรุงเทพฯ 10520, 2559.

[6] J. G. Maneatis, **“Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques,”** IEE Journal of Solid-State Circuits, 1996.

[7] G.-K. D.-W. C.-I. L. Wei-Hung Chen, **“A CMOS 400-Mb/s Serial Link for AS-Memory Systems Using a PWM Scheme,”** IEE Journal of Solid-State Circuits, 2001.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้