วงจรรวมดิจิตอลภาคส่งตามมาตราฐาน UWB IEEE 802.15.4

Digital Integrated Circuits for UWB IEEE 802.15.4 Transmitter

ชัยวัฒน์ เอนอ่อน 62010188

Chaiwat Aenoon 62010188

นิติพัฒน์ เจริญพันธ์ 62010493

Nitiphat Charoenphan 62010493

รายงานนี้เป็นส่วนหนึ่งของวิชา โครงงาน 2

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2565

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรวมดิจิตอลภาคส่งตามมาตราฐาน UWB IEEE 802.15.4

Digital Integrated Circuits for UWB IEEE 802.15.4 Transmitter

โดย

ชัยวัฒน์ เอนอ่อน 62010188

นิติพัฒน์ เจริญพันธ์ 62010493

อาจารที่ปรึกษา

ผศ.ดร.สุเมฆ วิศยทักษิณ

รายงานนี้เป็นส่วนหนึ่งของวิชา โครงงาน 2

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2565

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายงานวิชา โครงงาน 2 ปีการศึกษา 2565

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะ วิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง วงจรรวมดิจิตอลภาคส่งตามมาตราฐาน UWB IEEE 802.15.4

Digital Integrated Circuits for UWB IEEE 802.15.4 Transmitter

ผู้จัดทำ นายชัยวัฒน์ เอนอ่อน รหัสนักศึกษา 62010188

นายนิติพัฒน์ เจริญพันธ์ รหัสนักศึกษา 62010493

รายงานนี้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

Sumet Wit

(ผศ.ดร.สุเมฆ วิศยทักษิณ)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อโครงงาน	วงจรรวมดิจิตอลภาคส่งตามมาตรฐาน UWB IEEE 802.15.4
นักศึกษา	นายชัยวัฒน์ เอนอ่อน รหัสนักศึกษา 62010188
	นายนิติพัฒน์ เจริญพันธ์ รหัสนักศึกษา 62010493
ปริญญา	วิศวกรรมศาสตร์บัณฑิต
ภาควิชา	วิศวกรรมอิเล็กทรอนิกส์
ปีการศึกษา	2565
อาจารย์ที่ปรึกษาโครงงาน	ผศ.ดร.สุเมฆ วิศยทักษิณ

บทคัดย่อ

หลังจากการพัฒนาระบบ Time Difference of Arrival (TDOA) method เพื่อระบุตำแหน่งของอุปกรณ์ได้มีความแม่นยำเพียงพอแล้ว โครงงานฉบับนี้จึงมุ่งเน้นไปที่การพัฒนาวงจรรวมดิจิตอลภาคส่งตามมาตราฐาน Ultra-Wide Band IEEE 802.15.4 เพื่อหวังว่าจะนำวงจรรวมที่ออกแบบนั้นไปใช้จริงกับระบบระบุตำแหน่ง โดยวงจรรวมจะรองรับการทำงานตาม Channel 0,5,6,8,10,12 และ 14 โดยในวงจรรวมนั้นมีวงจร Encoder ประเภทต่างๆ คือ Reed Solomon GF(64) RS(63,55) ,SECCED และ LSFR จากนั้นจะนำวงจรรวมที่ออกแบบไป Simulation เปรียบเทียบสัญญาณจริงๆที่ถูกสร้างตามมาตราฐาน UWB IEEE 802.15.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Project title	Digital Integrated Circuits for UWB IEEE 802.15.4 Transmitter
Students	Mr. Chaiwat Aenoon Student ID 62010188
	Mr. Nitiphat Charoenphan Student ID 62010493
Degree	Bachelor of Engineering
Program	Electronics Engineering
Academic Year	2022
Project Advisor	Asst. Prof. Sumek Wisayataksin

ABSTRACT

After developing the Time Difference of Arrival (TDOA) method for accurately determining the position of devices This project focuses on developing a digital transmitter circuit using the Ultra-Wide Band IEEE 802.15.4 standard. The goal is to use the designed circuit for location-based systems, with support for operating in channels 0, 5, 6, 8, 10, 12, and 14. The circuit includes various types of encoder circuits such as Reed Solomon GF(64) RS(63,55), SECCED, and LSFR. Subsequently, the designed circuit will be simulated and compared with real signals generated according to the UWB IEEE 802.15.4 standard.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การทำโครงงาน “วงจรรวมดิจิตอลภาคส่งตามมาตรฐาน UWB IEEE 802.15.4” ในครั้งนี้สามารถสำเร็จลุล่วงไปด้วยดี โดยได้รับความกรุณาจาก ผศ.ดร.สุเมฆ วิศยทักษิณ อาจารย์ที่ปรึกษาโครงงานที่คอยให้คำแนะนำเกี่ยวกับโปรโตคอลสำหรับการสื่อสารโดยใช้เครือข่ายอัลตร้าไวด์แบนด์ในภาคของตัวส่ง ตลอดจนนำไปออกแบบเพื่อใช้งานจริงและทดสอบความถูกต้องของโปรโตคอล และยังคอยให้คำปรึกษาแนะนำวิธีการแก้ปัญหาในด้านต่างๆ ที่เกิดขึ้นระหว่างการทำงานมาโดยตลอดจนโครงงานนี้เสร็จสมบูรณ์ ผู้จัดทำจึงขอกราบขอบพระคุณเป็นอย่างสูง

ชัยวัฒน์ เอนอ่อน

นิติพัฒน์ เจริญพันธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หัวข้อ **หน้า**

บทคัดย่อ ii

ABSTRACT iii

กิตติกรรมประกาศ iv

สารบัญ v

สารบัญรูป ix

บทที่ 1 1

1.1 ความเป็นมาและความสำคัญของปัญหา 1

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา 1

1.3 สมมุติฐานของการศึกษา 1

1.4 ขอบเขตการวิจัย 1

1.5 ประโยชน์ที่คาดว่าได้รับ 2

1.6 ระยะเวลาในการทำโครงงาน 2

บทที่ 2 3

2.1 Locating System 3

2.1.1 Locating System example 3

2.1.2 Time Difference of Arrival (TDoA) 4

2.2 Ultra-Wide Band Protocol 5

2.2.1 Preamble 5

2.2.2 SFD 6

2.2.3 PHR 6

2.2.4 Data Payload 7

2.3 SPI protocol 7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 Galois Field Arithmetic 10
2.4.1 Galois Fields Element 10
2.4.2 Galois Fields Sum 11
2.4.3 Galois Fields Multiplication 12
2.5 Reed Solomon 12
2.5.1 Reed Solomon Application 12
2.5.2 Reed Solomon Theory 12
2.6 SECDED Encoder 13
2.7 Linear-feedback shift register spreader 14
2.7.1 Example of Block Linear-feedback shift register spreader circuit 14
2.8 Analog Modulation Waveform 15
บทที่ 3 16
3.1 Block diagram 16
3.2 Master Control Block 16
3.2.1 State Idle 16
3.2.2 State Initial LFSR 17
3.2.3 State Prepare PSDU 17
3.2.4 State Start SHR 17
3.2.5 State Reed Solomon & SECDED Encode 17
3.2.6 State Start Symbol mapper 17
3.2.7 State End 17
3.3 SPI Interface Block 19
3.3.1 SPI Interface Timing Diagram 19
3.4 Ram 20
3.4.1 Ram Timing Diagram 20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 Regfile 20
3.5.1 Regfile Timing Diagram 21
3.6 Preamble Block 22
3.7 SFD Block 23
3.8 Zero Insertion Block 24
3.9 Linear feedback shift registers Reed-Solomon encoder Block 25
3.9.1 Diagram for digital circuit 26
3.9.2 Reed Solomon Timing Diagram 26
3.10 SECDED Block 27
3.10.1 SECDED Timing Diagram 28
3.11 LSFR Spreader Block 28
3.11.1 LSFR Timing Diagram 28
3.12 Convolution Encoder Block 29
3.12.1 Convolutional Encoder Timing Diagram 30
3.13 Symbol Mapper Block 30
3.14 Multiplexer Block 36
3.14.1 Multiplexer2to1 Timing Diagram 36
3.15 Channel and config Support on this circuit 36
บทที่ 4 37
4.1 การทดลอง SPI Protocol จาก SPI Interface Block 37
4.2 การทดลอง SEDED Encoder Block สร้าง Password code 38
4.3 การทดลอง LSFR Encoder Block สร้าง Password code 38
4.4 การทดลอง Reed Solomon Block สร้าง Password code 39
4.5 การทดลอง Digital Integrated Circuits for UWB IEEE 802.15.4 Transmitter 39
4.6 การทดสอบโดยการทำ Implementation 41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 43

เอกสารอ้างอิง 44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ **หน้า**

รูปที่ 2.2.1 ตัวอย่าง Locating System....3
รูปที่ 2.2.2 Time Difference of Arrival Timing diagram....4
รูปที่ 2.3 Example TDOA's System....4
รูปที่ 2.4 รูปแสดงถึง Ultra-Wide Band ส่งข้อมูล 1 frame....5
รูปที่ 2.5 ตัวอย่างการต่อ pin ต่างๆใน SPI protocol....7
รูปที่ 2.6 แสดงการสื่อสารของ Master (Controller) และ Peripheral....8
รูปที่ 2.7 แสดงถึงการสื่อสารของ SPI Mode 0....9
รูปที่ 2.8 ตัวอย่างการแสดงค่า alpha ตามเลขชี้กำลัง....11
รูปที่ 2.9 ตัวอย่าง Data Block หลังจากการทำ Reed Solomon....12
รูปที่ 2.10 Example of Block Linear-feedback shift register....14
รูปที่ 3.1 Block Diagram ของ UWB IEEE 802.15.4 Transmitter....16
รูปที่ 3.2 Flowchart of Master Control Block....18
รูปที่ 3.3 SPI Interface Timing Diagram....19
รูปที่ 3.4 Ram Timing Diagram when Read....20
รูปที่ 3.5 Ram Timing Diagram when write....20
รูปที่ 3.6 Reg Timing Diagram when write....21
รูปที่ 3.7 Reg Timing Diagram when read....22
รูปที่ 3.8 Construction of symbol Si from code Ci....22
รูปที่ 3.9 Useable Code Index of Channel 5....23
รูปที่ 3.10 SHR preamble structure....24
รูปที่ 3.11 องค์ประกอบของ SHR Chip 16 bit....24
รูปที่ 3.12 Diagram for digital circuit....26
รูปที่ 3.13 Example Reed Solomon Timing Diagram....26
รูปที่ 3.14 PHR Diagram....27
รูปที่ 3.15 การคำนวณ SECDED Check bits Mode not reverse....27
รูปที่ 3.16 การคำนวณ SECDED Check bits Mode reverse....27
รูปที่ 3.17 Example of SECDED Timing Diagram....28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.18 LSFR Spreader Block Diagram 28
รูปที่ 3.19 LSFR Timing Diagram 28
รูปที่ 3.20 Convolutional Encoder Block Diagram 29
รูปที่ 3.21 Convolutional Encoder Timing Diagram 30
รูปที่ 3.22 Symbol Mapper Block Diagram 30
รูปที่ 3.23 One symbol interval 30
รูปที่ 3.24 CASE 1 : UWB PHY symbol structure 31
รูปที่ 3.25 CASE 2 : UWB PHY symbol structure 32
รูปที่ 3.26 CASE 3 : UWB PHY symbol structure 32
รูปที่ 3.27 CASE 4 : UWB PHY symbol structure 33
รูปที่ 3.28 CASE 5 : UWB PHY symbol structure 33
รูปที่ 3.29 CASE 6 : UWB PHY symbol structure 34
รูปที่ 3.30 CASE 7 : UWB PHY symbol structure 34
รูปที่ 3.31 CASE 8 : UWB PHY symbol structure 35
รูปที่ 3.32 CASE 9 : UWB PHY symbol structure 35
รูปที่ 3.33 Multiplexer2to1 Timing Diagram 36
รูปที่ 3.34 รูปภาพแสดงการทำงานที่ Support สำหรับการสื่อสารภาคส่ง 36
รูปที่ 4.1 รูปผลการทดลอง SPI Protocol read data 37
รูปที่ 4.2 รูปผลการทดลอง SPI Protocol write data 37
รูปที่ 4.3 Timing Diagram of experimental SECDED Encoder 38
รูปที่ 4.4 Timing Diagram of experimental LSFR Encoder 38
รูปที่ 4.5 Timing Diagram of experimental Reed Solomon Encoder 39
รูปที่ 4.6 UWB IEEE 802.15.4 Transmitter Compare with MATLAB Block Diagram 39
รูปที่ 4.7 Waveform generate by MATLAB Toolbox 40
รูปที่ 4.8 Waveform generate by Digital IC for UWB Transmitter 40
รูปที่ 4.9 Floorplan of IC 41
รูปที่ 4.10 Utilization Post-Implementation 41
รูปที่ 4.11 Design Timing Summary 42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

เนื่องในปัจจุบันเทคโนโลยีการสื่อสารแบบ Ultra-wideband ได้รับความนิยมเพิ่มขึ้น เนื่องจากมีข้อดีที่ ใช้พลังงานน้อย, มี bandwidth ที่กว้างทำให้ไม่ไปรบกวนสัญญาณอื่นๆ ,และมีความเร็วในการส่งข้อมูลที่สูง เทคโนโลยี Ultra-wideband นิยมใช้ในด้านการหาตำแหน่งภายในอาคาร (RTLS) โดยใช้ method ในการหาตำแหน่งคล้ายกับ GPS นักศึกษาจึงเลือกที่จะทำโครงงานเรื่องนี้ เพราะเห็นว่าระบบระบุตำแหน่ง RTLS โดยใช้ UWB ยังสามารถพัฒนาต่อไปได้อีกมาก เพื่อให้ได้ระบบระบุตำแหน่งที่แม่นยำและสามารถใช้งานได้จริง

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

1.2.1 เพื่อศึกษาและเข้าใจเทคโนโลยีการสื่อสารแบบ Ultra-wideband ของตัวส่งสัญญาณในระดับการออกแบบ

1.2.2 เพื่อให้สามารถใช้งานการและทำการส่งสัญญาณเพื่อการสื่อสาร Ultra-wideband ได้

1.2.3 เพื่อศึกษาและเพิ่มความเข้าใจรูปแบบการออกแบบ Digital Integration Circuit

1.3 สมมุติฐานของการศึกษา

โครงงานนี้เป็นการศึกษาและทำการออกแบบวงจร Digital สำหรับการเตรียมส่งสัญญาณ UWB เป็นไปตามมาตราฐานของ IEEE 802.15.4 โดยในการออกแบบนั้นจำเป็นต้องใช้ความรู้และความเข้าใจการ Modulation และการเข้ารหัสรูปแบบต่างๆ เช่น SECDED และ Reed Solomon เป็นต้น รวมถึงมีความรู้และเข้าใจวิธีการออกแบบวงจร Digital โดยใช้บอร์ด CMOD-A7 (FPGA) เพื่อจุดประสงค์เตรียมสัญญาณการสื่อสารของเทคโนโลยี UWB โดยเป็นไปตามมาตรฐาน IEEE 802.15.4

1.4 ขอบเขตการวิจัย

1.4.1 ทำการศึกษาเทคโนโลยีการส่งสัญญาณการสื่อสารแบบ Ultra-wideband ตามมาตราฐาน IEEE 802.15.4

1.4.2 สามารถส่งสัญญาณการสื่อสารแบบ Ultra-wideband ตามมาตราฐาน IEEE802.15.4 ที่ออกแบบมาใช้งานจริงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 ประโยชน์ที่คาดว่าได้รับ

1.5.1 ได้เรียนรู้และทำความเข้าใจเทคโนโลยีการส่งสัญญาณการสื่อสารแบบ Ultra-wideband ตามมาตราฐาน IEEE 802.15.4

1.5.2 ได้เรียนรู้และทำความเข้าใจหลักการออกแบบ Digital Integration Circuit

1.6 ระยะเวลาในการทำโครงงาน

เริ่มต้นทำงานตั้งแต่ 9 มกราคม 2566 จนถึง 4 พฤษภาคม 2566

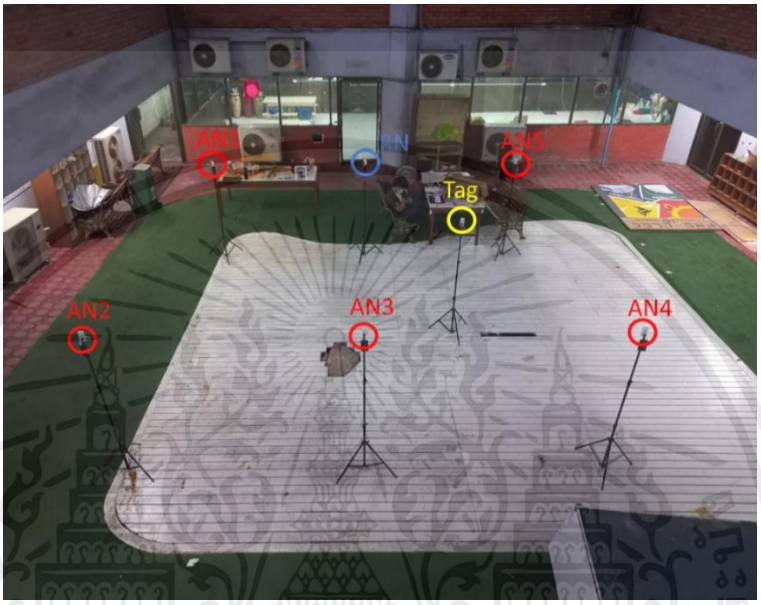
ขั้นตอนการดำเนินงาน	สัปดาห์ที่														
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
1. ทฤษฎี / ซื้ออุปกรณ์	◄	►						สอบกลางภาค							
2.ศึกษาเทคโนโลยีการสื่อสารของ UWB			◄	—	—	—	►								
3.ศึกษาวิธีการ Modulation			◄	—	—	—	►								
4.ทำการออกแบบวงจรและลงมือดำเดินการ									◄	—	—	►			
5.วิเคราะห์ผลและแก้ไขปัญหา												◄	—	►	
6.เขียนรายงานฉบับสมบูรณ์														◄	— ►

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีอุปกรณ์

2.1 Locating System

2.1.1 Locating System example



รูปที่ 2.2.1 ตัวอย่าง Locating System

โดยเป้าหมายการทำงานของระบบนี้คือการหาตำแหน่งของ Tag โดยการส่งสัญญาญ UWB โดยใช้วิธีการ Time difference of Arrival (TDoA) เพื่อมาคำนวณหาตำแหน่งและลดความผิดพลาดของระบบลงด้วยวิธีการทางสถิติ

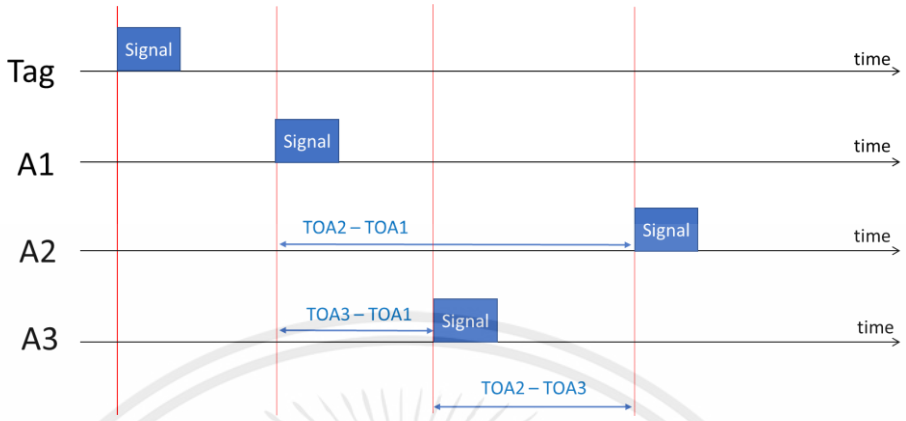
Tag คืออุปกรณ์พกพาที่จะปล่อยสัญญาณ Blink ออกไปแบบ เพื่อให้ Anchors ที่ติดตั้งอยู่บริเวณกำแพงในอาคาร รับสัญญาณเพื่อคำนวณ TDOA

Anchor คืออุปกรณ์สำหรับติดตั้งที่รู้ตำแหน่งที่แน่นอน เพื่อรับสัญญาณ Blink จากTag และส่งข้อมูลไปที่ Reference node เพื่อคำนวณหาตำแหน่ง

Reference node คืออุปกรณ์ที่ทำหน้าเป็นจุดรวมข้อมูลจากทุก Anchors และส่งข้อมูลไปยัง Computer เพื่อคำนวณหาตำแหน่ง และทำหน้าที่ในการส่งสัญญาณ ตามหัวข้อ เพื่อหาข้อมูล TDOA อีกด้วย

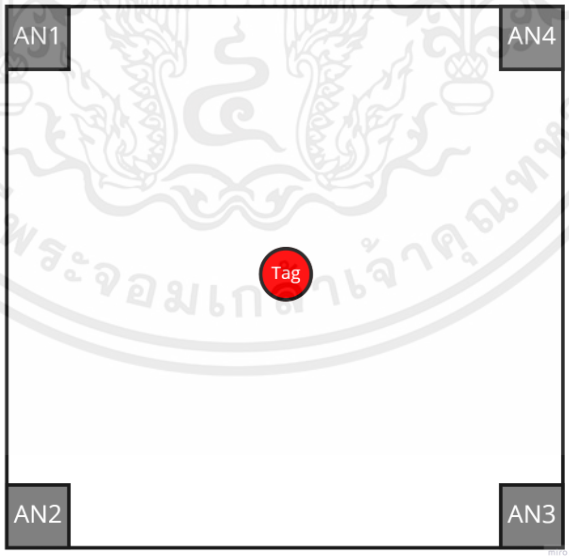
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 Time Difference of Arrival (TDoA)



รูปที่ 2.2.2 Time Difference of Arrival Timing diagram

จากรูปที่ 2.1 เป็น Timing diagram โดยมีอุปกรณ์ คือ Tag,A1,A2 และ A3 โดย Tag หมายถึงอุปกรณ์การส่งสัญญาณโดยเรามุ่งเน้นไปกับการหาตำแหน่งของตัว Tag และ A1 นั้นย่อมาก จาก Anchor หมายเลข 1 โดย A2,A3 ก็มีความหมายเหมือนกันต่างกันที่หมายเลข โดยวิธีการนี้เราจำเป็นต้องมีอุปกรณ์ Anchor นั้นอย่างน้อย 3 ตำแหน่ง และ เรารู้ตำแหน่งของ Anchor



รูปที่ 2.3 Example TDOA's System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.8 เป็นตัวอย่างของการจัดระบบเพื่อหาตำแหน่งของ Tag โดยเราจะใช้วิธีการ TDoA Tag นั้นจะส่งสัญญาณออกมาเป็นคาบ และ AN ทุกตัวนั้นจะได้รับสัญญาณทั้งหมด และเอามาคิดตาม Timing Diagram ในรูปที่ 2.8 โดยนำความต่างของเวลานั้นมาคำนวณตามสมการที่ 2.1.1 และ 2.1.2

$$\mathrm{ToA}_i = \frac{(\text{Position TAG} - \text{Position AN}i)}{\mathrm{C}} \tag{2.1.1}$$

$$\mathrm{TDoA}_{i,j} = \mathrm{ToA}_i - \mathrm{ToA}_j \tag{2.1.2}$$

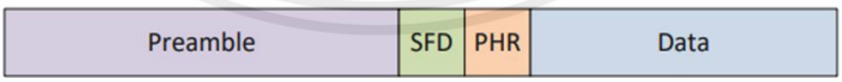
ToA หรือ Time of Arrival หมายถึงเวลาที่สัญญาณนั้นมาถึงที่ตัว Anchor แต่เนื่องจาก Tag นั้นไม่ได้ทำการ sync กันกับ AN ตัวไหนเลย ดังนั้นเราจะใช้ค่านั้นมาคิดตรงๆไม่ได้

และเมื่อเรามี Anchor อย่างน้อย 3 ตัวเราจะแก้สมการได้ตำแหน่งของ Tag ในแกน X และ Y ได้ตามสมการที่ 2.1.3

$$\mathrm{TDoA}_{i,j} = \frac{\left(\sqrt{(x_{tag} - x_i)^2 + (y_{tag} - y_i)^2} - \sqrt{(x_{tag} - x_j)^2 + (y_{tag} - y_j)^2}\right)}{\mathrm{C}} \tag{2.1.3}$$

2.2 Ultra-Wide Band Protocol

Ultrawideband (UWB) protocol เป็นโปรโตคอลสื่อสารไร้สายที่ใช้ความถี่สูงและความกว้างช่องคลื่นสูงเพื่อส่งข้อมูลไร้สาย โดยใช้ช่องคลื่นกว้างมากเพื่อส่งข้อมูลด้วยความเร็วสูง ดังนั้น UWB จึงเหมาะสำหรับการสื่อสารในระยะสั้นและการสื่อสารที่ต้องการความเร็วสูง เช่นการสื่อสารระหว่างอุปกรณ์เคลื่อนที่หรือการสื่อสารระหว่างอุปกรณ์ไร้สายในห้องเดียวกัน



รูปที่ 2.4 รูปแสดงถึง Ultra-Wide Band ส่งข้อมูล 1 frame

2.2.1 Preamble

สัญญาณ Preamble มีหน้าที่ในการช่วยให้รับสัญญาณที่รับข้อมูลเข้ามาตรวจจับและรู้จักชนิดของสัญญาณที่จะถูกส่งต่อไป และช่วยให้อุปกรณ์รับสัญญาณปรับตัวเพื่อรองรับการส่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อย่างเหมาะสม โดยสัญญาณ Preamble มักจะถูกส่งออกมาโดยอัตโนมัติโดยอุปกรณ์ส่งสัญญาณ เพื่อให้รับสัญญาณสามารถรับทราบข้อมูลเกี่ยวกับสัญญาณที่จะถูกส่งต่อไป

นอกจากนี้ Preamble ยังมีหน้าที่ในการช่วยให้ระบบสื่อสาร UWB ทำงานได้แม่นยำมากขึ้น โดยจะช่วยปรับปรุงการตรวจจับและตรวจสอบข้อมูลที่ถูกส่งในระบบ และช่วยลดความผิดพลาดที่อาจเกิดขึ้นในการสื่อสารไร้สายในระบบ UWB

2.2.2 SFD

SFD ย่อมาจาก Start of Frame Delimiter ซึ่งเป็นสัญญาณที่ใช้เพื่อแยกแยะข้อมูลในแต่ละกรอบของข้อมูลในระบบ UWB โดย SFD จะถูกส่งออกมาเป็นสัญญาณช่วงสั้น ๆ หลังจาก Preamble และจะช่วยให้อุปกรณ์รับสัญญาณสามารถตรวจจับเวลาเริ่มต้นของข้อมูลได้ โดย SFD มักจะถูกกำหนดให้เป็นสัญญาณแบบเดียวกันในทุก ๆ กรอบของข้อมูลที่ถูกส่งออกมาในระบบ UWB.

หลังจาก SFD ถูกส่งออกมาแล้ว ข้อมูลจะถูกส่งต่อไปในรูปแบบของ Data Packet ซึ่งประกอบด้วยหัวข้อเพื่อระบุประเภทของข้อมูลและขนาดของการส่งข้อมูล และส่วนข้อมูลที่จะถูกส่งในระบบ UWB โดย Data Packet จะถูกส่งเป็นช่วงข้อมูลจำนวนมากต่อเนื่องกันเพื่อให้ข้อมูลถูกส่งถึงอุปกรณ์รับสัญญาณอย่างถูกต้องและมีความแม่นยำในการรับสัญญาณในระบบ UWB

2.2.3 PHR

PHR ย่อมาจาก Physical Header ซึ่งเป็นส่วนหนึ่งของ Data Packet ในระบบ UWB โดย PHR จะถูกใช้เพื่อระบุขนาดของ Data Packet และสิทธิ์การเข้าถึงสื่อสารในระบบ UWB ซึ่ง PHR จะประกอบด้วยข้อมูลดังนี้

Frame Length: เป็นจำนวนของข้อมูลใน Data Packet ที่ถูกส่งออกมา ซึ่งจะระบุไว้ในหน่วยของ byte

Reserved: เป็นส่วนที่จองไว้สำหรับการใช้งานในอนาคต ซึ่งในปัจจุบันจะไม่มีการใช้งาน

Frame Control: เป็นส่วนที่ใช้เพื่อระบุความสำคัญของ Data Packet ที่ถูกส่งออกมา โดยในส่วนนี้จะระบุเลขประเภทของ Data Packet ที่ถูกส่งออกมาและสิทธิ์การเข้าถึงสื่อสารในระบบ UWB ซึ่งสามารถกำหนดได้ว่าจะเป็นแบบติดต่อสั้น (Short Range) หรือติดต่อไกล (Long Range) และยังสามารถกำหนดสิทธิ์การเข้าถึงสื่อสารในระบบ UWB ได้อีกด้วย

Sequence Number: เป็นหมายเลขลำดับของ Data Packet ที่ถูกส่งออกมาในระบบ UWB ซึ่งจะใช้เพื่อตรวจสอบการส่งข้อมูลในกรณีที่เกิดการสูญเสียข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 Data Payload

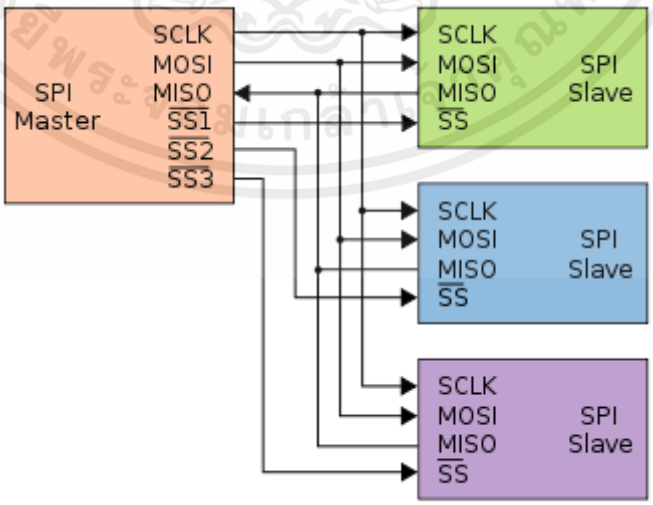
ส่วนของ Data Payload ในระบบ UWB มีการมอดูเลชัน (modulation) เพื่อสร้างสัญญาณคลื่นความถี่สูงแบบพิเศษเพื่อให้สามารถส่งข้อมูลไปยังอุปกรณ์ปลายทางได้อย่างมีประสิทธิภาพ

โดยในระบบ UWB จะใช้เทคโนโลยีการมอดูเลชันแบบ Orthogonal Frequency Division Multiplexing (OFDM) เพื่อสร้างสัญญาณคลื่นความถี่สูงในการสื่อสาร โดยจะแบ่งสัญญาณออกเป็นช่องคลื่นหลายๆ ช่อง แล้วส่งข้อมูลในแต่ละช่องคลื่นนั้นๆ โดยใช้การเปลี่ยนแปลงความถี่ของสัญญาณโดยอัตโนมัติในแต่ละช่วงเวลาเพื่อแบ่งข้อมูลให้อยู่ในรูปแบบของสัญญาณคลื่นความถี่สูงที่สามารถส่งได้อย่างมีประสิทธิภาพ

นอกจากนี้ยังมีเทคโนโลยีการมอดูเลชันอื่นๆ ที่ใช้งานได้ในระบบ UWB อีกเช่น Binary Phase-Shift Keying (BPSK) หรือ Quadrature Phase-Shift Keying (QPSK) ซึ่งจะช่วยให้การสื่อสารในระบบ UWB มีประสิทธิภาพและเร็วขึ้นด้วยการส่งข้อมูลได้มากกว่าในการใช้เทคโนโลยีการส่งข้อมูลแบบไม่มีการมอดูเลชัน

2.3 SPI protocol

SPI (Serial Peripheral Interface) เป็นโปรโตคอลการสื่อสารแบบ synchronous serial ที่มักจะถูกนำมาใช้ในระบบฝังตัว (embedded systems) และแอปพลิเคชันอื่นๆ เพื่อสื่อสารระหว่างไมโครคอนโทรลเลอร์, เซ็นเซอร์ และอุปกรณ์เพิ่มเติมอื่นๆ โดยปกติแล้วการสื่อสารใน SPI จะมีอุปกรณ์ที่เป็น master ที่ส่งสัญญาณ clock และข้อมูลไปยังอุปกรณ์ที่เป็น slave หลายๆ ตัวโดยสามารถสื่อสารได้ทั้งทางส่งและรับ



รูปที่ 2.5 ตัวอย่างการต่อ pin ต่างๆใน SPI protocol

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใน SPI มีขา (pin) ที่ต้องใช้ในการสื่อสารกันระหว่าง master และ slave ซึ่งประกอบด้วย 4 ขา ได้แก่

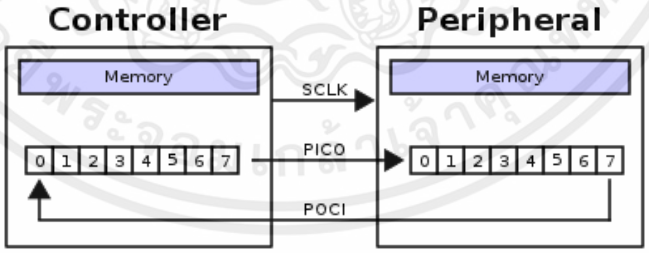
CS (Chip Select) - เป็นขาที่ใช้ในการเลือกชิป (slave device) ที่ต้องการสื่อสารกับ master device ในการสื่อสารกับชิปนั้น จะต้องทำการตั้งค่าขา CS ให้เป็นสถานะ low ก่อนเพื่อเลือกชิปนั้น และตั้งค่าให้เป็นสถานะ high เมื่อสิ้นสุดการสื่อสาร.

MISO (Master In Slave Out) - เป็นขาที่ใช้ในการรับข้อมูลจาก slave device มายัง master device

MOSI (Master Out Slave In) - เป็นขาที่ใช้ในการส่งข้อมูลจาก master device ไปยัง slave device

SCLK (Serial Clock) - เป็นขาที่ใช้ในการส่งสัญญาณ clock จาก master device ไปยัง slave device เพื่อควบคุมการส่งข้อมูล

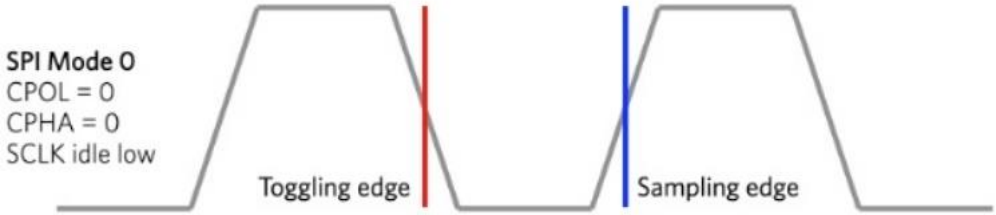
ดังนั้น ในการสื่อสารด้วย SPI จะต้องมีการเชื่อมต่อขาของ master device กับ slave device ด้วยขา CS, MISO, MOSI และ SCLK โดยการส่งข้อมูลจะเริ่มต้นจาก master device โดยการตั้งค่าขา CS เป็น low เพื่อเลือกชิปที่ต้องการสื่อสาร จากนั้น master device จะส่งข้อมูลผ่านขา MOSI ไปยัง slave device และส่งสัญญาณ clock ผ่านขา SCLK เพื่อควบคุมการส่งข้อมูล ข้อมูลจะถูกส่งเสร็จสิ้นเมื่อ master device ส่งข้อมูลเสร็จสิ้นและตั้งค่าขา CS เป็น high เพื่อสิ้นสุดการสื่อสารกับชิปนั้นๆ โดย slave device จะรับข้อมูลผ่านขา MISO ในขณะที่ master device ส่งข้อมูล



รูปที่ 2.6 แสดงการสื่อสารของ Master (Controller) และ Peripheral

SPI มีโหมดการสื่อสารทั้งหมด 4 โหมด แต่ละโหมดจะแตกต่างกันด้วยการตั้งค่าตัวแปรเวลาของสัญญาณ clock และข้อมูลที่ถูกส่ง โดยโครงงานนี้จะเป็นการใช้โหมดที่ 0 (mode 0)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 แสดงถึงการสื่อสารของ SPI Mode 0

ใน mode 0 การสื่อสารจะเริ่มต้นโดยการตั้งค่าขา CS เป็น low เพื่อเลือกชิปที่ต้องการสื่อสาร จากนั้น master device จะส่งข้อมูลผ่านขา MOSI ไปยัง slave device ในขณะที่สัญลักษณ์ SCLK เป็นสถานะ low จากนั้น master device จะส่งสัญญาณ clock ผ่านขา SCLK เพื่อควบคุมการส่งข้อมูลให้กับ slave device ในช่วงที่สัญลักษณ์ SCLK เป็นสถานะ high โดยข้อมูลจะถูกส่งเสร็จสิ้นเมื่อ master device ส่งข้อมูลเสร็จสิ้นและตั้งค่าขา CS เป็น high เพื่อสิ้นสุดการสื่อสารกับชิปนั้นๆ โดย slave device จะรับข้อมูลผ่านขา MISO ในขณะที่ master device ส่งข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 Galois Field Arithmetic

เพื่อจะเข้าใจถึง Reed Solomon เราต้องเข้าใจทฤษฎี Galois Field หรือเรียกอีกชื่อว่า Finite Field ก่อน

Galois Field หรืออีกชื่อคือ Finite Field จะเป็น Set ของตัวเลขที่มีขนาดจำกัด และสามารถนำมา บวก, ลบ, คูณ, และหาร กับเพื่อนใน Set ได้ โดยผลลัพธ์จะต้องเป็นอีกตัวใน Set นั้น

2.4.1 Galois Fields Element

ประกอบด้วยเซตขององค์ประกอบหรือเซทของตัวเลข ซึ่งมีต้นแบบอยู่ที่องค์ประกอบหลักที่มักแทนด้วยสัญลักษณ์ α และมีค่าเป็นไปตาม (2.4.1)

$$0, \alpha^0, \alpha^1, \alpha^2, ..., \alpha^n, \quad (2.4.1)$$

การสร้างเซตที่มีจำนวนองค์ประกอบเท่ากับ 2^m โดยที่ $n = 2^m - 1$ จะทำให้ได้ $GF(2^m)$ โดยมักเลือกค่าของ α เป็น 2 แต่สามารถเลือกค่าอื่นได้ตามต้องการ หลังจากเลือกค่าของ α แล้ว องค์ประกอบที่มากขึ้นสามารถทำได้โดยการคูณด้วย α ในแต่ละขั้นตอน อย่างไรก็ตามความสัมพันธ์ของการคูณของ Galois Field นั้นไม่ได้เป็นไปตามกฎที่เรารู้จักในการคูณปกติ

ทุกๆ field element สามารถแสดงได้เป็น polynomial หลายตัวในรูปแบบเป็นไปตาม (2.4.2)

$$a_{m-1}x^{m-1}+...+ a_0x^1+1 \quad (2.4.2)$$

โดยที่เราให้ค่าตัวเลข a_{m-1} ถึง a_0 เป็น 0 หรือ 1 เราสามารถกำหนดองค์ประกอบใน Field ได้โดยใช้ตัวเลขในรูปแบบเลขฐานสอง a_{m-1} ... a_1 a_0 ซึ่ง 2^m องค์ประกอบแสดงถึงการสร้างการจัดกลุ่มของตัวเลข m บิต ตัวอย่างเช่นใน Galois Field ที่มี 64 องค์ประกอบ ซึ่งเรียกว่า GF (64) โดยที่ m = 8 จะได้เป็นรูปแบบของ polynomial เป็นไปตาม (2.4.3)

$$a_7x^7+a_6x^6+a_5x^5+a_4x^4+a_3x^3+ a_2x^1+ a_1x^1+ a_0x^0 \quad (2.4.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วย a_7 a_6 a_5 a_4 a_3 a_2 a_1 a_0 จะถูกแทนด้วยเลขฐานสอง 0000 0000 ถึง 1111 1111 สามารถเปลี่ยนเป็นองค์ประกอบ field ผ่านเลขฐานสิบที่เทียบเท่ากับ 0 ถึง 63 เป็นไปตามรูปที่ 2.5

index form	polynomial form								decimal
	x^7	x^6	x^5	x^4	x^3	x^2	x^1	x^0	
0	0	0	0	0	0	0	0	0	0
α^0	0	0	0	0	0	0	0	1	1
α^1	0	0	0	0	0	0	1	0	2
α^2	0	0	0	0	0	1	0	0	4
α^3	0	0	0	0	1	0	0	0	8
α^4	0	0	0	1	0	0	0	0	16
α^5	0	0	1	0	0	0	0	0	32
α^6	0	1	0	0	0	0	0	0	64
α^7	1	0	0	0	0	0	0	0	128
α^8	0	0	0	1	1	1	0	1	29
α^9	0	0	1	1	1	0	1	0	58
α^{254}	1	0	0	0	1	1	1	0	142

รูปที่ 2.8 ตัวอย่างการแสดงค่า alpha ตามเลขชี้กำลัง

2.4.2 Galois Fields Sum

ใน GF(2^8) เลข 5 สามารถแปลงเป็นเลขฐาน 2 ได้ 101 จากนั้น Coefficient ของ Polynomial เช่น จากเลข 5 แปลงได้ 101 และทำการ Coefficient ของ Polynomial $a_0 = 1$, $a_1 = 0$, $a_2 = 1$ จะได้ x^2+1 และในการบวกสามารถนำมาบวกกันได้โดยการใช้ modulo 2 เช่น 4 + 5 ใน Galois Fields GF(2^8)

$$(x^2) + (x^2+1) = (1+1)x^2+(0+1)x^0 \quad (2.4.4)$$

$$(x^2) + (x^2+1) = (2 \bmod 2)x^2 + 1 \quad (2.4.5)$$

$$(x^2) + (x^2+1) = (0)x^2 + 1 \quad (2.4.6)$$

$$(x^2) + (x^2+1) = 1 \quad (2.4.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3 Galois Fields Multiplication

จะเกิดปัญหาขึ้นมาการคูณนั้นจะส่งผลให้ Degree ของ Polynomial เพิ่มขึ้นและทำให้ผลลัพธ์นั้นไม่อยู่ใน Set

ดังนั้นการคูณต้องเอาผลลัพธ์นั้นไปทำการ mod กับ Irreducible Polynomial ก็จะได้ค่าที่กลับมาอยู่ใน Set ของ Galois Fields ยกตัวอย่างว่า Irreducible Polynomial ใน GF(2^8) จะมีค่าเท่ากับ $x^8 + x^4 + x^3 + x + 1$

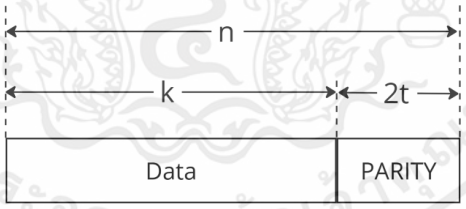
2.5 Reed Solomon

2.5.1 Reed Solomon Application

Reed Solomon code เป็นรหัสแก้ไขข้อผิดพลาดที่อาจจะเกิดขึ้นทำให้เกิดความเสียหายของข้อมูล สามารถใช้งานได้หลากหลายทั่วทั้งการสื่อสารดิจิทัลและการจัดเก็บข้อมูล

2.5.2 Reed Solomon Theory

Reed Solomon code เป็นรหัสบล็อกที่สามารถเขียนแทนได้เป็น RS(n,k) ดังที่แสดงในภาพ โดยตัวแปร ‘n’ คือขนาดของโค้ดเวิร์ดและหน่วยเป็นสัญลักษณ์ ส่วน ‘k’ คือจำนวนของข้อมูลหน่วยเป็นสัญลักษณ์เช่นกัน และ ‘2t’ คือจำนวนของสัญลักษณ์พาริตี้หน่วยเป็นสัญลักษณ์ โดยเราจะมีตัวแปร ‘m’ แทนจำนวนบิตของสัญลักษณ์ทั้งหมด โดยสัญลักษณ์หมายถึง ‘symbol’ แทนความหมายว่าอาจจะมีหลายบิตใน 1 สัญลักษณ์



รูปที่ 2.9 ตัวอย่าง Data Block หลังจากการทำ Reed Solomon

โดยทั่วไปแล้ว Reed Solomon codes ถูกเขียนด้วย RS(n,k) โดยมีความหมายว่าแต่ละตัวตามในรูปที่ 2.6 แปลว่า

Block Length: n

จำนวนของข้อความหน่วยเป็นสัญลักษณ์: k

จำนวนของ Parity หน่วยเป็นสัญลักษณ์ : n – k = 2t

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยความสัมพันธ์ระหว่างขนาดของโค้ดเวิร์ด n และขนาดสัญลักษณ์ m ถูกกำหนดตามสมการที่ 2.4.1

$$n = 2^{m-1} \tag{2.5.1}$$

โดยสัญลักษณ์ของ (n,k) Reed Solomon code มี characteristically ที่มาจาก Galois field GF (2^m)

Reed Solomon จะมีขนาดตาม (n,k) และสามารถนิยามขึ้นจาก Galois Field GF(2^m)

$$\varphi_\alpha(x) = x - 1 \tag{2.5.2}$$

Generator polynomial จะเป็นไปตามสมการ 2.4.3, 2.4.4 และ 2.4.5

$$\mathrm{g(x)} = \Pi_{\mathrm{i=1}}^{\mathrm{2t}}\left(\mathrm{x} - \mathrm{a^i}\right) \tag{2.5.3}$$

$$\mathrm{g(x)} = (\mathrm{x} - \mathrm{a})(\mathrm{x} - \mathrm{a}^2) \ldots (\mathrm{x} - \mathrm{a}^{2\mathrm{t}}) \tag{2.5.4}$$

$$\mathrm{g(x)} = \mathrm{g_0} + \mathrm{g_1 x} + \mathrm{g_2 x}^2 + \cdots + \mathrm{g}_{2\mathrm{t}-1}\mathrm{x}^{2\mathrm{t}-1} + \mathrm{x}^{2\mathrm{t}} \tag{2.5.5}$$

และ Codeword ถูกสร้างขึ้นโดยใช้ตามสมการที่ 2.4.6

$$\mathrm{c(x)} = \mathrm{g(x)i(x)} \tag{2.5.6}$$

เมื่อ g(x) คือ generator polynomial

i(x) คือ the information blocks

c(x) คือ codeword และอ้างอิงตาม primitive element ของ field.

2.6 SECDED Encoder

SECDED ย่อมาจาก Single Error Correction, Double Error Detection ซึ่งเป็นเทคนิคในการตรวจสอบและแก้ไขข้อผิดพลาดในการสื่อสารข้อมูลในระบบคอมพิวเตอร์ โดยจะใช้การเพิ่มบิตตรวจสอบและแก้ไขข้อผิดพลาด โดยเป็นการเพิ่มบิตและการคำนวณโดยอัลกอริทึมที่ถูกต้องเพื่อให้ระบบสามารถตรวจจับและแก้ไขข้อผิดพลาดได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงานของ SECDED คือการเพิ่มบิตตรวจสอบเข้าไปในข้อมูลที่จะส่งหรือรับ เมื่อข้อมูลถูกส่งไปยังระบบปลายทาง ระบบปลายทางจะตรวจสอบบิตตรวจสอบเพื่อตรวจสอบว่าข้อมูลถูกส่งมาถูกต้องหรือไม่ หากมีบิตใดบิตหนึ่งของข้อมูลผิดพลาด ระบบจะใช้บิตตรวจสอบที่เพิ่มเข้ามาเพื่อแก้ไขข้อผิดพลาดนั้น หากมีการเกิดข้อผิดพลาดที่ไม่สามารถแก้ไขได้ เช่น มีการเกิดข้อผิดพลาด 2 บิตขึ้นไป ระบบจะสามารถตรวจจับแต่ไม่สามารถแก้ไขได้

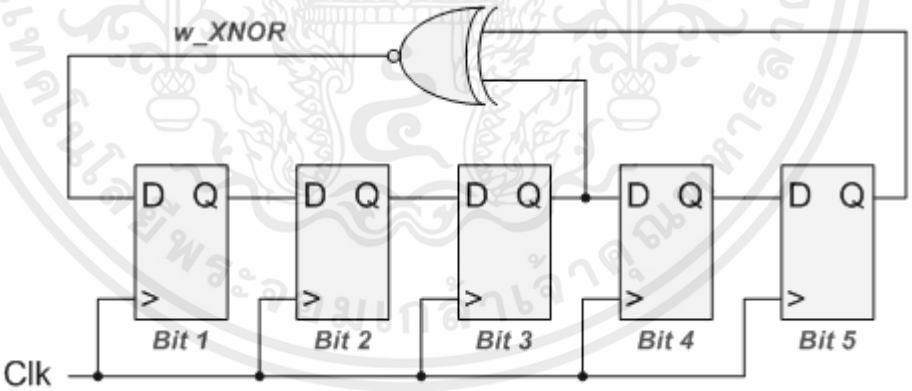
ดังในตัวอย่างของโครงงานนี้จะใช้เพื่อตรวจสอบข้อมูลที่ส่งไปในช่วง PHR ในการสื่อสาร

2.7 Linear-feedback shift register spreader.

Linear- feedback shift register (LFSR) เป็นวิธีการสร้างลำดับตัวเลขที่มีลักษณะซ้ำกันได้ โดยอาศัยการเลื่อนบิตแบบเชิงเส้นเพื่อสร้างการกลับซ้ำ (cyclic redundancy check) ในการตรวจสอบข้อผิดพลาดและใช้ในการสร้างสุ่ม

ในการเข้ารหัส UWB จะใช้ LFSR เพื่อสร้างสัญญาณสุ่ม (pseudorandom noise signal) ที่ใช้เป็นส่วนหนึ่งของข้อมูลที่จะถูกส่ง โดย LFSR จะเลือกเลขฐานสองที่จะนำมาใช้เป็นค่าเริ่มต้นในการสร้างสัญญาณสุ่ม แล้วจะคำนวณค่าใหม่โดยใช้ฟังก์ชัน XOR บนบิตใน LFSR ที่เลือกไว้เป็นตัวบอกว่าจะเลือกบิตไหนในการสร้างสัญญาณสุ่ม ทำซ้ำจนกว่าจะได้ความยาวที่ต้องการของสัญญาณสุ่ม

2.7.1 Example of Block Linear-feedback shift register spreader circuit



รูปที่ 2.10 Example of Block Linear-feedback shift register

ในรูปที่ 2.7 จากตัวอย่าง LFSR มีชุดของบิตใน register ที่ถูกกำหนดหรือสามารถสลับตำแหน่งโดยอัตโนมัติเมื่อมีการนำข้อมูลเข้าหรือนำข้อมูลออก โดยจะมีค่า input ให้กับบิตของ LFSR ที่ตำแหน่งสุดท้าย แล้วเมื่อบิตที่สุดท้ายของ LFSR เลื่อนไปที่ตำแหน่งแรก มันจะถูกคำนวณใหม่โดย XOR (Exclusive OR) ของบางบิตภายใน LFSR และเลื่อนไปตำแหน่งต่อไป ส่วนผลลัพธ์จะเป็นตัวเลขที่กำหนดโดยขนาดของ LFSR และพารามิเตอร์อื่น ๆ ที่ใช้ในการคำนวณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LFSR มีความสำคัญในการสร้างสุ่มเพราะเป็นวิธีที่ง่ายและมีประสิทธิภาพในการสร้างลำดับตัวเลขที่สุ่ม แต่ก็มีข้อจำกัดเช่นว่าลำดับของ LFSR จะซ้ำตัวในระยะสั้น ๆ และต้องระมัดระวังเพื่อไม่ให้คนที่ไม่ใช่ผู้มีสิทธิ์เข้าถึงสามารถทำการรู้บิตของ LFSR ได้ ซึ่งอาจเป็นการโจมตีที่ใช้ในการเข้ารหัสด้วย

2.8 Analog Modulation Waveform

ในการ Modulate สัญญาณสามารถแบ่งออกได้เป็น 3 รูปแบบ คือ

สัญญาณ 0 : คือการไม่ส่งสัญญาณอะไรออกไป ในช่วงของสัญญาณนั้น

สัญญาณ + : คือการส่งสัญญาณที่มี Amplitude เป็นบวกออกไป ในช่วงของสัญญาณนั้น

สัญญาณ - : คือการส่งสัญญาณที่มี Amplitude เป็นลบออกไป ในช่วงของสัญญาณนั้น

โดยสำหรับการสร้าง Data ในรูปแบบสัญญาณ Digital เพื่อแปลงเป็นสัญญาณ Analog จะใช้ชื่อสัญญาณว่า Chip ขนาด 2 bit มีรูปแบบดังนี้

Chip bit 1 : ทำหน้าที่บอกว่า Chip นั้นจะมีการส่ง Pulse หรือไม่

เท่ากับ 0 : ไม่มีการส่ง Pulse

เท่ากับ 1 : มีการส่ง Pulse

Chip bit 0 : ทำหน้าที่บอกว่า Chip นั้นจะมีการส่ง Pulse เป็นบวกหรือลบ

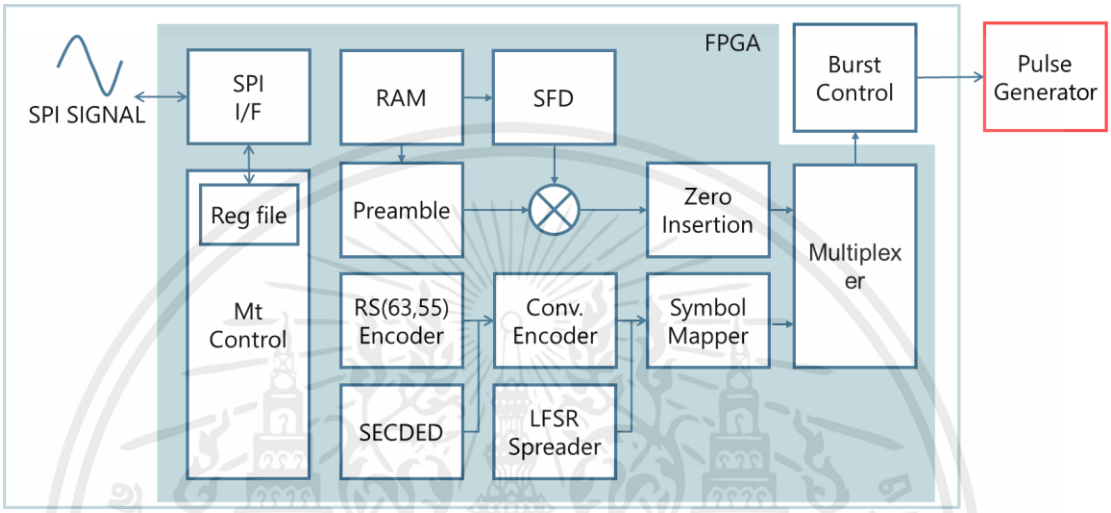
เท่ากับ 0 : ส่ง Pulse เป็นบวก

เท่ากับ 1 : มีการส่ง Pulse เป็นลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
หลักการทำงานและการออกแบบ

3.1 Block diagram



รูปที่ 3.1 Block Diagram ของ UWB IEEE 802.15.4 Transmitter

จาก Block diagram จะแบ่งการทำงานเป็นสองส่วนหลักๆส่วนของ Header และ Data โดยจะสามารถควบคุมการทำงาน ผ่าน SPI Interface ในการเขียนข้อมูล หรือสั่งให้เริ่มการทำงาน เป็นต้น

3.2 Master Control Block

Block นี้ทำหน้าที่ควบคุมการทำงานทั้งหมดของวงจร UWB IEEE 802.15.4 Transmitter ซึ่งจะทำหน้าในการควบคุม Setting Parameter ที่ป้อนเข้าสู่วงจรส่วนต่างๆ ความสามารถในการเข้าถึง Memory Block ของวงจรส่วนต่างๆ และทำหน้าที่ควบคุมทั้งลำดับการทำงาน ให้ทุกๆ Block ทำงานอย่างถูกต้อง ตาม Flowchart โดยมีลำดับการทำงานดังนี้

3.2.1 State Idle

ใน State นี้จะอนุญาตให้ SPI Interface Block สามารถเขียนและอ่าน Ram และ Reg file ได้อย่างอิสระ เพื่อให้ User ทำการป้อน Setting และ Data ที่ต้องการส่ง โดยจะเริ่มทำงานเมื่อ User Write Reg file Status เท่ากับ Start

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 State Initial LFSR

เนื่องจาก LFSR Block จำเป็นต้องมีค่าตั้งต้นในการทำงาน ซึ่งค่า Initial ของ LFSR กำหนดจาก Preamble code โดยตัดศูนย์ทิ้งทั้งหมด แล้วแทนที่ค่าบวกด้วย bit 1 และแทนที่ค่าลบด้วย bit 0 ทำแบบนี้จนครบ Initial state 15 bit และป้อนเท่าสู่ LFSR Block

3.2.3 State Prepare PSDU

เพื่อให้วงจรทำงานได้อย่างมีประสิทธิภาพ จึงได้ออกแบบให้วงจรสามารถทำงานแบบขนานโดยในช่วงที่ทำการส่ง Symbols ของ The Synchronization Header (SHR) ก็จะทำงาน Encoder และเตรียมส่ง Symbols ของ PHY Service Data Unit (PSDU) ไปด้วย

และเนื่องจาก ในช่วงที่ทำการส่งข้อมูล Symbols ของ SHR อยู่นั้นจะมีการใช้งาน Ram ตลอดเวลา ซึ่งต้องเตรียมข้อมูล PSDU ออกมาจาก Ram เอาไว้ก่อน เพื่อนำมาใช้ในขั้นตอน Encode และ Symbol mapper

3.2.4 State Start SHR

ใน State นี้จะเป็นการสั่งสัญญาณ Enable ไปยัง Block Preamble และ SFD เพื่อสั่งให้เริ่มทำงาน

3.2.5 State Reed Solomon & SECDED Encode

ใน State นี้จะทำงาน Reed Solomon Encoder ข้อมูล PSDU 96 bit ได้ผลลัพธ์เป็น Codeword 48 bit และ Encode PHR 13 bit ได้ผลลัพธ์เป็น SECDED check bits 6 bit

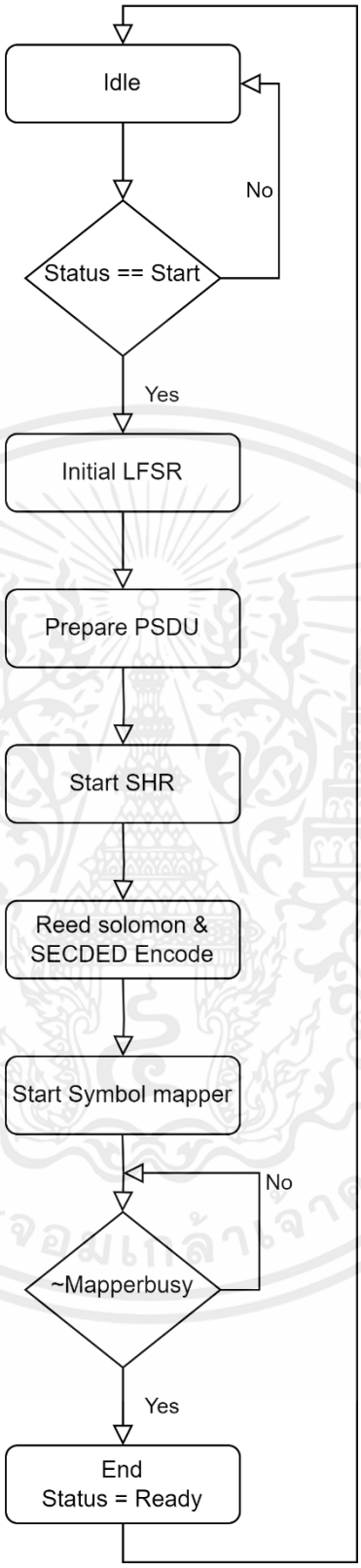
3.2.6 State Start Symbol mapper.

เมื่อเตรียมข้อมูล PSDU และทำการ Encode เรียบร้อยแล้วจะเริ่มสั่งให้ Block Symbol mapper, LFSR, Convolution Encoder ทำงาน แต่ Symbol mapper Block จะรอจนกว่าจะทำการส่ง Symbols ของ SHR เสร็จจึงจะเริ่มทำงาน เพื่อให้ข้อมูล Symbols ที่ส่งมีความต่อเนื่องกัน และเมื่อส่งข้อมูล PSDU ครบทุก bit แล้ว State จะเปลี่ยนเป็น 3.2.7 State End

3.2.7 State End

ใน State นี้จะเป็นการเปลี่ยนค่า Reg file Status ให้กลับมาเป็น Ready อีกครั้งเพื่อรอคำสั่ง Start ครั้งถัดไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



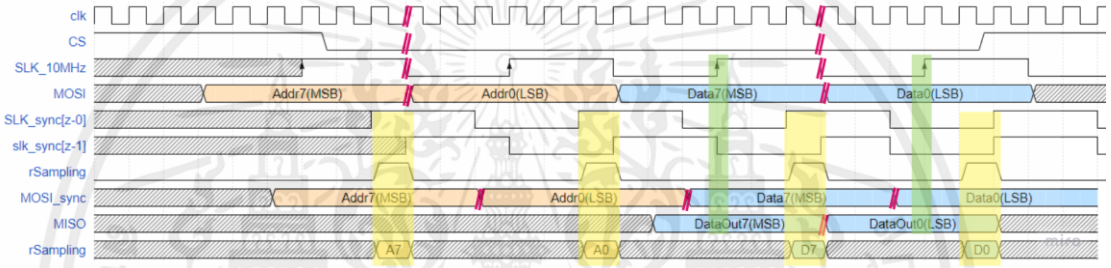
รูปที่ 3.2 Flowchart of Master Control Block

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 SPI Interface Block

เป็นการสื่อสารแบบ SPI Protocol โดย Block นี้จะเป็นตัวหลักกับการสื่อสารภายนอก สามารถทำงานใน Mode (CPOL, CPHA) = (0,0) and (1,1) เป็นการสื่อสารโดยอาศัยการส่งข้อมูลและรับข้อมูลในช่วงเวลาขาขึ้นของสัญญาณ SLK โดยในระบบใช้การส่งข้อมูลนี้เพื่อไปแก้ไขข้อมูลใน Ram และ Regfile โดยวิธีการส่ง MOSI 8 bit แรก จะเป็นส่วนของการกำหนด Address ว่าเป็นส่วน Ram หรือ Regfile แล้วเป็นการเขียนหรือการอ่าน และ MOSI bit ต่อๆมาจะเป็นส่วนของ Data ที่จะนำมาเขียน หรือ เป็นส่วนที่รอ MISO ส่งข้อมูลที่อ่านจาก Ram หรือ Regfile ส่งกลับไปหา Master โดยการส่งจะส่ง MSB มาก่อนตามมาจนถึง LSB

3.3.1 SPI Interface Timing Diagram



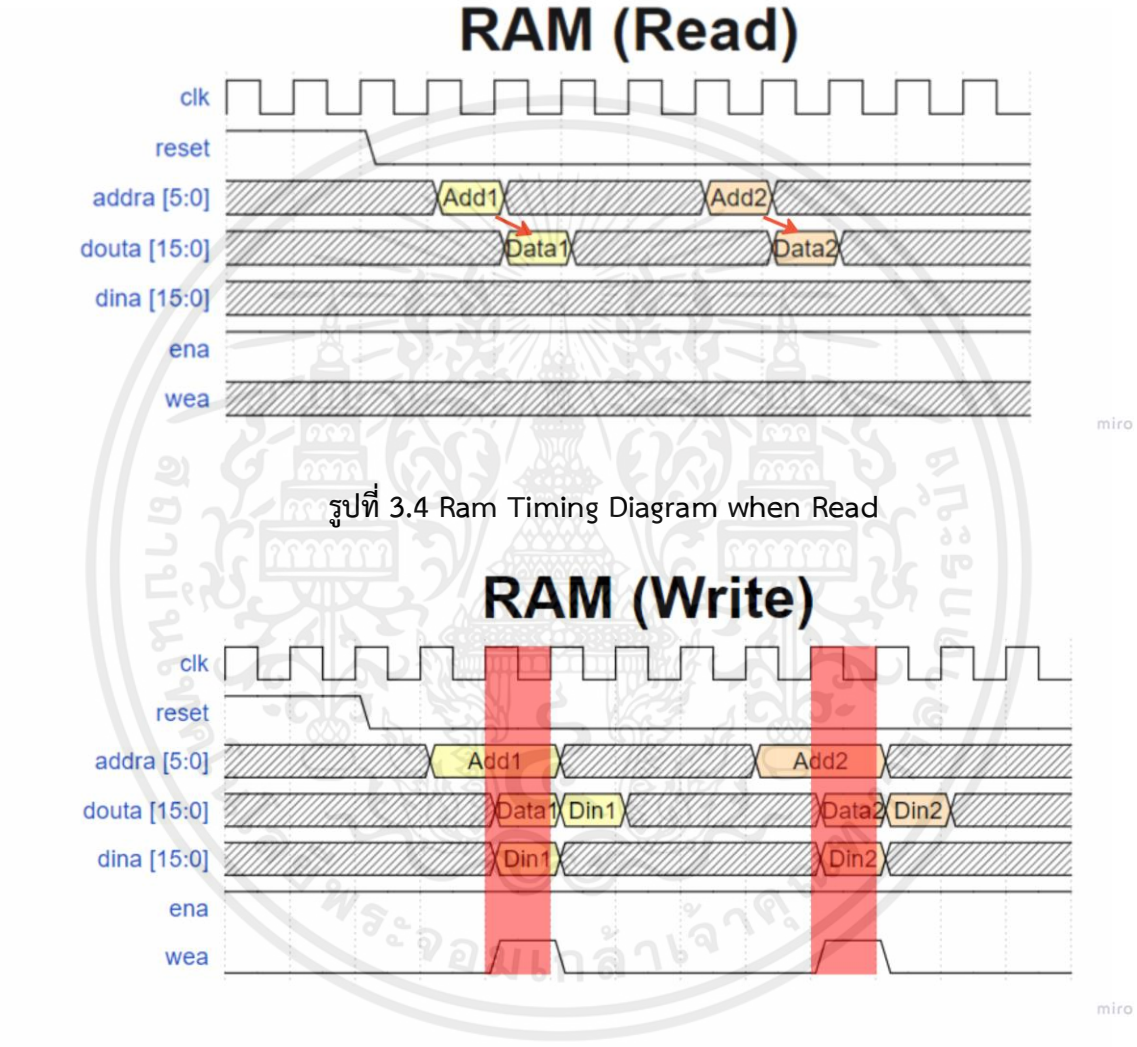
รูปที่ 3.3 SPI Interface Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 Ram

เป็นหน่วยเก็บข้อมูลขนาด 64 Byte โดยมี 32 Address และ 1 Address เก็บ 16 bit Ram มีหน้าที่เก็บข้อมูล Preamble Code, SFD Sequence และ Data Buffer โดย Ram จะเป็นการเขียนจากภายนอกโดยส่งสัญญาณผ่าน SPI protocol

3.4.1 Ram Timing Diagram



รูปที่ 3.4 Ram Timing Diagram when Read

รูปที่ 3.5 Ram Timing Diagram when write

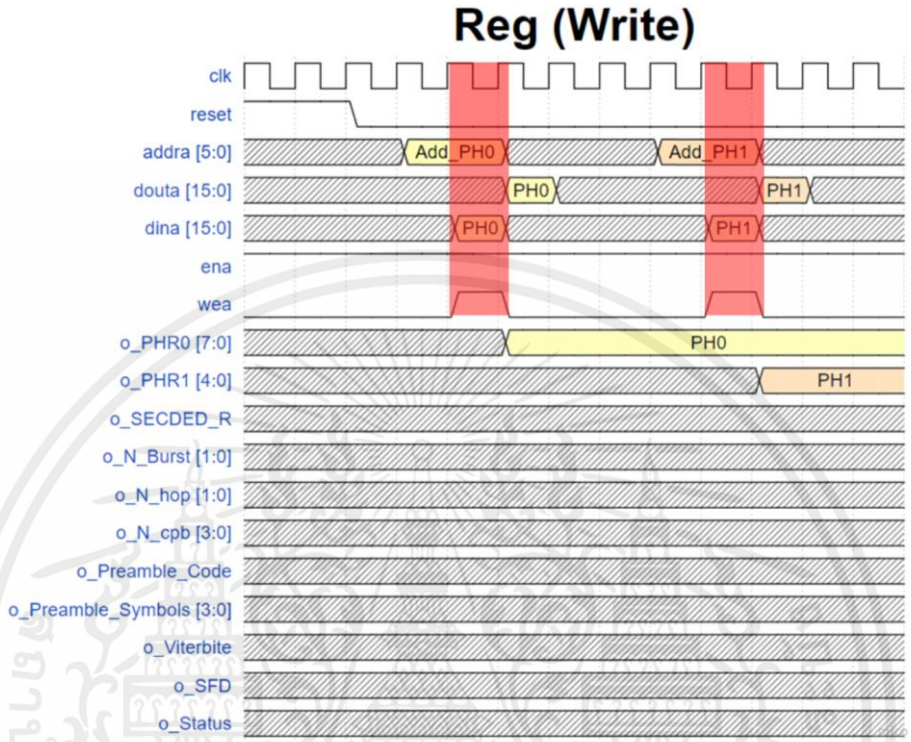
3.5 Regfile

เป็นหน่วยความจำขนาดเล็ก มีหน้าที่แจกจ่ายข้อมูลไปทั้งวงจร โดยหน่วยความจำนี้จะเก็บค่าที่จำเป็นในการ Initial ของแต่ละหน่วยการทำงานของ Block Diagram และจะเก็บจะมี Data rate, Frame Length, Preamble Code Length, Preamble Symbols Length, Preamble

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

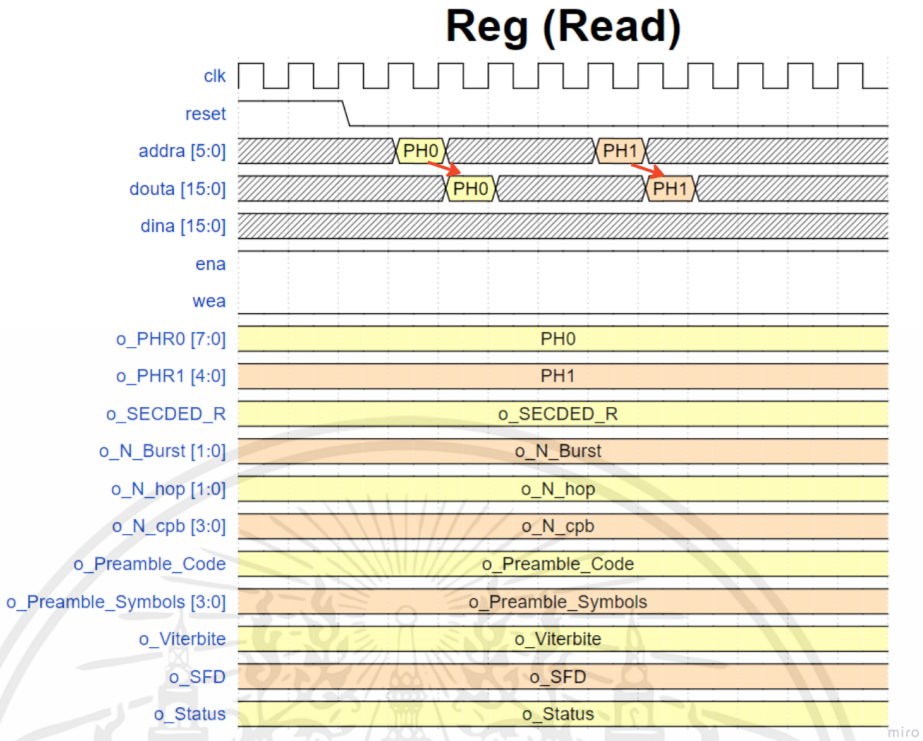
Duration, SECDED Reverse, N Burst, N hop, N cpb, Viteribite rate, SFD Select Sequence และ Status Check โดยข้อมูลเหล่านี้มีผลกับการสร้างสัญญาณ UWB จึงจำเป็นต้องเก็บข้อมูลเอาไว้

3.5.1 Regfile Timing Diagram



รูปที่ 3.6 Reg Timing Diagram when write

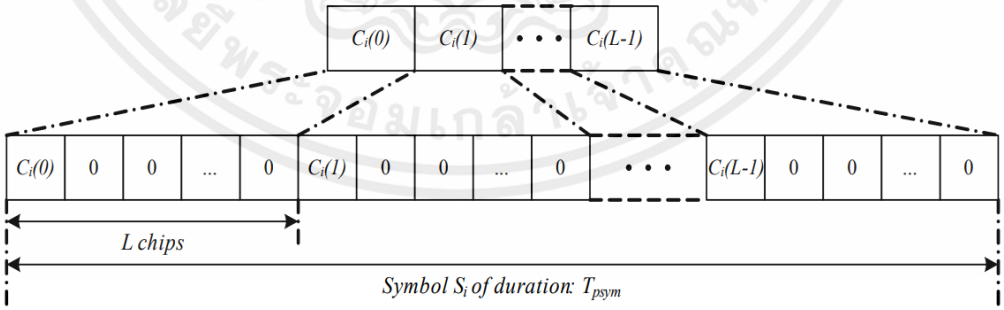
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 Reg Timing Diagram when read

3.6 Preamble Block

จากหัวข้อที่ 2.2 Block นี้มีหน้าที่สร้างสัญญาณ Code Ci(L) และ Ci(L-1) ภายใน Symbol Si ของส่วน The Synchronization Header (SHR) ซึ่งประกอบด้วยส่วนของ Preamble และ SFD ในรูปที่ 3.8



รูปที่ 3.8 Construction of symbol Si from code Ci

โดยหลักการทำงานคือ อ่านข้อมูล Preamble Code sequence ภายใน Ram แล้วส่ง Code Ci ในรูปที่ 3.8 ไปเข้าสู่ SFD Block เพื่อจัดการส่วนของ Start of Frame Delimiter (SFD) และ Zero Insertion Block เพื่อเพิ่ม Zero ต่อท้าย Code Ci ในรูปที่ 3.8 โดยมี Setting ต่างๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Preamble Code Length: ความยาวของ Symbols คือ 31 Code Length และ 127 Code Length

Preamble Symbols Length: จำนวนครั้งในการส่ง Symbols ซ้ำ คือ16,64,128,256,512, 1024,1536,2048,4095 Symbols

SFD Select Sequence: จำนวนครั้งในการส่ง Symbols ซ้ำของส่วน Start of Frame Delimiter (SFD) ซึ่งจะเป็นการส่ง Symbols ซ้ำเหมือนกัน ส่วน Preamble ทุกประการและจะถูกจัดการต่อใน SFD Block

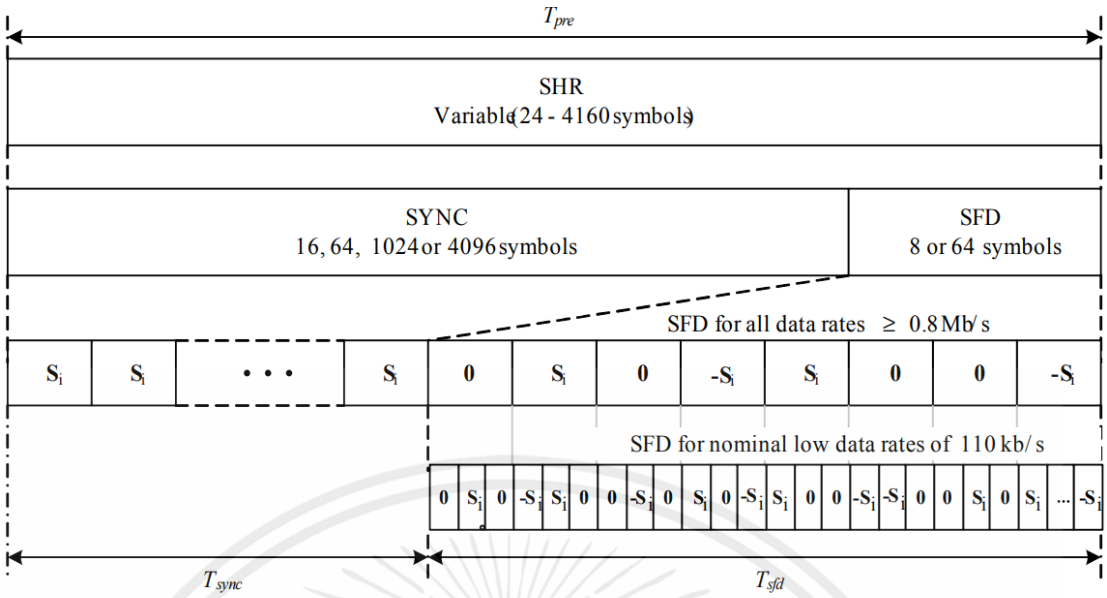
Code index	Code sequence	Code Length
3	-+0++000-+-++00++0+00-0000-0+0-	31
4	0000+-00-00-++++0+-+000+0-0++0-	31
9	+00+000-0--00--+0+0+00-+-++0+0000++-000+00-00--0-+0+0--0-+++0++000+-0+00-0++-0+++00-+00+0+0-0++-+--+000000+00000-+0000-0-000--+	127
10	++00+0-+00+00+000000-000-00--000-0+-+0-0+-0-+00000+-00++0-0+00--+00++-+0+-0+0000-0-0-0-++-+0+00+0+000-+0+++000----+++0000+++0--	127
11	-+-0000+00--00000-0+0+0+-0+00+00+0-00-+++00+000-+0+0-0000+++++-+0+--0+-0+++-0-000+0-+00+0+----000-000000-+00+-0++000++-00++-0-0	127
12	-+0++000000-0+0-+0---+-++00-+0++0+0+0+000-00-00-+00+-++000-+-0-++0-0++++0-00-0++00+0+00++-00+000+-000-0--+0000-0000--0+00000+--	127

รูปที่ 3.9 Useable Code Index of Channel 5

3.7 SFD Block

Block นี้มีหน้าที่ในการจัดการส่วนข้อมูลของ Start of Frame Delimiter (SFD) Sequence ตามหัวข้อที่ 2.2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



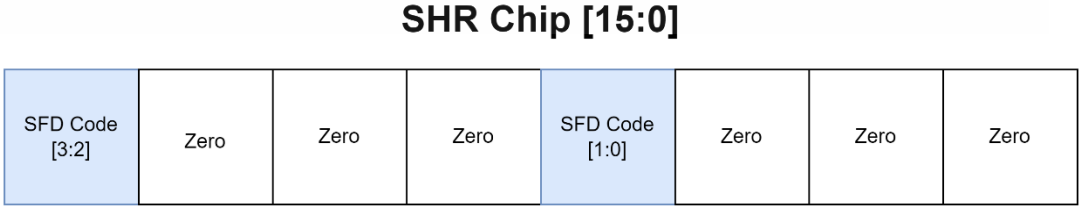
รูปที่ 3.10 SHR preamble structure

จากในรูปที่ 3.10 จะเห็นว่า SFD Sequence ประกอบด้วย Preamble Symbols มีถูกส่งแบบตรงเฟส , ส่งแบบกลับเฟส และ ไม่ส่ง ตาม IEEE Standard SFD Sequence โดยใช้ Length 8 SFD สำหรับ Data Rate นอกเหนือจาก 110 kbps และใช้ Length 64 SFD สำหรับ Data Rate เท่ากับ 110 kbps

The length 8 SFD Sequence คือ 0, +1, 0, -1, +1, 0, 0, -1

The length 64 SFD Sequence คือ 0, +1, 0, -1, +1, 0, 0, -1, 0, +1, 0, -1, +1, 0, 0, -1, -1, 0, 0, +1, 0, -1, 0, +1, 0, +1, 0, 0, 0, -1, 0, -1, 0, -1, 0, 0, +1, 0, -1, -1, 0, -1, +1, 0, 0, 0, 0, +1, +1, 0, 0, -1, -1, -1, +1, -1, +1, +1, 0, 0, 0, 0, +1, +1

3.8 Zero Insertion Block



รูปที่ 3.11 องค์ประกอบของ SHR Chip 16 bit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block นี้ทำหน้าที่เพิ่มข้อมูล ศูนย์ (0) ต่อท้ายข้อมูล SFD Code โดยข้อมูลหนึ่ง Chip มีขนาด 2 bit ค่าที่มีได้คือ ศูนย์ (0) , บวก (+) และ ลบ (-)

ข้อมูล Input SFD Code จาก SFD Block มีขนาด 2 Chip 4 bit เมื่อเพิ่มข้อมูล ศูนย์ (0) จำนวน 3 Chip ต่อท้าย SFD Code แต่ละ Chip แล้วจะได้ Output คือ SHR Chip ขนาด 8 Chip 16 bit ส่งออกไปยัง Multiplexer Block

3.9 Linear feedback shift registers Reed-Solomon encoder Block

Block นี้เป็นการเข้ารหัส Reed Solomon โดยใช้วงจร Linear feedback shift registers (LSFR) เพื่อส่ง Message เข้าไปทีละตัว เพื่อให้เป็นไปตามสมการการสร้าง Code word

โดยจะทำกระบวนการทางคณิตศาสตร์เป็นไปตาม GF(2^8) และสร้าง RS(63,55) โดยความยาวของ Code word คือ 8 symbol Forming Code words

$$C(x) = g(x)M(x) \tag{3.9.1}$$

กำหนดให้ message หรือ data ที่จะนำมาเข้ารหัสเขียนในรูปสมการ polynomial จะได้ว่า

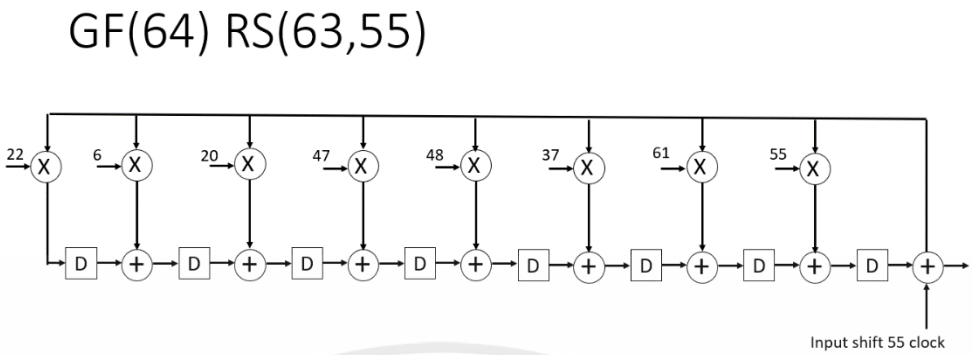
$$M(x) = m_0 + m_1x + m_2x^2 + \cdots + m_{k-2}x^{k-2} + m_{k-1}x^{k-1} \tag{3.9.2}$$

และ code word จะเขียนอยู่ในรูป

$$C(x) = c_0 + c_1x + c_2x^2 + \cdots + c_{n-2}x^{n-2} + c_{n-1}x^{n-1} \tag{3.9.3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

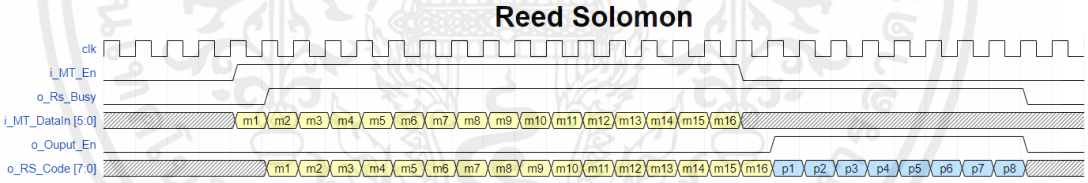
3.9.1 Diagram for digital circuit



รูปที่ 3.12 Diagram for digital circuit

จาก Diagram ของ RS(63,55) นั้นจะเห็นได้ว่าจาก Polynomial Generator จะสร้าง Array ของ Galois เป็นไปตาม [22 6 20 47 48 37 61 55] จากนั้นจะใช้ทั้ง 55 clock เพื่อสร้าง Code world 8 symbols

3.9.2 Reed Solomon Timing Diagram



รูปที่ 3.13 Example Reed Solomon Timing Diagram

จาก Timing Diagram จะเห็นได้ว่าจะทำการส่ง Message ทีละ Clock เพื่อสร้าง parity หรือ codeword ในตัวอย่าง Timing Diagram นั้นแสดงถึงการส่ง message เพียงแค่ 16 message เท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10 SECDED Block

Block นี้จะทำการเข้ารหัส SECDED และถูกบรรจุไปในส่วนของ PHR ใน protocol ของ Ultra-wide band

Bit 0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
R1	R0	L6	L5	L4	L3	L2	L1	L0	RNG	EXT	P1	P0	C5	C4	C3	C2	C1	C0
Data Rate		Frame Length							Ranging Packet	Header Extension	Preamble Duration		SECDED Check Bits					

รูปที่ 3.14 PHR Diagram

โดยจะมี 2 โหมดการทำงาน โหมดการทำงานแบบปกติจะเป็นไปตามรูปที่ 3.15

C0 = XOR(R0, R1, L0, L2, L4, L5, EXT, P1)

C1 = XOR(R1, L2, L3, L5, L6, RNG, EXT, P0)

C2 = XOR(R0, L0, L1, L5, L6, RNG, EXT)

C3 = XOR(L0, L1, L2, L3, L4, RNG, EXT)

C4 = XOR(P0, P1)

C5 = XOR(R1, R0, L6, L5, L4, L3, L2, L1, L0, RNG, EXT, P1, P0, C4, C3, C2, C1, C0)

รูปที่ 3.15 การคำนวณ SECDED Check bits Mode not reverse

โหมดการทำงานแบบ Reverse จะเป็นไปตามรูปที่ 3.16

S0 = *NOT* (C0)

S1 = *NOT* (C1)

S2 = *NOT* (C2)

S3 = *NOT* (C3)

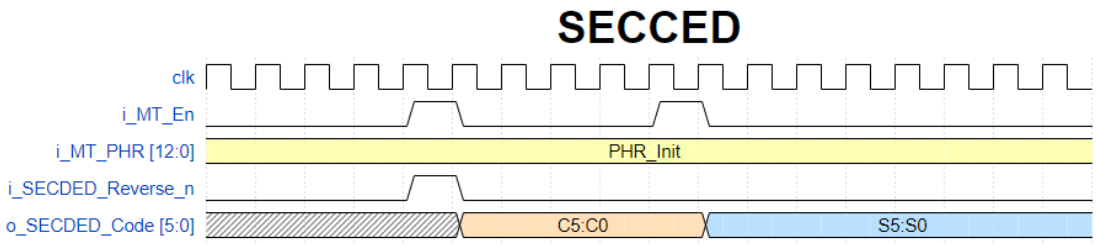
S4 = *NOT* (C4)

S5 = *NOT* (C5)

รูปที่ 3.16 การคำนวณ SECDED Check bits Mode reverse

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10.1 SECDED Timing Diagram

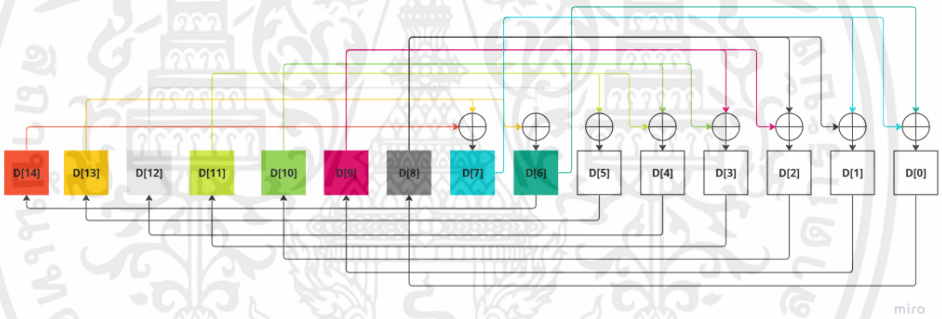


รูปที่ 3.17 Example of SECDED Timing Diagram

จาก Timing Diagram นั้นจะทำงานตามสัญญาณ i_MT_En และจะทำงานในโหมดไหนก็ขึ้นอยู่กับ i_SECDED_Reverse_n

3.11 LSFR Spreader Block

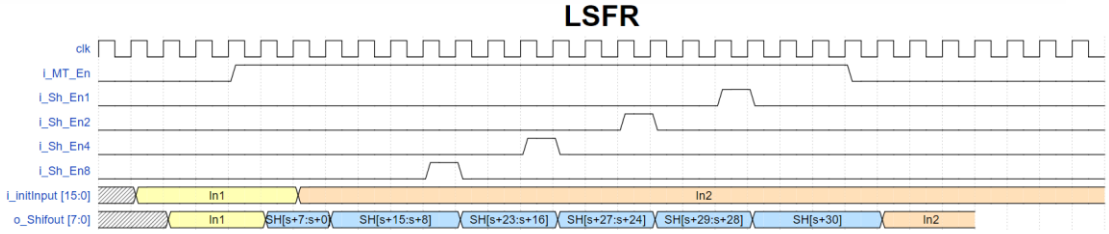
Block Diagram สำหรับการทำงาน LSFR โดยจะทำงานเป็นดังรูป 3.11.1



รูปที่ 3.18 LSFR Spreader Block Diagram

โดยจะใช้หลักการการจากหัวข้อ LSFR เนื่องจากความถี่ของ Clock นั้นจะอยู่ที่ 62.5 MHz แต่สัญญาณที่จะผลิตออกมาเป็น 500 MHz ดังนั้นจึงจำเป็นต้องทำโหมดการ shift สัญญาณที่ 1, 2, 4 และ 8

3.11.1 LSFR Timing Diagram

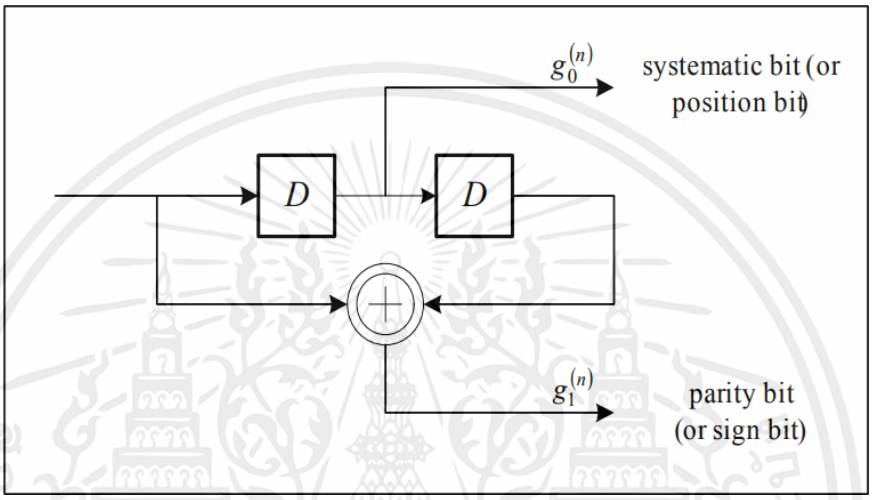


รูปที่ 3.19 LSFR Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก Timing Diagram จะควบคุมการทำงานโดย Master Control โดยสัญญาณ i_MT_En เป็นสัญญาณเริ่มต้นการทำงาน และ มีสัญญาณ i_Sh_En1, i_Sh_En2, i_Sh_En4 และ i_Sh_En8 เป็นสัญญาณสำหรับควบคุมการทำงานของวงจร โดยจะสามารถสั่งให้ ทำงาน 1 รอบ, 2 รอบ, 4 รอบ และ 8 รอบ ตามลำดับ โดยจะพึ่งสัญญาณ Initial จาก i_InitInput เมื่อสัญญาณ MT นั้นเป็น 0 จะนำค่าจาก i_InitInput เข้ามาในวงจร

3.12 Convolution Encoder Block



รูปที่ 3.20 Convolutional Encoder Block Diagram

Block นี้มีหน้าที่ Encode Data ส่วนของ PHY และ PSDU ดังใน Block Diagram โดยจะได้ Output เป็น

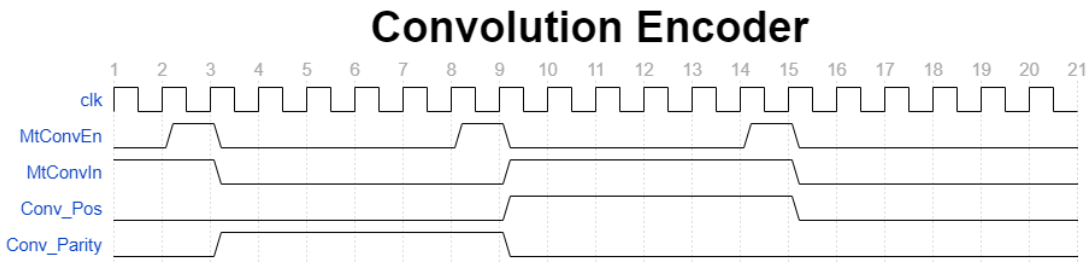
Position bit = Data in(L) : ทำหน้าที่กำหนดว่าจะส่ง Burst ในส่วน interval ไหนของ Symbol

Parity bit = Data in(L) xor Data in(L+1) : ทำหน้าที่กำหนดว่า Burst ที่ส่งออกไปจะตรงเฟสหรือกลับเฟส

Output ทั้งสองจะถูกนำมาใช้ในการส่ง Symbols ส่วนของ PHY และ PSDU ใน Symbol Mapper Block

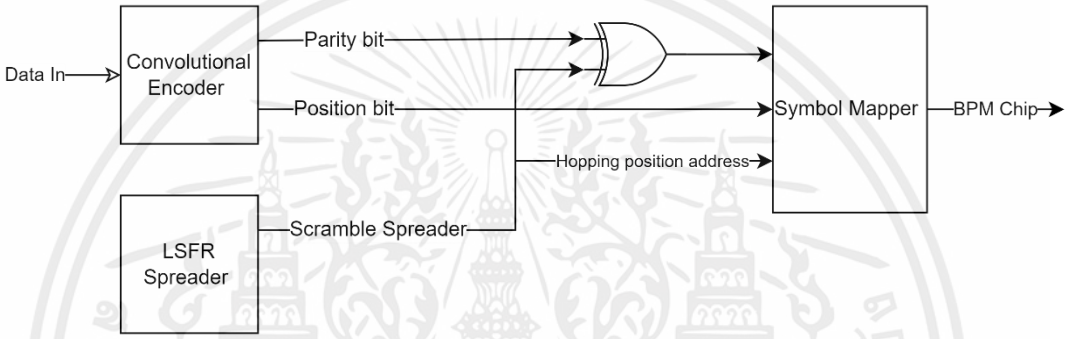
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.12.1 Convolutional Encoder Timing Diagram



รูปที่ 3.21 Convolutional Encoder Timing Diagram

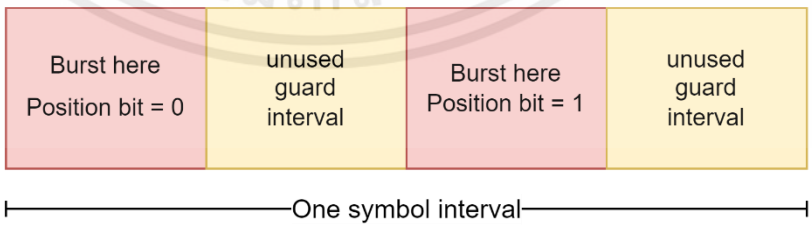
3.13 Symbol Mapper Block



รูปที่ 3.22 Symbol Mapper Block Diagram

Block ทำหน้าที่ในการ BPM-BPSK modulation ข้อมูล PHY และ PSDU โดยใช้ข้อมูล Position bit และ Parity bit จาก Convolutional Encoder Block และข้อมูล Scramble Spreader จาก LSFR Spreader Block มาทำการ Modulate ให้ได้ Symbol Structure ดังรูปต่อไปนี้

Symbol interval: แบ่ง Symbol ออกเป็น 4 ส่วน ดังรูปที่ 3.23



รูปที่ 3.23 One symbol interval

N burst: จำนวนส่วนที่สามารถ burst ได้ในหนึ่ง Symbol

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

N hop: จำนวนตำแหน่งที่สามารถเลือก burst ได้ โดย Hopping position address กำหนดตำแหน่งตาม Spreading Code จาก LSFR Spreader Block

N cpb: จำนวน Chip per burst ที่ส่งออกปในหนึ่ง Symbol โดย Chip หาได้จาก Spreading Code และใช้ Parity bit กำหนดว่า Chip ที่ส่งออกไปจะตรงเฟสหรือกลับเฟส

Symbol Rate: ความเร็วในการส่ง Symbol per second

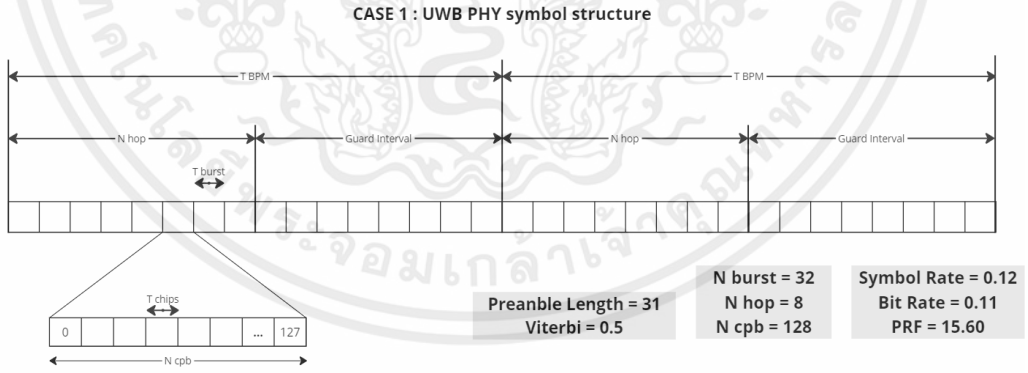
Bit Rate: ความเร็วในการส่ง Bit per second หรือเลือกอีกชื่อว่า Data Rate

PRF: Pulse repetition frequency ค่าเฉลี่ยจำนวน Pulse ที่ถูกส่งต่อจำนวน Pulse รวมทั้งหมดใน Symbol

โดยสามารถ Setting การส่งข้อมูล UWB ได้ทั้งหมด 9 รูปแบบดังต่อไปนี้ โดยแบ่งการส่งข้อมูล PHY และ PSDU แยกจากกัน แต่ยังคงอยู่ในช่วง PRF เดียวกัน

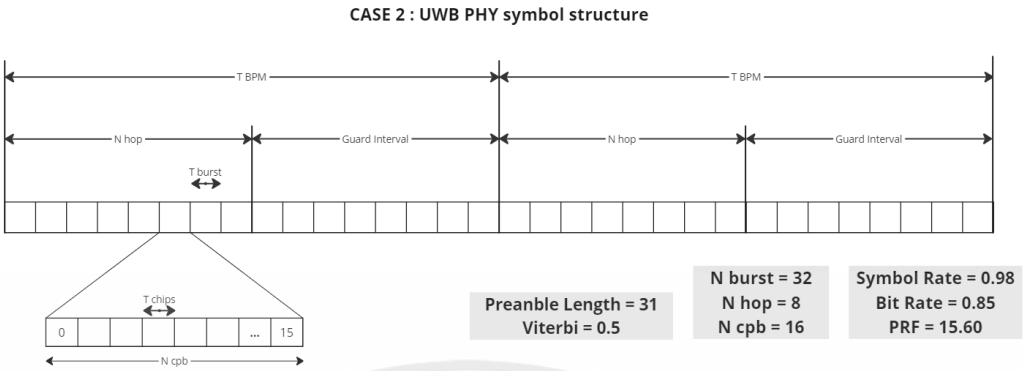
PHY: จะส่งข้อมูลด้วยความเร็ว Bit Rate เท่ากับ PSDU ในกรณีที่ Bit Rate ของ PSDU <= 850 kbps และ ส่งข้อมูลด้วยความเร็ว Bit Rate เท่ากับ 850 kbps ในกรณีที่ Bit Rate ของ PSDU > 850 kbps

PSDU: จะส่งข้อมูลด้วยความเร็ว Bit Rate ตามที่ Setting เอาไว้ใน PHY

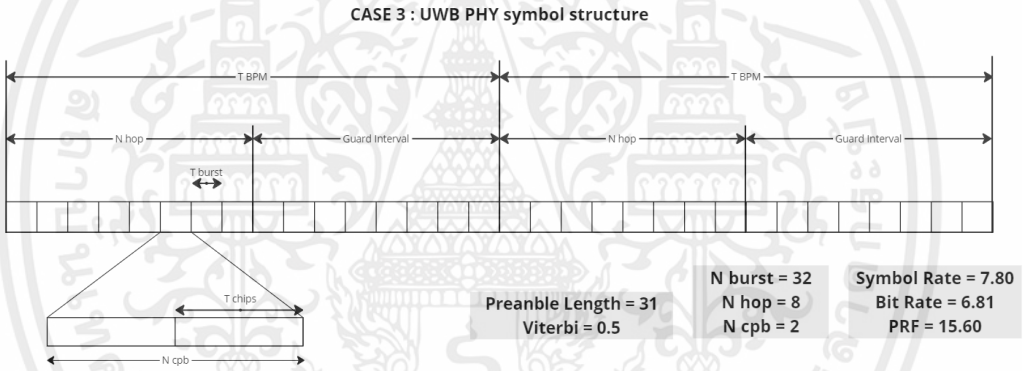


รูปที่ 3.24 CASE 1 : UWB PHY symbol structure

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

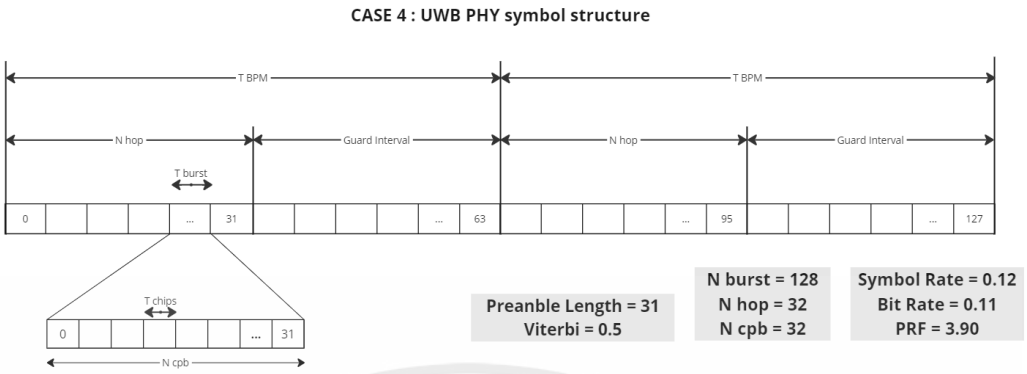


รูปที่ 3.25 CASE 2 : UWB PHY symbol structure

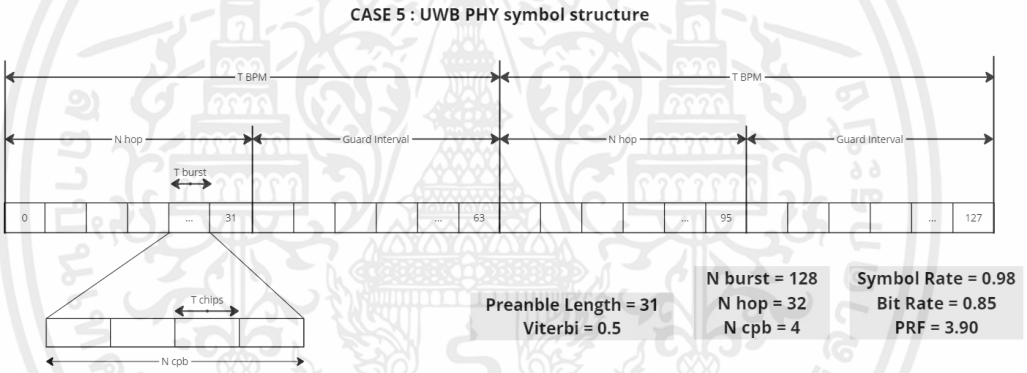


รูปที่ 3.26 CASE 3 : UWB PHY symbol structure

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

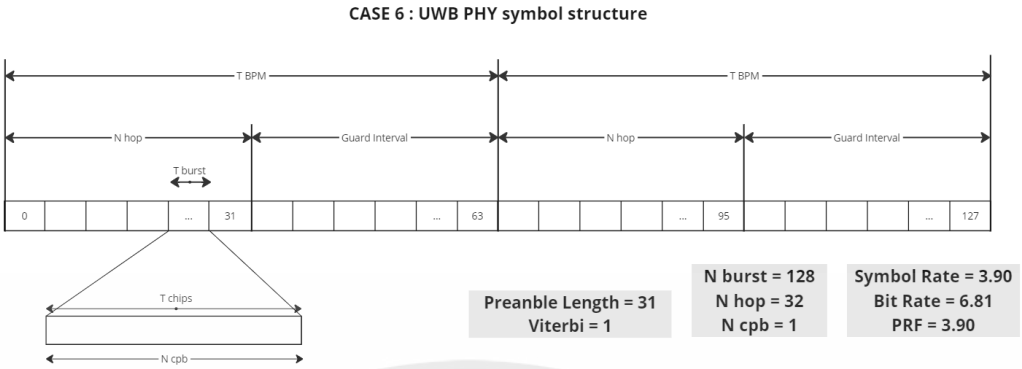


รูปที่ 3.27 CASE 4 : UWB PHY symbol structure

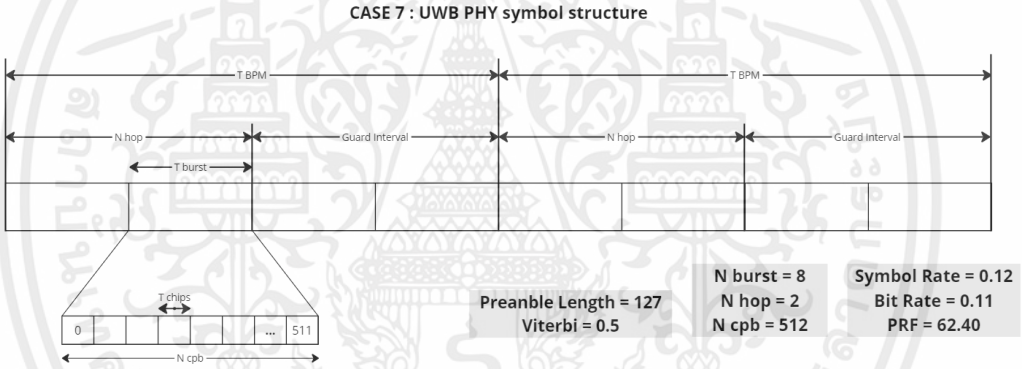


รูปที่ 3.28 CASE 5 : UWB PHY symbol structure

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

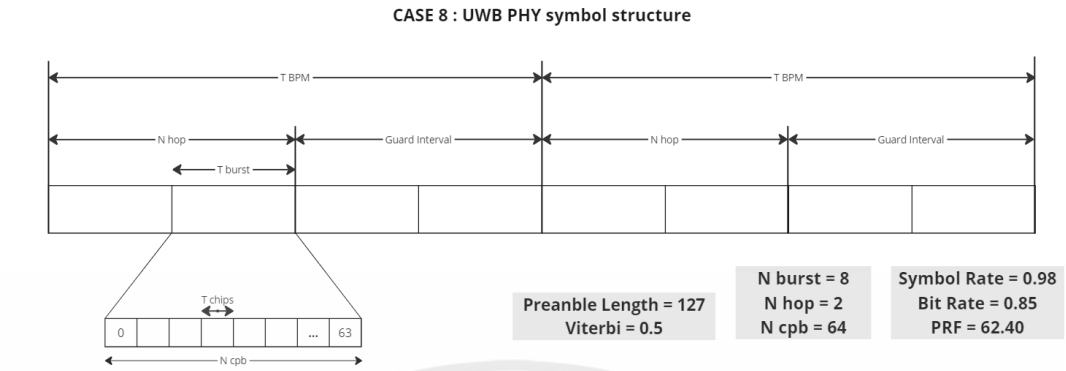


รูปที่ 3.29 CASE 6 : UWB PHY symbol structure

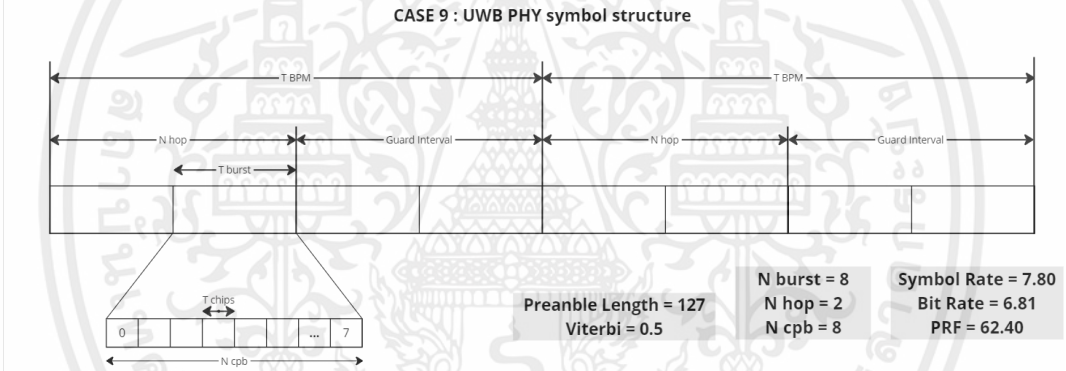


รูปที่ 3.30 CASE 7 : UWB PHY symbol structure

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.31 CASE 8 : UWB PHY symbol structure



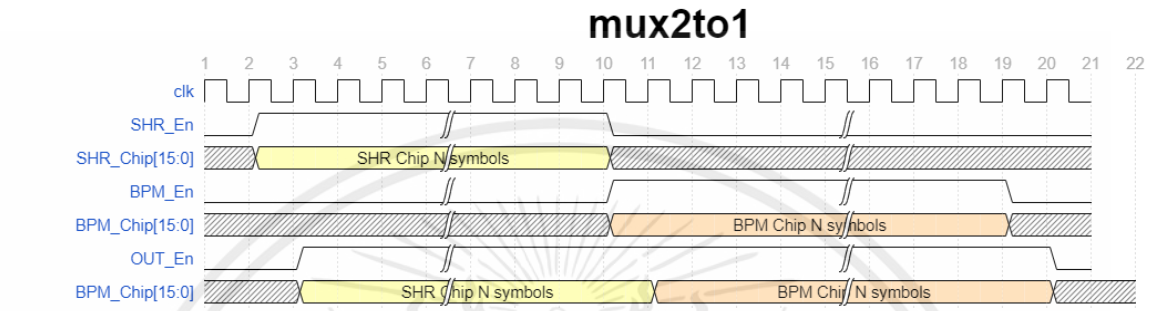
รูปที่ 3.32 CASE 9 : UWB PHY symbol structure

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.14 Multiplexer Block

Block นี้ทำหน้าที่ในการ Multiplexer สัญญาณ SHR Chip ขนาด 16 bit กับ สัญญาณ BPM Chip ขนาด 16 bit ให้สัญญาณทั้งสองมีความต่อเนื่องกัน และส่ง Output คือ Out Chip ขนาด 16 bit ไปจากบอร์ด FPGA

3.14.1 Multiplexer2to1 Timing Diagram



รูปที่ 3.33 Multiplexer2to1 Timing Diagram

3.15 Channel and config Support on this circuit

Channel Number	Peak PRF MHz	Bandwidth MHz	Preamble Code Length	Modulation & Coding			Data Symbol Structure						Data		
				Viterbi Rate	RS Rate	Overall FEC Rate	#Burst Positions per Symbol N_{burst}	# Hop Bursts N_{hop}	# Chips Per Burst N_{cpb}	#Chips Per Symbol	Burst Duration T_{burst} (ns)	Symbol Duration T_{sym} (ns)	Symbol Rate (MHz)	Bit Rate Mb/s	Mean PRF (MHz)
	499.2	499.2	31	0.5	0.87	0.44	32	8	128	4096	256.41	8205.13	0.12	0.11	15.60
{0:3, 5:6,	499.2	499.2	31	0.5	0.87	0.44	32	8	16	512	32.05	1025.64	0.98	0.85	15.60
8:10, 12:14}	499.2	499.2	31	0.5	0.87	0.44	32	8	2	64	4.01	128.21	7.80	6.81	15.60
	499.2	499.2	31	1	0.87	0.87	32	8	1	32	2.00	64.10	15.60	27.24	15.60
	499.2	499.2	31	0.5	0.87	0.44	128	32	32	4096	64.10	8205.13	0.12	0.11	3.90
{0:3, 5:6,	499.2	499.2	31	0.5	0.87	0.44	128	32	4	512	8.01	1025.64	0.98	0.85	3.90
8:10, 12:14}	499.2	499.2	31	0.5	0.87	0.44	128	32	2	256	4.01	512.82	1.95	1.70	3.90
	499.2	499.2	31	1	0.87	0.87	128	32	1	128	2.00	256.41	3.90	6.81	3.90
	499.2	499.2	127	0.5	0.87	0.44	8	2	512	4096	1025.64	8205.13	0.12	0.11	62.40
{0:3, 5:6,	499.2	499.2	127	0.5	0.87	0.44	8	2	64	512	128.21	1025.64	0.98	0.85	62.40
8:10, 12:14}	499.2	499.2	127	0.5	0.87	0.44	8	2	8	64	16.03	128.21	7.80	6.81	62.40
	499.2	499.2	127	0.5	0.87	0.44	8	2	2	16	4.01	32.05	31.20	27.24	62.40

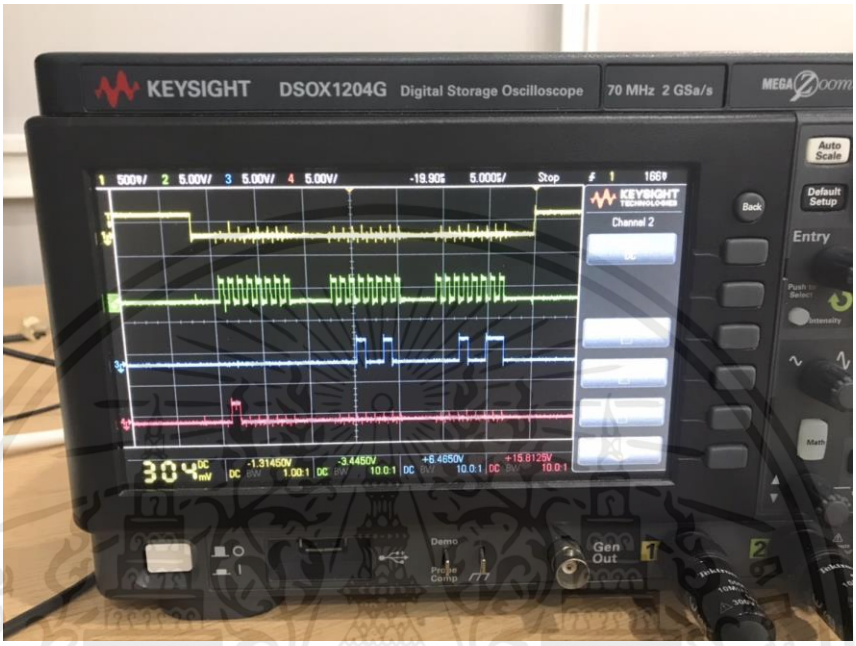
รูปที่ 3.34 รูปภาพแสดงการทำงานที่ Support สำหรับการสื่อสารภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

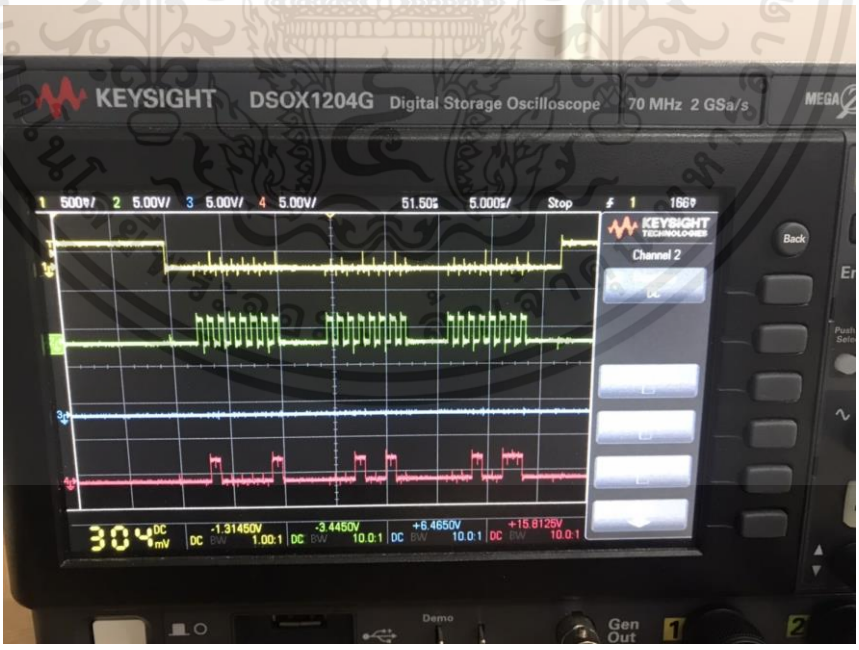
บทที่ 4

ผลการทดลอง

4.1 การทดลอง SPI Protocol จาก SPI Interface Block



รูปที่ 4.1 รูปผลการทดลอง SPI Protocol read data

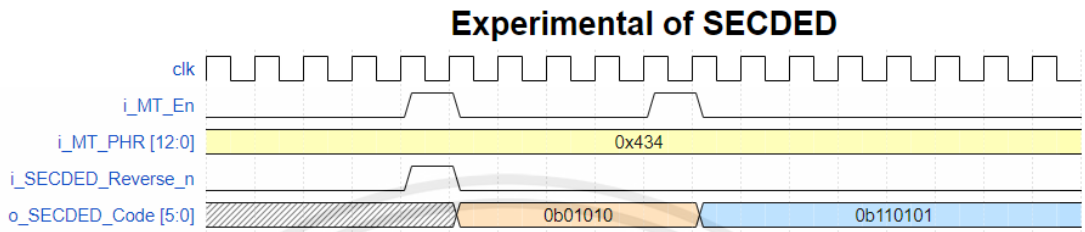


รูปที่ 4.2 รูปผลการทดลอง SPI Protocol write data

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการทดลองโดยนำวงจรไป Test บนบอร์ด CMODA7 FPGA โดยทำตัวเป็น Slave เชื่อมต่อกับ Arduino nano โดยทำตัวเป็น master Test สื่อสารผ่าน SPI Protocol ผลปรากฏว่าสามารถสื่อสารได้อย่างถูกต้อง

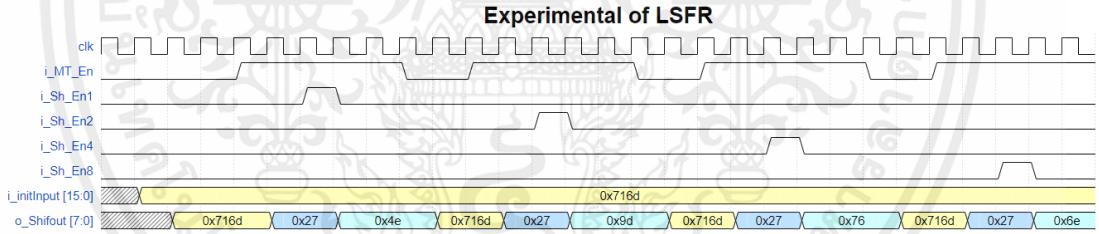
4.2 การทดลอง SEDED Encoder Block สร้าง Password code



รูปที่ 4.3 Timing Diagram of experimental SECDED Encoder

เมื่อทำการ Simulation วงจรของ SECDED โดยมีค่า Initial เป็น 0x434 และเมื่อทำการ Toggle i_MT_En จะสั่งให้ทำการ Encoder แบบ Mode ไม่ Reverse ได้ 0b01010 และ Mode Reverse ได้ 0b110101 และเป็นไปอย่างถูกต้อง

4.3 การทดลอง LSFR Encoder Block สร้าง Password code

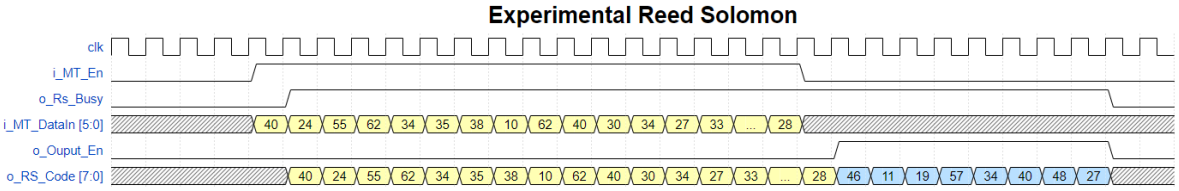


รูปที่ 4.4 Timing Diagram of experimental LSFR Encoder

เมื่อทำการ Simulation วงจรของ LSFR โดยมีค่า Initial เป็น 0x716d และเมื่อทำการ Shift ทีละ 1,2,4,8 จะได้ output เป็น 0x04e,0x9d,0x76 และ 0x64 ตามลำดับ และเป็นไปอย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

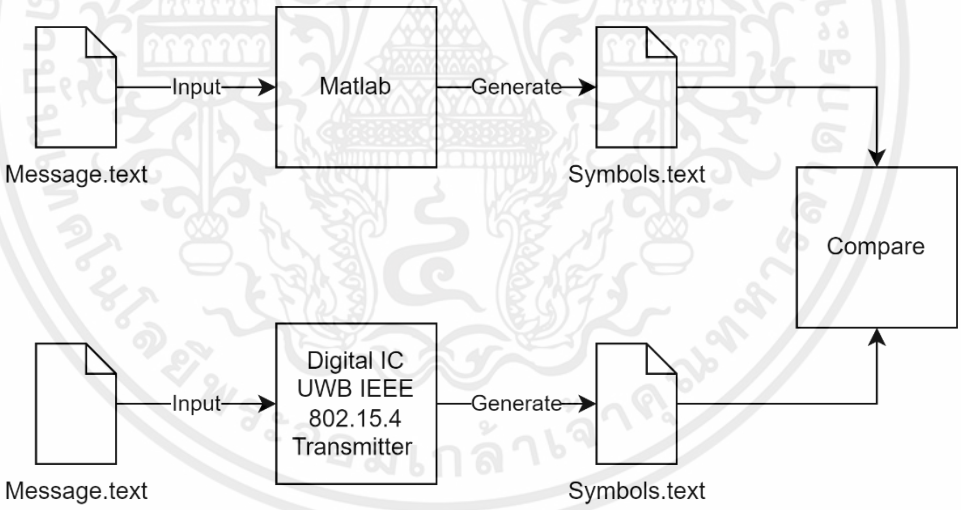
4.4 การทดลอง Reed Solomon Block สร้าง Password code



รูปที่ 4.5 Timing Diagram of experimental Reed Solomon Encoder

จากการทดลองพบว่าเมื่อนำ Message โดยมีค่าเป็น [40, 24, 55, 62, 34, 35, 38, 10, 62, 40, 30, 34, 27, 33, 10, 52, 23, 47, 29, 38, 5, 45, 10, 36, 25, 59, 56, 54, 10, 6, 58, 41, 39, 37, 10, 17, 49, 18, 26, 14, 14, 61, 62, 37, 32, 15, 20, 53, 48, 43, 63, 34, 25, 6, 28] เข้าไปและตรวจสอบ code word ปรากฏว่าถูกต้องตามที่ MATLAB library ได้คำนวณไว้ [27, 48, 40 ,34, 57, 19, 11, 46]

4.5 การทดลอง Digital Integrated Circuits for UWB IEEE 802.15.4 Transmitter



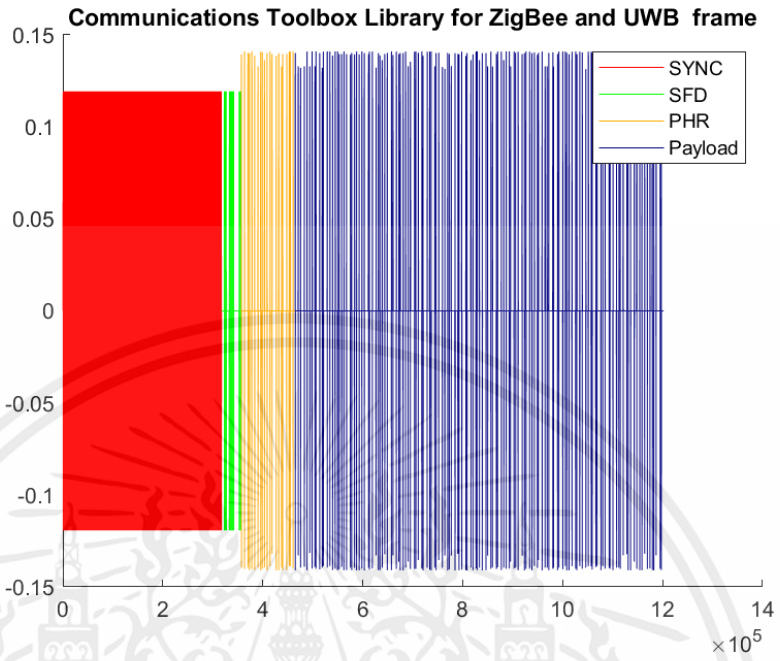
รูปที่ 4.6 UWB IEEE 802.15.4 Transmitter Compare with MATLAB Block Diagram

การทดลองนี้เป็นการทดลองการทำงานของ Digital IC for UWB Transmitter เป็นการทดสอบการทำงานรวมทั้งหมดใน IC ตั้งแต่การเขียนข้อมูลการ Setting และ คำสั่งเริ่มต้นการทำงานผ่าน SPI interface ไปจนถึงการส่งข้อมูล Output เป็น Symbols ออกมาจาก FPGA

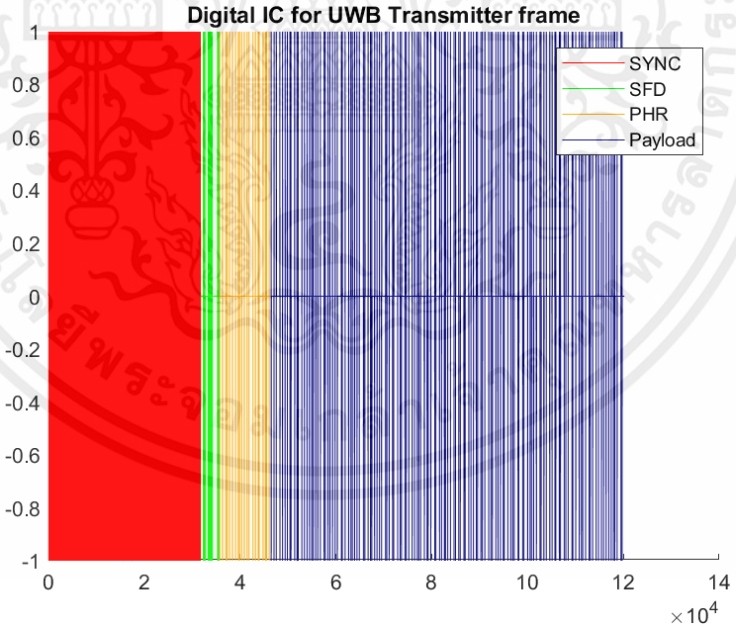
โดยทำการทดลองโดยใช้วิธีการเปรียบเทียบการทำงานของ Digital IC for UWB Transmitter ที่เป็น Hardware ที่ออกแบบเอง นำมาเปรียบเทียบกับ Communications Toolbox

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Library for ZigBee and UWB ซึ่งเป็น Software ของ MATLAB โดยเปรียบเทียบว่าเมื่อส่งข้อความชุดเดียวกัน และใช้ Setting เดียวกัน Waveform ที่สร้างขึ้นมาจะเหมือนกันหรือไม่



รูปที่ 4.7 Waveform generate by MATLAB Toolbox

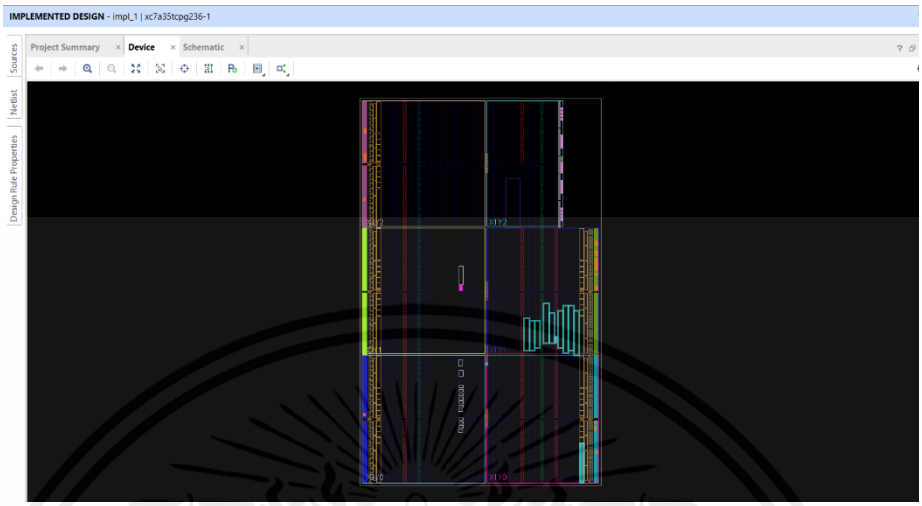


รูปที่ 4.8 Waveform generate by Digital IC for UWB Transmitter

จากการทดลองพบว่าเมื่อนำ Waveform ที่สร้างจาก MATLAB Toolbox มาเปรียบเทียบกับ Waveform ที่สร้างจาก Digital IC for UWB Transmitter ได้ผลลัพธ์เหมือนกันในทุกสถานการณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 การทดสอบโดยการทำ Implementation



รูปที่ 4.9 Floorplan of IC

Utilization Post-Synthesis | **Post-Implementation**

Graph | **Table**

Resource	Utilization	Available	Utilization %
LUT	749	20800	3.60
FF	670	41600	1.61
BRAM	0.50	50	1.00
IO	23	106	21.70
BUFG	3	32	9.38
MMCM	1	5	20.00

รูปที่ 4.10 Utilization Post-Implementation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Design Timing Summary

Setup		Hold		Pulse Width	
Worst Negative Slack (WNS):	5.922 ns	Worst Hold Slack (WHS):	0.099 ns	Worst Pulse Width Slack (WPWS):	7.500 ns
Total Negative Slack (TNS):	0.000 ns	Total Hold Slack (THS):	0.000 ns	Total Pulse Width Negative Slack (TPWS):	0.000 ns
Number of Failing Endpoints:	0	Number of Failing Endpoints:	0	Number of Failing Endpoints:	0
Total Number of Endpoints:	1877	Total Number of Endpoints:	1877	Total Number of Endpoints:	679

All user specified timing constraints are met.

รูปที่ 4.11 Design Timing Summary

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการทดลอง

จากการทดลองที่ 4.1 SPI Protocol จาก SPI Interface Block ผลปรากฏว่าสามารถส่งและรับข้อมูลได้อย่างถูกต้องตาม SPI Protocol และสามารถสื่อสารกับตัวบอร์ด CMOD A7 กับบอร์ด Arduino nano

จากการทดลองที่ 4.2 SEDED Encoder Block สร้าง Password code ผลปรากฏว่าสามารถเข้ารหัส โดยกำหนด Mode การทำงานได้ และเมื่อตรวจสอบผ่าน MATLAB แล้วปรากฏว่าทำงานได้อย่างถูกต้อง

จากการทดลองที่ 4.3 LSFR Encoder Block สร้าง Password code ผลปรากฏว่าสามารถเข้ารหัสโดยใช้ความถี่ 62.5 MHz ในการสร้างรหัสที่ล่ะ 8 เพื่อลดเวลาการทำงานจริงจาก 500 MHz และเมื่อตรวจสอบผ่าน MATLAB แล้วปรากฏว่าทำงานได้อย่างถูกต้อง

จากการทดลองที่ 4.4 Reed Solomon Block สร้าง Password code ผลปรากฏว่าสามารถเข้ารหัสโดยเป็นไปตามสเปก GF(64) RS(63,55) โดยเมื่อนำ Input เข้าไปจนครบ จะสามารถสร้างรหัสได้ 8 symbol และเมื่อตรวจสอบผ่าน MATLAB แล้วปรากฏว่าทำงานได้อย่างถูกต้อง

จากการทดลองที่ 4.5 Digital Integrated Circuits for UWB IEEE 802.15.4 Transmitter โดยหลังจากทำการทดลอง Simulation ทั้ง 9 สถานการณ์และเทียบ output กับ MATLAB ปรากฏว่าทำงานได้อย่างถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] MODELING, SIMULATION, AND IMPLEMENTATION OF REED SOLOMON ENCODER/DECODER SYSTEM. สืบค้นเมื่อ 1 กุมภาพันธ์ 2566
จาก. https://scholarworks.calstate.edu/downloads/hh63t013s

[2] Crypto: เรื่อง Nonce ๆ ของ Stream Cipher Part 2 สืบค้นเมื่อ 10 เมษายน 2566
จาก. https://suam.wtf/posts/nonce-reuse-attack-on-stream-cipher-2

[3] The Very Basics of Groups, Rings, and Fields. สืบค้นเมื่อ 19 เมษายน 2566
จาก. https://www-users.cse.umn.edu/~brubaker/docs/152/152groups.pdf

[4] Reed Solomon Galois Fields Theory สืบค้นเมื่อ 25 เมษายน 2566
จาก. https://content.sakai.rutgers.edu/access/content/user/ak892

[5] Reed-Solomon Codes An introduction to Reed-Solomon codes: principles, architecture, and implementation สืบค้นเมื่อ 30 เมษายน 2566
จาก https://www.cs.cmu.edu/~guyb/realworld/reedsolomon

[6] Hamming code สืบค้นเมื่อ 16 เมษายน 2566
จาก https://en.wikipedia.org/wiki/Hamming_code

[7] LFSR in an FPGA – VHDL & Verilog Code สืบค้นเมื่อ 1 มกราคม 2566
จาก https://nandland.com/lfsr-linear-feedback-shift-register/

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้