

ออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดี

Class D power amplifier IC design



ก้องเกียรติ กระจ่างโพธิ์

Kongkiat Krajangpho

ภักพล ธัญชาติธাত্রี

Pakapon Thanyachathatri

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ 2565

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดี

Class D power amplifier IC design

โดย

ก้องเกียรติ กระจ่างโพธิ์

ภคพล รัชชาติธাত্রี

อาจารย์ที่ปรึกษา

ศ.ดร.วรากร เกษมสุวรรณ

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ 2565

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาานิพนธ์ปีการศึกษา 2565

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะ วิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดี

Class D power amplifier IC design

ผู้จัดทำ นายก้องเกียรติ กระจ่างโพธิ์ รหัสประจำตัว 62010043

นายภักพล ธัญชาติธาตรี รหัสประจำตัว 62010676

ปริญญาานิพนธ์นี้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว



(ศ.ดร.วรากร เกษมสุวรรณ)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อโครงการ	ออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดี
นักศึกษา	นายก้องเกียรติ กระจ่างโพธิ์ รหัสประจำตัว 62010043
	นายภัคพล ธัญชาติธাত্রี รหัสประจำตัว 62010676
ปริญญา	วิศวกรรมศาสตรบัณฑิต
ภาควิชา	วิศวกรรมอิเล็กทรอนิกส์
ปีการศึกษา	2565
อาจารย์ที่ปรึกษา	ศ.ดร.วรากร เกษมสุวรรณ

บทคัดย่อ

รายงานฉบับนี้เป็นส่วนหนึ่งของวิชา 01046671 โครงการ 2 (PROJECT 2) จัดทำขึ้นโดยมีวัตถุประสงค์เพื่ออธิบายถึงหลักการทำงานของ วงจรรวมเพาเวอร์แอมป์คลาสดี และการออกแบบคุณสมบัติของวงจรโดยมีประสิทธิภาพการทำงานของวงจร (Efficiency) เป็น 90 เปอร์เซ็นต์ความเพี้ยนเชิงฮาร์โมนิกส์รวม (Total Harmonic Distortion : THD) เมื่อความถี่ 20kHz น้อยกว่า 1 เปอร์เซ็นต์โดยในวงจรประกอบไปด้วยวงจรหลักทั้งหมด 8 ส่วน คือ วงจรอินทิเกรเตอร์ (Integrator) วงจรสร้างสัญญาณสามเหลี่ยม (Triangle Wave Generator) วงจรเปรียบเทียบสัญญาณแบบรางต่อราง (Comparator with rail-to-rail input range) วงจร Dead-time Generator วงจร Inverter Chain หรือ Buffer วงจรมอสเฟตกำลัง (Power mosfet) วงจรกรองความถี่ต่ำ (LC Low Pass Filter) วงจรขยายผลต่าง (Feedback Amplifier)

Project Title	Class D power amplifier IC design
Student	Mr. Kongkiat Krajangpho Student ID 62010043 Mr. Pakapon Thanyachathatri Student ID 62010676
Degree	Bachelor of Engineering
Program	Electronics Engineering
Year	2022
Project Advisor	Prof. Varakorn Kasemsuwan, Ph.D

ABSTRACT

This report is part of PROJECT 2, explaining the working principle of a Class D power amplifier IC design . The circuit has the efficiency of 90 percent and the total harmonic distortion (THD) of less than 1 percent. The circuit consists of 8 parts, Integrator ,Triangle Wave Generator Comparator with rail-to-rail input range, Dead-time Generator, Inverter Chain or Buffer, Power mosfet LC Low Pass Filter and Feedback Amplifier.

กิตติกรรมประกาศ

ในการจัดทำรายงานเรื่องออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดีนี้ สามารถสำเร็จไปด้วยดีต้องขอขอบพระคุณ ศ.ดร.วรากร เกษมสุวรรณ อาจารย์ที่ปรึกษาเป็นอย่างสูงที่คอยให้คำแนะนำตลอดการทำงาน และคอยช่วยเหลือในการสอนความรู้ในการออกแบบวงจรและให้ความรู้รวมถึงการแก้ปัญหาต่าง ๆ เพื่อสร้างผลงานออกมา ผู้จัดทำโครงการขอขอบคุณเป็นอย่างสูง รวมไปถึงขอขอบคุณครอบครัว รุ่นพี่และเพื่อน ๆ ที่คอยให้คำแนะนำและคอยช่วยเหลือและให้กำลังใจ รวมทั้งช่วยกันแก้ปัญหาที่เกิดขึ้นระหว่างทำโครงการทำให้โครงการนี้สำเร็จไปได้ด้วยดี สุดท้ายนี้ ผู้จัดทำโครงการวางว่าโครงการนี้จะเป็นประโยชน์สำหรับผู้สนใจและนำผลงานนี้ไปศึกษาต่อแล้วทำให้เกิดประโยชน์สูงสุดในภายภาคหน้า



ภาคพล ธีญาติธাত্রี
ก้องเกียรติ กระจ่างโพธิ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญรูปภาพ.....	VII
สารบัญตาราง.....	IX
บทที่ 1 บทนำ.....	1
1.1 ที่มาและความสำคัญของโครงการ.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของโครงการ.....	1
1.3 สมมติฐานของโครงการ.....	2
1.4 ขอบเขตในการจัดทำโครงการ.....	2
1.5 ประโยชน์ที่คาดว่าจะได้รับ.....	2
1.6 ระยะเวลาที่ใช้ในศึกษา.....	3
บทที่ 2 ทฤษฎีและเอกสารที่เกี่ยวข้อง.....	4
2.1 คำนิยามเสียง(Sound)และออดิโอ (Audio).....	4
2.2 เครื่องขยายเสียง (Amplifier)	4
2.3 Class-D Power Amplifier	9
2.4 วงจรอินทิเกรเตอร์ (Integrator).....	11
2.5 วงจรสร้างสัญญาณสามเหลี่ยม (Triangle Wave Generator).....	13
2.6 วงจรเปรียบเทียบ (Comparator Circuit).....	14
2.7 วงจรสร้าง Dead Time.....	16
2.7.1 อธิบายการทำงานของ Current starved inverter	16
2.7.2 วงจรหน่วงเวลา (Dead Time)	17
2.8 วงจร Inverter Chain หรือ Buffer.....	19
2.9 วงจรภาคมอสเฟตกำลัง (Power MOSFET Circuit).....	21
2.10 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter Circuit, LPF).....	23
2.11 วงจรขยายผลต่าง (Difference Amplifier).....	25
2.12 การมอดูเลตแบบ AD และ การมอดูเลตแบบ BD.....	26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.12.1 การมอดูเลตแบบ AD (AD Modulation)	26
2.12.2 การมอดูเลตแบบ BD (BD Modulation).....	27
บทที่ 3 วิธีการดำเนินงาน.....	28
3.1 วงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปเปิด.....	28
3.2 วงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปปิด.....	29
3.3 การออกแบบวงจรอินทิเกรเตอร์ (Integrator).....	30
3.4 การคำนวณสร้างวงจรสร้างสัญญาณสามเหลี่ยม.....	34
3.4.1 วงจรเปรียบเทียบแรงดัน (Comparator) แบบ NMOS และ PMOS	34
3.4.2 วงจรอาร์เอสแลตช์ (RS latch) แบบนอร์แลตช์ (NOR Gate Latch).....	45
3.4.3 วงจร Current starved inverter	47
3.5 การออกแบบวงจรเปรียบเทียบแรงดันแบบ Rail to Rail.....	52
3.6 การออกแบบวงจรมอดูเลตแบบ BD (BD Modulatoin).....	62
3.7 การออกแบบวงจร dead time.....	64
3.8 การออกแบบวงจรบัฟเฟอร์.....	67
3.9 การออกแบบการออกแบบวงจรมอสเฟตกำลัง.....	70
3.10 ออกแบบวงจรกรองความถี่ต่ำผ่าน.....	74
3.11 ออกแบบวงจรขยายสัญญาณผลต่างป้อนกลับแบบลบ.....	77
3.12 ออกแบบวงจรไบอัสคั้งที่ไม่ขึ้นกับไฟเลี้ยง.....	77
บทที่ 4 การทดลองและผลการทดลอง.....	80
4.1 คุณสมบัติของวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปปิดที่กำหนด.....	80
4.2 ผลการทดลอง.....	80
4.2.1 ผลกราฟ วงจรอินทิเกรเตอร์แบบเอาต์พุตเดี่ยว	80
4.2.2 ผลกราฟ วงจรอินทิเกรเตอร์แบบเอาต์พุตผลต่าง	84
4.2.3 ผลกราฟ การมอดูเลตแบบ AD และ BD	85
4.2.4 ผลกราฟ ประสิทธิภาพการทำงานของวงจร (Efficiency : η)	87
4.2.5 ความเพี้ยนเชิงฮาร์โมนิกสรรวม (Total Harmonic Distortion :THD)	89
บทที่ 5 สรุปผลการทดลองและข้อเสนอแนะ.....	92
5.1 สรุปผลการทดลอง.....	92

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 วิจารณ์ผลการทดลอง.....	93
เอกสารอ้างอิง.....	94



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

	หน้า
รูปที่ 2.1 วงจรภาคขยายของ Class-A amplifier.....	6
รูปที่ 2.2 วงจรภาคขยายของ Class-B amplifier	6
รูปที่ 2.3 ปัญหา Cross-Over Distortion.....	7
รูปที่ 2.4 วงจรภาคขยายของ Class-AB amplifier.....	7
รูปที่ 2.5 วงจรภาคขยายของ Class-C amplifier	8
รูปที่ 2.6 มุมการนำกระแสและประสิทธิภาพของแต่ละคลาส.....	9
รูปที่ 2.7 บล็อกโคโตะแกรมของออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปปิด.....	10
รูปที่ 2.8 วงจรขยายกลับเฟส (Inverting amplifier).....	11
รูปที่ 2.9 วงจรอินทิเกรเตอร์ (Integrator).....	12
รูปที่ 2.10 วงจรอินทิเกรเตอร์ (Integrator) เมื่อมีการชาร์จประจุของตัวเก็บประจุ.....	12
รูปที่ 2.11 วงจรสร้างสัญญาณสามเหลี่ยม (Triangle Wave Generator).....	13
รูปที่ 2.12 วงจรเปรียบเทียบแรงดันและกราฟแสดงแรงดันที่ขาออกเทียบแรงดันที่ขาเข้า.....	14
รูปที่ 2.13 วงจรเปรียบเทียบแรงดัน.....	15
รูปที่ 2.14 กราฟแสดงการเปรียบเทียบแรงดันและผลลัพธ์ของวงจร.....	15
รูปที่ 2.15 วงจรแหล่งจ่ายกระแสคงที่กับตัวเก็บประจุ (ชาร์จประจุ).....	16
รูปที่ 2.16 วงจรแหล่งจ่ายกระแสคงที่กับตัวเก็บประจุ (คายประจุ).....	16
รูปที่ 2.17 วงจรอินเวอร์เตอร์ในระดับ CMOS ที่มีการเพิ่ม Constant Current Source.....	17
รูปที่ 2.18 วงจรสร้าง Deadtime	18
รูปที่ 2.19 สัญญาณพัลส์ที่ควบคุมการนำกระแสของมอสเฟตกำลัง.....	18
รูปที่ 2.20 วงจร Inverter Chain หรือ Buffer.....	19
รูปที่ 2.21 วงจร Inverter Chain หรือ Buffer ในระดับ CMOS.....	19
รูปที่ 2.22 วงจรมอสเฟตกำลัง (Power MOSFET Circuit).....	21
รูปที่ 2.23 สถานะเอาต์พุตของ BTL และความต้านทาน R_{dson} ที่เห็นโดยโหลด.....	22
รูปที่ 2.20 วงจรแบ่งแรงดัน (Voltage Divider).....	20
รูปที่ 2.21 วงจรกรองความถี่ต่ำผ่าน (Low pass filter circuit, LPF).....	21
รูปที่ 2.22 ความสัมพันธ์ระหว่างความต่างศักย์กับลำดับการลดทอนความถี่ในวงจรกรองความถี่ต่ำผ่าน ...	22
รูปที่ 2.23. วงจรกรองความถี่ต่ำผ่านแบบ LC (Low pass filter circuit, LPF).....	24
รูปที่ 2.24. ความสัมพันธ์ระหว่างความต่างศักย์กับลำดับการลดทอนความถี่ในวงจรกรองความถี่ต่ำผ่าน....	24

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.25.ความสัมพันธ์ระหว่างความต่างศักย์กับลำดับการลดทอนความถี่ในวงจรรองความถี่ต่ำผ่าน.....	25
รูปที่ 2.26.วงจรขยายสัญญาณผลต่าง.....	25
รูปที่ 2.27.การมอดูเลตแบบ AD (AD Modulation).....	26
รูปที่ 2.28.การมอดูเลตแบบ BD (BD Modulation).....	27
รูปที่ 3.1.บล็อกไดอะแกรมของออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูเปิด.....	28
รูปที่ 3.2 บล็อกไดอะแกรมของออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปิด.....	29
รูปที่ 3.3 วงจรอินทิเกรเตอร์ (Integrator) ในระดับ CMOS.....	30
รูปที่ 3.4 วงจรเปรียบเทียบแรงดัน (Comparator Circuit) แบบ NMOS.....	35
รูปที่ 3.5 วงจรเปรียบเทียบแรงดัน (Comparator Circuit) แบบ PMOS.....	40
รูปที่ 3.6 วงจร CMOS Inverter	45
รูปที่ 3.7 กราฟแสดงค่า V_{out} เทียบกับ V_{in}	45
รูปที่ 3.8 อาร์เอสแลตช์ (RS latch) แบบนอร์แลตช์ (NOR Gate Latch) ในระดับ logic gate	46
รูปที่ 3.9 อาร์เอสแลตช์ (RS latch) แบบนอร์แลตช์ (NOR Gate Latch) ในระดับ CMOS	46
รูปที่ 3.10 วงจร Current starved inverter.....	47
รูปที่ 3.11 วงจรสร้างสัญญาณสามเหลี่ยม.....	51
รูปที่ 3.12 สัญญาณสามเหลี่ยม (Triangle Wave) โดยที่ $V_H = 3\text{ V}$ และ $V_L = 0.3\text{ V}$	52
รูปที่ 3.13 ออปแอมป์ที่สร้างขึ้นจาก Differential stage แบบ PMOS	53
รูปที่ 3.14 ออปแอมป์ที่สร้างขึ้นจาก Differential stage แบบ NMOS	53
รูปที่ 3.15 ออปแอมป์ที่สร้างขึ้นจาก Differential stage แบบ rail to rail.....	54
รูปที่ 3.16 การออกแบบวงจรเปรียบเทียบแรงดันแบบ Rail to Rail	54
รูปที่ 3.17 วงจรเปรียบเทียบแรงดันแบบ Rail to Rail เมื่อ V ขาบวกมีค่าเพิ่มขึ้นเพื่อดูการไหลของกระแส.....	55
รูปที่ 3.18 วงจรเปรียบเทียบแรงดันแบบ Rail to Rail เมื่อ V ขาบวกมีค่าลดลงเพื่อดูการไหลของกระแส..	56
รูปที่ 3.19 สัญลักษณ์ของ NMOS และ $V_{D(\min)}$	57
รูปที่ 3.20 สัญลักษณ์ของ PMOS และ $V_{D(\max)}$	57
รูปที่ 3.21 วงจรเปรียบเทียบแรงดันแบบ Rail to Rail มีการไบอัสค่าให้ MOSFET ทำงานในโหมดอิ่มตัว.....	58
รูปที่ 3.22 การออกแบบวงจรเปรียบเทียบแรงดันแบบ Rail to Rail แบบต่อวงจร Inverter เพิ่ม.....	58
รูปที่ 3.23 กราฟการเปรียบเทียบแรงดันสามเหลี่ยมกับแรงดันไฟตรงเพื่อให้ได้สัญญาณพัลส์	59
รูปที่ 3.24 กราฟสัญญาณพัลส์ (Pulse Width Modulation) ที่มีค่า Duty cycle เป็น 50 %.....	59
รูปที่ 3.25 กราฟสัญญาณพัลส์ (Pulse Width Modulation) ที่มีค่าช่วงเวลาขาขึ้น(rise time).....	61
รูปที่ 3.26 กราฟสัญญาณพัลส์ (Pulse Width Modulation) ที่มีค่าช่วงเวลาขาลง(fall time).....	61

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.27 วงจรมอดูเลตแบบ BD (BD Modulation).....	62
รูปที่ 3.28 วงจรมอดูเลตแบบ BD (BD Modulation) ในระดับ CMOS.....	62
รูปที่ 3.29 กราฟวงจรมอดูเลตแบบ BD (BD Modulation)	63
รูปที่ 3.30 วงจรสร้าง dead time	64
รูปที่ 3.31 วงจรสร้าง Deadtime ในระดับ CMOS	64
รูปที่ 3.32 อัตราส่วนค่าความกว้างของ NAND GATE และ NOR GATE	65
รูปที่ 3.33 หาค่าความจุแฝงในโปรแกรม LTspice XVII.....	67
รูปที่ 3.34 Relationship between Total Delay Time and N	69
รูปที่ 3.35 วงจรบัฟเฟอร์ที่นำมาอยู่ระหว่างวงจรสร้าง dead time และมอสเฟตกำลัง.....	69
รูปที่ 3.36 วงจรมอสเฟตกำลัง (Power MOSFET Circuit) วงจรโหลดแบบบริดจ์ Bridged-Tied Load	70
รูปที่ 3.37 สถานะเอาต์พุตของ BTL และความต้านทาน R_{ds-on} ที่เห็นโดยโหลด	71
รูปที่ 3.38 กราฟความสัมพันธ์ระหว่างค่า R_{ds} กับค่า W/L ค่า W ของ PMOS	72
รูปที่ 3.39 กราฟความสัมพันธ์ระหว่างค่า R_{ds} กับค่า W/L ค่า W ของ NMOS	73
รูปที่ 3.40 วงจรกรองความถี่ที่ต่อโหลดภาระ.....	74
รูปที่ 3.41 วงจรกรองความถี่ที่ต่อโหลดภาระ.....	76
รูปที่ 3.42 ผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน.....	76
รูปที่ 3.43 วงจรขยายสัญญาณผลต่างป้อนกลับแบบลบ.....	77
รูปที่ 3.44 วงจรไบอัสคั้งที่ไม่ขึ้นกับไฟเลี้ยง (Supply-independent biasing).....	78
รูปที่ 4.1 กราฟสัญญาณวงจรมอดูเลตแบบเอาต์พุตเดี่ยวเมื่อ V_{in} เท่ากับ 1.65 V	80
รูปที่ 4.2 กราฟสัญญาณวงจรมอดูเลตแบบเอาต์พุตเดี่ยวเมื่อ V_{in} เท่ากับ 1.85 V	81
รูปที่ 4.3 กราฟสัญญาณวงจรมอดูเลตแบบเอาต์พุตเดี่ยวเมื่อ V_{in} เท่ากับ 1.45 V	82
รูปที่ 4.4 กราฟสัญญาณวงจรมอดูเลตแบบเอาต์พุตเดี่ยวเมื่อ V_{in} เป็นสัญญาณไซน์.....	82
รูปที่ 4.5 กราฟสัญญาณเสียงที่ลำโพงที่มีกำลังขยายเป็น 3 เท่า.....	85
รูปที่ 4.6 กราฟ output Power Amplifier class D แบบ Closed loop เทียบกับ Open.loop.....	84
รูปที่ 4.7 สัญญาณเสียงแรงดันที่ตกรวมลำโพง	84
รูปที่ 4.8 กราฟ AD mod สัญญาณ PWM	85
รูปที่ 4.9 กราฟ FFT AD mod สัญญาณ PWM	85
รูปที่ 4.10 กราฟ BD mod สัญญาณ PWM	86
รูปที่ 4.11 กราฟ FFT BD mod สัญญาณ PWM	86
รูปที่ 4.12 ความสัมพันธ์ของค่า P_{out} และค่าประสิทธิภาพวงจรแบบลูปเปิด.....	88

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.13 กราฟความสัมพันธ์ของค่า Pout และค่าประสิทธิภาพวงจรแบบลูปปิด	89
รูปที่ 4.14 กราฟความสัมพันธ์ของความถี่และค่าความผิดเพี้ยนวงจรแบบลูปเปิด.....	90
รูปที่ 4.15 กราฟความสัมพันธ์ของความถี่และค่าความผิดเพี้ยนวงจรแบบลูปปิด.....	91



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 1.1 ระยะเวลาทำโครงการ.....	3
ตารางที่ 3.1 จำนวนการต่อ Inverter กับขนาดที่โตขึ้นของตัวถัดๆไป และค่า Delay	68
ตารางที่ 4.1 ผลการทดลองค่าประสิทธิภาพที่ความถี่ของวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูเปิด	87
ตารางที่ 4.2 ผลการทดลองค่าประสิทธิภาพที่ความถี่ของวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปิด.....	88
ตารางที่ 4.3 ผลการทดลองหาค่า Distortion ที่ของวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูเปิด.....	90
ตารางที่ 4.4 ผลการทดลองหาค่า Distortion ที่ของวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูเปิด.....	91



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ที่มาและความสำคัญของโครงการ

เนื่องจากในปัจจุบันของอุตสาหกรรมวงจรรวมในปัจจุบันนั้นมีการทำ แหล่งจ่ายพลังงาน จึงมีการศึกษาวิธีการจัดการกำลังงาน โดยให้ผลิตภัณฑ์ที่มีคุณสมบัติที่ดีและมีจุดเด่นเป็นของตัวเอง ซึ่งหนึ่งใน คุณสมบัติที่ดีคือการที่อุปกรณ์อิเล็กทรอนิกส์มีประสิทธิภาพการทำงานที่สูง และใช้พลังงานต่ำ โดยจะ ไปลดการกระจายความร้อนของวงจรรวมที่ทำให้แบตเตอรี่ของอุปกรณ์นั้นหมดเร็ว

ทางภาควิชาวิศวกรรมอิเล็กทรอนิกส์ วิชา รายงานวิชาโครงการ 2 (PROJECT 2) คณะ วิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง จึงได้กำหนดให้นักศึกษา ศึกษาโครงการที่ตัวเองสนใจซึ่งแบ่งออกเป็นหลายแขนง คณะผู้จัดทำเล็งเห็นถึงความสำคัญของ แหล่งจ่ายพลังงาน ซึ่งเป็นสิ่งสำคัญของการศึกษาวงจรอิเล็กทรอนิกส์ จึงเลือกศึกษาโครงการการ ออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดี (Class D power amplifier IC design) โดยวงจรรวม เพาเวอร์แอมป์คลาสดีจะต้องทำให้นี้มีคุณสมบัติตรงตามคุณสมบัติที่กำหนด สุดท้ายจะได้มาซึ่งความรู้ และประสบการณ์ เป็นการฝึกทักษะในการปฏิบัติงานรวมถึงวิเคราะห์ ออกแบบ และแก้ไขวงจร

1.2 ความมุ่งหมายและวัตถุประสงค์ของโครงการ

1.2.1 เพื่อนำความรู้ในวิชาANALOG INTEGRATED CIRCUITS และ DIGITAL INTEGRATED CIRCUITS มาใช้ในการออกแบบวงจร

1.2.2 ศึกษาหลักการทำงานของการทำงานของการออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดี ตรงได้ตรงตาม คุณสมบัติที่อาจารย์ที่ปรึกษากำหนด

1.2.3 ศึกษาและออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดี (Class D power amplifier IC design) โดยใช้โปรแกรม LTspice XVII

1.2.4 เพื่อนำความรู้จากโครงการนี้ไปใช้ในการออกแบบวงจรรวมในอนาคตต่อไป

1.3 สมมติฐานของโครงการ

เมื่อทำการศึกษาและออกแบบวงจรรวมอิเล็กทรอนิกส์ และสามารถเข้าใจหลักการทำงานของการออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดี (Class D power amplifier IC design) รวมถึงเข้าใจถึงวิธีการออกแบบวงจรรวมอิเล็กทรอนิกส์ และสามารถนำความรู้ที่ได้จากการเรียนในห้องเรียนมาใช้ในการลงมือปฏิบัติจริงรวมทั้งนำมาประยุกต์ใช้ให้เกิดผลตามที่ต้องการ

1.4 ขอบเขตในการจัดทำโครงการ

ทำการศึกษาและออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดี (Class D power amplifier IC design) 1.4.1 วงจรสร้างสัญญาณสามเหลี่ยม (Triangle Wave Generator)

1.4.2 วงจรเปรียบเทียบสัญญาณแบบรางต่อราง (Comparator with rail-to-rail input range)

1.4.3 วงจร Dead-time Generator

1.4.4 วงจร Inverter Chain หรือ Buffer

1.4.5 วงจรมอสเฟตกำลัง (Power mosfet)

1.5 ประโยชน์ที่คาดว่าจะได้รับ

1.5.1 ได้รับความรู้จากการออกแบบวงจรแอนะล็อกและวงจรดิจิทัล

1.5.2 ได้รับความรู้ความเข้าใจในออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดี (Class D power amplifier IC design)

1.5.3 นำผลงานที่ได้จากการทำโครงการไปใช้ประโยชน์ในการทำงานทางด้านอิเล็กทรอนิกส์

1.5.4 ได้ฝึกการวิเคราะห์ และแก้ไขปัญหาที่เกิดขึ้น และสามารถนำความรู้เชิงทฤษฎีมาใช้ในการออกแบบวงจรรวมในระดับสูง

1.6 ระยะเวลาที่ใช้ในศึกษา

ตารางที่ 1.1 ระยะเวลาทำโครงการระหว่าง วันที่ 10 มกราคม พ.ศ.2565 ถึง 24 เมษายน พ.ศ.2565

รายละเอียด	มกราคม				กุมภาพันธ์				มีนาคม				เมษายน			
1.ศึกษา เนื้อหาและ พบอาจารย์ ที่ปรึกษา			←→													
2.ออกแบบ วงจร					←→											
3.ออกแบบ และแก้ไข เพิ่มเติม									←→							
4.ทำการ ทดลองและ สรุปผลการ ทดลอง													←→			
5.ทำรายงาน โครงการ															←→	

*** ใช้

← สัปดาห์ที่ดำเนินการในแต่ละขั้นตอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

หลักการและทฤษฎี

2.1 คำนิยามเสียง (Sound) และออดิโอ (Audio)

เสียง (Sound) เป็นคลื่นพลังงานกลและเป็นคลื่นตามยาวซึ่งเดินทางหรือแพร่กระจายผ่านตัวกลางในรูปแบบแก๊ส อย่างเช่น อากาศ ในรูปแบบของเหลว อย่างเช่น น้ำ และในรูปแบบของแข็ง อย่างเช่น กำแพง และเสียงมีแหล่งกำเนิดที่มีการสั่นสะเทือนและเคลื่อนที่ผ่านตัวกลางซึ่งจะมีการเปลี่ยนแปลงคุณสมบัติบางอย่างในตัวกลางหรือเกิดการแทนที่ของอนุภาคในตัวกลาง โดยคุณสมบัติที่จะเปลี่ยนแปลงอย่างเช่น ขนาด (Amplitude) คาบ (Period) ความยาวคลื่น (Wavelength) และ ทิศทาง (Direction)

ออดิโอ (Audio) เป็นคลื่นพลังงานไฟฟ้า (Electrical energy) ที่อยู่ในแบบของเสียง โดยจะเป็นช่วงความถี่ที่มนุษย์สามารถได้ยิน (Audio frequency, AF) อยู่ที่ 20 เฮิรตซ์ – 20 กิโลเฮิรตซ์ ซึ่งสำหรับความถี่ที่น้อยกว่า 20 เฮิรตซ์ จะมีชื่อเรียกว่า อินฟราซาวนด์ (Infrasound) และสำหรับความถี่ที่มากกว่า 20 กิโลเฮิรตซ์ จะมีชื่อเรียกว่า อัลตราซาวนด์ (Ultrasound) ซึ่งสองประเภทนี้จะไม่จัดอยู่ในจำพวกออดิโอ

2.2 เครื่องขยายเสียง (Amplifier)

เครื่องขยายเสียง หรือเครื่องขยายสัญญาณเสียง และสามารถเรียกเพาเวอร์แอมป์พลีฟายเออร์ก็ได้ ซึ่งเป็นวงจรหรืออุปกรณ์ทางไฟฟ้าที่ทำหน้าที่เป็นตัวขยายสัญญาณเสียงขนาดเล็กให้มีสัญญาณเสียงขนาดใหญ่ขึ้น ในที่นี้หมายถึงขยายจากเสียงที่มีความเบาให้มีความดังเพิ่มขึ้น โดยตามอุดมคติแล้ว จะต้องขยายสัญญาณเสียงให้มีความดังเพิ่มขึ้นแต่มีเสียงที่เหมือนเดิม หลักการขั้นพื้นฐานมาจากการใช้ทรานซิสเตอร์ (Transistor) หรือสารกึ่งตัวนำ (Semiconductor) ชนิดอื่นๆ เช่น มอสเฟต (MOSFET) หรืออาจจะเป็นหลอดสุญญากาศ (Vacuum tube) มาเป็นตัวทำหน้าที่ขยายสัญญาณเสียง โดยสามารถแบ่งชนิดของแอมป์พลีฟายเออร์ได้ตาม วัสดุที่ใช้ในการทำวงจรภาคขยายเสียง

1. แอมป์หลอดสุญญากาศ (Vacuum tube amplifier) เป็นเครื่องขยายเสียงยุคแรกๆ ที่ใช้หลอดสุญญากาศทำหน้าที่ขยายกำลังหลักของภาคขยายเสียง ซึ่งยังคงมีใช้อยู่ในกลุ่มของผู้หลงใหลในคุณภาพของเสียง และมีเอกลักษณ์ที่ดี ชัดเจน โดยมีข้อเสียคือกินกำลังสูงมากเมื่อเทียบกับเครื่องขยายเสียง แอมป์พลีฟายเออร์ (Amplifier) ชนิดอื่นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

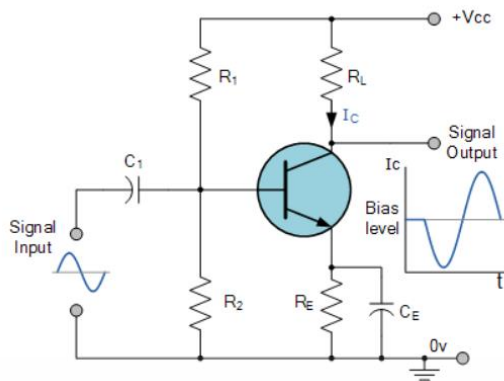
2. แอมป์ทรานซิสเตอร์ (Transistor amplifier) เป็นเครื่องขยายเสียงที่ใช้ทรานซิสเตอร์ทำหน้าที่ขยายกำลังหลักของภาคขยายเสียง ที่มีการใช้กันอย่างแพร่หลายในปัจจุบัน เนื่องจากการออกแบบวงจรได้หลากหลาย และพัฒนาให้มีคุณภาพเสียงที่ดี อัตราขยายเสียงที่สูง ความผิดเพี้ยนที่ต่ำ และสามารถหาอุปกรณ์ซ่อมแซมได้ง่าย

3. แอมป์มอสเฟต (MOSFET amplifier) เป็นเครื่องขยายเสียงที่ใช้มอสเฟสทำหน้าที่ขยายกำลังหลักของภาคขยายเสียง ในยุคหลังจากแอมป์หลอดสุญญากาศ (Vacuum tube) ในการพัฒนาเครื่องขยายเสียงได้มีการนำสารกึ่งตัวนำมาใช้ในการทำสร้างวงจรขยายเสียง โดยเป็นที่รู้จักกันคือทรานซิสเตอร์ (Transistor) และมอสเฟส (MOSFET) โดยเครื่องขยายเสียงที่ออกแบบด้วยมอสเฟส (MOSFET) จะให้คุณภาพเสียงที่อิม หนักแน่น มีเนื้อกว่าการใช้ทรานซิสเตอร์ (Transistor) และราคาก็ย่อมสูงกว่าตามไปด้วย ซึ่งต่อมาตลาดของแอมป์ทรานซิสเตอร์ (Transistor) ก็กลับมาแย่งชิงตลาดกลับคืน ด้วยเทคโนโลยีการออกแบบที่ดีขึ้น แต่ เครื่องขยายเสียงมอสเฟส (MOSFET) ก็ยังคงอยู่ในตลาดจนถึงปัจจุบันนี้

4. แอมป์ที่ใช้วงจรรวม (Integrated circuit amplifier, IC Amplifier) เป็นเครื่องขยายเสียงที่ใช้วงจรรวมทำหน้าที่ขยายกำลังหลักของภาคขยายเสียง โดยอาศัยหลักการต่างๆของสารกึ่งตัวนำ เช่น ทรานซิสเตอร์ (Transistor) มอสเฟส (MOSFET) อุปกรณ์ R, L, C และอื่นๆ ต่อวงจรรวมกันให้มีขนาดเล็กกลง

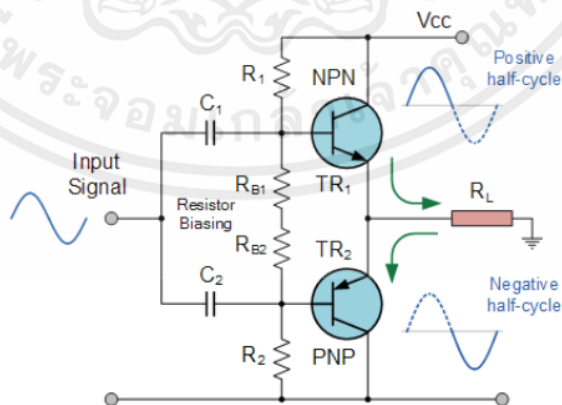
ประเภทของการทำงานของแอมป์ฟลิฟายเออร์แบ่งตามจุดการทำงานของอุปกรณ์ที่ใช้ทำหน้าที่หลักในการขยายสัญญาณ หรือ จุด Q factor (Operating Point) และมีชื่อเรียกว่า Classes of Amplifier ซึ่งมีดังนี้

1. Class-A amplifier เป็นคลาสทรานซิสเตอร์เพียงตัวเดียวที่ไบอัสให้ทำงานด้วยกระแสตลอดเวลาทำให้สัญญาณที่ขาออกมีมุมการนำที่นำกระแสได้ 360 องศา ของสัญญาณขาเข้า โดยจุดทำงานของคลาสนี้จะอยู่เกินค่าแรงดันไบอัสที่ทำให้ทรานซิสเตอร์ทำงานและอยู่ตรงจุดกึ่งกลางของเส้นโหลด (Load line) ดังนั้นจึงไม่ทำให้สัญญาณไปถูกขับที่บริเวณคัทออฟ (Cut-off region) หรือบริเวณอิ่มตัว (Saturation region) ซึ่งจะทำให้สัญญาณเสียงที่ออกมาเหมือนกับสัญญาณขาเข้า หรือมีความผิดเพี้ยนน้อยมากแต่เนื่องจากการไบอัสให้ทรานซิสเตอร์นั้นมีกระแสไหลผ่านตลอดเวลาเหตุผลนี้ทำให้เกิดการสูญเสียกำลังงานมากและส่งผลกระทบต่อประสิทธิภาพของการทำงานลดลง ซึ่งสำหรับ Class-A amplifier ในอุดมคติจะมีประสิทธิภาพอยู่ที่ไม่เกิน 50%



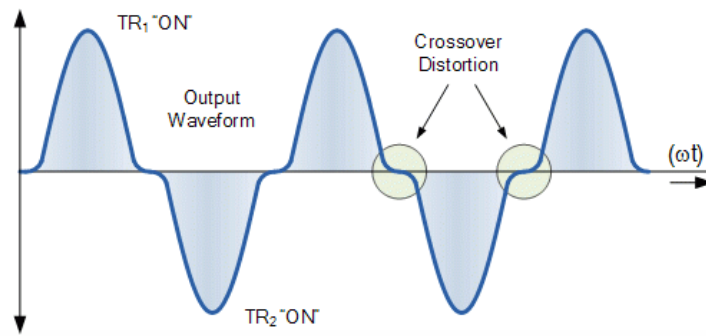
รูปที่ 2.1 วงจรภาคขยายของ Class-A amplifier

2. Class-B amplifier เป็นคลาสที่พัฒนาต่อจาก Class-A amplifier เพื่อเน้นแก้ปัญหาในด้านประสิทธิภาพของวงจรที่ต่ำเกินไป และความร้อนที่เกิดขึ้นจากการไบอัสกระแสให้ทรานซิสเตอร์ตลอดเวลาจึงแก้ไขโดยการนำทรานซิสเตอร์สองตัวต่อกันแบบ Push-Pull ซึ่งนำขาเบสของทรานซิสเตอร์เชื่อมกันโดยให้ขาเบสนั้นรับสัญญาณเสียงแทนการไบอัสของกระแสไฟฟ้า โดยจะแก้ปัญหาความร้อนและค่าประสิทธิภาพการทำงานที่เกิดขึ้นใน Class-A amplifier ได้แต่สำหรับ Class-B amplifier จะมีปัญหาหลักที่มีชื่อว่า Cross-over distortion ซึ่งเป็นปัญหาเมื่อสัญญาณขาเข้ามีแรงดันที่น้อยกว่าแรงดันขีดเริ่มของทรานซิสเตอร์ จะทำให้ทรานซิสเตอร์หยุดนำกระแสหรือเข้าสู่โหมด Cut off ไปชั่วขณะและส่งผลให้สัญญาณที่ขาออกจะกลายเป็นศูนย์ไปชั่วขณะเช่นกัน ซึ่งสำหรับ Class-B amplifier ในอุดมคติจะมีประสิทธิภาพอยู่ที่ไม่เกิน 75%



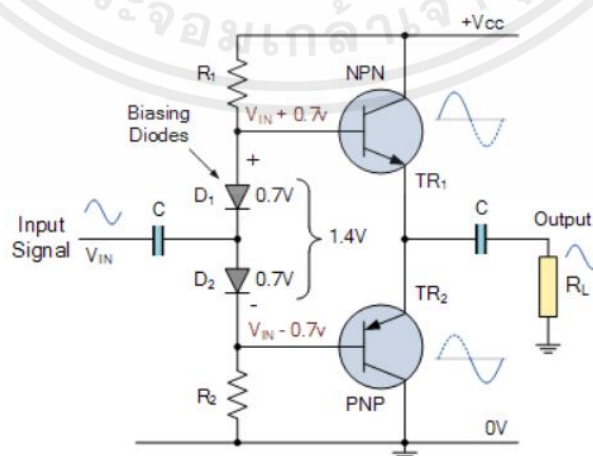
รูปที่ 2.2 วงจรภาคขยายของ Class-B amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.3 ปัญหา Cross-Over Distortion

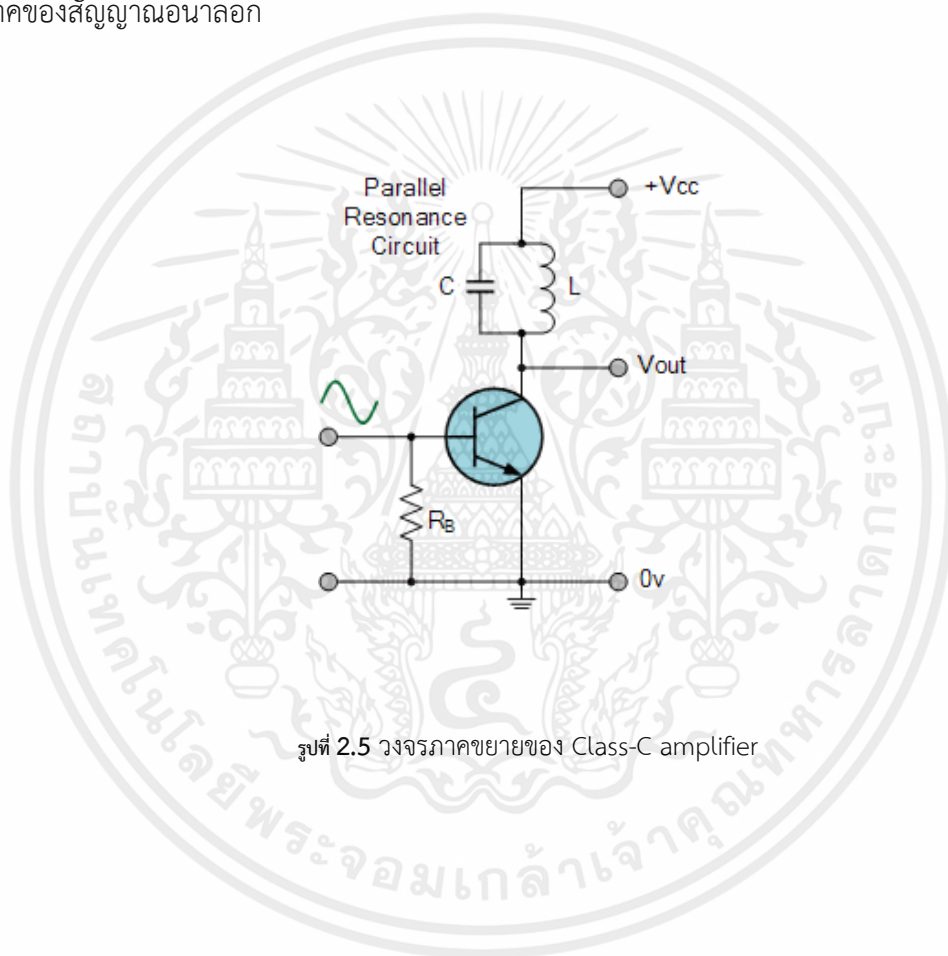
3. Class-AB amplifier เป็นคลาสที่พัฒนาต่อจาก Class-B amplifier ที่มุ่งเน้นแก้ปัญหา Cross-over distortion โดยการเพิ่มวงจรเพื่อสร้างไฟเลี้ยงให้ทรานซิสเตอร์มีแรงดันตกคร่อมที่มากกว่าแรงดันขีดเริ่มตลอดเวลาซึ่งแก้ปัญหาด้วยการต่อไดโอดสองตัวเพื่อให้มีเพื่อให้มีแรงดันที่ตกคร่อมไดโอดมาเป็นไฟเลี้ยงให้กับทรานซิสเตอร์ทำให้ทรานซิสเตอร์พร้อมที่จะนำกระแสตลอดเวลาดังนั้นทำให้สามารถแก้ปัญหา Cross-over distortion ได้ แต่แรงดันที่ตกคร่อมทรานซิสเตอร์เพื่อให้ทรานซิสเตอร์ทำงานจะขึ้นอยู่กับอุณหภูมิ (Thermal voltage) ก็คือเมื่ออุณหภูมิเพิ่มขึ้นแรงดันที่ตกคร่อมลดลง เมื่อแรงดันที่ตกคร่อมทรานซิสเตอร์ลดลงจะทำให้กระแสไหลมากขึ้น ซึ่งจะส่งผลให้จุดทำงาน (Q factor) มีการเปลี่ยนแปลงด้วย โดยเรียกปัญหานี้ว่า Thermal runaway ซึ่งสามารถแก้ปัญหานี้ได้โดยการใช้แรงดันที่ตกคร่อมทรานซิสเตอร์มาเป็นแรงดันหรือไฟเลี้ยงให้กับทรานซิสเตอร์ภาคขยายแทน โดยมีชื่อเรียกว่า Vbe multiplier ซึ่งจะทำให้แก้ปัญหา Thermal runaway ได้ และสำหรับค่าประสิทธิภาพของวงจรจะอยู่ที่ 50-60%



รูปที่ 2.4 วงจรภาคขยายของ Class-AB amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

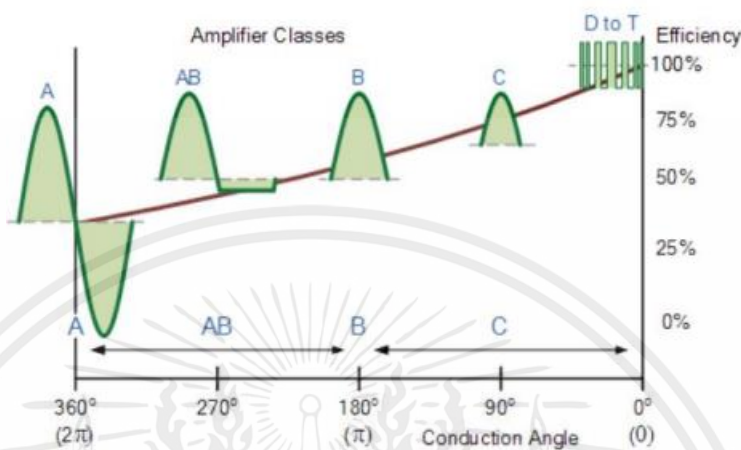
4. Class-C amplifier เป็นคลาสที่ใช้ทรานซิสเตอร์เพียงตัวเดียวเป็นภาคขยายและไม่ได้ต่อ แรงดันไบอัสที่ขาเบส ซึ่งทำให้ไม่นำกระแสในขณะที่ไม่มีการป้อนสัญญาณ แต่สำหรับ Class-C amplifier จะนำกระแสได้น้อยกว่าครึ่งคาบ หรือน้อยกว่า 180° ทำให้สัญญาณที่ขาออกจะเป็น สัญญาณแค้ซึกบวก และเมื่อองค์ประกอบของความถี่ที่สัญญาณขาออกจะพบว่าจะมีสัญญาณที่เป็น ความถี่สูง.ติดมาด้วย จึงจำเป็นต้องมีวงจรภาคกรองสัญญาณ (Filter) ด้วยตัวเก็บประจุและตัวเหนี่ยวนำ โดยประสิทธิภาพของวงจรนี้จะมีค่ามากกว่า 75% ซึ่งถือว่าสูงมากสำหรับการขยาย สัญญาณที่ยังอยู่ในภาคของสัญญาณอนาลอก



รูปที่ 2.5 วงจรภาคขยายของ Class-C amplifier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ Class-A, B, AB, และ C amplifier ทั้งหมดจะเป็นการขยายสัญญาณที่เป็นสัญญาณแบบเชิงเส้น (Linear amplifier) และยังมีเพาเวอร์แอมป์ที่เป็นสวิตซ์ซิ่ง ซึ่งจะเป็น Class-D amplifier ถึง Class-T amplifier เป็นต้นไป

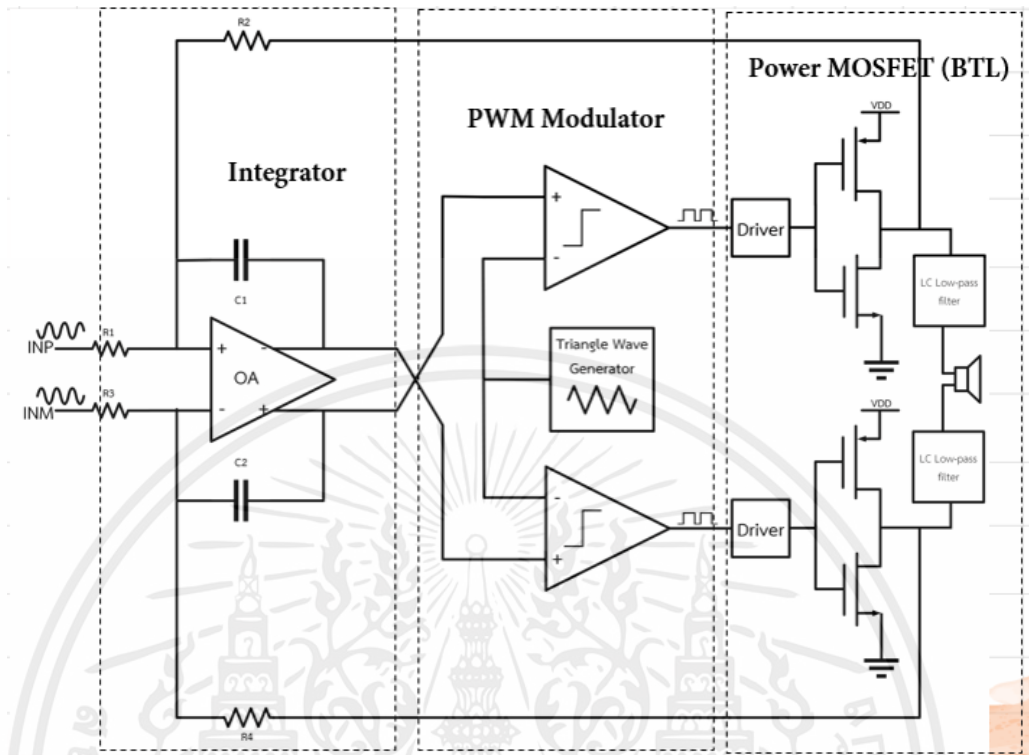


รูปที่ 2.6 มุมการนำกระแสและประสิทธิภาพของแต่ละคลาส

2.3 Class-D Power Amplifier

คุณสมบัติที่เป็นที่ประจักษ์และเป็นที่น่าสนใจของวงจรเพาเวอร์แอมป์คลาสดีคืออุปกรณ์อุปกรณ์อิเล็กทรอนิกส์มีขนาดเล็ก ราคาถูก ซึ่งสิ่งเหล่านี้จะเป็นผลพวงมาจากการที่อุปกรณ์อิเล็กทรอนิกส์มีประสิทธิภาพการทำงานที่สูง นั่น หมายความว่ามีการสูญเสียกำลังงานที่สูญเสียน้อยนั่นเอง เนื่องมาจากการพัฒนาจากภาคการขยายหรือภาคเอาต์พุตที่เป็น MOSFET (metal-oxide semiconductor field effect transistors) มีการทำงานเป็นสวิตซ์ใน โหมดหยุดนำกระแส (Cut-off region) และโหมดอิ่มตัว (Saturation regions) โดยประสิทธิภาพ ของ Class-D power amplifier จะมีความมากกว่า 80% ในทางปฏิบัติ และจะมีค่า 100% ในทาง ทฤษฎี ซึ่งจะมีผลไปถึงกำลังงานที่สูญเสียให้กับวงจร การใช้พื้นที่ของวงจร และราคาที่ถูกน้อยลง ทำให้ Class-D power amplifier กลายมาเป็นที่นิยมในอุปกรณ์อิเล็กทรอนิกส์สำหรับผู้บริโภค เช่น DVD, LCD-TV, MP4 และรวมไปถึง โทรศัพท์มือถือในยุคปัจจุบัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



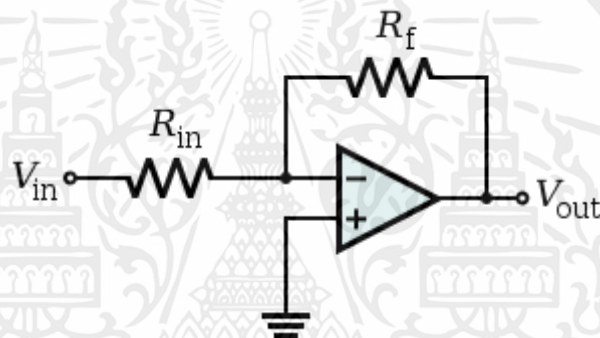
รูปที่ 2.7 บล็อกไดอะแกรมของออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปปิด

โครงการออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดี (Class D power amplifier IC design) ทำหน้าที่เป็นตัวควบคุมสัญญาณให้กับวงจรขยายกำลังคลาสดี Class-D amplifier โดยตามบล็อกไดอะแกรมเมื่อสัญญาณเสียง V_{in} เข้าสู่ วงจรอินทิเกรเตอร์ (Integrator) วงจรวงจรสร้างสัญญาณสามเหลี่ยม (Triangle Wave Generator) เข้าสู่ วงจรเปรียบเทียบแรงดัน (Comparator) เพื่อสร้างสัญญาณรูปสี่เหลี่ยมเพื่อนำสัญญาณไปใช้งานต่อที่ Switching output Stage ในส่วนของวงจร Dead Time สร้างมาเพื่อให้สัญญาณเกิดการหน่วงเวลาจะทำให้ NMOS และ PMOS ทำงานไม่พร้อมกัน ส่วนของวงจร Inverter Chain หรือ Buffer จะมีหน้าที่ในการแก้ปัญหาการต่อโหลดภาระที่มีขนาดใหญ่ก่อนที่จะถึงส่วนของวงจร Power Mosfet ที่มีหน้าที่จ่ายกำลังงานไปที่ลำโพง แต่ก่อนจะถึงลำโพงต้องมีการใช้วงจรกรองความถี่ต่ำ (Low Pass Filter) โดยที่วงจรกรองความถี่ต่ำนี้จะกรองสัญญาณรูปสี่เหลี่ยมให้เหลือเฉพาะส่วนที่เป็นไฟตรง (DC) เพื่อนำสัญญาณไฟตรงไปทำงานกับลำโพง ซึ่งจะมีรายละเอียดของวงจรแต่ละภาคดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 วงจรอินทิเกรเตอร์ (Integrator)

ในวงจรของโมเดลวงจรของ Power Amplifier class D แบบ Closed loop เมื่อป้อนสัญญาณ V_{in} จะเจอกับ วงจรอินทิเกรเตอร์ (Integrator) เราสังเกตเห็นว่าวงจรมีการต่อในลักษณะป้อนกลับแบบลบ ดังนั้นศักดาที่ขาบวกของออปแอมป์จึงมีค่าประมาณเท่ากับศักดาที่ขาลบ เนื่องจาก $v^+ = 0$ ดังนั้นศักดาที่ขาลบของออปแอมป์จึงมีค่าเท่ากับ $v^- = 0$ และมีส่วนที่เป็นวงจรเปรียบเทียบแรงดัน (Comparator Circuit) โดยจะเปรียบเทียบสัญญาณระหว่างสัญญาณที่ออกมาจาก output ของวงจรอินทิเกรเตอร์ (Integrator) กับสัญญาณสัญญาณสามเหลี่ยมได้จะเป็นสัญญาณดิจิทัลสัญญาณพัลส์ (Pulse Width Modulation)

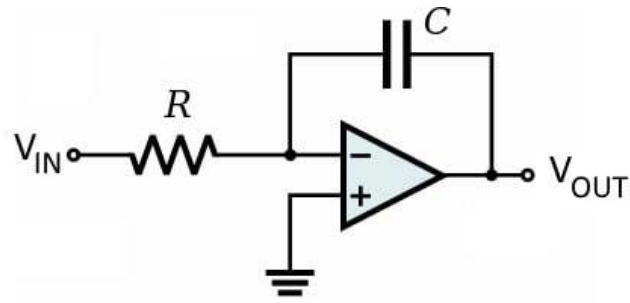


รูปที่ 2.8 วงจรขยายกลับเฟส (Inverting amplifier)

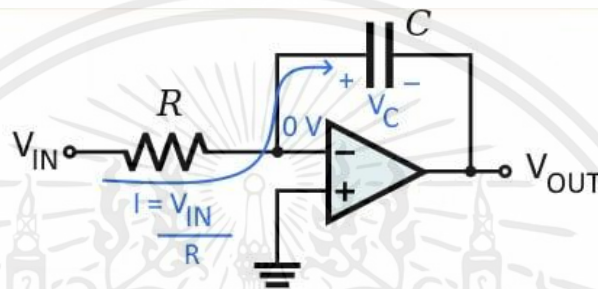
ดังนั้นอัตราขยายลูปปิดจากวงจรขยายกลับเฟส (Inverting amplifier) สามารถประมาณได้เท่ากับ

$$A_c = \frac{V_{out}}{V_{in}} = - \frac{R_2}{R_1}$$

เราสังเกตเห็นได้ว่าอัตราขยายลูปปิดมีค่าเป็นลบ ซึ่งหมายความว่าสัญญาณเอาต์พุตและสัญญาณอินพุตมีเฟสตรงข้ามกัน ดังนั้นวงจรในรูปที่ 2 จึงถูกเรียกว่า วงจรขยายกลับเฟส



รูปที่ 2.9 วงจรอินทิเกรเตอร์ (Integrator)



รูปที่ 2.10 วงจรอินทิเกรเตอร์ (Integrator) เมื่อมีการชาร์จประจุของตัวเก็บประจุ

กระแสดังกล่าวไหลผ่านตัวเก็บประจุ C ทำให้เกิดแรงดันตกคร่อมเท่ากับ V_C เป็นที่น่าสังเกตว่า $V_{out} = -V_C$ ดังนั้นเราสามารถแสดงได้ว่า

$$v_{out}(t) = -v_c(t) = -\frac{1}{RC} \int_0^t v_{IN}(\tau) d\tau + v_c(0)$$

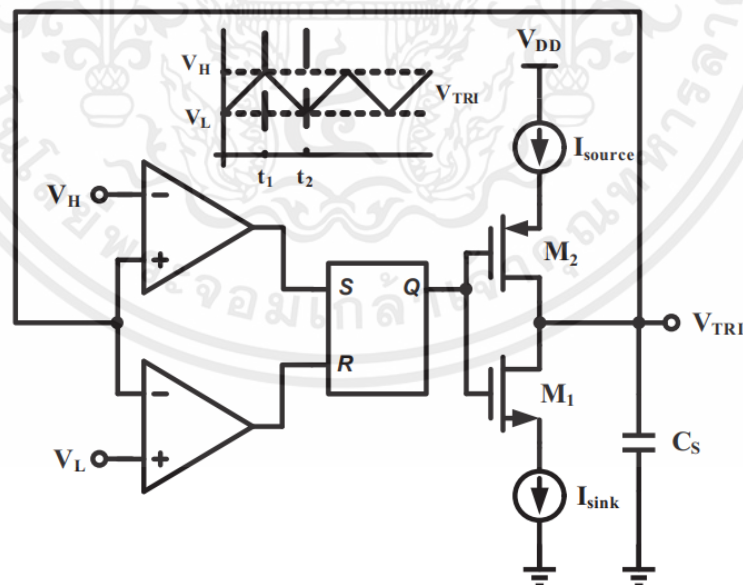
โดยที่ $v_c(0)$ คือแรงดันตกคร่อมตัวเก็บประจุในสภาวะเริ่มต้น

เนื่องจาก v_{out} อยู่ในรูปของการอินทิเกรตสัญญาณอินพุตจึงถูกเรียกว่า วงจรอินทิเกรเตอร์ (Integrator)

2.5 วงจรสร้างสัญญาณสามเหลี่ยม (Triangle Wave Generator)

ในการสร้างวงจรสร้างสัญญาณสามเหลี่ยม (Triangle Wave Generator) โดยการสร้างสัญญาณโดยที่จะมีวงจรเปรียบเทียบแรงดัน (Comparator Circuit) แบบ NMOS และ PMOS วงจรอาร์เอสแลตช์ (RS latch) แบบนอร์แลตช์ (NOR Gate Latch) และวงจร Current starved inverter

โดยหลักการทำงานของวงจรสร้างสัญญาณสามเหลี่ยม (Triangle Wave Generator) จะนำสัญญาณที่เอาท์พุต (V_{TRI}) นำมาถูกใช้เป็นอินพุตสำหรับวงจรเปรียบเทียบแรงดัน (Comparator Circuit) แบบ NMOS และ PMOS โดยวงจรเปรียบเทียบแรงดันจะมีการกำหนดขีดจำกัดแรงดันไฟฟ้าของสัญญาณสามเหลี่ยมโดยจะมีการกำหนดค่าแรงดันสูงสุด (V_H) ไว้ที่วงจรเปรียบเทียบแรงดัน (Comparator Circuit) แบบ NMOS และมีการกำหนดค่าแรงดันต่ำสุด (V_L) ไว้ที่วงจรเปรียบเทียบแรงดัน (Comparator Circuit) แบบ PMOS และสัญญาณสี่เหลี่ยมที่เปรียบเทียบที่ได้จากวงจรเปรียบเทียบแรงดัน (Comparator Circuit) แบบ NMOS และ PMOS เพื่อไปควบคุมขา S (SET) และ ขา R (RESET) ของวงจรอาร์เอสแลตช์ (RS latch) แบบนอร์แลตช์ (NOR Gate Latch) เพื่อสร้างแรงดันเกตของมอสเฟต M1 และ M2 ของวงจร Current starved inverter เพื่อใช้หลักการในการหลักการในการการชาร์จประจุและคายประจุของตัวเก็บประจุ (Capacitor) โดยมีแหล่งจ่ายเป็นแหล่งจ่ายกระแสคงที่ (Constant Current Source) เพื่อสร้างสัญญาณสามเหลี่ยม ดังรูปที่ 2.8



รูปที่ 2.11 วงจรสร้างสัญญาณสามเหลี่ยม (Triangle Wave Generator)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 วงจรเปรียบเทียบ (Comparator Circuit)

วงจรเปรียบเทียบแรงดัน (Comparator Circuit) เป็นวงจรที่เปรียบเทียบแรงดันระหว่างขาอินพุตทั้งสองขา โดยจะมีขาอินพุตข้างหนึ่งที่เป็นแรงดันอ้างอิง และมีสมการแรงดันที่ขาออก คือ

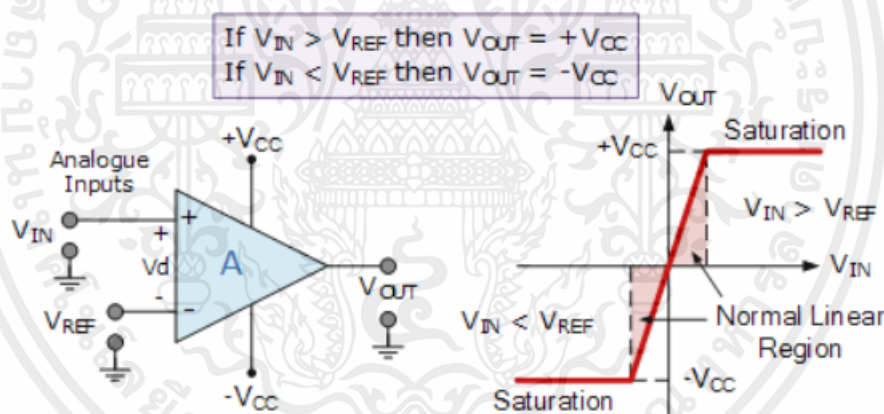
$$V_{out} = A_o(V^+ - V^-)$$

โดย A_o คือ อัตราขยายแรงดันของวงจรเปรียบเทียบ

V^+ คือ แรงดันอินพุตที่ขาบวก

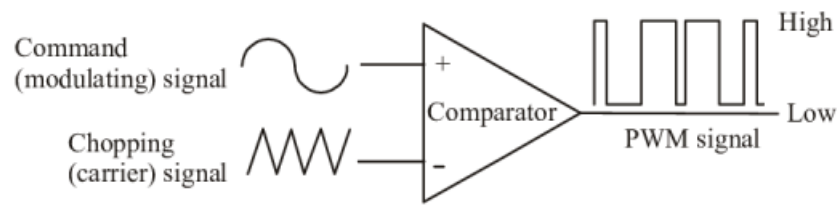
V^- คือ แรงดันอินพุตที่ขาลบ

สำหรับอัตราขยายของวงจรเปรียบเทียบ (A_o) จะมีค่าสูงมาก ทำให้แรงดันที่ขาออกจะสามารถเป็นได้แค่สองค่า คือ สวิงไปที่แรงดันสูงสุดที่จะเป็นไปได้ คือ $+V_{CC}$ และสวิงไปที่แรงดันที่ต่ำที่สุดที่จะเป็นไปได้คือ $-V_{CC}$

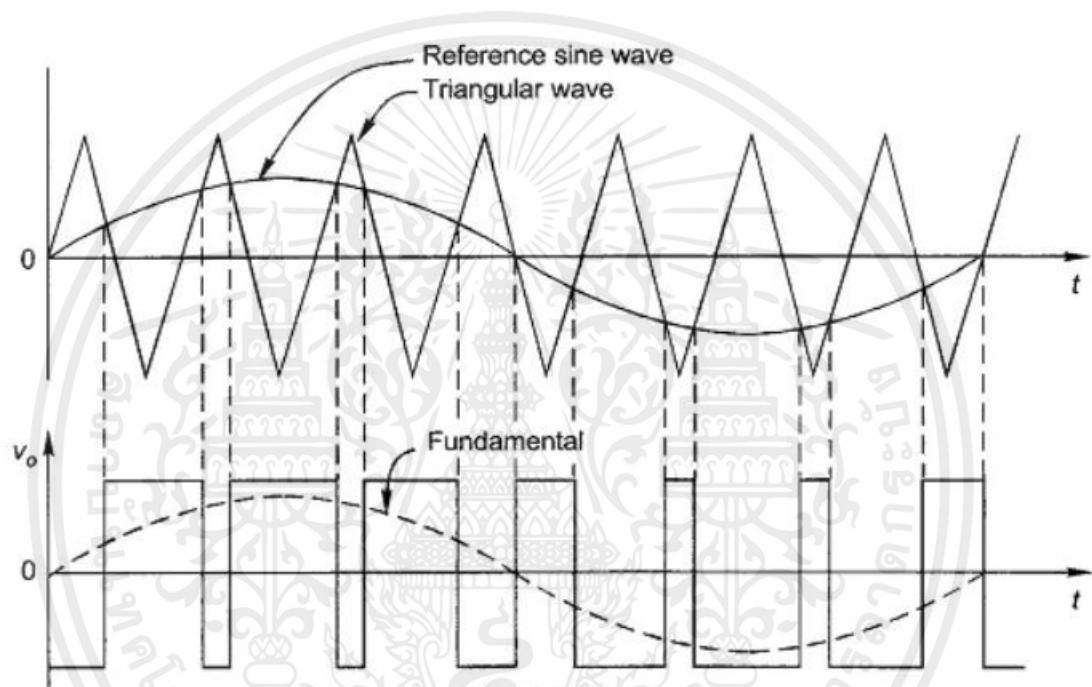


รูปที่ 2.12 วงจรเปรียบเทียบแรงดันและกราฟแสดงแรงดันที่ขาออกเทียบแรงดันที่ขาเข้า

สำหรับวงจรเปรียบเทียบแรงดันใน Class-D amplifier จะมีแรงดันอ้างอิง (Voltage Reference) อยู่ที่ขาลบซึ่งเป็นสัญญาณสามเหลี่ยม และนำมาเปรียบเทียบแรงดันกับสัญญาณที่ขาบวกซึ่งเป็นสัญญาณเสียงที่เข้าไป โดยเมื่อสัญญาณเสียงที่ขาบวกมีค่ามากกว่าสัญญาณสามเหลี่ยมที่ขาลบสัญญาณที่เปรียบเทียบจะให้ค่าเป็น High และในทำนองเดียวกันเมื่อสัญญาณสามเหลี่ยมที่ขาลบมีค่ามากกว่าสัญญาณที่ขาบวกสัญญาณที่เปรียบเทียบจะให้ค่าเป็น Low สรุปได้ว่าเมื่อนำสัญญาณเสียงและสัญญาณสามเหลี่ยมมาเปรียบเทียบกับสัญญาณที่ได้จะเป็นสัญญาณดิจิทัล สัญญาณพัลส์ (Pulse Width Modulation) ดังรูปที่ 2.10 ที่แสดงให้เห็นถึงการเปรียบเทียบของสัญญาณทั้งสอง เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 วงจรเปรียบเทียบแรงดัน



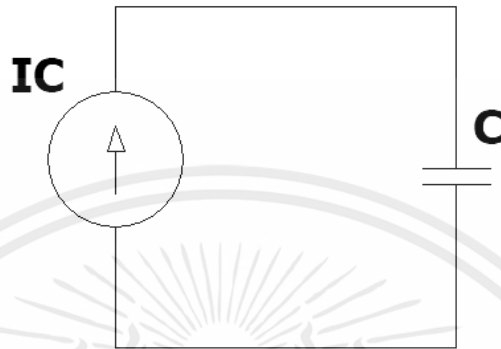
รูปที่ 2.14 กราฟแสดงการเปรียบเทียบแรงดันและผลลัพธ์ของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

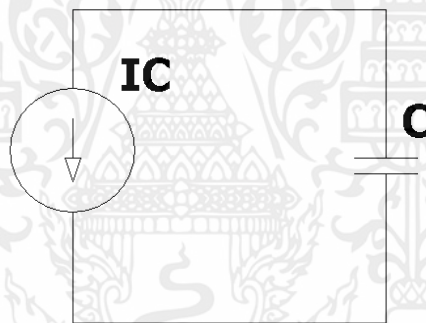
2.7 วงจรสร้าง Dead Time

2.7.1 อธิบายการทำงานของ Current starved inverter

จากทฤษฎีการชาร์จประจุและคายประจุของตัวเก็บประจุ (Capacitor) โดยมีแหล่งจ่ายเป็นแหล่งจ่ายกระแสคงที่ (Constant Current Source)



รูปที่ 2.15 วงจรแหล่งจ่ายกระแสคงที่กับตัวเก็บประจุ (ชาร์จประจุ)



รูปที่ 2.16 วงจรแหล่งจ่ายกระแสคงที่กับตัวเก็บประจุ (คายประจุ)

จากสมการกระแสของตัวเก็บประจุ คือ

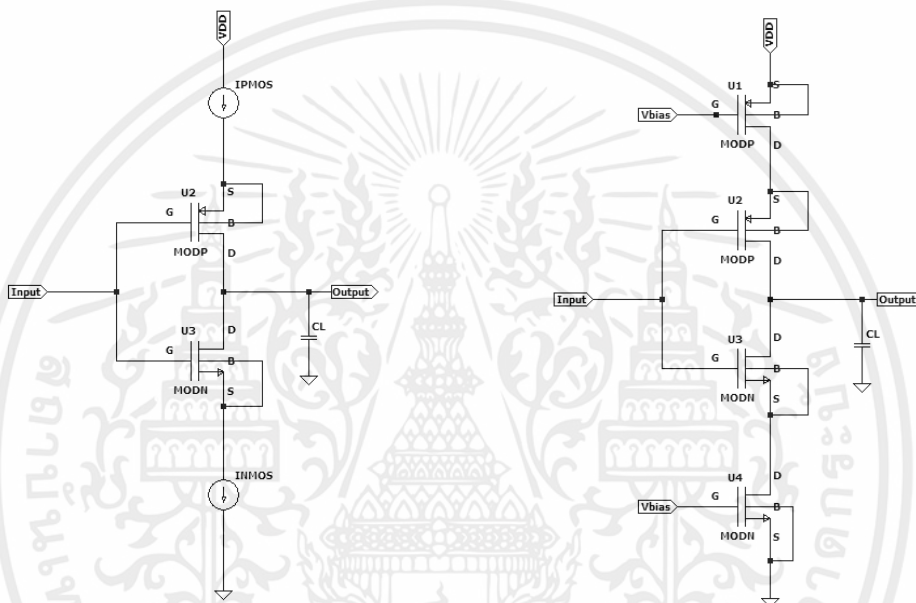
$$I_C = C \frac{dV}{dt}$$

จะได้ความชันของตัวเก็บประจุ คือ

$$\frac{dV}{dt} = \frac{I_C}{C}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการออกแบบ Current starved inverter นั้นเพราะต้องการเพิ่ม Delay ให้มากขึ้น โดยใช้หลักการในการการชาร์จประจุและคายประจุของตัวเก็บประจุ (Capacitor) โดยมีแหล่งจ่ายเป็นแหล่งจ่ายกระแสคงที่ (Constant Current Source) โดยตัวเก็บประจุจะเป็นตัวเก็บประจุที่แฝงอยู่ในตัว NMOS และ PMOS โดยการสร้าง NMOS และ PMOS เป็นแหล่งจ่ายกระแสคงที่ (Constant Current Source) โดย PMOS U1 จะเป็นแหล่งจ่ายกระแสคงที่ที่เป็น Sourcing Current Source และ NMOS U4 จะเป็นแหล่งจ่ายกระแสคงที่ที่เป็น Sinking Current Source และ PMOS U2 กับ NMOS U3 ต่อเป็นวงจร CMOS Inverter

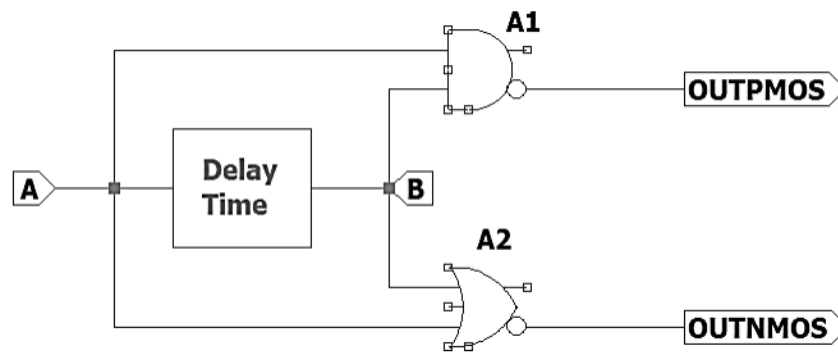


รูปที่ 2.17 วงจรอินเวอร์เตอร์ในระดับ CMOS ที่มีการเพิ่ม Constant Current Source

2.7.2 วงจรหน่วงเวลา (Dead Time)

วงจร Deadtime ถูกใช้ในการแก้ปัญหาที่เกิดจากสัญญาณพัลส์มีเดเลย์ ซึ่งในช่วงจาก low ไป high และจาก high ไป low นั้นเป็นปัญหาอย่างมากเนื่องจากในช่วงนี้จะทำให้ NMOS และ PMOS ทำงานพร้อมกันซึ่งจะเกิดการสูญเสียกระแสเป็นอย่างมากเพราะ NMOS และ PMOS มีขนาดใหญ่ และทำให้เกิดการสูญเสียพลังงานที่ไม่ต้องการให้เกิด ทำให้ต้องแก้ปัญหาโดยการ แยกสัญญาณ ดังนั้นสัญญาณควบคุมการนำกระแสของมอสเฟตจำเป็นต้องมีช่วงเวลา ที่ เรียกว่า Deadtime ซึ่งเป็นช่วงเวลาที่อยู่ระหว่างการสับเปลี่ยนค่า เพื่อป้องกันการนำกระแสพร้อมกันของมอสเฟตกำลัง โดยมีลักษณะของสัญญาณที่ต้องการดังรูปที่ 2.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 วงจรสร้าง Deadtime



รูปที่ 2.19 สัญญาณพัลส์ที่ควบคุมการนำกระแสของมอสเฟตกำลัง

โดยสัญญาณทั้ง 2 นี้จะมีช่วง Δt ที่ทำให้ NMOS กับ PMOS ไม่ทำงาน จากการเลื่อนสัญญาณที่เข้าไปใน NMOS ให้มีดีเลย์เท่ากับ rise time ของ PMOS โดยใช้ดีเลย์ในรูปที่ 2.15 เข้ามาช่วย กระบวนการใช้ดีเลย์นี้อยู่ในกระบวนการแยกสัญญาณของวงจร Deadtime โดยจะมีส่วนของ Nor Gate และ Nand Gate ในการทำให้สัญญาณสอดคล้องกัน และ ส่วนดีเลย์ที่ต่อจะใช้ Inverter CMOS ถูกควบคุมโดย Current Source ในรูปที่ 2.14 ส่วนเหล่านี้จะทำให้สัญญาณมีช่วงเวลาที่ทำให้ NMOS และ PMOS ไม่ทำงานและลด loss ที่เกิดได้ถึงแต่ก็ทำให้สัญญาณมีความผิดเพี้ยน ซึ่งเราจะเน้นในเรื่องประสิทธิภาพนั้นคือจุดเด่นของ power amp class d ซึ่งความเพี้ยนของสัญญาณเพียงเล็กน้อย

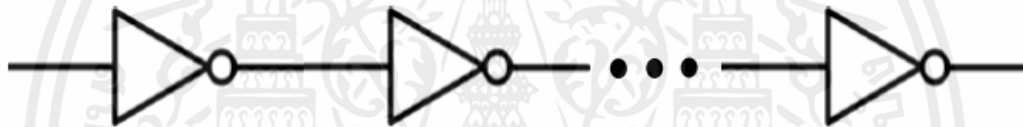
จากวงจร Deadtime เมื่อนำไปต่อเข้ากับขาเกตของมอสเฟตกำลังโดยตรง จะเกิดปัญหาที่เรียกว่า Load Effect ซึ่งเป็นปัญหาที่ตัวมอสเฟตกำลังมีขนาดใหญ่ ทำให้ค่าตัวเก็บประจุแฝงก็จะมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

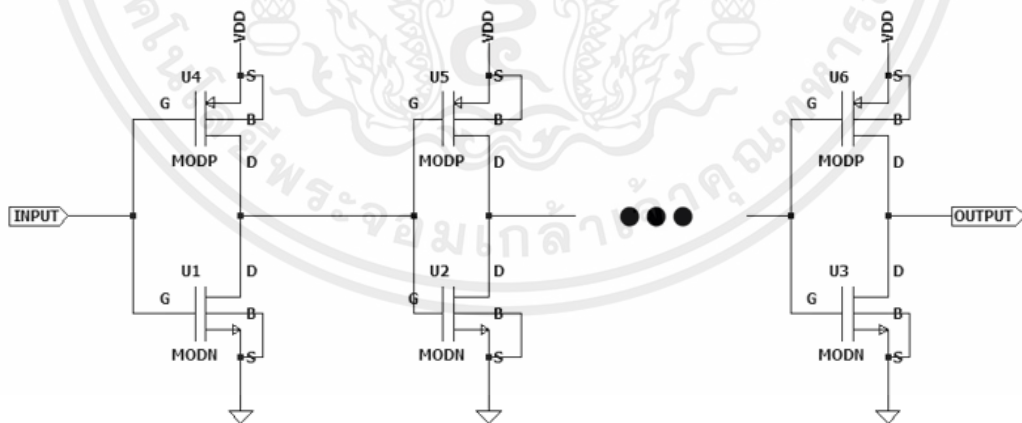
ขนาดใหญ่ตามเช่นกัน หากทำการต่อเข้าโดยตรงก็จะทำให้เกิดดีเลย์ที่สูง จึงจำเป็นต้องมีวงจร Inverter Chain หรือ Buffer ที่ทำหน้าที่เหมือนกันชนเพื่อลดดีเลย์ ซึ่งจะอธิบายในหัวข้อถัดไป

2.8 วงจร Inverter Chain หรือ Buffer

เนื่องจากปัญหาที่เกิดจากมอสเฟตกำลังหรือมอสภาคถัดไปมีขนาดใหญ่ทำให้ C แฉงที่เกิดขึ้นมีขนาดที่ใหญ่ตาม การต่อเข้าโดยตรงจะทำให้เกิดดีเลย์อย่างมาก ซึ่งวงจรบัฟเฟอร์เป็นทางเลือกที่ดีในการแก้ปัญหา โดยในวงจรบัฟเฟอร์มีโครงสร้าง คือ การต่อ Inverter หลายๆตัว เรียกว่า Inverter Chain และ Inverter แต่ละตัวจะมีขนาดที่เพิ่มขึ้นด้วยอัตราที่กำหนดเป็นเท่าตัว นำมาต่อกันกลางระหว่างโหนดการกับภาคส่งเอาต์พุต โดยมีเงื่อนไขคือ ค่าความเก็บประจุขาเข้าต้องมีค่าน้อยและกระแสที่ไหลออกจากวงจรต้องมีค่ามาก โดยในการสร้างบัฟเฟอร์นั้นจะต้องคำนึงถึงขนาดของภาคถัดไป (f) และจำนวนของ Inverter (N) เพื่อให้ได้ดีเลย์ที่ดีที่สุด



รูปที่ 2.20 วงจร Inverter Chain หรือ Buffer



รูปที่ 2.21 วงจร Inverter Chain หรือ Buffer ในระดับ CMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่อวงจรบัฟเฟอร์ในลักษณะนี้จะมีค่าหน่วงเวลา หรือ delay time ค่าหนึ่ง ซึ่งหลักการที่จะทำให้ค่าหน่วงเวลา (delay time) มีค่าน้อยที่สุด คือการทำให้ Fan out delay ของ inverter ทุกตัวเท่ากัน โดย

$$\text{Fan out delay} = \tau_{\text{inv}} \frac{C_{\text{out}}}{C_{\text{in}}}$$

$$\text{โดย } \tau_{\text{inv}} = 3R_{\text{eq}}C_gL$$

$$C_g = 2 \frac{\text{fF}}{\mu\text{m}}$$

$$R_{\text{eq(pmos)}} = 30 \text{ k}\Omega, R_{\text{eq(nmos)}} = 12.5 \text{ k}\Omega$$

และค่าหน่วงเวลาของวงจร Inverter จะมีค่าเท่ากับ

$$t_p = \sum \tau_{\text{inv}} \left(\frac{C_{\text{out}}}{C_{\text{in}}} + \gamma_{\text{inv}} \right)$$

$$\text{โดย } \gamma_{\text{inv}} = \frac{C_{\text{self(inv)}}}{C_{\text{in(inv)}}} = \frac{C_{\text{eff}}(2w+w)}{C_g(2w+w)} = \frac{1}{2}$$

$$C_g = 2 \frac{\text{fF}}{\mu\text{m}}$$

$$C_{\text{eff}} = 1 \frac{\text{fF}}{\mu\text{m}}$$

สำหรับการคำนวณขนาดของวงจรภาคถัดๆ ไปจะมีค่าเท่ากับ (f)

จาก

$$C_L = f^N C_{\text{in}}$$

$$\ln f^N = \ln \frac{C_L}{C_{\text{in}}}$$

$$f = \left(\frac{C_L}{C_{\text{in}}} \right)^{\frac{1}{N}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และสำหรับการคำนวณหาจำนวนของวงจร Inverter ทั้งหมดมีค่าเท่ากับ (N)
จาก

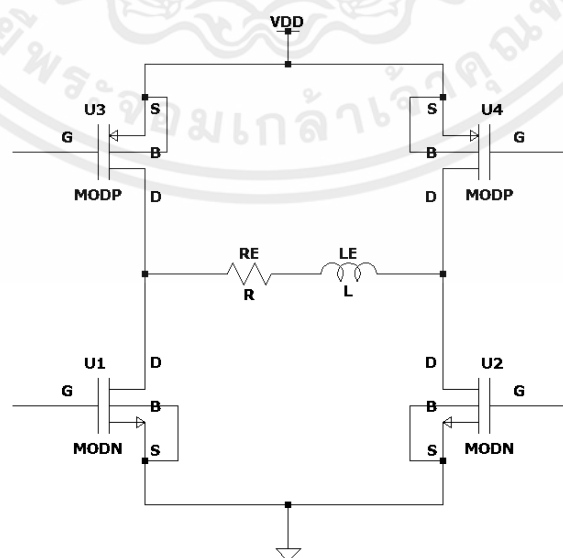
$$C_L = f^N C_{in}$$

$$\ln f^N = \ln \frac{C_L}{C_{in}}$$

$$N = \frac{\ln(C_L/C_{in})}{\ln f}$$

2.9 วงจรภาคมอสเฟตกำลัง (Power MOSFET Circuit)

วงจรรภาคขยายที่ในการออกแบบวงจรมอสเฟตกำลัง (Power MOSFET Circuit) จะเป็นการต่อแบบวงจรโหลดแบบบริดจ์ Bridged-Tied Load (BTL) คือการกำหนดค่าเอาต์พุตสำหรับเครื่องขยายสัญญาณเสียงซึ่งใช้เป็นหลักในแอปพลิเคชันด้านเสียง โหลด (เช่น ลำโพง) โดยการเชื่อมต่อระหว่างเอาต์พุตของเครื่องขยายเสียงสองตัว โดยเชื่อมหัวเอาต์พุตทั้งสองเข้าด้วยกันสิ่งนี้สามารถเพิ่มการแกว่งของแรงดันไฟฟ้าเป็นสองเท่าที่โหลด(เมื่อเทียบกับการทำงานของเครื่องขยายเสียงแบบ single-end หากเอาต์พุตถูกขับในเฟสตรงข้าม แต่มอสมีขนาดที่ใหญ่เนื่องจากต้องการลดความต้านทาน และมีการไดรฟ์ขาเกทของมอสเฟต ชนิดพี และชนิดเอ็นแตกต่างกันเพื่อป้องกันไม่ให้ออสเฟตทำงานพร้อมกันเนื่องจาก Delay ของสัญญาณและเกิดการสูญเสียประสิทธิภาพ ดังรูป



รูปที่ 2.22 วงจรมอสเฟตกำลังเป็นการต่อแบบวงจรโหลดแบบบริดจ์ Bridged-Tied Load (BTL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.22 แสดงถึงวงจรมอสเฟตกำลังที่ต่อกันแบบวงจรบริดจ์ Bridged-Tied Load (BTL) โดย มีการทำงานแยกส่วนกันระหว่าง PMOS และ NMOS หรือหมายความว่าไม่มีช่วงที่มอสเฟตทั้งสอง ตัวทำงานพร้อมกัน โดยเมื่อมอสเฟตตัวใดทำงานก็จะประพุดิตัวเป็นตัวต้านทานตัวหนึ่ง ซึ่งเรียกว่า $R_{ds(ON)}$ เปรียบเสมือนว่าภายในวงจรจะมีการต่อตัวต้านทาน 2 ตัว คือมอสเฟตที่ประพุดิตัว เป็นตัวต้านทาน และตัวต้านทานของโหลด ดังรูปที่ 2.19



รูปที่ 2.23 สถานะเอาต์พุตของ BTL และความต้านทาน R_{ds-on} ที่เห็นโดยโหลด

จากรูปที่ 2.23 ดังกล่าว และจากจุดมุ่งหมายแรกของวงจร Class-D Amplifier ที่มีจุดมุ่งหมายไปที่ประสิทธิภาพการทำงานของวงจร หรือกำลังงานที่สูญเสียไปกับวงจรมีค่าน้อยมากๆ โดยสำหรับประสิทธิภาพการทำงาน (Efficiency) จะมีสมการดังนี้

$$\eta = \frac{P_{out}}{P_{in}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรแบ่งแรงดันแล้วจะได้ว่ากระแสที่ไหลผ่านทั้งวงจรจะมีขนาดเท่ากัน หรือ $I_{out} = I_{in}$

$$\eta = \frac{V_{out}I_{out}}{V_{in}I_{in}}$$

จากวงจรแบ่งแรงดันแล้วจะได้ว่ากแรงดันที่ขาออกจะมีค่าเท่ากับ

$$V_{out} = \left(\frac{R_L}{R_L + 2R_{ds(ON)}} \right) V_{in}$$

$$\eta = \frac{\left(\frac{R_L}{R_L + 2R_{ds(ON)}} \right) V_{in} I_{out}}{V_{in} I_{in}}$$

$$\eta = \left(\frac{R_L}{R_L + 2R_{ds(ON)}} \right)$$

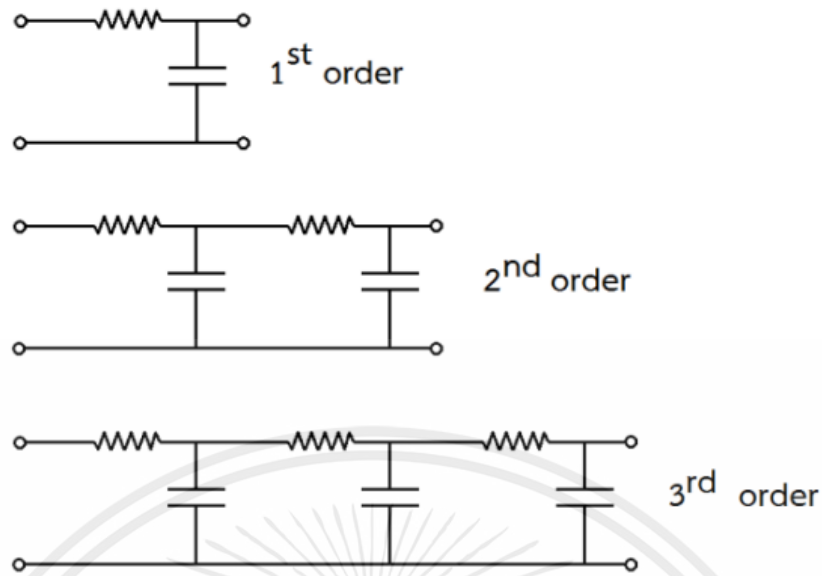
โดย η คือ ประสิทธิภาพ (Efficiency)

R_L คือ ความต้านทานของโหลด

$R_{ds(ON)}$ คือ ความต้านทานแฝงของมอสเฟส

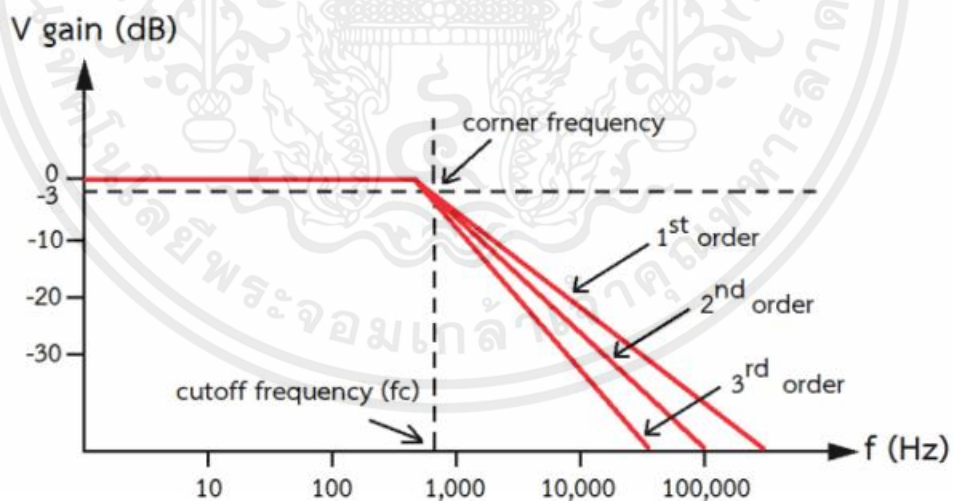
2.10 วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter Circuit, LPF)

วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter Circuit, LPF) เป็นวงจรที่ยอมให้ สัญญาณความถี่ตั้งแต่ 0 Hz จนถึงความถี่ที่กำหนดผ่านไปได้ โดยที่ความถี่ที่สูงกว่านั้นจะถูกลดทอนไปตามลำดับ สามารถทำได้โดยการต่อตัวต้านทาน และตัวเก็บประจุ ดังรูปต่อไปนี้



รูปที่ 2.23 วงจรกรองความถี่ต่ำผ่าน (Low pass filter circuit, LPF)

จากรูปที่ 2.24 สัญญาณไฟฟ้าที่เกิดขึ้นสามารถนำมาเขียนกราฟความสัมพันธ์ระหว่างความต่างศักย์กับความถี่ของสัญญาณไฟฟ้าได้ดังนี้



รูปที่ 2.24 ความสัมพันธ์ระหว่างความต่างศักย์กับลำดับการลดทอนความถี่ในวงจรกรองความถี่ต่ำผ่าน

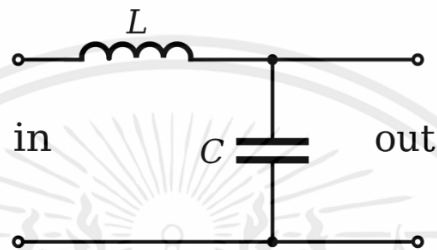
การคำนวณหาค่าความถี่ตัดสูง (High frequency cut-off) ในวงจรกรองความถี่ต่ำผ่าน (low pass filter, LPF) ที่ใช้ตัวเก็บประจุ สามารถทำได้โดยใช้สมการดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_c = \frac{1}{RC} = 2\pi f_c$$

โดย ω_c คือ ความถี่ตัดเชิงมุม มีหน่วยเป็น เรเดียน/วินาที (rad/s)

f_c คือ ความถี่ตัดเชิงเส้น มีหน่วยเป็น เฮิรตซ์(Hz)



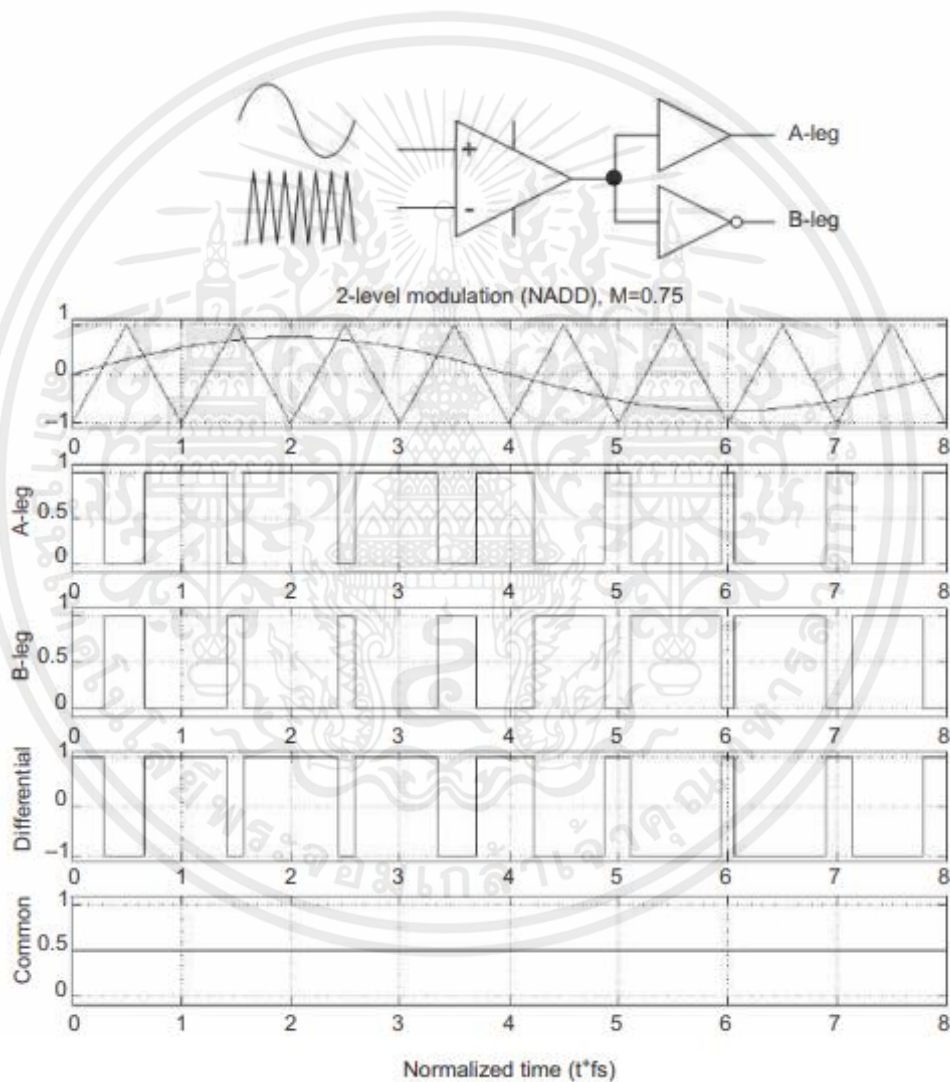
รูปที่ 2.25 วงจรกรองความถี่ต่ำผ่านแบบ LC (Low pass filter circuit, LPF)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11 การมอดูเลตแบบ AD และ การมอดูเลตแบบ BD

2.11.1 การมอดูเลตแบบ AD (AD Modulation)

การมอดูเลตแบบ AD (AD Modulation) คือ เป็นการมอดูเลตสร้างสัญญาณสี่เหลี่ยม(PWM) โดยการเปรียบเทียบสัญญาณสามเหลี่ยมกับสัญญาณเสียงเพื่อให้ได้สัญญาณพัลส์ (Pulse Width Modulation) สำหรับการมอดูเลตแบบ AD (AD Modulation) จะให้สัญญาณพัลส์ (Pulse Width Modulation) ออกมาเป็น 2 สถานะ High และ Low ด้วยเหตุนี้จึงเรียกอีกอย่างว่าการมอดูเลตแบบไบนารี

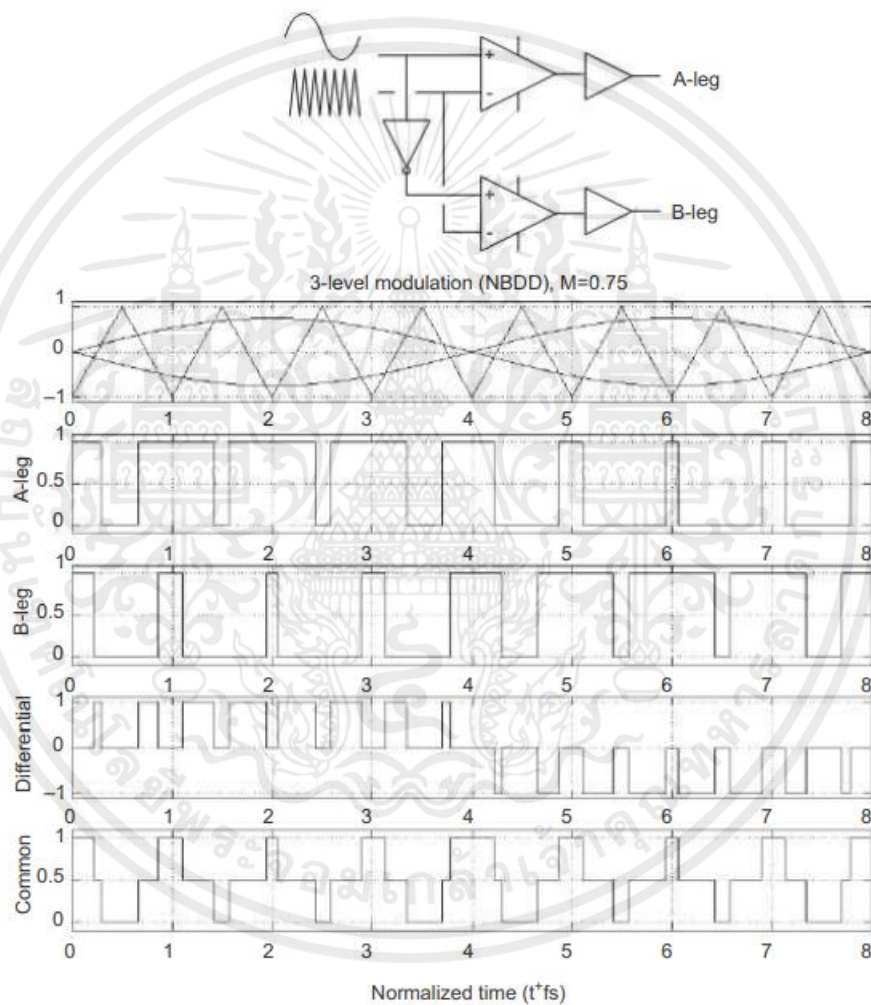


รูปที่ 2.27 การมอดูเลตแบบ AD (AD Modulation)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.11.2 การมอดูเลตแบบ BD (BD Modulation)

การมอดูเลตแบบ BD (BD Modulation) คือ เป็นการมอดูเลตสร้างสัญญาณสี่เหลี่ยม(PWM) โดยการเปรียบเทียบสัญญาณสามเหลี่ยมกับสัญญาณเสียงเพื่อให้ได้สัญญาณพัลส์ (Pulse Width Modulation) สำหรับการมอดูเลตแบบ BD (BD Modulation) จะให้สัญญาณพัลส์ (Pulse Width Modulation) ออกมาเป็น 3 สถานะ High และ Low และกราวด์ ด้วยเหตุนี้จึงเรียกอีกอย่างว่าการมอดูเลตแบบ ไตรภาค

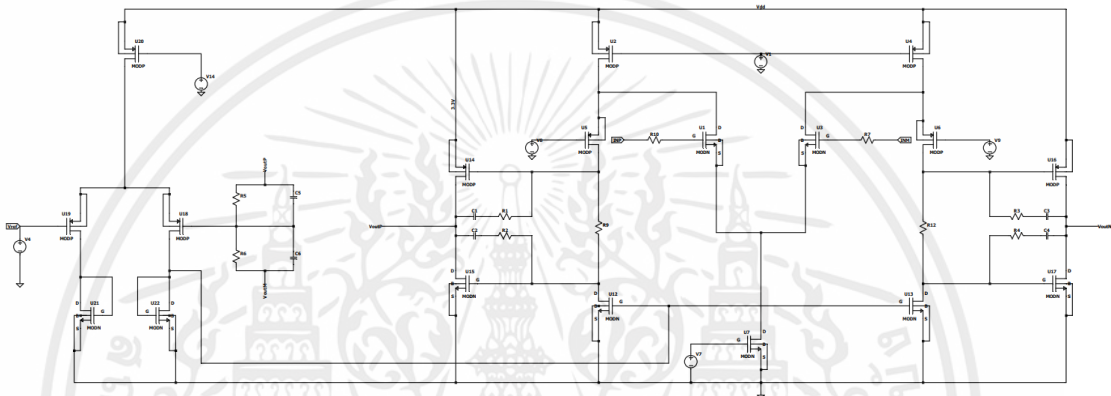


รูปที่ 2.28 การมอดูเลตแบบ BD (BD Modulation)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.12 วงจรอินทิเกรเตอร์แบบเอาต์พุตผลต่าง (Integrator difference ended)

วงจรอินทิเกรเตอร์แบบเอาต์พุตผลต่างนั้นข้อดีคือมีความสามารถการลดทอนความผิดเพี้ยนของสัญญาณรบกวนและมีอัตราขยายของออปแอมป์เอาต์พุตผลต่างมีค่าเป็นสองเท่าของออปแอมป์เอาต์พุตเดี่ยวและสัญญาณเอาต์พุตที่ขาทั้งสองของออปแอมป์เอาต์พุตผลต่างขึ้นอยู่กับสัญญาณอินพุตผลต่างเท่านั้นโดยมีขนาดเท่ากันแต่มีเฟสต่างกัน 180 องศา

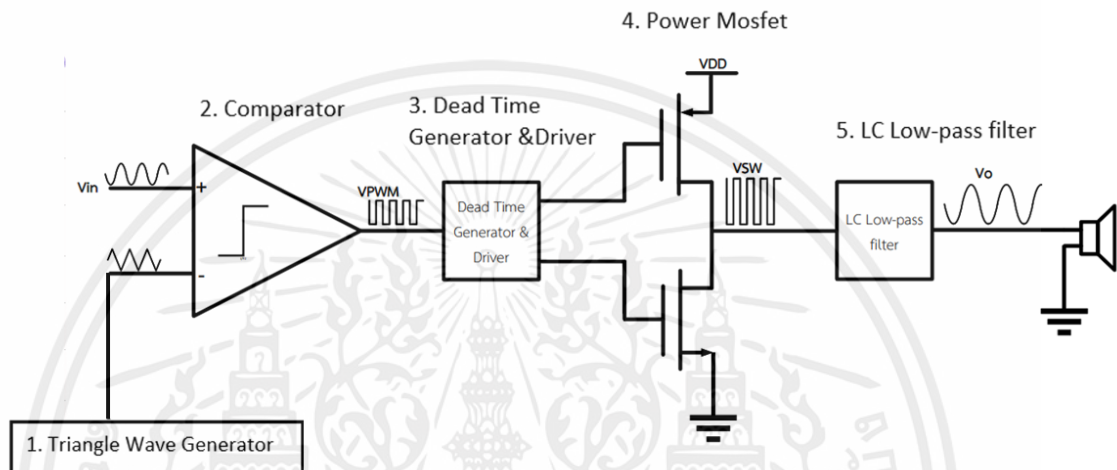


รูปที่ 2.29 วงจรอินทิเกรเตอร์แบบเอาต์พุตผลต่าง (Integrator difference ended)

บทที่ 3

วิธีการดำเนินงาน

3.1 วงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูเปิด



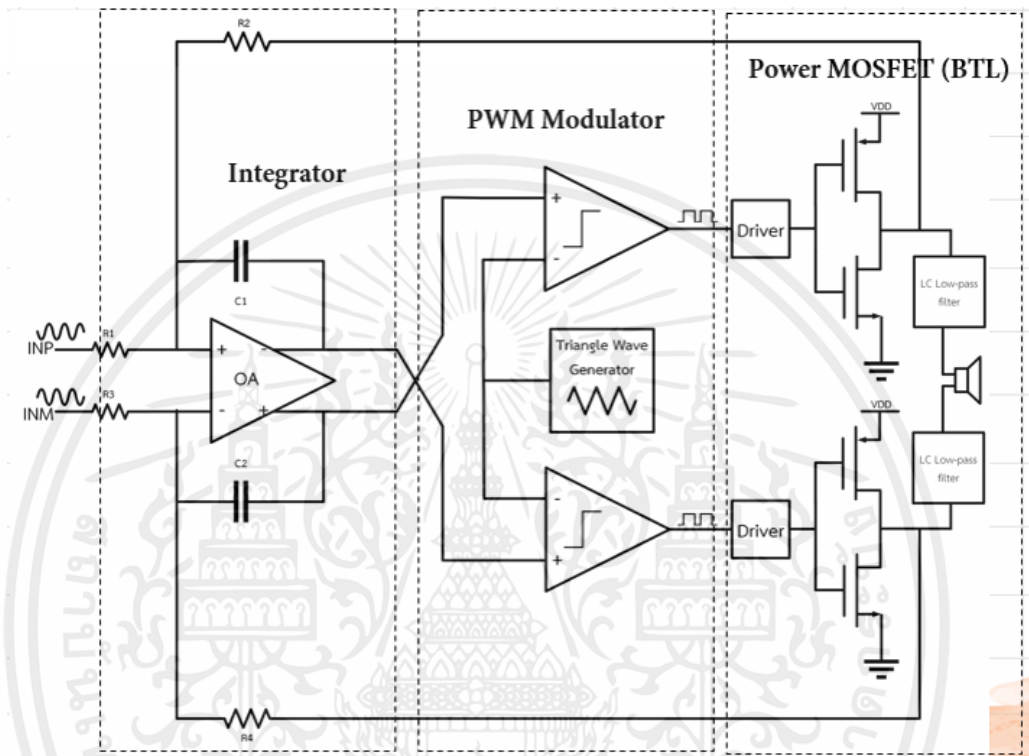
รูปที่ 3.1 บล็อกไดอะแกรมของออกแบวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูเปิด

โครงการออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูเปิด (Class D power amplifier IC design Open loop) ทำหน้าที่เป็นตัวควบคุมสัญญาณให้กับวงจรขยายกำลังคลาสดี Class-D amplifier โดยตามบล็อกไดอะแกรมเมื่อสัญญาณเสียง V_{in} และวงจรสร้างสัญญาณสามเหลี่ยม (Triangle Wave Generator) เข้าสู่วงจรเปรียบเทียบแรงดัน (Comparator) เพื่อสร้างสัญญาณรูปสี่เหลี่ยมเพื่อนำสัญญาณไปใช้งานต่อที่ Switching output Stage ในส่วนของวงจร Dead Time สร้างมาเพื่อให้สัญญาณเกิดการหน่วงเวลาจะทำให้ NMOS และ PMOS ทำงานไม่พร้อมกัน ส่วนของวงจร Inverter Chain หรือ Buffer จะมีหน้าที่ในการแก้ปัญหาการต่อโหลดภาระที่มีขนาดใหญ่ก่อนที่จะถึงส่วนของวงจร Power Mosfet ที่มีหน้าที่จ่ายกำลังงานไปที่ลำโพง แต่ก่อนจะถึงลำโพงต้องมีการใช้วงจรกรองความถี่ต่ำ (Low Pass Filter) โดยที่วงจรกรองความถี่ต่ำนี้จะกรองสัญญาณรูปสี่เหลี่ยมให้เหลือเฉพาะส่วนที่เป็นไฟตรง (DC) เพื่อจะนำสัญญาณไฟตรงไปทำงานกับ ลำโพง

ข้อเสียของ วงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูเปิด (Class D power amplifier IC design Open loop) นั้นจะมีปัญหาทางด้าน สัญญาณรบกวนที่เกิดจากลำโพงและกำลังไฟฟ้าที่ไม่สามารถเกินค่าของไฟเลี้ยง (Power supply) ได้ และยังทำให้เกิดปัญหาสัญญาณรบกวนจากไฟเลี้ยง เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Power supply Noise) จึงมีการทำวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปปิด (Class D power amplifier IC design Close loop) เพื่อมาแก้ปัญหาดังที่กล่าวมาข้างต้น

3.2 วงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปปิด



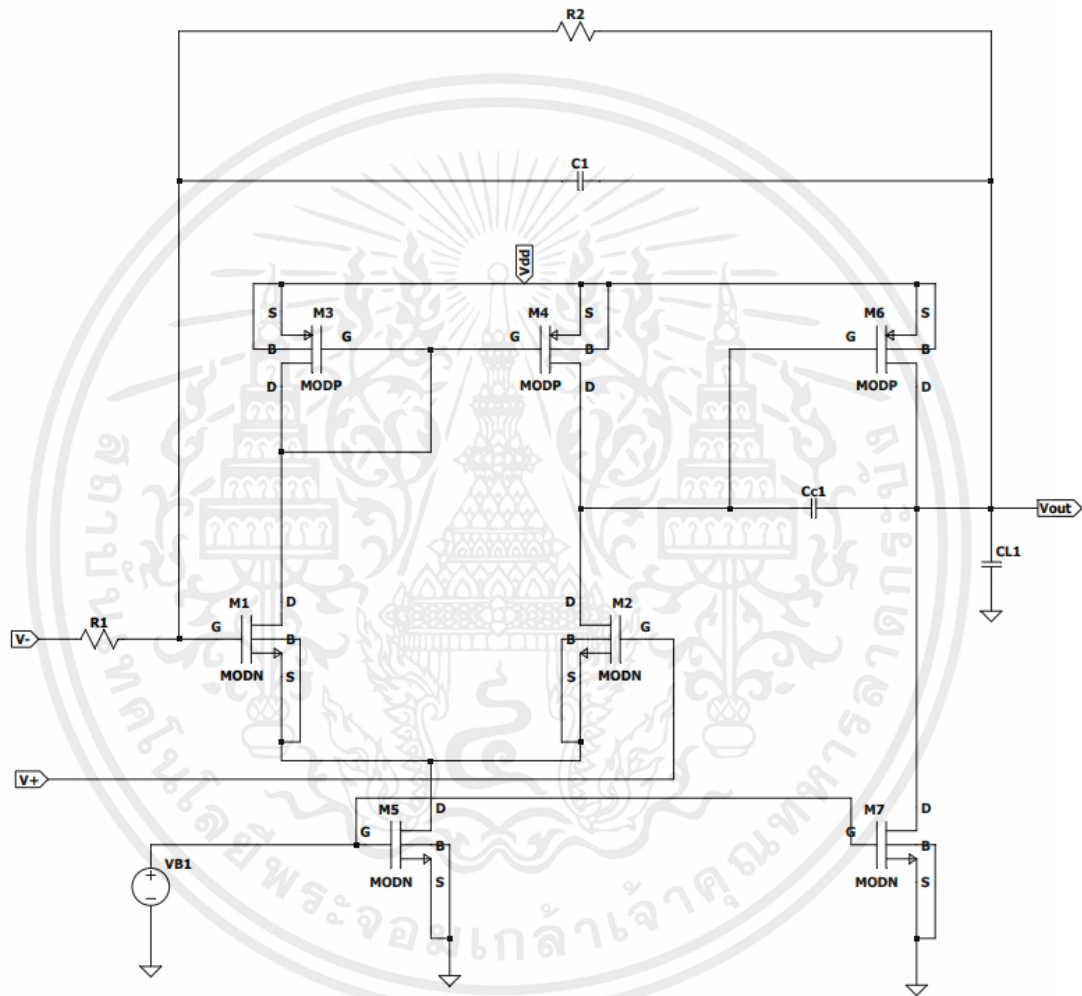
รูปที่ 3.2 บล็อกไดอะแกรมของออกแบวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปปิด

โครงงานออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปปิด (Class D power amplifier IC design Close loop) ทำหน้าที่เป็นตัวควบคุมสัญญาณให้กับวงจรรขยายกำลังคลาสดี Class-D amplifier โดยตามบล็อกไดอะแกรมเมื่อสัญญาณเสียง V_{in} เข้าสู่ วงจรอินทิเกรเตอร์ (Integrator) วงจรรวมสร้างสัญญาณสามเหลี่ยม (Triangle Wave Generator) เข้าสู่วงจรเปรียบเทียบแรงดัน (Comparator) เพื่อสร้างสัญญาณรูปสี่เหลี่ยม (PWM Modulator) โดยเป็นการ BD Modulator เพื่อนำสัญญาณไปใช้งานต่อที่ Switching output Stage ในส่วนของวงจร Dead Time สร้างมาเพื่อให้สัญญาณเกิดการหน่วงเวลาจะทำให้ NMOS และ PMOS ทำงานไม่พร้อมกัน ส่วนของวงจร Inverter Chain หรือ Buffer จะมีหน้าที่ในการแก้ปัญหาการต่อโหลดภาระที่มีขนาดใหญ่ก่อนที่จะถึง ส่วนของวงจร Power Mosfet แบบวงจรถอดแบบบริดจ์ Bridged-Tied Load (BTL) ที่มีหน้าที่จ่ายกำลังงานไปที่ลำโพง แต่ก่อนจะถึงลำโพงต้องมีการใช้วงจรรองความถี่ต่ำ (Low Pass Filter) โดยที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ต่ำนี้จะกรองสัญญาณรูปสี่เหลี่ยมให้เหลือเฉพาะส่วนที่เป็นไฟตรง (DC) เพื่อจะนำสัญญาณไฟตรงไปทำงานกับ ลำโพง และมีวงจรขยายผลต่าง (Feedback Amplifier) สามารถป้อนกลับสัญญาณเอาต์พุตได้

3.3. การออกแบบวงจรอินทิเกรเตอร์ (Integrator)



รูปที่ 3.3 วงจรอินทิเกรเตอร์ (Integrator) ในระดับ CMOS

ถ้า $K_N = 170 \mu\text{A}/\text{V}^2$, $K_P = 58 \mu\text{A}/\text{V}^2$, $V_{TN} = |V_{TP}| = 0.5\text{V}$, $\lambda_{N,P} = 0.01\text{V}^{-1}$

$$C_c \geq 0.2C_L, SR = 141,990 \text{ V}/\mu\text{s}, C_L = 38.3 \text{ fF}$$

พิจารณาสมการหาค่า $C_c \geq 0.2C_L$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_c \geq 0.2C_L$$

$$C_c \geq 0.2(38.3 fF)$$

$$C_c \geq 7.66 fF$$

พิจารณาสมการกระแสเดรนในโหมด Saturation ของ NMOS M5

$$I_{D5} = \frac{\mu C_{ox} (W/L)_5}{2} (V_{GS} - V_T)^2$$

$$\frac{W}{L}_5 = \frac{2I_D}{\mu C_{ox} (V_{GS} - V_T)^2}$$

หาค่าของ W/L_5 โดยกำหนดให้ $I_{D5} = 10\mu A$, $V_{GS} - V_T = 0.2$

$$10\mu = \frac{170 \mu A/V^2 (W/L)_5}{2} (0.2)^2$$

$$\frac{W}{L}_5 = \frac{2(10\mu)}{170 \mu A/V^2 (0.2)^2}$$

$$\frac{W}{L}_5 = 3$$

หาค่าของ W_5 โดยกำหนดให้ $L = 5L_{min} = 5(0.35) = 1.75 \mu m$

$$W_5 = 5.25 \mu m$$

พิจารณาค่าอัตราขยายผลต่าง (Differential gain) ของวงจรขยายผลต่าง (Differential amplifier)

$$A_{vd} = g_{m1}(r_{o4} // r_{o2})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A_{vd} = \sqrt{2\mu C_{ox}(W/L)_1 I_{D1}} \left(\frac{1}{\lambda I_{D4} + \lambda I_{D2}} \right)$$

หาค่าของ W/L_1 โดยกำหนดให้ $A_{vd} = 3000$, $\lambda = 0.01 \text{ V}^{-1}$

$$3000 = \sqrt{2(170\mu)(W/L)_1 (5\mu)} \left(\frac{1}{(0.01)(5\mu) + (0.01)(5\mu)} \right)$$

$$\frac{W}{L_1} = 53$$

หาค่าของ W_1 โดยกำหนดให้ $L = 2L_{min} = 2(0.35) = 0.7 \mu\text{m}$

$$W_1 = 37 \mu\text{m}$$

เนื่องจาก $I_{D4} = I_{D2} = 5 \mu\text{A}$

$$I_{D4} = \frac{\mu C_{ox}(W/L)_4}{2} (V_{GS} - V_T)^2$$

หาค่าของ W/L_4 โดยกำหนดให้ $I_{D4} = I_{D2} = 5 \mu\text{A}$, $V_{GS} - V_T = 0.2$

$$5\mu = \frac{58 \mu\text{A}/\text{V}^2 (W/L)_4}{2} (0.2)^2$$

$$\frac{W}{L_4} = 4.3$$

หาค่าของ W_8 โดยกำหนดให้ $L = 2L_{min} = 2(0.35) = 0.7 \mu\text{m}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$W_4 = 3 \mu\text{m}$$

เนื่องจากเป็นวงจรขยายผลต่าง (Differential amplifier) ขนาด NMOS U1 = NMOS U2 และ
ขนาด PMOS U3 = PMOS U4

$$\frac{W}{L}_{1,2} = 53$$

$$\frac{W}{L}_{3,4} = 4.3$$

หลักการวงจรสะท้อนกระแส (Current Mirror) สะท้อนกระแสจาก NMOS U5 ไป NMOS U7

$$I_{D7} = \frac{(W/L)_7}{(W/L)_5} I_{D4}$$

$$10\mu = \frac{(W/L)_7}{3} 5\mu$$

$$\frac{W}{L}_7 = 6$$

หาค่าของ W_7 โดยกำหนดให้ $L = 5L_{\text{min}} = 5(0.35) = 1.75 \mu\text{m}$

$$W_7 = 10.5 \mu\text{m}$$

หาค่าของ W/L_6 โดยกำหนดให้ $I_{D6} = I_{D7} = 10\mu\text{A}$, $V_{GS} - V_T = 0.2$

$$I_{D6} = \frac{\mu C_{\text{ox}} (W/L)_6}{2} (V_{GS} - V_T)^2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{W}{L_6} = \frac{2I_D}{\mu C_{ox}(V_{GS} - V_T)^2}$$

$$\frac{W}{L_6} = \frac{2(10\mu)}{58 \mu A/V^2 (0.2)^2}$$

$$\frac{W}{L_6} = 9$$

หาค่าของ W_6 โดยกำหนดให้ $L = 5L_{min} = 5(0.35) = 1.75 \mu m$

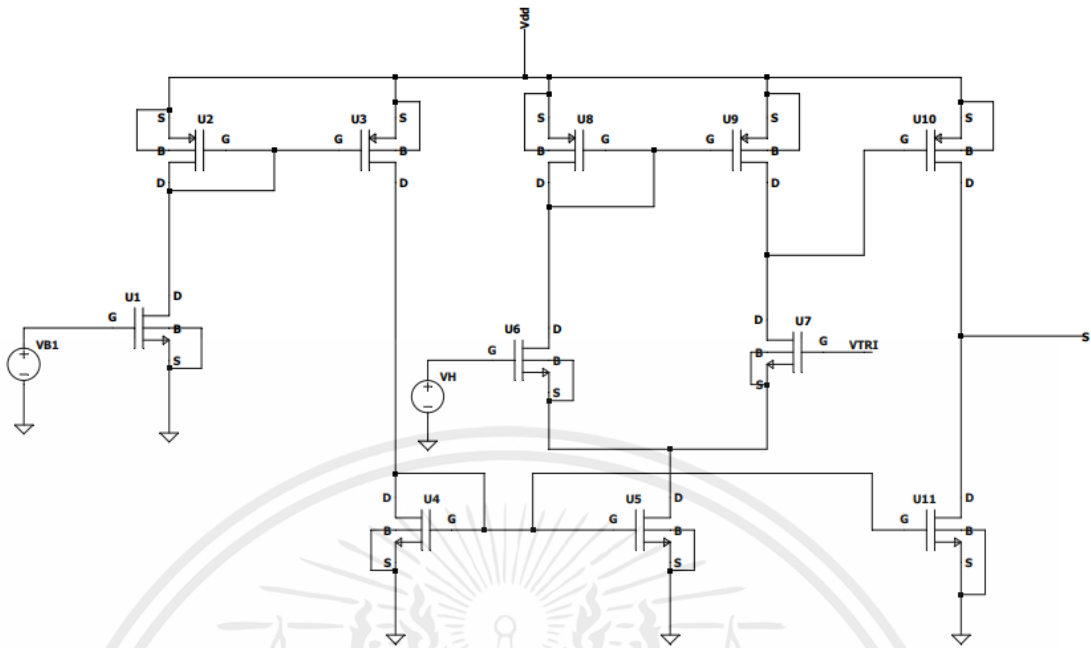
$$W_6 = 15 \mu m$$

3.4. การคำนวณสร้างวงจรสร้างสัญญาณสามเหลี่ยม

ในการออกแบบวงจรสร้างสัญญาณสามเหลี่ยมจากรูปที่ซึ่งสามารถสร้างได้โดยประกอบไปด้วย มีวงจรเปรียบเทียบแรงดัน (Comparator Circuit) แบบ NMOS และ PMOS วงจรอาร์เอสแลตช์ (RS latch) แบบนอร์แลตช์ (NOR Gate Latch) และวงจร Current starved inverter

3.4.1 วงจรเปรียบเทียบแรงดัน (Comparator Circuit) แบบ NMOS และ PMOS

สร้างวงจรเปรียบเทียบแรงดัน (Comparator Circuit) แบบ NMOS เพื่อเป็นตัวกำหนดแรงดันสูงสุดของสัญญาณสามเหลี่ยม และแบบ PMOS เพื่อเป็นตัวกำหนดแรงดันต่ำสุดของสัญญาณสามเหลี่ยมโดยออกแบบวงจรดังนี้



รูปที่ 3.4 วงจรเปรียบเทียบแรงดัน (Comparator Circuit) แบบ NMOS

พิจารณาสมการกระแสเดรนในโหมด Saturation ของ NMOS U1

$$I_{D1} = \frac{\mu C_{ox} (W/L)_1}{2} (V_{GS} - V_T)^2$$

หาค่าของ W/L_1 โดยกำหนดให้ $I_{D1} = 2.5 \mu A$, $V_{GS} - V_T = 0.2$

$$2.5 \mu = \frac{170 \mu A/V^2 (W/L)_1}{2} (0.2)^2$$

$$\frac{W}{L_1} = 0.73$$

หาค่าของ W_1 โดยกำหนดให้ $L = 5L_{min} = 5(0.35) = 1.75 \mu m$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$W_1 = 1.28 \mu\text{m}$$

$$I_{D2} = \frac{\mu C_{\text{ox}}(W/L)_2}{2} (V_{GS} - V_T)^2$$

$$\frac{W}{L_2} = \frac{2I_D}{\mu C_{\text{ox}}(V_{GS} - V_T)^2}$$

$$\frac{W}{L_2} = \frac{2(2.5\mu)}{58 \mu\text{A}/\text{V}^2 (0.2)^2}$$

$$\frac{W}{L_2} = 2$$

หาค่าของ W_2 โดยกำหนดให้ $L = 5L_{\text{min}} = 5(0.35) = 1.75 \mu\text{m}$

$$W_2 = 3.8 \mu\text{m}$$

หลักการวงจรสะท้อนกระแส (Current Mirror) เราจะสะท้อนกระแสจาก PMOS U2 ไป PMOS U3

$$I_{D3} = \frac{(W/L)_3}{(W/L)_2} I_{D2}$$

$$2.5\mu = \frac{(W/L)_3}{2} 2.5\mu$$

$$\frac{W}{L_3} = 2$$

หาค่าของ W_3 โดยกำหนดให้ $L = 5L_{\text{min}} = 5(0.35) = 1.75 \mu\text{m}$

$$W_3 = 3.8 \mu\text{m}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{D4} = \frac{\mu C_{ox} (W/L)_4}{2} (V_{GS} - V_T)^2$$

หาค่าของ W/L_4 โดยกำหนดให้ $I_{D3} = I_{D4} = 2.5 \mu A$, $V_{GS} - V_T = 0.2$

$$2.5 \mu = \frac{170 \mu A/V^2 (W/L)_4}{2} (0.2)^2$$

$$\frac{W}{L}_4 = 0.73$$

หาค่าของ W_4 โดยกำหนดให้ $L = 5L_{min} = 5(0.35) = 1.75 \mu m$

$$W_4 = 1.3 \mu m$$

หลักการวงจรสะท้อนกระแส (Current Mirror) เราจะสะท้อนกระแสจาก NMOS U4 ไป NMOS U5

$$I_{D5} = \frac{(W/L)_5}{(W/L)_4} I_{D4}$$

$$5 \mu = \frac{(W/L)_5}{0.73} 2.5 \mu$$

$$\frac{W}{L}_5 = 1.46$$

หาค่าของ W_5 โดยกำหนดให้ $L = 5L_{min} = 5(0.35) = 1.75 \mu m$

$$W_5 = 2.5 \mu m$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาค่าอัตราขยายผลต่าง (Differential gain) ของวงจรขยายผลต่าง (Differential amplifier)

$$A_{vd} = g_{m6}(r_{o7} // r_{o9})$$

$$A_{vd} = \sqrt{2\mu C_{ox}(W/L)_6 I_{D6}} \left(\frac{1}{\lambda I_{D7} + \lambda I_{D9}} \right)$$

หาค่าของ W/L_6 โดยกำหนดให้ $A_{vd} = 1000$, $\lambda = 0.01 \text{ V}^{-1}$

$$1000 = \sqrt{2(170\mu)(W/L)_6(2.5\mu)} \left(\frac{1}{(0.01)(2.5\mu) + (0.01)(2.5\mu)} \right)$$

$$\frac{W}{L}_6 = 3$$

หาค่าของ W_6 โดยกำหนดให้ $L = 2L_{min} = 2(0.35) = 0.7 \mu\text{m}$

$$W_6 = 2.1 \mu\text{m}$$

เนื่องจาก $I_{D8} = I_{D6} = 2.5 \mu\text{A}$

$$I_{D8} = \frac{\mu C_{ox}(W/L)_8}{2} (V_{GS} - V_T)^2$$

หาค่าของ W/L_8 โดยกำหนดให้ $I_{D8} = I_{D6} = 2.5 \mu\text{A}$, $V_{GS} - V_T = 0.2$

$$2.5\mu = \frac{58 \mu\text{A}/\text{V}^2 (W/L)_8}{2} (0.2)^2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{W}{L_8} = 2$$

หาค่าของ W_8 โดยกำหนดให้ $L = 2L_{\min} = 2(0.35) = 0.7 \mu\text{m}$

$$W_8 = 1.5 \mu\text{m}$$

เนื่องจากเป็นวงจรขยายผลต่าง (Differential amplifier) ขนาด NMOS $U_6 = \text{NMOS } U_7$ และ
ขนาด PMOS $U_8 = \text{PMOS } U_9$

$$\frac{W}{L_{6,7}} = 3$$

$$\frac{W}{L_{8,9}} = 2$$

หลักการวงจรสะท้อนกระแส (Current Mirror) สะท้อนกระแสจาก NMOS U_4 ไป NMOS U_{11}

$$I_{D11} = \frac{(W/L)_{11}}{(W/L)_4} I_{D4}$$

$$2.5 \mu\text{A} = \frac{(W/L)_{11}}{0.73} 2.5 \mu\text{A}$$

$$\frac{W}{L_{11}} = 0.73$$

หาค่าของ W_{11} โดยกำหนดให้ $L = 5L_{\min} = 5(0.35) = 1.75 \mu\text{m}$

$$W_{11} = 1.2 \mu\text{m}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หาค่าของ W/L_{10} โดยกำหนดให้ $I_{D10}=I_{D11} = 2.5\mu A$, $V_{GS} - V_T = 0.2$

$$I_{D10} = \frac{\mu C_{ox}(W/L)_{10}}{2} (V_{GS} - V_T)^2$$

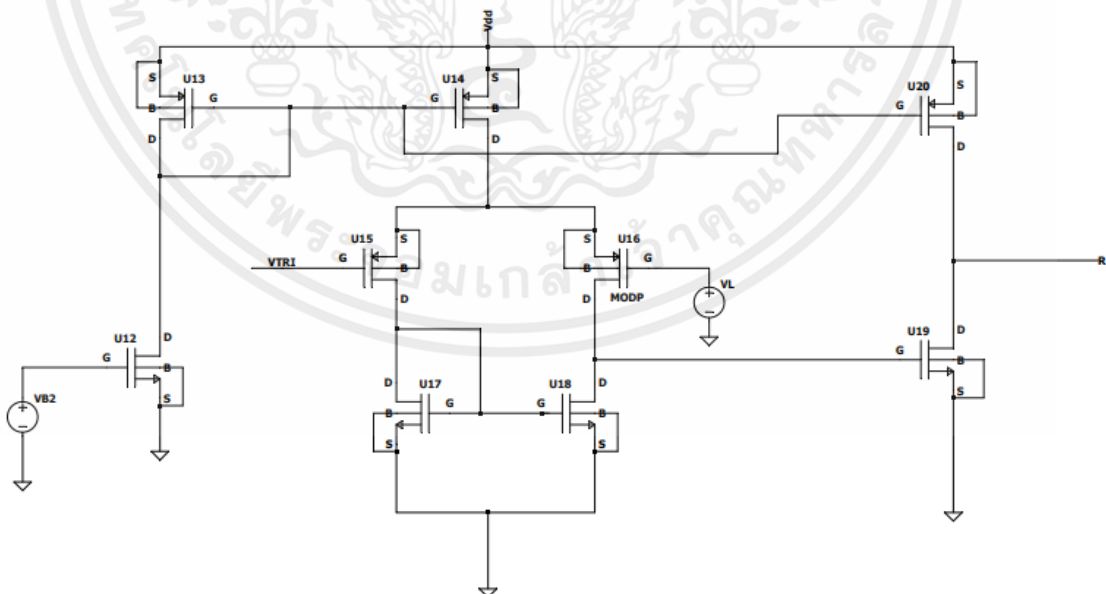
$$\frac{W}{L_{10}} = \frac{2I_D}{\mu C_{ox}(V_{GS} - V_T)^2}$$

$$\frac{W}{L_{10}} = \frac{2(2.5\mu)}{58 \mu A/V^2 (0.2)^2}$$

$$\frac{W}{L_{10}} = 2$$

หาค่าของ W_{10} โดยกำหนดให้ $L = 5L_{min} = 5(0.35) = 1.75 \mu m$

$$W_{10} = 3.5\mu m$$



รูปที่ 3.5 วงจรเปรียบเทียบแรงดัน (Comparator Circuit) แบบ PMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาสมการกระแสเดรนในโหมด Saturation ของ NMOS U12

$$I_{D12} = \frac{\mu C_{ox}(W/L)_{12}}{2} (V_{GS} - V_T)^2$$

หาค่าของ W/L_{12} โดยกำหนดให้ $I_{D12} = 2.5\mu A$, $V_{GS} - V_T = 0.2$

$$2.5\mu = \frac{170 \mu A/V^2 (W/L)_{12}}{2} (0.2)^2$$

$$\frac{W}{L_{12}} = 0.73$$

หาค่าของ W_{12} โดยกำหนดให้ $L = 5L_{min} = 5(0.35) = 1.75 \mu m$

$$W_{12} = 1.28 \mu m$$

$$I_{D13} = \frac{\mu C_{ox}(W/L)_{13}}{2} (V_{GS} - V_T)^2$$

$$\frac{W}{L_{13}} = \frac{2I_{D13}}{\mu C_{ox}(V_{GS} - V_T)^2}$$

$$\frac{W}{L_{13}} = \frac{2(2.5\mu)}{58 \mu A/V^2 (0.2)^2}$$

$$\frac{W}{L_{13}} = 2$$

หาค่าของ W_{13} โดยกำหนดให้ $L = 5L_{min} = 5(0.35) = 1.75 \mu m$

$$W_{13} = 3.8 \mu m$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการวงจรสะท้อนกระแส (Current Mirror) สะท้อนกระแสจาก PMOS U13 ไป PMOS U14

$$I_{D14} = \frac{(W/L)_{14}}{(W/L)_{13}} I_{D13}$$

$$5\mu = \frac{(W/L)_{14}}{2} 2.5\mu$$

$$\frac{W}{L}_{14} = 4$$

หาค่าของ W_{14} โดยกำหนดให้ $L = 5L_{min} = 5(0.35) = 1.75 \mu m$

$$W_{14} = 7 \mu m$$

พิจารณาค่าอัตราขยายผลต่าง (Differential gain) ของวงจรขยายผลต่าง (Differential amplifier)

$$A_{vd} = g_{m15}(r_{o16} // r_{o18})$$

$$A_{vd} = \sqrt{2\mu C_{ox}(W/L)_{15}I_{D15}} \left(\frac{1}{\lambda I_{D16} + \lambda I_{D18}} \right)$$

หาค่าของ W/L_6 โดยกำหนดให้ $A_{vd} = 1000$, $\lambda = 0.01 \text{ V}^{-1}$

$$1000 = \sqrt{2(58\mu)(W/L)_{15}(2.5\mu)} \left(\frac{1}{(0.01)(2.5\mu) + (0.01)(2.5\mu)} \right)$$

$$\frac{W}{L}_{15} = 8.6$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หาค่าของ W_{15} โดยกำหนดให้ $L = 2L_{min} = 2(0.35) = 0.7 \mu\text{m}$

$$W_{15} = 6 \mu\text{m}$$

เนื่องจาก $I_{D15} = I_{D17} = 2.5 \mu\text{A}$

$$I_{D17} = \frac{\mu C_{ox} (W/L)_{17}}{2} (V_{GS} - V_T)^2$$

หาค่าของ W/L_{17} โดยกำหนดให้ $I_{D15} = I_{D17} = 2.5 \mu\text{A}$, $V_{GS} - V_T = 0.2$

$$2.5 \mu = \frac{170 \mu\text{A}/\text{V}^2 (W/L)_{17}}{2} (0.2)^2$$

$$\frac{W}{L}_{17} = 0.73$$

หาค่าของ W_{17} โดยกำหนดให้ $L = 2L_{min} = 2(0.35) = 0.7 \mu\text{m}$

$$W_{17} = 0.5 \mu\text{m}$$

เนื่องจากเป็นวงจรขยายผลต่าง (Differential amplifier) ขนาด PMOS U15 = PMOS U16 และ
ขนาด NMOS U17 = NMOS U18

$$\frac{W}{L}_{15,16} = 8.6$$

$$\frac{W}{L}_{17,18} = 0.73$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการวงจรสะท้อนกระแส (Current Mirror) สะท้อนกระแสจาก PMOS U13 ไป PMOS U20

$$I_{D20} = \frac{(W/L)_{20}}{(W/L)_{13}} I_{D14}$$

$$2.5\mu = \frac{(W/L)_{20}}{2} 2.5\mu$$

$$\frac{W}{L}_{20} = 2$$

หาค่าของ W_{20} โดยกำหนดให้ $L = 5L_{\min} = 5(0.35) = 1.75 \mu\text{m}$

$$W_{20} = 3.5 \mu\text{m}$$

หาค่าของ W/L_{20} โดยกำหนดให้ $I_{D20} = I_{D19} = 2.5\mu\text{A}$, $V_{GS} - V_T = 0.2$

$$I_{D19} = \frac{\mu C_{\text{ox}} (W/L)_{19}}{2} (V_{GS} - V_T)^2$$

$$\frac{W}{L}_{19} = \frac{2I_D}{\mu C_{\text{ox}} (V_{GS} - V_T)^2}$$

$$\frac{W}{L}_{19} = \frac{2(2.5\mu)}{170 \mu\text{A}/\text{V}^2 (0.2)^2}$$

$$\frac{W}{L}_{19} = 0.73$$

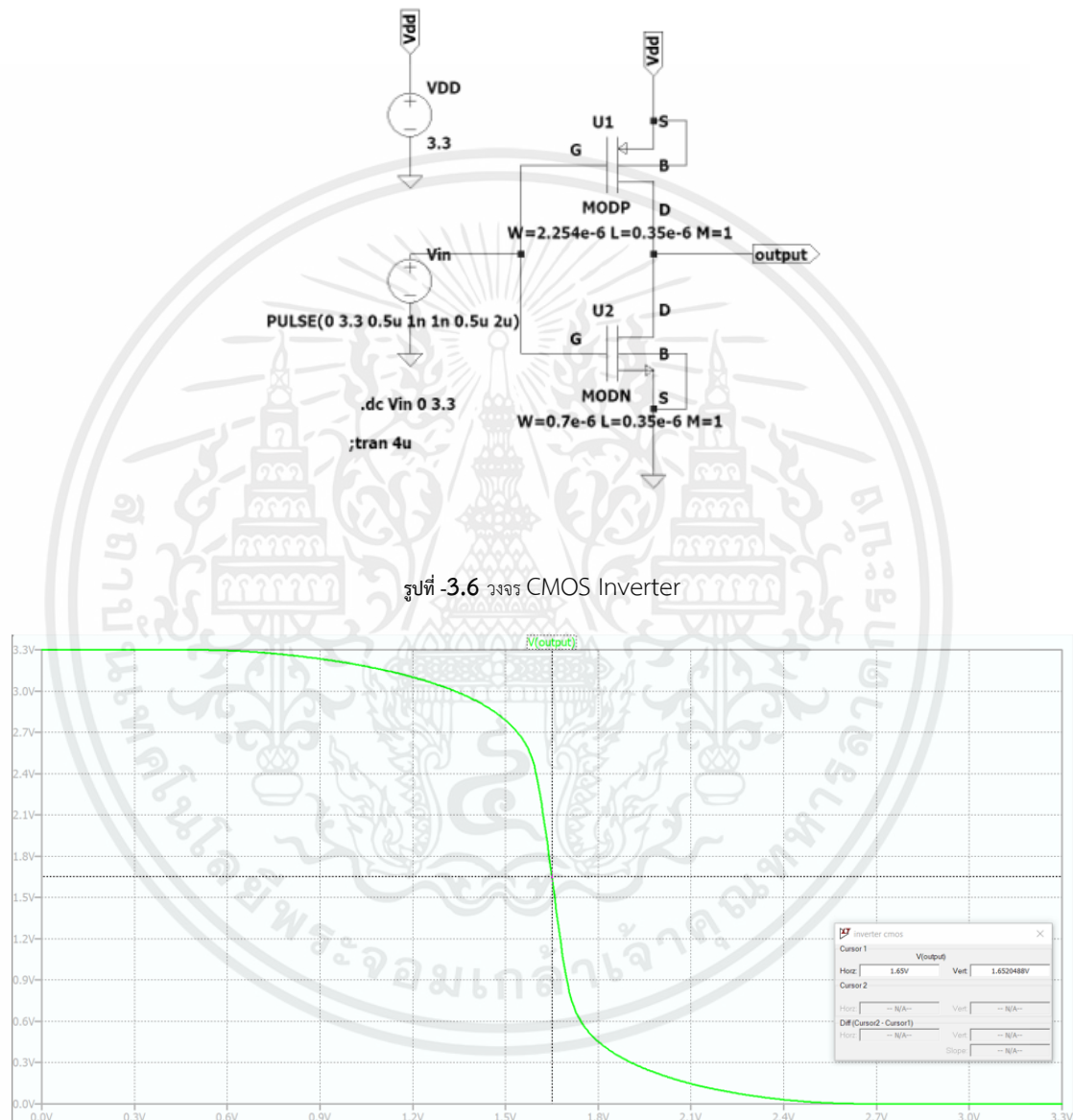
หาค่าของ W_{19} โดยกำหนดให้ $L = 5L_{\min} = 5(0.35) = 1.75 \mu\text{m}$

$$W_{19} = 1.28 \mu\text{m}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2 วงจรอาร์เอสแลตช์ (RS latch) แบบนอร์แลตช์ (NOR Gate Latch)

วงจรอาร์เอสแลตช์ (RS latch) แบบนอร์แลตช์ (NOR Gate Latch) เพื่อสร้างแรงดันเกตของมอสเฟต ของวงจร Current starved inverter โดยออกแบบวงจรดังนี้

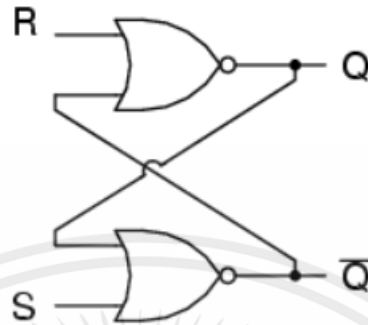


รูปที่ 3.7 กราฟแสดงค่า Vout เทียบกับ Vin

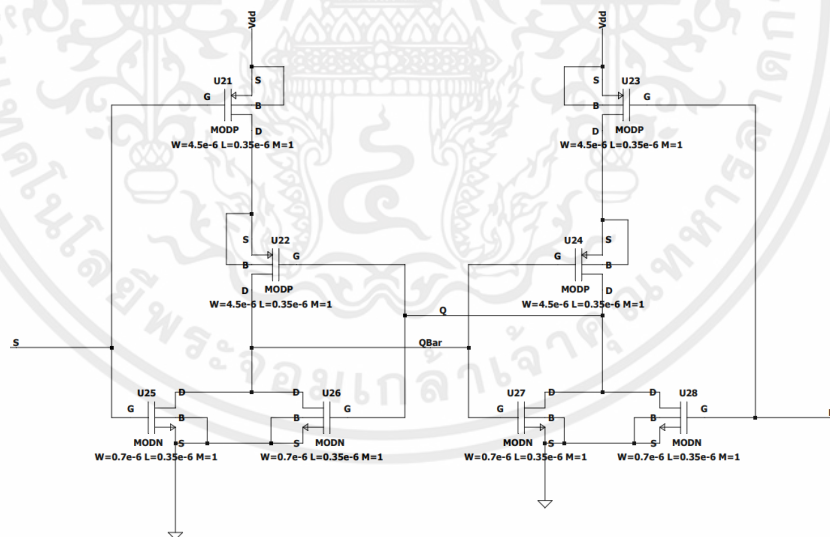
จากรูป 3.7 เราจะรู้ว่าเมื่อทำการให้ขนาด PMOS มีขนาดเป็น 3.22 เท่าของ NMOS ขนาดของ PMOS จะเท่ากับ 2.254 μm และ ขนาดของ NMOS จะเท่ากับ 0.7 μm ซึ่งจะทำให้ค่า $V_{out} = V_{DD}/2$ โดยในวงจรจะให้ $V_{DD} = 3.3 \text{ V}$ ซึ่งค่า $V_{out} = 1.65 \text{ V}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเรารู้ขนาดของวงจร CMOS Inverter เราก็สามารถหาขนาดของวงจร อาร์เอสแลตช์ (RS latch) แบบนอร์แลตช์ (NOR Gate Latch) ได้



รูปที่ 3.8 อาร์เอสแลตช์ (RS latch) แบบนอร์แลตช์ (NOR Gate Latch) ในระดับ logic gate



รูปที่ 3.9 อาร์เอสแลตช์ (RS latch) แบบนอร์แลตช์ (NOR Gate Latch) ในระดับ CMOS

หา Worst case ของ PMOS และ NMOS ของ NOR Gate โดยจะถูกสร้างขึ้นโดยการนำ PMOS 2 ตัวมาอนุกรมกันและนำ NMOS มาขนานกัน 2 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดย Worst case ของ PMOS จะผ่าน PMOS 2 ตัว เราต้องการให้ มีขนาด(W)ที่ทำให้เท่ากับ

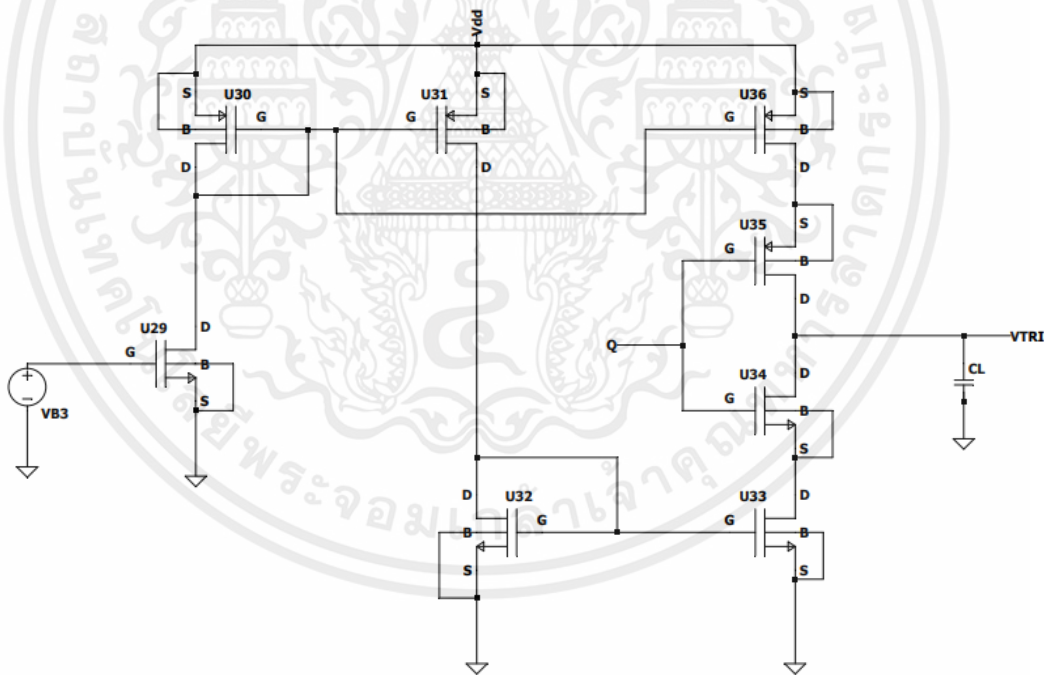
$\frac{R_p}{3.2}$ ดังนั้น Worst case ของ PMOS จะผ่าน PMOS 2 ตัว PMOS แต่ละตัวจะเท่ากับ $\frac{R_p}{(2)3.2}$ เท่ากับ

$\frac{R_p}{6.4}$ ดังนั้น ขนาดPMOS เท่ากับ $6.4W_{min} = 6.4(0.7\mu m) = 4.48 \mu m \sim 4.5 \mu m$

โดย Worst case ของ NMOS จะผ่าน NMOS 1 ตัว เราต้องการให้ มีขนาด(W)ที่ทำให้เท่ากับ R_n ดังนั้น Worst case ของ NMOS จะผ่าน NMOS 1 ตัว NMOS แต่ละตัวจะเท่ากับ $\frac{R_n}{1}$ ดังนั้น ขนาด NMOS เท่ากับ $1W_{min} = 1(0.7\mu m) = 0.7\mu m$ ดังรูปที่ 3.5

3.4.3 วงจร Current starved inverter

วงจร Current starved inverter วงจร Current starved inverter โดยออกแบบวงจรดังนี้ เพื่อใช้หลักการในการหลักการในการการชาร์จประจุและคายประจุของตัวเก็บประจุ (Capacitor) โดยมีแหล่งจ่ายเป็นแหล่งจ่ายกระแสคงที่ (Constant Current Source) เพื่อสร้างสัญญาณสามเหลี่ยม



รูปที่ 3.10 วงจร Current starved inverter

พิจารณาสมการกระแสเดรนในโหมด Saturation ของ NMOS U29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{D29} = \frac{\mu C_{ox}(W/L)_{29}}{2} (V_{GS} - V_T)^2$$

หาค่าของ W/L_{29} โดยกำหนดให้ $I_{D29} = 2.5\mu A$, $V_{GS} - V_T = 0.2$

$$2.5\mu = \frac{170 \mu A/V^2 (W/L)_{29}}{2} (0.2)^2$$

$$\frac{W}{L_{29}} = 0.73$$

หาค่าของ W_{29} โดยกำหนดให้ $L = 5L_{min} = 5(0.35) = 1.75 \mu m$

$$W_{29} = 1.28 \mu m$$

$$I_{D30} = \frac{\mu C_{ox}(W/L)_{30}}{2} (V_{GS} - V_T)^2$$

$$\frac{W}{L_{30}} = \frac{2I_{D30}}{\mu C_{ox}(V_{GS} - V_T)^2}$$

$$\frac{W}{L_{30}} = \frac{2(2.5\mu)}{58 \mu A/V^2 (0.2)^2}$$

$$\frac{W}{L_{30}} = 2$$

หาค่าของ W_{30} โดยกำหนดให้ $L = 5L_{min} = 5(0.35) = 1.75 \mu m$

$$W_{30} = 3.8 \mu m$$

หลักการวงจรสะท้อนกระแส (Current Mirror) สะท้อนกระแสจาก PMOS U30 ไป PMOS U31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{D31} = \frac{(W/L)_{31}}{(W/L)_{30}} I_{D30}$$

$$5\mu = \frac{(W/L)_{31}}{2} 2.5\mu$$

$$\frac{W}{L}_{31} = 4$$

หาค่าของ W_{31} โดยกำหนดให้ $L = 5L_{\min} = 5(0.35) = 1.75 \mu\text{m}$

$$W_{31} = 7 \mu\text{m}$$

$$I_{D32} = \frac{\mu C_{\text{ox}} (W/L)_{32}}{2} (V_{\text{GS}} - V_{\text{T}})^2$$

หาค่าของ W/L_{32} โดยกำหนดให้ $I_{D32} = 5\mu\text{A}$, $V_{\text{GS}} - V_{\text{T}} = 0.2$

$$5\mu = \frac{170 \mu\text{A}/\text{V}^2 (W/L)_{32}}{2} (0.2)^2$$

$$\frac{W}{L}_{32} = 1.5$$

หาค่าของ W_{32} โดยกำหนดให้ $L = 5L_{\min} = 5(0.35) = 1.75 \mu\text{m}$

$$W_{32} = 2.6 \mu\text{m}$$

หลักการวงจรสะท้อนกระแส (Current Mirror) สะท้อนกระแสจาก NMOS U32 ไป NMOS U33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{D33} = \frac{(W/L)_{33}}{(W/L)_{32}} I_{D32}$$

$$5\mu = \frac{(W/L)_{33}}{1.5} 5\mu$$

$$\frac{W}{L}_{33} = 1.5$$

หาค่าของ W_{33} โดยกำหนดให้ $L = 5L_{\min} = 5(0.35) = 1.75 \mu\text{m}$

$$W_{33} = 2.6 \mu\text{m}$$

ขนาดของ PMOS U35 NMOS U34 มีขนาดเท่า inverter

$$W_{34} = 0.7 \mu\text{m}$$

$$W_{35} = 2.25 \mu\text{m}$$

$$L_{34,35} = 0.35 \mu\text{m}$$

ความถี่ของสัญญาณวงจรสร้างสัญญาณสามเหลี่ยมสามารถคำนวณได้จากสูตร

$$F_{\text{sw,tri}} = \frac{I_{\text{sink}}}{2C_S(V_H - V_L)}$$

โดย $F_{\text{sw,tri}}$ คือ ความถี่ของสัญญาณสามเหลี่ยม

I_{sink} คือ กระแสคงที่ (Constant Current Source)

C_S คือ ค่าตัวเก็บประจุ

V_H คือ การกำหนดของสัญญาณสามเหลี่ยมค่าแรงดันสูงสุด

V_L คือ การกำหนดของสัญญาณสามเหลี่ยมค่าแรงดันต่ำสุด

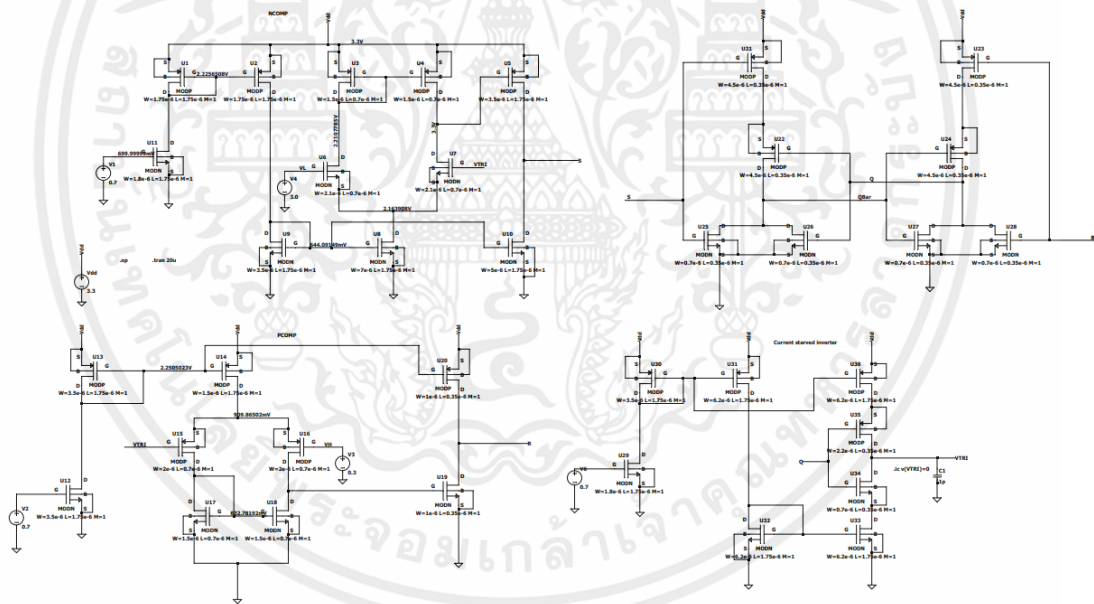
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กำหนดค่า $I_{\text{sink}} = 5 \mu\text{A}$, $C_S = 1 \text{ pF}$, $V_H = 3 \text{ V}$, $V_L = 0.3 \text{ V}$

$$F_{\text{sw,tri}} = \frac{I_{\text{sink,source}}}{2C_S(V_H - V_L)} = \frac{5 \mu\text{A}}{2(1 \text{ pF})(3 - 0.3)} = 925 \text{ kHz}$$

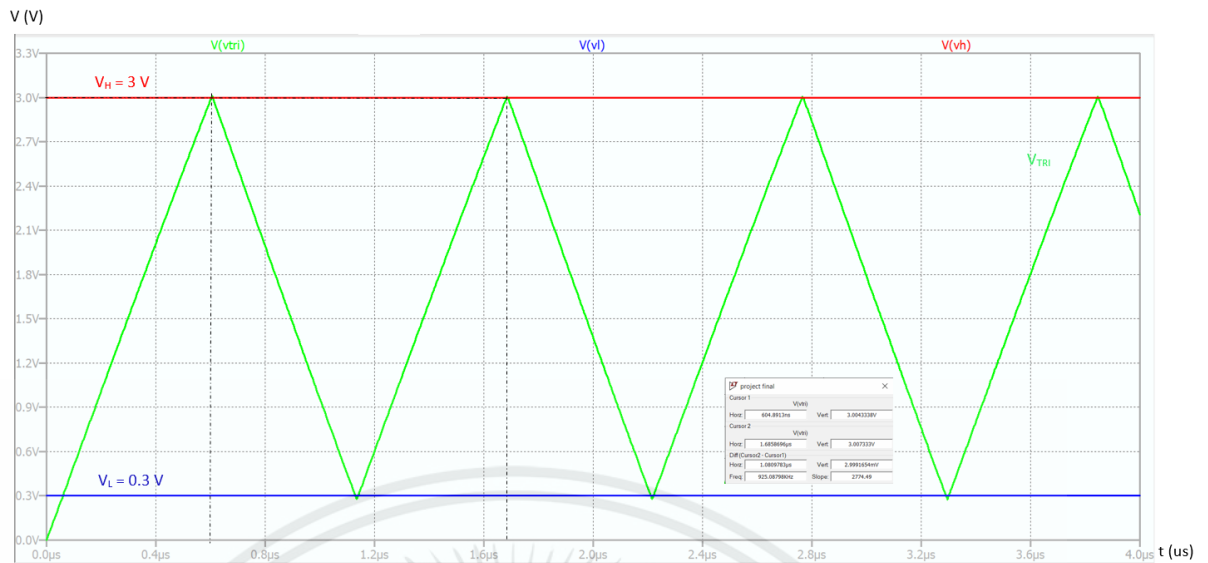
$$F_{\text{sw,tri}} = \frac{5 \mu\text{A}}{2(1 \text{ pF})(3 - 0.3)}$$

$$F_{\text{sw,tri}} = 925 \text{ kHz}$$



รูปที่ 3.11 วงจรสร้างสัญญาณสามเหลี่ยม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 สัญญาณสามเหลี่ยม (Triangle Wave) โดยที่ $V_H = 3 \text{ V}$ และ $V_L = 0.3 \text{ V}$

3.5. การออกแบบวงจรเปรียบเทียบแรงดันแบบ Rail to Rail

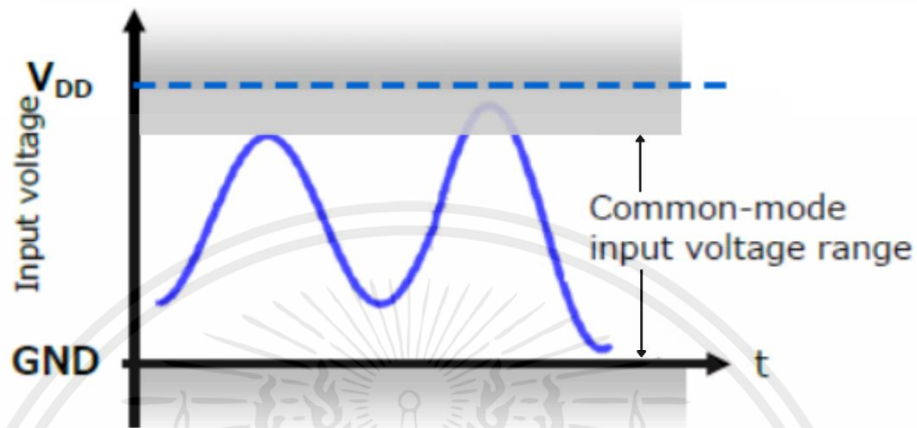
วงจรเปรียบเทียบแรงดันแบบ Rail to Rail โดยช่วงตั้งแต่แรงดันไฟบวกสูงสุด (V_{CC}) ไปจนถึงกราวนด์ (GND) หรือแรงดันไฟลบต่ำสุด (V_{EE}) จะถูกเรียกว่า rail to rail

ออปแอมป์ที่มีช่วงอินพุตของ Common mode ที่ครอบคลุมตั้งแต่ V_{CC} ไปจนถึง GND หรือ V_{CC} ไปจนถึง V_{EE} จะถูกเรียกว่า rail to rail input op amp หรือ full swing op amp โดยที่เอาต์พุตจะเป็น rail to rail หรือไม่ก็ได้ ซึ่งถ้าหากออปแอมป์ดังกล่าวเป็น rail to rail ทั้งฝั่งอินพุตและ differential เอาต์พุต จะถูกเรียกว่า rail to rail input/output

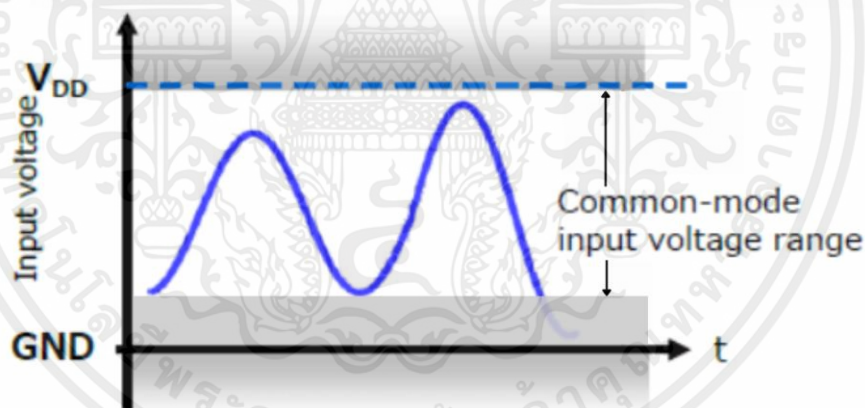
โดยฝั่ง Differential stage ของฝั่งอินพุตในออปแอมป์โดยทั่วไปแล้วจะถูกสร้างขึ้นจากมอสเฟตแบบ P-Channel เมื่อแรงดันฝั่งอินพุตเข้าใกล้ V_{DD} ออปแอมป์ที่สร้างขึ้นจาก Differential stage ที่เป็นมอสเฟตแบบ P-Channel จะไม่สามารถให้เอาต์พุตที่ปกติออกมาได้ เนื่องจากแหล่งจ่ายกระแสจะเข้าสู่ย่านเชิงเส้น (linear region) และค่าอัตราขยายที่ลดลง ดังรูปที่ 3.10 และเช่นเดียวกับออปแอมป์ที่มีฝั่ง Differential stage ของอินพุตที่สร้างขึ้นมาจากมอสเฟตแบบ N-Channel ก็ไม่สามารถให้เอาต์พุตที่ปกติเมื่อแรงดันอินพุตเข้าใกล้ GND ดังรูปที่ 3.11 เช่นกัน ตรงกันข้าม ออปแอมป์ที่มีฝั่ง Differential stage ที่สร้างขึ้นจากมอสเฟตแบบ P-Channel สามารถให้เอาต์พุตที่ปกติได้เมื่อแรงดันอินพุตเข้าใกล้ GND

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออปแอมป์ที่มีสเตจอินพุทเป็นแบบ rail to rail นั้นจะถูกสร้างขึ้นจากคู่ differential stage ที่สร้างจากมอสเฟตแบบ P-Channel หนึ่งคู่ และมอสเฟตแบบ N-Channel หนึ่งคู่ซึ่งต่อขนานกัน ทำให้สามารถทำงานได้ครอบคลุมช่วงการทำงานได้ตั้งแต่ V_{DD} ไปจนถึง GND ดังรูปที่ 3.12

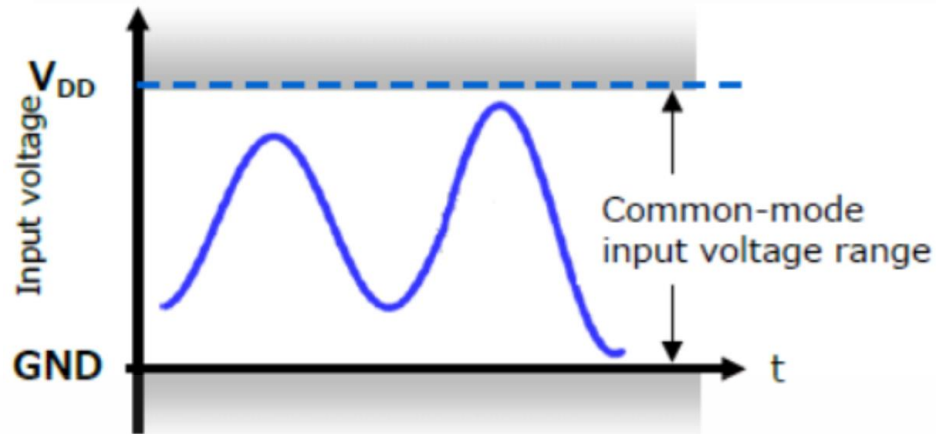


รูปที่ 3.13 ออปแอมป์ที่สร้างขึ้นจาก Differential stage แบบ PMOS เมื่อแรงดันฝั่งอินพุทเข้าใกล้ V_{DD} ออปแอมป์ที่จะไม่สามารถให้เอาต์พุตที่ปกติออกมาได้ เนื่องจากแหล่งจ่ายกระแสจะเข้าสู่ย่านเชิงเส้น (linear region)



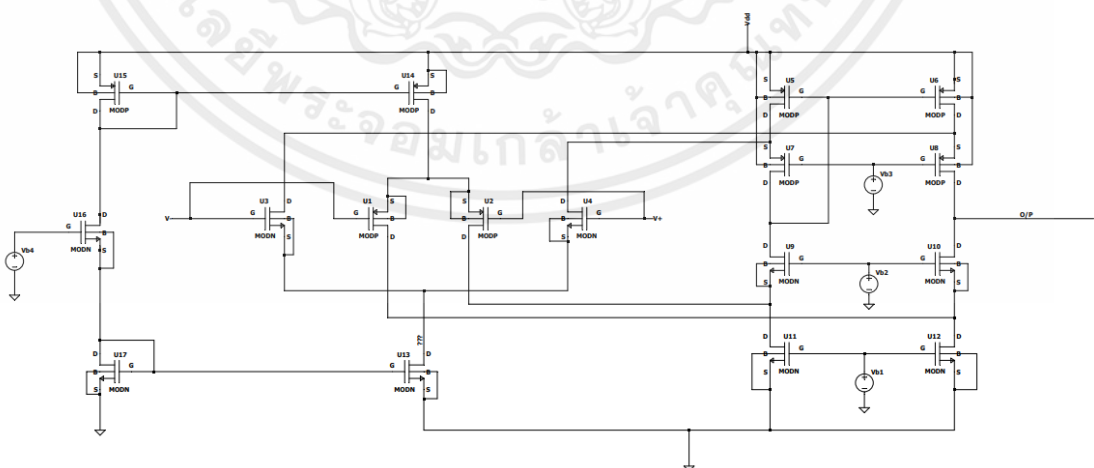
รูปที่ 3.14 ออปแอมป์ที่สร้างขึ้นจาก Differential stage แบบ NMOS เมื่อแรงดันฝั่งอินพุทเข้าใกล้ GND ออปแอมป์ที่จะไม่สามารถให้เอาต์พุตที่ปกติออกมาได้ เนื่องจากแหล่งจ่ายกระแสจะเข้าสู่ย่านเชิงเส้น (linear region)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 ออปแอมป์ที่สร้างขึ้นจาก Differential stage แบบ rail to rail สามารถทำงานได้ครอบคลุมช่วงการทำงานได้ตั้งแต่ V_{DD} ไปจนถึง GND

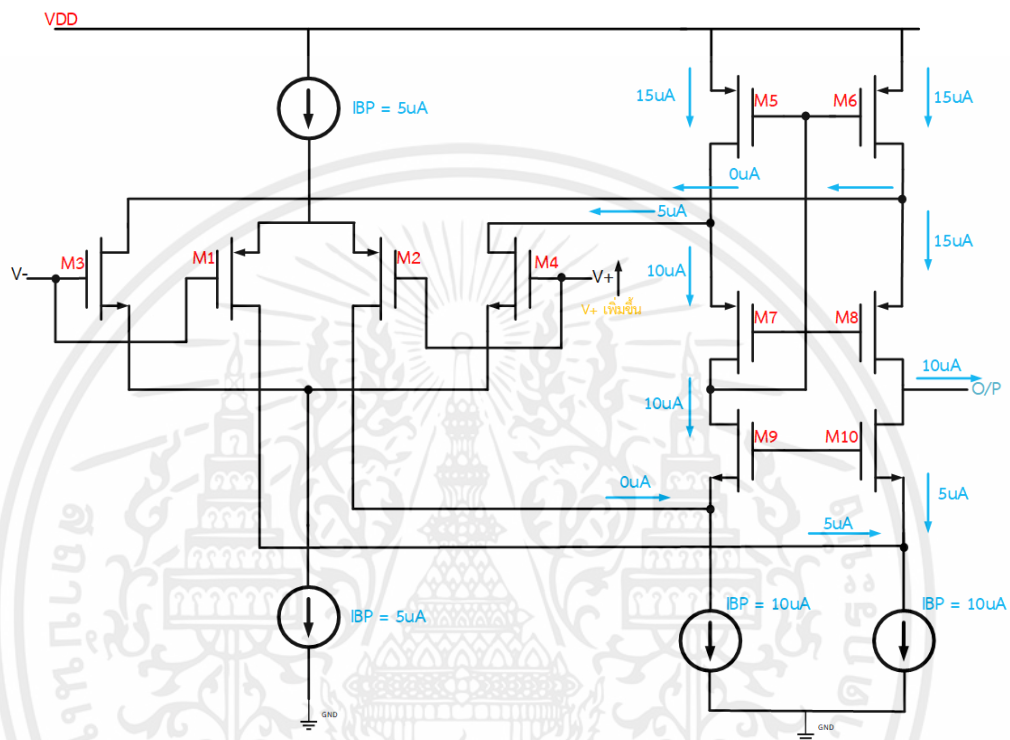
การออกแบบวงจรเปรียบเทียบแรงดันแบบ Rail to Rail จะแบ่งการออกแบบได้เป็น 2 ส่วน ส่วนที่ 1 จะเป็นการออกแบบ กระแสคงที่ (Constant Current Source) เพื่อใช้ในการชาร์จประจุและคายประจุของตัวเก็บประจุ (Capacitor) .ให้เท่ากันเพื่อที่จะทำให้สัญญาณสี่เหลี่ยมที่ถูกเปรียบเทียบนั้นมีความสมมาตรทั้งเวลาขาขึ้น (Rise time) และ เวลาขาลง (fall time) เท่ากันเพื่อลดความผิดเพี้ยนของสัญญาณสี่เหลี่ยม ส่วนที่ 2 ออกแบบให้ NMOS และ PMOS ของวงจร ทำงานในโหมดอิมิตัว



รูปที่ 3.16 การออกแบบวงจรเปรียบเทียบแรงดันแบบ Rail to Rail

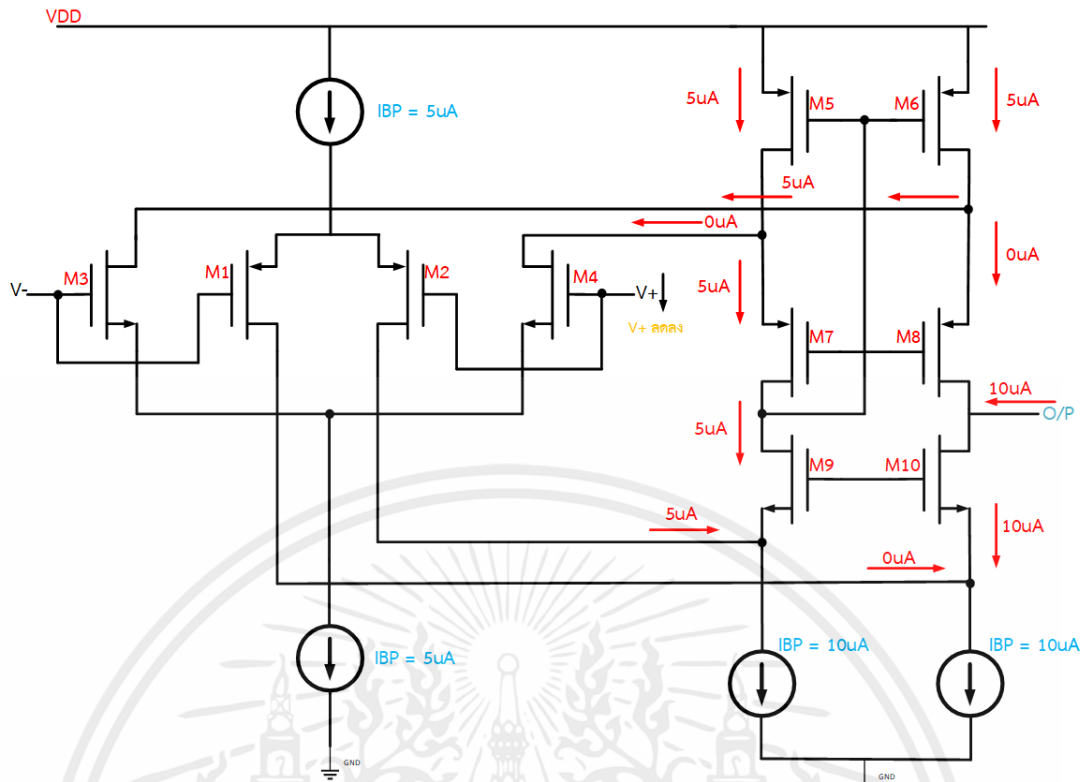
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบวงจรเราจะต้องออกแบบกระแสให้ซาร์จประจุและคายประจุของตัวเก็บประจุเท่ากัน โดยจะให้ $I_{BP} = I_{BN}$ และ $I_B \geq 2I_{BP,N}$ เราจะได้ว่า $I_{out} = 2I_{BP} = 2I_{BN}$ เสมอ โดยจากวงจрдังรูปที่ 3.11 เราจะออกแบบให้ $I_{BP} = I_{BN} = 5 \mu A$ และ $I_B = 10 \mu A$



รูปที่ 3.17 วงจรเปรียบเทียบแรงดันแบบ Rail to Rail เมื่อ V_{in} ขาววกมีค่าเพิ่มขึ้นเพื่อดูการไหลของกระแสในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.18 วงจรเปรียบเทียบแรงดันแบบ Rail to Rail เมื่อ V_{+} ขาบวกมีค่าลดลงเพื่อดูการไหลของกระแสในวงจร

จากรูปที่ 3.24 จะแสดงให้เห็นว่าเมื่อ V_{+} ขาบวกมีค่าเพิ่มขึ้นจะทำให้เกิดการชาร์จประจุโดยมีค่ากระแสเป็น $10 \mu\text{A}$ ที่เอาต์พุต และ จากรูปที่ 3.25 จะแสดงให้เห็นว่าเมื่อ V_{+} ขาบวกมีค่าจะทำให้เกิดการชาร์จลดลงประจุโดยมีค่ากระแสเป็น $10 \mu\text{A}$ ที่เอาต์พุต ดังนั้น กระแสในการชาร์จประจุและคายประจุของตัวเก็บประจุแฝง มีค่าเท่ากัน เพื่อที่จะทำให้สัญญาณที่เปลี่ยนที่ถูกเปรียบเทียบนั้นมีความสมมาตรดังที่กล่าวมาในข้างต้น

เป็นที่ทราบกันว่า NMOS จะทำงานในโหมดอิ่มตัวก็ต่อเมื่อ

$$V_{DS} > V_{GS} - V_{T(nmos)}$$

หรือ

$$V_D > V_G - V_{T(nmos)}$$

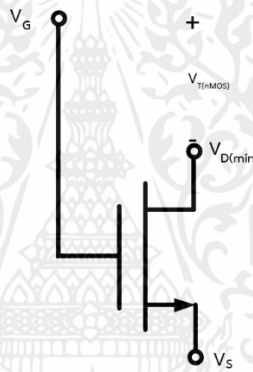
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นถ้า MOSFET ทำงานในโหมดอิ่มตัว “แรงดันที่ขาเดรนต้องมามีค่ามากกว่าแรงดันที่ขาเกตลบด้วยแรงดันขีดเริ่ม” หรือ แรงดันที่ขาเดรนที่น้อยที่สุด $V_{D(\min)}$

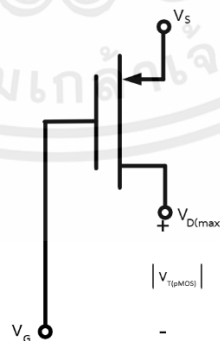
$$V_{D(\min)} > V_G - V_{T(nmos)}$$

ในทำนองเดียวกันกับ PMOS ที่ทำงานในโหมดอิ่มตัวว่า แรงดันที่ขาเดรนต้องมีค่าน้อยกว่าแรงดันที่ขาเกตบวกด้วยค่าสมบูรณ์ของแรงดันขีดเริ่มหรือ $V_{D(\max)} > V_G + |V_{T(pmos)}|$ หรือกล่าวได้ว่าแรงดันที่ขาเดรนที่มากที่สุด $V_{D(\max)}$ มีค่าเท่ากับ

$$V_{D(\max)} > V_G + |V_{T(pmos)}|$$

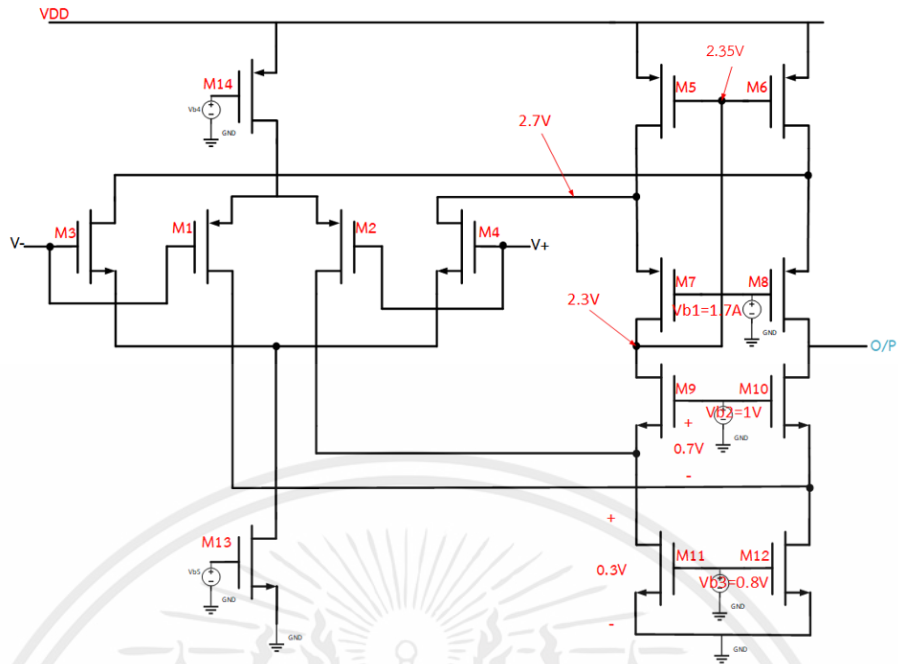


รูปที่ 3.19 สัญลักษณ์ของ NMOS และ $V_{D(\min)}$

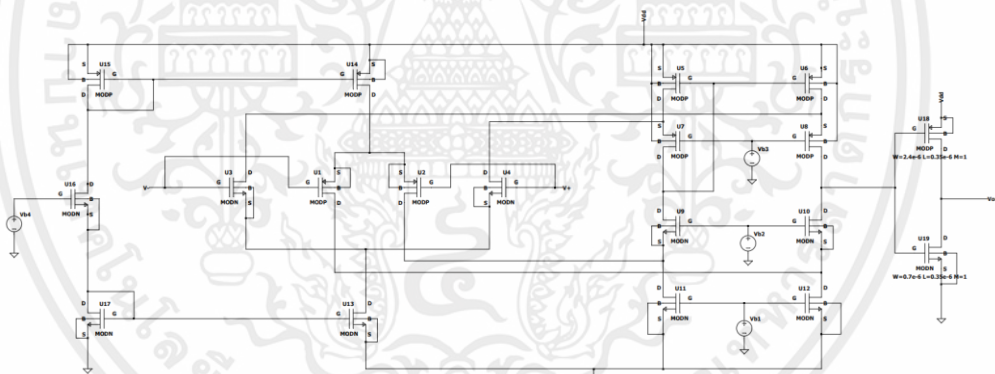


รูปที่ 3.20 สัญลักษณ์ของ PMOS และ $V_{D(\max)}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.21 วงจรเปรียบเทียบแรงดันแบบ Rail to Rail เมื่อมีการไบอัสค่าเพื่อให้ MOSFET ทำงานในโหมดอิมิตัว

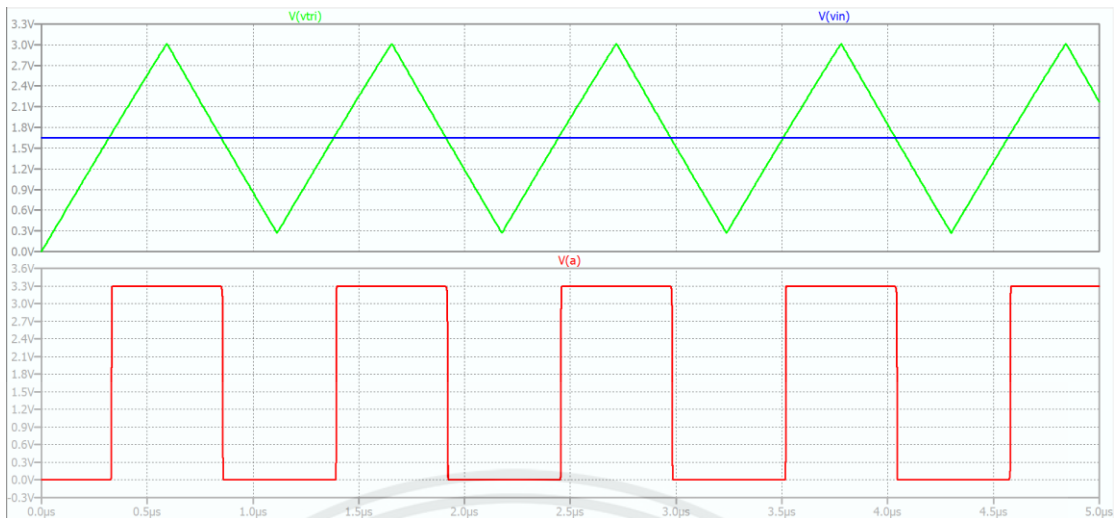


รูปที่ 3.22 การออกแบบวงจรเปรียบเทียบแรงดันแบบ Rail to Rail แบบต่อวงจร Inverter เพิ่ม

จากรูป 3.20 การออกแบบวงจรเปรียบเทียบแรงดันแบบ Rail to Rail แบบต่อวงจร Inverter เพิ่ม จะทำให้ค่าสัญญาณสี่เหลี่ยมมีความเรียบขึ้น เนื่องจากถ้า output ไม่มีวงจร inverter จะทำให้สัญญาณที่ออกมาจะอยู่ที่วงจรรขยายแคลสโคด ช่วงสวิงสัญญาณจะเท่ากับเมื่อ MOSFET ทำงานในโหมดอิมิตัว

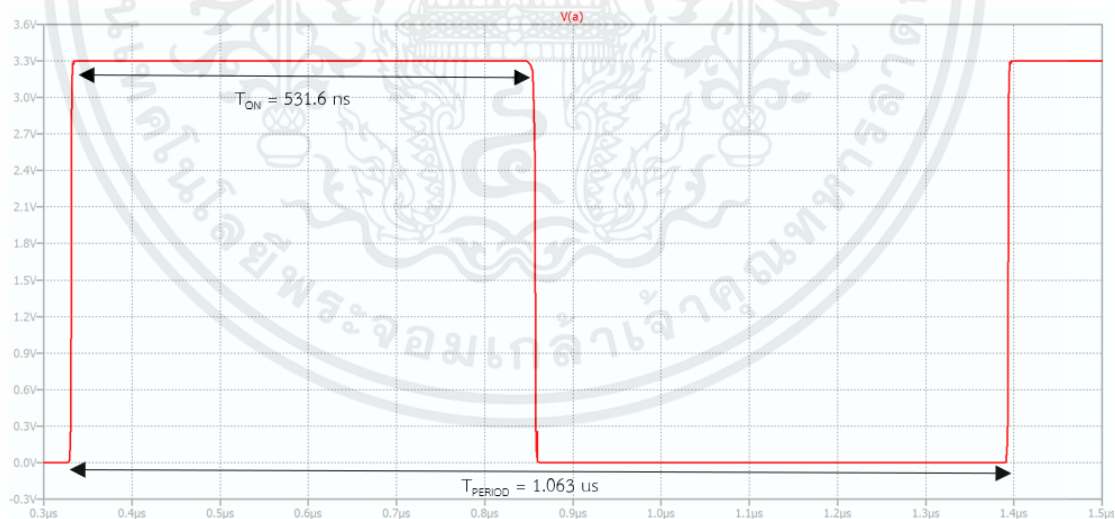
$$V_{B2} + |V_{T(M10)}| < v_{out} < V_{B1} + |V_{T(M8)}|$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.23 กราฟการเปรียบเทียบแรงดันสามเหลี่ยมกับแรงดันไฟตรงเพื่อให้ได้สัญญาณพัลส์ (Pulse Width Modulation)

จากรูปที่ 3.21 ได้ทำการนำสัญญาณสามเหลี่ยมและสัญญาณไฟตรงขนาด 1.65 V นำมาเปรียบเทียบสัญญาณด้วยวงจรเปรียบเทียบแรงดันแบบ Rail to Rail เพื่อที่จะทำให้สัญญาณพัลส์ (Pulse Width Modulation) ที่มีค่า Duty cycle เป็น 50 % ดังรูปที่ 3.21



รูปที่ 3.24 กราฟสัญญาณพัลส์ (Pulse Width Modulation) ที่มีค่า Duty cycle เป็น 50 %

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสูตรการหา % Duty cycle ของสัญญาณพัลส์ (Pulse Width Modulation)

$$\begin{aligned} \% \text{ Duty cycle} &= \frac{T_{\text{ON}}}{T_{\text{ON}} + T_{\text{OFF}}} \times 100\% = \frac{T_{\text{ON}}}{T_{\text{PERIOD}}} \times 100\% \\ &= \frac{531.6 \text{ ns}}{1.063 \text{ us}} \times 100\% \\ &= 50\% \end{aligned}$$

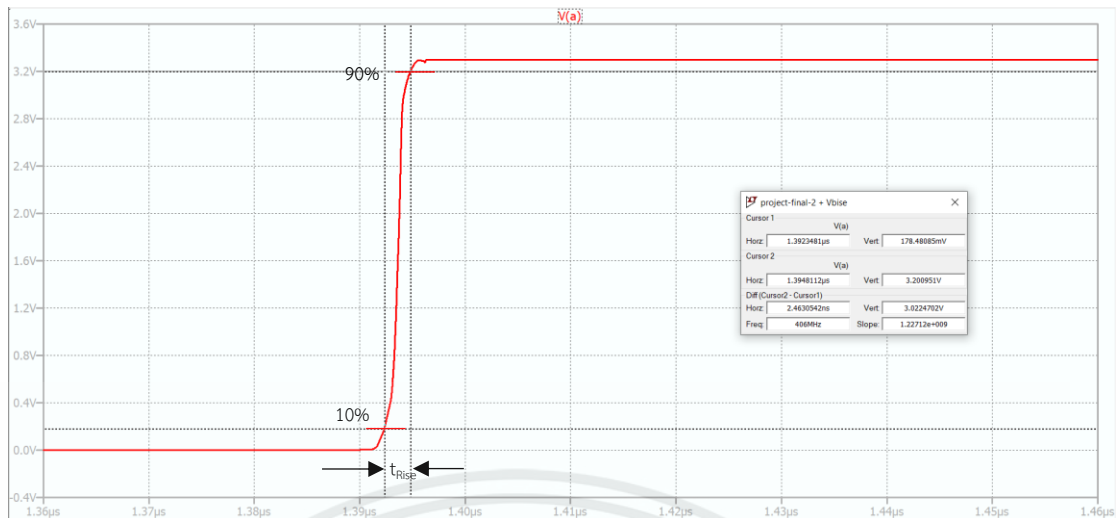
ในการออกแบบสัญญาณพัลส์ (Pulse Width Modulation) ควรจะออกแบบให้มีค่าเวลาขาขึ้น (rise time) และ เวลาขาลง (fall time) เท่ากัน สัญญาณพัลส์ (Pulse Width Modulation) ควรออกแบบเป็น 0.5 % ของคาบเวลาสัญญาณสามเหลี่ยม (T_{sw})

$$t_{\text{rise/fall}} = \frac{0.5}{100} \times T_{\text{sw}}$$

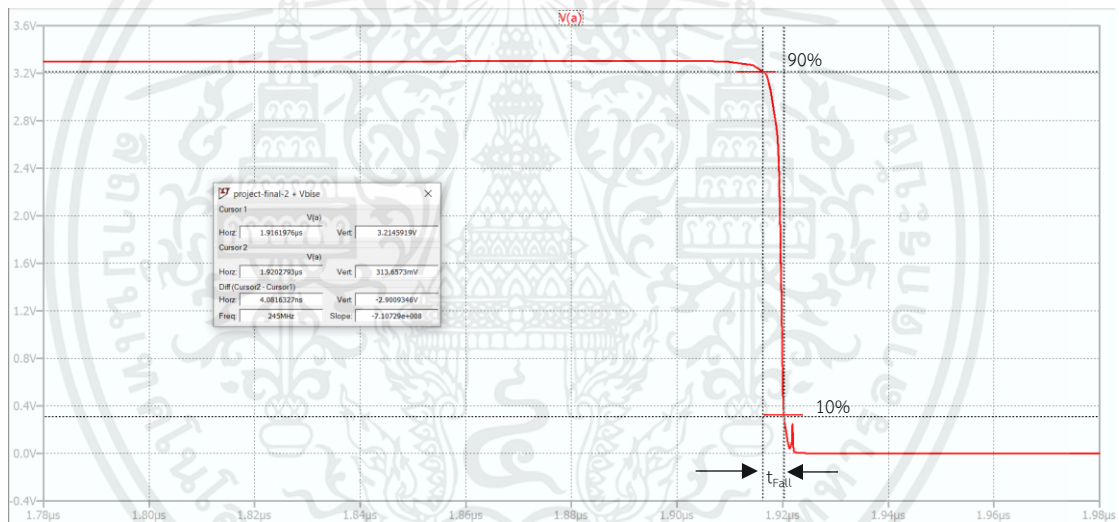
โดย $t_{\text{rise/fall}} (\text{min})$ คือ ช่วงเวลาขาขึ้นและขาลงของ สัญญาณพัลส์ (PWM)
 T_{sw} คือ คาบเวลาของสัญญาณสามเหลี่ยม

$$t_{\text{rise/fall}} (\text{min}) = \frac{0.5}{100} \times 1.08 \mu\text{s}$$

$$t_{\text{rise/fall}} (\text{min}) = 5.4 \text{ ns}$$



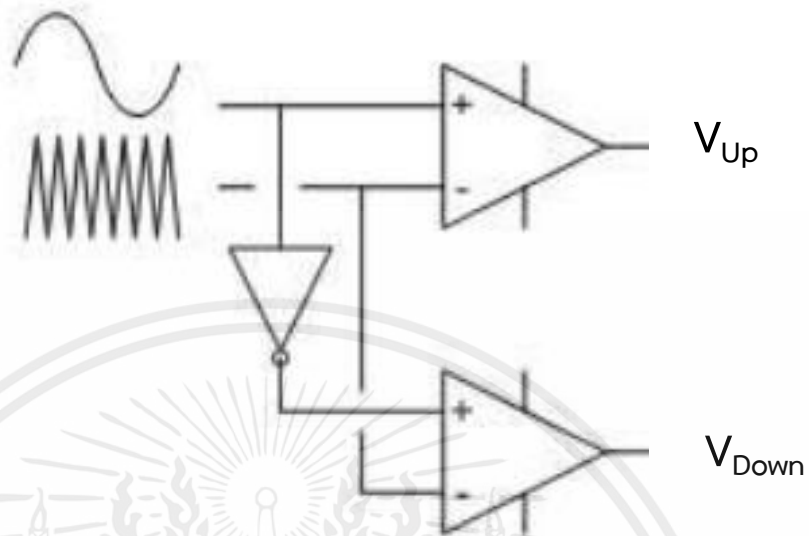
รูปที่ 3.25 กราฟสัญญาณพัลส์ (Pulse Width Modulation) มีค่าช่วงเวลาขาขึ้น (rise time) เท่ากับ 2.46 ns



รูปที่ 3.26 กราฟสัญญาณพัลส์ (Pulse Width Modulation) มีค่าช่วงเวลาขาลง (fall time) เท่ากับ 4.08 ns

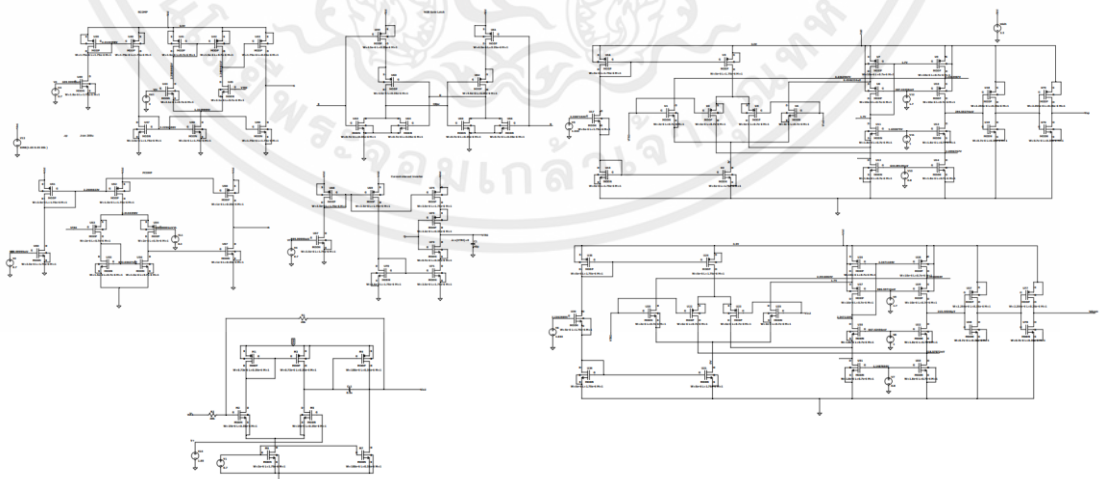
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 การออกแบบวงจรมอดูเลตแบบ BD (BD Modulation)



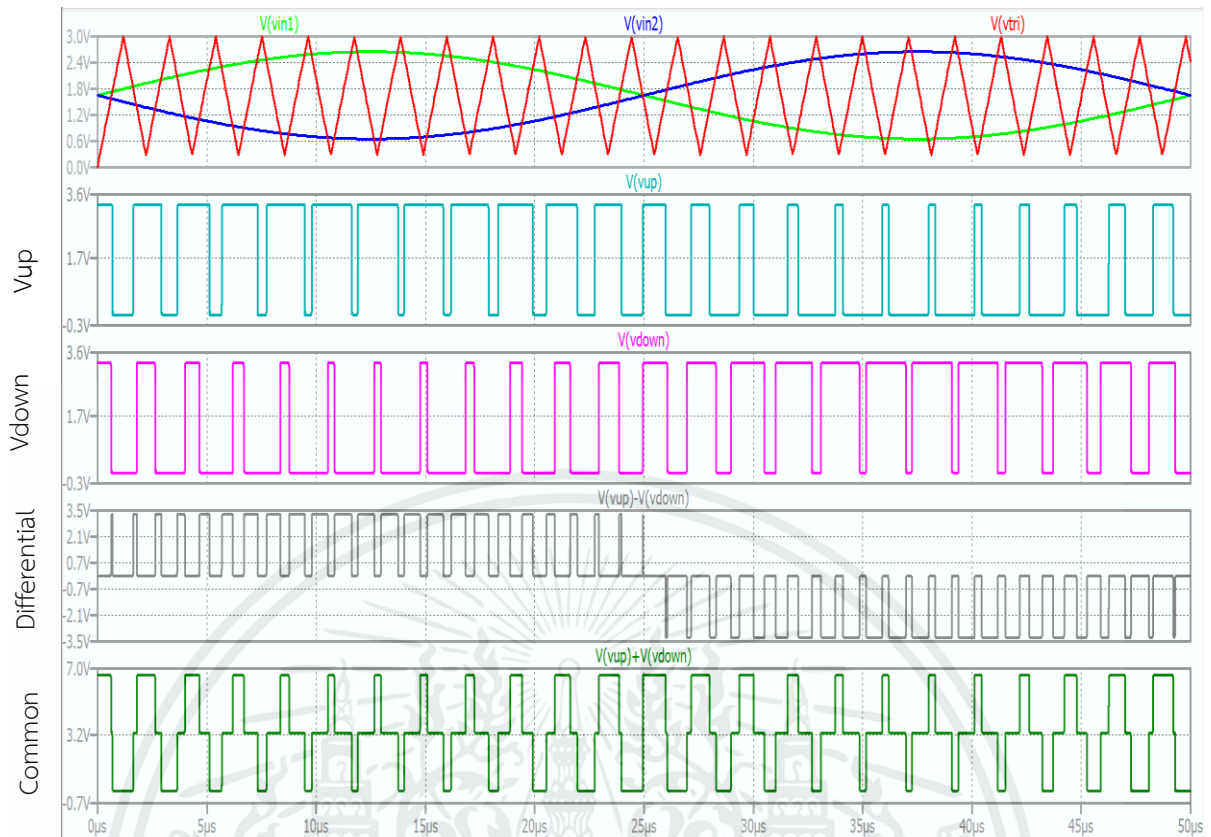
รูปที่ 3.27 วงจรมอดูเลตแบบ BD (BD Modulation)

จากวงจรสร้างมอดูเลตแบบ BD (BD Modulation) ข้างต้น จะมีส่วนหลักๆ คือ ส่วนที่เป็น วงจรขยายกลับเฟส (Inverting amplifier) และวงจรเปรียบเทียบแรงดันแบบ Rail to Rail มี การออกแบบดังนี้



รูปที่ 3.28 วงจรมอดูเลตแบบ BD (BD Modulation) ในระดับ CMOS

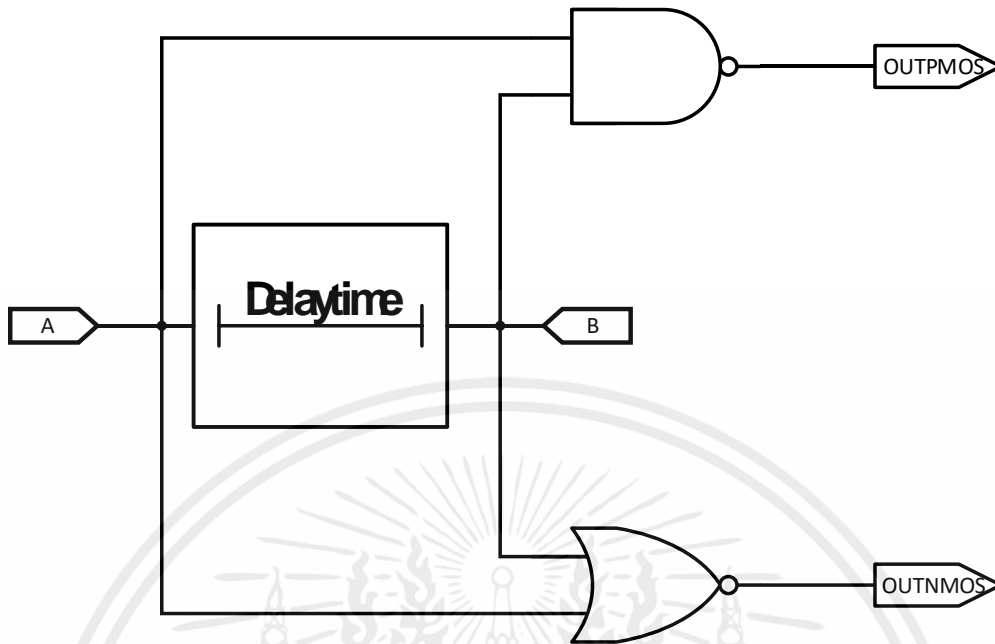
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.29 กราฟวงจรมอดูเลตแบบ BD (BD Modulation)

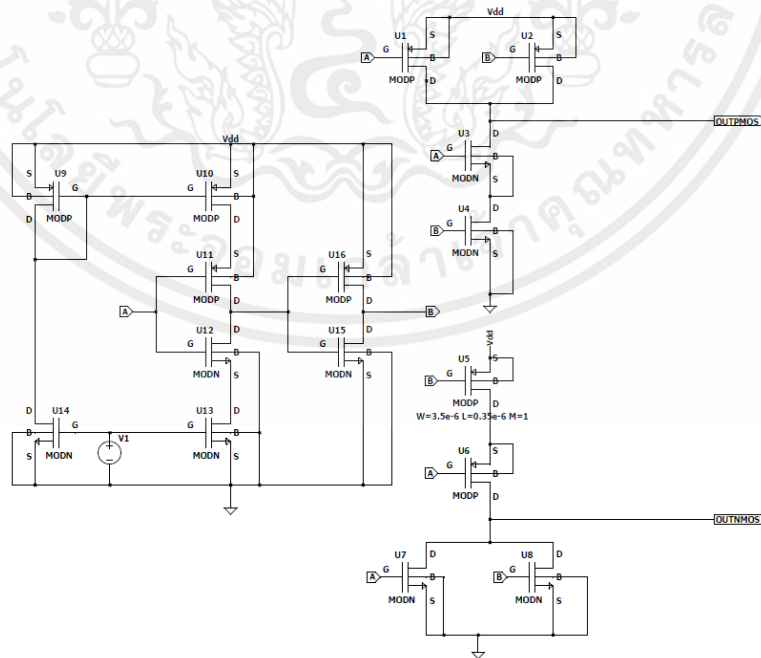
ข้อดีสำหรับการมอดูเลต BD เมื่อเทียบกับการมอดูเลต AD ในการการมอดูเลต BD จึงสูญเสียการกระเพื่อมของกระแสไฟฟ้าความถี่สูงในโหมตดิฟเฟอเรนเชียลต่ำกว่ามาก เมื่อเทียบกับการมอดูเลต AD นี่เป็นสิ่งสำคัญสำหรับแอมพลิฟายเออร์ Class-D ที่ ไรต์ตัวกรองเพื่อให้ได้ประสิทธิภาพการใช้พลังงานสูงเมื่อตัวกรอง LC ถูกย่อให้เล็กสุดและการมอดูเลต BD ทำให้เกิดความผิดเพี้ยนของสัญญาณที่น้อยกว่าและยังทนความผิดเพี้ยนของฮาร์โมนิกลำดับสูงที่มากกว่าเทียบกับการมอดูเลต AD

3.7 การออกแบบวงจร dead time



รูปที่ 3.30 วงจรสร้าง dead time

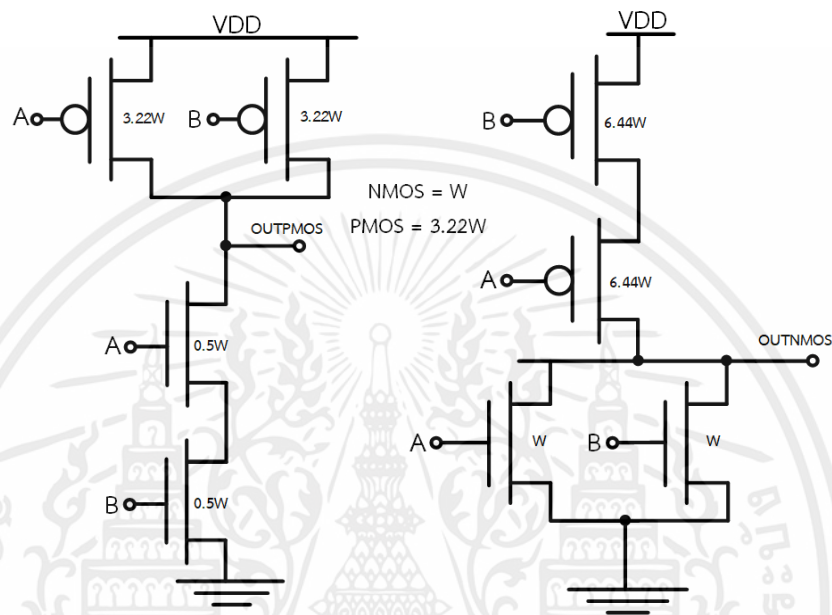
จากวงจรสร้าง dead time ข้างต้น จะมีส่วนหลักๆ คือ ส่วนที่เป็น NAND GATE ,NOR GATE และส่วนที่ทำให้เกิด Delaytime ที่เป็น Inverter จำนวนหนึ่งมาต่อกันเพื่อทำให้เกิดดีเลย์โดยที่สัญญาณไม่เปลี่ยน มีการออกแบบดังนี้



รูปที่ 3.31 วงจรสร้าง Deadtime ในระดับ CMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักจากออกแบบเสร็จ ขั้นตอนต่อไปคือการหาขนาด โดยขนาดที่ใช้จะเป็นขนาดที่เล็กที่สุดเพื่อลดปัญหาการที่มีตัวเก็บประจุแฝงขนาดใหญ่และทำให้เกิดดีเลย์ของสัญญาณ เกิดเป็นการผิดเพี้ยนของสัญญาณขึ้นโดยจะใช้อัตราส่วนเดิม คือ NMOS=0.7 um และ pmos=2.254 um แต่เนื่องจาก NAND GATE และ NOR GATE มีอัตราส่วนที่แตกต่างจาก Inverter ทำให้ต้องหาขนาดอัตราส่วนโดยวิธีการ sizing ได้ดังนี้



รูปที่ 3.31 อัตราส่วนค่าความกว้างของ NAND GATE และ NOR GATE

จากการ sizing ดังรูป 3.30 เมื่อให้ค่า $L=0.35 \text{ um}$ ค่า W จะเท่ากับ 0.7 จะได้ค่าความกว้างของมอสแต่ละตัว คือ NAND GATE ขนาดความกว้างของ PMOS = 2.254 um ,NMOS = 0.35 um และ NOR GATE ขนาดความกว้างของ PMOS = 4.5 um ,NMOS = 0.7 um

วงจร Delaytime เป็นวงจรควบคุมระยะเวลา Deadtime ซึ่งควบคุมโดยการชาร์จประจุไฟฟ้าและคายประจุไฟฟ้า จากแหล่งจ่ายกระแส ดังนั้นการควบคุม Delaytime จึงมีสองส่วนด้วยกัน คือ วงจร Inverter และ current source .ซึ่งในส่วนของวงจร Inverter ก็จะใช้ขนาดที่เล็กที่สุดที่ทำให้ Switch Threshold = $VDD/2$ คือ PMOS ความกว้างเท่ากับ 2.254 และ NMOS คือ 0.7

การคำนวณหาค่าความกว้างของ current source ที่ควบคุมการชาร์จประจุไฟฟ้าและคายประจุไฟฟ้า จากสมการ

$$I_D = \frac{K}{2} (V_{GS} - V_T)^2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K = \mu C_{ox} \frac{W}{L}$$

จากสมการสามารถหาค่าความกว้างได้ คือ

$$W = \frac{2I_D L}{\mu C_{ox} (V_{GS} - V_T)^2}$$

เมื่อให้ค่า $L=1.75 \text{ } \mu\text{m}$, $I_D = 5 \text{ } \mu\text{A}$ และไบแอส $V_{GS} = 0.7$ จะได้ค่า $W=2.5 \text{ } \mu\text{m}$ โดยที่ค่า นี้จะไม่ใช้ค่าที่ใช้จริงเนื่องจาก ค่า output ที่ได้และค่า Distortion ทำให้ต้องมีการปรับตามความเหมาะสม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 การออกแบบวงจรบัฟเฟอร์

วงจรบัฟเฟอร์เป็นวงจรที่มี Inverter ต่อกันหลายๆตัว เพื่อนำมาใช้แก้ปัญหาที่เรียกว่า Load Effect ซึ่งเป็นปัญหาที่โหลดภาระนั้นมีขนาดใหญ่ทำให้กระแสไหลได้ยาก ซึ่งจุดที่มีปัญหาก็คือ วงจรมอสเฟตกำลัง ปัญหาจากวงจรนี้ คือ เนื่องจากค่าตัวเก็บประจุแฝงของมอสเฟตกำลังมีค่ามาก ตามขนาดของมอสเฟตกำลัง ทำให้กระแสที่เจอตัวเก็บประจุขนาดใหญ่ต้องชาร์จเป็นเวลานาน จึงต้องแก้ไขปัญหาคือ วงจรบัฟเฟอร์ที่ทำหน้าที่เหมือนเป็นกันชน ที่นำมาคั่นกลางระหว่างวงจรสร้าง dead time และมอสเฟตกำลัง

โดยในการออกแบบวงจรบัฟเฟอร์ มีตัวแปรที่สำคัญ คือ จำนวนอินเวอร์เตอร์ที่ต่อกัน (N) และขนาดการเพิ่มขึ้นของตัวถัดไป (f) จะได้สมการ คือ

$$f = \left(\frac{C_L}{C_{in}}\right)^{\frac{1}{N}}$$

โดยที่ค่า C_L ที่เป็นค่าความจุแฝงของมอสเฟตกำลัง และ C_{in} ที่เป็นค่าความจุแฝงของอินเวอร์เตอร์ภาคแรก สามารถหาได้จากการจำลองใน โปรแกรม LTspice XVII ดังรูป 3.27

SPICE Error Log: C:\Users\Acer\Documents\tm-20180207T072204Z-001\tm\project PowerAmp inverter cmos.log

```

Semiconductor Device Operating Points:
--- BSIM3 MOSFETS ---
Name:      m:u2:1      m:u1:1
Model:     u2:modn     u1:modp
Id:        2.45e-02    -4.09e-01
Vgs:       7.00e-01    -2.60e+00
Vds:       3.08e+00    -2.25e-01
Vbs:       0.00e+00    0.00e+00
Vth:       5.67e-01    -7.19e-01
Vdsat:     1.24e-01    -1.55e+00
Gm:        2.58e-01    1.41e-01
Gds:       2.75e-03    1.69e+00
Gmb:       6.28e-02    4.80e-02
Cbd:       0.00e+00    0.00e+00
Cbs:       0.00e+00    0.00e+00
Cgsov:     1.05e-12    2.66e-12
Cgdov:     6.40e-13    2.66e-12
Cgbov:     3.19e-17    3.31e-17
dQgdVgb:   5.93e-12    2.37e-11
dQgdVdb:   -6.37e-13    -1.09e-11
dQgdVsb:   -4.87e-12    -1.13e-11
dQddVgb:   -6.40e-13    -1.18e-11
dQddVdb:   6.40e-13    1.68e-11
dQddVsb:   2.98e-16    -3.19e-12
dQbdVgb:   -5.90e-13    -2.12e-14
dQbdVdb:   5.20e-16    -8.59e-13
dQbdVsb:   -7.41e-13    -4.60e-12

```

รูปที่ 3.33 หาค่าความจุแฝงในโปรแกรม LTspice XVII

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปเราสามารถรู้ค่าความจุแฝงได้จากค่า $dQgdVgb$ ใน Spice Error Log และเลือกไปที่ค่าของ $modp$ เนื่องจากมีค่าความจุไฟฟ้าสูงกว่า $modn$

ดังนั้นจะได้ค่า $CL = 23.7$ pF และ $Cin = 3.83$ fF แล้วทำการคำนวณหาค่า f ในโปรแกรม excel โดยที่ให้ค่า $N=2,3,4,\dots$ และหาค่า D_{total} สมการ

$$D_{total} = N \times \tau_{inv}(f + \gamma)$$

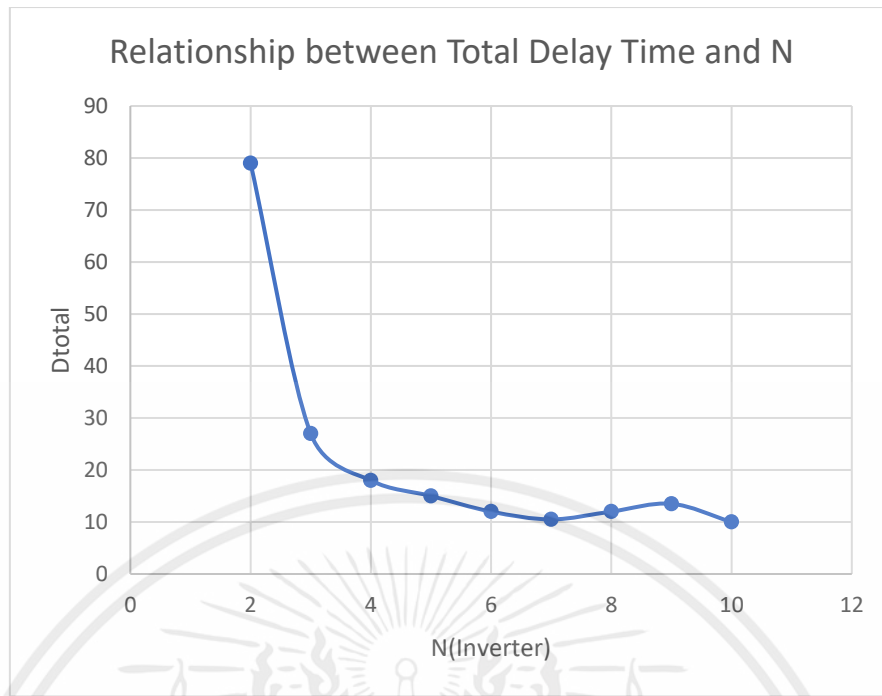
โดยที่ $\tau_{inv} = 0.5$ และ $\gamma \approx 0$

ตารางที่ 3.1 จำนวนการต่อ Inverter กับขนาดที่โตขึ้นของตัวถัดๆไป และค่า Delay

N	f	Dtotal (ns)
2	79	79
3	18	27
4	9	18
5	6	15
6	4	12
7	3	10.5
8	3	12
9	3	13.5
10	2	10

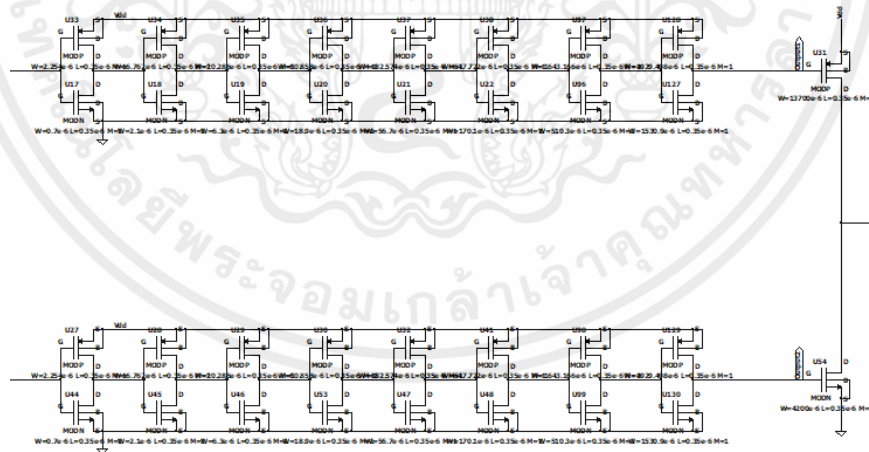
จากตารางที่ 3.1 สามารถหาความสัมพันธ์ของจำนวนอินเวอร์เตอร์และค่า delay ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.34 Relationship between Total Delay Time and N

จากการคำนวณเราสามารถรู้ได้ว่าควรเลือกใช้ Inverter จำนวน 8 ตัวและมีขนาดเพิ่มขึ้นเท่ากับ 3 เท่า ก็จะได้ค่า Delay time ที่เหมาะสมที่สุด ซึ่งนำมาต่อในวงจรได้ดังนี้

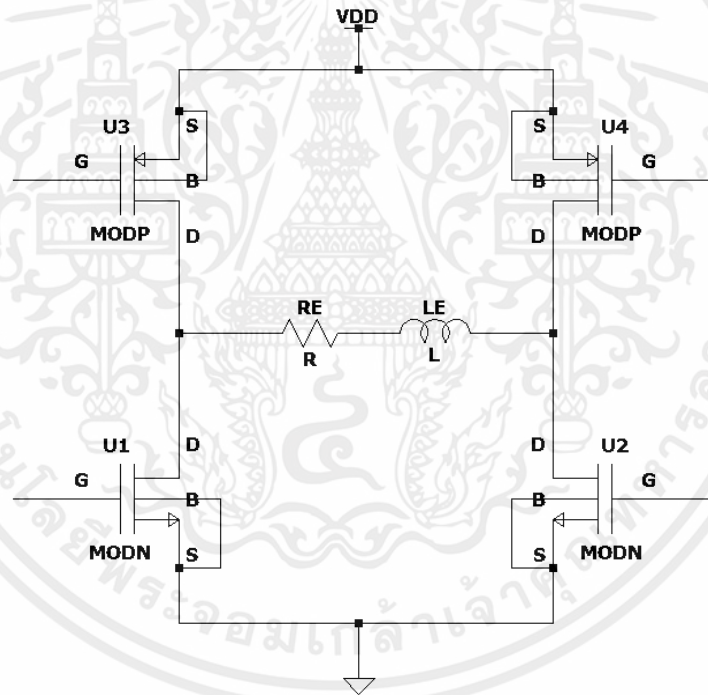


รูปที่ 3.35 วงจรบัฟเฟอร์ที่นำมาอยู่ระหว่างวงจรสร้าง dead time และมอสเฟตกำลัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

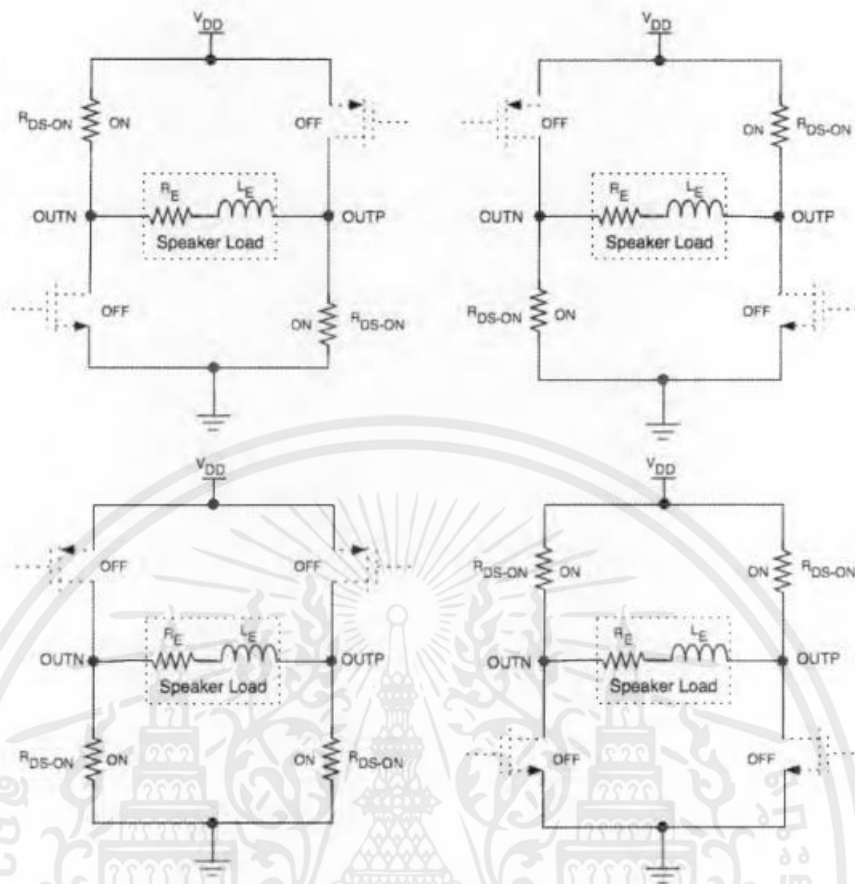
3.9 การออกแบบการออกแบบวงจรมอสเฟตกำลัง

ในการออกแบบวงจรมอสเฟตกำลัง (Power MOSFET Circuit) จะเป็นการต่อแบบวงจรโหลดแบบบริดจ์ Bridged-Tied Load (BTL) คือการกำหนดค่าเอาต์พุตสำหรับเครื่องขยายสัญญาณเสียง ซึ่งใช้เป็นหลักในแอปพลิเคชันด้านเสียง โหลด (เช่น ลำโพง) โดยการเชื่อมต่อระหว่างเอาต์พุตของเครื่องขยายเสียงสองตัว โดยเชื่อมต่อหัวเอาต์พุตทั้งสองเข้าด้วยกันสิ่งนี้สามารถเพิ่มการแกว่งของแรงดันไฟฟ้าเป็นสองเท่าที่โหลด(เมื่อเทียบกับการทำงานของเครื่องขยายเสียงแบบ single-end หากเอาต์พุตถูกขับในเฟสตรงข้าม แต่มีขนาดที่ใหญ่เนื่องจากต้องการลดความต้านทาน และมีการไดรฟ์ขาเกทของมอสเฟต ชนิดพี และชนิดเอ็นแตกต่างกันเพื่อป้องกันไม่ให้มอสเฟตทำงานพร้อมกัน เนื่องจาก Delay ของสัญญาณและเกิดการสูญเสียประสิทธิภาพ ดังรูป



รูปที่ 3.36 วงจรมอสเฟตกำลัง (Power MOSFET Circuit) แบบวงจรโหลดแบบบริดจ์ Bridged-Tied Load (BTL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.37 สถานะเอาต์พุตของ BTL และความต้านทาน R_{ds-on} ที่เห็นโดยโหลด

ดังแสดงในรูปที่ 3.32 สำหรับแต่ละสถานะที่เป็นไปได้ของสะพาน H โหลดเอาต์พุตกระแสไหลผ่านความต้านทานโหลดและอุปกรณ์เอาต์พุต R_{ds-on} สองตัว มันสามารถแสดงเปอร์เซ็นต์ประสิทธิภาพพลังงานของระยะเอาต์พุตเนื่องจากการนำไฟฟ้าการสูญเสีย (เช่น กระแสโหลดและ R_{ds-on} - เกี่ยวกับการสูญเสียพลังงานที่เกี่ยวข้อง) ให้จำเป็นต้องหาค่าความต้านทานที่จะทำให้มีประสิทธิภาพตามที่ต้องการจากสมการการหาค่าประสิทธิภาพ คือ

$$\eta = \frac{R_E}{2R_{ds-on} + R_E} \times 100$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

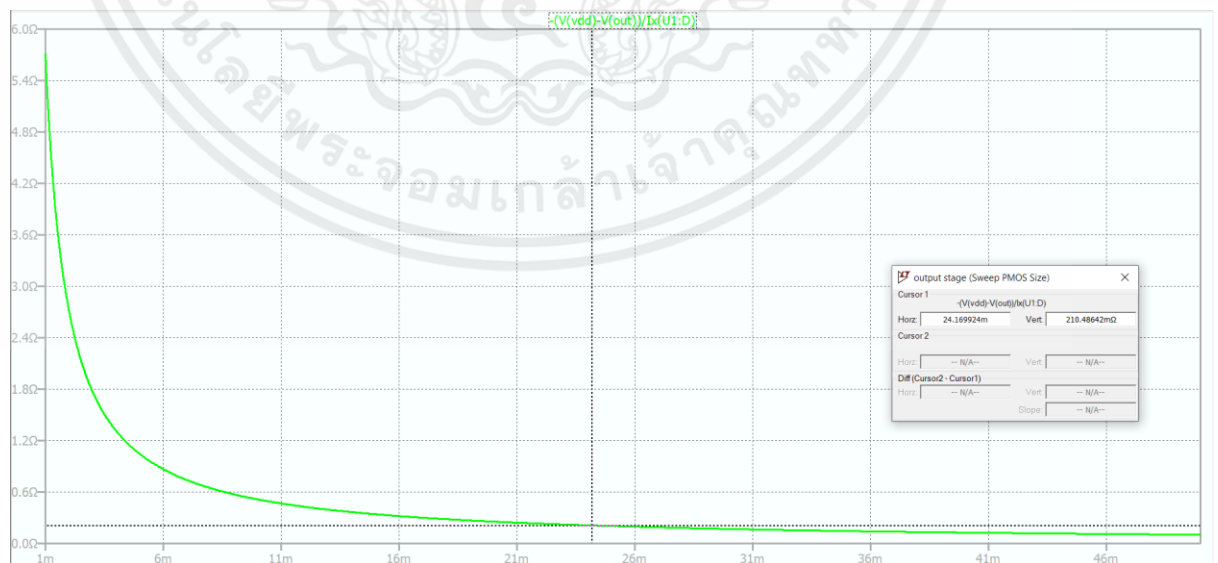
สำหรับการออกแบบนี้ เพื่อลดการสูญเสียพลังงานการนำไฟฟ้าของอุปกรณ์เอาต์พุต (เช่น R_{ds-on}) ในขณะที่ลดการสูญเสียพลังงานที่เกี่ยวข้องกับการชาร์จเกตให้เหลือน้อยที่สุด (เช่น ลดขนาดอุปกรณ์และความจุเกต) ใช้ประสิทธิภาพพลังงานเริ่มต้นที่ 95% คำนวณ R_{ds-on} เมื่อค่าความต้านทานของโหลดมีค่าเท่ากับ 8 โอห์มก็จะได้ค่า R_{ds} ซึ่งสามารถนำไปหาค่าความกว้างของมอสเฟตกำลังได้ดังนี้

$$95 = \frac{R_E}{2R_{ds-on} + R_E} \times 100$$

$$0.95 = \frac{8}{2R_{ds-on} + 8}$$

$$R_{ds} = 0.210 \Omega$$

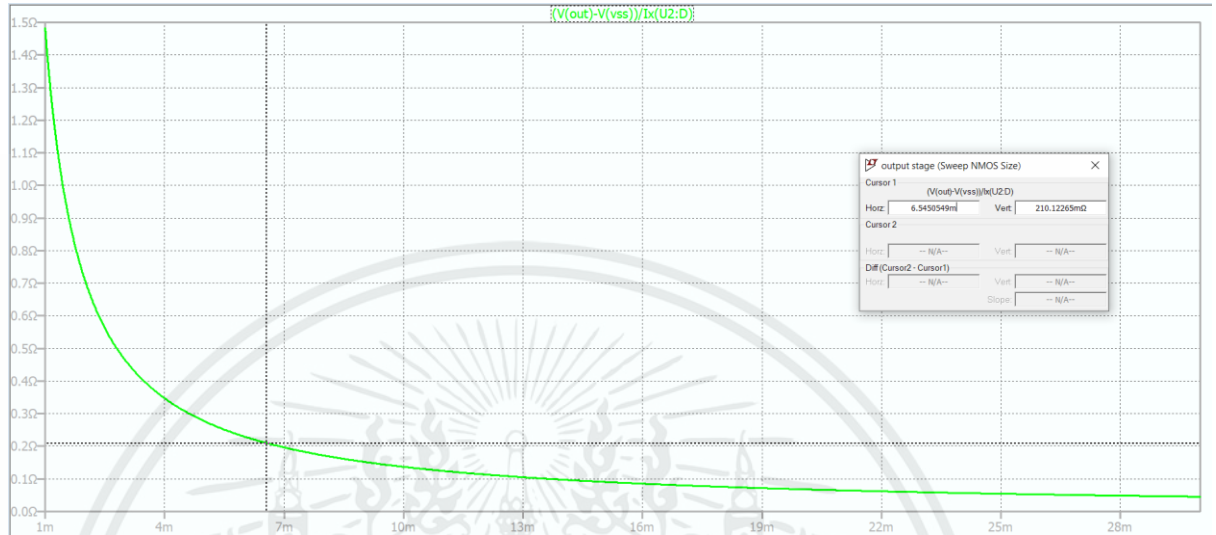
หลังจากได้ค่า R_{ds} มาแล้วเราจะสามารถหาค่า W ซึ่งมาจากการจำลองในโปรแกรม LTspice XVII โดยจะทำการพล็อตกราฟระหว่าง ค่า R_{ds} และค่า W แล้วเลื่อนพิกัดไปที่ค่า R_{ds} ที่เราคำนวณได้ ก็จะได้ค่า W มาค่าๆหนึ่ง จากนั้นก็ทำการหาค่า W โดยที่ค่า L มีค่าคงที่ คือ $0.35 \mu\text{m}$ ดังนี้



รูปที่ 3.38 กราฟความสัมพันธ์ระหว่างค่า R_{ds-on} กับค่า W ของ PMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อเลื่อนพิกัดไปที่ค่า R_{ds} ก็จะได้ค่า W (ความกว้าง) -PMOS อยู่ที่ประมาณ $24,169 \mu\text{m}$
และค่า L มีค่าคงที่ คือ $0.35 \mu\text{m}$

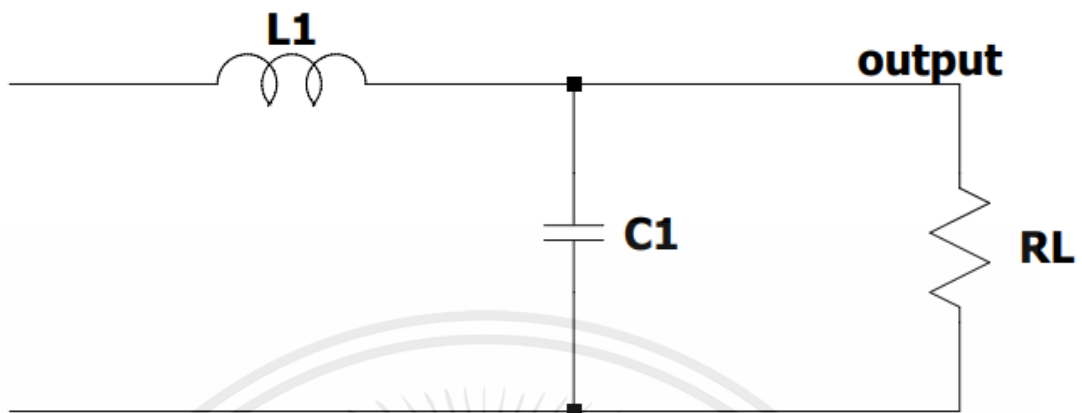


รูปที่ 3.39 กราฟความสัมพันธ์ระหว่างค่า R_{ds-on} กับค่า W ของ NMOS

เมื่อเลื่อนพิกัดไปที่ค่า R_{ds} ก็จะได้ค่า W (ความกว้าง) -NMOS อยู่ที่ประมาณ $6545.05 \mu\text{m}$
และค่า L มีค่าคงที่ คือ $0.35 \mu\text{m}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.10 ออกแบบวงจรกรองความถี่ต่ำผ่าน



รูปที่ 3.40 วงจรกรองความถี่ต่ำต่อโหลดภาระ

จากวงจรในภาพที่ 3.35 ซึ่งมีตัวเก็บประจุ และตัวเหนี่ยวนำที่เป็นอุปกรณ์สะสมพลังงานในวงจรและต่อกันแบบวงจรกรองความถี่ต่ำผ่าน และมีอิมพีแดนซ์ของโหลดภาระเท่า 8 โอห์ม ค่าอิมพีแดนซ์ของอุปกรณ์สะสมพลังงานที่เป็นตัวเก็บประจุจะมีค่าเท่ากับ $X_{C1} = \frac{1}{j\omega C_1}$ และสำหรับตัวเหนี่ยวนำจะมีค่าอิมพีแดนซ์เท่ากับ $X_{L1} = j\omega L_1$ โดยที่ $\omega = 2\pi f$ ในส่วนของอิมพีแดนซ์ของตัวต้านทานจะมีค่าเท่ากับ $X_{RL} = R_L$ จากนั้นทำการหาผลตอบสนองของวงจร (Transfer Function) โดยเริ่มจากสมการ

$$V_{out} = \left(\frac{X_{C1} // X_{RL}}{(X_{C1} // X_{RL}) + X_{L1}} \right) \times V_{in}$$

$$\frac{V_{out}}{V_{in}} = \left(\frac{\frac{1}{sC_1} // R_L}{\left(\frac{1}{sC_1} // R_L \right) + sL_1} \right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_{\text{out}}}{V_{\text{in}}} = \left(\frac{\frac{R_L}{1 + sR_L C_1}}{\left(\frac{R_L}{1 + sR_L C_1} \right) + sL_1} \right)$$

$$T(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{\frac{1}{L_1 C_1}}{s^2 + s \left(\frac{1}{R_L C_1} \right) + \frac{1}{L_1 C_1}}$$

และจากสมการ General Form Second Order ของผลตอบสนองจะค่าเท่ากับ

$$T(s) = \frac{V_{\text{out}}}{V_{\text{in}}} = \frac{\frac{1}{L_1 C_1}}{s^2 + s \left(\frac{1}{R_L C_1} \right) + \frac{1}{L_1 C_1}} = \frac{\omega_n^2}{s^2 + \left(\frac{\omega_n}{Q} \right) s + \omega_n^2}$$

จากการเมื่อเทียบสมการกันจะได้โดยที่ $Q = \text{Quality factor}$ ที่มีค่าที่แนะนำคือ $\frac{1}{\sqrt{2}} = 0.707$

$$C_1 = \frac{Q}{R_L \omega_n}, L_1 = \frac{R_L}{Q \omega_n}$$

จากวงจรที่มีอิมพีแดนซ์ของโหลดภาระเท่า 8 โอห์ม และสำหรับความถี่ทั่วไปที่มนุษย์เราสามารถได้ยินได้จะมีช่วงความถี่อยู่ที่ 20 Hz ถึง 20 kHz ดังนั้นความถี่ที่จะใช้เพื่อเป็นความถี่ตัดจะใช้ที่ความถี่เท่ากับ 20 kHz

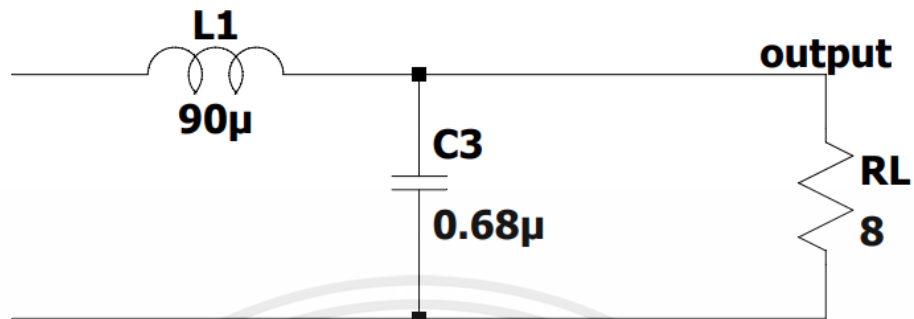
ดังนั้นเราจะได้อัตราตัวเก็บประจุเท่ากับ

$$C_1 = \frac{0.707}{8 \times (2\pi(20 \times 10^3))} = 703.37 \text{ nF} = 0.7 \text{ }\mu\text{F}$$

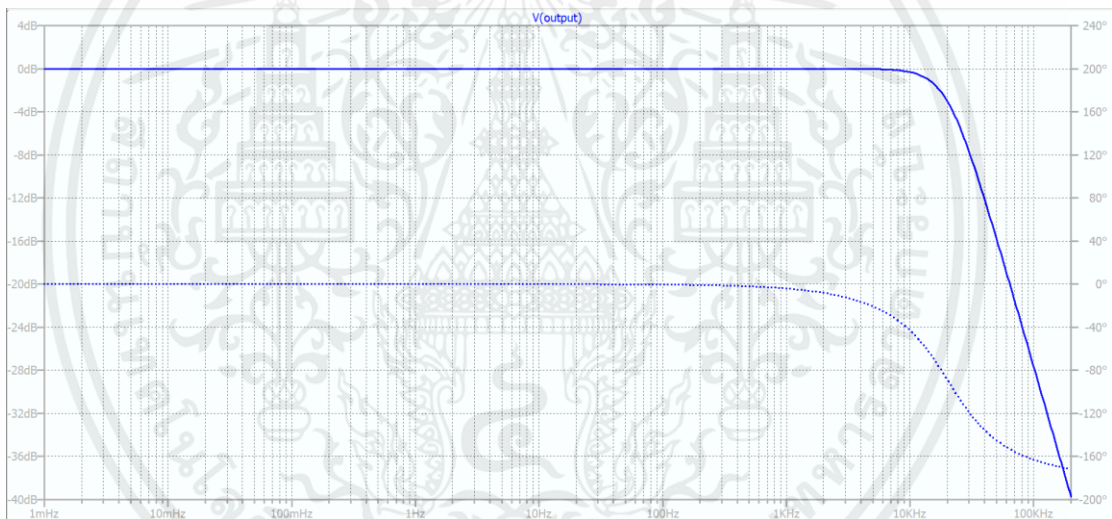
และเราจะได้อัตราตัวเหนี่ยวนำเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$L_1 = \frac{8}{0.707 \times (2\pi(20 \times 10^3)) \times 8} = 90 \mu\text{H}$$



รูปที่ 3.41 วงจรกรองความถี่ที่ต่อโหลดภาระ

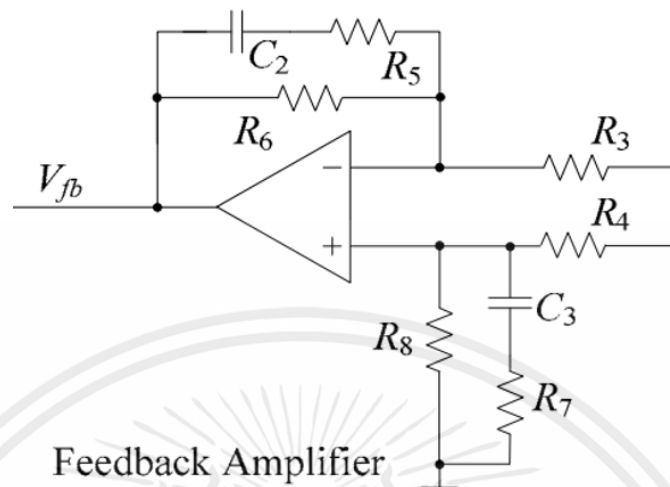


รูปที่ 3.42 ผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน

จากรูปที่ 3.40 ซึ่งแสดงผลตอบสนองความถี่ของวงจรกรองความถี่ต่ำผ่าน จะเห็นได้ว่าความถี่ตัด (Cut-off Frequency) ของวงจรนี้เป็นไปตามที่คำนวณไว้คือ 20 kHz ที่แรงดัน -3dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

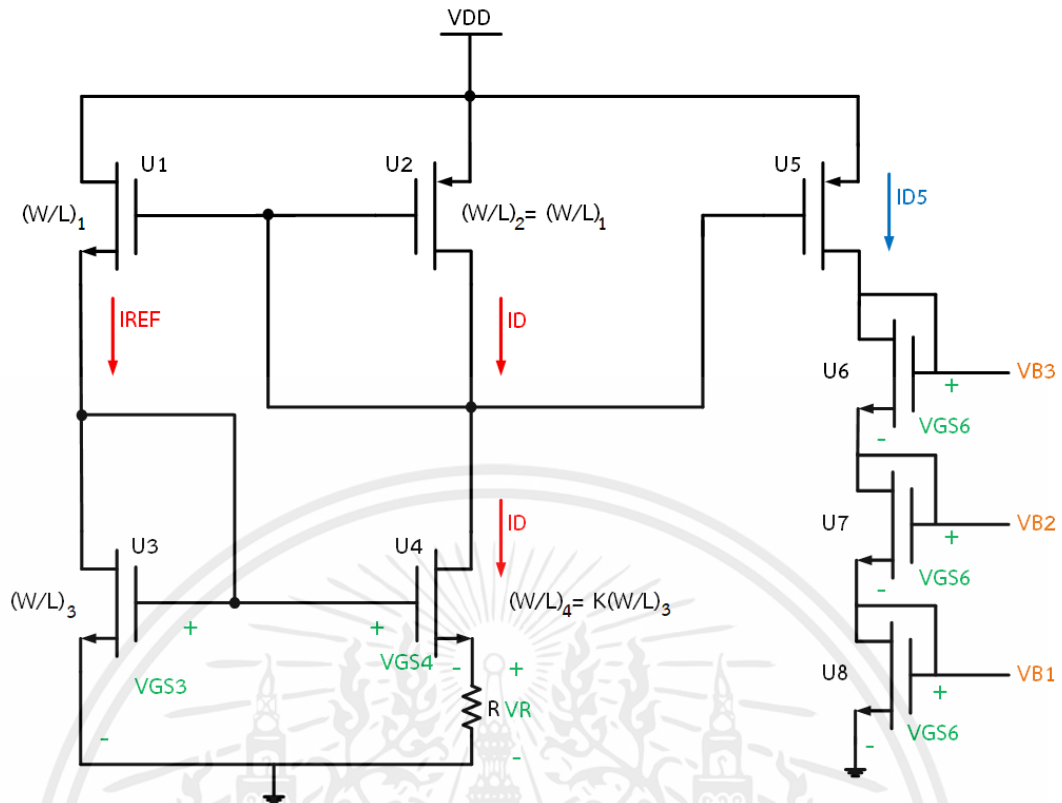
3.11 ออกแบบวงจรขยายสัญญาณผลต่างป้อนกลับแบบลบ



รูปที่ 3.43 วงจรขยายสัญญาณผลต่างป้อนกลับแบบลบ

3.12 ออกแบบวงจรไบอัสคงที่ที่ไม่ขึ้นกับไฟเลี้ยง

ในการออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดีทุกส่วนนั้นควรจะอยู่ในระดับ MOSFET ทั้งหมดรวมถึง แรงดันไบอัสที่อยู่ในวงจรรวมเพาเวอร์แอมป์คลาสดีก็ควรถูกสร้างมาจาก MOSFET อีกด้วยเราจึงใช้วงจรไบอัสคงที่ที่ไม่ขึ้นกับไฟเลี้ยง (Supply-independent biasing) ดังรูปที่ 3.35



รูปที่ 3.44 วงจรไบอัสคงที่ที่ไม่ขึ้นกับไฟเลี้ยง (Supply-independent biasing)

เราต้องออกแบบกระแสที่ไหลผ่าน PMOS U1 เท่ากับ PMOS U2 $I_1 = I_2$ ให้เท่ากันเพื่อที่จะทำให้กระแสที่ไหลผ่าน NMOS U3 และ NMOS U4 โดยการจะให้กระแสที่ไหลผ่าน PMOS U1 เท่ากับ PMOS U2 โดยออกแบบให้ $(\frac{W}{L})_1 = (\frac{W}{L})_2$ PMOS U1 กับ PMOS U2 เป็น Current mirror โดยค่า $(\frac{W}{L})_3 \neq (\frac{W}{L})_4$ ถ้าขนาด NMOS U3 และ NMOS U4 เท่ากันจะทำให้กระแสที่ไหลเป็น 0 โดยจะออกแบบให้ $(\frac{W}{L})_4 = K(\frac{W}{L})_3$ ถ้าออกแบบสมการได้ดังนี้โดย MOSFET U1-U4 ต้องงานในโหมดกระแสอิ่มตัว (Saturation)

$$V_{GS3} = V_{GS4} + V_R$$

$$\sqrt{\frac{2I_D}{\mu C_{ox}(\frac{W}{L})_3}} + V_T = \sqrt{\frac{2I_D}{\mu C_{ox}K(\frac{W}{L})_3}} + V_T + I_D R$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\sqrt{\frac{2I_D}{\mu C_{ox} \left(\frac{W}{L}\right)_3}} \left(1 - \frac{1}{\sqrt{K}}\right) = I_D R$$

$$\frac{2I_D}{\mu C_{ox} \left(\frac{W}{L}\right)_3} = \frac{I_D^2 R_A^2}{\left(1 - \frac{1}{\sqrt{K}}\right)^2}$$

$$I_D \approx \frac{1}{R_A^2} \frac{2}{\mu C_{ox} \left(\frac{W}{L}\right)_3} \left(1 - \frac{1}{\sqrt{K}}\right)^2$$

จะเห็นได้ว่า ค่ากระแส (I_D) นั้นไม่ได้ขึ้นอยู่กับแรงดันแหล่งจ่าย VDD

ทำการสะท้อนกระแสจาก PMOS U2 ไป PMOS U5 เพื่อนำกระแส I_5 ไปสร้างแรงดันไบอัส

$$I_{D5} = \frac{(W/L)_5}{(W/L)_2} I_D$$

$$V_{B1} = V_{GS8} = \sqrt{\frac{2I_{D5}}{\mu C_{ox} \left(\frac{W}{L}\right)_8}} + V_T$$

$$V_{B2} = V_{GS8} + V_{GS7}$$

$$V_{B3} = V_{GS8} + V_{GS7} + V_{GS8}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

4.1 คุณสมบัติของวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปปิด ที่กำหนด

ออกแบบวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปปิด ที่มีคุณสมบัติ ดังนี้

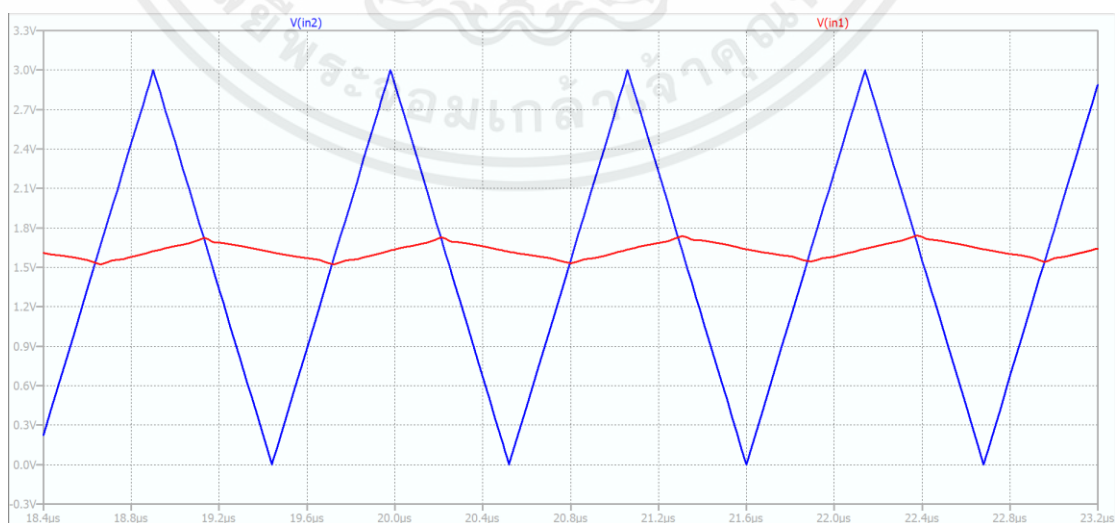
- 1.4.1 มีประสิทธิภาพการทำงานของวงจร (Efficiency) เป็น 90 เปอร์เซ็นต์
- 1.4.2 ความเพี้ยนเชิงฮาร์มอนิกส์รวม (Total Harmonic Distortion : THD) เมื่อความถี่ 20kHz น้อยกว่า 1 เปอร์เซ็นต์
- 1.4.3 สามารถแก้ปัญหาทางด้านสัญญาณรบกวนที่เกิดจากลำโพงได้เป็นอย่างดี
- 1.4.4 กำลังไฟฟ้าที่สามารถเกินค่าของไฟเลี้ยง (Power supply) ได้

4.2 ผลการทดลอง

เมื่อป้อนแรงดันไฟเลี้ยงที่ 3.3 V จะ และวงจรยังมีคุณสมบัติดังนี้

4.2.1 ผลกราฟ วงจรอินทิเกรเตอร์แบบเอาต์พุตเดี่ยว (Integrator single ended)

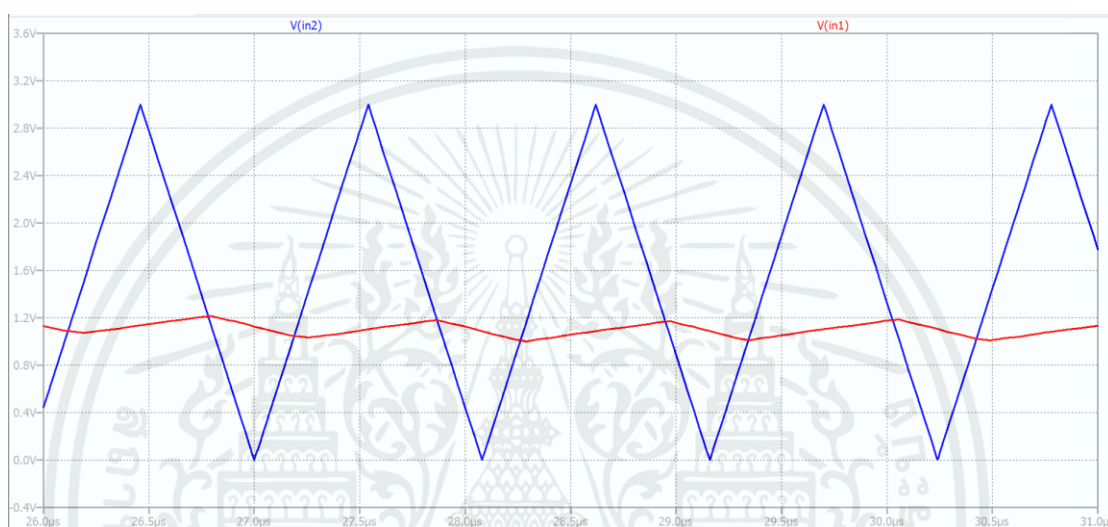
ในกรณีที่ 1 โดยให้ V_{in} เท่ากับ 1.65 V โดยให้ V ที่ขาบวกของวงจรอินทิเกรเตอร์ เท่ากับ 1.65 V จึงทำให้ไม่มีกระแสไหลผ่านตัว R_1 ทำให้มีแค่กระแสไหลจาก output ที่ 3 V มาชาร์จตัวเก็บประจุ และจะมีการคายประจุของตัวเก็บประจุเช่นเดียวกัน นั้นทำให้ ความชัน (Slope) ของกราฟตัวเก็บประจุตอนชาร์จตัวเก็บประจุและคายประจุเท่ากันจึงทำให้ค่าสัญญาณพัลส์ (PWM) มี Duty cycle เท่ากับ 50 %



รูปที่ 4.1 สัญญาณวงจรอินทิเกรเตอร์แบบเอาต์พุตเดี่ยวเมื่อ V_{in} เท่ากับ 1.65 V

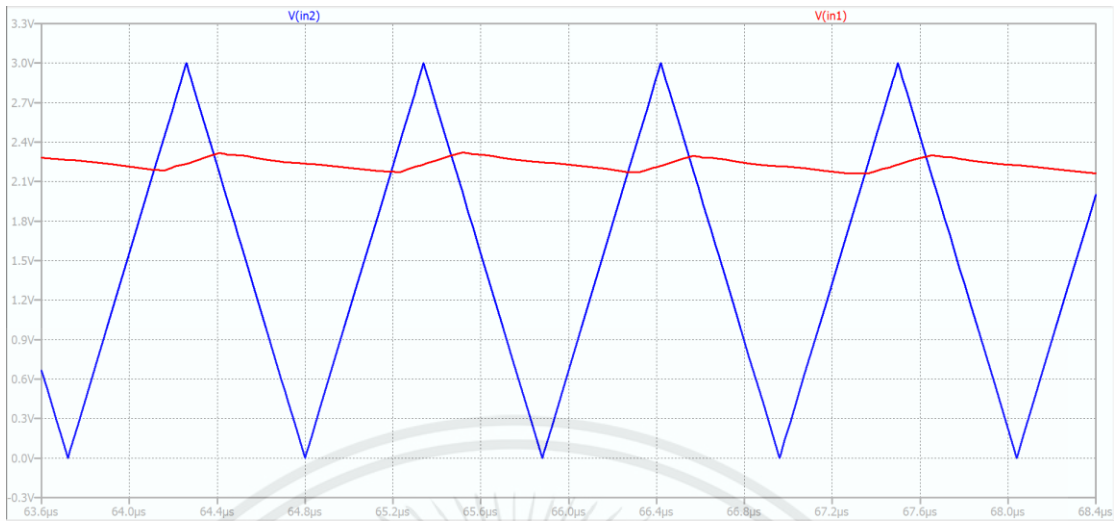
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่ 2 โดยให้ V_{in} เท่ากับ 1.85 V โดยให้ V ที่ขาบวกของวงจรรินทิเกรเตอร์ เท่ากับ 1.65 V จึงทำให้มีกระแสไหลผ่านตัว R1 ทำให้มีกระแสไหลจาก output ที่ 3 V และกระแสที่ไหลผ่านตัว R1 มาชาร์จตัวเก็บประจุ และมีการคายประจุของตัวเก็บประจุเช่นเดียวกัน นั้นทำให้ ความชัน (Slope) ของกราฟตัวเก็บประจุตอนชาร์จตัวเก็บประจุนั้นมีความชันที่ต่ำกว่าตอนคายประจุ จึงทำให้ค่าสัญญาณพัลส์ (PWM) มี Duty cycle น้อยกว่า 50 % (ขนาดสัญญาณพัลส์ (PWM) จะ แคลบลง)



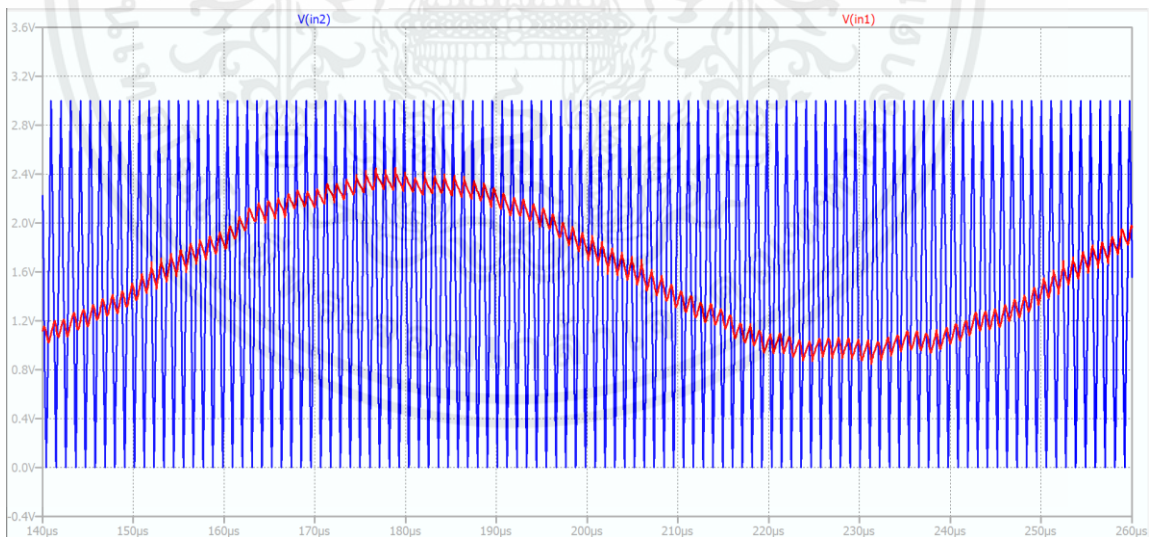
รูปที่ 4.2 สัญญาณวงจรรินทิเกรเตอร์แบบเอาต์พุตเดี่ยวเมื่อ V_{in} เท่ากับ 1.85 V

ในกรณีที่ 3 โดยให้ V_{in} เท่ากับ 1.45 V โดยให้ V ที่ขาบวกของวงจรรินทิเกรเตอร์ เท่ากับ 1.65 V จึงทำให้มีกระแสไหลผ่านตัว R1 ทำให้มีกระแสไหลจาก output ที่ 3 V และกระแสที่ไหลผ่านตัว R1 มาชาร์จตัวเก็บประจุ และมีการคายประจุของตัวเก็บประจุเช่นเดียวกัน นั้น ทำให้ ความชัน (Slope) ของกราฟตัวเก็บประจุตอนคายประจุของตัวเก็บประจุนั้นมีความชันที่ต่ำกว่า ตอนชาร์จประจุจึงทำให้ค่าสัญญาณพัลส์ (PWM) มี Duty cycle มากกว่า 50 % (ขนาดสัญญาณพัลส์ (PWM) จะกว้างขึ้น)



รูปที่ 4.3 สัญญาณวงจรอินทิเกรเตอร์แบบเอาต์พุตเดี่ยวเมื่อ V_{in} เท่ากับ 1.45 V

ในกรณีที่ 4 โดยให้ V_{in} เป็นสัญญาณไซน์ V_{in} มีแอมพลิจูดเป็น 1.65 V และมีขนาดเท่ากับ 0.25Vp V โดยมี ความถี่เท่ากับ 20 kHz โดยให้ V ที่ขาบวกของวงจรอินทิเกรเตอร์ เท่ากับ 1.65 V

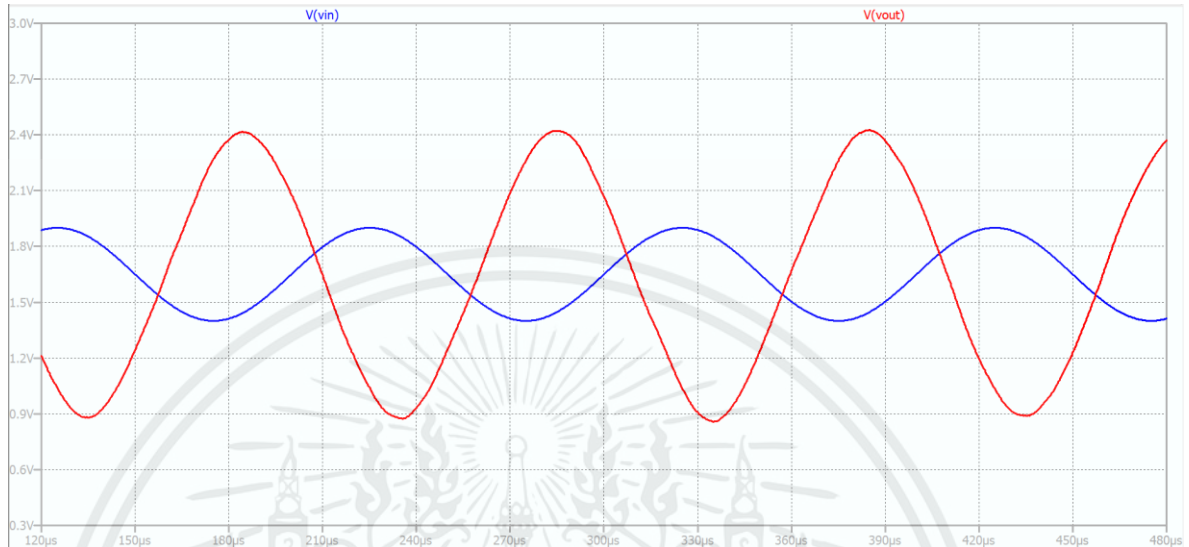


รูปที่ 4.4 สัญญาณวงจรอินทิเกรเตอร์แบบเอาต์พุตเดี่ยวเมื่อ V_{in} เป็นสัญญาณไซน์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

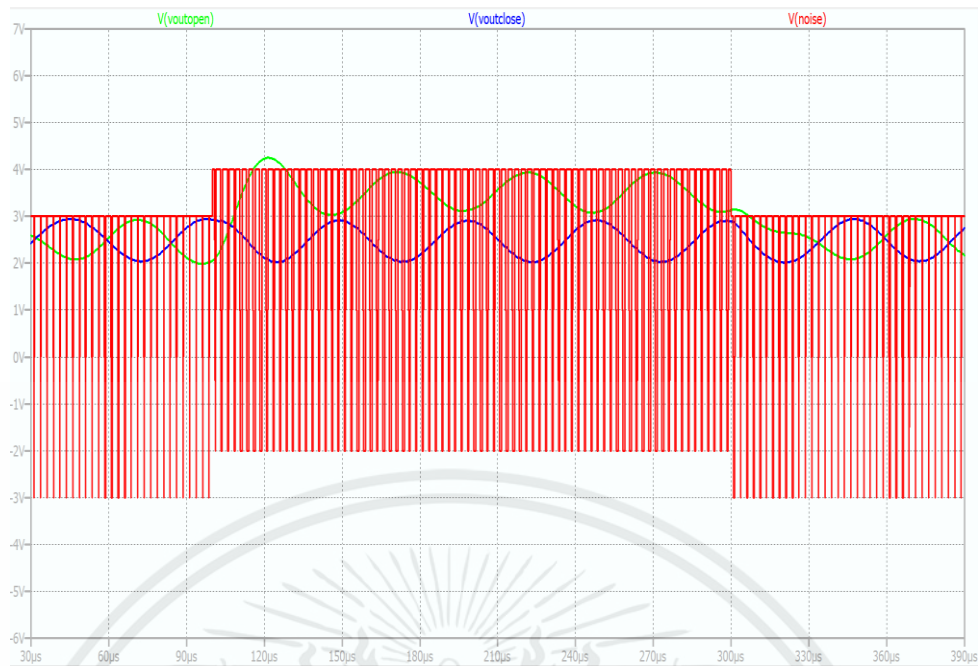
โดยวงจรอินทิเกรเตอร์แบบเอาต์พุตเดี่ยว สามารถปรับกำลังขยายของสัญญาณ

$$\text{เอาต์พุตได้ โดย Gain} = A_c = \frac{V_{out}}{V_{in}} = -\frac{R_F}{R_1} = -\frac{30k\Omega}{10k\Omega} = -3 \quad R_F = 30k\Omega$$



รูปที่ 4.5 สัญญาณเสียงที่ลำโพงที่มีกำลังขยายเป็น 3 เท่า

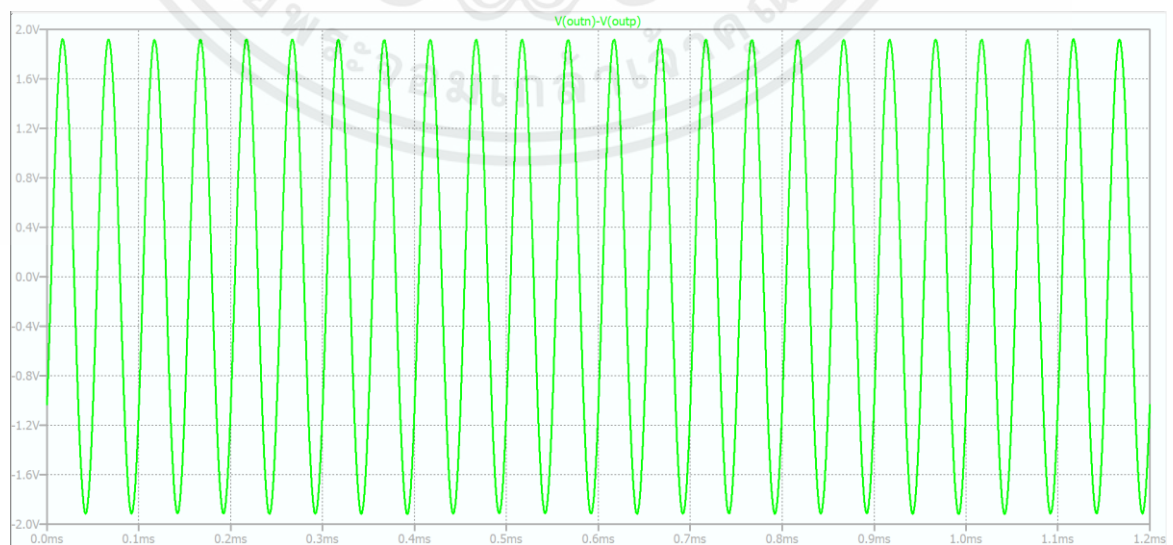
ถ้า Supply ของ Comparator มีสัญญาณรบกวนเกิดขึ้นจะมีผลต่อสัญญาณ output หรือไม่ถ้าเป็น Power Amplifier class D แบบ Closed loop นั้นจะทำให้สัญญาณรบกวนไม่มีผลมาจากการที่มีวงจรรวมอินทิเกรเตอร์ (Integrator) ซึ่งเป็นวงจรป้อนกลับแบบลบซึ่งเมื่อมีการปรับเปลี่ยนค่าสัญญาณ Input วงจรรวมอินทิเกรเตอร์ (Integrator) ซึ่งเป็นวงจรป้อนกลับแบบลบ จะทำการปรับค่า Duty cycle ของสัญญาณพัลส์ (PWM) ให้กลับมาเป็นปกติซึ่งทำให้สัญญาณเสียงที่ออกมาจากลำโพงนั้นจะไม่มีสัญญาณรบกวนที่มาจาก วงจร Comparator



รูปที่ 4.6 กราฟ output Power Amplifier class D แบบ Closed loop เทียบกับ Open loop

4.2.2 ผลกราฟ วงจรอินทิเกรเตอร์แบบเอาต์พุตผลต่าง (Integrator difference ended)

วงจรอินทิเกรเตอร์แบบเอาต์พุตผลต่างนั้นข้อดีคือมีความสามารถลดทอนความผิดเพี้ยนของสัญญาณรบกวนและมีอัตราขยายของออปแอมป์เอาต์พุตผลต่างมีค่าเป็นสองเท่าของออปแอมป์เอาต์พุตเดี่ยวและสัญญาณเอาต์พุตที่ขาทั้งสองของออปแอมป์เอาต์พุตผลต่างขึ้นอยู่กับสัญญาณอินพุตผลต่างเท่านั้นโดยมีขนาดเท่ากันแต่มีเฟสต่างกัน 180 องศา

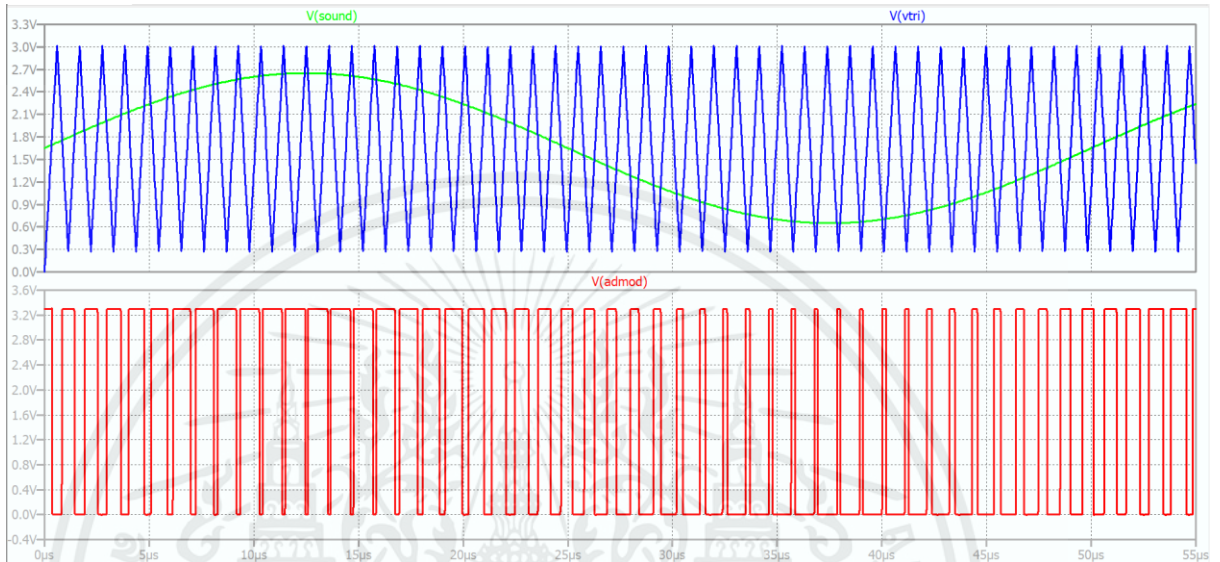


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

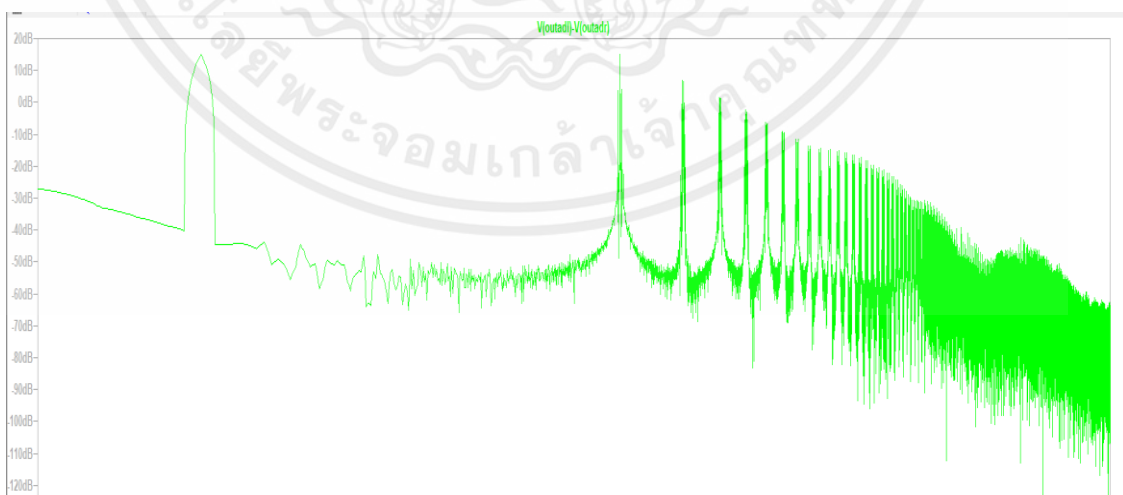
รูปที่ 4.7 สัญญาณเสียงแรงดันที่ตกคร่อมลำโพง

4.2.3 ผลกราฟการมอดูเลตแบบ AD และ BD (AD/BD Modulation)

จากการทดลองจำลองวงจรสร้าง dead time ได้ค่าดังรูป

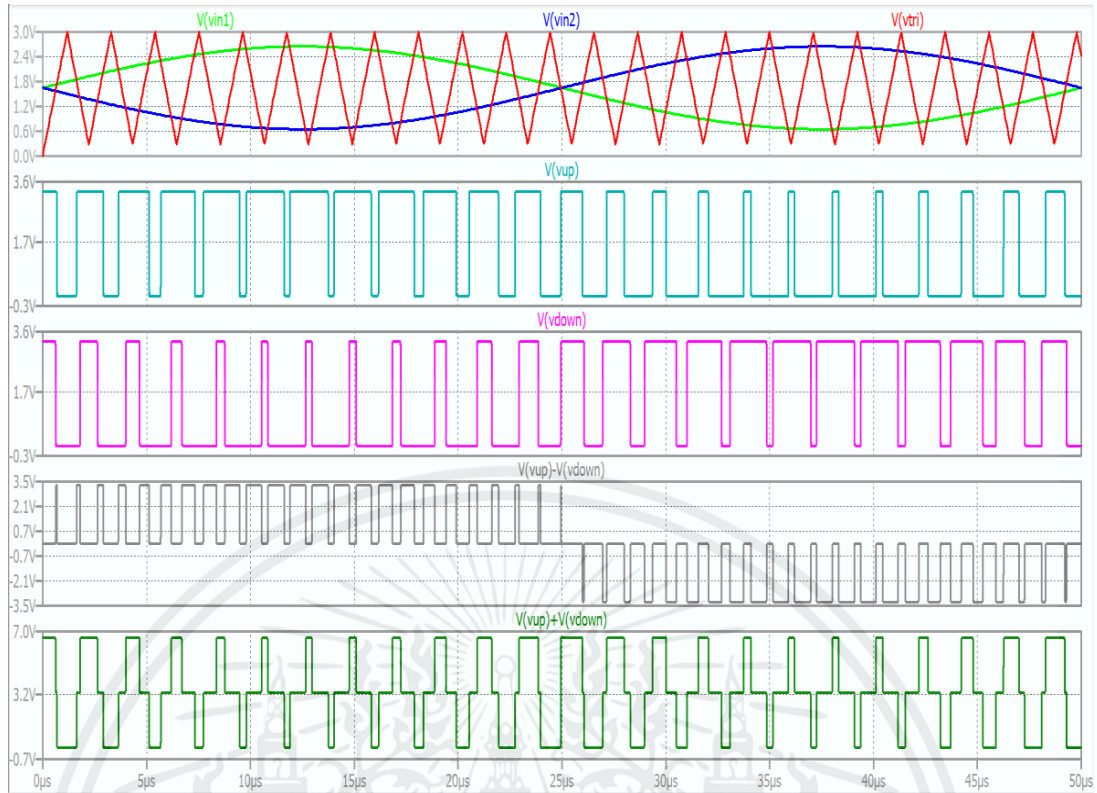


รูปที่ 4.8 กราฟ AD mod สัญญาณ PWM

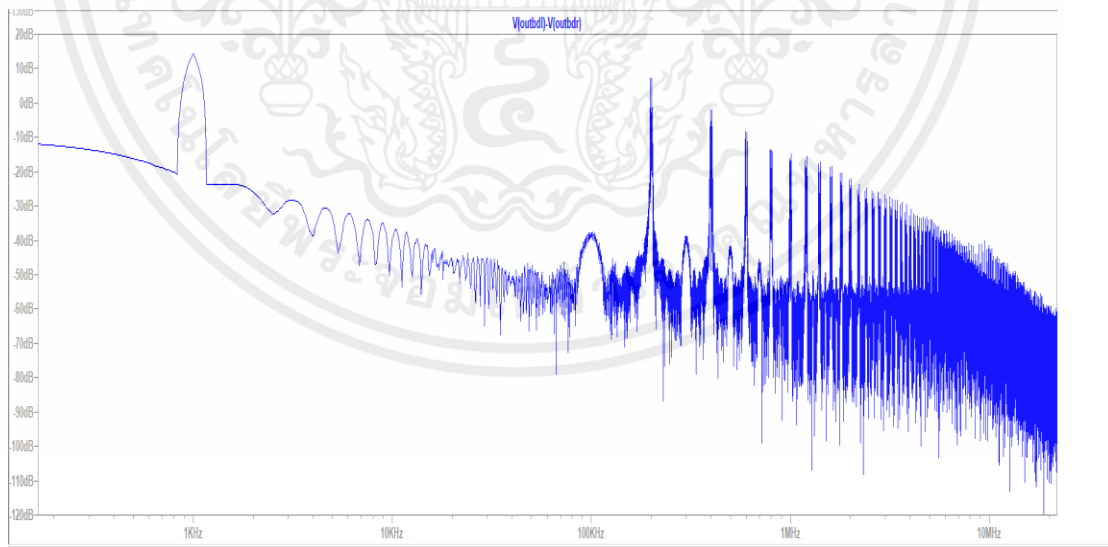


รูปที่ 4.9 กราฟ FFT AD mod สัญญาณ PWM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 กราฟ BD mod สัญญาณ PWM



รูปที่ 4.11 กราฟ FFT BD mod สัญญาณ PWM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.4 ผลกราฟ ประสิทธิภาพการทำงานของวงจร (Efficiency : η)

การหาค่าประสิทธิภาพการทำงานของวงจรจะทำการคำนวณจากค่ากำลังงานที่เอาต์พุต (P_o) และค่ากำลังงานที่อินพุต (P_i) โดยค่ากำลังงานทั้งสองจะทำการหาโดยการใช่โปรแกรมจำลอง LTspice XVII และมีโหลดภาระที่มีความต้านทาน 8 โอห์ม

$$\eta = \frac{P_{out}}{P_{in}} = \frac{P_{out}}{P_{out} + P_{loss}}$$

โดยที่ P_{loss} คือ กำลังงานที่สูญเสียให้กับวงจร

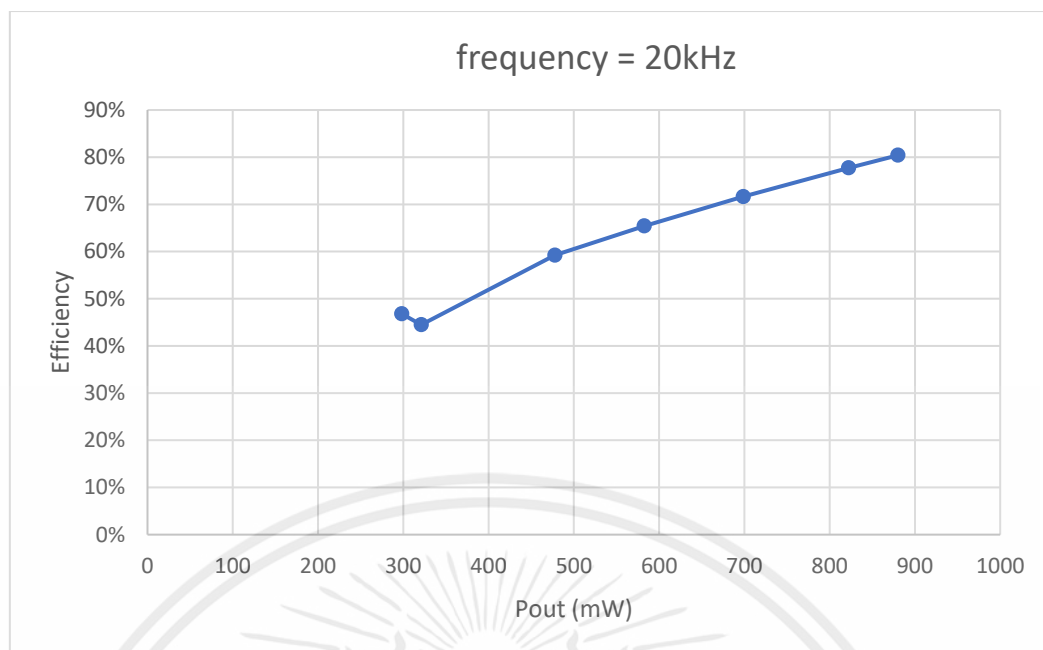
ในการทดลองจะแบ่งช่วงความถี่เป็นช่วงๆ คือ 20KHz, และเปลี่ยนค่าแอมพลิจูดไปเรื่อยๆ เพื่อหาความสัมพันธ์ที่เกิดขึ้นและค่าที่มีผลต่อประสิทธิภาพ ได้ดังนี้

ตารางที่ 4.1 ผลการทดลองค่าประสิทธิภาพที่ความถี่ 20kHz ของวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปเปิด

Amplitude	Pout (mW)	Efficiency
0	298.29	47%
0.25	321.14	44%
0.5	477.84	59%
0.75	582.65	65%
1	698.76	72%
1.25	822.37	78%
1.35	880.08	80%

จากผลการทดลองที่ค่าความถี่ 20 kHz สามารถหาความสัมพันธ์ของค่า Pout และค่าประสิทธิภาพได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

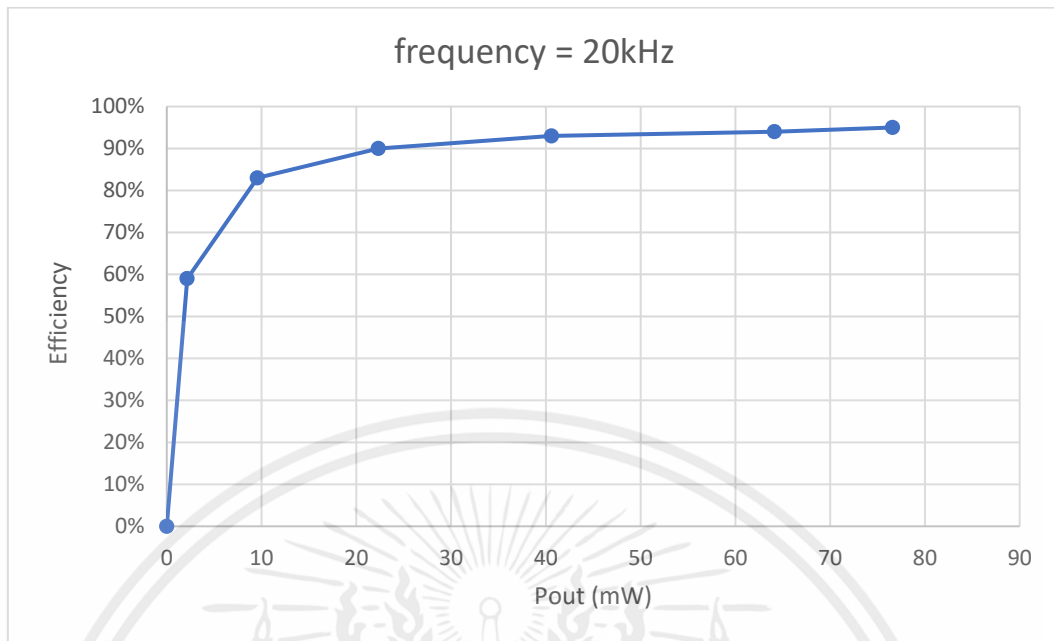


รูปที่ 4.12 กราฟความสัมพันธ์ของค่า Pout และค่าประสิทธิภาพ ที่ความถี่ 20kHz ของวงจรรวมเพาเวอร์แอมป์ คลาสดีแบบลูปเปิด

ตารางที่ 4.2 ผลการทดลองค่าประสิทธิภาพที่ความถี่ 20kHz ของวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปปิด

Amplitude	Pin (mW)	Pout (mW)	Efficiency
0	1.2043	0.0005622	0%
0.25	3.6237	2.1558	59%
0.5	11.511	9.5711	83%
0.75	24.773	22.333	90%
1	43.771	40.601	93%
1.25	68.181	64.134	94%
1.35	80.792	76.600	95%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 กราฟความสัมพันธ์ของค่า Pout และค่าประสิทธิภาพ ที่ความถี่ 20kHz ของวงจรรวมเพาเวอร์แอมป์ คลาสดีแบบลูปิด

4.2.5. ความเพี้ยนเชิงฮาร์โมนิกสรวม (Total Harmonic Distortion :THD)

%THD (Total Harmonic Distortion) เป็นค่าบอกระดับความเพี้ยนฮาร์โมนิก โดยเทียบจาก อัตราส่วนระหว่าง ค่ารากที่สองของผลบวกกำลังสองของส่วนประกอบฮาร์โมนิกกับค่าของ ส่วนประกอบความถี่หลักมูลเทียบเป็นร้อยละ ซึ่งจะแยกออกเป็น ค่าความเพี้ยนกระแสฮาร์โมนิกรวม และค่าความเพี้ยนแรงดันฮาร์โมนิกรวม

$$\%THD = \frac{\sqrt{\sum_2^n V_h^2}}{V_1} \times 100\%$$

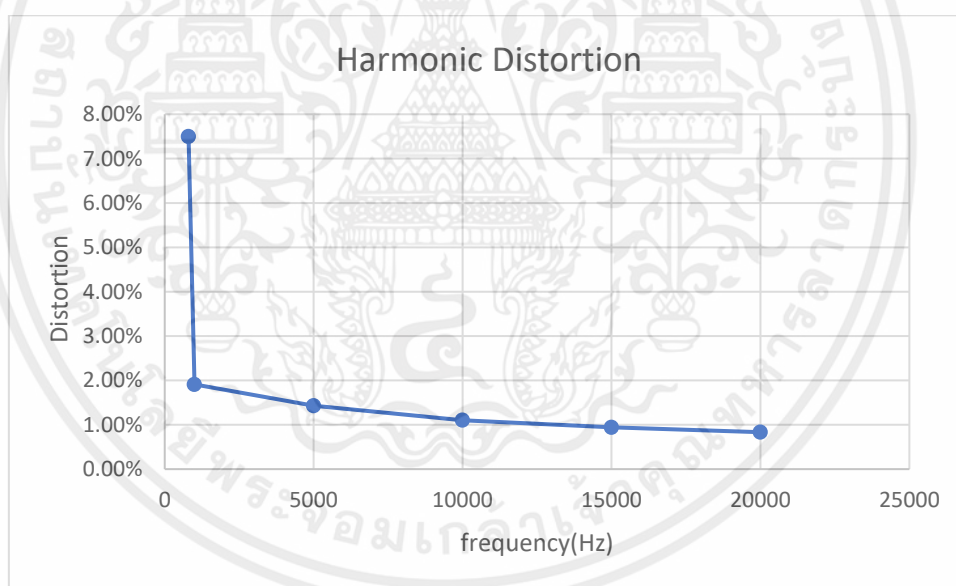
โดยที่ในการทดลองจะเป็นการปรับค่าความถี่ในแต่ละย่านแตกต่างกัน ตั้งแต่ 800Hz ถึง 20 kHz และทำวัดหาค่า Distortion ที่เกิดขึ้น ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.3 ผลการทดลองหาค่า Distortion ที่ความถี่ต่างๆของวงจรรวมเพอร์เวอร์แอมป์คลาสดีแบบลูปเปิด

frequency(Hz)	Harmonic Distortion
800	7.50%
1000	1.91%
5000	1.43%
10000	1.10%
15000	0.94%
20000	0.83%

ซึ่งจากผลการทดลองสามารถหาค่ากราฟความสัมพันธ์ของความถี่และค่าความผิดเพี้ยนได้ดังนี้



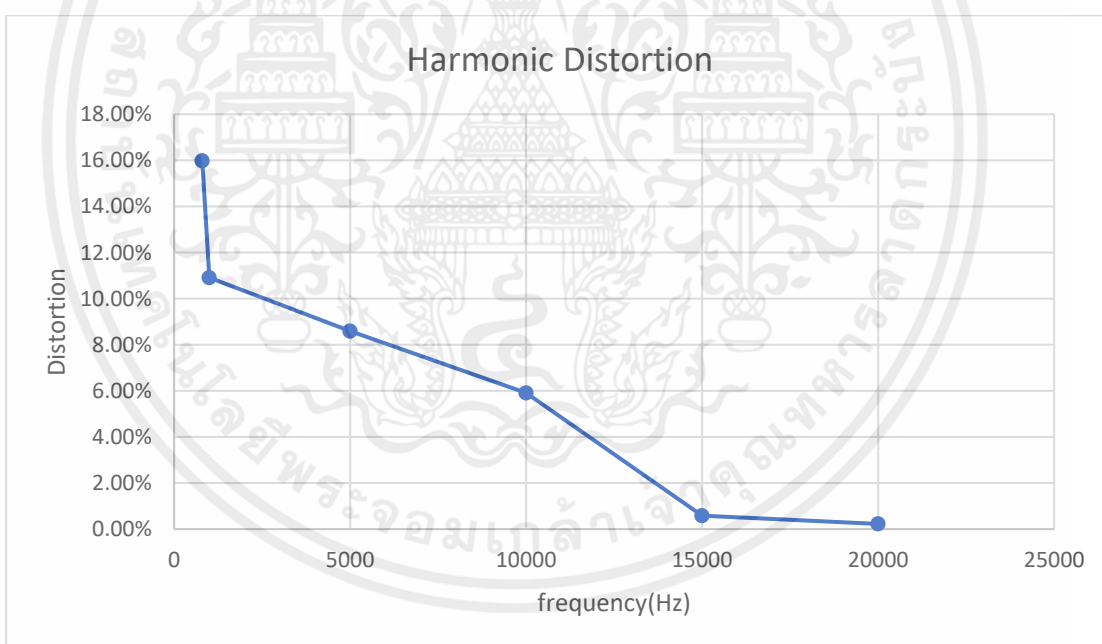
รูปที่ 4.14 กราฟความสัมพันธ์ของความถี่และค่าความผิดเพี้ยนของวงจรรวมเพอร์เวอร์แอมป์คลาสดีแบบลูปเปิด

จากการทดลองที่ความถี่ในย่านต่างๆค่าความผิดเพี้ยนในช่วง 20-15 kHz ได้ค่าตามที่กำหนดไว้คือ น้อยกว่า 1% และจากผลการทดลองค่าความผิดเพี้ยนจะลดลงเนื่องจากความถี่ที่เพิ่มขึ้นเรื่อยๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.4 ผลการทดลองหาค่า Distortion ที่ความถี่ต่างๆของวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปปิด

frequency(Hz)	Harmonic Distortion
800	15.98%
1000	10.91%
5000	8.59%
10000	5.91%
15000	0.585%
20000	0.226%



รูปที่ 4.15 กราฟความสัมพันธ์ของความถี่และค่าความผิดเพี้ยนของวงจรรวมเพาเวอร์แอมป์คลาสดีแบบลูปปิด

จากความสัมพันธ์ของกราฟที่ทดลองทั้ง 2 ในช่วงที่ค่าความผิดเพี้ยนมีการเปลี่ยนแปลงไปมาก จะเป็นช่วงตั้งแต่ 1000 kHz หรือ ซึ่งหากทดลองใช้ความถี่ที่มากขึ้นเรื่อยๆ ค่าความผิดเพี้ยน ก็จะมี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความคงที่ที่มากขึ้นเรื่อย คือ น้อยกว่า 1% แต่ไม่เท่ากับ 0% ทำให้หากต้องการค่าความผิดพลาดที่น้อยก็จะเป็นต้องใช้ความถี่ตั้งแต่ 1000 kHz ขึ้นไป



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการทดลองและข้อเสนอแนะ

5.1 สรุปผลการทดลอง

จากการทดลองวงจรรวมเพาเวอร์แอมป์คลาสดีในส่วนผลกราฟวงจรอินทิเกรเตอร์แบบเอาต์พุตเดี่ยวในกรณีที่ 1 โดยให้ V_{in} เท่ากับ 1.65 V โดยให้ V ที่ขาบวกของวงจรอินทิเกรเตอร์ เท่ากับ 1.65 V จึงทำให้ไม่มีกระแสไหลผ่านตัว R1 ทำให้มีกระแสไหลจาก output ที่ 3 V มาชาร์จตัวเก็บประจุ และจะมีการคายประจุของตัวเก็บประจุเช่นเดียวกัน นั้นทำให้ ความชัน (Slope) ของกราฟตัวเก็บประจุตอนชาร์จตัวเก็บประจุและคายประจุเท่ากันจึงทำให้ค่าสัญญาณพัลส์ (PWM) มี Duty cycle เท่ากับ 50 %

ในกรณีที่ 2 โดยให้ V_{in} เท่ากับ 1.85 V โดยให้ V ที่ขาบวกของวงจรอินทิเกรเตอร์ เท่ากับ 1.65 V จึงทำให้มีกระแสไหลผ่านตัว R1 ทำให้มีกระแสไหลจาก output ที่ 3 V และกระแสที่ไหลผ่านตัว R1 มาชาร์จตัวเก็บประจุ และมีการคายประจุของตัวเก็บประจุเช่นเดียวกัน นั้นทำให้ ความชัน (Slope) ของกราฟตัวเก็บประจุตอนชาร์จตัวเก็บประจุนั้นมีความชันที่ต่ำกว่าตอนคายประจุจึงทำให้ค่าสัญญาณพัลส์ (PWM) มี Duty cycle น้อยกว่า 50 % (ขนาดสัญญาณพัลส์ (PWM) จะแคบลง)

ในกรณีที่ 3 โดยให้ V_{in} เท่ากับ 1.45 V โดยให้ V ที่ขาบวกของวงจรอินทิเกรเตอร์ เท่ากับ 1.65 V จึงทำให้มีกระแสไหลผ่านตัว R1 ทำให้มีกระแสไหลจาก output ที่ 3 V และกระแสที่ไหลผ่านตัว R1 มาชาร์จตัวเก็บประจุ และมีการคายประจุของตัวเก็บประจุเช่นเดียวกัน นั้นทำให้ ความชัน (Slope) ของกราฟตัวเก็บประจุตอนคายประจุของตัวเก็บประจุนั้นมีความชันที่ต่ำกว่าตอนชาร์จประจุ จึงทำให้ค่าสัญญาณพัลส์ (PWM) มี Duty cycle มากกว่า 50 % (ขนาดสัญญาณพัลส์ (PWM) จะกว้างขึ้น)

ถ้า Supply ของ Comparator มีสัญญาณรบกวนเกิดขึ้นจะมีผลต่อสัญญาณ output หรือไม่ ถ้าเป็น Power Amplifier class D แบบ Closed loop นั้นจะทำให้สัญญาณรบกวนไม่มีผลมาจากการที่มีวงจรรวมอินทิเกรเตอร์ (Integrator) ซึ่งเป็นวงจรป้อนกลับแบบลบซึ่งเมื่อมีการปรับเปลี่ยค่าสัญญาณ Input วงจรรวมอินทิเกรเตอร์ (Integrator) ซึ่งเป็นวงจรป้อนกลับแบบลบ จะทำการปรับค่า Duty cycle ของสัญญาณพัลส์ (PWM) ให้กลับมาเป็นปกติซึ่งทำให้สัญญาณเสียงที่ออกมาจากลำโพงนั้นจะไม่มีสัญญาณรบกวนที่มาจาก วงจร Comparator สามารถแก้ปัญหาทางด้านสัญญาณรบกวนที่เกิดจากลำโพงได้เป็นอย่างดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรอินทิเกรเตอร์แบบเอาต์พุตผลต่างนั้นข้อดีคือมีความสามารถลดทอนความผิดพลาดของสัญญาณรบกวนและมีอัตราขยายของออปแอมป์เอาต์พุตผลต่างมีค่าเป็นสองเท่าของออปแอมป์เอาต์พุตเดี่ยวกำลังไฟฟ้าที่สามารถเกินค่าของไฟเลี้ยง (Power supply) ได้

จากผลการทดลองเรื่องค่าประสิทธิภาพจะแปรผกผันกับความถี่ ให้ความถี่ที่มากการสูญเสียประสิทธิภาพก็จะมากตาม อันเนื่องมาจาก หากให้ความถี่ที่สูงวงจรก็จะทำงานหนักขึ้น อันเนื่องมาจากข้อมูลที่ถูกลบเป็นสัญญาณสี่เหลี่ยมมีมากขึ้น มอสที่ได้รับสัญญาณก็จะทำงานมากขึ้นตาม เกิดเป็นความร้อน (Ploss) ที่ทำให้เกิดการสูญเสียประสิทธิภาพ ซึ่ง Class-D ควรจะมีค่าประสิทธิภาพที่สูง แต่จากผลการทดลองในช่วงความถี่ที่ 14-20 kHz วงจรไม่สามารถรักษาประสิทธิภาพได้ตามที่ต้องการ คือ 90% ทำให้ต้องมีการแก้ไขวงจรและพัฒนาต่อไป

ในการทดลองหาค่าความผิดพลาดของวงจร โดยในโครงการกำหนดไว้ว่า ควรได้ต่ำกว่า 1% แต่จากการทดลอง ที่ความถี่ตั้งแต่ 10kHz ลงไป ค่าความผิดพลาดเพิ่มสูงอย่างมากโดยอาจเกิดจากหลายๆปัจจัย เช่น วงจร Deadtime ที่ทำการตัดแปลงสัญญาณ และ ที่ความถี่ต่ำทำให้การชาร์จประจุและการคายประจุมีค่ามากทำให้เกิดการ Delay ของสัญญาณที่เพิ่มขึ้นจึงเกิดเป็นความผิดพลาดที่มีค่าเพิ่มสูงจึงต้องมีการปรับปรุงวงจรให้ดีขึ้นต่อไป

5.2 วิจัยผลการทดลอง

จากค่าประสิทธิภาพที่เกิดและค่าความผิดพลาดในวงจร จะเห็นได้ว่ามีบางช่วงที่ไม่ต้องตามที่กำหนดไว้ ซึ่งอาจเกิดได้จากปัจจัยหลายอย่าง คือ จากการออกแบบสัญญาณสามเหลี่ยมมีช่วงเวลาในช่วงเวลาขาขึ้น (rise time) และในช่วงเวลาขาลง (fall time) ที่มีค่าต่างกันเพียงเล็กน้อยก็ทำให้เกิดค่าความผิดพลาดในวงจรได้ ค่าการทดลองที่ได้มีความผิดพลาดเนื่องจากในการทดลองหาค่าแต่ละค่าจำเป็นต้องใช้เวลายาวนานทำให้ค่าที่ได้มีจำนวนน้อยและอาจผิดพลาดเนื่องจากข้อจำกัดด้านอุปกรณ์และประสบการณ์ของผู้ทดลอง

เอกสารอ้างอิง

- [1] ADRIAN ISRAEL COLLI-MENCHI. May 2015."LOW POWER HIGH EFFICIENCY INTEGRATED CLASS-D AMPLIFIER CIRCUITS FOR MOBILE DEVICES". เข้าถึงได้จาก : [COLLI-MENCHI-DISSERTATION-2015.pdf](#)
- [2] PING LO, B.S.E.E. May 1996."A FULLY DIFFERENTIAL CMOS OPERATIONAL AMPLIFIER". เข้าถึงได้จาก : [31295009869909.pdf](#)
- [3] Casey Hardy. August 2015."A LOW POWER FILTER-LESS CLASS D AUDIO AMPLIFIER FOR HEADPHONE APPLICATIONS" เข้าถึงได้จาก [AS362015ENGRH37.pdf](#)
- [4] Kin-Keung Lee, Yelin Wang, Qingyuan Zhang and Henrik Sjöland. 2008." A 1W Class-D Audio Power Amplifier in a 0.35um CMOS Process". เข้าถึงได้จาก : [A_1W_Class-D_Audio_Power_Amplifier_in_a_0.35m_CMOS_Process.pdf](#)
- [5] Jared Dale Baker. 2020." Rail-to-Rail Operational in Low-Power Reconfigurable Analog Circuitry". เข้าถึงได้จาก : [Rail-to-Rail_Operational_in_Low-Power_Reconfigurable_Analog_Circu.pdf](#)