ปีการศึกษา 2532

เครื่องลอจิกอนาไลซ์เซอร์

โดย

ชัยยุทธ วิริยโชค 31.3507

สมาน ทาโคตร 31.3520

อาจารย์ที่ปรึกษา

ผศ.ดร. กนก เจนจิระพงศ์เวช

อ. กฤดากร กล่อมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2532

ภาควิชา เทคนิคอุตสาหกรรม

คณะ วิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ลอจิกอนาไลซ์เซอร์

ผู้จัดทำ

1	นาย	ชัยยุทธ	วิริยโชค	31.3507
2	นาย	สมาน	ทาโคตร	31.3520

..... อาจารย์ที่ปรึกษา

(ผศ.ดร. กนก เจนจิระพงศ์เวช)

..... อาจารย์ที่ปรึกษา

(อาจารย์ กฤตากร กล่อมการ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลอจิกอนาไลซ์เซอร์

ชัยยุทธ วิริยโชค
สมาน ทาโคตร
อาจารย์ที่ปรึกษา
ผศ.ดร. กนก เจนจิระพงศ์เวช
อ. กฤตากร กล่อมการ

บทคัดย่อ

ในปริญญานิพนธ์ฉบับนี้ เป็นการทำวิจัยเครื่องลอจิกอนาไลซ์เซอร์ทำงานร่วมกับคอมพิวเตอร์ PC/XT มีอัตราการสุ่มข้อมูลสูงสุด 50 เมกกะเฮิร์ต สามารถสุ่มข้อมูลของสัญญาณได้อย่างถูกต้องที่ความถี่สัญญาณสูงสุด 25 เมกกะเฮิร์ต บัฟเฟอร์ใช้หน่วยความจำชนิดสแตติค เบอร์ N82S212A F ใช้เวลาในการทำงานเพียง 35 นาโนวินาที แสดงผลและวิเคราะห์สัญญาณบนจอโมโนโครม สามารถแสดงตัวอักษรได้ทั้งไทยและอังกฤษ การทำงานทั้งหมดอยู่ในกราฟิกโหมด สามารถวิเคราะห์สัญญาณได้ 4 รูปแบบ คือ ไทม์มิ่ง , เลขฐานสอง , เลขฐานสิบหก และ กราฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOGIC ANALYZER

Chaiyut Wiriyachoke

Samarn Takort

Advisor

Assistant Professor Kanok Jainjirapongvej

Kitdakorn Klomkarn

Abstract

This thesis is to research logic analyzer which is connected to compatible PC/XT . Maximum sampling rate is 50 MHz . Then it can sample data to correct in maximum signal frequency is 25 MHz . Because buffers use N82S212A F static RAMs which their access time is 35 ns . It can display characters both to be Thai and English on a monochrome monitor . Every function proceed in graphic mode . Analysis has 4 formats such as time format , binary format , hexadecimal format and map format .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
	บทนำ	1
บทที่ 1	ทฤษฎีและหลักการ	2
บทที่ 2	การออกแบบและสร้างวงจร	6
บทที่ 3	ซอฟท์แวร์	17
บทที่ 4	ขีดความสามารถของเครื่อง	30
บทที่ 5	บทสรุปและวิจารณ์	34
	ภาคผนวก	35
	กิตติกรรมประกาศ	40
	หนังสืออ้างอิง	41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

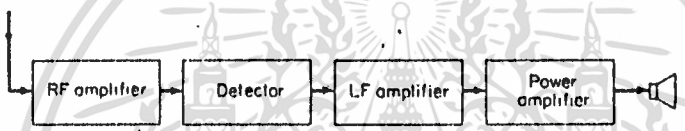
บทนำ

ในงานอิเลคทรอนิคส์ ปัญหาของสัญญาณดิจิตอลคือ ความไม่ถูกต้องของสัญญาณ ยิ่งเกิดการขยายตัวอย่างมากในงานด้านไมโครคอมพิวเตอร์ ปัญหาของสัญญาณดิจิตอลก็เพิ่มมากขึ้นตามไปด้วย แต่เครื่องมือวัดและทดสอบแบบอนาลอกไม่สามารถปรับให้มาใช้กับงานด้านดิจิตอลได้เสมอไป เครื่องมือชนิดใหม่และมีลักษณะเฉพาะเพื่องานด้านดิจิตอลคือ logic analyzer ซึ่งได้รับการปรับปรุงและพัฒนาขึ้นมานานแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

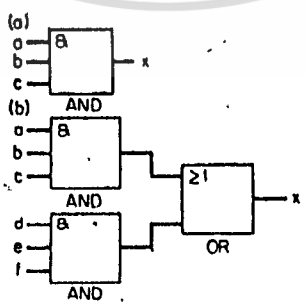
บทที่ 1
ทฤษฎีและหลักการ

เริ่มต้นที่รูป 1.1 แสดงบล๊อคไดอะแกรมง่ายๆ ของเครื่องรับวิทยุ สัญญาณถูกป้อนเข้ามาเรื่อยๆ อย่างต่อเนื่องผ่านกระบวนการต่างๆ สุดท้ายไปสิ้นสุดที่เอ้าท์-พุท ทางเดินของสัญญาณอยู่บนสายเพียงเส้นเดียว การหาจุดผิดพลาดในระบบจิงทำได้ง่ายโดยทำการตรวจสอบการทำงานของแต่ละบล๊อค ด้วยเครื่องมือวัดง่ายๆ หรือออสซิลโลสโคป ตัวอย่างถ้าสัญญาณที่อินพุทของภาคดีเทคเตอร์ถูกต้อง แต่เอ้าท์-พุทออกมาผิด ดังนั้นภาคดีเทคเตอร์ต้องถูกแก้ไขจุดผิดพลาดที่เกิดขึ้น กรรมวิธีที่ต่อเนื่องของสัญญาณเช่นนี้ เป็นคุณสมบัติที่สำคัญของวงจรอนาลอกทั่วไป



รูป 1.1 Sequential processing of analog signals.

ต่อไปมาดูรูป 1.2 (a) ประกอบไปด้วยแอนด์เกทสามอินพุทและหนึ่งเอ้าท์พุท สภาวะของอินพุท a,b และ c ของเกทจะเป็นตัวกำหนดสภาวะเอ้าท์พุท ดังนั้นการหาจุดผิดพลาดบนเกทตัวนี้ เราต้องใช้เครื่องมือวัดที่มีอินพุทถึงสี่อินพุท เพื่อที่จะวัดและสามารถแสดงผลได้พร้อมๆกันถึงสี่สัญญาณ

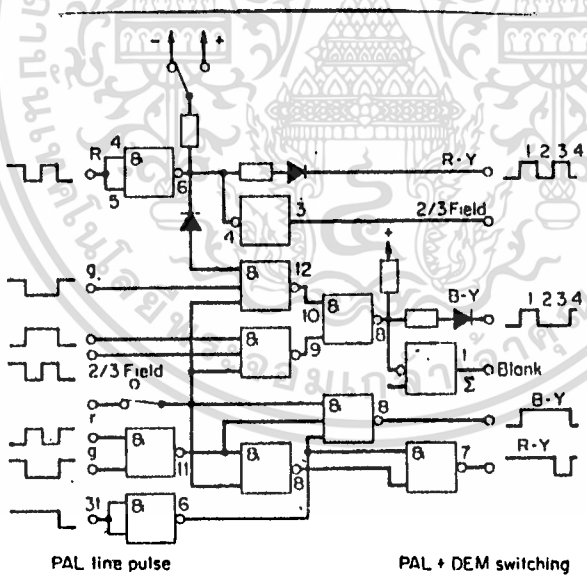


รูป 1.2 Combinatorial logic circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอนด์เกทในรูป 1.2 (b) มีอินพุทรวมมากกว่า 3 สัญญาณ ต่อจากนั้นก็รวมเอ้าท์พุทของแอนด์เกททั้งสองด้วยออร์เกท ถ้าเราต้องการดูสัญญาณในวงจรเพื่อหาจุดผิดพลาด ต้องนำพื้นฐานของวงจรดิจิตอลมาประยุกต์ใช้ เพื่อดูสัญญาณในเวลาเดียวกันอย่างน้อยที่สุดถึงเจ็ดสัญญาณ และถ้าเราต้องการดูสัญญาณในช่วงกลางที่ต่อจากเอ้าท์พุทของแอนด์เกทไปยังออร์เกท เราต้องเพิ่มอีก 2 อินพุท เพียงแต่สามารถดูสัญญาณได้พร้อมๆ กันทั้ง 9 สัญญาณก็จะพบจุดผิดพลาด วงจรพวกนี้เรียกว่าวงจร combinatorial วงจรดิจิตอลมีจุดต่อสัญญาณมากมาย สิ่งนี้เป็นความแตกต่างระหว่างวงจรอนาลอกและดิจิตอล ในทางปฏิบัติแล้วการประยุกต์ใช้ ไม่ใช่มีเพียงแต่วงจรดิจิตอลพวก combinatorial อย่างเดียว ยังรวมถึงสัญญาณที่ถูกดำเนินกรรมวิธีแบบ sequence ด้วย

การรวมการดำเนินกรรมวิธีของสัญญาณทั้งของ sequential และ combinatorial อธิบายได้ดังรูป 1.3 ด้านซ้ายของรูปมีสัญญาณอินพุทที่มีสภาวะต่างๆ มากมาย เพียงแต่สภาวะของอินพุทเหล่านี้ต้องถูกกำหนดช่วงเวลาที่แน่นอนเพื่อให้ได้สภาวะเอ้าท์พุทอย่างถูกต้อง



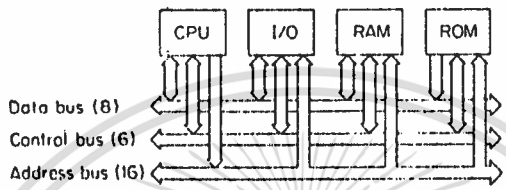
รูป 1.3 Combination of sequential and combinatorial signal processing in digital system.

ตัวอย่างที่มีระบบสลับซับซ้อน เช่น ระบบของไมโครคอมพิวเตอร์ดังรูป 1.4 สัญญาณข้อมูลถูกส่งไปมาอย่างต่อเนื่องบนเส้นทางเดินของบัส combinatorial logic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

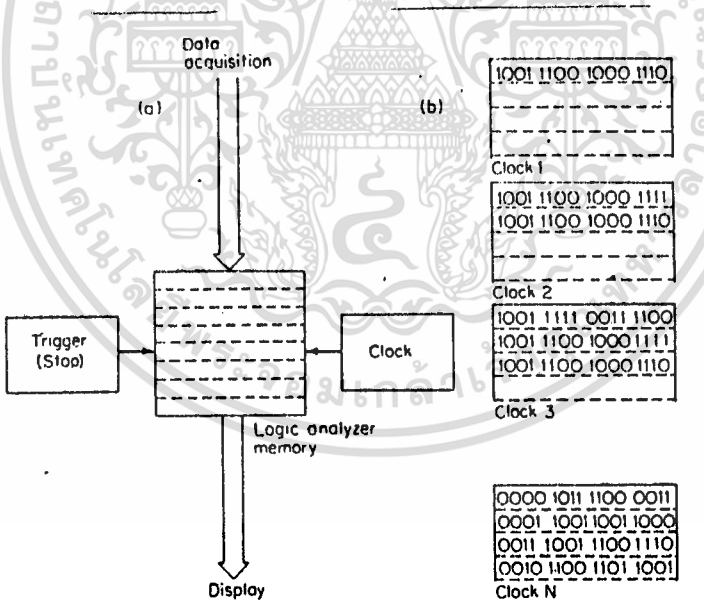
จะเป็นตัวทำฟังก์ชั่นต่างๆของหน่วยประมวลผลกลางและหน่วยความจำ สภาวะต่างๆ จะถูกทดสอบในส่วนของทั้ง combination และ sequence เพื่อหาจุดผิดพลาดของระบบ

ในระบบประกอบด้วย data bus 8 เส้น control bus 6 เส้น และ address bus 16 เส้น รวมทั้งยังมีสาย output , control และ input สัญญาณของสายต่างๆ เหล่านี้ส่วนมากจะถูกตรวจสอบด้วยออสซิลโลสโคป เราต้องการเครื่องมือชนิดพิเศษที่สามารถวิเคราะห์สัญญาณเหล่านี้ได้ ซึ่งเครื่องมือนั้นก็คือ ลอจิกอนาไลซ์เซอร์



รูป 1.4 Microcomputer system.

ส่วนต่างๆของลอจิกอนาไลซ์เซอร์



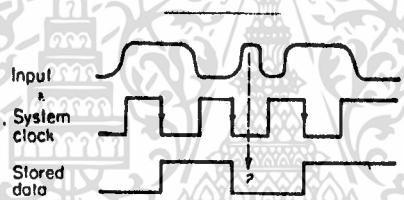
รูป 1.5 Basic design of logic analyzer.

จากรูป(a) จะเห็นว่า ลอจิกอนาไลซ์เซอร์ ไม่ต้องใช้หน่วยความจำมากมายนักทำงานคล้ายกับชิฟท์รีจิสเตอร์หลายๆตัว เป็นที่เก็บข้อมูลดิจิตอลจากระบบภายใต้การวัดและทดสอบสัญญาณอินพุท การทำงานของลอจิกอนาไลซ์เซอร์ ควบคุมโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

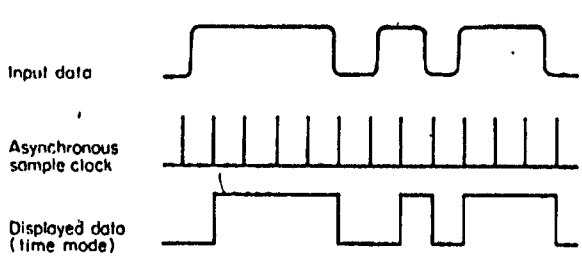
สัญญาณ clock การแซมเปิ้ลข้อมูลและการส่งข้อมูลไปให้หน่วยความจำจะกระทำได้ก็ต่อเมื่อมีสัญญาแ clock เกิดขึ้น หลังจากมีสัญญาณ clock ลูกแรก ข้อมูล 1 เวิร์ดจะถูกเก็บที่แอดเดรสแรกของหน่วยความจำ ดูรูป(b) เมื่อ clock ลูกต่อไปเกิดขึ้น ข้อมูลอีก 1 เวิร์ด ก็จะถูกเลื่อนไปเก็บในแอดเดรสแรก ส่วนข้อมูลเดิมที่เคยเก็บไว้ในแอดเดรสแรกก็จะถูกเลื่อนไปเก็บไว้ในแอดเดรสถัดไป เป็นเช่นนี้ไปเรื่อยๆ ข้อมูลที่ถูกเลื่อนลงมานี้จะถูกส่งไปให้ส่วนแสดงผล เพื่อนำเสนอและวิเคราะห์ข้อมูลกันต่อไป

อัตราการสุ่มที่สัมพันธ์และไม่สัมพันธ์กับข้อมูล ให้พิจารณาข้อมูลที่ป้อนเข้ามา เราสามารถนำ system clock มาใช้เป็น sample pulse ได้ โดยจะสัมพันธ์กับข้อมูลที่ถูกสุ่มสำหรับการวัดในแง่ของ data - domain แต่ในวงจรโดยทั่วไปการวัดด้วยวิธีนี้ไม่เที่ยงตรงเท่าไรนัก ปกติจะมีสิ่งที่ขัดกับไทม์มิ่งคือในช่วงเวลาสั้นๆ จะมีสัญญาณที่ไม่ต้องการเกิดขึ้นเช่น spikes และ glitches ซึ่งเป็นสัญญาณที่ไม่เกิดจากการทำงานของระบบดิจิตอล เราจะพบสัญญาณเหล่านี้ไม่ตลอดช่วงความจุข้อมูลในโหมดที่อัตราการสุ่มสัมพันธ์กับข้อมูล สังเกตุได้ดังรูป 1.6



รูป 1.6 Synchronous data sampling.

วิธีแก้ก็คือเลือก clock ที่มีความถี่สูง ซึ่งเป็น clock ภายในของลอจิกอนาไลซเซอร์ โดยปกติควรสูงกว่าสัญญาณข้อมูล 5 ถึง 10 เท่า และอัตราการสุ่มนี้ควรที่จะให้ผู้ใช้สามารถเลือกได้ระหว่าง 10 นาโนวินาที ถึง 20 มิลลิวินาที แต่สัญญาณ clock นี้จะทำงานได้อย่างสมบูรณ์เมื่ออยู่ในโหมดที่อัตราการสุ่มไม่สัมพันธ์กับข้อมูล แสดงได้ดังรูป 1.7



รูป 1.7 Asynchronous data sampling.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

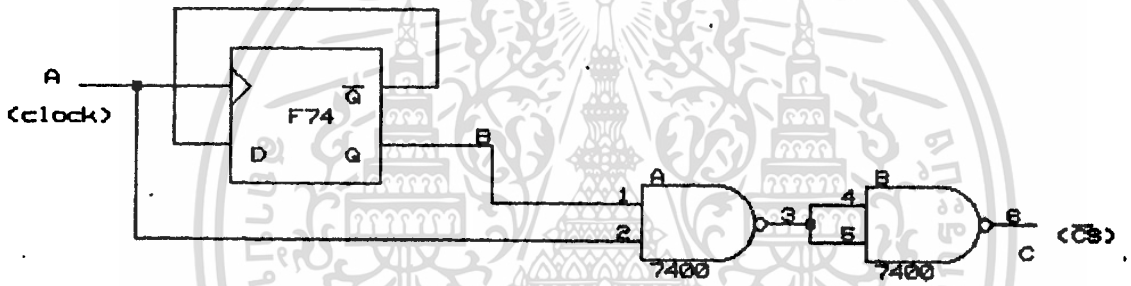
บทที่ 2

การออกแบบและสร้างวงจร

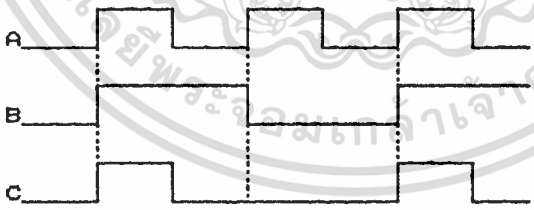
วงจรลอจิกอนาไลซ์เซอร์ สามารถเขียนเป็นบล๊อคไดอะแกรมได้ดังรูป 2.1 จากบล๊อคไดอะแกรมสามารถอธิบายเป็นส่วนๆ ได้ดังนี้

1 ส่วน latch ข้อมูลเบื้องต้น ในส่วนนี้จะเก็บข้อมูลไว้ชั่วคราวจนกว่าจะมี clock ลูกใหม่ป้อนเข้ามา ข้อมูลนี้มาจากการ sampling ในส่วนการ latch ของวงจรนี้ใช้ไอซี 74F374

2 ส่วน latch ข้อมูลขั้นที่สอง มีหน้าที่เก็บข้อมูลไว้ชั่วคราวเช่นกัน แต่ข้อมูลที่ได้รับจะถูกส่งไปให้ส่วนเก็บข้อมูล(memory) clock ที่ใช้นั้นเป็น clock ในส่วนเดียวกับ memory clock ในส่วนนี้เราใช้ไอซี 74F374 เช่นกัน



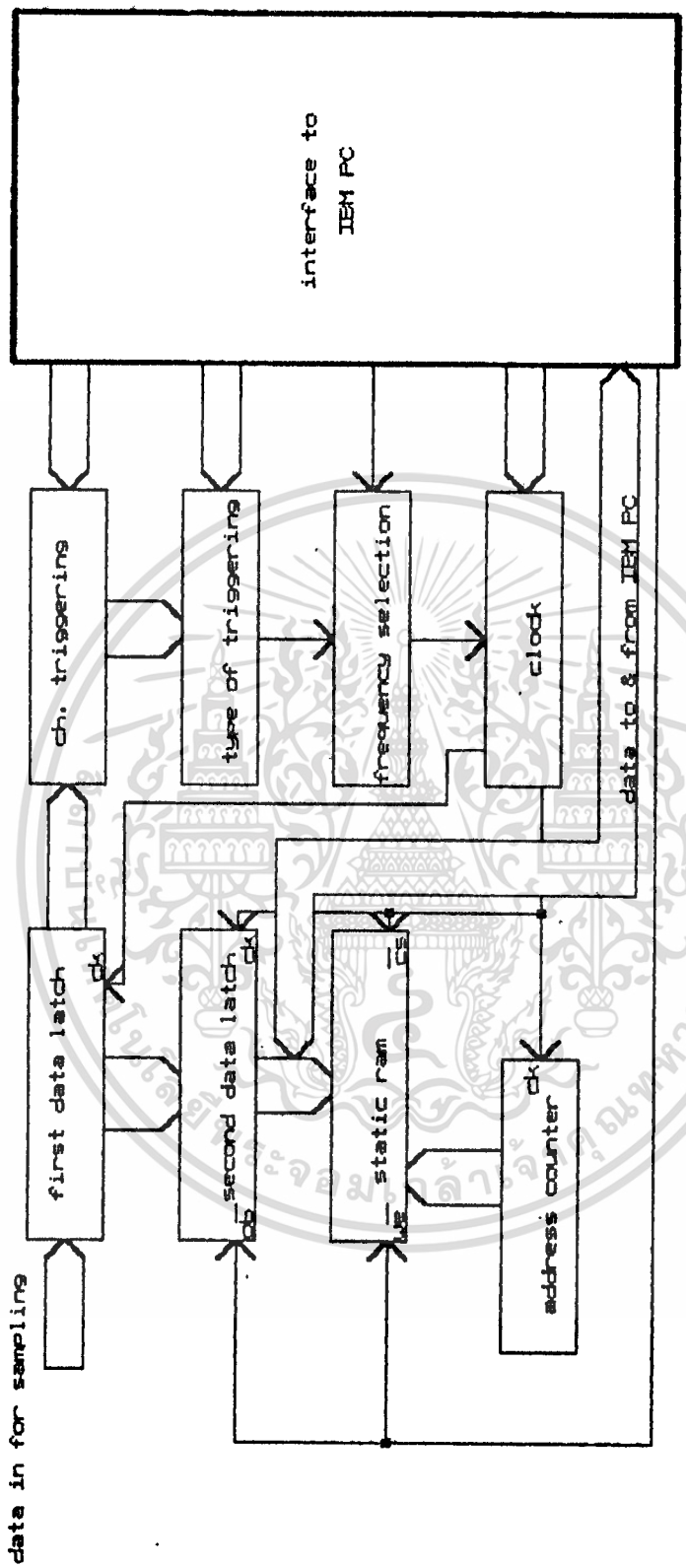
รูป 2.2 วงจรผลิต memory clock



รูป 2.3 Timing Diagram ของวงจรในรูป 2.2

3 ส่วนเก็บข้อมูลจากการ sampling มีหน้าที่เก็บข้อมูลต่างๆหลังจากมีการ sampling ในแต่ละ clock pulse ที่ออกไป sampling ข้อมูล ข้อมูลที่ได้จะมีสภาวะทางลอจิกเป็น '0' หรือ '1' ในส่วนนี้เราใช้ static RAM N82S212F ขนาด 9*256 ข้อมูลจาก memory นี้เองที่นำไป display และ analyze บนจอภาพเพื่อดูลักษณะของ timing และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.1 shown block Diagram of logic analyser add on PC.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

display format ต่างๆ ของข้อมูล สัญญาณ clock ที่ใช้เป็นสัญญาณ chip select นั้นสร้างจากวงจร รูป 2.2 และ timing diagram แสดงโดย รูป 2.3

4 ส่วน address counter เป็นตัว count up เพื่อชี้ address ของ memory ใช้ทั้งขณะอ่านและเขียนใน memory ในที่นี้ใช้ไอซี 74F161 สัญญาณ clock ที่ใช้เป็นสัญญาณเดียวกับ memory clock

5 ส่วนที่ใช้เลือกแชลแนลที่เป็นตัวทริก เราสามารถเลือกแชลแนลที่เป็นตัวทริกได้จากจำนวนแชลแนลที่ใช้อยู่ในขณะนั้น ซึ่งจำนวนแชลแนลสูงสุดคือ 8 แชลแนล ในส่วนนี้ใช้ไอซี 74F151

6 ส่วนที่ใช้เลือกลักษณะการทริก ตามปกติแล้วสัญญาณดิจิตอลมีหลายลักษณะในการดูและใช้งาน เช่น ขอบขาขึ้น , ขอบขาลง , high level และ low level หรือไม่สนใจในลักษณะของสัญญาณเลย ลอจิกอนาไลซ์เซอร์ก็เช่นเดียวกัน เราสามารถเลือกลักษณะการทริกได้เช่นกัน ส่วนนี้ใช้ไอซี 74F151

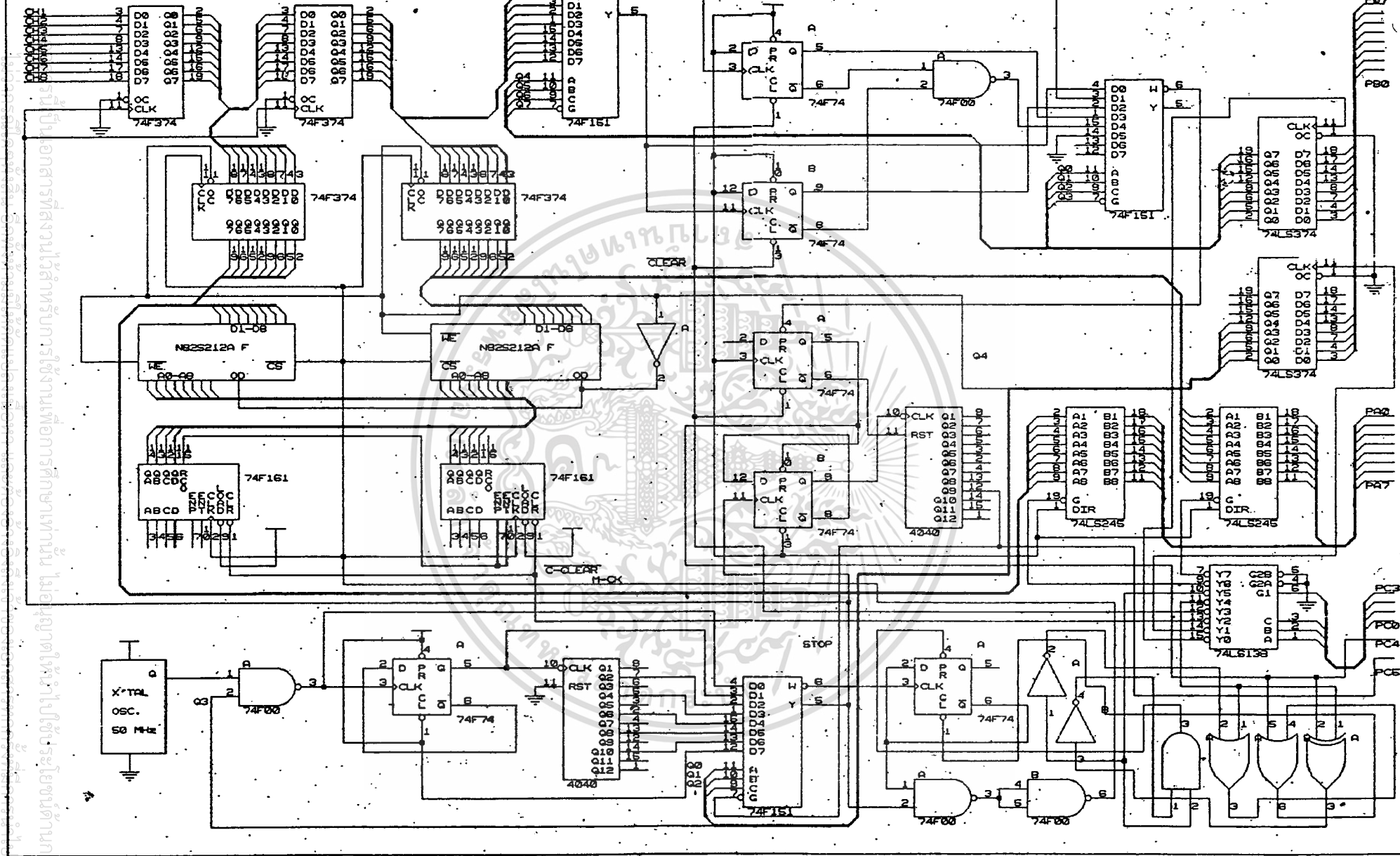
7 ส่วนเลือกความถี่ในการ sampling เราสามารถเลือกความถี่ในการ sampling ได้หลายความถี่ โดยต้องขึ้นอยู่ความถี่ของสัญญาณอินพุทด้วย logic analyzer เครื่องนี้มีความถี่ sampling ตั้งแต่ 50 MHz ถึง 24 KHz ตามหลักการแล้วความถี่ sampling ต้องมากกว่าความถี่ของข้อมูลอย่างน้อยสองเท่า

8 clock oscillator กำเนิดสัญญาณ clock ในการ sampling และ memory clock สัญญาณดังกล่าวจะเกิดขึ้นก็ต่อเมื่อ เราเซ็ททุกอย่างที่กล่าวมาพร้อมหมดแล้ว

9 ส่วนของการเชื่อมต่อกับ PC ใช้ไอซีชนิด PPI เบอร์ 8255 AP-5 เป็นการติดต่อกับพอร์ทของ PC ใน logic analyzer เครื่องนี้ติดต่อกับ PC ที่แอดเดรสพอร์ท 3E0 H - 3E6 H

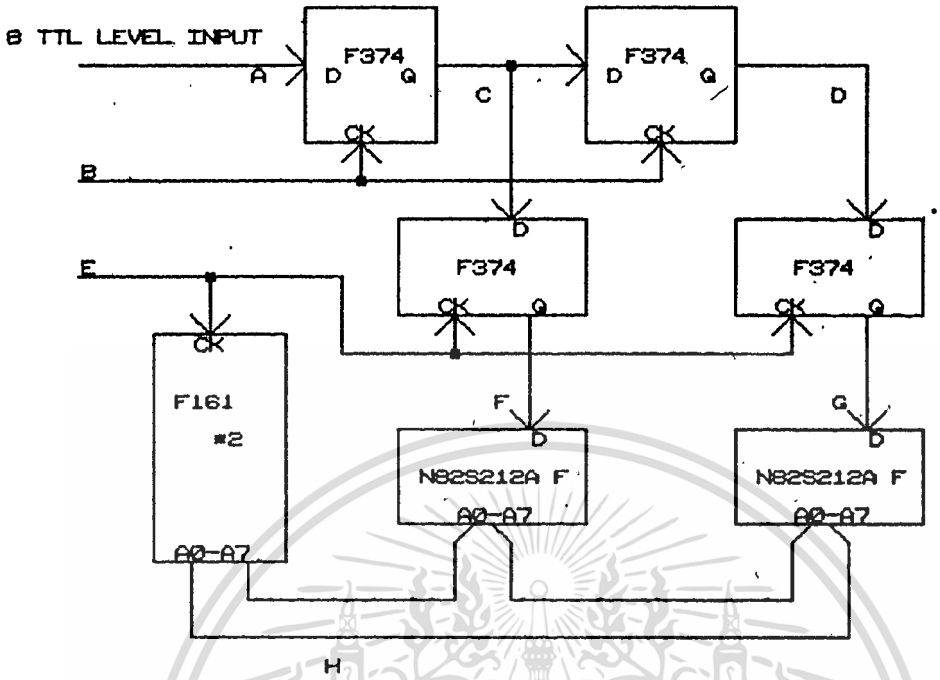
จากบล๊อคไดอะแกรมส่วนต่างๆ เขียนเป็นวงจรที่ใช้งานจริงได้ดังรูป 2.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

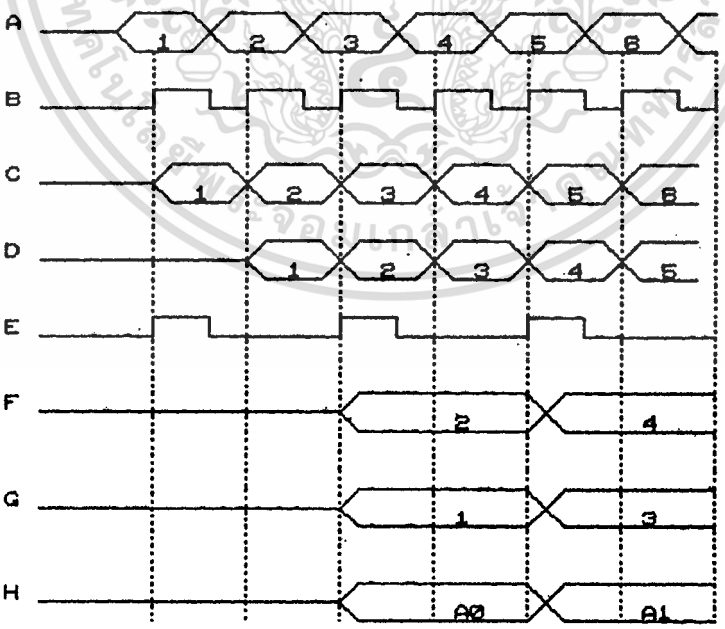


รูป 2.4 วงจรลอจิกอนาไลซ์เซอร์

บล๊อคไดอะแกรมของการสุ่มข้อมูลแสดงได้ดังรูป 2.5 โดยอธิบายการทำงานด้วยไทม์มิ่งไดอะแกรม ดังรูป 2.6



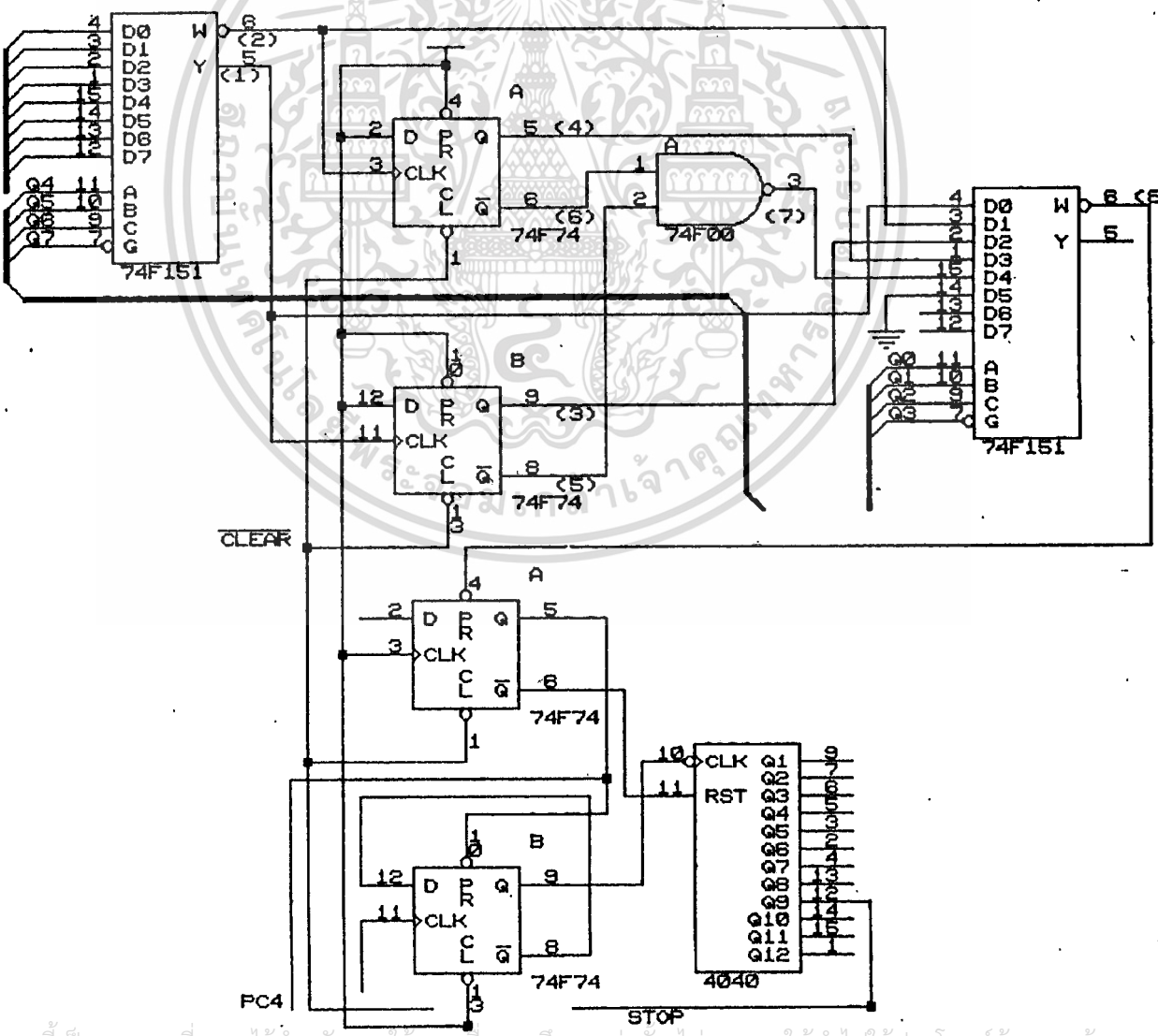
รูป 2.5 บล๊อคไดอะแกรมของการสุ่มข้อมูล



รูป 2.6 ไทม์มิ่งไดอะแกรมของบล๊อคไดอะแกรมในรูป 2.5

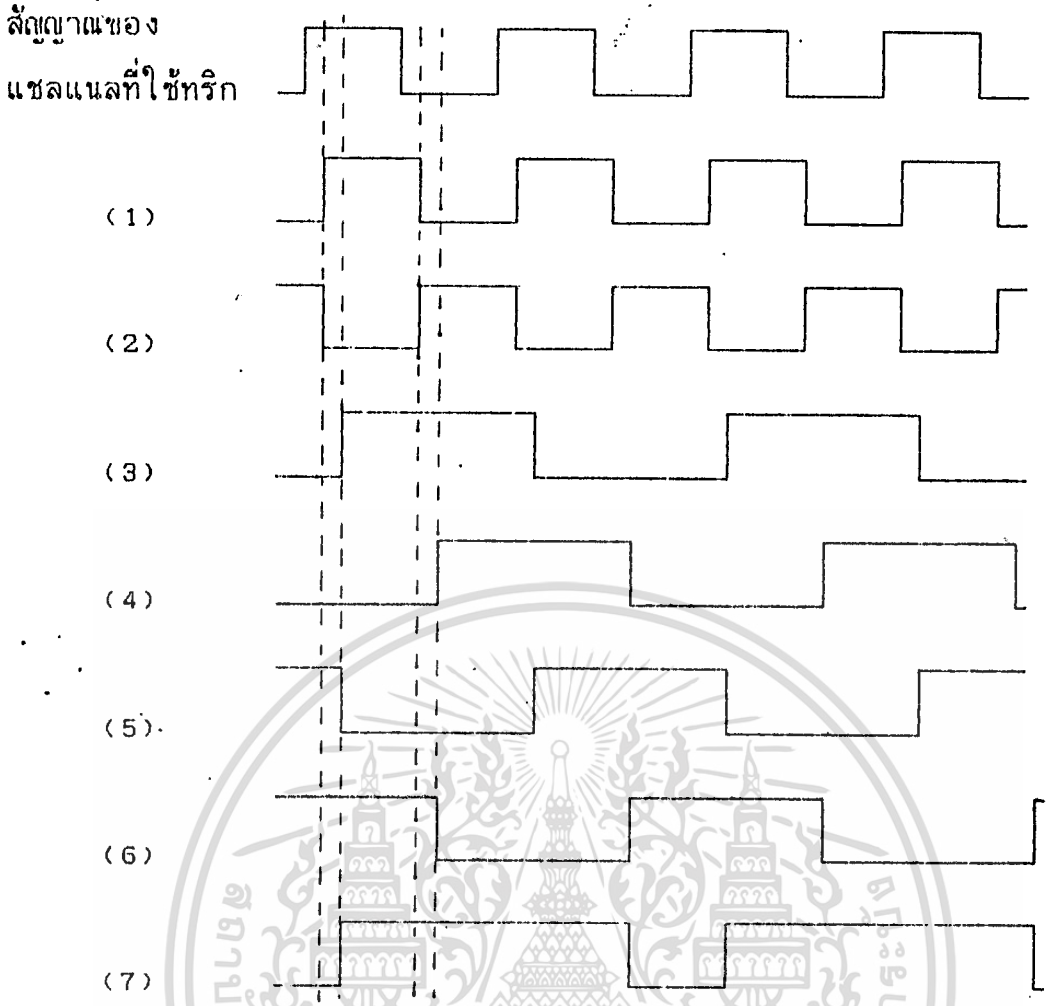
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่จุด A มีสัญญาณข้อมูลที่มีระดับสัญญาณ TTL ป้อนเข้ามา 8 แชลแนล ข้อมูลแต่ละแชลแนลก็จะถูกสุ่มเข้ามาโดยจังหวะในการสุ่มจะสัมพันธ์กับสัญญาณ clock ที่จุด B ข้อมูลแรกจะถูกสุ่มผ่าน 74F374 ซึ่งเป็นชิฟท์รีจิสเตอร์ ไปยังจุด C เมื่อสัญญาณ B เข้ามาอีก 1 พัลซ์ ข้อมูลจากจุด C ถูกส่งไป D และจากจุด A ไปยัง C เมื่อ B มีพัลซ์ลูกใหม่เกิดขึ้นอีกการถ่ายเทข้อมูลก็จะเหมือนเดิม แต่ในขณะเดียวกันสัญญาณที่จุด E ซึ่งเป็น memory clock มีความถี่น้อยกว่าสัญญาณที่จุด B 2 เท่า จะเกิดพัลซ์ขึ้นมาพร้อมกับ B ข้อมูลจากจุด C และ D ก็จะถูกส่งไปยังจุด F และ G ตามลำดับ ต่อจากนั้นข้อมูลที่ F และ G จะถูกเก็บลงในหน่วยความจำที่เป็น static RAM N82S212A F ในช่วงที่สัญญาณ E เปลี่ยนเป็นระดับ '0' โดยที่หน่วยความจำได้แอดเดรสที่ใช้เก็บข้อมูลแต่ละครั้งจาก binary counter 74F161 ในช่วงที่สัญญาณ E มีพัลซ์ขึ้นมา การสุ่มข้อมูลจะดำเนินไปอย่างต่อเนื่องเช่นนี้จนกว่าหน่วยความจำเต็ม



รูป 2.7 วงจรทริกเกอร์ริ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.8 ไทม์มิ่งไดอะแกรมของวงจรทริกเกอร์ริ่ง

วงจรทริกเกอร์ริ่งเป็นวงจรใช้กำหนดจุดเริ่มต้นและสิ้นสุดของเวลาการเก็บข้อมูลที่ได้จากการสุ่มลงหน่วยความจำ โดยจุดเริ่มต้นการเก็บข้อมูลกำหนดไว้ที่ลักษณะของสัญญาณที่ได้จากการสุ่มในแชลแนลที่ใช้เป็นแชลแนลเปรียบเทียบ การเลือกลักษณะของสัญญาณสามารถอธิบายได้โดยไทม์มิ่งไดอะแกรมในรูป 2.8 ขั้นแรกต้องเคลียร์ D - Flip Flop ในวงจรทุกตัว เพื่อให้สัญญาณ (8) เป็น '1' และ PC_4 เป็น '0' จุดเริ่มเก็บข้อมูลนั้นระดับสัญญาณของ PC_4 จะเปลี่ยนจาก '0' เป็น '1' แต่สัญญาณที่ (8) จะเปลี่ยนจาก '1' เป็น '0' ดังนั้นการที่จะให้สัญญาณ (8) เป็น '0' ข้อมูลที่ป้อนให้ขาข้อมูลของ demultiplexer 74F151 ต้องเป็น '1' 74F151 ตัวทางซ้ายมือเป็นตัวเลือกสัญญาณของแชลแนลที่ต้องการใช้เป็นตัวเปรียบเทียบ จากไทม์มิ่งไดอะแกรมจะสังเกตุเห็นว่าสัญญาณที่ (1) จะเปลี่ยนระดับตามสัญญาณของแชลแนลที่เลือก เมื่อข้อมูลเปลี่ยนจาก '0'

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็น '1' สัญญาณ (1) ก็จะเปลี่ยนตามทันที ซึ่งสัญญาณนี้ถูกนำต่อเข้ากับขา D_0 ของ 74F151 ตัวขวามือ สัญญาณ (2) มีระดับสัญญาณตรงกันข้ามกับข้อมูล เมื่อข้อมูลเปลี่ยนจาก '1' เป็น '0' สัญญาณ (2) จะเปลี่ยนจาก '0' เป็น '1' ตามทันที สัญญาณนี้ต่อเข้ากับขา D_1 สัญญาณ (3) เป็นเอ้าท์พุทขา Q ของ D - flip flop โดยมีสัญญาณ (1) เป็น clock เมื่อสัญญาณ (1) เปลี่ยนจาก '0' เป็น '1' สัญญาณ (3) จะเปลี่ยนตามทันที สัญญาณนี้ต่อเข้ากับขา D_2 สัญญาณ (4) เป็นสัญญาณเอ้าท์พุทขา Q ของ D - flip flop โดยมีสัญญาณ (2) เป็น clock เมื่อสัญญาณ (2) เปลี่ยนจาก '0' เป็น '1' สัญญาณ (4) ก็จะเปลี่ยนตามทันที สัญญาณนี้ต่อเข้ากับขา D_3 ส่วนสัญญาณ (7) เป็นสัญญาณได้จากการแนนด์เอ้าท์พุทขา $\overline{Q}$ ของ D - flip flop ทั้งสอง ดังนั้นสัญญาณ (7) จึงมีช่วงที่เป็น '1' กว้างกว่าช่วง '0' สัญญาณนี้ต่อเข้ากับขา D_4

การกำหนดลักษณะของสัญญาณเพื่อบ่งบอกเวลาเริ่มต้นเก็บข้อมูลสรุปได้ดังนี้

1 ถ้าให้เริ่มที่ขอบขาขึ้น ต้องเลือกข้อมูลของขา D_0 ของ 74F151 ตัวขวามือ เพราะระดับสัญญาณ '1' จะเข้ามาเร็วที่สุด ที่ขาข้อมูลอื่นระดับสัญญาณ '1' จะยังมาไม่ถึง หรือไม่ก็ถูกหน่วงเอาไว้ด้วย D - flip flop และ NAND gate

2 ถ้าให้เริ่มที่ขอบขาลง ต้องเลือกข้อมูลของขา D_1

3 ถ้าให้เริ่มที่ high level ต้องเลือกข้อมูลของขา D_2

4 ถ้าให้เริ่มที่ low level ต้องเลือกข้อมูลของขา D_3

5 ถ้าให้เริ่มที่ใดก็ได้ ต้องเลือกข้อมูลของขา D_4

ส่วนจุดสิ้นสุดของการเก็บข้อมูล คือจุดที่สัญญาณ STOP จากขา Q_9 ของ 74HCT4040 เปลี่ยนเป็น high level ซึ่ง 74HCT4040 เป็น counter up ที่ขา Q_9 จะเป็น high level ก็ต่อเมื่อนับ clock pulse ได้ 256 ลูก ซึ่งเท่ากับจำนวนแอดเดรสของหน่วยความจำแต่ละตัวพอดี ก็หมายความว่าที่จุดนี้หน่วยความจำทั้งสองก็จะมีข้อมูลเต็มพอดี

จากที่ได้อธิบายการทำงานของวงจรทริกเกอร์ริ่ง ไปแล้วนั้นจะเห็นได้ว่าวงจรทริกเกอร์มีการรับทั้งข้อมูลและสัญญาณ พร้อมทั้งมีการส่งสัญญาณไปยังวงจรส่วนอื่นๆด้วย วงจรที่สำคัญอีกวงจรหนึ่งที่ทำงานร่วมกับวงจรทริเกอร์ริ่งคือ วงจรสร้าง memory clock สัญญาณจากวงจรทริกเกอร์ริ่งที่นำมาป้อนให้มี สัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STOP ที่นำมาป้อนเข้าขา strobe ของ 74F151 ตัวเลือกความถี่ในการสุ่มข้อมูล และ สัญญาณที่บอกจุดเริ่มในการเก็บข้อมูลลงหน่วยความจำ ซึ่งต่ออยู่กับอินพุทพอร์ท PC_4 วงจรสร้าง memory clock ที่อยู่ในวงจรใช้งานจริงในรูป 2.4 สามารถดึงออกมาเขียนใหม่เพื่อให้เข้าใจง่ายขึ้น ดังรูป 2.9

การทำงานของวงจรก็คือต้องควบคุมการทำงานของ D - flip flop 74F74 สามารถสรุปการทำงานของวงจรด้วยตาราง truth table โดยให้ Y_5 , Y_4 และ PC_4 เป็นอินพุท PR และ CL เป็นเอ้าท์พุทใช้ควบคุม D - flip flop

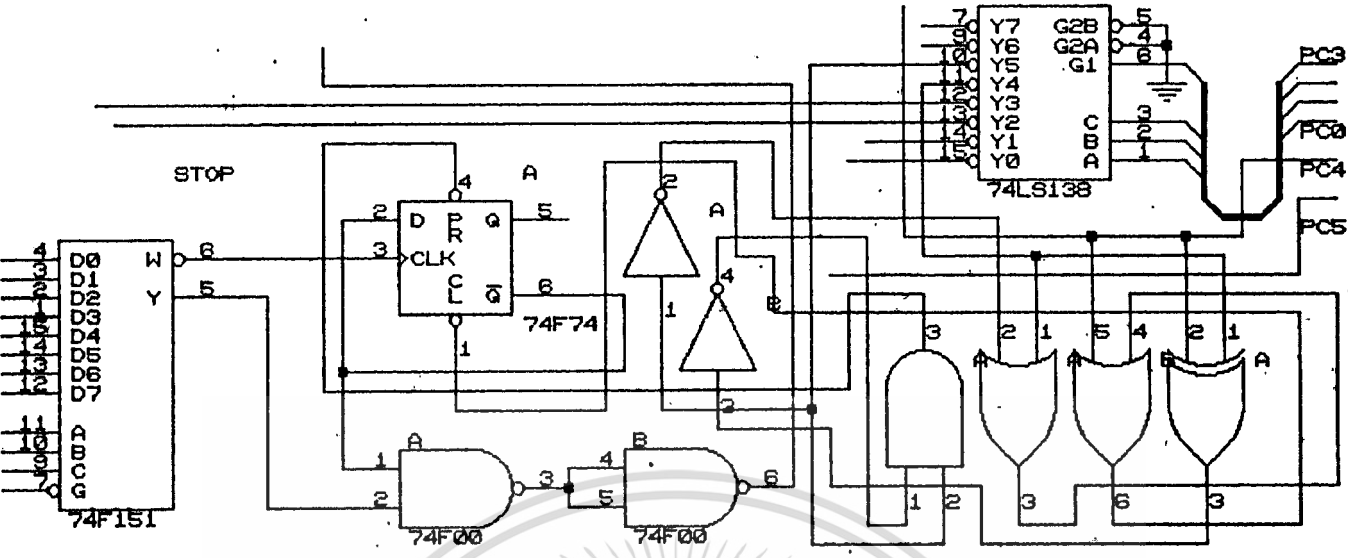
Y	Y_5	Y_4	PC_4	PR	CL	M-CK
clock pulse จาก	1	1	0	0	1	ไม่มี
oscillator	1	1	1	1	1	มี
1	0	1	0	0	1	0
1	1	0	0	1	0	1

ตาราง 2.1 truth table ของวงจรสร้าง memory clock

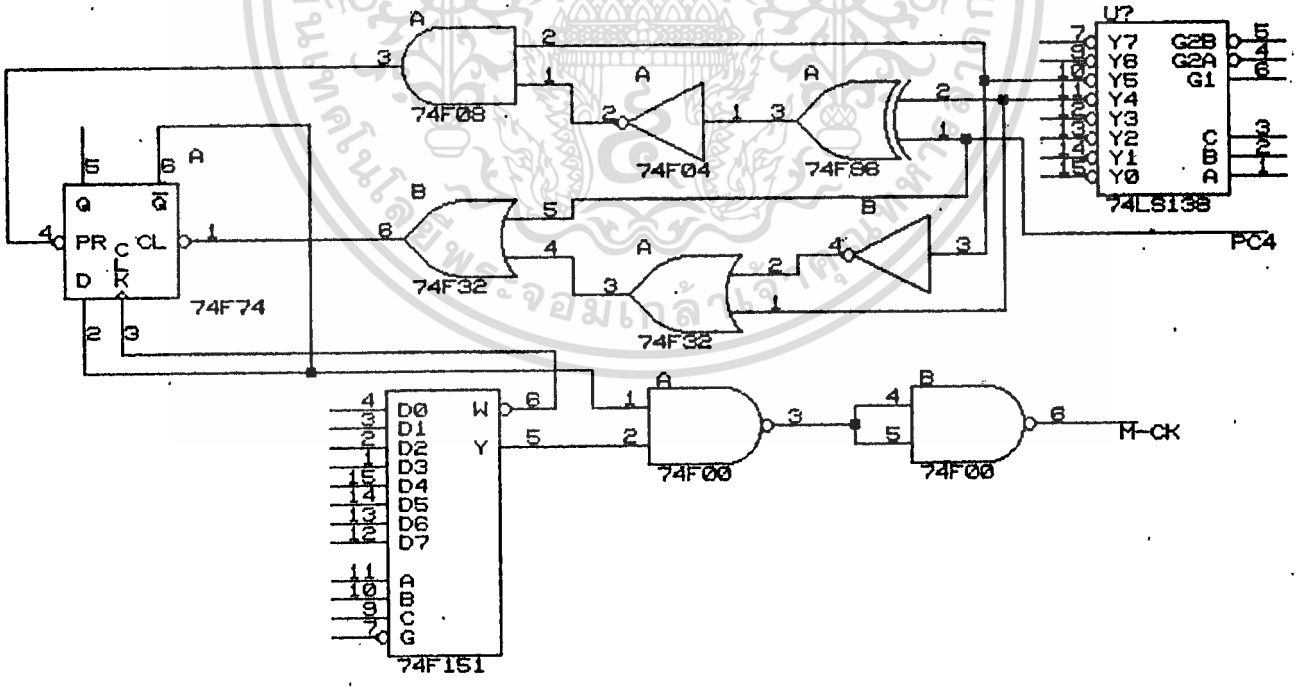
รูปร่างสัญญาณ memory clock เป็นดังรูป 2.3

ส่วนวงจรที่ใช้เชื่อมต่อระหว่าง คอมพิวเตอร์ กับ วงจรลอจิกอนาไลซ์เซอร์ ใช้ 8255 PPI ดังวงจรรูป 2.10 แอดเดรสพอร์ท อยู่ที่ 3E0 H - 3E6 H แต่ถ้าจะเปลี่ยนพอร์ทใหม่ให้เปลี่ยนที่ ดิพสวิทช์ และ ซอฟท์แวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

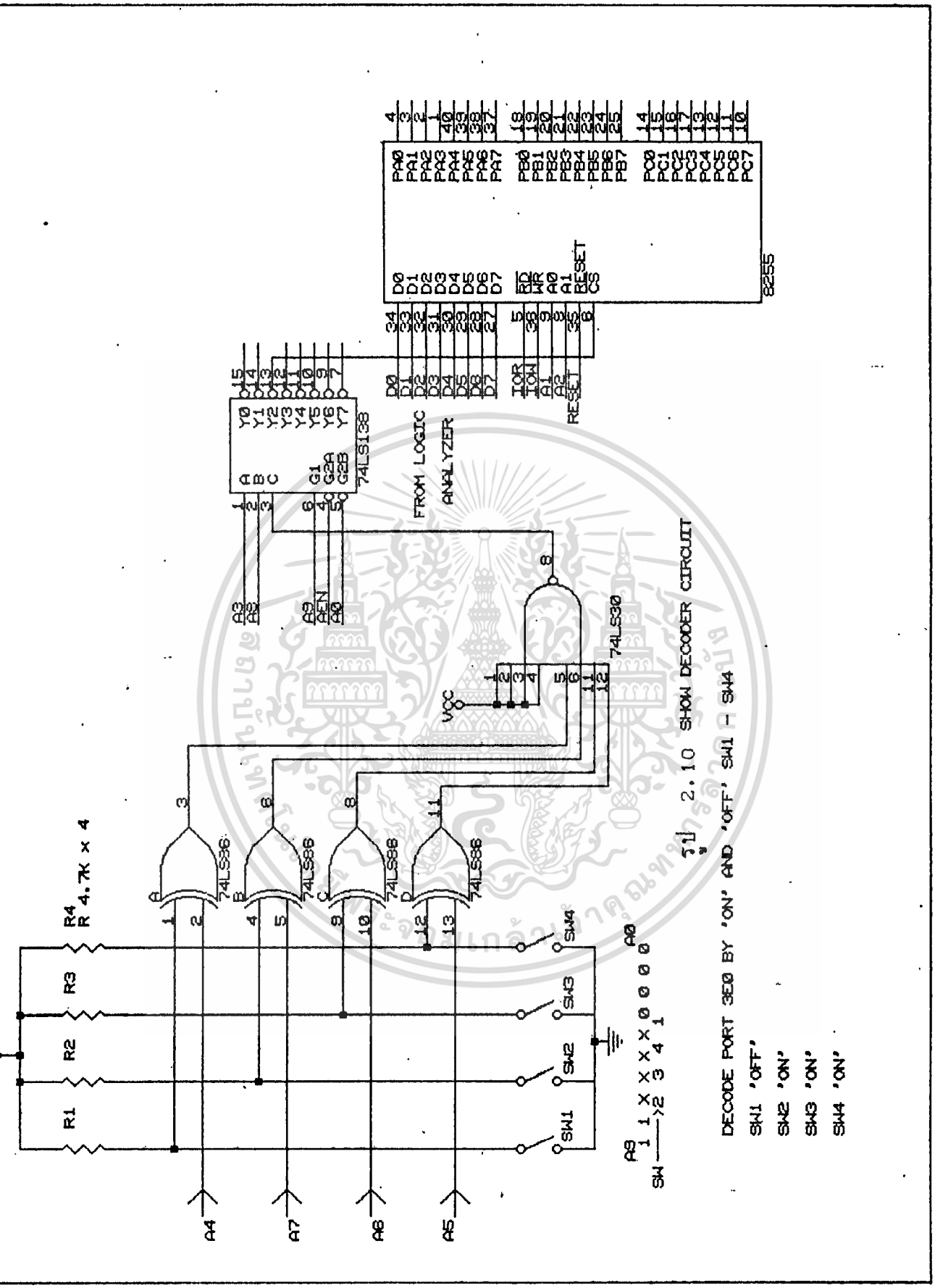


วงจรสร้าง memory clock ที่ดึงมาจากวงจรในรูป 2.4



รูป 2.9 วงจรสร้าง memory clock

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 SHOW DECODER CIRCUIT

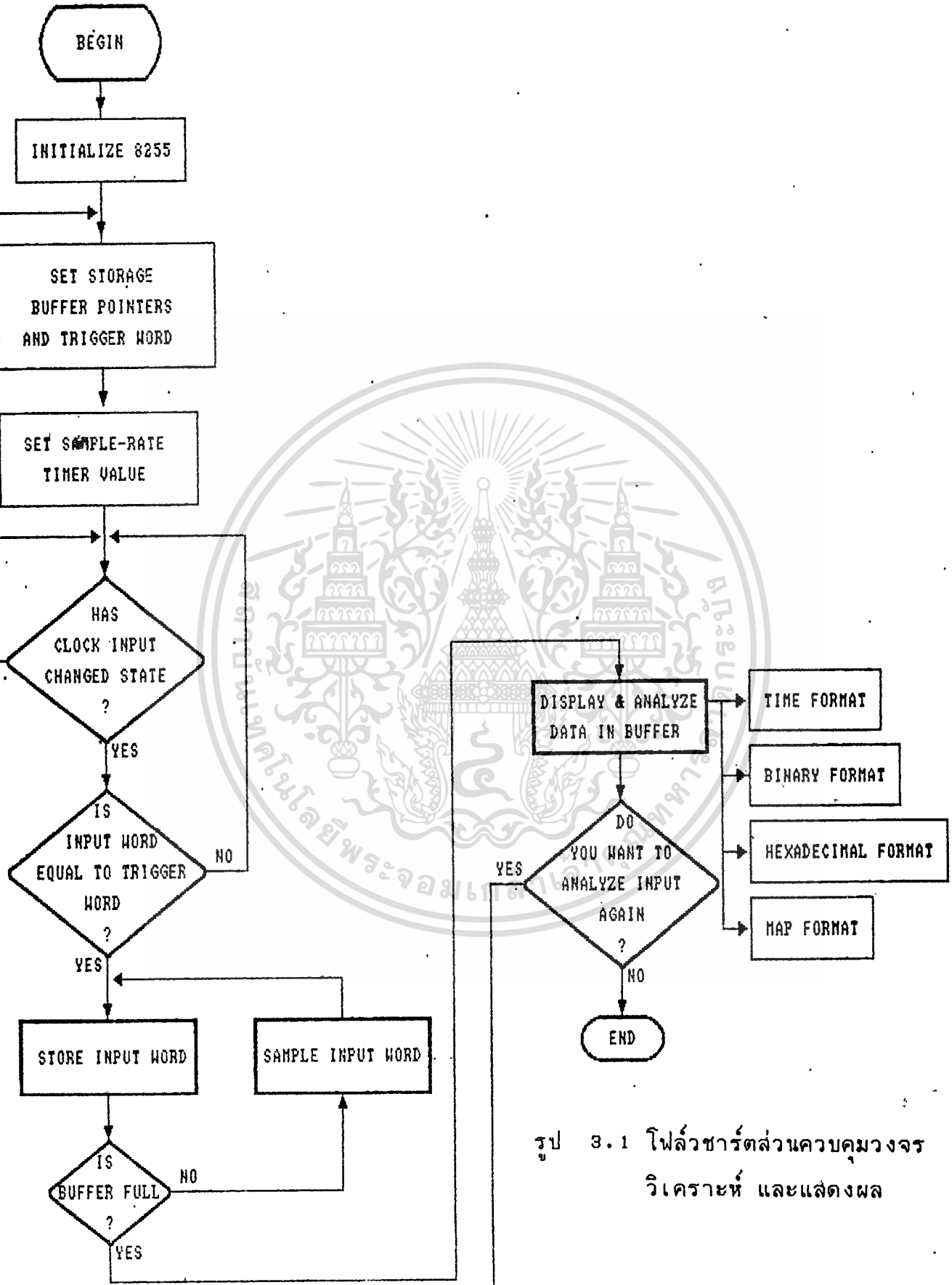
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ซอฟท์แวร์

ระบบควบคุมการทำงานและวิเคราะห์ของ ลอจิกอนาไลซ์เซอร์เครื่องนี้ สามารถ แบ่งเป็นส่วนๆ ได้คือส่วน เวิร์ดโปรเซสซิ่ง , ควบคุมวงจร , วิเคราะห์และแสดงผล ทั้งหมดนี้เขียนด้วยภาษา แอสเซมบลี้ 8086 โดยส่วนควบคุมวงจร วิเคราะห์ และแสดงผล เขียนเป็นโฟล์วชาร์ต ได้ดังรูป 3.1 ในที่นี้ขอยกตัวอย่างการออกแบบ ซอฟท์แวร์เฉพาะในช่วง ควบคุมวงจรมาแสดง

```
      :
              mov   dx,port_ctrl    ;(0)
              mov   al,98h
              out   dx,al           ;(0)
      :
won48:        mov   dx,port_B       ;(1)
              mov   al,0
              out   dx,al
              mov   dx,port_C
              mov   al,9
              out   dx,al
              mov   al,0
              out   dx,al
              mov   dx,port_B
              mov   al,88h
              out   dx,al
              mov   dx,port_C
              mov   al,8
              out   dx,al
              mov   al,11
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.1 โฟล์วชาร์ตส่วนควบคุมวงจรวิเคราะห์ และแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        out   dx,al
        mov   al,13
        out   dx,al
        mov   al,10
        out   dx,al
        mov   cx,0ffh
won53:  mov   al,12
        out   dx,al
        mov   al,13
        out   dx,al
        loop  won53             ;(1)
        mov   bh,trigchar       ;(2)
        mov   bl,trigchann
        dec   bh
        dec   bl
        mov   cl,4
        shl   bl,cl
        mov   al,bh
        or    al,bl
        mov   dx,port_B
        out   dx,al
        mov   dx,port_C
        mov   al,8
        out   dx,al
        mov   al,0
        out   dx,al             ;(2)
        mov   bl,samfreq        ;(3)
        dec   bl
        mov   al,8
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        or    al,bl
        mov   dx,port_B
        out   dx,al
        mov   dx,port_C
        mov   al,9
        out   dx,al
        mov   al,0
        out   dx,al             ;(3)
won52:  in    al,dx             ;(4)
        test  al,20h
        jz    won52             ;(4)
        mov   dx,port_B         ;(5)
        mov   al,17h
        out   dx,al
        mov   dx,port_C
        mov   al,9
        out   dx,al
        mov   al,0
        out   dx,al
        mov   dx,port_B
        mov   al,88h
        out   dx,al
        mov   dx,port_C
        mov   al,8
        out   dx,al
        mov   al,11
        out   dx,al
        mov   al,10
        out   dx,al             ;(5)
```


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                mov   cx,256            ;(6)
                lea   di,datasam
won51:          mov   al,13
                out   dx,al
                mov   al,0fh
                out   dx,al
                mov   dx,port_A
                in    al,dx
                mov   [di],al
                inc   di
                mov   dx,port_C
                mov   al,0eh
                out   dx,al
                mov   dx,port_A
                in    al,dx
                mov   [di],al
                inc   di
                mov   dx,port_C
                mov   al,12
                out   dx,al
                loop won51              ;(6)
```

จากโปรแกรมสามารถอธิบายเป็นส่วนๆ ได้ดังนี้ (0) เป็นส่วนที่ส่งคอนโทรล-เวิร์ด ให้ 8255 PPI ให้พอร์ท A เป็นอินพุทพอร์ท พอร์ท B เป็นเอ้าท์พุทพอร์ท ส่วนพอร์ท C 4 บิทล่างเป็นเอ้าท์พุทพอร์ท 4 บิทบนเป็นอินพุทพอร์ท port_ctrl คือแอดเดรสพอร์ทที่ 3E6 H , port_C คือ 3E4 H , port_B คือ 3E2 H , port_A คือ 3E0 H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(1) เริ่มแรกไม่ให้มี clock 50 MHz : อินพุทขาหนึ่งที่ต่อกับแนนด์เกท ซึ่งต่อกับ คริสตอลออสซิลเลเตอร์ ต้องเป็น '0' ซึ่งอินพุทนี้ให้โดย PB_3

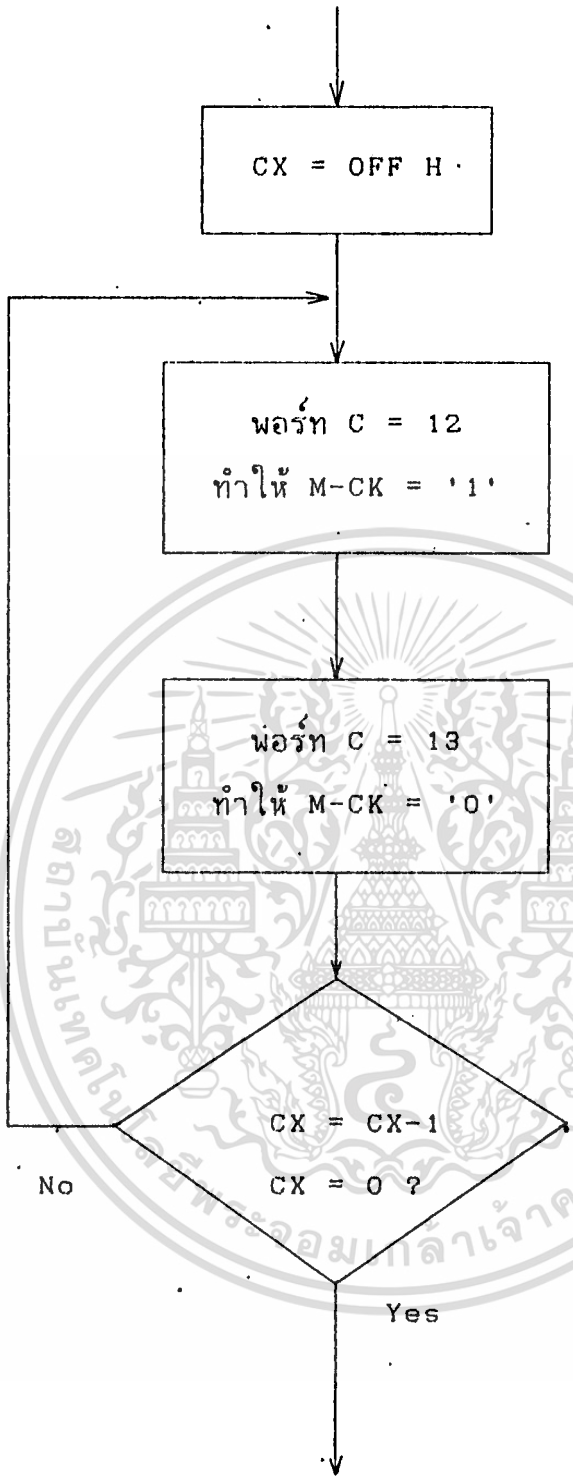
PB_4	PB_3	PB_2	PB_1	PB_0			
0	0	0	0	0	=	0	ไม่ให้มี clock
PC_3	PC_2	PC_1	PC_0				
1	0	0	1		=	9	ชิฟท์ข้อมูลจากพอร์ท B ไป
0	0	0	0		=	0	ยังปลายทางผ่าน ชิฟท์รี-จิสเตอร์ 74LS374

เนื่องจาก 74LS374 ทำงานที่ขอบขาขึ้นของสัญญาณที่เข้าขา CK จากนั้นเซ็ทให้ขา W ของ 74F151 หรือสัญญาณที่จุด (8) ในรูป 2.7 เป็น '1' และทำการเคลียร์วงจรทริกเกอร์ริ่ง เพื่อให้ PC_4 เป็น '0'

PB_7	PB_6	PB_5	PB_4	PB_3	PB_2	PB_1	PB_0			
x	x	x	x	1	x	x	x	=	8	เซ็ทสัญญาณที่จุด(8)
			PC_3	PC_2	PC_1	PC_0				
			1	0	0	0		=	8	ชิฟท์ข้อมูลจากพอร์ทB
			1	0	1	1		=	0B H	เคลียร์วงจรทริก-เกอร์ริ่ง

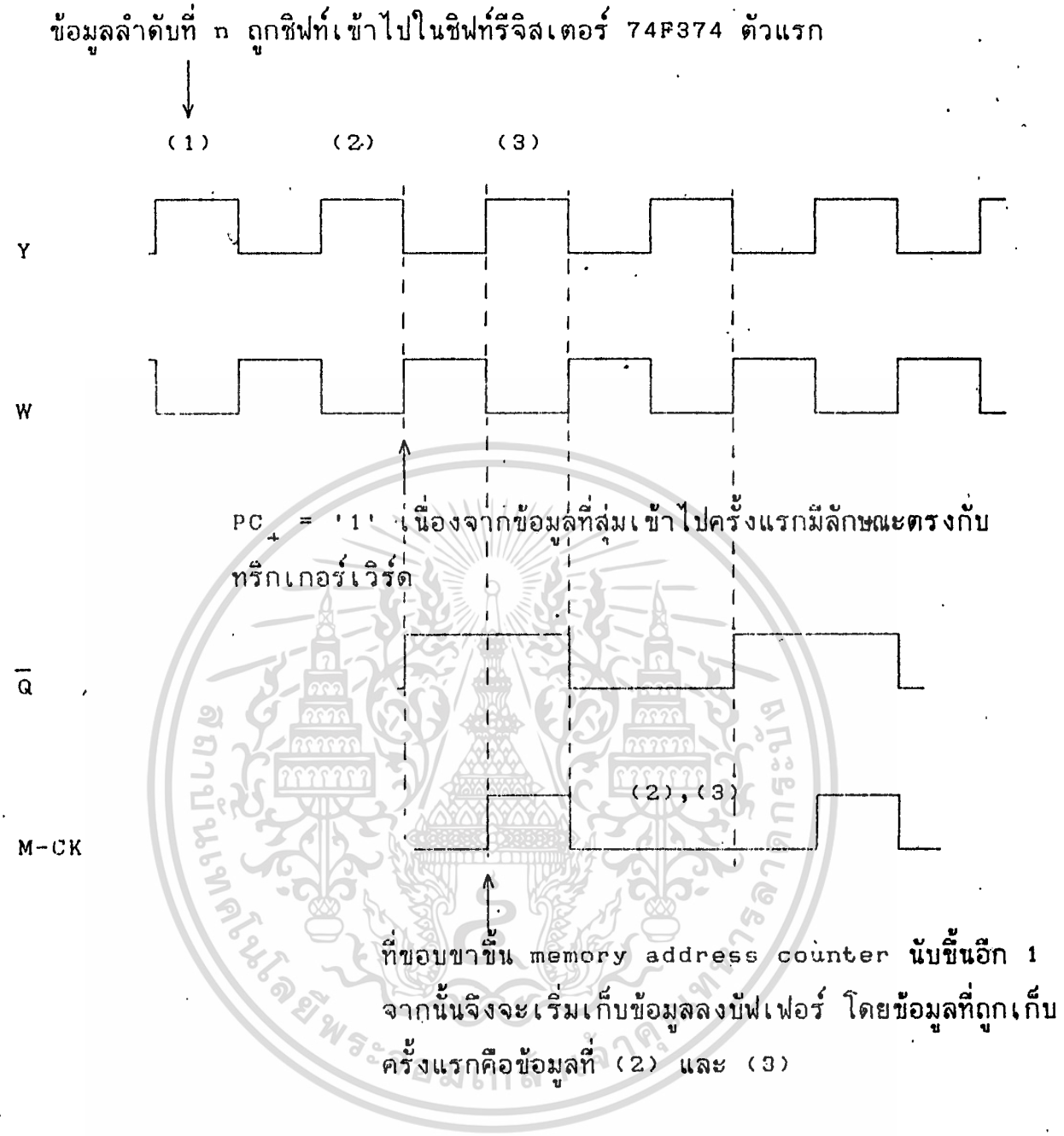
ต่อไปเคลียร์ memory address counter ก่อนที่จะทำให้ memory address ชี้ที่ OFF H (A_0 - A_7 = 1111 1111 B) โดยใช้หลักการสร้าง memory clock ตามตาราง 2.1 ขณะนี้ขา Y ของ 74F151 เป็น '1' PC_4 ก็เป็น '0' Y_5 และ Y_4 ควบคุมโดยพอร์ท C เพื่อสร้าง memory clock ให้ binary counter up 74F161

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



สาเหตุที่ต้องทำให้ memory address ชี้ไปที่ OFF H เนื่องจากลักษณะของสัญญาณ 4 สัญญาณ คือ Y , W ของ 74F151 ตัวเลือกความถี่ในการสุ่ม $\overline{Q}$ เอ้าท์พุทของ D - flip flop ในวงจรสร้าง memory clock และ M-Ck

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ดังนั้นก่อนทำการสุ่มข้อมูล จึงต้องให้ memory address ชี้ไปที่ OFF H เพื่อเวลาจะวิเคราะห์ข้อมูลก็สามารถดึงข้อมูลตั้งแต่แอดเดรสที่ 0 ไปได้ทันที และลักษณะสัญญาณของแชลแนลที่ใช้เปรียบเทียบเป็น ทริกเกอร์เวิร์ด ลักษณะเริ่มต้นอาจไม่ตรงกับ ทริกเกอร์-เวิร์ด เพราะข้อมูลแรกไม่ถูกเก็บลงในบัฟเฟอร์

(2) เซ็ทลักษณะและแชลแนลที่จะใช้เปรียบเทียบเป็น ทริกเกอร์เวิร์ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PB_7	PB_6	PB_5	PB_4	PB_3	PB_2	PB_1	PB_0
0	x	x	x	0	x	x	x

แชลแนลที่ใช้เป็นตัวทริก(trigchann)

ลักษณะที่ใช้เทียบเป็นทริกเกอร์เวิร์ด(trigchar)

PC_3	PC_2	PC_1	PC_0			
1	0	0	0	=	8	ชิฟท์ข้อมูลจากพอร์ท
0	0	0	0	=	0	B ไปยังปลายทาง

ข้อมูลจาก PB_4 - PB_7 ถูกส่งไปให้ demultiplexer 74F151 ตัวที่รับข้อมูลจากชิฟท์รีจิสเตอร์ 74F374 ตัวที่สอง สามารถเลือกข้อมูลได้ทั้ง 8 แชลแนล ส่วน PB_0 - PB_3 ส่งให้ 74F151 ตัวที่อยู่ถัดมา เพื่อเลือกลักษณะของสัญญาณทริก รายละเอียดดูได้ในเรื่องวงจรทริกเกอร์ริ่งในบทที่ 2

(3) เซ็ทความถี่ที่ใช้สุ่มข้อมูล เริ่มทำการสุ่มข้อมูลและให้หน่วยความจำทำงานในสภาวะ write

PB_4	PB_3	PB_2	PB_1	PB_0
0	1	x	x	x

ความถี่ที่ใช้สุ่ม (samfreq)

PC_3	PC_2	PC_1	PC_0			
1	0	0	1	=	9	ชิฟท์ข้อมูลจากพอร์ท
0	0	0	0	=	0	B ไปยังปลายทาง

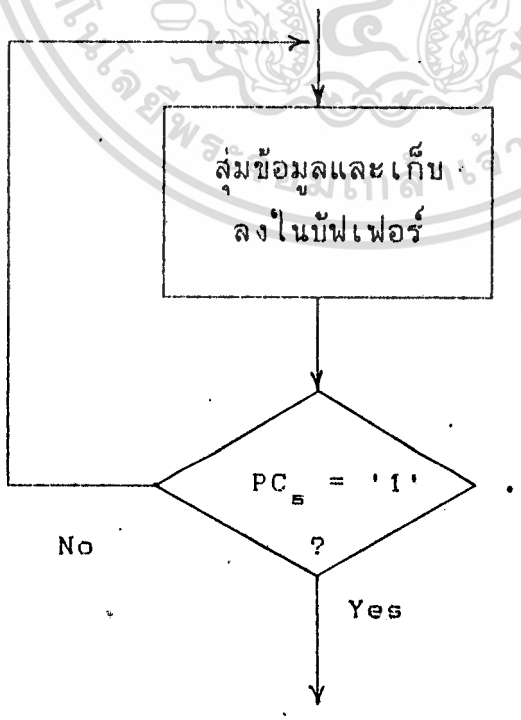
PB_0 - PB_2 ถูกส่งไปยัง 74F151 ตัวเลือกความถี่ในการสุ่ม เลือกความถี่ได้ 8 ความถี่ ตั้งแต่ 50 MHz - 0 Hz PB_3 เป็นบิทที่ใช้ปล่อย clock จากคริส-ตอลออสซิลเลเตอร์ ส่วน PB_4 เป็นบิทกำหนดสภาวะการทำงานของหน่วยความจำ ถ้าเป็น '1' อยู่ในสภาวะ read เป็น '0' อยู่ในสภาวะ write

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PB_2	PB_1	PB_0	เลือกความถี่
0	0	0	50 MHz
0	0	1	25 MHz
0	1	0	6.25 MHz
0	1	1	1.6 MHz
1	0	0	390 KHz
1	0	1	97 KHz
1	1	0	24 KHz
1	1	1	0 Hz

ตาราง 3.1 เลือกความถี่ clock ที่ใช้สุ่มข้อมูล

(4) คอยเช็คว่าข้อมูลเต็มบัฟเฟอร์หรือยัง โดยเช็คที่สัญญาณ STOP ที่ขา Q_9 ของ 74HCT4040 ในวงจรทริกเกอร์ริ่ง ซึ่งขา Q_9 นี้ต่อเข้ากับ PC_5 ถ้าเป็น '1' แสดงว่าบัฟเฟอร์เต็ม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(5) ไม่ให้มี clock ออกมาจาก คริสตอลออสซิลเลเตอร์ เซ็ทให้หน่วยความจำทำงานในสภาวะ read และเลือกความถี่ที่ใช้สุ่ม 0 Hz ที่ขา Y จะมีสภาวะเป็น '1'

PB_4	PB_3	PB_2	PB_1	PB_0		
1	0	1	1	1	=	17 H

PC_3	PC_2	PC_1	PC_0		
1	0	0	1	=	9
0	0	0	0	=	0

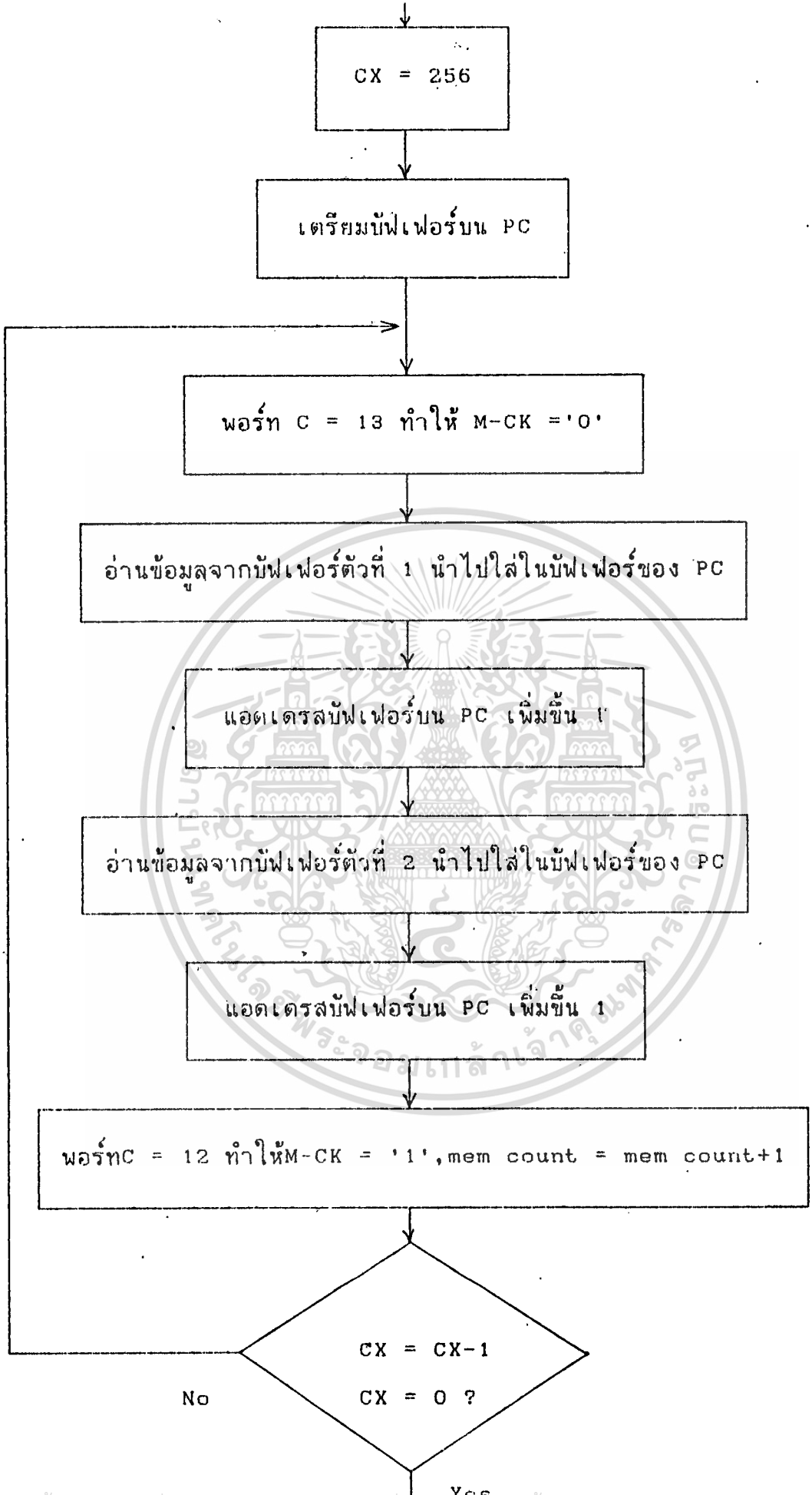
จากนั้นเซ็ทขา W ของ 74F151 ตัวเลือกลักษณะการทริก ในวงจรทริกเกอร์ริ่ง เป็น '1' โดยให้ PB_3 เป็น '1' บิทอื่นเป็นอะไรก็ได้ ขา S ของ 74F151 จึงมีสภาวะ '1' เสร็จแล้วเคลียร์วงจรทริกเกอร์ริ่ง ให้ PC_4 เป็น '0' สัญญาณ STOP เป็น '0' จากนั้นเคลียร์ memory address counter

PB_7	PB_6	PB_5	PB_4	PB_3	PB_2	PB_1	PB_0		
x	x	x	x	1	x	x	x	=	88 H

PC_3	PC_2	PC_1	PC_0			
1	0	0	0	=	8	
1	0	1	1	=	0B H	เคลียร์วงจรทริกเกอร์ริ่ง
1	0	1	0	=	0A H	เคลียร์ mem counter

(6) จาก (5) ที่ได้เซ็ทสัญญาณต่างๆ ไว้เรียบร้อยพร้อมที่จะดึงข้อมูลจากบัฟเฟอร์มาทำการวิเคราะห์ การสร้าง memory clock ก็สร้างโดยอาศัยความสัมพันธ์ของสัญญาณ ตาม truth table ตาราง 2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากนั้นก็นำข้อมูลที่ได้บน PC มาทำการวิเคราะห์ในโหมดต่างๆ เช่น Time Format , Binary Format , Hexadecimal Format และ Map Format

ซอฟท์แวร์ทั้งหมดของ ลอจิกอนาไลซ์เซอร์ เครื่องนี้ สามารถศึกษาดูได้อย่างละเอียดใน ซอฟท์แวร์แพคเกท ที่แนบมาพร้อมปริญญานิพนธ์ฉบับนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ขีดความสามารถของเครื่อง

คุณสมบัติของ ลอจิกอนาไลซเซอร์ เครื่องนี้ควรมีดังนี้

1 สามารถเก็บและแสดงสัญญาณอินพุทได้ถึง 8 สัญญาณ ในเวลาเดียวกัน จึงนำไปใช้กับวงจร combinatorial logic ได้

2 มีอัตราการสุ่มข้อมูล ที่เหมาะสม เพื่อสามารถนำไปใช้ได้กับวงจรลอจิกทุกชนิด

3 สามารถเก็บและวัดสัญญาณที่เข้ามาอย่างต่อเนื่อง แม้จะมีอัตราการเกิดสัญญาณต่ำ

4 สามารถเลือกลักษณะเริ่มต้นของสัญญาณอินพุทที่เป็นทริกเกอร์ เพื่อเริ่มเก็บสัญญาณ

5 สามารถเลือก display mode ที่สามารถวิเคราะห์ข้อมูลได้อย่างรวดเร็ว

6 สามารถเก็บข้อมูลที่สุ่มเข้ามาลงดิสค์ และ นำข้อมูลเดิมที่เป็นไฟล์อยู่ในดิสค์มาวิเคราะห์อีกได้

จำนวนแชลแนลข้อมูลมีทั้งหมด 8 แชลแนล การใช้งานจริงๆ สามารถเลือกจำนวนแชลแนลที่ต้องการใช้ได้ ตั้งแต่

1 แชลแนล ใช้ แชลแนลที่ 1

2 แชลแนล ใช้ แชลแนลที่ 1 และ 2

4 แชลแนล ใช้ แชลแนลที่ 1,2,3 และ 4

8 แชลแนล ใช้ แชลแนลที่ 1,2,3,4,5,6,7 และ 8

แต่ละแชลแนลสามารถใส่ชื่อลงไปได้ มีความยาวไม่เกิน 8 ตัวอักษร ทั้งอักษรไทยและ อังกฤษ

อัตราการสุ่มข้อมูลมี 7 ความถี่ คือ 50 MHz , 25 MHz , 6.25 MHz , 1.6 MHz , 390 KHz , 97 KHz และ 24 KHz

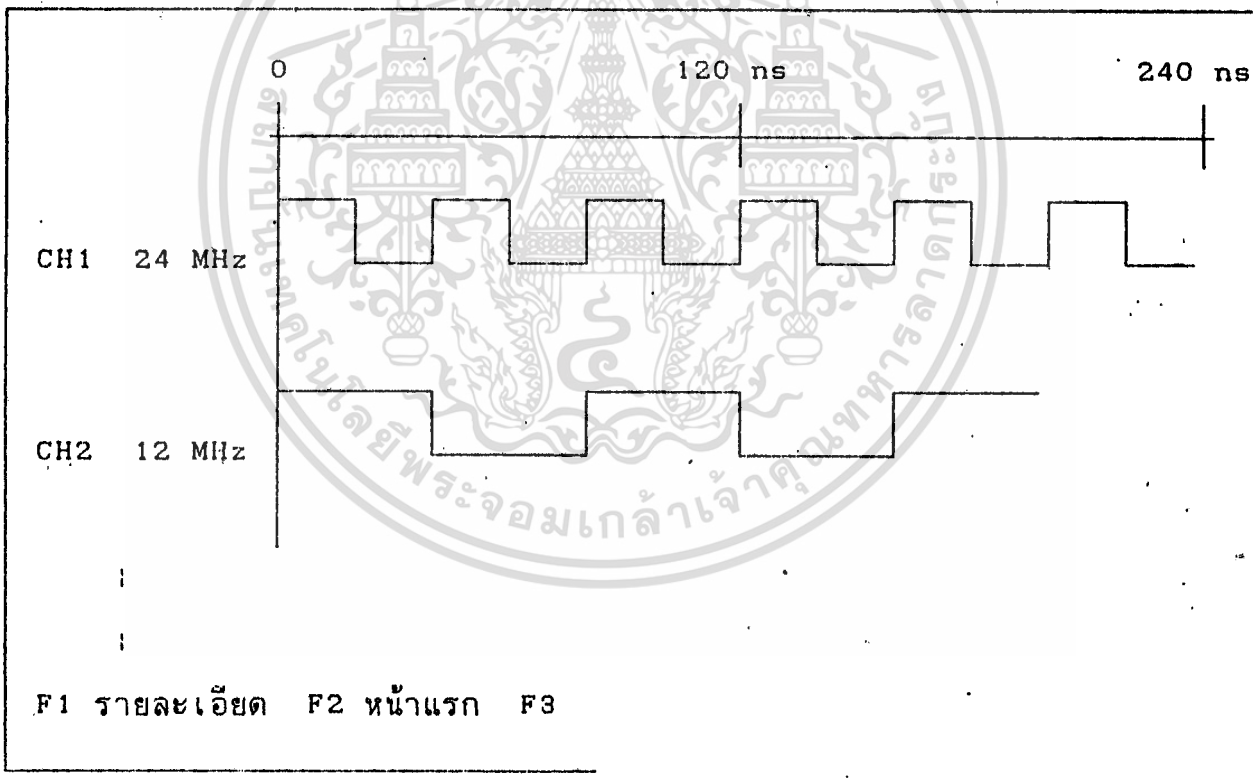
ลักษณะเริ่มต้นของสัญญาณอินพุทที่เป็นทริกเกอร์เลือกได้ 5 ลักษณะ คือ ขอบขาขึ้น , ขอบขาลง , high level , low level และ ลักษณะใดก์ได้.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเก็บข้อมูลลงแผ่นดิสค์ผู้ใช้สามารถตั้งชื่อไฟล์ได้ยาวไม่เกิน 8 ตัวอักษร ส่วนชื่อนามสกุลจะกำหนดให้ชื่อ .LOG เมื่อจะเรียกข้อมูลจากไฟล์ก็สามารถเรียกได้โดยผ่านเมนู

ข้อมูลที่ถูกเก็บใน memory เป็น binary code แต่เราสามารถที่จะแสดงออกมาให้เห็นได้หลายรูปแบบในสมัยก่อน logic analyzer แสดงข้อมูลออกมาแบบ line number ซึ่งไม่สะดวกต่อการวิเคราะห์ข้อมูลเลย ในปัจจุบันเราสามารถที่จะวิเคราะห์ข้อมูลได้หลายรูปแบบ

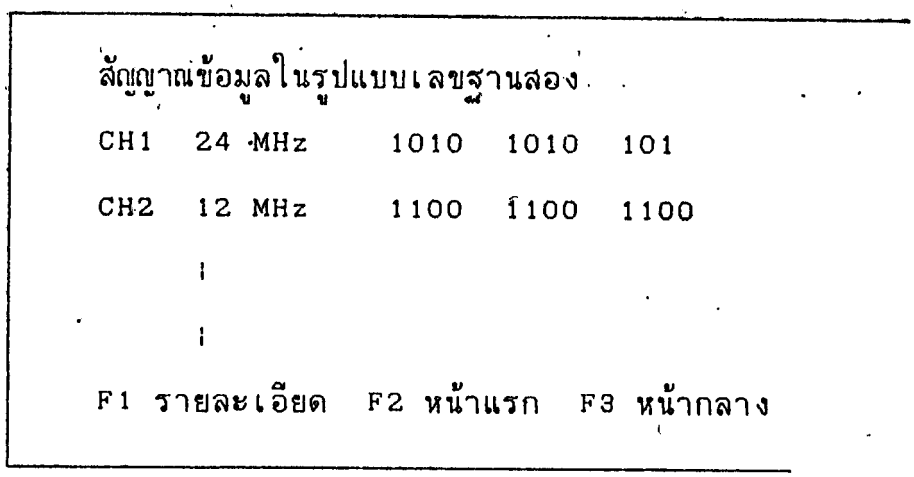
Time format เป็นการแปลงลอจิก '1' และ '0' ของข้อมูลที่เก็บใน memory ให้เป็นรูปคลื่นแบบ pulse จำนวนรูปคลื่นขึ้นอยู่กับ input channel ว่ามีกี่แชลแนล ดังนั้นเมื่อแสดงออกมาจะดูคล้ายกับออสซิลโลสโคปแบบหลายแชลแนล แต่เวลาที่แสดงไม่ใช่ real time เหมือนออสซิลโลสโคป



รูป 4.1 ผลการวิเคราะห์ที่จอภาพใน Time Format

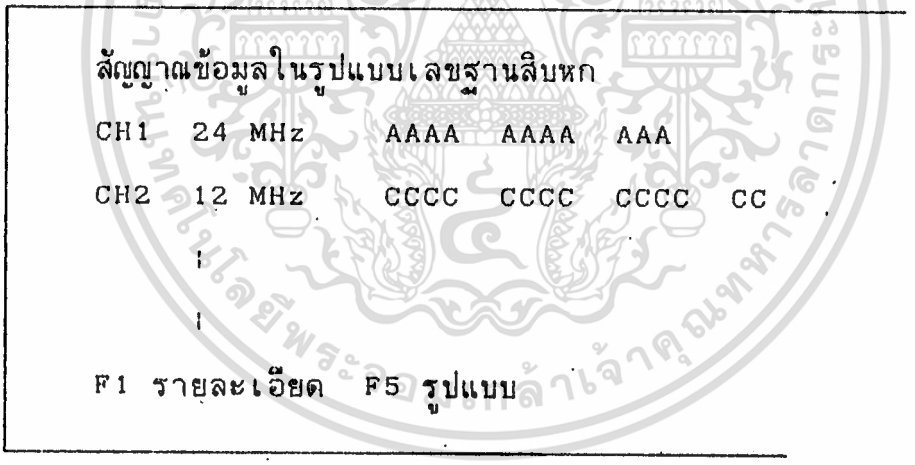
Binary format เป็นการนำเสนอข้อมูลออกมาเป็น binary code เช่นเดียวกับข้อมูลจาก memory ข้อมูลในแต่ละ input channel จะถูกแสดงออกมาตามแนวนอน ส่วนทางแนวตั้งจะแสดงถึงช่วงเวลาที่เกิดข้อมูลทางแนวนอนขึ้นมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 4.2 ผลการวิเคราะห์ที่จอภาพใน Binary Format

Hexadecimal format เป็นการนำเสนอข้อมูลแบบสั้นและกะทัดรัดมาก คือจะแปลงข้อมูลแบบ binary code ทางแนวนอนของ binary format ให้เป็น hexadecimal code

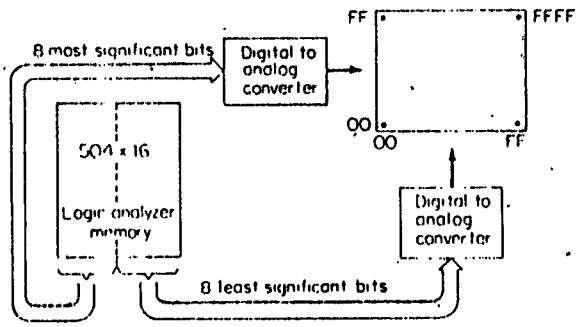


รูป 4.3 ผลการวิเคราะห์ที่จอภาพใน Hexadecimal Format

Map format เป็นการนำเสนอข้อมูลที่มีรูปแบบต่างไปจากแบบอื่นๆมาก โดยจะนำข้อมูลที่วัดได้มาแบ่งเป็น 2 ซีก คือใน 1 ไบท์ จะแบ่งเป็น 4 บิทล่างกับ 4 บิทบน และกำหนดสเกลบนจอภาพทั้งทางแนวนอนและแนวตั้งให้มีค่า 00 H - 0F H ต่อจากนั้นก็นำข้อมูลที่มีอยู่แต่ละไบท์มา plot โดยให้ 4 บิทล่าง อยู่ทางแนวนอน และ 4 บิทบนอยู่ทางแนวตั้ง วิธีนี้จะทำให้เราสามารถพิจารณาเปรียบเทียบข้อมูลในการแซมเปิ้ลแต่ละ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ครั้งอย่างหยาบๆ แต่รวดเร็วได้ การแสดงข้อมูลเช่นนี้แสดงได้ดังรูป 4.4



รูป 4.4 Map display.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
บทสรุปและวิจารณ์

โครงงานเรื่องนี้มีผู้วิจัยและพัฒนาปรับปรุงขึ้นมานานแล้ว ซึ่งพื้นฐานในการทำงานจะคล้ายๆกัน แต่สิ่งที่แตกต่างจากกันคือ ขีดความสามารถในการทำงานของวงจร ขีดความสามารถในการนำข้อมูลที่สุ่มได้มาวิเคราะห์และแสดงผล ลอจิกอนาไลซเซอร์ของปริญญานิพนธ์ฉบับนี้ ก็มีขีดความสามารถที่พิเศษคือวงจรทั้งหมดสามารถทำงานร่วมกันที่ความถี่สูงถึง 50 MHz ได้ ดังนั้นอุปกรณ์ทุกตัวก็ต้องมีลักษณะการทำงานที่ฉับไว เช่น บัฟเฟอร์ใช้หน่วยความจำ N82S212A F มี access time เพียง 35 ns ส่วน เกท , ฟลิปฟลอบ และ ดีมัลติเพล็กเซอร์ ก็ใช้ตระกูล 74F ซึ่งเป็นอุปกรณ์ที่ใช้เวลาในช่วงเปลี่ยนสภาวะทางลอจิกน้อย ถ้าอุปกรณ์ทุกตัวสามารถทำงานได้ตามคุณสมบัติที่บรรยายไว้นี้ ก็จะทำให้วงจรสามารถสุ่มข้อมูลเข้ามาได้อย่างแม่นยำไม่มีผิดพลาด แต่อุปกรณ์ทุกตัวที่นำมาประกอบในโครงงานนี้เพียงแต่จัดหามาตามเบอร์ที่ระบุในดาต้าชีทว่ามีขีดความาสามารถเป็นเช่นนี้ ไม่สามารถทำการทดสอบจริงๆว่าทำงานได้ตามดาต้าชีทหรือไม่ ในวงจรจริงอาจมีทั้งอุปกรณ์ที่มีขีดความสามารถเพียงพอและไม่เพียงพอ ทำให้ข้อมูลที่สุ่มมาได้มีค่าผิดพลาดไปจากข้อมูลที่ควรจะเป็น ส่วนที่เกิดจุดผิดพลาดบ่อยๆ ก็คือ ช่วงเวลาของข้อมูลที่สุ่มในช่วงที่มีการเปลี่ยนสภาวะทางลอจิก อุปกรณ์ไม่สามารถรับถ่ายข้อมูลได้อย่างถูกต้องเนื่องจากคุณสมบัติในการทำงานผิดไปจากดาต้าชีท

อุปกรณ์ส่วนสำคัญในวงจรหาได้ยากมากในท้องตลาดเมืองไทย หรืออาจหาไม่ได้เลย รวมทั้งเครื่องมือที่ใช้วัดใช้ทดสอบสัญญาณในวงจรที่ความถี่สูงถึง 50 MHz ก็หาใช้ได้ยากมากเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดาต้าชีทของ 82S212A Static RAM

Signetics

82S212
82S212A
2304-Bit TTL Bipolar RAM

Product Specification

Bipolar Memory Products

DESCRIPTION

The organization of the 82S212 and 82S212A allows byte wide storage of data, including parity. When parity is not required, the ninth bit can be used as a tag for each word stored. The 82S212 and 82S212A are ideal for scratch pad, push down stacks, buffer memories, and other internal memory applications in which space and performance requirements dictate a wide data path in favor of word depth.

Data inputs and outputs are common (common I/O) with separate output disable (OD) line that allows ease of Read/Write operations using a common bus.

Ordering information can be found on the following page.

The 82S212 and 82S212A devices are also processed to military requirements for operation over the military temperature range. For specifications and ordering information consult the Signetics Military Data Book.

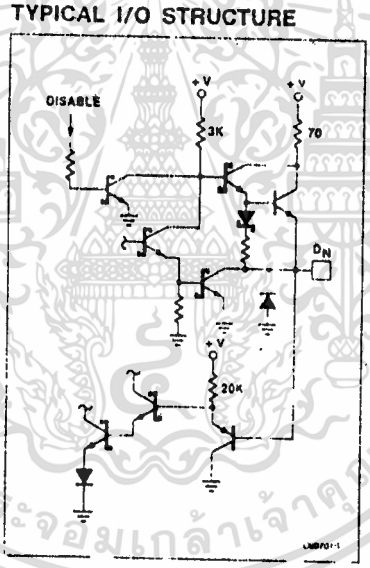
FEATURES

- **Address access time:**
  - **N82S212: 45ns max**
  - **N82S212A: 35ns max**
- **Power dissipation: 0.3mW/bit typ**
- **Schottky clamped TTL**
- **One Chip Enable Input**
- **Common I/O**
  - **Inputs: PNP Buffered**
  - **Outputs: 3-State**

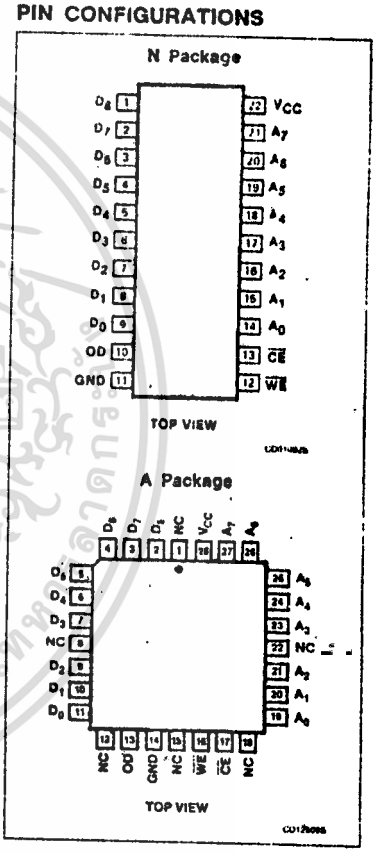
APPLICATIONS

- **Cache memory**
- **Buffer storage**
- **Writable control store**

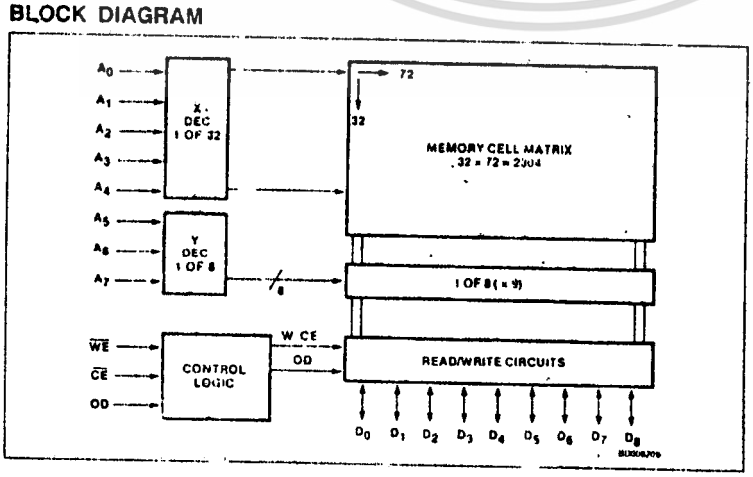
TYPICAL I/O STRUCTURE



PIN CONFIGURATIONS



BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING INFORMATION

DESCRIPTION	ORDER CODE
22-pin Plastic DIP 400mil-wide	N82S212 N • N82S212A N
28-pin Plastic Leaded Chip Carrier 450mil-square	N82S212 A • N82S212A A

ABSOLUTE MAXIMUM RATINGS

SYMBOL	PARAMETER	RATING	UNIT
V_{CC}	Supply voltage	+7	V_{DC}
V_{IN}	Input voltage	+5.5	V_{DC}
V_{OUT}	Output voltage High (open collector)	+5.5	V_{DC}
T_A	Temperature Range Operating	0 to +75	°C
T_{STG}	Storage	−65 to +150	

DC ELECTRICAL CHARACTERISTICS $0°C \leq T_A \leq +75°C$, $4.75V \leq V_{CC} \leq 5.25V$

SYMBOL	PARAMETER	TEST CONDITIONS	LIMITS Min	LIMITS Typ[3]	LIMITS Max	UNIT
Input voltage[2]						
V_{IL}	Low	$V_{CC} = 4.75V$			0.80	V
V_{IH}	High	$V_{CC} = 5.25V$	2.0			
V_{IC}	Clamp[4]	$V_{CC} = 4.75V$, $I_{IN} = -12mA$			−1.5	
Output voltage[2]						
V_{OH}	High	$I_{OH} = -2mA$	2.4			V
V_{OL}	Low	$V_{CC} = 4.75V$, $I_{OL} = 8.0mA$			0.5	
Input current						
I_{IL}	Low	$V_{IN} = 0.45V$			−100	μA
I_{IH}	High	$V_{IN} = 5.5V$			25	
Output current						
I_{OZ}	Hi-Z State	$\overline{CE}$ = High, OD = High, $V_{OUT} = 5.5V$			40	μA
		$\overline{CE}$ = High or OD = High, $V_{OUT} = 0.5V$			−100	
I_{OS}	Short circuit[4,5]	$\overline{CE}$ = OD = Low, $V_{OUT} = 0V$	−15		−70	mA
Supply current[7]						
I_{CC}		$V_{CC} = 5.25V$		135	185	mA
Capacitance						
		$V_{CC} = 5.0V$				
C_{IN}	Input	$V_{IN} = 2.0V$		5		pF
C_{OUT}	Output	$V_{OUT} = 2.0V$		8		

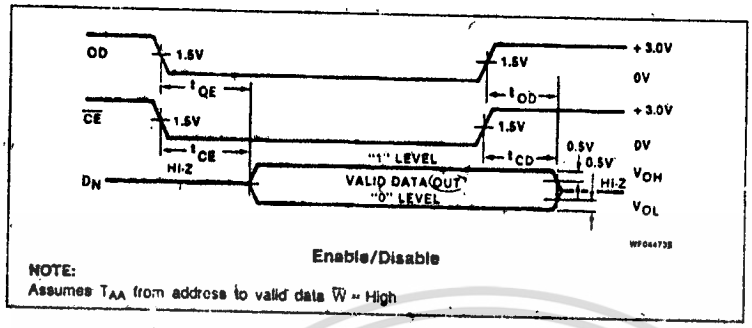
TRUTH TABLE

MODE	$\overline{WE}$	$\overline{CE}$	OD	D_N IN/OUT
Disable output	X	X	1	Hi-Z
Disable R/W	X	1	X	Hi-Z
Write	0	0	1	Data in
Read	1	0	0	Data out

X = Don't care

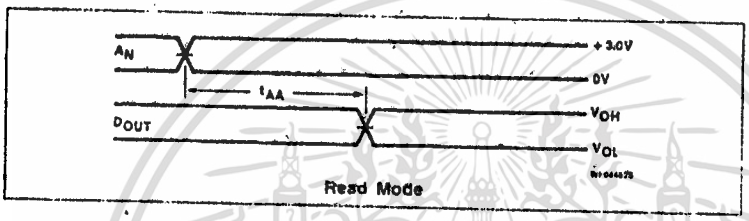
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TIMING DIAGRAMS

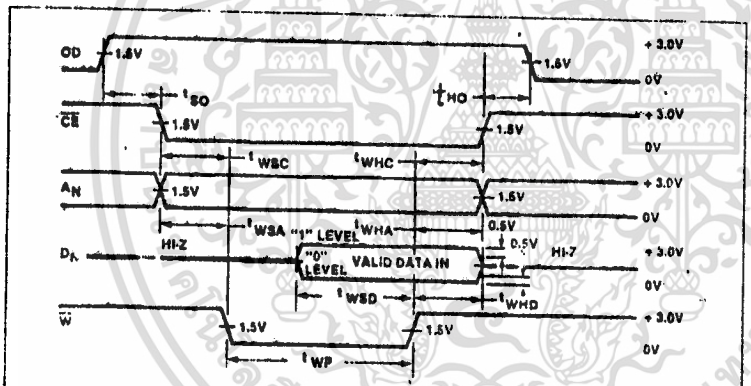


Enable/Disable

NOTE:
Assumes T_{AA} from address to valid data $\overline{W}$ = High



Read Mode

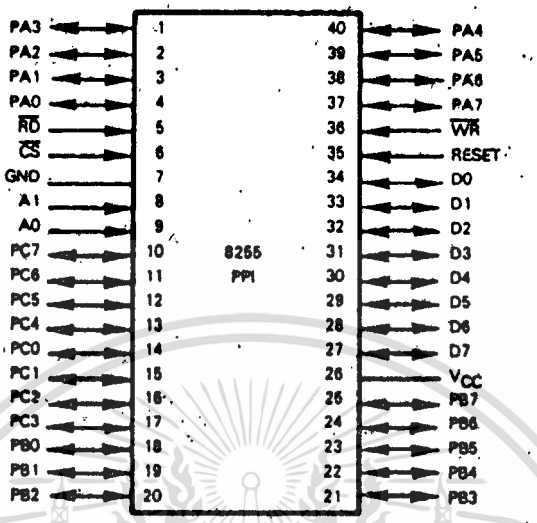


Write Mode

CAUTION:
Data Bus conflict can occur with $\overline{CE}$ = 0, apply data source after T_{OD}(max.) and remove data source before T_{OH}(min.).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การจัดขาของ 8255 PPI



PIN NAME	DESCRIPTION	TYPE
D0 - D7	Bidirectional Data Bus	Bidirectional
PA0 - PA7	Eight I/O pins, designated as Port A	Bidirectional
PB0 - PB7	Eight I/O pins, designated as Port B	Bidirectional
PC0 - PC7	Eight I/O pins, designated as Port C upper and Port C lower	Bidirectional
$\overline{RD}$	Read from device control	Input
$\overline{WR}$	Write to device control	Input
RESET	System reset	Input
$\overline{CS}$	Device select	Input
A0,A1	I/O port select	Input
V_{CC},GND	Power and Ground	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซอฟท์แวร์ที่สร้างขึ้น

LOGANA1	ASM	63960	3-24-90	9:53p
LOGANA2	ASM	60912	3-24-90	10:23P
LOGANA3	ASM	53466	3-20-90	5:53p
LOGANA	EXE	86104	3-24-90	10:26p

LOGANA1 , 2 และ 3 เป็นซอร์สโปรแกรมที่เขียนโดย Turbo Assembler ในการ assembler จะใช้ทั้ง 3 ไฟล์นี้ ส่วน LOGANA.EXE เป็นไฟล์ที่ได้รับการ assembler และ link มาเรียบร้อยแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานและปริญญานิพนธ์ฉบับนี้สำเร็จลงได้ด้วยดี ทั้งนี้ก็ด้วยความช่วยเหลือจากบุคคลหลายฝ่าย ซึ่งต้องขอขอบคุณ อ. กนก เจนจิระพงศ์เวช และ อ. กฤดากร กล่อมการ ที่ให้คำแนะนำปรึกษา ให้การสนับสนุนทางด้านเครื่องมือและอุปกรณ์มาโดยตลอด และขอขอบคุณ บริษัท ซิกเนติค ประเทศไทย จำกัด เอื้อเฟื้อมอบ static RAM N82S212A F ให้ใช้ในโครงงานนี้ และขอขอบคุณ คุณ อณุวัฒน์ สุขเจริญ ที่ช่วยเหลือในการฝากซื้ออุปกรณ์ในวงจรที่สำคัญๆเช่น crystal oscillator 50 MHz จากญี่ปุ่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1 ยืน ภู่วรวรรณ,สุรศักดิ์ สงวนพงศ์,"โปรแกรมคอมพิวเตอร์ ภาษาแอสเซมบลี้ 8086/8088",ซีเอ็ดยูเคชั่น,202 หน้า,2529

2 Lewis C. Eggebrecht,"INTERFACING TO THE IBM PERSONAL COMPUTER",Howard W.Sams & Co.,246 p,1983

3 "Turbo Assembler User's Guide Version 1.0",Borland International,582p,1988

4 John R. Barnes,"ELECTRONIC SYSTEM DESIGN : INTERFERENCE AND NOISE CONTROL TECHNIQUES",Prentice-Hall,234 p,1987

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้