ปีการศึกษา 2531

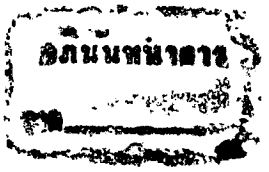
การออกแบบวงจรรวมขนาดใหญ่มาก

โดย

นาย เดชา วิไลรัตน์
นาย ธวัชชัย ประมวลเจริญกิจ
นาย สันธาน ไตรเมธาศิลป์

อาจารย์ที่ปรึกษา

ดร. สมเกียรติ ตุกเดช
อาจารย์ สมศักดิ์ ชุมช่วย



023228 10 ส.ค. 2532

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2531

ภาควิชา อิเลคทรอนิคส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การออกแบบวงจรรวมขนาดใหญ่มาก

ผู้จัดทำ

1. นาย เดชา วิไลวัตน์ 28.1077
2. นาย ธวัชชัย ประมวลเจริญกิจ 28.1096
3. นาย สันธาน ไตรเมธาศิลป์ 28.1257

.....อาจารย์ที่ปรึกษา

(ดร.สมเกียรติ ศุภเดช)

.....อาจารย์ที่ปรึกษา

(อาจารย์ สมศักดิ์ ชุมช่วย)

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ศ023228

การออกแบบวงจรรวมขนาดใหญ่มาก

1 นาย เดชา วิไลรัตน์
2 นาย ธวัชชัย ประมวลเจริญกิจ
3 นาย สันธาน ไตรเมธาศิลป์
ดร.สมเกียรติ ศุภเดช อาจารย์ที่ปรึกษา
อาจารย์ สมศักดิ์ ชุมช่วย อาจารย์ที่ปรึกษา
ปีการศึกษา 2531

บทคัดย่อ

ในปริญญานิพนธ์ฉบับนี้ เป็นการศึกษาวิธีการออกแบบวงจรรวมขนาดใหญ่มาก (Very Large Scale Integrated Circuit Design) โดยใช้คอมพิวเตอร์ขนาด 32 บิต(Workstation Computer, Sun Microsystem , 3/110) และโปรแกรมช่วยในการออกแบบ(CAD tools) ที่ใช้คือ CIRCAD II ของ UNSW(University of New South Wales) Australia

วงจรที่ได้ทำการทดลองศึกษาและออกแบบประกอบด้วย

1 วงจรประมวลผลทางคณิตศาสตร์และตรรกศาสตร์ขนาด 8 บิต (ALU8BIT: Arithmetic Logic Unit 8 Bit) ซึ่งเป็นหัวใจของการทำงานในระบบประมวลผลกลาง(CPU:Central Processing Unit) ในระบบดิจิตอลคอมพิวเตอร์(digital computer)

2 วงจรนับความถี่(FREQUENCY COUNTER) เป็นวงจรนับความถี่ของสัญญาณดิจิตอล แล้วแสดงผลของการนับความถี่ออกทาง LED 7 segment โดยสามารถนับได้ถึง 10 เมกกะเฮิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VERY LARGE SCALE INTEGRATED CIRCUIT DESIGN

(VLSI DESIGN)

DECHA VILAIRATANA

TAWATCHAI PRAMAULCHAROENKIJ

SANTHAN TRIMATASIN

DR.SOMKIAT SUPADECH : ADVISOR

MR.SOMSAK CHOOMCHUAY : ADVISOR

1988

ABSTRACT

This report explains the desingning of Microchips, very large scale integrated circuit technology. With used 32 bits computer (Workstation Computer, SUN Microsystem, 3/110) and CAD tool is CIRCAD II by UNSW (University of New South Wales) Australia.

The circuits are

1. ALU8BIT : Arithmetic logic unit 8 bits : This circuit is the heart of central processing unit in digital computer.

2. FREQUENCY COUNTER : This circuit can count the digital signals and display on LED 7 segment. This maximum frequency which it can count is 10 MHz.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

1 ความรู้พื้นฐานของไมโครอิเลคทรอนิคส์ และเทคโนโลยีของมอส	1
1.1 ประวัติความเป็นมา	7
1.2 ทรานซิสเตอร์แบบมอส	7
1.3 ทรานซิสเตอร์แบบมอสที่ทำงานในลักษณะสวิทช์	9
1.4 ซีมอสลอจิก	11
2 วงจรนับความถี่ (FREQUENCY COUNTER)	17
2.1 ส่วนประกอบของวงจรนับความถี่	17
2.2 การทำงานของวงจร	17
2.3 การนำไปใช้งาน	24
2.4 สรุปและวิจารณ์ของวงจรนับความถี่	26
3 วงจรประมวลผลทางคณิตศาสตร์และลอจิกขนาด 8 บิต (ALU8BIT)	39
3.1 ส่วนประกอบของวงจร ALU8BIT	39
3.2 หลักการทำงานของชิป ALU8BIT	42
3.3 สรุปข้อจำกัดและปัญหาในการออกแบบ ALU8BIT	45
ภาคผนวก	50
-การออกแบบ state machines โดยใช้ fidel	51
-การใช้ INGRED	56
-กิตติกรรมประกาศ	70
-เอกสารอ้างอิง	71

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรรวมขนาดใหญ่มาก

VLSI Design

1 ความรู้พื้นฐานของไมโครอิเลคทรอนิคส์และเทคโนโลยีของมอส

เทคโนโลยีของไอซี

เป็นที่รู้กันดีว่าเทคโนโลยี่วิศวกรรมอิเลคทรอนิคส์ ได้เข้ามามีบทบาทต่อชีวิตความเป็นอยู่ของมนุษย์เป็นอย่างมาก โดยเฉพาะในปัจจุบันและอนาคต ในระบบไฟฟ้า-อิเลคทรอนิคส์ส่วนประกอบที่สำคัญยิ่งคือ ชิ้นส่วนอิเลคทรอนิคส์ ซึ่งได้รับการพัฒนามาอย่างต่อเนื่อง โดยเฉพาะชิ้นส่วนอิเลคทรอนิคส์แบบแอคทีฟ (Electronic Active Devices) เริ่มตั้งแต่หลอดสูญญากาศ (Vacum tube) ซึ่งใช้เป็นชิ้นส่วนอิเลคทรอนิคส์พื้นฐานในงานระบบอิเลคทรอนิคส์ในยุคแรก จนกระทั่งถึงปีค.ศ1950 จึงมีการนำเอาทรานซิสเตอร์ ซึ่งค้นพบในปี ค.ศ1947 มาใช้แทนหลอดสูญญากาศทำให้ระบบอิเลคทรอนิคส์เปลี่ยนแปลงโฉมหน้าไปโดยสิ้นเชิง

เนื่องจากคุณสมบัติของทรานซิสเตอร์มีประสิทธิภาพการทำงานที่ดีกว่า กินกำลังไฟน้อยกว่า น้ำหนักเบากว่า ขนาดเล็ก และราคาถูกกว่า อย่างไรก็ดี ทรานซิสเตอร์ก็ได้รับการพัฒนาอย่างต่อเนื่องตลอดมา และเมื่อราวปี ค.ศ 1960 ก็มีการค้นพบเทคโนโลยีใหม่ได้แก่ เทคโนโลยีของการสร้างวงจรรวม (Integrated Circuits Technology) กล่าวคือ สามารถสร้างทรานซิสเตอร์จำนวนหลาย ๆ ตัว (ปัจจุบันถึง 1 ล้านตัว) ลงบนชิ้นของผลึกสารกึ่งตัวนำซิลิกอนชิ้นเล็ก ๆ ที่มีขนาดประมาณ 5 ม.ม X 5 ม.ม รวมทั้งชิ้นส่วนแบบพาสซีฟ (passive devices) เช่นตัวความต้านทานและตัวเก็บประจุไฟฟ้าด้วย และต่อร่วมกันภายใน (interconnection) เป็นวงจรอิเลคทรอนิคส์ที่สมบูรณ์ และชิ้นสารกึ่งตัวนำดังกล่าวนี้มักถูกเรียกสั้น ๆ ว่า ชิพไอซี (IC Chip) เทคโนโลยีของการสร้างวงจรรวมหรือเทคโนโลยีของไอซี นับว่าเป็นเทคโนโลยีระดับสูง ซึ่งต้องอาศัยความรู้ความสามารถและความชำนาญจากผู้รู้หลาย ๆ สาขาร่วมกัน เป็นเทคโนโลยีที่ละเอียดอ่อนและสลับซับซ้อน

หลังจากที่มีการผลิตไอซีหรือวงจรรวมไอซีก็เข้ามามีบทบาทแทนทรานซิสเตอร์ ทั้งนี้ก็เพราะประสิทธิภาพการทำงานที่ดีเยี่ยม ขนาดที่เล็กกระทัดรัด น้ำหนักเบา รวมถึงราคาที่ถูกกว่าของไอซีนั่นเอง เทคโนโลยีของไอซีก็มีการพัฒนาโดยลำดับจนกระทั่งถึงปัจจุบันเราก็ยังเรียกว่าเป็นยุคของไอซีอยู่นั่นเอง

ยุคของวงจรรวม (ไอซี)

ตั้งแต่ไอซีตัวแรกได้รับการประดิษฐ์ขึ้นมาใช้งาน และถูกพัฒนามาจนกระทั่งถึงปัจจุบันเราสามารถที่จะแบ่งไอซีต่างๆ ออกเป็นช่วง ๆ ได้ 4 ช่วง โดยที่บทเชิพหนึ่ง ๆ มีจำนวนทรานซิสเตอร์ตั้งแต่ 2 ตัวจนกระทั่งถึง 500,000 ตัว ภายในช่วงเวลาราว 20 ปีของการพัฒนา นับว่าเป็นอัตราการเพิ่มที่รวดเร็วมาก และอัตราการเพิ่มดังกล่าวนี้ นาย

เอกสารนี้สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Gordon Moore แห่ง Intel ได้ทำนายไว้ดังแสดงในรูปที่ 1.1 หรืออาจแสดงให้เห็นได้ง่ายเข้าดังในรูปที่ 1.2

ทรานซิสเตอร์ตัวแรกซึ่งทำมาจากสารกึ่งตัวนำ นับเป็นต้นกำเนิดของศักราชอุปกรณ์สารกึ่งตัวนำ ซึ่งเริ่มจากธาตุเยอรมันเนียม และต่อมาไม่นานนักซิลิกอนก็เข้ามาแทนที่เยอรมันเนียมซึ่งช่วงนี้เองทำให้เกิดเทคโนโลยีของไอซีขึ้นได้ โดยที่ชิ้นส่วนอิเลคทรอนิคส์ต่าง ๆ เช่นตัวความต้านทาน ตัวเก็บประจุไฟฟ้า ไดโอด และทรานซิสเตอร์จำนวนมากมายจะถูกสร้างขึ้นบนชิ้นของผลึกซิลิกอนชิ้นเล็ก ๆ และต่อภายในร่วมกันเป็นวงจรอิเลคทรอนิคส์ซึ่งเราเรียกชิ้นสารนี้ว่า ชิพ(chip) หรือไอซี (IC) โดยย่อมาจากคำว่า Integrated Circuits หรือที่เราเรียกในภาษาไทยว่า "วงจรรวม" เราอาจจำแนกไอซีหรือวงจรรวมออกเป็นกลุ่มตามขนาดความจุของจำนวนชิ้นส่วนที่รวมอยู่ในชิพได้ดังนี้คือ

1. วงจรรวมขนาดเล็ก (Small Scale Integrations) หรือเขียนย่อ ๆ ว่า SSI ได้แก่ไอซีที่มีจำนวนทรานซิสเตอร์ประมาณไม่เกิน 100 ตัว เช่น พวกไอซีประเภทเกทต่าง ๆ

2. วงจรรวมขนาดกลาง (Medium Scale Integrations) หรือเขียนย่อ ๆ ว่า MSI ได้แก่ ไอซีที่มีจำนวนทรานซิสเตอร์ประมาณ 100- 1,000 ตัว เช่น พวกไอซีเคาน์เตอร์ มัคติเพลกเซอร์และแอดเดอร์เป็นต้น

3. วงจรรวมขนาดใหญ่ (Large Scale Integrations) หรือเขียนย่อ ๆว่า LSI ได้แก่ ไอซีที่มีจำนวนทรานซิสเตอร์ประมาณ 1,000-20,000 ตัวเช่น พวกไมโครโปรเซสเซอร์ขนาด 8 บิท รอม (ROM) และแรม (RAM)เป็นต้น

4. วงจรรวมขนาดใหญ่มาก (Very Large Scale Integrations) หรือเขียนย่อ ๆ ว่าVLSI ได้แก่ ไอซีที่มีจำนวนทรานซิสเตอร์ประมาณ 20,000-50,000 ตัวเช่นพวกไมโครโปรเซสเซอร์ขนาด 16 และ 32 บิต เป็นต้น วงจรรวมแบบนี้นิยมเรียกว่า วีแอลเอสไอชิพ (VLSI chip)

นอกจากนี้ยังมีการคาดว่าในอีกไม่กี่ปีข้างหน้านี้ ตัวโปรเซสเซอร์ชนิดพิเศษจะประกอบด้วยทรานซิสเตอร์ซึ่งมากกว่า 500,000 และเราอาจเรียกไอซีนี้ว่า ไอซีขนาดใหญ่ยิ่ง (Ultra Large Scale Integrations) หรือเขียนย่อ ๆ ว่า ULSI และสำหรับไอซีที่มีจำนวนทรานซิสเตอร์มากกว่า 1 ล้านตัวขึ้นไป อาจถูกเรียกว่า ไอซีขนาดยักษ์ (Giant Scale Integrations) หรือเขียนย่อ ๆว่า GSI

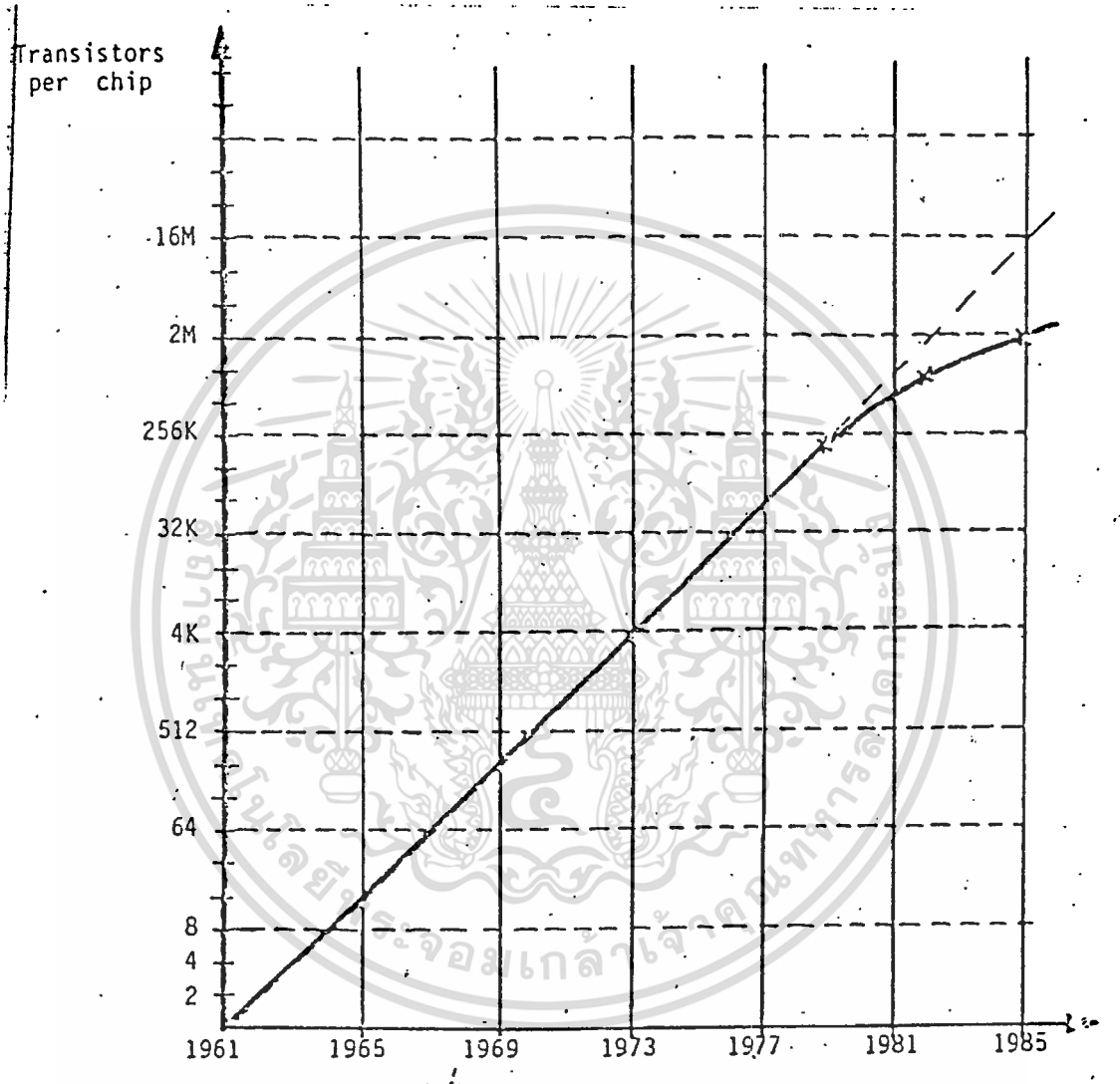
สำหรับเทคโนโลยีของการสร้างไอซีอาจจัดแบ่งได้ 2 แบบคือ

1. เทคโนโลยีของมอส (MOS Technology)

2. เทคโนโลยีของไบโพล่าร์ (Bipolar Technology)

เทคโนโลยีของมอส ได้แก่เทคโนโลยีซึ่งใช้สำหรับกระบวนการสร้างชิ้นส่วนประเภทมอสซึ่งหมายถึงทรานซิสเตอร์แบบมอส หรือมอสเน็ตนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1-1 Moore's First Law

Components per Chip versus Year

(Note *K* signifies a multiplier of 1024 and *M* signifies a multiplier of $1024^2 = 1,048,574$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

YEAR	1947	1950	1961	1966	1971	1980	1985	1990
TECHNOLOGY	Invention of the Transistor	Discrete Components	SSI	MSI	LSI	VLSI	ULSI*	GSI†
Approximate number of transistors per chip in commercial products	1	1	10	100 - 1000	1000 - 20,000	20,000 - 500,000	>500,000	>1,000,000
Typical Products	-	Junction Transistor and Diode	Planar devices Logic gates Flip-flops	Counters Multi-plexers Adders	8 bit microproc. ROM RAM	16 and 32 bit micro-proc. soph-istaced peripherals	Special processors Real time image processing	?

* Ultra Large Scale Integration.

† Giant Scale Integration.

รูปที่ 1-2 Microelectronics Evolution

ส่วนเทคโนโลยีของไบโพล่าร์ ได้แก่เทคโนโลยีซึ่งใช้สำหรับกระบวนการสร้างชิ้นส่วนประเภทไบโพล่าร์ ซึ่งหมายถึงไบโพล่าร์ทรานซิสเตอร์ นั่นเอง

การพัฒนาไอซีถูกกระทำทั้งเทคโนโลยีของมอส และของไบโพล่าร์ ซึ่งต่างก็มีข้อเสียที่แตกต่างกัน เช่น เทคโนโลยีของมอสเหมาะสำหรับการสร้างวงจรรวมที่มีจำนวนชิ้นส่วนมากๆ เช่นพวกวงจรรวมแบบ LSI และ VLSI อย่างไรก็ดีสำหรับวงจรของ nMOS ก็สามารถให้อัตราเร็วของการทำงานที่สูงเป็นที่น่าพอใจ ดังนั้นสำหรับวงจรรวมขนาดใหญ่ (LSI) และขนาดใหญ่มาก (VLSI) เทคโนโลยีของ MOS จึงมีความเหมาะสมมากที่สุด

1.3 เทคโนโลยีของ MOS VLSI

เทคโนโลยีของ VLSI หมายถึงเทคโนโลยีที่ใช้สำหรับกระบวนการออกแบบ และสร้างวงจรรวมขนาดใหญ่มาก หรือ VLSI ซึ่งก็คือเทคโนโลยีของมอส นั่นเอง ชิ้นส่วนอิเลคทรอนิคส์หลักที่อยู่ในชิพของวงจรรวมแบบนี้ ได้แก่ ทรานซิสเตอร์แบบมอส ซึ่งอาจจะเป็นทรานซิสเตอร์แบบมอส ชนิดเอ็นแชนแนล พีแชนแนล หรือมีทั้ง 2 ชนิดรวมกันก็ได้ ดังนั้นเราจึงอาจแบ่งเทคโนโลยีของ MOS VLSI ออกได้เป็น 3 แบบคือ

1. เทคโนโลยีแบบ nMOS

หมายถึงเทคโนโลยีที่ใช้ทรานซิสเตอร์แบบมอสชนิดเอ็นแชนแนล (n-ch.MOS FET) เป็นชิ้นส่วนหลักสำหรับกระบวนการออกแบบและสร้างวงจรรวม เทคโนโลยีนี้มีข้อดีตรงที่สามารถสร้างวงจรรวมที่มีความเร็วในการทำงานสูง

2. เทคโนโลยีแบบ PMOS

หมายถึงเทคโนโลยีที่ใช้ทรานซิสเตอร์แบบมอสชนิดพีแชนแนล (P-ch.MOS FET) เป็นชิ้นส่วนหลักสำหรับกระบวนการออกแบบและสร้างวงจรรวม เทคโนโลยีแบบนี้มีข้อดีตรงที่สามารถสร้างได้ง่าย

3. เทคโนโลยีแบบ CMOS

CMOS ย่อมาจาก Complementary MOS หมายถึงเทคโนโลยีที่ใช้ทรานซิสเตอร์แบบมอสชนิด Complementary (ซึ่งมีทั้งชนิดเอ็นและพีแชนแนลต่อร่วมกัน) เป็นชิ้นส่วนหลักสำหรับกระบวนการออกแบบและสร้างวงจรรวม เทคโนโลยีแบบนี้มีข้อดีก็คือทำให้ได้วงจรรวมที่กินกำลังไฟฟ้าน้อยมากทำให้ประหยัด

1.4 เทคโนโลยีของ nMOS VLSI

ถึงแม้ว่าเทคโนโลยีของมอสจะจัดแบ่งออกเป็นแบบต่าง ๆ 3 แบบ คือ เทคโนโลยีแบบ nMOS แบบ pMOS และแบบ cMOS ซึ่งแต่ละแบบก็มีคุณสมบัตินิเศษเฉพาะแบบ อย่างไรก็ดีในตอนนี้เราจะได้ศึกษากันเฉพาะเทคโนโลยีแบบ nMOS เป็นอันดับแรก ทั้งนี้ก็เนื่องจากเหตุผลต่าง ๆ หลายประการคือ

1. เทคนิคการออกแบบไอซีโดยใช้เทคโนโลยีแบบ nMOS เป็นเทคนิคที่ง่ายสำหรับผู้เริ่มต้นศึกษา และเป็นเทคนิคพื้นฐานที่จะนำไปสู่เทคนิคที่มีความสลับซับซ้อนมากขึ้น เช่น

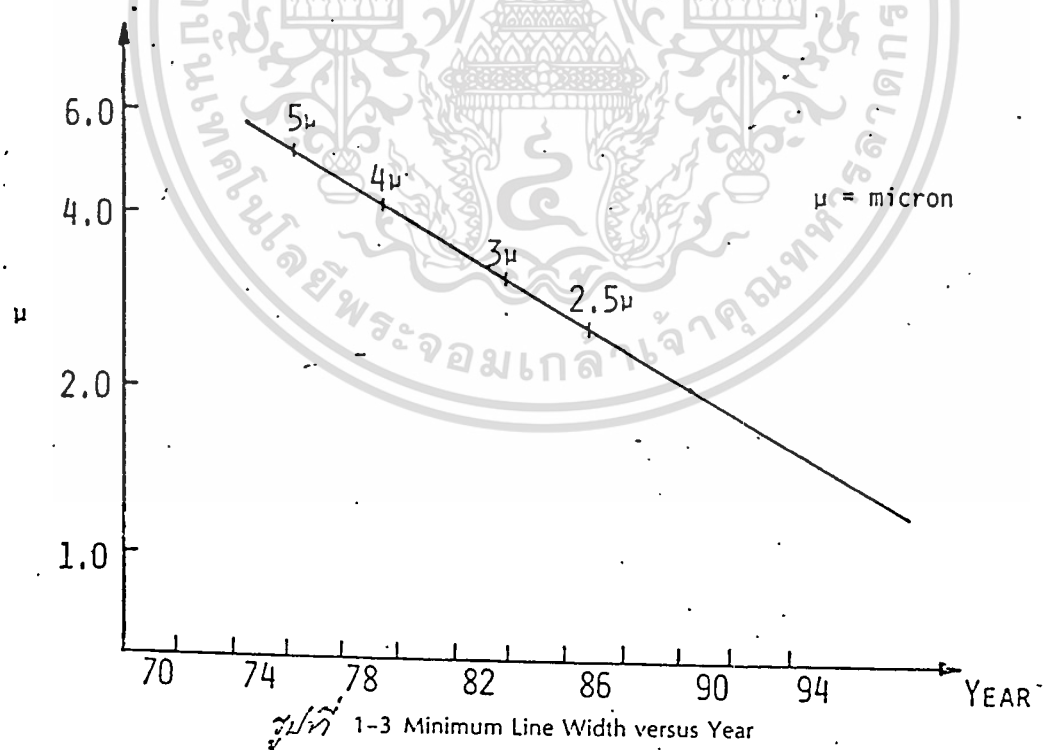
เอกสารนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ทำซ้ำ ดัดแปลง เผยแพร่ หรือนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เทคโนโลยีของ cMOS เป็นลำดับต่อไป

2. เทคโนโลยีแบบ nMOS จัดได้ว่าเป็นเทคโนโลยีมาตราฐานแบบหนึ่งสำหรับการสร้างวงจรรวม

3. เทคโนโลยีแบบ nMOS สามารถสร้างวงจรรวมที่มีคุณภาพทั้งด้านความเร็วของการทำงาน และการเพิ่มความหนาแน่นของชิ้นส่วนที่บรรจุในชิพ จึงเหมาะแก่งานของวงจรรวมขนาดใหญ่มาก (VLSI)

เทคโนโลยีของ nMOS VLSI จึงเป็นเทคโนโลยีที่มุ่งหวังจะให้ผู้ออกแบบวงจรสามารถออกแบบได้โดยง่าย และคล่องตัว สามารถออกแบบชิพของวงจรรวมขนาดใหญ่มากหรือวีแอลเอสไอ (VLSI) ตามที่ต้องการได้ด้วยตนเอง ทั้งยังสามารถที่จะลดขนาดของวงจรลงได้เป็นอย่างมาก เพื่อความสะดวกต่อการใช้งานวงจรรวมที่มีขายในท้องตลาดได้รับการพัฒนามาโดยตลอด โดยที่ขนาดชิ้นส่วนหรือตัวทรานซิสเตอร์ในชิพมีขนาดเล็ก ๆ เพื่อเพิ่มจำนวนชิ้นส่วนภายในชิพให้มากขึ้นนั่นเอง ดังแสดงในรูปที่ 1.3



รูปที่ 1-3 Minimum Line Width versus Year

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1 ประวัติความเป็นมา

ในเวลาไม่กี่ปีที่ผ่านมานี้ การใช้เทคโนโลยีของทรานซิสเตอร์แบบมอส(MOS : Metal Oxide Silicon) ชนิดคอมพลีเมนทารี่หรือที่เรียกย่อๆว่าซีมอส(CMOS) ในการสร้างวงจรรวมหรือไอซีนั้นนับวันจะยิ่งมีความสำคัญมากขึ้น เทคโนโลยีการสร้างวงจรรวมโดยใช้ซีมอส(CMOS) นั้นไม่ใช่เทคโนโลยีใหม่ ซึ่งที่จริงหลักการพื้นฐานการทำงานของทรานซิสเตอร์แบบมอสเฟ็ท(MOSFET) ได้ถูกค้นพบโดย J.Lilienfeld ตั้งแต่ปี ค.ศ.1925 และรูปแบบโครงสร้างของทรานซิสเตอร์แบบมอสเฟ็ทก็ถูกปรับปรุงและพัฒนาให้เหมือนกับปัจจุบันโดย O. Heil ตั้งแต่ปี ค.ศ.1935 แล้วนอกจากนี้การทดลองการทำงานของทรานซิสเตอร์แบบมอสเฟ็ทในระยะเวลานั้น ยังทำให้เราค้นพบทรานซิสเตอร์แบบไบโพล่าร์(bipolar transistor)อีกด้วย ซึ่งการค้นพบไบโพล่าร์ทรานซิสเตอร์นี้ทำให้ความสนใจในตัวทรานซิสเตอร์แบบมอสเฟ็ทมีน้อยลง จนกระทั่งในราวปี ค.ศ.196Ø ได้มีการค้นพบขบวนการทำซิลิคอนแบบพลาน่าร์(Silicon Planar Process) ทำให้อุปกรณ์ประเภททรานซิสเตอร์แบบมอสเฟ็ทได้ถูกสนใจขึ้นอีกครั้งหนึ่ง และได้ผลิตออกมาในทางการค้าราวๆปี ค.ศ.1967

ในขณะนั้น ทรานซิสเตอร์ชนิดพี(p-type transistor) และชนิดเอ็น(n-type transistor) ได้ใช้กันอย่างแพร่หลาย ซึ่งถ้าเรานำทรานซิสเตอร์ทั้งชนิดพีและชนิดเอ็นดังกล่าวมาสร้างบนฐานรองหรือซับสเตรท(Substrate)เดียวกัน จะทำให้ได้อุปกรณ์สารกึ่งตัวนำที่กินพลังงานต่ำมาก ซึ่งเทคโนโลยีการสร้างทรานซิสเตอร์ทั้งสองชนิดบนซับสเตทเดียวกันนี้ก็เป็นวิธีต้นแบบในการสร้างซีมอส ดังนั้นการสร้างวงจรรวมหรือไอซี โดยใช้เทคโนโลยีแบบซีมอสนับวันจะยิ่งมีความสำคัญมากขึ้นเพราะจะทำให้วงจรรวมนั้นๆกินพลังงานต่ำทำให้ประหยัด โดยเฉพาะในการออกแบบวงจรรวมขนาดใหญ่มากหรือที่เรียกว่าระดับวีแอลเอสไอ (VLSI: Very Large Scale Integrated Circuit)

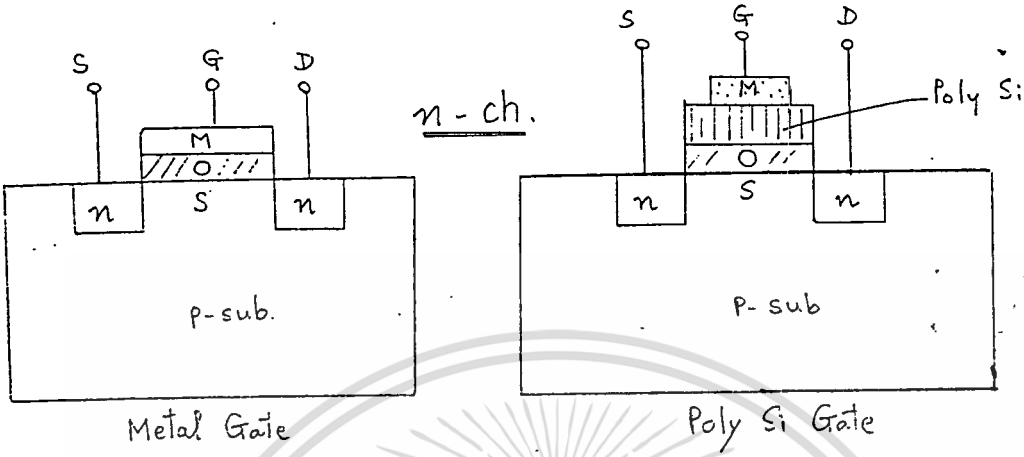
1.2 ทรานซิสเตอร์แบบมอส(MOS Transistor)

โครงสร้างของทรานซิสเตอร์แบบมอส(Metal-Oxide-Silicon transistor) นั้นจะแบ่งออกเป็นหลายชั้นอันได้แก่ชั้นของตัวนำ ชั้นของฉนวนและสารที่ใช้สร้างทรานซิสเตอร์ โดยทรานซิสเตอร์แบบมอสนี้จะแบ่งได้เป็น 2 ชนิดคือ

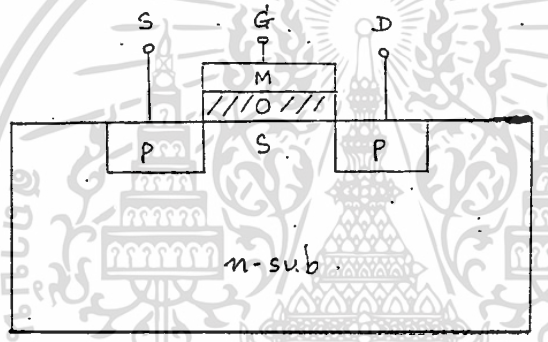
1.2.1 ทรานซิสเตอร์แบบมอสชนิดเอ็นแชนแนล (n-ch MOS FET)

มักนิยมเขียนย่อๆว่า nMOS FET หรือ nMOS T มีลักษณะโครงสร้างดังแสดงในรูปที่ 2.1 โดยที่ส่วนซอส (Source) และเดรน(Drain) เป็นสารกึ่งตัวนำชนิดเอ็น(n-type) ซึ่งถูกสร้างขึ้นบนฐาน (substrate) ของสารกึ่งตัวนำชนิดพี (p-type) ระหว่างส่วนซอสและเดรนจะมีโครงสร้างของมอส (MOS: ย่อมาจาก Metal Oxide Semiconductor) กั้นอยู่ซึ่งโดยทั่วไปชั้นโลหะอาจเป็นอะลูมิเนียมซึ่งอยู่บนชั้นของซิลิกอนไดออกไซด์ จะทำหน้าที่เป็นส่วนเกท (gate) หรือบางครั้งส่วนเกทอาจเป็นชั้นผลึกหลายรูป (poly crystal) ของซิลิกอนก็ได้ โดยเฉพาะโครงสร้างของวีแอลเอสไอมักจะเป็นแบบที่มีเกทเป็นชั้นโพลี่ซิลิ

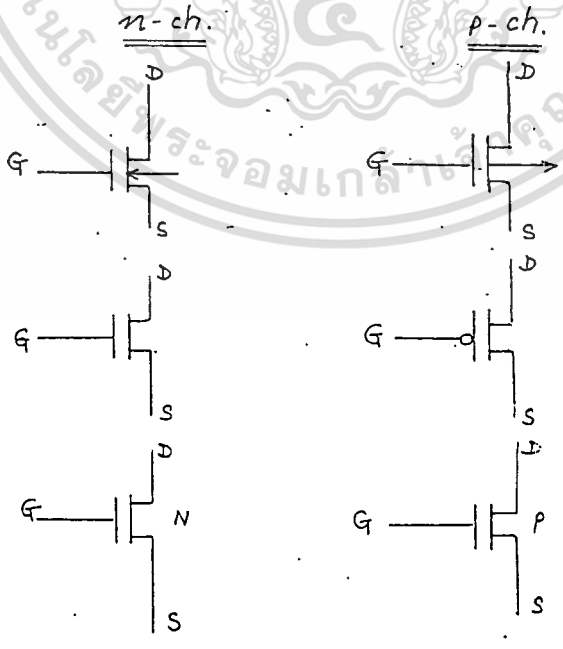
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.1.



รูปที่ 2.2.



รูปที่ 2.3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กอน กระแสที่ไหลในทรานซิสเตอร์แบบนี้เป็นกระแสของอิเล็กตรอนอิสระ ซึ่งเป็นประจุไฟฟ้าลบ

1.2.2 ทรานซิสเตอร์แบบมอสชนิดพีแชนแนล (p-ch MOS FET)

มักนิยมเขียนย่อๆว่า pMOS FET หรือ pMOS T มีลักษณะโครงสร้างดังแสดงในรูปที่ 2.2 โดยที่ส่วนของซอสและเดรนเป็นสารกึ่งตัวนำชนิดพี(p-type) ซึ่งถูกสร้างขึ้นบนฐานรอง(substrate) ของสารกึ่งตัวนำชนิดเอ็น (n-type) และมีโครงสร้างของมอส เป็นส่วนเกทอยู่ระหว่างซอสกับเดรน กระแสที่ไหลในทรานซิสเตอร์แบบนี้เป็นกระแสของโฮล ซึ่งเป็นประจุไฟฟ้าบวก

จากรูปแบบของทรานซิสเตอร์แบบมอสทั้งสองชนิดแสดงดังในรูปที่ 1.1 โดยทรานซิสเตอร์ทั้งสองชนิดจะมีขาซึ่งเป็นเลวดตัวนำไฟฟ้าต่อออก 3 ขา คือขาเกท(gate) ขาเดรน (drain) และขาซอส(source) โดยขาเกทจะควบคุมปริมาณกระแสไฟฟ้าที่ไหลระหว่างขาซอสอีกทีหนึ่ง

1.3 ทรานซิสเตอร์แบบมอสที่ทำงานในลักษณะสวิทช์

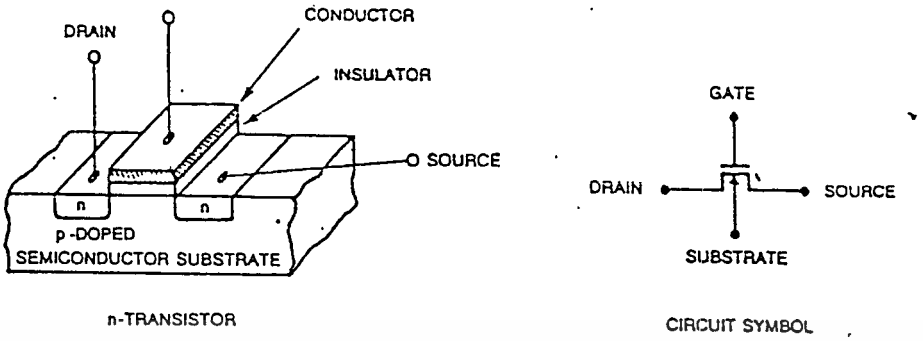
เนื่องจากขาเกทจะควบคุมปริมาณกระแสที่ไหลระหว่างขาเดรนและขาซอส ซึ่งการทำงานในลักษณะนี้จึงเหมือนกับว่าทรานซิสเตอร์แบบมอสนี้สามารถทำงานคล้ายกับลักษณะของสวิทช์ ปิด/เปิด ได้ ซึ่งเราจะกำหนดให้ลอจิก "1" แทนระดับโวลเตจที่มีค่าสูง(high voltage) ซึ่งโดยทั่วๆไปมักกำหนดให้มีค่า 5 โวลท์และเรียกว่าเพาว์เวอร์(power) หรือ Vdd ส่วนลอจิก "Ø" จะแทนระดับโวลเตจที่มีค่าต่ำ ซึ่งโดยทั่วไปมักกำหนดให้มีค่าศูนย์โวลท์ และเราจะเรียกว่า กราวด์(Ground)หรือ Vss

ทรานซิสเตอร์แบบมอสชนิดเอ็นแชนแนล(ต่อไปจะเรียกว่าเอ็น-มอส) ซึ่งทำงานในลักษณะสวิทช์(ต่อไปนี้จะเรียกว่า N-switch)แสดงดังรูป 1.2a โดยจากรูป ขาเกทถูกแทนด้วย S (S:ย่อจาก signal)และขาเดรนถูกแทนด้วย a และขาซอสถูกแทนด้วย b ใน N-switch นี้ สวิทช์จะปิดหรืออยู่ในสภาวะ "ON" เมื่อขาเดรนและขาซอส ต่อถึงกันซึ่งจะเกิดขึ้นได้ก็ต่อเมื่อที่ขาเกทมีสภาวะลอจิกเป็น "1" และ N-switch นี้จะเปิดหรือ "OFF" ก็ต่อเมื่อขาเดรนและขาซอสไม่ได้ต่อถึงกันซึ่งจะเกิดขึ้นได้ก็ต่อเมื่อที่ขาเกทมีสภาวะลอจิกเป็น "Ø" ซึ่งเงื่อนไขเหล่านี้แสดงในภาพ 1.2b

N-switch นี้ จะทำหน้าที่เป็นสวิทช์ได้เกือบสมบูรณ์เมื่อขนาดสัญญาณระดับต่ำหรือศูนย์โวลท์ได้ถูกส่งผ่านจากอินพุทไปยังเอาท์พุท (หรือจาก a ไป b) แต่อย่างไรก็ตาม N-switch จะทำหน้าที่เป็นสวิทช์ที่ยังไม่ค่อยดีนัก ถ้าขนาดสัญญาณระดับสูงหรือลอจิก"1" ได้ถูกส่งผ่าน N-switch นี้ เพราะจะทำให้ที่เอาท์พุทมีระดับของสัญญาณตกลงไปเล็กน้อย อันเนื่องมาจากคุณสมบัติของ เอ็น-มอส ซึ่งคุณสมบัติดังกล่าวทั้งหมดของ N-switch นี้ แสดงดังในรูป 1.2 c ส่วนทรานซิสเตอร์แบบมอสชนิด พี แชนแนล (ต่อไปจะเรียกว่า พี-มอส) เมื่อนำมาทำงานในลักษณะของสวิทช์ (ซึ่งต่อไปจะเรียกว่า P-switch)นั้น ก็แสดง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

023228



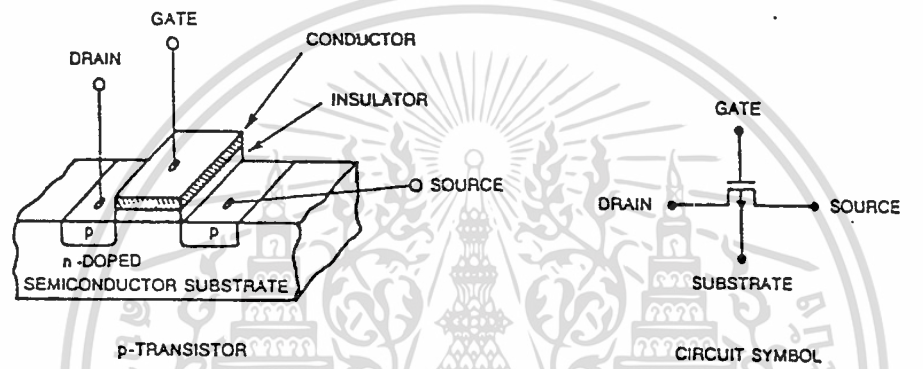


FIGURE 1.1. MOS transistor physical structures

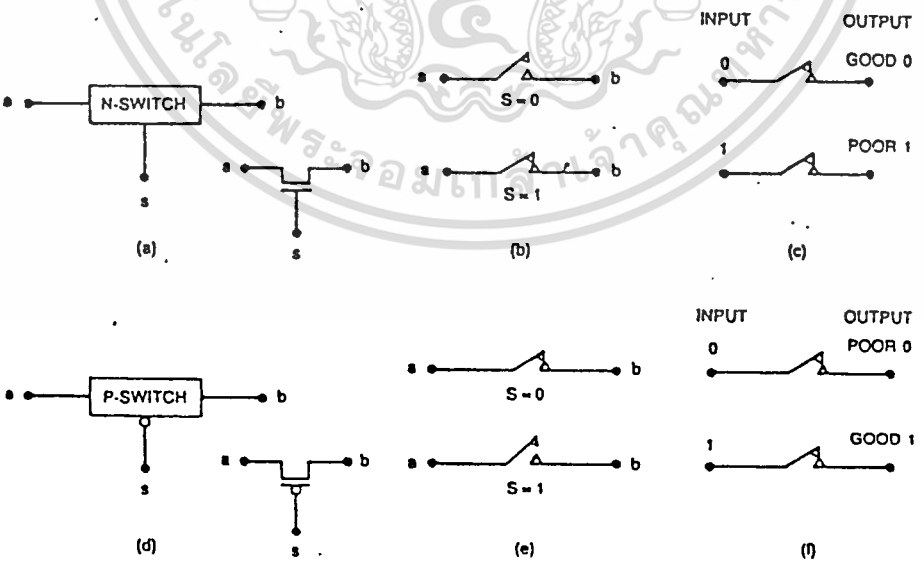


FIGURE 1.2. MOS transistors viewed as switches

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังในรูป 1.2 d จะเห็นได้ว่า P-switch มีคุณสมบัติตรงกันข้ามกับ N-switch กล่าวคือ P-switch จะปิดหรือ"on" เมื่อมีลอจิก"Ø" ถูกป้อนเข้าที่ขาเกท และ P-switch จะเปิดหรือ"off" เมื่อมีลอจิก"1" ถูกป้อนเข้าที่ขาเกท ดังแสดงในรูป 1.2 e และนอกจากนี้ P-switch จะทำหน้าที่เป็นสวิทช์ได้เกือบสมบูรณ์ เมื่อขนาดของสัญญาณระดับสูงหรือลอจิก "1" ถูกส่งผ่านจากอินพุทไปยังเอาท์พุท(หรือจาก a ไป b) และจะทำหน้าที่เป็นสวิทช์ที่ไม่ค่อยดีนักเมื่อขนาดสัญญาณระดับต่ำ หรือลอจิก"Ø" ถูกส่งผ่านจากอินพุทไปยังเอาท์พุท ซึ่งแสดงดังในรูป 1.2 f

ถ้าเรานำเอา N-switch และ P-switch มาต่อขนานกันดังในรูป 1.3 เราจะได้สวิทช์ที่มีลักษณะการทำงานที่สมบูรณ์ ทั้งลอจิก"1"และลอจิก"Ø" ซึ่งเราจะเรียกสวิทช์ที่ต่อลักษณะดังรูป 1.3 นี้ว่า คอมพลีเมนทารี่สวิทช์ (Complementary switch) หรือ C-Switch ส่วนสัญญาณควบคุมของ C-switch นั้น ที่ N-switch จะถูกควบคุมด้วย s ส่วนที่ P-switch จะถูกควบคุมด้วย s-bar ดังแสดงในรูป 1.3

1.4 ซีมอสลอจิก(CMOS logic)

1.4.1 อินเวอร์ทเตอร์(the inverter)

ตารางที่ 1.1 นี้ แสดงสถานะทางลอจิกของอินเวอร์ทเตอร์ ซึ่งถ้าสังเกตจากตารางจะพบว่า เมื่ออินพุทเป็นลอจิก "Ø" เอาท์พุทจะเป็นลอจิก "1" ซึ่งลักษณะการทำงานของอินเวอร์ทเตอร์นี้ทำให้เราใช้ P-switch มาต่อกับลอจิก 1 (หรือ Vdd) และดึงปลายอีกข้างหนึ่งของ P-switch มาเป็นเอาท์พุท ดังแสดงในรูป 1.4 a และจากตารางที่ 1.1 เมื่อไหร่ที่มีลอจิก 1 ที่อินพุท ก็จะเกิดลอจิก Ø ที่เอาท์พุท ซึ่งการทำงานของอินเวอร์ทเตอร์ในลักษณะนี้ทำให้เราใช้ N-switch มาต่อกับลอจิก Ø (หรือ Vss) และเอาท์พุท ซึ่งจะได้รูปวงจรของอินเวอร์ทเตอร์ที่ใช้ P-switch และ N-switch มาสร้างได้อย่างสมบูรณ์ดังแสดงในรูป 1.4(b) ซึ่งจะได้ ลักษณะฟังก์ชันการทำงานเหมือนอินเวอร์ทเตอร์ในตาราง 1.1 ทุกประการ ส่วนรูปสัญญลักษณ์ของวงจรอินเวอร์ทเตอร์นั้นแสดงไว้ในรูป 1.4 (c)

1.4.2 คอมบิเนชั่นลอจิก (combination logic)

ถ้า N-switch 2 ตัวนำมาต่ออนุกรมกันดังในรูป 1.5a จะทำให้การทำงานของสวิทช์ที่ประกอบขึ้นมาใหม่ในรูป 1.5a นี้ ถ้าจะปิดหรือ "on" ก็ต้อง "on" N-switch ทั้งสองสวิทช์พร้อมกัน ซึ่งทำให้สวิทช์ที่ต่อกันดังในรูป 1.5a นี้ทำงานเหมือนกับฟังก์ชันการทำงานของแอนเกท (AND gate) ทำนองเดียวกัน ถ้าใช้ P-switch มาต่ออนุกรมกันดังในรูป 1.5b ก็จะทำให้สวิทช์ที่เกิดขึ้นใหม่นี้ on ก็ต่อเมื่อ P-switch ทั้งสอง on พร้อมกันเช่นกัน(โดย P-switch จะ on ได้เมื่ออินพุททั้งสองสวิทช์ถูกเซ็ทให้เป็นลอจิก Ø)

และถ้าเรานำเอา N-switch 2 ตัวมาต่อขนานกันดังแสดงในรูป 1.5c จะทำให้ได้การทำงานของสวิทช์ที่ประกอบขึ้นมาใหม่นี้จะปิดหรือ on เมื่อ N-switch ตัวใดตัวหนึ่งในรูป 1.5c นั้น on (คือให้อินพุทของ N-switch ตัวใดตัวหนึ่งเป็นลอจิก 1)ซึ่งทำให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

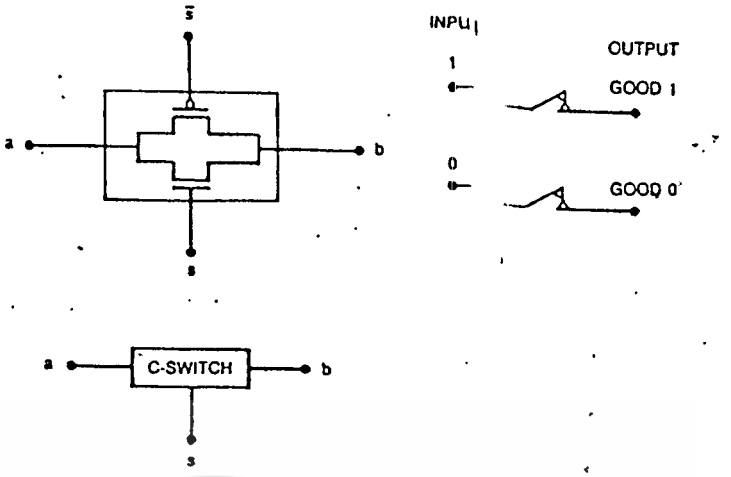


FIGURE 1.3. A complementary switch

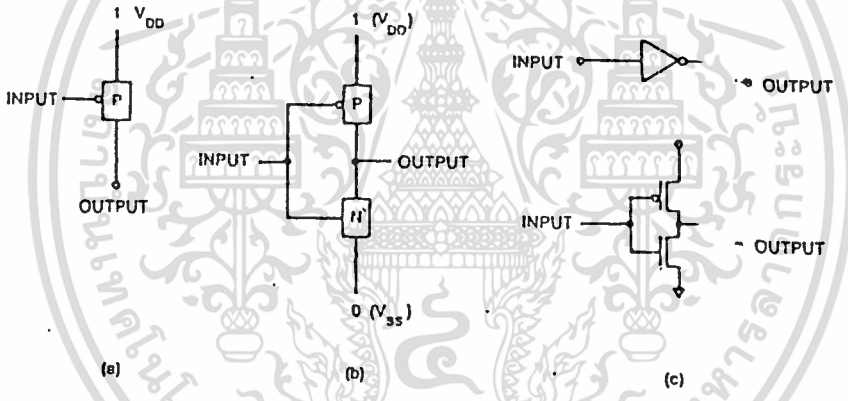


FIGURE 1.4. Construction of a CMOS inverter

TABLE 1.1. Inverter truth table

INPUT	OUTPUT
0	1
1	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

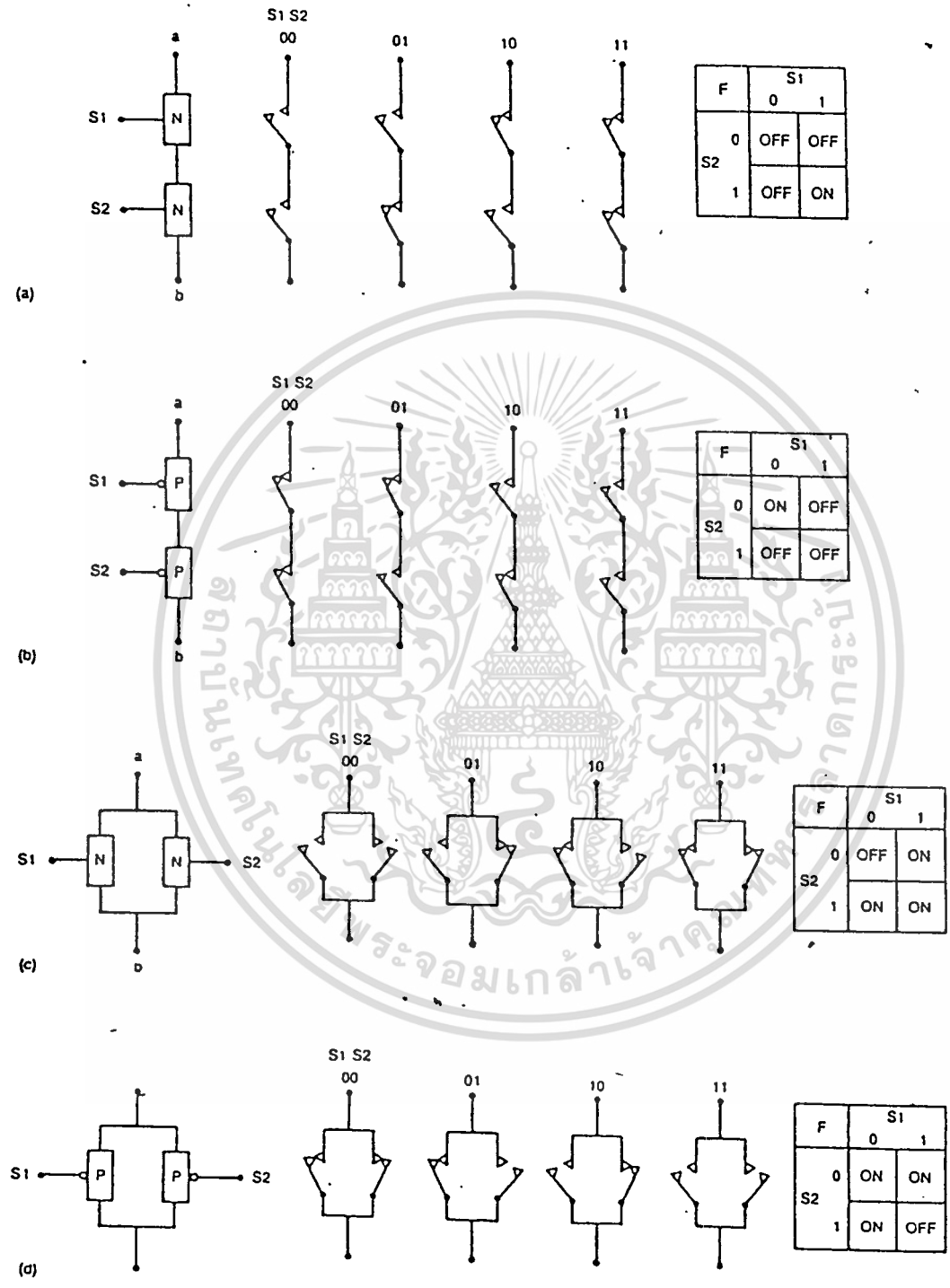


FIGURE 1.5. Series and parallel CMOS switch combinations

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สวิทช์ที่ต่อกันดังในรูป 1.5c นี้ทำงานเหมือนกับฟังก์ชันการทำงานของออร์เกท (OR gate) ส่วนสวิทช์ในรูป 1.5d นั้นก็เช่นเดียวกันเพียงแต่ใช้ P-switch แทนและสวิทช์ในรูป 1.5d นี้จะ on ก็ต่อเมื่อ P-switch ตัวใดตัวหนึ่ง on (คือให้อินพุทของ P-switch ตัวใดตัวหนึ่งเป็นลอจิก Ø)

จากลักษณะการทำงานของสวิทช์ในรูป 1.5 ทั้งหมดนี้ จะทำให้เราสามารถนำไปสร้างเกทชนิดอื่นๆได้ดังจะกล่าวต่อไป

1.4.3 แนนเกท (NAND GATE)

รูปที่ 1.6 แสดงถึงโครงสร้างของแนนเกทแบบสองอินพุทซึ่งใช้ลักษณะโครงสร้างแบบสวิทช์ที่แสดงดังในรูป 1.5a และ 1.5d ซึ่งโครงสร้างดังกล่าวนี้ได้จากการพิจารณาแผนภาพคาร์นอร์(Karnaugh map) ดังแสดงในรูป 1.6a เทอมลอจิก Ø ในรูปที่ 1.6a นั้นแสดงถึงโครงสร้างของแอนเกท(A.B) ส่วนเทอมลอจิก 1 แสดงถึง Abar + Bbar ซึ่งก็ได้จากการนำเอา P-switch มาต่อขนานกันเป็นโครงสร้างแบบออร์เกท ส่วนสัญญาณที่ถูกคอมพลีเมนท์(Complemented) จะได้จากคุณสมบัติของพีมอส ซึ่งตารางแสดงค่าความจริง (truth table) และสถานะของสวิทช์แสดงในตารางที่ 1.2 ซึ่งจะเห็นได้ว่ามีการทำงานเหมือนแนนเกท

จากตัวอย่างการสร้างแนนเกทนี้จะได้ข้อสังเกต 2 ประการคือ ข้อแรก ทุกอินพุท (ในรูปที่ 1.6a ก็คือ A และ B) จะมีเส้นทางเดิน(path) จากลอจิก 1 หรือลอจิก Ø (คือ Vdd หรือ Vss ของวงจรจ่ายไฟ) ไปสู่เอาท์พุทได้เสมอ ส่วนข้อสอง ลอจิก 1 (หรือ Vdd) กับลอจิก Ø หรือ Vss จะไม่สามารถเดินทางมาชื่อตกันได้เลยไม่ว่าสถานะของอินพุทจะเป็นสถานะใด ซึ่งข้อสังเกตนี้เป็นผลทำให้ซีมอสกินพลังงานต่ำ ส่วนในรูป 1.6b และ 1.6c แสดงถึงวงจรแนนเกทแบบ 2 อินพุท

1.4.4 นอร์เกท (NOR-GATE)

วงจรนอร์เกทแบบ 2 อินพุทแสดงดังในรูปที่ 1.7a ซึ่งจะประกอบไปด้วยส่วนของสวิทช์ที่แสดงดังในรูปที่ 1.5b และ 1.5c จะสังเกตเห็นว่าการรวมกันของ N-switch และ P-switch จะมีลักษณะที่เป็นคู่กันกับวงจรแนนเกทที่แสดงในรูป 1.6a ส่วนตารางแสดงค่าความจริงแสดงในตารางที่ 1.3 ส่วนในรูปที่ 1.7b และ 1.7c แสดงถึงรูปวงจรนอร์เกทที่ใช้ซีมอสแบบ 2 อินพุทและ n อินพุทตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

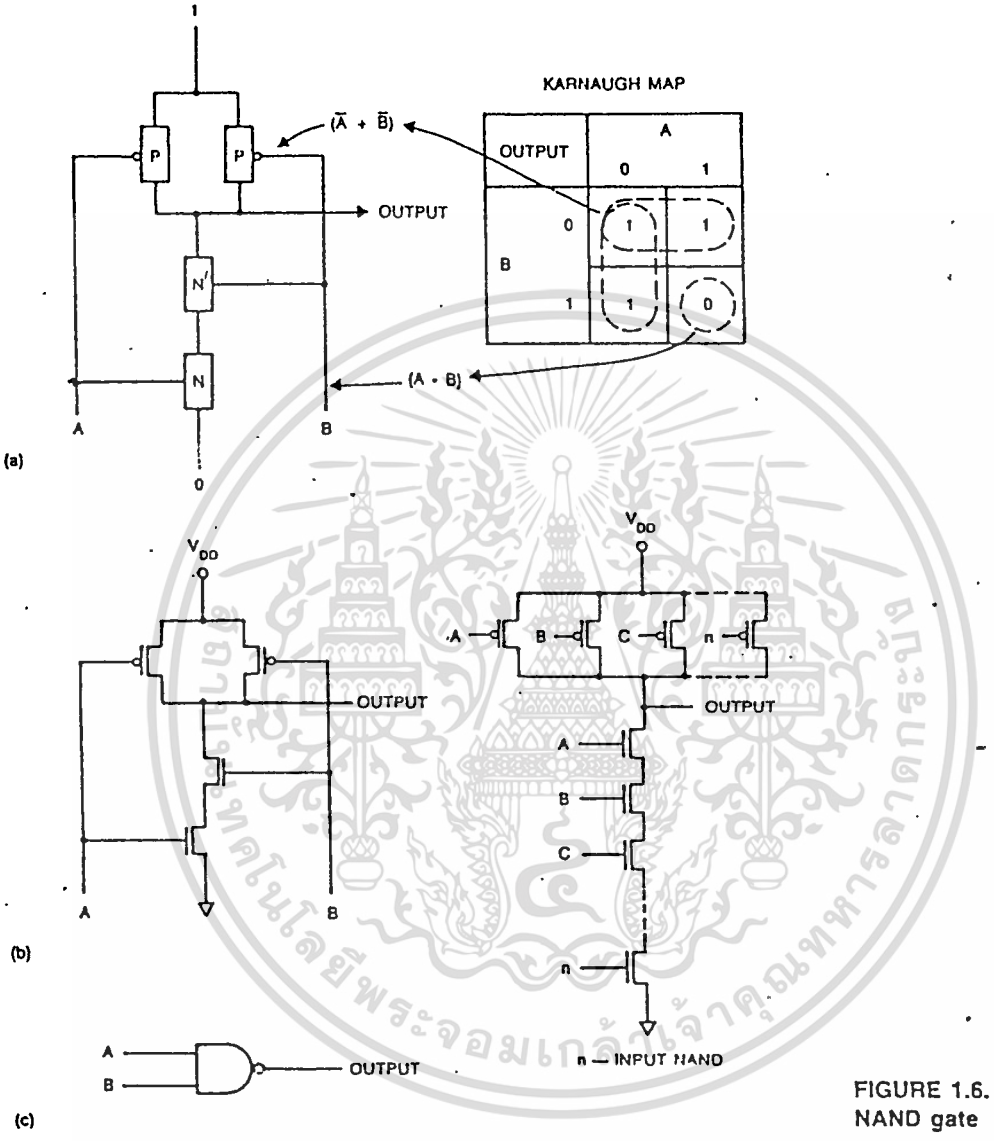
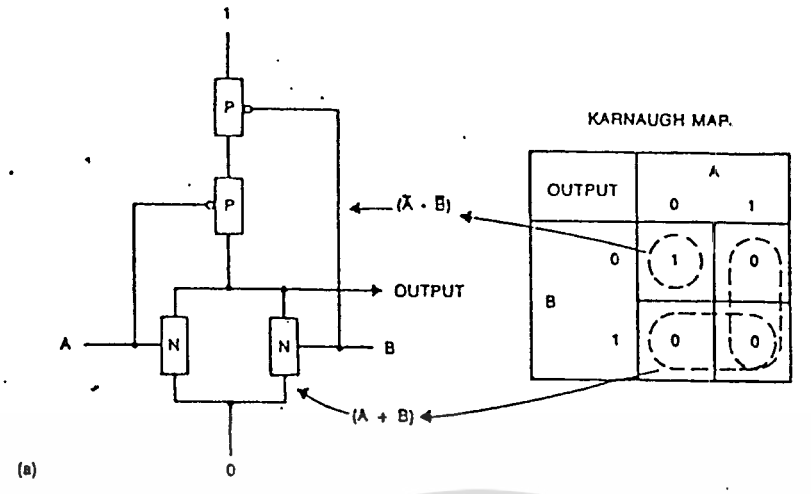


FIGURE 1.6. A CMOS NAND gate

TABLE 1.2. NAND gate truth table

A INPUT	B INPUT	A N-SWITCH	B N-SWITCH	A P-SWITCH	B P-SWITCH	OUTPUT
0	0	OFF	OFF	ON	ON	1
0	1	OFF	ON	ON	OFF	1
1	0	ON	OFF	ON	OFF	1
1	1	ON	ON	OFF	OFF	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



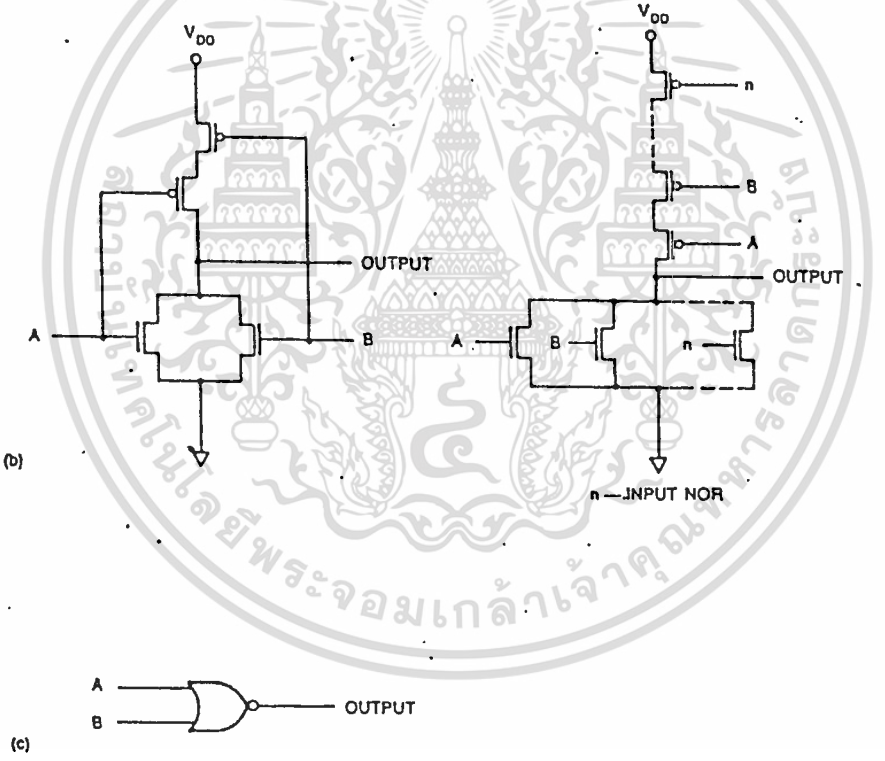


FIGURE 1.7. A CMOS NOR gate

TABLE 1.3. NOR gate truth table

A INPUT	B INPUT	A N-SWITCH	B N-SWITCH	A P-SWITCH	B P-SWITCH	OUTPUT
0	0	OFF	OFF	ON	ON	1
0	1	OFF	ON	ON	OFF	0
1	0	ON	OFF	OFF	ON	0
1	1	ON	ON	OFF	OFF	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2 วงจรนับความถี่(FREQUENCY COUNTER)

วงจรนับความถี่ที่ได้ออกแบบสร้างขึ้นนี้ มีคุณสมบัติที่สามารถนับความถี่ของสัญญาณรูปคลื่นสี่เหลี่ยม(square wave)ที่ป้อนเข้ามา แล้วแสดงผลของความถี่ที่นับได้ออกทางแอลอีดี 7 เซ็คเม็นต์(LED 7 segment) 8 ตัว เป็นเลขฐานสิบ ซึ่งทำให้สะดวกต่อการอ่านค่าของความถี่ของสัญญาณที่จะนับ วงจรนับความถี่นี้มีความสามารถที่จะนับความถี่ได้ถึง 10 เมกกะเฮิร์ท โดยการนำวงจรนี้ไปใช้งานก็เพียงใช้วงจรที่ไม่ยุ่งยากต่อช่วยอีกเล็กน้อยเท่านั้น

2.1 ส่วนประกอบของวงจรนับความถี่

ส่วนประกอบที่สำคัญๆของวงจรนับความถี่พอจะอธิบายได้ดังต่อไปนี้

1.1 วงจรนับสิบ (BCD counter)

วงจรส่วนนี้จะทำหน้าที่หารความถี่ของสัญญาณอินพุทที่เข้ามาทุกๆ 10 เฮิร์ท และจะส่งค่าเอาท์พุทออกมาเป็นระหัสบีซีดี (BCD:binary to decimal) พร้อมทั้งส่งสัญญาณตัวทด (carry output) ออกมาเป็นพัลส์ (pulse) ด้วยทุกๆครั้งที่มีการหารสิบความถี่

1.2 วงจรเก็บข้อมูลขนาด 4 บิต (4 bit latch)

วงจรนี้จะทำหน้าที่เก็บข้อมูลที่ได้จากวงจรนับสิบทั้งสี่บิต โดยจะเริ่มทำการเก็บข้อมูลทุกๆครั้งที่มีการทริก (trig) สัญญาณนาฬิกา (clock) ที่ขอบขาขึ้น และจะค้างข้อมูลหรือแลทช์ข้อมูล (latch data) นั้นไว้จนกว่าสัญญาณนาฬิกาจะถูกทริกที่ขอบขาขึ้นอีกครั้ง

1.3 วงจรทรานสมิทชันเกท (transmittion gate)

วงจรส่วนนี้ทำหน้าที่เสมือนกับเป็นสวิทช์คอยเปิด/ปิด ให้ข้อมูลที่เก็บไว้ในวงจรเก็บข้อมูลขนาดสี่บิต ส่งข้อมูลไปยังสายส่งข้อมูล โดยการที่จะส่งข้อมูลไปได้นั้นจะมีสัญญาณควบคุมการส่งข้อมูลมาคอยควบคุมที่วงจรทรานสมิทชันเกทนี้อีกทีหนึ่ง

1.4 วงจรมัลติเพล็กเซอร์ (multiplexer)

วงจรส่วนนี้จะทำหน้าที่มัลติเพล็ก (multiplex) สัญญาณที่ป้อนเข้ามาจากภายนอกตัวไอซีให้มีเอาท์พุทออกมา 8 ค่า โดยที่เอาท์พุทของมัลติเพล็กเซอร์ทั้ง 8 ค่านี้จะนำไปเป็นสัญญาณควบคุมวงจรทรานสมิทชันเกทในหัวข้อที่ 1.3 และนำออกไปใช้ขับแอลอีดี 7 เซ็กเมนต์ (LED 7 segment) อีกทีหนึ่ง ซึ่งจะอธิบายในรายละเอียดอีกครั้งในหัวข้อการทำงานของวงจร

1.5 วงจรถอดระหัสบีซีดีให้กับแอลอีดี 7 เซ็กเมนต์ (BCD 7 segment decoder)

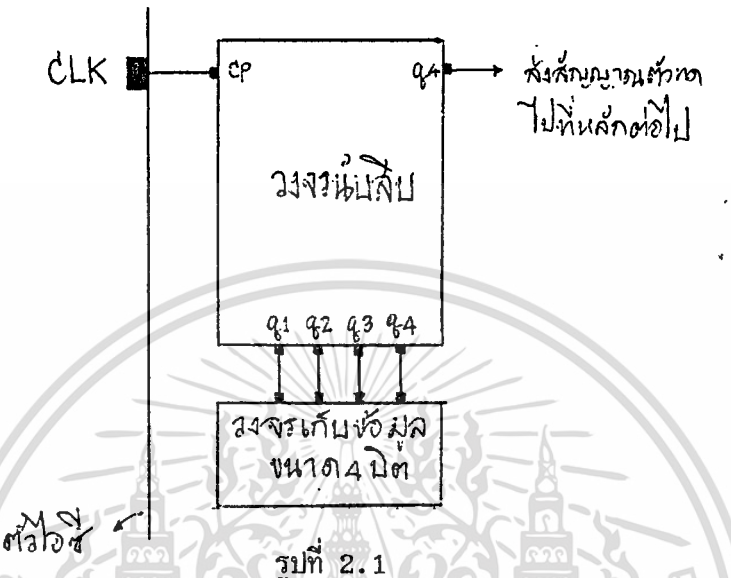
วงจรส่วนนี้จะทำหน้าที่ถอดระหัสข้อมูลซึ่งเป็นระหัสบีซีดีออกมา เพื่อเอาไปใช้ขับแอลอีดี 7 เซ็กเมนต์ทั้ง 8 ตัว ให้แสดงผลออกมาเป็นเลขฐานสิบ

2.2 การทำงานของวงจร

การทำงานของวงจรจะเริ่มต้นจากการที่มีสัญญาณความถี่ ซึ่งเป็นสัญญาณรูปคลื่นสี่เหลี่ยม (square wave) ถูกป้อนเข้ามาที่ขา CLK ของไอซีโดยที่สัญญาณความถี่ดังกล่าวซึ่งเป็นอิน

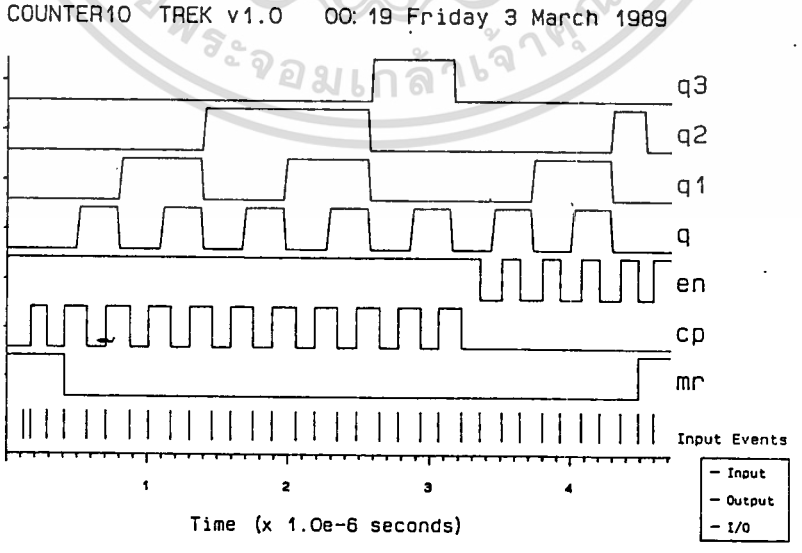
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พุทก็จะถูกป้อนผ่านขา CLK ของไอซีและเข้าที่ขา cp ของวงจรนับสิบหลักแรก วงจรนับสิบนี้ก็จะทำหน้าที่หารความถี่อินพุทที่เข้ามาสิบเท่า และเอาท์พุทของวงจรนับสิบก็จะออกมาเป็นระหัสบีซีดีส่งต่อไปยังวงจรเก็บข้อมูลขนาด 4 บิต (4 bit latch) ดังรูปที่ 2.1



รูปที่ 2.1

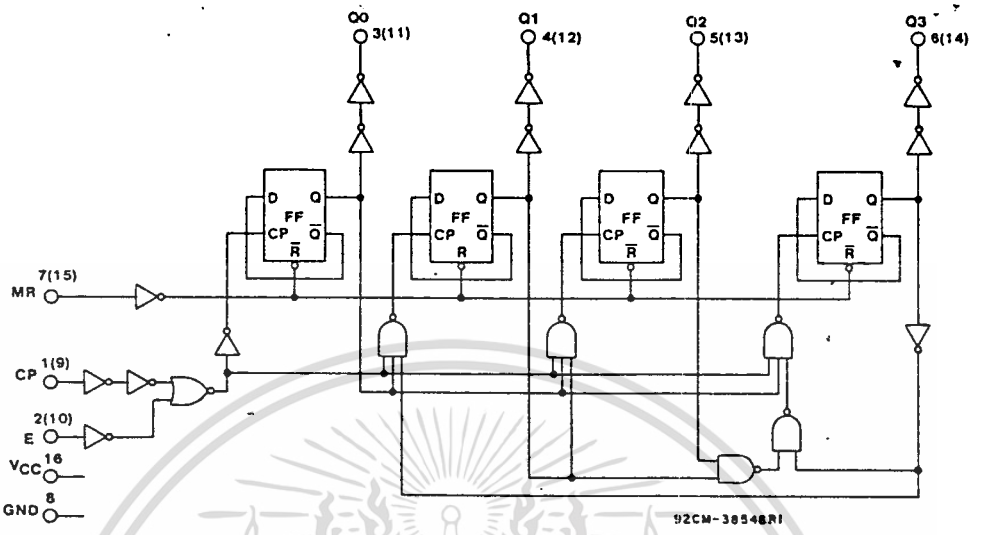
จากรูปที่ 2.1 จะเห็นได้ว่า q1,q2,q3 และ q4 เป็นเอาท์พุทของวงจรนับสิบ และถ้าความถี่ที่ป้อนเข้ามานั้นเกิดครบสิบลูกเมื่อไหร่ วงจรนับสิบก็จะส่งพัลล์ออกไปที่ขา q4 ข้างบนด้วย ซึ่งขา q4 ข้างบนนี้จะเป็นขาที่ส่งสัญญาณตัวทด (carry output) นั่นเอง ซึ่งจะเป็นสัญญาณอินพุทที่ส่งต่อให้วงจรนับสิบในหลักต่อไปทำการนับ โดยที่แผนภูมิเวลาการทำงานของวงจรนับสิบเป็นดังรูปที่ 2.2



รูปที่ 2.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

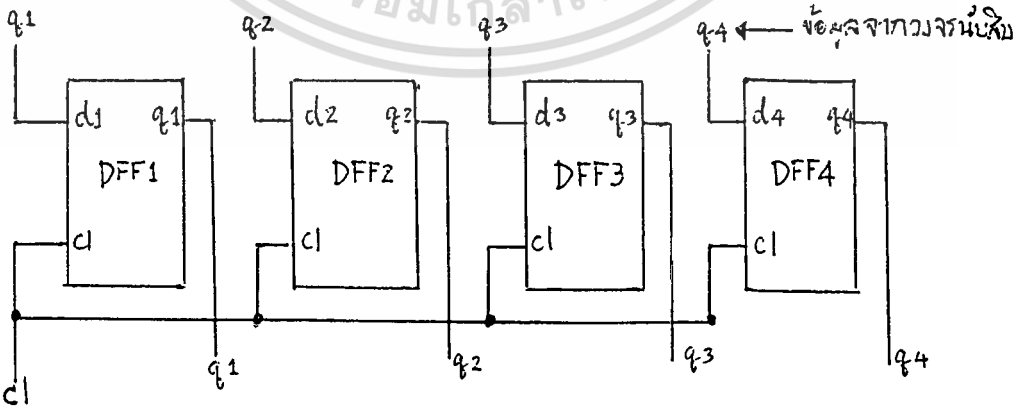
ส่วนรายละเอียดภายในของวงจรนับสิบเป็นดังรูปที่ 2.3



รูปที่ 2.3

ซึ่งจากรูปที่ 2.3 จะเห็นได้ว่าวงจรนับสิบนี้ประกอบด้วย ดี-ฟลิปฟลอป (D-flip flop) จำนวน 4 ตัว ในปริญญานิพนธ์นี้เราก็ได้สร้างวงจรนับสิบจากดี-ฟลิปฟลอปเหล่านี้ โดยดี-ฟลิปฟลอปแต่ละตัวที่สร้างขึ้นจะประกอบด้วยทรานซิสเตอร์จำนวน 24 ตัว ซึ่งเมื่อรวมเป็นวงจรนับสิบแล้วจะทำให้วงจรนับสิบแต่ละตัวมีจำนวนทรานซิสเตอร์ 152 ตัว

การทำงานในขั้นต่อมาของวงจรนับความถี่นี้ก็คือหลังจากที่วงจรนับสิบได้นับความถี่และให้เอาท์พุทออกมาเป็นระหัสบีซีดีพร้อมทั้งสัญญาณตัวทดแล้วข้อมูลบีซีดีดังกล่าวก็จะถูกส่งต่อไปให้กับวงจรเก็บข้อมูล 4 บิต ดังรูปที่ 2.1 ซึ่งภายในของวงจรเก็บข้อมูลขนาด 4 บิตนี้ ประกอบด้วย ดี-ฟลิปฟลอป 4 ตัวดังรูปที่ 2.4

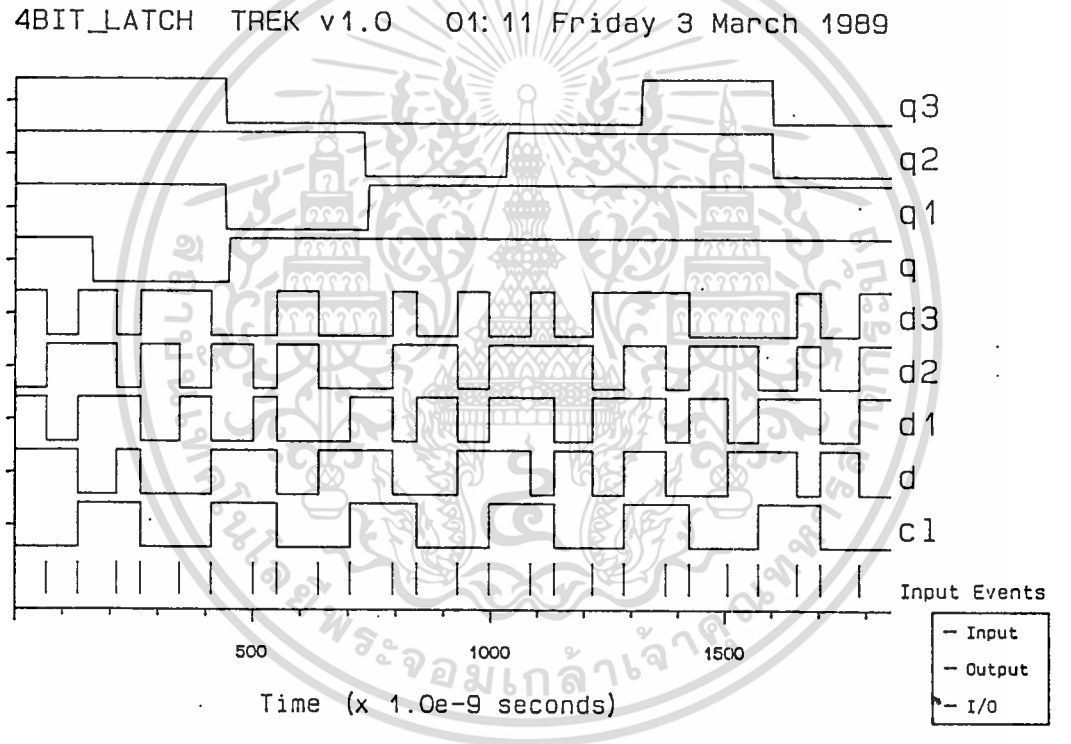


รูปที่ 2.4

ในส่วนของวงจรเก็บข้อมูลขนาด 4 บิตนั้นดี-ฟลิปฟลอปแต่ละตัวจะรับข้อมูลมาจากวงจรนับสิบโดยมีสัญญาณนาฬิกาควบคุมต่อถึงกันหมด กล่าวคือสัญญาณนาฬิกาจะควบคุมการเก็บข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

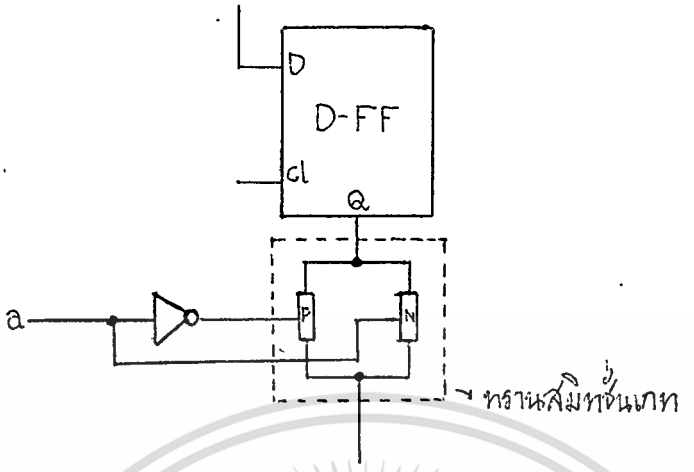
ไว้หรือปล่อยข้อมูลออกจากวงจรเก็บข้อมูลนี้ โดยในที่นี้ได้ออกแบบให้วงจรเก็บข้อมูลขนาด 4 บิต ถูกควบคุมการส่งข้อมูลโดยแอคทีฟระดับสูง (active high) เมื่อไรที่สัญญาณนาฬิกามีสถานะเปลี่ยนจากลอจิกศูนย์เป็นลอจิกหนึ่ง หรือกล่าวง่ายๆก็คือสัญญาณนาฬิกาถูกทริกที่ขาขึ้น (leading edge) ของสัญญาณแล้วจะทำให้วงจรเก็บข้อมูลขนาด 4 บิต จะดึงข้อมูลบีซีดีจากวงจรนับสิบขณะนั้นมาเก็บไว้ และจะค้างสถานะของข้อมูลบีซีดีนั้น (latch data) ไว้จนกว่าสัญญาณนาฬิกาจะถูกทริกที่ขาขึ้นใหม่อีกครั้งหนึ่ง ซึ่งการทำงานของวงจรเก็บข้อมูลขนาด 4 บิตนั้นมีแผนภูมิเวลาการทำงานแสดงไว้ดังรูปที่ 2.5 และขาสัญญาณนาฬิกาที่ควบคุมการแลทช์ข้อมูลนั้นก็คือขา cl นั่นเอง ซึ่งขา cl นี้จะไปต่อกับขา LE ภายนอกไอซีอีกทีหนึ่ง



รูปที่ 2.5

ข้อมูลบีซีดีที่ถูกแลทช์ (latch) หรือเก็บค้างสถานะไว้ในดี-ฟลิปฟลอปนั้นจะถูกส่งออกไปยังสายส่งข้อมูลอีกทีหนึ่งซึ่งสายส่งข้อมูลก็จะมีจำนวน 4 เส้น ข้อมูลบีซีดีดังกล่าวจะถูกส่งออกจากวงจรเก็บข้อมูลขนาด 4 บิตไปยังสายส่งได้ก็ต่อเมื่อมีสัญญาณมาควบคุมการส่งคอยควบคุมอยู่ ซึ่งสัญญาณควบคุมนี้ได้มาจากวงจรภาคมัลติเพล็กคอยควบคุมให้วงจรทรานสมิทชั่นเกทซึ่งต่ออยู่ที่เอาท์พุท (ขาQ) ของดีฟลิปฟลอปแต่ละตัวเปิด-ปิดส่งข้อมูลไปได้ซึ่งทั้งหมดนี้ได้แสดงไว้ในรูปที่ 2.6

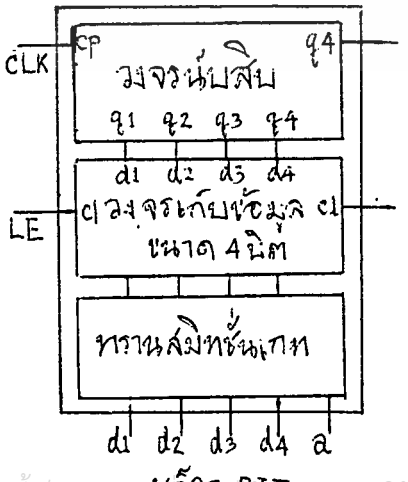
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



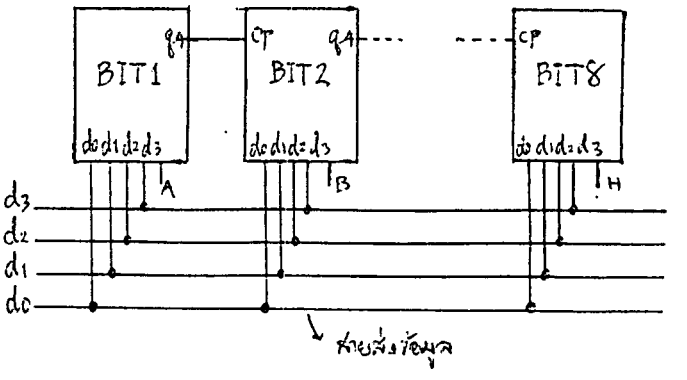
รูปที่ 2.6

จากรูปที่ 2.6 จะเห็นว่าสัญญาณควบคุมที่มาจากวงจรภาคมัลติเพล็กเซอร์ก็คือสัญญาณที่ขา a นั่นเอง เมื่อ a มีระดับสัญญาณเป็นลอจิกหนึ่ง ข้อมูลบีซีดีที่เก็บไว้ในดี-ฟลิปฟลอปแต่ละตัวก็จะถูกส่งไปยังสายส่งข้อมูล ในทำนองตรงกันข้ามถ้าเป็นลอจิกศูนย์ก็จะทำให้ดี-ฟลิปฟลอปทั้ง 4 ตัวของวงจรเก็บข้อมูลขนาด 4 บิตนั้นไม่ได้ต่อกับสายส่งข้อมูล เสมือนกับเปิดวงจร (open circuit) ไว้

ที่กล่าวมาทั้งหมดนี้เป็นการทำงานของวงจรนับสิบ วงจรเก็บข้อมูลขนาด 4 บิตและทรานสมิทชั่นเกทเพียงชุดเดียวเท่านั้น ซึ่งต่อร่วมถึงกันหมดดังรูปที่ 2.7 ซึ่งจะขอเรียกวงจรที่ต่อกันดังรูปที่ 2.7 นี้ว่า "BIT" ในปริญญานิพนธ์นี้ได้ออกแบบสร้างบล็อก BIT นี้ไว้ถึง 8 บล็อกด้วยกัน แต่ละบล็อกก็จะต่อถึงกันดังรูปที่ 2.8 ซึ่งจะเห็นได้ว่าบล็อก BIT ที่ 1 ก็จะส่งสัญญาณตัวทด (carry output) ของมันให้เป็นอินพุทของบล็อก BIT ที่ 2 และบล็อก BIT ที่ 2 ก็ต่อให้บล็อก BIT ที่ 3 เช่นนี้เรื่อยไปจนถึงบล็อก BIT ที่ 8



รูปที่ 2.7

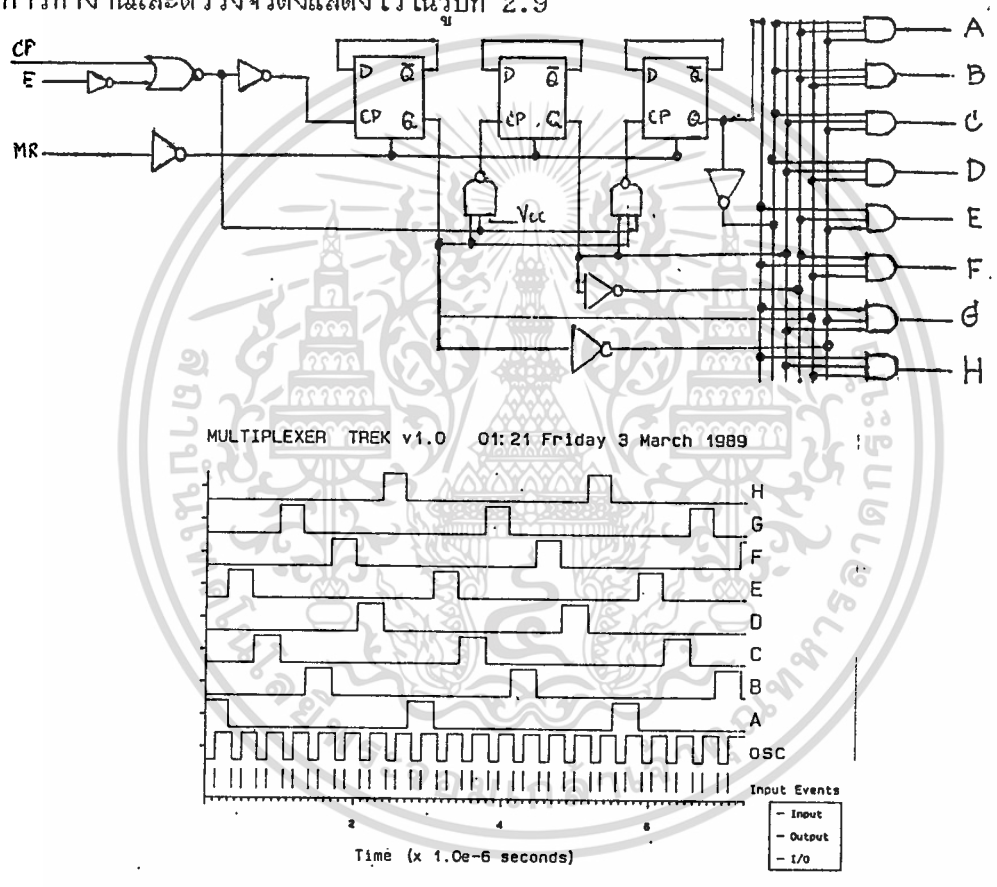


รูปที่ 2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยบล็อก BIT ที่ 1 จะเป็นบล็อกที่เก็บข้อมูลของหลักต่ำสุดของแอลอีดีเจ็ดเซ็กเมนต์ ส่วนบล็อก BIT ที่ 8 ก็จะเก็บข้อมูลหลักสูงสุดของแอลอีดีเจ็ดเซ็กเมนต์ นอกจากนี้จากรูปที่ 2.8 จะเห็นได้ว่าสายส่งข้อมูล dØ,d1,d2 และ d3 ของแต่ละ BIT นั้นถูกต่อถึงกันหมด ในสายส่งข้อมูล แต่ข้อมูล dØ,d1,d2 และ d3 ของแต่ละ BIT จะส่งข้อมูลมายังสายส่งข้อมูลไม่พร้อมกันอันเนื่องมาจากผลการทำงานของวงจรภาคมัลติเพล็กเซอร์ ซึ่งจะทำงานดังนี้

การทำงานของวงจรภาคมัลติเพล็กเซอร์นี้ จะทำหน้าที่มัลติเพล็กสัญญาณออสซิเลเตอร์ (oscillator) ซึ่งต่อโดยตรงจากภายนอกโดยวงจรมัลติเพล็กเซอร์ดังกล่าวมีแผนภูมิการทำงานและตัววงจรดังแสดงไว้ในรูปที่ 2.9



รูปที่ 2.9

จากรูปที่ 2.9 จะเห็นได้ว่าเมื่อมีสัญญาณออสซิเลเตอร์ซึ่งต่อจากภายนอกโดยผ่านทางขา OSC ของไอซีแล้วเอาท์พุทของวงจรมัลติเพล็กเซอร์ที่ได้(คือ A ถึง H ทั้ง 8 ตัว)จะมีเพียงตัวเดียวเท่านั้นที่มีสถานะเป็นลอจิกหนึ่งในเวลาใดๆ เวลาอื่นนอกจากนั้นจะเป็นลอจิกศูนย์ ว่างง่ายๆก็คือเอาท์พุททั้ง 8 ตัวของวงจรมัลติเพล็กเซอร์นี้จะมีสถานะลอจิกหนึ่งได้ไม่พร้อมกันซึ่งการทำงานของมัลติเพล็กเซอร์ดังกล่าวนี้จะส่งผลทำให้ทรานสมิทชั่นเกทที่ต่อตรงทางเอาท์พุทของวงจรเก็บข้อมูลขนาด 4 บิต ในแต่ละบล็อก BIT ส่งข้อมูลมายังสายส่งข้อมูลได้ไม่พร้อมกันจึงมีผลทำให้ข้อมูลไม่ชนกันในสายส่ง

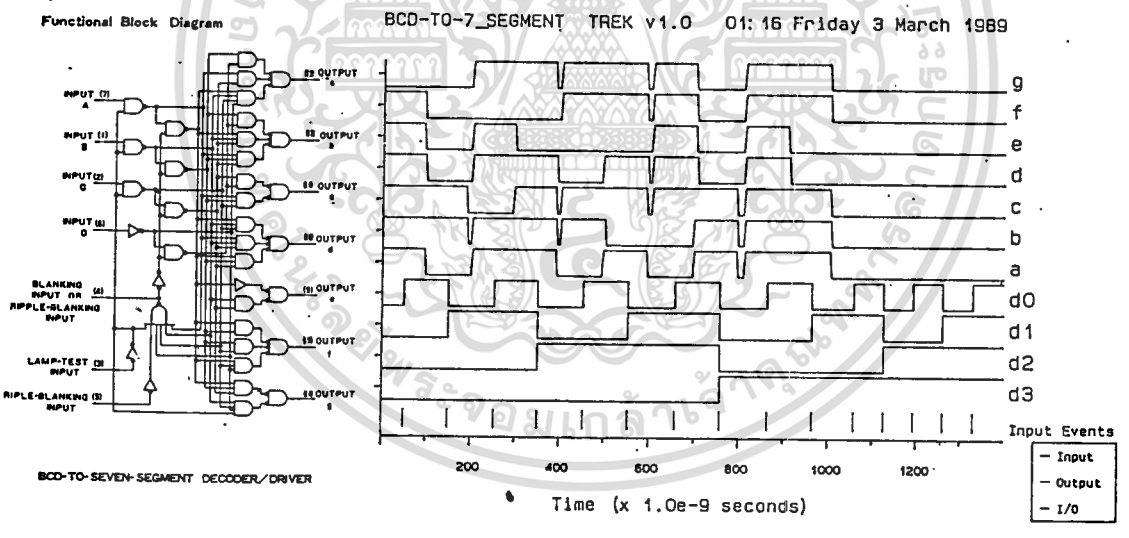
สำหรับในรูปที่ 2.9 นี้จะเห็นได้ว่าการทำงานของวงจรมัลติเพล็กเซอร์นี้ก็ได้มาจาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจรดี-ฟลิปฟลอป 3 ตัวซึ่งต่อร่วมกันทำหน้าที่เป็นวงจรนับแบบไบนารี่ (binary counter) แล้วส่งต่อให้แอนเกท (AND gate) 8 ตัวทำให้เอาท์พุทดังที่ได้กล่าวมาแล้ว ซึ่งวงจรมัลติเพล็กเซอร์นี้มีจำนวนทรานซิสเตอร์ทั้งสิ้น 208 ตัว

และการทำงานของวงจรมัลติเพล็กเซอร์ที่สำคัญอีกอย่างหนึ่งก็คือเอาท์พุทของมัลติเพล็กเซอร์ทั้ง 8 ตัวคือ A ถึง H นั้นได้ต่อออกมาภายนอกไอซีด้วยเพื่อที่จะได้นำไปขับแอลอีดีเจ็ดเซ็กเมนต์ทั้ง 8 หลักซึ่งจะกล่าวในรายละเอียดอีกทีในการนำไปใช้งานของไอซีตัวนี้

ทีนี้ลองกลับมาดูการทำงานของวงจรนับความถี่นี้อีกทีหนึ่ง หลังจากที่ได้ส่งข้อมูลมายังสายส่งโดยที่ข้อมูลของบล็อก BIT ทั้ง 8 บล็อก ไม่ชนกันในสายส่งดังที่ได้กล่าวมาแล้ว ก็มาถึงขั้นตอนสุดท้ายของการทำงานนั่นคือการนำข้อมูลในสายส่งมาถอดระหัสบีซีดีให้กับแอลอีดีเจ็ดเซ็กเมนต์ (BCD 7 segment decoder) ซึ่งการถอดระหัสดังกล่าวทำงานได้โดยวงจรถอดระหัสพร้อมทั้งแผนภูมิเวลาการทำงานดังรูปที่ 2.10



รูปที่ 2.10

ซึ่งผลของการถอดระหัสของวงจรถอดระหัสในรูปที่ 2.10 นี้มีตารางแสดงค่าความจริง (truth table) ดังในรูปที่ 2.11

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Function Table

'48, 'LS48 (see NOTES)

DECIMAL OR FUNCTION	INPUTS LT	RBI	D	C	B	A	BI/RBO	OUTPUTS a	b	c	d	e	f	g	NOTE
0	H	H	L	L	L	L	H	H	H	H	H	H	H	L	1
1	H	X	L	L	L	H	H	L	H	H	L	L	L	L	1
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H	
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H	
6	H	X	L	H	H	L	H	L	L	H	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L	
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L	
BI	X	X	X	X	X	X	L	L	L	L	L	L	L	L	2
RBI	H	L	L	L	L	L	L	L	L	L	L	L	L	L	3
LT	L	X	X	X	X	X	H	H	H	H	H	H	H	H	4

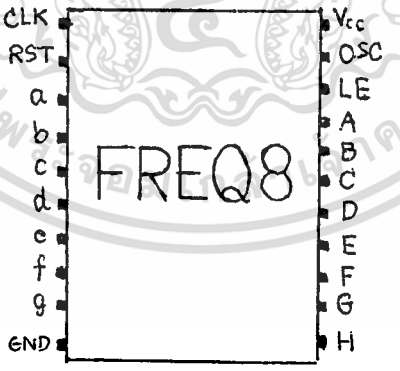
H = high level, L = low level, X = irrelevant

รูปที่ 2.11

โดยที่เอาท์พุทของวงจรถอดระหัสนี้ทั้ง 7 ตัวจะถูกส่งออกไปนอกไอซีเพื่อไปขับแอลอีดี 7 เซ็กเมนต์ ให้แสดงผลเป็นเลขฐานสิบ อย่างเช่นถ้าข้อมูลที่สายส่งส่งมาให้เป็น ØØØ1 เอาท์พุทของวงจรถอดระหัสก็จะให้สถานะของเอาท์พุท a b c d e f g ทั้ง 7 ตัวมีสถานะเป็นลอจิก Ø11ØØØØ ตามลำดับซึ่งจะส่งผลให้แอลอีดี 7 เซกเมนต์แสดงค่าเป็นเลข 1 ด้วย

2.3 การนำไปใช้งาน

วงจรนับความถี่ที่สร้างเสร็จแล้วจะมีลักษณะการเรียงขาดังรูปที่ 3.1



รูปที่ 3.1

-ขา A B C D E F G H คือขาเอาท์พุทของวงจรมัลติเพล็ก

- ขา a b c d e f g เป็นค่าเอาท์พุทที่ส่งต่อไปขับแอลอีดี 7 เซ็กเมนต์

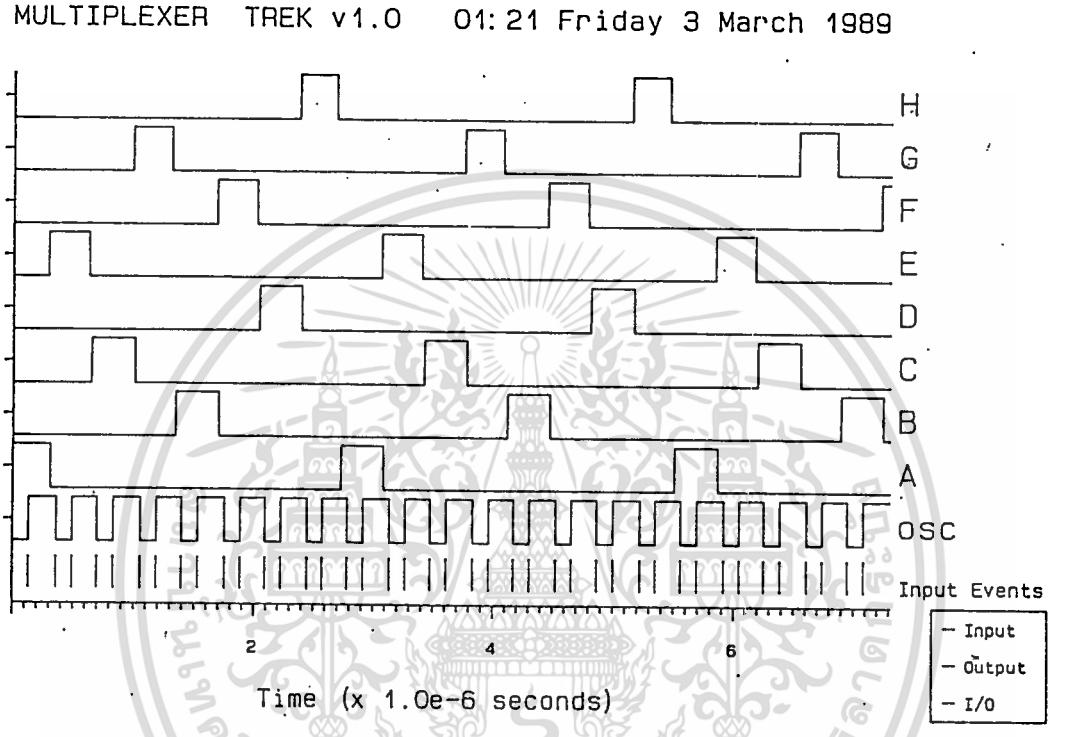
-ขา CLK คือขาที่จะป้อนความถี่ที่จะนับ

-ขา RST คือขารีเซ็ทโดยจะรีเซ็ทข้อมูลทุกตัวในบล็อก BIT ทั้ง 8 บล็อกให้มีค่าข้อมูลเป็นศูนย์เมื่อขา RST นี้มีค่าลอจิกเป็นหนึ่งถ้าขานี้เป็นลอจิกศูนย์ก็จะอยู่ในโหมดการทำงานที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พร้อมจะนับความถี่จากขา CLK ที่เข้ามา

-ขา OSC เป็นขาอินพุทที่ใส่เข้าไปเป็นอินพุทของวงจรภาคมัลติเพล็กเซอร์เพื่อให้ได้เอาท์พุททั้ง 8 ตัว(คือ A ถึง H) ดังแผนภูมิเวลาการทำงาน (timing diagram) รูปที่ 3.2



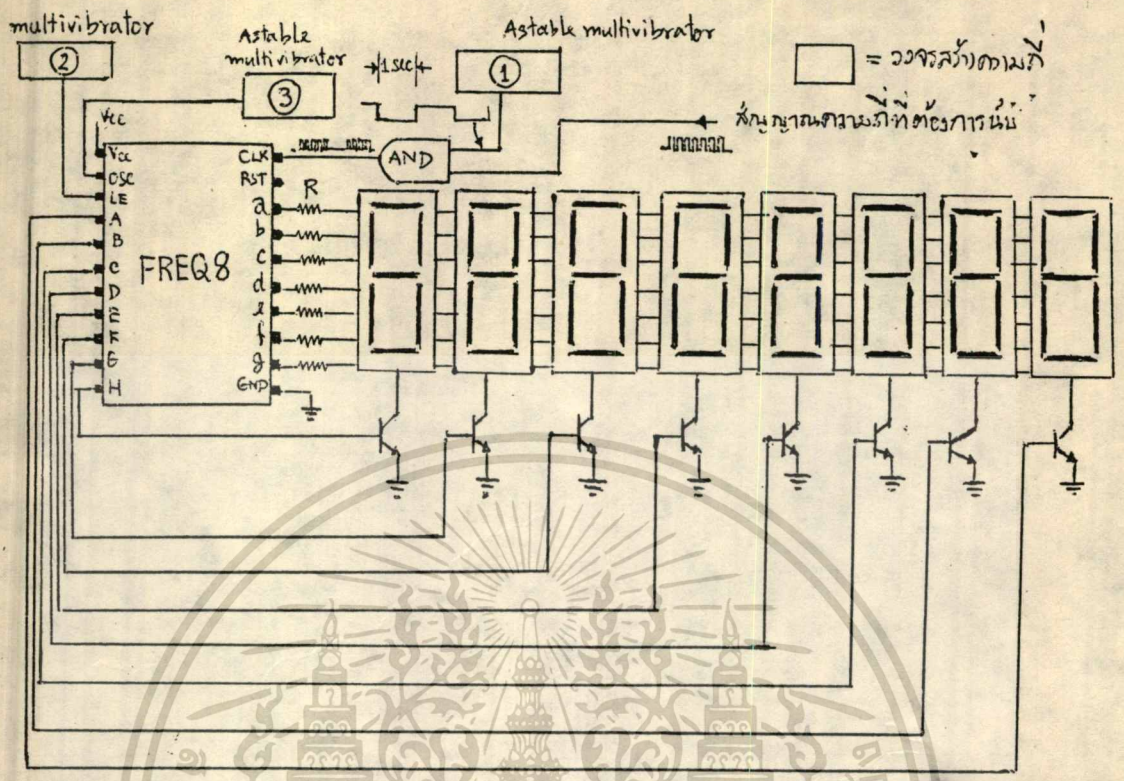
รูปที่ 3.2

-ขา LE เป็นขาแลทช์ข้อมูลของทุกบล็อก BIT ซึ่งจะแลทช์ข้อมูลไว้เมื่อสัญญาณของขา LE ทริกที่ขาขึ้นทุกๆครั้ง

สำหรับการต่อวงจรนับความถี่เพื่อนำไปใช้งานก็จะต้องต่อวงจรดังรูปที่ 3.3 ซึ่งจากรูปที่ 3.3 นั้นจะเห็นว่าจะเพิ่มส่วนที่เป็นวงจรสร้างความถี่ขึ้น 3 ส่วนและต้องใช้ทรานซิสเตอร์แบบ NPN จำนาน 8 ตัวเพื่อมาขับแอลอีดีเจ็ดเซ็กเมนต์

การทำงานของส่วนวงจรสร้างความถี่นั้นวงจรส่วนแรกจะเป็นแบบอะสเตเบิลมัลติไวเบรเตอร์(astable multivibrator) คือจะทำหน้าที่สร้างความถี่ที่มีคาบ 2 วินาทีเพื่อที่จะได้ไปมอดดูเลท (modulate) กับความถี่ที่เราต้องการนับโดยเพิ่ม AND gate อีก 1 ตัว (ดูรูป 3.3 ประกอบ) แล้วนำความถี่ที่เอาท์พุทของ AND gate นี้ไปเข้าขา CLK ของไอซีเพื่อทำการนับจำนวนลูกคลื่นภายในคาบความถี่ในเวลา 1 วินาที ซึ่งก็จะได้ค่าของจำนวนรูปคลื่นที่นับออกมามีหน่วยเป็นเฮริทนั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3

ส่วนวงจรสร้างความถี่ในส่วนที่ 3 นั้นจะเป็นวงจรแบบอะสเตเบิลมัลติไวเบรเตอร์เช่นกันโดยเลือกค่าความถี่ให้มีค่าออกมาเท่าไหร่ก็ได้พอที่ตาจะมองไม่เห็นความแตกต่างของการทำงานแต่ละตัวของแอลอีดีเจ็ดเซ็กเมนต์ แล้วนำเอาความถี่ดังกล่าวนี้ไปเข้าที่ขา OSC ของไอซีเพื่อไปใช้สร้างเป็นสัญญาณเอาท์พุทมัลติเพล็ก(คือสร้างสัญญาณขา A ถึง H)ดังที่ได้กล่าวไปแล้วในหัวข้อการทำงาน

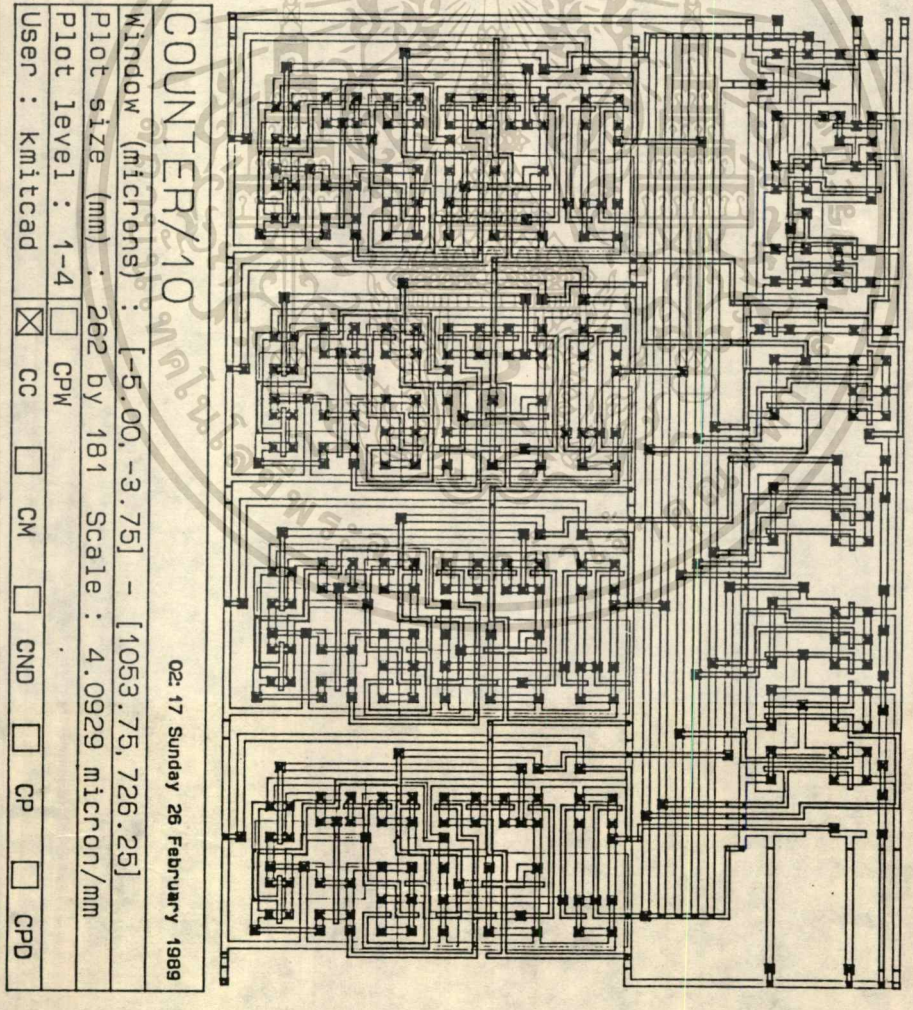
ส่วนวงจรสร้างความถี่ในส่วนที่สองนั้นจะเป็นวงจรมัลติไวเบรเตอร์ที่สร้างสัญญาณที่ไปต่อเข้ากับขา LE (latch enable) ของไอซีเพื่อใช้แลทช์ข้อมูลมาเก็บไว้ในวงจรเก็บข้อมูลขนาด 4 บิต

2.4 บทวิจารณ์และสรุป

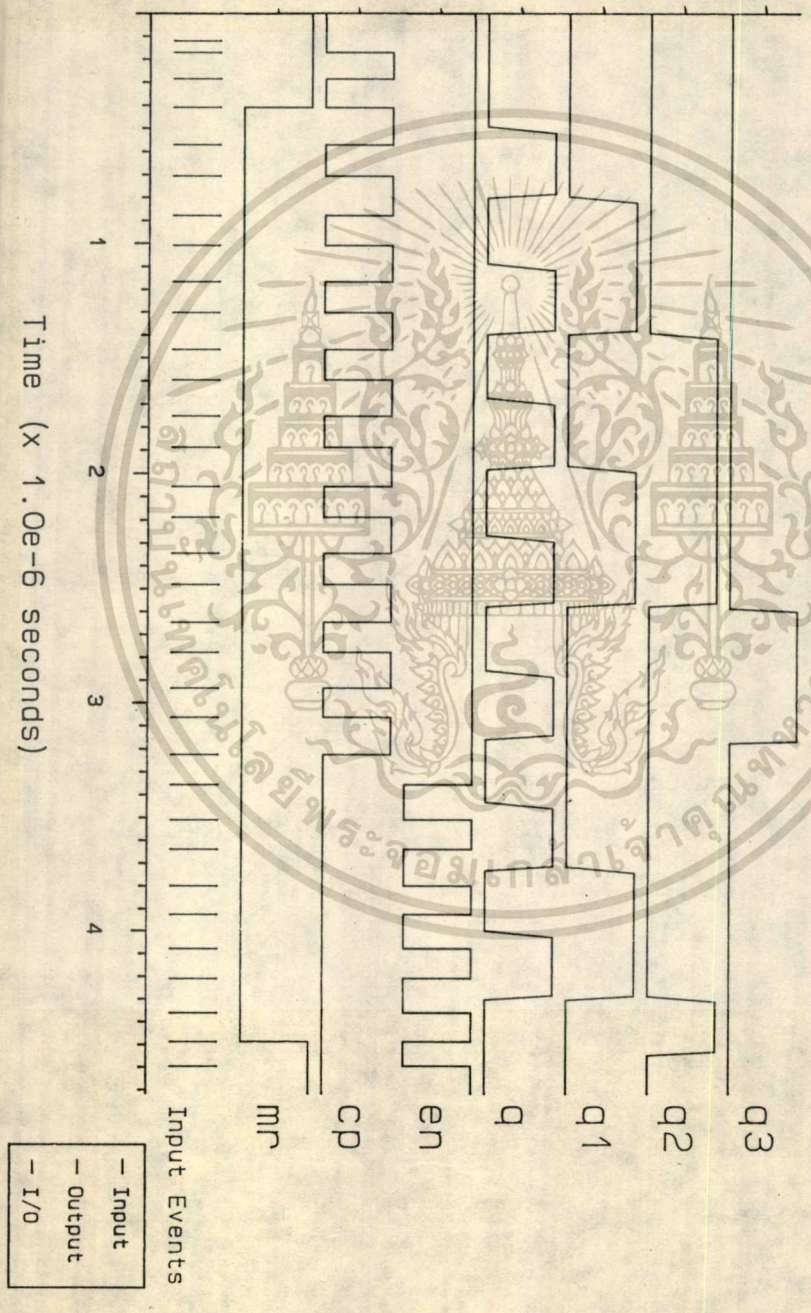
การออกแบบวงจรรวมทำให้เราสามารถใช้งานได้สะดวกยิ่งขึ้น ลดความยุ่งยากของวงจรลง ทำให้ตรวจเช็คปัญหาต่างๆได้ง่ายและยังสามารถป้องกันความลับของหน่วยงานได้ดีอีกด้วย เนื่องจากซอฟแวร์ที่ใช้ในการออกแบบคือ CIRCAD II นี้ยังไม่สมบูรณ์พอ ทำให้การออกแบบวงจรนับความถี่มีข้อยุ่งยากบ้าง

สำหรับวงจรนับความถี่ที่ได้ออกแบบนี้มีจำนวนทรานซิสเตอร์ที่อยู่ในวงจรรวมทั้งสิ้น 2560 ตัว ซึ่งทำให้วงจรรวมนับความถี่นี้อยู่ในระดับวงจรรวมขนาดใหญ่ (LSI:Large Scale Integrated Circuit) มีจำนวนขาทั้งสิ้น 21 ขา

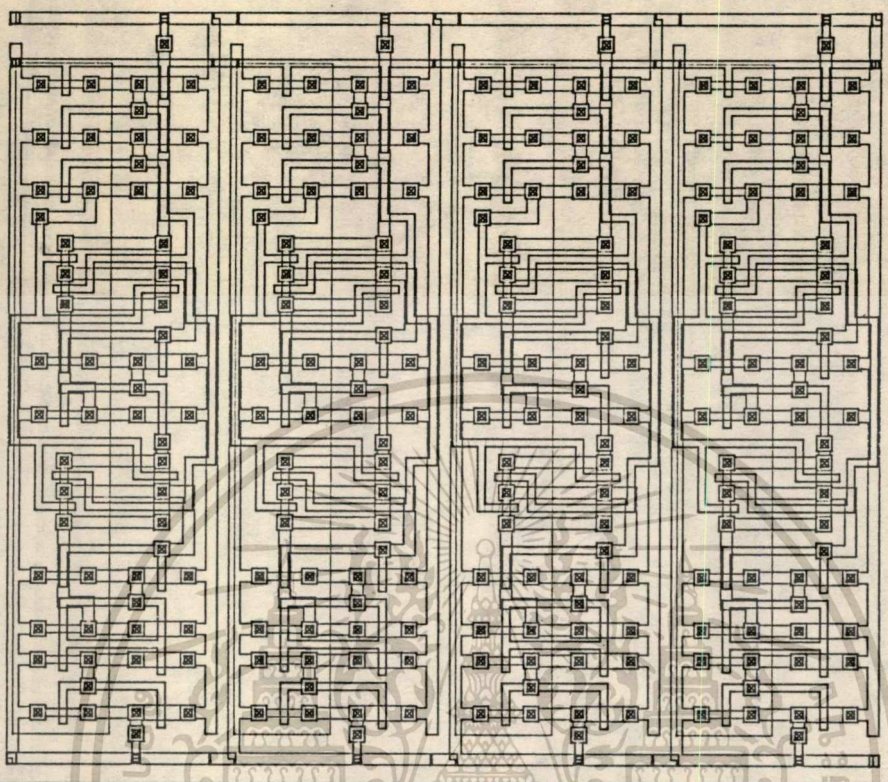
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

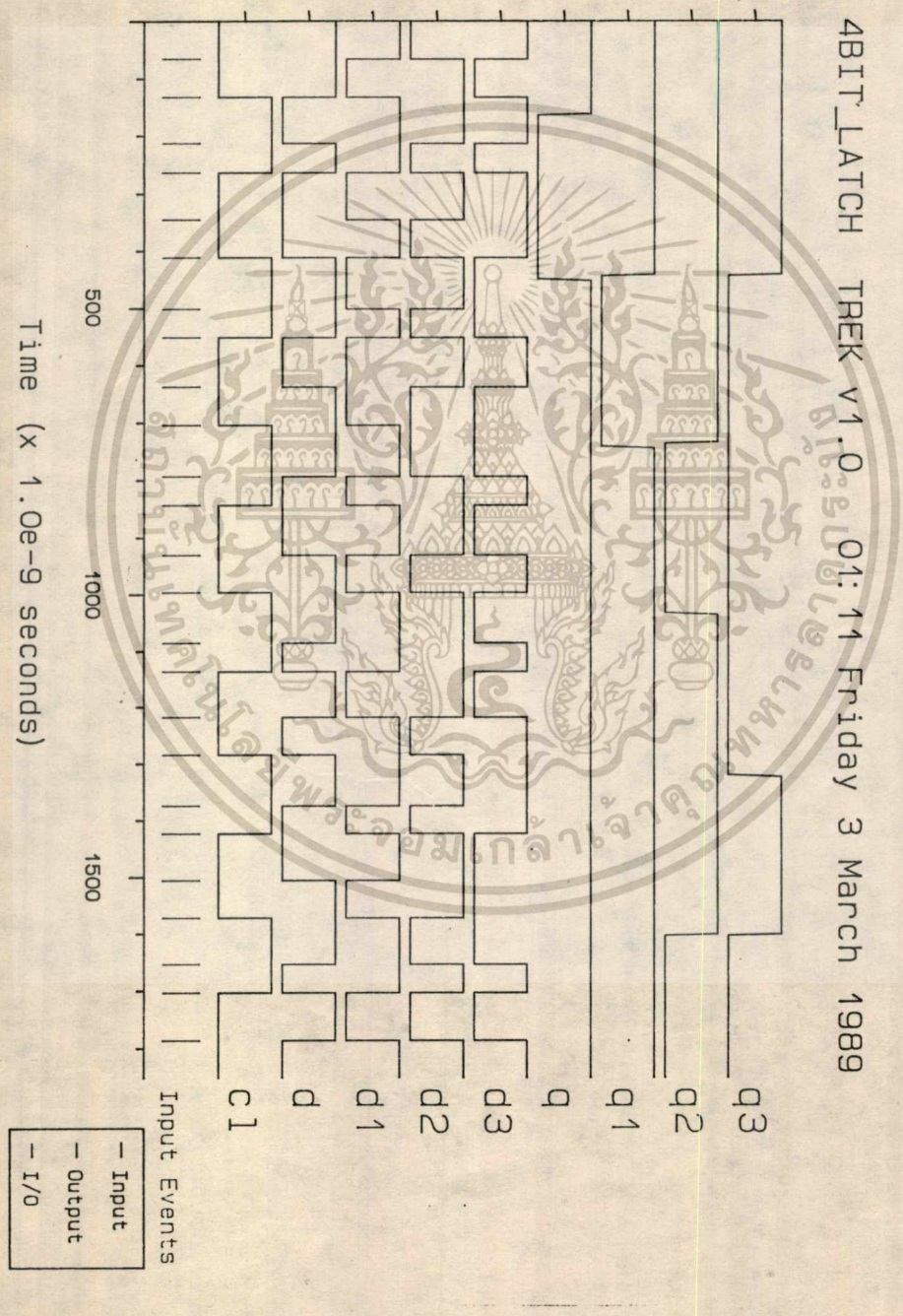


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

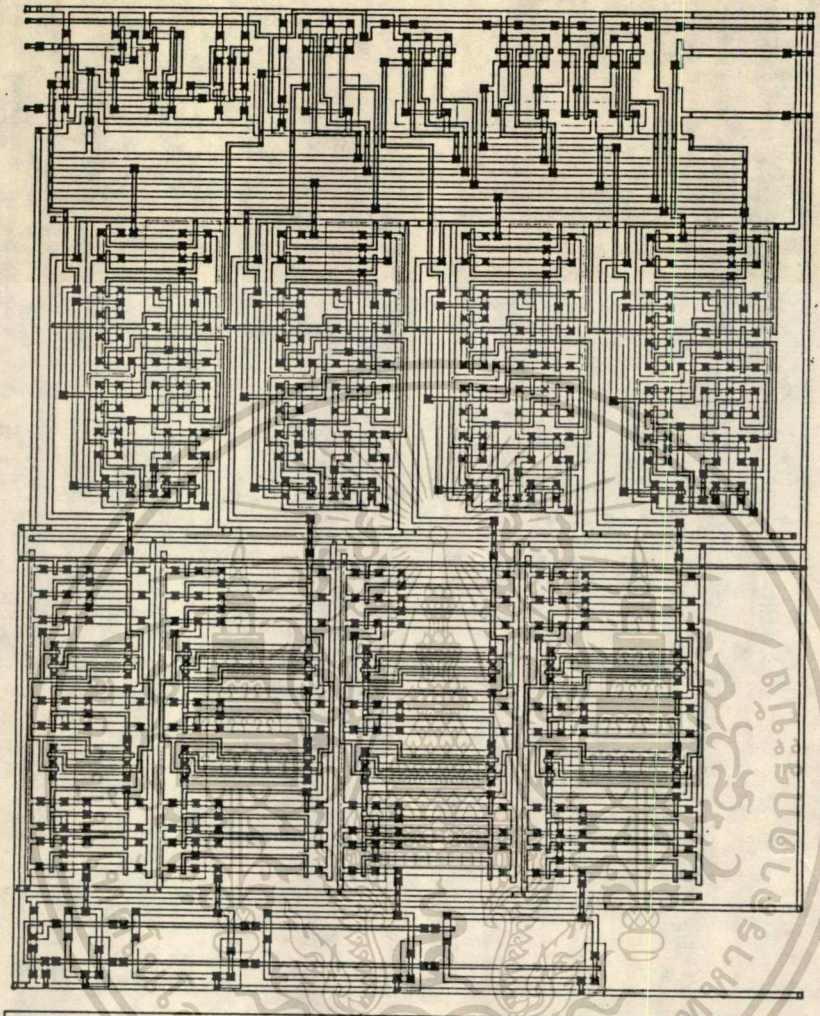


4BIT/LATCH	02:59 Sunday 26 February 1989
Window (microns) : [-3.75,-3.75] - [563.75,488.75]	
Plot size (mm) : 233 by 203 Scale : 2.4737 micron/mm	
Plot level : 1-3	☐ CPW
User : kmitcad	☒ CC ☐ CM ☐ CND ☐ CP ☐ CPD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

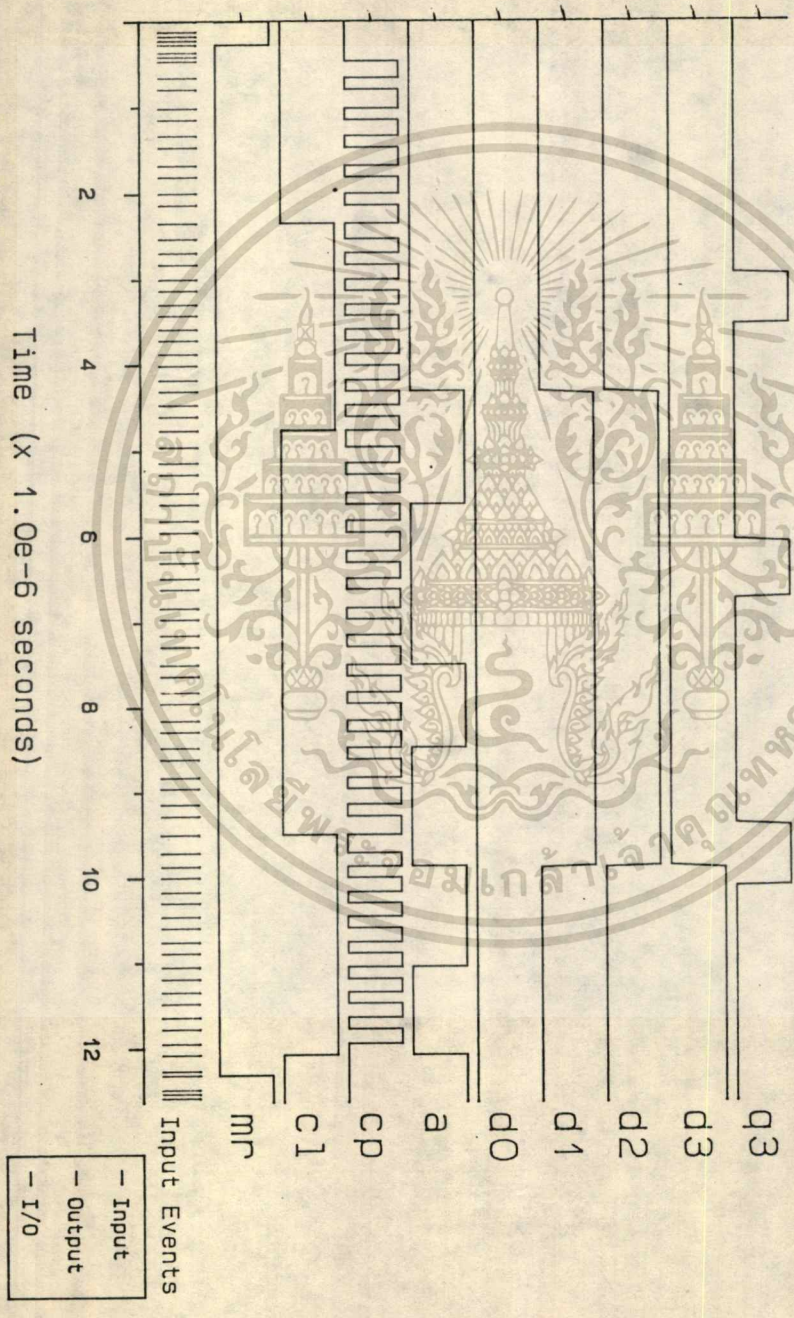


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

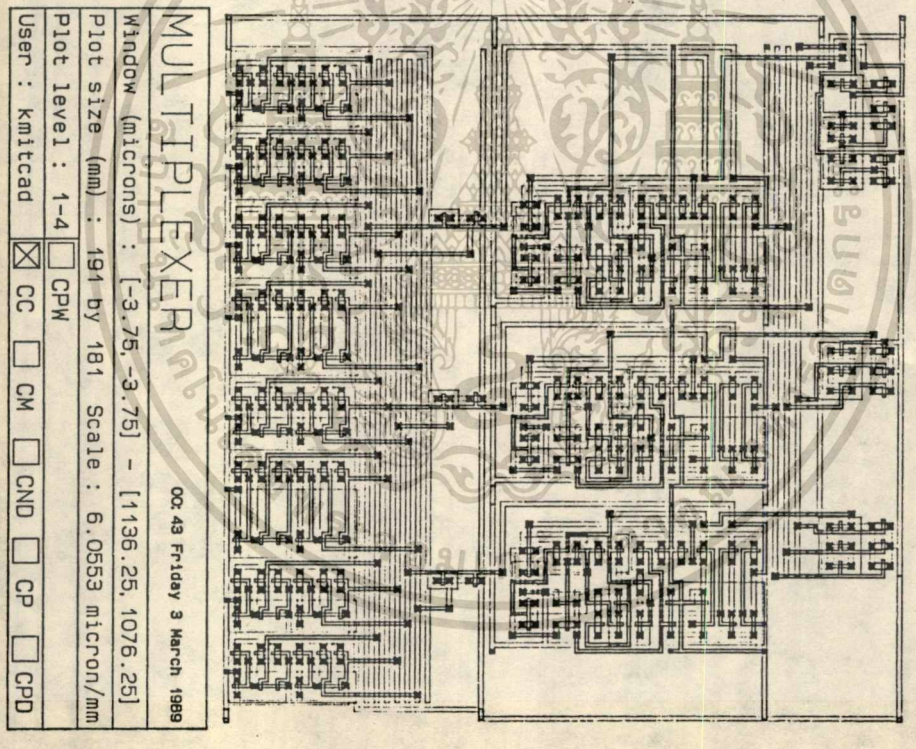


BIT	01:37 Sunday 26 February 1989
Window (microns) : [-3.75, -3.75] - [1086.25, 1361.25]	
Plot size (mm) : 212 by 264 Scale : 5.2408 micron/mm	
Plot level : 1-5	☐ CPD ☐ CPW
User : kmitcad	☒ CC ☐ CM ☐ CND ☐ CP

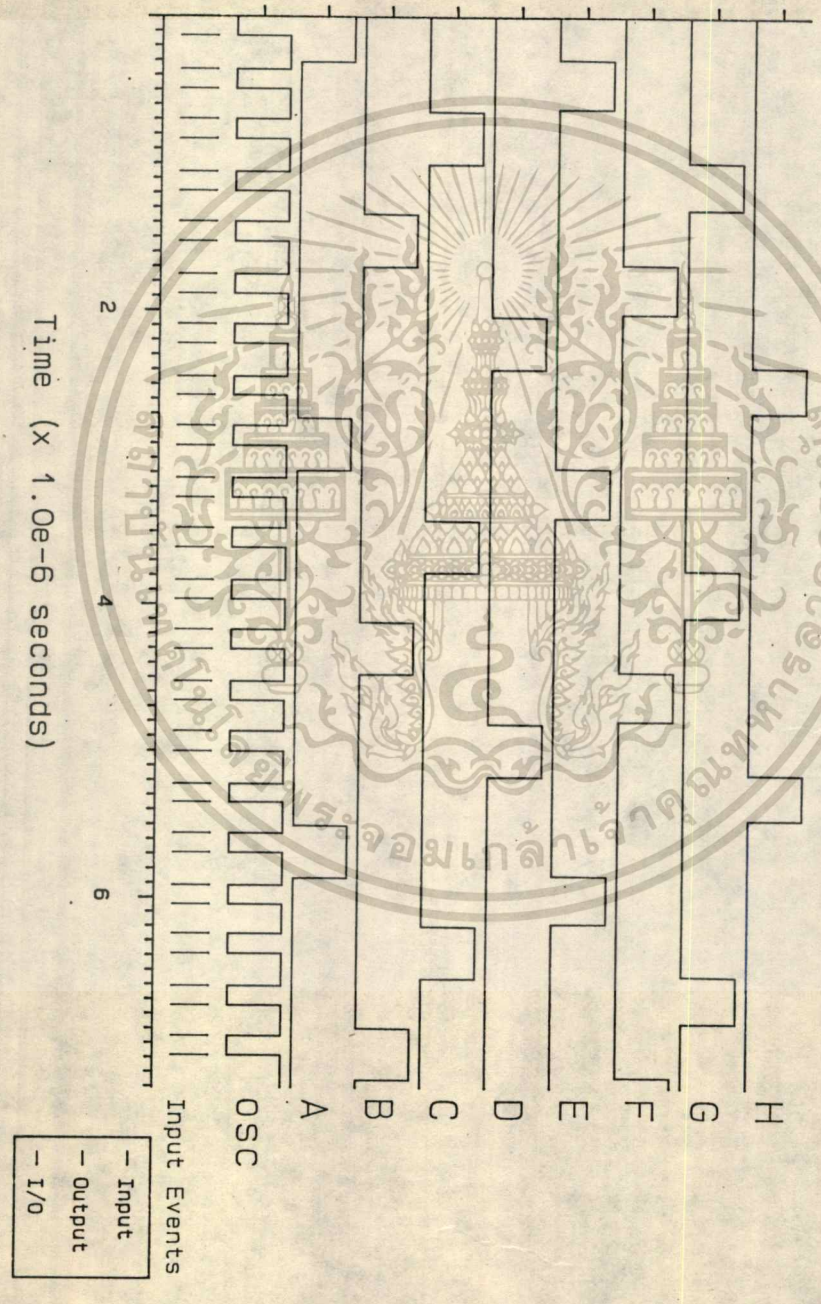
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



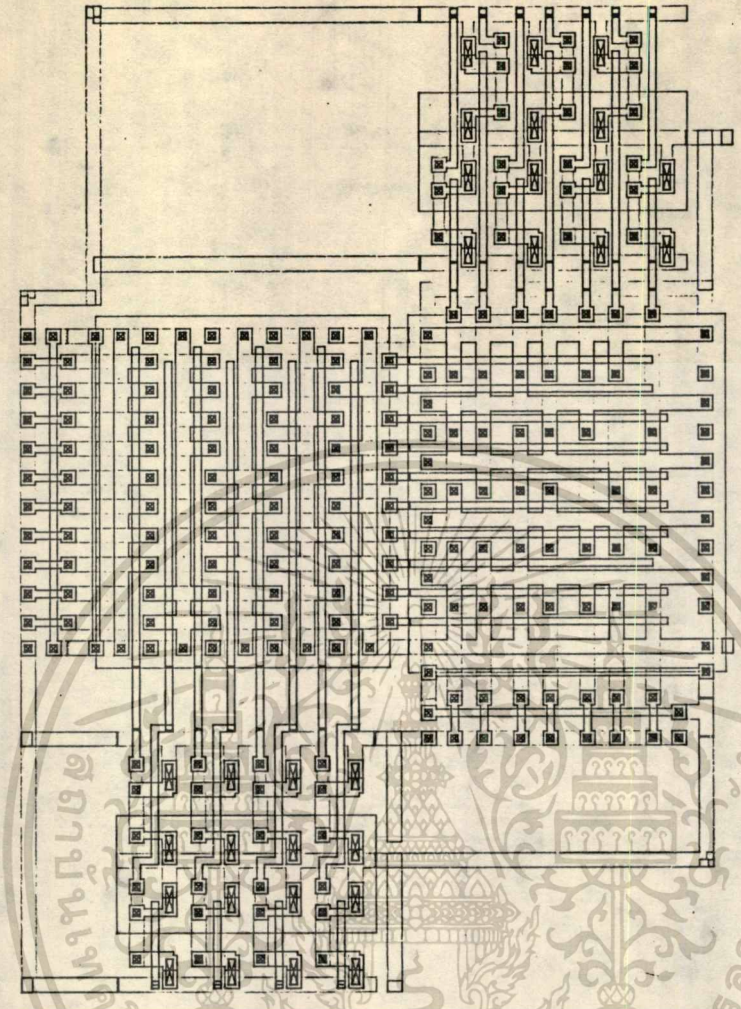
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

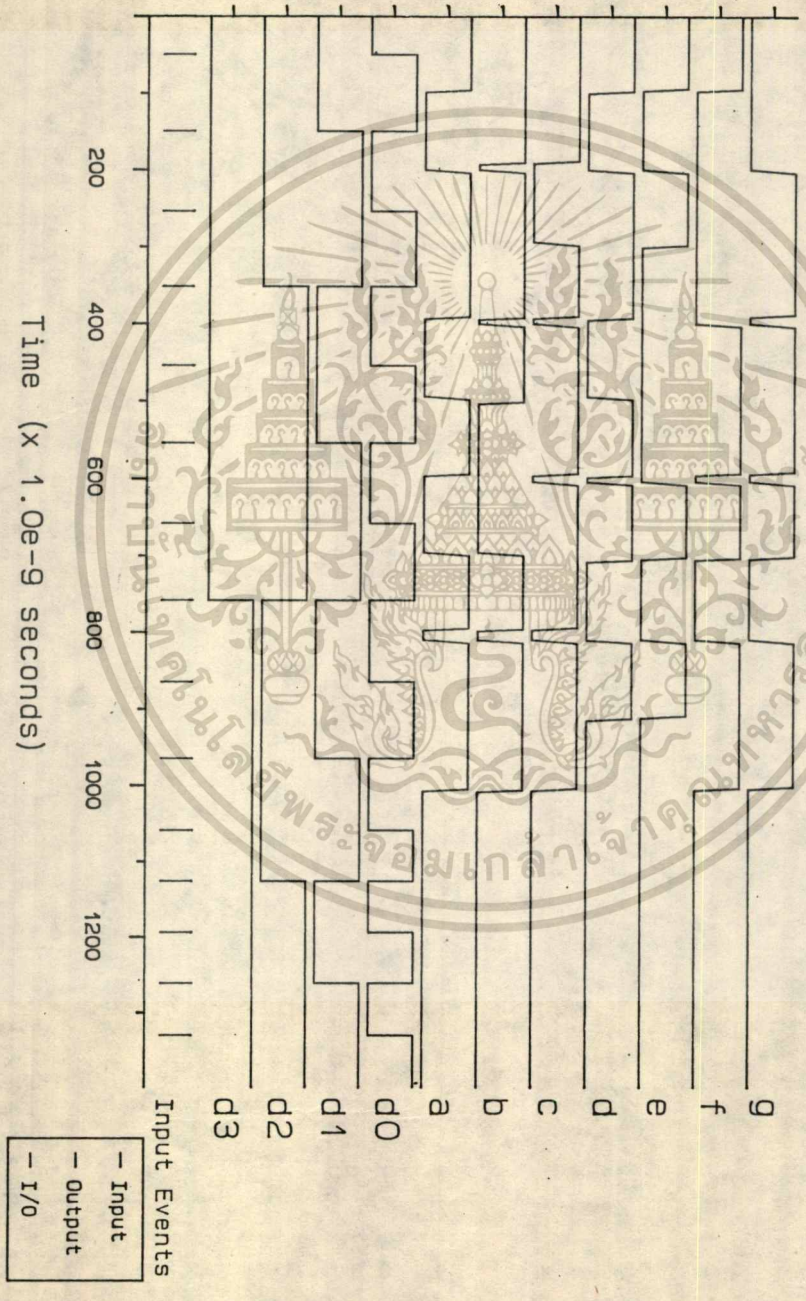


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

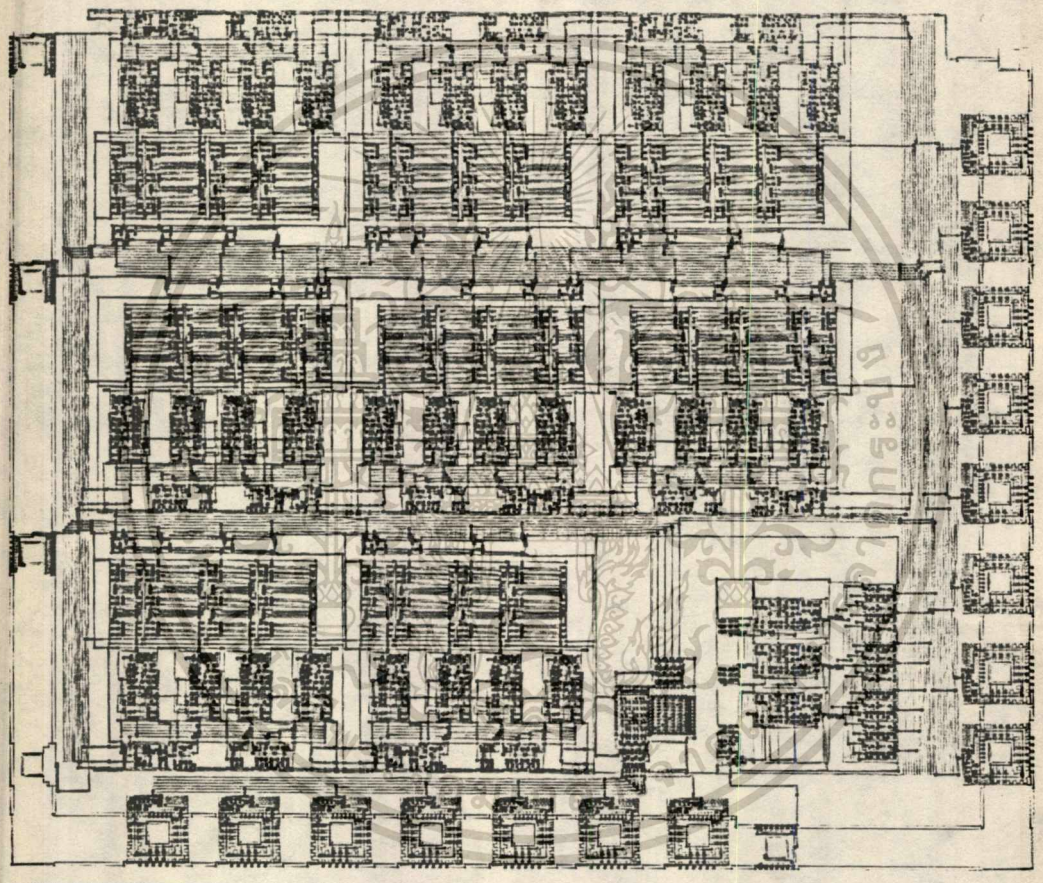


BCD-TO-7SEGMENT	01:00 Friday 3 March 1989			
Window (microns) : [-5.00, -5.00] - [481.25, 667.50]				
Plot size (mm) : 191 by 263 Scale : 2.5849 micron/mm				
Plot level : 1-3	☐ CP	☐ CPD	☐ CPW	
User : kmitcad	☒ CC	☐ CM	☐ CND	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



FREQUENCYCOUNTER Date: Friday 8 March 1989

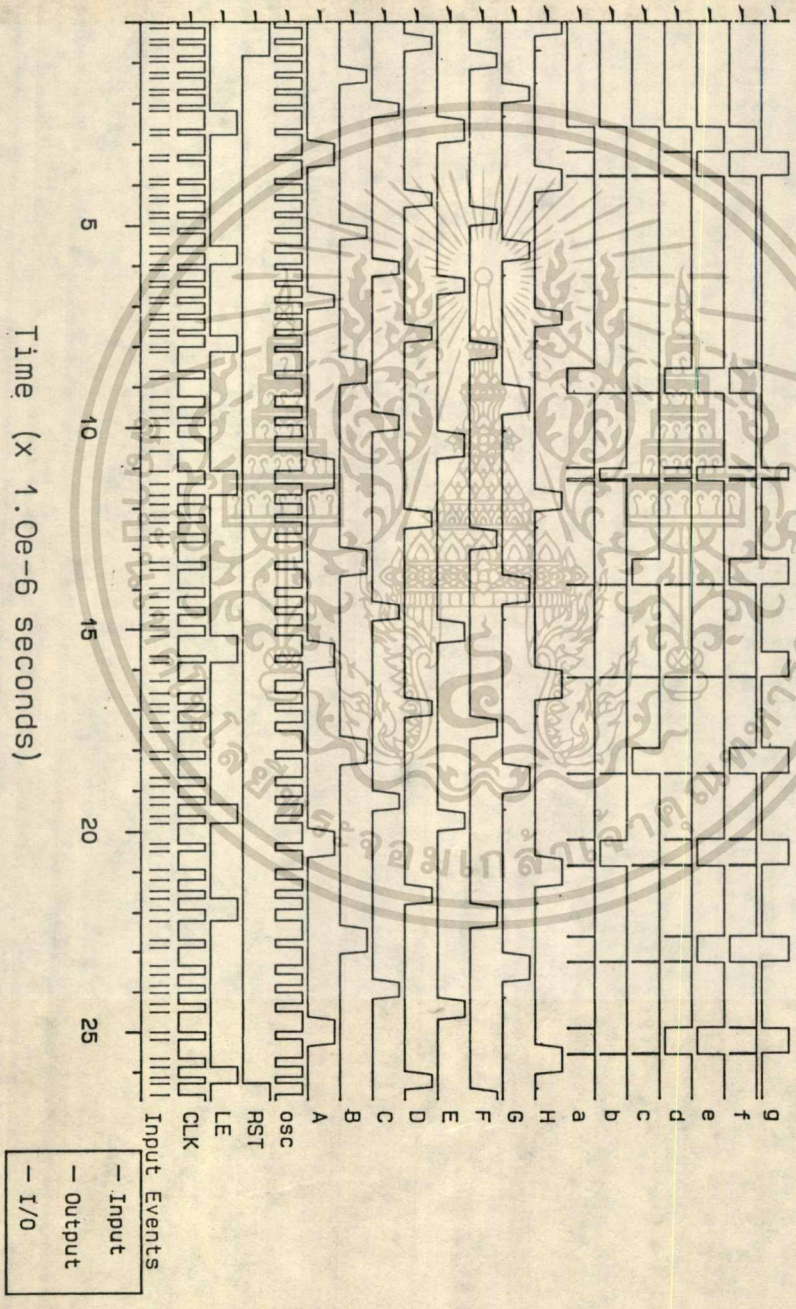
Window (microns) : [0.00, 0.00] - [5052.50, 5062.75]

Plot size (mm) : 136 by 114 Scale : 44.9887 micron/mm

Plot level : 1-6 ☐ CPW

User : kmitcad ☒ CC ☐ CG ☐ CM ☐ CND ☐ CP ☐ CPD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.วงจรประมวลผลทางคณิตศาสตร์และลอจิก (ALU:Arithemetic Logig Unit)

ในวงจรประมวลผลทางคณิตศาสตร์และลอจิกซึ่งเป็นส่วนสำคัญในวงจรประมวลผลกลาง (CPU:Central Processing Unit) ซึ่งเป็นส่วนสำคัญในระบบดิจิตอลคอมพิวเต้อร์ (digtal computer) ALU จะเป็นหัวใจสำคัญในวงจรประมวลผลกลาง

ALU มีหน้าที่การทำงานหลายหน้าที่(function) ทั้งทางด้านคณิตศาสตร์และทางด้านตรรกศาสตร์ จริงๆแล้วในการทำงานในระบบประมวลผลของดิจิตอลคอมพิวเตอร์(digital comter) ALU ต้องการอุปกรณ์ควบคุม(control devices) และหน่วยความจำเพิ่มเติม (additional memories) ในการทำงาน(operate) และเก็บข้อมูลของผลลัพธ์(store the results) เพื่อนำไปประมวลผลในวงจรประมวลผลกลาง

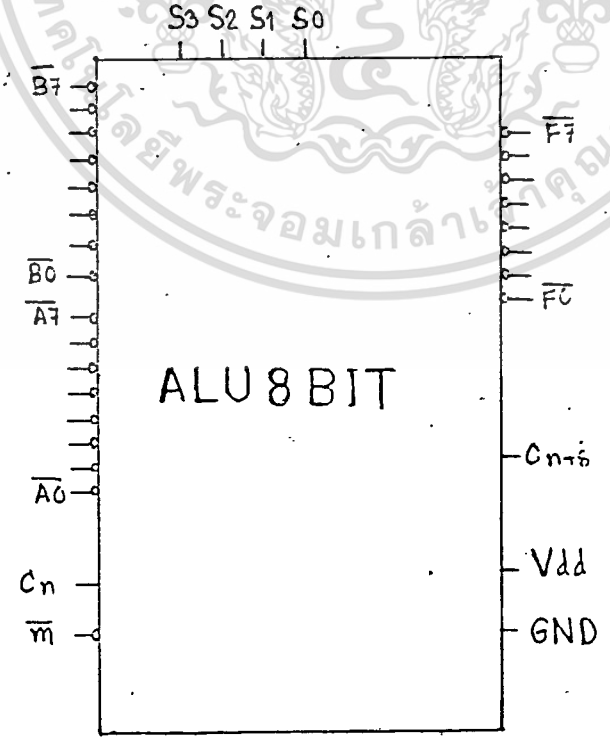
ALU chip ที่มีขายในท้องตลาดโดยมากจะมีขนาด 4 บิต จึงเกิดแรงดลใจที่จะสร้าง ALU ขนาด 8 บิต โดยใช้เทคโนโลยีของวงจรรวมขนาดใหญ่มาก(VLSI:Very Large Scale Integrated Circuit Design Technology) โดยใช้คอมพิวเตอร์ขนาด 32 บิต(Workstation Computer) รุ่น 3/11Ø ของ Sun Microsystem Cooporation. โดยใช้โปรแกรมช่วยในการออกแบบ(CAD tool) ที่ชื่อ CIRCAD II จาก UNSW (University of New South Wales) AUSTRALIA

3.1ส่วนประกอบของ ALU8BIT

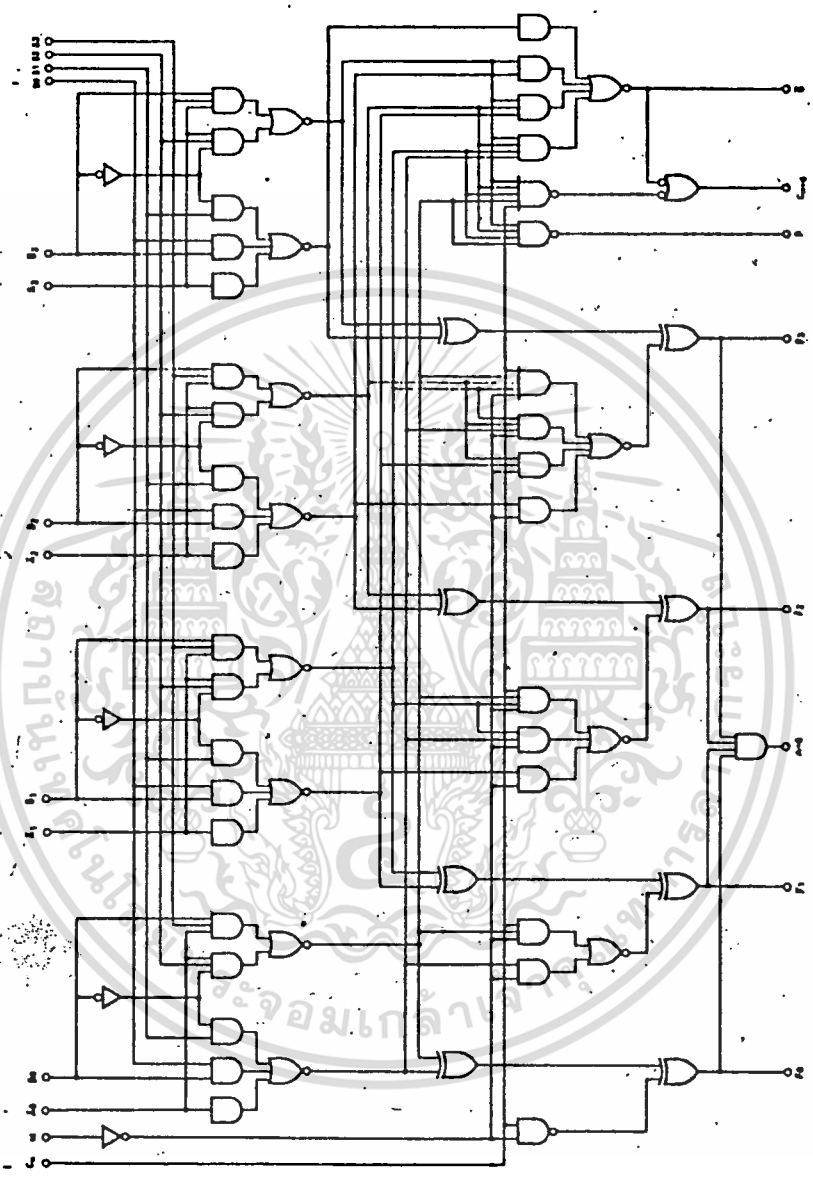
- 8 อินพุต สำหรับ word A, AØ-A7
- 8 อินพุต สำหรับ word B, BØ-B7
- 4 select input, SØ-S3
- M , mode control input ใช้ควบคุมการเลือกโหมดการทำงานทางคณิตศาสตร์หรือตรรกศาสตร์
- carry input, cn
- 8 output สำหรับ word F, FØ-F7 เป็นผลลัพธ์จากการประมวลผลทางคณิตศาสตร์หรือตรรกศาสตร์ระหว่าง word A และ word B
- carry output , cn+8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SELECTION				ACTIVE "0" DATA		
				M = 1	M = 0 ARITHMETIC OPERATIONS	
S3	S2	S1	S0	LOGIC FUNCTIONS	Cn = 0 (no carry)	Cn = 1 (with carry)
0	0	0	0	$F = \overline{A}$	F = A MINUS 1	F = A
0	0	0	1	$F = \overline{AB}$	F = AB MINUS 1	F = AB
0	0	1	0	$F = \overline{A} + B$	$F = A\overline{B}$ MINUS 1	$F = A\overline{B}$
0	0	1	1	F = 1	F = MINUS 1 (2's COMP)	F = ZERO
0	1	0	0	$F = \overline{A + B}$	F = A PLUS $(A + \overline{B})$	F = A PLUS $(A + \overline{B})$ PLUS 1
0	1	0	1	$F = \overline{B}$	F = AB PLUS $(A + \overline{B})$	F = AB PLUS $(A + \overline{B})$ PLUS 1
0	1	1	0	$F = \overline{A \oplus B}$	F = A MINUS B MINUS 1	F = A MINUS B
0	1	1	1	$F = A + \overline{B}$	$F = A + \overline{B}$	$F = (A + \overline{B})$ PLUS 1
1	0	0	0	$F = \overline{AB}$	F = A PLUS (A + B)	F = A PLUS (A + B) PLUS 1
1	0	0	1	$F = A \oplus B$	F = A PLUS B	F = A PLUS B PLUS 1
1	0	1	0	F = B	$F = A\overline{B}$ PLUS (A + B)	$F = A\overline{B}$ PLUS (A + B) PLUS 1
1	0	1	1	F = A + B	F = (A + B)	F = (A + B) PLUS 1
1	1	0	0	F = 0	F = A PLUS A	F = A PLUS A PLUS 1
1	1	0	1	$F = A\overline{B}$	F = AB PLUS A	F = AB PLUS A PLUS 1
1	1	1	0	F = AB	$F = A\overline{B}$ PLUS A	$F = A\overline{B}$ PLUS A PLUS 1
1	1	1	1	F = A	F = A	F = A PLUS 1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ALU Logic Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 หลักการทำงานของชิฟ(chip)ALU8BIT

ดังที่ได้กล่าวมาแล้วว่าชิฟ ALU8BIT สามารถทำงานได้ทั้งทางคณิตศาสตร์และทางตรรกศาสตร์ โดยมีหลักการทำงานที่พอจะแบ่งได้ดังนี้

- 16 การทำงานทางตรรกศาสตร์
- 5 การทำงานทางคณิตศาสตร์
- 8 การทำงานรวมทั้งทางตรรกศาสตร์และทางคณิตศาสตร์

โดยที่โหมด(mode)การทำงานเลือกที่ขา m เพื่อจะเลือกว่าจะทำงานทางตรรกศาสตร์หรือทางคณิตศาสตร์ ดังต่อไปนี้

เมื่อขา m แสดงสถานะ"1"จะเป็นการทำงานทางตรรกศาสตร์

โดยที่ฟังก์ชันการทำงานสามารถเลือกที่ ขา s3,s2,s1และ sØ โดยมีการเปรียบเทียบการทำงานลักษณะบิตต่อบิต ตัวอย่างเช่น

เมื่อ s3 s2 s1 sØ = ØØØØ

ผลการทำงานคือ F = Abar

เช่นถ้า a7 a6 a5 a4 a3 a2 a1 aØ = 11ØØ 1ØØ1

ผลลัพธ์จะได้ f7 f6 f5 f4 f3 f2 f1 fØ = ØØ11 Ø11Ø ซึ่งจะเปรียบเทียบได้กับ 8 bit inverters ของ A

การทำงานในฟังก์ชันตามตารางความจริง(truth table) เมื่อ F = (A+B)bar คือ s3 s2 s1 sØ = Ø1ØØ

เช่นถ้า a7 a6 a5 a4 a3 a2 a1 aØ = ØØ11 ØØ11

b7 b6 b5 b4 b3 b2 b1 bØ = Ø1Ø1 Ø1Ø1

ผลลัพธ์จะได้ f7 f6 f5 f4 f3 f2 f1 fØ = Ø1ØØ Ø1ØØ

ซึ่งก็จะเทียบได้กับ 8 bit 2-inputs NOR gates

การทำงานในฟังก์ชันตามตารางความจริง(truth table) เมื่อ F = (Abar)B คือ s3 s2 s1 sØ = 1ØØØ

เช่นถ้า a7 a6 a5 a4 a3 a2 a1 aØ = Ø111 Ø111

b7 b6 b5 b4 b3 b2 b1 bØ = 1ØØ1 1ØØ1

ผลลัพธ์จะได้ f7 f6 f5 f4 f3 f2 f1 fØ = 1ØØØ 1ØØØ

การทำงานในฟังก์ชันตามตารางความจริง(truth table) เมื่อ F = AB คือ s3 s2 s1 sØ = 111Ø

เช่นถ้า a7 a6 a5 a4 a3 a2 a1 aØ = Ø11Ø 1ØØ1

b7 b6 b5 b4 b3 b2 b1 bØ = 1Ø1Ø 1Ø1Ø

ผลลัพธ์จะได้ f7 f6 f5 f4 f3 f2 f1 fØ = ØØ1Ø 1ØØØ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งก็จะเทียบได้กับ 8 bit 2-inputs AND gates

การทำงานในฟังก์ชันตามตารางความจริง(truth table) เมื่อ F = (A+B) คือ s3 s2 s1 s0 = 1011

เช่นถ้า a7 a6 a5 a4 a3 a2 a1 a0 = 1011 0010

b7 b6 b5 b4 b3 b2 b1 b0 = 1001 0011

ผลลัพธ์จะได้ f7 f6 f5 f4 f3 f2 f1 f0 = 1011 0011

ซึ่งก็จะเทียบได้กับ 8 bit 2-inputs OR gates

การทำงานในฟังก์ชันตามตารางความจริง(truth table) เมื่อ F = A XOR B คือ s3 s2 s1 s0 = 1001

เช่นถ้า a7 a6 a5 a4 a3 a2 a1 a0 = 0011 0011

b7 b6 b5 b4 b3 b2 b1 b0 = 1000 1000

ผลลัพธ์จะได้ f7 f6 f5 f4 f3 f2 f1 f0 = 1011 1011

ซึ่งก็จะเทียบได้กับ 8 bit 2-inputs XOR gates

ถ้าเลือก s3 s2 s1 s0 = 1100 ก็จะทำให้เอาท์พุท F มีสถานะเป็น "0" ซึ่งก็จะสังเกตุได้ว่าเป็นอิสระจากอินพุททั้ง A และ B

ถ้าเลือก s3 s2 s1 s0 = 0011 ก็จะทำให้เอาท์พุท F มีสถานะเป็น "1" ซึ่งก็จะสังเกตุได้ว่าเป็นอิสระจากอินพุททั้ง A และ B

ถ้าเลือก s3 s2 s1 s0 = 1010 ก็จะได้ F = B

และ s3 s2 s1 s0 = 1111 ก็จะได้ F = A

จะสังเกตุได้ว่า การทำงานทั้งสองฟังก์ชันสามารถประยุกต์ใช้ในลักษณะของ 8 bit multiplexer ได้

จะเห็นได้ว่า ALU8BIT เป็นชิพที่สามารถทำงานทางตรรกศาสตร์ได้หลายฟังก์ชัน ดังนั้นเราสามารถใช้ ALU8BIT ทำงานแทน Gate Arrays ได้

<u>เมื่อขา m แสดงสถานะ "0" จะเป็นการทำงานทางคณิตศาสตร์</u>

การทำงานทางคณิตศาสตร์จะประกอบด้วย word A, word B และ input carry โดยผลลัพธ์จะได้แก่ word F และ output carry โดยฟังก์ชันการทำงานได้แก่ การบวก (Addition), การลบ(Subtraction) และการเลื่อน(Shift) โดยที่ฟังก์ชันการทำงานทางคณิตศาสตร์ก็สามารถเลือกได้ที่ขา s3 s2 s1 และ s0 ดังตารางความจริง

พิจารณาตัวอย่างฟังก์ชันการทำงานได้ดังนี้คือ

เมื่อเลือก s3 s2 s1 s0 = 0000 และ Cn = 0 การทำงานคือ F = A MINUS 1

เช่นถ้า a7 a6 a5 a4 a3 a2 a1 a0 = 0110 1101

การทำงานคือ 0110 1101

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
                -         1
                 0110 1100
```

จะได้ผลลัพธ์คือ f7 f6 f5 f4 f3 f2 f1 f0 = 0110 1100

เมื่อเลือก s3 s2 s1 s0 = 1001 และ Cn = 0 การทำงานคือ F = A PLUS B

เช่นถ้า a7 a6 a5 a4 a3 a2 a1 a0 = 1100 1000

b7 b6 b5 b4 b3 b2 b1 b0 = 1010 1010

```
การทำงานคือ      1010 1000
                 +1010 1010
                 10111 0010
```

จะได้ผลลัพธ์คือ f7 f6 f5 f4 f3 f2 f1 f0 = 0111 0010 และ Cn+8 = 1

เมื่อเลือก s3 s2 s1 s0 = 0110 และ Cn = 1 การทำงานคือ F = A MINUS B

เช่นถ้า a7 a6 a5 a4 a3 a2 a1 a0 = 0110 1110

b7 b6 b5 b4 b3 b2 b1 b0 = 0010 0110

```
การทำงานคือ      0110 1110
                 -0010 0110
                  0100 1000
```

จะได้ผลลัพธ์คือ f7 f6 f5 f4 f3 f2 f1 f0 = 0100 1000

เมื่อเลือก s3 s2 s1 s0 = 1100 และ Cn = 0 การทำงานคือ F = A PLUS A

เช่นถ้า a7 a6 a5 a4 a3 a2 a1 a0 = 0110 0010

```
การทำงานคือ      0110 0010
                 +0110 0010
                  1100 0100
```

จะได้ผลลัพธ์คือ f7 f6 f5 f4 f3 f2 f1 f0 = 1100 0100

จากการทำงาน F = A PLUS A จะสังเกตุได้ว่าเป็นการเลื่อนบิตไปทางซ้ายหนึ่งบิตนั่นเอง

นอกจากการทำงานเฉพาะทางคณิตศาสตร์โดยตรงแล้ว ในขณะที่ขา m แสดงสถานะ "0" นี้ เรายังสามารถให้ ALU8BIT ทำงานทั้งทางคณิตศาสตร์และตรรกศาสตร์ร่วมกันได้ ตัวอย่างเช่น

เมื่อเลือก s3 s2 s1 s0 = 1101 และ Cn = 0 การทำงานคือ F = AB PLUS A

โดยที่ผลลัพธ์จะได้จากการนำ A และ B มา AND กัน แล้วนำไปบวกกับ A

เช่นถ้า a7 a6 a5 a4 a3 a2 a1 a0 = 0110 1101

b7 b6 b5 b4 b3 b2 b1 b0 = 0101 0001

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานคือ 0110 1101

AND 0101 0001

0100 0001

+0110 1101

1010 1110

จะได้ผลลัพธ์คือ f7 f6 f5 f4 f3 f2 f1 f0 = 1010 1110

3.3สรุปข้อจำกัดและปัญหาในการออกแบบ ALU8BIT

ในการออกแบบ ALU8BIT นี้ มีข้อจำกัดและปัญหาพอจะสรุปได้ดังนี้

-จากวงจรที่ใช้ในการออกแบบตามรูปในลอจิกไดอะแกรม(logic diagram) นั้น จะสังเกตุได้ว่า ช่วงจังหวะการทำงานมีลักษณะไม่เท่ากัน ทำให้เวลาในการหน่วง(delay) ต่างกัน จึงทำให้ช่วงเวลาที่ข้อมูลไม่เสถียร(non-valid)ของเอาท์พุต มีเวลาค่อนข้างมากคือประมาณ 129 นาโนเซ็ค(ns)

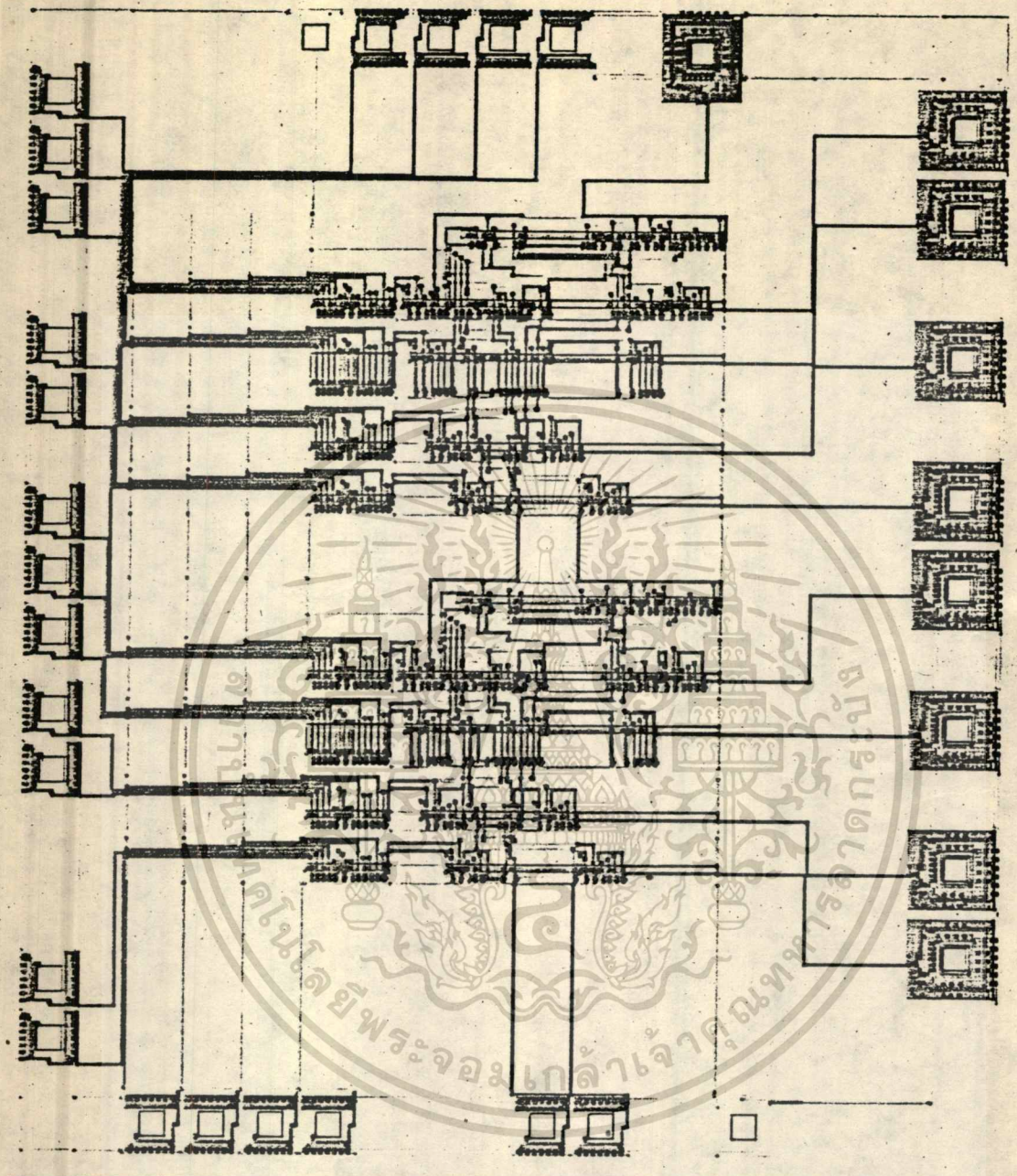
-ความถี่สูงสุดที่ใช้งาน(maximum frequency)มีค่าประมาณ 5.5 เมกกะเฮิร์ต

-เนื่องจากเป็นชิฟที่ประมวลขนาด 8 บิต จึงเป็นชิฟที่มีจำนวนขาค่อนข้างมาก คือประมาณ 33 ขา ทั้งนี้ถ้าต้องการลดจำนวนขาเราก็อาจจะทำการมัลติเพล็ก(multiplex) ที่อินพุทหรือเอาท์พุต

-ตามที่ได้กล่าวมาแล้วว่า ในการออกแบบได้ใช้คอมพิวเตอร์ช่วยในการออกแบบ โดยใช้ CIRCAD II เป็นซอร์ฟแวร์ช่วยในการออกแบบ ซึ่งมีปัญหาในการใช้งานค่อนข้างมาก อีกทั้งคอมพิวเตอร์ที่ใช้ในการออกแบบมีเพียงเครื่องเดียว จึงทำให้เกิดความล่าช้าในการออกแบบ

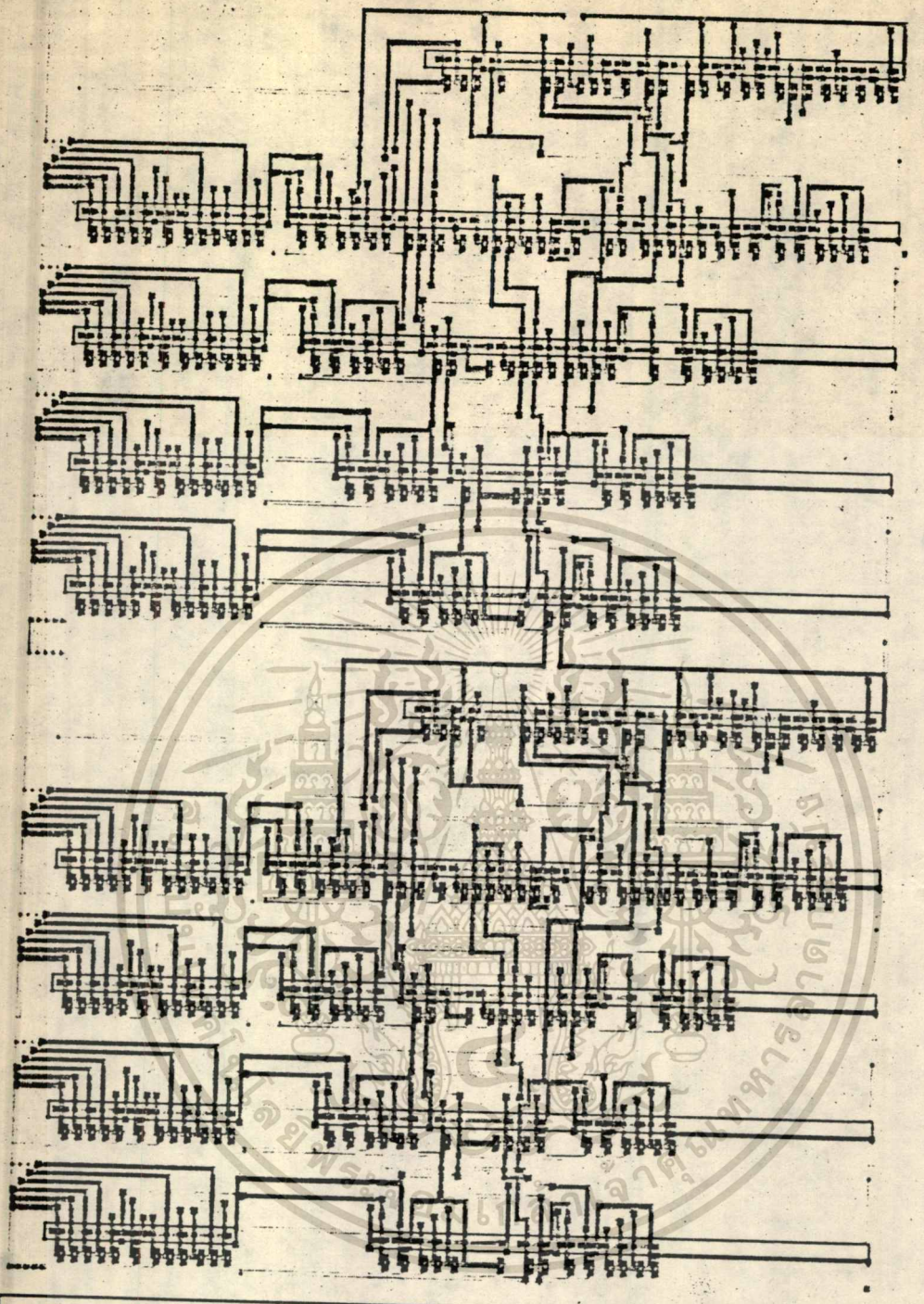
ALU8BIT เป็นชิฟที่มีความสามารถในการทำงานได้หลายหน้าที่ ดังนั้นในการใช้งานเราสามารถนำมาประยุกต์ ใช้แทนเกทอาเรย์(Gate Array), การบวก(Addition), การลบ(Subtraction) และการเลื่อน(Shift)ได้ ทั้งนี้ขึ้นอยู่กับความต้องการของผู้ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



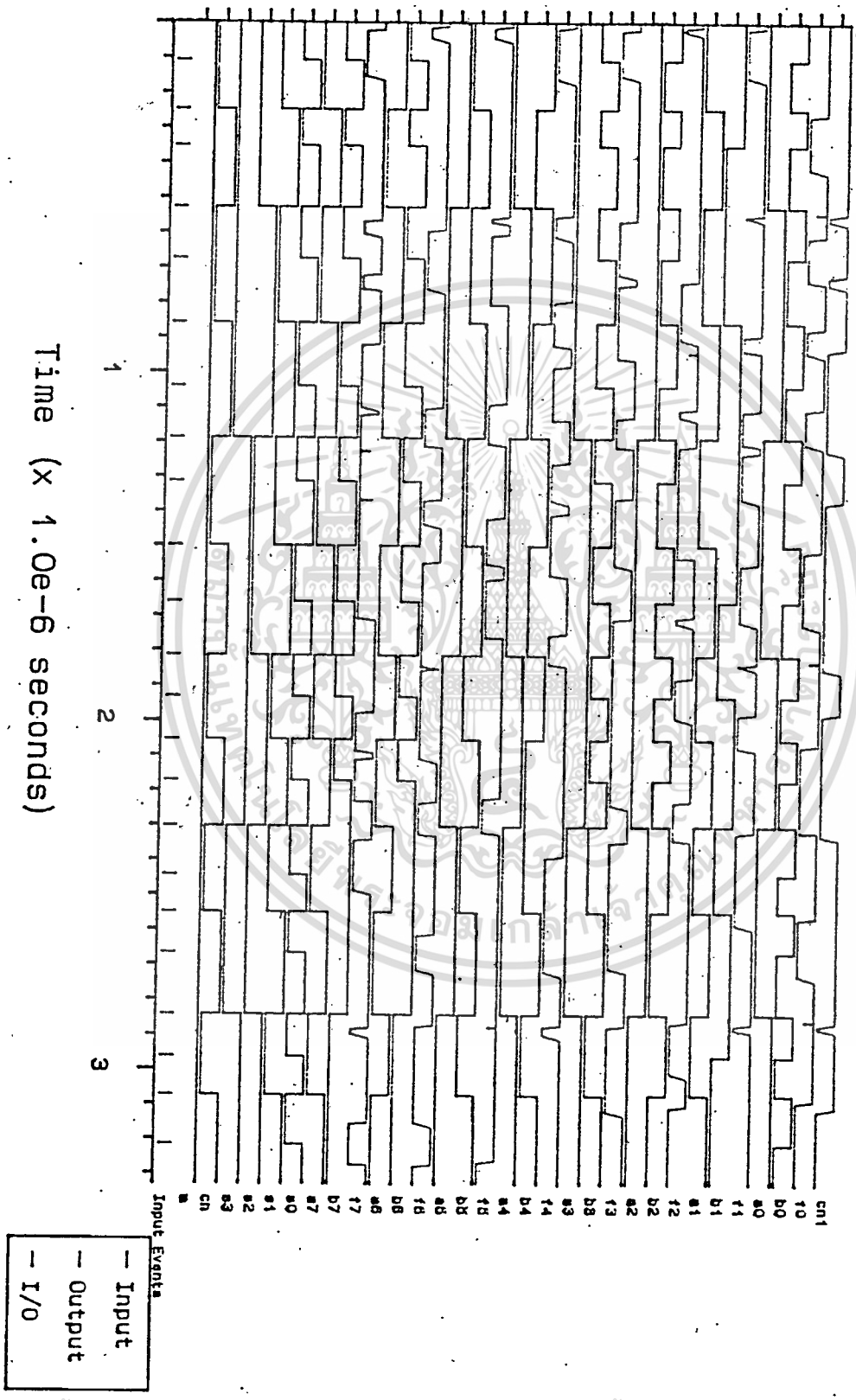
ALU - [illegible]	07:23 Monday 27 February 1989
Window (microns) : [0.00, 0.00] - [4552.50, 5806.25]	
Plot size (mm) : 145 by 168 Scale : 32.0024 micron/mm	
Plot level : 1-4	☐ CP ☐ CPD ☐ CPW
User : kmitcad	☒ CC ☐ CG ☐ CM ☐ CND

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

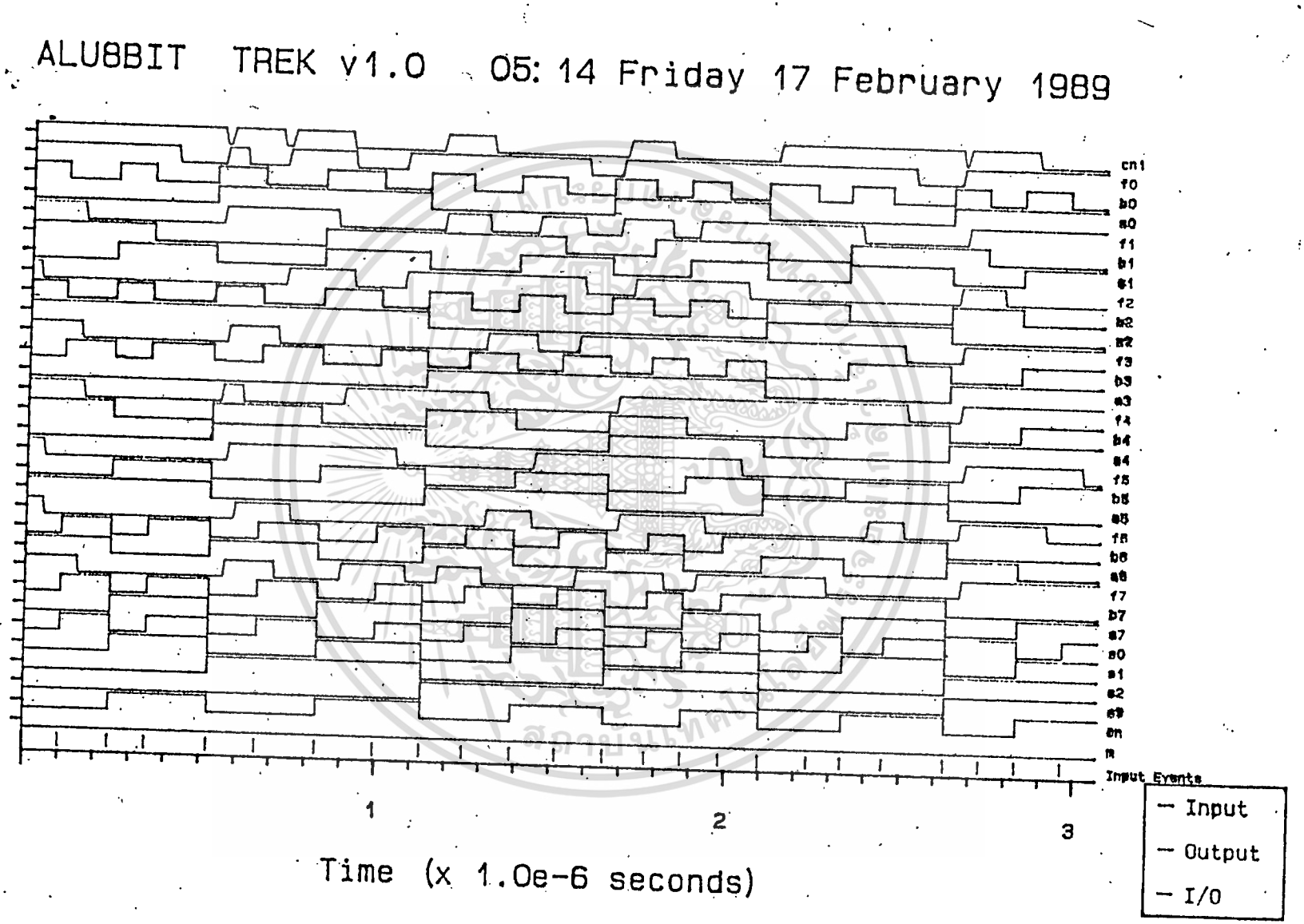


ALUBIT	18:31 Sunday 26 February 1989		
Window (microns) : [-5.00, -3.75] - [1737.50, 2538.75]			
Plot size (mm) : 126 by 183 Scale : 14.0484 micron/mm			
Plot level : 1-4	☐ CP	☐ CPD	☐ CPW
User : kmitcad	☒ CC	☐ CM	☐ CND

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบสเตทแมทชีน (State machines) โดยใช้ fidel

งานที่เกี่ยวกับการออกแบบวงจรโดยใช้ finite state machines นั้น มีวิธีการออกแบบที่ค่อนข้างยุ่งยากและน่าเบื่อ ในการคำนวณหาสถานะถัดไปและสมการของเอาท์พุท ซึ่งปัญหาในการออกแบบที่น่าเบื่อเหล่านี้เราสามารถใช้ซอฟท์แวร์ช่วยในการออกแบบได้

1 Fidel

fidel เป็นไฟล์ๆหนึ่งในซอฟท์แวร์ที่ช่วยในการออกแบบวงจรระดับ VLSI CIRCAD II โดย fidel จะเหมือนภาษาคอมพิวเตอร์ภาษาหนึ่งที่ช่วยในการสังเคราะห์ (synthesis) finite state machines (FSM) ดังนั้นงานเกี่ยวกับการออกแบบวงจรดิจิตอลต่างๆ สามารถใช้ fidel ช่วยได้ทำให้งานนั้นง่ายขึ้น

2 ลักษณะของภาษาใน fidel

ในไฟล์ fidel นี้จะถูกแบ่งออกเป็นสองส่วน คือ

1 declaration block : เป็นส่วนที่บอกลักษณะของอินพุท, เอาท์พุท และสถานะต่างๆ

2 transition block : จะเป็นส่วนที่บอกข้อมูลเกี่ยวกับสถานะทรานซิชั่น(state transition)

3 ทรานซิชั่นแบบไม่มีเงื่อนไข (Unconditional Transition)

เป็นลักษณะของ state machines ที่ง่ายที่สุด กล่าวคือ ไม่มีอินพุทหรือเอาท์พุทใดไปยุ่งเกี่ยวกับสถานะของ state ดังตัวอย่างโปรแกรมที่จะแสดงให้ดูต่อไปนี้ ซึ่งเป็นโปรแกรมวงจรนับ 4 แบบวงแหวน (4 ring counter) ดังนี้

```
module counter 4
{
    state
    sØ ,s1 ,s2 ,s3 ;
  sØ : -> s1 ;
  s1 : -> s2 ;
  s2 : -> s3 ;
  s3 : -> sØ ;
}
```

หมายเหตุ สัญญลักษณ์ " -> " หมายถึง การเปลี่ยนแปลงจากสถานะเริ่มต้น (present state) ไปเป็นสถานะถัดไป (next state)

4 ทรานซิชั่นแบบมีเงื่อนไข (Conditional Transition)

state machines ส่วนมากนั้น ทรานซิชั่นของมันไม่ได้เป็นฟังก์ชั่นที่ขึ้นอยู่กับสถานะเริ่มต้นอย่างเดียวเท่านั้น แต่ยังจะขึ้นอยู่กับเงื่อนไขของอินพุทขณะนั้นด้วย ซึ่งเราเรียก state machines ลักษณะนี้ว่าเป็นแบบทรานซิชั่นแบบมีเงื่อนไข ตัวอย่างโปรแกรมที่จะแสดงให้ดูนี้

เอกสารนี้มีลิขสิทธิ์ ห้ามนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็น วงจรนับขึ้น-ลง 4 บิท (4 bit up-down counter) ซึ่งโหมดการทำงานของวงจรนับจะถูกควบคุมโดย input"up" ซึ่งเป็นโปรแกรมที่เป็น state machines แบบที่ทรานซิชั่นของมันมีเงื่อนไข

```
module updown-cntr 4
{
      input
         up ;
      state
         sØ, s1, s2, s3;
      sØ : if (up) -> s1 ; else -> s3;
      s1 : if (up) -> s2 ; else -> sØ;
      s2 : if (up) -> s3 ; else -> s1;
      s3 : if (up) -> sØ ; else -> s2;
}
```

คำสั่ง "switch" จะใช้ในการอธิบายคุณสมบัติของทรานซิชั่นแบบมีเงื่อนไข ดังตัวอย่างโปรแกรมที่จะแสดงให้ดูดังต่อไปนี้

```
      sØ : switch (a, b, c)
         {
            case (1, Ø, 1) : -> s1;
            case (Ø, 1, 1) : -> s2;
            default:         -> sØ;
         }
```

ส่วนคำสั่ง default หมายถึงกรณีที่เหลือทั้งหมดที่ไม่ได้กล่าวถึงในคำสั่ง switch (...)

โดยทั่วๆไปเรามีวิธีเขียนทรานซิชันของ state S ได้ n วิธี โดยใช้คำสั่ง if....elseif....else ดังนี้

```
      S :
            if (B1) ....
            else if (B2) ....
            else if (B3) ....
            ....
            else ....
```

สังเกตว่าคำสั่ง else หลังสุดจะมีหรือไม่มีก็ได้และสำหรับพีชคณิตบูลลีนของอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่างๆนั้นมีโอเปอร์เรเตอร์ดังต่อไปนี้

"&" หมายถึง "and"

"!" หมายถึง "or"

"~" หมายถึง "not"

โดยปกติลำดับการกระทำก่อนและหลังจะมีความสำคัญ ดังนั้นจึงควรใส่วงเล็บในข้อความที่จะกระทำพีชคณิตบูลลีนด้วย โดยข้อความในวงเล็บจะถูกกระทำก่อน

Note : ชื่อหรือสัญญลักษณ์ในพีชคณิตบูลลีนเป็นตัวแปรอินพุทขนาด 1 บิตเท่านั้น

5 เอาท์พุท(outputs)

ตัวแปรเอาท์พุทสามารถกำหนดค่าได้โดยใช้เครื่องหมาย "=" โดยมีรูปแบบดังนี้

compid "=" number ";"

ทางซ้ายของคำสั่งกำหนดค่าสามารถเป็นได้ทั้งตัวแปรเอาท์พุทแบบ 1 บิท หรือแบบ array ซึ่งเป็นแบบหลายบิท(multi bit) ส่วน Number ดังตัวอย่างเป็นได้ทั้งเลขฐานสิบหรือฐานสิบหก(ต้องขึ้นต้นด้วย 'Øx') หรือฐานแปด(ต้องขึ้นต้นด้วย 'Ø') หรือฐานสอง(ต้องขึ้นต้นด้วย '%')

ตัวอย่างเช่น เลขฐานสองคือ '%ØØ-1-Ø' (สัญญลักษณ์ '-' คือ don't care) ถ้าไม่ได้กำหนดค่าตัวแปรแบบเอาท์พุทมาก่อนจะถือว่าตัวแปรนั้นมีค่าเป็น Ø อยู่ก่อนแล้ว

5.1 เอาท์พุทสเตรท(state output)

ในการออกแบบ state machine โดยทั่วไปรูปแบบของเอาท์พุทมักเกี่ยวข้องกับสถานะ state เมื่อ state machine ได้รับการกำหนดแล้วค่าของเอาท์พุทจะไม่ขึ้นอยู่กับเงื่อนไขของอินพุท(input condition) ใดๆ

เอาท์พุทสเตรท(state output) จะถูกกำหนดใน Fidel ก่อนเงื่อนไขอื่นๆ ตัวอย่างเช่น

```
S2 : CØ=1; C1=Ø;
   if(request) -> S1; else -> S2;
```

ตัวอย่างนี้เป็นการกำหนดค่า 1 ให้เอาท์พุท CØ และ Ø ให้เอาท์พุท C1 เมื่อ state machine นำสู่ state S2

5.2 เอาท์พุทแบบมีเงื่อนไข(condition output)

บ่อยครั้งที่เกิดความซับซ้อนของสมการสถานะถัดไปซึ่งเราสามารถที่จะลดความซับซ้อนและยุ่งยากนี้ลงได้โดยกำหนดเอาท์พุทแบบมีเงื่อนไข(condition output)ให้เหมาะสม เอาท์พุทแบบมีเงื่อนไขเหล่านี้จะประกอบด้วยฟังก์ชันของสถานะเริ่มต้น และเงื่อนไขของอินพุท(input conditions) ดังแสดงในตัวอย่างนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
S2 : C0 = 1; C1 = 0;
     if(~reset)
     {
      C2 = 1; C3 = 0;
      -> S1;
     }
     else
      -> S2;
```

เอาท์พุทแบบมีเงื่อนไขนี้ถูกกำหนดโดย C2 = 1 และ C3 = 0

6 อาเรย์ (Arrays)

อาเรย์นี้ใช้ในกรณีที่อินพุทหรือเอาท์พุทที่ฟอร์มกันเป็น state machine ถูกใช้ร่วมกับอุปกรณ์ที่ต่อจากภายนอก(external device) โดยรูปแบบคำสั่งจะคล้ายกับที่ใช้ในภาษา C คือ

```
input vec[8];
```

จากตัวอย่างนี้หมายความว่าเราได้ใช้คำสั่ง vec ในการบอกให้ทราบถึงอินพุทแบบอาเรย์ขนาด 8 บิท(คือ vec[0]...,vec[7]) ซึ่งแต่ละบิทสามารถที่จะเซ็ตค่าแยกกันได้ โดยอิสระเช่น

```
vec[0] = 1; vec[2] = 0;
```

หรือจะกำหนดค่าเป็นกลุ่มของบิทที่ติดๆกันเช่น

```
vec[1:4] = 3;
```

7.การออกแบบวงจรคอมบิเนชั่นลอจิก(combination logic)

วงจรคอมบิเนชั่นลอจิกถือได้ว่าเป็น state machine แบบคลาส 0 (class0) กล่าวคือตัว state machine จะถูกกำหนดด้วยสถานะ 1 สถานะ และเงื่อนไขเอาท์พุทเท่านั้นดังตัวอย่างต่อไปนี้ซึ่งเป็นวงจร full adder

```
module combadder
{
     /* FULL ADDER */
 input
   a, b, cin;
 output
   sum, cout;
 switch(cin, a, b)
 {
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        case(0, 1, 1): cout = 1; sum = 0;
        case(0, 0, 0): cout = 0; sum = 0;
        case(0, 1, 0): cout = 0; sum = 1;
        case(0, 0, 1): cout = 0; sum = 1;
        case(1, 1, 1): cout = 1; sum = 1;
        case(1, 0, 0): cout = 0; sum = 1;
        default:       cout = 1; sum = 0;
    }
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้ INGRED

Ingred เป็น CAD ที่ใช้ในการออกแบบวงจร VLSI โดยจะมีสัญญลักษณ์ของ DEVICE,WIRE,TOOL ต่าง ๆ ทางด้านกราฟฟิคเพื่อช่วยในการออกแบบ การออกแบบโดยทั่วไปจะแบ่งตามเทคโนโลยีที่ใช้ได้ 2 แบบคือ

1. NMOS
2. CMOS

โดย DEVICE ที่ใช้ใน NMOS และ CMOS จะไม่เหมือนกันจะมีอัตราส่วนต่างกัน กฎการออกแบบ (Design rules) ที่ต่างกัน ในการเรียกใช้

NMOS จะเรียก INGRED filename to edit
เมื่อเครื่องทำงานจะขึ้น window ของ ingred มาให้

CMOS จะต้องบอกถึงเทคโนโลยีที่ใช้ว่าเป็นแบบ CMOS ดังนั้นจึงต้องเรียก

INGRED-P CMOS filename to edit

TOOL ที่ใช้ใน NMOS และ CMOS การทำงานจะเหมือนกันทุกอย่าง แต่จะมี Device ที่ต่างกันไปเท่านั้น

ระดับในการออกแบบ

โดยปกติจะแบ่งออกเป็น 2 ระดับด้วยกัน

1. ระดับ Module จะเป็นวงจรขนาดใหญ่จะเป็นการนำเอา leafcell มาต่อกัน command ใน ingred ก็จะแตกต่างกับระดับ leafcell

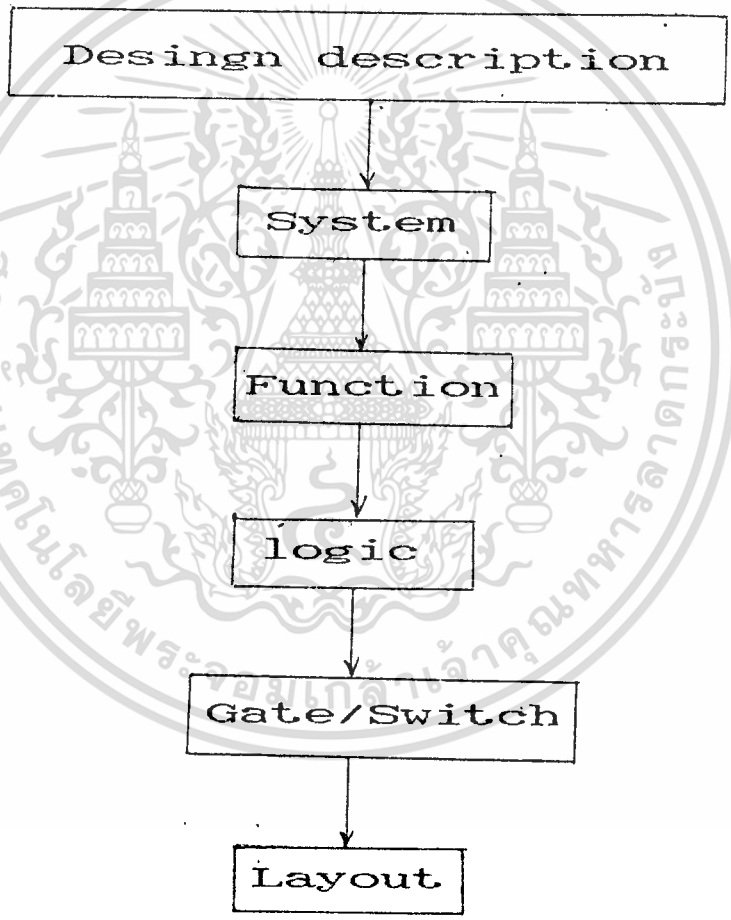
2. ระดับ leafcell จะเป็นวงจรย่อย ที่สร้างเตรียมเอาไว้ สามารถดึงเอามาต่อกันเป็นวงจรขนาดใหญ่มี command ใน ingred ต่างจากระดับ module

การเรียก ingred ถ้าเป็น Newfile เครื่องจะเซ็ตมาอยู่ใน module เราสามารถเปลี่ยนให้ไปอยู่ใน leaf cell โดยใช้ mouse เลือกได้ เพื่อออกแบบวงจรในระดับ lefceli ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

System Design

top-down design

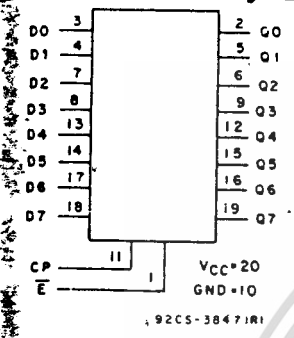


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RCA Solid State

CD54/74HC377
CD54/74HCT377

High-Speed CMOS Logic



FUNCTIONAL DIAGRAM

Octal D-Type Flip-Flop with Data Enable

Type Features:
- *Buffered common clock*
- *Buffered inputs*
- *Typical propagation delay = 17ns @ C_L = 15pF, V_{CC} = 5 V, T_A = 25°C*
- *60 MHz typical maximum clock frequency @ V_{CC} = 5 V, C_L = 15 pF, T_A = 25°C*

The RCA-CD54/74HC377 and CD54/74HCT377 are octal D-type flip-flops with a buffered clock (CP) common to all eight flip-flops. All the flip-flops are loaded simultaneously on the positive edge of the clock (CP) when the Data Enable ($\overline{E}$) is LOW.

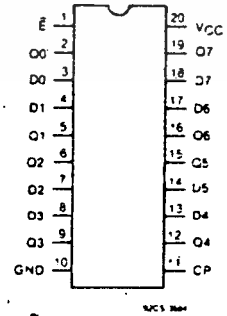
The CD54HC377 and CD54HCT377 are supplied in 20-lead ceramic dual-in-line packages (F suffix). The CD74HC377 and CD74HCT377 are supplied in 20-lead dual-in-line plastic packages (E suffix) and in 20-lead dual-in-line surface mount plastic packages (M suffix). Both types are also available in chip form (H suffix).

Family Features:
- *Fanout (over temperature range):*
  Standard outputs - 10 LSTTL loads
  Bus driver outputs - 15 LSTTL loads
- *Wide operating temperature range:*
  CD74HC/HCT: -40 to +85°C
- *Balanced propagation delay and transition times*
- *Significant power reduction compared to LSTTL logic ICs*
- *Alternate source is Philips/Signetics*
- *CD54HC/CD74HC types:*
  2 to 6 V operation
  High noise immunity: N_{IL} = 30%, N_{IH} = 30% of V_{CC} @ V_{CC} = 5 V
- *CD54HCT/CD74HCT types:*
  4.5 to 5.5 V operation
  Direct LSTTL input logic compatibility
  V_{IL} = 0.8 V max., V_{IH} = 2 V min.
  CMOS input compatibility
  $I_I \leq 1\ \mu A$ @ V_{OL}, V_{OH}

TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS
	CP	$\overline{E}$	Dn	On
Load "1"	⌐	l	h	H
Load "0"	⌐	l	l	L
Hold (do nothing)	⌐	h	X	no change
	X	H	X	no change

H = HIGH voltage level steady state.
h = HIGH voltage level one setup time prior to the LOW-to-HIGH clock transition.
L = LOW voltage level steady state
l = LOW voltage level one setup time prior to the LOW-to-HIGH clock transition.
X = Don't care.
⌐ = LOW-to-HIGH clock transition.



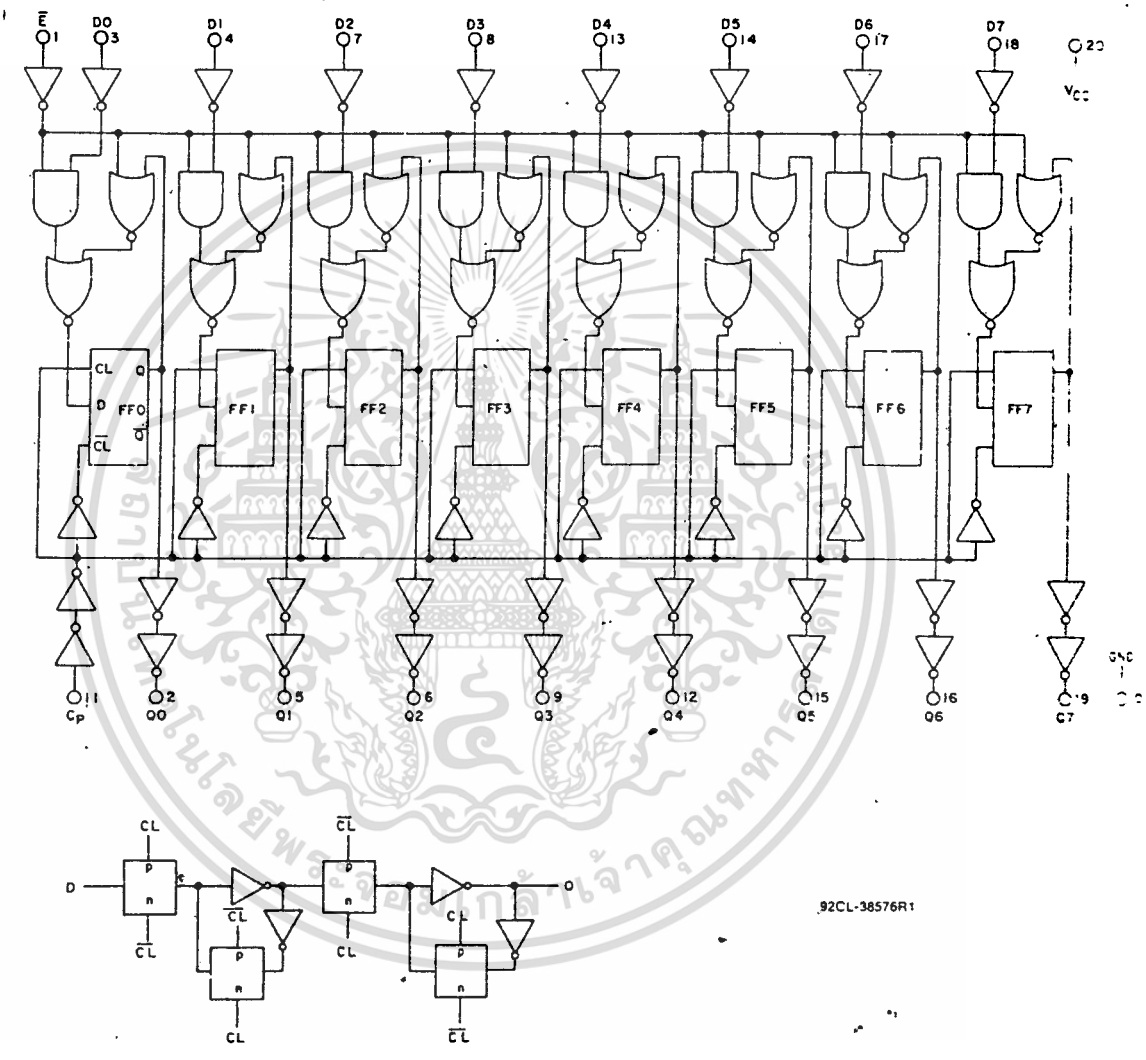
TERMINAL ASSIGNMENT

Trademark(s)® Registered
Marca(s) Registrada(s)
Printed in USA/5-86
Supersedes issue dated 1-85

Information furnished by RCA is believed to be accurate and reliable. However, no responsibility is assumed by RCA for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of RCA.

File Number 1675

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Flip-Flop Detail

Fig. 1 — Logic diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS, *Absolute-Maximum Values:*

DC SUPPLY-VOLTAGE, (V_{CC}):
(Voltages referenced to ground) ..... -0.5 to +7 V
DC INPUT DIODE CURRENT, I_{IK} (FOR $V_I < -0.5$ V OR $V_I > V_{CC} + 0.5$V) ..... ±20mA
DC OUTPUT DIODE CURRENT, I_{OK} (FOR $V_O < -0.5$ V OR $V_O > V_{CC} + 0.5$V) ..... ±20mA
DC DRAIN CURRENT, PER OUTPUT (I_O) (FOR $-0.5\ V < V_O < V_{CC} + 0.5V$) ..... ±25mA
DC V_{CC} OR GROUND CURRENT (I_{CC}) ..... ±50mA
POWER DISSIPATION PER PACKAGE (P_D):
For T_A = -40 to +60°C (PACKAGE TYPE E) ..... 500 mW
For T_A = +60 to +85°C (PACKAGE TYPE E) ..... Derate Linearly at 8 mW/°C to 300 mW
For T_A = -55 to +100°C (PACKAGE TYPE F, H) ..... 500 mW
For T_A = +100 to +125°C (PACKAGE TYPE F, H) ..... Derate Linearly at 8 mW/°C to 300 mW
For T_A = -40 to +70°C (PACKAGE TYPE M) ..... 400 mW
For T_A = +70 to +125°C (PACKAGE TYPE M) ..... Derate Linearly at 6 mW/°C to 70 mW
OPERATING-TEMPERATURE RANGE (T_A):
PACKAGE TYPE F, H ..... -55 to +125°C
PACKAGE TYPE E, M ..... -40 to +85°C
STORAGE TEMPERATURE (T_{stg}) ..... -65 to +150°C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max ..... +265°C
Unit inserted into a PC Board (min. thickness 1/16 in., 1.59 mm)
with solder contacting lead tips only ..... +300°C

RECOMMENDED OPERATING CONDITIONS:
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS MIN.	LIMITS MAX.	UNITS
Supply-Voltage Range (For T_A = Full Package-Temperature Range) V_{CC}:*			
CD54/74HC Types	2	6	V
CD54/74HCT Types	4.5	5.5	
DC Input or Output Voltage V_I, V_O	0	V_{CC}	V
Operating Temperature T_A:			
CD74 Types	-40	+85	°C
CD54 Types	-55	+125	
Input Rise and Fall Times t_r, t_f			
at 2 V	0	1000	ns
at 4.5 V	0	500	
at 6 V	0	400	

*Unless otherwise specified, all voltages are referenced to Ground.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า กรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CD74HC377/CD54HC377									CD74HCT377/CD54HCT377								UNITS
	TEST CONDITIONS			74HC/54HC TYPES			74HC TYPE		54HC TYPE	TEST CONDITIONS		74HCT/54HCT TYPES			74HCT TYPE		54HCT TYPE	
	V_I V	I_O mA	V_{CC} V	+25°C			-40/ +85°C		-55/ +125°C	V_I V	V_{CC} V	+25°C			-40/ +85°C		-55/ +125°C	
				Min	Typ	Max	Min	Max	Min Max			Min	Typ	Max	Min	Max	Min	Max
High-Level Input Voltage V_{IH}			2	1.5	–	–	1.5	–	1.5 –		4.5 to 5.5	2	–	–	2	–	2	–
			4.5	3.15	–	–	3.15	–	3.15 –									
			6	4.2	–	–	4.2	–	4.2 –									
Low-Level Input Voltage V_{IL}			2	–	–	0.5	–	0.5	– 0.5		4.5 to 5.5	–	–	0.8	–	0.8	–	0.8
			4.5	–	–	1.35	–	1.35	– 1.35									
			6	–	–	1.8	–	1.8	– 1.8									
High-Level Output Voltage V_{OH} CMOS Loads	V_I or V_{IL}	-0.02	2	1.9	–	–	1.9	–	1.9 –	V_I or V_{IL}	4.5	4.4	–	–	4.4	–	4.4	–
			4.5	4.4	–	–	4.4	–	4.4 –									
			6	5.9	–	–	5.9	–	5.9 –									
TTL Loads	V_I or V_{IL}	-4	4.5	3.98	–	–	3.84	–	3.7 –	V_I or V_{IL}	4.5	3.98	–	–	3.84	–	3.7	–
		-5.2	6	5.48	–	–	5.34	–	5.2 –									
Low-Level Output Voltage V_{OL} CMOS Loads	V_I or V_{IL}	0.02	2	–	–	0.1	–	0.1	– 0.1	V_I or V_{IL}	4.5	–	–	0.1	–	0.1	–	0.1
			4.5	–	–	0.1	–	0.1	– 0.1									
			6	–	–	0.1	–	0.1	– 0.1									
TTL Loads	V_I or V_{IL}	4	4.5	–	–	0.26	–	0.33	– 0.4	V_I or V_{IL}	4.5	–	–	0.26	–	0.33	–	0.4
		5.2	6	–	–	0.26	–	0.33	– 0.4									
Input Leakage Current I_I	V_I or Gnd		6	–	–	±0.1	–	±1	– ±1	Any Voltage Between V_{CC} & Gnd	5.5	–	–	±0.1	–	±1	–	±1
Quiescent Device Current I_{CC}	V_I or Gnd	0	6	–	–	8	–	80	– 160	V_I or Gnd	5.5	–	–	8	–	80	–	160
Additional Quiescent Device Current per input pin 1 unit load ΔI_{CC}*										V_I -2.1	4.5 to 5.5	–	100	360	–	450	–	490

*For dual-supply systems theoretical worst case (V_I = 2.4 V, V_{CC} = 5.5 V) specification is 1.8 mA

HCT Input Loading Table

Input	Unit Loads*
$\overline{E}$	1.5
CP	0.5
All Dn Inputs	0.25

*Unit Load is ΔI_{CC} limit specified in Static Characteristic Chart, e.g., 360 μA max. @ 25°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SWITCHING CHARACTERISTICS (V_{CC} = 5 V, T_A = 25°C, Input t_r, t_f = 6 ns)

CHARACTERISTIC	C_L (pF)	SYMBOL	TYPICAL		UNITS
			HC	HCT	
Maximum Clock Frequency	15	f_{max}	60	50	MHz
Propagation Delay CP ⟶ Q	15	t_{PLH} t_{PHL}	14	16	ns
Power Dissipation Capacitance*	—	C_{PD}	31	35	pF

*C_{PD} is used to determine the dynamic power consumption, per flip flop.
$P_D = C_{PD} V_{CC}^2 f_i + \Sigma (C_L V_{CC}^2 f_o)$ where:
f_i = input frequency
f_o = output frequency
C_L = output load capacitance.
V_{CC} = supply voltage.

PREREQUISITE FOR SWITCHING FUNCTION

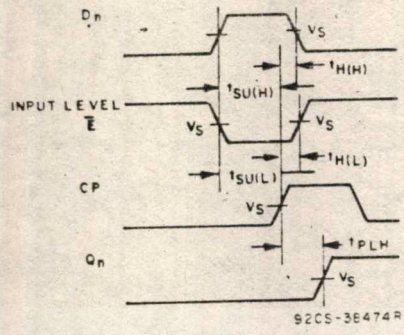
CHARACTERISTIC		V_{CC}	25°C				-40°C to +85°C				-55°C to +125°C				UNITS
			HC		HCT		74HC		74HCT		54HC		54HCT		
			Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
Maximum Clock Frequency	f_{max}	2	6	—	—	—	5	—	—	—	4	—	—	—	MHz
		4.5	30	—	25	—	25	—	20	—	20	—	16	—	
		6	35	—	—	—	29	—	—	—	23	—	—	—	
Clock Pulse width	t_w	2	80	—	—	—	100	—	—	—	120	—	—	—	ns
		4.5	16	—	20	—	20	—	25	—	24	—	30	—	
		6	14	—	—	—	17	—	—	—	20	—	—	—	
Set-up Time E, Data to CP	t_{su}	2	60	—	—	—	75	—	—	—	90	—	—	—	ns
		4.5	12	—	12	—	15	—	15	—	18	—	18	—	
		6	10	—	—	—	13	—	—	—	15	—	—	—	
Hold Time, Data to CP	t_H	2	3	—	—	—	3	—	—	—	3	—	—	—	ns
		4.5	3	—	3	—	3	—	3	—	3	—	3	—	
		6	3	—	—	—	3	—	—	—	3	—	—	—	
Hold Time E to CP	t_H	2	5	—	—	—	5	—	—	—	5	—	—	—	ns
		4.5	5	—	5	—	5	—	5	—	5	—	5	—	
		6	5	—	—	—	5	—	—	—	5	—	—	—	

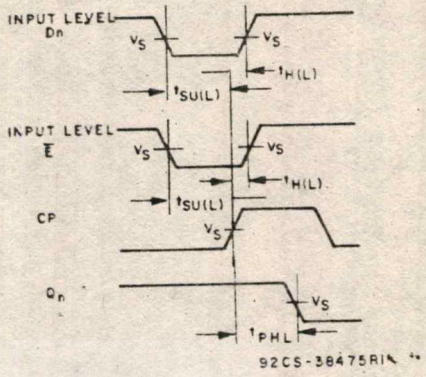
SWITCHING CHARACTERISTICS (C_L = 50 pF, Input t_r, t_f = 6 ns)

CHARACTERISTIC		V_{CC}	25°C				-40°C to +85°C				-55°C to +125°C				UNITS
			HC		HCT		74HC		74HCT		54HC		54HCT		
			Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
Propagation Delay, CP to Q	t_{PLH} t_{PHL}	2	—	175	—	—	—	220	—	—	—	265	—	—	ns
		4.5	—	35	—	38	—	44	—	48	—	53	—	57	
		6	—	30	—	—	—	37	—	—	—	45	—	—	
Output Transition Time	t_{TLH} t_{THL}	2	—	75	—	—	—	95	—	—	—	110	—	—	ns
		4.5	—	15	—	15	—	19	—	19	—	22	—	22	
		6	—	13	—	—	—	16	—	—	—	19	—	—	
Input Capacitance	C_I		—	10	—	10	—	10	—	10	—	10	—	10	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

63





	54/74HC	54/74HCT
Input Level	V_{CC}	3V
Switching Voltage, V_S	50% V_{CC}	1.3 V

Fig. 2 - Setup and hold times and propagation delay times.

OPERATING AND HANDLING CONSIDERATIONS

1. **Handling**
   All inputs and outputs of RCA CMOS devices have a network for electrostatic protection during handling. Recommended handling practices for CMOS devices are similar to those described in ICAN-6525, "Guide to Better Handling and Operation of CMOS Integrated Circuits."
2. **Operating**

Operating Voltage

During operation near the maximum supply voltage limit, care should be taken to avoid or suppress power supply turn-on and turn-off transients, power supply ripple, or ground noise; any of these conditions must not cause V_{CC} — Gnd to exceed the absolute maximum rating.

Input Signals

To prevent damage to the input protection circuit, inpu signals should never be greater than V_{CC} nor less tha Gnd. Input currents must not exceed 20 mA even whe the power supply is off.

Unused Inputs

A connection must be provided at every input termina All unused input terminals must be connected to eithe V_{CC} or Gnd, whichever is appropriate.

Output Short Circuits

Shorting of outputs to V_{CC} or Gnd may damage CMO devices by exceeding the maximum device dissipatio

ORDERING INFORMATION

RCA CMOS device packages are identified by letters indicated in the following chart. When ordering a CMOS device, it is important that the appropriate suffix letter be affixed to the type number of the device.

Package	Suffix Letter
Dual-In-Line Plastic	E
Dual-In-Line Frit-Seal Ceramic	F
Dual-In-Line Surface Mount Plastic	M
Chip	H

The CD54HC/HCT series is supplied in dual-in-line frit-sea ceramic packages (F suffix). The CD74HC/HCT series supplied in dual-in-line plastic packages (E suffix) and dual-in-line surface mount plastic packages (M suffix). Bo series are supplied in chip form (H suffix).

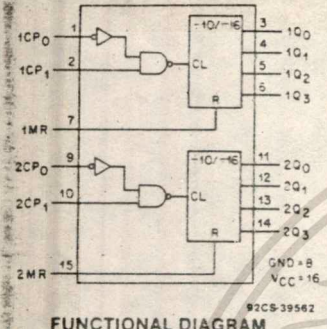
For example, a CD54HC377 will be identified as th CD54HC377F. The CD74HC377 will be identified as th CD74HC377E.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RCA Solid State

CD54/74HC4518, CD54/74HCT4518
CD54/74HC4520, CD54/74HCT4520

High-Speed CMOS Logic



FUNCTIONAL DIAGRAM

Dual Synchronous Counters

CD54/74HC/HCT4518 — BCD
CD54/74HC/HCT4520 — Binary

Type Features:

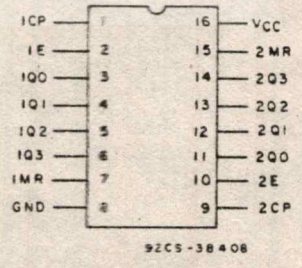
- *Positive or Negative Edge Triggering*
- *Synchronous Internal Carry Propagation*

The RCA CD54/74HC4518 and CD54/74HCT4518 are dual BCD up-counters. The RCA CD54/74HC4520 and CD54/74HCT4520 are dual binary up-counters. Each device consists of two independent internally synchronous 4-stage counters. The counter stages are D-type flip-flops having interchangeable CLOCK and ENABLE lines for incrementing on either the positive-going or the negative-going transition of CLOCK. The counters are cleared by high levels on the MASTER RESET lines. The counter can be cascaded in the ripple mode by connecting Q3 to the ENABLE input of the subsequent counter while the CLOCK input of the latter is held low.

The CD54HC/HCT4518 and CD54HC/HCT4520 are supplied in 16-lead ceramic dual-in-line packages (F suffix). The CD74HC/HCT4518 and CD74HC/HCT4520 are supplied in a 16-lead plastic dual-in-line packages (E suffix), and in 16-lead surface mount plastic dual-in-line packages (M suffix). The CD54/74HC/HCT4518/4520 are also supplied in chip form (H suffix).

Family Features:

- *Fanout (Over Temperature Range):*
  Standard Outputs - 10 LSTTL Loads
  Bus Driver Outputs - 15 LSTTL Loads
- *Wide Operating Temperature Range:*
  CD74HC HCT: -40 to +85° C
- *Balanced Propagation Delay and Transition Times*
- *Significant Power Reduction Compared to LSTTL Logic ICs*
- *Alternate Source is Philips Signetics*
- *CD54HC/CD74HC Types:*
  2 to 6 V Operation
  High Noise Immunity:
  N_{IL} = 30%, N_{IH} = 30% of V_{CC} @ V_{CC} = 5 V
- *CD54HCT/CD74HCT Types:*
  4.5 to 5.5 V Operation
  Direct LSTTL Input Logic Compatibility
  V_{IL} = 0.8 V Max., V_{IH} = 2 V Min.
  CMOS Input Compatibility:
  $I_I \leq 1\ \mu A$ @ V_{OL}, V_{OH}



TERMINAL ASSIGNMENT

Trademark(s)® Registered
Marca(s) Registrada(s)
Printed in USA/4-86
Supersedes issue dated 1-85

Information furnished by RCA is believed to be accurate and reliable. However, no responsibility is assumed by RCA for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of RCA.

File Number 1665

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า กรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

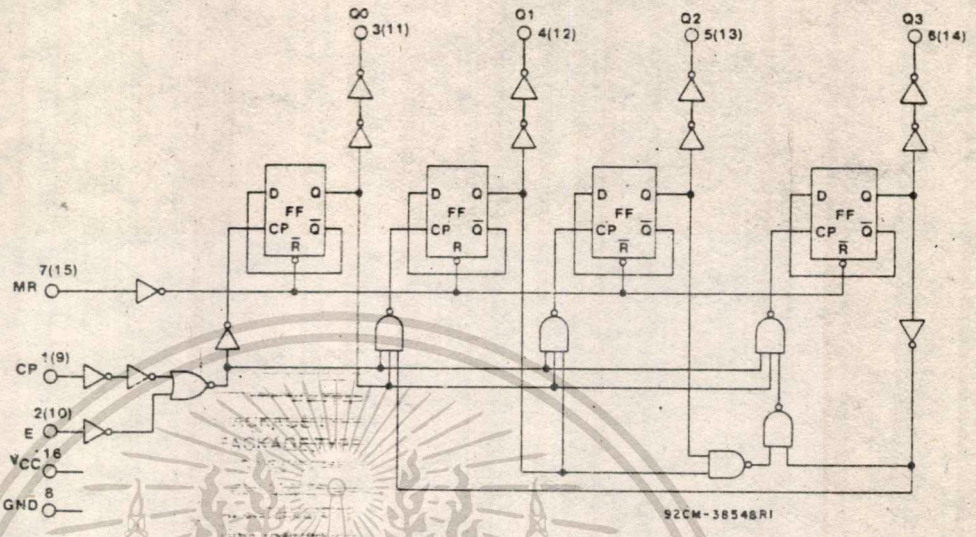


Fig. 1 — CD54/74HC/HCT4518 Logic Diagram

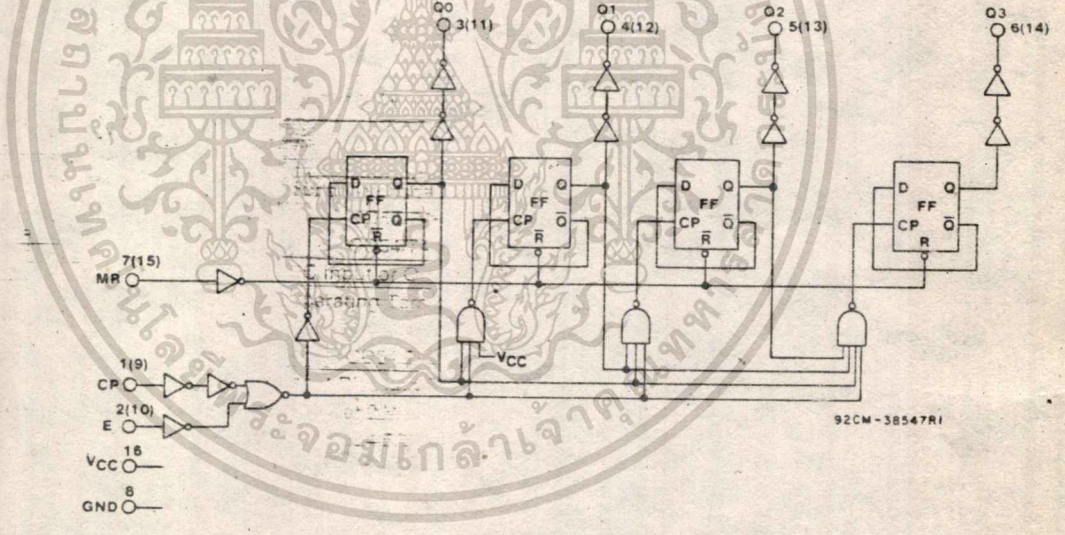


Fig. 2 — CD54/74HC/HCT4520 Logic Diagram

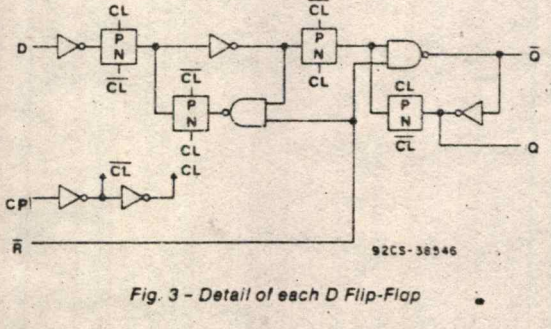


Fig. 3 - Detail of each D Flip-Flop

TRUTH TABLE			
CP	E	MR	ACTION
⌐	H	L	Increment Counter
L	⌐	L	Increment Counter
¬	X	L	No Change
X	⌐	L	No Change
⌐	L	L	No Change
H	¬	L	No Change
X	X	H	Q0 thru Q3 = 0

X = Don't Care H = High State L = Low State

⌐ = low-to-high transition

¬ = high-to-low transition

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD54/74HC4518, CD54/74HCT4518
CD54/74HC4520, CD54/74HCT4520

MAXIMUM RATINGS, *Absolute-Maximum Values:*

DC SUPPLY-VOLTAGE, (V_{CC}):
(Voltages referenced to ground) ..... -0.5 to + 7 V
DC INPUT DIODE CURRENT, I_{IK} (FOR $V_I < -0.5$ V OR $V_I > V_{CC}$ +0.5V) ..... ±20mA
DC OUTPUT DIODE CURRENT, I_{OK} (FOR $V_o < -0.5$ V OR $V_o > V_{CC}$ +0.5V) ..... ±20mA
DC DRAIN CURRENT, PER OUTPUT (I_o) (FOR $-0.5\ V < V_o < V_{CC} + 0.5V$) ..... ±25mA
DC V_{CC} OR GROUND CURRENT, PER PIN (I_{CC}) ..... ±50mA
POWER DISSIPATION PER PACKAGE (P_D):
For T_A = -40 to +60° C (PACKAGE TYPE E) ..... 500 mW
For T_A = +60 to +85° C (PACKAGE TYPE E) ..... Derate Linearly at 8 mW/° C to 300 mW
For T_A = -55 to +100° C (PACKAGE TYPE F, H) ..... 500 mW
For T_A = +100 to +125° C (PACKAGE TYPE F, H) ..... Derate Linearly at 8 mW/° C to 300 mW
For T_A = -40 to +70° C (PACKAGE TYPE M) ..... 400 mW
For T_A = +70 to +125° C (PACKAGE TYPE M) ..... Derate Linearly at 6 mW/° C to 70 mW
OPERATING-TEMPERATURE RANGE (T_A):
PACKAGE TYPE F, H ..... -55 to +125° C
PACKAGE TYPE E, M ..... -40 to +85° C
STORAGE TEMPERATURE (T_{stg}) ..... -65 to +150° C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. ..... +265° C
Unit inserted into a PC Board (min. thickness 1/16 in., 1.59 mm)
with solder contacting lead tips only ..... +300° C

RECOMMENDED OPERATING CONDITIONS:
For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For T_A = Full Package-Temperature Range) V_{CC}*			
CD54/74HC Types	2	6	V
CD54/74HCT Types	4.5	5.5	V
DC Input or Output Voltage V_{IN}, V_{OUT}	0	V_{CC}	V
Operating Temperature T_A:			
CD74 Types	-40	+85	°C
CD54 Types	-55	+125	°C
Input Rise and Fall Times t_r, t_f			
at 2 V	0	1000	ns
at 4.5 V	0	500	ns
at 6 V	0	400	ns

*Unless otherwise specified, all voltages are referenced to Ground.

TION
nt Counter
nt Counter
Change
Change
Change
Change
u Q3 = 0
= Low State

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า กรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CD74HC4518/CD54HC4518 CD74HC4520/CD54HC4520										CD74HCT4518/CD54HCT4518 CD74HCT4520/CD54HCT4520									UNITS
	TEST CONDITIONS			74HC/54HC SERIES			74HC SERIES		54HC SERIES		TEST CONDITIONS		74HCT/54HCT SERIES			74HCT SERIES		54HCT SERIES		
	V_I V	I_O mA	V_{CC} V	+25°C			-40/ +85°C		-55/ +125°C		V_I V	V_{CC} V	+25°C			-40/ +85°C		-55/ +125°C		
				Min	Typ	Max	Min	Max	Min	Max			Min	Typ	Max	Min	Max	Min	Max	
High-Level Input Voltage V_{IH}			2	1.5	—	—	1.5	—	1.5	—		4.5 to 5.5								
			4.5	3.15	—	—	3.15	—	3.15	—	—		2	—	—	2	—	2	—	V
			6	4.2	—	—	4.2	—	4.2	—										
Low-Level Input Voltage V_{IL}			2	—	—	0.5	—	0.5	—	0.5		4.5 to 5.5								
			4.5	—	—	1.35	—	1.35	—	1.35	—		—	—	0.8	—	0.8	—	0.8	V
			6	—	—	1.8	—	1.8	—	1.8										
High-Level Output Voltage CMOS Loads V_{OH}	V_{IL} or V_{IH}	-0.02	2	1.9	—	—	1.9	—	1.9	—	V_{IL} or V_{IH}	4.5	4.4	—	—	4.4	—	4.4	—	V
			4.5	4.4	—	—	4.4	—	4.4	—										
			6	5.9	—	—	5.9	—	5.9	—										
High-Level Output Voltage TTL Loads V_{OH}	V_{IL} or V_{IH}	-4	4.5	3.98	—	—	3.84	—	3.7	—	V_{IL} or V_{IH}	4.5	3.98	—	—	3.84	—	3.7	—	V
		-5.2	6	5.48	—	—	5.34	—	5.2	—										
Low-Level Output Voltage CMOS Loads V_{OL}	V_{IL} or V_{IH}	0.02	2	—	—	0.1	—	0.1	—	0.1	V_{IL} or V_{IH}	4.5	—	—	0.1	—	0.1	—	0.1	V
			4.5	—	—	0.1	—	0.1	—	0.1										
			6	—	—	0.1	—	0.1	—	0.1										
Low-Level Output Voltage TTL Loads V_{OL}	V_{IL} or V_{IH}	4	4.5	—	—	0.26	—	0.33	—	0.4	V_{IL} or V_{IH}	4.5	—	—	0.26	—	0.33	—	0.4	V
		5.2	6	—	—	0.26	—	0.33	—	0.4										
Input Leakage Current I_I	V_{CC} or Gnd		6	—	—	±0.1	—	±1	—	±1	Any Voltage Between V_{CC} & Gnd	5.5	—	—	±0.1	—	±1	—	±1	μA
Quiescent Device Current I_{CC}	V_{CC} or Gnd	0	6	—	—	8	—	80	—	160	V_{CC} or Gnd	5.5	—	—	8	—	80	—	160	μA
Additional Quiescent Device Current per input pin 1 unit load ΔI_{CC}*											V_{CC}-2.1	4.5 to 5.5	—	100	360	—	450	—	490	μA

*For dual-supply systems theoretical worst case (V_I = 2.4 V, V_{CC} = 5.5 V) specification is 1.8 mA.

HCT Input Loading Table

Input	Unit Loads*
MR	1.2
CP	0.65
ENABLE	0.5

*Unit Load is ΔI_{CC} limit specified in Static Characteristic Chart, e.g., 360 μA max. @ 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D54/74HC4518, CD54/74HCT4518
D54/74HC4520, CD54/74HCT4520

WITCHING CHARACTERISTICS (V_{CC} = 5 V, T_A = 25°C, Input t_r, t_f = 6 ns)

CHARACTERISTIC	C_L (pF)	SYMBOL	TYPICAL HC	TYPICAL HCT	UNITS
Maximum Clock Frequency	15	f_{MAX}	50	50	MHz
Propagation Delay CP to Qn	15	t_{PLH} t_{PHL}	21	25	ns
Enable to Qn	15	t_{PLH} t_{PHL}	21	30	ns
MR to Qn	15	t_{PLH} t_{PHL}	17	17	ns
Power Dissipation Capacitance*	—	C_{PD}	33	33	pF

*C_{PD} is used to determine the dynamic power consumption, per counter.
$P_D = C_{PD} V_{CC}^2 f_i + \Sigma C_L V_{CC}^2 f_o$ where
f_i = input frequency.
f_o = output frequency.
C_L = output load capacitance
V_{CC} = supply voltage

PREREQUISITE FOR SWITCHING FUNCTION

CHARACTERISTIC	SYMBOL	V_{CC}	25°C HC Min.	25°C HC Max.	25°C HCT Min.	25°C HCT Max.	-40°C to +85°C 74HC Min.	-40°C to +85°C 74HC Max.	-40°C to +85°C 74HCT Min.	-40°C to +85°C 74HCT Max.	-55°C to +125°C 54HC Min.	-55°C to +125°C 54HC Max.	-55°C to +125°C 54HCT Min.	-55°C to +125°C 54HCT Max.	UNITS
Maximum Clock Frequency	f_{MAX}	2	5	—	—	—	4	—	—	—	3	—	—	—	MHz
		4.5	25	—	25	—	20	—	20	—	17	—	17	—	
		6	29	—	—	—	24	—	—	—	20	—	—	—	
Clock Pulse Width	CP	2	100	—	—	—	125	—	—	—	150	—	—	—	ns
		4.5	20	—	20	—	25	—	25	—	30	—	30	—	
		6	17	—	—	—	21	—	—	—	26	—	—	—	
MR Pulse Width	MR	2	100	—	—	—	125	—	—	—	150	—	—	—	ns
		4.5	20	—	20	—	25	—	25	—	30	—	30	—	
		6	17	—	—	—	21	—	—	—	26	—	—	—	
Setup Time Enable to CP	t_{SU}	2	100	—	—	—	125	—	—	—	150	—	—	—	ns
		4.5	20	—	20	—	25	—	25	—	30	—	30	—	
		6	17	—	—	—	21	—	—	—	26	—	—	—	
Removal Time MR to CP	t_{REM}	2	0	—	—	—	0	—	—	—	0	—	—	—	ns
		4.5	0	—	0	—	0	—	0	—	0	—	0	—	
		6	0	—	—	—	0	—	—	—	0	—	—	—	
Setup Time CP to Enable	t_{SU}	2	120	—	—	—	125	—	—	—	150	—	—	—	ns
		4.5	20	—	20	—	25	—	25	—	30	—	30	—	
		6	17	—	—	—	21	—	—	—	26	—	—	—	
Removal Time MR to Enable	t_{REM}	2	0	—	—	—	0	—	—	—	0	—	—	—	ns
		4.5	0	—	0	—	0	—	0	—	0	—	0	—	
		6	0	—	—	—	0	—	—	—	0	—	—	—	

WITCHING CHARACTERISTICS (C_L = 50 pF, Input t_r, t_f = 6 ns)

CHARACTERISTIC	SYMBOL	V_{CC}	25°C HC Min.	25°C HC Max.	25°C HCT Min.	25°C HCT Max.	-40°C to +85°C 74HC Min.	-40°C to +85°C 74HC Max.	-40°C to +85°C 74HCT Min.	-40°C to +85°C 74HCT Max.	-55°C to +125°C 54HC Min.	-55°C to +125°C 54HC Max.	-55°C to +125°C 54HCT Min.	-55°C to +125°C 54HCT Max.	UNITS
Propagation Delay, CP to Qn	t_{PLH} t_{PHL}	2	—	275	—	—	—	345	—	—	—	415	—	—	ns
		4.5	—	55	—	60	—	69	—	75	—	83	—	90	
		6	—	47	—	—	—	59	—	—	—	73	—	—	
Enable to Qn	t_{PLH} t_{PHL}	2	—	275	—	—	—	345	—	—	—	415	—	—	ns
		4.5	—	55	—	75	—	69	—	94	—	83	—	112	
		6	—	47	—	—	—	59	—	—	—	73	—	—	
MR to Qn	t_{PHL}	2	—	200	—	—	—	250	—	—	—	300	—	—	ns
		4.5	—	40	—	40	—	50	—	50	—	60	—	60	
		6	—	34	—	—	—	43	—	—	—	51	—	—	
Output Transition Time	t_{THL} t_{TLH}	2	—	75	—	—	—	95	—	—	—	110	—	—	ns
		4.5	—	15	—	15	—	19	—	19	—	22	—	22	
		6	—	13	—	—	—	16	—	—	—	19	—	—	
Input Capacitance	C_I		—	10	—	10	—	10	—	10	—	10	—	10	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

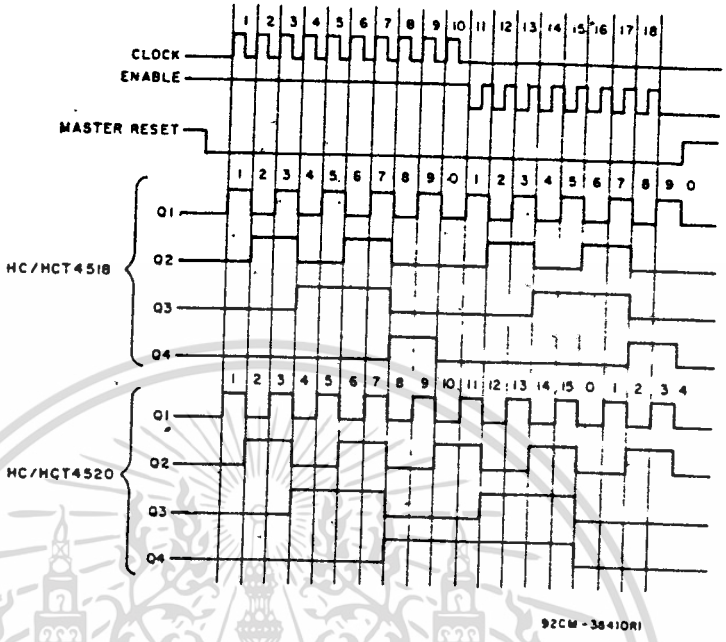


Fig. 4 — Timing Diagrams for CD54/74HC/HCT4518/4520.

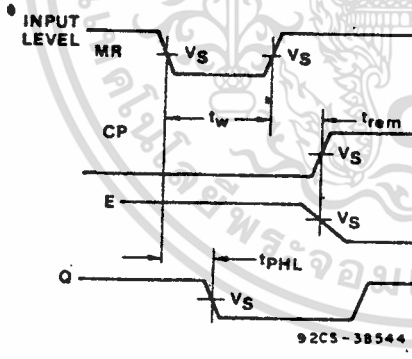


Fig. 5 — Master reset pulse width. Master reset to output delay and master reset to clock recovery times.

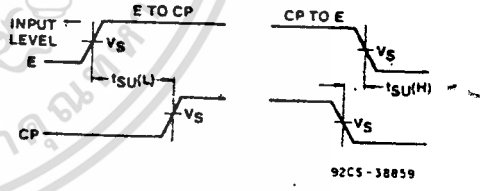


Fig. 6 — Setup Times: E to CP and CP to E

	54/74HC	54/74HCT
Input Level	V_{CC}	3V
Switching Voltage, V_S	50% V_{CC}	1.3 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สำเร็จลงได้ก็เพราะได้รับความรู้ ความช่วยเหลือ คำแนะนำ จาก ดร. สมเกียรติ ศุภเดช และ อาจารย์ สมศักดิ์ ชุมช่วย ที่ให้ปัญหาต่างๆที่ได้พบในการออกแบบวงจรได้รับการแก้ไขให้สำเร็จลุล่วงลงได้ด้วยดี ทางคณะผู้จัดทำจึงขอขอบพระคุณท่านอาจารย์ทั้งสองมา ณ ที่นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

เอกสารอ้างอิงภาษาไทย

1. " คู่มือซีมอส 74C/54C SERIES " , ซีเอ็ดยูเคชั่น , 231 หน้า พ.ศ.2522

2. กฤษดา วิศวธีรานนท์ , " เรียน/เล่น/ใช้ ไอซีดิจิตอล " , ซีเอ็ดยูเคชั่น , 304 หน้า , พ.ศ.2531

เอกสารอ้างอิงภาษาอังกฤษ

1. Harry Helms , " CMOS Devices 1987 Source Book " , A Technipubs / Prentice-Hall 1987

2. Adam Osborne , " Osborne 4 & 8-BIT Microprocessor Handbook " , Mc Graw-Hill , 1981

3 University Of New South Wales , " CIRCAD II VLSI Circuit Design Package " , 1987

4 Kamran Eshraghian And Neil H.E. Weste , " Principles Of CMOS VLSI Design " , Addison-Wesley , 531P. , 1985

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้