ปีการศึกษา 2531

ADAPTIVE SPOOLER

โดย

นาย พีระ พรสุขสว่าง NO. 296313

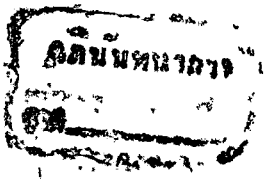
อาจารย์ที่ปรึกษา

อาจารย์ พูนศักดิ์ พัฒนไพรสณฑ์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้า

เจ้าคุณทหาร ลาดกระบัง



ลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

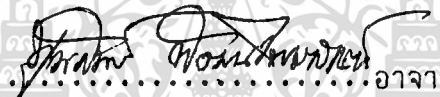
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ปริญญานิพนธ์ ปีการศึกษา 2531

เรื่อง ADAPTIVE SPOOLERJ

ผู้จัดทำ

นาย พีระ พรสุขสว่าง



.....อาจารย์ที่ปรึกษา

(อ. พูนศักดิ์ พัฒนไพรสณฑ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

บทคัดย่อ

ปัจจุบันไมโครคอมพิวเตอร์มีบทบาทอย่างสูงต่อชีวิตประจำวันเป็นอย่างมาก และจะมากขึ้นเรื่อย ๆ ในอนาคต ทั้งในด้านธุรกิจ สถาปัตยกรรม วิศวกรรมศาสตร์และงานต่าง ๆ ในเกือบทุกสาขา ปริญญานิพนธ์ฉบับนี้จึงมีความมุ่งหมายต่อการอำนวยความสะดวกในการใช้งานไมโครพิวเตอร์

โดยทั่วไปไมโครคอมพิวเตอร์จะทำงานได้อย่างสมบูรณ์ จะต้องประกอบด้วยอุปกรณ์ต่าง ๆ เช่น จอภาพ เครื่องพิมพ์ หน่วยความจำสำรอง ซึ่งการติดต่อกับอุปกรณ์เหล่านี้จะต้องผ่านพอร์ทต่าง ๆ แต่อุปกรณ์เหล่านี้ บางชนิดมีความเร็วต่ำกว่าไมโครคอมพิวเตอร์ ซึ่งทำให้ไมโครคอมพิวเตอร์ต้องเสียเวลาในการรอคอยอุปกรณ์ต่าง ๆ เหล่านี้ ทำให้ความเร็วของการทำงานของไมโครคอมพิวเตอร์ก็จะลดลง

ปริญญานิพนธ์ฉบับนี้ได้ถูกวิจัยขึ้นเพื่อเป็นการเพิ่มประสิทธิภาพในการทำงานให้กับ ไมโครคอมพิวเตอร์ ในการติดต่อกับอุปกรณ์ความเร็วต่ำ เช่น เครื่องพิมพ์ เป็นต้น โดยเครื่อง ADAPTIVE SPOOLER นี้จะเป็นตัวรับข้อมูลจากไมโครคอมพิวเตอร์ ซึ่งสามารถทำงานด้วย ความเร็วสูงพอ ๆ กับไมโครพิวเตอร์ เมื่อไมโครพิวเตอร์ส่งข้อมูลที่ต้องการจะพิมพ์หมดแล้ว เครื่อง ADAPTIVE SPOOLER ก็จะทำการส่งข้อมูลดังกล่าวให้กับ เครื่องพิมพ์อีกทอดหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบาญ

	หน้า
บทที่ 1 บทนำ	1
บทที่ 2 โครงสร้างและการทำงานของ ADAPTIVE SPOOLER	3
บทที่ 3 HARDWARE	19
บทที่ 4 SOFTWARE	28
บทที่ 5 สรุปและวิจารณ์	46
ภาคผนวก	
เอกสารอ้างอิง	
กิตติกรรมประกาศ	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

ในระบบคอมพิวเตอร์ โดยทั่วไปเมื่อจะมีการติดต่อรับส่งข้อมูล ระหว่างคอมพิวเตอร์กับคอมพิวเตอร์ หรือคอมพิวเตอร์กับอุปกรณ์สนับสนุนใด ๆ ซึ่งอยู่ภายนอกมันจะมีบัฟเฟอร์สำหรับเก็บข้อมูลชั่วคราวไม่ว่าจะเป็นการรับหรือส่ง เหตุก็ต้องมีบัฟเฟอร์ก็คือ เพื่อให้ประสิทธิภาพสูงสุดในการรับส่งข้อมูล เนื่องจากความเร็วในการส่งของคอมพิวเตอร์ที่ส่งข้อมูลให้กับอุปกรณ์อื่น โดยเฉพาะอุปกรณ์ที่ทำงานทางด้านกล เช่น PRINTER มักมีความเร็วต่ำกว่าไมโครคอมพิวเตอร์มาก ทำให้คอมพิวเตอร์ต้องเสียเวลาในการรอคอย แทนที่จะใช้เวลาไปทำงานอย่างอื่น แต่บัฟเฟอร์ในตัว PRINTER เองก็มีขนาดจำกัด ซึ่งในงานวิจัยนี้ได้ทดลองสร้างบัฟเฟอร์นี้ขึ้นมาโดยแยกจากเครื่องเดิม ทำหน้าที่รับเก็บและส่งข้อมูลโดยเฉพาะ มีไมโครโปรเซสเซอร์ หน่วยความจำ และอินเตอร์เฟสมาตรฐานต่างหาก

ในงานวิจัยนี้ได้กำหนดความสามารถของเครื่องดังต่อไปนี้

1. สามารถรับข้อมูลจากไมโครคอมพิวเตอร์ได้ถึง 3 เครื่อง
2. ขนาดของบัฟเฟอร์ที่สามารถรับข้อมูลได้มีขนาดความจุถึง 116 KBYTE
3. การอินเตอร์เฟสใช้อินเตอร์เฟสมาตรฐาน CENTRONIC ซึ่งเป็นอินเตอร์เฟสมาตรฐานของเครื่องพิมพ์ทั่ว ๆ ไป
4. อัตราเร็วในการถ่ายข้อมูลทางด้านอินพุทจะเท่ากับอัตราเร็วสูงสุดของ ADAPTIVE SPOOLER และทางด้านเอ้าท์พุทจะเท่ากับ อัตราเร็วสูงสุดในการรับข้อมูลของอุปกรณ์ที่นำมาต่อ
5. การจัดหน่วยความจำใช้แบบ CIRCULAR QUEUE ซึ่งทำให้รับข้อมูลมาแทนที่ส่วนของข้อมูลที่ถูกพิมพ์ไปแล้ว ทำให้ไม่ต้อง RESET เครื่องตลอดการใช้งาน และสามารถทำการเรียงคิวพิมพ์โดยอัตโนมัติ
6. บัฟเฟอร์ในเครื่อง ADAPTIVE SPOOLER นี้จะเก็บข้อมูลแต่ละชุดรวมกันแม้ว่าจะส่งจากคอมพิวเตอร์ตัวเดียวกันหรือคนละตัวก็ตาม และขณะพิมพ์สามารถแยกชุดได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งวิธีนี้ทำให้ประหยัดเนื้อที่ในหน่วยความจำลง

7. หากบัฟเฟอร์มีขนาดของที่ว่างน้อยกว่า 20 KBYTE จะเกิดเสียงเตือนขึ้น ทำให้ผู้ใช้ทราบ
8. มี LED แสดงขณะมีการรับข้อมูลจากไมโครคอมพิวเตอร์แต่ละเครื่องอยู่ 3 ดวง เพื่อแสดงว่าขณะนี้ เครื่อง ADAPTIVE SPOOLER กำลังอ่านข้อมูลจากเครื่องไมโครคอมพิวเตอร์เครื่องใด
9. มี SWITCH RESET เพื่อล้างข้อมูลของ ADAPTIVE SPOOLER และในบัฟเฟอร์ของ PRINTER

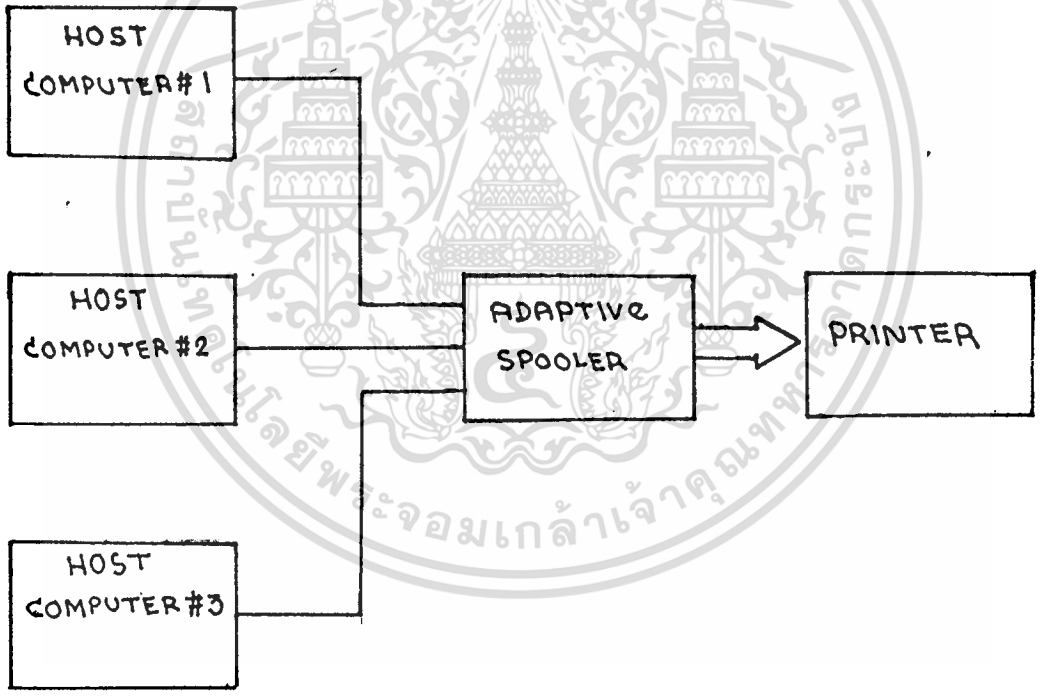
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2

โครงสร้างและหลักการทำงานของ ADAPTIVE SPOOLER

2.1หลักการทำงาน

หลักการทำงานของ ADAPTIVE SPOOLER นั้นเขาจะให้ไมโครคอมพิวเตอร์ มอง ADAPTIVE SPOOLER เสมือนเป็นเครื่องพิมพ์ความเร็วสูงเท่ากับความเร็วของเครื่องไมโครคอมพิวเตอร์ ส่วนทางด้านเครื่องพิมพ์จะมอง ADAPTIVE SPOOLER เสมือนเป็นไมโครคอมพิวเตอร์ต่ออยู่กับตัวมันปกติ ดังรูป 2.1

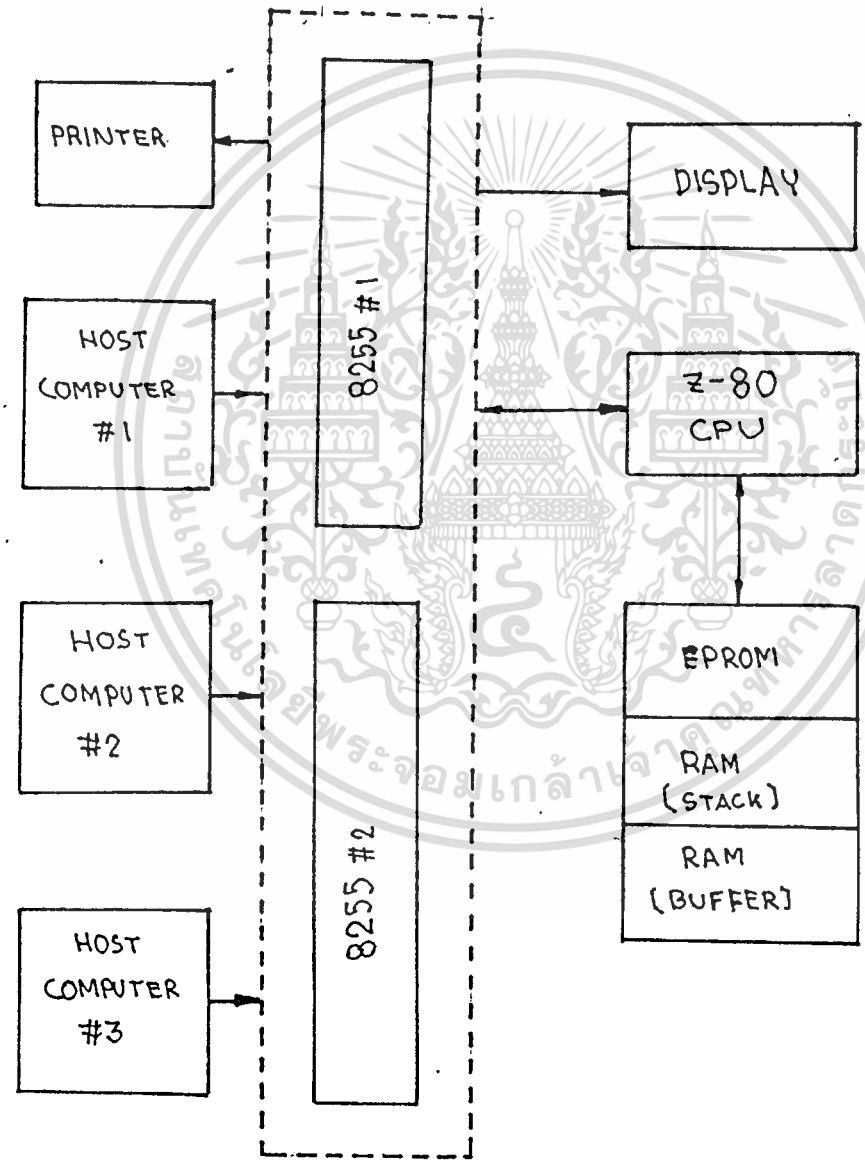


3.1 หลักการทำงานของ ADAPTIVE SPOOLER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 BLCCK DIAGRAM

รูป 2.2 แสดง BLOCK DIAGRAM ของเครื่อง ADAPTIVE SPCOLER ซึ่งประกอบด้วย CPU เบอร์ Z-80 , 8255 PORT และหน่วยความจำ ส่วน INTEEFACE ก็เป็นแบบ CENTRONIC ภาค DISPLAY มี LED 3 ดวง ที่หน้าที่แสดงสภาวะขณะทำการรับข้อมูลจาก HOST COMPUTER แต่ละเครื่อง ซึ่งมีด้วยกัน 3 เครื่อง (1 เครื่องแสดงต่อ LED 1 ดวง)



รูป 2.2 โครงสร้างของวงจร ADAPTIVE SPOOLER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 ทฤษฎีการทำงาน

PORT ของ ADATIVE SPOOLER จะจัดให้ทำงานในลักษณะ HARDSHAKING ทั้ง INPUT และ OUTPUT เมื่อไมโครคอมพิวเตอร์ส่งข้อมูลเข้ามาตัว ADATIVE SPOOLER ก็จะอ่านข้อมูลเหล่านั้นเข้ามาเก็บในหน่วยความจำตำแหน่ง 1800H ของ PAGE 0 เป็นต้นไป จนจบ FILE เนื่องจากไมโครคอมพิวเตอร์จะไม่ส่งรหัส EOF(END OF FILE) ตอนจบ FILE (คือรหัส 1A) จึงใช้วิธีหน่วยเวลาประมาณ 5 วินาที หากไม่มีการส่งข้อมูลจากไมโครคอมพิวเตอร์อีกภายในเวลาดังกล่าว ก็ถือว่าจบ FILE ก็จะใส่รหัส FORMFEED เข้าไปแทนในตำแหน่งหน่วยความจำถัดไป

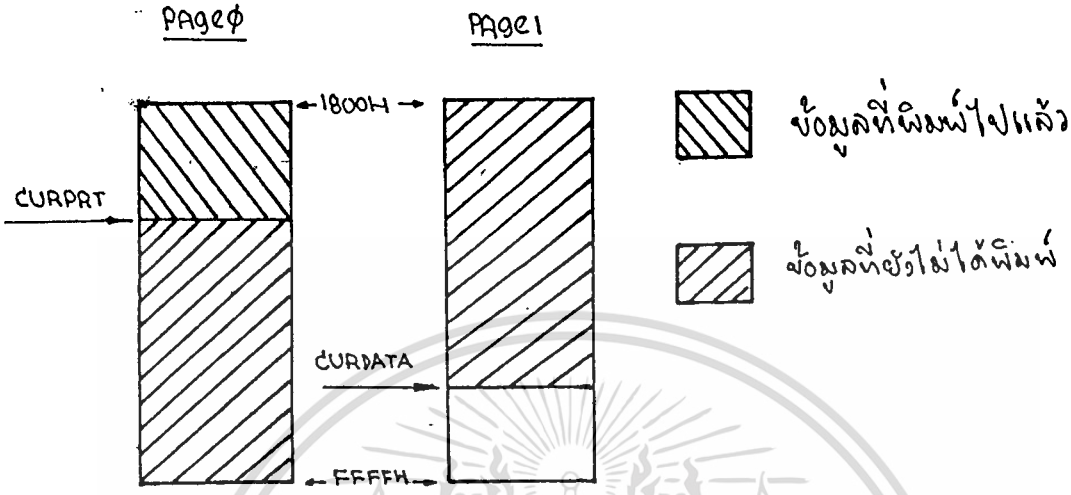
เครื่อง ADATIVE SPOOLER ได้จัดหน่วยความจำไว้ 2 PAGE ซึ่งแต่ละ PAGE มีพื้นฐานเก็บข้อมูลนี้อยู่ 58 KBYTE โดยหน่วยความจำเหล่านี้จะใช้เก็บข้อมูลต่อกันไปรวม 116 KBYTE คือ เมื่อเก็บ PAGE หนึ่งเต็ม คือตำแหน่งถึงตำแหน่ง FFFFH ก็จะเก็บอีก PAGE หนึ่งในตำแหน่งที่ 1800H ไปเรื่อย ๆ อีก

เมื่ออ่านข้อมูลจากไมโครคอมพิวเตอร์จนจบแล้ว ก็จะเป็นการส่งข้อมูลออกไปยัง PRINTER ตามลำดับ คือ FIST IN FIST OUT เมื่อพบรหัส FORMFEED (0CH) เครื่อง PRINTER ก็จะเลื่อนกระดาษไปเพื่อพิมพ์ FILE ถัดไป(เป็นการแยก FILE แต่ละ FILE ออกจากกัน) ทำเช่นนี้เรื่อยไปจนตำแหน่งของการอ่านและการพิมพ์เท่ากัน และอยู่ใน PAGE เดียวกันด้วย ซึ่งแสดงว่าพิมพ์ข้อมูลหมดแล้ว ก็จะไปรอการรับข้อมูลจากไมโครคอมพิวเตอร์

หากข้อมูลต้องการจะส่งพิมพ์มีขนาดใหญ่เกินกว่าหน่วยความจำที่จะเก็บแล้ว ก็จะส่งข้อมูลออกเครื่องพิมพ์ไป 3FFH BYTE ก่อน แล้วจึงรับข้อมูลเข้ามาอีก 3FFH BYTE ทำเช่นนี้เรื่อยไปจนจบ FILE ดังนั้นตัว ADAPTIVE SPOOLER นี้ได้ถูกออกแบบสร้างสัญญาเสียง เพื่อเป็นการเตือนผู้ใช้เมื่อเนื่อที่ในหน่วยความจำของ ADAPTIVE SPOOLER เหลือน้อยกว่า 20 KBYTE หากข้อมูลผู้ใช้ต้องการจะพิมพ์มีขนาดมากกว่า 20 KBYTE ก็ควรจะไปทำงานอย่างอื่นก่อน หากมีการส่งข้อมูลที่จะพิมพ์ขณะนั้นก็เท่ากับว่าต้องเสียเวลารอยคอย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องพิมพ์ พิมพ์ข้อมูลออกไปก่อน

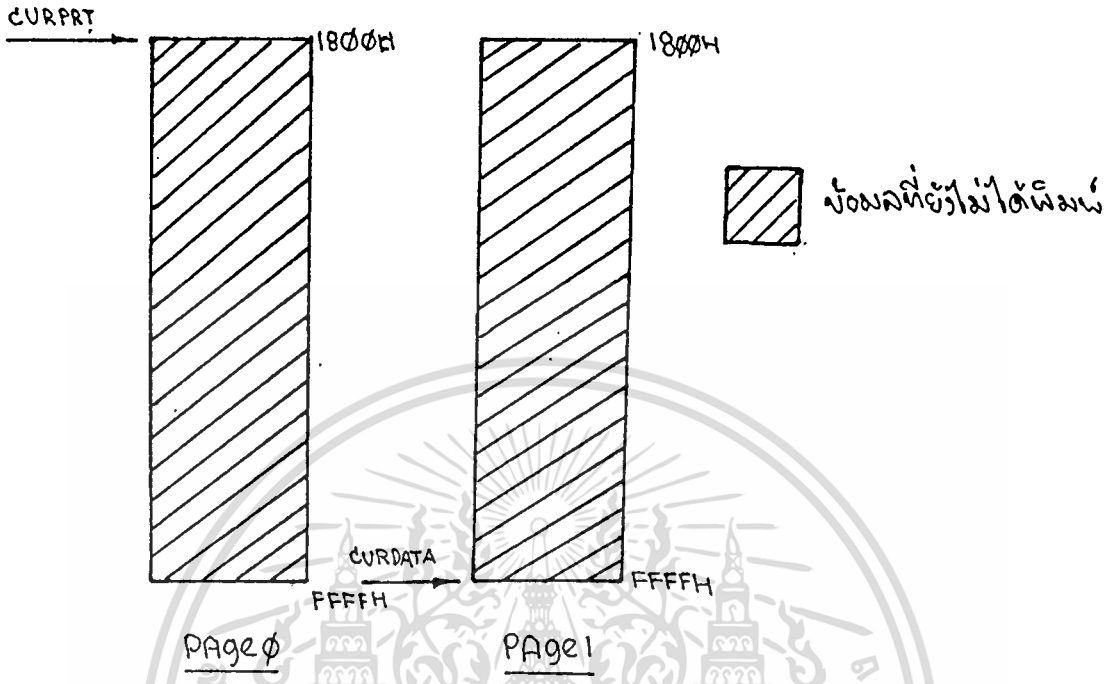


รูป 2.31 แสดงการอ่านข้อมูลเข้ามาเก็บในหน่วยความจำทั้ง 2 PAGE แล้วทำการส่งข้อมูลออกไปพิมพ์บางส่วน

จากรูป 2.31 จะเห็นว่าเป็นลักษณะของการเก็บข้อมูลลงในหน่วยความจำเรียงกันไปโดยเริ่มจาก PAGE 0 จนจบ แล้วเริ่ม PAGE 1 ที่ตำแหน่ง 1800H ซึ่งแต่ละ FILE จะมีรหัส FORMFEED (0CH) กั้นอยู่ เพื่อแยกตอนพิมพ์ จากนั้นเมื่อรับข้อมูลจนจบก็จะเป็นการส่งพิมพ์ออก PRINTER ซึ่งก็จะเริ่มที่ PAGE 0 ที่ตำแหน่ง 1800H พิมพ์ไปเรื่อย ๆ จนข้อมูลหมด ซึ่งตำแหน่งของหน่วยความจำที่พิมพ์ไปแล้วสามารถจะใช้ในการรับข้อมูลใหม่มาเก็บทับได้

ในกรณีที่ ข้อมูลที่ต้องการส่งพิมพ์ที่ขนาดใหญ่กว่าหน่วยความจำทั้ง 2 PAGE ที่มีอยู่ก็จะทำให้ไม่สามารถเก็บข้อมูลต่อไปได้ ดังรูป 2.32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

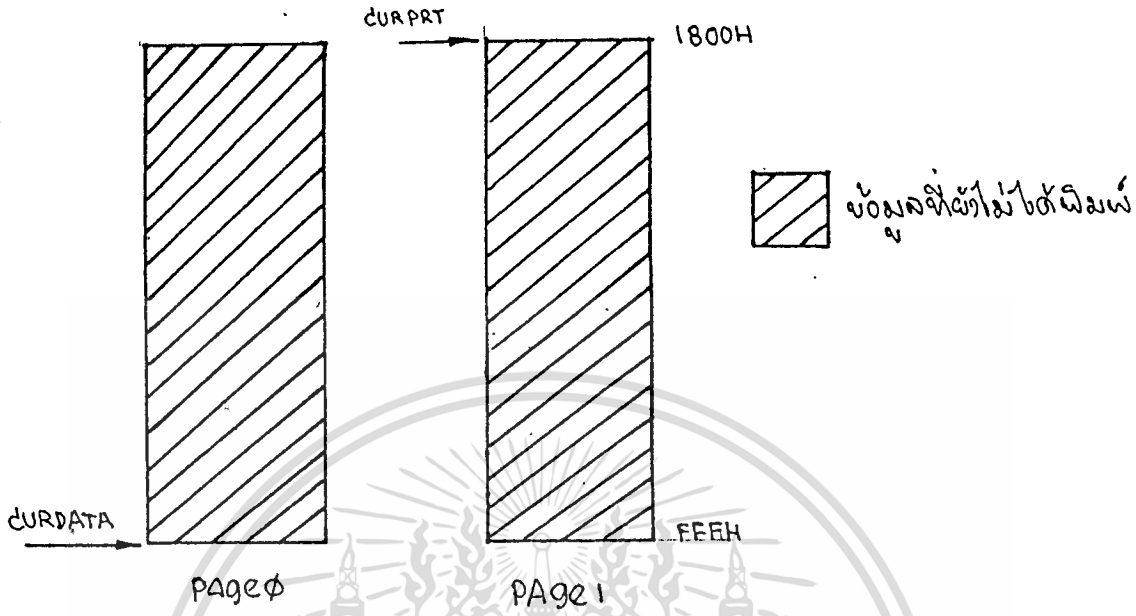


2.32 แสดงการรับข้อมูลจากไมโครคอมพิวเตอร์ที่มีขนาดใหญ่เกินกว่าหน่วยความจำทั้งหมดจะเก็บได้

ฉะนั้นจำต้องมีการส่งข้อมูลออก PRINTER ไปส่วนหนึ่งก่อนซึ่งในที่นี้จะส่งข้อมูลออกไป 03FFH BYTE แล้วจึงเก็บข้อมูลได้อีก 03FFH BYTE หากข้อมูลยังไม่หมดอีกก็จะพิมพ์เช่นนี้ไปเรื่อย ๆ จนจบ FILE ที่รับจากไมโครคอมพิวเตอร์ หากไม่มีไมโครคอมพิวเตอร์ตัวใดส่งข้อมูลเข้ามาอีกก็จะเริ่มพิมพ์ไปเรื่อย ๆ พร้อมกับตรวจสอบว่ามีการส่งข้อมูลจากไมโครคอมพิวเตอร์ตัวไหนบ้าง ถ้ามีการส่งข้อมูลจากไมโครคอมพิวเตอร์อีก ADAPTIVE SPOOLER ก็จะหยุดส่งข้อมูลสู่ PRINTER แล้วเริ่มรับข้อมูลจากไมโครคอมพิวเตอร์ ทำเช่นนี้จนหมดข้อมูลทั้งหมดที่ต้องการพิมพ์

ในขณะที่รับข้อมูลจากไมโครคอมพิวเตอร์ และส่งข้อมูลสู่ PRINTER แต่ละ BYTE ก็จะมีการตรวจสอบตลอดเวลาว่าข้อมูลที่อ่านเข้ามาจะไปทับ ข้อมูลที่ยังไม่ได้พิมพ์หรือไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



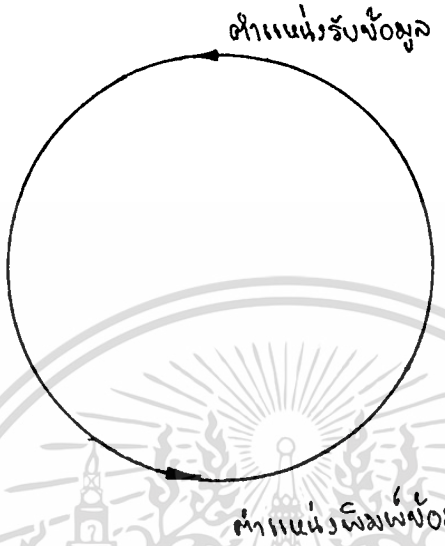
2.33 แสดงตำแหน่งของข้อมูลที่จะพิมพ์อยู่ที่ตำแหน่งแรกของอีก PAGE หนึ่ง ขณะที่ตำแหน่งของข้อมูลนี้จะรับเข้ามาอยู่ตำแหน่งสูงสุดของอีก PAGE หนึ่ง

จากรูป 2.33 เมื่อเกิดกรณีเช่นนี้ เมื่อจะเปลี่ยน PAGE ก็จะต้องมีการตรวจสอบว่าตำแหน่งแรกของ PAGE ถัดไปมีเนื้อที่ว่างหรือเปล่า

ลักษณะของการเก็บข้อมูลเป็นแบบ CIRCULAR QUEUE คือค่า PAGE ของข้อมูลที่รับเข้ามา(PAGDATA) กับ PAGE ของข้อมูลที่ส่งออกไป(PAGEPRT) จะถูกเพิ่มขึ้นที่ละหนึ่ง แต่จะถูก MARK BIT เอาเฉพาะ BIT Ø ไปใช้

ลักษณะดังกล่าวมาแล้วข้างต้นพอจะสรุปได้ว่า เป็นการจัดหน่วยความจำดังรูป 2.34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



2.34 แสดงการจัดหน่วยความจำเพื่อรับและส่งข้อมูล

3.4 PIORITY

การจัดลำดับความสำคัญของไมโครคอมพิวเตอร์แต่ละเครื่องในการส่งข้อมูลมายัง ADAPTIVE SPOOLER ซึ่งมีด้วยกัน 3 เครื่อง จะจัดให้ไมโครคอมพิวเตอร์เครื่องที่ 1 , ไมโครคอมพิวเตอร์เครื่องที่ 2 และไมโครคอมพิวเตอร์เครื่องที่ 3 มีค่าความสำคัญตามลำดับ ซึ่งจะจัดความสำคัญโดยใช้ SOFT WARE เป็นตัวควบคุม ในลักษณะที่เรียกว่า POLLING คือจะตรวจสอบการส่งข้อมูลของเครื่องไมโครคอมพิวเตอร์เครื่องที่ 1 ไมโครคอมพิวเตอร์เครื่องที่ 2 และไมโครคอมพิวเตอร์เครื่องที่ 3 ตามลำดับ อยู่ตลอดเวลา แต่การจัดลำดับความสำคัญจะเกิดก็ต่อเมื่อมีการส่งข้อมูลจากไมโครคอมพิวเตอร์ในเวลาเดียวกันเท่านั้น หากมีการส่งข้อมูลจากไมโครคอมพิวเตอร์ไม่พร้อมกัน ก็จะถือว่าเครื่องที่ส่งก่อนได้รับการอ่านจากเครื่อง ADAPTIVE SPOOLER ก่อน

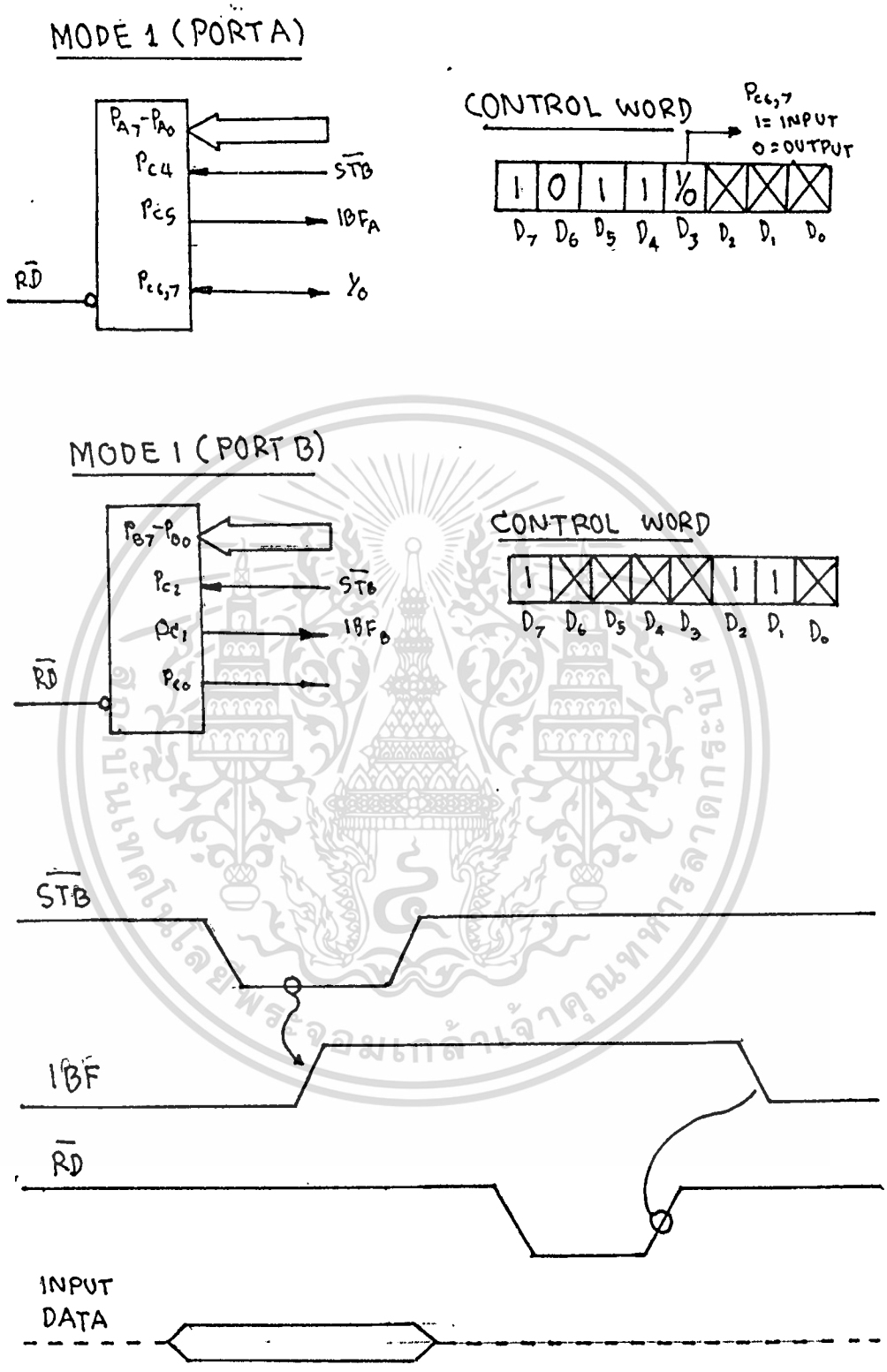
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
024734

2.5 TIMING DIAGRAM

จากรูป 2.51 เป็นลักษณะ TIMING DIAGRAM ของ HANDSHAKING เมื่อเป็น INPUT PORT ซึ่งเป็นการกำหนดให้ 8255 ทำงานใน MODE 1 โดย PA0-PA7 ทำหน้าที่รับ DATA เข้า และยังมีขา CONTROL ซึ่งถูกกำหนดที่ PORT C คือ STB , IBF เมื่อดูจาก TIMING DIAGRAM เมื่อขา STB ซึ่งเป็นขา INPUT และ ACTIVE LOW ขานี้จะ ACTIVE พร้อม ๆ กับส่งข้อมูลผ่านทาง PA0-PA7 ให้แก่ ADAPTIVE SPOOLER (ในที่นี้ไมโครคอมพิวเตอร์ส่งมา) จะทำให้ขา IBF เป็นขา OUTPUT (INPUT BUFFER FULL) ซึ่ง ACTIVE HIAH จะ ACTIVE เพื่อส่งไปยังเครื่องไมโครคอมพิวเตอร์ เพื่อเป็นการบอกว่าได้รับข้อมูลที่ส่งมาแล้ว ขานี้จะ ACTIVE จนกระทั่ง ADAPTIVE SPOOLER มีการอ่าน (RD) ข้อมูลจาก PORT เข้าไปในขณะที่ขา "IBF" ACTIVE จะทำให้ไมโครคอมพิวเตอร์ไม่ส่ง DATA มาทับกับ DATA เดิม สัญญาณนี้จะเป็นตัวบอกไมโครคอมพิวเตอร์ว่าข้อมูลยังไม่ถูกอ่านไป ห้ามส่งมาทับ ถ้ามีการอ่านข้อมูลไปแล้วจะทำให้ขา IBF หยุด ACTIVE ด้วย

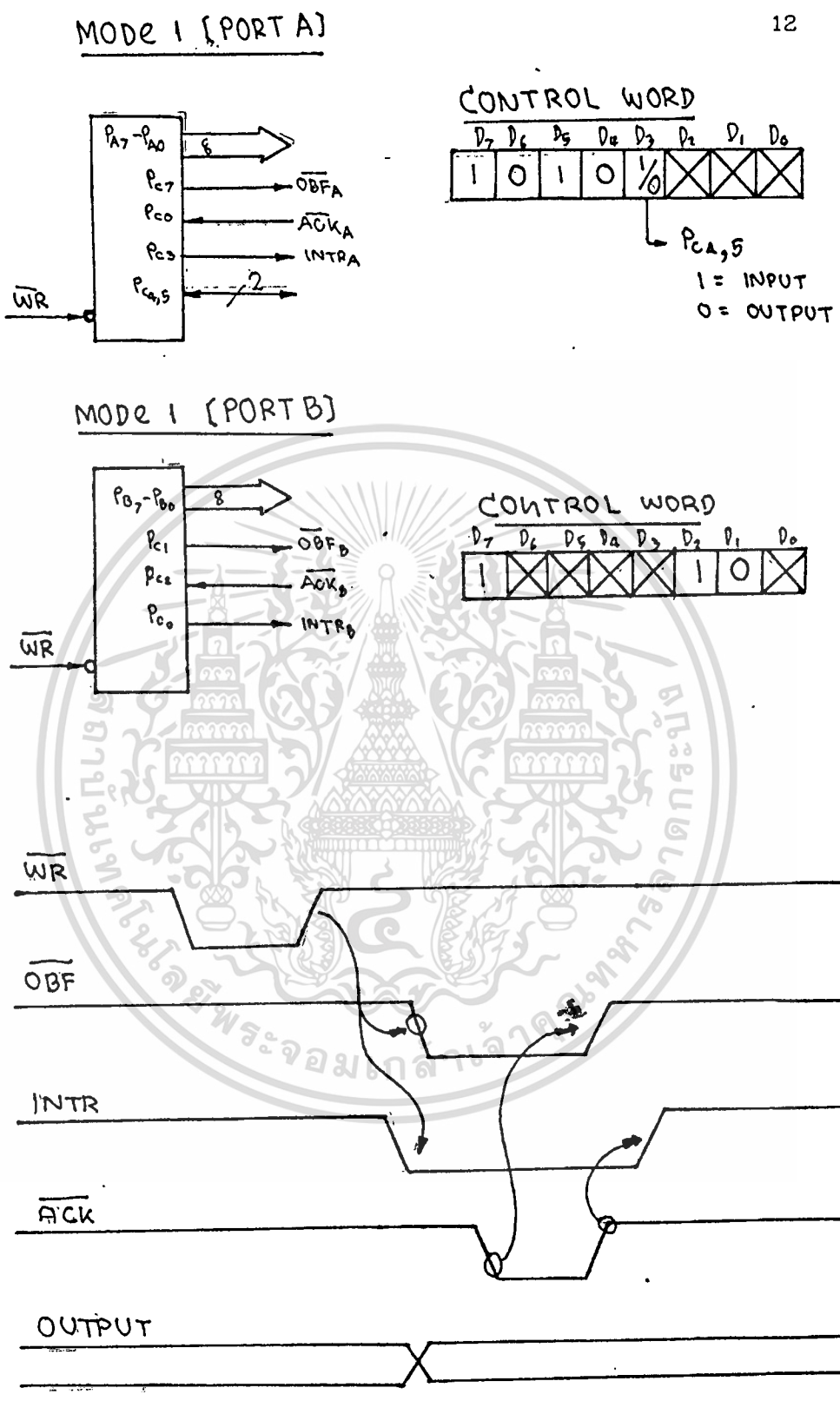
นอกจากนี้ 8255 ยังสามารถกำหนดให้ทำงานเป็น OUTPUT PORT ดังรูป 2.52 ในลักษณะ HANDSHAKING ได้ โดยมีขา PB0-PB7 ทำหน้าที่ส่ง DATA ออกให้แก่ PRINTER และยังมีขา CONTROL ซึ่งอยู่ใน PORT C อีกคือ OBF , ACK ขา OBF (OUTPUT BUFFER FULL) ซึ่งเป็นขา OUTPUT จะ ACTIVE เมื่อมีการเขียนข้อมูลมีที่ PORT (ขานี้จะทำหน้าที่เหมือนกับเป็นสัญญาณ STOBE ที่ส่งจากไมโครคอมพิวเตอร์มายัง ADAPTIVE SPOOLER ในข้างต้นนั้นเอง) เมื่อ PRINTER ได้รับสัญญาณนี้แล้วอ่านข้อมูลที่ขา PB0-PB7 แล้วจึงส่งสัญญาณ ACK ซึ่งเป็นสัญญาณ OUTPUT ใช้ตอบรับให้แก่ ADAPTIVE SPOOLER สัญญาณนี้จะมีผลให้ขา OBF หยุด ACTIVE เมื่อรอการส่งข้อมูลชุดต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.51 แสดงลักษณะ INPUT PORT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 2.52 แสดงลักษณะ OUTPUT PORT

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 อินเตอร์เฟส (INTERFACE)

การที่ระบบหลัก (MAIN SYSTEM) จะติดต่อกับอุปกรณ์หรือระบบหลักอื่น ๆ นั้นจำเป็นต้องติดต่อผ่านส่วน ๆ หนึ่งที่เรียกว่า อินเตอร์เฟส (INTERFACE) ซึ่งในส่วนนี้จะประกอบไปด้วย ขาข้อมูล (DATA BUS) และขาควบคุม (CONTROL BUS) ซึ่งในการติดต่อกับอุปกรณ์ภายนอกนั้นจำเป็นที่จะต้องอาศัยอินเตอร์เฟสที่มีรูปแบบมาตรฐาน ซึ่งมีอยู่ด้วยกันมากมายอาทิเช่น IEEE-488 , S-100 , RS-232C , CENTRONIC , DATA PRODUCT และ GPIB เป็นต้น ในปริญญานิพนธ์ฉบับนี้จะขอกล่าวเฉพาะส่วนของอินเตอร์เฟสที่นำมาใช้คือ CENTRONIC

2.61 CENTRONIC

เป็นอินเตอร์เฟสที่นิยมใช้ในพอร์ทประเภท PRINTER ทั่วไป CENTRONIC เป็นอินเตอร์เฟชนิดหนึ่งขนานซึ่งประกอบด้วยขาทั้งสิ้น 36 ขา และ มีลักษณะ CONNECTER ดังนี้

รูป 2.61 คอนเนคเตอร์ของ CENTRONIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้วสัญญาณขาไป	ขั้วสัญญาณขากลับ	ชื่อสัญญาณ	ทิศทาง (เครื่องพิมพ์เป็นหลัก)	คำอธิบาย
1	19	$\overline{\text{STROBE}}$	อินพุท	เป็นสัญญาณที่ส่งจากอุปกรณ์ภายนอก เช่นชุดไมโครคอมพิวเตอร์ เพื่อบอกให้เครื่องพิมพ์รับข้อมูลไปได้ โดยทั่วไปแล้วจะมีความกว้างของพัลส์ประมาณ 0.5 ถึง 1 ไมโครวินาที
2-9	20-27	DATA	อินพุท	เป็นสายสัญญาณหรือข้อมูลที่ส่งจากอุปกรณ์ภายนอกเป็นข้อมูลขนาด 8 บิท
10	28	$\overline{\text{ACKNLG}}$	เอาท์พุท	เป็นสัญญาณที่ส่งจากเครื่องพิมพ์เพื่อบอกให้อุปกรณ์ภายนอกรับรู้ว่าได้รับข้อมูลไว้เรียบร้อยแล้ว โดยทั่วไปจะมีความกว้างของพัลส์ประมาณ 5 ถึง 12 ไมโครวินาที
11	29	BUSY	เอาท์พุท	เป็นสัญญาณที่ส่งจากเครื่องพิมพ์เพื่อบอกให้อุปกรณ์ภายนอกรู้ว่าขณะนี้เครื่องพิมพ์ยังไม่พร้อมที่จะรับข้อมูล โดยจะให้สัญญาณ "high" ออกมา ซึ่งสาเหตุต่าง ๆ อาจเกิดขึ้นเนื่องจาก 1. เครื่องพิมพ์อยู่ในระหว่างกระทำข้อมูลที่รับเข้าไป 2. อยู่ในระหว่างการพิมพ์ข้อมูล 3. อยู่ในระหว่าง off-line state 4. ข้อมูลที่ส่งเข้ามาไม่อยู่ในวิสัยที่ตีความได้(เช่น ข้อมูลผิดพลาดหรือใช้รหัสไม่ถูกต้อง)
12	30	PE	เอาท์พุท	เป็นสัญญาณที่ส่งจากเครื่องพิมพ์ในกรณีที่กระดาษพิมพ์หมด
13	—	SELECT	เอาท์พุท	เป็นสัญญาณที่ส่งออกจากเครื่องพิมพ์เพื่อบอกให้อุปกรณ์ภายนอกรับรู้ว่าขณะนี้เครื่องพิมพ์อยู่ในสถานะใด (ใช้งานหรือไม่ใช้งาน) โดยที่สัญญาณเป็น "high" หมายถึงเครื่องพิมพ์อยู่ในสถานะที่ใช้งานอยู่ ถ้าเป็น "low" อยู่ในสถานะที่ไม่ใช้งานหรือไม่สามารถรับข้อมูลได้ โดยสถานะทั้งสองนี้เกิดจาก 1. สถานะที่ใช้งานได้ (select state) – มีการกดปุ่ม select หรือ on line ในขณะที่เครื่องพิมพ์อยู่ในสถานะ deselect หรือ off line – เมื่อได้รับโค้ด DC1 (11H) ในขณะที่อยู่ในสถานะ deselect หรือ off line 2. สถานะที่ไม่ใช้งาน (deselect state) – มีการกดปุ่ม select หรือ on line ในขณะที่อยู่ในสถานะ select หรือ on line – ได้รับรหัส DC3 (13H) – เมื่อกระดาษพิมพ์หมด – เมื่อเครื่องพิมพ์อยู่ในสถาะ fault หมายเหตุ สัญญาณนี้เครื่องพิมพ์บางชนิดจะไม่มี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขั้วสัญญาณขาไป	ขั้วสัญญาณขากลับ	ชื่อสัญญาณ	ทิศทาง (เครื่องพิมพ์เป็นหลัก)	คำอธิบาย
14	—	$\overline{\text{AUTO FEEDXT}}$	อินพุท	เป็นสัญญาณที่ส่งมาจากอุปกรณ์ภายนอก เมื่อเครื่องพิมพ์ได้รับสัญญาณนี้ เครื่องพิมพ์จะเลื่อนบรรทัดใหม่ 1 บรรทัดหลังจากที่พิมพ์เสร็จ หมายเหตุ สัญญาณนี้เครื่องพิมพ์บางเครื่องจะไม่มี
15	—	NC	—	ไม่ได้ต่อใช้งาน
16	—	0V.	—	ขั้ว 0 โวลท์
17	—	CHASSIS GND	—	ต่อกับโครงของเครื่องพิมพ์
18	+ 5V	—	—	ขั้ว + 5 โวลท์ (บางเครื่องไม่มี)
19-30	—	GND	—	สัญญาณกลับหรือกราวนด์ของระบบ
31	—	$\overline{\text{INIT}}$	อินพุท	เป็นสัญญาณที่ส่งจากอุปกรณ์ภายนอก โดยจะทำงานเมื่อมีสัญญาณ "low" เมื่อเครื่องพิมพ์ได้รับสัญญาณนี้ เครื่องพิมพ์จะเลื่อนหัวพิมพ์สู่จุดเริ่มต้นพิมพ์ ข้อมูลต่าง ๆ จะถูกละทิ้งหมด โดยทั่วไปแล้วสัญญาณนี้ จะมีความกว้างของพัลส์ประมาณ 50 ไมโครวินาที
32	—	$\overline{\text{ERROR}}$	เอาท์พุท	เป็นสัญญาณที่ส่งออกจากเครื่องพิมพ์ เพื่อบอกให้อุปกรณ์ภายนอกรับรู้ว่ามีข้อผิดพลาดเกิดขึ้น เช่น – กระดาษหมด – อยู่ในระหว่าง off line – ข้อมูลที่รับเข้ามาผิดพลาด ไม่สามารถตีความได้
33	—	GND	—	เหมือน 19–30
34	—	NC	—	ไม่ได้ต่อใช้งาน
35	—	NC	—	ไม่ได้ต่อใช้งาน
36	—	$\overline{\text{SECT IN}}$	อินพุท	คล้ายกับสัญญาณ BUSY แต่สัญญาณกลับกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะการเชื่อมต่อขาของสัญญาณระหว่างเครื่อง HOST COMPUTER กับ ADAPTIVE SPOOLER จะมีบางเส้นที่ต้องใช้ต่ออีก นอกเหนือจากสัญญาณ STROBE , ACKLG , BUSY , DATA คือ สัญญาณ PE ซึ่งเป็นสัญญาณ INPUT เข้าสู่ HOST COMPUTER เพื่อแสดงว่า "ขณะนี้เครื่องพิมพ์ในกรณีที่กระดาษหมด" สัญญาณนี้จะ ACTIVE ที่ลอจิก HIGH จึงต้องต่อไว้ที่ LOW , สัญญาณ ERROR ซึ่งเป็นสัญญาณที่ส่งเข้าสู่ HOST COMPUTER เพื่อแสดงว่า "อุปการณ์ภายนอกรับรู้ว่ามีข้อผิดพลาดเกิดขึ้น เช่น กระดาษหมด , อยู่ในระหว่าง OFF LINE , ข้อมูลที่รับเข้ามาผิดพลาด ไม่สามารถตีความได้ สัญญาณนี้ ACTIVE ที่ลอจิก LOW จึงต้องต่อให้สัญญาณนี้มีสภาวะเป็นลอจิก HIGH

หากไม่ได้ต่อสัญญาณในข้างต้นแล้วเมื่อใช้งาน คือ เมื่อคอมพิวเตอร์ส่งข้อมูลที่ต้องการพิมพ์ก็จะมีการตรวจสอบสัญญาณเหล่านี้แล้ว จะทำให้คอมพิวเตอร์แสดงข้อความที่จอภาพว่า

NOT RREADY ERROR WRITING DEVICE PRN

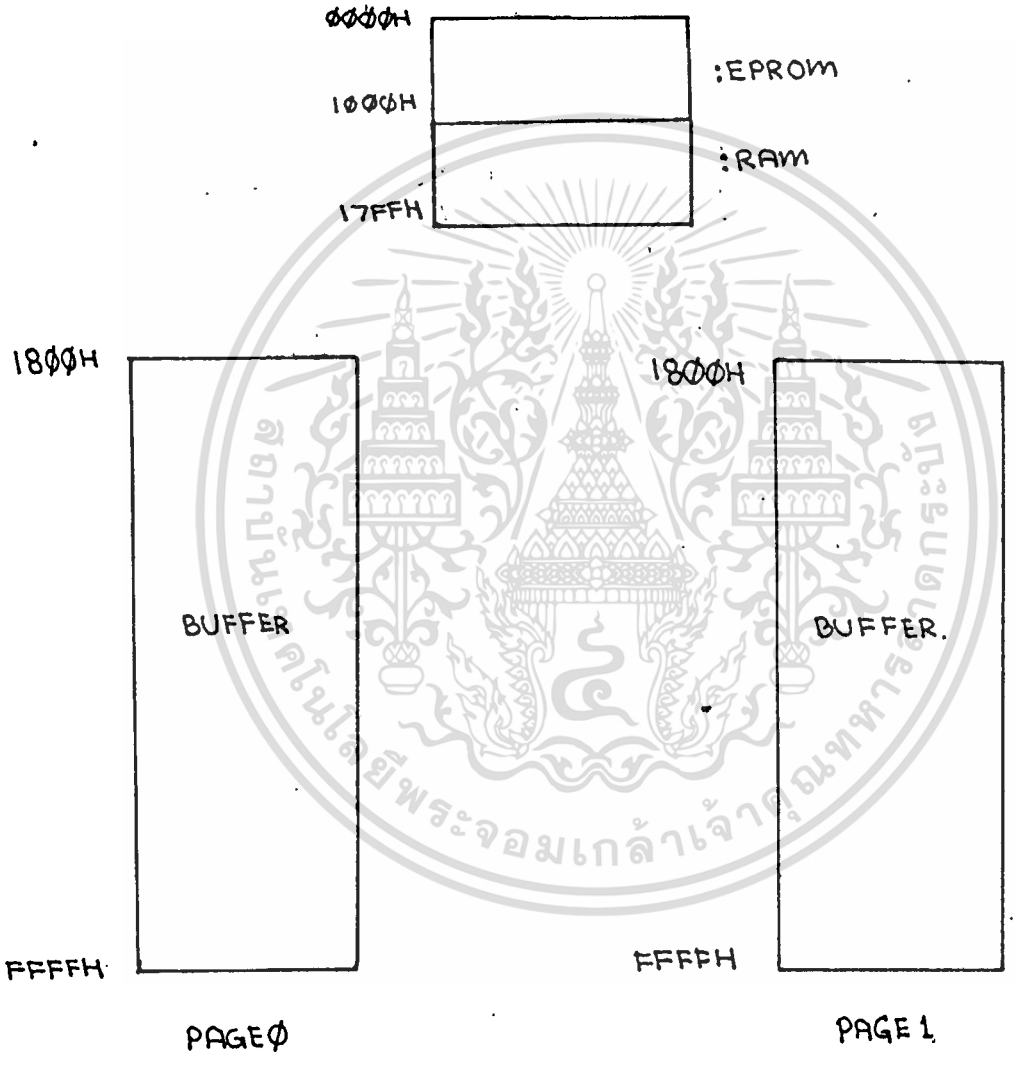
ABORT , RETRY , IGNORE ?

2.7 MEMORY

หน่วยความจำของ ADATIVE SPOOLER ประกอบไปได้หน่วยความจำ 3 ส่วน คือ ส่วนแรกเป็นหน่วยความจำที่ใช้เก็บ PROGRAM MEMORY จำนวน 4 KBYTE คือ เบอร์ 2732 ส่วนที่สองเป็นหน่วยจำที่ใช้เก็บค่าตัวแปรต่าง ๆ รวมทั้งเป็นที่ของ STACK ขนาด 2 KBYTE คือ เบอร์ 6116 และส่วนที่ 3 คือ หน่วยจำที่ใช้เก็บข้อมูลที่ต้องการส่งเครื่องพิมพ์ ซึ่งประกอบไปด้วย 2 PAGE แต่ละ PAGE มีหน่วยความจำ 58 KBYTE ซึ่งถูกควบคุมโดย SOFTWARE ในการ SELECT PAGE (PORT เบอร์ 18H) ไปยัง OUTPUT PORT ซึ่งเปรียบเสมือนเป็นการสร้างสัญญาณ A16 ขึ้นนั่นเองดังรูป 2.7 โดยขา A16 นี้จำไปควบคุม DECODER 74LS138 ทั้ง 2 PAGE หน่วยความจำที่ใช้เก็บข้อมูลที่รับจาก HOST COMPUTER เพื่อส่งให้ PRINTER นั้นใช้เบอร์ 6264 PAGE ละ 7 ตัว และเบอร์ 6116

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PAGE ละ 1 ตัว รวม 116 KBYTE หากต้องการจะเพิ่มหน่วยความจำให้มากขึ้นกว่านี้ก็สามารถทำได้โดยไม่ยากนัก คือ เพิ่มจำนวน PAGE ให้มากขึ้นไปอีกได้มากมาย เพื่อขจัดปัญหาการรับข้อมูลที่มีขนาดใหญ่เกินไป และจะทำให้ HOST COMPUTER มีประสิทธิภาพสูงขึ้น



รูป 2.7 แสดง MEMORY MAP

สำหรับหน่วยความจำส่วนที่หนึ่งและส่วนที่สอง จะถูกใช้เพียงชุดเดียวในการควบคุมการเก็บข้อมูลมาเก็บในหน่วยความจำส่วนที่สาม ซึ่งประกอบด้วย 2 PAGE ซึ่งเท่ากับว่าเป็นการเสียพื้นที่ที่จะใช้เป็นหน่วยความจำเก็บข้อมูลไปอีก 6 KBYTE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 การใช้เครื่อง ADAPTIVE SPOOLER

เมื่อต่อ CENTRONIC PORT เข้ากับเครื่อง ADAPTIVE SPOOLER ที่ด้านหลังของเครื่อง ซึ่งสามารถต่อกับไมโครคอมพิวเตอร์ได้ถึง 3 เครื่อง จากนั้นก็เปิดสวิทช์ POWER ON เครื่องจะทำหน้าที่รับการส่งข้อมูลทันที เมื่อข้อมูลถูกส่งเข้าช่องทางใดจาก HOST COMPUTER เครื่องไหนก็จะถูกเก็บไว้ใน BUFFER ซึ่งมีขนาด 116 KBYTES ต่อไปเรื่อย ๆ ขณะที่รับข้อมูลจาก HOST COMPUTER ซึ่ง LED แสดงผลก็จะติดเพื่อแสดงว่าขณะนี้มีการรับข้อมูลจาก HOST COMPUTER เครื่องใดโดย LED แสดงผล 1 ดวงต่อ HOST COMPUTER 1 เครื่อง เมื่อไม่มีการส่งขอมูลจาก HOST COMPUTER เครื่องนั้น ๆ แล้ว LED ตัวนั้นก็จะดับลงจากนั้นก็เริ่มจะส่งข้อมูลออกเครื่องพิมพ์ ขณะที่ส่งข้อมูลนี้ก็สามารถจะส่งข้อมูลจาก HOST COMPUTER เครื่องใดก็ได้อีก และ LED แสดงผลก็จะติดตาม HOST COMPUTER เครื่องนั้น ๆ อีกเช่นกัน เมื่อมีการส่งข้อมูลเช่นนี้เรื่อย ๆ จนเนื้อที่หน่วยความจำภายในของ ADAPTIVE SPOOLER เหลือ 20 KBYTE ก็จะมีเสียงเตือนขึ้น เมื่อเป็นเช่นนี้แล้วผู้ใช้ไม่ควรจะส่งข้อมูลที่มีขนาดใหญ่กว่า 20 KBYTE ไปพิมพ์ เพราะว่าเมื่อส่งข้อมูลขนาดใหญ่แล้วทำให้หน่วยความจำของ ADATIVE SPOOLER เต็มแล้วจะทำให้ HOST COMPUTER เครื่องนั้นจะต้องรอให้เครื่องพิมพ์ พิมพ์ข้อมูลใน BUFFER ของ ADATIVE SPOOLER ออกไป 1 KBYT [1024 ตัวอักษร] แล้วรับเข้ามาอีก 1 KBYTE ทำเช่นนี้จนหมดข้อมูลที่ส่งจาก HOST COMPUTER ทำให้ประสิทธ์ภาพของ HOST COMPUTER นั้นลดลงไปอีก ทางที่ดีควรจะเก็บไว้ก่อนแล้วทำงานอย่างอื่นไปก่อน เมื่อต้องการลบข้อมูลในหน่วยความจะของ ADATIVE SPOOLER และใน BUFFER ของ PRINTER เมื่อไม่ต้องการพิมพ์แล้วก็สามารถกดปุ่ม RESET ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

HARDWARE

3.1 วงจรภาค CPU

วงจรในภาคนี้ประกอบไปด้วย Z-80 CPU เป็นหลักดังรูป 3.1 นอกจากนี้ยังมีวงจรกำเนิดความถี่ด้วย CRYSTAL ความถี่ 3.58 MHZ แล้วหารความถี่ลงมาเป็น 1.79 HMZ ด้วย FLIP-FLOP เบอร์ 74LS74 แล้วป้อนเข้าขา COLCK ของ Z-80

ขา RESET ซึ่ง ACTIVE LOW จะถูกต่อเข้ากับสวิทช์ RESET และจะต่อกับขา RESET ของ 8255 โดยผ่าน INVERTER ก่อน พร้อมกับต่อที่ขา INIT ของ CONNECTER ของ PRINTER เพื่อทำการ RESET ข้อมูลที่อยู่ใน BUFFER และเลื่อนตำแหน่งของหัวเครื่องพิมพ์มาที่จุดเริ่มต้นของ PRINTER

ขา ADDRESS BUS 16 เส้น จะต่อเข้ากับ BUFFER เพื่อ DRIVE กระแสให้กับอุปกรณ์อื่น ๆ โดยผ่าน 74LS245 2 ตัว ส่วนขา DATA BUS 8 เส้น จะต่อเข้ากับ BUFFER เช่นกันโดยผ่าน 74LS245 #3 1 ตัว และขา 1 ซึ่งทำหน้าที่เลือกทิศทางการเคลื่อนย้ายของข้อมูล โดยจะถูกเลือกโดยขา RD คือ เมื่อมีการอ่านข้อมูลเข้า CPU ขา RD จะมีสภาวะเป็น LOW ทำให้ 74LS245 ยอมให้ข้อมูลอ่านเข้ามาได้ แต่เมื่อมีการเขียนข้อมูลออกไปจาก CPU จะทำให้ขา RD มีสภาวะเป็น HIGH 74LS245 ยอมให้ข้อมูลออกไปจาก CPU ได้ ส่วนขา 19 เป็นขา ENABLE ซึ่งจะ ACTIVE ที่ LOW ขานี้จะต่อจากขา CS ของ RAM แต่ละตัวเอามา เป็นขา AND กันคือ BUFFER 74LS245 #3 จะทำงานยอมให้ข้อมูลผ่านเข้าออกไปก็ต่อเมื่อมีการอ้างถึงหน่วยความจำเท่านั้น

ส่วนสัญญาณที่ไม่ได้ใช้ คือ WAIT , NMI , BUSRQ , INT จะต่อไว้ที่ HIGH

การเลือก PAGE ของหน่วยความจำที่ใช้เป็น BUFFER 2 PAGE นั้นสามารถควบคุมโดย 74LS75 ซึ่งเป็น D FLIP FLOP มีขา DØ ต่อที่ขา D ของ 74LS74 และขา G จะถูกควบคุมที่ PORT เบอร์ 18H และจะถูก OR ด้วย WR ซึ่งจะเป็นการป้องกันให้ 74LS74 ทำงานเฉพาะที่ต้องการเขียนข้อมูลไปยัง PORT 18H เท่านั้น ดังนั้น เมื่อต้องการเปลี่ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PAGE ก็สามารถควบคุมโดย SOFTWARE คือ ส่งค่า D0 ไปที่ PORT 18H ถ้า D0 เป็น 0 ก็เป็นการเลือกให้หน่วยความจำ PAGE 1 ทำงาน เหตุที่ต้องทำเช่นนี้เพื่อไม่ให้มีการทับกันของหน่วยความจำ ซึ่งสามารถอ้างหน่วยความจำได้เพียง 64 KBYTE

3.2 MEMORY

จากรูป 3.1 ตอนล่างเป็นการ DECODE ขา ABBRESS ของ Z-80 CPU โดยผ่าน 74LS137 โดยต่อ A11-A15 เข้ามา DECODER เพื่อไปเลือก ROM 4 KBYTE (เบอร์ 2732) และ RAM (เบอร์ 6116) อย่างละ 1 ตัว เนื่องจากการ DECODE ของ 74LS138 ที่ OUTPUT แต่ละเส้น (0000H-0FFFH) สามารถอ้าง ADDRESS ได้เพียง 2 KBYTE ดังนั้นเมื่อต้องการเลือก ROM 4 KBYTE จึงต้องนำสายสัญญาณมา AND กัน ส่วน RAM เบอร์ 6116 (1000H-17FFH) มีขนาด 2 KBYTE จึงต่อตรงได้เลย ส่วนที่ขา OUTPUT ENABLE ซึ่งแอคทีฟ LOW จะเป็นขาที่ใช้ควบคุมทางออกของข้อมูลสู่ภายนอก จึงใช้ขา MREQ มา OR กับ RD ก็เพื่อจะให้มีจ้อมูลออกเมื่อ CPU มีการอ่านข้อมูลจากหน่วยความจำเท่านั้น ส่วนขา WE ซึ่งแอคทีฟ LOW เป็นขาที่ใช้ควบคุมการเข้าของข้อมูลสู่หน่วยความจำ ซึ่งจะรับข้อมูลเมื่อ CUP ต้องการเขียนข้อมูลลงในหน่วยความจำ ทำให้ขา MREQ กับ WR จะ ACTIVE ทั้ง 2 เส้น

จากรูป 3.2 เป็นการ DECODER ของหน่วยความจำโดยผ่าน 74LS138 และ 74LS139 ใช้ PAGE ละ 1 ชุด โดยแต่ชุดจะถูกเลือกโดย A16 ซึ่งถูกเลือกอีกทีจาก 74LS74 โดย SOFTWARE คือ PAGE 0 จะต่อเข้าที่ขา G1 ของ 74LS138 และPAGE 1 จะต่อเข้ากับ G2 ของ 74LS138 เช่นกัน ซึ่ง G1 แอคทีฟ HIGH และ G1 แอคทีฟ LOW จึงสามารถถูกควบคุมได้ และ 74LS138 ของแต่ละ PAGE ก็จำใช้ขา Y0 เป็น LTIGH และขา G ของ 74LS139 ด้อง ดังนั้นเมื่อสัญญาณ A16 ไม่เลือก 74LS138 แล้ว จะทำให้ 74LS139 ไม่ถูกเลือกด้วย

การอ้างหน่วยความจำในตำแหน่งต่าง ๆ นั้นจะใช้ 74LS139 DECODE ADDRESS ตำแหน่ง 2000H-3FFFH , 4000H-5FFFH , 6000H-7FFFH , 8000H-9FFFH ,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C000H-DFFFH , E000H-FFFFH

3.3 วงจร I/O

จากรูป 3.3 วงจรส่วนนี้ประกอบด้วย 8255 2 ตัว และ 74LS373 อีก 1 ตัว โดยแต่ละตัวจะถูก DECODE ตำแหน่ง PORT หมายเลยต่าง ๆ โดย 74LS138 โดย 8255 #1 จะถูกกำหนดให้อยู่ที่ PORT เบอร์ 10H-13H และ 8225 #2 จะถูกกำหนดให้อยู่ที่ PORT เบอร์ 14H-17H และ 74LS373 จะถูกกำหนดให้อยู่ที่ PORT เบอร์ ICH

8255 ทั้ง 2 ตัว จะถูกกำหนดให้ทำงานใน MODE 1 คือเป็น HAND SHAKING โดย 8255 #1 PORT A จะเป็น OUTPUT PORT และ PORT B เป็น INPUT PORT ส่วน 8255 #2 ทั้ง PORT A และ PORT B จะเป็น INPUT PORT ทั้ง 2 PORT

การอ่านและการเขียนข้อมูลบน 8255 จะถูกควบคุมตำแหน่งโดยขา RD และ WR และ PORT A , PORT B จะถูกควบคุมตำแหน่งโดยขา A0 และ A1 นอกจากนี้ยังมี LED เป็น DISPLAY เพื่อแสดงว่าขณะนี้มีการอ่านข้อมูลจาก HOST COMPUTER เครื่องใด และอ่านจบหรือยังโดยต่อผ่าน TRANSISTER เป็นตัว DRIVE กระแสให้ LED 3 ตัว

IC เบอร์ 74LS373 ทำหน้าที่เป็น INPUT PORT เพื่อทำหน้าที่ตรวจสอบการต่อของ CONNECTER ว่ามีการต่อเข้ากับ HOST COMPUTER หรือ PRINTER หรือยัง โดยอาศัยการตรวจสอบสถานะของขา D1 , D2 , D3 , D4 ซึ่งปกติจะต่อสภาวะ HIGH อยู่ เมื่อยังไม่เสียบ CONNECTER จะทำให้สภาวะเป็น HIGH อยู่ เมื่อมีการเสียง CONNECTER แล้ว จะทำให้ BIT นั้น ๆ เป็น LOW ทันที เนื่องจากจะไปต่อเข้ากับ GROUND ของเครื่อง สาเหตุที่ต้องมีการตรวจสอบเช่นนี้ เพราะว่าหากไม่มีการเสียบ CONNECTER จะทำให้สภาวะลอจิกต่าง ๆ ไม่เสถียรภาพดีพอ ทำให้เกิดการผิดพลาดได้

3.4 อุปกรณ์ช่วยพัฒนา

จากวงจรรูป 3.4 เป็นวงจร DOWN LOAD ซึ่งออกแบบให้ใช้เสียบกับ SLOT IBM เพื่อทำหน้าที่รับข้อมูลจาก IBM มาเก็บไว้ในหน่วยความจำภายใน DOWN LOAD GARD โดยข้อมูลที่เก็บนี้จะเป็น MACHINE CODE ของ Z-80 CPU คือ จะเขียน SOURCE FILE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

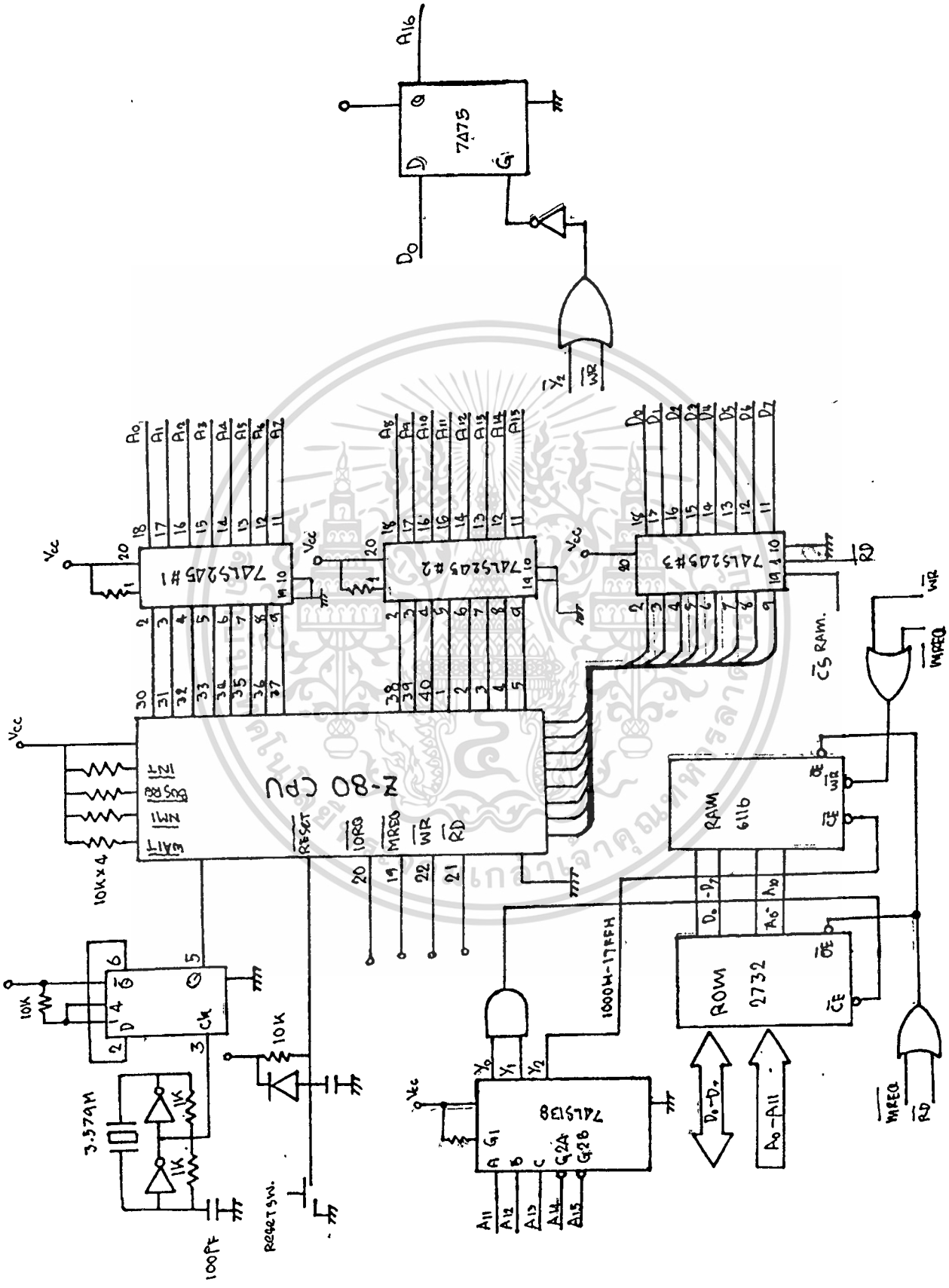
ลงบน SIDE KICK เป็นภาษา ASSEMBLY แล้วใช้ CROSS ASSEMBLER Z-80 เปลี่ยนให้เป็น MACHINE CODE จากนั้นจึงใช้ DEBUG เรียก FILE ที่เป็น MACHINE CODE เข้าไป แล้วจัดการย้ายข้อมูลนี้ไปยังหน่วยความจำบน DOWN LOAD GARD ที่ตำแหน่ง AC00:00 โดยจะนำ DIP JUMPER ของ DOWN LOAD GARD ไปเสียงบนตำแหน่ง RAM ของ ADAPTIVE SPOOLER นอกจากนี้ยังมี SINGLE BOARD ช่วยในการพัฒนาโปรแกรม โดยจะต่อขา CPU Z-80 ของ SINGLE BOARD ทั้ง 40 ขามาที่ ADAPTIVE SPOOLER ทำให้สะดวกต่อการ RUN โปรแกรมเป็นอย่างมาก เนื่องจาก SINGLE BOARD สามารถที่จะ RUN โปรแกรมที่ละ STEP ได้ พร้อมทั้งดูค่า REGISTER ต่าง ๆ ได้ อีกทั้งสามารถดูค่าในหน่วยความจำตำแหน่งต่าง ๆ ได้หมด ทำให้พัฒนาโปรแกรมได้อย่างรวดเร็ว

หลักการทำงานของวงจร DOWN LOAD จะประกอบไปด้วย 74LS138 ทำหน้าที่ DECODE ตำแหน่งของขา AC00:00 ทำให้ขา 7 ของ 74LS138 ACTIVE (ที่ LOW) ไปทำให้ขา 1 ของ 74LS157 ทั้ง 4 ตัว ซึ่งทำหน้าที่เป็น QUADRUPLE 2-LINE TO-1-LINE/MULTIPLEXEER โดยขา 1 จะเป็นการเลือก INPUT ชุด A หรือ B เพื่อไปออกที่ OUTPUT (Y) โดยขา INPUT ชุด A ของ 74LS157 ทั้ง 4 ตัว ก็จะต่อเข้ากับขา ADDRESS ของ IBM และขา INPUT ชุด B ของ 74LS157 ทั้ง 4 ตัว ก็จะต่อเข้ากับขา ADDRESS ของ DIP JUMPER [จะถูกเสียบขนตำแหน่ง RAM ของ ADAPTIVE SPOOLER อีกที] ปกติ 74LS157 ทั้ง 4 ตัว จะเลือก ADDRESS ชุด B จะเลือกชุด A ก็ต่อเมื่อ IBM ต้องการติดต่อกับ 6264 เท่านั้น ที่ขา DATA ของ 6264 จะมี BUFFER อยู่ 2 ตัว คือ 74LS245 #1 , 74LS245 #2 โดยที่ 74LS245 #1 โดยที่ 74LS245 #1 จะเป็น BUFFEN ของทางด้าน IBM จะถูกควบคุมทิศทางของข้อมูลโดยสัญญาณ MEMR และขา G จะถูกควบคุมโดยการ DECODE ของ สัญญาณ ADDRESS จาก 74LS138 หาก IBM ไม่ได้ส่ง ADDRESS AC00:00 มาก็จะทำให้ 74LS245 #1 เป็น HIGH IMPEDANCE ส่วน 74LS245 #2 เป็น BUFFER ทางด้าน DIP JUMPER โดยขา G ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

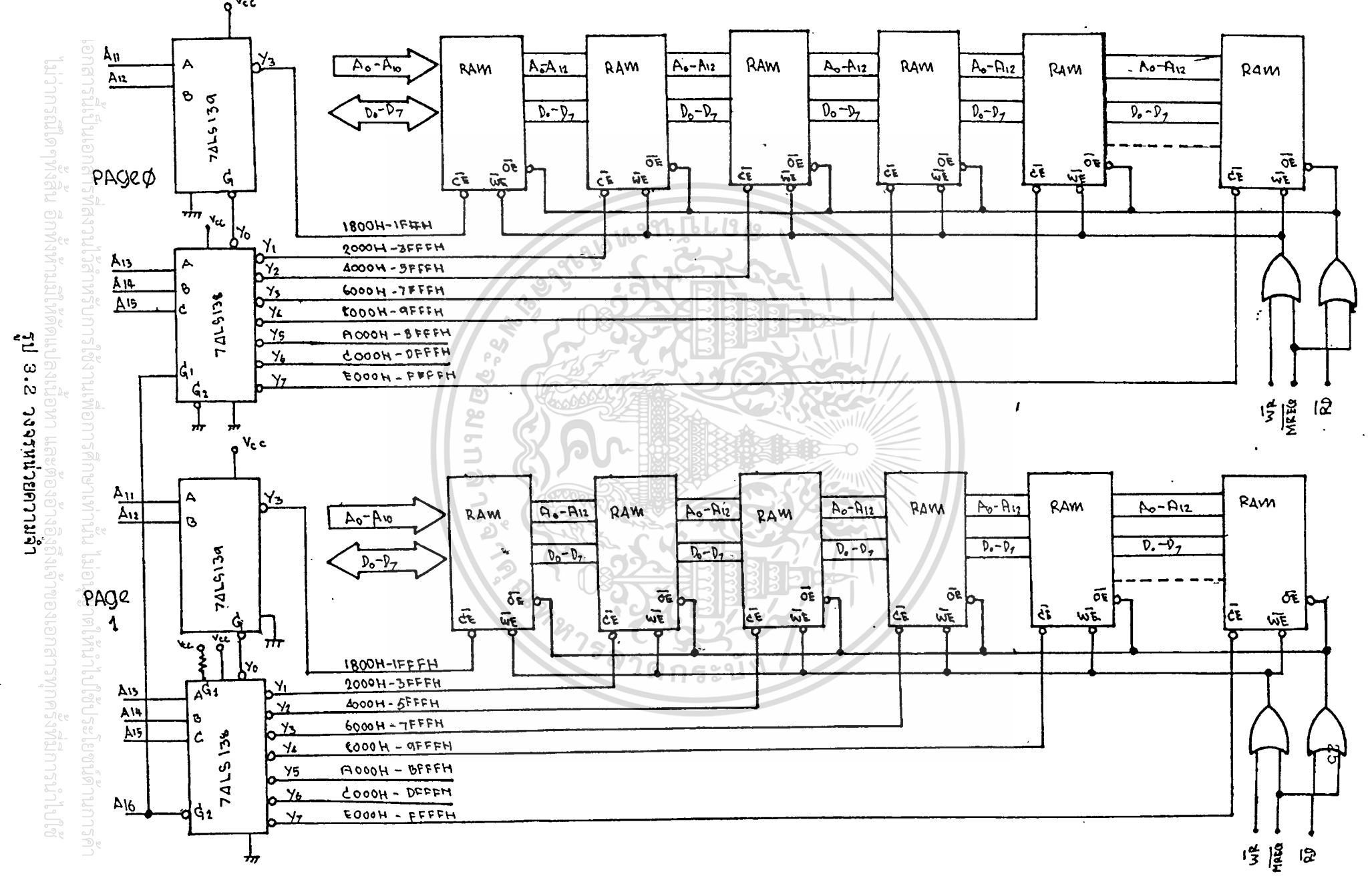
ACTIVE LOW จะต่อเข้ากับขา CE ของ MEMORY จาก ADAPTIVE APOOLER และขา
1 ซึ่งเป็นขากำหนดทิศทางจะต่อเข้ากับขา WR ด้วยเช่นกัน

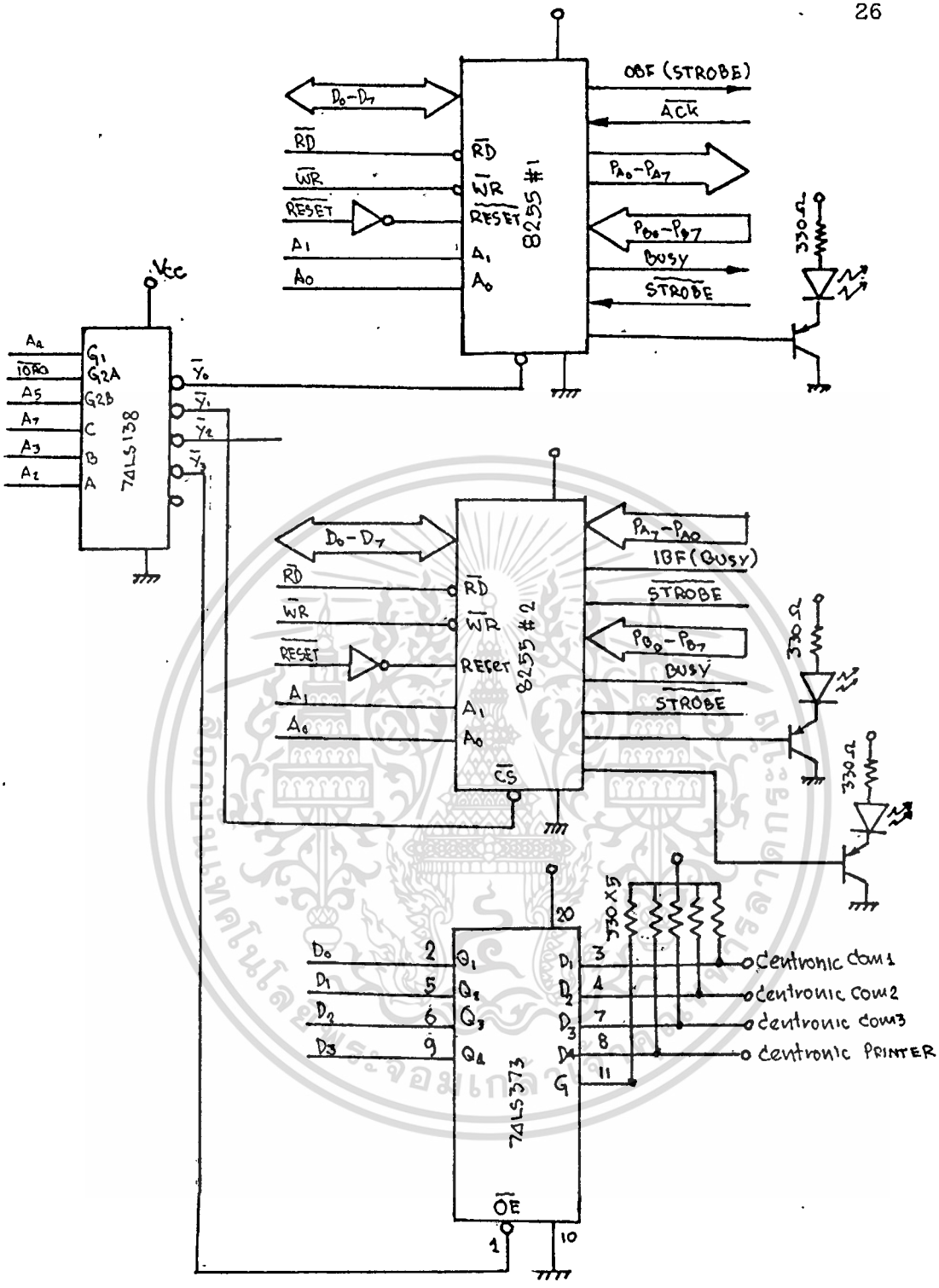
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.1 วงจรภาค CPU และ ROM

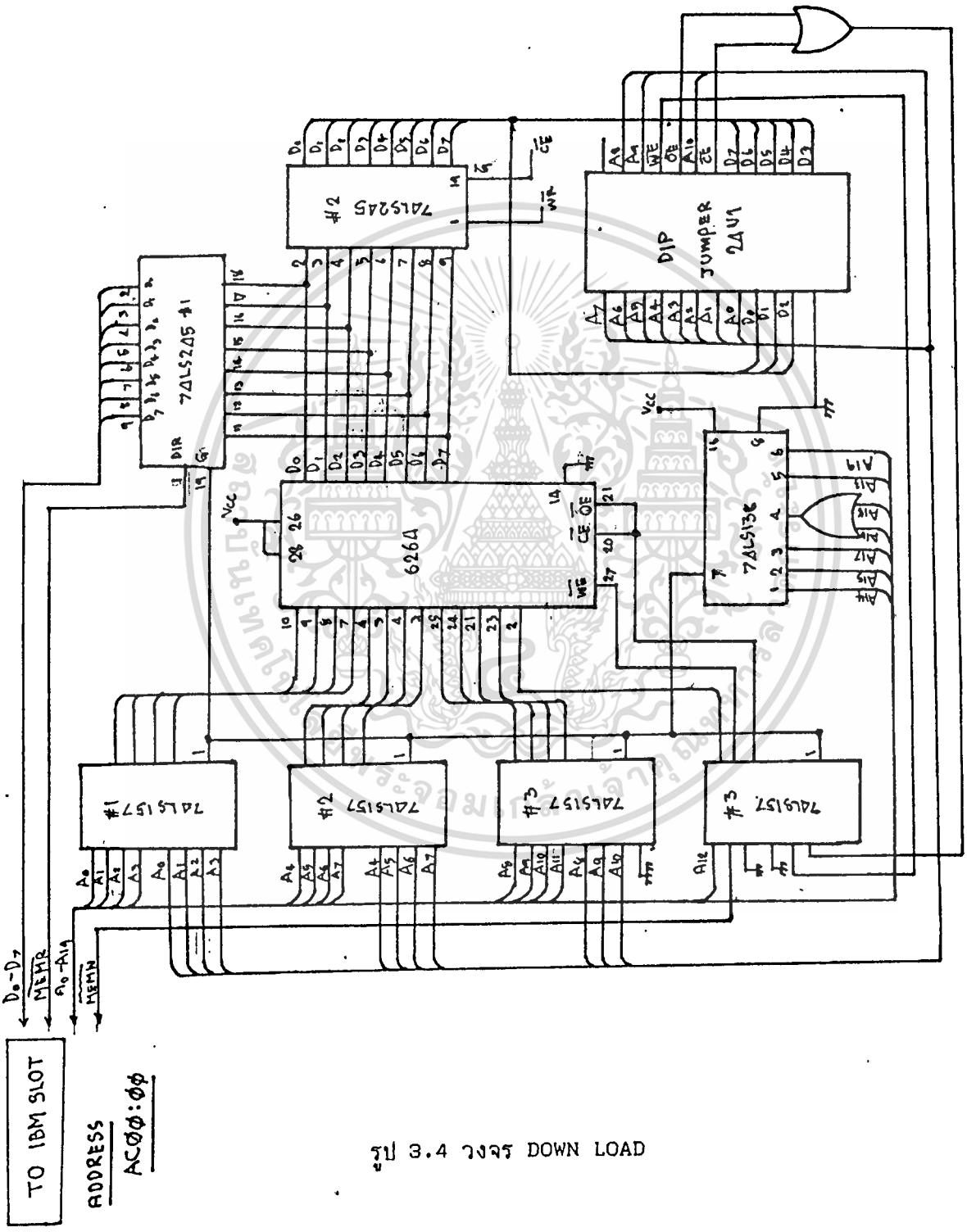
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


PAGE 0
PAGE 1
74LS139
74LS138
RAM
A0-A10
D0-D7
A0-A12
D0-D7
1800H-1FFFH
2000H-3FFFH
4000H-5FFFH
6000H-7FFFH
8000H-9FFFH
A000H-BFFFH
C000H-DFFFH
E000H-FFFFH
A11
A12
A13
A14
A15
A16
WR
MREQ
RD



รูป 3.3 วงจรภาค I/O

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูป 3.4 วงจร DOWN LOAD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

SOFTWARE

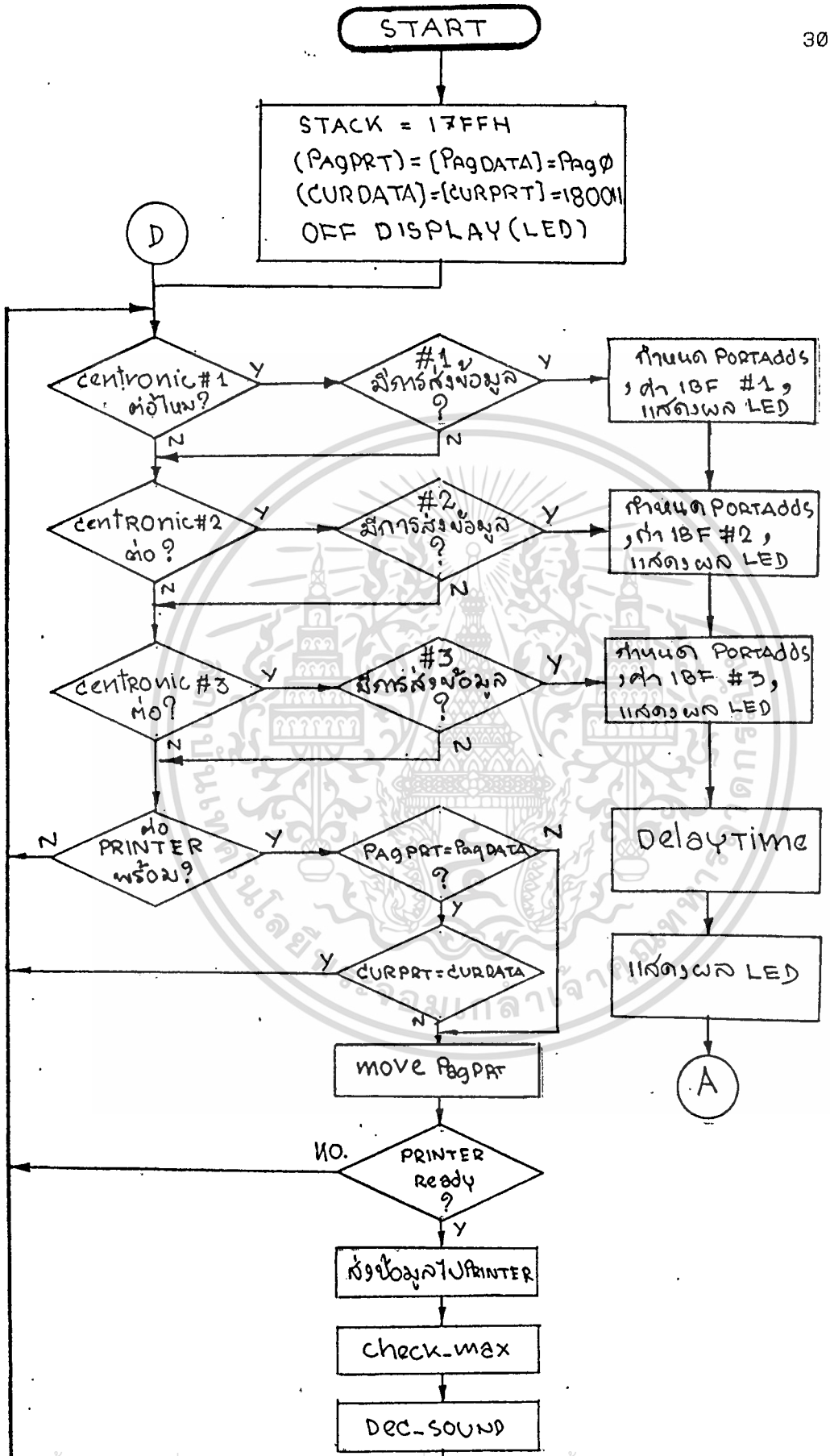
ในการเขียนโปรแกรมได้กำหนดชื่อเพื่อความสะดวกในการเขียนโปรแกรมดังนี้

- START คือ ตำแหน่งของหน่วยความจำที่ใช้เริ่มต้นเก็บข้อมูล
- FORMFEED คือ รหัส ASCII ที่ใช้ควบคุมแก่ PRINTER ให้เลื่อนกระดาษ
- CONST คือ จำนวน BYTE ที่จะพิมพ์ เมื่อมีข้อมูลที่รับเข้ามาจะไปทับข้อมูลที่ยังไม่ได้พิมพ์
- PORTPAG คือ ตำแหน่งของ PORT ในการควบคุมการเปลี่ยน PORT ของหน่วยความจำ
- PORTADDS คือ ตำแหน่งของหน่วยความจำที่ใช้เก็บค่าของตำแหน่ง PORT ที่ต้องการอ่านข้อมูลมาเก็บใน BUFFER
- PAGDATA คือ สภาวะ PORT ของหน่วยความจำที่กำลังรับข้อมูลเข้ามา
- CURPRT คือ ADDRESS ในหน่วยความจำที่ใช้พิมพ์โดยจะอยู่ใน PAGPRT เป็นตัวกำหนดอีกที
- CIRDATA คือ ADDERSS ในหน่วยความจำที่ใช้รับข้อมูลโดยจะอยู่ใน PAGDATA เป็นตัวกำหนดอีกที
- MAX คือ ตำแหน่ง ADDRESS สูงสุดที่ใช้ในการเก็บข้อมูล
- PORTC คือ ตำแหน่งที่ใช้เก็บค่าของ PORT C ใน 8255
- IBF คือ ตำแหน่งที่ใช้เก็บตำแหน่ง BIT ที่จะใช้ PORT C ของ 8255 เพื่อทำการตรวจสอบขณะ HAND SHAKING
- LED คือ ตำแหน่งที่ใช้เก็บการแสดงผลของ LED
- S_LOW คือ ตำแหน่งที่ใช้เก็บค่า หน่วยความจำ BYTE ต่ำ ที่เหลือขณะอ่านและส่งข้อมูล
- S_HI คือ ตำแหน่งที่ใช้เก็บค่า หน่วยความจำ BYTE สูง ที่เหลือขณะอ่านและส่งข้อมูล

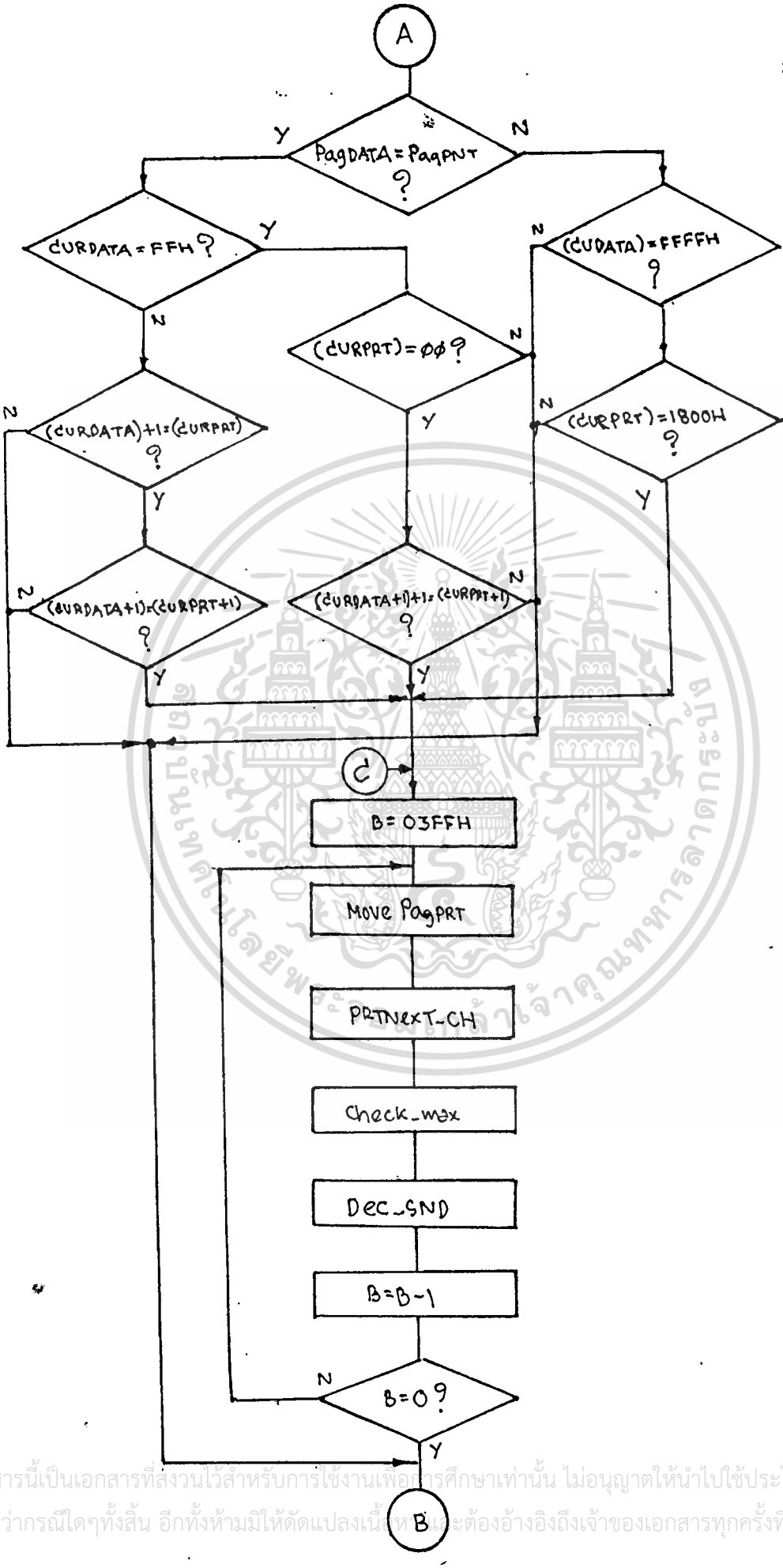
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในบทที่นี้จะกล่าวถึง SOFTWARE ที่ใช้ควบคุมการทำงานของ ADATIVE APOOLERJ โดยจะอธิบายในรูปของ FLOWCHART และ PROGRAM ทั้งหมด

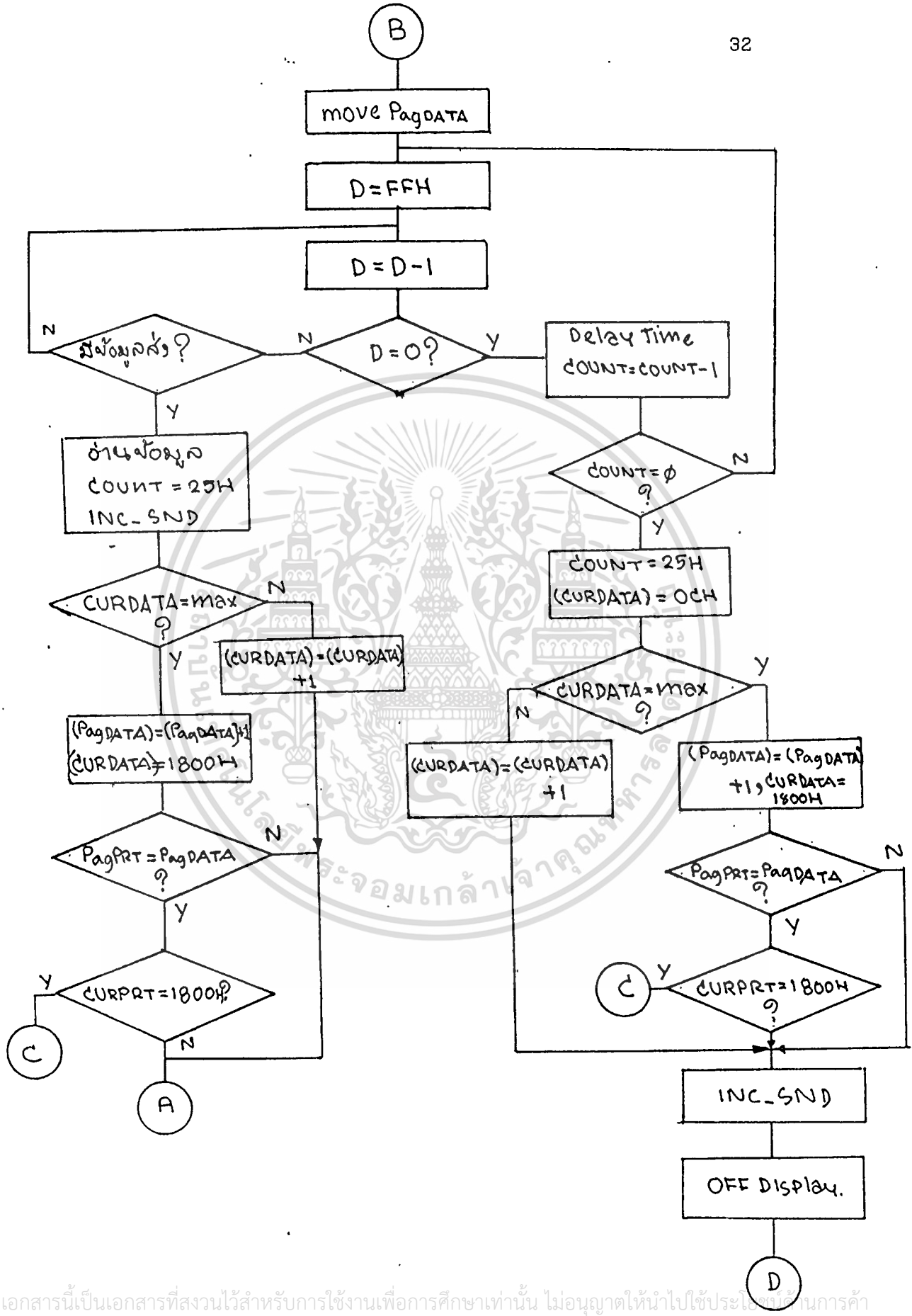
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



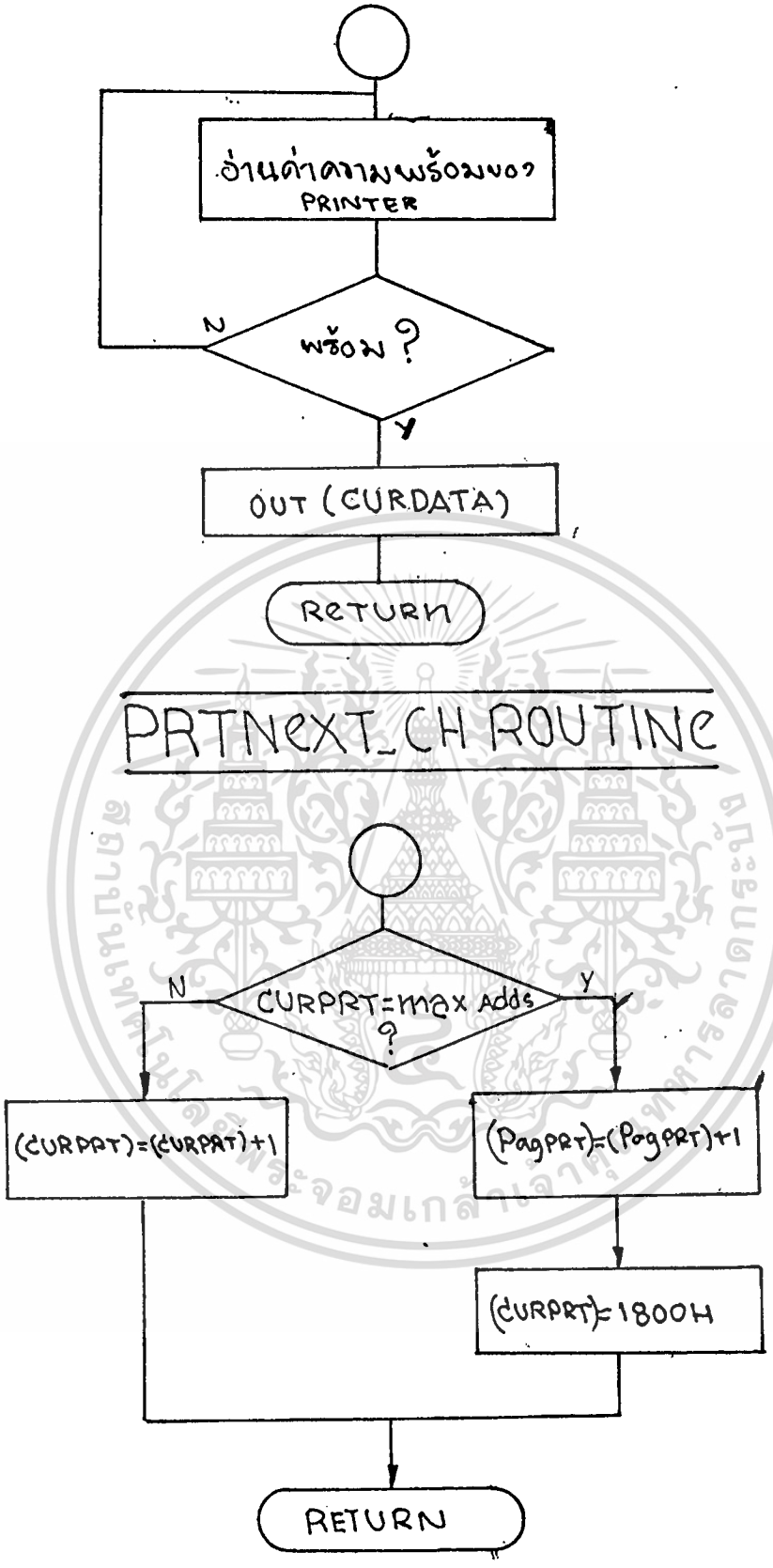
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



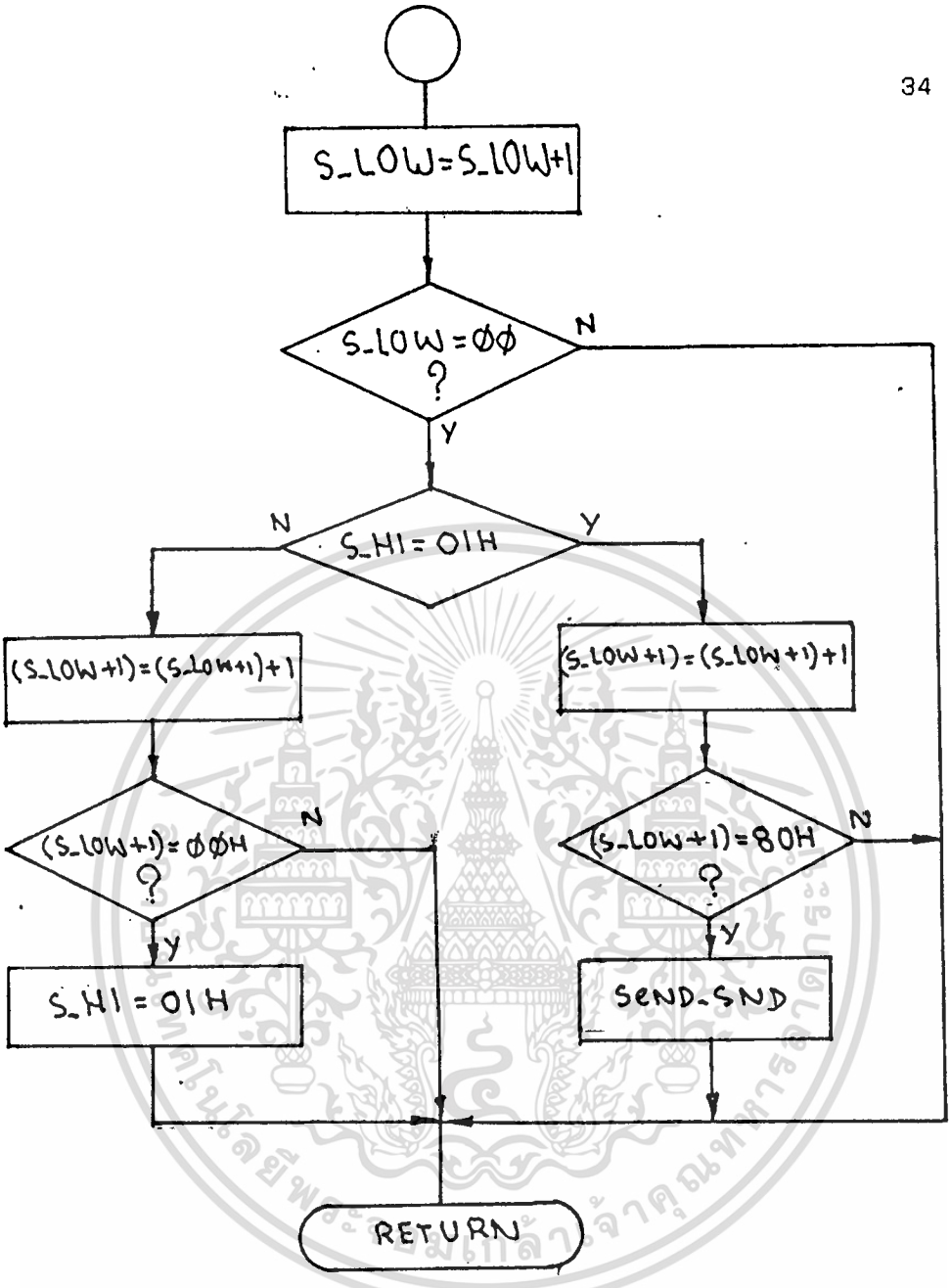
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



PRTNEXT_CH ROUTINE

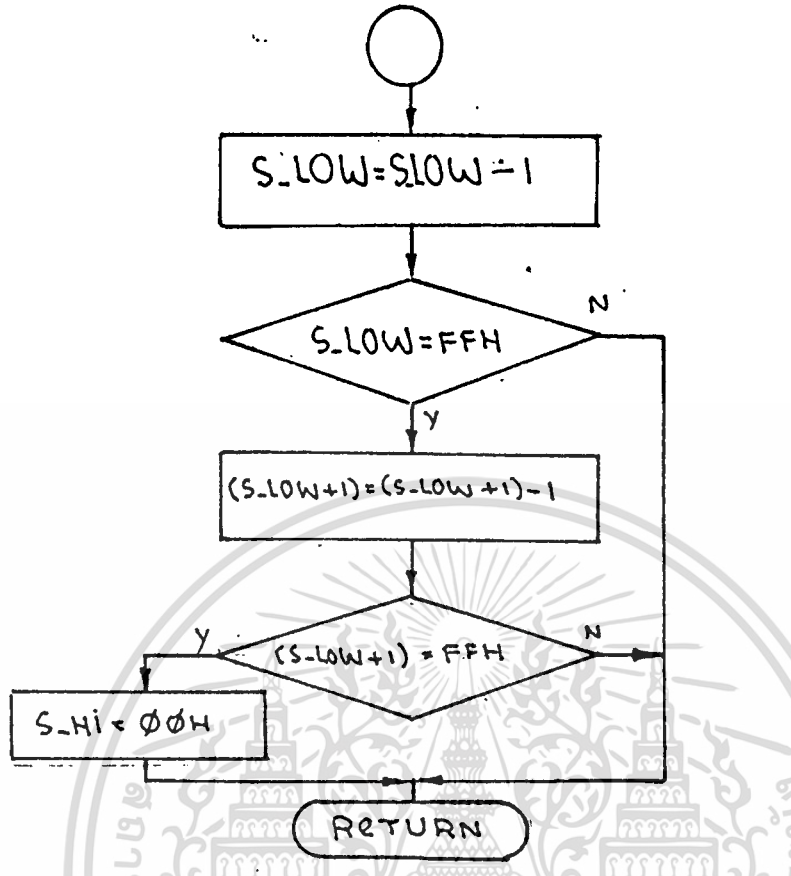
CHECK_max ROUTINE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

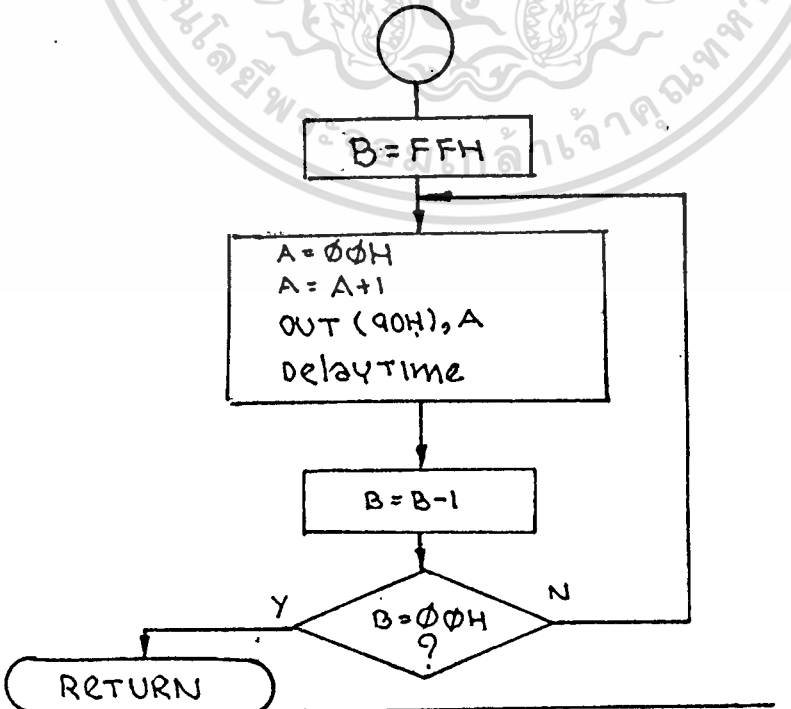


INC_SND ROUTINE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



DEC_SND ROUTINE



SEND_SND ROUTINE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
2500 A.D. Z80 CROSS ASSEMBLER   -   VERSION 3.00b
-------------------------------------------------------------------------------

          INPUT  FILENAME :  PROJECT.ASM
          OUTPUT FILENAME :  PROJECT.OBJ


0000.                                    ORG                    0000H
          00 18                          START:       EQU       1800H
          0C 00                          FORMFEED:    EQU         0CH
          FF 03                          CONST:       EQU       03FFH
          18 00                          PORTPAG:     EQU         18H
;===============================================================================
0000    31 FF 17                         LD        SP,17FFH
0003    21 00 10                         LD        HL,1000H
0006    36 00                            LD        (HL),00H
0008    23                               INC       HL
0009    36 01                            LD        (HL),01H
000B    23                               INC       HL
000C    36 01                            LD        (HL),01H
000E    23                               INC       HL
000F    36 00                            LD        (HL),00H
0011    23                               INC       HL
0012    36 18                            LD        (HL),18H
0014    23                               INC       HL
0015    36 00                            LD        (HL),00H
0017    23                               INC       HL
0018    36 18                            LD        (HL),18H
001A    23                               INC       HL
001B    36 FF                            LD        (HL),FFH
001D    23                               INC       HL
001E    36 FF                            LD        (HL),FFH
0020    23                               INC       HL
0021    36 00                            LD        (HL),00H
0023    23                               INC       HL
0024    36 00                            LD        (HL),00H
0026    23                               INC       HL
0027    36 25                            LD        (HL),25H
0029    23                               INC       HL
002A    36 00                            LD        (HL),00H
002C    23                               INC       HL
002D    36 00                            LD        (HL),00H
002F    23                               INC       HL
0030    36 00                            LD        (HL),00H
0032    23                               INC       HL
0033    36 00                            LD        (HL),00H
0035    23                               INC       HL
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0036    3E A6           LD      A,A6H
0038    D3 13           OUT     (13H),A
003A    3E A6           LD      A,A6H
003C    D3 17           OUT     (17H),A
003E    3E A6           LD      A,A6H
0040    D3 93           OUT     (93H),A
0042    3E FF           LD      A,FFH
0044    D3 14           OUT     (14H),A
0046    3A 02 10        LD      A,(PAGDATA)
0049    D3 18           OUT     (PORTPAG),A

004B                    COM_1:
004B    DB 1C           IN      A,(1CH)
004D    06 01           LD      B,01H
004F    A0              AND     B
0050    20 1D           JR      NZ,COM_2
0052    DB 12           IN      A,(12H)
0054    06 02           LD      B,02H
0056    A0              AND     B
0057    28 16           JR      Z,COM_2
0059    3E FE           LD      A,FEH
005B    32 0C 10        LD      (LED),A
005E    3E 11           LD      A,11H
0060    32 00 10        LD      (PORTADDS),A
0063    3E 12           LD      A,12H
0065    32 09 10        LD      (PORTC),A
0068    21 0A 10        LD      HL,IBF
006B    36 02           LD      (HL),02H
006D    18 4B           JR      READ
006F                    COM_2:
006F    DB 1C           IN      A,(1CH)
0071    06 02           LD      B,02H
0073    A0              AND     B
0074    C2 96 00        JP      NZ,COM_3
0077    DB 16           IN      A,(16H)
0079    06 02           LD      B,02H
007B    A0              AND     B
007C    CA 96 00        JP      Z,COM_3
007F    3E FD           LD      A,FDH
0081    32 0C 10        LD      (LED),A
0084    3E 14           LD      A,14H
0086    32 00 10        LD      (PORTADDS),A
0089    3E 16           LD      A,16H
008B    32 09 10        LD      (PORTC),A
008E    21 0A 10        LD      HL,IBF
0091    36 20           LD      (HL),20H
0093    C3 BA 00        JP      READ
0096                    COM_3:
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0096  DB 1C          IN      A,(1CH)
0098  06 04          LD      B,04H
009A  A0             AND     B
009B  C2 EE 01       JP      NZ,WRITE1
009E  DB 16          IN      A,(16H)
00A0  06 02          LD      B,02H
00A2  A0             AND     B
00A3  CA EE 01       JP      Z,WR1TE1
00A6  3E FB          LD      A,FBH
00A8  32 0C 10       LD      (LED),A
00AB  3E 15          LD      A,15H
00AD  32 00 10       LD      (PORTADDS),A
00B0  3E 16          LD      A,16H
00B2  32 09 10       LD      (PORTC),A
00B5  21 0A 10       LD      HL,IBF
00B8  36 02          LD      (HL),02H
00BA                 READ:
00BA  06 01          LD      B,1H
00BC  3E 01          QT4:    LD      A,1H
00BE  CD 6B 02       CALL    DELAY
00C1  10 F9          DJNZ    QT4
00C3  3A 0C 10       LD      A,(LED)
00C6  D3 14          OUT     (16H),A
00C8                 READ1:
00C8  3A 01 10       LD      A,(PAGPRT)
00CB  21 02 10       LD      HL,PAGDATA
00CE  ED A1          CPI
00D0  20 32          JR      NZ,READ22
00D2  3A 05 10       LD      A,(CURDATA)
00D5  FE FF          CP      FFH
00D7  20 14          JR      NZ,NO_FFH
00D9  3A 03 10       LD      A,(CURPRT)
00DC  FE 00          CP      00H
00DE  20 56          JR      NZ,READ2
00E0  3A 06 10       LD      A,(CURDATA+1)
00E3  3C             INC     A
00E4  21 04 10       LD      HL,CURPRT+1
00E7  ED A1          CPI
00E9  28 35          JR      Z,PRT_CONST
00EB  18 49          JR      READ2
00ED                 NO_FFH:
00ED  3A 05 10       LD      A,(CURDATA)
00F0  3C             INC     A
00F1  21 03 10       LD      HL,CURPRT
00F4  ED A1          CPI
00F6  20 3E          JR      NZ,READ2
00F8  3A 06 10       LD      A,(CURDATA+1)
00FB  21 04 10       LD      HL,CURPRT+1
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
00FE    ED A1          CPI
0100    28 1E          JR      Z,PRT_CONST
0102    18 32          JR      READ2
0104                   READ22:
0104    3A 05 10       LD      A,(CURDATA)
0107    FE FF          CP      FFH
0109    20 2B          JR      NZ,READ2
010B    3A 06 10       LD      A,(CURDATA+1)
010E    FE FF          CP      FFH
0110    20 24          JR      NZ,READ2
0112    3A 03 10       LD      A,(CURPRT)
0115    FE 00          CP      00H
0117    20 1D          JR      NZ,READ2
0119    3A 04 10       LD      A,(CURPRT+1)
011C    FE 18          CP      18H
011E    20 16          JR      NZ,READ2
0120    01 FF 03       PRT_CONST:  LD      BC,CONST
0123    3A 01 10       LD      A,(PAGPRT)
0126    D3 18          OUT     (PORTPAG),A
0128    C5             WRITE_CNT1: PUSH    BC
0129    CD 36 02       CALL    PRTNEXT_CH
012C    CD 44 02       CALL    CHECK_MAX
012F    CD D1 02       CALL    DEC_SND
0132    C1             POP     BC
0133    05             DEC     B
0134    20 F2          JR      NZ,WRITE_CNT1
0136    3A 02 10       READ2:  LD      A,(PAGDATA)
0139    D3 18          OUT     (PORTPAG),A
013B    16 FF          WAIT1:  LD      D,FFH
013D    21 09 10       WAIT2:  LD      HL,PORTC
0140    4E             LD      C,(HL)
0141    ED 78          IN      A,(C)
0143    15             DEC     D
0144    28 5F          JR      Z,EOF
0146    21 0A 10       LD      HL,IBF
0149    46             LD      B,(HL)
014A    A0             AND     B
014B    28 F0          JR      Z,WAIT2
014D    21 00 10       LD      HL,PORTADDS
0150    4E             LD      C,(HL)
0151    ED 78          IN      A,(C)
0153    2A 05 10       LD      HL,(CURDATA)
0156    77             LD      (HL),A
0157    21 0B 10       LD      HL,COUNT
015A    36 25          LD      (HL),25H
015C    CD 9E 02       CALL    INC_SND
015F    3A 05 10       LD      A,(CURDATA)
0162    FE FF          CP      FFH
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0164  20 33           JR      NZ,NOT_MAX
0166  3A 06 10        LD      A,(CURDATA+1)
0169  FE FF           CP      FFH
016B  20 2C           JR      NZ,NOT_MAX
016D  21 02 10        LD      HL,PAGDATA
0170  34              INC     (HL)
0171  7E              LD      A,(HL)
0172  E6 01           AND     01H
0174  77              LD      (HL),A
0175  21 00 18        LD      HL,START
0178  22 05 10        LD      (CURDATA),HL
017B  3A 01 10        LD      A,(PAGPRT)
017E  21 02 10        LD      HL,PAGDATA
0181  ED A1           CPI
0183  C2 C8 00        JP      NZ,READ1
0186  3A 03 10        LD      A,(CURPRT)
0189  FE 00           CP      00H
018B  C2 C8 00        JP      NZ,READ1
018E  3A 04 10        LD      A,(CURPRT+1)
0191  FE 18           CP      18H
0193  CA 20 01        JP      Z,PRT_CONST
0196  C3 C8 00        JP      READ1
0199  21 05 10  NOT_MAX:  LD   HL,CURDATA
019C  34              INC     (HL)
019D  C2 C8 00        JP      NZ,READ1
01A0  23              INC     HL
01A1  34              INC     (HL)
01A2  C3 C8 00        JP      READ1
01A5  06 01     EOF:  LD      B,01H
01A7  3E 15     QT1:  LD      A,15H
01A9  CD 6B 02        CALL    DELAY
01AC  10 F9           DJNZ    QT1
01AE  21 0B 10        LD      HL,COUNT
01B1  35              DEC     (HL)
01B2  20 87           JR      NZ,WAIT1
01B4  21 0B 10  FORMFEED1:  LD   HL,COUNT
01B7  36 25           LD      (HL),25H
01B9  2A 05 10        LD      HL,(CURDATA)
01BC  36 0C           LD      (HL),0CH
01BE  3A 05 10        LD      A,(CURDATA)
01C1  FE FF           CP      FFH
01C3  20 17           JR      NZ,NOT_MAX1
01C5  3A 06 10        LD      A,(CURDATA+1)
01C8  FE FF           CP      FFH
01CA  20 10           JR      NZ,NOT_MAX1
01CC  21 02 10        LD      HL,PAGDATA
01CF  34              INC     (HL)
01D0  7E              LD      A,(HL)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
01D1   E6 01                        AND     01H
01D3   77                           LD      (HL),A
01D4   21 00 18                     LD      HL,START
01D7   22 05 10                     LD      (CURDATA),HL
01DA   18 08                        JR      SOU
01DC   21 05 10           NOT_MAX1: LD      HL,CURDATA
01DF   34                           INC     (HL)
01E0   20 02                        JR      NZ,SOU
01E2   23                           INC     HL
01E3   34                           INC     (HL)
01E4   CD 9E 02             SOU:    CALL    INC_SND
01E7   3E FF                HIGH1:  LD      A,FFH
01E9   D3 16                        OUT     (16H),A
01EB   C3 4B 00                     JP      COM_1
01EE                        WRITE1:
01EE   DB 1C                        IN      A,(1CH)
01F0   06 08                        LD      B,08H
01F2   A0                           AND     B
01F3   C2 4B 00                     JP      NZ,COM_1
01F6   3A 01 10                     LD      A,(PAGPRT)
01F9   21 02 10                     LD      HL,PAGDATA
01FC   ED A1                        CPI
01FE   20 15                        JR      NZ,PRT_DATA
0200   3A 03 10                     LD      A,(CURPRT)
0203   21 05 10                     LD      HL,CURDATA
0206   ED A1                        CPI
0208   20 0B                        JR      NZ,PRT_DATA
020A   3A 04 10                     LD      A,(CURPRT+1)
020D   21 06 10                     LD      HL,CURDATA+1
0210   ED A1                        CPI
0212   CA 4B 00                     JP      Z,COM_1
0215   3A 01 10           PRT_DATA: LD      A,(PAGPRT)
0218   D3 18                        OUT     (PORTPAG),A
021A   DB 1C                        IN      A,(1CH)
021C   06 10                        LD      B,10H
021E   A0                           AND     B
021F   CA 4B 00                     JP      Z,COM_1
0222   2A 03 10                     LD      HL,(CURPRT)
0225   7E                           LD      A,(HL)
0226   D3 10                        OUT     (10H),A
0228   CD 44 02                     CALL    CHECK_MAX
022B   CD D1 02                     CALL    DEC_SND
022E   C3 4B 00                     JP      COM_1
0231   3A 01 10           PRT_FILE: LD      A,(PAGPRT)
0234   D3 18                        OUT     (PORTPAG),A
0236   DB 1C              PRTNEXT_CH: IN     A,(1CH)
0238   06 10                        LD      B,10H
023A   A0                           AND     B
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
023B   28 F9                        JR      Z,PRTNEXT_CH
023D   2A 03 10                     LD      HL,(CURPRT)
0240   7E                           LD      A,(HL)
0241   D3 10                        OUT     (10H),A
0243   C9                           RET

0244                        CHECK_MAX:
0244   3A 03 10                     LD      A,(CURPRT)
0247   FE FF                        CP      FFH
0249   20 17                        JR      NZ,CHECK2
024B   3A 04 10                     LD      A,(CURPRT+1)
024E   FE FF                        CP      FFH
0250   20 10                        JR      NZ,CHECK2
0252   21 01 10                     LD      HL,PAGPRT
0255   34                           INC     (HL)
0256   7E                           LD      A,(HL)
0257   E6 01                        AND     01H
0259   77                           LD      (HL),A
025A   21 00 18                     LD      HL,START
025D   22 03 10                     LD      (CURPRT),HL
0260   18 08                        JR      HIGH3
0262   21 03 10            CHECK2:  LD      HL,CURPRT
0265   34                           INC     (HL)
0266   20 02                        JR      NZ,HIGH3
0268   23                           INC     HL
0269   34                           INC     (HL)
026A   C9                   HIGH3:  RET

026B   C5                   DELAY:  PUSH    BC
026C   CD 83 02                     CALL    DLY
026F   06 80                        LD      B,80H
0271   C3 74 02             LDLP:   JP      LDLY1
0274   C3 77 02             LDLY1:  JP      LDLY2
0277   C3 7A 02             LDLY2:  JP      LDLY3
027A   C6 00                 LDLY3:  ADD     A,0
027C   10 F3                        DJNZ    LDLP
027E   C1                           POP     BC
027F   3A 6B 02                     LD      A,(DELAY)
0282   C9                           RET
0283   3D                   DLY:    DEC     A
0284   C8                           RET     Z
0285   06 80                        LD      B,80H
0287   C3 8A 02             DLP:    JP      DLY1
028A   C3 8D 02             DLY1:   JP      DLY2
028D   C3 90 02             DLY2:   JP      DLY3
0290   C6 00                 DLY3:   ADD     A,0
0292   10 F3                        DJNZ    DLP
0294   C3 97 02                     JP      DLY4
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
0297    C3 9A 02        DLY4:       JP      DLY5
029A    00              DLY5:       NOP
029B    C3 83 02                    JP      DLY
029E    21 0D 10        INC_SND:    LD      HL,S_LOW
02A1    34                          INC     (HL)
02A2    20 2C                       JR      NZ,S_NEXT
02A4    3A 0F 10                    LD      A,(S_HI)
02A7    FE 01                       CP      01H
02A9    28 0D                       JR      Z,LOW1
02AB    21 0E 10                    LD      HL,S_LOW+1
02AE    34                          INC     (HL)
02AF    20 1F                       JR      NZ,S_NEXT
02B1    21 0F 10                    LD      HL,S_HI
02B4    36 01                       LD      (HL),01H
02B6    18 18                       JR      S_NEXT
02B8    21 0E 10        LOW1:       LD      HL,S_LOW+1
02BB    34                          INC     (HL)
02BC    7E                          LD      A,(HL)
02BD    FE 80                       CP      80H
02BF    20 0F                       JR      NZ,S_NEXT
02C1    CD E9 02                    CALL    SEND_SND
02C4    06 0A                       LD      B,0AH
02C6    3E 0A           QT22:       LD      A,0AH
02C8    CD 6B 02                    CALL    DELAY
02CB    10 F9                       DJNZ    QT22
02CD    CD E9 02                    CALL    SEND_SND
02D0    C9              S_NEXT:     RET
02D1    21 0D 10        DEC_SND:    LD      HL,S_LOW
02D4    35                          DEC     (HL)
02D5    7E                          LD      A,(HL)
02D6    FE FF                       CP      FFH
02D8    20 0E                       JR      NZ,S_NEXT1
02DA    21 0E 10                    LD      HL,S_LOW+1
02DD    35                          DEC     (HL)
02DE    7E                          LD      A,(HL)
02DF    FE FF                       CP      FFH
02E1    20 05                       JR      NZ,S_NEXT1
02E3    21 0F 10                    LD      HL,S_HI
02E6    36 00                       LD      (HL),00H
02E8    C9              S_NEXT1:    RET

02E9    06 FF           SEND_SND:   LD      B,FFH
02EB    3E 00                       LD      A,0
02ED    3C              LOOP:       INC     A
02EE    D3 90                       OUT     (90H),A
02F0    C5                          PUSH    BC
02F1    F5                          PUSH    AF
02F2    06 01                       LD      B,01H
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
02F4   3E 01
02F6   CD 01 03
02F9   10 F9
02FB   F1
02FC   C1
02FD   05
02FE   20 ED
0300   C9
0301   C5
0302   CD 19 03
0305   06 10
0307   C3 0A 03
030A   C3 0D 03
030D   C3 10 03
0310   C6 00
0312   10 F3
0314   C1
0315   3A 01 03
0318   C9
0319   3D
031A   C8
031B   06 FF
031D   C3 20 03
0320   C3 23 03
0323   C3 26 03
0326   C6 00
0328   10 F3
032A   C3 2D 03
032D   C3 30 03
0330   00
0331   C3 19 03
```

```
QTA:        LD      A,01H
            CALL    DELAY1
            DJNZ    QTA
            POP     AF
            POP     BC
            DEC     B
            JR      NZ,LOOP
            RET
DELAY1:     PUSH    BC
            CALL    DLY01
            LD      B,10H
LDLP01:     JP      LDLY11
LDLY11:     JP      LDLY22
LDLY22:     JP      LDLY33
LDLY33:     ADD     A,0
            DJNZ    LDLP01
            POP     BC
            LD      A,(DELAY1)
            RET
DLY01:      DEC     A
            RET     Z
            LD      B,FFH
DLP01:      JP      DLY11
DLY11:      JP      DLY22
DLY22:      JP      DLY33
DLY33:      ADD     A,0
            DJNZ    DLP01
            JP      DLY44
DLY44:      JP      DLY55
DLY55:      NOP
            JP      DLY01
```

```
;=========================================================
1000                        ORG         1000H
1000   00                   PORTADDS:   DEFB        00H
1001   01                   PAGPRT:     DEFB        01H
1002   01                   PAGDATA:    DEFB        01H
1003   00 18                CURPRT:     DEFW        1800H
1005   00 18                CURDATA:    DEFW        1800H
1007   FF FF                MAX:        DEFW        FFFFH
1009   00                   PORTC:      DEFB        00H
100A   00                   IBF:        DEFB        00H
100B   25                   COUNT:      DEFB        25H
100C   FF                   LED:        DEFB        FFH
100D   00 00                S_LOW:      DEFW        0000H
100F   00                   S_HI:       DEFB        00H
1010                        END
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**** S Y M B O L I C R E F E R E N C E T A B L E ****

CHECK2	0262	CHECK_MAX	0244	COM_1	004B	COM_2	006F
COM_3	0096	CONST	=03FF	COUNT	100B	CURDATA	1005
CURPRT	1003	DEC_SND	02D1	DELAY	026B	DELAY1	0301
DLP	0287	DLP01	031D	DLY	0283	DLY01	0319
DLY1	028A	DLY11	0320	DLY2	028D	DLY22	0323
DLY3	0290	DLY33	0326	DLY4	0297	DLY44	032D
DLY5	029A	DLY55	0330	EOF	01A5	FORMFEED	=000C
FORMF	01B4	HIGH1	01E7	HIGH3	026A	IBF	1006
INC_SN	029E	LDLP	0271	LDLP01	0307	LDLY1	0274
LDLY11	030A	LDLY2	0277	LDLY22	030D	LDLY3	027A
LDLY33	0310	LED	100C	LOOP	02ED	LOW1	02B8
MAX	1007	NOT_MAX	0199	NOT_MAX1	01DC	NO_FFH	00ED
PAGDATA	1002	PAGPRT	1001	PORTADDS	1000	PORTC	1009
PORTPAG	=018	PRTNEXT_CH	0236	PRT_CONST	0120	PRT_DATA	0215
PRT_FIL	0231	QT1	01A7	QT22	02C6	QT4	00BC
QTA	02F4	READ	00BA	READ1	00C8	READ2	0136
READ22	0104	SEND_SND	02E9	SOU	01E4	START	=1800
S_HI	100F	S_LOW	100D	S_NEXT	02D0	S_NEXT1	02E8
WAIT1	013B	WAIT2	013D	WRITE1	01EE	WRITE_CNT1	0128

0000 ASSEMBLY ERRORS

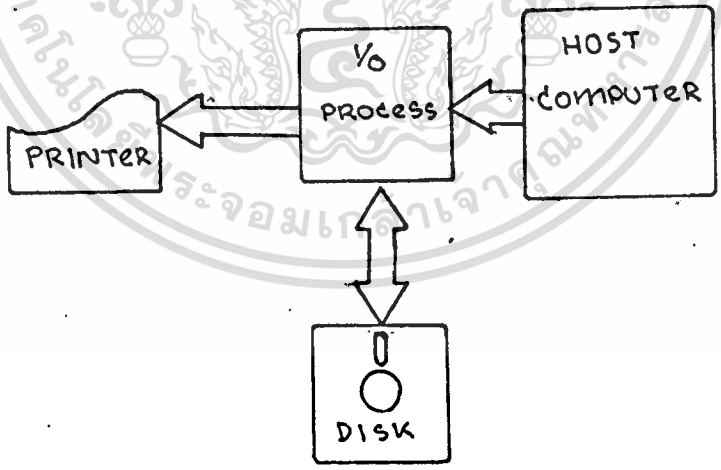
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5

บทวิจารณ์และสรุป

ในการทำปริญญานิพนธ์เรื่องนี้เป็นพื้นฐานของงานทางด้านอินเตอร์เฟสและการสื่อสารข้อมูลซึ่งไม่ซับซ้อนนัก และมีใช้ในระบบไมโครคอมพิวเตอร์ทั่ว ๆ ไป การพัฒนาให้ ADAPTIVE SPOOLER สามารถรับข้อมูลจาก ไมโครคอมพิวเตอร์ได้ถึง 3 เครื่อง ทำให้ประหยัดค่าใช้จ่ายในการซื้อเครื่องพิมพ์ได้มากและประหยัดเวลาของไมโครคอมพิวเตอร์ในการรอการทำงานของ PRINTER

แม้ปริญญานิพนธ์นี้จะสำเร็จลงอย่างเป็นที่น่าพอใจและสำเร็จตามวัตถุแระสงค์ทุกประการ แต่หน่วยความจำก็มีอยู่อย่างจำกัด ทำให้ไม่สามารถรับข้อมูลจาก HEST COMPUTER จำนวนมากได้อย่างมีประสิทธิภาพ หากจะพัฒนาให้ใช้หน่วยความจำประเภท RAM ก็เปลี่ยนเป็น FLOPPY DISK ซึ่งมีความจุเป็น MBYTES ดังรูป 5.1



รูป 6.1 FLOPPY DISK SPOOLER

การทำโครงสร้างนี้ทำให้ผู้จัดทำมีประสบการณ์ในการทำงานเพิ่มพูนขึ้นเป็นอย่างมาก และมีความมั่นใจ และเกิดแนวความคิดใหม่ ๆ อีกมากมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

5404/7404 Hex Inverter

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S04	J①			W①	SN54H04	J①			W①	SN54LS04	J①			W②	SN5404	J①			W①	SN54L04	J①	N①	T①	
	SN74S04	J①	N①			SN74H04	J①	N①			SN74LS04	J①	N①			SN7404	J①	N①			SN74L04	J①	N①	T①	
FAIRCHILD	FM54S04/FM95S04	D①				FM54H04/FM96H04	D①			F①	FM54LS04/FM96LS04	D①			F①	FM5404/FM96N04	D①			F②					
	FC74S04/FC95S04	D①	P①			FC74H04/FC96H04	D①	P①		F①	FC74LS04/FC96LS04	D①	P①		F①	FM7404/FC96N04	D①	P①		F①					
MOTOROLA						MC3108	L①			F①						MC5404	L①			F②					
						MC3008	L①	P①		F①	SN74LS04		P①			MC7404	L①	P①							
N.S.C.						DM54H04	J①	N①			DM54LS04					DM5404	J①	N①		W②	DM54L04	J①	N①		F②
	DM74S04		N①			DM74H04	J①	N①			DM74LS04					DM7404	J①	N①			DM74L04	J①	N①		F②
PHILIPS																									
	N74S04		①			N74H04		①			N74LS04		①			FJH241/7404		①							
SIGNETICS	S54S04	F①	A①		W①	S54H04	F①	A①		W②						S5404	F①	A①		W②					
	N74S04	F①	A①		W①	N74H04	F①	A①			N74LS04		A①			N7404	F①	A①							
SIEMENS																FLH241		①							
FUJITSU																MB418		①	IA①						
											74LS04		M①												
HITACHI	HD74S04	①	P①								HD74LS04		P①			HD7404/HD2522	①	P①							
MITSUBISHI	M55004		P①								M74LS04		P①			M53204		P①							
NEC	74S04		C①								74LS04		C①			μPB235	D①								
TOSHIBA																TD3404A		P①							

Electrical Characteristics, SN54LS04/SN74LS04

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

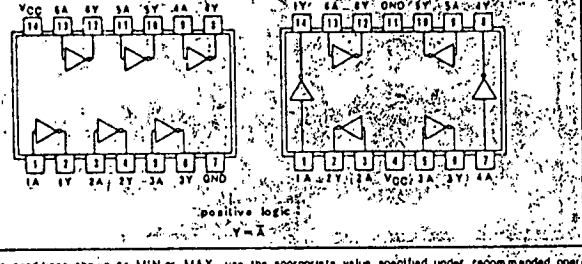
recommended operating conditions

	SN54LS04 MIN	NOM	MAX	SN74LS04 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

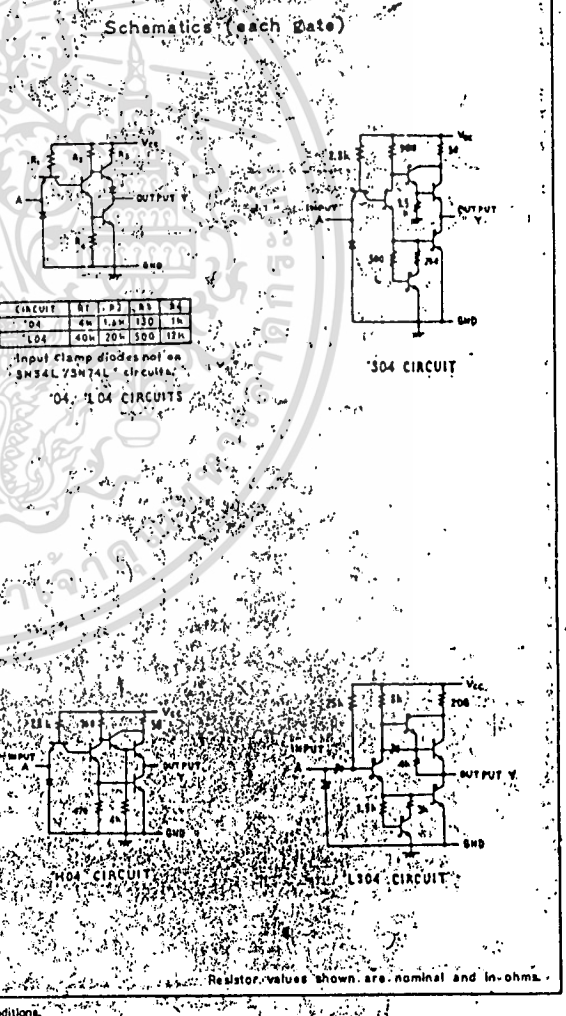
electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IL} = V_{IL} max, I_{OH} = MAX		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, I_{OL} = 4mA				0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		1.2	2.4	mA
I_{CCL}	Supply current		Total, outputs low		3.6	6.6	mA
I_{CC}	Supply current	V_{CC} = 5V,	Average per gate (50% duty cycle)		0.4		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ			9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	15	ns

Pin Assignments (Top View)



Schematics (each gate)



CIRCUIT	R1	R2	R3	R4
'04	4k	1.6k	130	1k
'L04	40k	20k	500	12k

Input clamp diodes not on SN54L/SN74L* circuits.

†For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡All typical values are at V_{CC} = 5V, T_A = 25°C.
Not more than one output should be shorted at a time, and for SN54H/SN74H* and SN54S*/SN74S*, duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5408/7408 Quadruple 2-Input Positive-AND Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S08	J①			W①						SN54LS08	J①			W①	SN5408	J①			W①					
	SN74S08	J①	N①								SN74LS08	J①	N①			SN7408	J①	N①							
FAIRCHILD	FM54S08/FM74S08	D①			F①	FM54H08/FM74H08	D①			F①	FM54LS08/FM74LS08	D①			F①	FM5408/FM7408	D①			F①					
	FC74S08/FC75S08	D①	P①		F①	FC74H08/FC75H08	D①	P①			FC74LS08/FC75LS08	D①	P①		F①	FC7408/FC9N08	D①	P①							
MOTOROLA						MC3101	L①			F①															
						MC3001	L①	P①		F①	SN74LS08		P①			MC7408		P①							
N.S.C.						DM54H08	J①	N①			DM54LS08		P①			DM5408	J①	N①		W①	DM54L08				
						DM74H08	J①	N①			DM74LS08		P①			DM7408	J①	N①			DM74L08				
PHILIPS	N74S08		⑤			N74H08		①			N74LS08		⑤			N7408		①							
SIGNETICS						S54H08	F①	A①		W①						S5408	F①	A①		W①					
	N74S08		&①			N74H08	F①	A①			N74LS08		A①			N7408	F①	A①							
SIEMENS																FLH381		①							
FUJITSU											74LS08		MI①												
HITACHI											HD74LS08		P①			HD7408/HD2550	①	P①							
MITSUBISHI											M74LS08		P①			M53208		P①							
NEC											74LS08		C①			μPB234	D①								
TOSHIBA																TD3408		P①							

Electrical Characteristics SN54LS08/SN74LS08

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage	5.5V	Storage temperature range		−65°C to 150°C

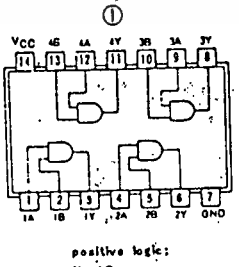
recommended operating conditions

	SN54LS08 MIN	NOM	MAX	SN74LS08 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−800	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

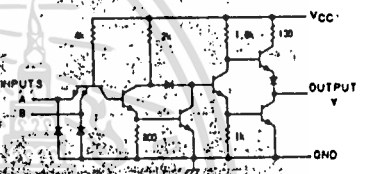
	PARAMETER	TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, I_{OH} = MAX	V_{IH} = 2V,	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = 4mA	V_{IH} = 2V		0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX	V_{IH} = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX	V_{IL} = 0.4V			−0.4	mA
I_{OS}	Short circuit output current ♦	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		2.4	4.8	mA
I_{CCL}	Supply current		Total, outputs low		4.4	8.8	mA
I_{CC}	Supply current	V_{CC} = 5V,	Average per gate (50% duty cycle)		0.85		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF,	T_A = 25°C, R_L = 2kΩ		9	15	ns
t_{PHL}	Propagation delay time, high-to-low-level output				10	20	ns

Pin Assignment (Top View)

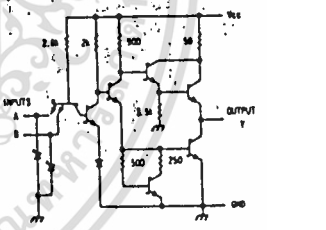


positive logic:
$Y = AB$

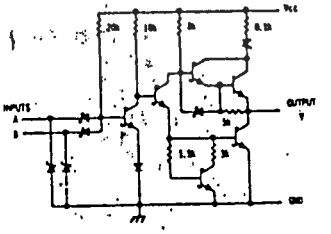
Schematics (each gate)



'08 CIRCUIT



'S08 CIRCUIT



'LS08 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate values specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
♦ Not more than one output should be shorted at a time, and for 'SN54S'/'SN74S', duration of output short circuit should not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5432/7432 Quadruple 2-Input Positive-OR Gate

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S32	J①			W①						SN54LS32	J①			W①	SN5432	J①			W①					
	SN74S32	J①	N①								SN74LS32	J①	N①			SN7432	J①	N①							
FAIRCHILD	9N54S32/9N99S32	D①			F①						9N54LS32/9N99LS32	D①			F①	FM5432/FM9N32	D①			F①					
	FC7432/FC9S32	D①	P①		F①						FC7432/FC9LS32	D①	P①		F①	FC7432/FC9N32	D①	P①							
MOTOROLA											SN74LS32		P①												
N.S.C.											DM74LS32		①			DM5432	J①	N①		W①	DM54L32				
											DM54LS32		①			DM74232	J①	N①			DM74L32				
PHILIPS	N74S32		①								N74LS32		①			N7432		①							
SIGNETICS																5432	F①	A①		B①					
											N74LS32		A①			N7432	F①	A①							
SIEMENS																FLH631		①							
FUJITSU											74LS32		M①												
HITACHI											HD74LS32		P①			HD7432	①	P①							
MITSUBISHI											M53LS32		P①												
NEC											74LS32		C①												
TOSHIBA																									

Electrical Characteristics SN54LS32/SN74LS32

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

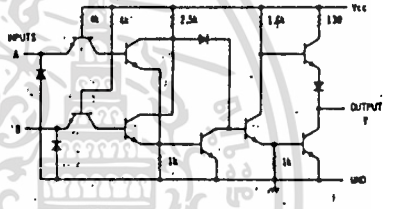
recommended operating conditions

	SN54LS32 MIN	NOM	MAX	SN74LS32 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

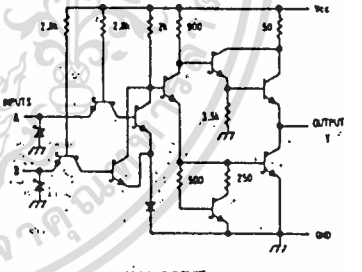
electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, I_{OH} = MAX	V_{IH} = 2V,	2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = 4mA	V_{IL} = V_{IL} max,		0.25	0.4	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_{IH} = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_{IL} = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current *	V_{CC} = MAX	54LS Family	−20		−100	mA
			74LS Family	−20		−100	
I_{CCH}	Supply current	V_{CC} = MAX	Total, outputs high		3.1	6.2	mA
I_{CCL}	Supply current		Total, outputs low		4.9	9.8	mA
I_{CC}	Supply current	V_{CC} = 5V	Average per gate (50% duty cycle)		1.0		mA
t_{PLH}	Propagation delay time, low-to-high-level output	V_{CC} = 5V, C_L = 15pF,	T_A = 25°C, R_L = 2kΩ		14	22	ns
t_{PHL}	Propagation delay time, high-to-low-level output				14	22	ns

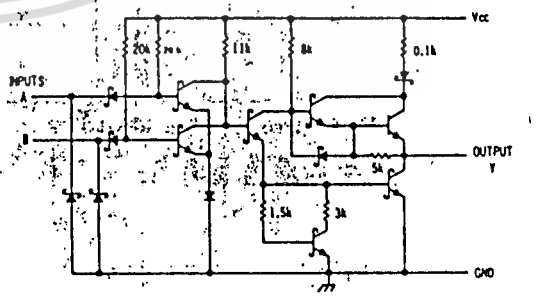
Schematics (each gate)



'32 CIRCUIT



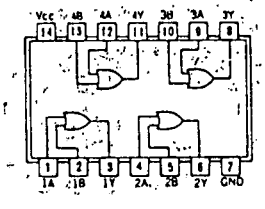
'S32 CIRCUIT



'LS32 CIRCUIT

Resistor values shown are nominal and in ohms.

Pin Assignment (Top View)



positive logic:

$Y = A + B$

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5V, T_A = 25°C.

* Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54138/74138 3-Line-to-8-Line Decoder

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S138	J①			W①						SN54LS138	J①			W①										
	SN74S138	J①	N①								SN74LS138	J①	N①												
FAIRCHILD	/FJH135138	R①									FJH54LS138/FJH74LS138	R①			F①										
	FC74S138/FC93S138	R①									FC74LS138/FC93LS138	R①	P①		F①										
MOTOROLA											SN74LS138		P①												
N.S.C.											DM74LS138		①												
	DM74S138		①								DM54LS138		①												
PHILIPS	N74S138		①								N74LS138		①												
SIGNETICS	S54S138	F①	R①		W①																				
	N74S138	F①	R①								N74LS138		A①												
SIEMENS																									
FUJITSU											74LS138		M①												
HITACHI																									
											HD74LS138		P①												
MITSUBISHI	M74S138		P①								M74LS138		P①												
NEC																									
											74LS138		C①												
TOSHIBA																									

Electrical Characteristics SN54LS138/SN74LS138

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

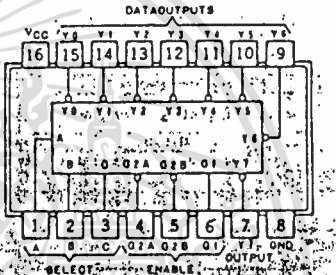
	SN54LS138			SN74LS138			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55	25	125	0	25	70	°C

electrical characteristics over recommended operating free-air temperature range†

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA	SN54LS	2.5	3.4		V
			SN74LS	2.7	3.4		
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current*	V_{CC} = MAX		−20		−100	mA
I_{CC}	Supply current	V_{CC} = MAX, Outputs enabled and open			6.3	10	mA
t_{PLH}	from Binary select to Any output	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	2 levels of delay		13	20	ns
t_{PHL}					27	41	
t_{PLH}			3 levels of delay		18	27	ns
t_{PHL}					26	39	
t_{PLH}	from Enable to Any output		2 levels of delay		12	18	ns
t_{PHL}					21	32	
t_{PLH}			3 levels of delay		17	26	ns
t_{PHL}					25	38	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time, and duration of the short-circuit test should not exceed one second.
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignment (Top View)



positive logic:
see function table

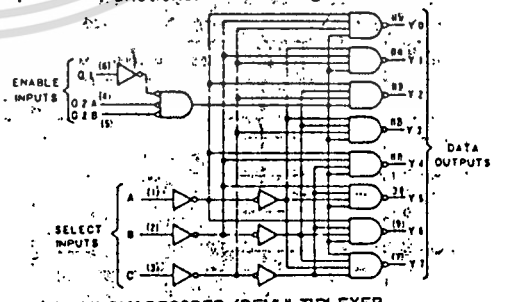
Function Table

'S138, LS138

INPUTS						OUTPUTS							
ENABLE		SELECT											
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

* G2 = G2A + G2B
H = high level, L = low level, X = irrelevant

Functional Block Diagram



'S138, LS138 DECODER/DEMULTIPLEXER

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54245/74245 Octal Bus Transceivers with 3-state Outputs

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T. I.											SN54LS245			W	W									
											SN74LS245	J	N												
FAIRCHILD																								
MOTOROLA																								
N. S. C.																								
PHILIPS																								
SIGNETICS																								
SIEMENS																								
FUJITSU																								
HITACHI																								
MITSUBISHI																								
NEC																								
TOSHIBA																								

Electrical Characteristics SN54LS245/SN74LS245

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7 V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

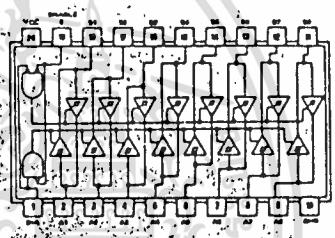
	SN54LS245 MIN	NOM	MAX	SN74LS245 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−12			−15	mA
Low-level output current, I_{OL}			12			24	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		SN74LS245 MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN,	I_I = −18mA			−1.5	V
	Hysteresis ($V_{T+} - V_{T-}$) A or B input	V_{CC} = MIN			0.2	0.4	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OH} = −3mA	2.4	3.4		V
			I_{OH} = MAX	2			V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 12mA			0.4	V
			I_{OL} = 24mA			0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX,	V_O = 2.7 V			20	μA
I_{OZL}	Off-state output current, low-level voltage applied	D at 2V	V_O = 0.4V			−200	μA
I_I	Input current at maximum input voltage: A or B	V_{CC} = MAX,	V_I = 5.5V			0.1	mA
	DIR or $\overline{G}$		V_I = 7V			0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX,	V_{IH} = 2.7V			20	μA
I_{IL}	Low-level input current	V_{CC} = MAX,	V_{IL} = 0.4V			−0.2	mA
I_{OS}	Short-circuit output current	V_{CC} = MAX		−40		−225	mA
I_{CC}	Supply current: Total, outputs high	V_{CC} = MAX, Outputs open			48	70	mA
	Total, outputs low				62	90	mA
	Outputs at Hi-Z				64	95	mA

switching characteristics, V_{CC} = 5V, T_A = 25°C

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	Propagation delay time, low-to-high-level output	C_L = 45pF, R_L = 667Ω, See Note 2		8	12	ns
t_{PHL}	Propagation delay time, high-to-low-level output			8	12	ns
t_{PZL}	Output enable time to low level			27	40	ns
t_{PZL}	Output enable time to high level			25	40	ns
t_{PLZ}	Output disable time from low level	C_L = 5pF, R_L = 667Ω, See Note 2		15	25	ns
t_{PHZ}	Output disable time from high level			15	25	ns



SN54LS245 (J) SN74LS245 (J, N)

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
• Not more than one output should be shorted at a time, and duration of the short-short should not not exceed one second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54373/74373 Octal D-Type Transparent Latches and Edge-Triggered Flip-Flops

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I	SN54S373	J①									SN54LS373	J①												
	SN74S373	J①	N①								SN74LS373	J①	N①											
FAIRCHILD																								
MOTOROLA																								
N.S.C.																								
PHILIPS																								
SIGNETICS																								
SIEMENS																								
FUJITSU																								
HITACHI																								
MITSUBISHI																								
NEC																								
TOSHIBA																								

Electrical Characteristics SN54LS373/SN74LS373

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommend operating conditions

		SN54LS373 MIN	NOM	MAX	SN74LS373 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−1			−2.6	mA
High-level output voltage, V_{OH}				5.5			5.5	V
Pulse width, t_w	Clock enable high	15			15			ns
	Clock enable high	15			15			
Setup time, t_{SU}	t_{SU}	0↓			0↓			ns
Hold time, t_{hold}		10↓			10↓			ns
Operating free-air temperature, T_A		−55		125	0		70	°C

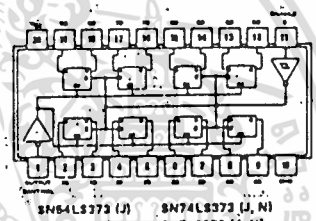
electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS‡		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_{IK}	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max, I_{OH} = MAX		2.4	3.1		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = V_{IL} max	I_{OL} = 24mA		0.35	0.5	V
I_{OZH}	Off-state output current, high-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 2.7V				20	μA
I_{OZL}	Off-state output current, low-level voltage applied	V_{CC} = MAX, V_{IH} = 2V, V_O = 0.4V				−20	μA
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				−0.4	mA
I_{OS}	Short-circuit output current §	V_{CC} = MAX		−30		−130	mA
I_{CC}	Supply current	V_{CC} = MAX, Output control at 4.5V	LS373		24	40	mA

switching characteristics, V_{CC} = 5V, T_A = 25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f_{max}			C_L = 45pF, R_L = 667Ω, See Notes 2 and 3				MHz
t_{PLH}	Data	Any Q			12	18	ns
t_{PHL}					12	18	
t_{PLH}	Clock or enable	Any Q			20	30	ns
t_{PHL}					18	30	
t_{PZH}	Output Control	Any Q			15	28	ns
t_{PZL}					25	36	
t_{PHZ}	Output Control	Any Q	C_L = 5pF, R_L = 667Ω, See Note 3		12	20	ns
t_{PLZ}					15	25	

Pin Assignments (Top View)



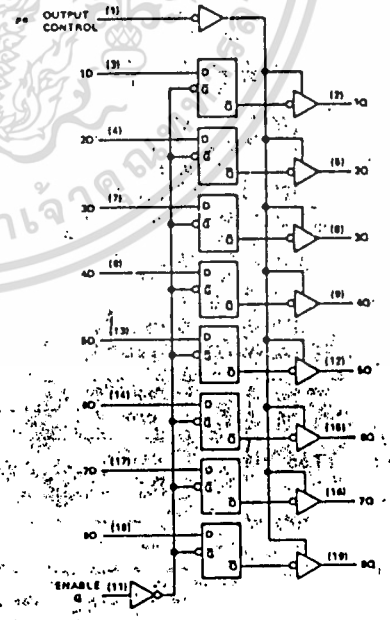
SN54LS373 (J) SN74LS373 (J, N)
SN54S373 (J) SN74S373 (J, N)

'LS373, 'S373 FUNCTION TABLE

OUTPUT CONTROL	ENABLE G	D	OUTPUT Q
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

'LS373, 'S373 TRANSPARENT LATCHES

'LS373, 'S373 TRANSPARENT LATCHES



† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
§ Not more than one output should be shorted at a time and duration of the short circuit should not exceed one second.

NOTES: 2. Maximum clock frequency is tested with all outputs loaded.
3. See load circuits and waveforms on page 3-11.

f_{max} = maximum clock frequency
t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output
t_{PZH} = output enable time to high level
t_{PZL} = output enable time to low level
t_{PHZ} = output disable time from high level
t_{PLZ} = output disable time from low level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5475/7475 4-Bit Bistable Latch

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS75	J⑯			W⑯	SN5475	J⑯			W⑯	SN54L75	J⑯			
											SN74LS75	J⑯	N⑯			SN7475	J⑯	N⑯			SL74L75	J⑯	N⑯		
FAIRCHILD																FM5475/FM8375	D⑯			F⑯					
																FC7475/FC9375	D⑯	P⑯		F⑯					
MOTOROLA																MC7475		P⑯							
N.S.C.											DM54LS75		J⑯			DM5475	J⑯	N⑯		W⑯	DM54L75A				
											DM74LS75		J⑯			DM7475	J⑯	N⑯			DM74L75A				
PHILIPS											N74LS75					FJJ1811/7475		Q⑯							
SIGNETICS											N74LS75		A⑯			S5475		B⑯							
																N7475		B⑯							
SIEMENS																FLJ151		Q⑯							
FUJITSU																									
HITACHI											HD74LS75		P⑯			HD7475/HD2517	Q⑯	P⑯							
MITSUBISHI											M74LS75		P⑯			M53275		P⑯							
NEC																μPB217	D⑯	C⑯							
TOSHIBA																TD3475A		P⑯							

Electrical Characteristics SN54LS75/SN74LS75

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	5.5V		SN74LS	0°C to 70°C
Interemitter voltage (see Note 1)	5.5V	Storage temperature range		−65°C to 150°C

recommended operating conditions

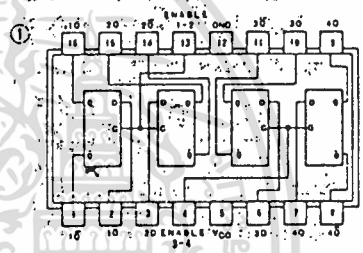
	SN54LS75 MIN	NOM	MAX	SN74LS75 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Width of enabling pulse, t_w	20			20			ns
Data hold time, t_{hold}	0			0			ns
Setup time, t_{setup}	20			20			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2 V, V_{IL} = 0.8V, I_{OL} = 4mA			0.25	0.4	V
I_I	Input current at maximum input voltage	Dinput	V_{CC} = MAX, V_I = 7V			0.1	mA
		Ginput				0.4	
I_{IH}	High-level input current	Dinput	V_{CC} = MAX, V_I = 2.7V			20	μA
		Ginput				80	
I_{IL}	Low-level input current	Dinput	V_{CC} = MAX, V_I = 0.4V			−0.4	mA
		Ginput				−1.6	
I_{OS}	Short-circuit output current*	V_{CC} = MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX, See Note 2	SN54LS		6.3	12	mA
			SN74LS		6.9	13	
t_{PLH} / t_{PHL}	from D to output Q	V_{CC} = 5 V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ			15	27	ns
					9	17	
t_{PLH} / t_{PHL}	from D to output Q̄				12	20	ns
					7	15	
t_{PLH} / t_{PHL}	from G to output Q				15	27	ns
					14	25	
t_{PLH} / t_{PHL}	from G to output Q̄				16	30	ns
					7	15	

† For conditions shown as MIN or MAX, use appropriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
* Not more than one output should be shorted at a time.
* t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

Pin Assignment (Top View)

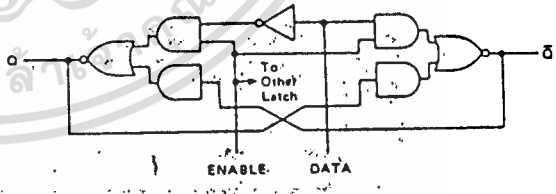


positive logic: see function table

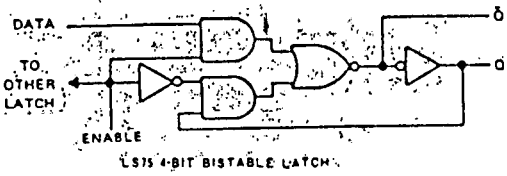
FUNCTION TABLE
75 L75 (Each Latch)

INPUTS D	G	OUTPUTS Q	Q̄
L	H	L	H
H	H	H	L
X	L	Q_0	$\bar{Q}_0$

H = high level, L = low level, X = irrelevant
Q_0 = the level of Q before the high-to-low transition of G



'75'L75 4-BIT BISTABLE LATCH



LS75 4-BIT BISTABLE LATCH

NOTES: 1. This is the voltage between two emitters of a multiple-emitter input transistor.
2. I_{CC} is tested with all inputs grounded and all outputs open.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54157/74157 Quadruple 2-Line-to-1-Line Data Selector/Multiplexer

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.	SN54S157	J①			W①						SN54LS157	J①			W①	SN54157	J①			W①	SN54L157	J①			
	SN74S157	J①	N①								SN74LS157	J①	N①			SN74157	J①	N①			SN74L157	J①	N①		
FAIRCHILD		⑨①									SN54LS157/SN74LS157	⑨①			F①		⑨①								
	FC74S157	⑨①	P①								FC74LS157/FCH LS157	⑨①	P①		F①	FC74157	⑨①	P①							
MOTOROLA											MC74LS157		P①			MC74157		P①							
											DM54LS157		①								DM54L157A				
N.S.C.	DM74S157		N①								DM74LS157		①			DM74157		N①			DM74L157A				
PHILIPS	N74S157		①								N74LS157		①			N74157									
																S54157	F①	B①		W①					
SIGNETICS	S54S157																								
	N74S157										N74LS157		A①			N74157	F①	B①							
SIEMENS																FLY171		①							
FUJITSU											74LS157		M①												
HITACHI	HD74S157		P①								HD74LS157		P①			HD74157	①	P①							
MITSUBISHI	M5S157		P①								M74LS157		P①			M53357		P①							
NEC											74LS157		C①			74157		C①							
AMD	AM54S157		①								AM54LS157		①												
	AM74S157		①								AM74LS157		①												

Electrical Characteristics, SN54LS157/SN74LS157

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

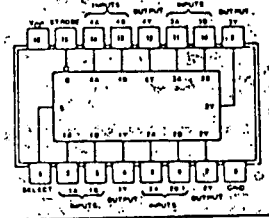
recommended operating conditions

	SN54LS157 MIN	NOM	MAX	SN74LS157 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER			TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage				2			V
V_{IL}	Low-level input voltage						0.8	V
V_I	Input clamp voltage		V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	S or G input	V_{CC} = MAX, V_I = 7V				0.2	mA
		A or B input					0.1	
I_{IH}	High-level input current	S or G input	V_{CC} = MAX, V_I = 2.7V				40	μA
		A or B input					20	
I_{IL}	Low-level input current	S or G input	V_{CC} = MAX, V_I = 0.4V				−0.8	mA
		A or B input					−0.4	
I_{OS}	Short-circuit output current*		V_{CC} = MAX	SN54LS	−20		−100	mA
				SN74LS	−20		−100	
I_{CC}	Supply current		V_{CC} = MAX See Note			9.7	16	mA
t_{PLH}	from data input		V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ			8	14	ns
t_{PHL}						9	14	
t_{PLH}	from Strobe					14	20	ns
t_{PHL}						14	21	
t_{PLH}	from Select					18	23	ns
t_{PHL}						18	27	

Pin Assignment (Top View)



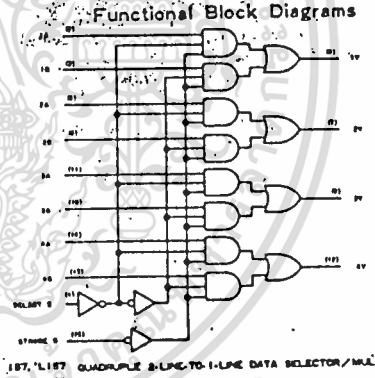
Function Table

'157, 'S157, 'LS157, 'LS157

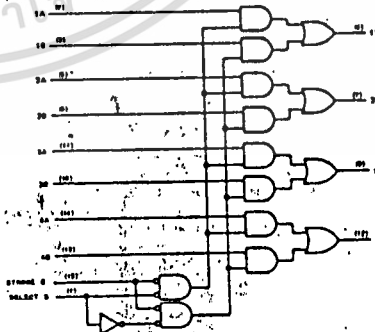
INPUTS STROBE	SELECT	A	B	OUTPUT Y
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

H = high level, L = low level, X = irrelevant

Functional Block Diagrams



'157, 'LS157 QUADRUPLE 2-LINE-TO-1-LINE DATA SELECTOR/MULTIPLEXER



'S157, 'LS157 QUADRUPLE 2-LINE-TO-1-LINE DATA SELECTOR/MULTIPLEXER

NOTE: I_{CC} is measured with 4.5V applied to all inputs and all outputs open.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
* Not more than one output should be shorted at a time.
• t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(RESET)

Reset. A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

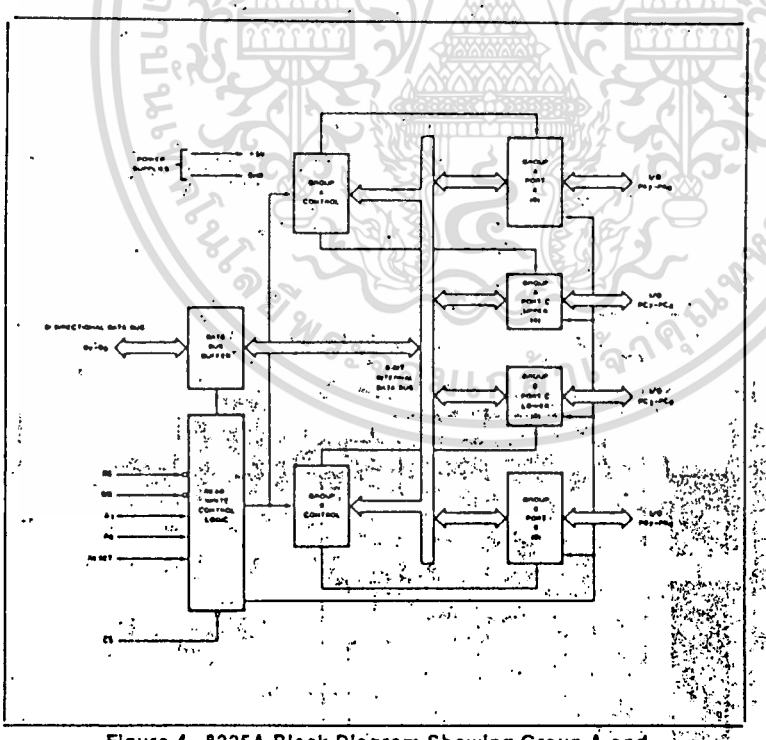
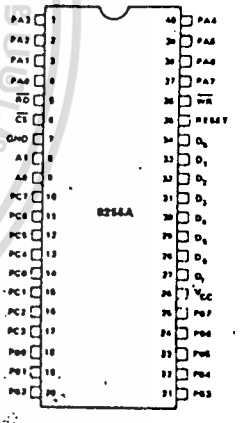


Figure 4. 8225A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

D_7-D_0	DATA BUS (BI DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{CC}	+5 VOLTS
GND	0 VOLTS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 — Basic Input/Output
Mode 1 — Strobed Input/Output
Mode 2 — Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

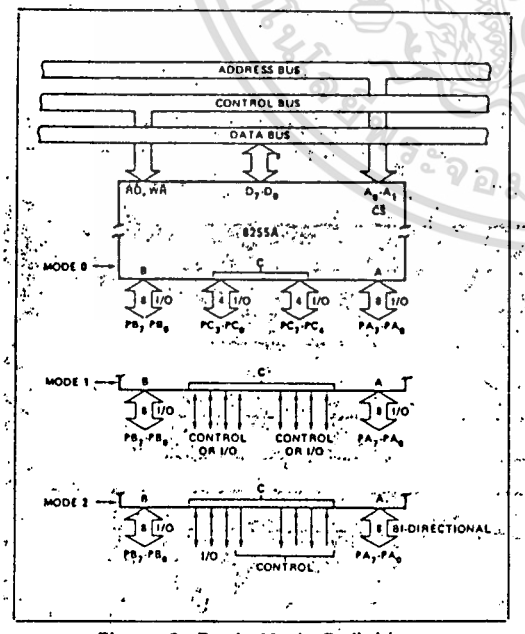


Figure 5. Basic Mode Definitions and Bus Interface

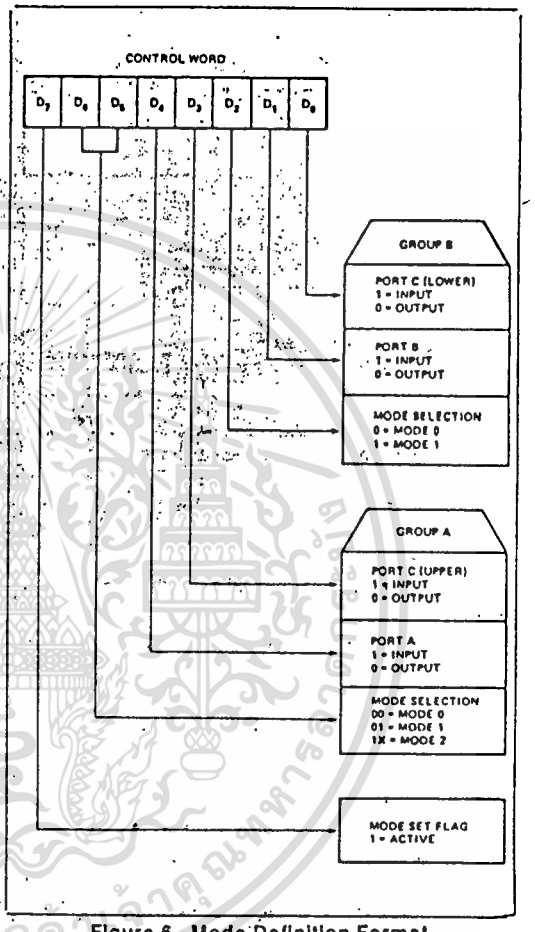


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Control Signal Definition

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F).

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the $\overline{STB}$ is a "one", IBF is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{RD}$. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

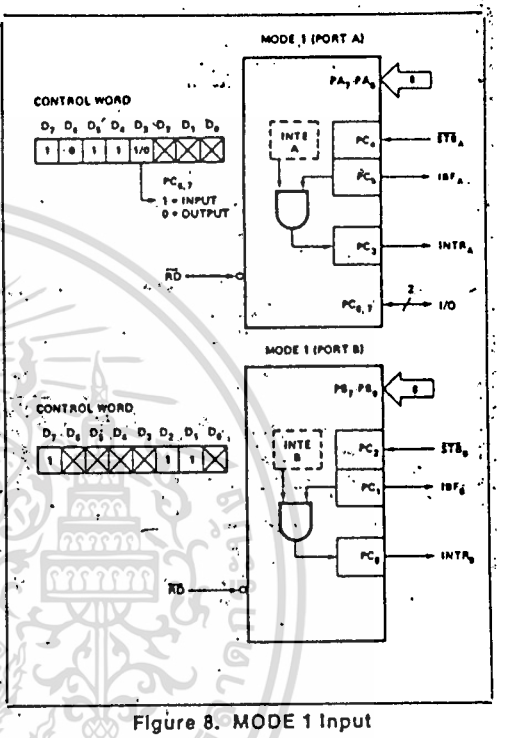


Figure 8. MODE 1 Input

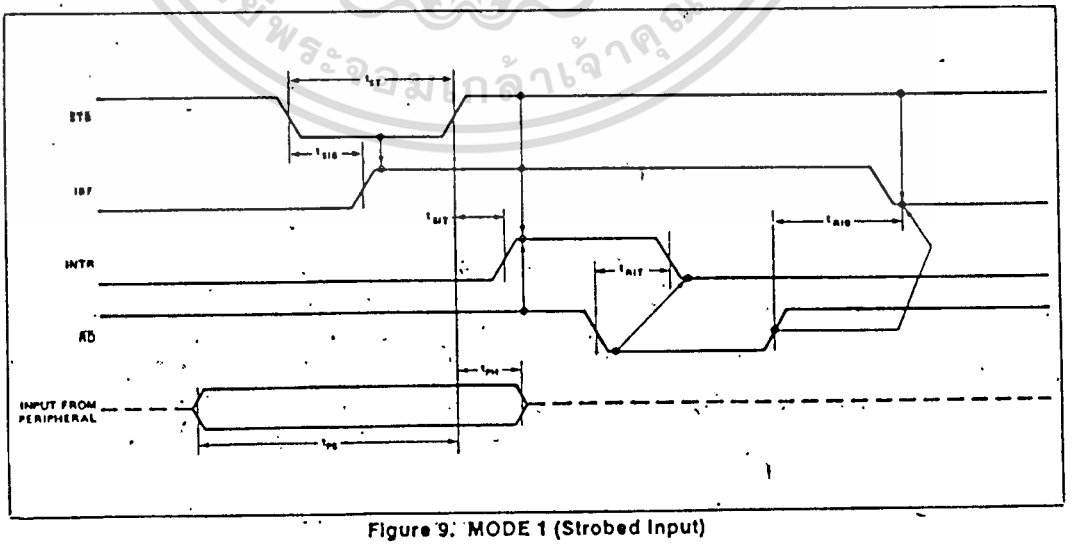


Figure 9. MODE 1 (Strobed Input)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to the specified port. The $\overline{OBF}$ F/F will be set by the rising edge of the $\overline{WR}$ input and reset by $\overline{ACK}$ input being low.

$\overline{ACK}$ (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has recieved the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when $\overline{ACK}$ is a "one", $\overline{OBF}$ is a "one", and INTE is a "one". It is reset by the falling edge of $\overline{WR}$.

INTE A

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

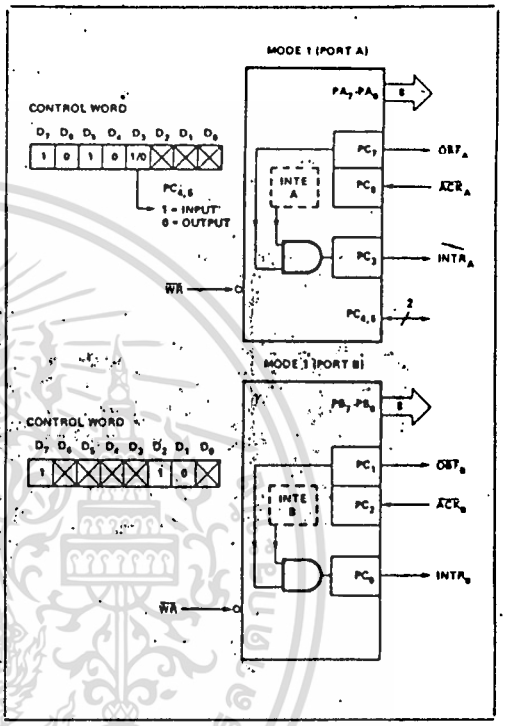


Figure 10. MODE 1 Output

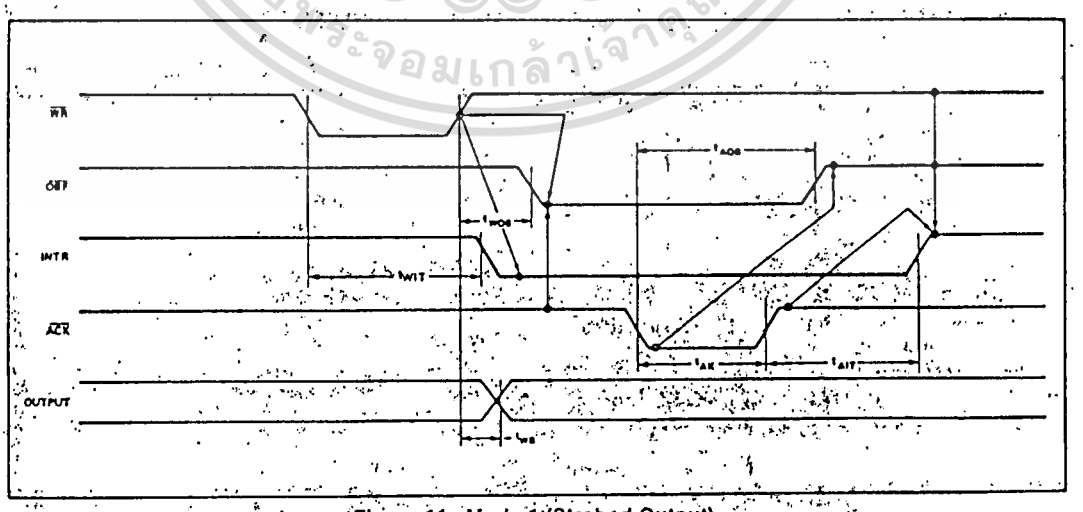


Figure 11. Mode 1 (Strobed Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Combinations of MODE 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

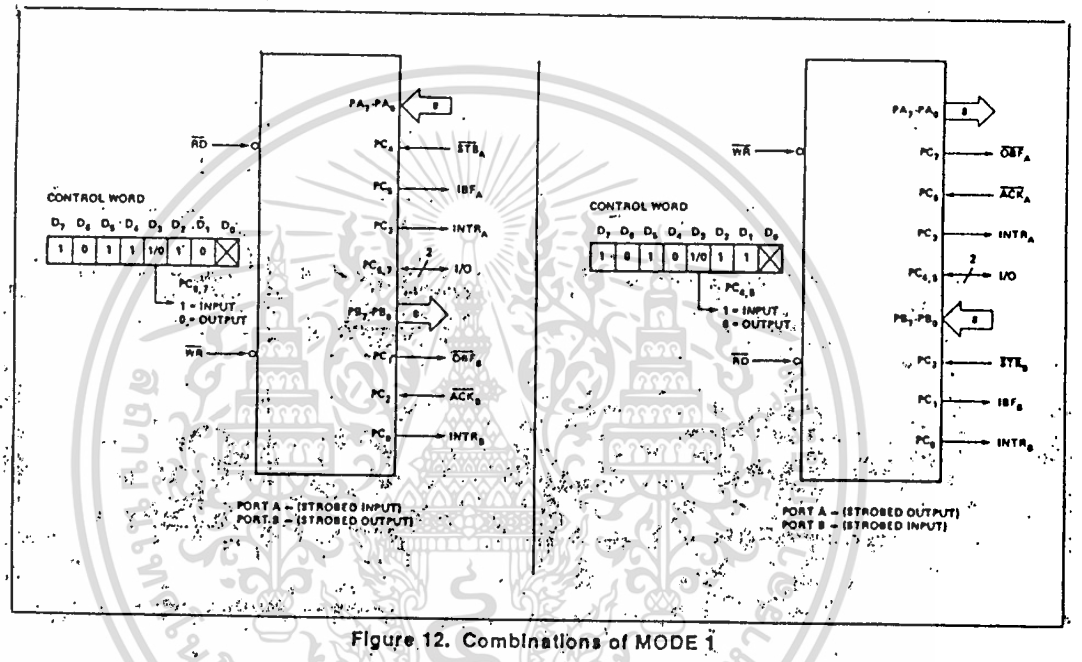


Figure 12. Combinations of MODE 1

Operating Modes

MODE 2 (Strobed Bidirectional Bus I/O). This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

MODE 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

Bidirectional Bus I/O Control Signal Definition

INTR (Interrupt Request). A high on this output can be used to interrupt the CPU for both input or output operations.

Output Operations

$\overline{OBF}$ (Output Buffer Full). The $\overline{OBF}$ output will go "low" to indicate that the CPU has written data out to port A.

$\overline{ACK}$ (Acknowledge). A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

INTE 1 (The INTE Flip-Flop Associated with OBF). Controlled by bit set/reset of PC_6.

Input Operations

$\overline{STB}$ (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F). A "high" on this output indicates that data has been loaded into the input latch.

INTE 2 (The INTE Flip-Flop Associated with IBF). Controlled by bit set/reset of PC_4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias . . . . . 0°C to 70°C
Storage Temperature . . . . . −65°C to +150°C
Voltage on Any Pin
With Respect to Ground . . . . . −0.5V to +7V
Power Dissipation . . . . . 1 Watt

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V_{IL}	Input Low Voltage	-0.5	0.8	V	
V_{IH}	Input High Voltage	2.0	V_{CC}	V	
V_{OL} (DB)	Output Low Voltage (Data Bus)		0.45	V	I_{OL} = 2.5mA
V_{OL} (PER)	Output Low Voltage (Peripheral Port)		0.45	V	I_{OL} = 1.7mA
V_{OH} (DB)	Output High Voltage (Data Bus)	2.4		V	I_{OH} = -400μA
V_{OH} (PER)	Output High Voltage (Peripheral Port)	2.4		V	I_{OH} = -200μA
I_{DAR}[1]	Darlington Drive Current	-1.0	-4.0	mA	R_{EXT} = 750Ω; V_{EXT} = 1.5V
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		±10	μA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	μA	V_{OUT} = V_{CC} to .45V

NOTE:
1. Available on any 8 pins from Port B and C.

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to GND

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = +5V ±10%, GND = 0V)*

Bus Parameters

READ

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t_{AR}	Address Stable Before READ	0		0		ns
t_{RA}	Address Stable After READ	0		0		ns
t_{RR}	READ Pulse Width	300		300		ns
t_{RD}	Data Valid From READ[1]		250		200	ns
t_{DF}	Data Float After READ	10	150	10	100	ns
t_{RV}	Time Between READs and/or WRITEs	850		850		ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A.C. CHARACTERISTICS (Continued)

WRITE

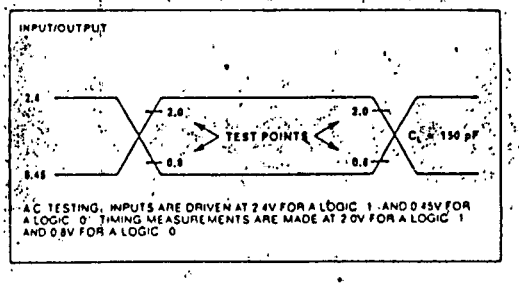
Symbol	Parameter	8255A Min.	8255A Max.	8255A-5 Min.	8255A-5 Max.	Unit
t_{AW}	Address Stable Before WRITE	0		0		ns
t_{WA}	Address Stable After WRITE	20		20		ns
t_{WW}	WRITE Pulse Width	400		300		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		100		ns
t_{WD}	Data Valid After WRITE	30		30		ns

OTHER TIMINGS

Symbol	Parameter	8255A Min.	8255A Max.	8255A-5 Min.	8255A-5 Max.	Unit
t_{WB}	WR = 1 to Output[1]		350		350	ns
t_{IR}	Peripheral Data Before RD	0		0		ns
t_{HR}	Peripheral Data After RD	0		0		ns
t_{AK}	ACK Pulse Width	300		300		ns
t_{ST}	STB Pulse Width	500		500		ns
t_{PS}	Per. Data Before T.E. of STB	0		0		ns
t_{PH}	Per. Data After T.E. of STB	180		180		ns
t_{AD}	ACK = 0 to Output[1]		300		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	20	250	ns
t_{WOB}	WR = 1 to OBF = 0[1]		650		650	ns
t_{AOB}	ACK = 0 to OBF = 1[1]		350		350	ns
t_{SIB}	STB = 0 to IBF = 1[1]		300		300	ns
t_{RIB}	RD = 1 to IBF = 0[1]		300		300	ns
t_{RIT}	RD = 0 to INTR = 0[1]		400		400	ns
t_{SIT}	STB = 1 to INTR = 1[1]		300		300	ns
t_{AIT}	ACK = 1 to INTR = 1[1]		350		350	ns
t_{WIT}	WR = 0 to INTR = 0[1,3]		450		450	ns

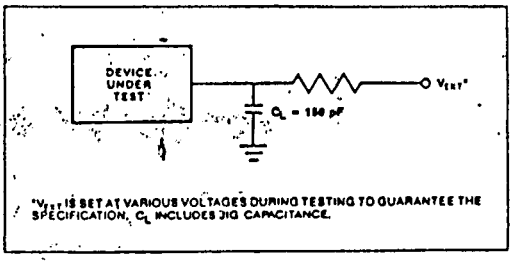
NOTES:
1. Test Conditions: C_L = 150 pF.
2. Period of Reset pulse must be at least 50μs during or after power on. Subsequent Reset pulse can be 500 ns min.
3. INTR↑ may occur as early as $\overline{WR}$↓.
4. For Extended Temperature EXPRESS, use M8255A electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



A.C. TESTING: INPUTS ARE DRIVEN AT 2.4V FOR A LOGIC "1" AND 0.45V FOR A LOGIC "0". TIMING MEASUREMENTS ARE MADE AT 2.0V FOR A LOGIC "1" AND 0.8V FOR A LOGIC "0".

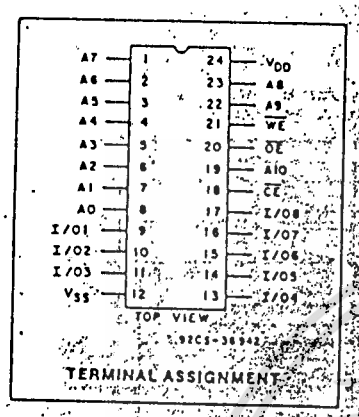
A.C. TESTING LOAD CIRCUIT



*V_{TEST} IS SET AT VARIOUS VOLTAGES DURING TESTING TO GUARANTEE THE SPECIFICATION. C_L INCLUDES JIG CAPACITANCE.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6116A



TERMINAL ASSIGNMENT

CMOS 2048-Word by 8-Bit Static RAM

Features:

- *Fully static operation*
- *Single power supply: 4.5 V to 5.5 V*
- *All inputs and outputs directly TTL compatible*
- *3-state outputs*
- *Industry standard 24-pin configuration*
- *Chip-enable gates address buffers for minimum standby current*
- *Data retention voltage: 2 V min.*

	CDM6116A-2	CDM6116A-3	CDM6116A-9
Access Time (max.)	200 ns	150 ns	250 ns
Output Enable Time (max.)	120 ns	60 ns	150 ns
Operating Temperature	0° to +70° C		-40° to +85° C
Operating Current (max.)	35 mA	35 mA	40 mA
Standby Current I_{DDS1} (max.)	30 μA	50 μA	100 μA

The RCA-CDM6116A is a CMOS 2048-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data inputs and data outputs and utilizes a single power supply of 4.5 V to 5.5 V. A chip-enable input and an output-enable input are provided for memory expansion and output buffer control.

The chip enable ($\overline{CE}$) gates the address and output buffers and powers down the chip to the low power standby mode.

The output enable ($\overline{OE}$) controls the output buffers to eliminate bus contention.

The CDM6116A-2 and CDM6116A-3 have an operating temperature range of 0° to +70° C. The CDM6116A-9 has an operating temperature range of -40° to +85° C.

The CDM6116A-2 and CDM6116A-3 are supplied in a 24-lead dual-in-line plastic package (E suffix). The CDM-6116A-9 is supplied in a 24-lead dual-in-line plastic package (E suffix) and a 24-lead dual-in-line side-brazed ceramic package (D suffix).

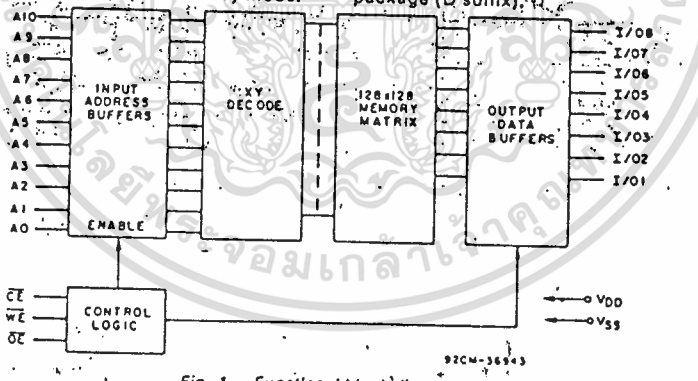


Fig. 1 – Functional block diagram.

TRUTH TABLE

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	A0 TO A10	MODE	I/01 TO I/08	DEVICE CURRENT
H	X	X	X	NOT SELECTED	HIGH Z	STANDBY
L	L	H	STABLE	READ	DATA OUT	ACTIVE
L	H	L	STABLE	WRITE	DATA IN	ACTIVE
L	L	L	STABLE	WRITE	DATA IN	ACTIVE

L = LOW H = HIGH X = H or L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MAXIMUM RATINGS, *Absolute-Maximum Ratings*

DC SUPPLY-VOLTAGE RANGE, (V_{DD}):
(Voltage referenced to V_{SS} terminal) ..... -0.3 to +7 V
INPUT VOLTAGE RANGE, ALL INPUTS ..... -0.3 to +7 V
DC INPUT CURRENT, ANY ONE INPUT ..... ±10 mA
POWER DISSIPATION PER PACKAGE (P_D):
For T_A = -40° to +60° C (PACKAGE TYPE E) ..... 500 mW
For T_A = +60° to +85° C (PACKAGE TYPE E) ..... Derate Linearly at 6 mW/° C to 300 mW
For T_A = -40° to +85° C (PACKAGE TYPE D) ..... 500 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR
For T_A = FULL PACKAGE-TEMPERATURE RANGE (All Package Types) ..... 100 mW
OPERATING-TEMPERATURE RANGE (T_A)
CDM6116A-2, CDM6116A-3 (PACKAGE-TYPE E) ..... 0 to +70° C
CDM6116A-9 (PACKAGE TYPES D, E) ..... -40 to +85° C
STORAGE TEMPERATURE RANGE (T_{stg}) ..... -55 to +125° C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. ..... +265° C

OPERATING CONDITIONS at T_A = 0 to +70° C, (CDM6116A-2, CDM6116A-3); T_A = -40° to +85° C (CDM6116A-9)
For maximum reliability, operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC		LIMITS ALL TYPES		UNITS
		MIN.	MAX.	
DC Operating Voltage Range		4.5	5.5	V
Input Voltage Range	V_{IH}	2.2	V_{DD} + 0.3	V
	V_{IL}	-0.3	0.8	V
Input Signal Rise or Fall Time Δ	t_r, t_f	—	5	μs

Δ Input signal rise and fall times longer than the maximum value can cause loss of stored data in the selected mode.

STATIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C (CDM6116A-2, CDM6116A-3); T_A = -40° to +85° C (CDM6116A-9), V_{DD} = 5 V ± 10%, Except as noted

CHARACTERISTIC	CONDITIONS	LIMITS									UNITS
		CDM6116A-2			CDM6116A-3			CDM6116A-9			
		MIN.	TYP.*	MAX.	MIN.	TYP.*	MAX.	MIN.	TYP.*	MAX.	
Standby Device Current I_{DDS}	$\overline{CE}$ = V_{IH}	—	0.6	2	—	0.6	2	—	0.3	2	mA
	$\overline{CE}$ = V_{DD}-0.2 V	—	1	30	—	1	50	—	1	100	μA
Output Voltage Low Level V_{OL} Max.	I_{OL} = 2.1 mA	—	—	0.4	—	—	0.4	—	—	0.4	V
	I_{OL} = 1 μA	—	0.1	—	—	0.1	—	—	0.1	—	
Output Voltage High Level V_{OH} Min.	I_{OH} = -1 mA	2.4	—	—	2.4	—	—	2.4	—	—	V
	I_{OH} = -1 μA	—	V_{DD}-0.1	—	—	V_{DD}-0.1	—	—	V_{DD}-0.1	—	
Input Leakage Current I_{IN} Max.	V_{DD} = 5.5 V, V_{IN} = 0 V to V_{DD}	—	±0.1	±2	—	±0.1	±2	—	±0.1	±2	μA
3-State Output Leakage Current I_{OUT}	$\overline{CE}$ or $\overline{OE}$ = V_{IH}, $V_{I/O}$ = 0 V to V_{DD}	—	±0.5	±2	—	±0.5	±2	—	±0.5	±2	
Operating Device Current I_{OPER}#	V_{IN} = V_{IL}, V_{IH}	—	20	35	—	20	35	—	28	40	mA
Input Capacitance C_{IN}	V_{IN} = 0 V, f = 1 MHz, T_A = 25° C	—	4	6	—	4	6	—	4	6	pF
Output Capacitance $C_{I/O}$	$V_{I/O}$ = 0 V, f = 1 MHz, T_A = 25° C	—	6	8	—	6	8	—	6	8	

*Typical values are for T_A = 25° C and nominal V_{DD}.

#Outputs open circuited; cycle time = Min. t_{cycle}, duty = 100%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6116A

SIGNAL DESCRIPTIONS

A0-A10 (Address Inputs): These inputs must be stable prior to a write operation, but may change asynchronously during read operations.

I/O1-I/O8: 8-bit tristate data bus.

$\overline{CE}$ (Chip Enable): Powers down chip, disables Read and Write functions, and gates off address inputs.

$\overline{OE}$ (Output Enable): Enables tristate outputs if $\overline{CE}$ is low and $\overline{WE}$ is high.

$\overline{WE}$ (Write Enable): Enables Write function. If $\overline{CE}$ is low, $\overline{WE}$ will dominate if both $\overline{WE}$ and $\overline{OE}$ are low (i.e., the bus will be tristated and a Write will occur).

V_{DD}, V_{SS}: Power supply connections.

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C (CDM6116A-2, CDM6116A-3); T_A = -40° to +85° C (CDM6116A-9), V_{DD} = 5 V ± 10%; Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS						UNITS
		CDM6116A-2		CDM6116A-3		CDM6116A-9		
Read Cycle Times See Fig. 2		MIN.†	MAX.	MIN.†	MAX.	MIN.†	MAX.	
Read Cycle Time	t_{RC}	200	—	150	—	250	—	ns
Address Access Time	t_{AA}	—	200	—	150	—	250	
Chip Enable Access Time	t_{ACE}	—	200	—	150	—	250	
Chip Enable to Output Active	t_{CX}	15	—	15	—	15	—	
Output Enable to Output Valid	t_{OEV}	—	120	—	60	—	150	
Output Enable to Output Active	t_{OEX}	15	—	15	—	15	—	
Chip Disable to Output "High Z"	t_{CHZ}	0	60	0	50	0	80	
Output Disable to Output "High Z"	t_{OHZ}	0	60	0	50	0	80	
Output Hold from Address Change	t_{OH}	15	—	15	—	15	—	

†Time required by a limit device to allow for the indicated function.

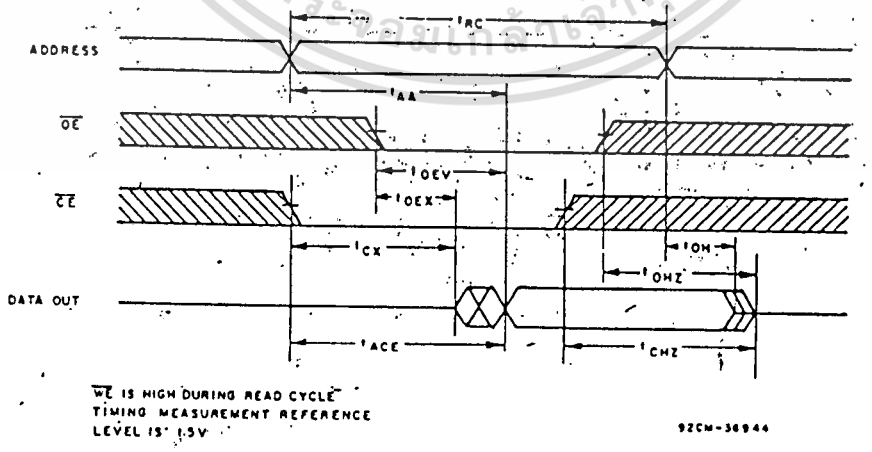


Fig. 2 – Read-cycle timing waveforms.

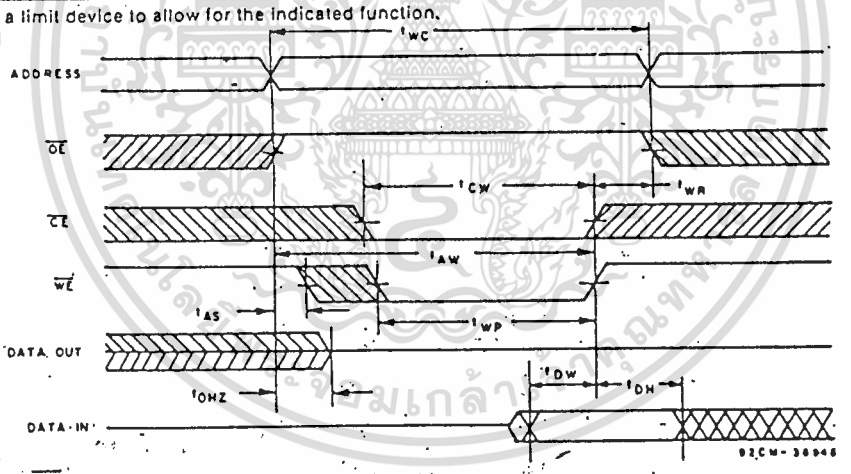
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70°C (CDM6116A-2, CDM6116A-3); T_A = −40° to +85°C (CDM6116A-9), V_{DD} = 5 V ± 10%, Input t_r, t_f ≤ 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS						UNITS
		CDM6116A-2		CDM6116A-3		CDM6116A-9		
Write Cycle Times See Fig. 3		MIN.†	MAX.	MIN.†	MAX.	MIN.†	MAX.	
Write Cycle Time	t_{WC}	200	—	150	—	250	—	ns
Chip Enable to End of WRITE	t_{CW}	160	—	90	—	200	—	
Address Valid to End of WRITE	t_{AW}	160	—	90	—	200	—	
Address Setup Time	t_{AS}	0	—	0	—	0	—	
Write Pulse Width	t_{WP}	160	—	90	—	200	—	
Write Recovery Time	t_{WR}	10	—	0	—	10	—	
Output Disable to Output "High Z"	t_{OHZ}	0	60	0	50	0	80	
Write to Output "High Z"	t_{WHZ}	0	60	0	40	0	80	
Input Data Setup Time	t_{DW}	80	—	50	—	100	—	
Input Data Hold Time	t_{DH}	10	—	5	—	10	—	
Output Active from End of Write	t_{OW}	10	—	10	—	10	—	

†Time required by a limit device to allow for the indicated function.

WRITE CYCLE 1



WRITE CYCLE 2 - $\overline{OE}$ = LOW

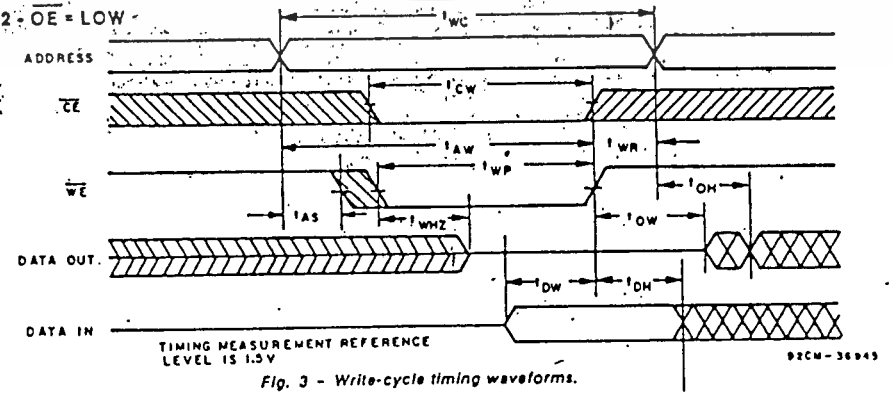


Fig. 3 - Write-cycle timing waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6116A

DATA RETENTION CHARACTERISTICS at T_A = 0 to 70°C (CDM6116A-2, CDM6116A-3); T_A = -40 to +85°C (CDM6116A-9), Unless otherwise noted, See Fig. 4.

CHARACTERISTIC		TEST CONDITIONS	LIMITS		UNITS
			ALL TYPES		
			MIN.	MAX.	
Minimum Data Retention Voltage. CDM6116A-2, CDM6116A-3, CDM6116A-9	V_{DR}	T_A = 0 to 70°C, $\overline{CE} \geq V_{DD}$ - 0.2 V	2	—	V
CDM6116A-9		T_A = -40 to 0°C, $\overline{CE} \geq V_{DD}$ - 0.2 V	4.5	—	V
Data Retention Quiescent Current	I_{DDR}*				
CDM6116A-2		V_{DD} = 3 V, $\overline{CE} \geq$ 2.8 V	—	15	µA
CDM6116A-3		V_{DD} = 3 V, $\overline{CE} \geq$ 2.8 V	—	25	µA
CDM6116A-9		V_{DD} = 3 V, $\overline{CE} \geq$ 2.8 V	—	50	µA
Chip Disable to Data Retention Time	t_{CDR}	See Fig. 4	0	—	ns
Recovery to Normal Operation Time	t_R	See Fig. 4	t_{RC}	—	ns

*I_{DDR}=7.5 µA max. at T_A=0° to +40°C for CDM6116A-2 and CDM6116A-3.
*t_{RC} = Read Cycle Time.

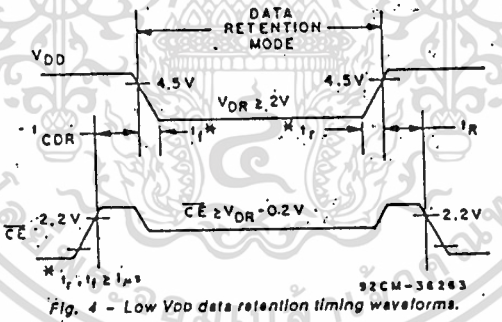
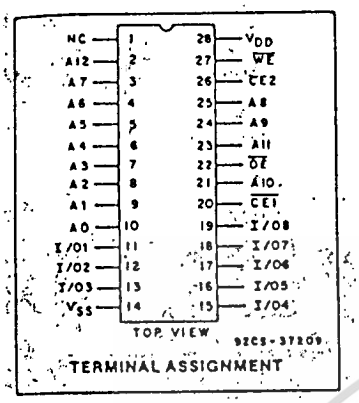


Fig. 4 – Low V_{DD} data retention timing waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6264



TERMINAL ASSIGNMENT

CMOS 8192-Word by 8-Bit LSI Static RAM

Features:

- *Fully static operation*
- *Single power supply: 4.5 V to 5.5 V*
- *All inputs and outputs directly TTL compatible*
- *3-state outputs*
- *Industry standard 28-pin configuration*
- *Input address buffers gated off with chip disable*
- *Fast access time: t_{AA}=150 ns/120 ns (CDM6264-3/CDM6264-4)*
- *Low standby and operating power: I_{DDS1}=2 μA typical, I_{OPER2}=40 mA maximum*
- *Data retention voltage: 2 V min.*
- *Operating temperature range (max. rating): 0° to 70°C*

The RCA-CDM6264 is a 8192-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data input and data output and utilizes a single power supply of 4.5 V to 5.5 V.

Either chip enable ($\overline{CE1}$ or CE2), when not valid, will gate off the address and output buffers and power down the chip to minimum standby power with inputs toggling. The output enable ($\overline{OE}$) controls the output buffers to eliminate bus contention.

The CDM6264 is supplied in 28-lead, hermetic, dual-in-line side-brazed ceramic (D suffix) and in 28-lead dual-in-line plastic (E suffix) packages.

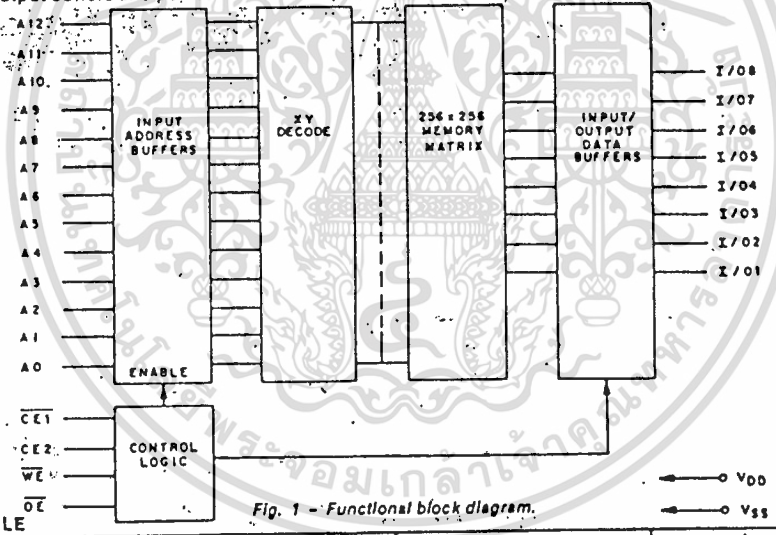


Fig. 1 – Functional block diagram.

TRUTH TABLE

$\overline{CE1}$	CE2	$\overline{OE}$	$\overline{WE}$	A0 TO A12	MODE	DATA I/O	DEVICE CURRENT
H	X	X	X	X	NOT SELECTED	HIGH Z	STANDBY
X	L	X	X	X	NOT SELECTED	HIGH Z	STANDBY
L	H	L	H	STABLE	READ	DATA OUT	ACTIVE
L	H	X	L	STABLE	WRITE	DATA IN	ACTIVE
L	H	H	H	STABLE	OUTPUT DISABLE	HIGH Z	ACTIVE

L = LOW H = HIGH X = H OR L

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6264

MAXIMUM RATINGS, *Absolute-Maximum Values:*

DC SUPPLY-VOLTAGE RANGE, (V_{DD}):
(Voltage referenced to V_{SS} terminal) ..... -0.3 to +7 V
INPUT VOLTAGE RANGE, ALL INPUTS ..... -0.3 to +7 V
POWER DISSIPATION PER PACKAGE (P_D):
For T_A = 0° to +60°C (PACKAGE TYPE E) ..... 500 mW
For T_A = +60° to +70°C (PACKAGE TYPE E) ..... Derate Linearly at 8 mW/°C to 420 mW
For T_A = 0° to +70°C (PACKAGE TYPE D) ..... 500 mW
DEVICE DISSIPATION PER OUTPUT TRANSISTOR
For T_A = FULL PACKAGE-TEMPERATURE RANGE ..... 100 mW
OPERATING-TEMPERATURE RANGE (T_A):
PACKAGE TYPE D ..... 0 to +70°C
PACKAGE TYPE E ..... 0 to +70°C
STORAGE TEMPERATURE RANGE (T_{stg}) ..... -55 to +125°C
LEAD TEMPERATURE (DURING SOLDERING):
At distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. ..... +265°C

OPERATING CONDITIONS at T_A = 0 to +70°C
For maximum reliability, operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC		LIMITS		UNITS
		ALL TYPES		
		MIN.	MAX.	
DC Operating Voltage Range		4.5	5.5	V
Input Voltage Range	V_{IH}	2.2	V_{DD} + 0.3	V
	V_{IL}	-0.3	0.8	V
Input Signal Rise or Fall Time[Δ]	t_r, t_f	—	5	μs

[Δ] Input signal rise and fall times with a duration greater than the maximum value can cause loss of stored data in the selected mode.

STATIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70°C, V_{DD} = 5 V ± 10%, Except as noted

CHARACTERISTIC		CONDITIONS		LIMITS ALL TYPES			UNITS
				Min.	Typ.*	Max.	
Standby Device Current	I_{DDS}	$\overline{CE1}$=V_{IH} or CE2=V_{IL}		—	1.5	3	mA
	I_{DDS1}	$\overline{CE1}$=CE2 ≥ V_{DD}-0.2 V or CE2 ≤ 0.2 V		—	2	100	μA
Output Voltage Low Level	V_{OL} Max.	I_{OL}=2.1 mA		—	—	0.4	V
		I_{OL}=1 μA		—	0.1	—	
Output Voltage High Level	V_{OH} Min.	I_{OH}=-1 mA		2.4	—	—	V
		I_{OH}=-1 μA		—	V_{DD}-0.1	—	
Input Leakage Current	I_{IN} Max.	V_{IN}=0 V to V_{DD}		—	±0.1	±2	μA
3-State Output Leakage Current	I_{OUT}	$V_{I/O}$=0 V to V_{DD}		—	±0.5	±2	μA
Operating Device Current	I_{OPER1}#	V_{IN}=V_{IL}, V_{IH}	t_{cyc}=1 μs	—	4.5	9	mA
			t_{cyc}=120 ns	—	22.5	45	
	I_{OPER2}#	V_{IN}=0.2 V; V_{DD}-0.2 V	t_{cyc}=1 μs	—	2	4	
			t_{cyc}=120 ns	—	20	40	
Input Capacitance	C_{IN}	V_{IN}=0 V, f=1 MHz, T_A=25°C		—	4	6	pF
Output Capacitance	$C_{I/O}$	$V_{I/O}$=0 V, f=1 MHz, T_A=25°C		—	6	8	pF

*Typical values are for T_A=25°C and nominal V_{DD}. #Outputs open circuited.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6264

SIGNAL DESCRIPTIONS

A0-A10 (Address Inputs): These inputs must be stable prior to a write operation, but may change asynchronously during read functions.

I/O1-I/O8: 8-bit tristate data bus.

$\overline{CE1}$, CE2 (Chip Enable): Either chip enable, when not true, powers down the chip, disables Read and Write functions, and gates off address and output buffers.

$\overline{OE}$ (Output Enable): Enables tristate outputs if $\overline{CE1}$ and CE2 are valid and $\overline{WE}$ is high.

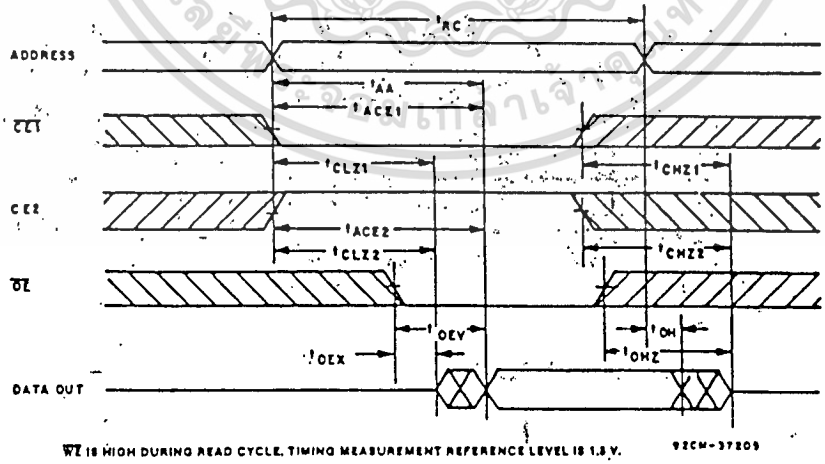
$\overline{WE}$ (Write Enable): Enables Write function. If $\overline{CE1}$ and CE2 are valid, $\overline{WE}$ will dominate if both $\overline{WE}$ and $\overline{OE}$ are low (i.e., the bus will be tristated and a Write will occur).

V_{DD}, V_{SS}: Power supply connections.

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70° C, V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS				UNITS
		CDM6264-3		CDM6264-4		
Read Cycle Times, See Fig. 2		MIN.†	MAX.	MIN.†	MAX.	
Read Cycle Time	t_{RC}	150	—	120	—	ns
Address Access Time	t_{AA}	—	150	—	120	
Chip Enable Access Time	t_{ACE1}, t_{ACE2}	—	150	—	120	
Chip Enable to Output Active	t_{CLZ1}, t_{CLZ2}	10	—	10	—	
Output Enable to Output Valid	t_{OEV}	—	70	—	60	
Output Enable to Output Active	t_{OEX}	5	—	5	—	
Chip Disable to Output "High Z"	t_{CHZ1}, t_{CHZ2}	0	70	0	50	
Output Disable to Output "High Z"	t_{OHZ}	0	60	0	40	
Output Hold from Address Change	t_{OH}	30	—	30	—	

†Time required by a limit device to allow for the indicated function.



$\overline{WE}$ IS HIGH DURING READ CYCLE. TIMING MEASUREMENT REFERENCE LEVEL IS 1.5 V. 92CM-37209

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

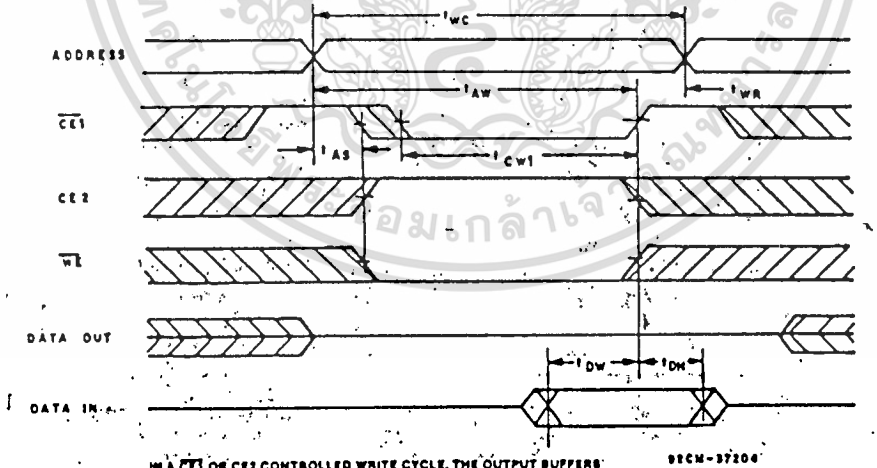
CDM6264

DYNAMIC ELECTRICAL CHARACTERISTICS at T_A = 0 to +70°C, V_{DD} = 5 V ± 10%, Input t_r, t_f = 10 ns; C_L = 100 pF and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS				UNITS
		CDM6264-3		CDM6264-4		
Write Cycle Times, See Fig. 3		MIN.†	MAX.	MIN.†	MAX.	
Write Cycle Time	t_{WC}	150	—	120	—	ns
Chip Enable to End of WRITE	t_{CW1}, t_{CW2}	120	—	100	—	
Address Valid to End of WRITE	t_{AW}	120	—	100	—	
Address Setup Time	t_{AS}	0	—	0	—	
Write Enable Width	t_{WW}	100	—	80	—	
Write Recovery Time	t_{WR}	0	—	0	—	
Write to Output "High Z"	t_{WHZ}	—	70	—	50	
Input Data Setup Time	t_{DW}	60	—	50	—	
Input Data Hold Time	t_{DH}	0	—	0	—	
Output Active from End of Write	t_{OW}	10	—	10	—	

†Time required by a limit device to allow for the indicated function.

WRITE CYCLE 1 ($\overline{CE1}$ CONTROL)

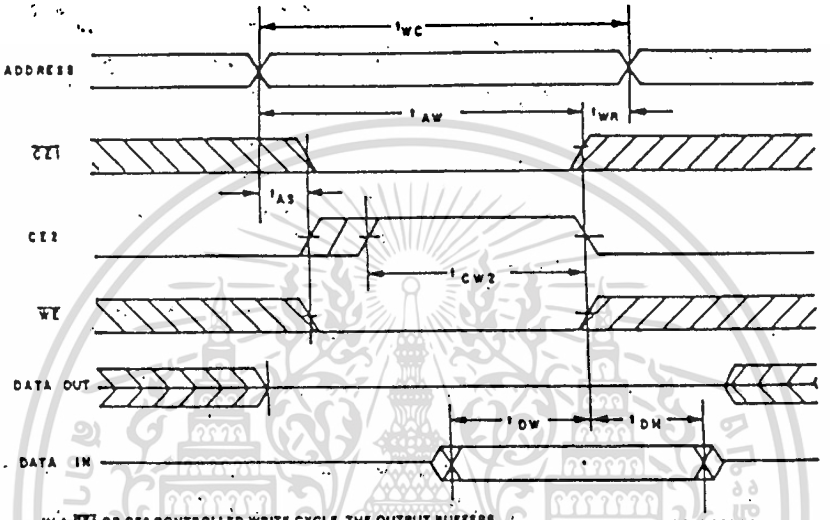


IN A $\overline{CE1}$ OR CE2 CONTROLLED WRITE CYCLE, THE OUTPUT BUFFERS REMAIN IN A HIGH IMPEDANCE STATE, WHETHER $\overline{OE}$ IS HIGH OR LOW. TIMING MEASUREMENT REFERENCE LEVEL IS 1.5 V.

92CM-37206

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

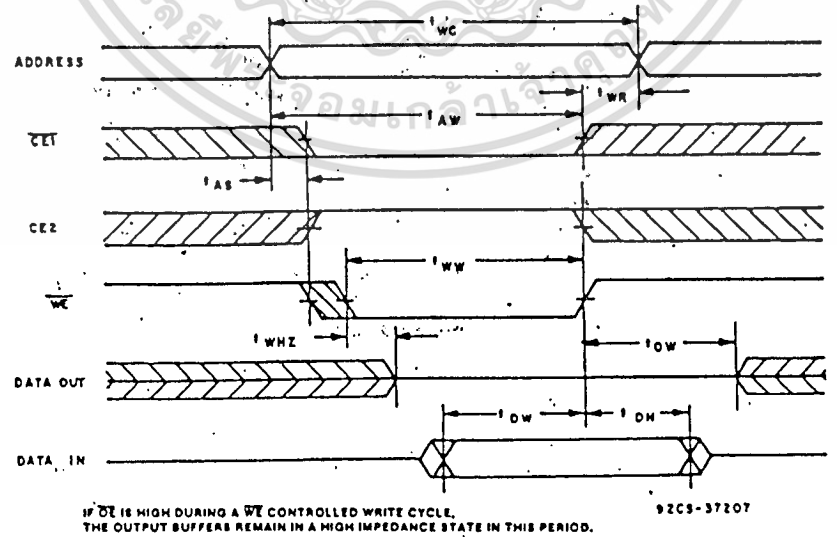
WRITE CYCLE 2 (CE2 CONTROL)



IN A $\overline{CE1}$ OR CE2 CONTROLLED WRITE CYCLE, THE OUTPUT BUFFERS REMAIN IN A HIGH IMPEDANCE STATE, WHETHER $\overline{OE}$ IS HIGH OR LOW. TIMING MEASUREMENT REFERENCE LEVEL IS 1.5 V.

92CM-37206

WRITE CYCLE 3 ($\overline{WE}$ CONTROL)



IF $\overline{OE}$ IS HIGH DURING A $\overline{WE}$ CONTROLLED WRITE CYCLE, THE OUTPUT BUFFERS REMAIN IN A HIGH IMPEDANCE STATE IN THIS PERIOD. TIMING MEASUREMENT REFERENCE LEVEL IS 1.5 V.

92CS-37207

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

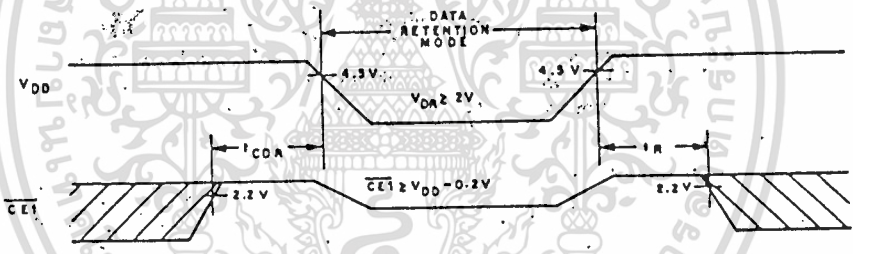
CDM6264

DATA RETENTION CHARACTERISTICS at T_A = 0 to 70° C; See Fig. 4.

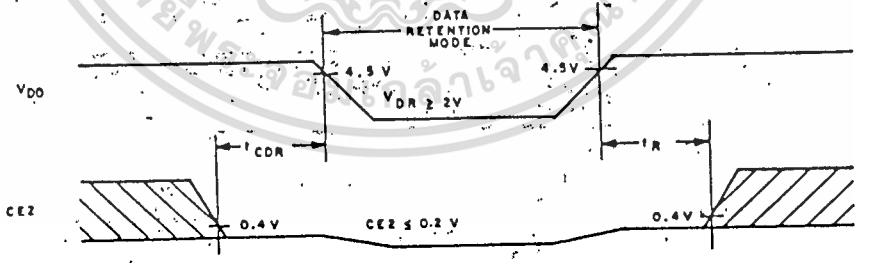
CHARACTERISTIC		TEST CONDITIONS	LIMITS		UNITS
			ALL TYPES		
			MIN.	MAX.	
Minimum Data Retention Voltage	V_{DR}	$\overline{CE1} \geq V_{DD} - 0.2$ V or $CE2 \leq 0.2$ V	2	5.5	V
Data Retention Quiescent Current	$I_{DD}DR$	V_{DD} = 3 V, $\overline{CE1}$, CE2 ≥ $V_{DD} - 0.2$ V or CE2 ≤ 0.2 V	—	50	μA
Chip Disable to Data Retention Time	t_{CDR}	See Fig. 4	0	—	ns
Recovery to Normal Operation Time	t_R	See Fig. 4	*t_{RC}	—	

*t_{RC} = Read Cycle Time.

DATA RETENTION WAVEFORM 1 ($\overline{CE1}$ CONTROL)



DATA RETENTION WAVEFORM 2 (CE2 CONTROL)



92CM-3720B

Fig. 4 – Low V_{DD} data-retention timing waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NEC Microcomputers, Inc.

NEC
μPD2732
PRELIMINARY

32,768 (4K X 8) BIT UV ERASABLE PROM

DESCRIPTION

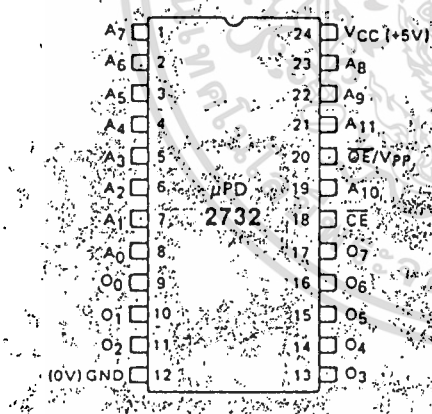
The μPD2732 is a 32,768 bit (4096 x 8 bit) Ultraviolet Erasable and Electrically Programmable Read-Only Memory (EPROM). It operates from a single +5V supply, making it ideal for microprocessor applications. It features an output enable control and offers a standby mode with an attendant 80% savings in power consumption.

A distinctive feature of the μPD2732 is a separate output control, output enable ($\overline{OE}$) from the chip enable control ($\overline{CE}$). The $\overline{OE}$ control eliminates bus contention in multiple-bus microprocessor systems. The μPD2732 features fast, simple one-pulse programming controlled by TTL-level signals. Total programming time for all 32,768 bits is only 210 seconds.

FEATURES

- Ultraviolet Erasable and Electrically Programmable
- Access Time – 450 ns Max
- Single Location Programming
- Programmable with Single Pulse
- Low Power Dissipation: 150 mA Max Active Current, 30 mA Max Standby Current
- Input/Output TTL Compatible for Reading and Programming
- Single +5V Power Supply
- 24 Pin Ceramic DIP
- Three-State Outputs

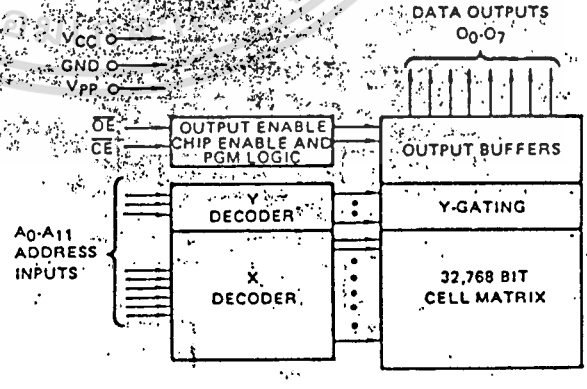
PIN CONFIGURATION



MODE SELECTION

MODE \ PINS	$\overline{CE}$	$\overline{OE}/V_{PP}$	V_{CC}	OUTPUTS
Read	V_{IL}	V_{IL}	+5	DOUT
Standby	V_{IH}	Don't Care	+5	High Z
Program	Pulsed V_{IL} to V_{IH}	+25	+5	DIN
Program Verify	V_{IL}	V_{IL}	+5	DOUT
Program Inhibit	V_{IH}	+25	+5	High Z

BLOCK DIAGRAM



PIN NAMES

A_0-A_{11}	Addresses
$\overline{OE}$	Output Enable
O_0-O_7	Data Outputs
$\overline{CE}$	Chip Enable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

intel

2732A
32K (4K x 8) UV ERASABLE PROM

- 200 ns (2732A-2) Maximum Access Time . . . HMOS*-E Technology
- Compatible with High-Speed 8mHz iAPX 186...Zero WAIT State
- Two Line Control
- Compatible with 12 MHz 8051 Family
- Industry Standard Pinout . . . JEDEC Approved
- Low Standby Current...30 mA Maximum
- ±10% V_{CC} Tolerance Available
- Int$_e$ligent Identifier™ Mode
- TTL Compatible

The Intel 2732A is a 5V only, 32,768 bit ultraviolet erasable and electrically programmable read-only-memory (EPROM). The standard 2732A access time is 250 ns with speed selection (2732A-2) available at 200 ns. The access time is compatible with high performance microprocessors such as the 8 MHz iAPX 186. In these systems, the 2732A allows the microprocessor to operate without the addition of WAIT states.

An important 2732A feature is the separate output control, Output Enable ($\overline{OE}$), from the Chip Enable control ($\overline{CE}$). The $\overline{OE}$ control eliminates bus contention in microprocessor systems. Intel's Application Note AP-72 describes the microprocessor system implementation of the $\overline{OE}$ and $\overline{CE}$ controls on Intel's EPROMs. AP-72 is available from Intel's Literature Department.

The 2732A has a standby mode which reduces power consumption without increasing access time. The maximum active current is 125 mA, while the maximum standby current is only 35 mA, a 70% saving. The standby mode is selected by applying the TTL-high signal to the $\overline{CE}$ input.

The 2732A is fabricated with HMOS*-E technology, Intel's high-speed N-channel MOS Silicon Gate Technology.

*HMOS is a patented process of Intel Corporation.

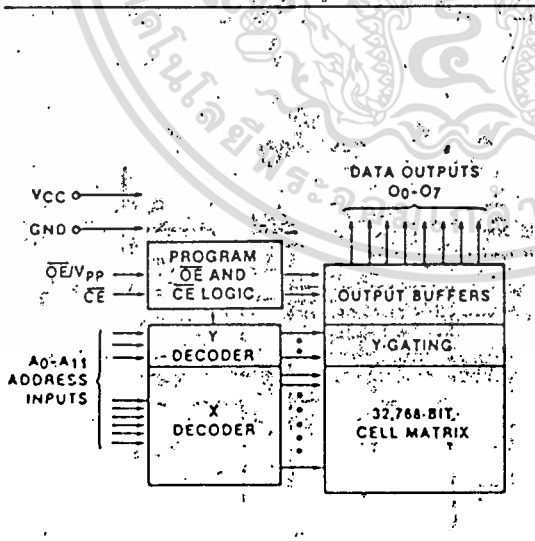


Figure 1. Block Diagram

PIN NAMES

A_0-A_{11}	ADDRESSES
$\overline{CE}$	CHIP ENABLE
$\overline{OE}/V_{PP}$	OUTPUT ENABLE/ V_{PP}
O_0-O_7	OUTPUTS

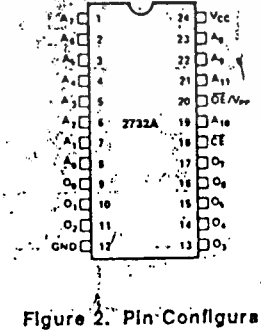


Figure 2. Pin Configuration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ABSOLUTE MAXIMUM RATINGS*

Temperature Under Bias ..... −10°C to +80°C
Storage Temperature ..... −65°C to +125°C
All Input or Output Voltages with Respect to Ground ..... +6V to −0.3V
Voltage on Pin 22 with Respect to Ground ..... +13.5V to −0.3V
V_{PP} Supply Voltage with Respect to Ground During Programming ..... +22V to −0.3V

NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. AND A.C. OPERATING CONDITIONS DURING READ

	2732A/A-2/A-3/A-4	2732A-20/A-25/A-30
Operating Temperature Range	0°C–70°C	0°C–70°C
V_{CC} Power Supply[1,2]	5V ± 5%	5V ± 10%

READ OPERATION

D.C. CHARACTERISTICS

Symbol	Parameter	Limits Min.	Typ.[3]	Max.	Units	Conditions
I_{IL}	Input Load Current			10	μA	$V_{IN} = 5.5V$
I_{LO}	Output Leakage Current			10	μA	$V_{OUT} = 5.5V$
I_{CC1}[2]	V_{CC} Current (Standby)			35	mA	$\overline{CE} = V_{IH}$, $\overline{OE} = V_{IL}$
I_{CC2}[2]	V_{CC} Current (Active)			100	mA	$\overline{OE} = \overline{CE} = V_{IL}$
V_{IL}	Input Low Voltage	−0.1		0.8	V	
V_{IH}	Input High Voltage	2.0		$V_{CC}+1$	V	
V_{OL}	Output Low Voltage			0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage	2.4			V	$I_{OH} = -400$ μA
V_{PP}[2]	V_{PP} Read Voltage	3.8		V_{CC}	V	$V_{CC} = 5.0V \pm 0.25V$

A.C. CHARACTERISTICS

Symbol	Parameter	2732A-2 2732A-20 Min.	Max.	2732A 2732A-25 Min.	Max.	2732A-3 2732A-30 Min.	Max.	2732A-4 Min.	Max.	Units	Test Conditions†
t_{ACC}	Address to Output Delay		200		250		300		450	ns	$\overline{CE} = \overline{OE} = V_{IL}$
t_{CE}	$\overline{CE}$ to Output Delay		200		250		300		450	ns	$\overline{OE} = V_{IL}$
t_{OE}	$\overline{OE}$ to Output Delay		70		100		150		150	ns	$\overline{CE} = V_{IL}$
t_{DF}[4]	$\overline{OE}$ High to Output Not Driven	0	60	0	60	0	130	0	130	ns	$\overline{CE} = V_{IL}$
t_{OH}	Output Hold from Addresses, $\overline{CE}$ or $\overline{OE}$ Whichever Occurred First	0		0		0		0		ns	$\overline{CE} = \overline{OE} = V_{IL}$

A.C. TEST CONDITIONS

Output Load ..... 1 TTL gate and $C_L = 100$ pF
Input Rise and Fall Times ..... ≤ 20 ns
Input Pulse Levels ..... 0.45V to 2.4V
Timing Measurement Reference Level:
Inputs ..... 0.8 and 2.0V
Outputs ..... 0.8 and 2.0V

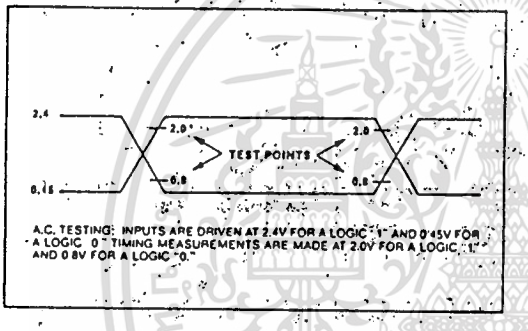
NOTES: 1. V_{CC} must be applied simultaneously or before V_{PP} and removed simultaneously or after V_{PP}.
2. V_{PP} may be connected directly to V_{CC} except during programming. The supply current would then be the sum of I_{CC} and I_{PP1}.
3. Typical values are for $t_A = 25°C$ and nominal supply voltages.
4. This parameter is only sampled and is not 100% tested. Output Float is defined as the point where data is no longer driven — see timing diagram on page 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

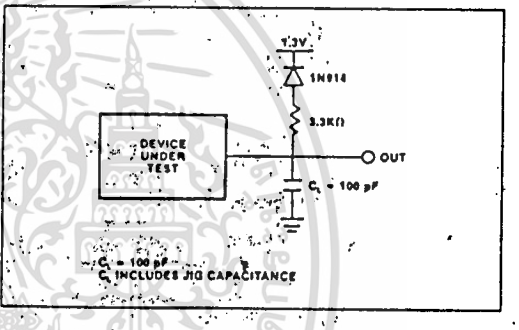
CAPACITANCE[2] (T_A = 25°C, f = 1 MHz)

Symbol	Parameter	Typ.	Max.	Unit	Conditions
C_{IN1}	Input Capacitance Except $\overline{OE}/V_{PP}$	4	6	pF	V_{IN} = 0V
C_{IN2}	$\overline{OE}/V_{PP}$ Input Capacitance		20	pF	V_{IN} = 0V
C_{OUT}	Output Capacitance	8	12	pF	V_{OUT} = 0V

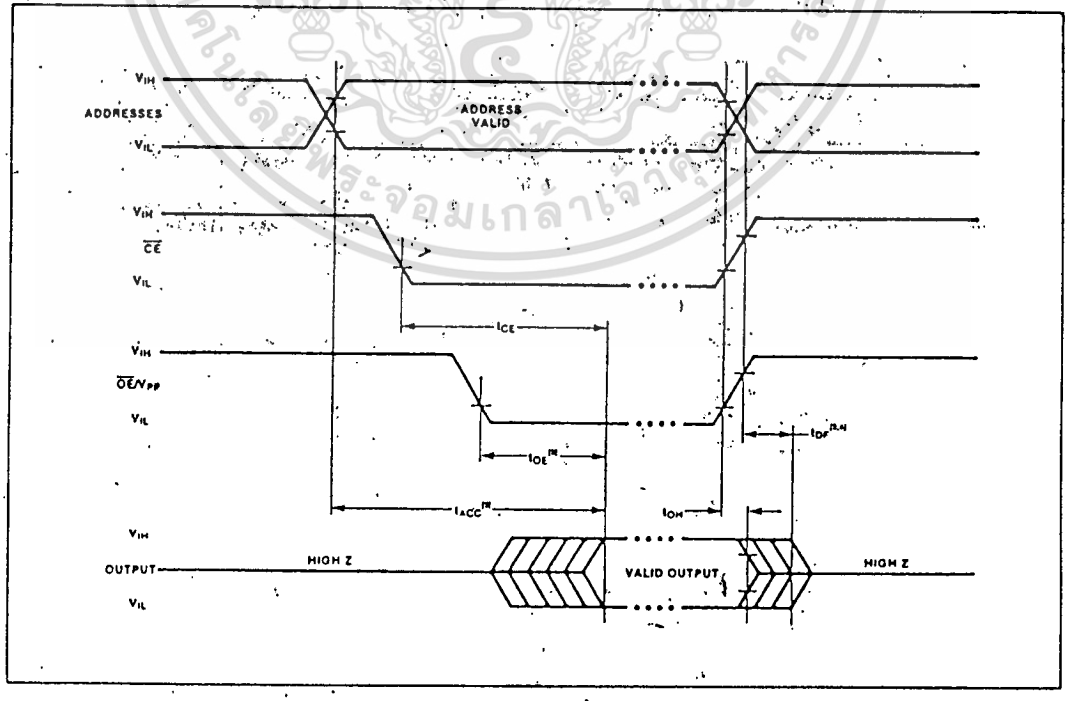
A.C. TESTING INPUT/OUTPUT WAVEFORM



A.C. TESTING LOAD CIRCUIT



A.C. WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ERASURE CHARACTERISTICS

The erasure characteristics of the 2732A are such that erasure begins to occur upon exposure to light with wavelengths shorter than approximately 4000 Angstroms (Å). It should be noted that sunlight and certain types of fluorescent lamps have wavelengths in the 3000-4000 Å range. Data show that constant exposure to room level fluorescent lighting could erase the typical 2732A in approximately 3 years, while it would take approximately 1 week to cause erasure when exposed to direct sunlight. If the 2732A is to be exposed to these types of lighting conditions for extended periods of time, opaque labels should be placed over the 2732A window to prevent unintentional erasure.

The recommended erasure procedure for the 2732A is exposure to shortwave ultraviolet light which has a wavelength of 2537 Angstroms (Å). The integrated dose (i.e., UV intensity X exposure time) for erasure should be a minimum of 15 W-sec/cm^2. The erasure time with this dosage is approximately 15 to 20 minutes using an ultraviolet lamp with 12000μW/cm^2 power rating. The 2732A should be placed within 1 inch of the lamp tubes during erasure.

DEVICE OPERATION

The six modes of operation of the 2732A are listed in Table 1. A single 5V power supply is required in the read mode. All inputs are TTL levels except for $\overline{OE}/V_{PP}$ during programming and 12V on A_9 for the Int$_e$ligent Identifier™ mode. In the program mode the $\overline{OE}/V_{PP}$ input is pulsed from a TTL level to 21V.

Table 1. Mode Selection

MODE \ PINS	$\overline{CE}$ (18)	$\overline{OE}/V_{PP}$ (20)	A_9 (22)	V_{CC} (24)	OUTPUTS (9-11,13-17)
Read	V_{IL}	V_{IL}	X	+5	D_{OUT}
Output Disable	V_{IL}	V_{IH}	X	+5	High Z
Standby	V_{IH}	X	X	+5	High Z
Program	V_{IL}	V_{PP}	X	+5	D_{IN}
Program Inhibit	V_{IH}	V_{PP}	X	+5	High Z
Int$_e$ligent Identifier	V_{IL}	V_{IL}	V_H	+5	Code

Notes: 1. X can be V_{IH} or V_{IL}.
2. V_H = 12.0 ± 0.5V.

Read Mode

The 2732A has two control functions; both of which must be logically active in order to obtain data at the outputs. Chip Enable ($\overline{CE}$) is the power control and should be used for device selection. Output Enable ($\overline{OE}$) is the output control and should be used to gate data from the output pins, independent of device selection. Assuming that addresses are stable, address access time (t_{ACC}) is equal to the delay from $\overline{CE}$ to output (t_{CE}). Data is available at the outputs after the falling edge of $\overline{OE}$, assuming that $\overline{CE}$ has been low and addresses have been stable for at least $t_{ACC} - t_{OE}$.

Standby Mode

The 2732A has a standby mode which reduces the maximum active current from 125 mA to 35 mA. The 2732A is placed in the standby mode by applying a TTL-high signal to the $\overline{CE}$ input. When in standby mode, the outputs are in a high impedance state, independent of the $\overline{OE}$ input.

Output OR-Tieing

Because EPROMs are usually used in larger memory arrays, Intel has provided a 2 line control function that accommodates this use of multiple memory connection. The two line control function allows for:

a) the lowest possible memory power dissipation, and
b) complete assurance that output bus contention will not occur.

To use these two control lines most efficiently, $\overline{CE}$ (pin 18) should be decoded and used as the primary device selecting function, while $\overline{OE}$ (pin 20) should be made a common connection to all devices in the array and connected to the $\overline{READ}$ line from the system control bus. This assures that all deselected memory devices are in their low power standby mode and that the output pins are active only when data is desired from a particular memory device.

PROGRAMMING

CAUTION: Exceeding 22V on Pin 20 ($\overline{OE}/V_{PP}$) will permanently damage the 2732A.

Initially, and after each erasure, all bits of the 2732A are in the "1" state. Data is introduced by selectively programming "0's" into the desired bit locations. Although only "0's" will be programmed, both "1's" and "0's" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The 2732A is in the programming mode when the $\overline{OE}/V_{PP}$ input is at 21V. It is required that a 0.1 μF capacitor be placed across $\overline{OE}/V_{PP}$ and ground to suppress spurious voltage transients which may damage the device. The data to be programmed is applied 8 bits in parallel to the data output pins. The levels required for the address and data inputs are TTL.

When the address and data are stable, a 50 msec, active low, TTL program pulse is applied to the $\overline{CE}$ input. A program pulse must be applied at each address location to be programmed. You can program any location at any time —either individually, sequentially, or at random. The program pulse has a maximum width of 55 msec. The 2732A must not be programmed with a DC signal applied to the $\overline{CE}$ input.

Programming of multiple 2732As in parallel with the same data can be easily accomplished due to the simplicity of the programming requirements. Like inputs of the paralleled 2732As may be connected together when they are programmed with the same data. A low level TTL pulse applied to the $\overline{CE}$ input programs the paralleled 2732As.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Program Inhibit

Programming of multiple 2732As in parallel with different data is also easily accomplished. Except for $\overline{CE}$, all like inputs (including $\overline{OE}$) of the parallel 2732As may be common. A TTL level program pulse applied to a 2732A's $\overline{CE}$ input with $\overline{OE}/V_{PP}$ at 21V will program that 2732A. A high level $\overline{CE}$ input inhibits the other 2732As from being programmed.

Verify

A verify (Read) should be performed on the programmed bits to determine that they were correctly programmed. The verify is accomplished with $\overline{OE}/V_{PP}$ and $\overline{CE}$ at V_{IL}. Data should be verified t_{OV} after the falling edge of $\overline{CE}$.

Int$_e$ligent Identifier™ Mode

The Int$_e$ligent Identifier Mode allows the reading out of a binary code from an EPROM that will identify its manufacturer and type. This mode is intended for use by programming equipment for the purpose of automatically matching the device to be programmed with its corresponding programming algorithm. This mode is functional in the 25°C ± 5°C ambient temperature range.

To activate this mode, the programming equipment must force 11.5V to 12.5V on address line A9 (pin 22) of the 2732A. Two identifier bytes may then be sequenced from the device outputs by toggling address line A0 (pin 8) from V_{IL} to V_{IH}. All other address lines must be held at V_{IL} during Int$_e$ligent Identifier Mode.

Byte 0 (A0 = V_{IL}) represents the manufacturer code and byte 1 (A0 = V_{IH}) the device identifier code. For the Intel 2732A, these two identifier bytes are given in Table 2. All identifiers for manufacturer and device codes will possess odd parity, with the MSB (O_7) defined as the parity bit.

Intel began manufacturing 2732As during 1982 that contained the Int$_e$ligent Identifier feature. Earlier generation devices do not contain identifier information, and if erased, will respond with a "one" (V_{OH}) on each data line when operated in this mode. Programmed, preIdentifier mode 2732As will respond with the current data contained in locations 0 and 1 when subjected to the Int$_e$ligent Identifier operation.

System Consideration

The power switching characteristics of HMOS-E EPROMs require careful decoupling of the devices. The supply current, I_{CC}, has three segments that are of interest to the system designer—the standby current level, the active current level, and the transient current peaks that are produced by the falling and rising edges of Chip Enable. The magnitude of these transient current peaks is dependent on the output capacitive loading of the device. The associated transient voltage peaks can be suppressed by complying with Intel's Two-Line Control, as detailed in Intel's Application Note, AP-72, and by properly selected decoupling capacitors. It is recommended that a 0.1μF ceramic capacitor be used on every device between V_{CC} and GND. This should be a high frequency capacitor of low inherent inductance and should be placed as close to the device as possible. In addition, a 4.7μF bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near where the power supply is connected to the array. The purpose of the bulk capacitor is to overcome the voltage droop caused by the inductive effects of PC board-traces.

Table 2. 2732A Int$_e$ligent Identifier™ Bytes

Identifier \ Pins	A_0 (8)	O_7 (17)	O_6 (16)	O_5 (15)	O_4 (14)	O_3 (13)	O_2 (11)	O_1 (10)	O_0 (9)	Hex Data
Manufacturer Code	V_{IL}	1	0	0	0	1	0	0	1	89
Device Code	V_{IH}	0	0	0	0	0	0	0	1	01

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMING[4]

D.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5°C$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$

Symbol	Parameter	Limits			Units	Test Conditions
		Min.	Typ.	Max.		
I_{LI}	Input Current (All Inputs)			10	μA	$V_{IN} = V_{IL}$ or V_{IH}
V_{OL}	Output Low Voltage During Verify			0.45	V	$I_{OL} = 2.1$ mA
V_{OH}	Output High Voltage During Verify	2.4			V	$I_{OH} = -400$ μA
I_{CC}	V_{CC} Supply Current		85	100	mA	
V_{IL}	Input Low Level (All Inputs)	-0.1		0.8	V	
V_{IH}	Input High Level (All Inputs Except $\overline{OE}/V_{PP}$)	2.0		V_{CC}	V	
I_{PP}	V_{PP} Supply Current			30	mA	$\overline{CE} = V_{IL}$, $\overline{OE} = V_{PP}$
V_{ID}	A9 Intelligent Identifier Voltage	11.5		12.5	V	

A.C. PROGRAMMING CHARACTERISTICS: $T_A = 25 \pm 5°C$, $V_{CC} = 5V \pm 5\%$, $V_{PP} = 21V \pm 0.5V$

Symbol	Parameter	Limits			Units	Test Conditions†
		Min.	Typ.	Max.		
t_{AS}	Address Setup Time	2			μs	
t_{OES}	$\overline{OE}$ Setup Time	2			μs	
t_{DS}	Data Setup Time	2			μs	
t_{AH}	Address Hold Time	0			μs	
t_{OEH}	$\overline{OE}$ Hold Time	2			μs	
t_{DH}	Data Hold Time	2			μs	
t_{DFP}	$\overline{OE}$ High to Output Not Driven	0		130	ns	
t_{DV}	Data Valid from $\overline{CE}$			1	μs	$\overline{CE} = V_{IL}$, $\overline{OE} = V_{IL}$
t_{PW}	$\overline{CE}$ Pulse Width During Programming	20	50	55	ms	
t_{PRT}	$\overline{OE}$ Pulse Rise Time During Programming	50			ns	
t_{VR}	V_{PP} Recovery Time	2			μs	

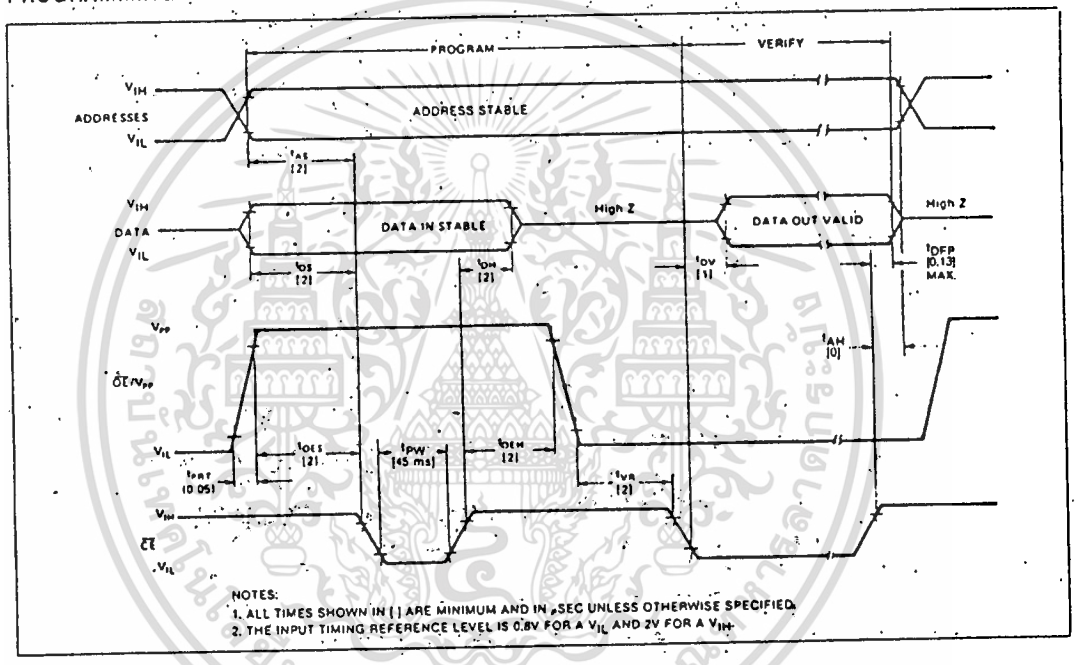
†A.C. TEST CONDITIONS

Input Rise and Fall Times (10% to 90%) ..... ≤20 ns
Input Pulse Levels ..... 0.45V to 2.4V
Input Timing Reference Level ..... 0.8V and 2.0V
Output Timing Reference Level .....0.8V and 2.0V

NOTES:
1. Typical values are for $T_A = 25°C$ and nominal supply voltages.
2. This parameter is only sampled and is not 100% tested. Output float is defined as the point where data is no longer driven — see timing diagram
3. OE may be delayed up to $t_{ACC} - t_{OE}$ after the falling edge of CE without impacting t_{ACC}.
4. When programming the 2732A, a 0.1μF capacitor is required across OE/V_{PP} and ground to suppress spurious voltage transients which may damage the device.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PROGRAMMING WAVEFORMS



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>กิตติกรรมประกาศ</u>

ปริญญานิพนธ์ฉบับนี้สำเร็จลงได้ด้วยดี เนื่องจากได้รับความช่วยเหลือจาก อาจารย์ พูนศักดิ์ พัฒนไพรสณฑ์ ซึ่งได้ช่วยเหลือและแก้ไขการทำปริญญานพนธ์จึงขอขอบคุณทุกท่าน ไว้ ณ ที่นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

COFFRON , JAMES W., Z-80 APPLICATION , SYBEX INC. 1983

AEVENTHAL , LANCE A., Z-80 ASSEMBLY LANGUAGE PROGRAMING

COFFRON , JAMES W. AND WILLIAM E. LONG , PRACTICAL INTER FACING TECHNIQES FOR MICROPROCESSOR SYSTEMS , PRENTICE HALL , INC , NEW JERCY 1983

STONE , HAROLD S , MICROCOMPUTER INTERFACTING , ADDISON WESLEY PUBLISHING COMPANY , INC. 1982

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้