ปีการศึกษา 2530

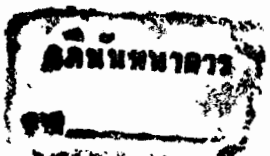
ชุมสายโทรศัพท์อัตโนมัติ

โดย

นาย พงศ์พัฒน์ สุติวรรณ
นาย ประสาน เหลืองวิลัย
นาย วันชัย รัตมาศาณประไพ

อาจารย์ที่ปรึกษา

อาจารย์ ประภาษ อุดคีกีมาพันธุ์



ปริญญานิพนธ์ปีการศึกษา ... 2530 .....
ภาควิชา ... เครื่องมือวัดทางอุตสาหกรรม .....
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง .....ชุมสายโทรศัพท์อัตโนมัติ PABX.....
ผู้จัดทำ .....
1. ...นาย...พงศ์พัฒน์...สิติวรรณ.....
2. ...นาย...ประสาน...เหลืองวิลัย.....
3. ...นาย...วันชัย.....รัตมาศาณประไพ.....

.....ประภาส อุดคีกีมาพันธุ์.....อาจารย์ที่ปรึกษา
(อาจารย์ ประภาส อุดคีกีมาพันธุ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ระบบชุมสายโทรศัพท์ตู้สาขาอัตโนมัติ (PABX)

นาย พงศ์พัฒน์ ฐิติวรรณ
นาย ประสาน เหลืองวิลัย
นาย วันชัย รัตมจศาณประไพ
อาจารย์ ประภาษ อุดคิกิมาพันธ์ อาจารย์ที่ปรึกษา
ปีการศึกษา 2530

บทคัดย่อ

โครงข่ายโทรศัพท์ได้ถูกพัฒนาขึ้นมาจากระบบที่ใช้อุปกรณ์จำพวก รีเลย์ และ แมกเนติกส์ มาเป็นระบบที่ใช้อุปกรณ์อิเลคทรอนิคส์ หรือ อุปกรณ์ทางดิจิตอล ระบบ STORAGE PROGRAM CONTROL (SPC) ได้ถูกพัฒนาโดยอาศัยหลักการทางดิจิตอล และ จะถูกควบคุมโดย ไมโครโปรเซสเซอร์ หรือ คอมพิวเตอร์

โดยทั่วไปแล้ว ระบบ SPC จะถูกนำมาใช้ในที่ทำงาน ซึ่งสามารถจะทำการ สื่อสารติดต่อระหว่าง ผู้เช่าภายในด้วยกัน หรือ ทำการติดต่อสื่อสารระหว่าง ผู้เช่าภายใน กับ ภายนอก

ในการทดลองนี้ ในขั้นแรก เราได้ทำการศึกษาเกี่ยวกับระบบ พีซีเอ็ม และระบบ SPC และหลังจากนั้น เราจะทำการออกแบบวงจรและทำการทดลอง เพื่อที่จะสร้างระบบ SPC ขึ้นมา

PRIVATE AUTOMATIC BRANCH EXCHANGE

PONGPAT THITIWAN
PRASAN LEUANGWILAI
WANCHAI RATTAMASANAPRAPAI
PRAPARD UKKIGIMAPAN ADVISOR
1987

Abstract

The telephone network have developed from the system which used relay and magnetic to the system which used electronic devices or digital devices ,then , the Storage Program control (SPC) have developed by digital method and controlled by microprocessor or computer.

Normaily , the SPC was used in many offices , which to be able to communicate between internal user together , or between internal user and external user.

In this experimention , first ; we were educated the Pulse Code Modulation (PCM) and SPC system , and afterwards , we would design the system and make it experiment ,in order to make it up.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

สารบัญ

		หน้าที่
1.	บทที่ 1. บทนำ	1 - 3
2.	บทที่ 2. ทฤษฎีและหลักการ	4 - 57
3.	บทที่ 3. การคำนวณและการสร้าง	58 - 67
4.	บทที่ 4. การทดลองและผลการทดลอง	68 - 77
5.	บทที่ 5. สรุปและวิจารณ์	78
6.	บทที่ 6. ภาคผนวก	79

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1.

บทนำ

ตู้ชุมสายโทรศัพท์เป็นสิ่งจำเป็นอย่างยิ่งและขาดเสียมิได้ในการให้บริการ การต่อประสานงานทางโทรศัพท์ภายในหน่วยงานเดียวกัน และต่างหน่วยงาน เป็นระบบสื่อสารที่ง่ายในการใช้งาน รวดเร็วและมีเสถียรภาพดีพอสมควร ปัจจุบันได้มีการพัฒนาให้มีประสิทธิภาพสูงขึ้นกว่าเดิมทั้งนี้เพราะโทรศัพท์ได้เป็นที่นิยมใช้กันอย่างแพร่หลาย จึงได้นำเอาหลักการของ ลอจิก (Logic) มาทำหน้าที่ควบคุมการทำงานที่ยุ่งยากภายในชุมสายโทรศัพท์ อีกทั้งได้พัฒนาให้ชุมสายโทรศัพท์มีความสามารถในการให้บริการใหม่ๆ มากยิ่งขึ้น

ชุมสายโทรศัพท์อัตโนมัติระบบ Stored Program Control (SPC) เป็นระบบชุมสายระบบหนึ่งที่นิยมกันในประเทศไทย เนื่องจากมีข้อดีในการนำเอาเทคโนโลยีทางด้านคอมพิวเตอร์ ซึ่งในปัจจุบันได้มีการพัฒนาอย่างรวดเร็วมาใช้ประโยชน์ ในการออกแบบระบบการควบคุม และการเปลี่ยนแปลงข้อมูลของชุมสายโทรศัพท์ นอกจากนี้ SPC ยังทำให้สามารถบริการต่างๆให้แก่ผู้เช่าได้มากมาย ส่วนหลักการของชุมสายโทรศัพท์ระบบ SPC นี้ได้อาศัยการทำงานของ ลอจิก ที่ถูกควบคุมโดย โปรแกรม ผลการทำงานของ ลอจิก นี้ถูกป้อนเข้าเข้าไปใน Program store และ โปรแกรม นี้เป็นส่วนที่ควบคุมการทำงานทั้งหมดของเครื่องชุมสายโทรศัพท์ ถ้าเราต้องการเปลี่ยนหน้าที่ต่างๆของเครื่องชุมสายโทรศัพท์ เช่น ต้องการใช้ สัญญาณ (Signalling) ระบบใหม่ หรือเปลี่ยนหน้าที่ให้ การบริการของเครื่องชุมสายโทรศัพท์เป็นอย่างอื่น เราต้องป้อน โปรแกรม (Program) อันใหม่เข้าไปยัง Program store

ข้อดีของชุมสายโทรศัพท์ระบบ SPC

เหตุผลของการนำชุมสายโทรศัพท์ระบบ SPC เข้ามาใช้แทนระบบ Crossbar เพราะชุมสายโทรศัพท์ระบบSPC มีข้อดีเหนือกว่าระบบCrossbar เช่น

1. ประหยัดพื้นที่ในการติดตั้งชุมสายเนื่องจากส่วนประกอบของชุมสาย SPC ส่วนใหญ่เป็น ไอซี (IC) ทำให้ขนาดชุมสายเล็กลง จึงใช้พื้นที่ในการติดตั้งน้อย

2. การทำงานของอุปกรณ์สวิทช์ของชุมสาย SPC เร็วกว่าระบบ Crossbar มาก เพราะว่าชุมสาย SPC มีความเร็วในการทำงานของสวิทช์เป็น ไมโครวินาที ในขณะที่ชุมสาย Crossbar มีความเร็วในการทำงานของอุปกรณ์สวิทช์เป็น มิลลิวินาที

3. สามารถบริการพิเศษ ต่างๆแก่ผู้เช่าทั้งหลายได้มากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

4. ง่ายในการเพิ่มเติม หรือเปลี่ยนแปลงหน้าที่การทำงานของเครื่องชุมสายโทรศัพท์

5. สามารถทำงานเป็นได้ทั้งชุมสายท้องถิ่น และชุมสายต่อผ่าน (Local Exchange and Transit Exchange or Toll office)

6. มีระบบควบคุมและวิเคราะห์เหตุเสียได้ดีขึ้น

7. ง่ายในการเปลี่ยนแปลง Numbering Plan และระบบการคิดเงิน (Chargeing System)

8. ทำให้ประหยัดเงินในการลงทุนทางด้านสายตอนนอก ลงได้ เนื่องจาก Subscriber Switching Subsystem สามารถนำไปตั้งห่างจาก Main Unit ได้ ซึ่งเรียกว่า Remote Subscriber Unit (RSU) ทำให้ประหยัดค่าสายของผู้เช่าได้มาก

9. การควบคุมการทำงาน และการซ่อมบำรุง รวมทั้งการบำรุงรักษา สามารถทำได้จากส่วนกลางโดยผ่าน Operation and Maintenance Center ทำให้การบริหารงานจากการบำรุงรักษากระทำได้อย่างสะดวกและมีประสิทธิภาพ

สำหรับความสามารถในการให้บริการพิเศษ นั้นชุมสาย SPC สามารถให้การบริการพิเศษต่างๆแก่ผู้เช่าในขณะที่ชุมสาย Crossbar ไม่สามารถให้บริการนั้นๆได้ บริการเหล่านั้นได้แก่

1. Add-on conference เป็นคุณสมบัติที่ใช้ในการประชุมทางโทรศัพท์ โดยจะใช้สนทนาได้พร้อมกัน 3 คู่สาย เช่น สายนอก 2 คู่สาย สายใน 1 คู่สาย , สายนอก 1 คู่สาย สายใน 2 คู่สาย เป็นต้น

2. การโอนย้ายสาย (call transfer) เป็นคุณสมบัติที่จะโอนย้ายคู่สนทนาไปยังเครื่องใดเครื่องหนึ่งได้

3. การรับสายแทนกัน (call pick up) เป็นคุณสมบัติที่ทำให้เครื่องโทรศัพท์ภายใน ในกลุ่มเดียวกัน สามารถรับแทนกันได้โดยไม่จำเป็นต้องยกหูรับในเครื่องที่กำลังถูกเรียกโดยตรง

4. การฝากโอนหมายเลขไปยังเครื่องโทรศัพท์ภายในอื่นๆ (call forwarding) เป็นคุณสมบัติที่สามารถจะโปรแกรมให้เครื่องโทรศัพท์ภายในใดๆมีหมายเลขพร้อมกัน 2 หมายเลขได้ เพื่อให้เรียกแทนเครื่องที่ฝากโอนได้

5. การใช้หมายเลขย่อ (speed dialing) เป็นคุณสมบัติที่จะสามารถหมุนหมายเลข 2 ตัว แทนการหมุนหมายเลขโทรออก 7 - 16 ตัว ได้โดยการโปรแกรมหมายเลขออกไว้ในเครื่องล่วงหน้าในแต่ละคู่สายของเครื่องโทรศัพท์ภายในจะเก็บหมายเลขหรือโปรแกรมหมายเลขไว้ 10 ชุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(สำหรับชุมสายโทรศัพท์ภายในของบริษัท NEC รุ่น Electra 16/48 Electronic key telephone system [NEC ,1980])

6. การหมุนหมายเลขซ้ำ (last number dialing) เป็นคุณสมบัติที่ใช้หมุนหมายเลขที่หมุนครั้งสุดท้ายได้โดยไม่ต้องหมุนใหม่ แต่จะใช้วิธีกดปุ่มพิเศษเพียงปุ่มเดียว ตู้ชุมสายโทรศัพท์ภายในก็จะทำการหมุนหมายเลขชุดที่หมุนไว้ครั้งสุดท้ายออกสู่ภายนอกให้

7. เรียกกลับอัตโนมัติ (automatic call back) ในกรณีที่เครื่องโทรศัพท์ภายในที่เป็นเครื่องปลายทางไม่ว่าง ผู้ใช้ต้นทางสามารถโปรแกรมให้เครื่องปลายทางนั้นเรียกกลับมาต้นทางได้ เมื่อเครื่องปลายทางนั้นวางหูลง ทำให้ผู้ใช้ต้นทางไม่จำเป็นต้องนั่งเฝ้าหมุนทดสอบเรียกอยู่ตลอดเวลา (เป็นคุณสมบัติเฉพาะ key telephone)

8. การพักสาย (hold) เครื่องโทรศัพท์ภายในเครื่องใดเครื่องหนึ่งสามารถจะพักการสนทนาที่กำลังดำเนินอยู่แล้วเรียกไปยังอีกเครื่องหนึ่งได้ และเมื่อสิ้นสุดการสนทนากับคู่สนทนาใหม่ จะสามารถกลับมาสนทนากับคู่สายเดิมได้

9. บริการมิเตอร์ประจำเครื่อง (Subscriber Private Metet) คือการที่ผู้เช่าสามารถใช้บริการติดตั้งมิเตอร์โทรศัพท์ไว้กับเครื่องโทรศัพท์ได้ โดยทุกครั้งที่มีการใช้โทรศัพท์ เครื่องชุมสายจะส่งสัญญาณบันทึกมิเตอร์มาปรากฏให้เห็นที่มิเตอร์ประจำเครื่องตลอดเวลา

10. บริการแจ้งค่าพูดโทรศัพท์ทางไกลทันที (Immediate Charge Information) คือการที่ผู้เช่าของบริการการใช้โทรศัพท์ทางไกลอุปกรณ์จะพิมพ์รายละเอียดการใช้โทรศัพท์ทางไกลที่เครื่องพิมพ์ทุกครั้ง ถ้าผู้เช่าต้องการทราบค่าบริการ ก็ให้สอบถามที่พนักงานสลับสาย (Operator) ทันที

11. บริการตรวจสอบหมายเลขต้นทาง (Malicious Call Tracing) คือการบริการที่ผู้ขอใช้บริการนี้สามารถทราบได้ว่า โทรศัพท์ที่เรียกเข้ามานั้นโทรมาจากหมายเลขโทรศัพท์ใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2.

2.1 การแสดงของสัญญาณอนาล็อกและสัญญาณดิจิตอล

เมื่อเราต้องการแสดงข้อมูลที่ถูกวัดจากขบวนการทางฟิสิกส์ เราสามารถใช้กราฟหรือตาราง โดยกราฟจะใช้แสดงพารามิเตอร์ทางฟิสิกส์ที่วัดในขบวนการ ซึ่งกราฟจะเป็นการแสดงค่าอนาล็อก (analouge)ของค่าพารามิเตอร์ทางฟิสิกส์ในขณะที่ตารางจะแสดงค่าพารามิเตอร์ทางฟิสิกส์ที่เป็นดิจิตอล (digital)

การเปลี่ยนค่าระหว่างกราฟและตารางนั้นจะมีความสัมพันธ์กันโดย เมื่อต้องการเปลี่ยนค่าจากกราฟไปเป็นตารางนั้น เราจะเลือกค่าที่จุดหนึ่งๆ บนกราฟและอ่านค่าจากสเกลที่กำหนดไว้ที่แกน ในขณะที่การเปลี่ยนค่าจากตารางไปเป็นกราฟนั้นเราจะอ่านค่าจากตารางมาทำการพล็อตจุดและลากเส้นผ่านจุดที่พล็อตขึ้นมา

การอธิบายพื้นฐานเบื้องต้นของ พัลซ์โค้ดมอดดูเลชั่น หรือเรียกย่อๆ ว่า พีซีเอ็ม(Pulse code modulation or PCM) นั้น ในความถี่ของเสียงและระบบการส่งแบบ เอฟดีเอ็ม (FDM) นั้นจะมีการติดต่อของเสียงในรูปแบบของสัญญาณทางไฟฟ้าแบบอนาล็อก แต่ในระบบ พีซีเอ็มนั้น การส่งสัญญาณเสียงผ่านนั้นจะมีลักษณะเช่นเดียวกันกับ ตาราง เมื่อค่าในตารางจะถูกกำหนดในรูปแบบทางไฟฟ้า พีซีเอ็มจะทำการเลือกค่าที่เป็นจุดบนสัญญาณเสียงที่เป็นสัญญาณทางไฟฟ้าที่เป็นแบบ อนาล็อก โดยพิจารณาค่าของจุดนั้นๆที่สเกลของกราฟ ซึ่งจะแสดงค่าแอมปลิจูด และเวลา (amplitude and time) และทำการส่งค่าไปตามสายส่งไปยัง พัลซ์โค้ดมอดดูเลเตอร์ (Pulse code demodulator) และพัลซ์โค้ดมอดดูเลเตอร์ จะทำการพล็อกตารางของค่าสัญญาณเสียงและวาดกราฟผ่านระหว่างจุดต่อจุด ซึ่งผลที่ได้จะเป็นกราฟของสัญญาณเสียงที่มีลักษณะเป็นแบบอนาล็อก

2.2 ขบวนการเบื้องต้นของ พีซีเอ็ม

ในขบวนการการเลือกจุดต่างๆบนกราฟสัญญาณเสียงที่เป็น แบบอนาล็อกที่เรียกว่าการสุ่มตัวอย่าง (sampling) นั้น ค่าที่วัดออกมานั้นเรียกว่าค่าสุ่มตัวอย่าง (samples) เมื่อมีการสุ่มตัวอย่างอันดับแรกนั้นต้องมีการแปลงค่าให้ออกมาเป็นรูปดิจิตอล โดยการสุ่มตัวอย่างจะเลือกทำตามจังหวะและระยะเวลาที่กำหนดไว้ ค่าแอมปลิจูดของการสุ่มตัวอย่างนี้สามารถกำหนดได้ว่าเป็นค่าในย่านแอมปลิจูดของสัญญาณเสียง เมื่อวัดค่าแอมปลิจูดจากการสุ่มตัวอย่าง ซึ่งค่าเหล่านี้จะถูก ควอนไตส์(quantizing) ทำให้ค่าแอมปลิจูดทั้งหมดที่ได้จากการสุ่มตัวอย่างระหว่างค่าสองค่าบนสเกลจะมีค่าควอนไตส์เหมือนกัน จำนวนของตัวอย่างที่ทำการควอนไตส์จะถูกแยกออกจากกันโดยจะมีค่าเท่า

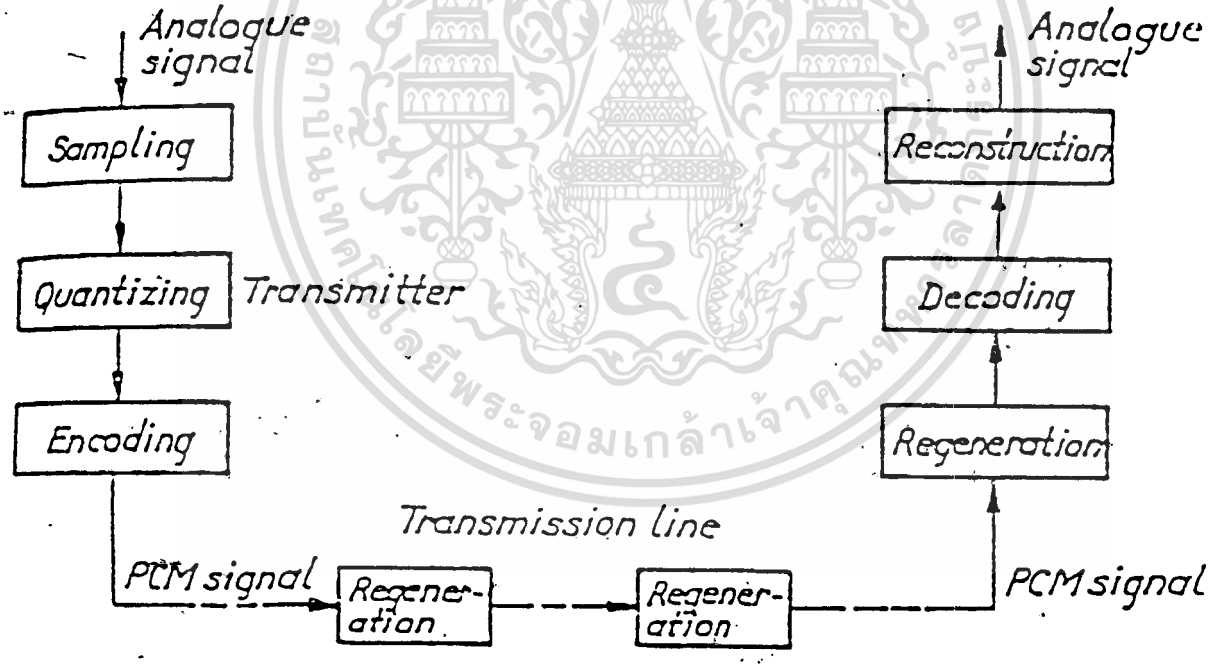
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กับค่าบนสเกลเท่านั้น การควอนไตส์ตัวอย่าง แต่ละอันจะถูกแทนที่เป็นค่าบนสเกล โดยเรารู้ถึงค่าพิกัดของแกนที่กำหนดเป็นค่า แอมปลิจูด ของการสุ่มตัวอย่าง

กรรมวิธีของการสุ่มตัวอย่าง (Sampling) และการควอนไตส์ (Quantizing) จะให้ค่าดิจิตอล ที่แทนสัญญาณเสียงที่เกิดขึ้นออกมา แต่ไม่เหมาะสำหรับการส่งไปตามสายหรือตามระบบการส่งของวิทยุ จึงจำเป็นที่ต้องมีการแปรรูปแบบของสัญญาณที่แตกต่าง ซึ่งกรรมวิธีที่ใช้นี้เรียกว่า การเข้ารหัส (encoding) ซึ่งโดยปกตินั้นค่าที่ได้จากการสุ่มตัวอย่างนั้นจะถูกเข้ารหัสให้อยู่ในรูปแบบของไบนารี ดังนั้นค่าที่ได้จากการสุ่มตัวอย่างจะอยู่ในกลุ่มของเลขไบนารี ตามปกติแล้วค่าควอนไตส์ที่ได้จากการสุ่มตัวอย่างจะมีค่า 1 ใน 256 ค่า รูปแบบของไบนารีที่ได้จากการสุ่มตัวอย่างจะอยู่ในกลุ่มของเลข 8 หลัก ซึ่งกลุ่มเหล่านี้ได้กำหนดชื่อเรียกว่า คำของพีซีเอ็ม (PCM word) จุดประสงค์สำหรับการส่งผ่านค่าไบนารีที่มีค่าเป็น 0 หรือ 1 ก็เพื่อที่จะแสดงการมีหรือการขาดหายของสัญญาณพัลซ์ทางไฟฟ้านั่นเอง

ในสายส่งพัลซ์ที่มีลักษณะเป็น คำของพีซีเอ็ม (PCM word) จะมีความเพี้ยนเกิดขึ้นทีละน้อย ตราบเท่าที่มันสามารถที่จะแยกพัลซ์ที่มีหรือขาดหายไป จะไม่มีการสูญเสียข้อมูลข่าวสารเกิดขึ้น พัลซ์ที่เกิดขึ้นอย่างต่อเนื่องถูกนำมาขยายใหม่ (regenerated) ตัวอย่างเช่น พัลซ์ที่มีความเพี้ยนมากๆ จะถูกนำมาขยายใหม่ ซึ่งข้อมูลข่าวสารสามารถที่จะส่งไปในระยะทางไกลได้โดยไม่มีความเพี้ยนเกิดขึ้น ซึ่งนี่ก็เป็นข้อดีอย่างหนึ่งของการส่งผ่านข้อมูลแบบดิจิตอล ทางด้านเครื่องรับ คำของพีซีเอ็ม จะถูกถอดรหัส แล้วผ่านการควอนไตส์ของค่าสุ่มตัวอย่าง ออกมาเป็นสัญญาณอนาล็อก ซึ่งสัญญาณอนาล็อกที่ออกมาจะแตกต่างกับสัญญาณอนาล็อกที่ป้อนเข้ามาเพียงเล็กน้อยเท่านั้น ซึ่งค่าแตกต่างนี้คือ ค่าความเพี้ยนจากการควอนไตส์ (Quantizing distortion) แผงผังการทำงานของ ขบวนการ พีซีเอ็ม ได้แสดงดังรูปที่ 1.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1. แผงผังของพัลซ์โค้ดมอดดูเลชั่น (พีซีเอ็ม)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 เงาของการสุ่มตัวอย่าง (SAMPLING SPECTRA)

ในการอธิบายถึงกรรมวิธีในการสุ่มตัวอย่าง (Sampling) ได้ใช้สมการทางคณิตศาสตร์อธิบายเงาของความถี่ (Frequency Spectra) ของข้อมูลของสัญญาณโดยพิจารณาถึงรูปคลื่นของการสุ่มตัวอย่าง ที่อยู่ในพังค์ชันของ S(t) ดังแสดงดังรูปที่ 2.a ที่มีความกว้างของพัลซ์คงที่คือมีค่าเท่ากับ τ โดยมีคาบของเวลาเท่ากับ T วินาที ซึ่งคลื่นของการสุ่มตัวอย่าง S(t) จะมีค่าเป็น

$$S(t) = \begin{cases} A, & \text{when } -\tau/2 < t < \tau/2 \\ 0, & \text{when } \tau/2 < t < -T/2 \end{cases}$$

เงาของความถี่ของคลื่นจะไม่ต่อเนื่อง โดยจะมีค่าอยู่ในช่วง $w = 2\pi / T$ เงาของS(t)จะเป็นกราฟที่แสดงถึงการอนุกรมที่เท่ากันของสเปซไลน์ (spaced lines) ซึ่งความสูงจะเป็นสัดส่วนกับค่าแอมปลิจูดของส่วนประกอบของความถี่ที่แยกออกจากกัน ดังแสดงในรูป 2.b มันจะเป็นการนำค่าเอ๊กโปเนนเชียล (Exponential) ของอนุกรมฟูเรียร์ (Fourier series) ของ S(t) มาใช้โดยการอิทิเกรตอยู่ในช่วง $-\tau / 2$ ถึงช่วง $\tau / 2$ ดังนั้นจะได้ว่า

$$S_n = 1/T \int S(t)\, e^{-(jn2\pi / T)t}\, dt$$

$$= (A / n\pi) \sin (n\pi\tau / T)$$

พิจารณาช่วงดิวตี้ไซเกิล $d = \tau / T$ ดังนั้นจะได้ว่า

$$S_n = (A / n\pi) \sin n\pi d$$

$$= A d \{ (\sin n\pi d) / n\pi d \} \quad ...(1)$$

ค่าสเปคตรัมจะเป็นไปตามสมการที่ 1. โดยกราฟจะเป็นไปตามรูปที่ 2.b ซึ่งเป็นพังค์ชันของ sinc และในรูปที่ 2.c จะเกิดจากการสุ่มตัวอย่างเชิงคณิตศาสตร์ตลอดทั้งหมด ถ้ากำหนดให้ $x = nd$ ดังนั้น sinc จะมีค่าเป็นดังนี้

$$\text{sinc}(x) = (\sin \pi x) / \pi x \quad .....(2)$$

การเปลี่ยนรูปของ ฟูเรียร์ คาบของพังค์ชัน s(t) กับคาบเวลา T คือ

$$s(t) = \Sigma S_n e^{(jn2\pi / T)t}$$

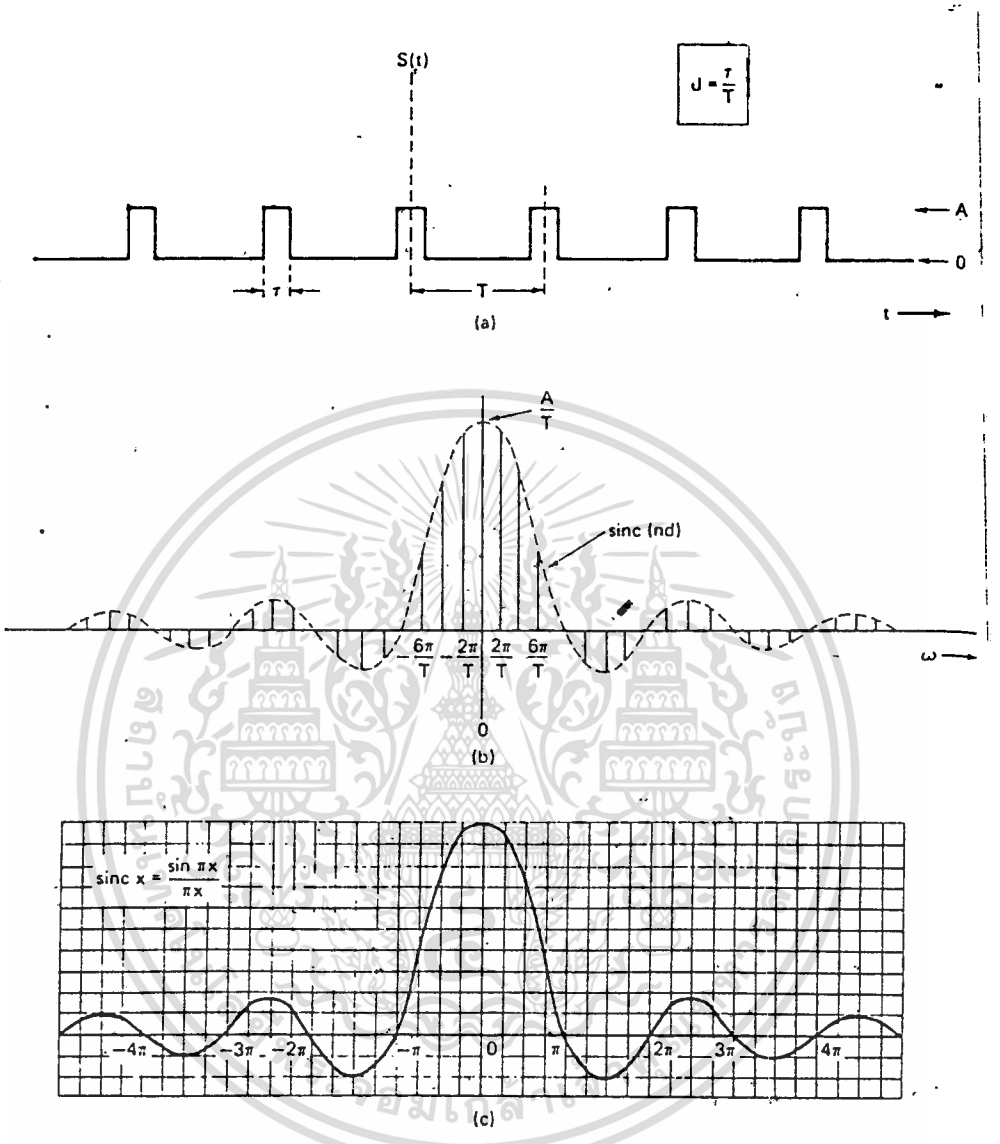
แต่ว่า $w_o = 2\pi / T$

ดังนั้น $s(t) = \Sigma S_n e^{jnwo\, t}$

เมื่ออยู่ในรูปการแปลงฟูเรียร์จะได้ว่า

$$\mathcal{F}\, s(t) = F \Sigma S_n e^{jnwo\, t} \quad ....(3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2. สเปคตรัมของสัญญาณสุ่มตัวอย่าง (a) คลื่นสุ่มตัวอย่าง (b) สเปคตรัมของคลื่นสุ่มตัวอย่าง (c) รูปฟังค์ชัน sinc

และผลของการแปลงฟูเรียร์ของ $e^{jnw_0 t}$ คือ

$$\mathcal{F}\left(e^{jnw_0 t}\right) = 2\pi\,\delta(w - nw_0)$$

ดังนั้นจะได้ว่า

$$\mathcal{F}\,s(t) = 2\pi \sum S_n\,\delta(w - w_0) \qquad .....(4)$$

จากความสัมพันธ์ของสมการที่ 1 และสมการที่ 4 จะได้ว่า

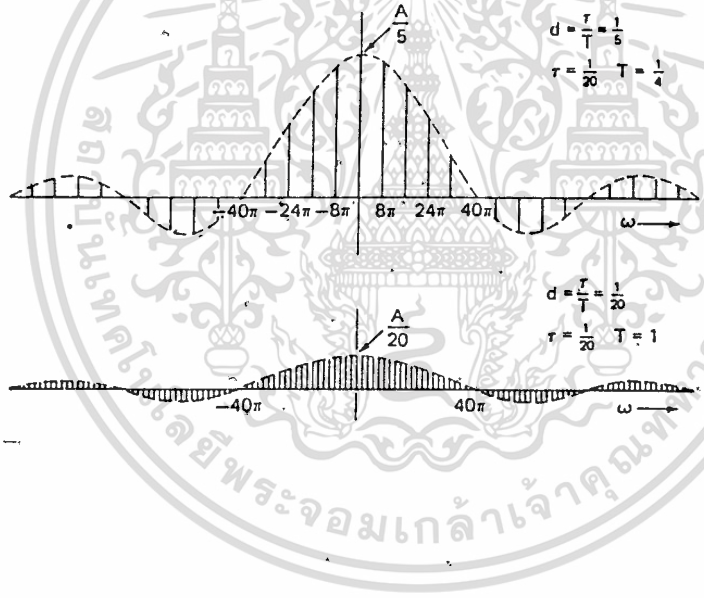
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S(t) = 2\pi Ad \sum \{ (\sin n\pi d)/n\pi d \} \delta (w - w_o) \quad \ldots\ldots\ldots (5)$$

จากสมการ จะแสดงถึงเสปคตรัมของความถี่ของคลื่น S(t) และจะมีค่าอยู่ในช่วง $w = 0 , +/- w_o , +/- 2w_o , \ldots , +/- nw_o$ ค่าแอมปลิจูดของการกระตุ้นที่ $w = nw_o$ ถูกกำหนดโดย

$2\pi Ad \ \text{sinc}(nd)$

ในรูปที่ 3. แสดงกราฟที่มีค่า d เท่ากับ 1/5 และ d เท่ากับ 1/20



รูปที่ 3. ความถี่สเปคตรัมของคลื่นสุ่มตัวอย่าง S(t)

ค่าสัญญาณสุ่มตัวอย่าง $f_s(t)$ จะถูกพิจารณาในเทอมของ f(t) คือสัญญาณข่าวสาร (massage signal) และ S(t) คือรูปคลื่นการสุ่มตัวอย่าง โดยจะมีความสัมพันธ์ดังนี้

$$f_s(t) = f(t)S(t)$$

ใช้ ทฤษฎีคอนโวลูชั่น (convolution theorem) จะได้ว่า

$$F_s(w) = (1/2\pi) \times F(w) \times S(w) \quad \ldots\ldots (5)$$

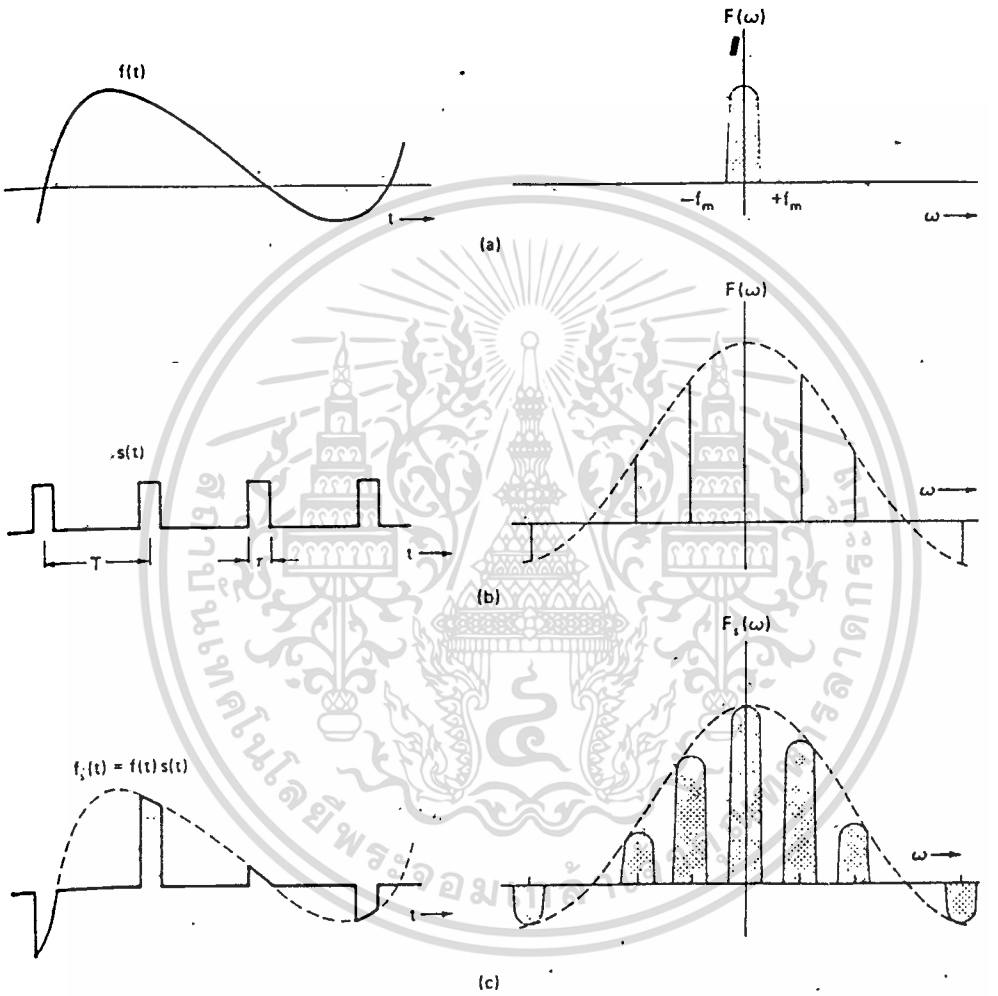
จากความสัมพันธ์ของสมการที่ 4 และที่ 5 จะได้ว่า

$$F_s(w) = (1/2\pi) \times 2\pi AdF(w) \sum \{(\sin n\pi d)/n\pi d\} \delta(w - nw_o)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$= Ad \sum \{(\sin n\pi d)/n\pi d\} \times F(w - nw_o) \quad \ldots\ldots(6)$

กราฟของสมการที่ 6. จะแสดงในรูปที่ 4.c



รูปที่ 4. คลื่นและสเปคตรัมสำหรับการสุ่มตัวอย่างแบบปกติ (a) สัญญาณข่าวสาร (b) สัญญาณสุ่มตัวอย่าง (c) สัญญาณ PAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 การสุ่มตัวอย่างเชิงอุดมคติ (IDEAL SAMPLING)

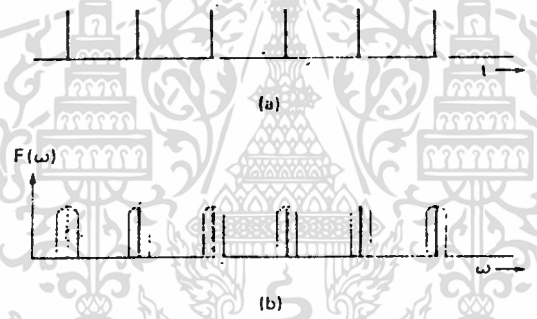
เมื่อเราพิจารณาค่าจำกัดของการสุ่มตัวอย่าง เมื่อคลื่นการสุ่มตัวอย่างคือ การกระตุ้นเชิงอนุกรมที่มีค่าความกว้างเข้าใกล้ ศูนย์ ($\tau - 0$, $d - 0$) จะเป็นการสุ่มตัวอย่างเชิงอุดมคติ เพราะเหตุว่า sinc (0) มีค่าเท่ากับ 1 ดังนั้นค่าสเปคตรัมสำหรับการสุ่มตัวอย่างเชิงอุดมคติจะมีค่าเป็น

จาก $$F_s(w) = Ad \sum \{(\sin n\pi d)/n\pi d\} \times F(w - nw_o)$$

ดังนั้น

$$F_s(w)_{ideal} = A/T \sum F(w - nw_o) \quad .....(7)$$

กราฟของสมการที่ 7 จะแสดงไว้ในรูปที่ 5 เมื่อค่าสเปคตรัมของสัญญาณข่าวสาร F(w) ปรากฏที่ตำแหน่งเดียวกันกับการสุ่มตัวอย่างตามธรรมชาติในขณะที่ค่าแอมปลิจูดจะมีค่าคงที่

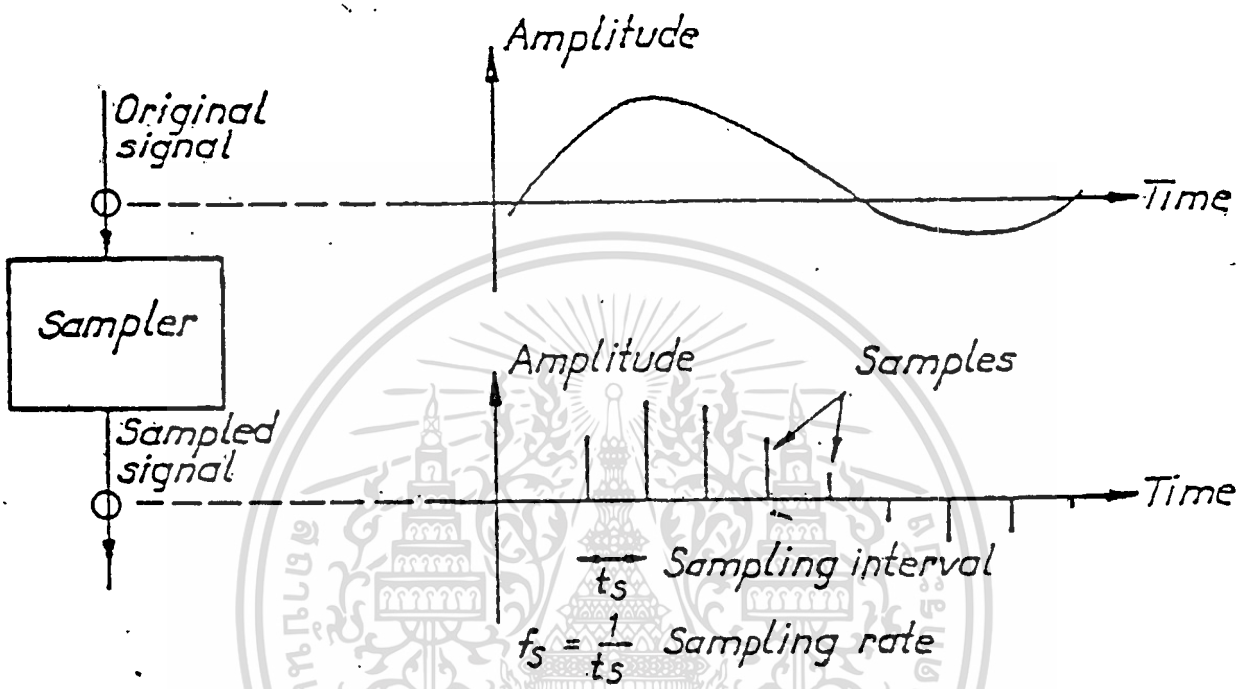


รูปที่ 5. คลื่นและสเปคตรัมของการสุ่มตัวอย่างแบบอุดมคติ (a) สัญญาณสุ่มตัวอย่าง ($\tau = 0$) ; (b) สเปคตรัมของสัญญาณสุ่มตัวอย่าง

2.2.3 ทฤษฎีของการสุ่มตัวอย่าง (SAMPLING THEOREM)

การสุ่มตัวอย่างคือการแบ่งเอาค่าชั่วขณะ (instantaneous) ของสัญญาณอนาล็อกที่เวลาใดเวลาหนึ่งมาโดยช่วงห่างของเวลาที่หยิบนั้นต้องเท่ากันตลอด ดูรูปที่ 6.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6. ขบวนการการสุ่มตัวอย่าง (sampling process)

สัญญาณที่ได้จากการสุ่มตัวอย่างจะเป็นพัลซ์แบบต่อเนื่อง แทนสัญญาณอนาล็อกดั้งเดิม

ถึงเวลานี้เราควรจะทราบว่าการสุ่มตัวอย่าง (sample) คืออะไรและจำนวนครั้งของการสุ่มตัวอย่างต่อวินาทีจะเป็นเท่าไร คำตอบของคำถามนี้จะบอกได้ด้วยทฤษฎีการสุ่มตัวอย่าง คือ เป็นการเลือกเอาข้อมูลของสัญญาณในช่วงหนึ่งๆรวมกันกับอีกสัญญาณหนึ่งในช่วงถัดไป

สัญญาณที่ได้จากการสุ่มตัวอย่างนี้จะประกอบไปด้วยข้อมูลต่างๆที่เกี่ยวข้องกับสัญญาณเดิมทั้งหมด ถ้าหากว่า

- สัญญาณเดิมนั้นอยู่ในย่านความถี่ที่จำกัดเอาไว้ โดยไม่มีความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประกอบอื่นๆที่ไม่ได้อยู่ในสเปคตรัมของความถี่ B

- อัตราการสุ่มตัวอย่างจะต้องมีค่าเท่ากับหรือมากกว่า 2 เท่าของ B ($f_s = 2B$)

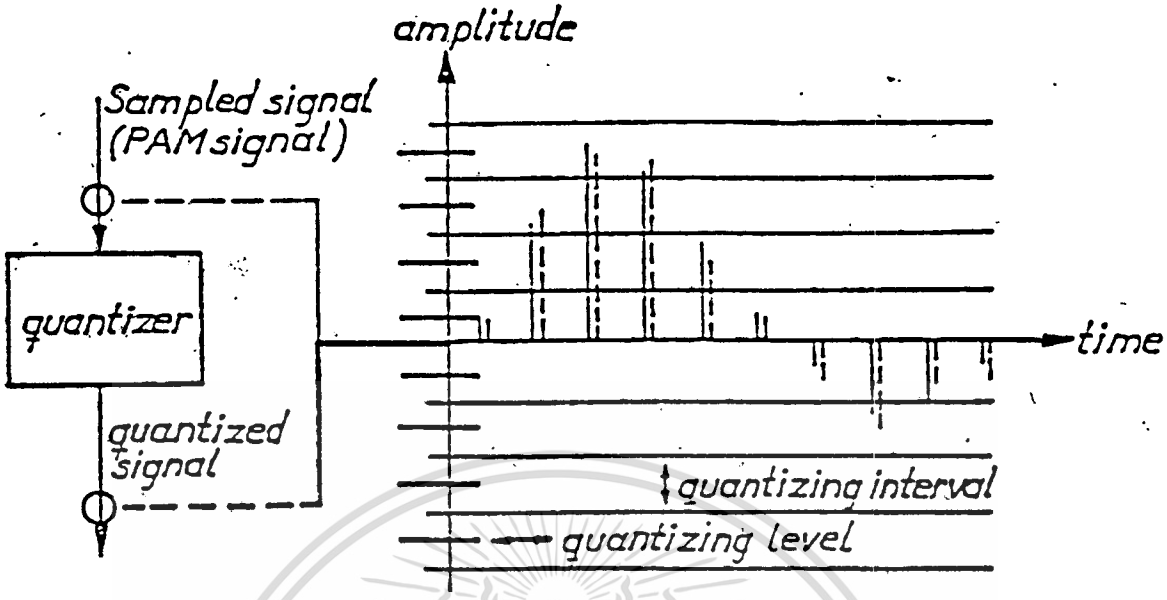
สำหรับงานทางด้านโทรศัพท์นั้น จะใช้สเปคตรัมเสียงพูดในช่วงความถี่ 300 ถึง 3400 กิโลเฮริทซ์ สเปคตรัมเสียงพูดของมนุษย์นั้นจะอยู่ในช่วงความถี่ต่ำตั้งแต่ 100 เฮริทซ์ จนถึงความถี่เสียงที่สูงมาก

เมื่อ B คือความถี่สูงสุดที่มนุษย์สามารถได้ยินได้ ในที่นี้คือ 3400 กิโลเฮริทซ์ ในที่นี้ประมาณค่าไว้เท่ากับ 4000 กิโลเฮริทซ์

2.3 การควอนไตส์ (QUANTIZING)

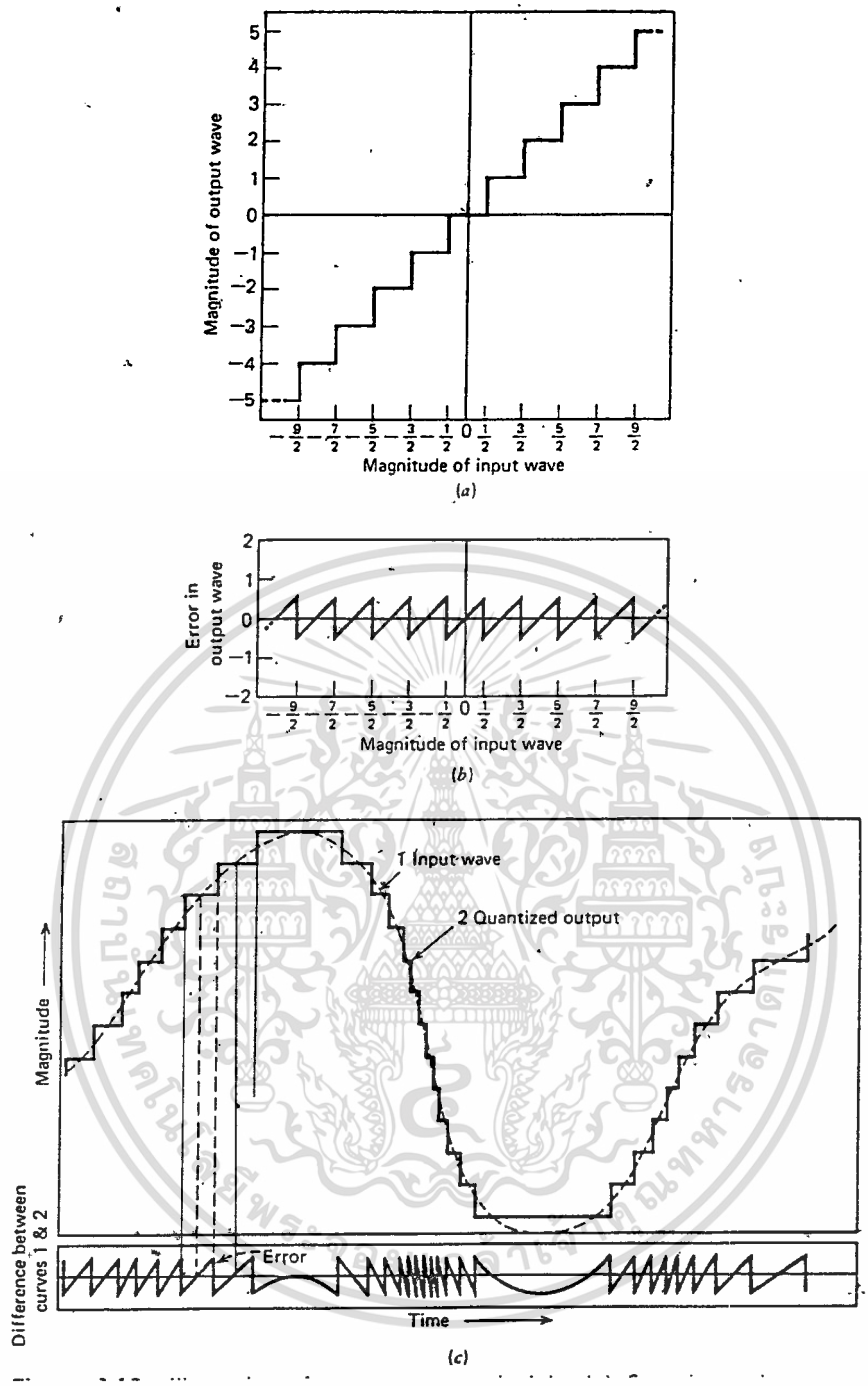
สัญญาณที่เป็นแบบต่อเนื่อง (continuous signal) เช่น สัญญาณเสียงพูดของคนเราจะมีช่วงกว้างของขนาดของสัญญาณ และในการสุ่มตัวอย่าง (simples) สัญญาณต่อเนื่อง โดยทั่วไป ช่วงกว้างของขนาดของสัญญาณ เราจะกำหนดเป็นระดับของขนาดค่าแอมปลิจูดในแต่ละระดับ หรือพูดง่ายๆว่า การเปลี่ยนสัญญาณอนาล็อกไปเป็นสัญญาณดิจิตอล โดยการสุ่มตัวอย่าง เราเรียกขบวนการนี้ว่า ขบวนการควอนไตส์ (Quintizing process) ดังแสดงไว้ในรูปที่ 7 ซึ่งหมายถึงเส้นตรงที่ใช้แทนความสัมพันธ์ระหว่างอินพุทกับ เอาว์พุทของระบบที่มีสัญญาณเป็นเชิงเส้น (linear continous system) คือมีคุณลักษณะในการเปลี่ยนเป็นแบบขั้นบันได ซึ่งแสดงไว้ในรูปที่ 8 ค่าความแตกต่างระหว่างชั้นของระดับ เราเรียกว่า ควันตัม (Quantum)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7 ขบวนการควอนไตส์ (Quantizing process)

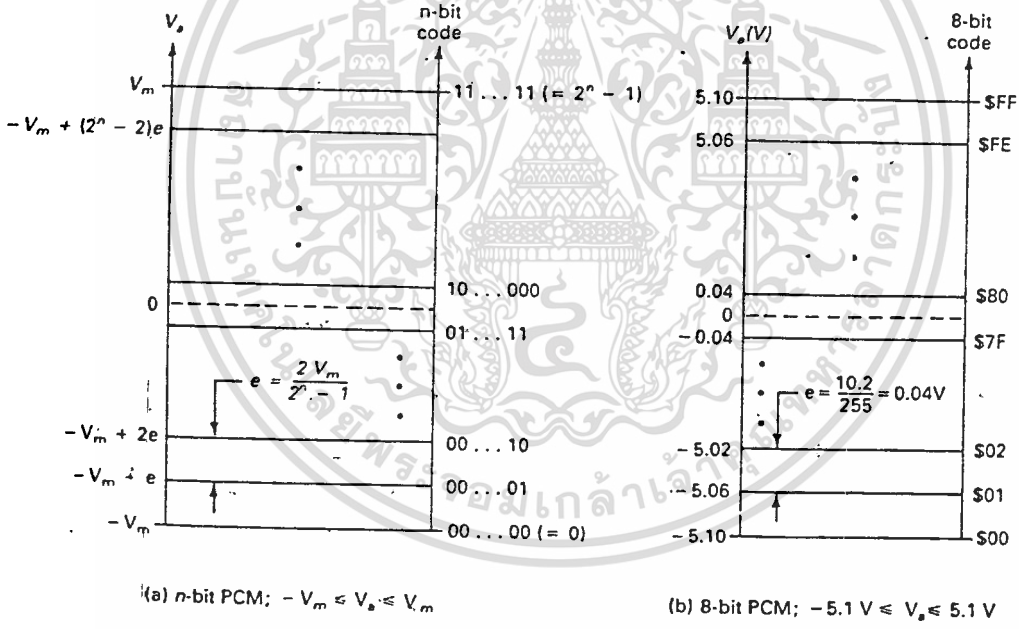
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8 แสดงหลักการพื้นฐานเบื้องต้นของการควอนไตส์ (a) คุณลักษณะของการควอนไตส์ (b) คุณลักษณะของข้อผิดพลาดในการควอนไตส์ (c) สัญญาณที่ถูกควอนไตส์ และ กราฟของค่าผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ข้อผิดพลาดจากการควอนไตส์ (Quantizing error) จะประกอบด้วย ความแตกต่าง ระหว่าง อินพุท กับ เอาว์พุท ของ ควอนไตส์เซอร์ (Quanitzer) ค่าของข้อผิดพลาดจากการควอนไตส์ จะมีค่าสูงสุดคือ เท่ากับขนาดครึ่งหนึ่งของ ระดับขั้นของควันตัม (Quantum step) ชนิดของการเปลี่ยนแปลงของความผิดพลาด (error) ต่อเวลา ได้แสดงไว้ดังรูปที่ 8.



รูปที่ 9 n - bit PCM coding of analoug signal , Va

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 9 ได้แสดงถึงความสัมพันธ์ระหว่าง ค่าโวลเตจที่ได้จากการสุ่มตัวอย่าง (sample voltage) ,Va กับจำนวน n บิทของค่าของโค๊ด ซึ่ง Va จะมีค่าอยู่ในช่วงระหว่าง + Vm ถึง - Vm โวลท์ ส่วนรูป b จะแสดงถึงตัวอย่างตัวอย่างจำนวนที่ n มีค่าเท่ากับ 8 และ Vm เท่ากับ 5.1 โวลท์ (โค๊ดที่แสดงดังรูปเป็นค่าของเลขฐานสิบหก) ค่าแรงดันที่เพิ่มขึ้นระหว่างระดับ (level) หนึ่ง จะมีค่าเท่ากับ e ซึ่ง e มีค่าเท่ากับ สมการดังนี้คือ $2Vm / (2^n - 1)$ จากการสุ่มตัวอย่างหนึ่งครั้ง ค่าสูงสุดของข้อผิดพลาดจากการควอนไตส์ มีค่าเท่ากับ +/- e/2

เมื่อเราพิจารณาถึงเปอร์เซนต์ของ Va เราจะเห็นว่ามันมีค่ามากขึ้นเมื่อขนาดของ Va มีขนาดเล็กลง ผลอันนี้จะแสดงให้เห็นดังรูป ซึ่งค่าแฟรกชัน (fraction) q สามารถแสดงได้ดังสมการ

$$q = e / (2 | Va |)$$

$$q = Vm / \{ (2^n - 1) | Va | \}$$

$$\%q = 100 \times Vm / \{ (2^n - 1) | Va | \}$$

สมการที่สำคัญซึ่งจะจัดใหม่เพื่อหาค่าของ n คือ

$$n = \log \{ [(100 / \%q)(Vm / | Va |) + 1] / \log 2 \}$$

$$n = 3.32 \log [(100 / \% q) (Vm / | Va |) + 1]$$

ในรูปแบบจากสมการสามารถใช้คำนวณหาค่าน้อยที่สุดของ n ที่จำเป็นตาม %q จากค่าอัตราส่วนเฉพาะ Vm / Va จากตัวอย่าง เราอาจจะบอกได้ว่า n ที่จำเป็นจาก เปอร์เซนต์ข้อผิดพลาดจากการควอนไตส์ ที่ 10 % เมื่อ Va มีค่า 5 % ของค่าสูงสุด

$$n > 3.32 \log [(100 / 10)(1 / 0.05) + 1]$$

$$= 7.65$$

ดังนั้นจำนวนบิทที่น้อยที่สุดที่จะใช้คือ จำนวน 8 บิทโค๊ด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

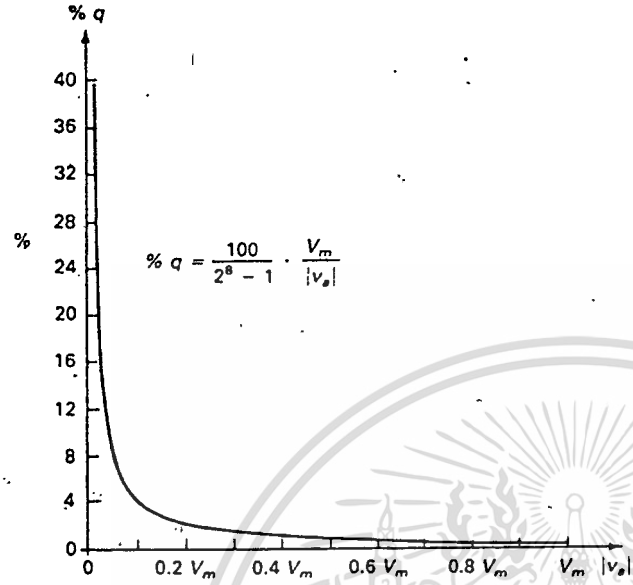


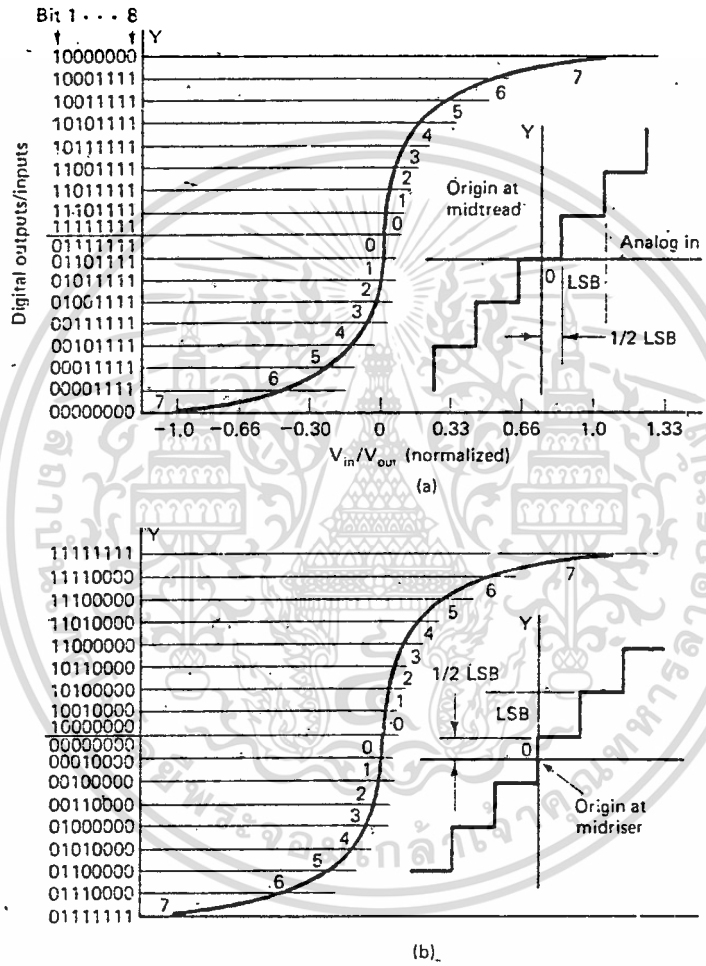
Figure 8.6 Percent quantization error

รูปที่ 10. เปอร์เซนต์ข้อผิดพลาดของการควอนไตส์

ในระบบการชดเชย (companding system) เนื่องจากสัญญาณเสียงไม่ได้มีแอมปลิจูดคงที่ ดังนั้นในขณะที่สัญญาณเล็กๆถ้าหากใช้สเตปไซดส์ คงที่ขนาดความเพี้ยนจะมีค่าประมาณคงที่ ทำให้อัตราส่วนสัญญาณต่อความเพี้ยน (Signal to Disturtion Ratio , S/D) ลดลง ทำให้คุณภาพเสียงเล็กๆแย่กว่าที่สัญญาณใหญ่ๆ นอกจากนี้ลักษณะการกระจายทางสถิติของสัญญาณเสียง จะมีโอกาสพบสัญญาณขนาดเล็กได้มากกว่าสัญญาณขนาดใหญ่ๆ ดังนั้นจึงจำเป็นจะต้องทำให้อัตราส่วนสัญญาณต่อความเพี้ยนค่อนข้างคงที่ตลอดช่วงของสัญญาณตั้งแต่ขนาดเล็กจนใหญ่ด้วยการใช้รหัสแบบไม่เป็นเชิงเส้น คือมีสเตปไซดส์ใหญ่ในช่วงสัญญาณใหญ่ และสเตปไซดส์เล็กลงเมื่อสัญญาณเล็กลง ทำให้ขนาดความเพี้ยนเล็กลงตามขนาดสัญญาณ . นั่นคือ อัตราส่วนสัญญาณต่อความเพี้ยนจะมีค่าค่อนข้างคงที่ได้ลักษณะของการไม่เป็นเชิงเส้น ดังกล่าวจะมีลักษณะเป็น ลอการิทึม (logarithm) กฎหรือสมการที่ใช้ในการใส่รหัสแบบไม่เป็นเชิงเส้น ซึ่ง CCITT ยอมรับเป็นมาตราฐานมีอยู่ 2 แบบ คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

law ซึ่งใช้ในอเมริกาเหนือ และ A law ซึ่งใช้ในยุโรป ทั้ง 2 แบบไม่มีความแตกต่างในการใช้งานมากนัก จนไม่อาจบอกได้ว่าแบบใดดีกว่า รูปที่ 11. แสดงรูปของ law และ A - law



รูปที่ 11. (a) μ - 255 law ; (b) A - law

กฎของ μ- law อธิบายโดย B.smith in 1959 รูปแบบของลอกการิมิค (logarithmic) ของ μ- law และสามารถกำหนดความสัมพันธ์ได้ดังสมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_c = [\, a \log (1 + \mu V_i / a)]/ \log (1 + \mu)$$

.....จาก $0 < V_i < a$

$$V_c = [- a \log (1 - \mu V_i / a)]/ \log (1 + \mu)$$

.....จาก $-a < V_i < 0$

.....(1)

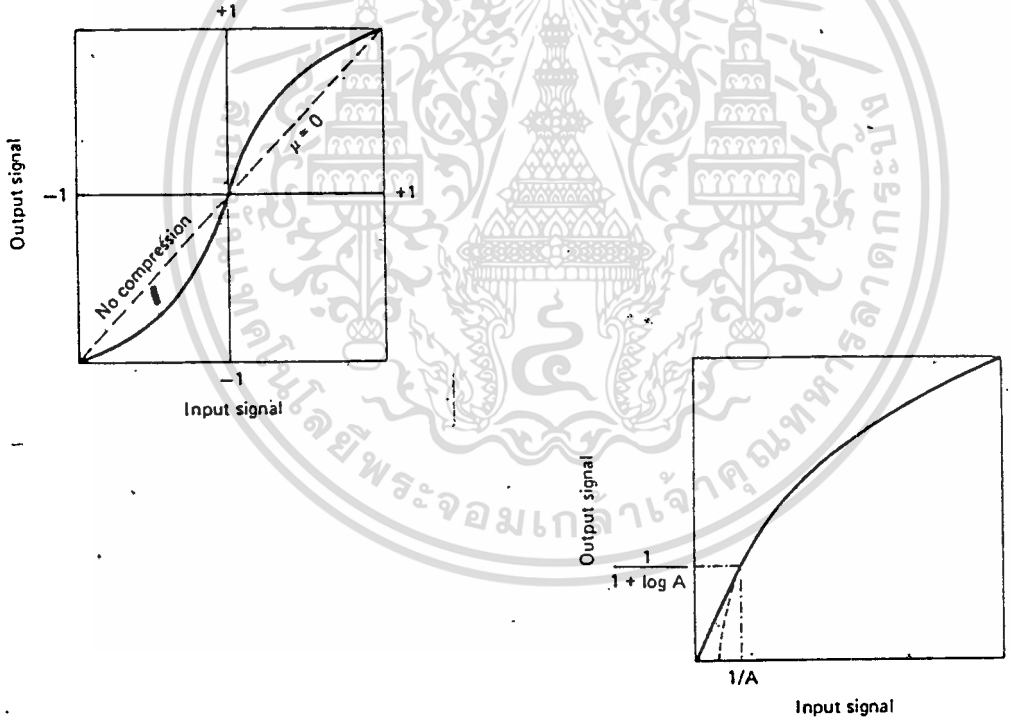
โดยที่ V_i = input signal amplitude หน่วยเป็น โวลท์

V_c = compressed signal amplitude หน่วยเป็น โวลท์

ช่วงการทำงานจะกำหนดค่าของ a มีค่าดังนี้

$$(V_c)_{V_i = a} = a \quad .....(2)$$

ระดับของการอัด (degree of compression) อาจจะเปลี่ยนแปลงโดยการเปลี่ยนค่าของค่าพารามิเตอร์ ของการอัด (compression parameter)ซึ่งจะแสดงดังรูป 12.



รูปที่ 12. compression produce by (a) μ-law ; (b) A - law

จากสมการที่ 1. จะได้ว่า

$$V_c = [\log (1 + \quad V_i)/\log (1 + \quad)]$$

ในทางปฏิบัติ ค่าของ มักจะถูกเลือกใช้มีค่าเท่ากับ 100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

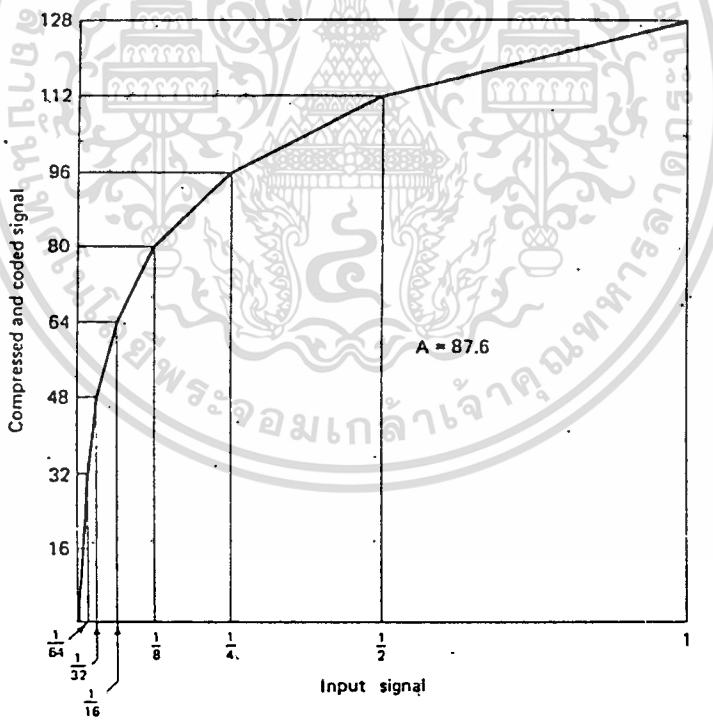
A-law กำหนดโดย K.W eattermole ซึ่งจะมีสมการในสภาวะปกติเป็น

$$Vc = A V_i / (1 + \log A) \quad ; \quad 0 < Vi < 1/A$$

$$Vc = [1 + \log (A V_i)] / (1 + \log A) \quad ; \quad 1/A < Vi < 1$$

การใช้กฎ law ที่ใช้กับ โครงข่ายโทรศัพท์ ของ อเมริกา และ ญี่ปุ่น จะใช้กฎของ law ซึ่งจะกำหนดให้ค่า เท่ากับ 100

และในโครงข่ายโทรศัพท์ของ แอฟริกา อเมริกาใต้ จะใช้กฎ A law ซึ่งจะกำหนดค่า พารามิเตอร์ A = 87.6 รูปที่ 13 แสดงการชดเชยด้วยค่าต่างๆของ A-law



รูปที่ 13. Segment companding curve base on the A-law

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

2.4 การเข้ารหัส (ENCODING)

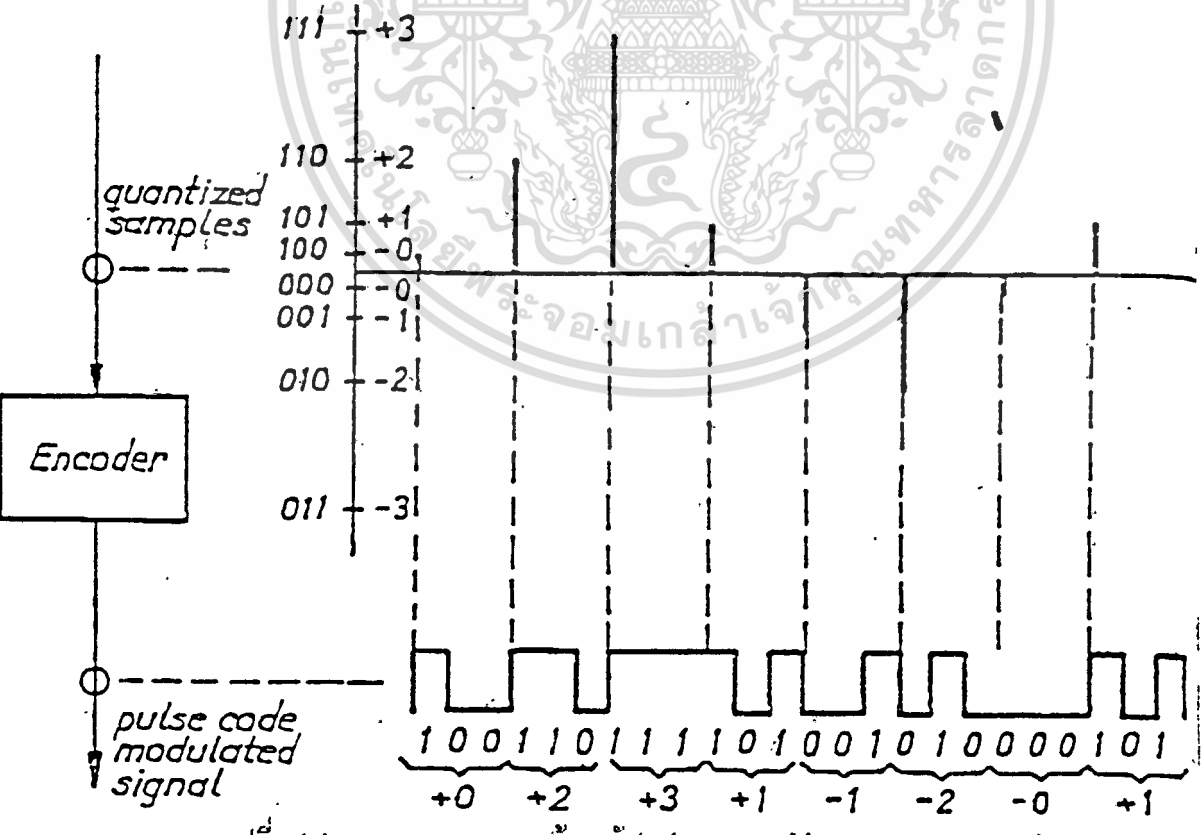
ค่าสุ่มตัวอย่างที่เกิดจากการควอนไตส์ไม่เหมาะสำหรับการส่งข้อมูลออกไป เพราะว่ามันเป็นการยากที่จะสร้างวงจรขยายสัญญาณที่สามารถจะแยกค่าแอมปลิจูดของค่าที่เกิดจากการสุ่มตัวที่มีค่ามากๆ โดยปกติจะมีถึง 256 ค่า

จากการที่เราทราบว่าพัลซ์จะมีอยู่เพียง 2 ระดับ เช่น พัลซ์แบบไบนารี สามารถใช้ในการส่งได้ดี เพราะว่า ง่ายต่อการสร้างส่วนขยายสัญญาณ (regenerate) ระหว่างการส่งสัญญาณ

รูปที่ 11 แสดงสัญญาณควอนไตส์ที่ถูกเข้ารหัสในอุดมคติ (เพียง 8 ระดับควอนไตส์เท่านั้น) ซึ่งมี พีซีเอ็ม เวิด (PCM WORD) เพียง 3 บิท เท่านั้น

ในปัจจุบันนี้ ระบบที่ใช้จะใช้การเข้ารหัสแบบไบนารีของการควอนไตส์ค่าสุ่มตัวอย่างของสัญญาณเสียง ในระบบโทรศัพท์ระดับของการควอนไตส์มีถึง 256 ระดับ ค่าที่สุ่มตัวอย่างแต่ละค่าจะถูกเข้ารหัส (encoded) อยู่ในกลุ่มของโค้ด หรือ พีซีเอ็ม เวิด จะประกอบด้วยพัลซ์แบบไบนารีขนาด 8 บิท

ค่าอัตราการสุ่มตัวอย่าง (sampling rate) มีค่าเท่ากับ 8000 sampling ต่อ วินาที (s)พัลซ์โค๊ดมอดดูเลตของสัญญาณเสียงลูกหนึ่งๆ จะถูกผลิตเป็นสัญญาณดิจิตอลถึง 64 กิโลบิท ต่อ วินาที (kbit/s)

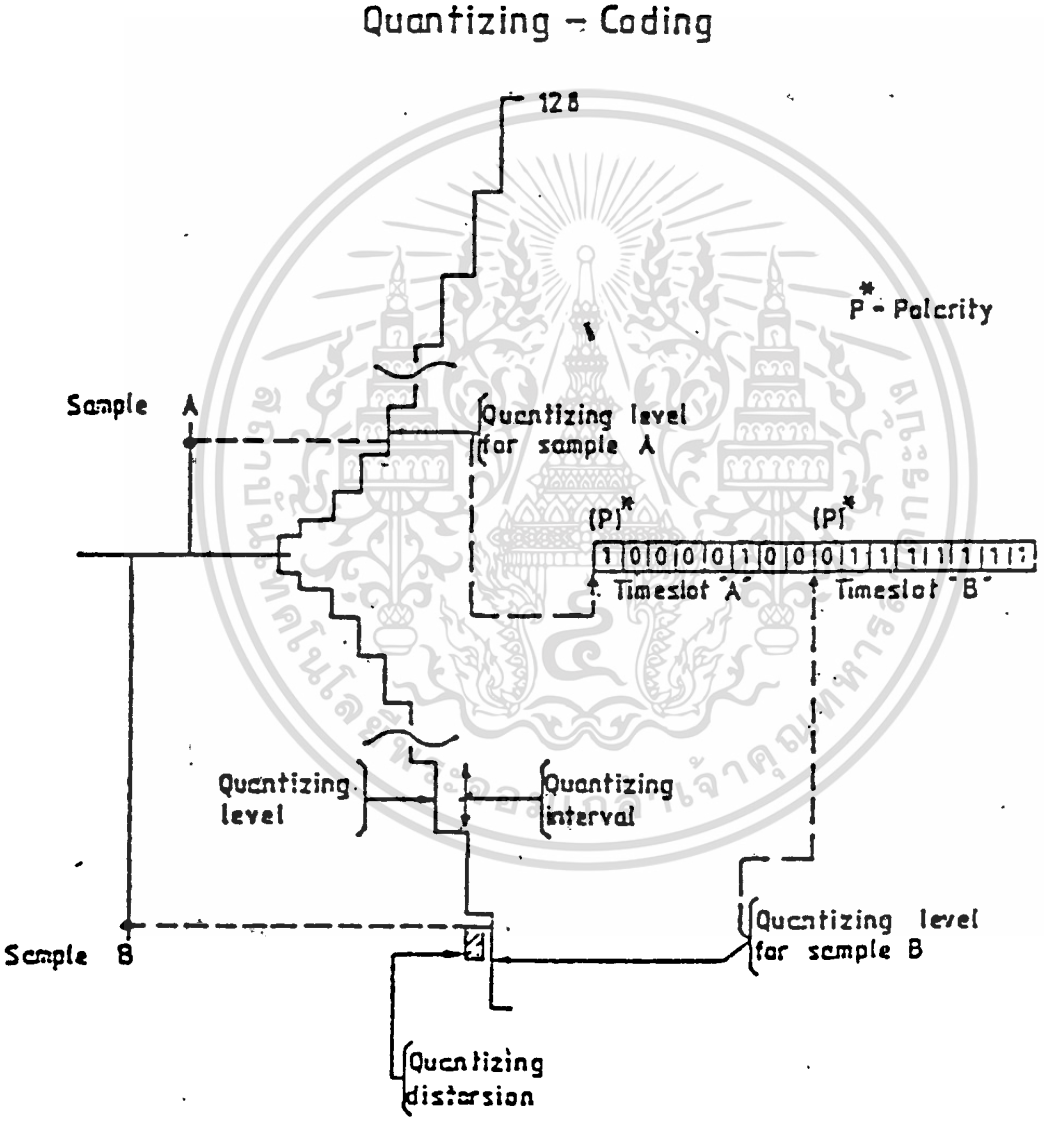


รูปที่ 14. ขบวนการเข้ารหัส (encoding process)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.1 การเข้าโค้ด (CODING)

ค่าไบนารี 8 บิท สามารถมีค่าที่เป็นไปได้ถึง 256 ค่า ในรูปที่ 15



รูปที่ 15. การเข้าโค้ด

จะมีการกำหนดให้บิทนัยสูงสุดเป็นตัวกำหนด ว่าค่าที่เกิดจากการสุ่มตัวอย่างอยู่

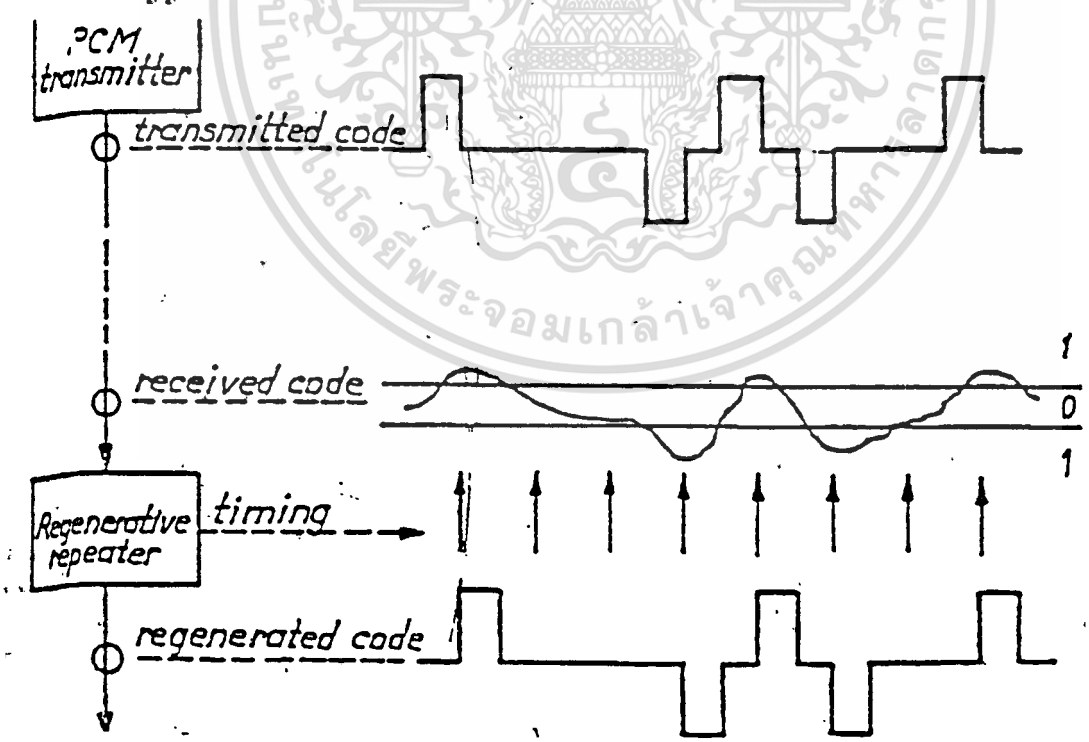
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในช่วงบวกหรือลบ ส่วนอีก 7 บิท ที่เหลือจะเป็นการกำหนดค่าแอมปลิจูดของการสุ่มตัวอย่าง ในรูปพบว่าค่าที่สุ่มตัวอย่างออกมาอยู่ในช่วงบวกค่าบิทนัยสูงสุดจะมีค่าเป็น 1 ในขณะที่ค่าที่สุ่มตัวอย่างออกมาในช่วงลบ ค่าบิทนัยสูงสุดจะมีค่าเป็น 0 ส่วนอีก 7 บิทจะแสดงค่าระดับแอมปลิจูดของการสุ่มตัวอย่างซึ่งมีค่าเป็นไปได้ถึง 128 ค่า

2.5 การนำพัลซ์กลับมาขยายใหม่ (PULSE REGENERATION)

พีซีเอ็ม ที่ลดทอนลงจาก สัญญาณที่เกิดจากการส่งพัลซ์ รูปแบบของพัลซ์ จากจุดเริ่มต้นของข่าวสาร ผลเนื่องจากสัญญาณทั้งหมดที่เหมือนกัน และวิธีการนี้เหมือนกันโดยการส่งการใช้ ทีดีเอม พัลซ์อาจจะบรรจุไปด้วยสัญญาณเสียงพูดสัญญาณภาพและสัญญาณ Telemetry และอื่นๆ การได้เปลี่ยนเกี่ยวกับระบบ พีซีเอม ซึ่งได้เปรียบมากในเรื่องกำลังส่ง ถึงอย่างไรได้พาดพิงไปถึง พื้นฐานของ การนำคลื่นมากลับขยายใหม่

เรามีทางเลือกของการ หลังจากผ่านส่วนการนำพัลซ์กลับมาขยายใหม่ที่ สัญญาณรบกวนในช่วงกลาง ของการส่งซึ่งจะทำให้สัญญาณที่ส่งไปเสียรูปร่างหรือมีค่าผิดไป ซึ่งส่วนของการนำพัลซ์กลับมาขยายใหม่ จะเป็นตัวสร้าง พัลซ์ที่จะส่งออกไปขึ้นมาใหม่ให้มีลักษณะเหมือนเดิม รูปที่ 16. แสดงถึงการนำสัญญาณพีซีเอ็มกลับมาขยายใหม่



2.6. การถอดรหัส (DECODER)

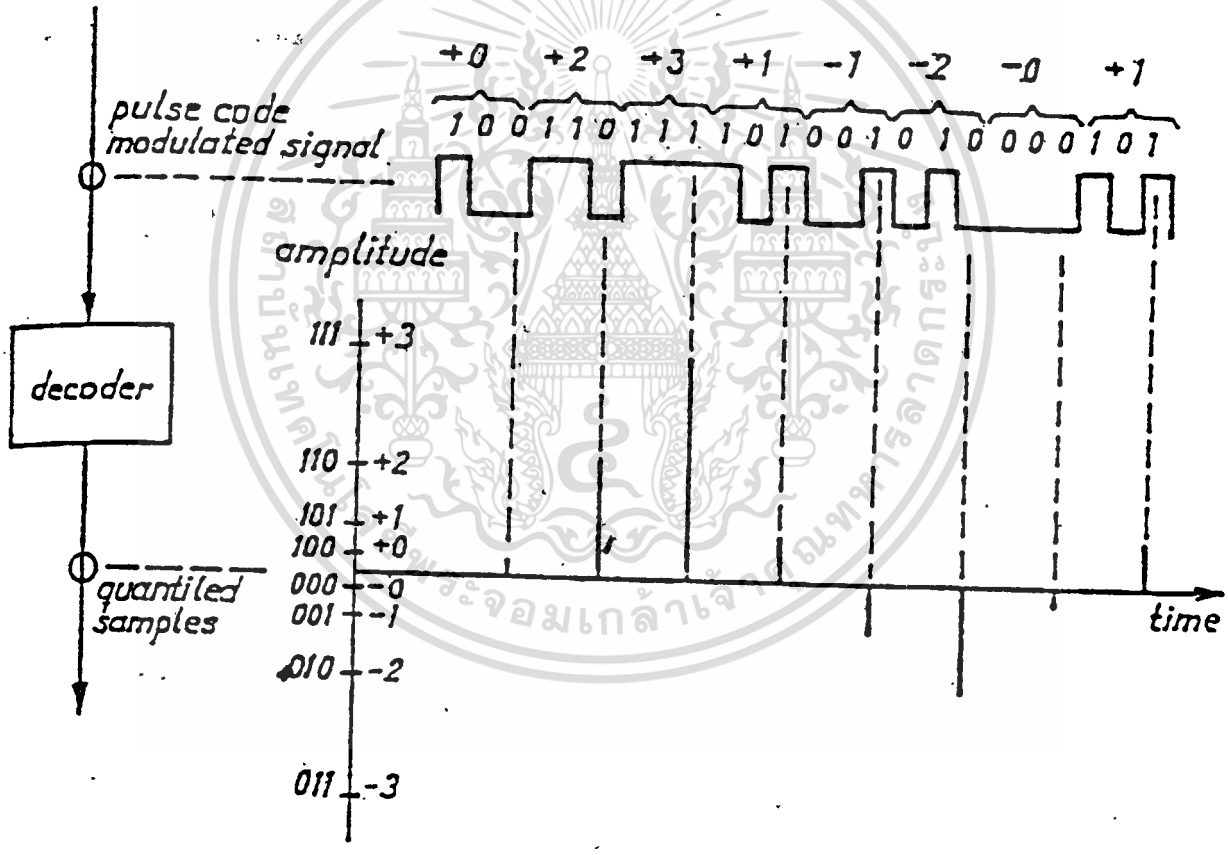
ขบวนการทางด้านรับ (reciever) จะทำการเปลี่ยนแปลงสัญญาณเข้า (imcomming) ที่เป็นสัญญาณ พีซีเอ็ม ให้เป็นสัญญาณอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยเริ่มจากการนำสัญญาณมาสร้างเป็นสัญญาณใหม่และการถอดรหัส และการสร้างให้เป็นสัญญาณอนาล็อก

ขบวนการสร้างสัญญาณใหม่ (Regeneration process) จะกระทำอยู่บนสายส่ง (transmission line) ซึ่งจะเป็นการเอาพัลซ์ที่เพี้ยนไปจากเดิมมาสร้างให้เป็นสัญญาณสี่เหลี่ยนลูกใหม่

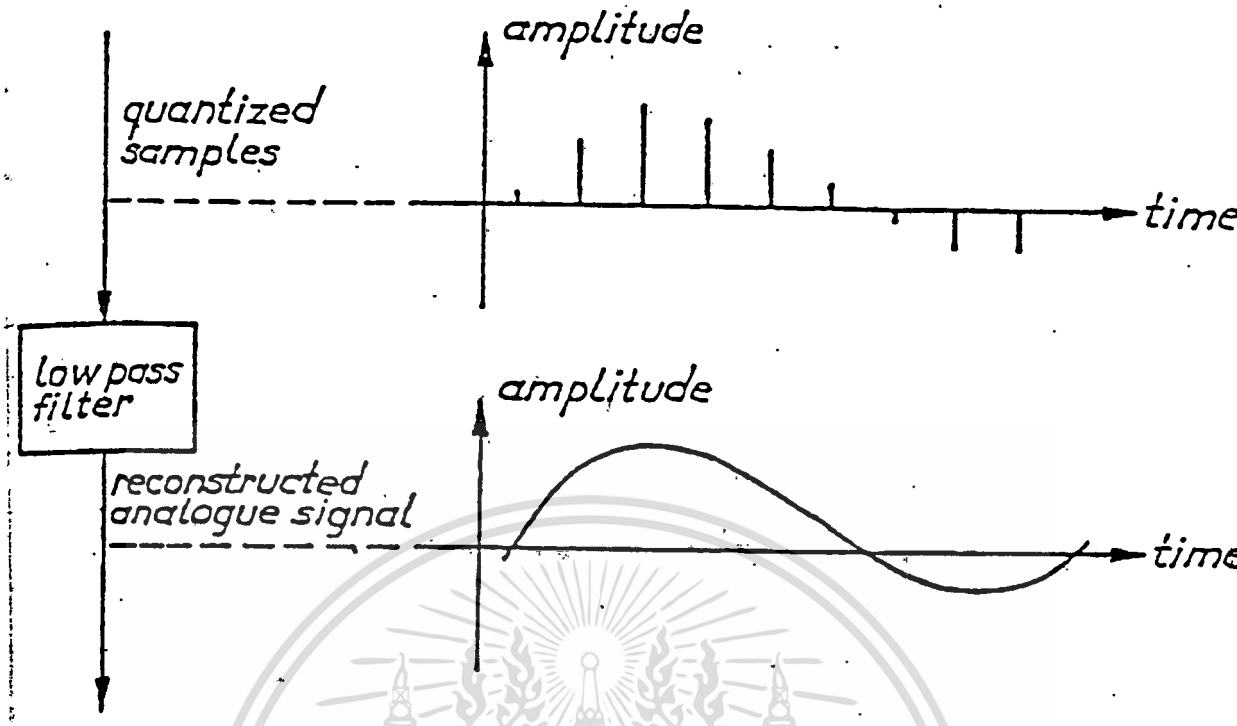
ในการะบวนการถอดรหัส (decode process) การนำโค๊ด 1 คำ มาสร้างให้เป็นพัลซ์ที่มีขนาด ซึ่งความสูงของพัลซ์จะมีค่าเท่ากับค่าของรหัสของโค๊ด 1 คำ (code word) ดังรูปที่ 17.



รูปที่ 17. การถอดรหัส

หลังจากการผ่านการถอดรหัสแล้ว จะผ่านการสร้างให้เป็นสัญญาณอนาล็อกโดยจะนำค่าที่ได้จากการถอดรหัสมาผ่าน low pass filter และได้สัญญาณอนาล็อกออกมา ดังรูปที่ 18.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 18. การสร้างสัญญาณอนาล็อกเมื่อผ่านฟิลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 พื้นฐานการอธิบายส่วนของ Time division switch

ตัวเลือกกลุ่ม (GROUP SELECTOR)

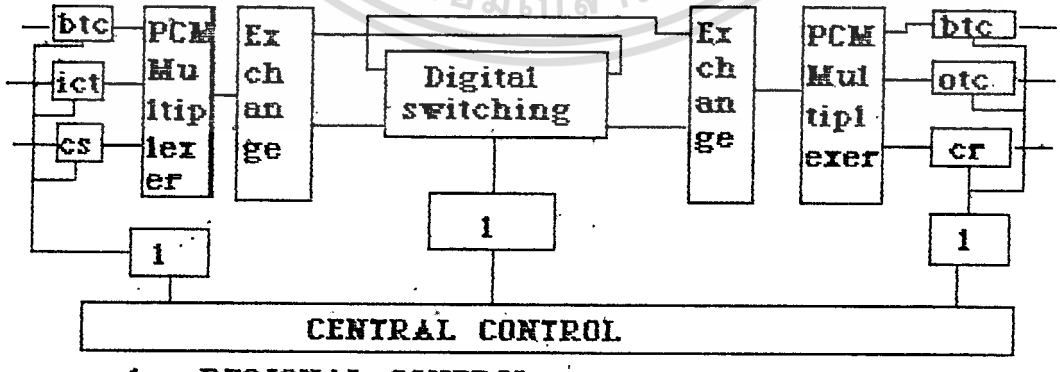
ตัวเลือกกลุ่ม (DGS) จะสามารถทำงานใน วงจรเนทเวิค ซึ่งจะมีการผสมกันของการส่งแบบพื้นฐานที่แตกต่างกัน ซึ่งเป็นไปได้ที่จะสามารถต่อเข้ากับหน่วยเชื่อมต่อของ พีซีเอ็ม เช่นเดียวกันกับ การเชื่อมต่อกับส่วนอนาล็อก ด้วย เอฟดีเอ็ม (FDM) หรือ การส่งผ่านความถี่เสียง (Voice frequency transmission) โดยจะมีผลกระทบกับวงจรซึ่งมีการอินเตอร์เฟส (interface) ระหว่าง สายต่อ กับ สวิทช์

ในช่วงเริ่มต้นนั้นเราจะพิจารณาว่า สาย ได้ถูกต่อเข้ากับ DGS เป็น สายความถี่เสียงแบบอนาล็อก (analogue voice frequency line) ซึ่งความแตกต่างของการต่อจะเพิ่มขึ้น เมื่อ สาย ที่ถูกต่อนั้นเป็นสายของดิจิตอล ซึ่งจะอธิบายต่อไป

ส่วนที่เป็นอนาล็อก (analogue enviroment)

โมเดล(Model) ของ DGS ในส่วนของ ส่วนที่เป็นอนาล็อก จะเป็นไปดังรูปที่ 19. ซึ่งจะประกอบไปด้วย บล็อก ต่างๆดังรูป โดย

BTC : BOTH WAY TRUNK CIRCUIT
ITC : INCOMMING TRUNK CIRCUIT
OCT : OUTGOING TRUNK CIRCUIT
CS : CODE SENDER
CR : CODE RECIVER



รูปที่ 19. แผงผังของ DGS และหน่วยควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

พีซีเอ็มมัลติเพลกเซอร์ (PCM Multiplexer)

การส่งผ่านสัญญาณ พีซีเอ็ม (PCM) โดยการแปลงสัญญาณ อนาล็อก จะผ่านออกไปทางส่วนพีซีเอ็มมัลติเพล็กซ์ โดยจะอาศัยหลักการ สุ่มตัวอย่าง การควอนไตส์ และการเข้าโค้ด (sampling , quantizing , and coding) และเอาว์พุทจะผ่านต่อไปยังส่วน ขั้วแลกเปลี่ยน หรือเรียกว่า Exchange terminal ซึ่งจะมีอัตราการส่งของ บิทต่อวินาที เท่ากับ 2.048 เมกกะบิทต่อวินาที (Mb/s) 32 ไทม์สล๊อต (timeslot)

ขั้วการแลกเปลี่ยน (Exchange terminal)

จุดประสงค์ของ ขั้วการแลกเปลี่ยน คือมีไว้เพื่อใช้ในการจัด ไทม์สล๊อต (timeslot) ที่มาจากการ พีซีเอ็มมัลติเพล็กเซอร์ (PCM Multiplexers) โดยจะใช้ในการเปลี่ยน ไทม์สล๊อต ซึ่งสามารถทำได้โดยการ buffering and reclocking ในส่วนของโครงข่ายสวิทช์ซึ่งบ่อยครั้งที่จะเจอการแปลงการส่งจากอนุกรมไปเป็นแบบขนาน และมีการ มัลติเพลช์ ระบบ พีซีเอ็ม หลายๆระบบ อาทิเช่นมีระบบ พีซีเอ็ม อยู่ 8 ระบบซึ่งถูกมัลติเพลกซ์และถูกส่งมาแบบขนาน โดยมี บัส (Bus) อยู่ 8 บัส ที่ความถี่ 2.048 Mb/s ในแต่ละสาย ดังนั้นจะมี time -divided crosspoint ใน โครงข่ายส่วนสวิทช์ซึ่ง อยู่ 256 (32 x 8) time -divided crosspoint ซึ่งจะทำให้ประสิทธิภาพดีขึ้น

โครงข่ายของดิจิตอลสวิทช์ซึ่ง

(Digital switching network)

โครงข่ายของดิจิตอลสวิทช์ซึ่ง จะเป็นส่วนที่อยู่ระหว่าง time multiplex bus ซึ่งจะประกอบด้วยอุปกรณ์ทางด้านอิเลคทรอนิคส์และดิจิตอลซึ่งจะถูกใช้ใน การมัลติเพลกซ์โดยเวลา (time - multiplexed)

ขอบเขตการควบคุมและหน่วยควบคุมส่วนกลาง

(Regional and central control)

การควบคุม DGS จะถูกกระทำโดยบางส่วนของหน่วยประมวลผล โดย regional control จะใช้ในการควบคุม ฟังค์ชั่นที่ง่ายๆและเกิดขึ้นบ่อยๆ ในขณะที่ ส่วนควบคุมกลาง (central control) จะใช้ในการควบคุมในลักษณะที่มีหลาย ฟังค์ชัน (complex function)

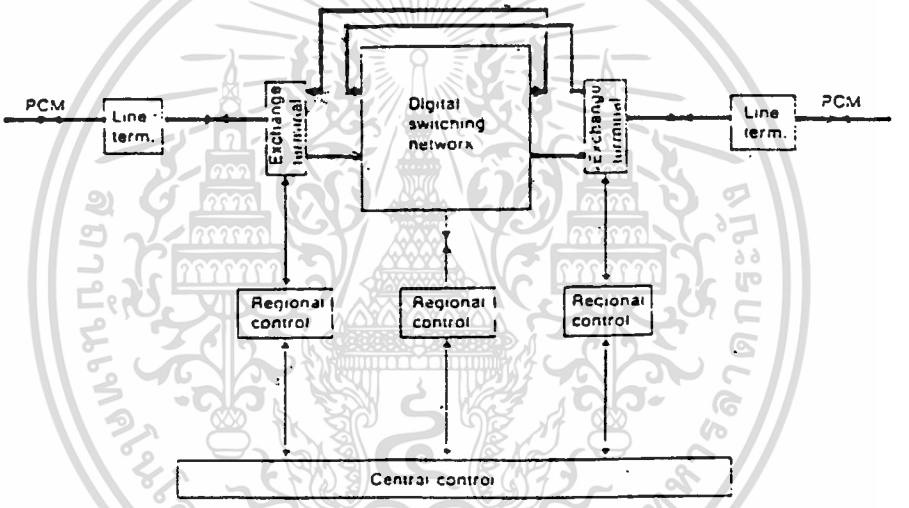
สัญญาณ (Signalling)

rigister signalling จะถูกควบคุมโดย ตัวส่งโค้ด (code senders) หรือเรียกย่อๆว่า CS และ ตัวรับโค้ด (code receivers) หรือ เรียกย่อๆว่า CR สัญญาณจากส่วน แลกเปลี่ยน (exchange) จะถูกตัดทอน (extracted) จาก line relay sets และจะถูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มัลติเพลกซ์ เข้าไปยังส่วนควบคุมของระบบ (control system) ในขณะที่สัญญาณอื่นๆที่ หน่วยแลกเปลี่ยน (Exchange)จะถูกส่งไปยัง line relay sets โดยการควบคุมส่วนที่เป็นดิจิตอล(Digital enviroment)

ถ้า สายดิจิตอล ระบบพีซีเอ็ม ถูกต่อ เราจะได้ความสัมพันธ์เป็นไปตามบล็อกไดอะแกรมในรูปที่ 20.



รูปที่ 20. บล็อกไดอะแกรมของ DGS และความสัมพันธ์ในส่วนที่เป็นดิจิตอล

ซึ่งความแตกต่างของรูปที่ 3. กับรูปที่ 2. คือ

Line terminal

สัญญาณที่เข้ามาจะเป็นสัญญาณ ดิจิตอล (digital) ไม่ต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อาศัยการแปลงสัญญาณจาก อนาล็อก ไปเป็น ดิจิตอล และไม่ต้องใช้ พีซีเอ็ม มัลติเพลกซ์เซอร์

สัญญาณ (Signalling)

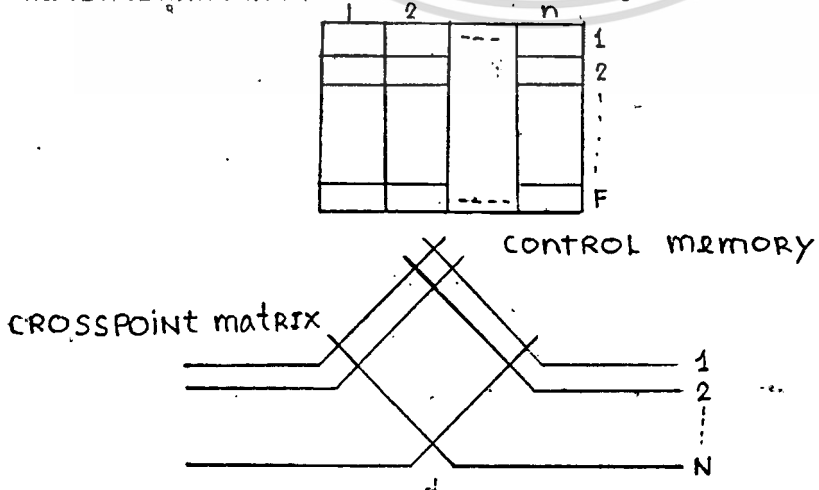
สัญญาณหลักที่น่าสนใจที่สุดจะถูกใช้ระหว่าง หน่วยแลกเปลี่ยนทางดิจิตอล (digital exchange) คือ การส่งสัญญาณโดยใช้ชัลแนลร่วมกัน (common chanal signalling) ข่าวสารในช่องสัญญาณ (ชัลแนลที่ 16) สามารถตัดทอนหรือใส่เข้าไปใหม่ (exctracted / injected)ได้โดยตรงโดยขั้วของการแลกเปลี่ยน (exchange terminal) ก่อนถึงส่วนของสวิทช์ชิ่ง

โครงข่ายดีจิตอลสวิทช์ชิ่ง

THE DIGITAL SWITCHING NETWORK

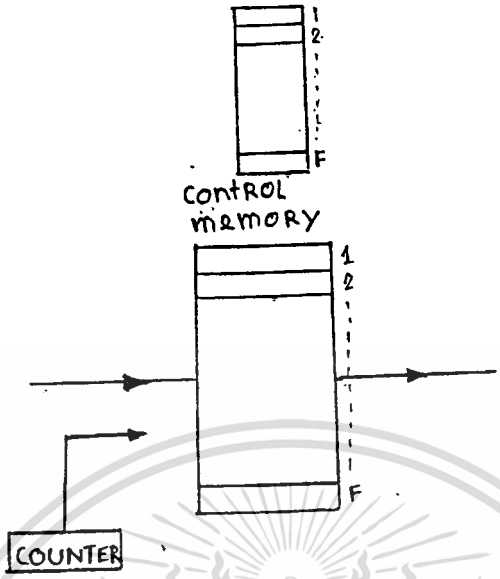
แผงผังการสร้าง (Building block)

โครงข่ายวงจรสวิทช์ชิ่ง (switching network)จะอยู่ระหว่าง time - multiplexed bus เพื่อที่จะให้มีการเชื่อมต่อระหว่าง ไทม์สล้อต ที่ต่างกัน บน บัสที่ต่างกัน ซึ่งจำเป็นที่จะต้องใช้ switching in time และ switching in space โดย time space จะถูกสร้างโดย crosspoint matrix การเชื่อมต่อผ่านระหว่าง โครงข่ายวงจรสวิทช์ชิ่งจะนำมาซึ่งการแลกเปลี่ยนข้อมูลสื่อสารระหว่าง ชัลแนลทางเข้า และ ชัลแนลทางออก (incomming chanal and outgoing chanal) ซึ่งการแลกเปลี่ยนภายในจะบรรลุความสำเร็จเนื่องจากความเที่ยงตรงของ time and space switching โดยปกติเรียกว่าอยู่ในการดำเนินการต่อไประหว่างพีซีเอ็ม เฟรม (FRAME) ที่มีจำนวนมากๆ ซึ่งลำดับการทำงานนี้จะทำงานซ้ำกันทุกๆเฟรมระหว่างที่มีการเรียกขึ้นมา ซึ่งการควบคุมเป็นวัฏจักรนี้จะทำโดย หน่วยควบคุมความจำ (control memory)



รูปที่ 21. Space Switch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 22.Time Switch

Space switch , Time switch และ หน่วยควบคุมความจำได้แสดงไว้ดังรูปที่ 21. และ 22 ตามลำดับ Space switch จะประกอบด้วย crosspoint matrix ขนาด n x n โดยเฉพาะที่ crosspoint จะประกอบด้วยดิจิตอลและอิเลคทรอนิคส์เกทเท่านั้น ในส่วนของ column (แนวตั้ง) ของ crosspoint จะถูกกำหนดเป็น column ของ หน่วยควบคุมความจำ (control memory) ซึ่งจะมีทุกๆคำ (words) "F" เป็น ไทม์สล๊อต โดยค่า F จะมีค่าตั้งแต่ 32 ถึง 1024 ในแต่ละ ไทม์สล๊อต crosspoint matrix จะทำงานเป็นปกติ space divided matrix จะถูกใช้เต็มที่เท่าที่ระหว่าง บัสทางเข้า (incomming bus) และบัสทางออก (outgoing bus)

crosspoint switch จะถูกควบคุมโดย ข้อมูลที่ถูกบรรจุอยู่ภายใน หน่วยควบคุมความจำ (control memory) เมื่อมีการชิฟท์ กันระหว่าง 2 ไทม์สล๊อต หน่วนควบคุมความจำจะเลื่อนขึ้นไปอีก 1 ขั้น (step) และในช่วงที่ ไทม์สล๊อต ใหม่จะสมบูรณ์ ความแตกต่างในการตั้งของ crosspoint จะกระทำ (active)โดยจะทำไปจนถึง F ขั้น

Time switch (ตามรูปที่ 22.) จะประกอบด้วย speech memory โดย พีซีเอ็ม จะถูกหน่วงอย่างไม่มีกฎเกณฑ์ (น้อยกว่า 1 เฟรม) speech memory จะถูกควบคุมโดย หน่วยควบคุมความจำ (control memory) การเขียนข้อมูลของ ไทม์สล๊อต ทางขาเข้า (incomming) เข้าไปเก็บไว้ใน speech memory จะถูกเก็บเป็นอนุกรมและถูกควบคุมโดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์นับแบบง่ายๆ (counter) โดย ไทม์สล๊อต 1. จะถูกเก็บไว้ที่ เซล ที่ 1. ไทม์สล๊อต 2. จะถูกเก็บไว้ที่ เซลที่ 2. ตามลำดับ ในขณะที่การอ่านข้อมูลจาก speech memory นั้นจะถูกควบคุมโดย หน่วยควบคุมความจำ ซึ่งหน่วยความจำนี้จะต้องมีจำนวนเซลเท่ากับจำนวนของ ไทม์สล๊อต ระหว่างที่แต่ละ ไทม์สล๊อต หน่วยควบคุมความจำ (control memory) จะทำการสั่งให้อ่านข้อมูลใน speech memory ผลของการหน่วง switch in time จะทำให้เกิดความแตกต่างของช่วงเวลาที่ทำการเขียน (writing) ลงใน speech memory และอ่านข้อมูลออกจาก หน่วยความจำ (memory)

ข้อมูลที่ถูกเก็บไว้ในหน่วยควบคุมความจำ (control memory) จะต้องไม่เปลี่ยนแปลง ซึ่งจะทำให้ space and time switching จะมีรูปแบบเดียวกันในช่วงที่อนุกรมเดียวกันอยู่ในช่วงวงกลมเดียวกัน ช่วงการต่อและการจากออก ของการเรียกข้อมูลจะเปลี่ยนแปลงโดย ขอบเขตการควบคุมและหน่วยควบคุมกลาง (central and regional control)

ช่วงความแตกต่างของ space switch S และ time switch T ทำให้ switching network มีปริมาณแตกต่างกัน ซึ่งจะอธิบายต่อไป

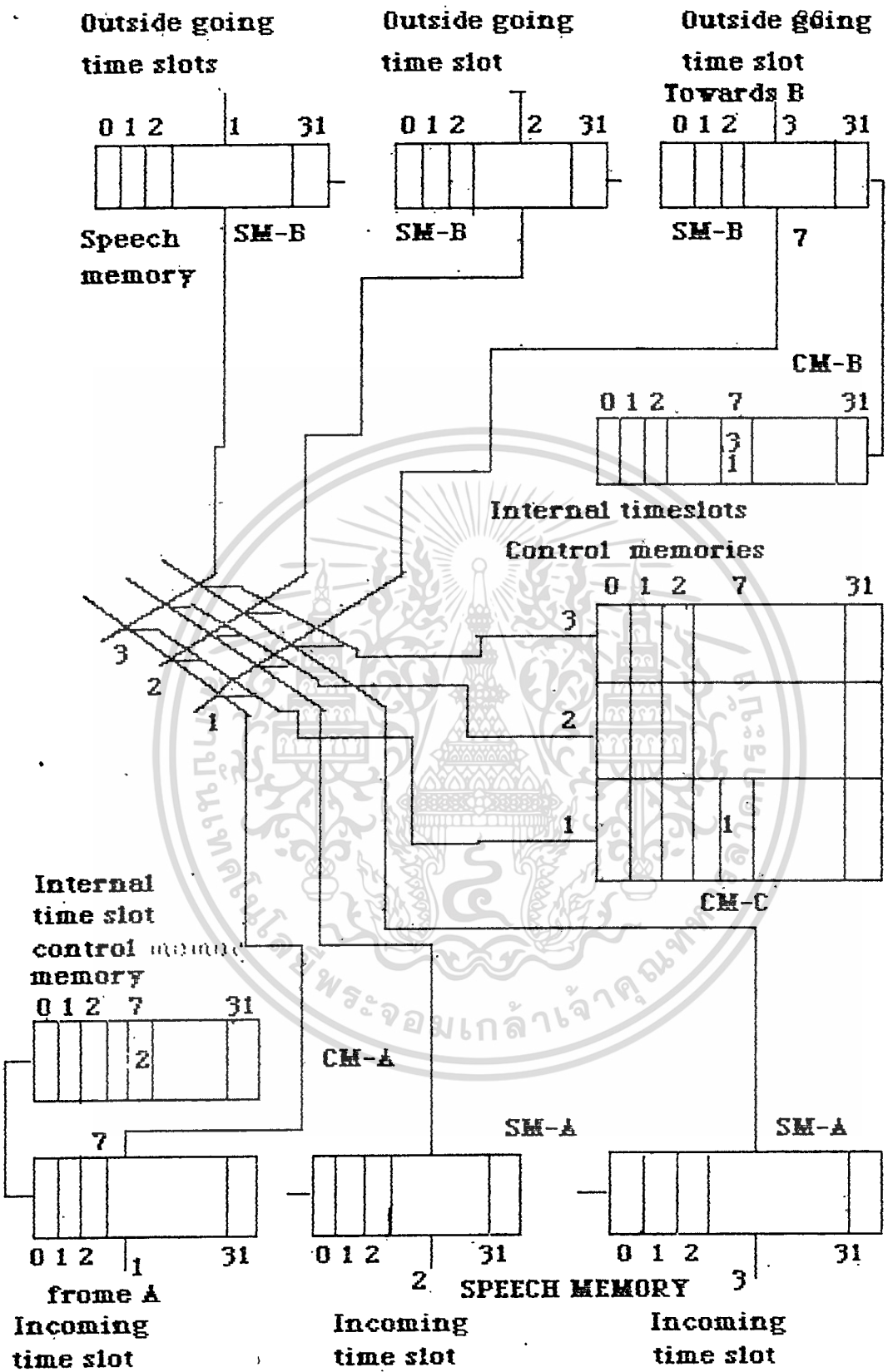
Time Space time switch

โมเดลของวงจร TST จะแสดงดังรูปที่ 23. โดยสมมุติให้มีบัสขาเข้า 3 บัสและขาออก 3 บัส ซึ่งแต่ละบัสจะประกอบด้วย 32 ไทม์สล๊อตในทางปฏิบัติแล้วจำนวนไทม์สล๊อต จะมีค่าสูงเช่น 256 หรือ 512 เป็นต้น ซึ่งจะสำเร็จลุล่วงหลังจากผ่านการ มัลติเพลกซ์ และการเปลี่ยนข้อมูลจากอนุกรมเป็นแบบขนานในข้วแลกเปลี่ยน (exchange terminal) เพื่อที่จะอธิบายฟังก์ชันของสวิทช์ สมมุติให้จากไดอะแกรม คำสั่งควบคุมระบบจะเชื่อมอยู่ระหว่าง ทางเข้าของสัญญาณ ที่ A กำหนดให้ ไทม์สล๊อต ที่ 2. ถูกส่งเข้ามาที่บัสที่ 1. และออกที่ B ที่ ไทม์สล๊อต ที่ 31. ที่บัสที่ 3.

ในที่นี้ ส่วนที่อิสระที่จะผ่านวงจรเนทเวิรคจะถูกค้นพบ ซึ่งหมายความว่าจะมีการค้นหา การที่จะทำให้ข้อมูลที่เข้าที่ A ออกที่ B ที่ space matrix โดยการค้นหานี้จะกระทำโดย หน่วยควบคุมกลาง (central control) โดยสิ่งที่จะค้นหาคือ ไทม์สล๊อต ภายในที่ว่างที่จะนำข้อมูลผ่านไปที่ space switch และส่งออกไปที่ ทางออก เมื่อพบไทม์สล๊อต อันแรกที่ว่าง สมมุติคือที่ ไทม์สล๊อต ที่ 7.ค่าตัวเลขและแอดเดรสที่ต้องการ(2 , 31 ,1) จะถูกส่งไปที่ หน่วยควบคุมความจำ (control memory) CM-A , CM-B , และ CM-C ตามลำดับ ซึ่งแอดเดรสเหล่านี้จะถูกเก็บไว้ใน เซลที่ 7. ของ หน่วยความจำเหล่านั้น

พีซีเอ็ม เวิด จะถูกเขียนลงใน เซลที่ 2.ของ SM-A ตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 23. โครงข่ายของดิจิตอลสวิทช์ซึ่ง โครงสร้างชนิด TST

ที่ ไทม์สล๊อต ที่ 2. เข้ามา ข้อมูลจะถูกเก็บไว้จนกระทั่ง ไทม์สล๊อตภายใน ที่ 7. มาถึงโดยมีข้อแม้ว่าไทม์สล๊อต ขาเข้าจะต้องไม่เกิดพร้อมกันกับ ไทม์สล๊อต

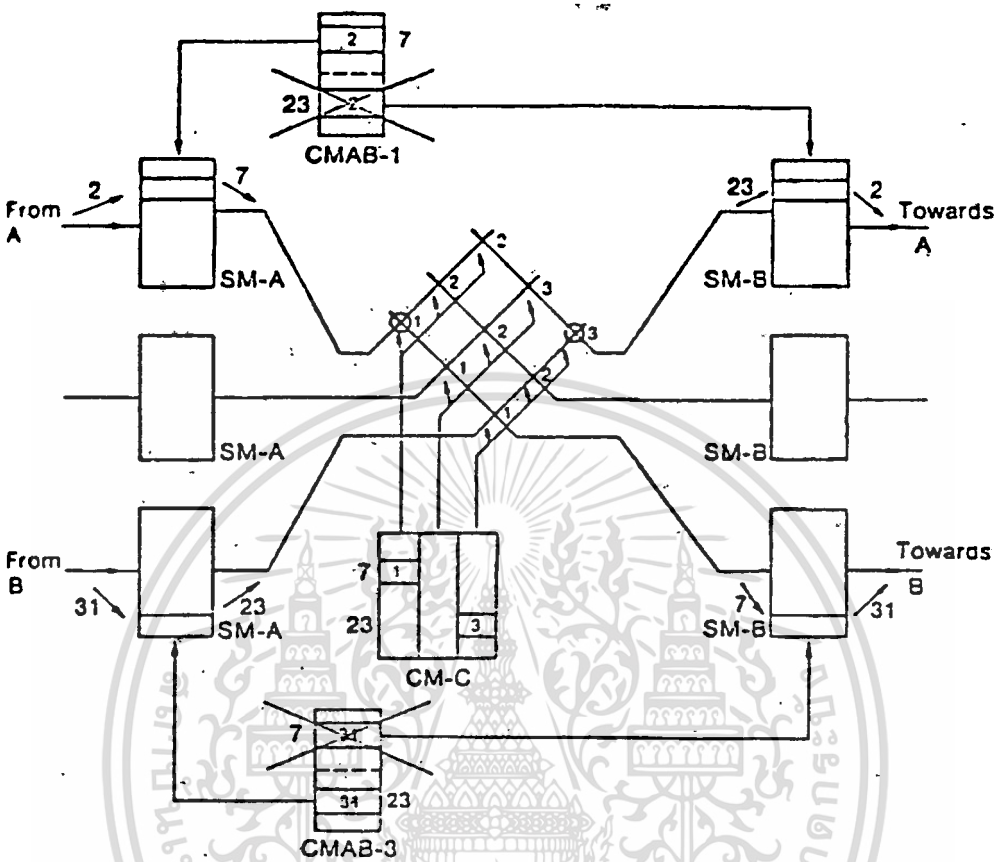
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภายใน (internal timeslot) โดยเวลาช่วงที่เก็บ (store) นี้จะมีค่าเท่าไรก็ได้ตั้งแต่ไทม์สล๊อต ที่ 0. ถึง ไทม์สล๊อต ที่ 31. ตลอดช่วง ไทม์สล๊อตภายใน ที่ 7. ค่า แอดเดรสที่ เซลที่ 2. จะถูกส่งออกมาจาก CM-A และ พีซีเอ็ม เวิด จะถูกอ่านออกมาเพื่อส่งต่อไปยัง space matrix ในเวลาเดียวกัน แอดเดรสของ cross point (No 1.)ที่จะทำการ on นั้นจะถูกส่งออกมาด้วยโดยส่งมาจาก CM-C และพีซีเอ็มเวิด (PCM word) จะถูกส่งต่อไปที่ SM-B ที่ต้องการ ท้ายสุดเมื่อ ไทม์สล๊อตทางด้านขาออก ที่ 31. มาถึง พีซีเอ็ม เวิด จะถูกส่งตรงออกไปที่ B

การทำงานแบบอนุกรมนี้จะทำซ้ำกันทุกๆเฟรม แต่อย่างไรก็ตามจะไม่มีการส่งจาก B ไปยัง A พิจาราณารูปที่ 2. และ 3. หลักการ 2.หลักการจะถูกนำมาใช้ โดยหลักการแรกนั้นจะทำให้ระบบมีความยืดหยุ่นมาก ในขณะที่หลักการที่ 2. นั้นจะให้ความเป็นไปได้ที่จะทำให้ ฮารด์แวร์ น้อยลง เพราะว่าจะเป็นการแสดงความสมมาตรของสวิทช์

การควบคุมแบบเฉพาะทั้ง 2. ส่วนคือส่วนส่งไป (go) และส่วนส่งกลับ (return) จะใช้หลักการที่ตรงข้ามกัน (anti phase method) ถ้าส่วนที่ว่างจาก A ไปยัง Bถูกพบและมีค่า ไทม์สล๊อต แน่นอน ส่วนกลับก็จะมีค่าเท่ากัน ครึ่งเฟรมหลังจากนั้น ตัวอย่างคือ ในช่วงขาไปนั้น ทำงานที่ไทม์สล๊อต ที่ 7. ดังนั้นในช่วงกลับก็จะทำงานในช่วง ไทม์สล๊อต ที่ (7 + 32/2) = 23 ซึ่งแสดงให้ดูตามรูปที่ 24.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 24. โครงสร้างของ TST โดยหลักการเฟสตรงข้ามกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 โครงสร้างของเฟรม (FRAME STRUCTURE)

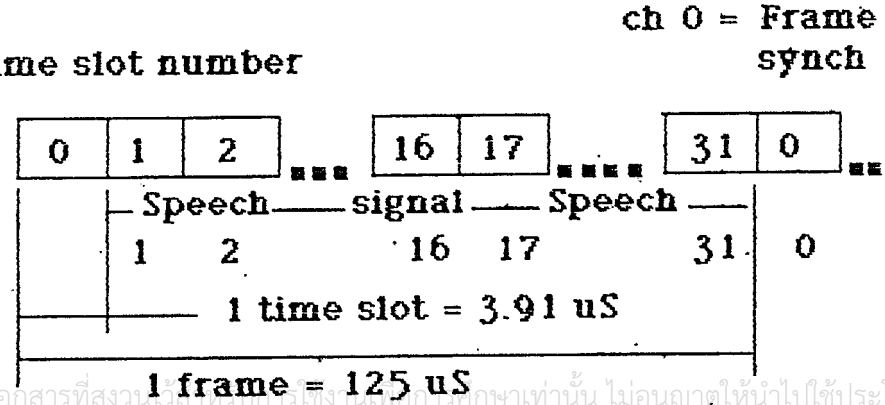
ข้อมูลแบบอนาล็อกหลังจากผ่าน A/D ทั้ง 30 ชัลแนล ข้อมูลที่ส่งด้วยความเร็วจะเป็นข้อมูลแบบดิจิตอล โดยจะถูกส่งผ่าน มัลติเพลกซ์ ที่ TDM (Time Division Multiplex) โดยข้อมูลถูกส่งเป็น เฟรม ๆละ 32 ชัลแนลๆละ 8 บิท โดย 15 ชัลแนลแรกจะอยู่ที่ ไทม์สล๊อต ที่ 1 - 15 และ 15 ชัลแนลหลังจะอยู่ที่ ไทม์สล๊อต ที่ 17 - 31

ข้อมูลจะถูกส่งออกไปโดยมี ข้อมูลที่เป็นตัว ซิงโคไนสซ์ถูกแทรกลงไปในเฟรมเพื่อที่จะให้ตัวรับทราบว่าข้อมูลทางด้านขาเข้าจะเข้ามาแล้ว ซึ่งจะใช้ ชัลแนลที่ 0. เป็นชัลแนลที่ใช้ในการซิงโคไนสซ์ โดยจะมีค่าคงที่ 8 บิท ซึ่งเรียกว่า frame - synchronizing word โดยจะเป็นตัวกำหนดจุดเริ่มต้นของเฟรม

ส่วนสวิทช์ชิ่งของโทรศัพท์ (Telephone switching)จะพาดพิงไปถึงความต้องการที่มากกว่าหนึ่งอย่างมันจะเป็นไปได้ที่จะส่ง สัญญาณข่าวสาร (signalling information) โดย สัญญาณ (signalling) สามารถที่จะพิจารณาเป็น data communication ที่ความเร็วต่ำมากๆระหว่าง การแลกเปลี่ยน (exchanges)

ฟังค์ชันของสัญญาณเสียงจะต้องยึดหลักของ telephone network , setting up of connection , the charge procedure , etc Over physical circuit , สัญญาณเสียง คือรูปแบบโดยหมายถึงการเปลี่ยนค่าสภาวะของกระแสไฟตรงในสายคู่ ปกติใช้ ขั้ว และ/หรือ loop impedance

เนื่องจากพบว่า ค่าความจุของข้อมูลที่ต้องการของสัญญาณเสียงนั้นถูกกำหนดไว้ที่ ไทม์สล๊อต ที่ 16. ดังนั้นจึงครบเฟรมที่สมบูรณ์ ดังแสดงในรูปที่ 25. เฟรมหนึ่งๆจะประกอบด้วย 32 ไทม์สล๊อต ตั้งแต่ 0 ถึง 31 ที่ไทม์สล๊อต 0 จะบรรจุข้อมูลของ frame synchronizing และที่ ไทม์สล๊อต ที่ 16 จะเป็นข้อมูลของสัญญาณเสียง ที่ ไทม์สล๊อต ที่ 1 - 15 และ 17 - 31 นั้นเป็นข้อมูลที่จะส่งของชัลแนลที่ 1 - 15 และ 16 - 30 ตามลำดับ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้กล่าวมาแล้วข้างต้นว่า ไทม์สล๊อตเพียง 1 ไทม์สล๊อตใช้สำหรับการส่งข้อมูลของสัญญาณ (signalling information) เพราะว่า ในแต่ละ ไทม์สล๊อต จะประกอบด้วย 8 บิท / เฟรม แน่นอนเป็นไปไม่ได้ที่จะกำหนดภายในเฟรม ในตำแหน่ง 1 บิทของแต่ละชัลแนลนั้นต้องการช่วงพักเป็นเวลายาวนาน เวลาพักจะถูกเลือกโดยประกอบเป็น 16 เฟรม และเรียกว่า มัลติเฟรม (Multiframe) รูป 26. แสดง ไทม์สล๊อต ที่ 16 ใน16 เฟรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Frame no.		
0	Multiframe	Sync.word
1	Chanal 1	Chanal 16
2	Chanal 2	Chanal 17
3	Chanal 3	Chanal 18
4	Chanal 4	Chanal 19
5	Chanal 5	Chanal 20
6	Chanal 6	Chanal 21
7	Chanal 7	Chanal 22
8.	Chanal 8	Chanal 23
9.	Chanal 9	Chanal 24
10	Chanal 10	Chanal 25
11	Chanal 11	Chanal 26
12	Chanal 12	Chanal 27
13	Chanal 13	Chanal 28
14	Chanal 14	Chanal 29
15	Chanal 15	Chanal 30
0	Multiframe	Sync.word
1	Chanal 1	Chanal 16

รูป 26. ไทม์สล๊อต 16 ในมัลติเฟรม (multiframe)

note 1 multiframe = 16 x 125 s = 2 ms

โดยในแต่ละ line จะมีลักษณะเดียวกันคือประกอบด้วย ไทม์สล๊อต ขนาด 8 บิท จำนวนเฟรมใน มัลติเฟรม (Multiframe) จะมีค่าตั้งแต่ 0 ถึง 15

ในเฟรม 0 จะรวมค่าคงที่ของ Multiframe - synchronizing word ซึ่งจะกล่าวในตอนต่อไป Multiframe - synchronizing word นำมาใช้เพื่อให้ทางด้านตัวรับสามารถทำงานเบ็นอนุกรมในการรับเฟรม โดยตัวรับจะต้องทำจำนวนเฟรมดังรูปที่ 26.

ไทม์สล๊อต (Time slot) ที่ 16 ในเฟรมที่ 1 - 15 จะถูกแบ่งเบ็น 2 ส่วนโดยแต่ละส่วนจะมีเพียง 4 บิท เท่านั้น ในครึ่งแรกในเฟรมที่ 1. นั้นจะถูกกำหนดให้เบ็น ชัลแนลที่ 1. ในขณะที่ครึ่งหลังจะถูกกำหนดเบ็น ชัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แนลที่ 16. และ ไทม์สล๊อต ที่ 16 ในเฟรมที่ 2. นั้นจะเป็นของ ชัลแนลที่ 2. และ 17 ตามลำดับ

FRAME SYNCHRONIZATION

ดังได้กล่าวมาแล้วข้างต้น ไทม์สล๊อต หนึ่งที่มีขนาด 8 บิทจะถูกใช้เป็น frame synchronization หมายความว่าข้อมูลที่มีความเร็ว 64 กิโลบิทต่อวินาทีจะถูกสงวนเพื่อจุดประสงค์นี้ พื้นฐานเบื้องต้นของ frame synchronization คือที่เฟรมจะบรรจุด้วยคำที่มีค่าคงที่ (fixed word) ซึ่งทางด้านตัวรับสามารถที่จะตั้งและตรวจสอบตำแหน่งที่ว่างอยู่เป็นประจำได้ โดยจะทำให้มันเป็นไปได้ที่ตัวรับจะทำการหา fixed word ที่เข้ามาทางด้านขาเข้าและแยกบิทที่ถูกต้องเพื่อส่งไปยัง ชัลแนลที่ถูกต้อง

นอกจาก frame synchronization แล้วเราสามารถกำหนดไทม์สล๊อต โดยใช้การส่งการควบคุมระยะไกล (remote)และ ต้นข้อมูลซึ่งเกี่ยวกับสภาวะของการเตือน (alarm) ใน terminal ของตนเอง

ตัวอย่าง

เฟรมที่ 0 - 15 แล้วมาเริ่มต้นที่ 0 อีกครั้ง word ใน ไทม์สล๊อตที่ 0.ในเฟรมคู่ จะเรียกว่า " frame - synchronizing word 1 " ในขณะที่ เฟรมคี่จะถูกเรียกว่าเป็น " frame - synchronizing word 2 "

frame - synchronizing word 1 จะมีโครงสร้างดังรูป

B0 B1 B2 B3 B4 B5 B6 B7

โดยที่

B0 : ถูกสงวนเก็บไว้ในอนาคต จะมีค่าเป็น 1 จนกระทั่งมีการกำหนดใหม่ในอนาคต

B1 - B7 : มีค่าคงที่คือ 0011011 ใช้ในกระบวนการ synchronizing

frame - synchronizing word 2 จะเป็นไปตามโครงสร้างดังนี้

B0 B1 B2 B3 B4 B5 B6 B7

โดยที่

B0 : ถูกสงวนเก็บไว้ในอนาคต จะมีค่าเป็น 1 จนกระทั่งมีการกำหนดใหม่ในอนาคต

B1 : จะมีค่าเป็น 1. เสมอ

B2 : เป็นบิทที่ใช้ในการส่ง สภาวะของสัญญาณเตือน (ALARM STATE.) โดย. จะเท่ากับ 1. เมื่อมีการเตือน
จะเท่ากับ 0. เมื่อไม่มีการเตือน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

B3 - B7 : สงวนไว้ใช้เฉพาะแต่ละประเทศ สำหรับในการส่งที่ใช้ในสากล นั้นจะมีค่าเท่ากับ 11111

ขบวนการในการทำ frame synchronizing ได้อธิบายใน chart ตามรูปที่ 27.

โดยมีหลักการดังนี้

1. หมายถึง บิทที่สามารถจะมีค่าเป็น 0 หรือ 1 ก็ได้
2. ถ้า คำที่ถูกสงวนไว้มีค่าไม่เท่ากับ 0011011 จะพยายามทำที่ 1. บิทหลังจากนั้น
3. เมื่อ frame synchronizing word 1. ถูกพิจารณาเมื่อพบแล้ว การตรวจสอบจะทำให้มั่นใจว่า word นั้นไม่ได้ถูกเลียนแบบ โดยทำการตรวจสอบ เฟรมซิงโคไนส์ซึ่งเวิด 2. (frame synchronizing word 2.) อันต่อไป
4. ถ้า B2 เท่ากับ 0 ค่า 0011011 ถูกพบก่อนที่จะมีการลอกเลียนแบบจะค้นหาจุดเริ่มต้นใหม่อีกครั้งจากจุดเริ่มต้น
5. ถ้าค่า 0011011 และเฟรมหลังจากนั้นอีกเฟรมที่ค่า B2 มีค่าเท่ากับ 1. จะมีการตรวจสอบอีกครั้งว่า เฟรมที่ 2. ไม่ได้ถูกลอกเลียนแบบโดยจะทำการตรวจ เฟรมซิงโคไนส์ซึ่งเวิด 1 (frame synchronizing word 1) อีกครั้ง
6. ถ้า 0011011 ไม่ถูกพบ จะถูกนำมาเริ่มต้นค้นหาใหม่
7. ถ้า frame synchronizing word 1. ถูกพบเป็นครั้งที่ 2. และframe synchronizing word 2. ถูกพบอยู่ระหว่างเหตุการณ์ทั้งสองเหตุการณ์ เฟรมซิงโคไนส์ซึ่ง (frame synchronizing)จะถูกพิจารณาว่าเจอแล้ว

โครงสร้างของ multiframe - synchronizing word จะเป็นไปดังข้างล่าง

B0 B1 B2 B3 B4 B5 B6 B7

โดยที่

B0-B3 : ใช้ในการ multiframe - synchronizing โดยปกติจะมีค่าเท่ากับ 0000

B4 ,B6,B7 : ใช้ในการกำหนดเฉพาะประเทศ ถ้าทุกบิทไม่ใช้จะมีค่าเป็น 1

B5 : ใช้สำหรับการส่งข้อมูลเพื่อการเตือน (alarm state)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยหากมีค่าเป็น 1.จะมีการเตือนขึ้น หากเป็น Ø.จะไม่มีการเตือน

ขบวนการ multiframe - synchronizing จะง่ายกว่าแบบแรก เมื่อระบบ multiframe - synchronizing พบว่า multiframe - synchronizing มีค่าถูกต้อง (BØ - B3 มีค่าเป็น ØØØØ) ซึ่งจะตรงข้ามกับ frame synchronizing และเมื่อเรารู้จุดเริ่มต้นของเฟรม และที่ครึ่งแรกและครึ่งหลังต่างไม่มีค่าเท่ากับ ØØØØ ปรากฏไปมากกว่าที่ ไทม์สล๊อต Ø.เท่านั้น multiframe - synchronizing จะถูกพิจาราณาว่ามีการสูญหายเกิดขึ้นเมื่อ multiframe - synchronizing ที่ติดตามมาอันที่ 2. ไม่ปรากฏขึ้น ซึ่งหมายความว่า เรามีสมาชิกที่มีการเฉื่อยซึ่งทำให้เป็นไปได้ที่ไม่สามารถที่จะหลีกเลี่ยงการ resynchronization ในบิทที่มีการผิดพลาดที่ออกตามมา

2.9 การสร้างระบบ (SYSTEM BUILD - UP)

ด้วยเหตุว่า CCITT ได้มีมาตราฐานในการอินเตอร์เฟสระหว่างส่วนต่างๆของระบบ subsystem (รูปที่ 28) มี

1. multiplex and signalling equipment
2. line terminal
3. regenerators

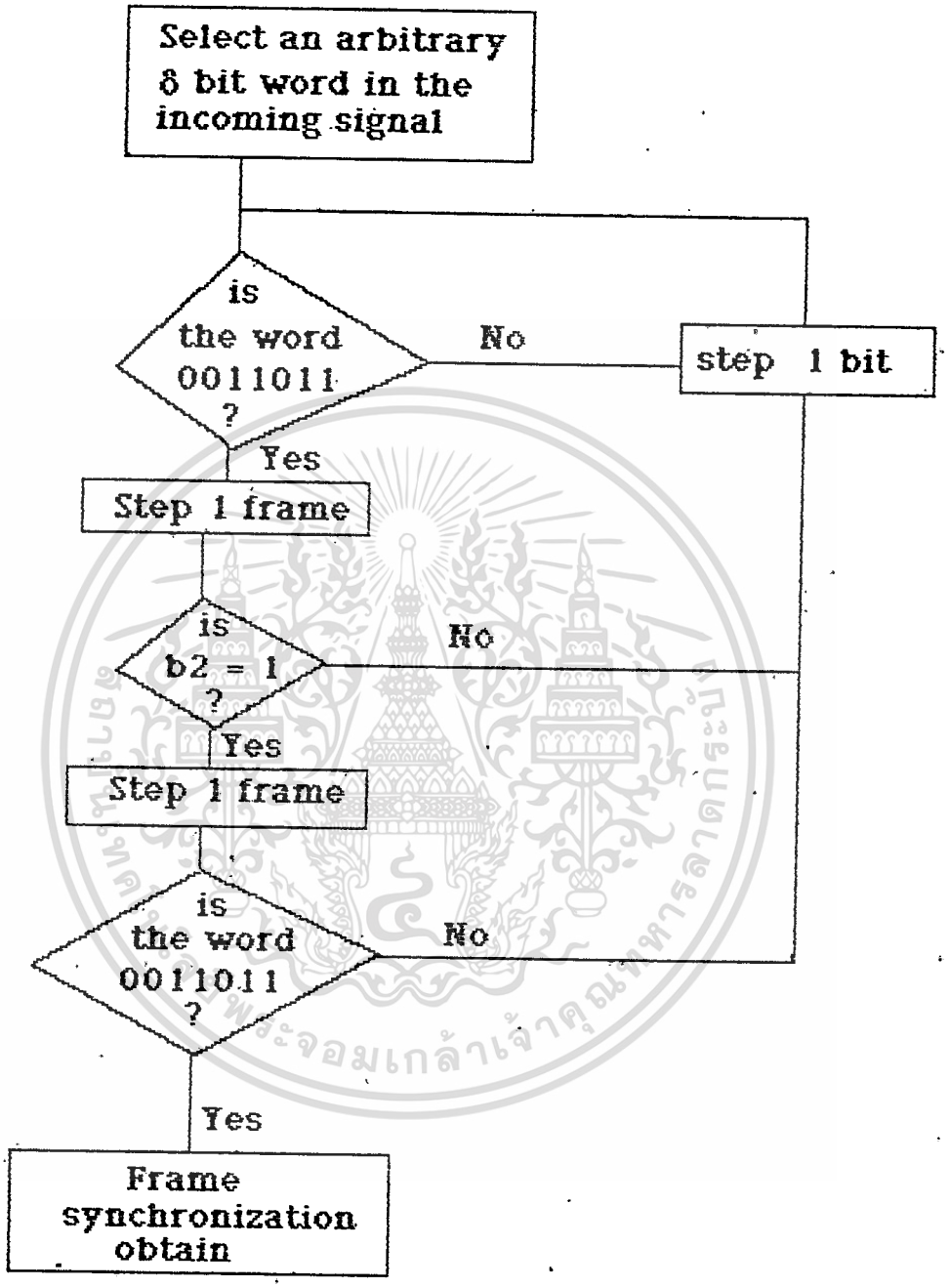
ศูนย์กลางของ subsystem คือ multiplex equipment , MUX ,โดยจะประกอบด้วย ฟังค์ชันที่จำเป็นสำหรับจัดการ สัญญาณเสียงในการส่งทั้งสองทิศทาง คือ chanal filtering , sampling และ A/D conversion ซึ่งเมื่อพิจาราณาแล้ว MUX จะอยู่ในภาคส่งของ time division multiplex รวมทั้งการผลิต frame synchronizing word และตำแหน่งของข้อมูลของสัญญาณเสียง ในการดำเนินการที่กลับกันจะมีอยู่ที่ทางด้านรับ(reciever) เช่น frame synchronizing การหาสัญญาณเสียง และการแปลงข้อมูลจาก ดิจิตอลไปเป็น อนาล็อก (D/A CONVERSION) การกระจายชัลแนล และ chanal filtering

การจัดการเกี่ยวกับสัญญาณเสียงนี้ "SIGN " จะใช้ในการกระจายหน่วยของสัญญาณ SIGN จะได้รับข้อมูลที่เกี่ยวกับสัญญาณเสียงที่ทางด้านรับ (sender) ที่ถูกส่งออกมาจาก exchange ดังนั้นข้อมูลของสัญญาณเสียงจะอยู่ในรูปดารส่งข้อมูลแบบอนุกรมของดิจิตอล เพื่อที่จะส่งผ่านไปยัง MUX ต่อไป ในทางกลับกัน ข้อมูลจะถูกรับมาแบบอนุกรมจาก MUX

SENDERS (ตัวส่ง)

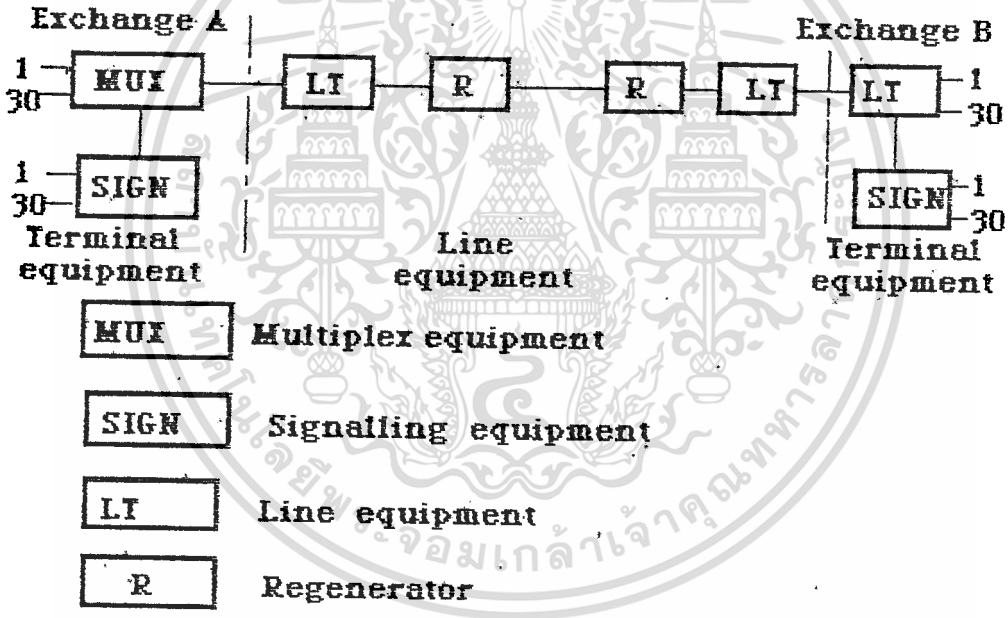
ทางด้านตัวส่ง จะถูกต่อเข้ากับ voice frequency โดยอาศัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 27. ผังสำหรับขบวนการ frame - synchronizing

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



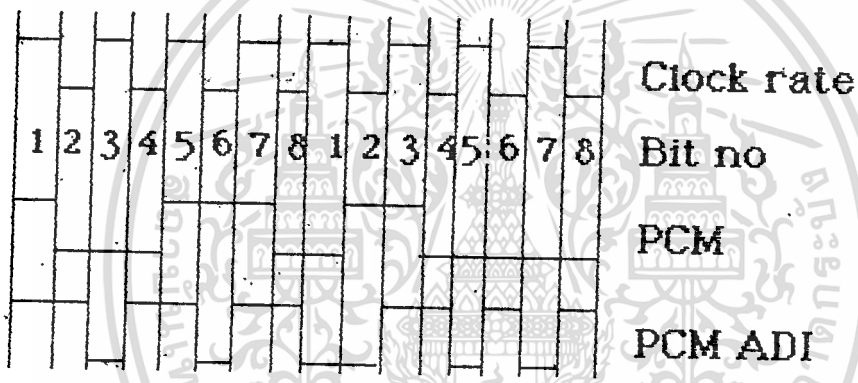
รูปที่ 28. แผงผังของระบบ พีซีเอ็ม

ความสัมพันธ์ของ low - pass filters และ sampling contact จุดประสงค์ของ พิวเตอร์ คือต้องการให้มีความมั่นใจว่า สัญญาณเสียงถูกจำกัด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากสภาวะของการ sampling เช่น จะไม่มีพลังงานมากกว่าครึ่งหนึ่งของความถี่ที่ใช้ในการ sampling โดย A/D converter จะใช้เพียง 30 ชัลแนล คือ 1 ถึง 30 ชัลแนล

ADI หมายถึง " Alternate Digit Inversion " คือการเปลี่ยนข้อมูลทุกๆบิทที่ 2 ให้มีค่าตรงข้ามกับบิทเดิม ดังตัวอย่างตามรูปที่ 29.



รูปที่ 29. การแปลงโค๊ดตามความหมายของ ADI

บิทที่ 1. ใน ไทม์สล้อต จะยังไม่มีการเปลี่ยนแปลง แต่พอมาบิทที่ 2. บิทที่ 2. จะเปลี่ยน บิทที่ 3. คงที่ บิทที่ 4. เปลี่ยน ตามลำดับเรื่อยๆไป

เหตุผลที่ว่าทำไมจึงต้องใช้ ADI ในโครงสร้างของโค๊ดของสัญญาณเสียง เพราะว่าโค๊ดของสัญญาณเสียงจาก A/D converter จะบรรจุด้วยความสัมพันธ์ของเลขที่มีค่า Ø มากๆเมื่อ ระดับของเสียงมีค่าเป็น ศูนย์ ในขณะที่จะเพิ่มค่าเป็น 1 เมื่อระดับมีค่าเพิ่มขึ้น

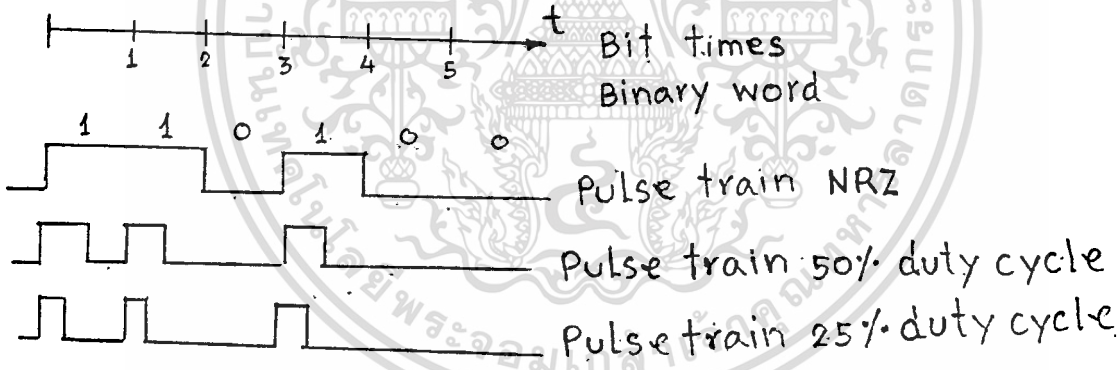
โอกาสที่สัญญาณเสียงจะเริ่มต้นข้าใกล้ ศูนย์ มีค่ามาก เพราะว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. ให้ชัลแนลที่บ่อยครั้งที่ไม่มีขนาดทั้งหมดและดังนั้นระดับจะมีค่าเป็น 0

2. มีเพียงคู่สายเดียวเท่านั้นที่อยู่ในเวลาที่พูดในขณะที่คู่สายอื่นๆมีค่าเป็น 0 ในทิศทางที่คู่สายนั้นส่งออกมา ซึ่งความสัมพันธ์นี้จะรวมถึงการหยุดโดยปราศจาก เสียงและเสียงที่มีระดับต่ำ ในการอนุกรมที่มีความยาวของ 0 จะมีผลตรงข้ามกับการ regenerators ตามระบบสาย ดังนั้นจึงเป็นการยากมากที่จะทำให้อัตราการส่ง (clock rate) กลับมาดังเดิม ซึ่งจำเป็นที่ต้องใช้การ generation

หลังจากที่ โค๊ดของเสียงกำลังอยู่ในขบวนการ โดยการทำแบบ ADI แล้ว มันจะเข้ามาสู่ integrator ที่สัญญาณ พีซีเอ็ม ทั้งหมดจะถูกนำมาเรียงกันตามลำดับที่ไทม์สล๊อตที่ 16 นี้เราจะใส่ข้อมูลของสัญญาณ (signalling information) จากการอินเตอร์เฟสด้วยตัวเลข "64" frame synchronizing code จะถูกแปลงและถูกเก็บไว้ที่ ไทม์สล๊อต 0 ของ integrator สัญญาณหลังจากการ integrator จะอยู่ในรูปแบบของ NRZ (No Return to Zero) ซึ่งหมายความว่าค่าของสัญญาณแต่ละสัญญาณมีค่าคงที่ตลอดช่วงของ bit time ทั้งหมด พิจาราณารูปที่ 30.

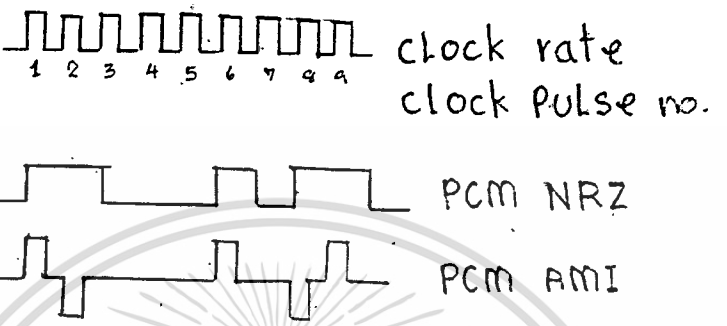


รูปที่ 30 Pulse train with varying duty cycle

NRZ เป็นแบบที่ไม่เหมาะในการส่งบนสายเคเบิ้ลคู่ โดยค่าสมบูรณ์ของรากจะเป็นค่า code ที่ไม่มี direct voltage และจะลด bandwidth ได้ตามต้องการ จุดมุ่งหมายทั้งสองนี้จะสามารถบรรลุได้โดย simlpe code method ซึ่งเรียกอีกนัยว่า "AMI"(Alternate Mark Inversion or " Inversion of every second ONE ") ซึ่งจะเป็นแบบ bipolar code คือมีค่าทั้งพัลซ์บวกและพัลซ์ลบและศูนย์ โดยโครงสร้างของ code จะง่ายยิ่งขึ้น จะทำทุกๆลบ1ครั้ง และช่วงสั้น 50 % ซึ่งจะกัก สเปคตรัมของสัญญาณ ที่บรรจุ keynote จะไม่ขึ้นอยู่กับ รูปแบบของพัลซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

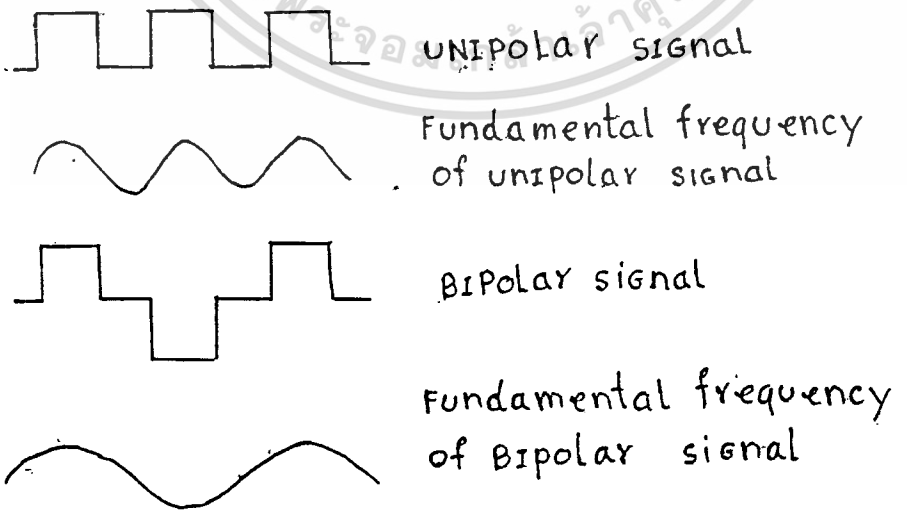
พิจาราณารูปที่ 31.



รูปที่ 31. AMI code

AMI code จะไม่มี direct voltage และหมายความถึงค่าที่ช่วงเวลานานจะมีค่าเป็นศูนย์ โค๊ดชนิดนี้เรียกว่า ไบโพล่า (bipllar) เพราะว่ามันจะมีทั้งพัลซ์บวก และพัลซ์ลบ

รูปที่ 32 แสดงผลกระทบที่ bandwidth ต้องการ ความถี่ของ keynote ในสัญญาณ ไบโพล่า (bipolar signal) จะมีลักษณะเพียงครึ่งหนึ่งที่มีลักษณะเช่นเดียวกับสัญญาณ ยูนิโพล่า (unipolar signal) โดยช่วงกว้างที่ต้องการจะถูกลดลงครึ่งหนึ่ง



รูป 32 Keynote in binary signals

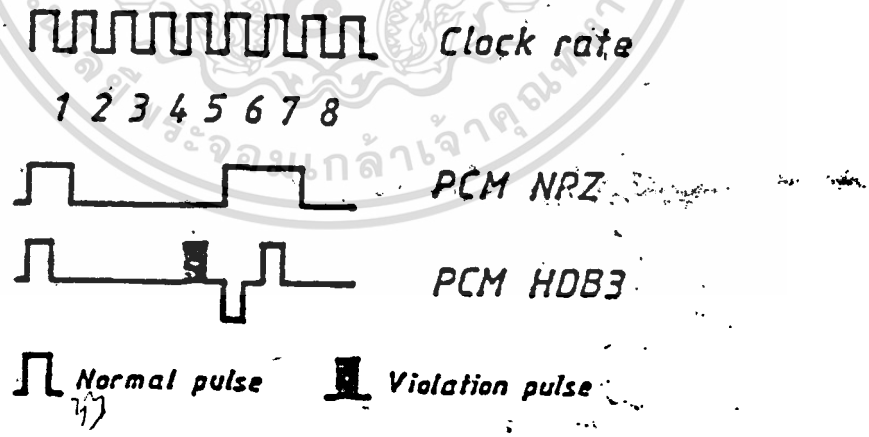
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แท้ที่จริงแล้วในการพูด AMI เป็น ternary code ซึ่งหมายความว่ามันจะมีค่าได้ 3 ค่า คือ -1 , +1 , 0 ในขณะที่ binary code จะมีเพียง 2 ค่า คือ 0 กับ 1 จำนวนที่เป็นไปได้รวมทั้งสิ้นเมื่อพิจารณาว่ามี 8 บิท คือ 3^8 คือเท่ากับ 656 ในขณะที่ binary code ขนาด 8 บิทมีค่าที่เป็นไปได้รวมทั้งสิ้นเท่ากับ 256 ค่า ด้วยเหตุที่ทุกๆพัลซ์ที่ 2. จะมีค่าเป็นบวกและทุกๆพัลซ์ลบที่ 2.ใน AMI

AMI คือ line code อันแรกที่นำมาใช้ หลังจากนั้น โค๊ด (code) ที่เรียกว่า HDB3 (High Density Bipolar) ได้ถูกนำมาใช้ เพราะโค๊ดชนิดนี้มีประโยชน์มากเนื่องจาก สามารถจำกัดขอบเขตที่แน่นอน โดยการลดจำนวน 0 ที่ตามติดกันมา

ที่ตำแหน่งที่ 3 ใน HDB3 จะแสดงให้เห็นถึงจำนวนของ 0 ที่ติดตามมาสูงสุดที่ code จะผ่านไปได้

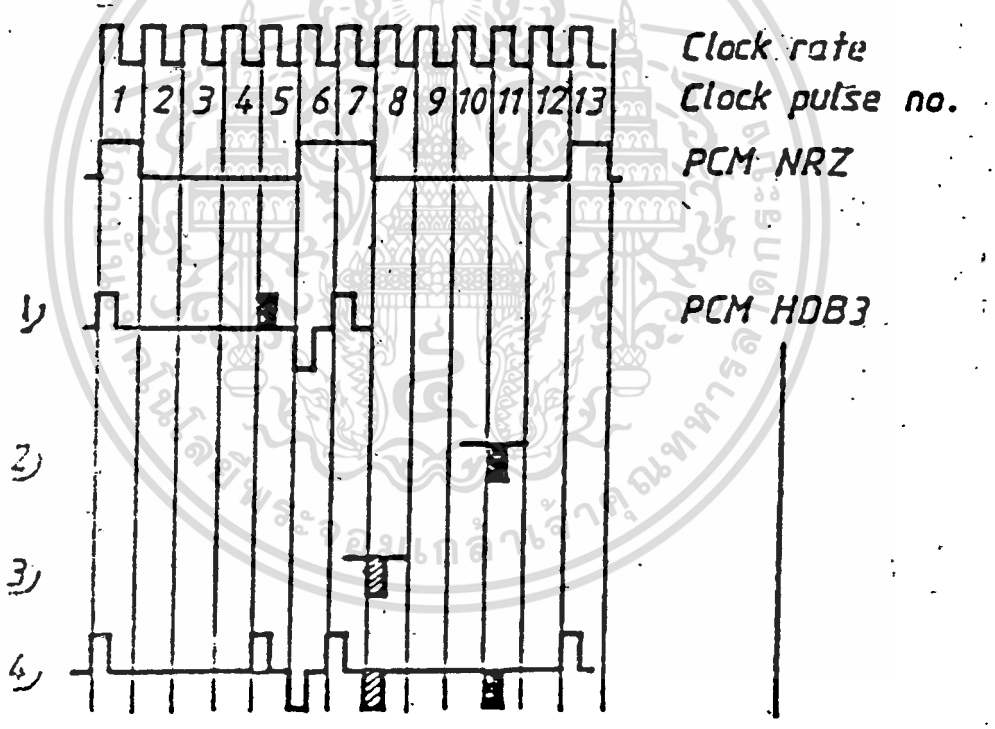
กฎเบื้องต้นของ HDB3 coding คล้ายกับ AMI คือทุกๆค่าของหนึ่งปรากฏขึ้นเป็นครั้งที่ 2. นั้นจะมีค่าตรงข้ามกัน กฎนี้สามารถประยุกต์ใช้ได้ตราบเท่าที่จำนวนของ 0 ที่ตามมาไม่มากกว่า 3.ตัว ถ้ามีค่า0 ตัวที่ 4 มันจะถูกเปลี่ยนโดยการทำลายพัลซ์ทั้ง ดังแสดงไว้ที่รูปที่ 33.



รูปที่ 33. HDB3 coding

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ HDB3 code จะปราศจากแรงดันไฟตรง พิจารณารูปที่ 34. ที่ clock ลูกที่7 จะเกิดเหตุการณ์ที่คล้ายกับรูปที่ 33. (เส้นที่ 1) ที่ clock ที่ 11 จะมีพัลซ์ 0 เท่ากับ 4 ดังนั้นจะถูกทำลายทิ้งและพัลซ์ที่เกิดใหม่จะเป็นลบเพราะว่าบิทก่อนนั้นมีค่าเป็นบวก (เส้นที่ 2) ถ้ารวมเส้นที่ 1 และ 2 เราจะพบว่าการทำลายที่ clock ที่ 11 จะไม่มีการทำลายพัลซ์กันอย่างแท้จริง ซึ่งจะเป็นไปตามกฎของ AMI ดังนั้นจะมีพัลซ์พิเศษเกิดขึ้นที่ตำแหน่งที่เป็น 0 ครั้งแรกในอนุกรม ซึ่งก็คือ clock ที่ 8 พิจารณาเส้นที่ 3



รูปที่ 34. HDB3 coding

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RECEIEVER (ตัวรับ)

เส้นสัญญาณขาเข้าสำหรับ ตัวรับ (receiver) อันดับแรกจะต้องถูกถอดรหัส(decode) ซึ่งจะเป็นแบบ NRZ จาก bipolar form

ใน AMI เป็นการทำที่ง่าย คือทำการแก้ไขสัญญาณและยึดต่อสัญญาณพัลซ์ ใน HBD3 จะเป็นเหตุให้ขบวนการที่ค่อนข้างยุ่งมาก พัลซ์ที่ถูกทำลายและพัลซ์พิเศษจะถูกทิ้งไปโดยไม่รับพิจารณา

พัลซ์ที่ถูกทำลาย (Violation)เป็นการง่ายที่จะถูกรับรองและมีขั้วเช่นเดียวกันกับพัลซ์อันก่อน ซึ่งพัลซ์นี้จะถูกเซทให้มีค่าเป็น ศูนย์

พัลซ์พิเศษจะเป็นเช่นเดียวกันซึ่งโดยแท้จริงแล้วจะเหมาะสมกับตำแหน่ง 3 ตำแหน่งก่อนที่จะถึงพัลซ์ที่ถูกทำลาย (Violation pulse) ซึ่งจะถูกเซทให้มีค่าเป็น ศูนย์เช่นเดียวกัน

ตัวรับ (receiver) จะถูก frame synchronized โดยหมายถึงไทม์สล๊อต ที่ Ø ใน frame synchronizing logic เมื่อ ตัวรับ นั้น ถูก frame synchronized จะทำการรีเซทพัลซ์จะถูกผลิตขึ้นมาเพื่อทำการควบคุมลอจิกทั้งหมด ดังนั้นจึงสามารถที่จะเริ่มต้นในตำแหน่งที่ถูกต้อง

สัญญาณ พีซีเอ็ม สามารถที่จะถูกแบ่งเป็น สัญญาณเสียง และ signalling information และกระจายไปยังแอดเดรสที่ถูกต้อง

ไทม์สล๊อต จะประกอบด้วย สัญญาณเสียงที่ส่งผ่าน ADI decoder เอาว์พุทของ สัญญาณคือโค๊ดของเสียง (speech code)ในแบบ โค๊ดของไบนารี (binary code)

โค๊ดแบบไบนารี (Binary code)จะถูกแปลงเป็นสัญญาณ อนาล๊อก ซัลนัลที่แตกต่างกันจะเริ่มต้นที่เอาว์พุทของ D/A converter ในรูปแบบของ PAM (Pulse Amplitude Modulation) พัลซ์ ใน time division multiplex

ระบบจะถูกตรวจตราโดยหน่วยเตือน (alarm unit) หน่วยเตือนจะทำการแจ้งถึงสิ่งแวดล้อมที่เกี่ยวกับสภาวะการเตือนใน 2 ลักษณะที่แตกต่างกัน คือ

1. การส่งข่าวสารโดยตรงโดยใช้ LED
2. ข่าวสารที่ถูกส่งมาตามสายเพื่อไปยังจุดศูนย์กลางของระบบการตรวจสอบของหน่วยแลกเปลี่ยน (exchange)

2.10 การมัลติเพ็ลกซ์แบบดิจิตอล (DIGITAL MULTIPLEXES)

ระบบปฐมภูมิ (primary system) มีจุดมุ่งหมายไว้ใช้สำหรับระยะทางสั้นๆ ในขณะที่ในระยะกลางและระยะยาวที่มีจำนวนซัลแนลมากๆ ในทางปฏิบัติจะมีการรวมระบบ พีซีเอ็ม ทั้งหลายเข้าด้วยกันโดยการใช้สายส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพียงเส้นเดียว มากกว่าที่จะใช้ ระบบปฐมภูมิ พีซีเอ็ม หลายๆอัน ระบบที่มี order จำนวนมากๆเรียกว่า digital multiplexes

พื้นฐานของ digital multiplexes คือเป็นการรวมพัลซ์ที่ผ่านเข้ามาเป็นสาขาที่มีเป็นสาขามา เพื่อให้พัลซ์ที่ออกมามีเพียงหนึ่งซึ่งจะมีอัตราการไหลมีค่าสูง ในระบบ second order จะมีสัญญาณ primary พีซีเอ็ม 4 สัญญาณและรวมให้เป็นสัญญาณดิจิตอลเพียงหนึ่งสัญญาณเท่านั้น มาตราฐานของระบบ primary พีซีเอ็ม จะมีอยู่ 2 แบบ กล่าวคืออาศัยจากความแตกต่างของอัตราการส่งของบิท พิจาราณาจากรูปที่ 35. digital multiplexes ที่ 30 ชัลแนล ระบบ พีซีเอ็ม จะมี bit rate 8448 kb/s ในขณะที่ระบบ 24 ชัลแนลจะมีค่า bit rate 6312 kb/s

ระบบการส่งแบบดิจิตอลจะยึดหลักการควบคุมอย่างเป็นขั้นตอนคล้ายกับแบบระบบ FDM การควบคุมอย่างเป็นขั้นตอนของ digital multiplex ของระบบ พีซีเอ็ม ที่มีขนาด 30 ชัลแนล แสดงดังรูปที่ 36.

SECOND ORDER DIGITAL MULTIPLEX

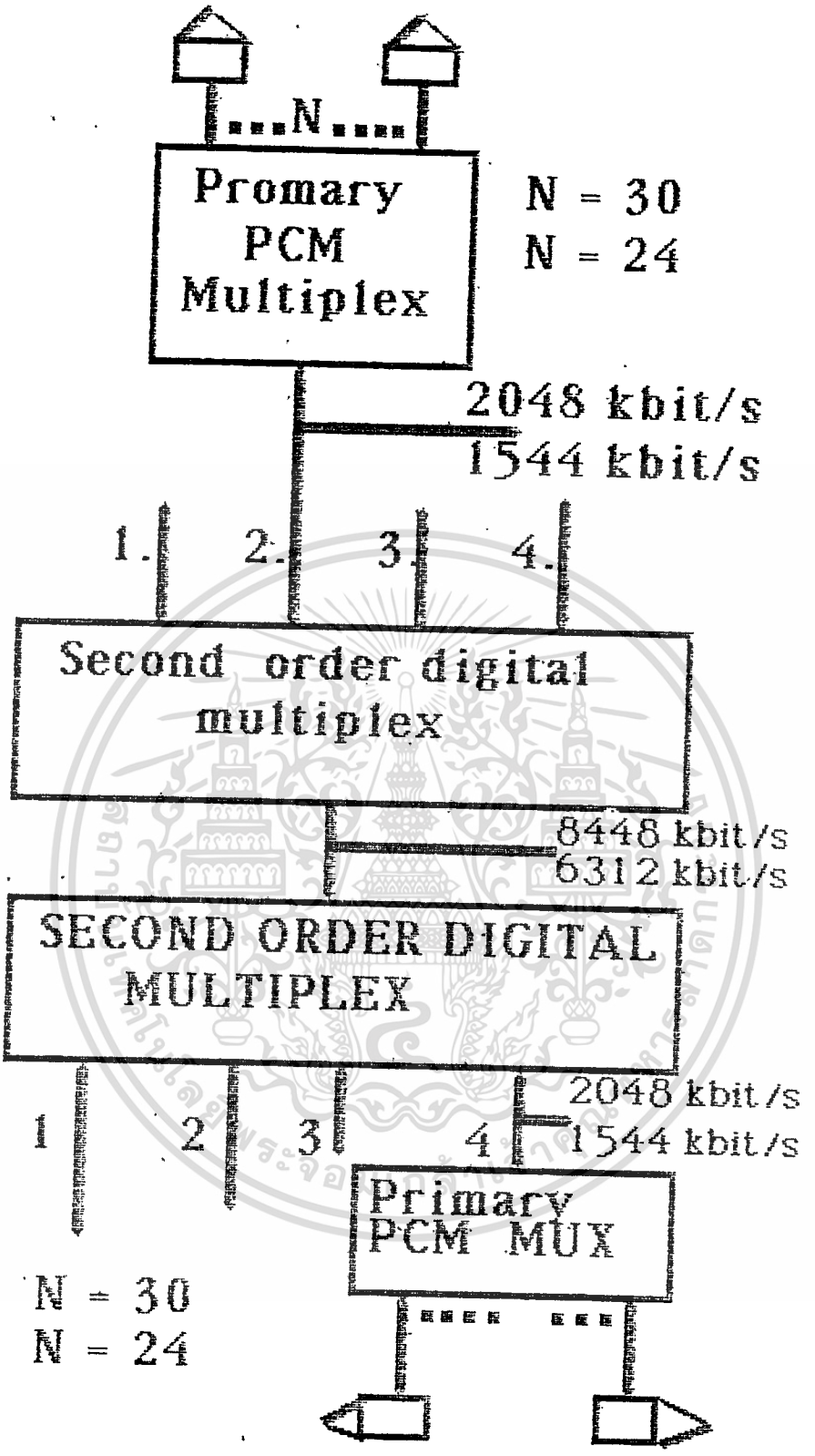
พื้นฐานของ digital multiplex คือการควบคุมสภาวะทั้งหมดอย่างเป็นขั้นตอน การทัลติเพลกซ์ ใน second order มัลติเพลกซ์เซอร์สามารถทำได้เช่นเดียวกับ โมเดลทั่วไป พื้นฐานหลักของการมัลติเพลกซ์สำหรับการ digital multiplex คือ ขบวนการสอดแทรกบิท ซึ่งกระจายอยู่เป็นสาขามารวมกันบิทต่อบิทโดยใช้เส้นทางออกร่วมกัน ดังแสดงดังรูปที่ 37

เมื่อทำการสอดแทรกบิทที่ต้องการแทรก สาขาทั้ง4จะถูก synchronized primary multiplex ทั้งหมดจะไม่ขึ้นกับการทำงานของ clock จึงเกิดอัตราไหลของบิทที่แตกต่าง และเฟสที่ต่างกัน

เมื่อได้การ synchrozation ระหว่าง การกระจาย buffert memory จะถูกแทนที่ระหว่าง tributaries กับ bit interleaver ซึ่งจะแสดงได้ดังรูปที่ 38 การ synchronization จะสำเร็จโดยการอ่านค่าบิทที่ออกจาก buffert memory ซึ่งมีค่าอัตราการไหลของบิท (bit rate) สูงกว่าการเขียนบิทลงใน buffert memory เสียอีก อัตราการอ่านออกมีค่าเท่ากับ 2112 kb/s. ดังนั้นที่ second order ค่า bit rate จะมีค่าเท่ากับ 4 x 2112 = 8448 kb/s หน่วยควบคุมจะสั่งการอ่านข้อมูลออกจาก buffert memory ทั้ง 4 ในเวลาเดียวกัน

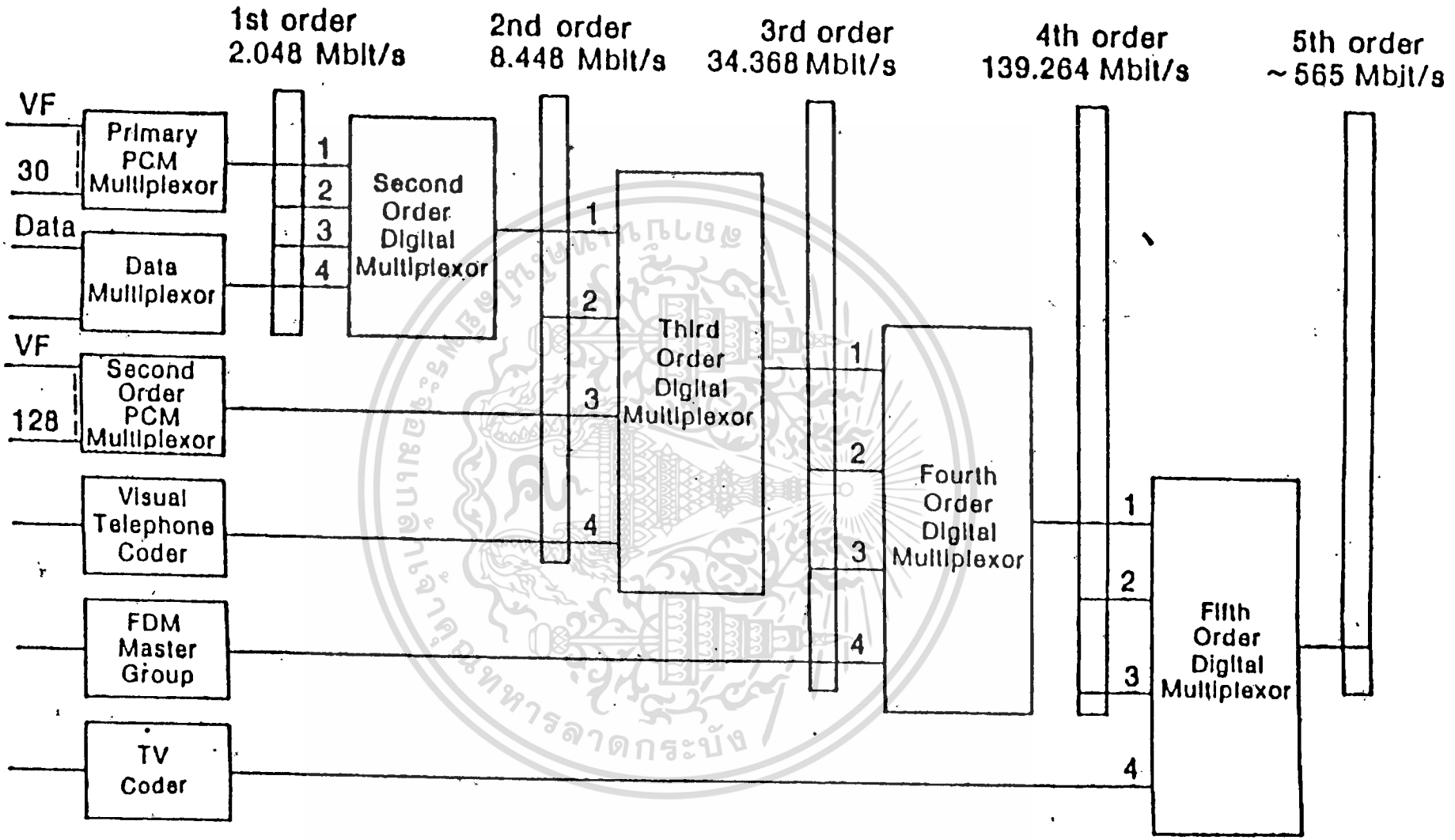
โครงสร้างของเฟรมของ second order จะถูกใช้ในการตัดสินใจโดยหน่วยควบคุมเมื่อ second order frame alignment word มีค่าเท่ากับ 1111010000 มี 2 บิทที่ใช้ในการบริการและบิทที่ให้เหตุผลในการควบคุมจะถูกแทรกลงในเวลาระหว่างที่ subfremes พิจาราณาที่รูปที่ 39

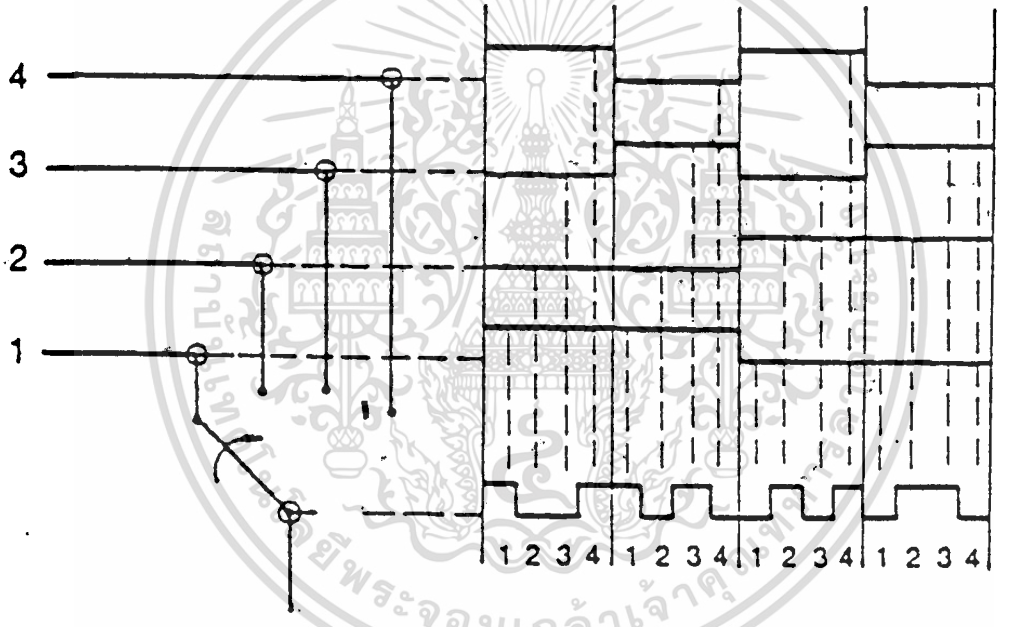
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 35.

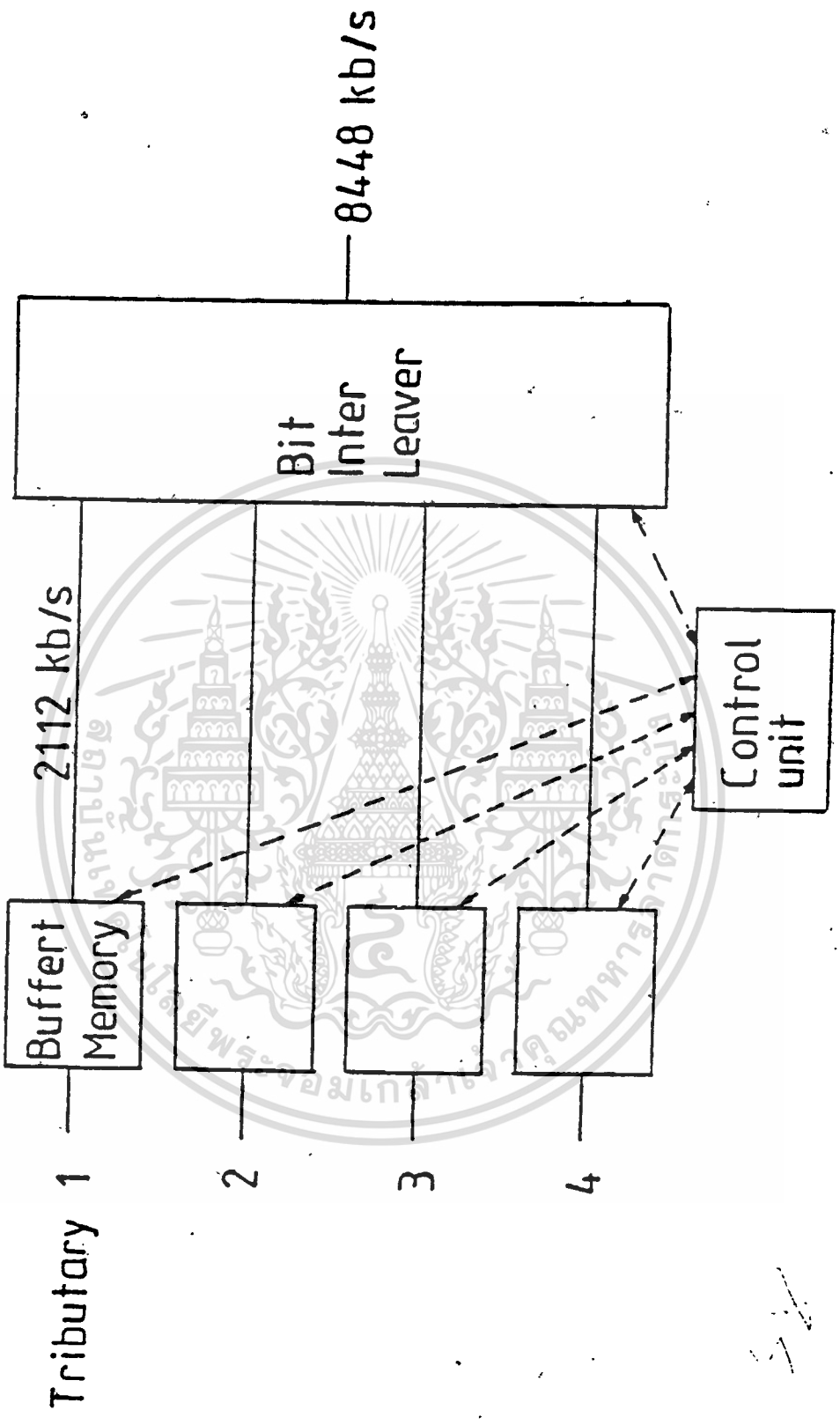
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


1st order
2.048 Mbit/s
2nd order
8.448 Mbit/s
3rd order
34.368 Mbit/s
4th order
139.264 Mbit/s
5th order
~565 Mbit/s
VF
30
Primary PCM Multiplexor
Data
Data Multiplexor
VF
128
Second Order PCM Multiplexor
Visual Telephone Coder
FDM Master Group
TV Coder
1
2
3
4
Second Order Digital Multiplexor
Third Order Digital Multiplexor
Fourth Order Digital Multiplexor
Fifth Order Digital Multiplexor



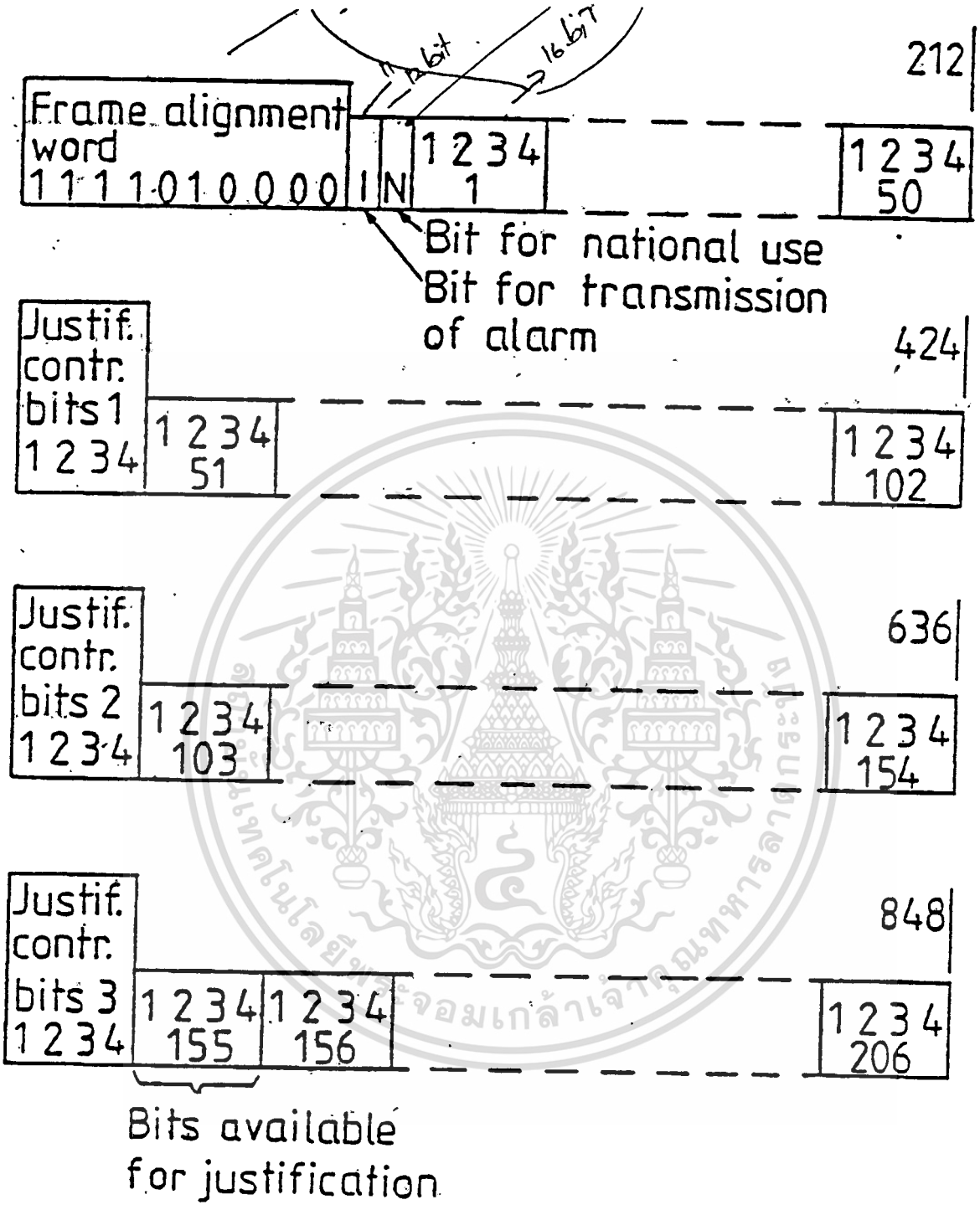
รูปที่ 37.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 38.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 39.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจาราณาที่บิทที่ใช้ในการตัดสินใจในการควบคุมและอีก 4 บิทที่ 155 เพราะว่า bit rate ของ tributaries จะถูกยอมรับค่าจาก ค่า nominal ของ 2048 kb/s ในขณะที่อัตราการอ่านออกจาก buffert memory มีค่าคงที่ จะมีการเสี่ยงที่จะทำให้ buffert memory บางตัวหมดไป การเสี่ยงนี้จะถูกกำจัดทิ้งโดยการหยุดการอ่านค่าออกจาก หน่วยความจำตลอดเวลาทั้งคสบของ 1 บิท 4 บิทที่ 155. จะถูกสงวนไว้เพื่อจุดประสงค์นี้ ตำแหน่งของบิทจะถูกบรรจุด้วย ข้อมูลจาก tributaries หรือไม่ก็ บิทจำนวนมากที่ขึ้นอยู่กับโหลดใน buffert memories

ถ้า หนึ่งในตัวแหน่งบิทที่ตำแหน่ง 155 บรรจุด้วย tributary information บิทที่ใช้ในการแสดงการควบคุมอีก 3 บิทจะถูกเซทให้มีค่าเป็น 1 มิฉะนั้นจะถูกเซทให้มีค่าเป็น 0 ตัวรับการมัลติเพลกซ์เซอร์สามารถที่จะตัดสินใจได้โดย 3 บิทของบิทแสดงหลักฐานในการตัดสินใจ ซึ่งผลที่จะตามมาคือ บิทที่ผิดพลาด (error) ที่ถูกแยกออกมาจะไม่ถูกการเซทตามเหตุผล

ทิศทางการรับ frame alignment word ถูกใช้ในการอ้างอิง เมื่อมีการแบ่งส่วนประกอบของสัญญาณดิจิตอลที่เข้ามา สภาวะของบิทที่ใช้ในการควบคุมจะถูกบันทึกไว้ และไม่ต้องการให้ บิทของคำที่ 155 เคลื่อนกลับมา บิททุกบิทจะถูกเขียนลงไปใน buffert memory เพื่อที่จะให้ เรียบในการส่ง การอ่านออกจาก buffert memory จะทำที่อัตราการส่งของบิทเดียวกันคือ เป็นค่าเฉลี่ยของ original tributary signal

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3.

การคำนวณและการสร้าง

ในระบบ SPC ที่ได้ทำการศึกษาและออกแบบในการทดลองนั้น เพราะเหตุว่า ค่าความถี่ในการสุ่มตัวอย่าง (Sampling) ในระบบมีค่าเท่ากับ 2 เท่าของความถี่เสียงสูงสุดที่คนสามารถได้ยินคือประมาณ 4 กิโลเฮริท์ (kHz) (ปกติมีค่าเท่ากับ 3.4 กิโลเฮริท์) ซึ่งค่าที่ได้จะมีค่าเท่ากับ 2x4 kHz = 8 กิโลเฮริท์ (kHz) ในขณะที่จำนวนชัลแนลที่เราต้องส่งข้อมูล (data) ที่ได้หลังจากการผ่าน A/D converter มีค่าเท่ากับ 30 ชัลแนล โดยใน 1 ชัลแนลนั้นมีจำนวนบิทเท่ากับ 8 บิท (อีก 2 ชัลแนล คือ ชัลแนลที่ 0 และ ชัลแนลที่ 16 ใช้ในการส่ง Frame synchronization และ Signalling) ดังนั้นอัตราการไหลของบิทต่อวินาที (bit rate) ของระบบมีค่าเท่ากับ

$$\text{bit rate} = \text{bit/chanal} \times f_{sample} \times (CH + 2)$$

โดย

bit rate = อัตราการไหลของบิทต่อวินาที (bit/sec)

bit/chanal = จำนวนบิทที่งหมดใน 1 ชัลแนล ในที่นี้มีค่าเท่ากับ 8 บิท/ชัลแนล

f_{sample} = คือค่าความถี่ที่ใช้ในการสุ่มตัวอย่าง ในที่นี้มีค่าเท่ากับ 8 กิโลเฮริท์ (kHz)

CH = คือจำนวนชัลแนลทั้งหมดในการส่ง ข้อมูลทั้งหมดใน 1 เฟรม

ดังนั้นจะได้ว่า

$$\text{bit rate} = 8 \text{ bit/chanal} \times 8 \text{ kHz} \times (30 + 2) \text{ chanal}$$

$$= 2.048 \text{ Mbit/sec}$$

ดังนั้นสัญญาณนาฬิกาที่ป้อนให้กับ CODEC และ Filter จะมีค่าเท่ากับ 2.048 Mbit/sec

ในขณะที่ เวลาที่ใช้ในการส่งให้ครบ 1 เฟรม มีค่าเท่ากับ คาบเวลา (T) ของความถี่ในการสุ่มตัวอย่าง ($f_{sampling}$) ซึ่งมีค่าเท่ากับ 8 kHz เท่ากับ

$$T = 1 / f_{sampling} = 1 / 8 \text{ kHz} = 125 \text{ usec}$$

ซึ่งจะทำให้ CODEC และ Filter แต่ละตัวทำงานในการรับข้อมูลที่เป็นดิจิตอล มาแปลงเป็น สัญญาณอนาล็อก และ ส่งข้อมูลที่เป็นดิจิตอล ออกไปเท่ากับ 3.90625 usec หรือประมาณมีค่าเท่ากับ 4 usec

เมื่อพิจารณาผังวงจรโทรศัพท์ระบบ SPC จะได้ข้อมูลดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้.

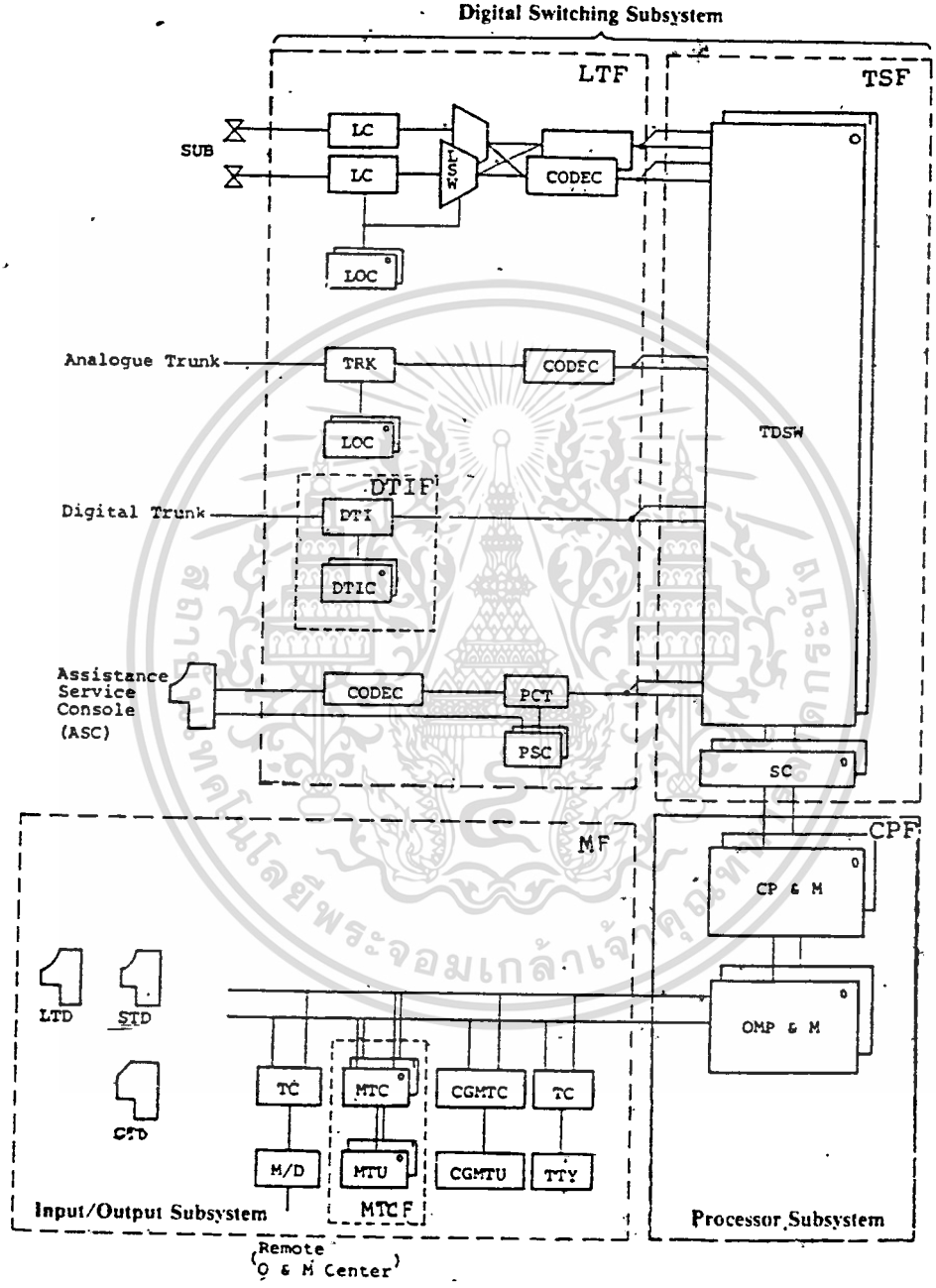
โครงสร้างทางฮาร์ดแวร์ (Hardware) ของชุมสาย Digital SPC

อุปกรณ์ส่วนที่สำคัญของเครื่องชุมสาย Digital SPC เช่น Central processor (CP), Main Memory (MM) , Speech Path Controller (SC) , Time Division Switch (TDSW) , Local Controller (LOC) , Digital Transmission Interface Controller (DTIC) เป็นต้น (ดูรูปที่ A) จะถูกจัดให้มี 2 ชุด ทั้งนี้เพื่อประโยชน์ในกรณีที่ชุมสายมีข้อขัดข้องเกิดขึ้น ก็จะทำให้ชุมสายยังคงทำงานเป็นปกติโดยอัตโนมัติและจะไม่ทำให้ขีดความสามารถของชุมสายลดลงแต่ประการใด การทำงานทางด้าน ฮาร์ดแวร์ จะถูกควบคุมโดยโปรแกรม ด้วยเหตุนี้จึงทำให้อุปกรณ์หลายอย่างมีความยุ่งยากในวงจรน้อยลง และจัดทำให้เป็นมาตราฐานได้ดีขึ้น

คำย่อต่างๆในรูป A

CODEC	Coder and Decoder
CGMTC	Cartridge Magnetic Tape Controller
CGMTU	Cartridge Magnetic Tape Unit
CP	Call Processor
DTI	Digital Transmission Interface
DTIC	Digital Transmission Interface controller
LC	Line Circuit
LOC	Local Controller
LSW	Line Switch
LTD	Line Test Desk
M/D	Modulator and Demodulator
M	Memory
MTC	Magnetic Tape Controller
MTU	Magnetic Tape Unit
OMP	Operation and Maintenance Processor
PCT	Position Cord Trunk
PSC	Position Controller
SC	Speech Path Controller
STD	System Test Desk
TC	Transmission Controller
TME	Transmission Measuring Equipment

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ A โครงสร้างของเครื่องชุมสาย Digital SPC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRK Trunk Circuit

TTD Trunk Test Desk

TTY Teletypewriter

ซึ่งจะมีรายละเอียดดังต่อไปนี้

Digital Switching Subsystem

Digital Switching Subsystem ประกอบด้วย Time Division Switching Network , Line Unit , Trunk Unit , Digital Transmission Interface Unit , Local Controller และ Speech Path Controller

Line Interface Module

ประกอบด้วย Line circuit , Line switches (LSW) และ Encoder/Decoder Unit (CODEC) โทรศัพท์แต่ละหมายเลขที่ถูกต่อมายัง Line circuit จะถูกต่อผ่าน Line switches ซึ่งเป็น Solid State Space Division Matrix โดยการควบคุมของ Local Controller

Line Circuit

จะถูกบรรจุอยู่ใน Plug in card ซึ่งต่อให้กับผู้เช่าธรรมดา (Normall Sub.) ได้ 8 เลขหมาย Line circuit ประกอบด้วยวงจรที่ทำหน้าที่ต่างๆดังนี้

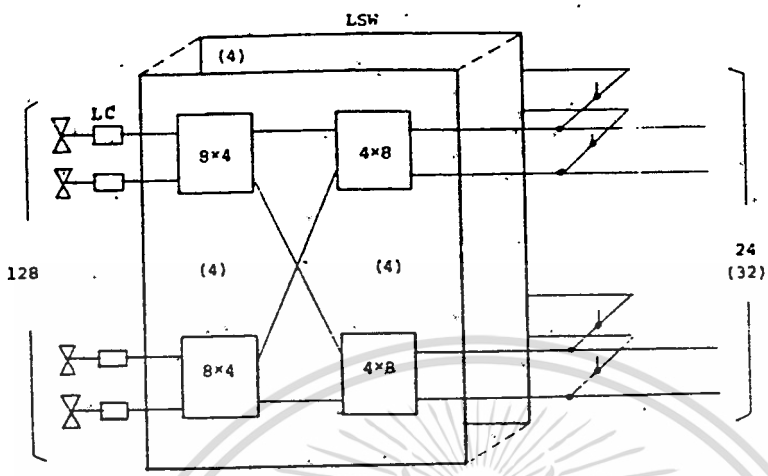
- ป้อนไฟ -48 โวลท์ เลี้ยงปากพูดหูฟังของโทรศัพท์ผู้เช่า
- ป้องกันแรงดันไฟสูงเข้าทั้งสาย Ring และ Tip
- ส่งไฟสำหรับสั่นกระดิ่ง
- ตรวจสอบสภาพของผู้เช่าว่าอยู่ในสภาพว่างหรือไม่ว่าง
- เป็น Hybrid ต่อระหว่างผู้เช่า และ Switching เพื่อทำให้เป็น 4 - wire
- ทดสอบสภาพทางสายของผู้เช่า

ใน Line Switch 1 Unit สามารถต่อเข้ากับ Line Circuit ได้ 128 วงจร และมี Outlet ออก 24 (หรือ 32) Outlet ไปยัง CODEC ดังรูป B.

Encoder/Decoder Unit (CODEC)

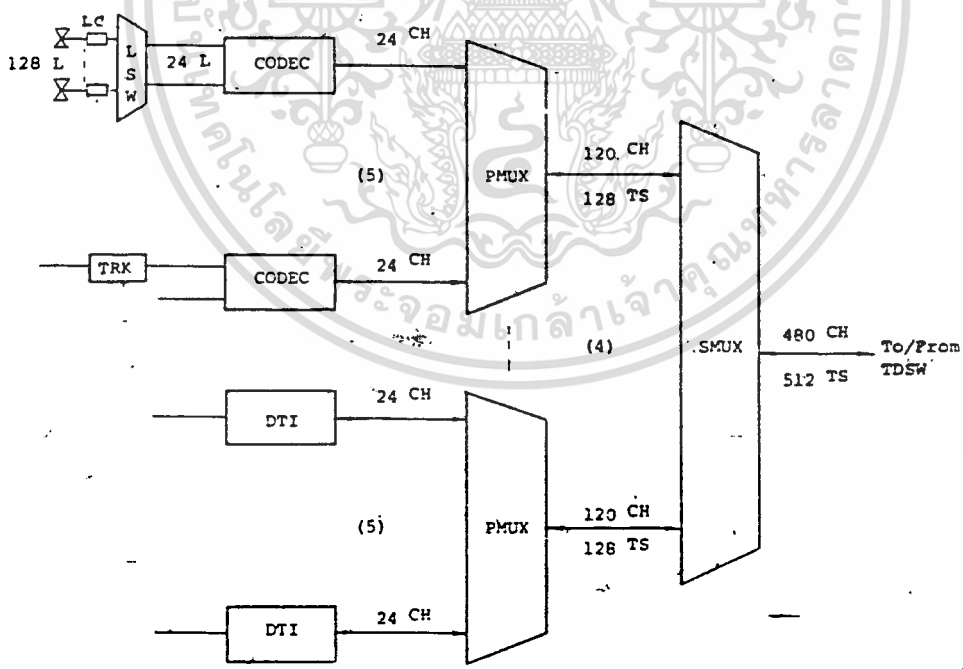
CODEC มีหน้าที่แปลงสัญญาณอนาล็อกซึ่งในที่นี้คือ สัญญาณเสียง (Voice Signal) ช่วงความถี่ 0.3 - 3.4 กิโลเฮริท์ ให้เป็นสัญญาณดิจิตอลขนาด 8 บิท และในขณะเดียวกันก็แปลงสัญญาณ ดิจิตอล กลับมาเป็น อนาล็อก CODEC 1 Unit มี 24 ชัลแนล (1.544 เมกกะบิทต่อวินาที) ดัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ B. Line switch

แสดงในรูป C



รูปที่ C. โครงสร้างของ มัลติเพลกซ์เซอร์

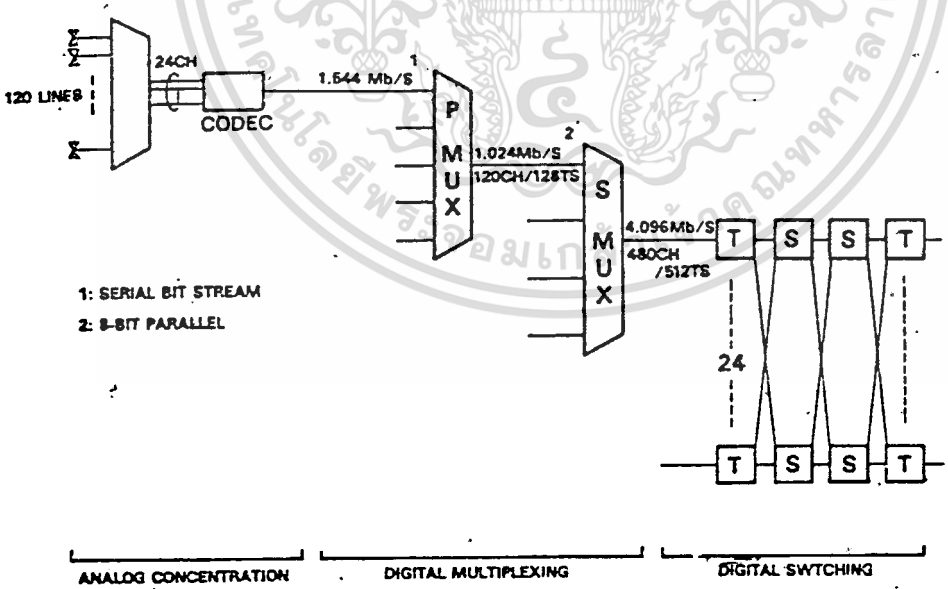
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณจาก CODEC 5 Unit จะถูกต่อเข้า PMUX (Primary Multiplexer / Demultiplexer) เพื่อมัลติเพลกซ์เป็นสัญญาณที่มีขนาด 120 / 128 ไทม์สล๊อต (TS) (1,024 เมกกะบิท ต่อวินาที แบบบิทขนาน CH = Chanals , TS = Time Slot) ซึ่งเรียกว่า 1 Subhighway สำหรับ LM (ซึ่งประกอบด้วย LC , LSW , และ CODEC นี้) จะถูกบรรจุอยู่ใน LTF (Line Trunk Frame)

โครงข่ายสวิทช์ชิ่งแบบดิจิตอล

Time Division Switching Network

โครงข่ายสวิทช์ชิ่งแบบดิจิตอล (Digital Switching Network) ของเครื่องชุมสายประกอบด้วย 4 สภาวะ (Stages) คือแบบ T-S-S-T (Time - Space - Space - Time) ดังแสดงในรูป D. สัญญาณ 4 Subhighways จาก PMUX (120 ชัลแนล ต่อ 12 ไทม์สล๊อต) จะถูกต่อเข้ามายัง SMUX ซึ่งจะได้เอาว์พุทเป็น 480 ชัลแนล / 512 ไทม์สล๊อต ต่อไปยัง Time switch ซึ่งมีได้สูงสุด 24 ตัว จาก Time switch จะถูกต่อผ่าน Space switch 2 stage ไปยัง Time switch จากTime switch จะวกกลับไปยัง SDMUX , PDMUX ,CODEC , LSW , LC และมายังผู้เช่าอีกฝ่ายหนึ่ง



รูปที่ D. Digital Switching Network

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงข่ายสวิทช์ชิ่งแบบดิจิตอล ซึ่งประกอบด้วย 4 สภาวะ คือ T-S-S-T นี้ทำให้ไม่มีการ blocking ในวงจร (Non-blocking traffic)และโครงข่ายนี้จะถูกทำไว้ 2 ชุด เพื่อป้องกันกรณีที่เกิดขัดข้องขึ้น Path connection ก็ยังคงดำเนินอยู่ต่อไปได้ สำหรับโครงข่ายสวิทช์ชิ่งแบบดิจิตอล นี้จะถูกบรรจุใน TSF (Time Division Switching Frame)

Trunk Interface Module (TM)

TM เป็นส่วนที่ประกอบด้วย 24 (หรือ 30) Trunk circuit (Analog) และวงจร CODEC TM จะถูกบรรจุอยู่ใน LTM (Line and Trunk Frame) หรือ TF (Trunk Frame) สำหรับ TF จะสามารถบรรจุ TM ได้สูงสุด 10 TM

Digital Transmission Interface Unit (DTI)

DTI คือส่วนที่ใช้เชื่อมต่อกับ เครื่องชุมสายแบบ Remote type DTI 4 ตัวจะถูกควบคุมการทำงานโดย Digital Transmission Interface Controller (DITC) 1 ตัว DTI แต่ละตัวจะต่อโดยตรงกับ 1 PCM DTI และ Speech Path Network หรือ Time Division Switch Network สำหรับ DTI จะถูกบรรจุใน Digital Transmission Interface Frame (DTIF)

Local Controller (LOC)

LOC มีหน้าที่ควบคุม (control) Line circuit (LC) Line switch (LSW) และวงจร Trunk LOC จะมีอยู่ด้วยกัน 2 ชุด เพื่อป้องกันกรณีที่เกิดข้อขัดข้องขึ้นในชุดหนึ่ง อีกชุดหนึ่งก็จะทำงานแทนกันได้โดยอัตโนมัติ

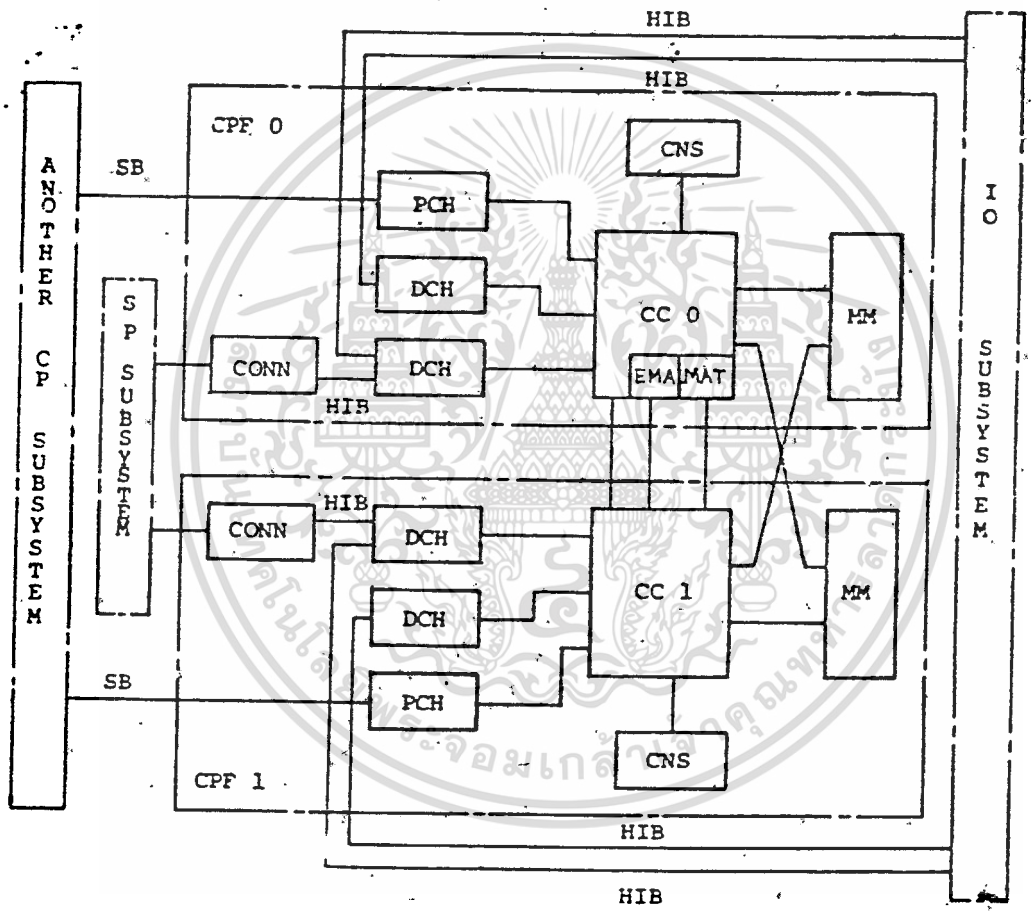
Speech Path Controller (SC)

SC มีหน้าที่ควบคุม Time Division Switching Network (TDSW) และส่ง Control order ไปยัง LOC , DTIC และ Position Controller (PSC) ภายใน SC มีหน่วยความจำหลายชนิดที่ใช้ควบคุมการส่งสัญญาณกระดิ่ง (Ringing) การรับสัญญาณการหมุนเลขหมาย (dial pulse receiving) และการส่งสัญญาณ dial pulse

Control Processor Subsystem (CP)

CP ประกอบด้วยส่วนสำคัญ 3 ส่วน คือ หน่วยควบคุมกลาง หรือที่เรียกกันว่า Central Controller (CC) , หน่วยความจำหลัก หรือที่เรียกว่า Main Memories (MM) และ Data chanals (DCH) ดังแสดงดังรูปที่ E. CC , MM และ DCH จะมีไว้ 2 ชุด เพื่อป้องกันในกรณีที่เกิดข้อขัดข้องขึ้นในชุดหนึ่ง อีกชุดหนึ่งก็จะทำงานแทนกันได้โดยอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ E. Central Processor Subsystem

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำย่อที่ใช้ในรูป E.

CC	:	Central Controller
CONN	:	Connector Unit
CNS	:	Console
HIB	:	High Integrated Bus
EMA	:	Emergency Action Circuit
MM	:	Main Memory
DCH	:	Data Chanal
PCH	:	Processor Communication Chanal
SB	:	Syatem Bus
MAT	:	Matcher Circuit

Central Controller (CC)

CC สามารถปฏิบัติการ (excute) ตามคำสั่ง (Instructions) ต่างๆจาก Main Memory (MM) และจะสั่งให้ Peripheral equipment ได้แก่ Digital Switching Subsystem หรือ Input/Output Subsystem ทำงานเพื่อเป็นการทำให้การทำงานต่อเนื่องกันในกรณีที่เกิดข้อขัดข้อง CC จะถูกจัดให้มี 2 ตัว CC ทั้งสองสามารถทำงานพร้อมๆกัน หรือทำงานแยกกัน (Synchronous mode) ได้ โดยปกติแล้ว CC ทั้งสองจะทำงานในลักษณะ Synchronous mode และผลของการปฏิบัติตามคำสั่งของทั้ง 2 CC จะถูกนำมาเปรียบเทียบกันโดย Matcher circuit (MAT) เมื่อเกิดข้อขัดข้องขึ้น CC จะพยายามทำให้กลับคืน (recover) จากสภาพที่เสียโดย Fault Recovery Program routines ซึ่งจะทำให้ System Configuration เปลี่ยนไปใช้อุปกรณ์ในส่วนที่ duplicated กันอยู่ ถ้าหากว่าไม่สามารถทำได้ Emergency Action Circuit (EMA) จะเริ่มทำงานเพื่อเปลี่ยนไปใช้ CC อีกตัวหนึ่ง เหตุเสียและสภาพการเปลี่ยนจะถูกพิมพ์ออกมาทาง TTY (Teletypewrite) และมี Alarm ให้รู้ด้วย

Main Memory

Main Memory เป็นส่วนซึ่งใช้เก็บโปรแกรมและข้อมูลต่างๆที่ใช้ใน เครื่องชุมสายโทรศัพท์ ตลอดจน เก็บสภาวะชั่วคราวของ อุปกรณ์ต่างๆ (Temporary status of system) เช่น สภาพว่างหรือไม่ว่างของผู้เช่าของวงจร Trunks และ โครงข่าย

Data Chanal (DCH)

Data chanal คือส่วนที่ใช้ในการส่งข้อมูล (Data transfer) ระหว่าง MM และ I/O devices DCH จะถูกกระตุ้นโดย CC , DCH จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นตัวควบคุมการทำงานของ I/O devices ในการส่งและรับข้อมูล เมื่อ Data transfer ได้ถูกกระทำเรียบร้อยแล้ว DCH จะ interupt เข้าไปยัง CC เพื่อบอกให้รู้ว่าการรับส่งข้อมูลได้กระทำเสร็จสิ้นแล้ว ด้วยการทำงานของ DCH เช่น นี้ทำให้ CC เป็นอิสระจากการต้องเสียเวลาในการควบคุม Slow speed I/O devices

Call Processor and Operation and Maintenance Processor

Central Processor ยังแบ่งออกเป็น 2 ชนิด คือ Call Processor (CP) และ Operation and Maintenance Processor (OMP) ซึ่งมีหน้าที่ในการทำงานตามชื่อที่ถูกเรียก CP มีหน้าที่รับผิดชอบเกี่ยวกับ Call Processing ส่วน OMP มีหน้าที่ในการที่จะรับผิดชอบเกี่ยวกับการทำงานของทั้งระบบและการบำรุงรักษา (System operation and maintenance processing) ในเครื่องชุมสายขนาดเล็กถึงขนาดกลาง (Small-to-madium capacity) จะมี Processor แบบผสม คือเป็นทั้ง CP และ OMP ภายในตัวเดียวกัน สำหรับเครื่องชุมสายที่มี ขนาดใหญ่ (Large Capacity) จะมี CP หลายๆตัว และมี OMP 1 ตัว แยกกัน สำหรับ Hardware ของ CP และ OMP จะเหมือนกัน การที่มี CP ทำงานด้วยกันหลายๆตัว เราเรียกว่า " Multiprocessor System "

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลอง และ ผลการทดลอง

4.1 วงจรเชื่อมต่อโทรศัพท์

(TELEPHONE LINE FEED CIRCUIT)

วงจรเชื่อมต่อโทรศัพท์นี้จะมีอยู่ประจำทุกคู่สายหรือทุกเครื่องผู้เช่า (Subscriber) สำหรับโครงงานนี้ได้สร้างวงจรเชื่อมต่อโทรศัพท์ขึ้นโดยแบ่งหน้าที่การทำงานออกเป็น 3 ส่วน คือ BOS , HYB และ RS ดังนี้

4.1.1 บอส (BOS)

ส่วนของบอสนี้ย่อมาจากคุณสมบัติ 3 ประการ คือ B = Battery O = Overvoltage Protection และ S = Supervision โดย

แหล่งจ่ายไฟตรง (Battery) ทำหน้าที่จ่ายไฟ -48 Volt ส่งไปตามสายให้แก่เครื่องโทรศัพท์ผู้เช่า

การป้องกันแรงดันเกิน (Overvoltage Protection) จะทำการป้องกันแรงดันเกินที่ถูกส่งเข้ามาในสายโทรศัพท์แล้วเข้ามายังชุมสายซึ่งอาจเกิดจากฟ้าผ่าหรือสาเหตุอื่น ๆ อันเป็นเหตุให้ชุมสายเสียหายได้

การรับส่งสัญญาณ (Supervision) ทำหน้าที่รับสัญญาณเสียงพูดจากโทรศัพท์แล้วส่งให้แก่ไฮบริดจ์ และรับสัญญาณที่ออกจากไฮบริดจ์ไปส่งให้แก่เครื่องผู้เช่า ซึ่งจะมีสายสัญญาณเข้า 2 เส้นและออก 4 เส้น

4.1.2 ไฮบริดจ์ (HYBRID)

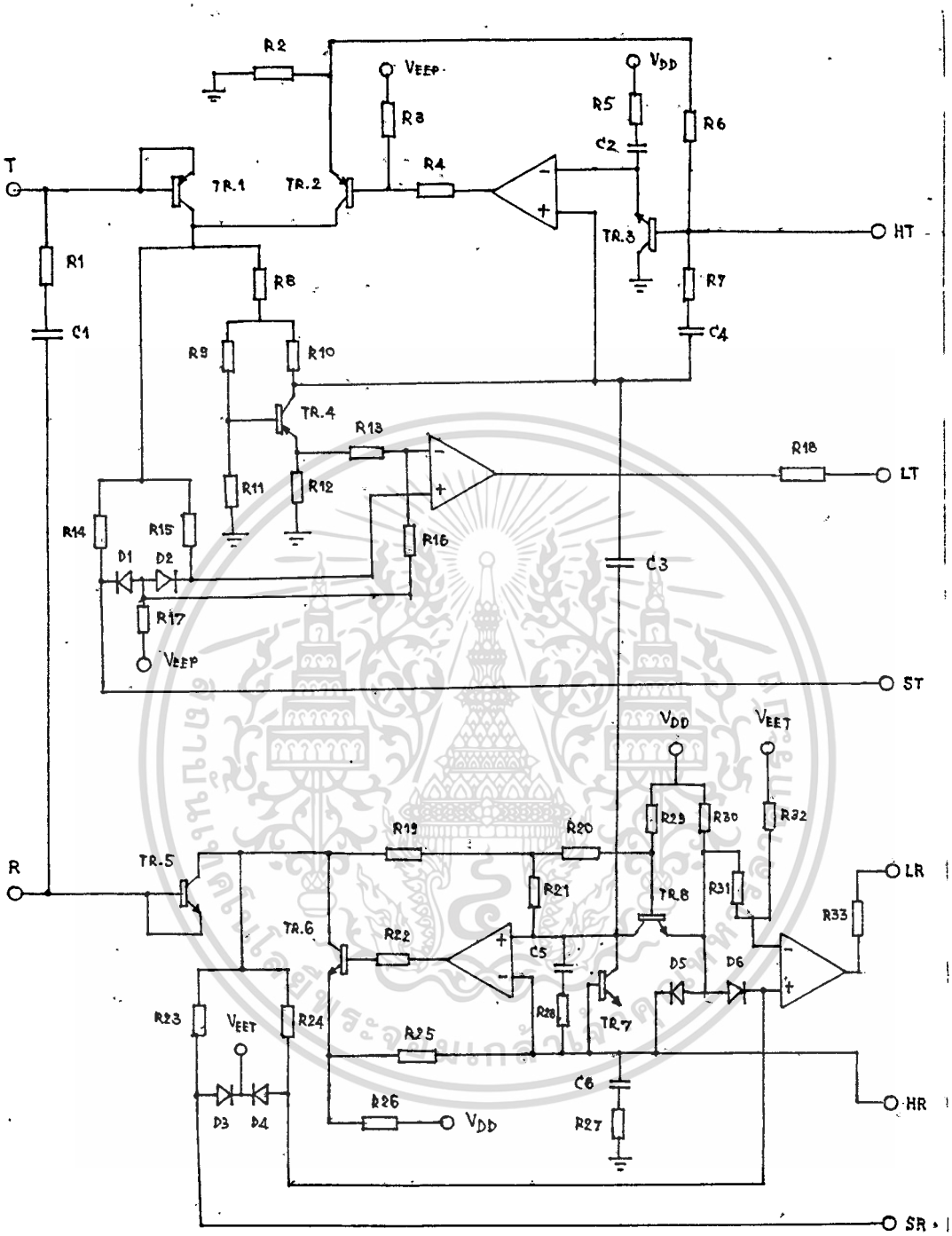
วงจรไฮบริดจ์จะรับสัญญาณจากบอสมาขยายแล้วส่งออกทาง Tx และรับสัญญาณจาก Rx มากลับเฟสของสัญญาณ 2 ครั้งแล้วส่งไปให้แก่บอส โดยจะมีส่วนของวงจรมิลเลอร์ (Mirror) สะท้อนสัญญาณจาก Rx ป้อนกลับออกไปทาง Tx ร่วมอยู่ด้วย

4.1.3 ส่วนเช็คสถานะการวางหูและส่งผ่านสัญญาณเรียก

(Ring Supervisor)

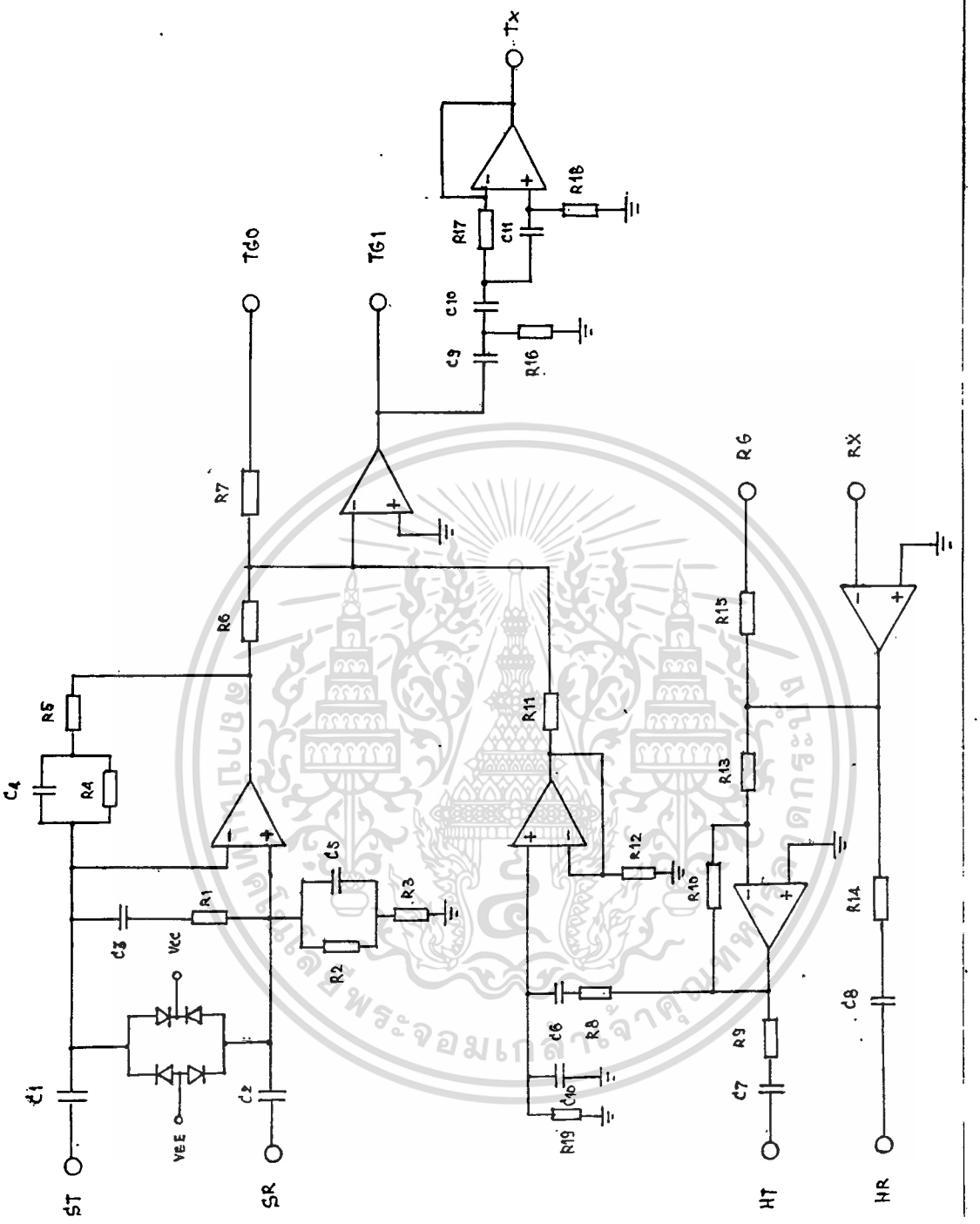
จะทำการเช็คว่าโทรศัพท์ถูกยกหูหรือวางหู (Hook Status) โดยการรับสัญญาณที่ส่งมาจากบอสผ่านออโตคัปเปอร์ เพื่อนำไปเข้าเงื่อนไขสำหรับควบคุมรีเลย์ตัดต่อสายให้ต่อกับสัญญาณเรียก วงจรจะใช้ไอซีเปรียบเทียบแรงดัน (Voltage Comperator) เป็นตัวเปรียบเทียบสัญญาณอนาล็อกที่เข้ามาแล้วส่งออกไปเป็นค่าโลจิก " 0 " หรือ " 1 " เมื่อได้ทราบถึงวงจรแต่ละส่วนแล้ว ทีนี้เราก็จะนำวงจรทั้งหมดมาต่อเข้าด้วยกัน ดังรูปที่ 4.1.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



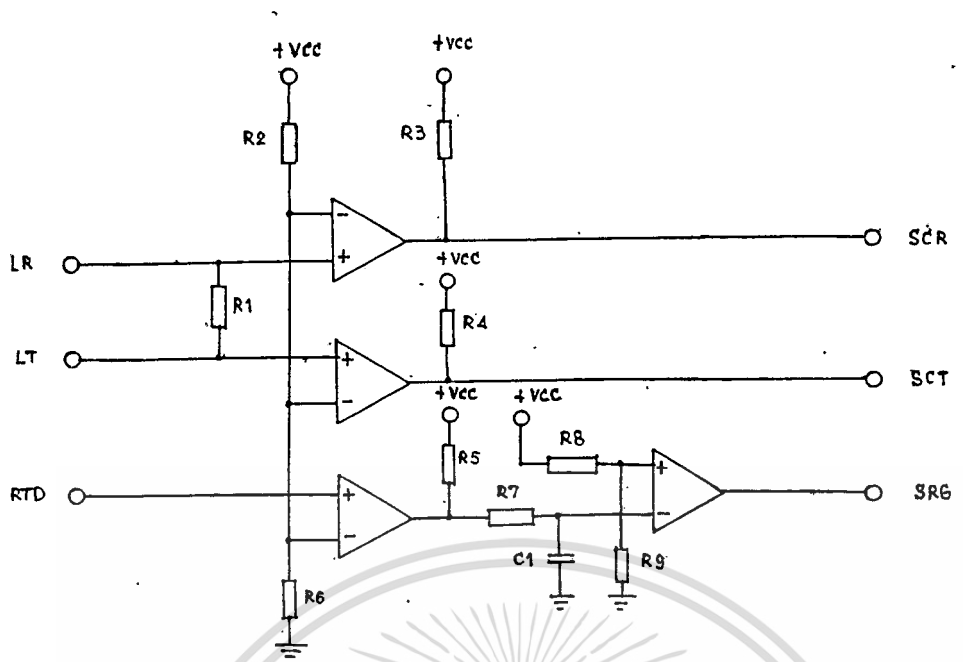
รูปที่ 4.1.1 วงจรบอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

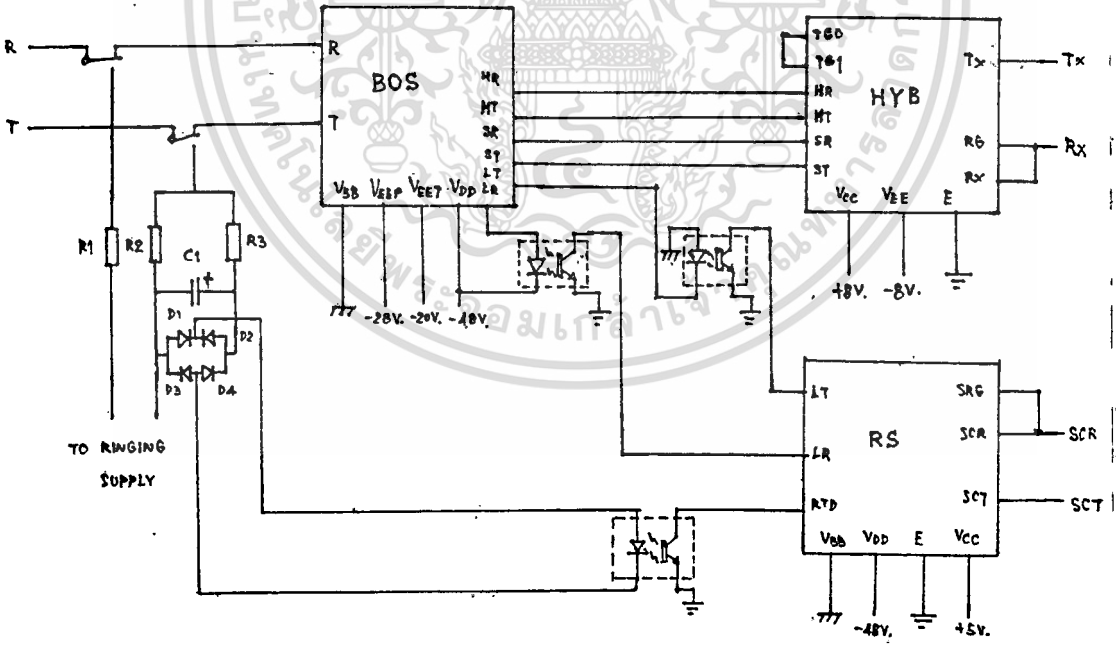


รูปที่ 4.1.2 วงจรไฮบริดจ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



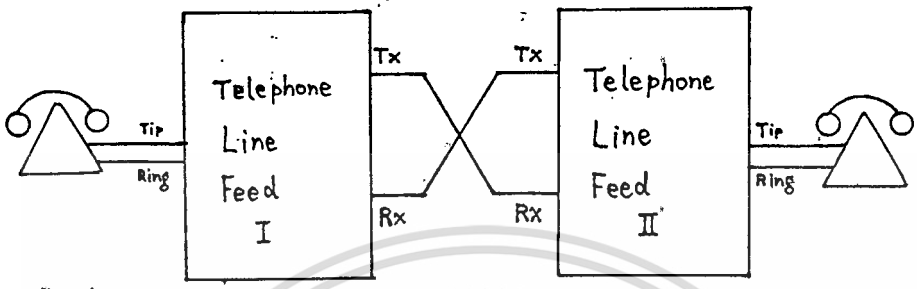
รูปที่ 4.1.3 วงจร RS (RING SUPERVISOR)



รูปที่ 4.1.4 วงจรเชื่อมต่อโทรศัพท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลองประกอบวงจรขึ้นใช้งานเราทำการทดลองโดยประกอบวงจรเชื่อมต่อโทรศัพท์ขึ้น 2 ชุด แล้วต่อเครื่องโทรศัพท์เข้าทั้ง 2 ด้าน ทดลองพูดโต้ตอบกันปรากฏว่าเสียงที่ได้ยินค่อนข้างชัดเจนดีมีสัญญาณรบกวนบ้างเล็กน้อย



รูปที่ 4.1.5 การต่อวงจรเชื่อมต่อ 2 วงจรเข้าด้วยกัน

4.2 วงจรกรองความถี่ (PCM FILTER)

วงจรกรองความถี่ที่ใช้ทดลองนี้ ใช้ไอซีเบอร์ TP 3040 PCM MONOLITHIC FILTER เป็นตัวทำหน้าที่กรองสัญญาณรบกวนออกไป ไอซีเบอร์นี้ได้ออกแบบมาให้ใช้กับระบบที่มีความถี่การสุ่มตัวอย่างเท่ากับ 8 KHz เท่านั้น

เหตุที่เราใช้วงจรกรองความถี่ก็เพราะจากทฤษฎีการสุ่มตัวอย่างสัญญาณอนาล็อกนั้น เราใช้ความถี่ 2 เท่าของความถี่ที่เราจะสุ่ม สัญญาณเสียงพูดจะอยู่ในช่วง 300 ถึง 3400 Hz หรือ ช่วงความถี่ของสัญญาณโทรศัพท์ (TELEPHONE BAND) ดังนั้นเราจึงใช้ความถี่สุ่มตัวอย่างเท่ากับ 8 KHz

เพื่อไม่ให้สัญญาณดิจิตอลที่ผ่านการเข้ารหัสออกมาผิดพลาด เราจึงต้องกรองสัญญาณที่จะผ่านไปสุ่มตัวอย่างไม่ให้มีความถี่ต่ำกว่า 300 Hz หรือสูงกว่า 3400 Hz จึงจะใช้ความถี่ 8 Hz ในการสุ่มตัวอย่างได้ผลดีที่สุด

ไอซี TP 3040 ตัวนี้ จะมีลักษณะของบล็อกไดอะแกรมดังรูปที่ 4.2.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

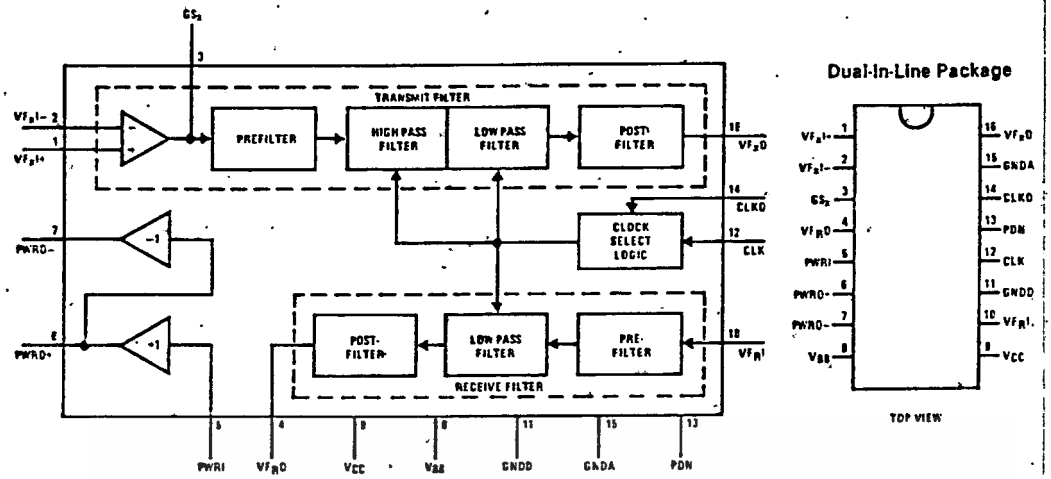


FIGURE 1

รูปที่ 4.2.1 แสดงบล็อกไดอะแกรมของไอซีเบอร์ TP 3040 และการจัดวางตำแหน่งขา

ภายในไอซีตัวนี้จะแบ่งการทำงานออกเป็น 2 ส่วนใหญ่ ๆ คือ วงจรกรองความถี่ขาเข้า(Transmit Filter) และวงจรกรองความถี่ขาออก (Receive Filter) วงจรกรองความถี่ขาเข้าจะรับสัญญาณอนาล็อกจากภายนอกเข้ามาทางขา VfxI+ ผ่านออปแอมป์ภายใน ซึ่งเราสามารถจัดอัตราการขยายได้โดยต่อตัวความต้านทานเข้ากับขา Gsx และ VfxI- ซึ่งเราจะกล่าวต่อไป แล้วส่งผ่านไปให้วงจรกรองความถี่โดยมีการกรองทั้งความถี่ต่ำกว่า 300 Hz และ สูงกว่า 3400 Hz

ส่วนทางด้านขาเข้าสัญญาณอนาล็อกจะเข้ามาทางขา VfrI ผ่านวงจรกรองความถี่ต่ำแล้วส่งออกทางขา VfrO

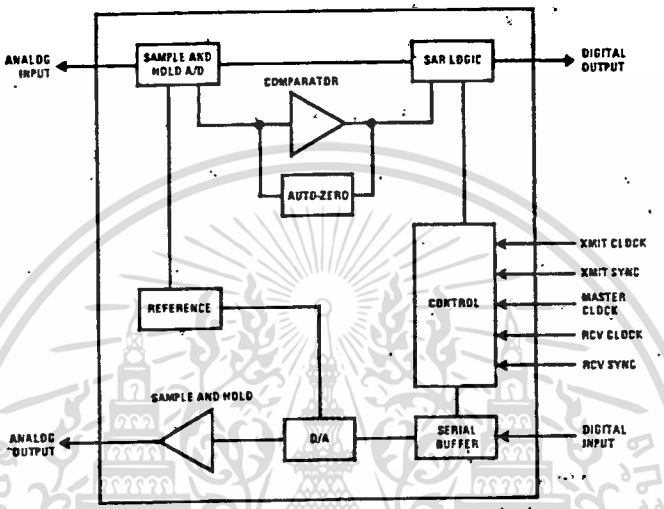
นอกจากนี้แล้วภายในไอซีตัวนี้ยังมีวงจรลดทอนสัญญาณ (Attenuator) 2 ชุดต่ออนุกรมกันมีขาสัญญาณเข้าคือ PwrI และ ขาสัญญาณออก คือ PwrO- และ PwrO+

การกรองความถี่ของไอซีตัวนี้ จะใช้ระบบสวิทช์ตัวเก็บประจุภายใน (Capacitor Switch) ซึ่งมีผลเหมือนกับการใช้วงจรกรองความถี่แบบแลดเดอร์ (LC Ladder) ดังนั้นเราจึงต้องป้อนสัญญาณนาฬิกา 2.048 MHz ให้กับขา Clk ของไอซีจึงจะทำงาน รายละเอียดในส่วนอื่นขอให้ดูจากภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

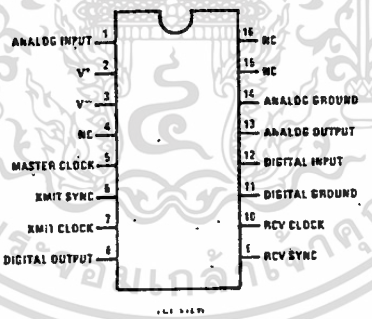
4.3 วงจรเข้าและถอดรหัส (CODEC)

วงจรเข้าและถอดรหัสใช้ไอซีเบอร์ TP 5156A เป็นตัวเข้าและถอดรหัส โดยเป็นไอซีแบบโมโนลิทิด พีซีเอ็ม โคเดด (Monolithic Pcm Codec) ที่มีการเข้ารหัสในแบบ A-LAW ซึ่งต่อใช้งานร่วมกับ ไอซี TP 3040 PCM Fliter



Connection Diagram

Dual-In-Line Package



รูปที่ 4.3 แสดงบล็อกไดอะแกรมของไอซี TP 5156A และการจัดวางขา

การใช้งานไอซีเข้าและถอดรหัสนี้ มีข้อควรระวังตรงที่สัญญาณซิงค์ และ สัญญาณที่ป้อนให้จะต้องเป็นไปตามสเปคที่ระบุมากับคู่มือไอซี (ดูได้จากภาคผนวก)

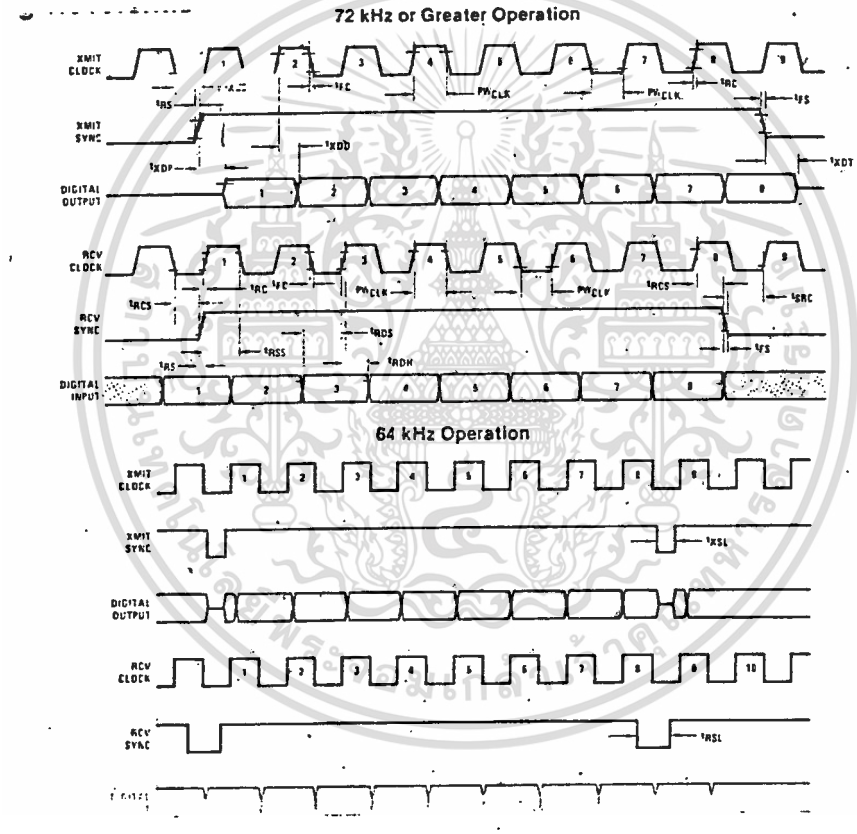
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.1 การทำงานของไอซี TP 5156A

ในสภาวะของการส่งข้อมูลดิจิตอล จะมีสัญญาณซิงค์การส่ง (Xmit Sync) มาให้แก่ไอซีเป็นเวลาไม่ต่ำกว่า 200 nS ไอซีจึงจะทำการเข้ารหัสสัญญาณอนาล็อกและส่งออกไปทางดิจิตอลเอาท์พุท

ในสภาวะของการส่งข้อมูลดิจิตอล ข้อมูลจะมารออยู่ที่ขาดิจิตอลอินพุทของไอซีแล้ว เมื่อเราให้สัญญาณซิงค์การรับ (Rev Sync) ไอซีก็จะรับสัญญาณดิจิตอลเข้ามาถอดรหัส

ช่วงเวลาการทำงานและลักษณะของสัญญาณต่างๆสังเกตได้จากรูปที่ 4.3.1



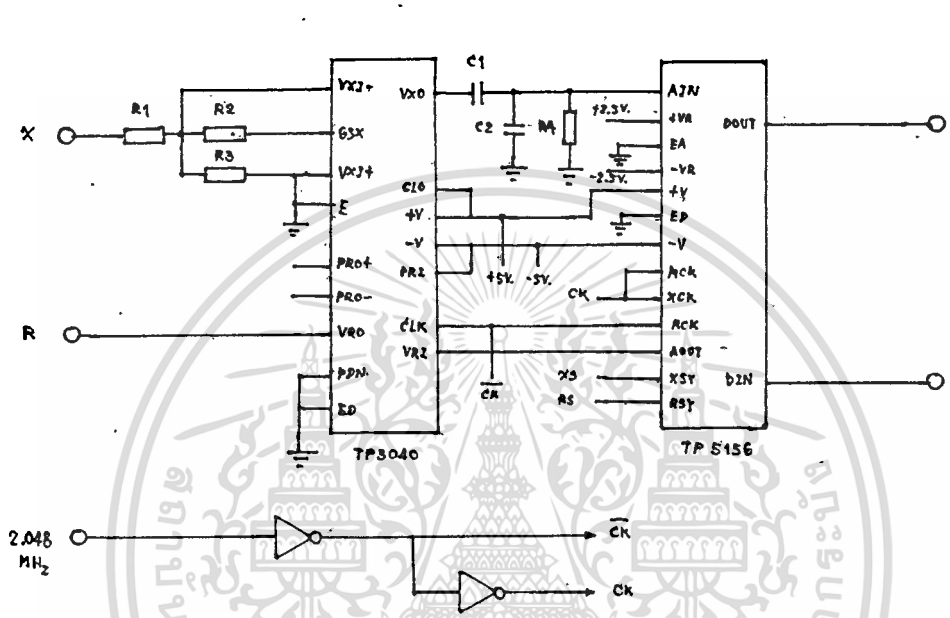
TRI STATE® is a registered trademark of National Semiconductor Corp.

รูปที่ 4.3.1 เปรียบเทียบสัญญาณต่างๆที่ใช้กับไอซี TP 5156A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 วงจรเข้าและถอดรหัสที่ใช้ทดลอง

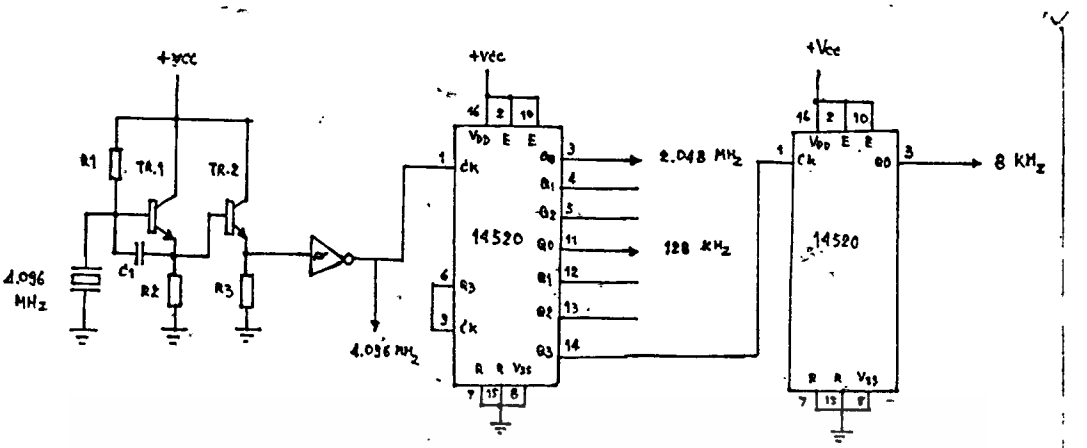
วงจรเข้าและถอดที่ใช้ทดลองนั้นจะต่อเข้าร่วมกับวงจรกรองความถี่ ดังรูปที่ 4.3.2



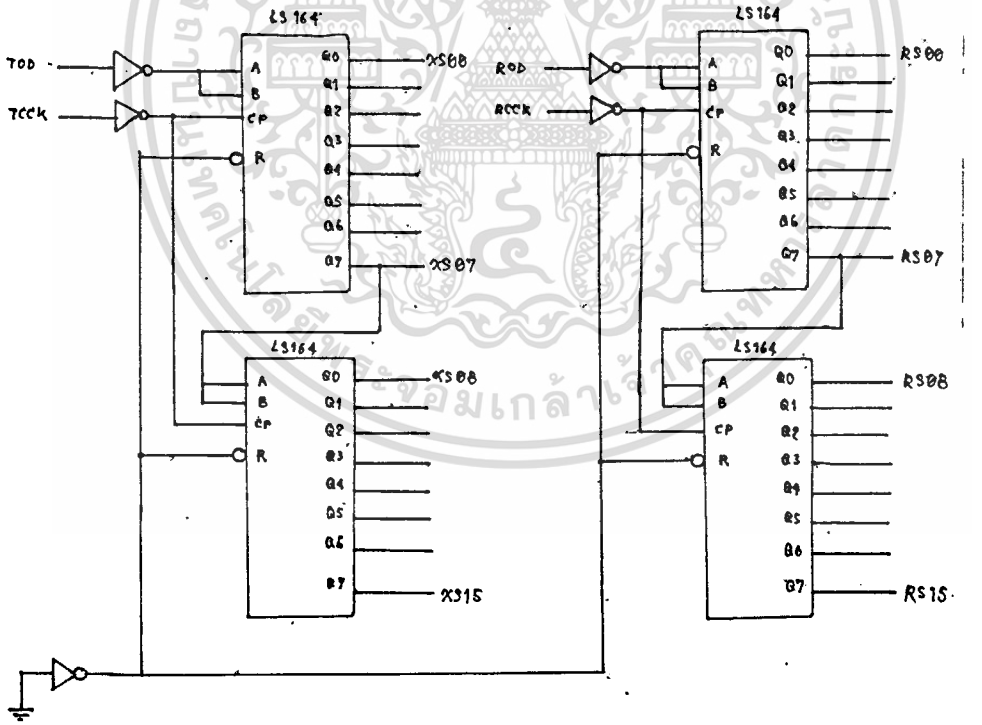
รูปที่ 4.3.2 วงจรเข้าและถอดรหัสที่สมบูรณ์

สำหรับวงจรสร้างสัญญาณนาฬิกานั้น เราใช้คริสตอลความถี่ 4.096 MHz เป็นตัวกำเนิดความถี่ป้อนให้แก่ วงจรนับเพื่อสร้างสัญญาณนาฬิกาความถี่ 2.048 MHz , 128 KHz และ 8 KHz ป้อนให้แก่ระบบ

ส่วนการสร้างสัญญาณซิงค์ทางด้านรับและทางด้านส่งสามารถแสดงได้ดังนี้ คือ ทางด้านรับ เราจะใช้สัญญาณ ROD และ RCLK ซึ่งสัญญาณทั้งสองนี้จะมาจากชุดควบคุม CODEC และส่วนทางด้านส่ง เราจะใช้สัญญาณ TOD และ TCLK ซึ่งสัญญาณทั้งสองนี้ก็มาจากชุดควบคุม CODEC เหมือนกับทางด้านรับ



รูปที่ 4.3.3 วงจรสร้างสัญญาณนาฬิกา



รูปที่ 4.3.4 วงจรสร้างสัญญาณซิงค์ทางด้านรับและส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์

5.1 ก่อนจะมาเป็นโครงงาน PABX

โครงงานนี้ได้เริ่มต้นขึ้นสืบเนื่องมาจากโครงของคภาควิชาที่กำลังทำการค้นคว้าวิจัยอยู่ก่อนหน้านี้แล้วด้วยทุนของสภาวิจัยแห่งชาติ หลังจากที่ได้รับมอบหมายโครงงานนี้มาโดยได้กำหนดให้ออกแบบสร้างตู้ชุมสายโทรศัพท์สาขาส่วนบุคคลอัตโนมัติ (PRIVATE AUTOMATIC BRACH EXCHANGE) ขนาด 256 คู่สาย สามารถติดต่อได้ทั้งภายในและภายนอกได้โดยอัตโนมัติไม่ต้องมีโอเปอร์เรเตอร์ มีกำหนดระยะเวลาในการสร้างให้สำเร็จภายใน 1 ปี ตลอดระยะเวลา 1 ปี ที่ผ่านมาตามที่ผู้จัดทำได้ประสบพบกับอุปสรรคต่าง ๆ มากมาย จนไม่สามารถที่จะประกอบสร้างโครงงานนี้ให้เสร็จสมบูรณ์ทันเวลาได้ เนื่องจากสาเหตุหลายประการ คือ

- เอกสารที่ใช้อ้างอิงหาได้ยากมาก หรือ หาได้ก็ไม่ตรงประเด็นกับปัญหาที่พบอยู่
- ระบบที่จะสร้างมีขนาดใหญ่มาก ทุนก็มากเช่นเดียวกัน
- อุปกรณ์ที่ใช้เป็นอุปกรณ์ทางด้านสื่อสารซึ่งมีราคาแพงมาก และหาซื้อได้ยากมากภายในประเทศ
- ระยะเวลาที่ได้ลงมือทดลองสร้างจริง ๆ มีน้อยเพราะเวลาส่วนใหญ่หมดไปกับการค้นคว้าหาข้อมูลและสั่งซื้ออุปกรณ์มาทดลอง

แต่อย่างไรก็ดีโครงงานนี้คณะผู้จัดทำได้วางรากฐานและหลักการที่สำคัญ ๆ ส่วนใหญ่ตลอดจนได้ทดลองวงจรในส่วนของ LSW ไว้แล้ว จึงพอจะเป็นแนวทางให้ผู้สนใจได้ศึกษาเพื่อทำการวิจัยเพิ่มเติมจนเสร็จสมบูรณ์ต่อไปได้ โดยไม่ต้องเสียเวลามาเริ่มหาข้อมูลใหม่ทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

National Semiconductor

TP5116A, TP5117A, TP5156A Monolithic CODECs

General Description

The TP5116A, TP5117A and TP5156A are monolithic PCM CODECs implemented with double-poly CMOS technology. The TP5116A and TP5117A are intended for μ-law applications and the TP5156A is for A-law applications. The TP5117A has a D3 compatible format for line card compatibility with the TP5156A.

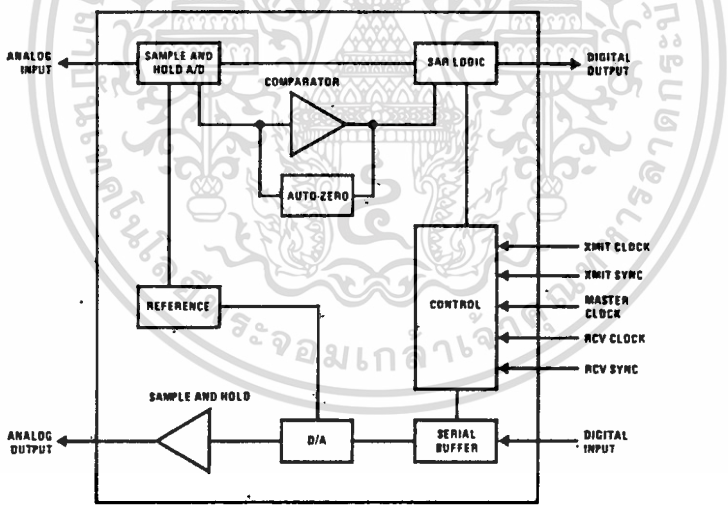
Each device contains separate D/A and A/D circuitry, all necessary sample and hold capacitors, and internal auto-zero circuits. Each device also contains a precision internal voltage reference, eliminating the need for an external reference. There are no internal connections to pins 15 or 16, making them directly interchangeable with CODECs using external reference components.

All devices are intended to be used with the TP3040 monolithic PCM filter which provides the input anti-aliasing function for the encoder and smooths the output of the decoder and corrects for the sin x/x distortion introduced by the decoder sample and hold output.

Features

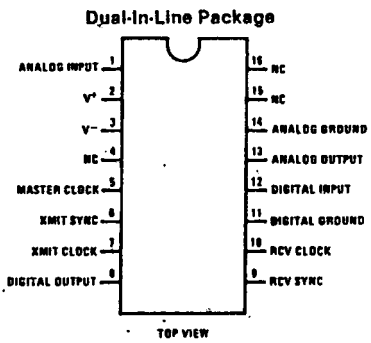
- Low operation power—50 mW typical
- ±5V operation
- TTL compatible digital interface
- Internal precision reference on TP5116A, TP5117A and TP5156A
- Internal sample and hold capacitors
- Internal auto-zero circuit
- TP5116A—μ-law coding (sign plus magnitude format)
- TP5117A—μ-law, D3 compatible format
- TP5156A—A-law coding
- Synchronous or asynchronous operation

Simplified Block Diagram



Connection Diagram

Dual-In-Line Package



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค

Absolute Maximum Ratings

Operating Temperature	−25°C to +125°C
Storage Temperature	−65°C to +150°C
V^+ with Respect to DIGITAL GROUND	7V
V^+ with Respect to V^-	14V
V^- with Respect to DIGITAL GROUND	−7V
Voltage at Any Input or Output	V^- −0.3V to V^+ +0.3V

DC Electrical Characteristics

Unless otherwise noted $T_A = 0°C$ to 70°C, $V^+ = 5.0V \pm 5\%$, $V^- = -5.0V \pm 5\%$. Typical characteristics are specified at $V^+ = 5.0V$, $V^- = -5.0V$ and $T_A = 25°C$. All digital signals are referenced to DIGITAL GROUND. All analog signals are referenced to ANALOG GROUND.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
DIGITAL INTERFACE						
I_I	Input Current	$0V < V_{IN} < V^+$	−10		10	μA
V_{IL}	Input Low Voltage				0.6	V
V_{IH}	Input High Voltage		2.2			V
V_{OL}	Output Low Voltage	$I_{OL} = 3.2$ mA			0.4	V
V_{OH}	Output High Voltage	$I_{OH} = 6$ mA	2.4			V
ANALOG INTERFACE						
Z_I	Analog Input Impedance when Sampling	Resistance in Series with Approximately 70 pF	2			kΩ
Z_O	Output Impedance at Analog Output			10	20	Ω
I_{IN}	Analog Input Bias Current	$V_{IN} = 0V$	−0.1		0.1	μA
R1 × C1	DC Blocking Time Constant		4.0			ms
C1	DC Blocking Capacitor		0.1			μF
R1	Input Bias Resistor				50	kΩ
POWER DISSIPATION						
I_{CC1}	Operating Current, V_{CC}			3.5	7.0	mA
I_{BB1}	Operating Current, V_{BB}			3.5	7.0	mA

AC Electrical Characteristics

Unless otherwise noted, the analog input is a 0 dBm0, 1.02 kHz sine wave. The DIGITAL INPUT is a PCM bit stream generated by passing a 0 dBm0, 1.02 kHz sine wave through an ideal encoder. All output levels are sin x/x corrected.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	Absolute Level	The nominal 0 dBm0 levels for the TP5116A and TP5117A are 1.227 Vrms and 1.231 Vrms for the TP5156A. The resulting nominal overload level is 2.5V peak for all devices. All gain measurements for the encode and decode portions of the devices are based on these nominal levels after the necessary sin x/x corrections are made.				
G_{RA}	Receive Gain, Absolute	$T_A = 25°C$, $V^+ = 5V$, $V^- = -5V$	−0.1		0.1	dB
G_{RAT}	Absolute Receive Gain Variation with Temperature	$T_A = 0°C$ to 70°C	−0.05		0.05	dB
G_{RAV}	Absolute Receive Gain Variation with Supply Voltage	$V^+ = 5V \pm 5\%$, $V^- = -5V \pm 5\%$	−0.07		0.07	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

Unless otherwise noted, the analog input is a 0 dBm0, 1.02 kHz sine wave. The DIGITAL INPUT is a PCM bit stream generated by passing a 0 dBm0, 1.02 kHz sine wave through an ideal encoder. All output levels are sin x/x corrected.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
G_{xA}	Transmit Gain, Absolute	$T_A = 25°C$, $V^+ = 5V$, $V^- = -5V$	−0.1		0.1	dB
G_{xAT}	Absolute Transmit Gain Variation with Temperature	$T_A = 0°C$ to $70°C$	−0.05		0.05	dB
G_{xAV}	Absolute Transmit Gain Variation with Supply Voltage	$V^+ = 5V \pm 5\%$, $V^- = -5V \pm 5\%$	−0.07		0.07	dB
G_{RAL}	Absolute Receive Gain Variation with Level	CCITT Method 2 Relative to −10 dBm0				
		0 dBm0 to 3 dBm0	−0.3		0.3	dB
		−40 dBm0 to 0 dBm0	−0.2		0.2	dB
		−50 dBm0 to −40 dBm0	−0.4		0.4	dB
		−55 dBm0 to −50 dBm0	−1.0		1.0	dB
G_{xAL}	Absolute Transmit Gain Variation with Level	CCITT Method 2 Relative to −10 dBm0				
		0 dBm0 to 3 dBm0	−0.3		0.3	dB
		−40 dBm0 to 0 dBm0	−0.2		0.2	dB
		−50 dBm0 to −40 dBm0	−0.4		0.4	dB
		−55 dBm0 to −50 dBm0	−1.0		1.0	dB
SD_R	Receive Signal to Distortion Ratio	Sinusoidal Test Method Input Level				
		−30 dBm0 to 0 dBm0	35			dBc
		−40 dBm0	29			dBc
		−45 dBm0	25			dBc
SD_X	Transmit Signal to Distortion Ratio	Sinusoidal Test Method Input Level				
		−30 dBm0 to 0 dBm0	35			dBc
		−40 dBm0	29			dBc
		−45 dBm0	25			dBc
N_R	Receive Idle Channel Noise	D_R = Steady State PCM Code			0	dBrnc0
N_X	Transmit Idle Channel Noise	TP5116A, TP5117A, $VF_X = 0V$ (No Signaling)			13	dBrnc0
		TP5156A, $VF_X = 0V$			−67	dBm0p
HD_R	Receive Harmonic Distortion	2nd or 3rd Harmonic			−47	dB
HD_X	Transmit Harmonic Distortion	2nd or 3rd Harmonic			−47	dB
$PPSR_X$	Positive Power Supply Rejection, Transmit	Input Level = 0V, $V_{CC} = 5.0\ V_{DC}$ + 20 mVrms, f = 1.02 kHz	50			dB
$PPSR_R$	Positive Power Supply Rejection, Receive	D_R = Steady PCM Code, $V_{CC} = 5.0\ V_{DC} + 20$ mVrms, f = 1.02 kHz	40			dB
$NPSR_X$	Negative Power Supply Rejection, Transmit	Input Level = 0V, $V_{BB} = -5.0\ V_{DC}$ + 20 mVrms, f = 1.02 kHz	50			dB
$NPSR_R$	Negative Power Supply Rejection, Receive	D_R = Steady PCM Code, $V_{BB} = -5.0\ V_{DC} + 20$ mVrms, f = 1.02 kHz	45			dB
CT_{XR}	Transmit to Receive Crosstalk	D_R = Steady PCM Code			−75	dB
CT_{RX}	Receive to Transmit Crosstalk	Transmit Input Level = 0V			−70	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Specifications

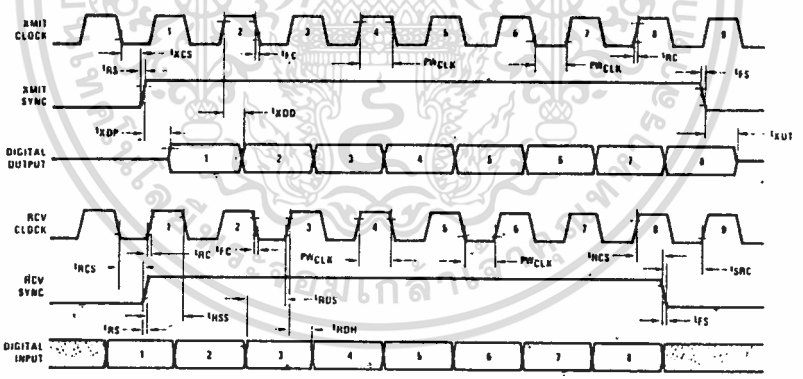
Unless otherwise noted, $T_A = 0°C$ to $70°C$, $V^+ = +5V \pm 5\%$, $V^- = -5V \pm 5\%$. All digital signals are referenced to DIGITAL GROUND and are measured at V_{IH} and V_{IL} as indicated in the Timing Waveforms.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
F_M	MASTER CLOCK Frequency		1.5	2.048	2.1	MHz
F_X, F_R	XMIT, RCV CLOCK Frequency		0.064	2.048	2.1	MHz
PW_{CLK}	Clock Pulse Width	MASTER, XMIT, RCV CLOCKS	150			ns
t_{RC}, t_{FC}	Clock Rise and Fall Time	MASTER, XMIT, RCV CLOCKS			50	ns
t_{RS}, t_{FS}	Sync Pulse Rise and Fall Time	RCV, XMIT SYNC			50	ns
t_{RCS}, t_{XCS}	Clock to Sync Delay	RCV, XMIT	0			ns
t_{XSS}	XMIT SYNC Set-Up Time				150	ns
t_{XDD}	XMIT Data Delay	Load = 100 pF + 2 LSTTL Loads			200	ns
t_{XDP}	XMIT Data Present	Load = 100 pF + 2 LSTTL Loads			200	ns
t_{XDT}	XMIT Data TRI-STATE®				150	ns
t_{SRC}	RCV CLOCK to RCV SYNC Delay		0			ns
t_{RDS}	RCV Data Set-Up Time		0			ns
t_{RSS}	RCV SYNC Set-Up Time				150	ns
t_{RDH}	RCV Data Hold Time		100			ns
t_{XSL}	XMIT SYNC Low Time	64 kHz Operation	300			ns
t_{RSL}	RCV SYNC Low Time	64 kHz Operation	17			(Note 1)

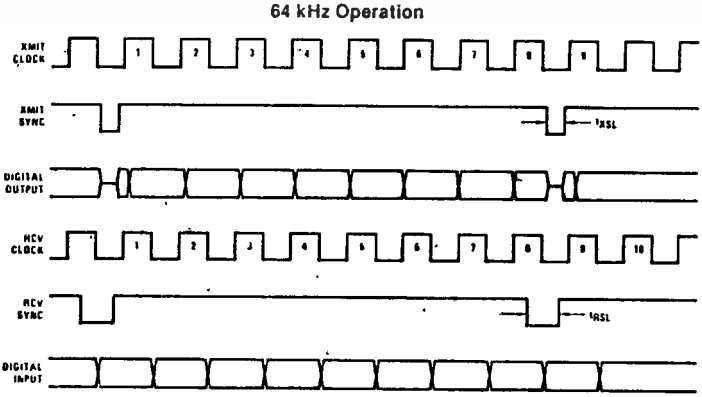
Note 1: RCV SYNC must remain low for 17 cycles of MASTER CLOCK.

Timing Waveforms

72 kHz or Greater Operation



64 kHz Operation



TRI-STATE® is a registered trademark of National Semiconductor Corp.

Description of Pin Functions

Pin No.	Name	Function
1	ANALOG INPUT	ANALOG INPUT to the encoder. This signal will be sampled at the end of the encoder time slot and the resulting PCM code will be shifted out during the subsequent encode time slot.
2	V^+	5V (±5%) input.
3	V^-	−5V (±5%) input.
4	NC	Unused.
5	MASTER CLOCK	MASTER CLOCK input used to operate the internal encode and decode sequencers. Should be 1.536 MHz, 1.544 MHz or 2.048 MHz.
6	XMIT SYNC	Encoder frame sync pulse. Normally occurring at an 8 kHz rate, this pulse is nominally eight XMIT CLOCK cycles wide.
7	XMIT CLOCK	Transmit bit clock input used to shift out the PCM data on DIGITAL OUTPUT. May operate from 64 kHz to 2.048 MHz. May be asynchronous with RCV CLOCK.
8	DIGITAL OUTPUT	Serial PCM TRI-STATE® output from encoder. During the encoder time slot, the PCM code for the previous sample of ANALOG INPUT is shifted out, most significant bit first, on the rising edge of XMIT CLOCK.

Description of Pin Functions (Continued)

Pin No.	Name	Function
9	RCV SYNC	Decoder frame sync pulse. Normally occurring at an 8 kHz rate, this pulse is nominally eight RCV CLOCK cycles wide.
10	RCV CLOCK	Receive bit clock input used to shift in the PCM data on DIGITAL INPUT. May operate from 64 kHz to 2048 MHz. May be asynchronous with XMIT CLOCK.
11	DIGITAL GROUND	All digital levels referenced to the DIGITAL GROUND pin.
12	DIGITAL INPUT	Serial PCM data input to the decoder. During the decoder time slot, PCM data is shifted into DIGITAL INPUT, most significant bit first, on the rising edge of RCV CLOCK.
13	ANALOG OUTPUT	ANALOG OUTPUT from the decoder. The decoder sample and hold amplifier is updated approximately 15 μs after the end of the decode time slot.
14	ANALOG GROUND	All analog signals are referenced to the ANALOG GROUND pin.
15	NC	Unused.
16	NC	Unused.

Functional Description

Approximately 4 μs after the rising edge of the XMIT SYNC pulse, the voltage present on the ANALOG INPUT is sampled and the process of encoding that sample into a PCM code is begun. Simultaneously, the 8-bit PCM code corresponding to the previous sample is shifted out of the DIGITAL OUTPUT, MSB first, on the rising edge of the next eight cycles of the XMIT CLOCK. When XMIT SYNC (which is normally eight XMIT CLOCK cycles long) goes low, the TRI-STATE® DIGITAL OUTPUT is returned to the high impedance state. On the TP5116A, the PCM code is in a μ-law sign plus magnitude format. The TP5117A PCM output is the standard μ-law format wherein the magnitude bits are inverted. The TP5156A uses the standard A-law coding.

An 8-bit PCM code is shifted into DIGITAL INPUT on the rising edge of the first eight RCV CLOCK pulses after RCV SYNC goes high. RCV SYNC is nominally eight RCV CLOCK cycles wide. Approximately 15 μs after RCV SYNC goes low, the ANALOG OUTPUT is updated to the voltage corresponding to the PCM input code.

All encoding and decoding operations are run off the MASTER CLOCK. MASTER CLOCK should be in the range of 1.536 MHz to 2.048 MHz and should be synchronous with XMIT CLOCK and RCV CLOCK. The XMIT and RCV CLOCK may vary from 64 kHz to 2.048 MHz.

Encoding Delay

The encoding process begins immediately at the beginning of the encode time slot and is concluded no later than 18 time slots later. In normal applications, the PCM data is not shifted out until the next time slot 125 μs later, resulting in an encoding delay of 125 μs. In some applications it is possible to operate the CODEC at a higher frame rate to reduce this delay. With a 2.048 MHz MASTER CLOCK, the FS rate could be increased to 15 kHz, reducing the delay from 125 μs to 67 μs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Functional Description (Continued)

Decoding Delay

The decoding process begins immediately after the end of the decoder time slot. The output of the decoder sample and hold amplifier is updated 28 MASTER CLOCK cycles later. The decoding delay is therefore approximately 28 clock cycles plus one half of a frame time or, 81 μs for a 1.544 MHz system with an 8 kHz frame rate or, 76 μs for a 2.048 MHz system with an 8 kHz frame rate. Again, for some applications the frame rate could be increased to reduce this delay.

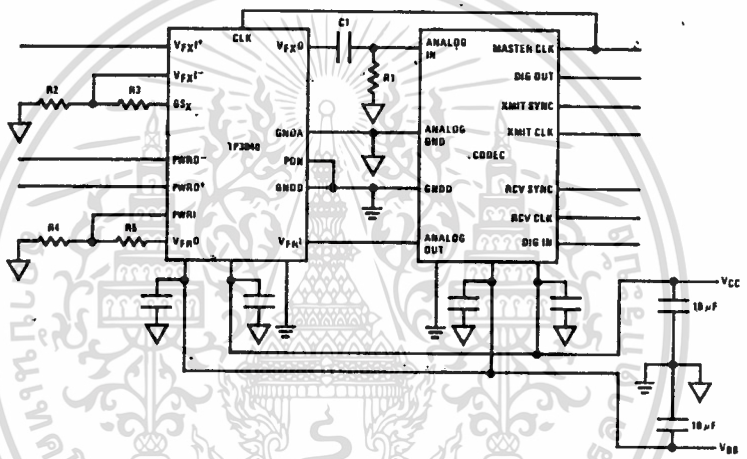
Typical Application

A typical application of these CODECs used in conjunction with the TP3040 PCM filter is shown below. The values of resistor R1 and DC blocking capacitor C1, are non-critical. The capacitor value should exceed 0.1 μF, R1 should be less than 50 kΩ, and the product R1 × C1 should exceed 4 ms.

$$\text{XMIT GAIN} = 20 \times \log\left(\frac{R3+R2}{R2}\right) + 3\,\text{dB}$$

$$\text{RCV GAIN} = 20 \times \log\left(\frac{R4}{R4+R5}\right)$$

The power supply decoupling capacitors should be 0.1 μF. In order to take advantage of the excellent noise performance of these CODECs, care must be taken in board layout to prevent coupling of digital noise into the sensitive analog lines. For card insertion into a hot connector, care should be taken to insure that GNDA and GNDD are contacted prior to V_{CC} and V_{BB}.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

TP3040/TP3040A PCM Monolithic Filter

General Description

The TP3040/TP3040A filter is a monolithic circuit containing both transmit and receive filters specifically designed for PCM CODEC filtering applications in 8 kHz sampled systems.

The filter is manufactured using double-poly silicon gate CMOS technology. Switched capacitor integrators are used to simulate classical LC ladder filters which exhibit low component sensitivity.

TRANSMIT FILTER STAGE

The transmit filter is a fifth order elliptic low pass filter in series with a fourth order Chebyshev high pass filter. It provides a flat response in the passband and rejection of signals below 200 Hz and above 3.4 kHz.

RECEIVE FILTER STAGE

The receive filter is a fifth order elliptic low pass filter designed to reconstruct the voice signal from the decoded/demultiplexed signal which, as a result of the sampling process, is a stair-step signal having the inherent sin x/x frequency response. The receive filter approximates the function required to compensate for the degraded frequency response and restore the flat passband response.

Features

- Exceeds all D3/D4 and CCITT specifications
- +5V, −5V power supplies
- Low power consumption:
  45 mW (600Ω 0 dBm load).
  30 mW (power amps disabled)
- Power down mode: 0.5 mW
- 20 dB gain adjust range
- No external anti-aliasing components
- Sin x/x correction in receive filter
- 50/60 Hz rejection in transmit filter
- TTL and CMOS compatible logic
- All inputs protected against static discharge due to handling

Block and Connection Diagrams

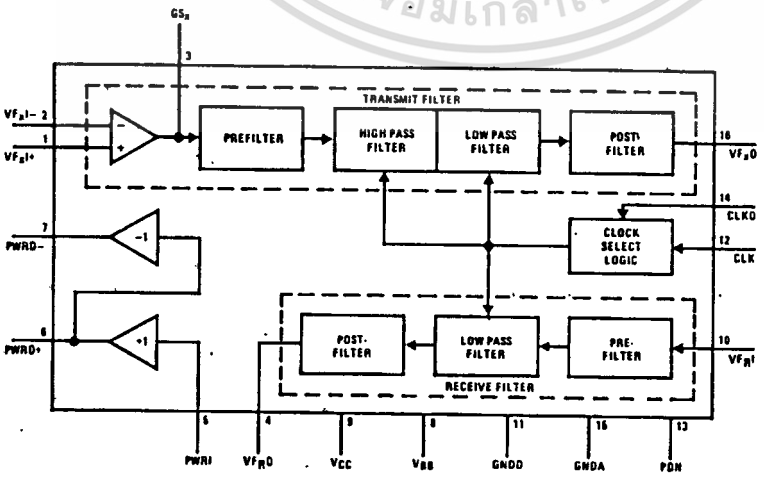
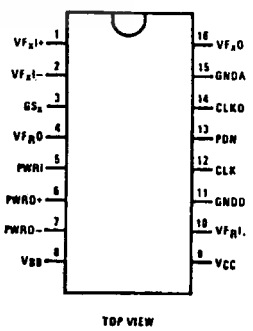


FIGURE 1

Dual-In-Line Package



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Absolute Maximum Ratings

Supply Voltages	± 7V
Power Dissipation	1 W/Package
Input Voltage	± 7V
Output Short-Circuit Duration	Continuous
Operating Temperature Range	−25°C to +125°C
Storage Temperature	−65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

DC Electrical Characteristics

Unless otherwise noted, $T_A = 0°C$ to 70°C, $V_{CC} = 5.0V \pm 5\%$, $V_{BB} = -5.0V \pm 5\%$, clock frequency is 2.048 MHz. Typical parameters are specified at $T_A = 25°C$, $V_{CC} = 5.0V$, $V_{BB} = -5.0V$. Digital interface voltages measured with respect to digital ground, GNDD. Analog voltages measured with respect to analog ground, GNDA.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
POWER DISSIPATION						
I_{CC0}	V_{CC} Standby Current	PDN = V_{DD}, Power Down Mode		50	100	μA
I_{BB0}	V_{BB} Standby Current	PDN = V_{DD}, Power Down Mode		50	100	μA
I_{CC1}	V_{CC} Operating Current	PWRI = V_{BB}, Power Amp Inactive		3.0	4.0	mA
I_{BB1}	V_{BB} Operating Current	PWRI = V_{BB}, Power Amp Inactive		3.0	4.0	mA
I_{CC2}	V_{CC} Operating Current	Note 1		4.6	6.4	mA
I_{BB2}	V_{BB} Operating Current	Note 1		4.6	6.4	mA
DIGITAL INTERFACE						
I_{INC}	Input Current, CLK	$V_{BB} \le V_{IN} \le V_{CC}$	−10		10	μA
I_{INP}	Input Current, PDN	$V_{BB} \le V_{IN} \le V_{CC}$	−100			μA
I_{IN0}	Input Current, CLK0	$V_{BB} \le V_{IN} \le V_{CC} - 2V$	−10		−0.1	μA
V_{IL}	Input Low Voltage, CLK, PDN		0		0.8	V
V_{IH}	Input High Voltage, CLK, PDN		2.2		V_{CC}	V
V_{IL0}	Input Low Voltage, CLK0		V_{BB}		$V_{BB}+0.5$	V
V_{II0}	Input Intermediate Voltage, CLK0		−0.8		0.8	V
V_{IH0}	Input High Voltage, CLK0		$V_{CC}-0.5$		V_{CC}	V
TRANSMIT INPUT OP AMP						
$IB_x I$	Input Leakage Current, $VF_x I$	$V_{BB} \le VF_x I \le V_{CC}$	−100		100	nA
$RI_x I$	Input Resistance, $VF_x I$	$V_{BB} \le VF_x I \le V_{CC}$	10			MΩ
$VOS_x I$	Input Offset Voltage, $VF_x I$	$-2.5V \le V_{IN} \le +2.5V$	−20		20	mV
V_{CM}	Common-Mode Range, $VF_x I$		−2.5		2.5	V
CMRR	Common-Mode Rejection Ratio	$-2.5V \le V_{IN} \le 2.5V$	60			dB
PSRR	Power Supply Rejection of V_{CC} or V_{BB}		60			dB
R_{OL}	Open Loop Output Resistance, GS_x			1		kΩ
R_L	Minimum Load Resistance, GS_x		10			kΩ
C_L	Maximum Load Capacitance, GS_x				25	pF
$VO_x I$	Output Voltage Swing, GS_x	$R_L \ge 10k$	±2.5			V
A_{VOL}	Open Loop Voltage Gain, GS_x	$R_L \ge 10k$	5,000			V/V
F_c	Open Loop Unity Gain Bandwidth, GS_x			2		MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics

Unless otherwise specified, $T_A = 25°C$. All parameters are specified for a signal level of 0 dBm0 at 1 kHz. The 0 dBm0 level is assumed to be 1.54 Vrms measured at the output of the transmit or receive filter.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
TRANSMIT FILTER (Transmit filter input op amp set to the non-inverting unity gain mode, with $VF_xI = 1.1$ Vrms unless otherwise noted.)						
RL_x	Minimum Load Resistance, VF_xO		10			kΩ
CL_x	Load Capacitance, VF_xO				25	pF
RO_x	Output Resistance, VF_xO			1	3	Ω
PSRR1	V_{CC} Power Supply Rejection, VF_xO	f = 1 kHz, $VF_xI+ = 0$ Vrms	30			dB
PSRR2	V_{BB} Power Supply Rejection, VF_xO	Same as Above	35			dB
GA_x	Absolute Gain	f = 1 kHz (TP3040A)	2.9	3.0	3.1	dB
		f = 1 kHz (TP3040)	2.875	3.0	3.125	dB
GR_x	Gain Relative to GA_x	Below 50 Hz			−35	dB
		50 Hz		−41	−35	dB
		60 Hz		−35	−30	dB
		200 Hz (TP3040A)	−1.5		0	dB
		200 Hz (TP3040)	−1.5		0.05	dB
		300 Hz to 3 kHz (TP3040A)	−0.125		0.125	dB
		300 Hz to 3 kHz (TP3040)	−0.15		0.15	dB
		3.3 kHz	−0.35		0.03	dB
		3.4 kHz	−0.70		−0.1	dB
		4.0 kHz		−15	−14	dB
		4.6 kHz and Above			−32	dB
DA_x	Absolute Delay at 1 kHz				230	μs
DD_x	Differential Envelope Delay from 1 kHz to 2.6 kHz				60	μs
DP_x1	Single Frequency Distortion Products				−48	dB
DP_x2	Distortion at Maximum Signal Level	0.16 Vrms, 1 kHz Signal Applied to VF_xI+, Gain = 20 dB, $R_L = 10k$			−45	dB
NC_x1	Total C Message Noise at VF_xO			2	5	dBrnC
NC_x2	Total C Message Noise at VF_xO	Gain Setting Op Amp at 20 dB, Non-Inverting, Note 3 $T_A = 0°C$ to $70°C$		3	6	dBrnC
GA_xT	Temperature Coefficient of 1 kHz Gain			0.0004		dB/°C
GA_xS	Supply Voltage Coefficient of 1 kHz Gain	$V_{CC} = 5.0V \pm 5\%$ $V_{BB} = -5.0V \pm 5\%$		0.01		dB/%
CT_{RX}	Crosstalk, Receive to Transmit $20 \log \frac{VF_xO}{VF_RO}$	Receive Filter Output = 2.2 Vrms $VF_xI+ = 0$ Vrms, f = 0.2 kHz to 3.4 kHz Measure VF_xO			−70	dB
GR_xL	Gaintracking Relative to GA_x	Output Level = +3 dBm0	−0.1		0.1	dB
		+2 dBm0 to −40 dBm0	−0.05		0.05	dB
		−40 dBm0 to −55 dBm0	−0.1		0.1	dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

Unless otherwise specified, $T_A = 25°C$. All parameters are specified for a signal level of 0 dBm0 at 1 kHz, The 0 dBm0 level is assumed to be 1.54 Vrms measured at the output of the transmit or receive filter.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
RECEIVE FILTER (Unless otherwise noted, the receive filter is preceded by a sin x/x filter with an input signal level of 1.6 Vrms.)						
IR_R	Input Leakage Current, VF_RI	$-3.2V \le V_{IN} \le 3.2V$	−100		100	nA
RI_R	Input Resistance, VF_RI		10			MΩ
RO_R	Output Resistance, VF_RO			1	3	Ω
CL_R	Load Capacitance, VF_RO				25	pF
RL_R	Load Resistance, VF_RO		10			kΩ
PSRR3	Power Supply Rejection of V_{CC} or V_{BB}, VF_RO	VF_RI Connected to GNDA f = 1 kHz	35			dB
VOS_RO	Output DC Offset, VF_RO	VF_RI Connected to GNDA	−200		200	mV
GA_R	Absolute Gain	f = 1 kHz (TP3040A) f = 1 kHz (TP3040)	−0.1 −0.125	0 0	0.1 0.125	dB dB
GR_R	Gain Relative to Gain at 1 kHz	Below 300 Hz 300 Hz to 3.0 kHz (TP3040A) 300 Hz to 3.0 kHz (TP3040) 3.3 kHz 3.4 kHz 4.0 kHz 4.6 kHz and Above	 −0.125 −0.15 −0.35 −0.7		0.125 0.125 0.15 0.03 −0.1 −14 −32	dB dB dB dB dB dB dB
DA_R	Absolute Delay at 1 kHz				100	μs
DD_R	Differential Envelope Delay 1 kHz to 2.6 kHz				100	μs
DP_R1	Single Frequency Distortion Products	f = 1 kHz			−48	dB
DP_R2	Distortion at Maximum Signal Level	2.2 Vrms Input to Sin x/x Filter, f = 1 kHz, R_L = 10k			−45	dB
NC_R	Total C-Message Noise at VF_RO			3	5	dBrnc0
GA_RT	Temperature Coefficient of 1 kHz Gain			0.0004		dB/°C
GA_RS	Supply Voltage Coefficient of 1 kHz Gain			0.01		dB/V
CT_{XR}	Crosstalk, Transmit to Receive $20 \log \frac{VF_RO}{VF_XO}$	Transmit Filter Output = 2.2 Vrms VF_RI = 0 Vrms, f = 0.3 kHz to 3.4 kHz Measure VF_RO			−70	dB
GR_RL	Gaintracking Relative to GA_R	Output Level = +3 dBm0 +2 dBm0 to −40 dBm0 −40 dBm0 to −55 dBm0 Note 5	−0.1 −0.05 −0.1		0.1 0.05 0.1	dB dB dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

Unless otherwise specified, $T_A = 25°C$. All parameters are specified for a signal level of 0 dBm0 at 1 kHz. The 0 dBm0 level is assumed to be 1.54 Vrms measured at the output of the transmit or receive filter.

Symbol	Parameter	Conditions	Min	Typ	Max	Units
RECEIVE OUTPUT POWER AMPLIFIER						
IBP	Input Leakage Current, PWRI	$-3.2V \le V_{IN} \le 3.2V$	0.1		3	μA
RIP	Input Resistance, PWRI		10			MΩ
ROP1	Output Resistance, PWRO+, PWRO−	Amplifiers Active		1		Ω
CLP	Load Capacitance, PWRO+, PWRO−				500	pF
GA_P+	Gain, PWRI to PWRO+	$R_L = 600\Omega$ Connected Between PWRO+ and PWRO−, Input Level = 0 dBm0 (Note 4)		1		V/V
GA_P-	Gain, PWRI to PWRO−			−1		V/V
GR_PL	Gaintracking Relative to 0 dBm0 Output Level	V = 2.05 Vrms, $R_L = 600\Omega$ (Notes 4, 5)	−0.1		0.1	dB
		V = 1.75 Vrms, $R_L = 300\Omega$ (Notes 4, 5)	−0.1		0.1	dB
S/D_P	Signal/Distortion	V = 2.05 Vrms, $R_L = 600\Omega$ (Notes 4, 5)			−45	dB
		V = 1.75 Vrms, $R_L = 300\Omega$ (Notes 4, 5)			−45	dB
VOSP	Output DC Offset, PWRO+, PWRO−	PWRI Connected to GNDA	−50		50	mV
PSRR5	Power Supply Rejection of V_{CC} or V_{BB}	PWRI Connected to GNDA	45			dB

Note 1: Maximum power consumption will depend on the load impedance connected to the power amplifier. The specification listed assumes 0 dBm0 delivered to 600Ω connected from PWRO+ to PWRO−.

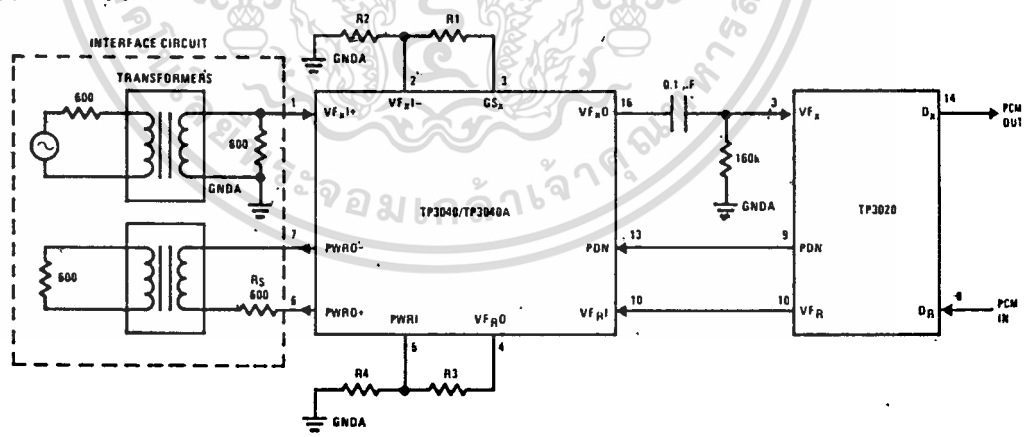
Note 2: Voltage input to receive filter at 0V, VF_RO connected to PWRI, 600Ω from PWRO+ to PWRO−. Output measured from PWRO+ to PWRO−.

Note 3: The 0 dBm0 level for the filter is assumed to be 1.54 Vrms measured at the output of the XMT or RCV filter.

Note 4: The 0 dBm0 level for the power amplifiers is load dependent. For $R_L = 600\Omega$ to GNDA, the 0 dBm0 level is 1.43 Vrms measured at the amplifier output. For $R_L = 300\Omega$ the 0 dBm0 level is 1.22 Vrms.

Note 5: VF_RO connected to PWRI, input signal applied to VF_RI.

Typical Application



Note 1: Transmit voltage gain = $\frac{R1 + R2}{R2} \times \sqrt{2}$ (The filter itself introduces a 3 dB gain), (R1 + R2 ≥ 10k)

Note 2: Receive gain = $\frac{R4}{R3 + R4}$

(R3 + R4 ≥ 10k)

Note 3: In the configuration shown, the receive filter power amplifiers will drive a 600Ω T to R termination to a maximum signal level of 8.5 dBm. An alternate arrangement, using a transformer winding ratio equivalent to 1.414:1 and 300Ω resistor, R_S, will provide a maximum signal level of 10.1 dBm across a 600Ω termination impedance.

FIGURE 2

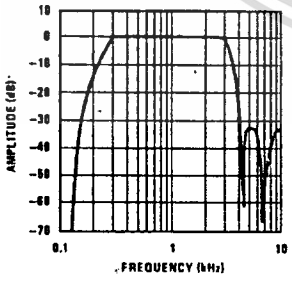
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Description of Pin Functions

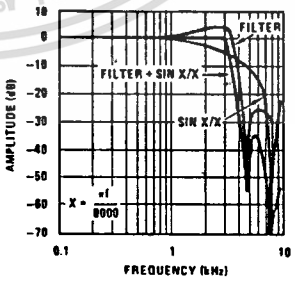
Pin No.	Name	Function
	VF_xI+	The non-inverting input to the transmit filter stage.
	VF_xI-	The inverting input to the transmit filter stage.
	GS_x	The output used for gain adjustments of the transmit filter.
	VF_RO	The low power-receive filter output. This pin can directly drive the receive port of an electronic hybrid.
	PWRI	The input to the receive filter differential power amplifier.
	PWRO+	The non-inverting output of the receive filter power amplifier. This output can directly interface conventional transformer hybrids.
	PWRO−	The inverting output of the receive filter power amplifier. This output can be used with PWRO+ to differentially drive a transformer hybrid.
	V_{BB}	The negative power supply pin. Recommended input is −5V.
	V_{CC}	The positive power supply pin. The recommended input is 5V.
	VF_RI	The input pin for the receive filter stage.
11	GNDD	Digital ground input pin. All digital signals are referenced to this pin.
12	CLK	Master input clock. Input frequency can be selected as 2.048 MHz, 1.544 MHz or 1.536 MHz.
13	PDN	The input pin used to power down the TP3040/TP3040A during idle periods. Logic 1 (V_{CC}) input voltage causes a power down condition. An internal pull-up is provided.
14	CLK0	This input pin selects internal counters in accordance with the CLK input clock frequency: CLK — Connect CLK0 to: 2048 kHz — V_{CC} 1544 kHz — GNDD 1536 kHz — V_{BB} An internal pull-up is provided.
15	GNDA	Analog ground input pin. All analog signals are referenced to this pin. Not internally connected to GNDD.
16	VF_xO	The output of the transmit filter stage.

Typical Performance Characteristics

Transmit Filter Stage



Receive Filter Stage



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Description

The TP3040/TP3040A monolithic filter contains four main sections; Transmit Filter, Receive Filter, Receive Filter Power Amplifier, and Frequency Divider/Select Logic *(Figure 1)*. A brief description of the circuit operation for each section is provided below.

Transmit Filter

The input stage of the transmit filter is a CMOS operational amplifier which provides an input resistance of greater than 10 MΩ, a voltage gain of greater than 10,000, low power consumption (less than 3 mW), high power supply rejection, and is capable of driving a 10 kΩ load in parallel with up to 25 pF. The inputs and output of the amplifier are accessible for added flexibility. Non-inverting mode, inverting mode, or differential amplifier mode operation can be implemented with external resistors. It can also be connected to provide a gain of up to 20 dB without degrading the overall filter performance.

The input stage is followed by a prefilter which is a two-pole RC active low pass filter designed to attenuate high frequency noise before the input signal enters the switched-capacitor high pass and low pass filters.

A high pass filter is provided to reject 200 Hz or lower noise which may exist in the signal path. The low pass portion of the switched-capacitor filter provides stopband attenuation which exceeds the D3 and D4 specifications as well as the CCITT G712 recommendations.

The output stage of the transmit filter, the postfilter, is also a two-pole RC active low pass filter which attenuates clock frequency noise by at least 40 dB. The output of the transmit filter is capable of driving a ± 3.2V peak to peak signal into a 10 kΩ load in parallel with up to 25 pF.

Receive Filter

The input stage of the receive filter is a prefilter which is similar to the transmit prefilter. The prefilter attenuates high frequency noise that may be present on the receive input signal. A switched capacitor low pass filter follows the prefilter to provide the necessary passband flatness, stopband rejection and sin x/x gain correction. A postfilter which is similar to the transmit postfilter follows the low pass stage. It attenuates clock frequency noise and provides a low output impedance capable of directly driving an electronic subscriber-line-interface circuit.

Receive Filter Power Amplifiers

Two power amplifiers are also provided to interface to transformer coupled line circuits. These two amplifiers are driven by the output of the receive postfilter through gain setting resistors, R3, R4 *(Figure 2)*. The power amplifiers can be deactivated, when not required, by connecting the power amplifier input (pin 5) to the negative power supply V_{BB}. This reduces the total filter power consumption by approximately 10 mW–20 mW depending on output signal amplitude.

Power Down Control

A power down mode is also provided. A logic 1 power down command applied on the PDN pin (pin 13) will reduce the total filter power consumption to less than 1 mW and clamp the power amplifier outputs to V_{BB}. Connect PDN to GNDD for normal operation.

Frequency Divider and Select Logic Circuit

This circuit divides the external clock frequency down to the switching frequency of the low pass and high pass switched capacitor filters. The divider also contains a TTL – CMOS interface circuit which converts the external TTL clock level to the CMOS logic level required for the divider logic. This interface circuit can also be directly driven by CMOS logic. A frequency select circuit is provided to allow the filter to operate with 2.048 MHz, 1.544 MHz or 1.536 MHz clock frequencies. By connecting the frequency select pin CLK0 (pin 14) to V_{CC}, a 2.048 MHz clock input frequency is selected. Digital ground selects 1.544 MHz and V_{BB} selects 1.536 MHz.

Applications Information

Gain Adjust

Figure 2 shows the signal path interconnections between the TP3040/TP3040A and the TP3020 single-channel CODEC. The transmit RC coupling components have been chosen both for minimum passband droop and to present the correct impedance to the CODEC during sampling.

Optimum noise and distortion performance will be obtained from the TP3040/TP3040A filter when operated with system peak overload voltages of ± 2.5V to ± 3.2V at VF_XO and VF_RO. When interfacing to a PCM CODEC with a peak overload voltage outside this range, further gain or attenuation may be required.

For example, the TP3040/TP3040A filter can be used with the TP3000 series CODEC which has a 5.5V peak overload voltage. A gain stage following the transmit filter output and an attenuation stage following the CODEC output are required.

Board Layout

Care must be taken in PCB layout to minimize power supply and ground noise. Analog ground (GNDA) of each filter should be connected to digital ground (GNDD) at a single point, which should be bypassed to both power supplies. Further power supply decoupling adjacent to each filter and CODEC is recommended. Ground loops should be avoided, both between GNDA and GNDD and between the GNDA traces of adjacent filters and CODECs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการจัดทำวิทยานิพนธ์นี้ ทางผู้จัดทำขอขอบคุณท่าน อาจารย์ กิตติ ตรีเศรษฐ์ ที่ให้การสนับสนุนการทำงานมาโดยตลอดและขอขอบพระคุณท่านอาจารย์ที่ปรึกษา คือ อาจารย์ ประภาษ อุคคกิมาพันธุ์ ซึ่งได้ให้คำปรึกษา แนะนำ สั่งสอน ตลอดจนช่วยเหลือในทุกๆด้านอันเป็นประโยชน์อย่างยิ่งแก่ผู้จัดทำ อีกทั้งขอขอบคุณ บรรณารักษ์ ห้องสมุด ศูนย์ฝึกโทรคมนาคม องค์การโทรศัพท์ และทุกๆท่านที่ให้ความช่วยเหลือมาโดยตลอด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. Paul Bates , " PRACTICAL DIGITAL AND DATA COMMUNICATION WITH LSI APPLICATIONS " , Prentice-Hall , 246 p. , 1987
2. Frank F.E.Owen , " PCM AND DIGITAL TRANSMISSION SYSTEM " , Megraw-Hill book company , 295 p. , 1976
3. Harold B Killen , " TELECOMMUNICATION AND DATA COMMUNICATION SYSTEM DESIGN WITH TROUBLESHOOTING " , Collage of Technology University of Huston , 1986
4. NEC PRACTICES , " NEAX 61 DIGITAL SWITCHING SYSTEM SYSTEM DESCRIPTION "
5. Rubrikforteckning Caption list , " DIGITAL TELEPHNONY "
6. Wayne Tomasi , " ADVANCE ELECTRONIC COMMUNICATION SYSTEM " , Prentice-Hall International , Inc , 371 p. , 1987
7. รอ.ธวัชชัย เลื่อนศรี , รอ.วีระชัย เชาว์ก้ำเนิด , " เทคโนโลยีโทรศัพท์ " , สยามบรรณ , พฤศจิกายน 2527
8. NEC PRACTICES , " NEAX 61S DIGITAL SWITCHING SYSTEM CIRCUIT DESCRIPTION " , vol.1 , Nippon Electric Co,Ltd. Tokyo , Japan