



ปีการศึกษา 2530

ชื่อปริญญาโท

เครื่องชั่งน้ำหนัก วัดความสูง และวัดอัตราการเต้นของหัวใจ

แบบตัวเลขโคชไอโซไมโครคอมพิวเตอร์

โดย

นาย ปรีดิญา วัฒนภาคาราตา

นาย วิวัฒน์ ศรีเพ็ง

นาย อิศรินทร์ มโนสิต

อาจารย์ที่ปรึกษา

คร. กนกวิทย์ เจนจิระพงศ์เวช

อ. นิกเร สุธุคมตนต์



ปีการศึกษา 2530

ชื่อปริญญาโท

เครื่องชั่งน้ำหนัก วัดความสูง และวัดอัตราการเต้นของหัวใจ

แบบตัวเลขโดยใช้ไมโครคอมพิวเตอร์

โดย

นาย ปริญญา วัฒนภาราคา รหัส 29.3313

นาย วิวัฒน์ ศรีเพ็ง รหัส 29.3319

นาย อิศรินทร์ มโนสิต รหัส 29.3328

อาจารย์ที่ปรึกษา

คร. กนก เจนจิระหงส์เวช

อ. นิกร สุขุมคณติ

ปริศยานิพนธ์ปีการศึกษา 2530

เรื่อง เถรื่องซ่งนำหนัก วัดความสูง และวัดอัตราการเต้นของหัวใจ  
แบบตัวเลขโดยใช้ไมโครคอมพิวเตอร์

ผู้จัดทำ

1. นาย ปริศญา วัจนะภารากา
2. นาย วิวิศน ศรีเพ็ง
3. นาย อิศรินทร์ มโนสิต

..... อาจารย์ที่ปรึกษา  
( ดร. กนก เจนจิระพงศ์เวท )

..... อาจารย์ที่ปรึกษา  
( อ. นิกร สุธุทธมคันธ์ )

..... อาจารย์ที่ปรึกษา  
(.....)

เครื่องชั่งน้ำหนัก วัดความสูง และวัดอัตราการเต้นของหัวใจ  
แบบตัวเลขโคยไซไมโครคอมพิวเตอร์

โดย

นาย ปรีชญูชา วัฒนภากรากา

นาย วิวัฒน์ ศรีเพ็ง

นาย อิศรินทร์ มโนสิต

อาจารย์ที่ปรึกษา

ดร. กนก เจนจิระพงษ์เวช

อ. นิกร สุขุตมคันติ

ปีการศึกษา 2530

บทคัดย่อ

ปริญญานิพนธ์เรื่องเครื่องชั่งน้ำหนัก วัดความสูง และวัดอัตราการเต้นของหัวใจ แบบตัวเลขโคยไซไมโครคอมพิวเตอร์นี้ ได้แบ่งส่วนสำคัญที่เป็นองค์ประกอบของการทำงานของเครื่องออกเป็น 2 ส่วนใหญ่ๆ คือ ส่วนที่เป็น แมคคานิกส์ และ ส่วนที่เป็น อิเลคทรอนิกส์ สำหรับส่วนที่เป็น แมคคานิกส์ จะแบ่งออกเป็น 2 ส่วน คือ ส่วนของเครื่องวัดความสูงและ ส่วนของเครื่องชั่งน้ำหนัก สำหรับส่วนที่เป็น อิเลคทรอนิกส์ จะใช้ ไมโครโปรเซสเซอร์ มาทำการควบคุมการทำงานทั้งหมดของระบบ การแสดงผลของระบบจะแสดงบน 7 - เซ็กเมนต์

## สารบัญ

บทที่		หน้า
1	บทนำและบล็อกโคอะแกรมของระบบ	1
2	เครื่องวัดความสูง	4
	2.1 ชนิดของเครื่องวัดความสูง	4
	2.2 การเลือกใช้แสง	5
	2.3 แอล อี ที	6
	2.4 ไหมเมอร์ไอซีเบอร์ 555	17
	2.5 ออปเปอร์เรชันแนล แอมพลิไฟเออร์	27
	2.6 ฟิลเตอร์แบบช่วงความถี่ผ่าน	35
	2.7 หลักการทำงานของการบินกับด้วยแสงอินฟราเรด	38
	2.8 หลักการเบื้องต้นและบล็อกโคอะแกรม	40
	2.9 การทำงานของวงจรที่ใช้งานจริง	43
3	เครื่องชั่งน้ำหนัก	51
	3.1 อุปกรณ์วัดความดัน	51
	3.2 การเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิทัล	60
	3.3 วงจรอินสตรูเมนเตชัน	75
	3.4 บล็อกโคอะแกรมและวงจร	78
4	เครื่องวัดอัตราการเต้นของหัวใจ	80
	4.1 หลักการเบื้องต้นและบล็อกโคอะแกรม	81
	4.2 วงจรของเครื่องวัดอัตราการเต้นของหัวใจ	83

บทที่		หน้า
5	หน่วยประมวลผลกลาง	90
	5.1 โครงสร้างของ ซีพียู Z-80	90
	5.2 การใช้ ROM กับ Z-80	97
	5.3 การนำ Z-80 ทอรวมกับ Static RAM	108
	5.4 การต่อ Z-80 กับอุปกรณ์ อินพุตและเอาต์พุต	112
	5.5 การนำ Z-80 ทอรวมกับ 8255 PIA	121
	5.6 บล็อกไอคอนแกรมและวงจรที่ใช้งานจริงของหน่วยประมวลผลกลาง	125
6	ซอฟต์แวร์	130
	6.1 โพลีซาร์ทของระบบ	130
	6.2 การจัดสรรหน่วยความจำ	134
	6.3 มอนิเตอร์โปรแกรม	135
7	7.1 รวมวงจรที่ใช้งานทั้งเครื่อง	150
	7.2 สายวงจรมิพของวงจรทั้งหมด	162
8	เมกคานิกส์ของเครื่อง	171
	8.1 เมกคานิกส์ของเครื่องวัดความสูง	171
	8.2 เมกคานิกส์ของเครื่องชั่งน้ำหนัก	171
9	การทดลองและผลการทำงาน	175
	9.1 การทดลอง	175
	9.2 ผลการทำงาน	175

บทที่		หน้า
10	สรุปผลและวิจารณ์ผลการทดลอง	177
10.1	สรุปผลและวิจารณ์ของเครื่องวัดส่วนสูง	177
10.2	สรุปผลและวิจารณ์ของเครื่องชั่งน้ำหนัก	178
10.3	สรุปผลและวิจารณ์ของเครื่องวัดอัตราการเต้นของหัวใจ	180

ภาคผนวก

กิตติกรรมประกาศ

หนังสืออ้างอิง



## บทที่ 1 บทนำ

เมื่อก่อนนี้เวลาที่เราจะทำการวัดความสูง และน้ำหนักของตัวเรานี้ เราจะวัดกันคนละครั้ง โดยอาจจะวัดน้ำหนักก่อนแล้วค่อยวัดความสูง หรือวัดความสูงก่อนแล้วจึงวัดน้ำหนัก ดังนั้นจึงเป็นการไม่สะดวกในการวัด และเครื่องวัดที่ใช้หนักก็เป็นแบบสเกล เช่น เครื่องวัดความสูง เวลาที่เราจะวัดความสูงเราจะต้องไปยืนหิงบนไม้ที่มีสเกลกำหนดอยู่ แล้วก็นำเอาแผ่นไม้เล็กๆอีกแผ่นหนึ่งมาค้ำที่ศีรษะ แล้วเวลาที่จะดูค่าที่วัดไต่หนักก็ต้องออกมาจากแผ่นไม้เพื่อดูค่าที่วัดไต่บนสเกล โดยที่ระดับของแผ่นไม้เล็กๆนั้น ซึ่งจะเห็นว่าไม่เป็นการสะดวก ส่วนเครื่องชั่งน้ำหนักก็มีทั้งแบบที่ใช้เลื่อนก่อน เหล็กไปตามสเกลแล้วค่อยดูสเกลว่าถึงกลางแล้วหรือยัง ถ้าอยู่กึ่งกลางแล้วอ่านค่าบนสเกล ส่วนอีกแบบหนึ่งนั้นเป็นแบบที่เมื่อขึ้นไปยืนชั่งน้ำหนักแล้วมีแผ่นสเกลกลมๆ หมุนไปที่ตัวเลขของน้ำหนัก ที่ตัวเลขนั้นจะแสดงน้ำหนักที่กำลังชั่งอยู่ แบบนี้จะสะดวกกว่าแบบแรกแน่นอน แต่ก็ยังไม่สะดวกนักและค่อนข้างจะล่าสมัยเมื่อเทียบกับเทคโนโลยีในปัจจุบัน กระผมจึงเห็นว่าควรจะทำเครื่องวัดความสูงและน้ำหนักให้รวมเป็นเครื่องเดียวกัน โดยแสดงผลเป็นตัวเลข ซึ่งจะใช้ ไมโครโปรเซสเซอร์ (Microprocessor) มาควบคุมระบบของเครื่องทั้งหมด โดยที่เครื่องนี้จะใช้ เซ็นเซอร์ (Sensor) แบบแสง อินฟราเรด (Infrared) มาเซ็นเซอร์ความสูง ทำให้ผู้ที่ทำการวัดไม่ต้องยื่นหัวอะไรอีก ส่วนเช่น เซ็นเซอร์น้ำหนักนั้น ครั้งแรกคิดว่าจะใช้ โหลดเซลล์ (Load cell) แต่เนื่องจากโหลดเซลล์มีราคาแพงมาก และไม่มีจำหน่ายในเมืองไทย ดังนั้นกระผมจึงได้หันมาใช้ เพรสเชอร์ เซ็นเซอร์ (Pressure sensor) แทนโหลดเซลล์ และตัวเลขที่จะแสดงผลนั้นก็เลยขึ้นไปปรากฏที่ระดับสายตาของผู้ที่ทำการวัดอยู่ จะเห็นว่าผู้ที่ทำการวัดเพียงแค่นั่งเฉยๆ เท่านั้น ความสูงและน้ำหนักก็จะปรากฏให้เห็นที่ตัวแสดงผล ซึ่งจะเห็นว่าเครื่องนี้ให้ความสะดวกแก่ผู้ชั่งมาก ความสามารถของเครื่องนอกจากที่กล่าวมาแล้ว ยังสามารถวัดอัตราการเต้นของหัวใจของผู้ที่ทำการวัดได้ด้วย โดยใช้แสงจากหลอดไฟ 10 โวลต์ส่องผ่านนิ้วมือไปยัง โฟโตทรานซิสเตอร์ (Photo transistor) วิธีนี้ร่างกายจะไม่สัมผัสกับระบบไฟฟ้าเลย ซึ่งจะปลอดภัยกว่าระบบที่ใช้กันอยู่ทั่วไป เพราะระบบที่ใช้กันอยู่ทั่วไปใช้การสัมผัสทางไฟฟ้ากับร่างกาย ซึ่งอาจจะเป็นอันตรายต่อร่างกายได้

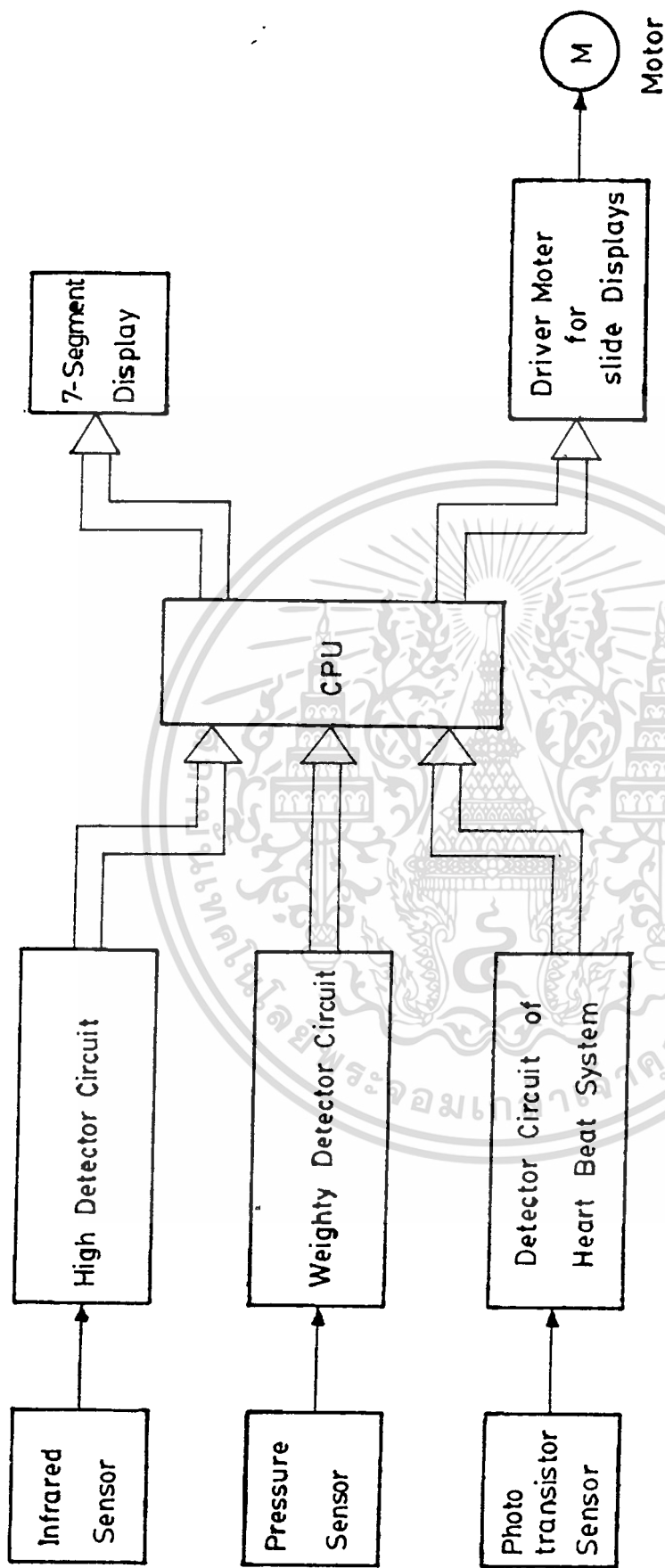
กระผมได้นำโครงการ (Project) นี้เสนอต่อหัวหน้าภาควิชาเทคนิคอุตสาหกรรม คือ อาจารย์ กนก เจนจิระหงส์เวช ซึ่งเป็นอาจารย์ที่ปรึกษา และยังได้เสนอต่ออาจารย์ นิกร สุขุมตันทติ ซึ่งเป็นอาจารย์ที่ปรึกษาอีกท่านหนึ่ง ซึ่งท่านทั้งสองได้พิจารณาแล้ว

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และได้อนุมัติให้ทำเป็น โครงการฯ ได้ โดยกำหนดให้เป็น โครงการ 2 เทอม ซึ่งรายละเอียด  
ในการทำ ได้รวบรวมอยู่ในปฏิทินขณะนี้แล้ว



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Block diagram of the System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 เครื่องวัดความสูง

ทฤษฎี

2.1 ชนิดของเครื่องวัดความสูง

เครื่องวัดความสูงโดยทั่วไปแบ่งได้เป็น 2 แบบคือ แบบสเกล และ แบบตัวเลข

แบบสเกล

แบบนี้จะทำเป็นแถบสเกลวางในแนวตั้ง มีขนาดความสูงประมาณ 2 เมตร การวัดทำได้โดยขึ้นให้ศรชี้แบบกับแถบสเกลแล้วเลื่อนแผ่นไม้ที่กั้นบนศรชี้แล้วล้อคนแผ่นไม้ไว้ แล้วจึงออกมาดูสเกลว่าวัดได้ความสูงเท่าไร

แบบตัวเลข

แบบนี้จะแสดงผลเป็นตัวเลขแบบ DIGITAL การวัดก็มีลักษณะคล้ายกับแบบสเกลจะต่างกันที่ตรงที่ไม่ต้องมีแผ่นไม้ที่ใช้กั้นศรชี้ เพียงแค่นำไปตรงกับอุปกรณ์ตรวจจับ (SENSOR) เท่านั้น เครื่องก็จะสามารถวัดออกมาได้ ซึ่งการติดตั้ง SENSOR ก็มีอยู่ 2 แบบเช่นกันคือ

ก) แบบที่ติดตั้งในแนวตั้ง

แบบนี้จะติดตั้ง SENSOR ไว้ที่ตำแหน่งสูงสุดของเครื่องวัดและอยู่ตรงกลางศรชี้ ประกอบด้วยตัวส่งและตัวรับสัญญาณ โดยตัวส่งจะส่งสัญญาณมาสะท้อนศรชี้ไปเข้าตัวรับแล้วนำกลับไปคำนวณระยะทางเพื่อหาความสูงที่แท้จริง

ข) แบบที่ติดตั้งในแนวนอน

แบบนี้จะติดตั้ง SENSOR ไว้ในแนวระนาบแล้วใช้วิธีการเลื่อนตัว SENSOR ขึ้นไปตามความสูงเรื่อยๆ แล้วคอยตรวจจับสัญญาณที่ส่งออกไปจากตัวส่งแล้วสะท้อนกลับมาที่ตัวรับว่าเมื่อไหร่จะไม่มีสัญญาณ ซึ่งนั่นก็คือ ตัว Sensor ได้เคลื่อนไปที่ตำแหน่งเหนือศรชี้ และในระหว่างที่ Sensor เคลื่อนไปนั้นก็จะมีการบันทึกข้อมูลเอาไว้ ดังนั้นเมื่อตัว Sensor หยุดที่ระดับศรชี้แล้ว ก็จะนำข้อมูลไปประมวลผลแล้วแสดงเป็นความสูงออกมา ส่วนชนิดของ Sensor ที่ใช้ทั้งแบบที่ติดตั้งในแนวตั้งและแนวนอนนั้นแล้วแต่ผู้ออกแบบจะเลือกใช้ตามความเหมาะสม เช่น แบบที่ใช้คลื่น Ultrasonic หรือแบบที่ใช้แสง Infrared เป็นต้น

แต่ในเครื่องนี้เราจะใช้แสง Infrared เหตุผลก็เพราะว่าแสง Infrared นั้นมีลำแสง (Beam) ที่แคบกว่าคลื่น Ultrasonic ซึ่งจะทำให้มีความเที่ยงตรงกว่า

## ๕.๕ การเลือกใช้แสง

เหตุผลที่เราเลือกใช้แสงในการสื่อสาร นั้นมีเหตุผลใหญ่ๆอยู่ ๒ ข้อ

๑. สามารถป้องกันการสอคแทรกต่างๆ ทั้งยังทำให้เกิดความปลอดภัยในการสื่อสาร

๒. การรบกวนจาก Noise ต่างๆ เช่น จากมอเตอร์หรือ Electromagnetic Interence (EMI) ไม่สามารถที่จะรบกวนได้

สำหรับปัญหาทั้งสองข้อนี้ เราสามารถป้องกันได้ โดยการใช้แสง ซึ่งมีความถี่สูงมาก ในย่านความถี่แสงที่ขึ้นเราจะใช้แสงในย่าน อินฟราเรด ซึ่งเป็นแสงที่เราไม่สามารถมองเห็นได้

จากรูปที่ ๕.๑ เป็น Spectrum ของคลื่นแม่เหล็กไฟฟ้า ที่ประกอบด้วยแถบความถี่ของ วิทยุ - โทรทัศน์ , ไมโครเวฟ , การกระจายแสงอินฟราเรด , แสงที่มองเห็นได้ , Visible Light , Ultraviolet , X Ray , Gammar Ray และความถี่อื่นๆ โดยความแตกต่างของการกระจายต่างๆ ของแต่ละแถบคลื่นนั้น จะขึ้นกับความถี่ และ ความยาวคลื่น เท่านั้น

ตาของมนุษย์จะมีการตอบสนองต่อคลื่นแม่เหล็กไฟฟ้าในแถบความถี่ของแสงที่ตามองเห็นได้ โดยแสงแต่ละสีที่ตามองเห็นนั้น จะมีความถี่หรือความยาวคลื่นแตกต่างกัน โดย - เมื่อพิจารณาตามการเพิ่มของความถี่ หรือ การลดลงของความถี่ ความยาวคลื่นของสีต่างๆ จะเรียงลำดับได้ดังนี้คือ

แดง	ความยาวคลื่น	622 - 770	นาโนเมตร(nm)
ส้ม	"	597 - 622	"
เหลือง	"	577 - 597	"
เขียว	"	492 - 577	"
น้ำเงิน	"	455 - 492	"
ม่วง	"	390 - 455	"

ถึงขีดความยาวคลื่นที่มองเห็นได้จะอยู่ในช่วงระหว่างประมาณ 400 นาโนเมตร ถึง 700 นาโนเมตร

ส่วนย่านของแสงที่ตาไม่สามารถตอบสนองได้ มีอยู่ 2 อย่างคือ ย่านสูงกว่าหรือต่ำกว่า Visible Light Band ก็จะเริ่มตั้งแต่ย่าน อินฟราเรด และ Ultraviolet ขึ้นไป ดังนั้นในส่วนของ SENSOR ความสูงเราจะใช้แสงในย่าน อินฟราเรด ซึ่งจะเห็นได้ว่าอยู่ในช่วงความยาวคลื่นประมาณ 700 ถึง 1,000,000 นาโนเมตร

### 2.3 LED (Light Emitting Diode)

แอล อี ดี คือ ไดโอด หรือ P-N Junction Semiconductor Device ซึ่งออกแบบเป็นทีเอสที่จะให้แสงสว่าง ( Emitted Light ) เมื่อให้ไบอัสตรงแก่มัน แสงที่ส่องออกมาเป็นหลายช่วงคลื่นแล้วแต่นิกของสารที่ใช้ทำ มีแสงสีแดง เหลือง เขียว และอาจเป็นแสงที่ตาเรามองไม่เห็น เช่น แสงอินฟราเรด ( Infrared )

#### 2.31 ข้อได้เปรียบของ แอล อี ดี (LED)

- 1) มีขนาดเล็กมากประมาณ 1/1000 นิ้ว ทำให้น้ำหนักเบามาก
- 2) ใช้งานที่แรงดันต่ำมากประมาณ 1.7 โวลต์ และกระแสเพียง 5 - 30 มิลลิแอมป์ เท่านั้น
- 3) แสงที่เปล่งออกมาเป็นแสงสีเดียว มีช่วงคลื่นเดียว ( Monochromatic )
- 4) การทำงานไวมากมี Rise Time และ Fall Time เป็นนาโนวินาที
- 5) ทนต่อการกระแทกกระเทือนได้ดี
- 6) มีอายุในการใช้งานสูง

#### 2.32 หลักการโคชขอ

การที่ แอล อี ดี เปล่งแสงออกมาได้ต้องกล่าวถึงโครงสร้างการจัดเรียงตัวภายในของสารกึ่งตัวนำ กล่าวคือ อีเลคตรอนในอะตอมจะอยู่เป็นชั้นๆ เรียกว่า "LEVEL" ซึ่งแต่ละชั้นของอีเลคตรอน จะมีพลังงานไม่เท่ากัน ชั้นของอีเลคตรอนที่อยู่ห่างจากนิวเคลียสมาก ก็จะมีพลังงานมากกว่า

สำหรับ Pure Semiconductor ที่อุณหภูมิ 0 องศาสมบูรณ์ จะมีอีเลคตรอนอยู่ในชั้นในๆ เต็ม และชั้นนอกจะไม่มีอีเลคตรอนอยู่เลย พลังงานชั้นนอกสุดของชั้นที่มีอีเลคตรอนเต็ม เรียกว่า "Valence Band" และชั้นในสุดของชั้นที่ไม่มีอีเลคตรอนอยู่ เรียกว่า "Conductor Band" ซึ่งพลังงานที่แตกต่างของระหว่างชั้นพลังงานทั้งสองนี้ เรียกว่า "Energy Gap" ( $E_g$ )

ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีก ให้นำไปใช้

อิเล็กตรอนไม่สามารถอยู่ใน Energy Gap ได้เลย ถ้าไม่อยู่ใน Conductor Band ก็อยู่ใน Valence Band การใส่สารไมบริสุทธิ์ (Impurity) เข้าไปทำให้อิเล็กตรอนสามารถอาศัยอยู่ใน Energy Gap ได้ ถ้าอะตอมใหม่มีอิเล็กตรอนอิสระ (Free Electron) อยู่ใน Conductor Band จะเรียกว่า ดอนเนอร์ (Donor) หรือเรียกว่าสารกึ่งตัวนำชนิด เอ็น (N-Type) ถ้าอะตอมใหม่มีอิเล็กตรอนขาดหายไป (มี Hole เกิดขึ้น) ใน Valence Band เรียกว่าอะตอมนี้ว่า "Acceptor" หรือสารกึ่งตัวนำชนิด พี (P-Type) เมื่ออิเล็กตรอนในคอนเนอร์มารวมตัวกัน (Recombine) โสไล ในแอสเซมเบลเลอร์ จะมีการเปลี่ยนแปลงพลังงานสูงมายังชั้นที่มีพลังงานต่ำ ซึ่งการรวมตัวนี้จะเกิดพลังงานส่วนที่การออกมาเป็น "โฟตอน" (Photon) ที่เป็นพลังงานในรูปแบบพลังงานแสง ความถี่ของโฟตอนจะถูกกำหนดโดยระดับพลังงานที่เปลี่ยนแปลง ซึ่งพลังงานมากจะทำให้ความถี่สูงขึ้นจากพลังงานในโฟตอนนี้เอง ก็จะเป็นพลังงานแสงที่ช่วงคลื่นต่างๆกันแล้วแต่ความถี่ของโฟตอน

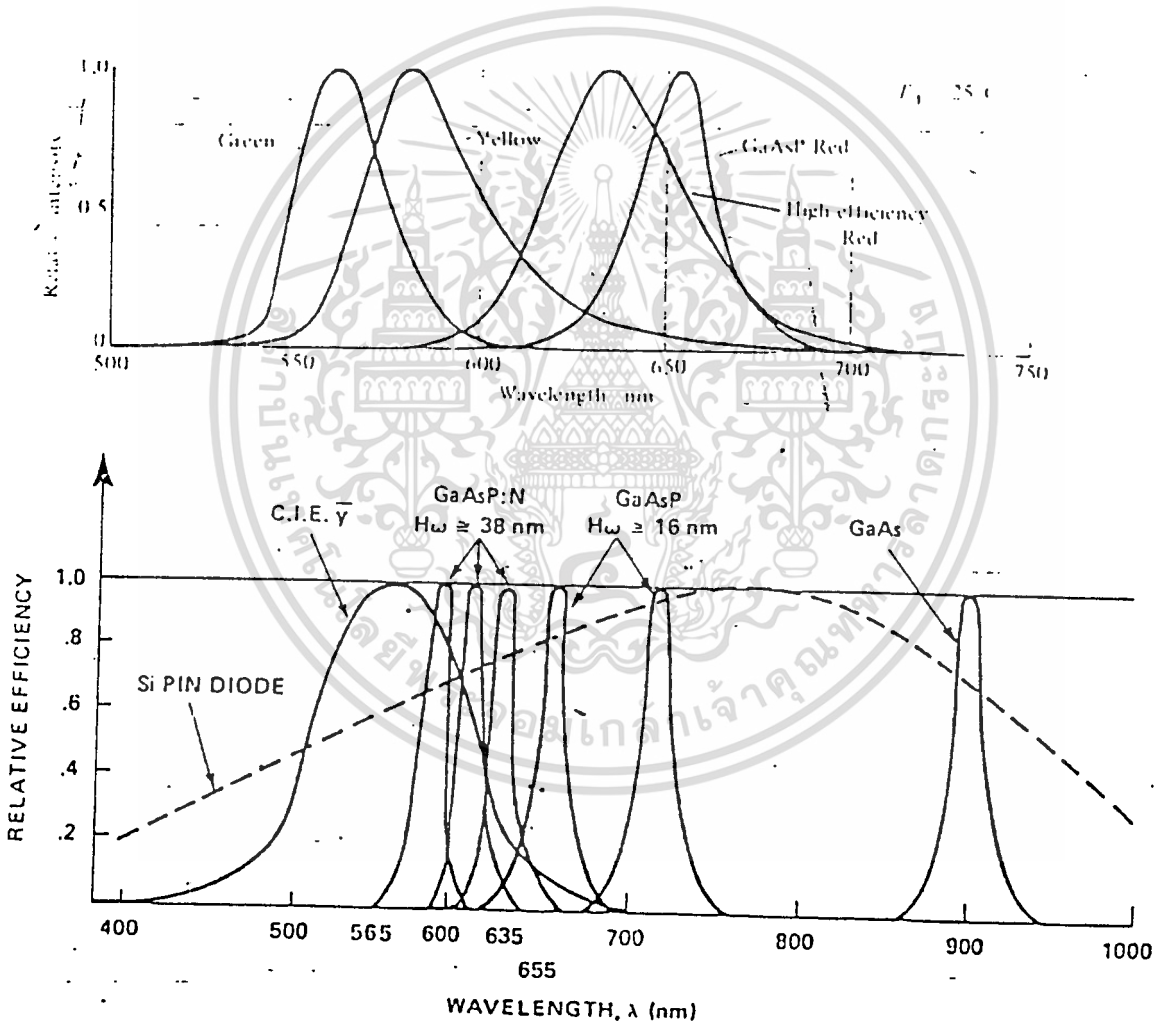
สารกึ่งตัวนำที่จะนำมาใช้ทำ แอล อี ดี มี  $G_d A_p$  (แกดเลียมอาร์เซไนด์) ซึ่งให้แสงในช่วงคลื่นอินฟราเรดและ  $G_d A_p$  (แกดเลียมอาร์เซไนด์) จะให้แสงสีแดงที่ตามองเห็น ตารางของสารกึ่งตัวนำที่นำมาใช้ทำ แอล อี ดี และ ความยาวคลื่น

สารที่ทำ (Crystal)	ความยาวคลื่น (um)	ช่วงความถี่แสง
PbSa	8.5	อินฟราเรด
PbTe	6.5	
InSb	5.2	
PbS	4.3	
InAs	3.15	
GaSb	1.6	
InAs	0.91	
GaAs	0.90	
CeTe	0.85	
GaAsP	0.66	
Bp	0.64	
ZnTe	0.62	
GaP	0.57	ช่วงตามองเห็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารที่ทำ (Crystal)	ความยาวคลื่น ( $\mu\text{m}$ )	ช่วงความถี่แสง
GaP	0.57	เขียว } ช่วงตามองเห็น น้ำเงิน } อุลตราไวโอเลต
ZnSa	0.45	
ZnO	0.37	



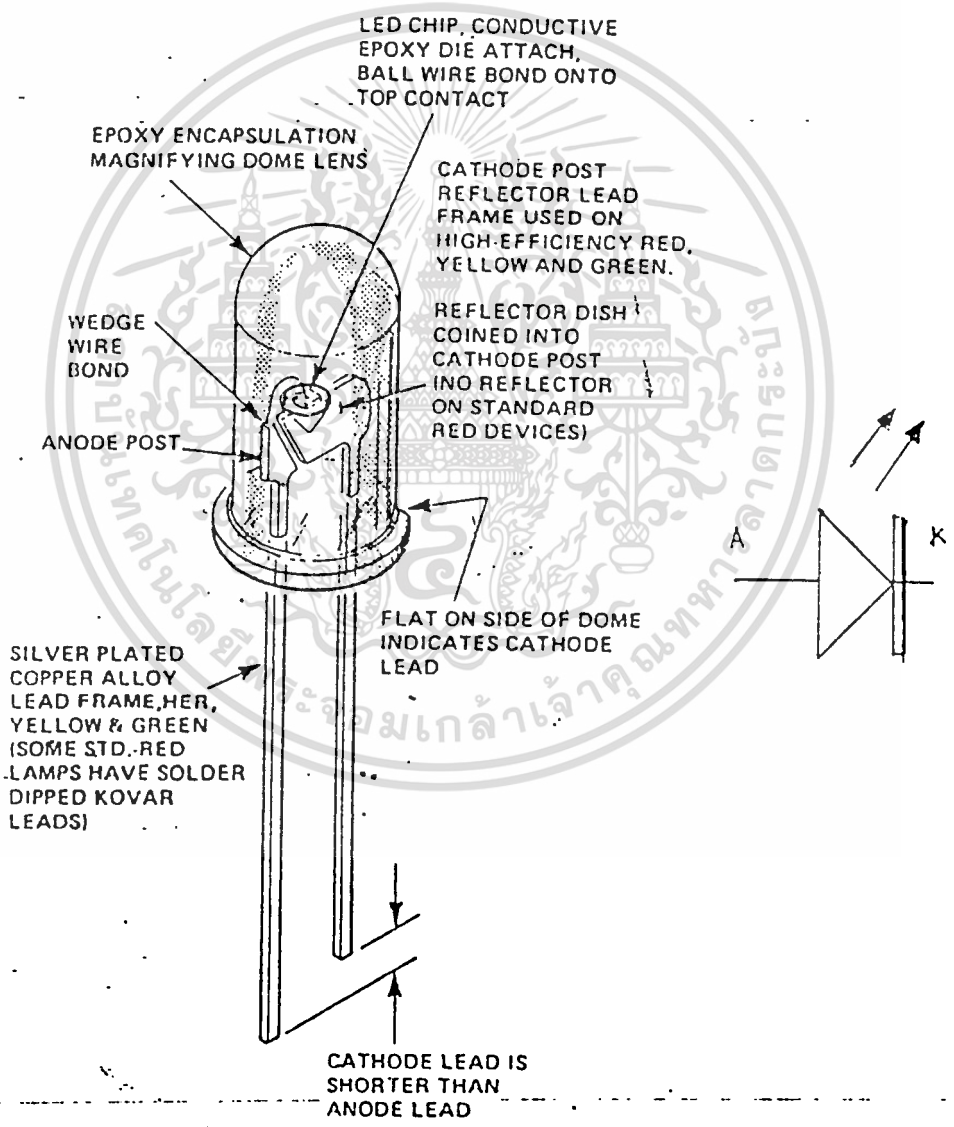
รูปที่ 2.1 แสดงการตอบสนองของวัสดุเมื่อแสงของแอล-อี-ดี ชนิดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

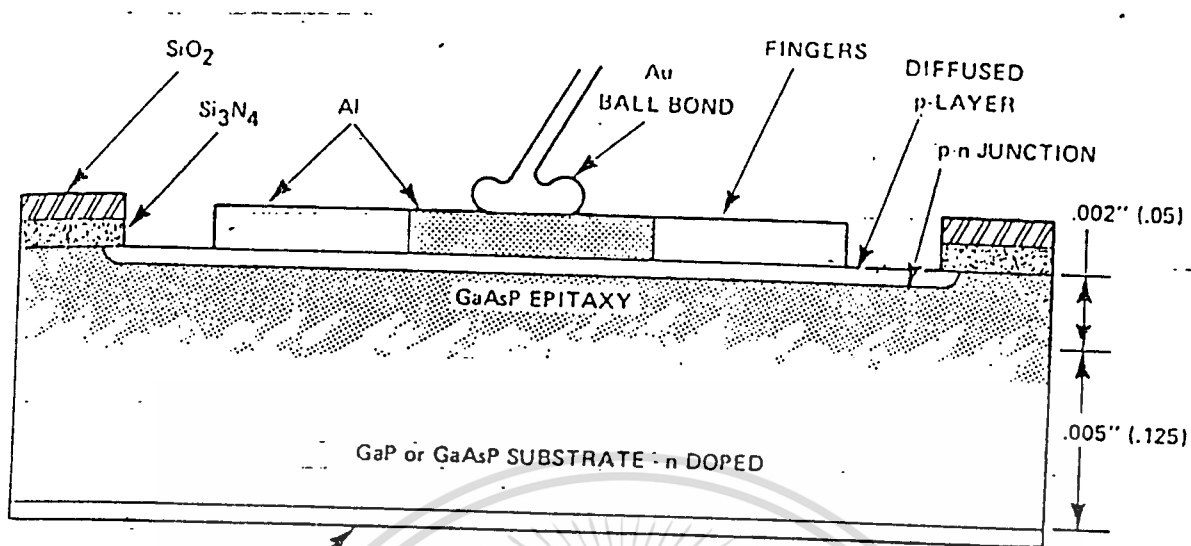


2.33 โครงสร้างของ แอล อี ดี

ตามรูปที่ 2.3 โครงสร้างของแอล อี ดี ประกอบด้วยชั้น ซิลิเกต ( Substrate Layer ) ทำด้วย Gap or GaAs, ชั้นถัดมาเป็นอิพิทาเซียล ( Epitaxial Layer ) ทำด้วยสาร GaAsP ทั้งสองชั้นนี้จะถูกโด๊ป ( Doped ) เป็น N-Type , แล้วชั้นที่สามจะปกคลุมชั้นอิพิทาเซียลด้วยซิลิกอนไนไตรด์ ( Si<sub>3</sub>N<sub>4</sub> ) ซึ่งชั้นนี้จะถูกเจาะและแพทส์สาร P-Type ลงไป ให้อยู่ติดกับ N-Type ของอิพิทาเซียล จึงทำให้เกิดเป็น P-N Junction ขึ้นมาได้



รูปที่ 2.2 แสดงโครงสร้างพลาสติก แอล อี ดี และสัญลักษณ์



AuGe BACK CONTACT

(.XXX) DIMENSIONS IN MM

Figure A. CROSS SECTION OF AN LED

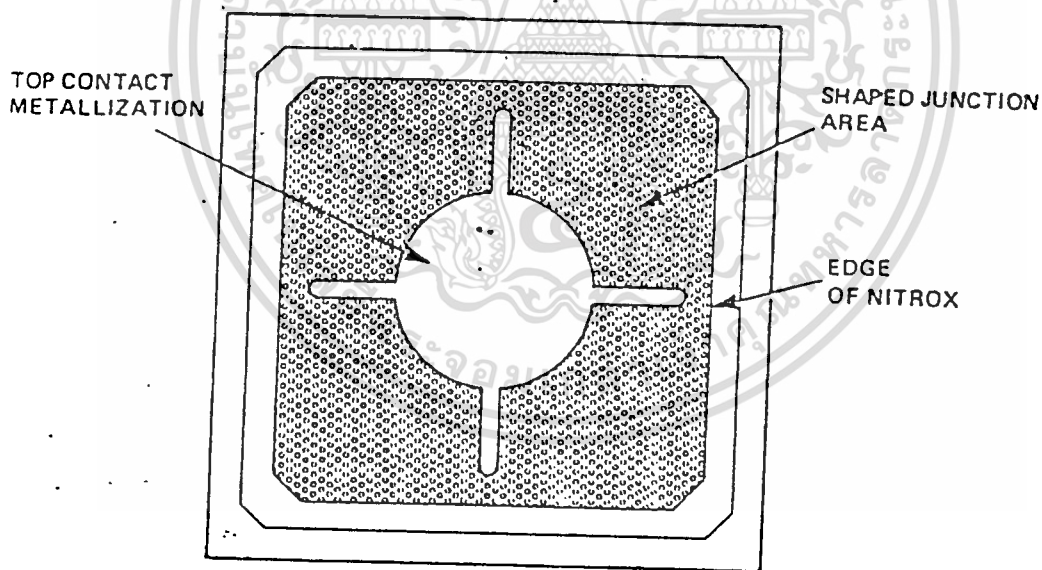


Figure B. PLAN VIEW OF AN LED

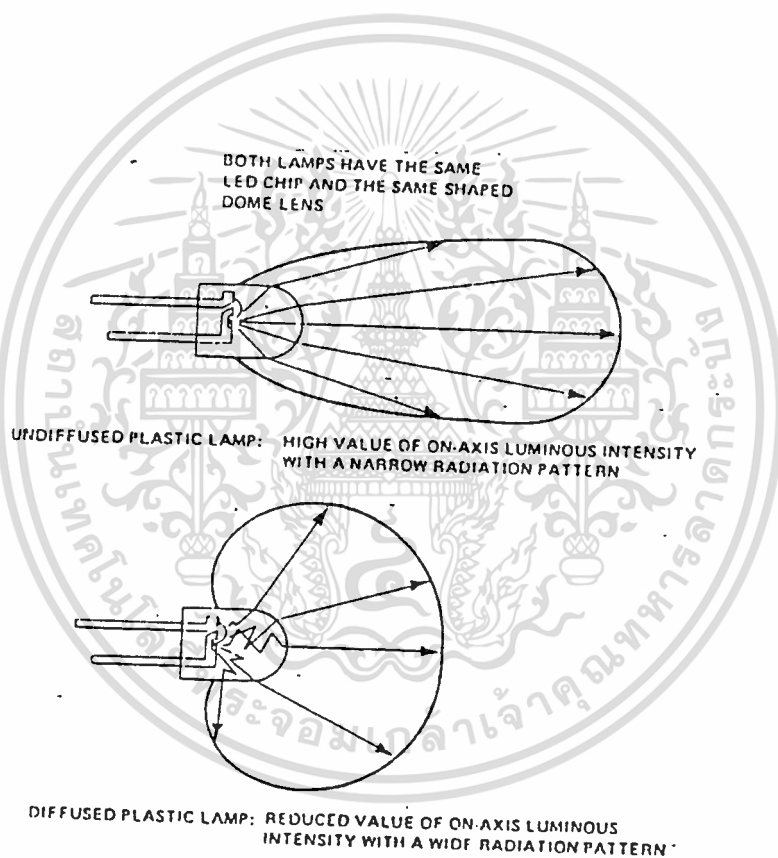
รูปที่ 2.3 แสดงโครงสร้างทางช่างและกานของ แอล อี ดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

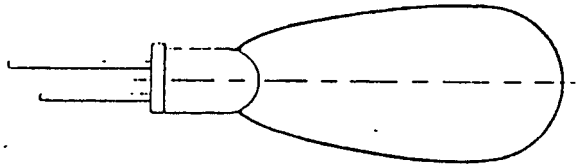
### 2.34 แอล อี ดี แบบกระจายแสงและปมแสง.

(Diffused and Undiffused LED Lamp)

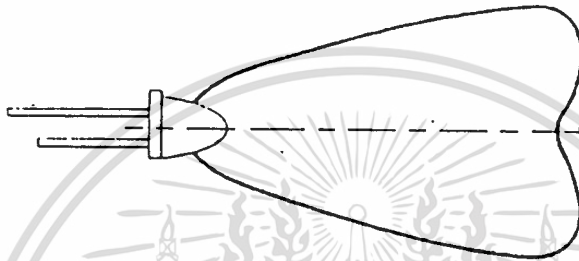
ตามปกติแล้วเลนส์ของ แอล อี ดี จะถูกฉาบด้วยพลาสติกปมแสง สำหรับ แอล อี ดี ที่ปมแสงโถงแสงไว้ดังรูปที่ 2.4 และ 2.5



รูปที่ 2.4 แอล อี ดี ปมแสง



T 1 3/4 LAMP WITH SPHERICAL DOME LENS



T-1 3/4 LOW PROFILE LAMP  
WITH AN ASPHERIC DOME LENS

รูปที่ 2. 5 การเปรียบเทียบ แอลอีดี หลอดส่องสว่างกับกระจับแสง

## 2.35 โฟโตไดโอด และ โฟโตทรานซิสเตอร์

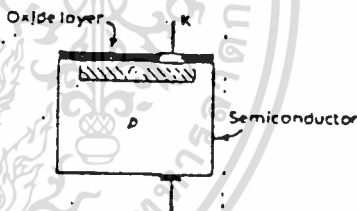
### โฟโตไดโอด (Photo diode )

ในไม่กี่ปีมานี้ อุปกรณ์ที่มีความไวต่อแสงได้รับความสนใจอย่างมากมา  
โฟโตไดโอดเป็นอุปกรณ์ที่ทำมาจาก รอยต่อ พี-เอ็น (P-N junction) โฟโต  
ไดโอดจะทำงานได้ก็ต่อเมื่อ ได้รับแสงสว่างมาตกกระทบบริเวณรอยต่อเมื่  
ก็ตามก็จะทำให้โฟโตไดโอดทำงานได้

ปกติบริเวณรอยต่อของ พี-เอ็น จังก์ชัน (P-N junction) มีพื้นที่ที่จะรับแสงได้  
น้อยมาก ดังนั้น โครงสร้างด้านหน้าที่ทำเป็นเลนส์ ซึ่งทำจากแก้วหรือพลาสติกเพื่อที่จะรวม  
แสง ให้มาตกกระทบที่บริเวณรอยต่อ พี-เอ็น เริ่มแรกนั้น โฟโตไดโอด จะทำจากสารทก  
เจอร์มาเนียม (Germanium) แต่ปัจจุบันนี้ทำมาจากสาร ซิลิกอน ทั้งหมดสัญลักษณ์ของ  
โฟโตไดโอด แสดงดังรูปที่ 2.6 และโครงสร้างของโฟโตไดโอด แสดงดังรูปที่ 2.7



รูปที่ 2.6 สัญลักษณ์ของโฟโตไดโอด

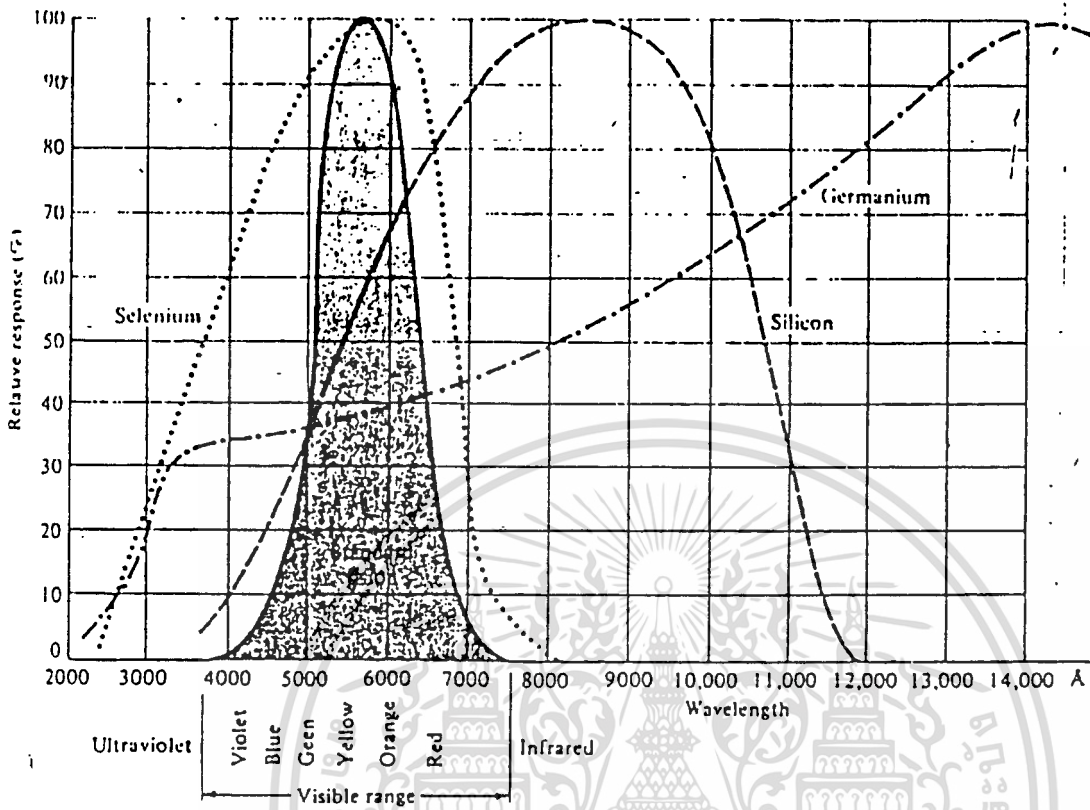


รูปที่ 2.7 โครงสร้างของโฟโตไดโอด

การทำงานของโฟโตไดโอด จะต้องจัดให้เป็นแบบไบอัสกลับดังรูปที่ 2.9 จะมี  
อัตราการทำงานที่อุณหภูมิสูงสุดอยู่ในช่วง 100 - 125° แรงดันไบอัสกลับ 50 - 200  
โวลต์ และอัตราทงกำลัง 50 - 100 มิลลิวัตต์ นอกจากนี้ยังทำงานในช่วงความถี่ตั้งแต่  
200 กิโลเฮิรตซ์ สำหรับไดโอดที่ทำงานช้า ถึง 1 เมกกะเฮิรตซ์ สำหรับไดโอดที่ทำงานเร็ว  
แต่สำหรับโฟโตไดโอดที่ทำด้วย ซิลิกอน จะตอบสนองได้ที่สั้นที่สุดที่ความยาวคลื่น 800 - 900  
นาโนเมตร และอยู่ในย่านของแสงอินฟราเรดด้วย แต่สำหรับ เยอรมันเนียมที่ใช้ทำโฟโตไดโอด  
จะมีช่วงการทำงานที่กว้างมาก ความยาวคลื่นตั้งแต่ 200 ถึง มากกว่า 1400 นาโนเมตร  
ดังรูปที่ 2.8 การใช้งานโฟโตไดโอด จะใช้ในการเป็นหลักชั่งเทคนิควงแสงเลเซอร์

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์สำหรับทางแรงงานเพื่อการศึกษาเท่านั้น ผู้ใช้และผู้เผยแพร่ต้องรับผิดชอบต่อการค้า

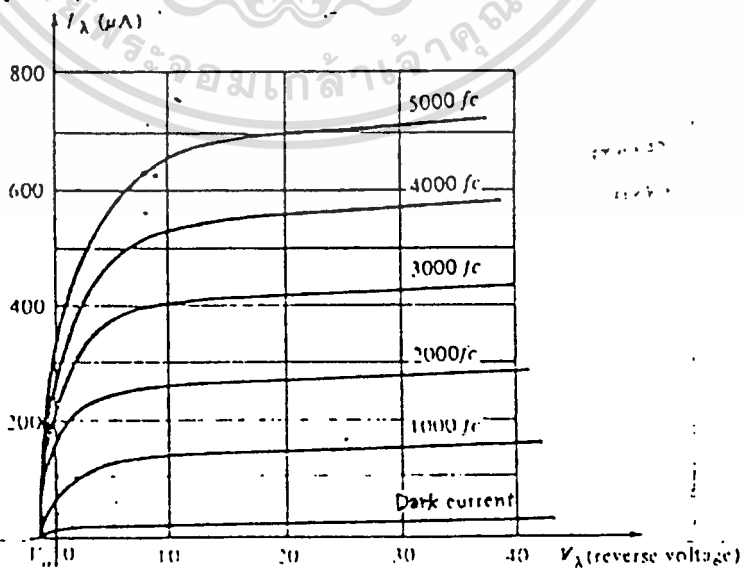
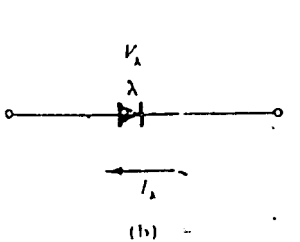
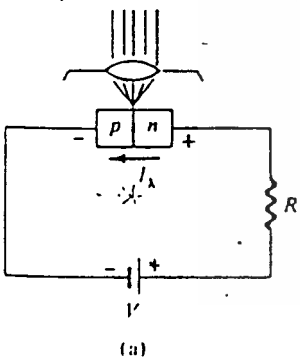
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 ความสัมพันธ์ของฟิสิกอน, เยอรมันเนียมและซิลิคอนเมื่อ

ตอบสนองของกามนุษย์

Figure 3.34 Typical set of photodiode characteristics.



รูปที่ 2.9 คุณสมบัติสำคัญของโฟโต ไดโอด

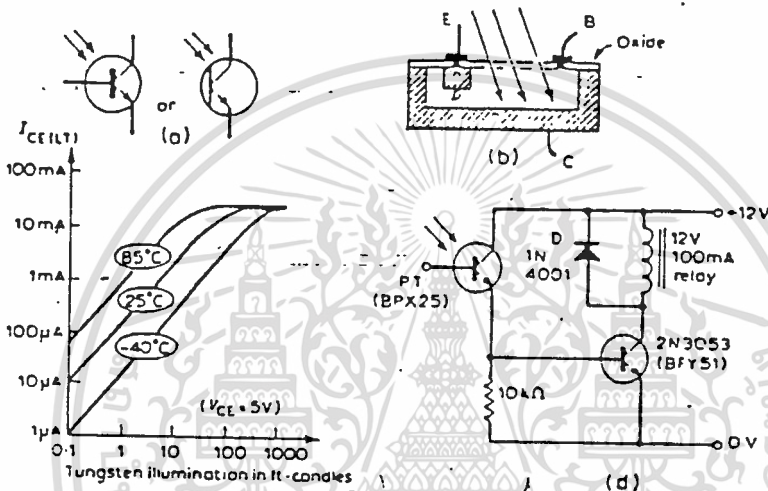
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือการคำนวณเลขชั้นของระดับสัญญาณที่ต่ำมาก

### โฟโตทรานซิสเตอร์ ( Photo transistor )

โฟโตทรานซิสเตอร์ ได้พัฒนามาจากโฟโตไดโอด จึงทำให้มีความไวมากกว่าโฟโตไดโอด ลักษณะ แสดงดังรูปที่ 2.10 a โครงสร้างแสดงดังรูปที่ 2.10 b การเปลี่ยนแปลงของกระแสคอลเลกเตอร์ของซิลิคอนโฟโตทรานซิสเตอร์กับการส่องสว่างจะขึ้นอยู่กับอุณหภูมิ ดังรูป 2.10 c



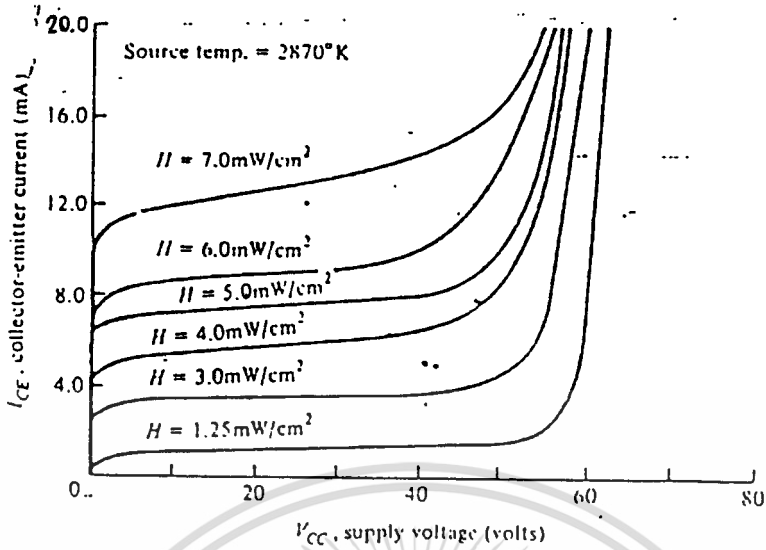
รูปที่ 2.10 โฟโตทรานซิสเตอร์

โฟโตทรานซิสเตอร์ จะมีคุณลักษณะสมบัติแตกต่างจากทรานซิสเตอร์ธรรมดา คือ คุณลักษณะสมบัติทางต้านคอลเลกเตอร์จะขึ้นอยู่กับความเข้มของแสงที่มาตกกระทบบนขาเบส ซึ่งแสดงไว้ดังรูปที่ 2.12

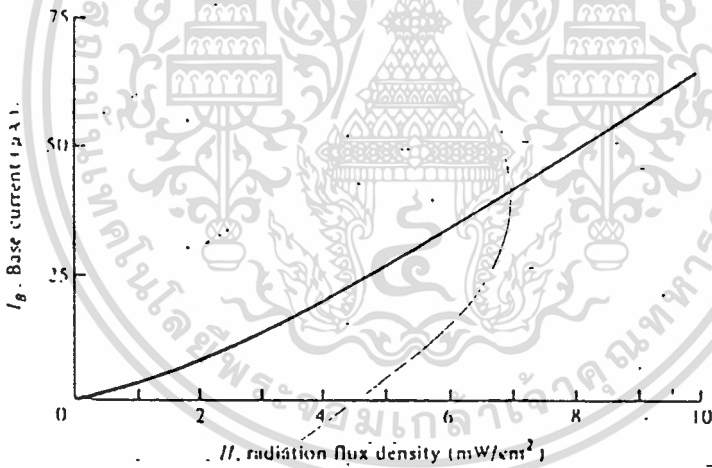
การทำงานของโฟโตทรานซิสเตอร์ ในช่วง dark current ที่อุณหภูมิต่ำจะมีกระแสไหล 1 นาโนแอมป์ และเมื่อมีแสงสว่างมาตกกระทบจะมีกระแสไหลประมาณ 2 - 20 มิลลิแอมป์

การปรับปรุงโฟโตทรานซิสเตอร์ ให้มีความไวในการรับแสงก็ยิ่งขั้นนั้น เราทำได้โดยการทำเป็น "คาร์ลิงตัน ทรานซิสเตอร์" (Darlington transistor) ซึ่งการต่อกันลักษณะนี้ จะทำให้มีกระแสไหลสูง อีกทั้งยังมีความไวในการทำงานสูงประมาณ 100 ไมโคร-เฮกกัน และจากรูปที่ 2.11 นี้ถ้าเราเพิ่มความเข้มของแสงให้สูงขึ้นก็จะทำให้กระแสคอลเลกเตอร์สูงขึ้นตามไปด้วย ความเข้มของแสงนี้เราวัดเป็นมิลลิวัตต์ต่อตาราง เซนติเมตร

เอกสารนี้จะขึ้นอยู่กับอุณหภูมิต่ำๆ หวังแสงใจจากกิจการรูปที่ 2.11 นี้ ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 กราฟของ คอลเลคเตอร์ โฟโตทรานซิสเตอร์

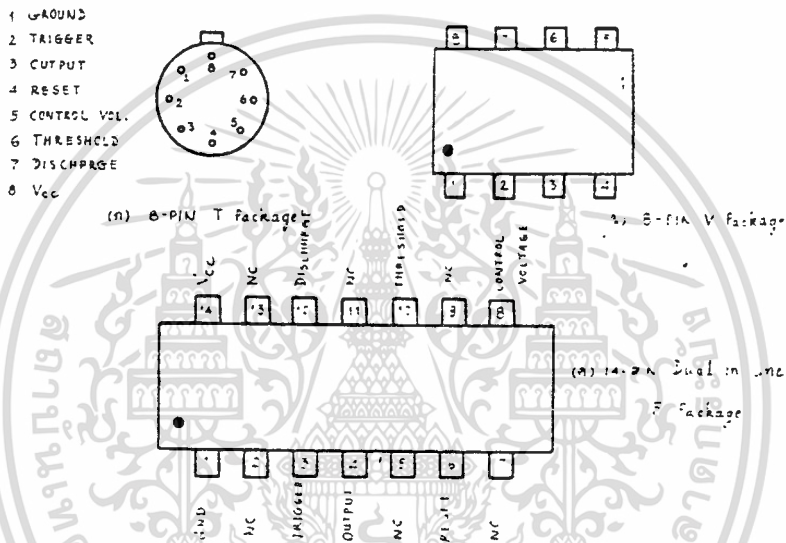


รูปที่ 2.12 แสดงความเข้มของแสงต่อพื้นที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.4 โหม้เมอร์ไอซีเบอร์ 555

ไอซีเบอร์ 555 เป็นโหม้เมอร์ไอซีชนิดโมนอลิทิก (Monolithic Integrated Circuits ) ซึ่งภายในเป็นวงจรรโหม้มิงค์ ลักษณะภายนอกของไอซีเบอร์ 555 แสดงได้ในรูปที่ 2.13

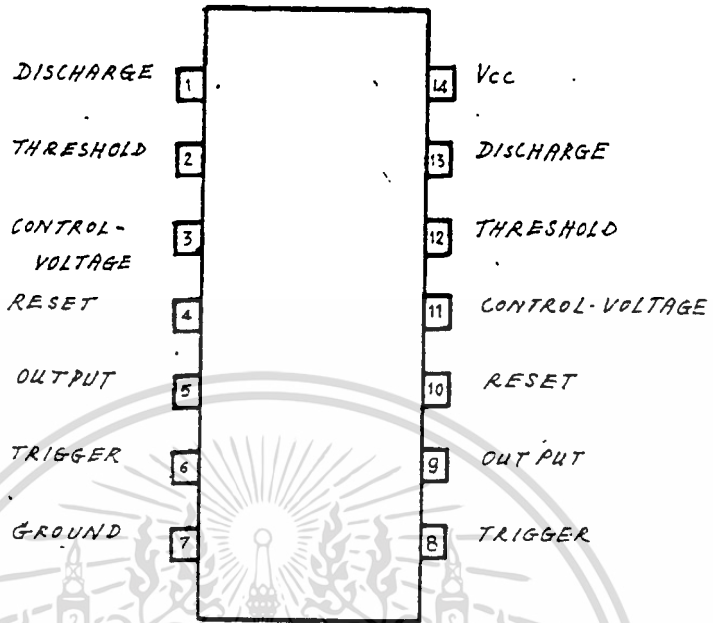


รูปที่ 2.13 แสดงลักษณะภายนอกของไอซีเบอร์ 555

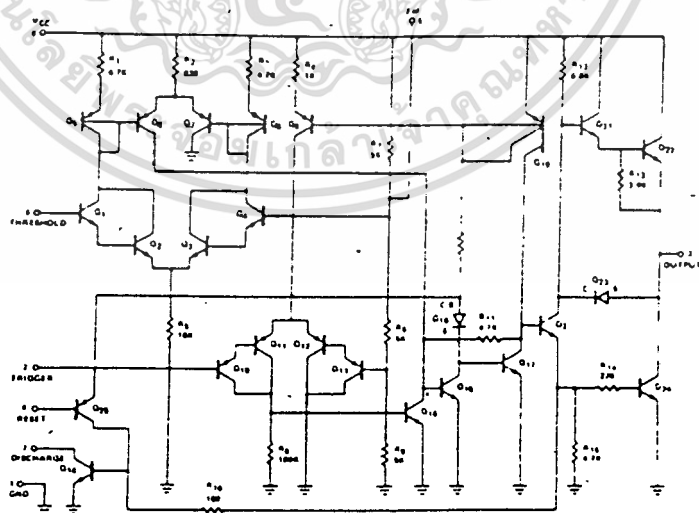
มีบริษัทผู้ผลิตหลายบริษัท ผลิตโหม้เมอร์ไอซีออกมาโดยทำการเก็บบรรจุโหม้เมอร์ไอซี 2 ชุด อยู่ในไอซีเพียงตัวเดียว ซึ่งมีลักษณะภายนอกเป็นแบบ DIP. ชนิด 14 ขา แล้วเรียกใหม่ว่า "ควาลโหม้เมอร์" (Dual timer ) ไอซีเบอร์ใหม่เป็น 556 ดังแสดงในรูปที่ 2.14

### 2.4.1 ลักษณะภายในของไอซีเบอร์ 555

ภายในโหม้เมอร์ไอซีเบอร์นี้ ประกอบด้วยทรานซิสเตอร์กว่า 20 ตัว ตัวความต้านทานราว 15 ตัว ไดโอด 2 ตัว ทั้งนี้อาจจะเปลี่ยนแปลงได้แต่บริษัทผู้ผลิตวงจรรโหม้มิงค์ของไอซีเบอร์นี้ แสดงได้ในรูปที่ 2.15



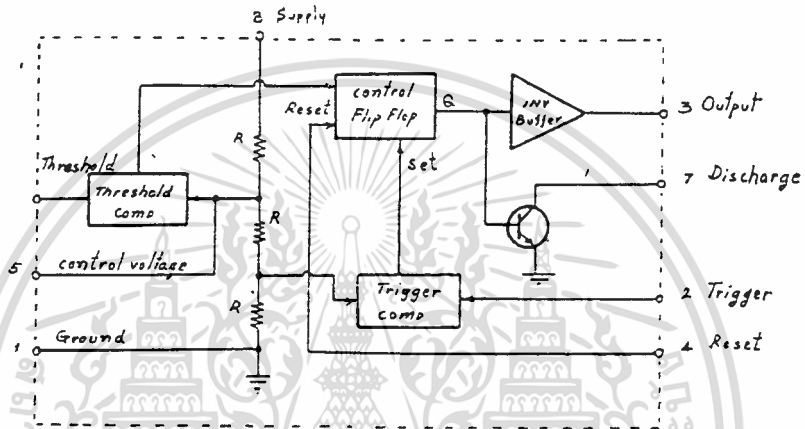
รูปที่ 2.14 แสดงลักษณะภายนอกของควอล ไทมเมอร์ ไอซีเบอร์ 556



รูปที่ 2.15 แสดงภาพวงจรเสมือนของไทมเมอร์ ไอซีเบอร์ 555

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเสมือนของไอซีเบอร์นสามารถถูกพิจารณาให้แยกชั้นและเขียนเป็นรูปแผนผังแสดงได้ดังในรูปที่ 2.16 โดยแบ่งออกเป็นส่วนต่างๆ เช่น ส่วนที่ทำหน้าที่ควบคุม (Function of Control) ส่วนทริกเกอร์ (Triggering) ส่วนตรวจจ็บระยะหรือส่วนเปรียบเทียบสัญญาณ (Levelsensing or Comparison) ส่วนคายประจุ (Discharge) และส่วนกำลังที่เอาท์พุท (Power Output)



รูปที่ 2.16 แสดงแผนผังส่วนต่างๆของไอซีเบอร์ 555

2.4.2 ลักษณะคุณสมบัติเฉพาะของไอซีเบอร์ 555

ลักษณะคุณสมบัติทางไฟฟ้าของไอซีเบอร์ 555 แสดงสรุปไว้ในตารางที่ 2.1 ซึ่งค่าต่างๆ เหล่านี้เป็นค่าที่ใช้มากที่สุดในกรณีต่างๆไป

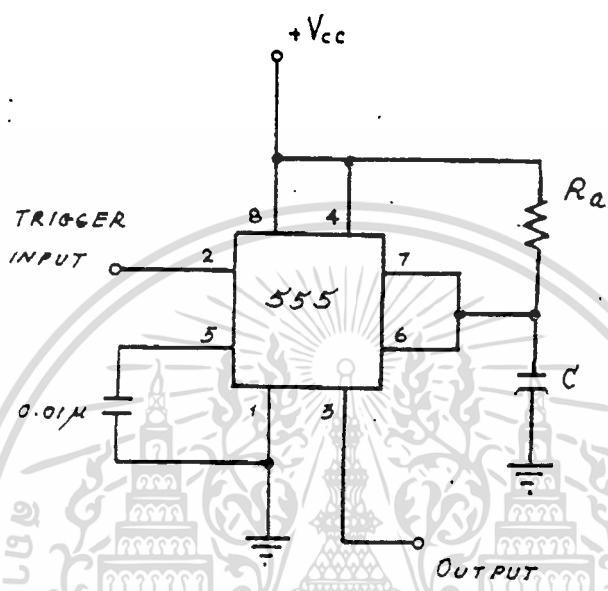
ELECTRICAL CHARACTERISTICS (at 25°C, V <sub>CC</sub> = 5V to 15V, unless otherwise specified)		555		555		Units	
PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	MIN	MAX	
Supply Voltage	V <sub>CC</sub> = 2 to 18 V	4.5	5	18	4.5	18	V
Supply Current	V <sub>CC</sub> = 15 V, I <sub>CC</sub> = 100 μA, f = 1 kHz	2	3	12	2	15	mA
Timing Error	Initial Accuracy E <sub>TA</sub> = 0.01% (Note 1) E <sub>TA</sub> = 0.1% (Note 2)	2.1	2.2	2.3	2.1	2.3	%
Threshold Voltage	V <sub>CC</sub> = 15 V	4.8	5.0	10.0	4.8	10.0	V
Trigger Voltage	V <sub>CC</sub> = 15 V	1.4	1.6	3.0	1.4	3.0	V
Trigger Current	V <sub>CC</sub> = 15 V	0.5	0.7	1.0	0.5	1.0	mA
Reset Voltage	V <sub>CC</sub> = 15 V	0.4	0.7	1.0	0.4	1.0	V
Reset Current	V <sub>CC</sub> = 15 V	0.1	0.2	0.5	0.1	0.5	mA
Threshold Current	V <sub>CC</sub> = 15 V	0.6	1.0	10.0	0.6	10.0	mA
Control Voltage Level	V <sub>CC</sub> = 15 V	0.0	0.1	1.0	0.0	1.0	V
Output Voltage Drop (Low)	V <sub>CC</sub> = 15 V, I <sub>OL</sub> = 10 mA	0.1	0.15	0.5	0.1	0.5	V
Output Voltage Drop (High)	V <sub>CC</sub> = 15 V, I <sub>OH</sub> = 10 mA	0.1	0.15	0.5	0.1	0.5	V
On Time of Output	V <sub>CC</sub> = 15 V, f = 1 kHz	130	130	175	130	175	ns
Fall Time of Output	V <sub>CC</sub> = 15 V, f = 1 kHz	20	20	25	20	25	ns

NOTES  
 1. Supply Current when output pin is loaded to 10 mA.  
 2. Tested at V<sub>CC</sub> = 5V and f = 1 kHz.  
 3. This will become the maximum value of R<sub>1</sub> = R<sub>2</sub> for 15V operating, the max total R = 20 Megaohm.

เอกสารนี้เป็น ตารางที่ 2.1 ไว้แสดงตารางสรุปลักษณะคุณสมบัติทางไฟฟ้าของไอซีเบอร์ 555  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.4.3 วงจรโมโนสเตเบิลมีคิติวเบรเตอร์ (Monostable Multivibrator)

วงจรโมโนสเตเบิล มีคิติวเบรเตอร์ หรือวงจรวันชอท์ สามารถประกอบขึ้นจาก ไทม์เมอร์ไอซีเบอร์ 555 ดังแสดงในวงจรรูปที่ 2.17



รูปที่ 2.17 แสดงวงจรโมโนสเตเบิลแบบง่าย ๆ โดยใช้ไอซีเบอร์ 555

#### การทำงานของวงจร

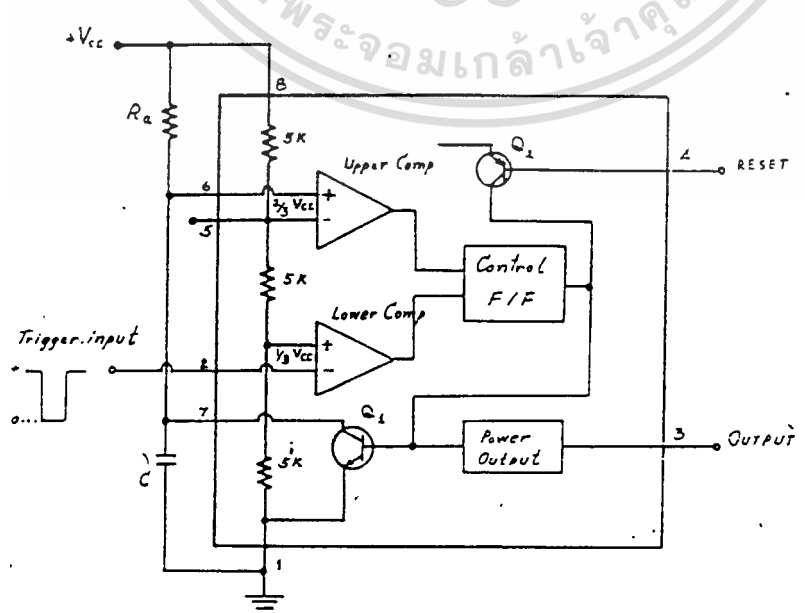
การทำงานของวงจรโมโนสเตเบิล มีคิติวเบรเตอร์ของวงจรรูปที่ 2.17 อาจพิจารณาได้ง่ายๆ โดยใช้รูปที่ 2.18 ซึ่งเป็นสภาวะแผนผังภายในของไอซี และอยู่ในสภาวะพร้อมที่จะทำงาน ส่วนของคอนโทรลฟลิปฟล็อป (Control flip-flop) จะทำให้ทรานซิสเตอร์  $Q_1$  อยู่ในภาวะ ON ดังนั้นตัวเก็บประจุ C ที่ต่ออยู่ภายนอกจะถูกชาร์จจนเต็ม ทรานซิสเตอร์  $Q_1$  นี้ และขาที่ 3 ซึ่งเป็นเอาต์พุตของวงจรจะมีศักย์เท่ากับจุดดิน หรือกราวนด์ ซึ่งเป็นระดับศักย์ต่ำ (Low Level) ตัวความต้านทาน 3 ตัวภายในไอซี ซึ่งมีค่า  $5K\Omega$  จะทำหน้าที่เป็นตัวแบ่งแรงดัน (Voltage Divider) โดยแบ่งแรงดัน  $V_{cc}$  ออกเป็น  $2/3V_{cc}$  และ  $1/3V_{cc}$  ตามลำดับ แรงดันทั้งสองนี้จะมีส่วนในการกำหนดช่วงเวลาของพัลส์ที่เอาต์พุต

ดังนั้นที่ขาบวกด้านอินพุตของ โลเวอร์คอมพาราเตอร์ (Lower Comparator) จะได้รับแรงดันเท่ากับ  $1/3V_{cc}$  เมื่อที่ขา 2 ของไอซีซึ่งเป็นขั้วลบด้านอินพุตของ โลเวอร์คอมพาราเตอร์ นี้ได้รับสัญญาณทริกเกอร์ ซึ่งเป็นพัลส์แบบลบ (Negative pulse) เขามา

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 โคมพาราเตอร์ นี้ได้รับสัญญาณทริกเกอร์ ซึ่งเป็นพัลส์แบบลบ (Negative pulse) เขามา  
 ไม่วาระณใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และมีขนาดสูงกว่าค่า  $1/3 V_{cc}$  แล้ว โวลเทจคอมพาราเตอร์ จะทำให้ส่วน คอนโทรลฟลิปฟลอป มีสถานะที่เอาท์พุทเปลี่ยนไปเป็นตรงกันข้าม ดังนั้นจึงมีผลให้ทรานซิสเตอร์  $Q_1$  เปลี่ยนเป็นสภาวะกัทออฟ (cut off) ตัวเก็บประจุ  $C$  ซึ่งบางทีเรียกว่า ไทม์มิงก คาปาซิเตอร์ (Timing Capacitor) จึงถูกเปิดวงจรออก ที่ขา 3 ซึ่งเป็นเอาท์พุทของวงจรจึงมีศักย์ระดับสูง (High Level) และอาจประมาณว่าเท่ากับค่า  $V_{cc}$  ในขณะที่ ทรานซิสเตอร์  $Q_1$  อยู่ในสภาวะกัทออฟ ตัวเก็บประจุ  $C$  จะเริ่มสะสมประจุทำให้แรงดันตกคร่อมเพิ่มขึ้นอย่างเอกโปเนนเชียล และมุ่งไปสู่ค่า  $V_{cc}$  โดยใช้เวลาเท่ากับค่าเวลาคงที่ของ  $R_d C$  และในช่วงเวลาหนึ่งซึ่งแรงดันตกคร่อมตัวเก็บประจุ  $C$  นี้มีค่าเท่ากับ  $2/3 V_{cc}$  จะทำให้ส่วนของวงจรฟลิปฟลอป เปลี่ยนสถานะ ผลที่ติดตามมาก็คือทรานซิสเตอร์  $Q_1$  จะกลับสู่สภาวะ ON อีกครั้ง หนึ่ง ตัวเก็บประจุ  $C$  ก็จะคายประจุออกโดยผ่าน  $Q_1$  ทำให้แรงดันตกคร่อมลดลงอย่างรวดเร็วสู่ค่าแรงดันที่จุดควมรอนต์ และคั้งนั้นที่ขา 3 ซึ่งเป็นเอาท์พุทของวงจรก็จะมีศักย์ระดับต่ำอีกครั้งหนึ่ง (Low Level) ซึ่งประมาณค่ามีค่าเท่ากับศักย์ที่จุดควมรอนต์

การทำงานของวงจรดังกล่าวนี้จะทำให้ได้พัลส์รูปสี่เหลี่ยม (Rectangular wave form) ออกมาที่เอาท์พุทของไอซีในแต่ละครั้งที่มีการทริกด้วยสัญญาณพัลส์จากภายนอก และสัญญาณทริกเกอร์แต่ละสัญญาณต้องมีช่วงเวลาห่างกันไม่น้อยกว่า ขนาดความกว้างของพัลส์ที่เอาท์พุท การเปลี่ยนแปลงของแรงดันที่ตำแหน่งต่างๆขณะที่เวลาเปลี่ยนไป เขียนแสดงและเปรียบเทียบได้ คั้งในรูปที่ 2.19a



รูปที่ 2.18 แสดงส่วนต่างๆภายในของไอซีเบอร์ 555

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการการเก็บประจุของตัว C เขียนได้ดังนี้คือ

$$V_c = V_{cc}(1 - e^{-t/R_a C}) \quad (2.1)$$

ช่วงเวลาที่ใช้สำหรับการเก็บประจุของตัว C เพื่อให้มีแรงดันตกคร่อมเป็น  $2/3 V_{cc}$

สามารถหาได้จากสมการ(2.1) โดยพิจารณาจาก

$$\frac{2}{3} V_{cc} = V_{cc}(1 - e^{-t/R_a C})$$

ดังนั้น  $t = -R_a C \log_e(\frac{1}{3})$

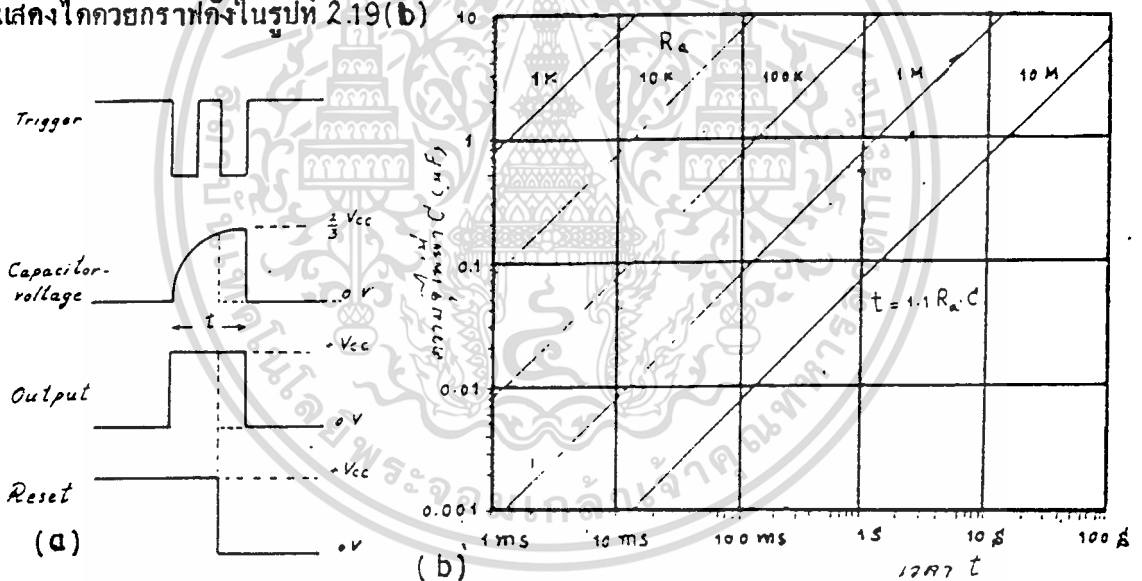
หรือ  $t = 1.1 R_a C$  วินาที (2.2)

นั่นก็คือช่วงเวลาที่เอาท์พุทของไอซี (ขา 3) จะมีศักย์ในระดับสูงได้จะมีค่าเท่ากับ

$1.1 R_a C$  วินาทีหรือก็คือช่วงเวลาที่ปรากฏที่เอาท์พุทนั่นเอง จากสมการที่ 2.2 เมื่อค่า

$R_a$  และ  $C$  เปลี่ยนไปแต่ละค่าจะทำให้ได้ช่วงเวลา  $t$  (Time delay) ค่าต่างๆ ซึ่งเขียน

แสดงโดยกราฟดังในรูปที่ 2.19(b)



รูปที่ 2.19 กราฟแสดงช่วงเวลา ไทม์ดีเลย์ ค่าต่างๆของวงจรซึ่งขึ้นอยู่กับค่า  $R_a$  และ  $C$

ในกรณีที่สัญญาณทริกเกอร์พัลส์แบบลบถูกป้อนเข้าที่ขา 2 (Trigger input )

และขา 4 (Reset terminal ) ในเวลาพร้อมกันขณะที่วงจรกำลังทำงาน จะทำให้ ตัว

เก็บประจุ C ซึ่งเป็นโหนดมิงค์ คาปาซิเตอร์คายประจุอย่างรวดเร็วแรงดันตกคร่อมจะลดลง

อย่างทันทีทันใด วงจรจะคืนสู่ภาวะซึ่งพร้อมที่จะทำงานใหม่อีกครั้งหนึ่งตั้งแต่นั้นขา 4 ซึ่งเป็น

รีเซ็ต เทอร์มินอล(Reset terminal)จึงทำหน้าที่คล้ายกับตัวนับยังการทำงานของวงจร

เมื่อขา 4 นี้มีแรงดันสูงกว่า 1 โวลต์ วงจรจะทำงานได้อย่างอิสระ แต่เมื่อใดก็ตามที่ขา 4

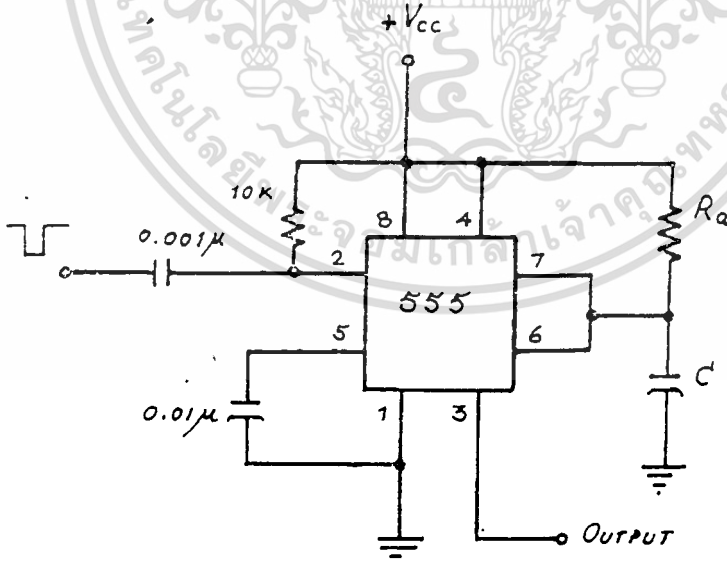
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีแรงดันต่ำกว่า 0.4 โวลต์ วงจรจะถูกควบคุมและมีผลให้อาห์ทุหมักักย์ต่ำในทันทีภายหลัง จากสัญญาณทรริกเกอร์แรกถูกป้อนเข้ามาที่ขา 4 ที่เอาต์พุทของวงจรก็จะมีศักย์ระดับต่ำอยู่ต่อไป จนกว่าสัญญาณทรริกเกอร์ใหม่จะถูกป้อนเข้ามาอีก

ในงานที่ไม่จำเป็นต้องใช้ขา 4 จึงควรต่อขา 4 นี้เข้ากับแรงดัน  $V_{cc}$  ทั้งนี้เพื่อ ป้องกันมิให้เกิดมีสัญญาณทรริกเกอร์ใดๆเข้ามาที่ขา 4 ได้ และสำหรับขาที่ 5 อึ่งเป็นขา คอนโทรล โวลเตจ (Control Voltage) การเปลี่ยนแปลงแรงดันที่ขา 5 นี้จะมีผลทำให้ ช่วงเวลาต่างๆเปลี่ยนแปลงไปด้วย และหมักักย์ ของวงจรก็จะไม่เป็นไปตามสมการที่ 2.2 ด้วย ดังนั้นในกรณีที่ไมจำเป็นต้องใช้ขาที่ 5 จึงควรอย่างยิ่งที่จะต่อขา 5 นี้ ผ่านตัวเก็บประจุ การาว  $0.01 \mu F$  ลงที่จุดกราวด์ ทั้งนี้ เพื่อป้องกันสัญญาณรบกวนใดๆที่ไม่ต้องการมิให้เข้ามา ได้ ผลการคำนวณค่าความกว้างของพัลส์ที่เอาต์พุทจึงจะไม่ผิดพลาด หรือผิดพลาดน้อย

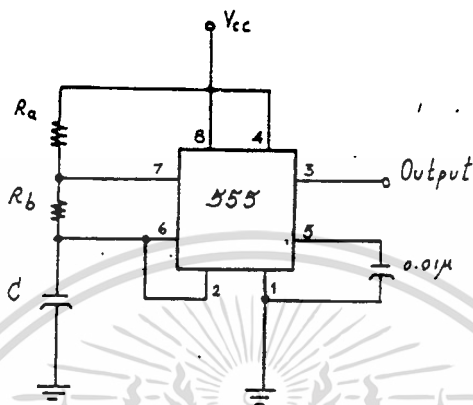
ในการนำไปใช้งานจริงๆ วงจรโมโนสเตเบิลดังในรูปที่ 2.17 อาจถูกปรับปรุง เล็กน้อยดังแสดงในรูปที่ 2.20 ทั้งนี้ก็เพื่อป้องกันมิให้อิทธิพลการเสียหายในกรณีที่มีการป้อน ทรริกเกอร์ผิดชนิด โดยเพิ่มตัวเก็บประจุค่า  $0.0001 \mu F$  และตัวความต้านทานค่า  $10 K\Omega$  เข้าไปในวงจร



รูปที่ 2.20 แสดงวงจรโมโนสเตเบิล อีกแบบหนึ่ง ของไอซีเบอร์ 555

### 2.4.4 วงจรออสซิลเลเตอร์แบบมัลติไวเบรเตอร์ (Astable Multivibrator)

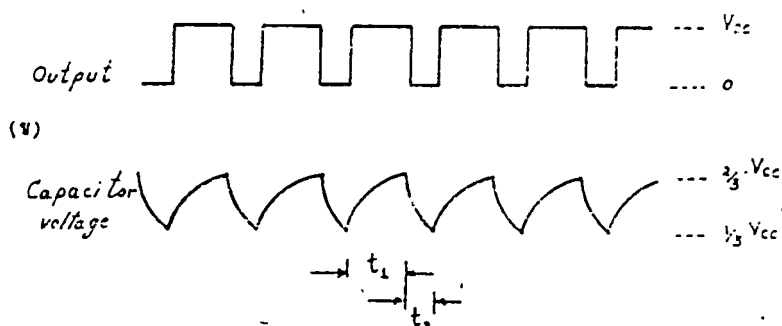
วงจรออสซิลเลเตอร์แบบมัลติไวเบรเตอร์ หรือวงจร สแกวว์เวฟ กล็อกสามารถประกอบขึ้นมาจากไมโครโอสซิลเลเตอร์ 555 ดังแสดงในรูปที่ 2.21



รูปที่ 2.21 แสดงวงจรออสซิลเลเตอร์แบบมัลติไวเบรเตอร์ โดยใช้ไอซีเบอร์ 555

#### การทำงานของวงจร

จากรูปที่ 2.21 ตัวความต้านทาน  $R_a$  และ  $R_b$  ทำหน้าที่เป็น ไทม์มิง รีซิสเตอร์ (Timing resistor) เมื่อวงจรได้รับแรงดันไบอัสจากแหล่งจ่ายกำลัง ตัวเก็บประจุ  $C$  ซึ่งทำหน้าที่เป็น ไทม์มิง คาปาซิเตอร์ (Timing capacitor) จะสะสมประจุผ่านตัวความต้านทาน  $R_a$  และ  $R_b$  จนกระทั่งเมื่อแรงดันตกคร่อมมีค่าเป็น  $2/3 V_{cc}$  จะทำให้วงจรอัปเปอร์ คอมพาราเตอร์ (Upper comparator) กระตุ้นวงจรฟลิปฟล็อปซึ่งอยู่ภายในตัวไอซี และมีผลให้ตัวเก็บประจุ  $C$  เริ่มคายประจุผ่านตัวความต้านทาน  $R_b$  แรงดันที่ตกคร่อมตัว  $C$  ก็จะลดลง และเมื่อมีค่าเหลือเป็น  $1/3 V_{cc}$  แล้ว วงจร โลเวอร์คอมพาราเตอร์ในไอซีก็จะถูกกระตุ้น และเริ่มการทำงานของวงจรใหม่อีกครั้งหนึ่ง รูป 2.22



รูปที่ 2.22 แสดงการเปรียบเทียบแรงดันที่เอาต์พุตกับแรงดันตกคร่อมตัวเก็บประจุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้เชิงพาณิชย์

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวเก็บประจุ C จะทำการประจุและคายประจุสลับกันไปอย่างสม่ำเสมอ ทำให้แรงดันตกคร่อมตัว C มีค่าระหว่าง  $\frac{2}{3} V_{cc}$  และ  $\frac{1}{3} V_{cc}$  ตามลำดับ ศักย์ที่เอาต์พุตของวงจรจะมีค่าสูงในขณะที่ตัว C ทำการเก็บประจุ ซึ่งถ้าให้  $t_1$  คือช่วงเวลาที่เอาต์พุต มีศักย์ค่าสูงดังนี้

$$t_1 = (R_a + R_b) C \log_e \left\{ \frac{V_{cc} - \frac{2}{3} V_{cc}}{V_{cc} - \frac{1}{3} V_{cc}} \right\}$$

หรือ  $t_1 = 0.693 (R_a + R_b) C$  วินาที ( 2.3 )

และศักย์ค่าที่เอาต์พุตจะมีค่าต่ำในขณะที่ตัว C ทำการคายประจุ ซึ่งถ้าให้  $t_2$  คือช่วงเวลาที่เอาต์พุตมีศักย์ค่าต่ำ

ดังนั้น  $t_2 = 0.693 R_a C$  วินาที ( 2.4 )

ช่วงเวลารวมสำหรับการสะสมและการคายประจุก็คือ

$$T = t_1 + t_2 = 0.693 (R_a + 2R_b) C$$

วินาที ( 2.5 )

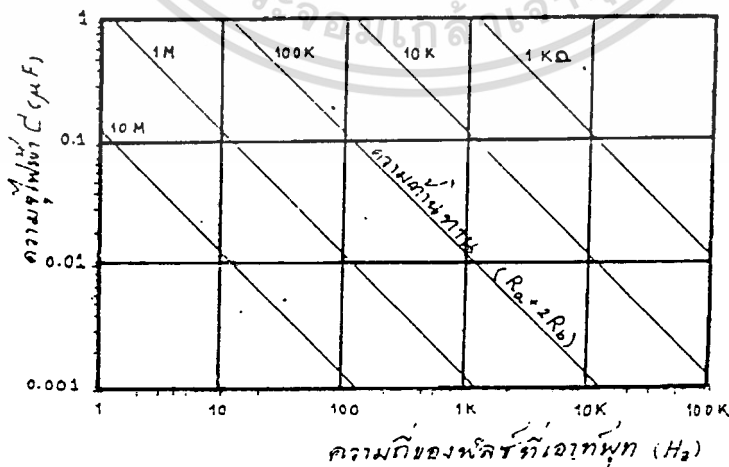
ซึ่งค่า T ก็คือ ช่วงเวลาความกว้างของพัลส์หนึ่งลูกคลื่น ดังนั้นความถี่ของพัลส์ที่เอาต์พุตก็คือ

$$f = \frac{1}{T} = \frac{1.443}{(R_a + 2R_b) C}$$

เฮิรตซ์ ( 2.6 )

แต่ละค่าของ  $(R_a + 2R_b)$  และ C จะให้ความถี่ของพัลส์ที่เอาต์พุตค่าต่าง ๆ กัน

ซึ่งกราฟความสัมพันธ์นี้ เขียนแสดงได้ดังในรูปที่ 2.23

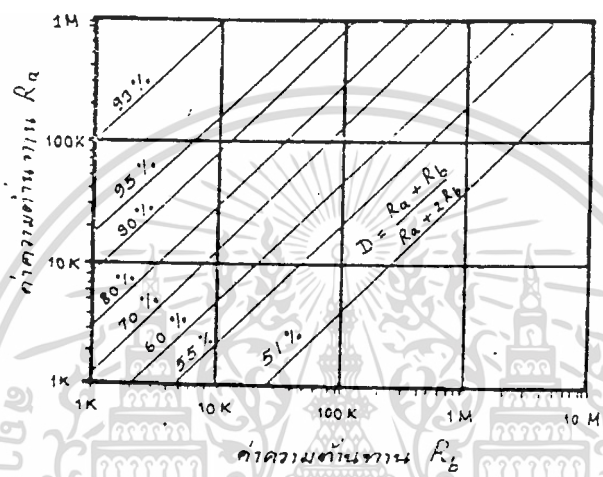


รูปที่ 2.23 กราฟแสดงค่าความถี่ของพัลส์ที่เอาต์พุตในวงจรอะอสเตเบิลที่มีค่าความจุไฟฟ้า C และค่าความต้านทาน  $(R_a + 2R_b)$  ค่าต่างๆ

และถ้า "คิวตี้ไซเคิล" ถูกนิยามว่าเป็นอัตราส่วนของช่วงเวลาที่เอาท์พุทมีศักย์ค่าสูง กับช่วงเวลาที่พัทของพัลส์หนึ่งลูกคลื่น และเขียนแทนด้วย D

$$\text{ดังนั้น duty cycle } D = \frac{t_1}{T} = \frac{R_a + R_b}{R_a + 2R_b} \quad (2.7)$$

ซึ่งจะเห็นว่าค่าความต้านทาน  $R_a$  และ  $R_b$  จะเป็นตัวกำหนดค่าคิวตี้ไซเคิลและเขียนเป็นกราฟได้ดังในรูปที่ 2.24



รูปที่ 2.24 กราฟแสดงค่าคิวตี้ไซเคิลของพัลส์ในวงจรอะสเตเบิล ซึ่งขึ้นอยู่กับค่า  $R_a$  และค่า  $R_b$  ในวงจร

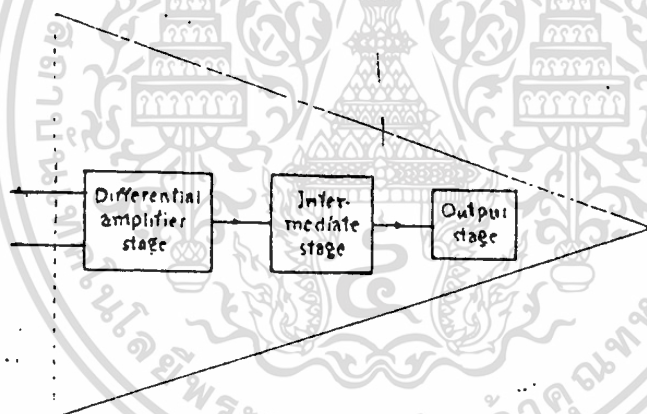
จากกราฟนี้พิจารณาได้ว่าคลื่นสี่เหลี่ยมจัตุรัสที่คี่ ซึ่งมีค่า คิวตี้ไซเคิลราว 50 % จะเกิดขึ้นได้ในกรณีที่ค่า  $R_b$  มีค่าสูงกว่า  $R_a$  มาก กราฟนี้จึงมีประโยชน์มากในการออกแบบวงจร เพราะจะช่วยทำให้การกำหนดค่า  $R_a$  และ  $R_b$  เป็นไปอย่างรวดเร็ว โดยที่เอาท์พุทของวงจรจะให้พัลส์ซึ่งมีลักษณะตามที่ต้องการ

## 2.5 ออปเปอร์เรชันแนล แอมพลิไฟเออร์ (Operational Amplifier)

### 2.5.1 ออปเปอร์เรชันแนลแอมพลิไฟเออร์ แบบพื้นฐาน

ออป-แอมป์ ใ้ถูกสร้างบรรจุลงใน ไอซีแบบลิเนียร์ และมีคุณสมบัติที่น่าสนใจ เป็นแอมป์ที่มีอัตราขยายสูง โดยได้รับการออกแบบให้วงจรป้อนกลับอยู่ภายนอก จึงทำให้เอาต์พุตของแอมพลิไฟเออร์จะขึ้นอยู่กับ การต่อส่วนประกอบพาสซีฟ (Passive element) จากภายนอก ไม่ได้ขึ้นอยู่กับพารามิเตอร์ภายในของออป-แอมป์

ออป-แอมป์ ส่วนใหญ่ภาคต้นๆประกอบด้วย วงจรขยายความแตกต่างประมาณ 2 -3 ภาค ต่ออนุกรมกัน เพื่อให้มีอัตราขยายและอัตราส่วนตัดทอนโหมดรวม (Common mode rejection ratio) สูง ดังรูป 2.25 ซึ่งจะต้องใช้แหล่งจ่ายไฟทั้งบวกและลบ วงจรขยายความแตกต่างมี 2 อินพุตคือ ขั้วลบ และ ขั้วบวก ขั้วลบเรียกว่า อินเวิร์ตติ้งอินพุต และขั้วบวกเรียกว่า นอนอินเวิร์ตติ้ง อินพุต แต่มิเอาท์พุตเดี่ยวเท่านั้น



รูปที่ 2.25 สัญลักษณ์ และบล็อกไดอะแกรม

### 2.5.2 คุณสมบัติอุดมคติ (Ideal OP-Amp)

อาจจะจำแนกได้ดังนี้

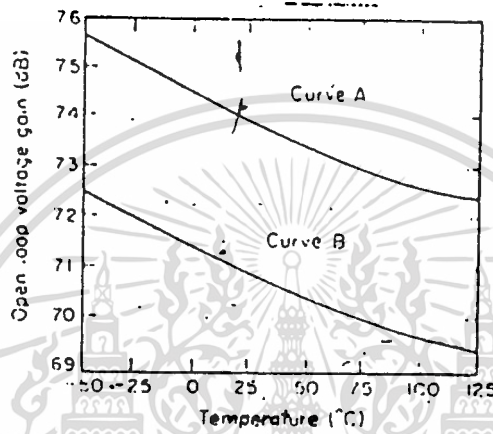
1. มีอัตราขยายแรงดันเป็นอนันต์ ( $A_v = \infty$ )
2. มีค่าอินพุตอิมพีแดนซ์ เป็นอนันต์ หรือ กระแสอินพุตเป็นศูนย์ ( $Z_{in} = \infty$  or  $I_i = 0$ )
3. มีเอาท์พุตอิมพีแดนซ์เป็นศูนย์ ( $Z_o = 0$ )
4. มีแบนด์วิธ เป็น อนันต์ ( $BW = \infty$ )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
5. เอาท์พุตโวลเตจเป็นศูนย์ เมื่ออินพุตโวลเตจเป็นศูนย์ (เช่น Zero offset)  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้  
ในทางปฏิบัติไม่สามารถจะสร้าง ออป-แอมป์ในอุดมคติได้เลย

### 2.5.3 คุณสมบัติทั่วไป ของออป-แอมป์

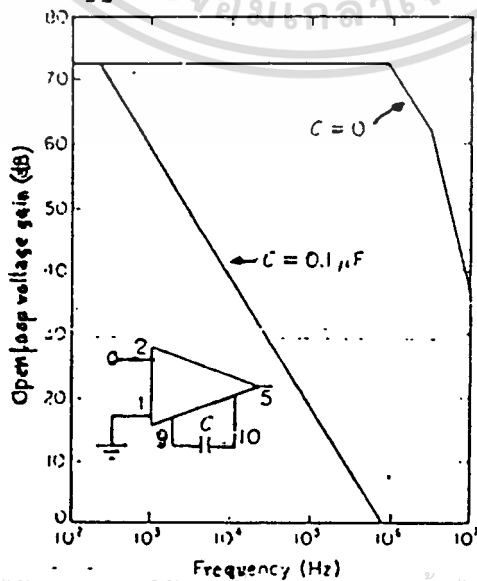
#### 1. อัตราขยายแรงดันวงจรเปิด (Open loop Voltage gain)

สำหรับอัตราส่วนนี้ เป็นอัตราส่วนของความเปลี่ยนแปลงของแรงดันเอาต์พุตต่ออินพุต (ที่ขั้วอินพุตของไอซี) วัตถุประสงค์ไม่มีการป้อนกลับ และ ไม่มีการชดเชยจะเปลี่ยนแปลงตามความถี่ และอุณหภูมิ

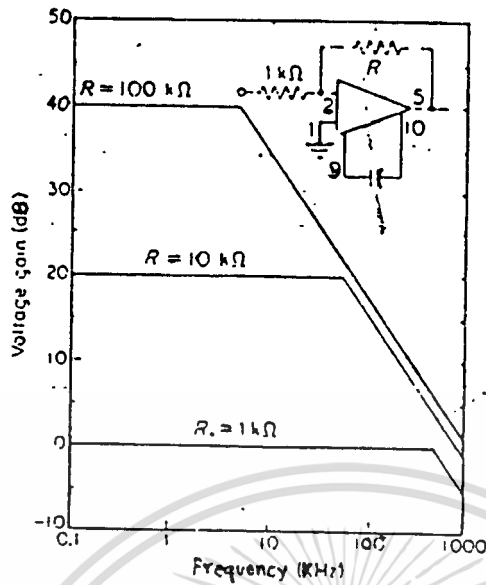


รูปที่ 2.26 แสดงความสัมพันธ์ระหว่าง อัตราขยายวงจรเปิด กับ อุณหภูมิ

หลังการชดเชย ไอซี สามารถนำไปใช้งานได้ ( โดยมีการป้อนกลับ ) ภายในสภาวะวงจรปิก ถ้าอัตราขยายวงจรปิกจะขึ้นกับค่าองค์ประกอบที่มาจากภายนอกเท่านั้น ( ฉะนั้นอัตราขยายวงจรปิก จึงมักไม่บอกไว้ในแผ่นข้อมูล ) แต่บางแผ่นข้อมูล อาจจะมีอัตราส่วนป้อนกลับค่าต่างๆ รูปที่ 2.27



เอกสารนี้ รูปที่ 2.27 ที่แสดงอัตราขยายแรงดันวงจรเปิดของไอซีและไม่มีชดเชย ใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 แสดงอัตรายาวจรปิดของไอซี ต่อความถี่

เมื่อตัวเก็บประจุถูกใช้ในการชดเชย หรือเปลี่ยนแปลงอัตรายาวจร ค่าสลูว์เรท

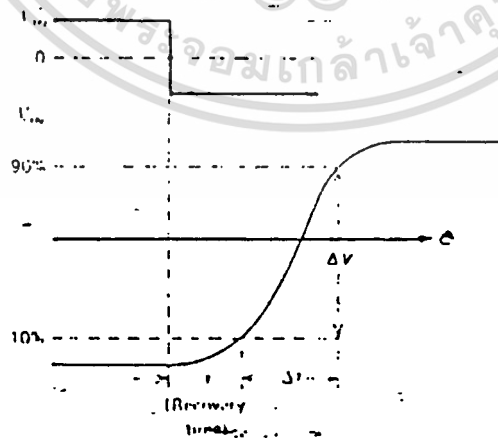
(Slew rate) ของไอซีจะเปลี่ยนแปลงไป

2. สลูลว์เรท ( Slew rate )

สลูลว์เรทของออป-แอมป์ คืออัตราเปลี่ยนแปลงสูงสุดของแรงดันเอาต์พุต

( $V_o$  หรือ  $E_o$ ) เทียบกับเวลาที่ไอซีสามารถรักษาคุณสมบัติเชิงเส้นไว้ได้ หรือ อาจเขียนได้ว่า

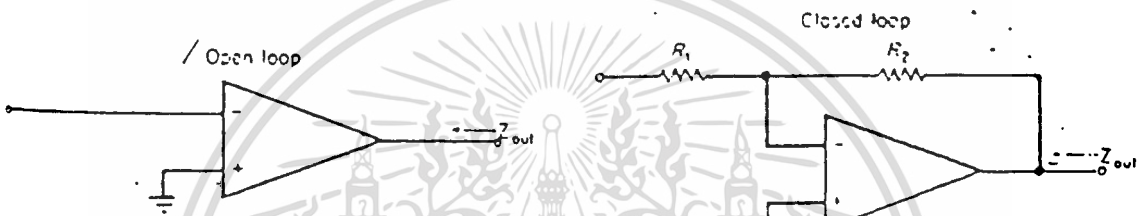
$$\text{Slew rate} = \frac{\Delta V_o}{\Delta t} \quad \text{โวลต์/ ไมโครวินาที}$$



รูป 2.29 สัญญาณที่มีขนาดใหญ่มาก (drive) ออป-แอมป์ จากการอิมิตีทางบวก  
สู่การอิมิตีทางลบ

### 3. เอาต์พุทอิมพีแดนซ์ ( $Z_{out}$ )

เอาต์พุทอิมพีแดนซ์ คืออัตราส่วนของการเปลี่ยนแปลงของแรงดันเอาต์พุทต่อการเปลี่ยนแปลงของกระแสเอาต์พุทเมื่อแรงดันเอาต์พุทมีค่าเข้าใกล้ศูนย์ ดังรูป ถ้าเอาต์พุทอิมพีแดนซ์ที่มากขึ้นไป จะทำให้อัตราขยายลดลง เพราะโหลดอิมพีแดนซ์ที่ใช้ในการป้อนกลับ และ เอาต์พุทอิมพีแดนซ์ ต่างประกอบกันเป็นวงจรลดทอน (Attenuator) ปกติ เอาต์พุทอิมพีแดนซ์ ของออป-แอมป์จะน้อยกว่า 200 โอห์ม และอินพุทอิมพีแดนซ์ จะมากกว่า 1000 โอห์ม เมื่อความต้านทานป้อนกลับมีขนาดเป็นหลายๆ เท่าของอินพุทอิมพีแดนซ์ ดังนั้น เอาต์พุทอิมพีแดนซ์ ของไอทีออปแอมป์ จะมีผลต่ออัตราขยายน้อยมาก



รูปที่ 2.30 ความสัมพันธ์ของ เอาต์พุทอิมพีแดนซ์วงจรเปิดและเอาต์พุทอิมพีแดนซ์วงจรปิด

ถ้าไอซีเป็นวงจรขยายแรงดัน ผลของเอาต์พุทอิมพีแดนซ์ต่ออัตราขยายจะน้อยมาก เอาต์พุทอิมพีแดนซ์จะมีผลอย่างรุนแรงต่อการออกแบบที่วงจรขยายกำลัง เนื่องจากวงจรเหล่านี้กินกระแสมาก

เอาต์พุทอิมพีแดนซ์เมื่อมีการป้อนกลับหาได้จาก

$$\text{เอาต์พุทอิมพีแดนซ์วงจรปิด} = \frac{\text{เอาต์พุทอิมพีแดนซ์วงจรเปิด}}{1 + \text{อัตราขยายวงจรเปิด} \left( \frac{R_1}{R_1 + R_2} \right)}$$

เมื่อ  $R_1$  และ  $R_2$  เป็นอินพุทอิมพีแดนซ์ และ อิมพีแดนซ์ป้อนกลับตามลำดับ เพราะฉะนั้นจะเห็นได้ชัดว่า เอาต์พุทอิมพีแดนซ์จะเพิ่มขึ้นเมื่อความถี่สูงขึ้น เพราะอัตราขยายวงจรเปิดลดลง

### 4. อินพุทอิมพีแดนซ์ ( $Z_{in}$ )

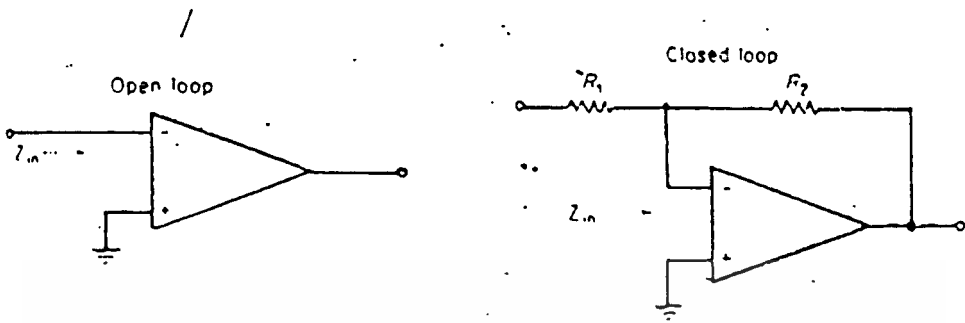
คืออัตราส่วนของการเปลี่ยนแปลงของแรงดันอินพุทต่อการเปลี่ยนแปลงของกระแสอินพุทของทั้งสองอินพุทเมื่อเทียบกับกราวนด์ ดังรูป 2.31

ผลส่วนใหญ่ของอินพุทอิมพีแดนซ์ต่อการออกแบบก็คือ การลดค่าอัตราขยาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินพุทอิมพีแดนซ์จะเปลี่ยนแปลงตามอุณหภูมิ และความถี่ โดยทั่วไปค่าที่บอกไว้ในแผ่นข้อมูลเป็นค่าที่วัดได้ที่  $25^{\circ}\text{C}$  และ  $1\text{ KHz}$



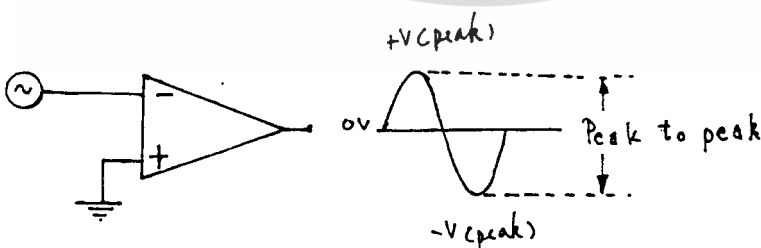
รูปที่ 2-31 ความสัมพันธ์ของอินพุทอิมพีแดนซ์วงจรเปิด และ อินพุทอิมพีแดนซ์วงจรปิด

$$\text{อินพุทอิมพีแดนซ์วงจรปิด} \approx R_1 + \frac{R_2}{\text{อัตราขยายวงจรเปิด}}$$

$$\text{หรือ อินพุทอิมพีแดนซ์วงจรปิด} \approx \text{อัตราขยายวงจรเปิด} = R_1$$

### 5. แรงดันสวิงของเอาต์พุท

แรงดันสวิงหรือแรงดันจากขอกถึงขอกของเอาต์พุทที่เห็นได้โดยไม่มีอาการชลิบ (Clipping) ของสัญญาณ โดยทั่วไปมักหมายถึง สัญญาณที่สมมาตร (Symmetrical) ก็คือสัญญาณข้างบวกกับข้างลบมีรูปร่างเหมือนกัน การสวิงของเอาต์พุทจะขึ้นกับความถี่ กระแสโหลด และเอาต์พุทอิมพีแดนซ์ จะทำให้การสวิงของเอาต์พุทแอมพลิจูดอย่างไรก็ตาม ถ้าสล็อตเรตเพิ่มขึ้น การสวิงของเอาต์พุทจะกว้างขึ้นตามไปด้วย

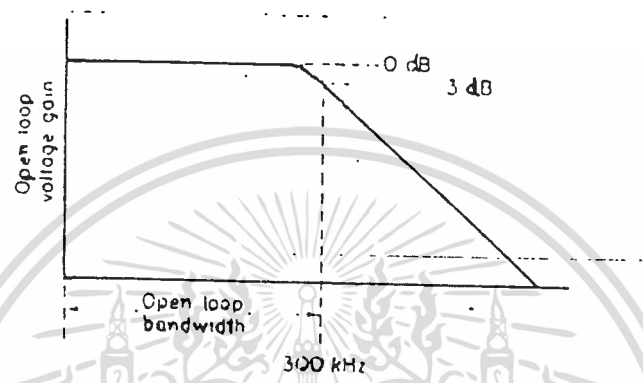


รูปที่ 2.32 แรงดันสวิงของเอาต์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 6. แถบความถี่กับพิสัยความถี่

แถบความถี่หรือแบนด์วิธ ของไอซีที่บอกไว้ในแผ่นข้อมูลมักจะบอกเป็นค่าเมื่อ วงจรเปิดเช่นแถบความถี่บอกไว้ว่า 300 KHz หมายถึง แถบความถี่ที่สภาวะวงจรเปิดจะเป็น 300 KHz และอัตราขยายจะลดลงด้วยอัตรา 3 dB ที่ความถี่นี้ ต่อจากนั้นไปอัตราขยายจะลดลง ด้วยอัตราที่ dB / Octave ก็ดูได้จากเส้นโค้งของผลตอบสนองความถี่



รูปที่ 2.33 ความสัมพันธ์ของแถบความถี่และอัตราขยายวงจรเปิด

$BW_{OL}$  ( แบนด์วิธในสภาวะวงจรเปิด ) ของไอซีก็คล้ายกับความถี่ กัท-ออฟ ของทรานซิสเตอร์ นั่นเอง

ช่วงความถี่ของไอซีมักจะบอกเป็นช่วงความถี่ที่ใช้ประโยชน์ได้ เช่นจาก 0 Hz หรือ 0 Hz ถึง 15 MHz ถ้าช่วงความถี่ที่ใช้ประโยชน์ได้ของไอซีออป-แอมป์ ก็คือค่า  $f_T$  ของทรานซิสเตอร์นั่นเอง โดยทั่วไปขอบเขตของความถี่มักจะบอกไว้เป็นความถี่ที่อัตราขยายของวงจรตกลงเป็นอัตราขยาย เท่ากับหนึ่ง

### 7. เอาท์พุทออฟเซต (Output offset)

ในวงจรไอซีออป-แอมป์ ที่มีการป้อนกลับแบบลบ เมื่ออินพุทเป็นศูนย์ ที่เอาท์พุทของออป-แอมป์ ในสภาวะสงบนิ่ง (Steady State) อาจจะมีแรงดันไฟตรงค่าหนึ่ง แรงดันไฟตรงที่เกิดขึ้นนี้เรียกว่า " แรงดันออฟเซตเอาท์พุท " (Output offset voltage) ถ้าหากแรงดันออฟเซตมีขนาดใหญ่ อาจจะมีผลกระทบต่อการทำงานของวงจร แรงดันออฟเซตเอาท์พุท เกิดจากแหล่งกำเนิด 3 แหล่งคือ

- กระแสอินพุทไบอัส ( $I_B$ ) ก็คือกระแสเฉลี่ย ของกระแสอินพุทไบอัสของไอซี เมื่อแรงดันเป็นศูนย์ที่เอาท์พุท

- กระแสอินพุทออฟเซต ( $I_{OS}$ ) คือผลต่างของกระแสอินพุทไบอัส ที่ไหลในขั้วอินพุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับบุคคลที่สนใจเท่านั้น กรุณาอย่าเผยแพร่โดยไม่ได้รับอนุญาต การค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทั้งสองของออป-แอมป์ เมื่อเอาที่พหุมีค่าแรงดันเป็นศูนย์

- แรงดันอินพุตออฟเซต ( $V_{OS}$ ) คือแรงดันที่ต่องใส่เข้าไประหว่างขาอินพุตทั้งสอง เพื่อให้ได้แรงดันเอาต์พุตเป็นศูนย์

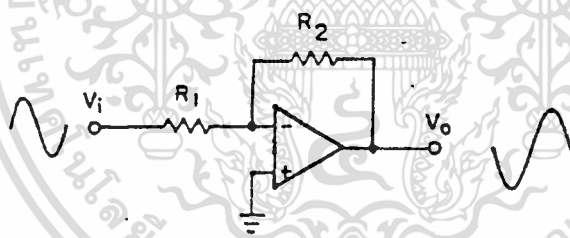
#### 2.5.4 การประยุกต์ใช้งานออป-แอมป์

เนื่องจากออป-แอมป์ ใ้ถูกนำมาใช้งานอย่างกว้างขวาง มีที่ใช้งานมากมายหลายชนิด จึงจะนำมากลางเพียงส่วนหนึ่งดังนี้

##### 1. อินเวอร์ตติ้ง แอมพลิไฟเออร์ (Inverting Amplifier)

ตามรูป 2.34 ออป-แอมป์ ถูกต่อเป็น อินเวอร์ตติ้ง แอมพลิไฟเออร์ ทั้งนี้เพราะว่าสัญญาณทางอินพุตที่ถูกป้อนเข้าทางขาอินเวอร์ตติ้ง ของออป-แอมป์ โดยผ่านทางอินพุต  $R_1$  ซึ่ง  $R_1$  เป็น  $R$  ทางอินพุต และ  $R_2$  เป็น  $R$  ทางฟีดแบค (Feedback element) สำหรับการใช้งานของออป-แอมป์ นี้จะหาค่าโวลเตจทางเอาต์พุตได้จากสมการ

$$V_o = - \left[ \frac{R_2}{R_1} \right] V_i \quad (2.7)$$



##### รูปที่ 2.34 อินเวอร์ตติ้ง แอมพลิไฟเออร์

จากสมการ 2.7 ถ้าที่ติดลบ เมื่อสัญญาณอินพุตโวลเตจเป็นบวกแล้วเอาต์พุตโวลเตจจะเป็นลบ หรืออาจกล่าวได้ว่า สัญญาณเอาต์พุตต่างเฟสอยู่  $180^\circ$  กับ อินพุต

สำหรับอัตราขยายทางโวลเตจ (Voltage Gain or  $A_v$ ) จะหาได้

จากสมการ

$$A_v = \frac{V_o}{V_i} = - \frac{R_2}{R_1} \quad (2.8)$$

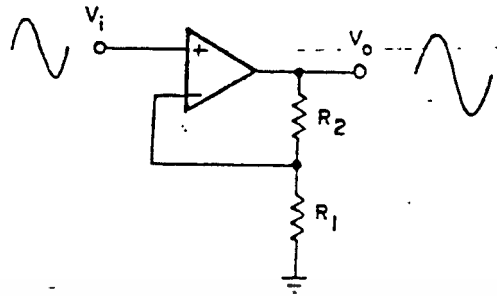
จากสมการ 2.8 ถ้าพิจารณาค่าของอัตราขยายทางโวลเตจ จะมีค่า

น้อยกว่า 1 เท่ากับ หรือ มากกว่า 1 ขึ้นอยู่กับความสัมพันธ์ของ  $R_2$  กับ  $R_1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2. นอนอินเวอร์ทติ้ง แอมพลิไฟเออร์



รูปที่ 2.35 นอนอินเวอร์ทติ้ง แอมพลิไฟเออร์

ตามรูปที่แสดงนี้อุป-แอมป์ได้ถูกต่อเป็น นอนอินเวอร์ทติ้ง แอมพลิไฟเออร์ เพราะว่า สัญญาณทางอินพุตได้ถูกป้อนเข้าทางบวก ของออป-แอมป์  $R_1$  และ  $R_2$  จะถูกเรียกเช่นเดียวกับ วงจร ออป-แอมป์ แบบอินเวอร์ทติ้ง แอมป์ แต่สำหรับการหาโวลเตจทางเอาต์พุตจะได้จากสมการ

$$V_o = \left[ 1 + \frac{R_2}{R_1} \right] V_i \quad (2.9)$$

และอัตราขยายทางโวลเตจจะได้

$$A_v = \frac{V_o}{V_i} = 1 + \frac{R_2}{R_1} \quad (2.10)$$

จากสมการที่ 2.10 ถ้าอัตราขยายทางโวลเตจ จะมีค่ามากกว่า 1 หน่วยเสมอ สำหรับเฟสของสัญญาณทางเอาต์พุตโวลเตจ จะเป็นเฟสเดียวกับทางอินพุต

## 2.6 ฟิลเตอร์แบบช่วงความถี่ผ่าน (Bandpass Filter)

### 2.6.1 บทนำ

ฟิลเตอร์แบบช่วงความถี่ผ่าน เป็นวงจรซึ่งออกแบบไว้ให้เฉพาะสัญญาณในช่วงความถี่ใดความถี่หนึ่งผ่านเท่านั้น ส่วนสัญญาณนอกเหนือจากช่วงความถี่นี้จะถูกลดระดับลง รูปที่ 2.36c และ 2.37a แสดงลักษณะการตอบสนองต่อความถี่ของฟิลเตอร์ช่วงความถี่ผ่าน ฟิลเตอร์ดังกล่าวจะมีระดับค่าขยายสัญญาณสูงสุด ( $A_V$ ) ที่ความถี่เพียงค่าเดียว ซึ่งจะเรียกว่า ความถี่รีโซแนนท์ ( $\omega_r$ ) ถ้าความถี่แตกต่างไปจากความถี่รีโซแนนท์ ระดับค่าขยายสัญญาณจะลดลง และจะมีความถี่หนึ่งขนาด  $\omega_h$  ซึ่งที่จุดความถี่ทั้งสอง ค่าขยายสัญญาณจะเท่ากับ  $0.707 A_V$  จุดความถี่ดังกล่าวที่อยู่สูงกว่า  $\omega_r$  จะเรียกว่าความถี่ทอพอสูง หรือ  $\omega_h$  ส่วนจุดความถี่อีกจุดหนึ่งที่อยู่ต่ำกว่า  $\omega_r$  จะเรียกว่าความถี่ทอพอต่ำหรือ  $\omega_l$  ช่วงความถี่ระหว่าง  $\omega_h$  และ  $\omega_l$  เรียกว่าแบนวิด (B) หรือ

$$B = \omega_h - \omega_l \quad (2.11)$$

ฟิลเตอร์ช่วงความถี่ผ่านอาจจะแบ่งออกได้เป็นประเภท แบนด์แคบหรือแบนด์กว้าง ฟิลเตอร์แบนด์แคบหมายถึง ฟิลเตอร์ซึ่งมีแบนด์วิดแคบกว่า  $1/10$  เท่าของความถี่รีโซแนนท์ ( $B < 0.1 \omega_r$ ) ถ้าแบนด์วิดมีค่าสูงกว่า  $1/10$  เท่าของความถี่รีโซแนนท์ ( $B > 0.1 \omega_r$ ) จะจัดเป็นฟิลเตอร์ประเภทแบนด์กว้าง อัตราส่วนของความถี่รีโซแนนท์ต่อแบนด์วิดจะเรียกว่า Quality factor หรือ Q ของวงจร ดังนั้น Q จึงเป็นจำนวนแสดงความละเอียดของวงจรต่อสัญญาณ Q ยิ่งสูงเท่าใด ความละเอียดของวงจรต่อความถี่ก็ยิ่งมากขึ้นเท่านั้น เราอาจจะเขียน Q ในลักษณะของสมการได้เป็น

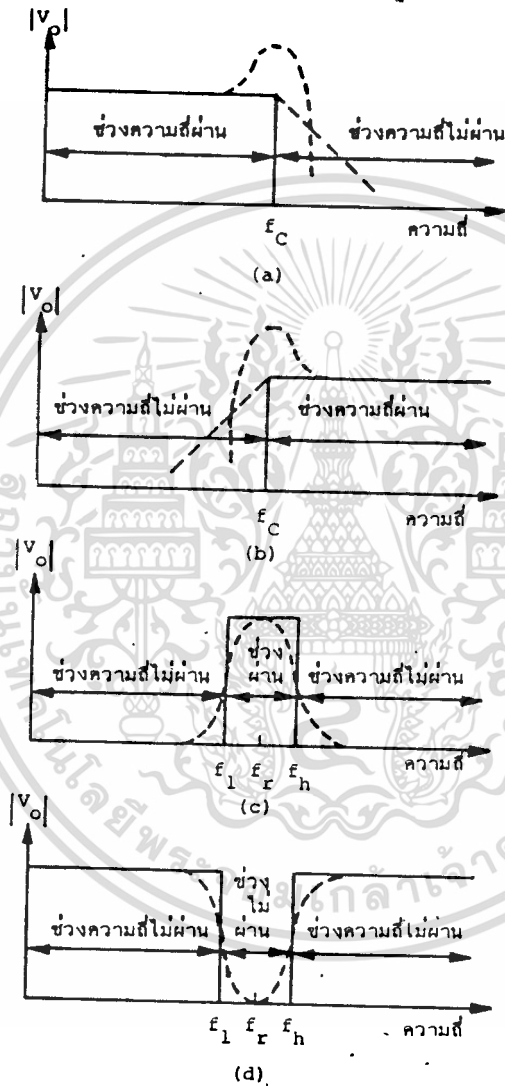
$$Q = \frac{\omega_r}{B} \quad (2.12)$$

หรือ 
$$B = \frac{\omega_r}{Q} \quad (2.13)$$

สำหรับฟิลเตอร์แบนด์แคบ Q จะมีค่าสูงกว่า 10 ส่วนฟิลเตอร์แบนด์กว้างจะมี Q ต่ำกว่า 10

### 2.6.2 ฟิลเตอร์ช่วงความถี่ผ่านแบบแบนด์แคบ

วงจรในรูปที่ 2.37 b จะออกแบบให้มีคุณสมบัติแบนด์แคบหรือแบนด์กว้างก็ได้ และค่าขยายสัญญาณแบบลูปปิด ก็อาจจะมีความสูงกว่า 1 ได้ ค่าขยายสัญญาณสูงสุด ( $A_V$ ) จะเกิด ณ จุดความถี่รีโซแนนท์ ดังเช่นที่แสดงในภาพที่ 2.37a โดยทั่วไปในการไม่วางรณใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.36 คุณสมบัติการตอบสนองต่อความถี่ของฟิลเตอร์แต่ละประเภท.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกแบวมักจะกำหนดค่าความถี่โชนัท และแบนด์วิด แล้วจึงคำนวณ  $Q$  จากสมการ 2.12 แต่ในบางกรณีอาจจะกำหนด  $\omega_r$  และ  $Q$  แล้วจึงคำนวณแบนด์วิดจากสมการ 2.13 เพื่อให้การออกแบบง่ายและการคำนวณลดน้อยลง ควรจะกำหนดให้  $C_1 = C_2 = C$  และคำนวณหา  $R_1$ ,  $R_2$  และ  $R_3$  จากสมการต่อไปนี้

$$R_2 = \frac{2}{BC} \quad (2.14)$$

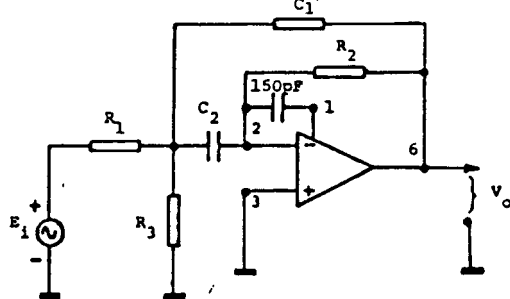
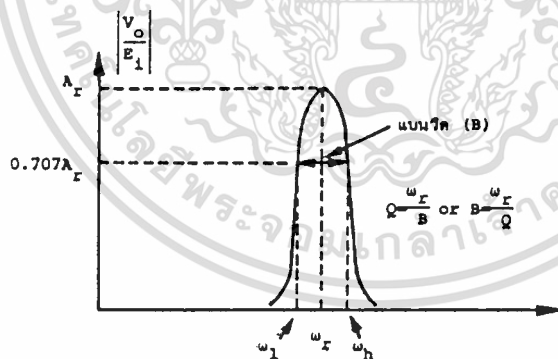
$$R_1 = \frac{R_2}{2A_r} \quad (2.15)$$

$$R_3 = \frac{R_2}{4Q^2 - 2A_r} \quad (2.16)$$

$4Q^2$  จะต้องมีค่าสูงกว่า  $2A_r$  เพื่อว่าค่า  $R_3$  ที่คำนวณได้จะเป็นบวกเสมอ ส่วน  $B$  ในสมการ 2.14 จะมีหน่วยเป็นเรเดียนต่อวินาที

### 2.6.3 ฟิลเตอร์แบบแบนด์กว้าง

ถึงขั้นที่โศกแล้วไปเลยว่าฟิลเตอร์แบนด์กว้างจะมี  $Q$  ต่ำกว่า 10 วงจร ในรูปที่ 2.37 b จะออกแบบให้เป็นฟิลเตอร์แบนด์กว้างได้ โดยที่ยังสามารถใช้สมการ 2.14, 2.15 และ 2.16 ในการออกแบบได้ครบเท่าที่  $4Q^2 > 2A_r$

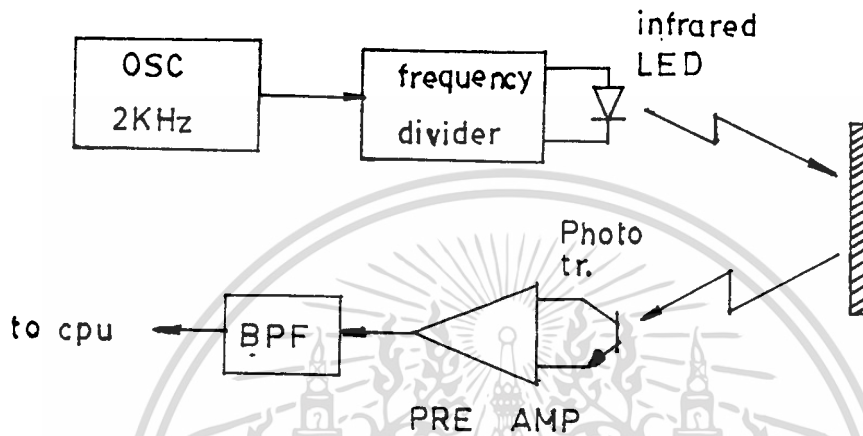


(b)

## 2.7 หลักการทำงานของการทำงานบ่งชี้ด้วยแสงอินฟราเรด

การทำงานบ่งชี้การทำงานของวงจรด้วยแสงอินฟราเรด ที่นำมาใช้กับเครื่องวัดความสูงนี้ มี 2 แบบ คือ การเช่นเซอร์ระดับความสูง และ การตรวจนับระยะความสูง

### 2.7.1 หลักการทำงานของการทำงานเช่นเซอร์ระดับความสูงด้วยแสงอินฟราเรด



รูปที่ 2.38 การเช่นเซอร์ระดับความสูงด้วยแสงอินฟราเรด

จากรูป 2.38 วงจรออสซิลเลเตอร์จะผลิตความถี่ขนาด 2 KHz ส่งไปหาร 2 โดยวงจรหารความถี่ ได้เป็นความถี่ขนาด 1 KHz มีทิวตี้ไซเคิล 50% ส่งไปผสมกับความถี่แสงอินฟราเรด ในระบบพัลส์โคดมอดูเลเตอร์ (Pulse code modulator : PCM) โดยที่พัลส์จากออสซิลเลเตอร์จะไปทำให้แสงอินฟราเรดมีหรือไม่มี แล้วถูกส่งผ่านอากาศออกไปกระทบสิ่งกีดขวาง (คนที่ต้องการวัดความสูง) แล้วสะท้อนกลับมาเข้าวงจรภาครับ

วงจรภาครับจะใช้ โฟโตทรานซิสเตอร์ ทำหน้าที่ คัดเลือก แสงอินฟราเรด ออกมาเป็น ออน และ ออฟ ( ช่วงมีแสงอินฟราเรดเป็นลอจิก 1 ช่วงไม่มีแสงอินฟราเรดเป็นลอจิก 0 ) ทำให้มีกระแสไหลและหยุดไหลตามความถี่ของพัลส์ที่ส่งมากับแสงอินฟราเรด แล้วความถี่ของพัลส์นี้ ซึ่งมีกำลังอ่อนเนื่องจากแสงอินฟราเรดต้องเดินทางผ่านอากาศ จะถูกนำไปขยายให้แรงขึ้นโดยภาคปริแอมป์ ก่อนที่จะส่งไปยังวงจร แบนด์พาสฟิลเตอร์ ซึ่งจะยอมให้ความถี่ 1 KHz เท่านั้นที่จะผ่านไปได้ แล้วส่งสัญญาณไปยัง พอร์ท โคยใช้ รีเลย์

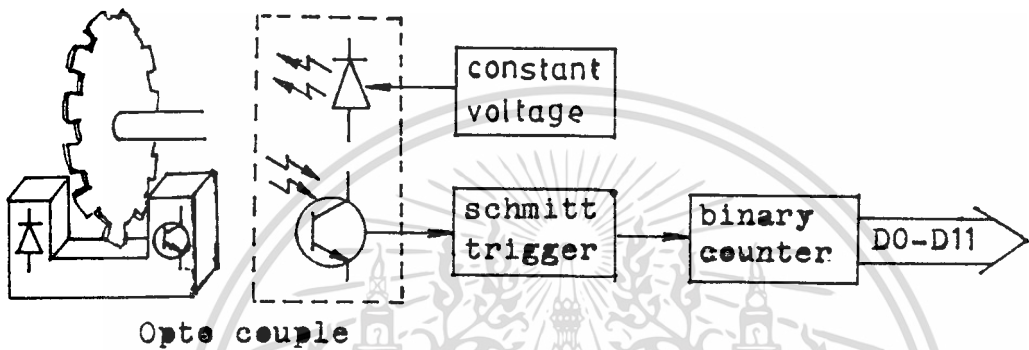
ขณะที่ทำการวัดความสูงนั้น ทั้งตัวส่งและ ตัวรับ จะเคลื่อนที่ขึ้นไปพร้อมๆกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นับผูกมัดเห็นไปซึ่งประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แสงอินฟราเรดจากตัวส่งจะสะท้อนตัวคน ไปเข้าตัวรับอยู่ตลอดเวลา จนกระทั่งเลื่อนขึ้นไปพบ  
 ที่ระยะที่ก่าลวงแล้ว ก็จะไม่ม่แสงอินฟราเรดสะท้อนเข้าที่ตัวรับอีก จังหวนนี้จะทำให้รีเลย์  
 เปลี่ยนสภาวะ และตัวส่งกับตัวรับจะหยุดการเคลื่อนที่ เป็นอันหมดหน้าที่ของตัว เช่น เซอร์ระกับ  
 ความสูง

### 2.7.2 หลักการทำงานของการตรวจนับระยะความสูงโดยใช้แสงอินฟราเรด



รูปที่ 2.39 การตรวจนับระยะความสูงโดยใช้แสงอินฟราเรด

จากรูป 2.39 การตรวจนับระยะทางด้วยแสงอินฟราเรด จะใช้อุปกรณ์ อิน-  
 ฟราเรดแบบ ออปโต คัปเปิล ( Opto couple ) เป็นตัวตรวจนับ โดยใช้หลักการของ  
 การบังแสงระหว่างตัวส่งและตัวรับ สำหรับในเครื่องต้นแบบนี้ ใช้แผ่นโลหะกลมที่ถูกลบบากไว้เป็น  
 ร่องเป็นตัวหมุนบังแสง โดยที่ระยะทางการหมุนของแผ่นโลหะกลมนี้จะสัมพันธ์กับระยะทางการ  
 เคลื่อนที่ของตัว เช่น เซอร์ระกับ ความสูง เมื่อแผ่นโลหะกลมหมุนจะทำให้ช่องที่มีหมุ่บังแสง  
 ทำให้แสงอินฟราเรดที่ส่งจากตัวส่งมายังตัวรับมีลักษณะเป็นพัลส์ อินฟราเรดพัลส์นี้จะถูกแปลงเป็น  
 สัญญาณพัลส์ทางไฟฟ้าโดยตัวรับ และส่งไปให้วงจร ชิมิทริกเกอร์ เพื่อทำให้เป็นพัลส์แบบกิจจร  
 ก่อนที่จะส่งไปให้วงจรนับทำการนับต่อไป และการนับจะสิ้นสุดลงเมื่อตัว เช่น เซอร์ระกับ ความสูง  
 หยุดการเคลื่อนที่ และข้อมูลเอาท์พุทของวงจรมันจะบันทึกคือระยะความสูงนั่นเอง

## 2.8 หลักการเบื้องต้นและบล็อกไดอะแกรม ( Block diagram )

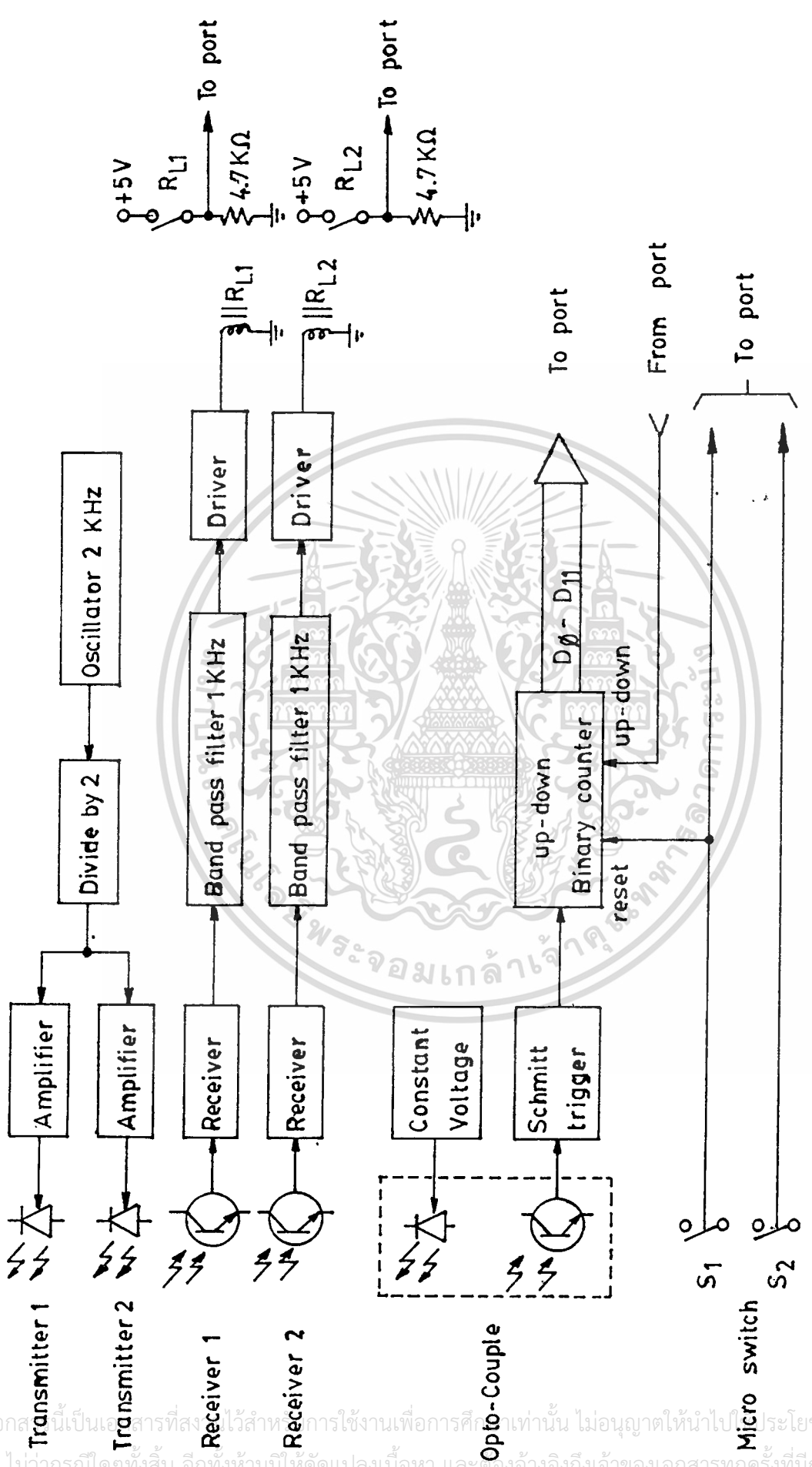
สำหรับหลักการที่ใช้สำหรับ วัดความสูงแสงได้ตั้ง บล็อกไดอะแกรมรูปที่ 2.40 โดย  
มีหลักการทำงานดังนี้คือ เราจะสร้างสัญญาณรูปสี่เหลี่ยม (Square Wave) จากวงจรออสซิล-  
เลเตอร์ (Oscillator) แล้วทำการขยายสัญญาณเพื่อให้มีขนาดของสัญญาณแรงพอที่จะป้อน  
ให้กับอิมิตทาเรต อิมิตติ้ง ไดโอด (Infrared emitting diode) เพื่อส่งสัญญาณนี้ออก  
ไปยังตัวรับโดยใช้การสะท้อนกลับของสัญญาณ ส่วนทางด้านรับ เราใช้โฟโต ทรานซิสเตอร์  
(Photo transistor) เป็นตัวรับเพราะมีความไวค่อนข้างสูง สัญญาณที่รับได้จากโฟโต  
ทรานซิสเตอร์ จะถูกส่งไปยังภาครับ (Receiver) ซึ่งจะทำหน้าที่ขยายสัญญาณให้มีความแรง  
ขึ้น แล้วส่งไปยังภาคกรองช่วงความถี่ผ่าน (Band-pass Filter) เพื่อจะกรองเอาเฉพาะ  
สัญญาณความถี่ที่ถูกส่งมาจากภาคส่งเท่านั้น ซึ่งจะทำให้สัญญาณรบกวนต่าง ๆ มีขนาดลดลงแล้วส่ง  
สัญญาณที่รับได้ไปยังภาคขับ (Driver) เพื่อจะขยายสัญญาณให้แรงพอที่จะขับรีเลย์ (Relay)  
ได้ วงจรภาคส่งและภาครับนี้ใช้สำหรับควบคุมการเคลื่อนที่ของตัวเลขที่แสดงผล และควบคุมการ  
หมุนของมอเตอร์ โดยที่ ภาคส่งที่ 1 (Transmitter1) กับภาครับที่ 1 (Receiver1)  
ใช้สำหรับตรวจนับว่ากำลังทำการวัดอยู่หรือไม่ ส่วนภาคส่งที่ 2 (Transmitter2) กับ  
ภาครับที่ 2 (Receiver2) ใช้สำหรับควบคุมการเคลื่อนที่ของตัวเลขที่แสดงผลโดยการควบคุม  
มอเตอร์

ส่วนทางด้านภาคนับหรือเคาน์เตอร์ (Counter) นั้นเราใช้ อินเตอร์รัทเตอร์  
โมดูล (Interrupter Module) หรือ ออปโต คัปเปิล (Opto-Couple) เป็นตัวสร้าง  
สัญญาณนาฬิกาให้กับวงจรนับโดยผ่านวงจรชmitt trigger) เพื่อกำจัด  
สัญญาณเบานส์ (Bounce) สัญญาณที่สร้างขึ้นจากอินเตอร์รัทเตอร์ โมดูลนั้นสร้างได้โดยการนำ  
เอาแผ่นจานกลมแล้วมากรองเอาไว้หมุนผ่านตัวอินเตอร์ โมดูล ซึ่งแผ่นจานกลมนี้จะหมุนตามการ  
เคลื่อนที่ของตัวเลขแสดงผล สัญญาณนาฬิกานี้จะทำให้ เคาน์เตอร์นับขึ้น เมื่อมอเตอร์หยุดหมุนทำ  
เอาให้ตัวเลขแสดงผลหยุดเคลื่อนที่ซึ่งจะทำให้แผ่นจานกลมนี้หยุดหมุนด้วย เป็นผลทำให้ เคาน์เตอร์  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หยุดนับ แล้วผลลัพธ์ที่ได้จะถูกส่งไปยังภาคประมวลผลกลาง

ส่วนไมโครสวิตช์ (Micro switch) S1 และ S2 นั้นเป็นตัวควบคุมความสูงต่ำสุด และความสูง ๆ สุดตามลำดับโดยเมื่อตัวเลขแสดงผลเคลื่อนลงมาถึงจุดต่ำสุด ที่กำหนดโดยสวิตช์ S2 ก็จะทำให้แกนเคอร์ดูรีเซต (Reset) ทำให้แกนเคอร์เริ่มต้นนับใหม่โดยเริ่มจากศูนย์





รูปที่ 2.40 Block Diagram of High Detect Unit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมีให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 2.9 การทำงานของวงจรที่ใช้งานจริง

### 2.9.1 วงจรภาคส่ง ( Oscillator and Transmitter Circuit )

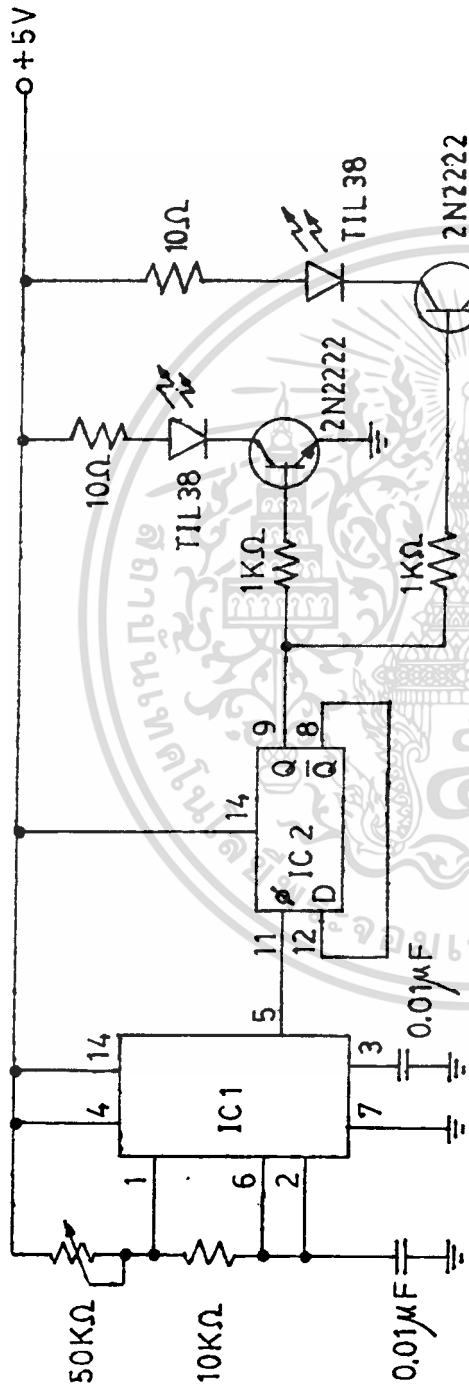
วงจรภาคส่งแสดงดังรูปที่ 2.41 ใช้ไอซี LM 556 ทำงานเป็นวงจรออสซิลเลเตอร์ ผลิตความถี่ขนาด 2 KHz ออกมาที่ขา 5 ซึ่งสามารถปรับค่าความถี่ได้โดยการปรับค่า R 50KΩ ความถี่ 2 KHz จะถูกหาร 2 โดย IC 2 ซึ่งเป็น ดี-ฟลิปฟล็อป ( D-flip-flop นำมาต่อเป็น ที-ฟลิปฟล็อป ( T flip-flop) เพื่อให้ทำงานเป็นวงจรหาร 2 เอาท์พุทจาก IC 2 เป็นพัลส์ความถี่ 1 KHz มีควัตซ์ไซเคิล 50% ความถี่ 1 KHz นี้ถูกป้อนเข้าที่ขา เบส ของทรานซิสเตอร์ 2N2222 ซึ่งเป็นชนิด NPN เพื่อไปผสมกับความถี่อินฟราเรดของ แอล อี ที เป็นการผสมคลื่นแบบ PCM กล่าวคือไปทำให้แสงอินฟราเรด ปิก-เปิด ตามความถี่ของพัลส์ แล้วส่งผ่านอากาศไปกระทบตัวคน แล้วสะท้อนกลับเข้าสายรับต่อไป จะเห็นว่า วงจรภาคส่งประกอบด้วย แอล อี ที 2 ตัว นั่นคือ เป็น ภาคส่ง 1 และ ภาคส่ง 2 เพื่อส่งเข้า ภาครับ 1 และ ภาครับ 2 โดยที่วงจร รับ-ส่ง ชุดที่ 1 เป็นตัวตรวจคนเข้าออก ส่วนวงจร รับ-ส่ง ชุดที่ 2 ก็คือตัวเซนเซอร์ระดับความสูงที่จะเลื่อน ขึ้น-ลง เมื่อทำการวัดความสูงนั่นเอง

### 2.9.2 วงจรภาครับ ( Receiver Circuit )

วงจรภาครับแสดงดังรูปที่ 2.42 ทำหน้าที่รับแสงอินฟราเรดที่ผสมกับความถี่พัลส์ส่งมา โดยใช้ โฟโตทรานซิสเตอร์ทำการ ก็เทคแสงอินฟราเรดออกเป็นความถี่พัลส์ โดยกระแสที่โฟโตทรานซิสเตอร์ จะไหลและหยุดไหล ตามความถี่พัลส์ แล้วถูกส่งไปขยายโดย ไอซี TL074 ซึ่งภายในไอซีนี้ประกอบด้วย ออปแอมป์ 4 ตัวโดยออปแอมป์ 2 ตัวแรกถูกต่อเป็น วงจรขยาย ที่สามารถปรับอัตราขยายได้โดยปรับค่า R1KΩ สัญญาณเอาท์พุทจากวงจรขยายจะถูกนำไปเข้า แบนด์พาสฟิลเตอร์ ซึ่งใช้ ออปแอมป์อีกตัวหนึ่งของ TL074 ต่อเป็นวงจร แอ็กทีฟ ฟิลเตอร์ โดยจะยอมให้ความถี่ 1 KHz เท่านั้นที่ผ่านไปได้ เพื่อกำจัดสัญญาณรบกวนออก แล้วจึงนำความถี่ 1 KHz นี้ไปควบคุม ทรานซิสเตอร์ C 458 เพื่อควบคุมการทำงานของรีเลย์อีกต่อหนึ่ง ก็ถ้ามีแสงอินฟราเรดจากภาคส่งสะท้อนมาเข้าที่ภาครับ จะทำให้คอนแทกของรีเลย์มีสภาวะลอคจิก 1 ส่งเข้า พอร์ท แต่ถ้าไม่มีแสงอินฟราเรดมาเข้าที่ภาครับจะทำให้คอนแทกของรีเลย์ส่งลอคจิก 0 เข้าพอร์ท เพื่อให้ ซี พี ยู นำไปใช้ควบคุมการหมุนของมอเตอร์ต่อไป วงจรภาครับนี้จะมี 2 วงจร เป็นวงจรลักษณะเดียวกัน เพื่อนำไปใช้กับวงจรภาคส่ง

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า หงส์สง คังทกกล่าวไว้แล้วขางคม

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

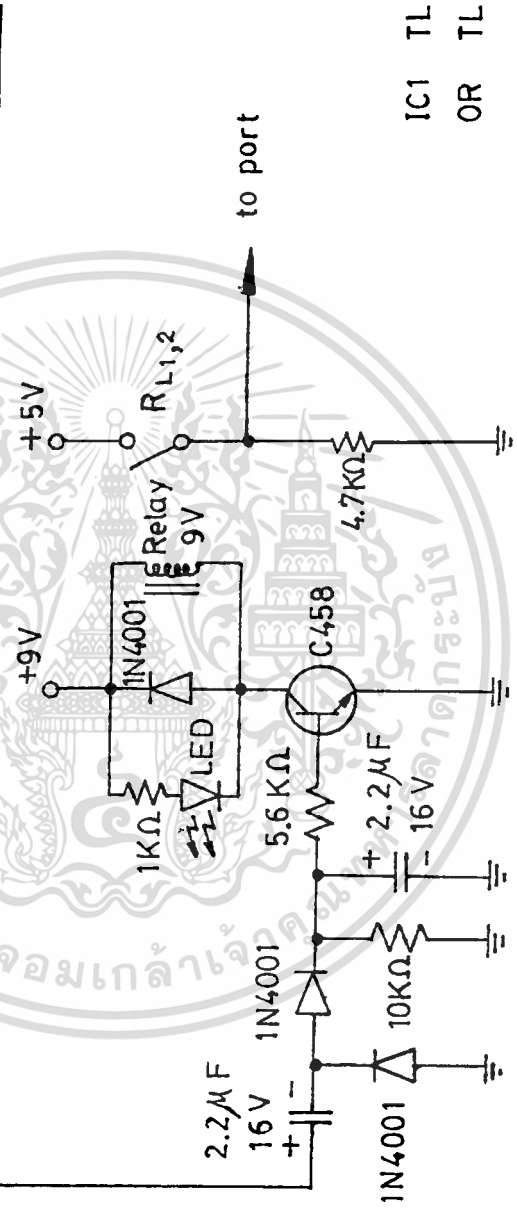
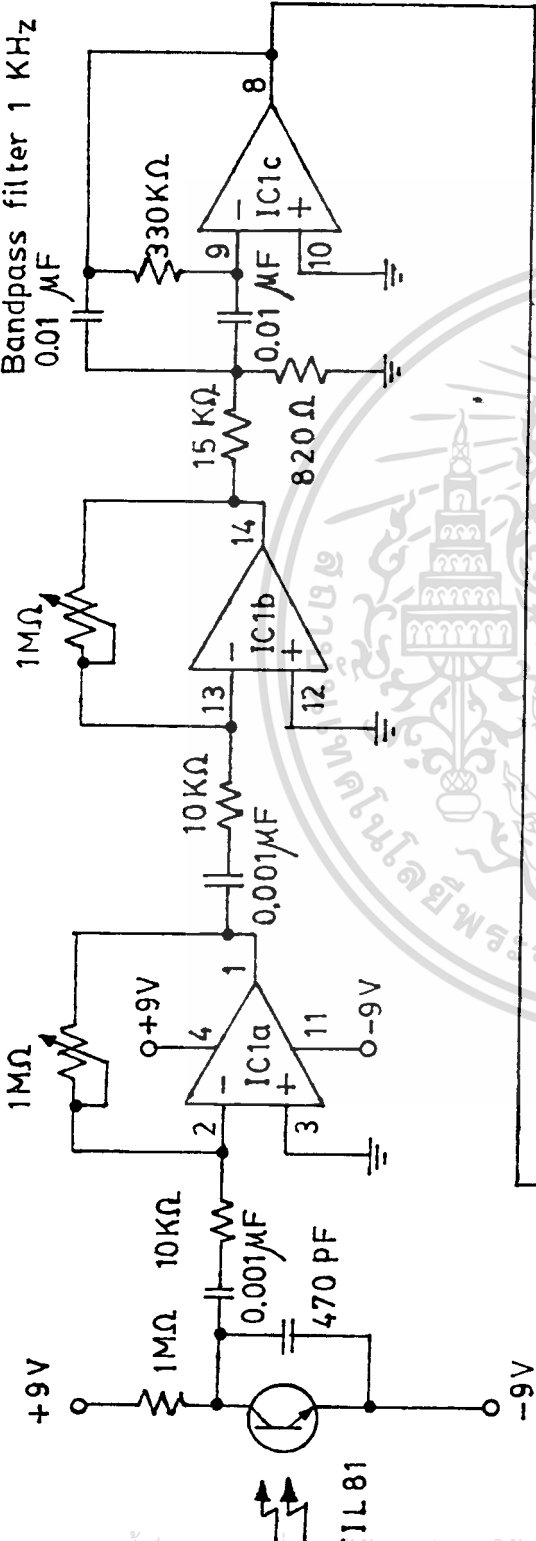


IC1 - LM555

IC2 - 7474

รูปที่ 2.41 Oscillator and Transmitter Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

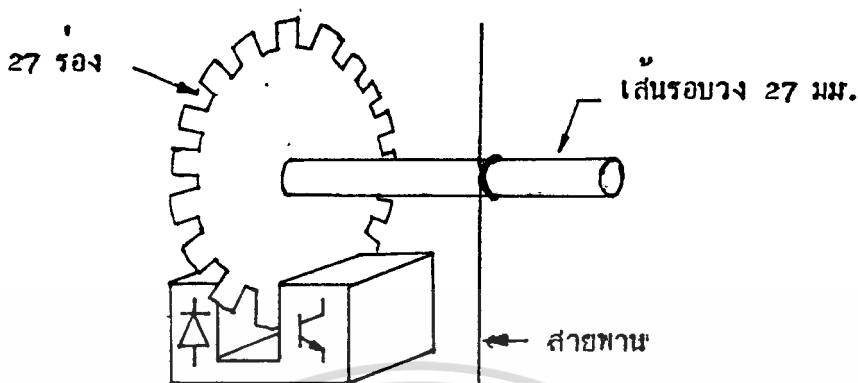


IC1 TL074  
OR TL084

รูปที่ 2.4.2 Receiver 1,2 Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.9.3 วงจรตรวจจับข้อมูลระยะความสูง ( Data detector circuit )



รูปที่ 2.43 ออปโต-คัมป์เบล และ แผ่นโลหะกลม สำหรับ ตรวจจับข้อมูลความสูง

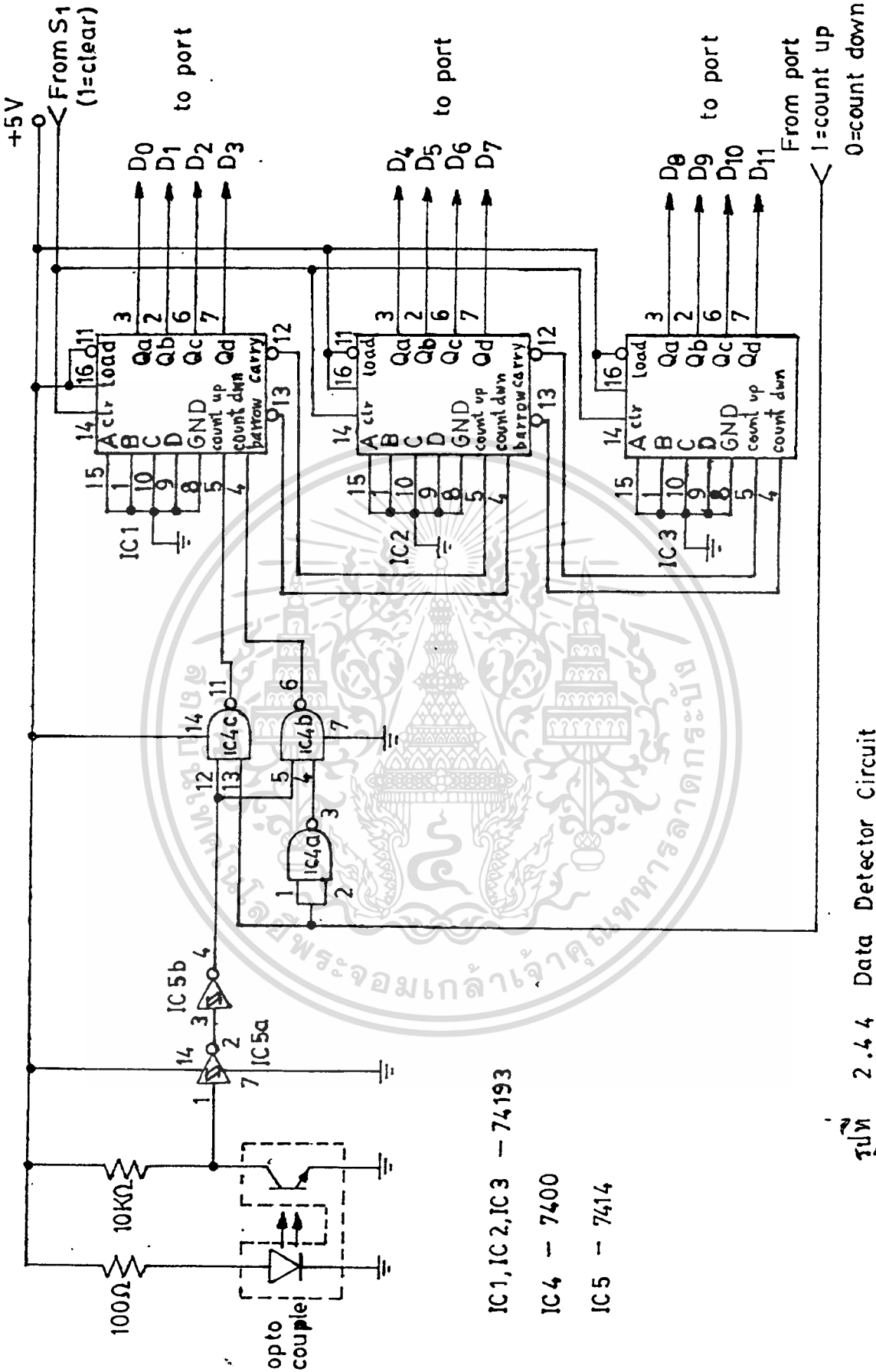
วงจรตรวจจับข้อมูลความสูง จะใช้ออปโต-คัมป์เบล และ แผ่นโลหะกลมเป็นตัวนำระยะความสูงทีละ 1 มม. โดยที่แผ่นโลหะกลมมีแกนหมุน ซึ่งมีเส้นรอบวงเท่ากับ 27 มม. เมื่อแกนหมุนไป 1 รอบ แผ่นโลหะกลมก็จะหมุนไป 1 รอบด้วย เป็นระยะทาง 27 มม. นั่นคือแผ่นโลหะกลมต้องถูกขากเป็นร่องไว้ 27 ร่อง การหมุนของแกน 1 รอบ เป็นระยะทาง 27 มม. จะเท่ากับการเคลื่อนที่ของสายพาน (ขึ้นหรือลงแล้วแต่ทิศทางการหมุนของมอเตอร์) เป็นระยะทาง 27 มม. และเท่ากับการหมุนของแผ่นโลหะกลม 1 รอบ ดังนั้นการหมุนของแผ่นโลหะกลม 1 รอบ ( 27 ร่อง ) จะเท่ากับการเคลื่อนที่ของสายพาน 27 มม. และการหมุนของแผ่นโลหะกลม 1 ร่อง จะเท่ากับการเคลื่อนที่ของสายพาน 1 มม.

แผ่นโลหะกลมจะถูกขับให้หมุนโดยมอเตอร์ พร้อมๆกับการเคลื่อนที่ขึ้นของตัวเซ็นเซอร์ความสูง เมื่อแผ่นโลหะกลมหมุนไปจะทำให้ ช่องของแผ่นโลหะกลมไปยังแสงอินฟราเรดของออปโต-คัมป์เบลระหว่างตัวส่งกับตัวรับ โดยจะบังแสง 1 ครั้งทุกๆระยะการหมุน 1 ร่อง นั่นคือ ทุกๆระยะทาง 1 มม. ช่องการเคลื่อนที่ของสายพาน จะมีแสงอินฟราเรดเป็นพัลส์ 1 ลูกส่งจากตัวส่งมายังตัวรับ ซึ่งอินฟราเรดพัลส์นี้จะถูกเปลี่ยนเป็นพัลส์ของสัญญาณไฟฟ้าโดยตัวรับและ

พัลส์นี้จะถูกส่งผ่านซีพียูเพื่อเปลี่ยนให้เป็นสัญญาณพัลส์แบบดิจิทัลที่มีเพียง 2 ระดับ คือ 0 และ 1 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1 และ 0 ก่อนที่จะส่งไปยัง แนนด์เกท ซึ่งถือเป็นวงจรเลือกการนับ ขึ้น-ลง ของวงจรมับคัม การควบคุมของสัญญาณจากพอร์ท ดังแสดงในวงจรรูปที่ 2.44

เมื่อเริ่มวัดความสูงนั้น ตัว เช่น เซอร์ความสูงจะเลื่อนขึ้น' แพนโลหะกลมจะหมุน และ ออปโตคัมป์เปลจะให้พัลส์ไปเข้าขานับขึ้นของวงจรมับ คัมการควบคุมของ ซี ที ยู โดยการส่งลอจิก 1 จากพอร์ทมาควบคุมแนนด์เกท วงจรมับจะทำการนับขึ้นจนกระทั่งตัว เช่น เซอร์ความสูงเลื่อนขึ้นไปถึงระดับที่ระยะ ซึ่งเมื่อถึงระดับนี้ตัว เช่น เซอร์ความสูงจะส่งสัญญาณไปให้ ซี ที ยู เพื่อทำการควบคุมให้มอเตอร์หยุดหมุน นั่นก็คือทำให้แพนโลหะกลมหยุดหมุนและไม่มีพัลส์ส่งไปยังวงจรมับ ทำให้วงจรมับหยุดนับ และข้อมูลที่เอาท์พุทของวงจรมับขณะนี้ก็คือข้อมูลของระยะความสูงซึ่งอยู่ในรูปของเลขไบนารี จังหวะนี้จะเป็นจังหวะที่ ซี ที ยู ทำการอ่านข้อมูลความสูงเข้าไปแปลงเป็นเลข บี ซี ดี และแปลงเป็น เซ็กเมนต์โคกเพื่อนำออกไปแสดงผลทาง 7-เซ็กเมนต์ เมื่อสิ้นสุดการแสดงผลแล้วตัว เช่น เซอร์ความสูงจะเลื่อนลง ขณะนี้จะมีสัญญาณจากพอร์ทมาควบคุมให้วงจรมับทำการนับลง และเมื่อตัว เช่น เซอร์ความสูงเลื่อนลงมาถึงระดับความสูง 100 ซม. จะไปชนไมโครสวิตช์  $S_1$  ซึ่ง  $S_1$  จะส่งสัญญาณไปให้ ซี ที ยู ควบคุมให้มอเตอร์หยุดหมุน และขณะเดียวกัน  $S_1$  ก็ส่งสัญญาณมาเคลียร์วงจรมับให้เริ่มเอาท์พุทเป็นศูนย์ และโดยวิธีการทาง ช่องท์แวร์ บนตัวแสดงผลจะแสดงระดับความสูงเป็น 100 ซม.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

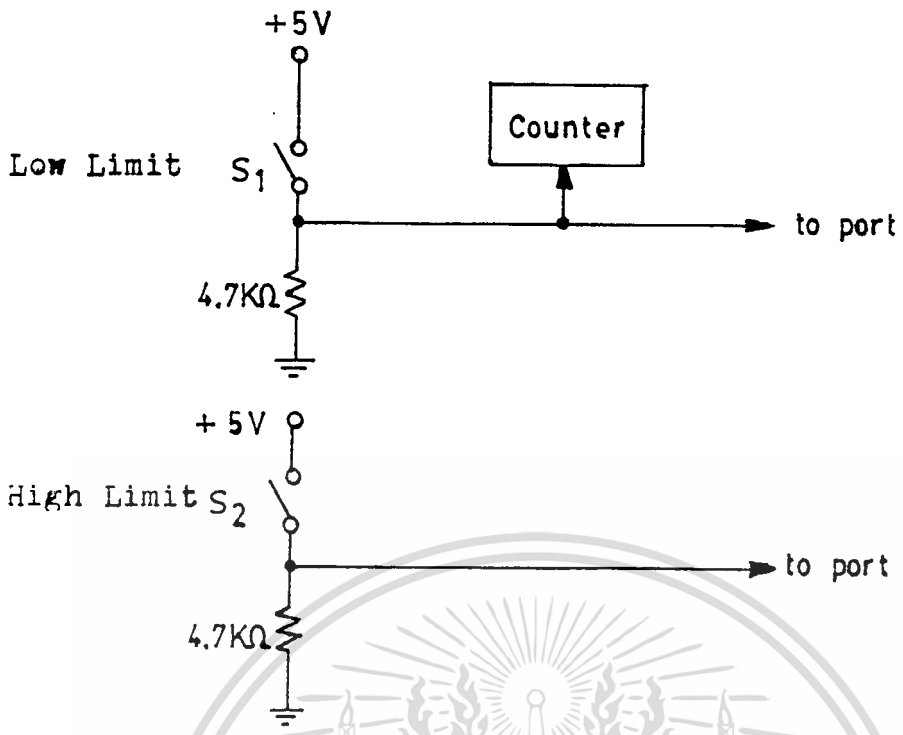
#### 2.9.4 วงจรไมโครสวิตช์ ( Microswitch Circuit )

วงจรของไมโครสวิตช์ แสดงดังรูปที่ 2.45 ประกอบด้วยไมโครสวิตช์ 2 ตัว คือ S1 และ S2 โดย S1 จะติดตั้งอยู่ด้านล่างที่ระดับความสูงต่ำสุดคือ 100 ซม. ส่วน S2 จะถูกติดตั้งอยู่ด้านบน ที่ระดับความสูงที่สูงที่สุดที่สามารถวัดได้ คือ 200 ซม. ไมโครสวิตช์ทั้งสอง จะทำหน้าที่เป็นตัว จำกัด ( Limit ) ระดับความสูงต่ำสุดและสูงสุดที่สามารถวัดได้

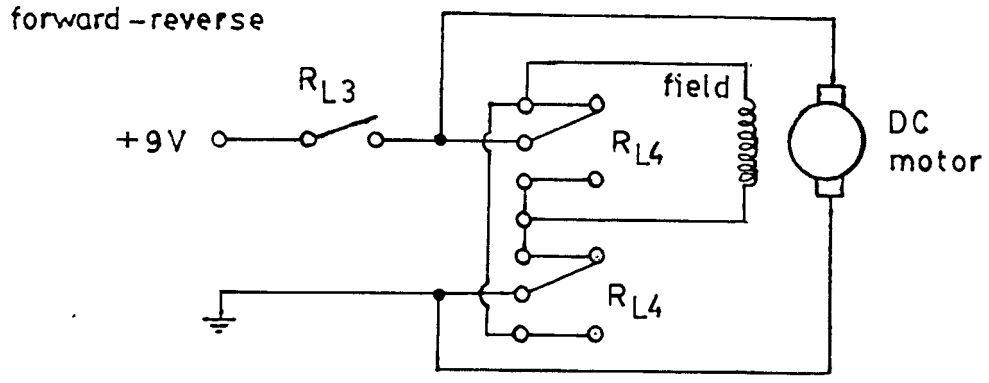
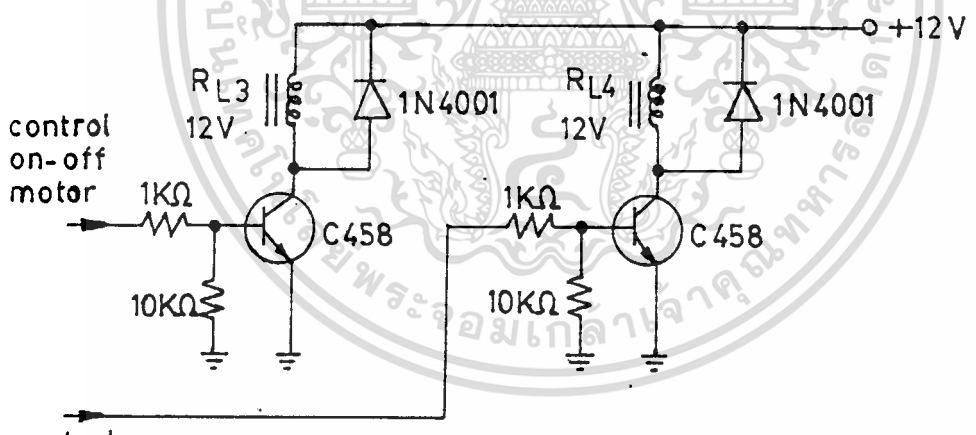
#### 2.9.5 วงจรควบคุมมอเตอร์ ( Motor control Circuit )

วงจรควบคุมมอเตอร์แสดงดังรูปที่ 2.46 ประกอบด้วยวงจร 2 ส่วน คือ ส่วนควบคุมการ ออน-ออฟ และส่วนควบคุมการกลับทางหมุน ซึ่งวงจรทั้งสองส่วนนี้จะใช้ ทรานซิสเตอร์ ทำหน้าที่เป็นสวิตช์ ไปควบคุมรีเลย์ และคอนแทกของรีเลย์ก็จะไปควบคุมมอเตอร์อีกต่อหนึ่ง โดยรีเลย์ RL3 จะควบคุมการ ออน-ออฟ และรีเลย์ RL4 จะควบคุมการกลับทางหมุน โดยมอเตอร์ที่ใช้เป็น ดี ซี มอเตอร์ ขนาด 9 โวลต์ ทำการกลับทางหมุนโดยการกลับทิศทางของกระแสที่ไหลเข้า ฟิวด์คอยล์ ( Field coil ) มอเตอร์มีความเร็วรอบประมาณ 7500 รอบต่อนาที และถูกหดรอบลงให้พอเหมาะโดยชุดเฟืองทดก่อนที่จะนำไปขับสายพาน

สัญญาณควบคุมการ ออน-ออฟ และ การกลับทางหมุนนั้น จะถูกส่งมาจาก พอร์ที่ซึ่งขึ้นอยู่กับขั้นตอนการทำงานของระบบ โดยการควบคุมของซอฟต์แวร์



รูปที่ 2.45 Micro Switch Circuit



รูปที่ 2.46 Motor Control Circuit

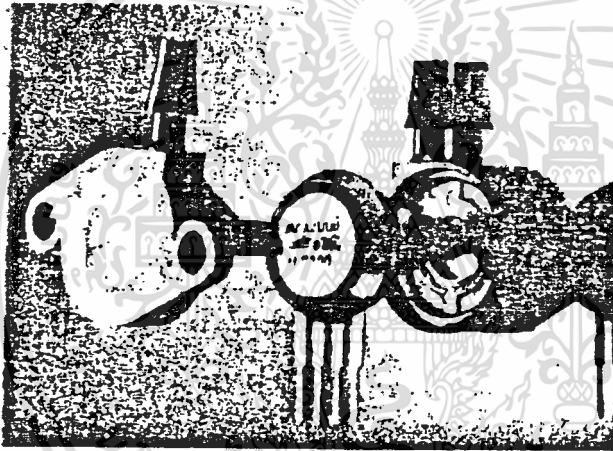
เอกสารนี้เป็นทรัพย์สินทางปัญญาของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 3 เครื่องชั่งน้ำหนัก

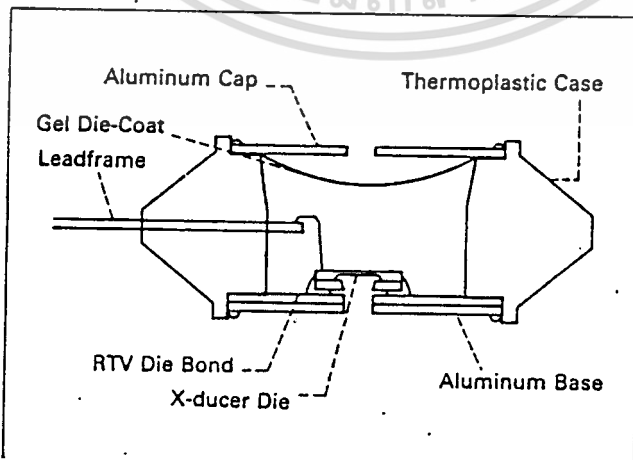
### 3.1) อุปกรณ์วัดความดัน (Pressure Sensor)

อุปกรณ์วัดความดัน (Pressure Sensor) เป็นอุปกรณ์วัดความดันแบบโซลิดสเตต (solid state) ที่มีประสิทธิภาพสูง, ราคาไม่แพง, มีความแม่นยำสูง นอกจากนี้ยังมีค่าลีนีเอริตี (linearity) และฮิสเทอรีซิส (hysteresis) มีค่าไม่เกิน 0.1 % เต็มสเกล (full scale) และมีค่าความคลาดเคลื่อนไม่เกิน  $\pm 0.5$  % เต็มสเกล จากการทดลองวัดซ้ำ ๆ กันจำนวน ๕ ล้านครั้ง นอกจากนี้อุปกรณ์ตรวจวัดความดันนี้ยังสามารถชดเชยความคลาดเคลื่อนเนื่องจากอุณหภูมิได้โดยการต่อวงจรภายนอก

ลักษณะโครงสร้างของ เอ็ม พี เอ็กซ์ เพรสเซอร์ เซนเซอร์ (M P X Pressure Sensor)



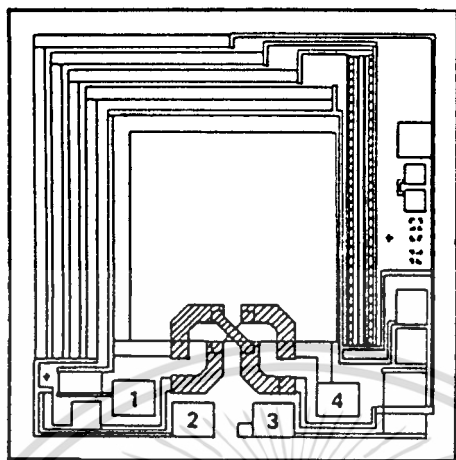
(ก)



(ข)

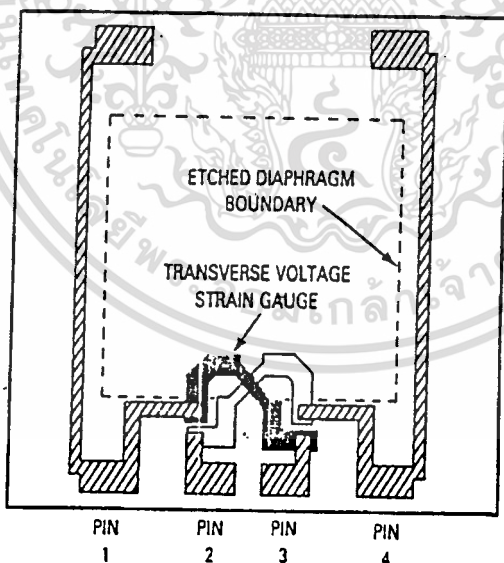
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูในวงเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
รูปที่ 3.1 ก) แสดงลักษณะโครงสร้างภายนอกของ เพรสเซอร์ เซนเซอร์  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้  
ข) แสดงลักษณะโครงสร้างภายในของ เพรสเซอร์ เซนเซอร์

## ลักษณะการทำงานของ เอม ที เอ็ช เทรสเซอร์เซ็นเซอร์



*Monolithic pressure sensor chip, showing diaphragm, shear stress strain gage, thin-film resistor circuitry and pin out.*

(ก)



*A four-terminal resistor with two voltage and two-current taps, the sensor is an electro-mechanical analog of a Hall effect device.*

(ข)

## รูปที่ 3.2 แสดงลักษณะการทำงานของ เทรสเซอร์เซ็นเซอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.1 ข้างบนเป็นการแสดงภาพตัด (cross-sectional) ของอุปกรณ์วัดความดันที่นำมาใช้ในวิชานี้ ซึ่งแบ่งส่วนประกอบเป็น ๔ ส่วนคือ

1 ส่วนประกอบภายนอก

๒ ส่วนประกอบภายใน

ส่วนประกอบภายในประกอบด้วย

1) เจล คาย โคท (gel die coat ) หรือ ซิลิกอนไดอะแฟรม (silicon diaphragm ) จะใช้เป็นตัวป้องกันเศษวัสดุของของไหลไปทำอันตรายแก่เหล็กแรโซซิสทีฟ (piezoresistive ) และเป็นส่วนที่ทำให้การส่งผ่านความดันจากหัววัดได้ไปยังแผ่นเหล็กแรโซซิสทีฟ

2) เอ็กซ์ ดิวเซอร์ คาย ( X - ducer die ) หรือ ไพโรซิสทีฟ (piezoresistive) ใช้สารซิลิกอนมาโคป ( dop ) เพื่อทำเป็นสารกึ่งตัวนำ (semiconductor ) ชนิดพี ( P - type ) ซึ่งส่วนนี้ใช้เป็นตัวเปลี่ยนความดันที่วัดได้ให้เป็นแรงดันไฟฟ้า ( voltage )

3) อาร์ ที วี คาย บอน ( RTV die bond ) ใช้เป็นตัวยึดระหว่างฝาอลูมิเนียมกับไพโรซิสทีฟ เพื่อต่อขั้วไฟฟ้าออกไปยังวงจรภายนอก

ส่วนประกอบภายนอกประกอบด้วย

1) อลูมิเนียม แคป (Aluminum cap ) เป็นแผ่นอลูมิเนียมที่ใช้ปิดฝาและเจาะรูเล็กๆไว้ (ตามรูปที่ 3.1, 3.2 ข้างบน ) เพื่อเพิ่มความดันภายในตัวอุปกรณ์วัดความดัน

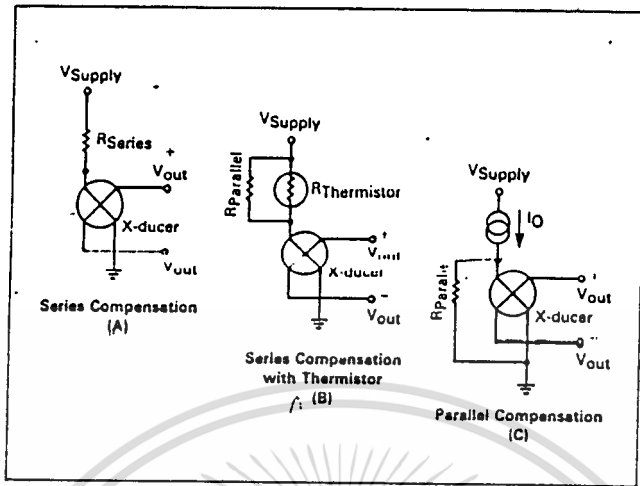
2) อลูมิเนียม เบส (Aluminum base ) เป็นแผ่นอลูมิเนียมที่ใช้ปิดฝาคานกลาง

3) เทอร์โมพลาสติก เคส (Thermoplastic case) เป็นฝารอบภายนอกที่ทำจากสารประเภทพลาสติกที่ทนความร้อน ซึ่งใช้เป็นส่วนป้องกันภายนอกแก่อุปกรณ์วัดความดัน มีขนาดเส้นผ่าศูนย์กลาง 0.6" หนา 0.2"

4) ลีด เฟรม (lead frame ) เป็นขั้วที่ต่อออกมาถึงวงจรภายนอก ดังรูปที่ 3.2

เอม ที เอ็กซ์ เพรสเชอร์เซนเซอร์ ( MPX Pressure Sensor )  
 เป็นอุปกรณ์วัดความดันที่มีเอาต์พุต ( output ) ออกมาเป็นแรงดันไฟฟ้าที่มีขนาดเป็นมิลลิ  
 โวลต์ ( millivolt ) ซึ่งมีการทำงานดังต่อไปนี้คือ เมื่อเราจ่ายแรงดันไฟฟ้ากระแสตรง  
 ( direct current ) ที่มีขนาดคงที่เข้าระหว่างขา 3 กับขา 1 และมีความดันกระทำ  
 ที่ซิลิกอนไดอะแฟรม ซึ่งทิศทางของความดันนี้จะตั้งฉากกับทิศทางของกระแสที่ไหลจากขา 3 ไป  
 ขา 1 ( ของอุปกรณ์ความดัน ) จะทำให้เกิดการชักร่นทางสนามไฟฟ้า ( hall effect )  
 ทำให้เกิดแรงดันไฟฟ้าระหว่างขา 2 กับขา 4 ( ของอุปกรณ์วัดความดัน ) ขนาดของแรงดันไฟฟ้านี้  
 จะมีขนาดเปลี่ยนแปลงไปตามขนาดของความดันที่เราวัดได้ ( เมื่อเราจ่ายแรงดันไฟฟ้าระหว่าง  
 ขา 3 กับ ขา 1 มีค่าคงที่ ) แต่เนื่องจากขนาดของแรงดันไฟฟ้าที่เอาต์พุตของอุปกรณ์วัดความดัน  
 ( Pressure Sensor ) มีค่าเป็นมิลลิโวลต์ ดังนั้นในการเอาอุปกรณ์นี้ไปใช้  
 งานเราต้องมีการขยายสัญญาณโดยต่อเข้ากับวงจรขยาย ( Amplifier ) อีกที  
 แต่เนื่องจากอุปกรณ์วัดความดันประเภทนี้ถูกทำมาจากสารกึ่งตัวนำ ( Semi -  
 conductor ) ซึ่งจะทำให้ค่าของแรงดันเอาต์พุตของอุปกรณ์มีค่าคลาดเคลื่อนได้เมื่ออุณหภูมิ  
 - มีที่ตัวของอุปกรณ์วัดความดันมีค่าสูงขึ้น โดยมีค่าสัมประสิทธิ์การเปลี่ยนแปลงค่าความต้านทาน  
 อินพุต ( input impedance ) วัดระหว่างขา 3 กับ ขา 1 ของอุปกรณ์วัดความดันจะ  
 มีค่าประมาณ  $-0.19 \% / ^\circ\text{C}$  ดังนั้นในการเอาอุปกรณ์ไปใช้งานที่อุณหภูมิเปลี่ยนแปลงมากๆ ซึ่ง  
 จะทำให้วัดค่าความดันได้คลาดเคลื่อนไป ดังนั้นจึงต้องมีการชดเชยผลเนื่องจากอุณหภูมิแก่อุปกรณ์  
 วัดความดัน

วิธีชดเชยผลของอุณหภูมิ ( Temperature Compensation Method )  
 ให้แก่ เอม ที เอ็กซ์ เพรสเชอร์เซนเซอร์ ( MPX Pressure Sensor )  
 มีด้วยกัน 3 แบบ ดังในรูปที่ 3.3 ข้างล่าง



รูปที่ 3.3 แสดงวิธีการชดเชยผลเนื่องจากผลของอุณหภูมิ ในแบบต่างๆ

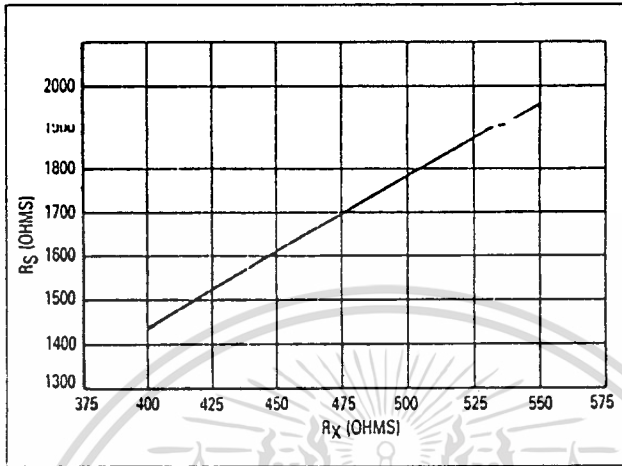
วิธีการชดเชยอุณหภูมิแบบแรกดังแสดงในรูปที่ 3.3 ซึ่งมีวิธีการชดเชยอุณหภูมิให้แก่อุปกรณ์วัดความต้านทานคือ เพียงแค่อัดความต้านทานอนุกรม (series) กับขาคินพุท (ขา 3 ของอุปกรณ์วัดความต้าน) แต่วิธีนี้จะใช้ได้ก็ในกรณีที่เอาอุปกรณ์วัดความต้านไปใช้ในช่วงอุณหภูมิ 0 ถึง 80 ° c ในการชดเชยผลเนื่องจากอุณหภูมิ โดยวิธีนี้จะทำให้ความคลาดเคลื่อนลดเหลือ 0.5% เพียงสเกล โดยปกติค่าความต้านทานอินพุทของอุปกรณ์วัดความต้านจะมีค่าอยู่ในช่วง 400-550 โอห์ม ดังนั้นเราต้องเลือกค่าความต้านทานที่จะนำมาต่ออนุกรมได้จากสูตร

$$R_s = (R_x)(3.577)$$

เมื่อ

$R_s$  : ค่าความต้านทานที่จะนำมาต่ออนุกรม

$R_x$  : ค่าความต้านทานอินพุทของอุปกรณ์วัดความต้านที่ 25° เซลเซียส



รูปที่ 3.4 เป็นกราฟแสดงความสัมพันธ์ระหว่าง  $R_s$  กับ  $R_x$

การหาค่าความต้านทานที่จะนำมาต่ออนุกรมสามารถหาได้อีกวิธีหนึ่งคือ การอ่านค่าความต้านทานที่จะนำมาต่ออนุกรมจากกราฟในรูปที่ 3.4 เช่น ถ้าเราให้ค่าความต้านทานอินพุทของอุปกรณ์วัดความต้านทานมีค่า 494 โอห์มที่ 25 องศาเซลเซียส เราจะอ่านค่าความต้านทานที่จะนำมาต่ออนุกรมได้จากกราฟในรูปที่ 3.4 ได้ค่า 1767 โอห์ม

วิธีการชดเชยผลเนื่องจากอุณหภูมิแบบที่ 2 ดังแสดงในรูปที่ 3.3 วิธีนี้คล้ายกับแบบแรก เพียงแต่เพิ่มอุปกรณ์เทอร์มิสเตอร์ (Thermistor) เข้ามาเท่านั้นเอง ซึ่งการชดเชยผลเนื่องจากการเปลี่ยนแปลงของอุณหภูมิจะเหมาะสำหรับการนำเอาอุปกรณ์วัดความต้านทานไปใช้ในช่วงอุณหภูมิ  $-40$  องศาเซลเซียส ถึง  $125$  องศาเซลเซียส ตามคุณสมบัติทางความต้านทานของอุปกรณ์จำพวกเทอร์มิสเตอร์จะมีลักษณะคล้ายกับคุณสมบัติทางความต้านทานของอุปกรณ์วัดความต้านทานคือ เมื่ออุณหภูมิที่ตัวมันสูงขึ้นจะมีผลทำให้ความต้านทานลดลง จากรูปที่ 3.3 จะเห็นว่าเทอร์มิสเตอร์จะต่อเพื่อแบ่งแรงดันไฟฟ้า (voltage divider) กับความต้านทานอินพุทของอุปกรณ์วัดความต้านทาน ซึ่งในทางปฏิบัติเราจะใช้เทอร์มิสเตอร์ที่ติดกับอุปกรณ์วัดความต้านทานทำให้อุณหภูมิของเทอร์มิสเตอร์เปลี่ยนแปลงไปพร้อมกันทำให้แรงดันตกคร่อมอุปกรณ์วัดความต้านทานมีค่าคงที่

วิธีการชดเชยผลเนื่องจากอุณหภูมิแบบที่ 3 ดังในรูปที่ 3.3 จะเห็นว่าประกอบด้วย

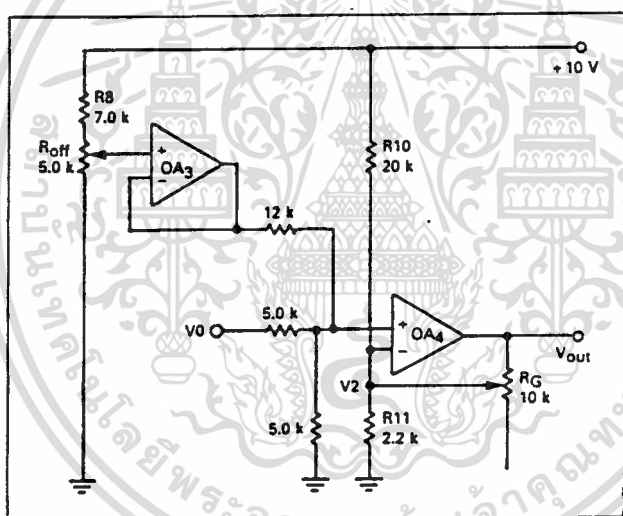
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แหล่งจ่ายกระแสกับความต้านทานที่จะนำมาต่อขนานกับอุปกรณ์วัดความดัน (เพื่อทำให้แรงดันระหว่างขาคินทของอุปกรณ์วัดความดันใหม่มีขนาดคงที่)

### การชดเชยผลของอุณหภูมิ และการปรับออฟเซ็ท (OFFSET)

การชดเชยผลเนื่องจากอุณหภูมิ และการปรับออฟเซ็ท ซึ่งแสดงในรูปที่ 3.5 โดยใช้  $R_S$  เป็นตัวชดเชยผลของอุณหภูมิให้อุปกรณ์วัดความดันที่ไต่จากหัวข้อที่แล้ว ส่วนการปรับออฟเซ็ท จะประกอบด้วย ออฟแอมป์ (OP-AMP) จำนวน 2 ตัว โดยออฟเซ็ทตัวแรก ( $OA_1$ ) จะเป็นวงจรแบบ DIFFERENTIAL AMPLIFIER ส่วนออฟแอมป์ตัวที่ 2 ( $OA_2$ ) จะคือเป็นวงจรแบบ INVERTING AMPLIFIER เพื่อกลับเฟสสัญญาณที่มาจากวงจร DIFFERENTIAL AMPLIFIER



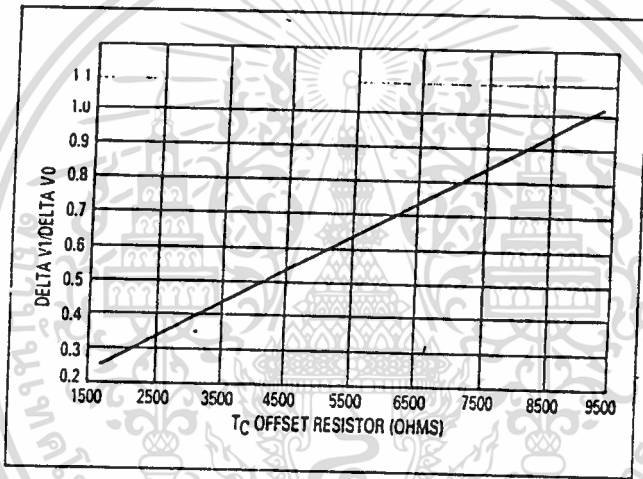
รูปที่ 3.5 Temperature and Offset Calibration Circuit

จากรูปที่ 3.5 ข้างบน เมื่อเราจ่ายแรงดันไฟฟ้าขนาด 3 โวลต์ ระหว่างขา - ขูทของอุปกรณ์วัดความดัน เมื่อเราใช้แหล่งจ่ายไฟฟ้า (Power Supply) ที่จ่ายแรงดันไฟฟ้าขนาด 10 โวลต์ จากหลักการชดเชยผลของอุณหภูมิเราต้องเลือกค่า  $R_S = 1 K\Omega$  หรือประมาณ 4 เท้า ของความต้านทานอินทของอุปกรณ์วัดความดัน. ซึ่งในสภาวะนี้เราจะได้ว่า แรงดันไฟฟ้าที่ขา 2 และ ขา 4 ของอุปกรณ์วัดความดันที่มีค่าประมาณ 1 โวลต์เมื่อเทียบกับกราวด์ - เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนการแบ่งแรงดันไฟฟ้า (voltage divider) ที่  $V_4 = 1.1$  โวลต์หรือมีค่าสูงกว่า  $V_1$  เล็กน้อยเพื่อใช้ในการชดเชยผลของอุณหภูมิ (เมื่ออุณหภูมิเพิ่ม แรงดัน  $V_1$  จะเพิ่มตามไปด้วย) ส่วน  $R_T$  ใช้สำหรับในการชดเชยค่าแรงดันไฟฟ้า  $V_1$  (เมื่ออุณหภูมิเปลี่ยนไป) ซึ่งเราหาได้จากสูตร

$$R_T = \left( \frac{\Delta V_1 * R_5}{\Delta V_0} \right) - \frac{R_1 * R_2}{R_1 + R_2}$$

หรือสามารถหาได้จากตารางในรูปที่ 8 ข้างล่าง



รูปที่ 3.6 เป็นกราฟที่แสดงการหาค่าความต้านทานที่จะนำมาปรับออฟเซตเนื่องจากผลของอุณหภูมิ

เมื่อ

$$V_1 = \text{แรงดันไฟฟ้า } V_1 \text{ (ที่อุณหภูมิสูงสุดที่ใช้งาน) ลบด้วย แรงดันไฟฟ้า (ที่อุณหภูมิต่ำ)}$$

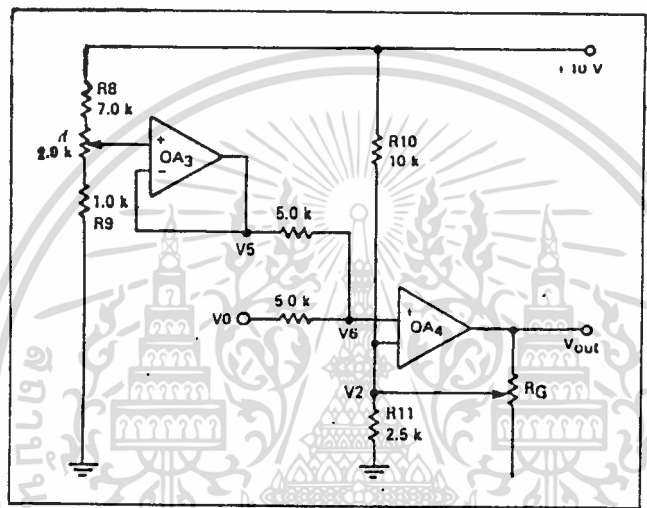
หรือ

$$V_1 = V_1(t_{\max}) - V_1(t_{25^\circ\text{C}})$$

$$V_0 = V_0(t_{\max}) - V_0(t_{25^\circ\text{C}})$$

จากรูปที่ 3.5 ถ้าเราเอาอุปกรณ์ที่มีความถี่ไม่ใช้งานในช่วงอุณหภูมิ 0 ถึง 80 องศาเซลเซียส ซึ่งจะมีค่า  $\frac{\Delta V_1}{\Delta V_0}$  ประมาณ 0.5 ดังนั้น ในรูปที่ 3.5 จะมีค่าประมาณ 4.2 กิโลโอม

ในรูปที่ 3.7 เป็น วงจรปรับแต่ง ( calibration stage ) ที่ 2 โดยประกอบด้วย ขั้วออฟแอมป์ 3 และ 4 (  $OA_3$  กับ  $OA_4$  )

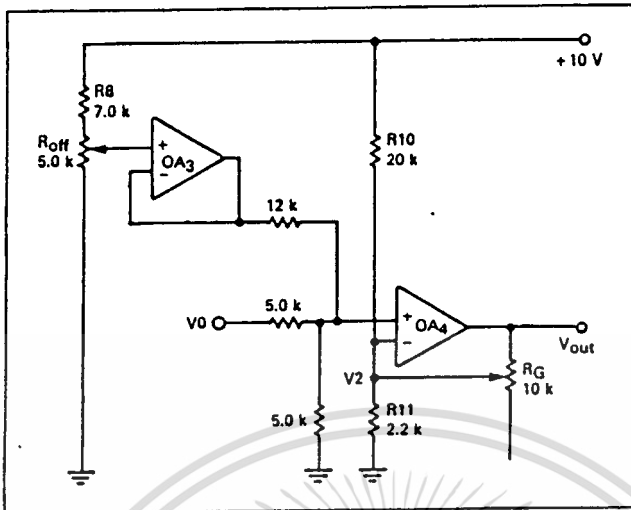


รูปที่ 3.7 แสดงการต่อวงจรการ CALIBRATION ให้แก่วงจรในรูปที่ 3.5

ซึ่งออฟแอมป์ตัวที่ 4 (  $OA_4$  ) ใช้ในการปรับอัตราขยาย ( gain ) ของวงจรโดยการปรับค่า  $R_G$  โดยสังเกตที่ขั้วของออฟแอมป์ 4 ได้จากผลรวมของ (เอาท์พุทจากรูปที่ 7) กับ  $V_5$  (แรงดันออฟเซต) ส่วนออฟแอมป์ 3 (  $OA_3$  ) ใช้เป็นตัวแยกวงจร ( buffer ) ในส่วนการแบ่งแรงดันไฟฟ้า (  $R_8, R_9, R_{off}$  ) กับ  $V_5$

หลักการปรับแรงดันออฟเซต คือ เราต้องปรับให้ไม่มีกระแสไหลผ่าน  $R_G$  ก็ให้  $V_6 = V_{out}$  หรือ  $V_{out} = V_2$  และฉนวนการแบ่งแรงดันเอาท์พุทเป็น 2 โวลต์ ที่ความถี่ที่วัดคือเป็น 0 และ 4 โวลต์ ที่ความถี่สูงสุด แต่ฉนวนการแบ่งแรงดันเอาท์พุท เปลี่ยนแปลงจากค่าต่ำสุด  $V_{dc}$  และสูงสุด  $V_{dc}$  เราจะต่อดังรูปที่ 3.8 ข้างล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงการต่อวงจรปรับแรงดันเอาต์พุตให้โตกตามต้องการ  
เมื่อความดันเป็นศูนย์

### 3.2) การเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิทัล ( Analog to Digital )

เนื่องจากรูปแบบของสัญญาณไฟฟ้าที่เราพบเห็นและคุ้นเคยในชีวิตประจำวันจะอยู่ในรูปแบบของสัญญาณไฟฟ้าที่ต่อเนื่อง หรือ เรียกว่า สัญญาณอนาลอก (Analog signal) ซึ่งแต่เดิมการเอาสัญญาณไฟฟ้าดังกล่าวมาประมวลผล (processed) ใช้ในรูปแบบที่เป็นประโยชน์จะกระทำในรูปแบบอนาลอก แต่เมื่อเทคนิคการเก็บ, สื่อสารข้อมูล และแสดงผลกระทำกระทำใ้กายและมีประสิทธิภาพสูงกว่า จึงเกิดการเปลี่ยนรูปแบบของสัญญาณ (conversion) จึงมีความสำคัญมากขึ้น จากสัญญาณอนาลอกที่มีอยู่ตามธรรมชาติถูกเปลี่ยนมาเป็นสัญญาณดิจิทัล หรือ

วิธีการแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog to Digital) ที่นิยมใช้

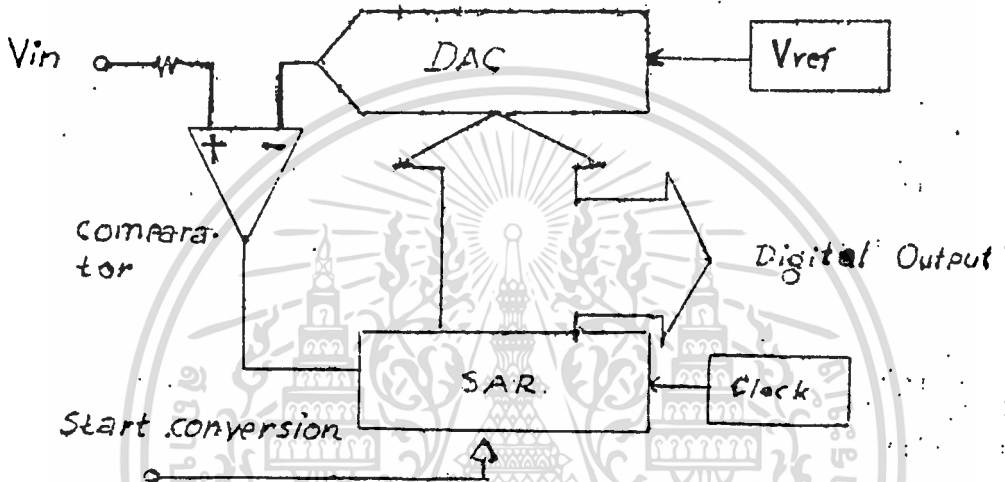
มี 2 แบบคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

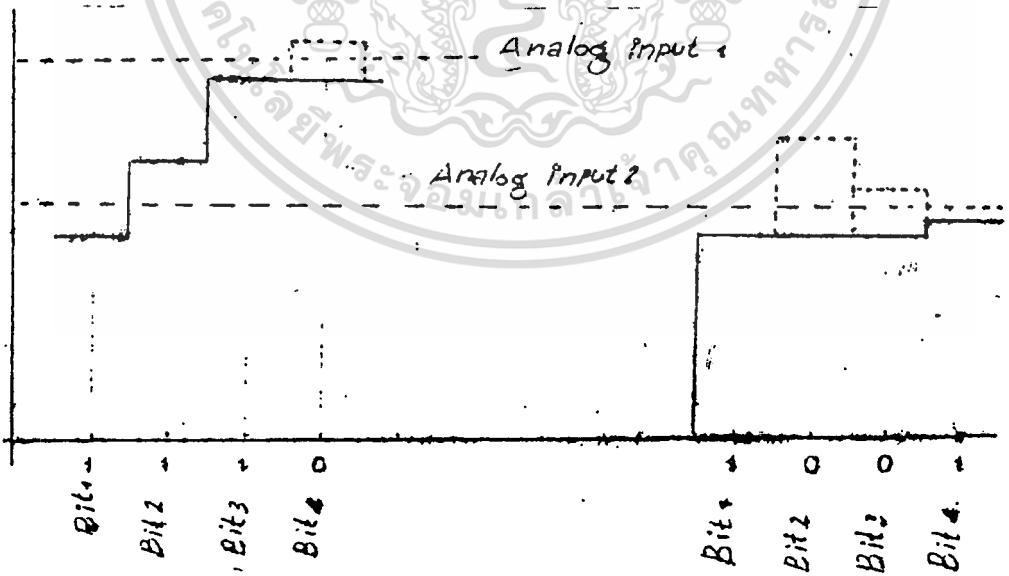
- 1) แบบประมาณ (sucessive approximation)
- 2) แบบอินทิเกรต (integrating)

การแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลแบบประมาณ (sucessive approximation )

วงจร ADC แบบนี้เป็นเทคนิคที่ได้รับความนิยมในการประยุกต์ที่ต้องการ ความเร็วสูง และปานกลาง การจืทวงจรแสดงไว้ในบล็อกไดอะแกรมในรูปข้างล่าง



รูปที่ 3.9 บล็อกไดอะแกรมของ Sucessive Appoximation converter



รูปที่ 3.10 timing diagram ของ SAR

จากไทม์มิงโคดแกรม (timing diagram) ของ ADC ข้างบนแสดงตัวอย่าง การแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิทัล 2 ตัวอย่างโดยให้  $r$  เป็นบิตสูงสุด (most significant bit) และ  $l$  เป็นบิตต่ำสุด (last significant bit) จากบล็อก โคดแกรม (block diagram) เมื่อมีสัญญาณนาฬิกา (clock)  $\phi$  เข้ามา  $r$  ถูก จะทำให้ บิตสูงสุดของ SAR เป็น  $r$  โดยอีก 3 บิตที่เหลือยังเป็น 0 อยู่ จากนั้นเอาท์พุท (output) ของ SAR จะถูกส่งไปยังวงจรในส่วนที่เปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณอนาลอก เพื่อเอา output เป็นสัญญาณอนาลอกไปเปรียบเทียบกับสัญญาณอนาลอกอินพุท ถ้าผลการ เปรียบเทียบที่คอมพาราเตอร์ปรากฏว่าสัญญาณอนาลอกเอาท์พุท (output) ของวงจร เปลี่ยนสัญญาณดิจิทัลเป็นสัญญาณอนาลอกมีค่าน้อยกว่าอินพุทจะได้อาท์พุทของคอมพาราเตอร์ เป็น  $r$  แต่ตรงกันข้ามคือ สัญญาณอินพุทน้อยกว่าจะได้อาท์พุทของคอมพาราเตอร์เป็น 0 จาก นั้นจะทำการทดสอบบิตถัดไป โดยทำให้เป็น  $r$  หากผลรวมของสองบิตมีค่ามากกว่าอินพุทจะทำให้ SAR นั้นถูกเซตให้เป็น 0 แต่ถ้ายังน้อยกว่าก็จะให้บิตที่กำลังทดสอบอยู่เป็น  $r$  แล้วทำการทดสอบ บิตถัดไปจนครบทุกบิต

วงจรแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (ADC) แบบนี้สามารถทำงานได้ 2 โหมด (mode) คือ โหมดการทำงานแบบอิสระ (Free running) และโหมดการทำงานแบบต้อง รอคำสั่ง start conversion จากภายนอก

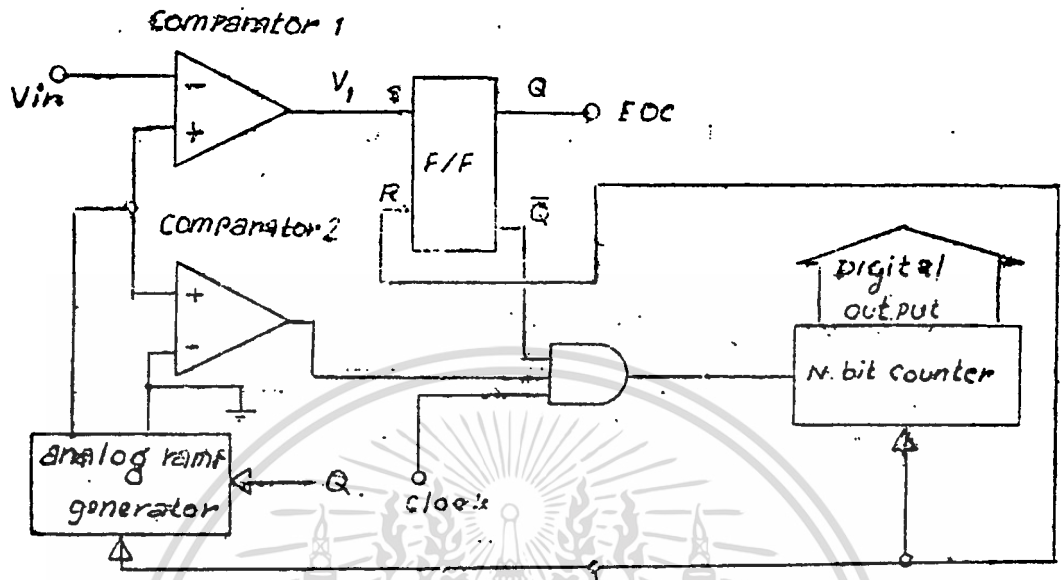
ข้อเสียของวงจรแบบนี้คือ ในช่วงที่กำลังเปลี่ยนสัญญาณ (conversion) สัญญาณอินพุท ต้องมีค่าคงที่ และความเที่ยงตรงของวงจรแบบนี้ขึ้นอยู่กับแรงดันอ้างอิง และวงจรแปลงสัญญาณ ดิจิทัลเป็นสัญญาณอนาลอก (DAC) ซึ่งรวมอยู่ในชิป (chip) เดียวกัน

### การแปลงสัญญาณอนาลอกเป็นสัญญาณดิจิทัลแบบอินทิเกรท (Integrating

#### ADC

หัวใจสำคัญของวงจร ADC แบบนี้คือ วงจร Integrating ซึ่งเทคนิคแบบนี้จะใช้สัญญาณ ramp แบบต่อเนื่องแทนสัญญาณแบบขั้นบันไดจาก DAC ซึ่งเทคนิคแบบนี้แบ่งตามการทำงานได้ 2 แบบ คือ การแปลงสัญญาณแบบใช้ความชันเดียว (single slope convert) และแบบ ใช้ความชัน 2 อัน (dual slope convert )

1) การแปลงสัญญาณ A/D แบบใช้ความชันเดียว (Single slope converter)



รูปที่ 3.11 Single slope converter

สัญญาณต่อเนื่องแบบ แรมป์ (ramp) จะใช้เป็นแรงดันอ้างอิงที่เพิ่มขึ้นอย่างคงที่ จากค่าต่ำกว่าศูนย์เล็กน้อยจนถึงค่าสูงกว่าค่าเต็มสเกลเล็กน้อย ซึ่งเวลาที่ใช้ในการสแกนของสัญญาณ n ramp จากศูนย์ถึงค่าแรงดันอินพุตและจะสัมพันธ์กับแรงดันอินพุต

การแปลงสัญญาณจะเริ่มจากสัญญาณ start conversion ซึ่งจะทำการรีเซ็ต (reset) ไบนารีเคาน์เตอร์ (binary counter) และเริ่มสร้างสัญญาณแรมป์ จากแรงดันที่ต่ำกว่าศูนย์โวลต์ เมื่อแรงดันผ่านศูนย์โวลต์จะไดเออร์พุทของคอมพาราเตอร์ 2 เป็นไฮ (high) เพื่อเปิดเกตแล้วปล่อยให้สัญญาณ clock ของไบนารีเคาน์เตอร์จะทำให้ไบนารีเคาน์เตอร์ทำการนับไปจนกระทั่งสัญญาณแรมป์มีค่าเท่ากับแรงดันอนาล็อกอินพุต (Vin) ซึ่งในเวลานี้ไดเออร์พุทของคอมพาราเตอร์ 1 จะเป็น high ซึ่งจะเปิดเกตไม่ให้เป็นสัญญาณ clock ของเคาน์เตอร์ จำนวนพัลส์ที่เข้า clock ของเคาน์เตอร์จะเป็นสัดส่วนกับแรงดันอินพุต

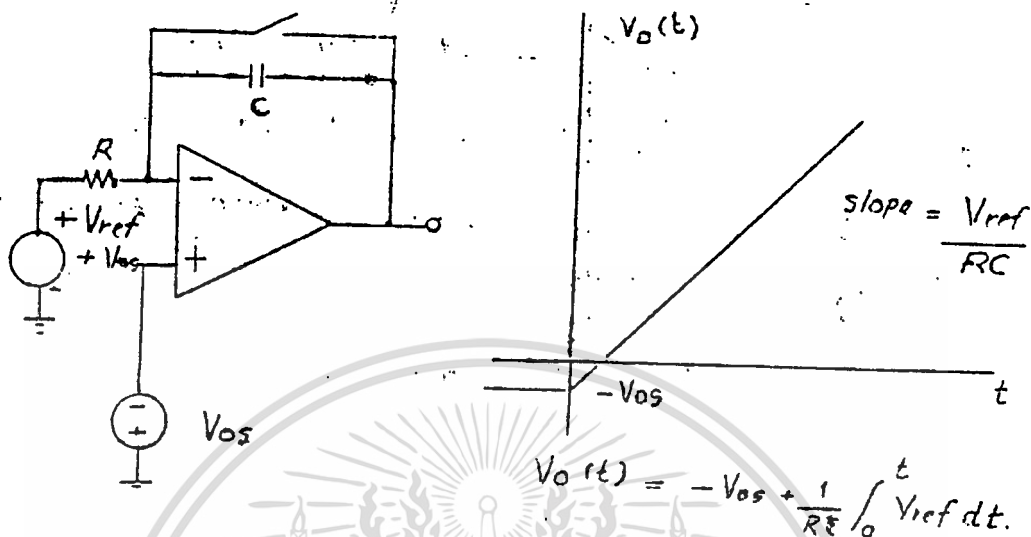
จากสูตร

$$S = KT$$

เมื่อ S : เป็นสโลปของสัญญาณแรมป์ซึ่งจะมีค่าคงที่ มีหน่วยเป็นโวลต์ต่อวินาที

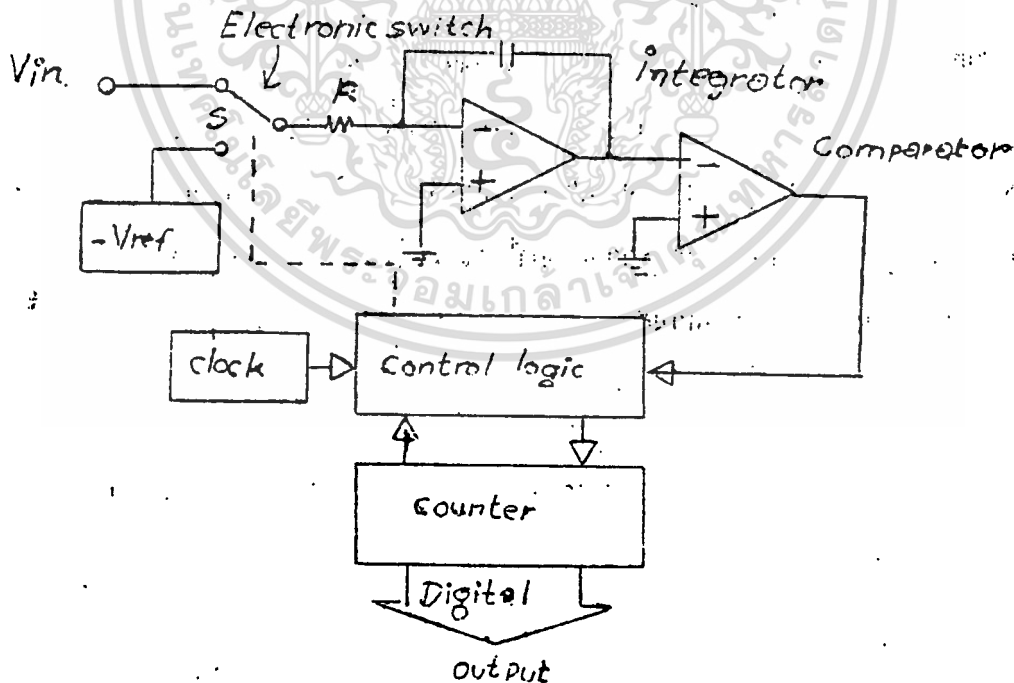
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

T : เป็นจำนวนคี่ในเกจเทอร์หารด้วยความถี่ของสัญญาณนาฬิกา (clock)

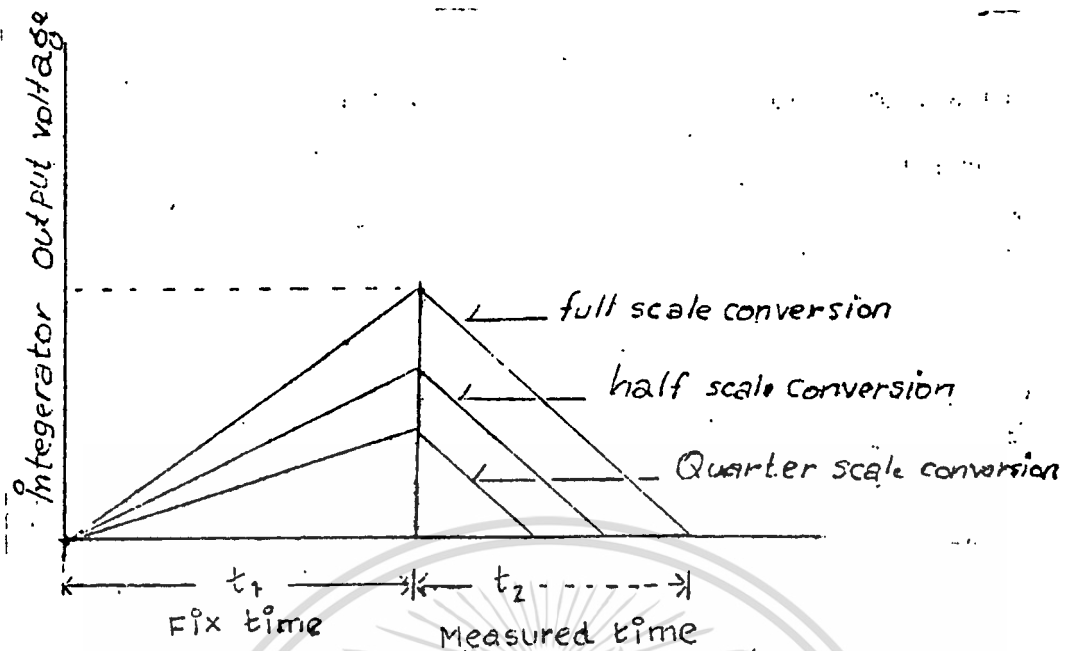


รูปที่ 3.12 วงจร ramp voltage generator

2) การแปลงสัญญาณ ADC แบบใช้ความชัน 2 ชั้น (dual slope convert)



รูปที่ 3.13 บล็อกไดอะแกรมของ Dual Slope ADC



รูปที่ 3.14 ก. บล็อกโคจรแตรมของ dual slope ADC

ข. รูปคลื่นเอาต์พุต

จากรูปข้างบน เวลา  $t_1$  จะเป็นช่วงเวลาที่ถูกออกแบบให้มีค่าแน่นอนคงที่ ซึ่งในช่วงเวลานั้นอินพุตจะต่อเข้ากับวงจรในส่วนอินทิเกรเตอร์ (integrator) โดยผ่านสวิตช์ S ซึ่งทำให้เอาต์พุตที่อินทิเกรต  $V_{int}$  เป็นรูปสัณฐานแบบจะเพิ่มขึ้นทางบวก และสโลป (slope) ขึ้นอยู่กับขนาดของ  $V_{in}$  จนกระทั่ง  $V_{int}$  ถึงค่าหนึ่งเมื่อสิ้นสุดเวลา  $t_1$

ในช่วงเวลา  $t_2$  อินพุตจะถูกตัดออกจากวงจรอินทิเกรเตอร์และต่อเข้ากับแรงดันอ้างอิงซึ่งจะมีค่าเป็นลบ เข้ากับอินพุตของวงจรอินทิเกรเตอร์ โดยการควบคุมทางลอจิก ซึ่งในลักษณะเช่นนี้จะทำให้  $V_{int}$  ลดลงด้วยสโลปคงที่จากการคายประจุผ่านแรงดันอ้างอิงที่ต่อกลับเข้าอยู่ และในช่วงการเริ่มต้นของเวลา  $t_2$  ค่าเคอร์รี่จะถูกรีเซ็ตและเริ่มนับจนค่าของแรงดันที่ตกคร่อม  $V_{int}$  มีค่าลดลงถึงศูนย์ทำให้เอาต์พุตของคอมพาราเตอร์เปลี่ยนสถานะไปเพื่อไปบอกให้ส่วนควบคุมลอจิกให้ควบคุมค่าเคอร์รี่ให้หยุดนับและเอาต์พุตของค่าเคอร์รี่จะถูกแปลงเป็นรหัสดิจิทัล ความสัมพันธ์ของช่วงเวลากับแรงดันอินพุต (input) จะเป็นไปตามสมการ

$$t_2 = t_1 * \frac{V_{in}}{V_{ref}}$$

ดังนั้นรหัสดิจิทัลที่แสดงค่า  $t_2$  จะเป็นการแสดงค่าอัตราส่วนของแรงดันอินพุตต่อแรงดัน

อ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

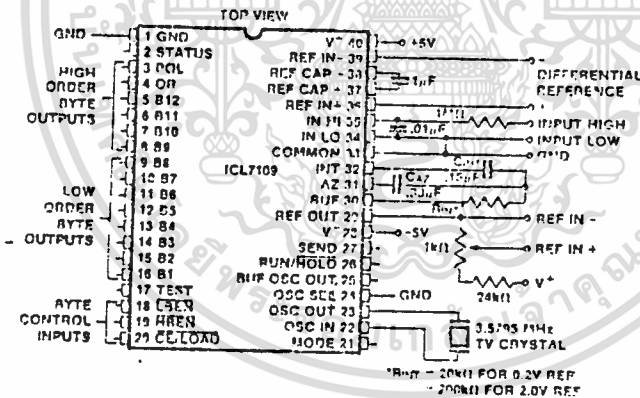
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของวงจรแปลงสัญญาณแบบนี้คือ ความแม่นยำซึ่งไม่ขึ้นกับสเปกตรัมของสัญญาณ clock และค่าของตัวเก็บประจุแต่ละตัวขึ้นอยู่กับความถี่ของแรงดันอ้างอิงและค่าเป็นเชิงเส้นของวงจรอินทิเกรเตอร์ นอกจากนี้ยังสามารถกำจัดสัญญาณรบกวนด้วยตัวเองได้ โดยการเลือกให้  $t_1$  มีขนาดเท่ากับเวลาของสัญญาณรบกวน เช่น ในการกำจัดสัญญาณ 50 Hz จะใช้ค่า  $t_1 = 20 \text{ ms}$

ข้อเสียของวงจรแปลงสัญญาณแบบนี้คือ จะมีความเร็วในการแปลงสัญญาณที่ช้ากว่าค่าที่นิยมใช้กับเครื่องวัดเพราะไม่มีความเร็ว เช่น  $DIM$  เป็นต้น

ICL 7109 12 bit Binary A/D Converter

ICL7109 เป็นอุปกรณ์แปลงสัญญาณอนาลอกเป็นสัญญาณแบบดิจิทัลที่ออกเป็นเลขไบนารี 12 บิต ( ICL7109 12 bit Binary A/D converter )



(OUTLINE DWOS DL, JL, PL)

รูปที่ 3.15 แสดงลักษณะการต่อขาของไอซี ICL 7109 ใช้งาน

รายละเอียดการทำงานแต่ละขาของไอซี

<u>ขาที่(PIN )</u>	<u>สัญลักษณ์(SYMBOL )</u>	<u>รายละเอียด(DESCRIPTION)</u>
--------------------	---------------------------	--------------------------------

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาต  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาที่(PIN )

สัญลักษณ์( SYMBOL ) รายละเอียด(DESCRIPTION)

<u>ขาที่(PIN )</u>	<u>สัญลักษณ์( SYMBOL )</u>	<u>รายละเอียด(DESCRIPTION)</u>
		Ground )
2	STATUS	-เป็นขาแสดงสถานะของการเปลี่ยนสัญญาณ อนาลอกเป็นสัญญาณดิจิทัล ถัดสถานะของขา นี้เป็นแรงดันไฟฟ้าบวก (high) แสดงว่า ไอซีกำลังทำงานอยู่ในช่วงพักแค่ ช่วงอินทิ- เกรท(Integrate), ที่อินทิเกรท(De- integrate) จนถึงช่วงหน่วง(delay) ข้อมูลตามลำดับ ส่วนถ้าสถานะของขานี้เป็น 0(Low) แสดงว่าไอซีกำลังทำงานอยู่ใน ช่วงออโต้ซีโร (Auto - Zero )
3	POL	-เป็นขาแสดงสถานะของอินพุตถ้าเป็นบวก สถานะของขานี้จะเป็น 5 โวลต์
4	OR	-ถ้าสัญญาณอินพุต(ที่จะเปลี่ยนสัญญาณอนาลอก เป็นสัญญาณดิจิทัล) เกินอัตราของตัวมัน(O- verrange) จะทำให้สัญญาณที่ขานี้เป็น 5 โวลต์
5-16	B12 - B1	-เป็นขาแสดงค่าของเอาต์พุต
17	TEST	-ถ้าเราจ่ายไฟ 5 โวลต์ที่ขานี้จะใช้ในกรณี ที่เราให้ไอซีทำการเปลี่ยนสัญญาณอนาลอก เป็นดิจิทัล แต่ถ้าเราต่อขานี้ลงกราวด์จะ ใช้ในกรณีเราต้องการทดสอบเอาต์พุต ซึ่ง ซึ่งจะทำให้เอาต์พุตทุกบิตเป็น 5 โวลต์
18	LBEN	-เป็นขาควบคุมการแสดงค่าเอาต์พุตไบท์ต่ำ ( Low Byte ) โดยขานี้จะทำงาน ที่แรงดันต่ำ(LOW VOLTAGE) ถ้าขาโหมด (mode ขาที่ 21)มีสถานะเป็นโล(Low)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่สามารถนำไปใช้ประโยชน์ด้านการค้า  
และขา CE/LOAD (ขาที่ 20) เป็นโลและขา  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งยังมีให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>ขาที่(PIN)</u>	<u>สัญลักษณ์(SYMBOL)</u>	<u>รายละเอียด(DESCRIPTION)</u>
		-ผลของเอาต์พุต ถ้าขาที่ถูกต่อกับไฟ 5 โวลต์ จะเป็นการเลือกโหมดการทำงานแบบไทม์ชา $\overline{CB}/LOAD$ , $\overline{HBEN}$ , $\overline{LBEN}$ ทำงานเป็นชาแสดงสถานะของเอาต์พุต ในโหมดของการยอมรับ(handshake mode )
22	OSC IN	-เป็นขาอินพุตของวงจรรอสซิเลเตอร์ ( Oscillator Input)
23	OSC OUT	-เป็นขาเอาต์พุตของวงจรรอสซิเลเตอร์ (Oscillator Output)
24	OSC SEL	-เป็นขาสำหรับเลือกโหมดการใช้งานของวงจรรอสซิเลเตอร์(Oscillator Select) ถ้าขาที่ถูกต่อกับไฟ 5 โวลต์ จะเป็นการเลือกใช้งานจรรอสซิเลเตอร์แบบผลัดจาก RC ถ้าขา OSC SEL ถูกต่อกับกราวด์จะเป็นการเลือกใช้งานจรรอสซิเลเตอร์แบบผลัดจากวงจรถักคริสตอล (Crystal) ซึ่งความถี่ที่นำมาใช้งานจะเท่ากับ ความถี่ของวงจรถักคริสตอลที่ได้จากวงจรถักคริสตอล
25	BUF OSC OUT	-เป็นส่งจรแยกวงจรรอสซิเลเตอร์ออกจากวงจรถ่างๆ(Buffer Oscillator Output)
26	RUN/ $\overline{HOLD}$	-เป็นขาที่ใช้ในการควบคุมการเปลี่ยนสัณฐานอนาล็อกเป็นสัณฐานดิจิทัลโดยเราต่อขานี้กับไฟ 5 โวลต์ จะทำให้สารเปลี่ยนแปลงของสัณฐานกระทำอยู่ตลอดเวลาแต่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่มีผู้ญาติเห็นมาใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาที่(PIN)	สัญลักษณ์(SYMBOL)	รายละเอียด( DESCRIPTION)
19	$\overline{\text{HBEN}}$	-นี้เป็นโถจะทำให้เอาต์พุต Low Byte แสดงออกมา ถ้าขาโหมดนี้เป็นไฮ,ขานี้จะใช้เป็นขาแสดงสถานะของข้อมูลเอาต์พุตของบิตค่า ซึ่งจะใช้ในโหมดการตอบรับ(handshake )ในการรับการส่งข้อมูลแบบอนุกรม
20	$\overline{\text{CE/LOAD}}$	-เป็นขากควบคุมการแสดงผลออกเอาต์พุตของไบต์สูง(High Byte Enable) ถ้าขาโหมด,ขา $\overline{\text{CE/LOAD}}$ และขานี้เป็นโถจะทำให้ข้อมูลบิต B1-B12, POL และขาOR ถูกแสดงออกมา แต่ขาโหมดเป็นไฮจะทำให้ขาใช้เป็นขาแสดงสถานะของข้อมูลในไบต์สูงซึ่งใช้ในโหมดของการตอบรับ(handshake mode)
21	MODE	-เป็นขาซีพอนาเบิลโหมด(Chip Enable Load ) ถ้าขาโหมด(ขาที่21)เป็นโถจะทำให้ขา $\overline{\text{CE/LOAD}}$ นี้ทำงานควบคุมข้อมูลที่ออกเอาต์พุตโดยขาอื่นต่อกับไฟ 5 โวลต์ จะไม่ทำให้เอาต์พุต B1-B12 หรือ POL และขาOR แสดงออกมา(disable) ถ้าขาโหมดต่อกับไฟ 5 โวลต์จะทำให้ขาทำงานเป็นขาตอบรับ(strobe) ในโหมดของการตอบรับ(handshake ) -ถ้าขาถูกต่อกับกราวด์จะเป็นการเลือกโหมดการทำงานแบบให้ขา $\overline{\text{CE/LOAD}}$ (ขา 20),ขา $\overline{\text{HBEN}}$ (ขา19),ขา $\overline{\text{LBEN}}$ (ขา18) ทำงานเป็นขาอินพุตควบคุมการแสดงผล

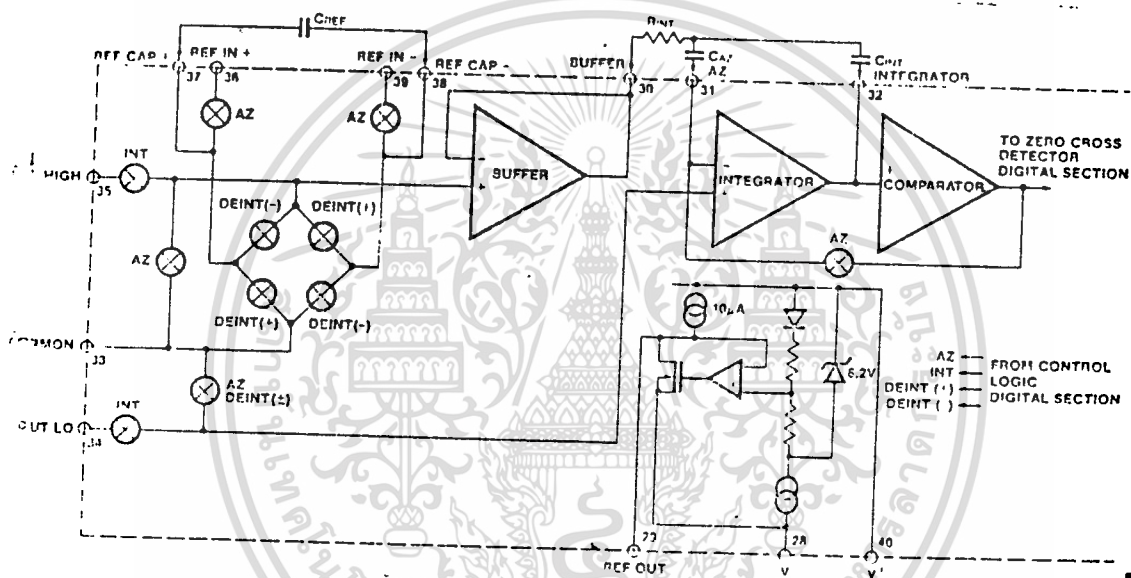
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่สามารถนำออกจำหน่ายหรือทำซ้ำโดยไม่ได้รับอนุญาต  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<u>ขาที่(PIN)</u>	<u>สัญลักษณ์(SYMBOL)</u>	<u>รายละเอียด(DESCRIPTION)</u>
		-ถ้าเราต่อขาเข้ากับกราวด์จะทำให้ไอซีหยุดการเปลี่ยนแปลงสัญญาณ(เมื่อจบขบวนการเปลี่ยนสัญญาณแล้ว) โดยจะอยู่ในช่วงออโต้ซีโร(Auto-Zero Phase)
27	SEND	-เป็นขาสัญญาณที่ใช้รับการตอบรับจากอุปกรณ์อื่น
28	V <sup>-</sup>	-เป็นขาที่ใช้ป้อนแหล่งจ่ายไฟฟ้าลบแก่วงจรในส่วนอนาล็อก( Analog Negative Supply)
29	REF OUT	-เป็นแรงดันอ้างอิง(Reference voltage output) ที่ได้จากไอซีนี้เพื่อใช้ในวงจรอื่น
30	BUFFER	-เป็นเอาต์พุตของวงจรแยกสัญญาณอินพุตกับสัญญาณที่จะเข้าวงจรอินทิเกรท(Buffer Amplifier output)
31	AUTO-ZERO	-เป็นจุดออโต้ซีโร(Auto-Zero Node)
32	INTEGRATOR	-เป็นเอาต์พุตของวงจรอินทิเกรท(จากรูปวงจรในส่วนอนาล็อก)
33	COMMON	-เป็นขาร่วมของวงจรในส่วนอนาล็อก( Analog common ) ซึ่งเป็นขาที่ใช้อ้างอิงกับสัญญาณอินพุตของวงจรในส่วนอนาล็อก
34	INPUT LO	-เป็นขาอินพุตทางด้านแรงดันไฟฟ้าต่ำ(Differential Input Low Side)
35	INPUT HI	-เป็นขาอินพุตทางด้านแรงดันไฟฟ้าบวก(Differential Input High Side)
36	REF IN +	-เป็นขาแรงดันอ้างอิงบวก(Reference Input Positive)
37	REF CAP +	-เป็นขาที่จะต่อกับคาปาซิเตอร์เพื่อใช้เป็นแรงดันอ้างอิงในช่วงที่อินทิเกรท

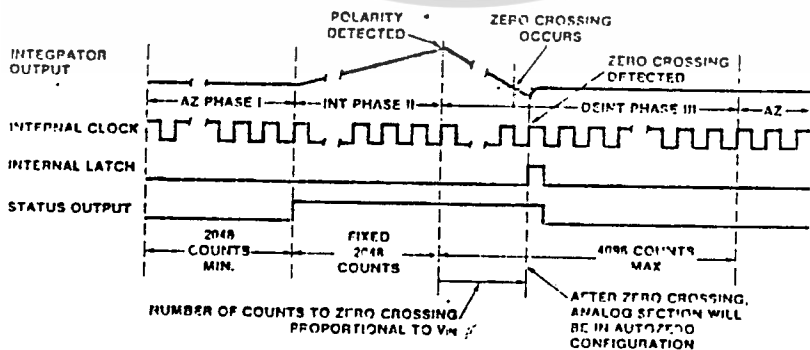
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิน (PIN)	สัญลักษณ์ (SYMBOL)	รายละเอียด (DESCRIPTION)
38	REF CAP -	-เป็นขาที่จะต่อกับคาปาซิเตอร์เพื่อใช้เป็นแรงดันอ้างอิงลบในช่วงค็อนทรีเกรท
39	REF IN -	-เป็นขาแรงดันอ้างอิงลบ (Reference Input Negative)
40	V <sup>+</sup>	-เป็นแหล่งจ่ายไฟบวกของวงจรในส่วนดิจิทัล

คอล



รูปที่ 3.16 แสดงวงจรเทียบเคียงในส่วนอนาล็อกของ ICL 7109



รูปที่ 3.17 แสดง Conversion Timing เมื่อคอส่า RUN/HOLD

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### อธิบายการทำงานของวงจรในส่วนอนาล็อก(Analog Section)

จากรูปที่ 18 ข้างบนเป็นแอสแตงวงจรเทียบเคียง (equivalent circuit) ในส่วนอนาล็อกของไอซี ICL7109 เมื่อเราก่อขาควบคุม (control) ให้ไอซีนี้ทำการแปลง - สัญญาณอนาล็อกเป็นสัญญาณดิจิทัลตลอดระยะเวลา โดยข้อขา  $\overline{CE/LOAD}$  ของไอซีนี้กับไฟ 5 โวลต์ เราจะแบ่งช่วงเวลาในการเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณเมฆดิจิทัลในหนึ่งรอบการทำงาน (period) โดยแบ่งการทำงานออกได้เป็น 3 ช่วงคือ

- 1) ช่วงออ - ติโร่ (Auto-Zero Phase)
- 2) ช่วงอินที่เกรท (Signal Integrate Phase)
- 3) ช่วงคือนที่เกรท (Deintegrate Phase)

#### ช่วงออ ติโร่ (Auto-Zero Phase)

จากรูปที่ 18 วงจรในส่วนที่เขียนสัญลักษณ์ AZ จะทำงานเป็นสวิตซ์ (Close SW.) ส่วนวงจรที่เขียนสัญลักษณ์ INT, DEINT ทำงานเป็นสวิตซ์เปิด (Open Switch) เพื่อทำการปรับออฟเซต (Offset Voltage) แก่วงจรในส่วนเปรียบเทียบ (Comparator) และในส่วนนี้ยังใช้แรงดันอ้างอิง (Reference Volt) ชาร์จ (Charge) ประจุให้แก่  $C_{ref}$  โดยใช้ AZ เป็นสวิตซ์ต่อ

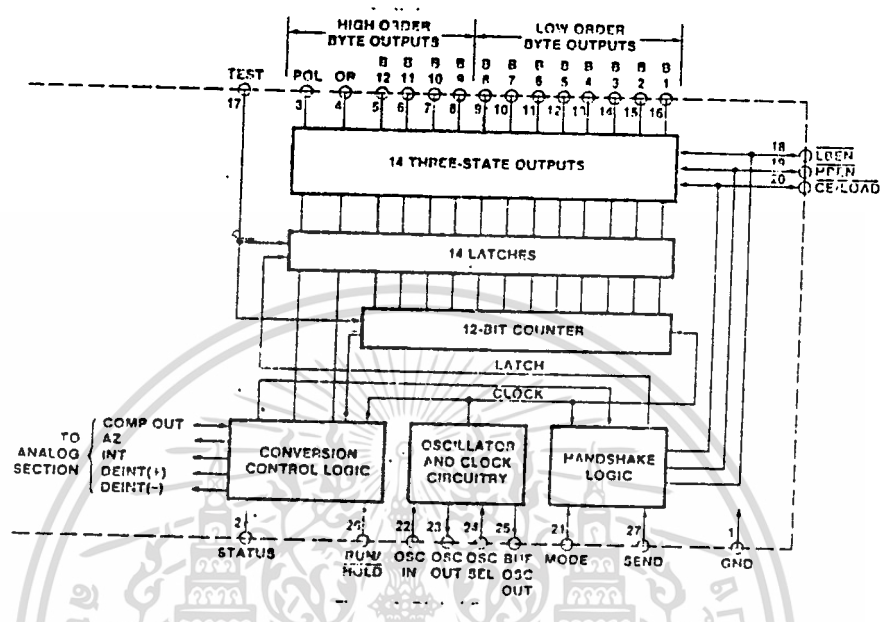
#### ช่วงอินที่เกรท (Signal Integrate Phase)

จากรูปที่ 18, 19 จะได้ว่าวงจรในส่วนที่เขียนสัญลักษณ์ AZ, DEINT จะทำงานเป็น - สวิตซ์เปิด (Open SW.) ส่วนวงจรที่เขียนสัญลักษณ์ INT จะทำงานเป็นสวิตซ์เปิด (Close SW.) ซึ่งการทำงานของไอซีในช่วงนี้จะเป็นการต่อสัญญาณอินพุต เข้ากับวงจรในส่วนอนาล็อกเพื่อทำการชาร์จประจุที่  $C_{int}$  โดยผ่านขั้วเฟออร์, คาชเวลาดังที่ RC (RC time constant) และวงจรในส่วนอินที่เกรท เพื่อออกมาขั้ววงจรเปรียบเทียบแรงดันต่อไป ซึ่งในช่วงนี้จะใช้เวลาคงที่คือ 2048 พัลส์นาฬิกา (Clock Pulse) ส่วนขนาดของประจุที่จะเกิดขึ้นจะมีขนาดขึ้นอยู่กับขนาดแรงดันอินพุต (ที่จะเปลี่ยนสัญญาณ)

#### ช่วงคือนที่เกรท (Deintegrate Phase)

จากรูปที่ 18, 19 จะได้ว่าวงจรในส่วนที่เขียนสัญลักษณ์ AZ, INT จะไม่ทำงาน ส่วนวงจรที่เขียนสัญลักษณ์ DEINT ทำงาน ซึ่งการทำงานของไอซีในช่วงนี้จะเป็นการคายประจุที่  $C_{int}$  (ที่ถูกชาร์จที่ในช่วงอินที่เกรท) ออกไปยัง  $C_{ref}$  ซึ่งต่อเป็นแหล่งจ่ายไฟที่กลับขั้วกับ  $C_{int}$  อยู่ ซึ่งการทำงานในช่วงนี้จะมี การเซต (set) ให้วงจรนับ (Counter) ทำงาน ซึ่งถูกควบคุม

-โดยวงจรควบคุมลอจิก (LOGIC CONTROL) วงจรนี้ก็จะทำการนับไปเรื่อยจน  $C_{int}$  ประจุหมด วงจรควบคุมลอจิกก็จะสั่งให้วงจรนับนี้หยุดทำงาน



รูปที่ 3.18 แสดงวงจรที่เกี่ยวข้องในส่วนดิจิทัลของไอซี ICL 7109

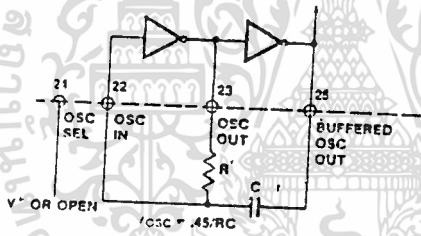
อธิบายการทำงานของวงจรในส่วนดิจิทัล (Digital Section)

วงจรในส่วนดิจิทัลนี้ประกอบด้วย วงจรผลิตความถี่ (Clock Oscillator), วงจรควบคุมลอจิก (Logic Control) วงจรนับเลขฐานสอง 12 บิต (12bit Binary Counter ), วงจรตอบรับแบบลอจิก (Handshake Logic), วงจรควบคุมการแสดงผลของเอาต์พุต (14 Three - State Output)

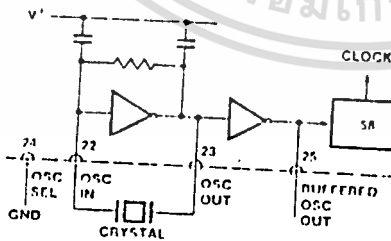
จากรูปที่ 20 ข้างบนจะเห็นว่าวงจรควบคุมการทำงานของไอซีนี้ จะอยู่ในวงจรส่วนดิจิทัล เมื่อเราต้องการให้ไอซีนี้ทำงานเป็นตัวเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณแบบดิจิทัลตามการเปลี่ยนแปลงของอินพุต โดยขอควบคุมการทำงานดังนี้คือ ขา RUN/HOLD ต่อกับไฟ 5 โวลต์ และขา mode, ขา LBEN, ขา HBEN ต่อกับกราวด์ ส่วนขา TEST กับขา SEND ไม่ต้องต่อเพราะมีสถานะพร้อมที่จะทำงานอยู่แล้ว ตอนแรกของการทำงานวงจรควบคุมลอจิกจะส่งสัญญาณควบคุม เพื่อไปควบคุมการทำงานในส่วนอนาล็อก, เช่นค่าเอาต์พุตของวงจรนับให้

อยู่ในสถานะเริ่มต้น ซึ่งแต่ถึงอย่างไรก็ตามการทำงานของวงจรควบคุมลอจิกจะถูกควบคุมโดยไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนาฬิกา (Clock) ที่ผลิตได้อีกทีหนึ่ง ทั้งนี้การทำงานของไอซีจะเร็วหรือช้าจะขึ้นอยู่กับสัญญาณนาฬิกา หลังจากหมดช่วง ออร์โ-ซีโร (Auto - Zero) แล้วจะเข้าช่วงอินทิเกรท (Integrate) โดยวงจรควบคุมลอจิกจะส่งสัญญาณควบคุม ไปควบคุมการทำงานในส่วนอนาล็อกซึ่งช่วงนี้จะใช้เวลาคงที่คือ 2048 พัลส์นาฬิกา (Clock Pulse) หลังจากหมดช่วงอินทิเกรทแล้วก็จะเข้าช่วงดีอินทิเกรท (Deintegrate) โดยวงจรควบคุมลอจิกจะส่งสัญญาณควบคุม INT ไปควบคุมวงจรในส่วนอนาล็อก ซึ่งในช่วงนี้วงจรควบคุมลอจิกจะส่งสัญญาณไปควบคุมวงจรนับให้ทำงานและให้นับไปจนกระทั่งสัญญาณเอาต์พุตของวงจรในส่วนอนาล็อก (เอาต์พุตของวงจรเปรียบเทียบหรือ Comparator Output) เป็น 0 โวลต์จะทำให้วงจรนับหยุดนับ แต่เนื่องจากเราต้องการควบคุมการแสดงผลออกทางเอาต์พุตของไอซี ดังนั้นข้อมูลที่ได้อาจเปลี่ยนสัญญาณอนาล็อกเป็นสัญญาณดิจิทัลจึงถูกแสดงออกมาทางเอาต์พุต



รูปที่ 3.19 แสดงวงจรผลิตความถี่แบบใช้ RC ของ ICL 7109



รูปที่ 3.20 แสดงวงจรผลิตความถี่แบบใช้คริสตัลของ ICL 7109

### วงจรมัลติเพล็กซ์ ( Oscillator )

เนื่องจากไอซีเบอร์เน็ได้ออกแบบใหม่ให้การผลิตความถี่ได้ 2 แบบคือ

- 1) แบบผลิตความถี่จากคริสตัล (Crystal)
- 2) แบบผลิตความถี่จากวงจร RC

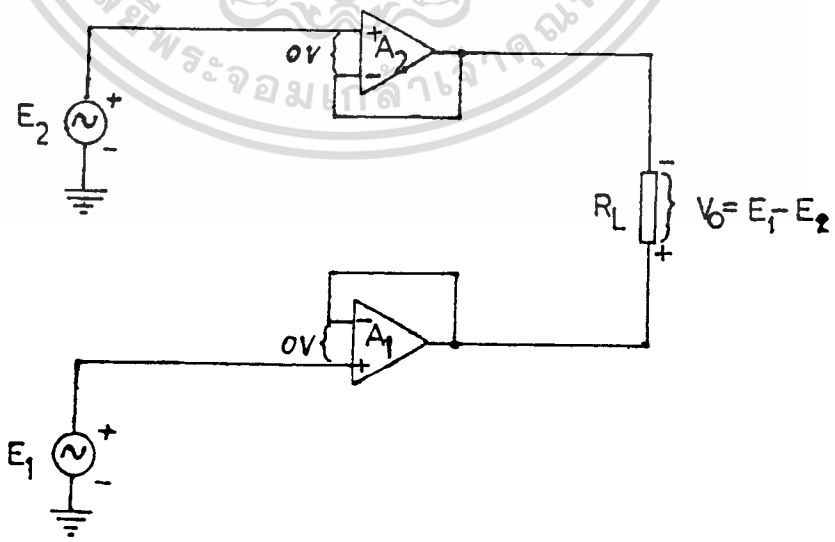
ส่วนการเลือกใช้จะมีขา OSC SWL ใช้เป็นขาเลือกวงจรผลิตความถี่คือ ถ้าขานี้ต่อลงกราวด์แสดงว่าวงจรผลิตความถี่จะใช้คริสตัล แต่ถ้าขานี้ต่อกับไฟ 5 โวลท์ ก็แสดงว่าการผลิตความถี่ใช้จากวงจร RC

### 3.3) วงจรอินสตรูเมนต์ชัน (Instrumentation)

วงจรมัลติเพล็กซ์ที่เราใช้ส่วนใหญ่เป็นวงจรมัลติเพล็กซ์ แต่ข้อเสียใหญ่ของวงจรมัลติเพล็กซ์มี 2 ประการคือ

- 1) ความต้านทานอินพุตต่ำ (Input Impedance)
- 2) เปลี่ยนอัตราขยาย (Gain) ได้ยาก

การแก้ไขให้ความต้านทานอินพุตของวงจรมัลติเพล็กซ์มีค่าสูงขึ้น โดยการเพิ่มออฟ-แอมป์อีก 2 ตัว ดังรูปข้างล่าง

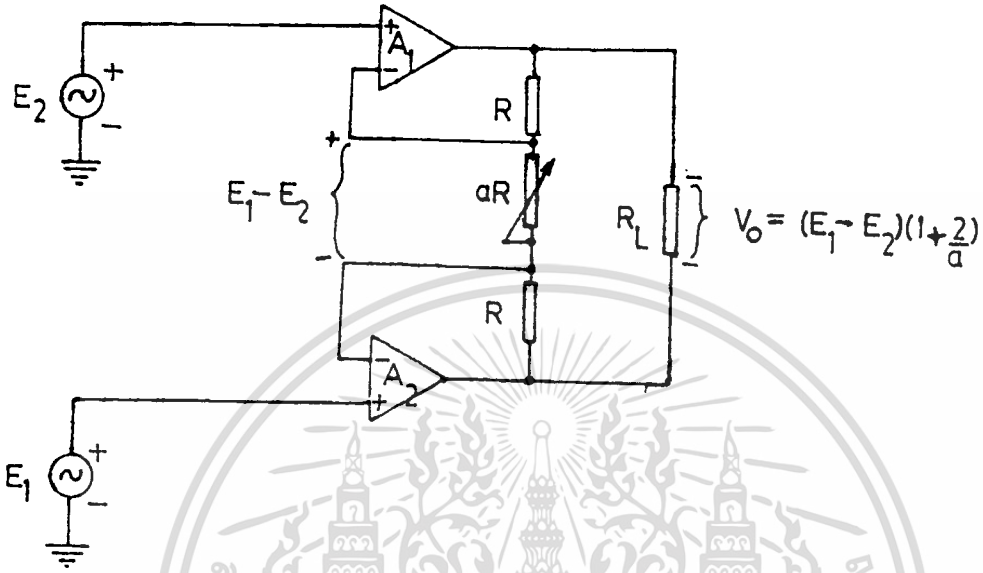


รูปที่ 3.21 แสดงวงจรการปรับปรุงความต้านทานอินพุตของวงจร

-คิฟเฟอเรนเชียล แอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การแก้ไขปัญหारेื่อการปรับอัตราขยายของวงจร. โดยการเอาวงจรที่แล้วมาปรับปรุง  
คือเพิ่มความต้านทานเข้าไปอีก 3 ตัว



รูปที่ 3.22 แสดงวงจรการปรับปรุงอัตราขยายของวงจรดิฟเฟอเรนเชียล แอมป์

จากรูปข้างบนถ้าเรากำหนดให้  $E_1$  มีค่ามากกว่า  $E_2$  ดังนั้นทิศทางของกระแสจะไหลขึ้น  
แต่เนื่องจากตามคุณสมบัติของ ออปแอมป์ จะได้ว่า แรงดันที่ตกคร่อม  $aR$  จะมีค่าเป็น  $E_1 - E_2$

$$I = \frac{E_1 - E_2}{aR} \tag{1}$$

$$V_0 = I \cdot R + I \cdot aR + I \cdot R$$

$$V_0 = (2 + a) \cdot I \cdot R \tag{2}$$

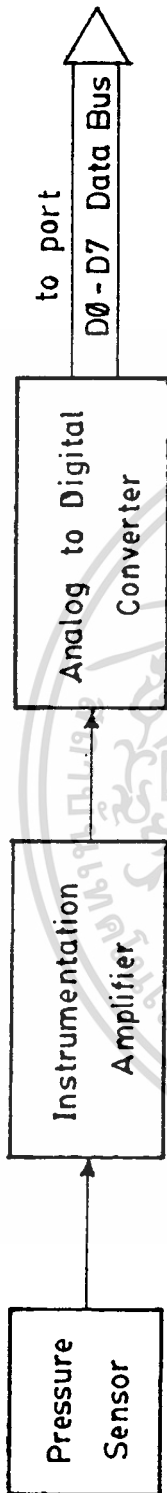
แทนค่าสมการที่ 1 ในสมการที่ 2

$$V_0 = (E_1 - E_2) \left( \frac{2}{a} + 1 \right) \tag{3}$$

แต่เนื่องจากวงจรขยายสัญญาณที่ต้องการความแม่นยำสูง มักจะต่อแบบอินสตรูเมนต์-  
กัน แอมป์ (Instrumentation ) โดยเอาวงจรจากรูปข้างบนมาต่อเพิ่มอีกเล็กน้อย  
ดังรูปข้างล่าง



### 3.4 บล็อกไดอะแกรมและวงจร



รูปที่ 3.24 Block diagram of Weighty Detector Unit



#### บทที่ 4

### เครื่องวัดอัตราการเต้นของหัวใจ

มีการเปลี่ยนแปลงอย่างมากสำหรับวิธีการวัดอัตราการเต้นของหัวใจ จากการใช้สัมผัส พัลส์(pulse) ที่ข้อมือ เพื่อแสดงความแตกต่างของศักย์ไฟฟ้าผ่านร่างกายโดยใช้อิเล็กโทรคาร์ดิโอกราฟ(Electrocardiograph) วิธีนี้ทั้งข้อดีและข้อเสีย ข้อเสียที่สำคัญของวิธีเหล่านี้คือ การสัมผัสทางไฟฟ้าโดยตรงที่ร่างกาย และควยเหตุนี้จึงไม่มีข้อกำหนดเกี่ยวกับความปลอดภัยถ้าอุปกรณ์ไฟฟ้าเกี่ยวข้องกับโคจรตรงกับการวัดอัตราการเต้นของหัวใจ

สำหรับโครงการนี้ใช้แสงจากหลอดไฟ 10V ส่งผ่านนิ้วมือไปยัง โฟโตทรานซิสเตอร์ (Photo transistor) นั่นคือไม่มีการสัมผัสทางไฟฟ้ากับร่างกาย การตรวจจับ(detect) พัลส์โดยวิธีนี้จึงปลอดภัยโดยธรรมชาติ ตลอดเวลาที่หัวใจเต้น กลิ่น(surge) ของเลือดจะถูกส่งไปยังส่วนต่างๆของร่างกาย ซึ่งจะเพิ่มความหนาแน่นของเลือดบริเวณส่วนเล็กๆของร่างกาย โดยเฉพาะที่นิ้วมือ ควยเหตุนี้เองแสงที่ผ่านนิ้วมือจะเปลี่ยนแปลงตามจังหวะการเต้นของหัวใจ และการเปลี่ยนแปลงนี้จะถูกตรวจจับโดย โฟโตทรานซิสเตอร์ เอาท์พุทจากโฟโตทรานซิสเตอร์ จะถูกขยายโดยวงจร ดีเทกเตอร์ (Detector) แล้วส่งไปที่หน่วยวงจรเมน(Main unit circuit) ซึ่งสอดคล้องกับจังหวะการเต้นของหัวใจ

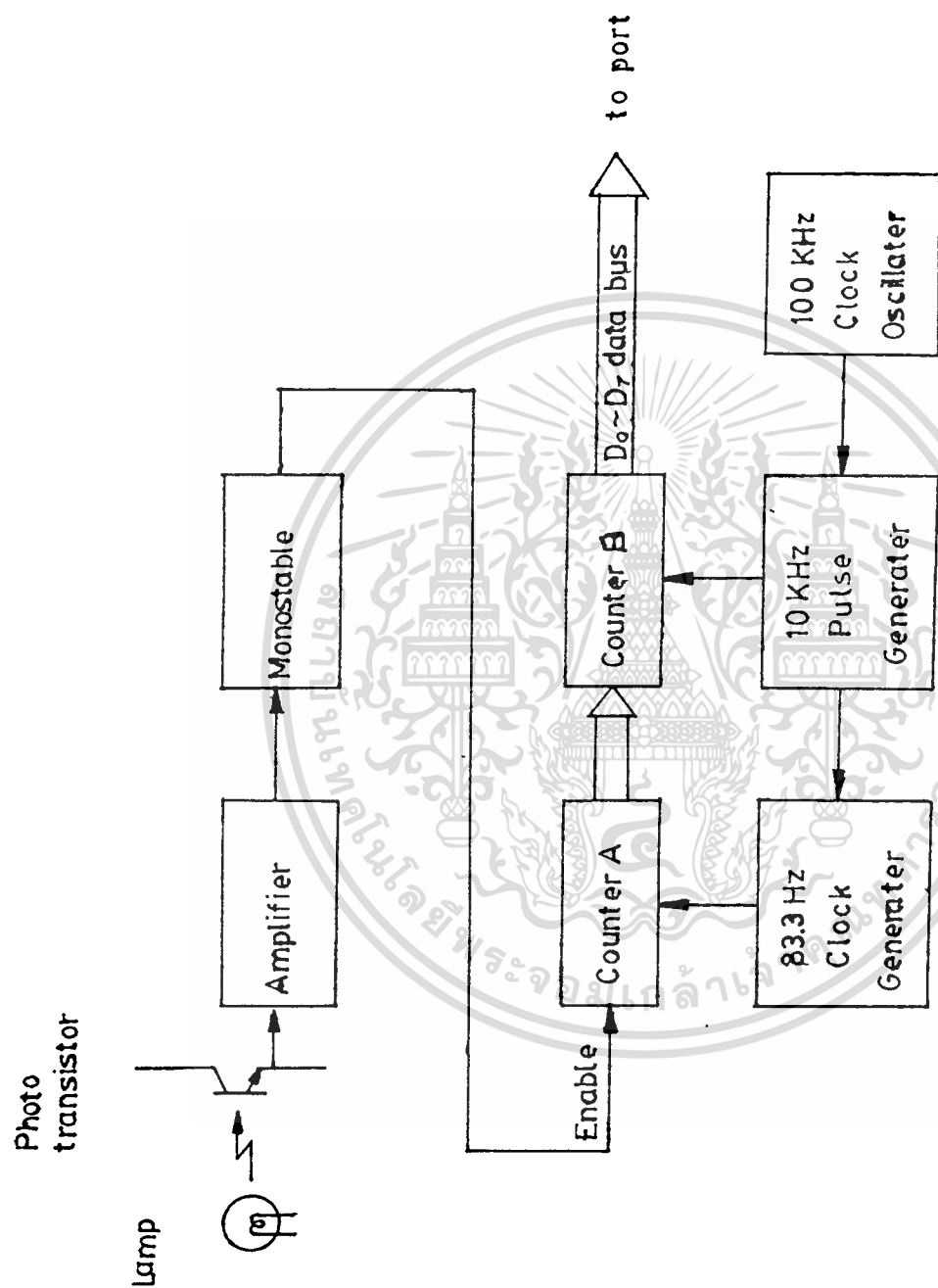
สำหรับโครงการนี้ โฟโตทรานซิสเตอร์ และหลอด 10V ถูกยึดอยู่ตรงข้ามกันภายในท่อพลาสติกเส้นผ่าศูนย์กลาง ๑ นิ้ว ซึ่งถูกห่อหุ้มอย่างแน่นหนาอยู่ในกล่องโลหะ สำหรับวิธีวัดนี้ให้สอดนิ้วเข้าไปในท่อพลาสติกจนกระทั่งบัง โฟโตทรานซิสเตอร์

ช่วงเวลาระหว่างพัลส์ต่อเนื่องกันจากดีเทกเตอร์ถูกวัดและเปลี่ยนเป็นอัตราการเต้นของหัวใจโดยวงจรเมน ซึ่งจะอยู่ในรูปของเลข ไบนารีขนาด 8 บิต แล้วส่งไปที่ ซีพียู(CPU) ทำการแปลงเป็น เซ็กเมนต์โค๊ด(Segment code) เพื่อนำออกแสดงผลทาง 7-เซ็กเมนต์ (7-segment) และจะหน่วงเวลา(delay) ประมาณ 3 วินาทีก่อนที่จะวัดครั้งต่อไป

#### 4.1 หลักการเบื้องต้นและบล็อกไดอะแกรม (Block diagram )

เทคนิคการวัดความถี่แบบต่างๆไปจะใช้วิธีนับพัลส์จากดีเทกเตอร์ในช่วงเวลาที่ทราบค่า ซึ่งไม่สามารถจะนำมาใช้กับการวัดความถี่ค่าๆอย่างเช่น การเต้นของหัวใจ แม้ว่าอัตราการเต้นที่เร็ว เช่น 150 ครั้ง/นาที ก็ต้องใช้เวลาในการวัดอย่างน้อย 8 วินาที เพื่อให้ได้ผลลัพธ์ที่ถูกต้อง และอัตราการเต้นที่ช้าๆ เช่น 60 ครั้ง/นาที ต้องใช้เวลาในการวัดอย่างน้อย 20 วินาที เพื่อให้ได้ผลลัพธ์ที่ถูกต้อง

บล็อกไดอะแกรมของระบบแสดงในรูปที่ 4.1 เอาท์พุทจากดีเทกเตอร์ถูกส่งต่อไปยังวงจรมอน เพื่อทำการวัดช่วงเวลาระหว่างพัลส์ 3 ลูก ติดต่อกันจากดีเทกเตอร์ สมมุติว่าดีเทกเตอร์กำลังตรวจับการเต้นของหัวใจที่ 60 ครั้ง/นาที ช่วงเวลาระหว่างพัลส์ 3 ลูก ติดต่อกันคือ 2 วินาที เกาน์เตอร์ A (Counter A ) ถูกอีน่าเบิล(Enable ) โดยช่วงเวลานับกับคล็อก(Clock ) ความถี่ 83.3 เฮิรท์ ที่ไ้มาจาก คล็อกเจเนเรเตอร์ (Clock generater) ดังนั้นเกาน์เตอร์ A จะทำการนับ 166 และเก็บรักษาไว้ เอาท์พุทจากเกาน์เตอร์ A จะถูกใช้สำหรับเซ็ท(Set) เกาน์เตอร์ B ไว้ที่ 166 แล้วจะส่งพัลส์ 10,000 ลูก ผ่านเข้าไปในเกาน์เตอร์ B ซึ่งถูกตั้งไว้แล้ว เอาท์พุทพัลส์(Output pulse ) จากเกาน์เตอร์ B เป็น  $10,000/166 = 60$  ซึ่งจะถูกนับและเก็บรักษาไว้ แล้วส่งไปยังทีวียู เพื่อนำไปแสดงผล สัญญาณคล็อกพัลส์(Clock pulse ) ความถี่ 83.3 เฮิรท์ และ ขบวนการพัลส์ 10,000 ลูก สร้างมาจากวงจรรอสสัญญาณเลเตอร์ความถี่ 100 กิโลเฮิรท์



รูปที่ 4.1 บล็อกไดอะแกรมของเครื่องวัดอัตราการเต้นของหัวใจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 4.2 วงจรของเครื่องวัดอัตราการเต้นหัวใจ

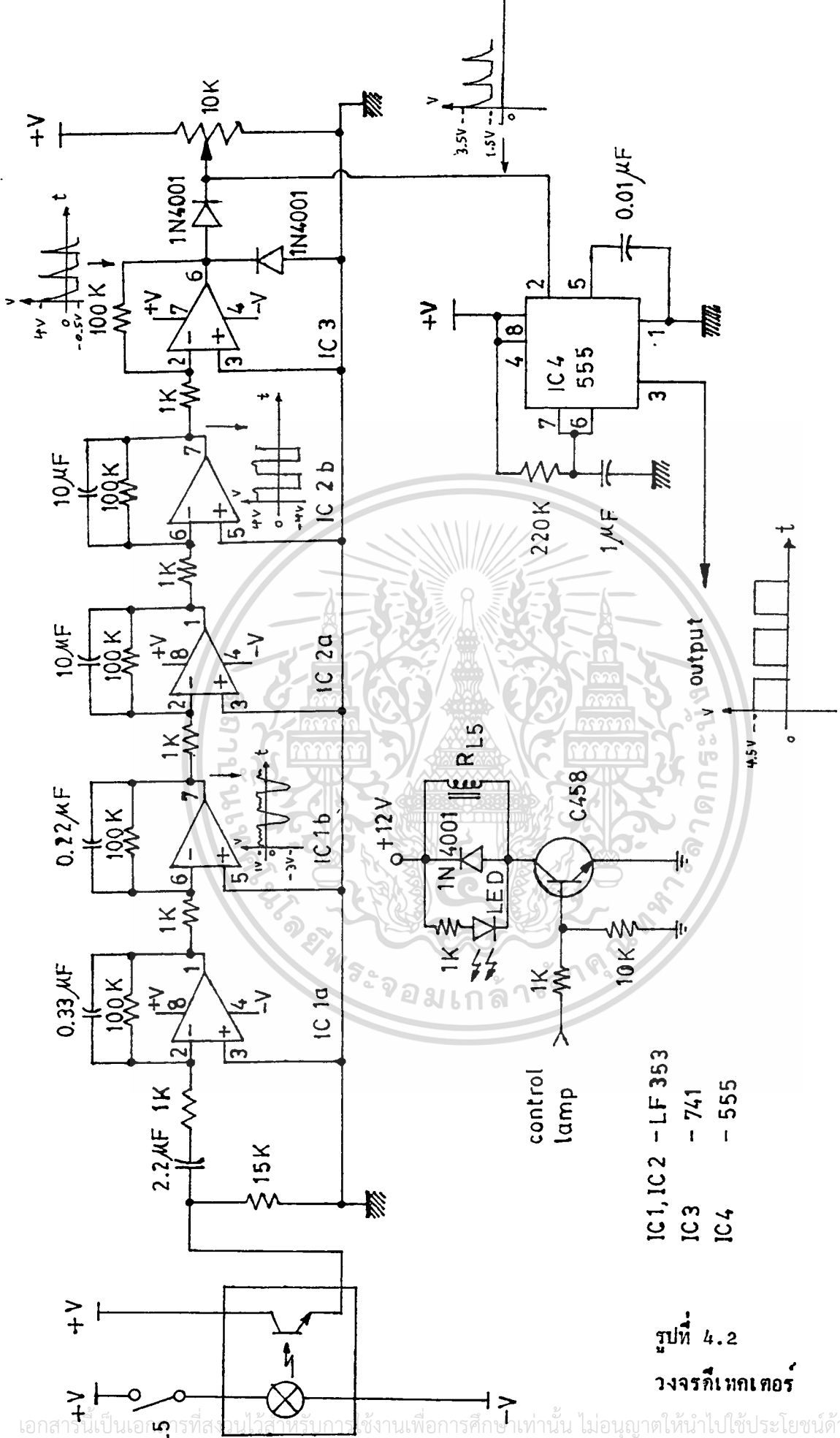
### วงจรถ่ายทอด (Detector Circuit)

วงจรถ่ายทอด แสดงในรูปที่ 4.2 ประกอบด้วย ออปแอมป์ 5 ตัว ต่ออนุกรมกัน ใช้ Dual Op-amp (LF 353) เป็นตัวขยายภาคแรก เพราะว่าเป็นแบบ สัญญาณรบกวนต่ำ และ ใช้เฟต (FET) เป็นอินพุตทำให้มีอิมพีแดนซ์ (Impedance) ทางอินพุตสูง

ออปแอมป์ทุกตัวถูกต่อเป็น วงจรขยายแบบพื้นฐานเพื่อขยายการเปลี่ยนแปลงอันเล็กน้อยของกระแสที่ผ่าน โฟโตทรานซิสเตอร์

เมื่อใช้นิ้วมือบังแสงจากหลอดไฟที่ส่องมายังโฟโตทรานซิสเตอร์ การเปลี่ยนแปลงความหนาแน่นของเลือดที่นิ้วมือตามการเต้นของหัวใจ จะทำให้แสงที่ตกกระทบบน โฟโตทรานซิสเตอร์ เปลี่ยนแปลงความเข้มตามจังหวะการเต้นของหัวใจ ทำให้กระแสที่ผ่าน โฟโตทรานซิสเตอร์ เกิดการเปลี่ยนแปลง ซึ่งการเปลี่ยนแปลงนั้นน้อยมากต้องใช้ออปแอมป์ทำการขยายให้มีขนาดสูงพอที่จะนำไปใช้กับวงจรเมม เพื่อให่วงจรเมมทำงานได้

ก่อนที่จะต่อไปยังวงจรเมม เอาท์พุทจากออปแอมป์ตัวสุดท้ายจะถูกก้ำจี้ระดับด้วยไฟฟ้าลบออก โดยไดโอด 1N 4001 2ตัว แล้วต่อผ่านวงจร โมโนสเตเบิล (Monostable) ซึ่งใช้ ไอซีเบอร์ 555 วงจรขยายนี้ไวมาก และการมีวงจรโมโนสเตเบิลทำให้แน่ใจว่าการสวิตช์ซ้อน (Double Switching) จะไม่เกิดขึ้น เอาท์พุทฟิลส์จากวงจรโมโนสเตเบิล ประมาณ 240 มิลลิเซคชั่นท.



- IC1, IC2 - LF 353
- IC3 - 741
- IC4 - 555

รูปที่ 4.2  
วงจรกึ่งอัตโนมัติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### วงจรมเน (Main Unit Circuit)

วงจรมเนแสดงในรูปที่ 4.3 ซึ่งใช้ ซีเอ็มอส (CMOS) ทั้งหมด เอาท์พุทพัลส์จากวงจรมเนที่เทคเตอร์ผ่าน นอร์เกต(NOR gate) ซึ่งเป็นบัฟเฟอร์ (Buffer) ก่อนที่จะส่งไปยัง ไบนารีเคาน์เตอร์ (Binary Counter) IC 6a ตลอดช่วงเวลาระหว่างพัลส์ลึกลงที่ 3 และ 5 จากคิเทคเตอร์ ซา 4 ของ IC 6a จะเป็นลอจิก 1 (High State) สัญญาณจากซา 4 ของ IC 6a ถูกใช้สำหรับอีน่าเบิล(Enable) เคาน์เตอร์ IC 7 เมื่อพัลส์ลึกลงที่ 5 จากคิเทคเตอร์ผ่านไปแล้วจะทำให้ซา 5 ของ IC 6a มีสถานะเป็นลอจิก 1 และจะหยุดการนับของ IC 6a

IC 7 เป็นไบนารีเคาน์เตอร์ ซึ่งประกอบด้วยเคาน์เตอร์ 2 ตัว ต่อแคะสแคะกัน (Cascade) เป็น 8 บิต ไบนารีเคาน์เตอร์ IC 7 จะนับและเก็บรักษาจำนวนของพัลส์จากสัญญาณพัลส์ความถี่ 83.3 เฮิร์ต ซึ่งสามารถให้พัลส์ตลอดเวลา เคาน์เตอร์ IC 7 ถูกอีน่าเบิลโดย IC 6a เอาท์พุทจาก IC 7 ซึ่งเป็นแบบขนาน (Parallel) ขนาด 8 บิต ใช้สำหรับ เก็บข้อมูลของ วงจรมเนลง (Down Counter) IC 8 และ IC 9

พัลส์ความถี่ 83.3 เฮิร์ต ถูกสร้างมาจากวงจรมเนออสซิลเลเตอร์ความถี่ 100 กิโลเฮิร์ต ซึ่งประกอบด้วย IC 11a และ IC 11d วงจรมเนออสซิลเลเตอร์สามารถปรับค่าได้โดยปรับ VR1 เพื่อชดเชยความผิดพลาดของอุปกรณ์

IC 11c เป็นเอาท์พุทบัฟเฟอร์ของวงจรมเนออสซิลเลเตอร์ก่อนที่จะไปยัง IC 3 ซึ่งเป็นวงจรมเนสิบ (Decade Counter) โดยที่เคาน์เตอร์ทั้งคู่อัน IC 3 ถูกต่ออนุกรมเพื่อทำให้เกิดเอาท์พุท 1 กิโลเฮิร์ต ซึ่งถูกส่งต่อไปยัง IC 4 b โดย IC 4 b เป็นเคาน์เตอร์ที่หารสัญญาณพัลส์ด้วย 6 โดยใช้เกต IC 12 c และ IC 12 d ซึ่งจะให้พัลส์ความถี่ 166.7 เฮิร์ต จาก IC 4 b ซา 13 และถูกส่งไปหาร 2 โดย IC 6 b ทำให้เกิดสัญญาณคล็อกความถี่ 83.3 เฮิร์ต ซึ่งเป็นคล็อกอินพุทของ IC 7

สัญญาณพัลส์ 1 กิโลเฮิร์ต จาก IC 3 ถูกหารต่อโดย Decade Counter IC 4 a เพื่อสร้างสัญญาณ 100 เฮิร์ต และส่งไปยัง Decade Counter IC 5 a เพื่อสร้างสัญญาณพัลส์ 10 เฮิร์ต ที่ซา 6 ของ IC 5 IC 5 จะถูกอีน่าเบิลหลังจากพัลส์ลึกลงที่ 5 จากคิเทคเตอร์ถูกส่งมาและถูกนับโดย IC 6 เท่านั้น และ IC 7 จะนับและเก็บรักษาพัลส์ 83.3 เฮิร์ต ดังที่กล่าวไว้แล้วข้างต้น

ในสภาวะเริ่มแรก เอาท์พุททั้งหมดของ IC 5 เป็นศูนย์ เมื่อถูกอีน่าเบิลโดย IC 6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

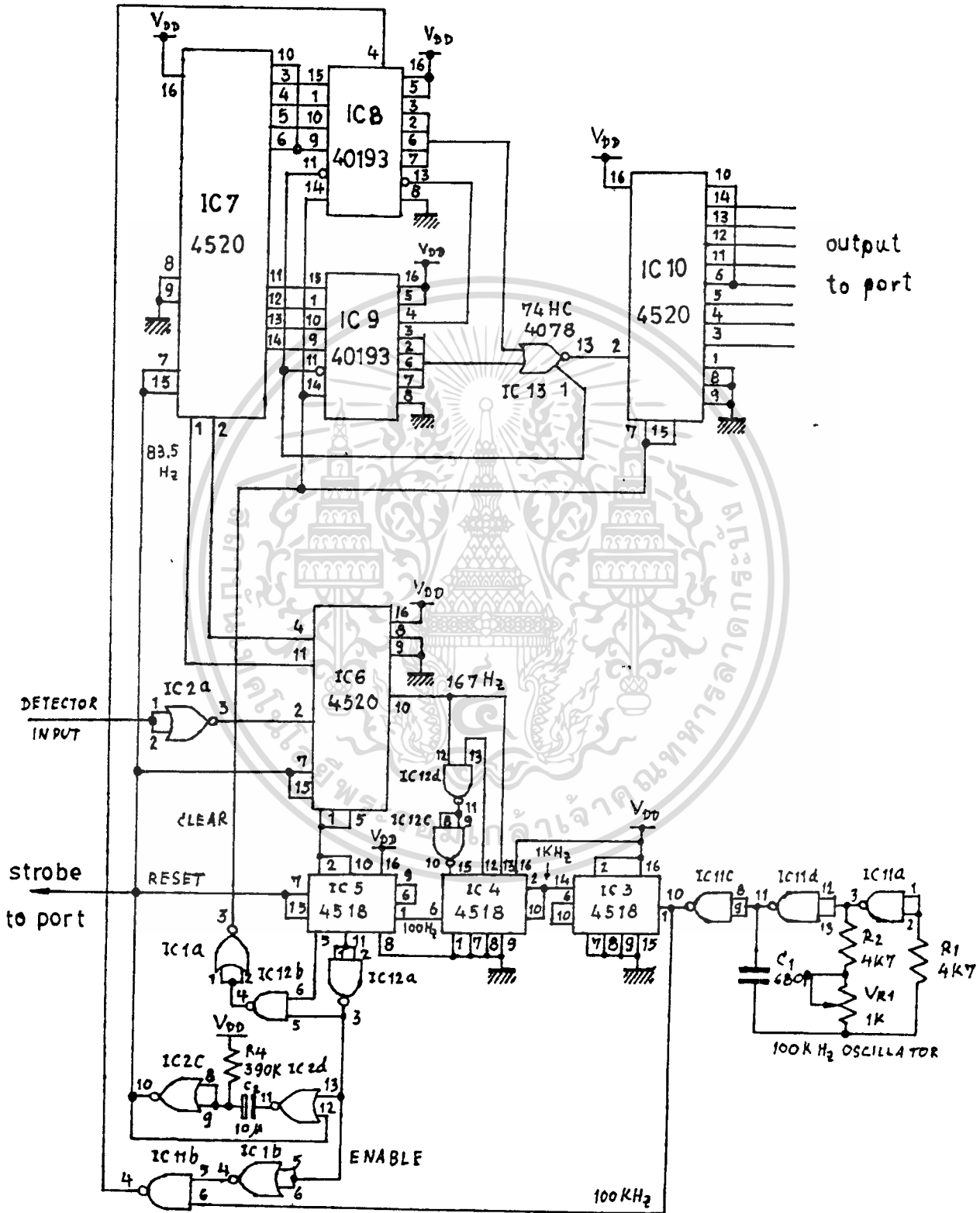
ขา 5 จะเปลี่ยนเป็นลอจิก 1 ซึ่งจะไปเคลียร์ (Clear) ค่าที่ตั้งไว้ใน IC 8, IC 9 และ IC 10 สัญญาณเคลียร์นี้จะทำให้เอาต์พุตของ IC 8 และ IC 9 เป็นศูนย์ ซึ่งจะทำให้ขา 1 ของ IC 13 (74HC 4078) เป็นลอจิก 0 เข้าขา 11 (Load) ของ IC 8 และ IC 9 ทำให้ IC 8 และ IC 9 โหลดค่าข้อมูลทางอินพุตซึ่ง IC 7 เซ็ทไว้ให้ ออกมาทางเอาต์พุตเพื่อเตรียมเอาไว้นับลง ประมาณ 1 วินาทีหลังจากนั้น ขา 11 ของ IC 5 จะเป็นลอจิก 1 ซึ่งจะไปหยุดการเคลียร์ของขา 5 โดยผ่าน แนนด์เกต (NAND gate) IC 12 b เอาต์พุตจากขา 11 ของ IC 5 เป็นพัลส์ความถี่ 5 เฮิรตซ์ ซึ่งมีช่วงเวลาของลอจิก 1 และ ลอจิก 0 เท่ากัน ดังนั้นช่วงเวลาของลอจิก 1 คือ 100 มิลลิเซ็กกันด ซึ่งเป็นช่วงเวลาที่ไค์ทลส์ 10,000 ลูก จากสัญญาณคล็อก 100 กิโลเฮิรตซ์

เอาต์พุตจากขา 11 ของ IC 5 คือช่วง 100 มิลลิเซ็กกันด พัลส์นี้จะไปอานาเบิ้ล IC 8 ขณะที่สัญญาณคล็อก 100 กิโลเฮิรตซ์ จาก IC 11 เป็นอินพุตคล็อกของ IC 8

ในช่วง 100 มิลลิเซ็กกันด นี้ IC 8 และ IC 9 จะทำการนับลงจากค่าที่เซ็ทไว้ลงเป็น 0 ซึ่งเมื่อนับถึง 0 จะทำให้ขา 1 ของ IC 13 เป็นลอจิก 0 ซึ่งเป็นสัญญาณโหลด ทำให้ IC 8 และ IC 9 ทำการโหลดค่าที่เซ็ทไว้ออกมาทางเอาต์พุตและเริ่มทำการนับลงอีกครั้ง ซึ่งจะเป็นอย่างนี้ไปเรื่อยๆจนกว่าจะหมดช่วงอานาเบิ้ล 100 มิลลิเซ็กกันด ซึ่งในช่วงเวลานี้ IC 8 และ IC 9 จะนับลงถึง 0 ได้เป็นจำนวนครั้งเท่ากับ 10,000 ทารด้วยค่าที่เซ็ทไว้ ซึ่งก็คือจำนวนคล็อกเข้าที่ขา 2 ของ IC 10 นั่นเอง ซึ่ง IC 10 จะนับคล็อกจำนวนนี้ ได้เป็นอัตราการเต้นของหัวใจคอนานที่ ส่งออกไปให้ ซีพียู ในรูปของเลขไบนารี

ขอบขาลงของ 100 มิลลิเซ็กกันคือนาเบิ้ลพัลส์ จะเป็นตัวรีเซ็ทวงจรมอนอสเตเบิ้ลที่ประกอบด้วย IC 2c และ IC 2d เอาต์พุตจากมอนอสเตเบิ้ลจะใช้เวลาประมาณ 3 วินาทีในการรีเซ็ทแกนเตอร์ IC 5, IC 6 และ IC 7 ให้หยุดนับ หลังจาก 3 วินาทีแล้วจึงจะสามารถทำการวัดครั้งต่อไป และ วงรอบการทำงานจะเหมือนเดิม

สัญญาณรีเซ็ทจะถูกนำไปใช้เป็นสัญญาณ สโตรบ (Strobe) เพื่อบอก ซีพียู ให้ทำการอ่านค่าจากเอาต์พุตของ IC 10 ออกไป ซึ่งจังหวะการอ่านค่านี้ เป็นจังหวะที่ข้อมูลเอาต์พุตของ IC 10 กำลังคงที่หลังจากนับเสร็จ ซึ่ง ซีพียู จะนำค่านี้ไปแปลงเป็นเลข บิซิท และแปลงเป็น เซ็กเมนต์โค้ด เพื่อแสดงผลออกทาง 7-เซ็กเมนต์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูปที่ 4.3 วงจรเมม  
 ไม่ว่าจะตีพิมพ์สิ่งอื่น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## เพาเวอร์ซัพพลาย (Power Supply )

วงจรกรองการ เรกกูเลทเพาเวอร์ซัพพลาย (Regulate Power Supply ) ที่จ่ายกระแสได้ไม่น้อยกว่า 1 แอมแปร์ ที่  $\pm 5\text{VDC}$  เพื่อขับวงจรลอจิก วงจรตีเทคเตอร์ และหลอดไฟ วงจรนี้จำเป็นต้องใช้ เพาเวอร์ซัพพลายที่มีเรกกูเลชันที่ดี เพื่อป้องกันสัญญาณรบกวนจากเพาเวอร์ซัพพลายไปรบกวนตีเทคเตอร์ และเพื่อทำให้วงจรออสซิลเลเตอร์ 100 กิโลเฮิรท์ ทำงานด้วยความเที่ยงตรง

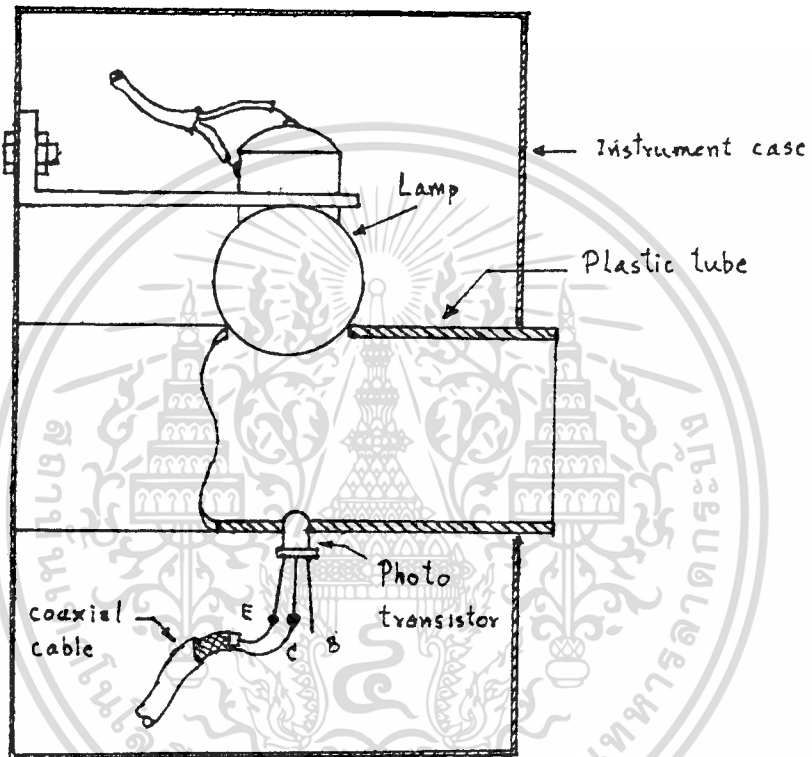
ส่วนเพาเวอร์ที่จ่ายให้หลอดไฟ ต่อจากไฟ  $\pm 5\text{V}$  ซึ่งคาปาซิเตอร์ในวงจรฟิลเตอร์ (Filter ) จะเห็นว่ามีความจุสูงมาก เพื่อจะลด ริบเบิล (Ripple ) ของซัพพลายที่จ่ายไปยังหลอดไฟให้น้อยกว่า 800 มิลลิโวลท์ ถ้าริบเบิลมีมากเกินไปจะทำให้ความเข้มของแสงจากหลอดไฟเกิดการเปลี่ยนแปลง ซึ่งการเปลี่ยนแปลงนี้จะถูก ตรวจพบโดยโฟโตทรานซิสเตอร์ และเป็นเหตุให้เกิดการผิดพลาดขึ้น

### การประกอบ

ตำแหน่งของท่อพลาสติกเส้นผ่าศูนย์กลาง 1 นิ้ว และหลอดไฟต้องวางให้พอดีอย่าให้มีการเคลื่อนไหวจากการสั่นไหว เพราะจะทำให้เกิดการผิดพลาดในการวัด

ท่อพลาสติกถูกตัดเพื่อยึดไว้บนฐานของกล่อง และต้องยื่นออกไปเหนือฝาปิดของกล่อง ท่อพลาสติกต้องปิดกั้นแสงจากหลอดไฟให้มากที่สุด และเจาะรูสองรูในคานตรงข้ามกัน รูหนึ่งเส้นผ่าศูนย์กลางประมาณ 10 มิลลิเมตร เจาะให้ตรงกับหลอด และอีกรูเส้นผ่าศูนย์กลางประมาณ 4 มิลลิเมตร เจาะเพื่อยึด โฟโตทรานซิสเตอร์ โดยโฟโตทรานซิสเตอร์ต้องอยู่คานตรงข้ามกับหลอด

วงจรตีเทคเตอร์เป็นวงจรที่มีความไวมาก ความแตกต่างในระดับของแสงที่วัดนั้นน้อยมาก ดังนั้นการเคลื่อนที่ของหลอดไฟหรือท่อพลาสติกซึ่งยึดโฟโตทรานซิสเตอร์อยู่ หรือการเคลื่อนที่ของนิ้วมือจะทำให้เกิดการผิดพลาดในการวัด ดังนั้น นิ้วมือควรจะต้องอยู่เฉยๆขณะทำการวัด และนิ้วมือควรจะต้องสัมผัสกับผิวหนังของโฟโตทรานซิสเตอร์ โดยไม่ต้องกด นั่นคือทำให้นิ้วมืออยู่นิ่งขณะทำการวัด



รูปที่ 4.4 การจัดวาง หลอดไฟ และ โฟโตทรานซิสเตอร์ ในกล่อง

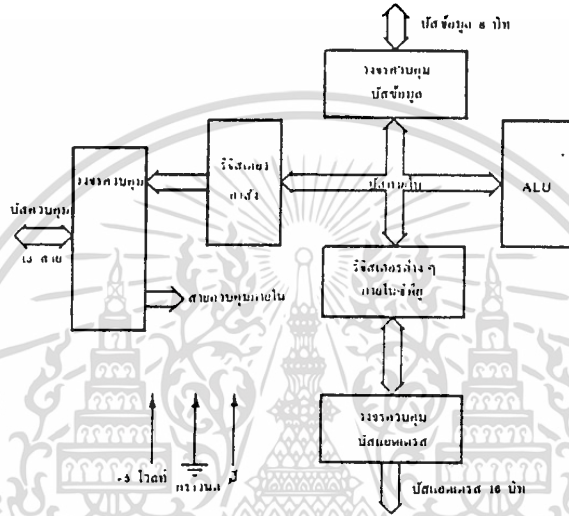
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

หน่วยประมวลผลกลาง(Central Processing Unit)

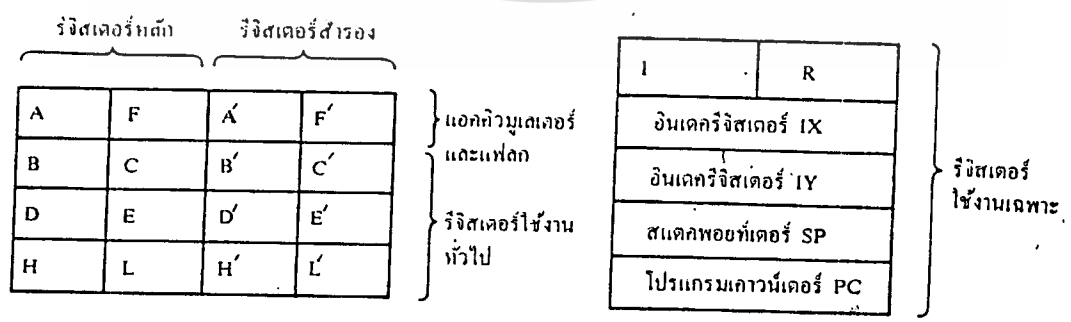
5.1 โครงสร้างของซีพียู Z-80

บล็อกโคอะแกรมรูปที่ 5.1 เป็นโคอะแกรมแสดงให้เห็นโครงสร้างของ Z-80 โดยโครงสร้างของซีพียูนี้จะบรรจุลงในแอลเอสไอขนาด 40 ซา



รูปที่ 5.1 บล็อกโคอะแกรมซีพียู Z-80

โครงสร้างภายในของ Z-80 ซีพียูประกอบด้วยรีจิสเตอร์ภายในที่สามารถเขียนและอ่านได้ถึง 208 บิต โดยแยกเป็นกลุ่มของรีจิสเตอร์ ขนาด 8 บิต 18 รีจิสเตอร์ และ รีจิสเตอร์ขนาด 16 บิต อีก 4 รีจิสเตอร์ โดยมีชุดรีจิสเตอร์แสดงโคข้างรูปที่ 5.2



รูปที่ 5.2 แสดงรีจิสเตอร์ต่าง ๆ ที่มีอยู่ใน Z-80

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## รีจิสเตอร์หลักที่ใช้งานทั่วไป

รีจิสเตอร์ในกลุ่มแรกคือ A, F, B, C, D, E, H, L เป็นรีจิสเตอร์ขนาด 8 บิตที่ใช้งานทั่วไป โดยรีจิสเตอร์เหล่านี้สามารถประกอบรวมกันเป็นรีจิสเตอร์ได้ คือ AF, BC, DE และ HL A คือ แอคคิวมูเลเตอร์ F คือ แฟลก แฟลกของ Z-80 จะมีด้วยกันทั้งหมด 6 ตัว จึงใช้เพียง 6 บิต แต่ Z-80 อาศัยการเพิ่มบิตขึ้นอีก 2 บิต และกลายเป็นรีจิสเตอร์ F

## กลุ่มรีจิสเตอร์สำรอง

รีจิสเตอร์ชุดนี้มีด้วยกัน 8 ตัว คือ A, F, B, C, D, E, H, L รีจิสเตอร์เหล่านี้เป็นรีจิสเตอร์ที่ใช้ในการเก็บข้อมูลชั่วคราว ในการที่ต้องการใช้รีจิสเตอร์หลักทำงานอย่างอื่นก่อน ดังนั้นรีจิสเตอร์กลุ่มนี้จึงไม่สามารถกระทำทางคณิตศาสตร์ และลอจิกได้

## กลุ่มรีจิสเตอร์ที่ใช้งานเฉพาะอย่าง

### โปรแกรมเคาน์เตอร์ (PC Program Counter)

โปรแกรมเคาน์เตอร์คือนรีจิสเตอร์ขนาด 16 บิต ที่เป็นตัวกำหนดตำแหน่งของโปรแกรมในขณะที่สภาวะการกระทำการเฟตซ์ ค่าที่อยู่ในโปรแกรมเคาน์เตอร์จะเพิ่มค่าขึ้นไคอย่างอัตโนมัติหลังการกระทำการเฟตซ์ แต่ถ้าหาก ซีพียู กระทำคำสั่งให้ข้ามไปยังตำแหน่งอื่น (Jump) ค่าแอดเดรสที่จะกระโดดข้ามนั้นจะไหลคเข้ามายังโปรแกรมเคาน์เตอร์ไคอย่างอัตโนมัติ

### สแตกพอยน์เตอร์ (SP Stack Pointer)

เป็นรีจิสเตอร์ที่มีขนาด 16 บิต ที่ใช้สำหรับชี้ไปยังแอดเดรสขั้บนสุดของสแตกที่อยู่ในไคส่วนของสแตกมีลักษณะโครงสร้างเป็นหน่วยความจำเป็นแบบ เก็บที่หลังเรียกออกไคก่อน ข้อมูลในสแตกอาจไครับ การพุช หรือ ฮอป มาจากข้อมูลรีจิสเตอร์ภายในซีพียู ลักษณะของสแตกในที่นี้ยังเป็นส่วนช่วยไคในการกระทำ อินเตอร์รัท และการเรียกโปรแกรมย่อย

### อินเด็กรีจิสเตอร์ (IX, IY - Index Register)

ซีพียู Z-80 มีอินเด็กรีจิสเตอร์ขนาด 16 บิต 2 ตัว แต่ละตัวใช้ประโยชน์หลักในการนำหน้าที่เป็นตัวเก็บแอดเดรสฐาน (Base Address) เพื่อทำหน้าที่อ้างอิงแอดเดรสแบบอินเด็กแอดเดรสซิง (Index Addressing) ในโหมดของอินเด็กแอดเดรสซิงที่มีข้อมูลที่อยู่

ในอินเด็กรีจิสเตอร์นี้จะรวมกับข้อมูลที่คคมากับคำสั่งอีก 8 บิต เพื่อเป็นตัวกำหนดแอดเดรสไคไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีคการนำไปใช้

กับคำสั่ง ข้อมูลที่ติดมาด้วยคำสั่งนี้เราเรียกว่า ดิสเพลซเมนต์(Displacement) ที่จะเก็บ  
ในรูปของตัวเลข 2 คอมพลีเมนต์

อินเตอร์รัพท์เพทแอดเดรสรีจิสเตอร์(I - Interrupt page Address Register)

คือ เมื่อเกิดการอินเตอร์รัพท์ในโหมดคัมมันสามารถอ้างแอดเดรส ไคมางออกไป  
กระทำโปรแกรมในทีก็ไคในหน่วยความจำ ไคอาศัยค่าในรีจิสเตอร์ I รวมกับค่าที่ส่งมา  
จากอุปกรณ์เพอร์เฟอร์ลอีก 8 บิต ไคไปยังค่าในหน่วยความจำ เพื่อนำค่าในหน่วยความจำนั้น  
มาไหลคเข้าในโปรแกรมเคาวน์เตอร์เพื่อกระทำต่อไป คิววิธีการนี้เราจึงสามารถกระโคค  
เข้าไปทำที่ส่วนไคก็ไคในหน่วยความจำ

รีจิสเตอร์รีเฟรชหน่วยความจำ (R - Memory Refresh Register)

สามารถให้การรีเฟรชหน่วยความจำไคอย่างอัตโนมัติ ไคค่าใน R รีจิสเตอร์  
จะเพิ่มค่าขึ้นอีก 1 ทุกครั้งที่มีการกระทำการเพชคำสั่ง และข้อมูลในรีจิสเตอร์ R นี้จะส่งออก  
ไปยังแอดเดรสบัสในส่วนบิตที่มีนัยสำคัญต่ำกว่าจิงหะของการส่งนี้จะเป็นจิงหะไควกันกับที่  
ที่พียูส่งสัญญาณรีเฟรชออกมา

แอกคิวมูลเตอร (Accumulator) และแฟลก (Flag)

ที่พียูจะมีรีจิสเตอร์ที่ไคเป็นหลักในการเป็นตัวโอเปอร์เรนด์ สำหรับกระทำทางคณิต  
ศาสตร์และลอจิก ไครีจิสเตอร์หลักนี้จะมีเียง 8 บิต เรียกว่า " แอกคิวมูลเตอร (Acc-  
umulator) " การกระทำในส่วนของหน่วยคณิตศาสตร์ และลอจิกยอมเกิดเงื่อนไซ  
ไคกลายเียงที่จิงต้องแสดงสถานะภาพของเงื่อนงใจเหล่านั้น เช่น เงื่อนไซผลลัษเป็นศูนย์  
ผลลัษเป็นบวกหรือลบ มีตัวทคหรือตัวชอยมในการกระทำทางคณิตศาสตร์ แสดงเงื่อนไซ  
หารที่คู้หรือคี่ ฯลฯ สิ่งเหล่านี้จะไหผลลัษแสดงสถานะไคด้วยแฟลก (Flag)

หน่วยคำนวณทางคณิตศาสตร์และลอจิก (ALU-Arithmetic and Logic Unit)

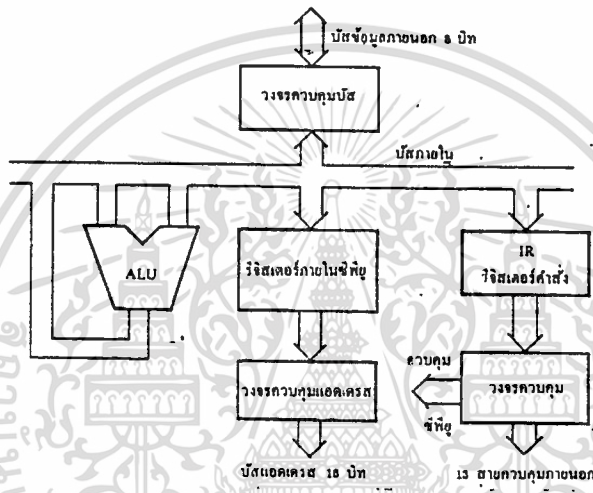
การประมวลผลในส่วน ALU ที่สำคัญจะประกอบคัว

1. การบวก (Add)
2. การลบ (Subtract)
3. ลอจิก AND
4. ลอจิก OR
5. ลอจิก EX - OR

6. เปรียบเทียบ (Compare) นั้น ไม่อนุญาตไหนำไปใช้ประโยชน์ด้านการคัว

เอกสารนี้เป็นเอกสารที่สงวนใคภายใต้ลิขสิทธิ์ (Compare) นั้น ไม่อนุญาตไหนำไปใช้ประโยชน์ด้านการคัว  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิไหคดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. การเลื่อนบิตทางซ้ายหรือขวา
8. การเพิ่มค่า (Increment)
9. การลดค่า (Decrement)
10. การเซตบิต (Set Bit)
11. การรีเซตบิต (Reset Bit)
12. การทดสอบบิต (Test Bit)



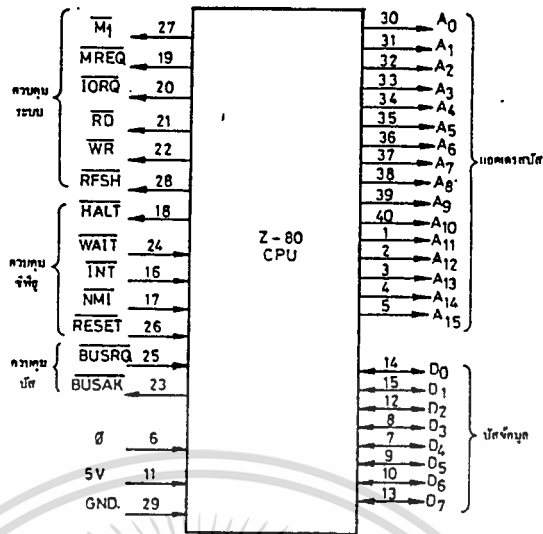
รูปที่ 5.3 แสดงการทำงานของ ALU ภายใน Z-80

รีจิสเตอร์คำสั่งและส่วนควบคุม (Instruction Register and Control)

ในการกระทำการเฟetch ซีพียูจะอ่านคำสั่งจากหน่วยความจำที่เป็นส่วนของโปรแกรม โดยรอคำสั่งนั้นมาเก็บไว้ใน IR เมื่อการถอดรหัสคำสั่งและส่งสัญญาณควบคุมการทำงานภายในซีพียู หรือควบคุมการทำงานของระบบ

การจิกซาของ Z-80

การจิกซาทางขวา แสดงโดยรูปที่ 5.4



รูปที่ 5.4 ลักษณะของชาไอซี Z-80 ซีพียู

รายละเอียดของขาต่าง ๆ แสดงไว้ดังนี้

A<sub>0</sub>-A<sub>15</sub> บิตแอดเดรส

สัญญาณที่ออกมาจากชาไอซีเหล่านี้จะให้แอดเดรส high โดยชาเหล่านี้เป็นเอาต์พุตแบบไตรสเทท บิตแอดเดรสมีด้วยกันทั้งหมด 16 สาย เพื่อให้ซีพียูติดต่อกับหน่วยความจำได้มากถึง 64 K ไบท์ ขณะที่ซีพียูกระทำคำสั่งเกี่ยวกับอินพุตค่าของแอดเดรสบิตใน 8 บิตล่าง (A<sub>0</sub>-A<sub>7</sub>) จะแสดงค่าแอดเดรสของหน่วยความจำที่จะได้รับการกระทำการรีเฟรช

D<sub>0</sub>-D<sub>7</sub> บิตข้อมูล

เป็นลักษณะบิตแบบสองทิศทาง Z-80 ซีพียูมีบิตข้อมูล 8 เส้น

M<sub>1</sub> (Machine Cycle One)

M<sub>1</sub> เป็นส่วนที่จะบอกให้ทราบว่าขณะนี้ ซีพียูกำลังอยู่ในสภาวะเพชท์ ในขณะทีซีพียูเพชท์คำสั่งที่มีออฟโกลด์สองไบท์ส่วยของ M<sub>1</sub> จะสร้างขึ้นขณะเพชท์ในแต่ละไบท์ลักษณะของคำสั่งที่มีออฟโกลด์ สองไบท์จะขึ้นต้นด้วย CB<sub>H</sub>, DD<sub>H</sub>, ED<sub>H</sub>, FD<sub>H</sub> นอกจากนี้ M<sub>1</sub> ยังสร้างสัญญาณร่วมกับ IORQ เพื่อบอกสถานะการตอบรับการอินเทอร์รัพท์

MREQ (Memory Request)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่สามารถนำไปใช้ในเชิงพาณิชย์ การค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอกเคอเรสที่ปรากฏอยู่ในแอกเคอเรสบีต

IORQ (Input - Output Request)

เป็นสัญญาณที่บอกให้ทราบว่า ซีพียูต้องการติดต่อกับอุปกรณ์อินพุต - เอาท์พุทโดยแอกเคอเรสบีต 8 บิตกลางจะให้แสดงคาเบอร์พอร์ท ส่วนบีตข้อมูลจะแสดงข้อมูลที่จะมีการส่งถ่ายระหว่างซีพียูกับ I/O

RD (Memory Read)

เป็นตัวบอกวาขณะนั้นซีพียูต้องการอ่านข้อมูลจากหน่วยความจำ หรืออุปกรณ์ I/O

WR (memory Write)

เป็นสัญญาณที่บอกวาซีพียูต้องการเขียนข้อมูลในตำแหน่งที่แอกเคอเรสบีตกำหนดขึ้นอาจเป็นหน่วยความจำหรืออุปกรณ์ I/O ก็ได้

RFSH (Refresh)

เป็นสัญญาณที่จะบอกให้ทราบว่าสัญญาณในแอกเคอเรสบีต ในส่วน A<sub>9</sub>-A<sub>6</sub> เป็นแอกเคอเรสบีตที่ใช้ในการรีเฟรชหน่วยความจำชนิดไดนามิกส์ ส่วนบิต A<sub>7</sub> จะเป็น " 0 " ส่วนบิต A<sub>15</sub>-A<sub>8</sub> จะแสดงค่าของรีจิสเตอร์ I

HALT (Halt State)

สัญญาณ HALT จะแสดงเมื่อซีพียูใดกระทำคำสั่ง HALT และจะหยุดรอจนกว่าจะมีการอินเตอร์รัทท์หรือรีเซท

WAIT (wait)

เป็นตัวกำหนดแสดงเพื่อบอกซีพียู ให้ซีพียูหยุดรอในกรณีที่อุปกรณ์อินพุต - เอาท์พุท หรือหน่วยความจำไม่สามารถรับหรือส่งข้อมูลได้ทันที WAIT จะเป็นตัวทำให้ซีพียูจึงได้ติดต่อกับอุปกรณ์อินพุต เอาท์พุท ที่ทำงานด้วยความเร็วช้า ๆ

INT (Interrupt Request)

เป็นสัญญาณที่สร้างขึ้นมาจากอุปกรณ์อินพุต เอาท์พุท เพื่อต้องการที่จะอินเตอร์รัทท์ซีพียู ซีพียูจะทำการตรวจสอบสัญญาณนี้ทุก ๆ ครั้งทีจบการกระทำแต่ละคำสั่ง การตอบสนองต่อ การอินเตอร์รัทท์ สามารถควบคุมได้โดยซอฟต์แวร์ ด้วยการเซทค่าอินเตอร์รัทท์ลิสทอป (IFL) การตอบสนองอินเตอร์รัทท์จะเกิดไค้ยังต้องให้ อินเตอร์รัทท์ ไม่แตกคัพ เมื่อซีพียูตอบสนองต่อการอินเตอร์รัทท์ ซีพียูจะสร้างสัญญาณตอบด้วยการสร้างสัญญาณ IORQ ระหว่างช่วงเวลา M<sub>1</sub> เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

## NMI (nonmaskable Interrupt)

เป็นซาอินพุท ที่จะทรียบออกซีพียูในขณะที่ขอบพัลซ์ช้าลง การอินเตอร์รัพท์ที่ควยวีนีซีพียูจะให้ความสำคัญสูงกว่า INT กล่าวคือมันจะตอบสนอง และกระทำทันทีควยวการเริ่มเอ็กซีคิว ก่าสั่งในตำแหน่ง 0066 H โคชอ็คโนมิก

## RESET (Reset)

การรีเซทจะมีผลดังนี้

1. ค่าของ PC มีค่าเป็น " 0 "
2. IFF จะได้รับการ Disable
3. รีจิสเตอร์ I จะมีค่า 00H
4. รีจิสเตอร์ R จะมีค่า 00H
5. จะมีการเซ็ทอินเตอร์รัพท์ใหม่มาอยู่ที่โหมด 0

ระหว่างการรีเซทสายแอกเครสบัส และ บัสข้อมูลจะได้รับการกระทำให้มีค่าอิมพีแดนซ์สูงเพื่อแยกออกจากซีพียู ส่วนสายสัญญาณควบคุมจะได้รับการทำให้เป็นสัญญาณที่ไม่แอกคัพการรีเฟรชจะไม่เกิดขึ้น

## BUSRQ (bus Request)

เป็นสัญญาณที่ส่งบอกกับ ซีพียู เพื่อต้องการให้ซีพียูควบคุมบัส ก็ต้องการแยกซีพียูออกจากบัสนั่นเอง

## BUSAK (bus acknowledge)

เป็นสัญญาณตอบจากซีพียูว่าซีพียูได้แยกตัวเองออกจากแอกเครสบัส และบัสข้อมูลเรียบร้อยแล้ว

## ∅ (Clock)

สัญญาณนาฬิกาที่จะป้อนเข้าระบบ

### ไคอะแกรมเวลาของซีพียู

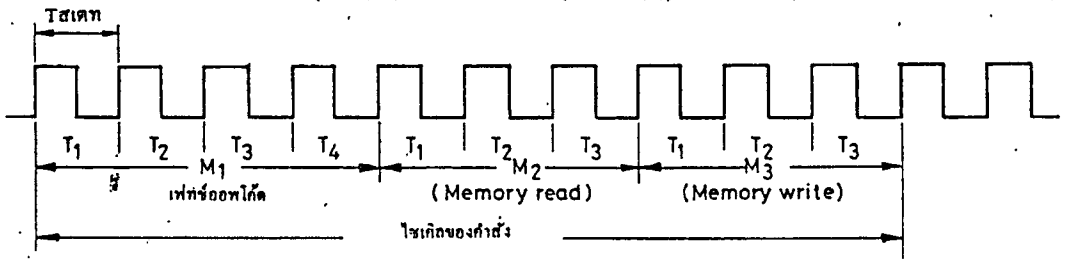
Z80 ซีพียูจะทำงานในลักษณะที่บัสที่สำคัญประกอบด้วย

การเขียน - อ่านหน่วยความจำ

การเขียน - อ่านอุปกรณ์อินพุท - เอาท์พุท

การตอบสนองต่อการอินเตอร์รัพท์

ลักษณะการทำงานจะสัมพันธ์กับสัญญาณนาฬิกา ดังรูปที่ 5.5  
เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรีให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



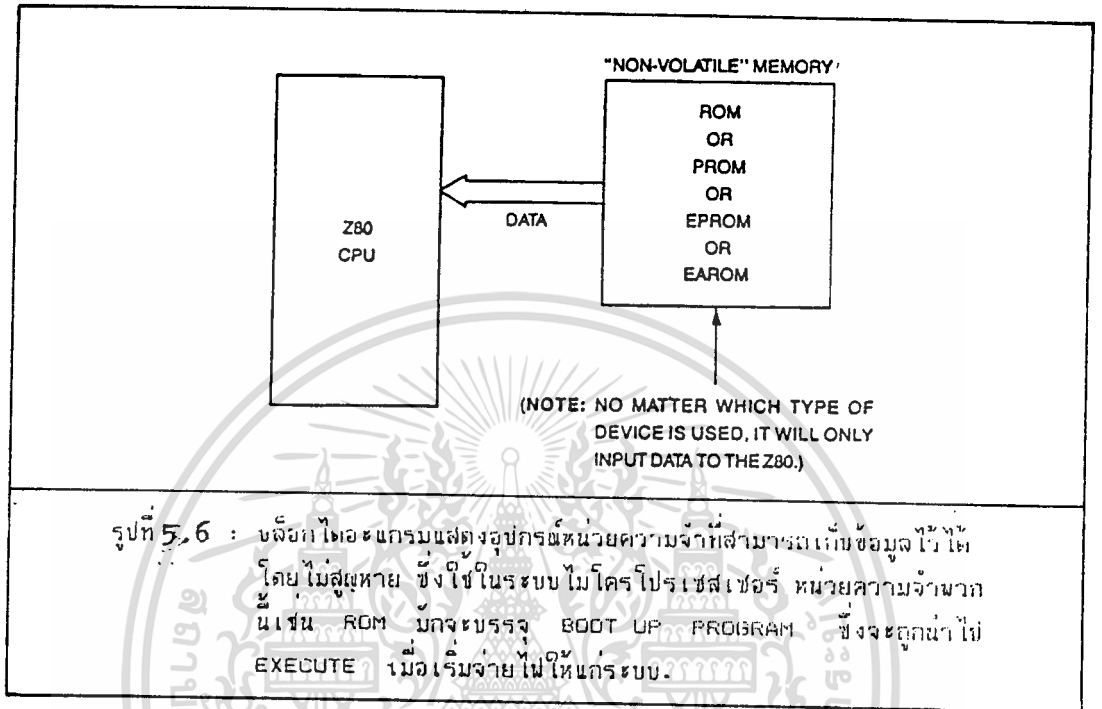
รูปที่ 5.5 แสดงไคอะแกรมเวลาของซีพียู

## 5.2 การใช้ ROM กับ Z-80

ในระบบไมโครโปรเซสเซอร์ จะมีหน่วยความจำชนิดหนึ่งที่ใช้สำหรับเก็บข้อมูล โดยที่ข้อมูลเหล่านี้ไม่สูญหายเมื่อไม่มีการจ่ายไฟเลี้ยงแก่ระบบ หน่วยความจำชนิดนี้ก็คือ ROM (READ ONLY MEMORY) นั่นเอง ข้อมูลที่เก็บอยู่ใน ROM สามารถอ่านออกมาได้ แต่ไม่สามารถเขียนข้อมูลเข้าไปใน ROM ได้อีก ประโยชน์ของ ROM ในระบบไมโครโปรเซสเซอร์คือ ทำให้ CPU ของระบบสามารถที่จะเริ่มทำงานโดยการกำหนดสถานะของอุปกรณ์ฮาร์ดแวร์ต่างๆ (เป็นที่เก็บ MONITOR PROGRAM) ให้อยู่ในสถานะที่พร้อมที่จะทำงานได้ เมื่อเราเริ่มจ่ายไฟเลี้ยงให้แก่ระบบ

หน่วยความจำที่เก็บข้อมูลไว้ได้โดยไม่สูญหาย ที่ใช้ระบบไมโครโปรเซสเซอร์มีหลายชนิด เช่น READ-ONLY MEMORY (ROM), PROGRAMMABLE READ-ONLY MEMORY (PROM), ERASABLE PROGRAMMABLE READ-ONLY MEMORY (EPROM), ELECTRICALLY ALTERABLE READ-ONLY MEMORY (EAROM)

(รูปที่ 5.6) ในระบบไมโครโปรเซสเซอร์ Z-80 ทั่วๆ ไป จะใช้หน่วยความจำเหล่านี้ชนิดใดชนิดหนึ่งเท่านั้น ขึ้นอยู่กับความสะดวกและราคาในการใช้งานของระบบนั้นๆ ซึ่งจะกล่าวแยกแต่ละชนิดต่อไป.



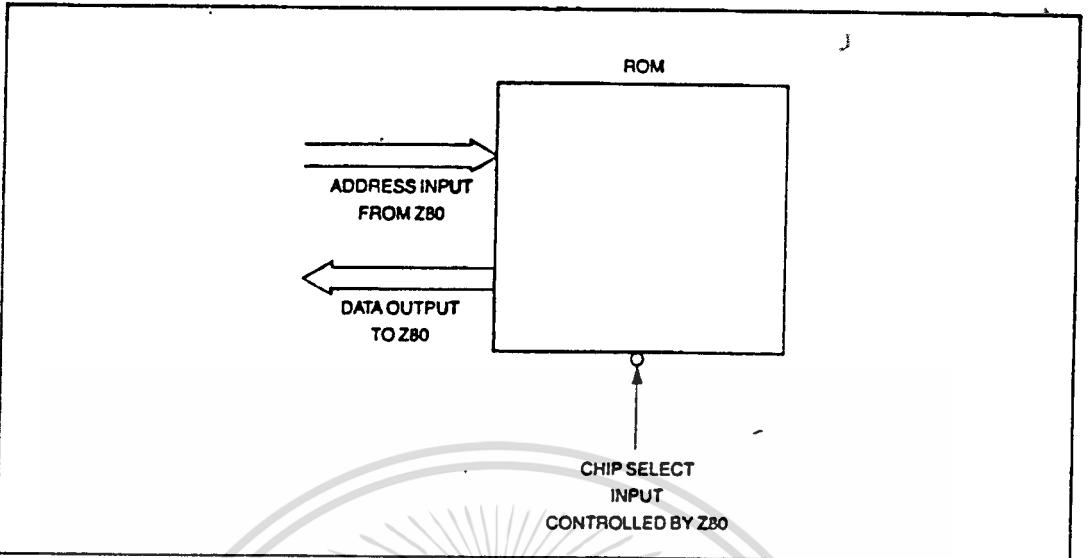
ROM (READ-ONLY MEMORY) ข้อมูลทั้งหมดที่อยู่ใน ROM จะถูกโปรแกรมโดยผู้ผลิต (โปรแกรมจากโรงงาน) เราจะใช้ เมื่อมีข้อมูลที่ไม่เปลี่ยนแปลงและมีความต้องการใช้งานเป็นจำนวนมาก

PROM (PROGRAMMABLE READ-ONLY MEMORY) ข้อมูลที่ต้องการจะถูกโปรแกรมจะถูกโปรแกรมโดยผู้ใช้เอง แต่ข้อมูลที่โปรแกรมแล้วจะเปลี่ยนแปลงใหม่ไม่ได้

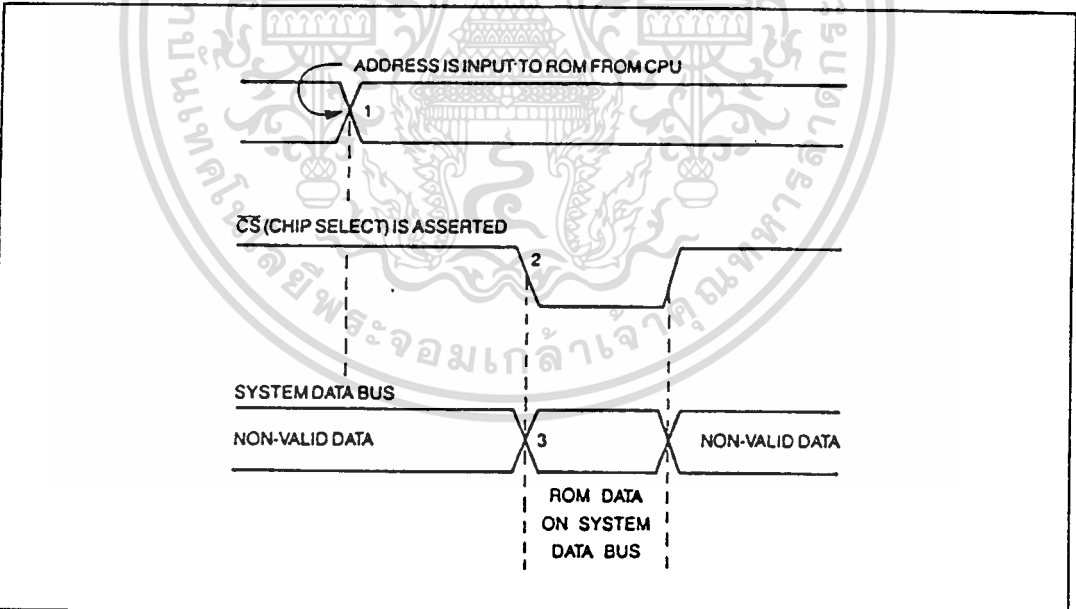
EPROM (ERASABLE PROGRAMMABLE ROM) ข้อมูลที่ต้องการจะถูกโปรแกรมโดยผู้ใช้ ข้อดีของแบบนี้ก็คือ สามารถเปลี่ยนข้อมูลที่โปรแกรมแล้วได้โดยการลบข้อมูลเดิมใน ROM โดยการฉายแสงอุลตราไวโอเลต เข้าในตัว ROM ส่วนเวลาที่ใช้ในการฉายแสงดูได้จาก (DATA SHEET)

EAROM (ELECTRICALLY ALTERABLE ROM) ข้อมูลจะถูกโปรแกรมโดยผู้ใช้ และข้อมูลที่โปรแกรมแล้วสามารถลบได้โดยทางไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.7 : บล็อกไดอะแกรมแสดงการใช้งานอุปกรณ์จำพวก ROM ค่าแอดเดรสจะถูกป้อนเข้าไป เพื่อใช้ในการกำหนดตำแหน่งข้อมูลในหน่วยความจำ ซึ่งข้อมูลนั้นจะถูกอ่านออกมา เมื่ออุปกรณ์เหล่านี้ได้ตำแหน่งถูกเลือกใช้งาน โดยสัญญาณ CHIP SELECT.



รูปที่ 5.8 : แสดงไดอะแกรมเวลาของสัญญาณที่ใช้ในการอ่านข้อมูลจากหน่วยความจำประเภท ROM

1. CPU ส่งค่าแอดเดรสให้กับ ROM
2. สัญญาณ CHIP SELECT ถูกส่งให้กับ ROM
3. ข้อมูลจาก ROM ถูกส่งออกมาบนบัสข้อมูล

### 5.21) คุณสมบัติที่สำคัญในการทำงานของ ROM

จากที่ได้อธิบายมาแล้ว เราสามารถอ่านข้อมูลจาก ROM ได้เพียงอย่างเดียว ในการกำหนดจำนวนเส้นของบัสแอกเรสที่ใช้กับมันโดยดูจากสิ่งที่ยื่นออกมาที่ตัวมัน เช่น  $2048 \times 8$  แสดงว่าเป็น ROM ที่เก็บข้อมูลขนาด 8 บิตต่อ 2048 คำแทน

จากรูปที่ 5.7 เป็นการแสดงบล็อกไดอะแกรม การทำงานของ ROM โดยมีเส้นควบคุมหนึ่งเส้นคือ Chip Select In ใช้เป็นตัวปิดหรือเปิด DATA Output ของ ROM เมื่อเอา Chip Select Input ทำงานจะทำให้ DATA Output ส่งข้อมูลออกจาก ROM ได้ แต่ถ้าขานี้ไม่ทำงานจะทำให้ข้อมูลที่จะส่งออกไปมีสถานะ TRI - STATE (High Impedance)

### 5.22) ขั้นตอนในการอ่านข้อมูลจาก ROM

เราสามารถลำดับขั้นตอนการอ่านข้อมูลและกรังออกจาก ROM ได้ดังนี้

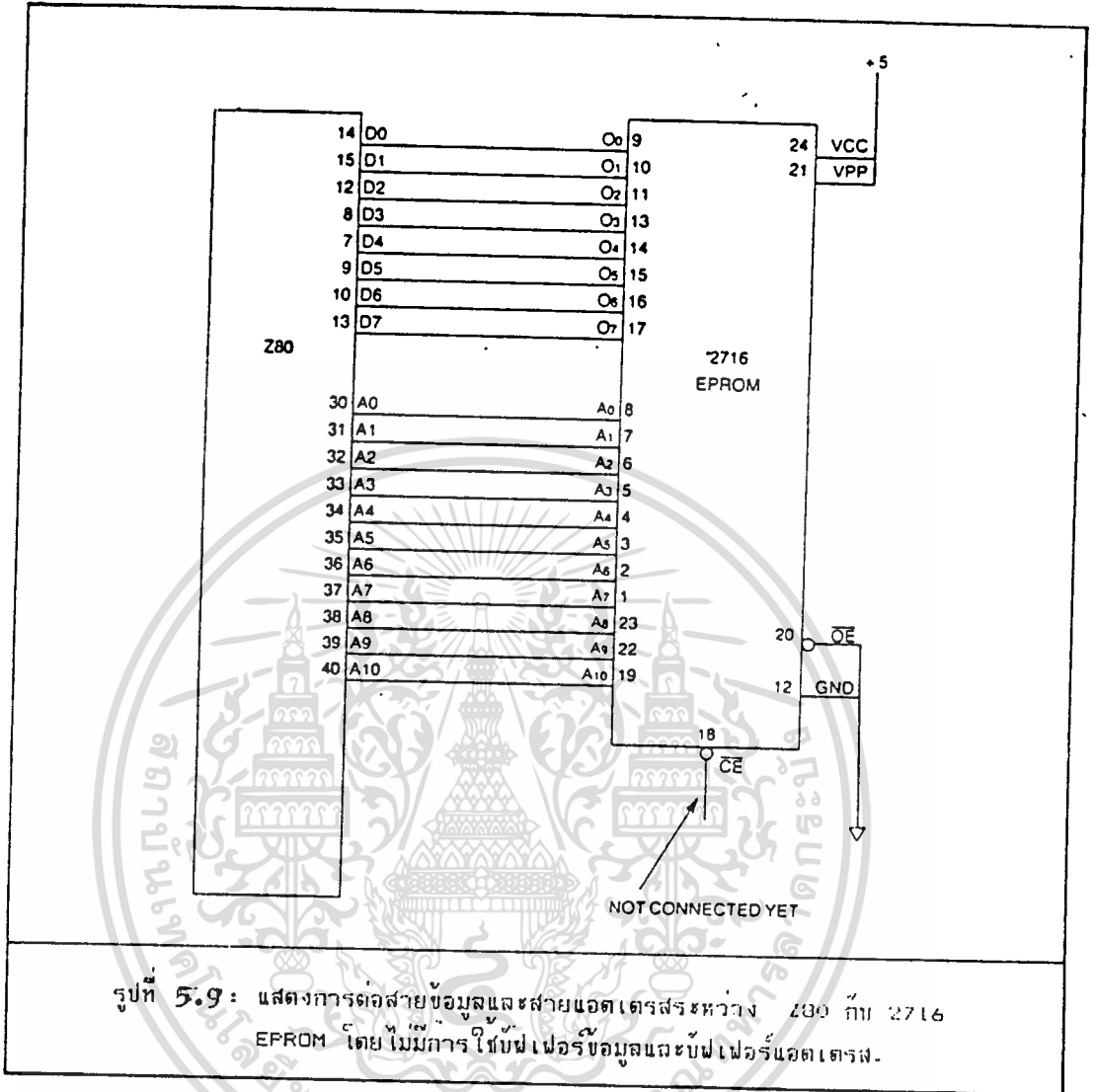
1. ถ้าแอกเรสจะถูกป้อนเข้าไปยัง ROM (โดย CPU)
2. CPU จะคอยอยู่ช่วงเวลาหนึ่ง (Wait) เรียกว่า Access Time มีค่าประมาณ 100 - 300 นาโนวินาที
3. ถ้า Chip Select จะถูกทำให้แอกทีฟ (Active) เพื่อให้ข้อมูลออกไปที่บัสข้อมูลได้ แล้ว จะตอบรับ (Strobe) ข้อมูลเข้าไปเก็บไว้ในรีจิสเตอร์ภายใน CPU
4. ถ้า Chip Select จะสั่งให้เลิกการทำงาน (สถานะ Inactive) เพื่อทำให้ข้อมูลที่อยู่บนบัสข้อมูลของระบบหายไป

ลำดับการทำงานที่ได้อธิบายมาแล้วข้างบนจะแสดงในรูปที่ 5.8

### 5.23) การต่อ ROM เข้ากับ Z80 บัส

จากรูปที่ 5.9 เป็นการต่อบัสแอกเรสและบัสข้อมูลของ Z80 เข้ากับ ROM

โดยตรง

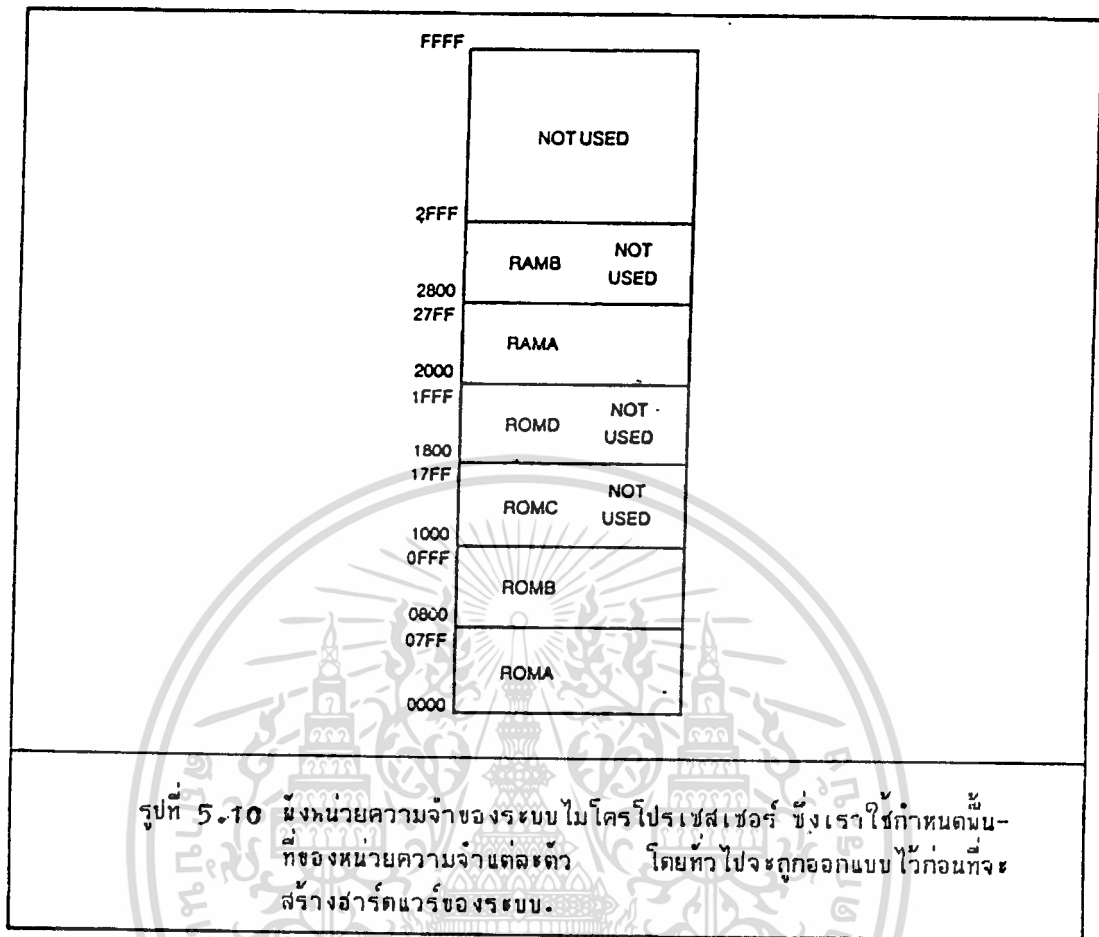


รูปที่ 5.9 : แสดงการต่อสายข้อมูลและสายแอดเดรสระหว่าง Z80 กับ 2716 EPROM โดยไม่มีการใช้บัฟเฟอร์ข้อมูลและบัฟเฟอร์แอดเดรส.

5.24) ถังแอดเดรส

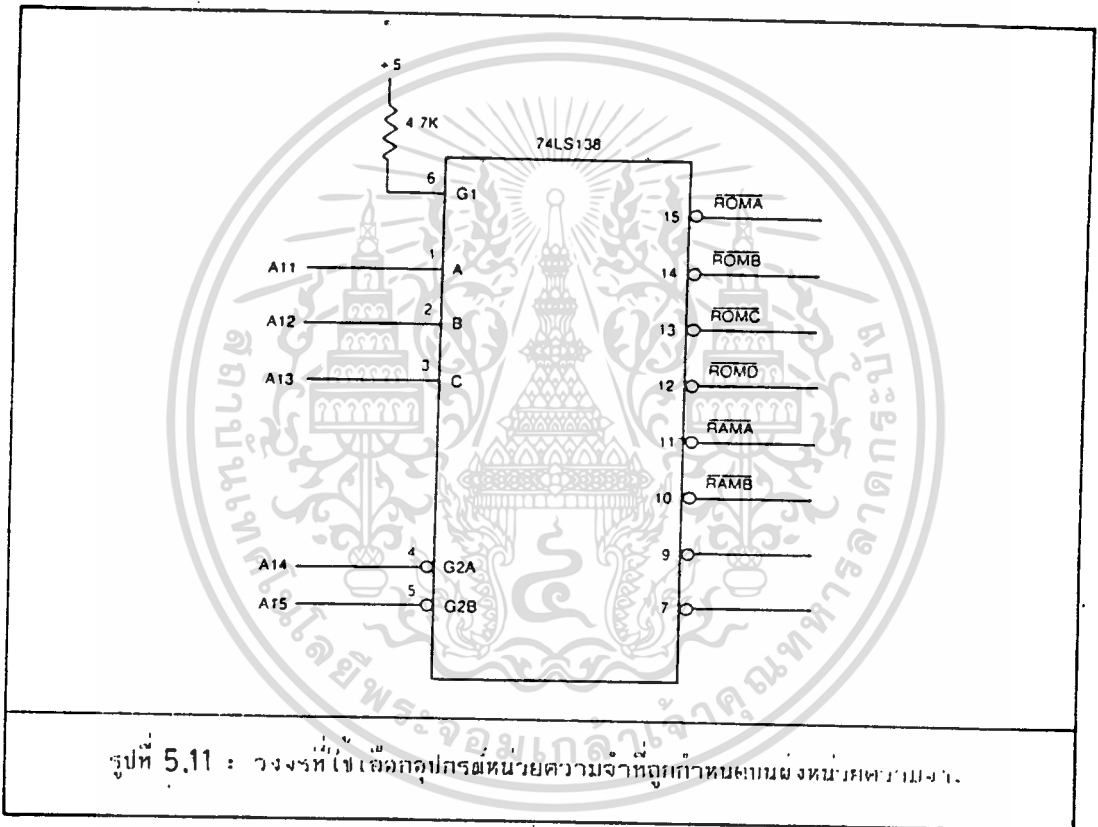
Z80 เป็นไมโครโปรเซสเซอร์ที่มีบัสแอดเดรส 16 เส้น (A<sub>0</sub>-A<sub>15</sub>) นั่นก็ของมันสามารถติดต่อกับแอดเดรสได้ถึง 2<sup>16</sup> หรือ 65536 ตำแหน่งตัวอย่างนี้เราใช้เบอร์ 2716 ซึ่งมีขนาด 2 กิโลไบต์

การสร้างระบบทางฮาร์ดแวร์ที่ออกแบบจะต้องกำหนดฟังก์ชันหน่วยความจำ (MEMORY) เสียก่อนเพื่อให้ทราบตำแหน่งของ ROM, RAM และอุปกรณ์ I/O อยู่ที่ไหนดังในรูปที่ 5.10



### 5.25) การสร้างสัญญาณ Chip Select สำหรับ ROM

จากรูปที่ 5.10 ทั่วไป ROM จะถูกเลือกเมื่อ Z80 มีเอาต์พุตแอกเทส อยู่ระหว่าง 0000H กับ 07FFH ดังนั้นจึงต้องมีการเลือกแอกเทส



รูปที่ 5.11 : วงจรที่ใช้เลือกอุปกรณ์หน่วยความจำที่กำหนดตามผังหน่วยความจำ.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

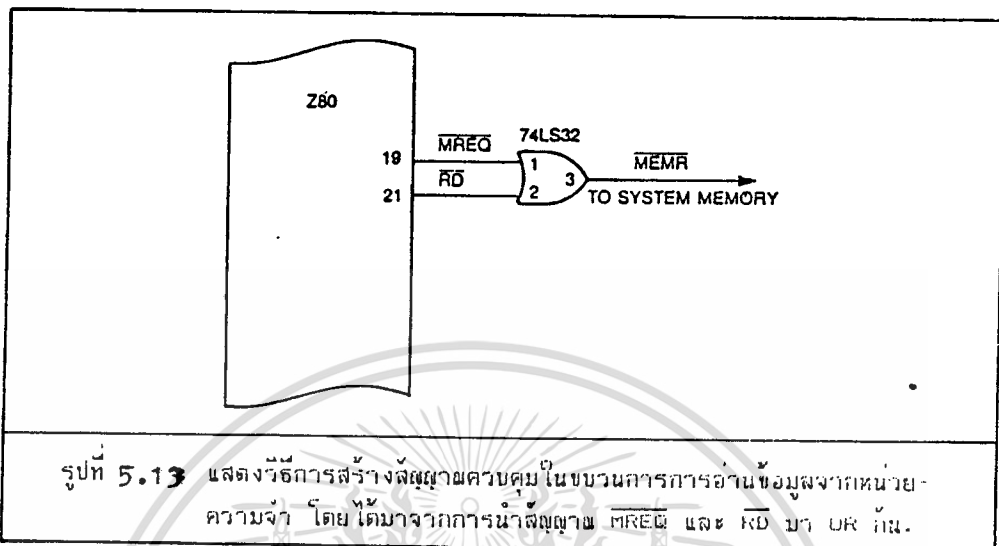
จากรูปที่ 5.11 แสดงวงจรการเลือกแอดเดรสของหน่วยความจำ ซึ่งถ้า  $A_{11}, A_{12}, A_{13}, A_{14}$  และ  $A_{15}$  มีลอจิก "0" จะทำให้ขา 15 ของไอซี 74LS138 มีลอจิกเป็น "0" (ROM ถูกเลือก) และขา 15 จะเป็น "0" ภายในช่วงที่นำหนกเท่านั้น! ตามตารางในรูปที่ 5.12 จะแสดงการตอบสนองของขาเอาต์พุตของ ไอซี 74LS138 เมื่อมีค่าแอดเดรสใน ช่วงต่างๆกัน

A15	A14	A13	A12	A11	A10	A0	HEX	PIN # = 0
0	0	0	0	0	0	0	0000	15
0	0	0	0	0	1	1	07FF	15
0	0	0	0	1	0	0	0800	14
0	0	0	0	1	1	1	0FFF	14
0	0	0	1	0	0	0	1000	13
0	0	0	1	0	1	1	17FF	13
0	0	0	1	1	0	0	1800	12
0	0	0	1	1	1	1	1FFF	12
0	0	1	0	0	0	0	2000	11
0	0	1	0	0	1	1	27FF	11
0	0	1	0	1	0	0	2800	10
0	0	1	0	1	1	1	2FFF	10

รูปที่ 5.12: พังหน่วยความจำของรูป 5.11

### 5.26) การสร้างสัญญาณสำหรับอ่านหน่วยความจำ

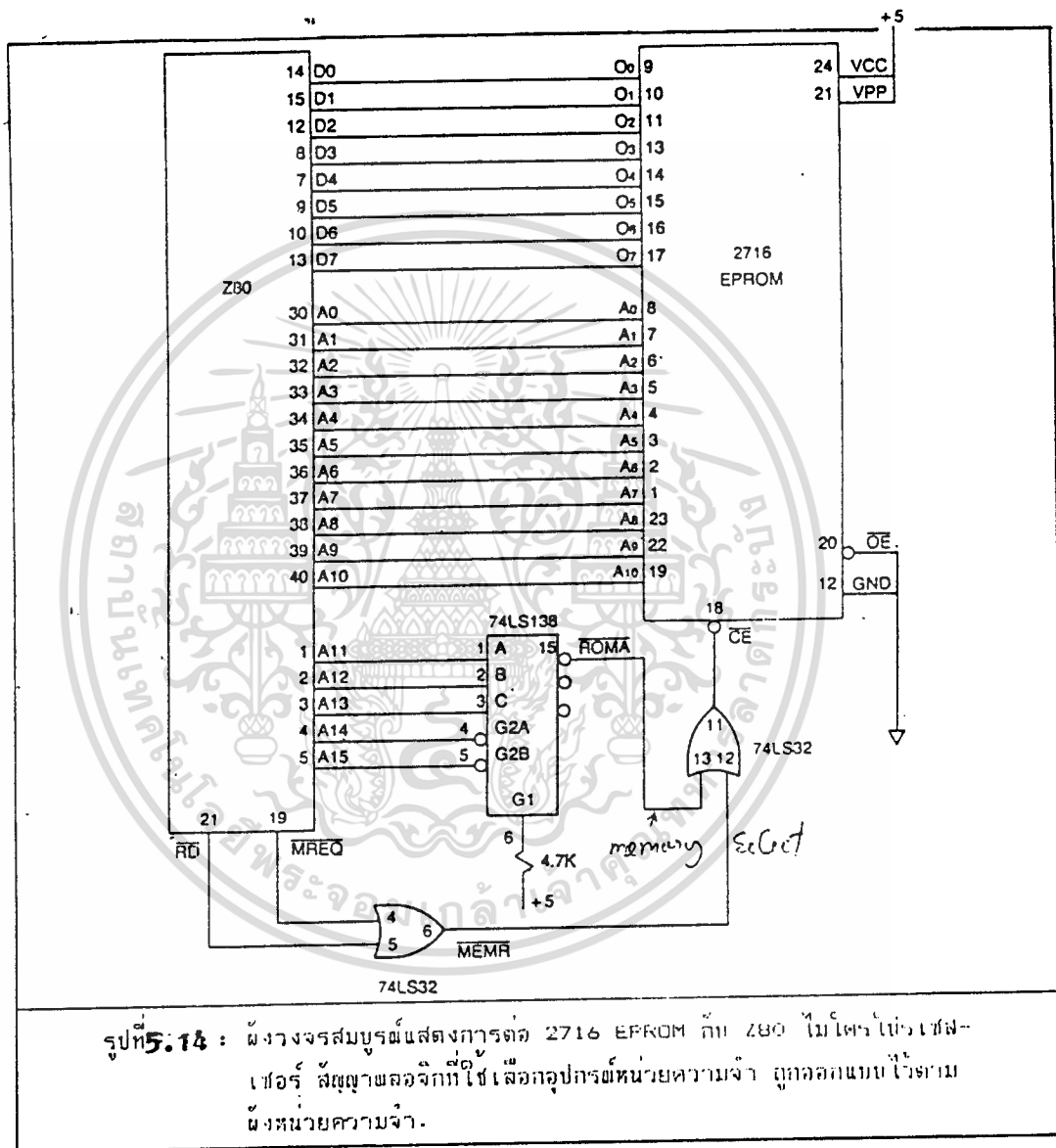
การต่อขา Chip Select เข้ากับ Z80 เราต้องศึกษาเกี่ยวกับสัญญาณเวลาที่ใช้ควบคุมที่ส่งจาก Z80 เพื่อใช้เริ่มและหยุดการส่งข้อมูลซึ่งเรียกว่า Memory Read ซึ่งสัญญาณนี้จะทำงานร่วมกับสัญญาณ Memory Select เพื่อควบคุมการอ่านข้อมูลจาก ROM



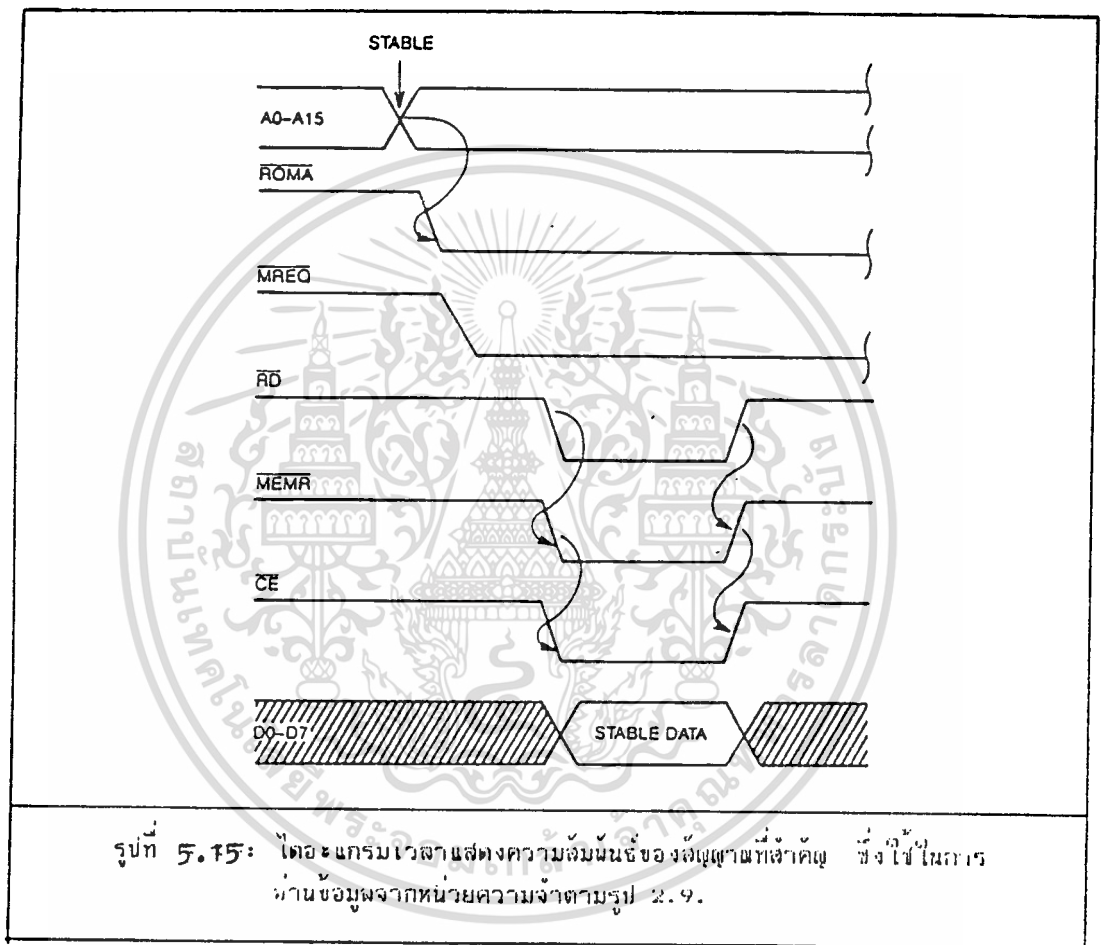
รูปที่ 5.13 แสดงวิธีการสร้างสัญญาณควบคุมในขบวนการการอ่านข้อมูลจากหน่วยความจำ โดยได้มาจากการนำสัญญาณ MREQ และ RD มา OR กัน.

### 5.27) การต่อขา Chip Select Line

รูปที่ 5.14 เป็นการแสดงการต่อ Z80 กับ ROM อย่างสมบูรณ์เมื่อสัญญาณ Memory Select และ Memory Read มีลอจิกเป็น "0" ทั้งคู่จะทำให้  $\overline{CE}$  เบอร์ 2716 ทำงาน ส่วนรูปที่ 5.15 แสดงไทม์ไลน์ของความสัมพันธ์ของสัญญาณที่สำคัญในระหว่างที่มีการอ่านข้อมูลจาก ROM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



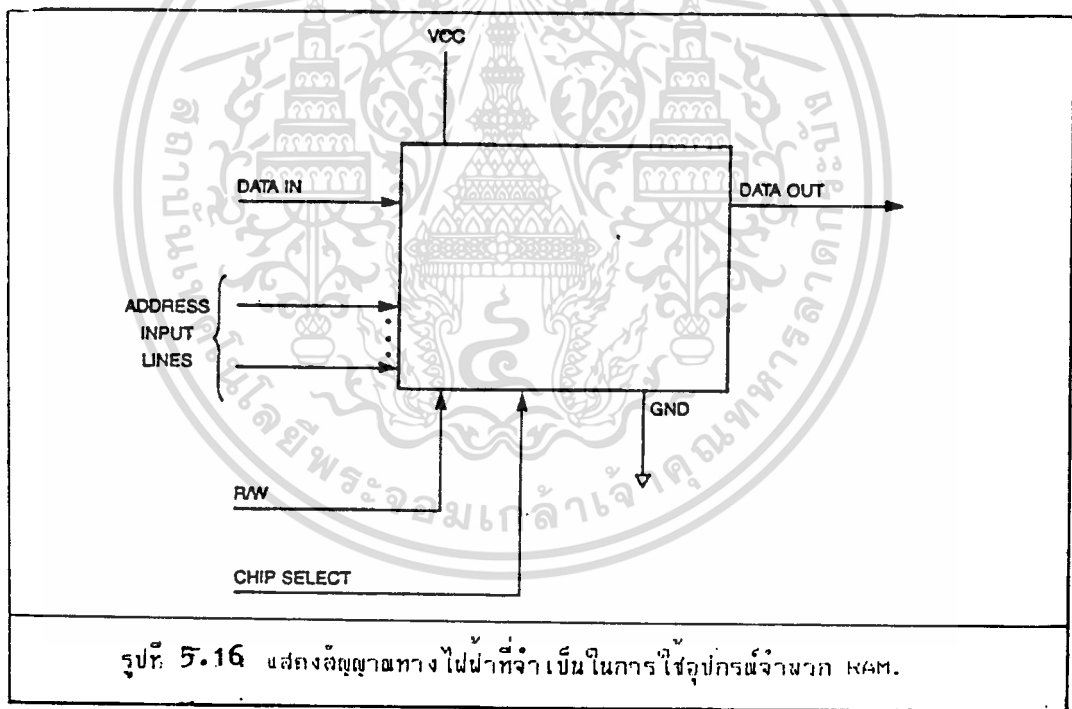
### 5.3) การนำ Z-80 ต่อร่วมกับ Static RAM

#### 5.31) ลักษณะการทำงานของ RAM

การทำงานของหน่วยความจำชนิดที่สามารถอ่านและเขียนข้อมูลได้ โดย Z80 ต้องมีสัญญาณทางไฟฟ้าส่งไปควบคุม RAM ในรูปที่ 5.16 แสดงบล็อกไดอะแกรมของ RAM กับสัญญาณไฟฟ้าจาก CPU

ในรูปที่ 5.16 "Data In" เป็นสายที่เขียนข้อมูลเข้า RAM ส่วน "Data Out" เป็นสายอ่านข้อมูลออกจาก RAM

นอกจากนี้ขาของ RAM ถูกระบุโดยแอดเดรสบัสเหมือน ROM เช่น Address Line ของ RAM มีหน้าที่ในการเลือกตำแหน่งภายใน RAM เพื่อนำข้อมูลเข้าไปเขียนหรืออ่านออกมาของตำแหน่งนั้น



รูปที่ 5.16 แสดงสัญญาณทางไฟฟ้าที่จำเป็นในการใช้อุปกรณ์จำพวก RAM.

#### 5.32) หลักการอ่านข้อมูลของ RAM

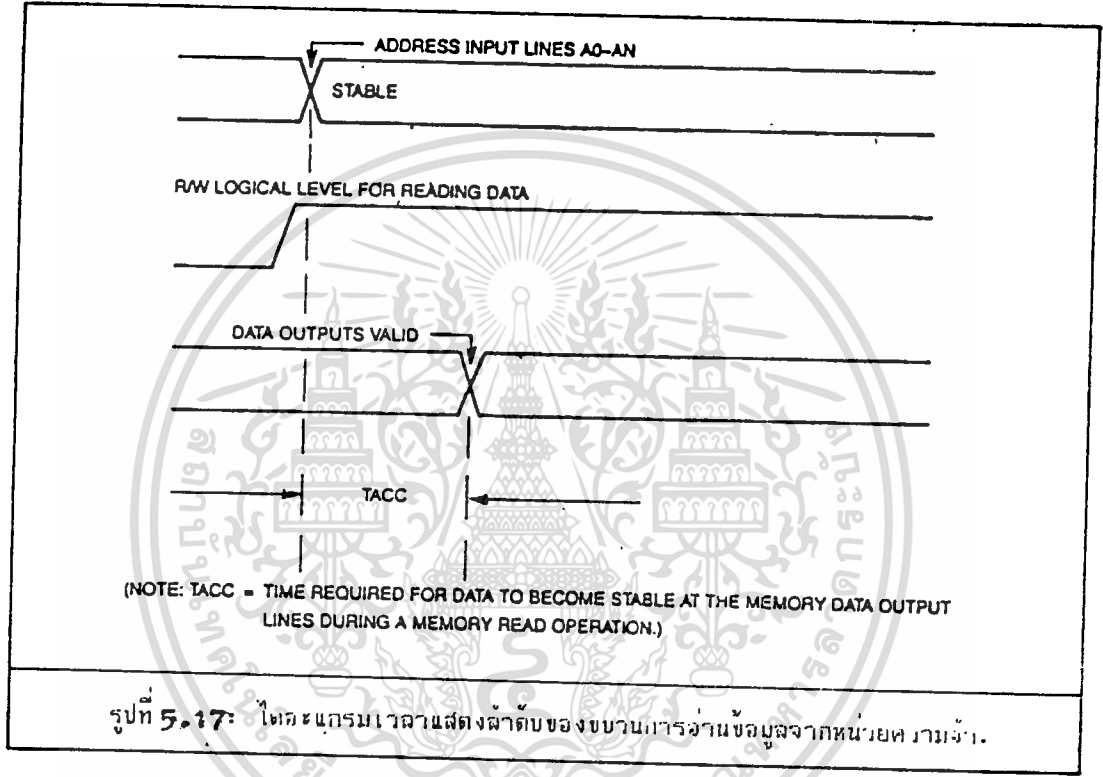
1. สัญญาณที่บ่งตำแหน่ง แอดเดรสจะเข้ามาที่หน่วยความจำทางบัสแอดเดรส เพื่อเอาสัญญาณนี้มาทำการถอดรหัสตำแหน่งภายใน RAM

2. สัญญาณบนเส้นควบคุม R/W จะถูกทำให้อยู่ในตำแหน่งลอจิกที่ถูกต้อง ซึ่ง

อาจจะเป็นลอจิก "1" หรือ "0" ซึ่งงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ระบบจะคอยอยู่ช่วงเวลาหนึ่งที่เราเรียกว่า Read Access Time เพื่อให้งจรภายใน RAM ถอดรหัสตำแหน่งและเลือกข้อมูลในตำแหน่งนั้นๆ

4. หลังจากคอยอยู่ช่วงเวลาหนึ่งแล้ว ข้อมูลจะถูกส่งออกมาบน Data Out Line และอ่านออกมาโดยที่ตัวของระบบแต่ถ้าไม่มี Access Time ข้อมูลที่ได้อาจจะผิด - ผลาคโค



### 5.33) ขั้นตอนการเขียนข้อมูลเข้าไปใน RAM

1. บน Address Line จะมีสัญญาณลอจิกที่บอกตำแหน่งที่อยู่ภายในหน่วยความจำ ซึ่งก็คือตำแหน่งที่จะนำข้อมูลเข้าไปเขียน

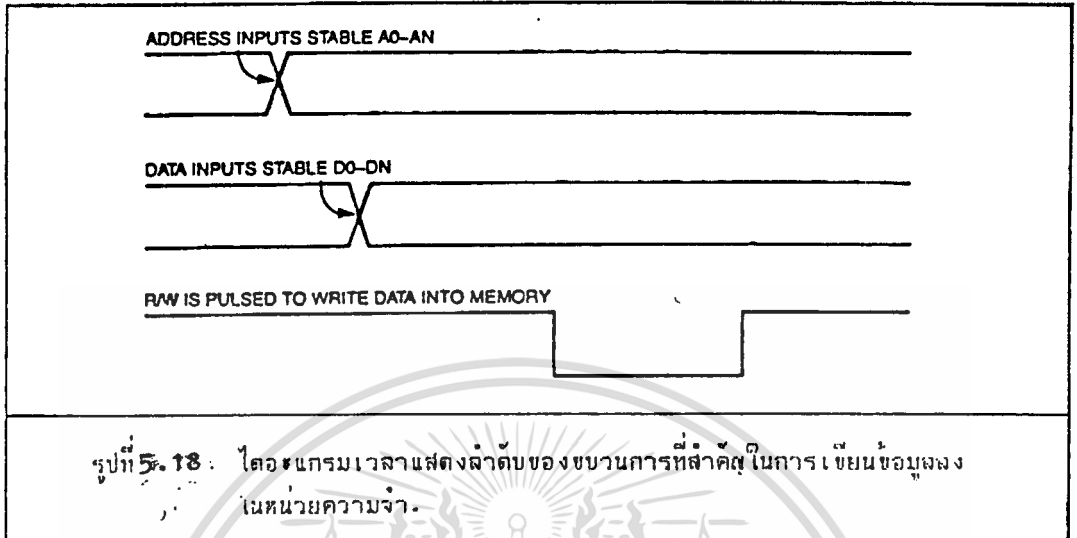
2. ข้อมูลที่จะเขียนจะปรากฏที่ Data Input Line

3. ระบบจะคอยอยู่ช่วงเวลาหนึ่ง ซึ่งเรียกว่า Write Access Time (จะมีค่าประมาณ 200 - 300 นาโนวินาที) เพื่อให้งจรถอดรหัสภายในเสียบก่อน

4. หลังจากคอยอยู่ช่วงเวลาหนึ่งแล้ว เส้นควบคุม R/W ของหน่วยความจำ จะมีระดับของลอจิกที่ทำให้เกิดการเขียนขึ้น เพื่อให้ข้อมูลที่ Data Input ถูกเขียนเข้า

ไป RAM ที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 5.18 เป็นการแสดงไทม์แกรมเวลาของขั้นตอนที่กล่าวข้างบน

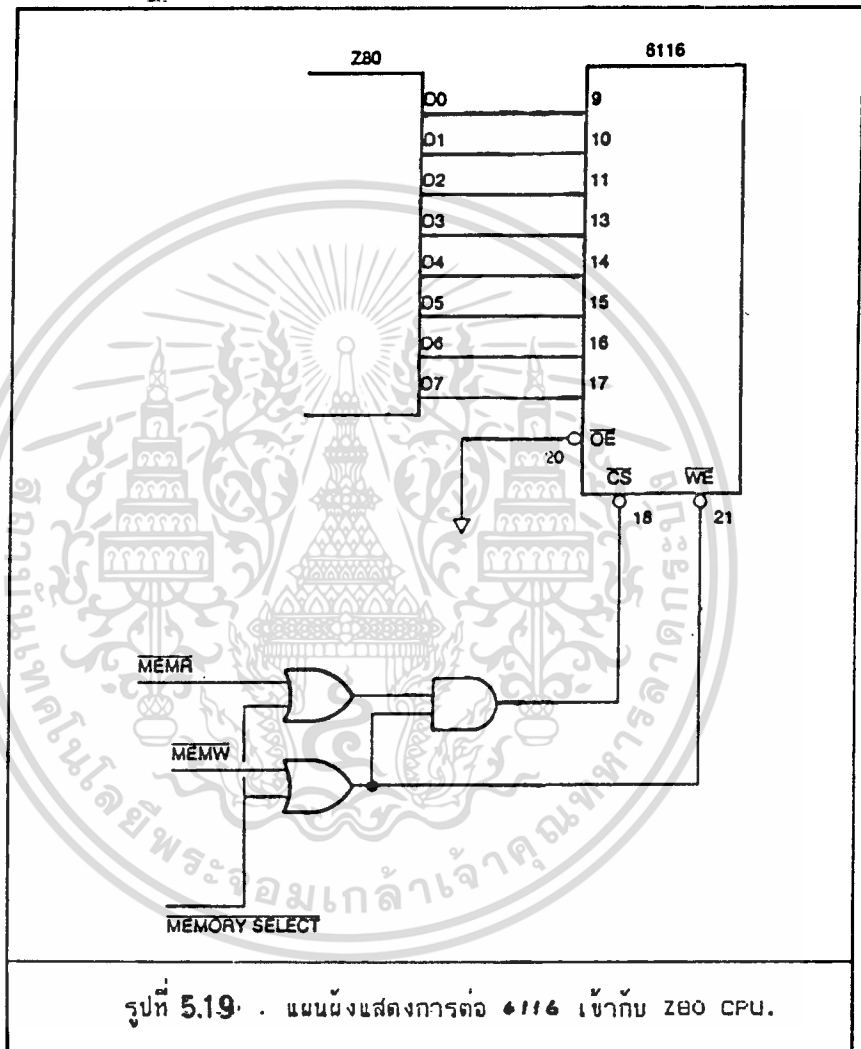


รูปที่ 5.18 : ไทม์แกรมเวลาแสดงลำดับของขบวนการที่สำคัญในการเขียนข้อมูลลงในหน่วยความจำ.

5.34) หน่วยความจำ Static RAM เบอร์ 6116

หน่วยความจำ RAM ที่นิยมใช้ในระบบควบคุมของ Z-80 คือ เบอร์ 6116 ซึ่งเป็นแบบ 2\*8 , Common I/O RAM ซึ่งข้อมูลจำเพาะของไอซีเบอร์นี้จะแสดงไว้ด้านหลังของวิทยานิพนธ์

จากรูปที่ 5.19 เป็นวิธีหนึ่งที่จะ 6116 RAM เข้ากับระบบควบคุมของ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

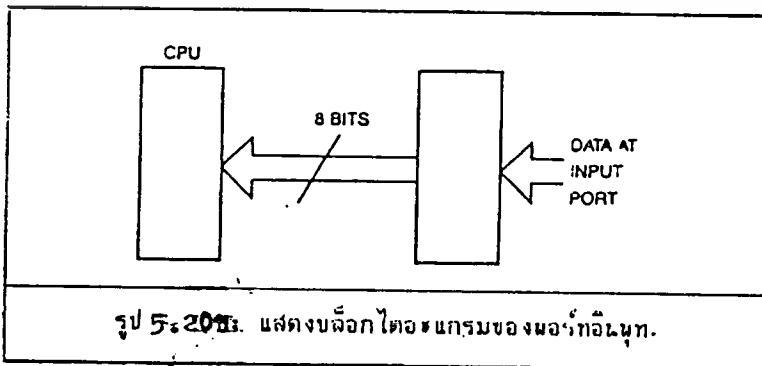
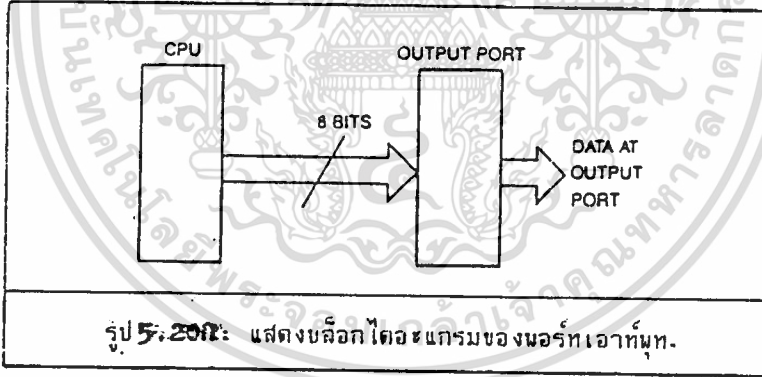
**5.5) การต่อ 280 กับอุปกรณ์อินพุตและเอาต์พุต**

ในขณะการทำงานของระบบไมโครโปรเซสเซอร์นั้น จะมีความจำเป็นอย่างหนึ่งที่จะต้องทำการติดต่อกับอุปกรณ์อื่น ๆ เสมอ นอกเหนือจากหน่วยความจำแล้วในบางครั้งก็ต้องการอ่านข้อมูลจากอุปกรณ์อินพุต และ ส่งข้อมูลออกไปยังอุปกรณ์เอาต์พุต

**5.51) ขบวนการอินพุตและเอาต์พุตของ 280**

สัญญาณทางไฟฟ้าที่ใช้ในระบบฮาร์ดแวร์ในขณะที่ ทำการติดต่อกับอุปกรณ์ I/O จะประกอบด้วยสัญญาณจากบัสแอดเดรส (ADDRESS-BUS) , สัญญาณจากบัสข้อมูล (Data Bus ) และ สัญญาณจากบัสควบคุม (Control Bus)

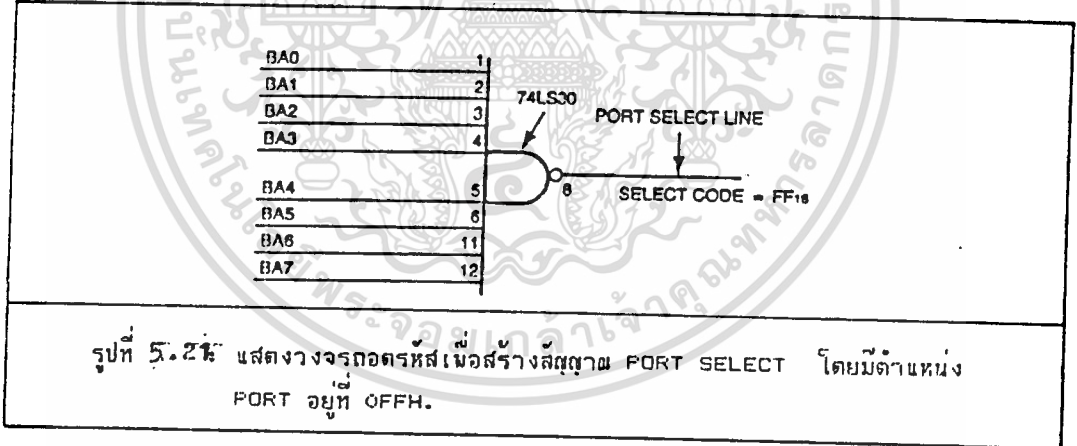
รูป 5.20ก และ 5.20ข จะแสดงบล็อกโคจรแตรมของการส่งข้อมูลขนาด 8 บิตให้อุปกรณ์เอาต์พุตและรับข้อมูลจากอุปกรณ์อินพุต



5.42) การบ่งบอกตำแหน่งของพอร์ท (Port Address)

ในระบบของ Z80 นั้นจะมีสแควร์สายอยู่ 16 เส้น แต่จะใช้ในการบอกตำแหน่งของพอร์ท I/O เพียง 8 เส้นเท่านั้น Z80 สามารถติดต่อกับ I/O ขนาด 8 บิตได้ ถึง 256 พอร์ท

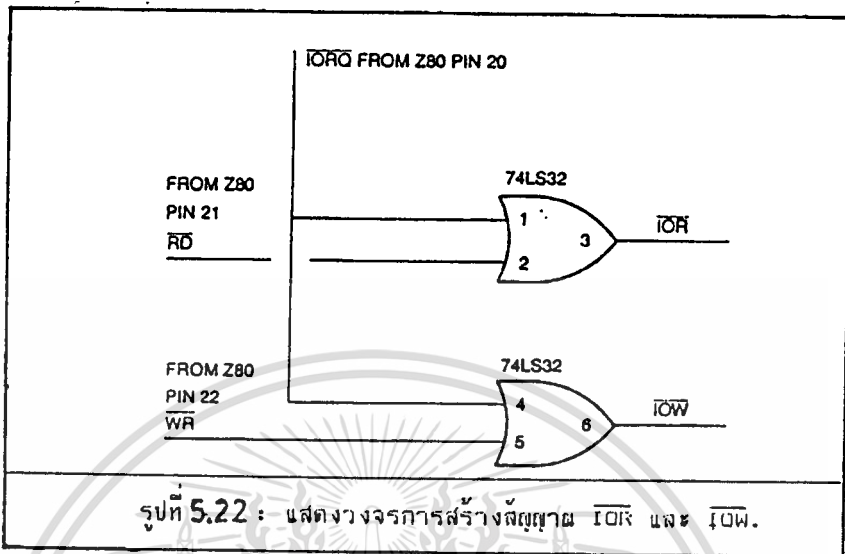
เนื่องจากการบ่งตำแหน่งของ I/O และของหน่วยความจำในระบบของ จะใช้แอสแควร์สายคู่เดียวกัน ดังนั้นไมโครโปรเซสเซอร์จึงต้องมีสัญญาณ  $\overline{IORQ}$  (I/O Request) แยกออกจาก Memory Request เนื่องจากในระบบหน่วยความจำไม่จำเป็นต้องใช้แอสแควร์สายถึง 16 เส้น ในระบบของ ก็ไม่จำเป็นต้องใช้สายแอสแควร์สายถึง 8 เส้น เช่นกัน ตัวอย่างเช่น ระบบเราต้องการใช้พอร์ทเพียง 5 พอร์ท เราจะใช้สายแอสแควร์สายเพียง 3 เส้นก็พอเพราะสาย 3 เส้นสามารถบ่งตำแหน่งได้ 8 ตำแหน่ง (ตำแหน่งของพอร์ทเราเรียกว่า "พอร์ทแอสแควร์สาย (Port Address)" รูปที่ 5.21 แสดงวงจรการถอดรหัสเลือกพอร์ท - แอสแควร์สาย OFFH



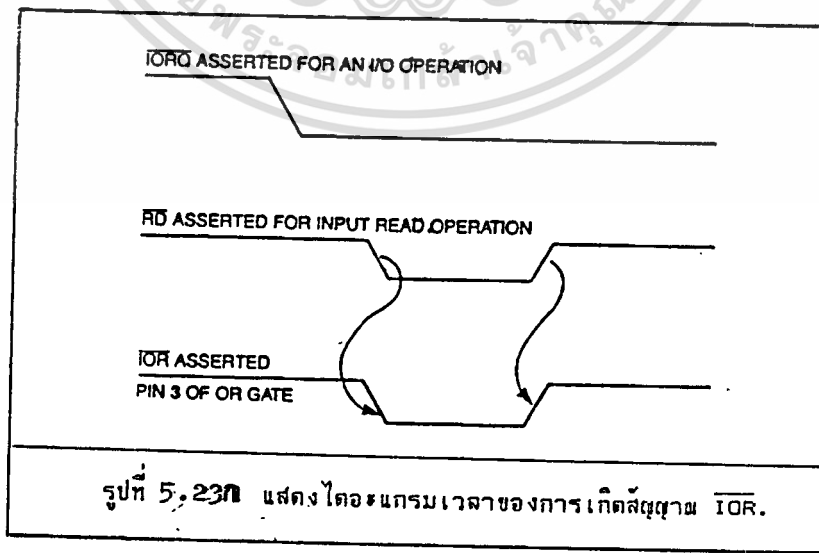
5.43) การสร้างสัญญาณควบคุม  $\overline{IOW}$  และ  $\overline{IOR}$

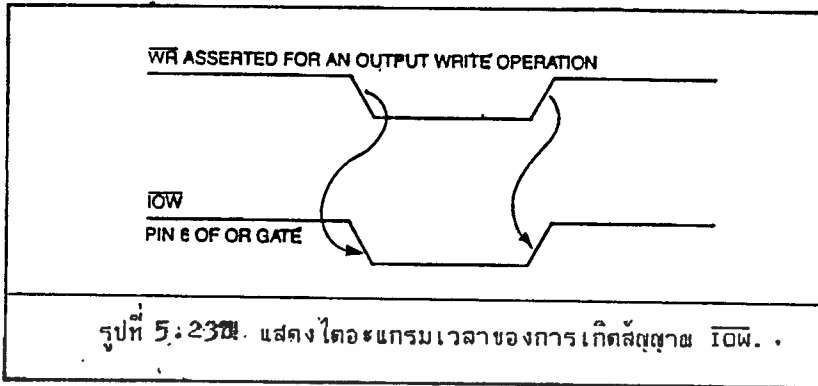
ในขณะที่ Z80 กระทำการติดต่อกับ I/O หรือ  $\overline{IORQ}$  ของ Z80 จะให้ลอจิก "0" ออกมา (คล้ายกับการติดต่อกับหน่วยความจำ ซึ่ง  $\overline{MREQ}$  เป็นลอจิก "0" ออกมา) เราจะใช้สัญญาณนี้ร่วมกับสัญญาณ  $\overline{RD}$  และ เพื่อสร้างสัญญาณ  $\overline{IOR}$  (I/O Read)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



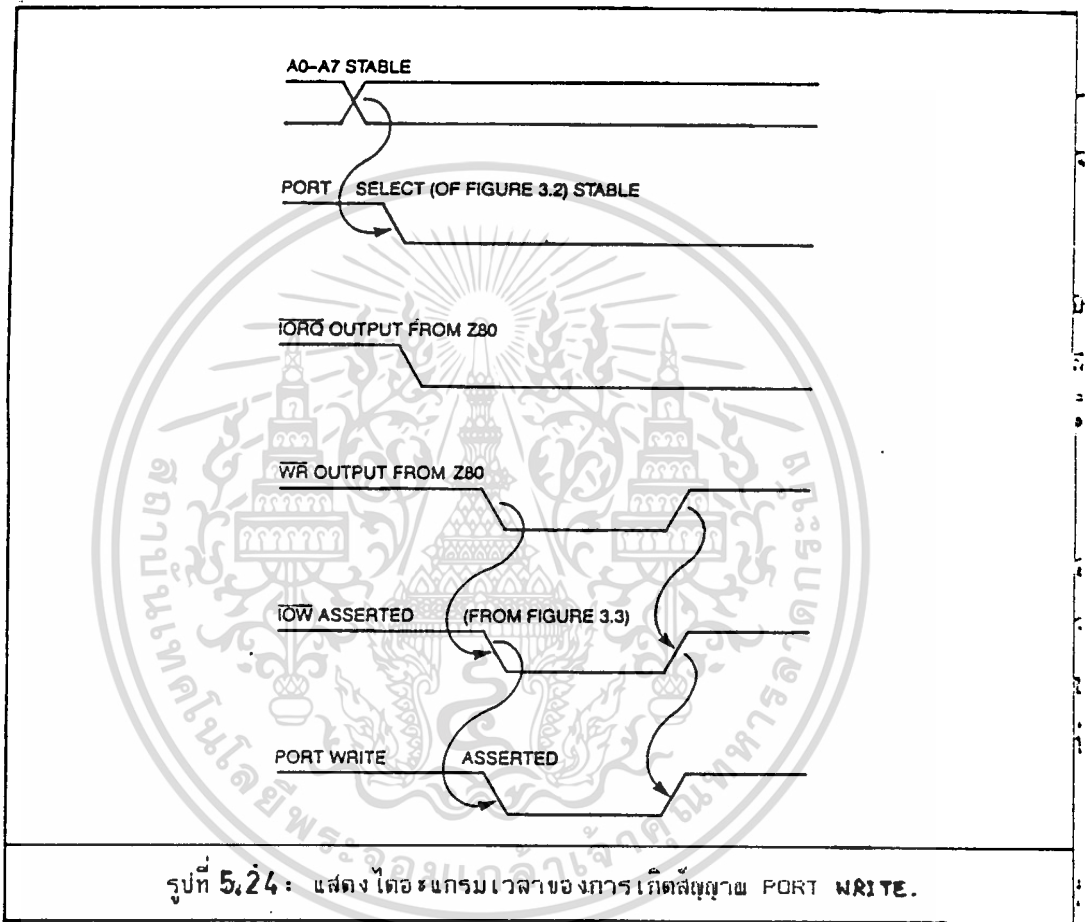
รูปที่ 5.22 แสดงการสร้างสัญญาณ  $\overline{IOB}$  และ  $\overline{IOW}$  ในระบบของ Z80 ซึ่งสัญญาณเหล่านี้จะแอกที่ระหว่างการทำงานติดต่อกับอุปกรณ์ I/O เท่านั้น ดังแสดงในรูป 5.23 ก และ 5.23 ข (เป็นรูปแสดงไทม์แอกเรมเวลาของขบวนการดังกล่าว)



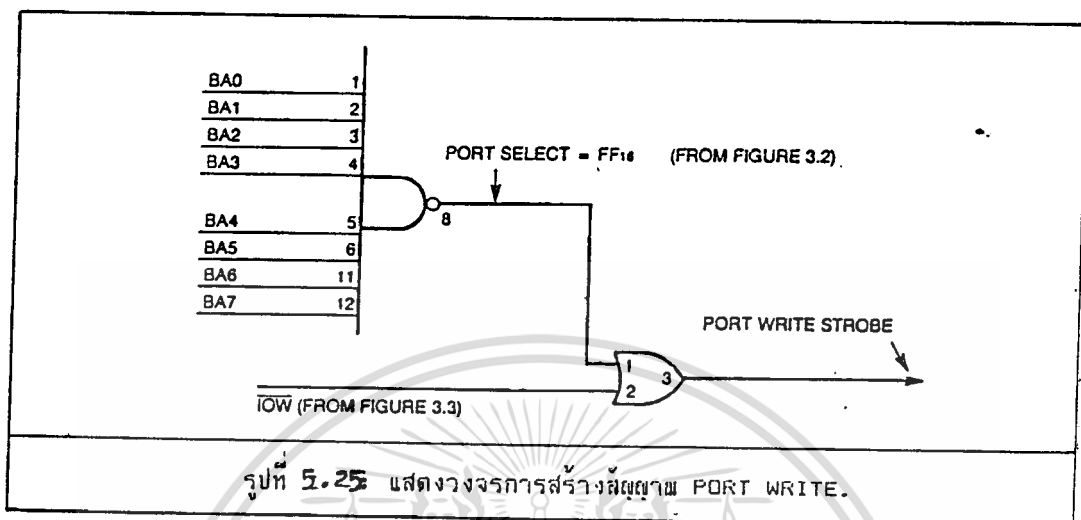


สัญญาณการเขียนพอร์ท (Port Write) ของระบบ Z80 จะใช้เป็นสัญญาณ Write Enable Stro<sub>b</sub>e ของพอร์ทเอาต์พุตที่ถูกเลือก สัญญาณเขียนพอร์ทจะเกิดขึ้นได้ก็ต่อเมื่อ Port Select และ  $\overline{IOW}$  แอคทีฟ พร้อมกัน (มีลอจิกเป็น "0" พร้อมกัน)

ไทม์แกรมเวลาในรูป 5.24 แสดงลำดับเวลาของสัญญาณที่ปรากฏขึ้นในขณะส่งข้อมูลออกไปยังพอร์ทเอาต์พุต ในรูปนี้จะเห็นว่าทุกสัญญาณยกเว้นสัญญาณ  $\overline{WR}$  จะคงอยู่นานกว่าจะหมดขบวนการติดต่อกับ I/O



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

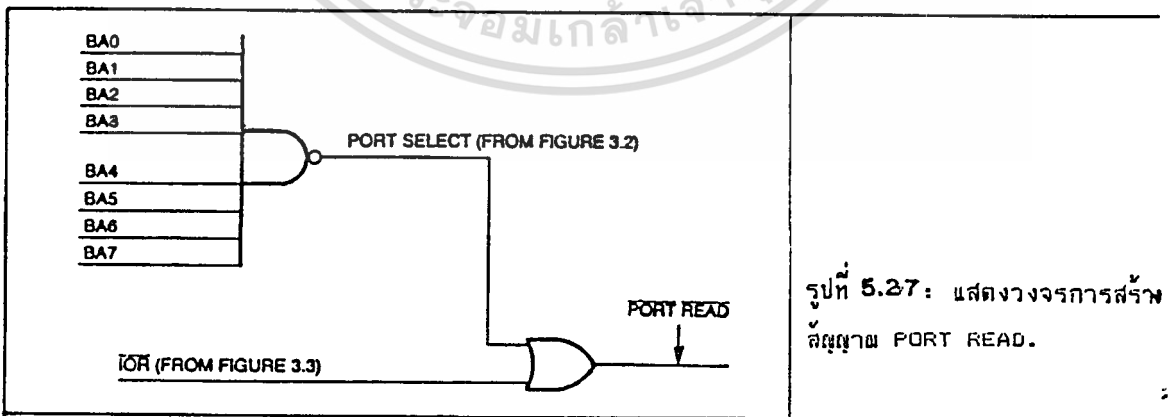
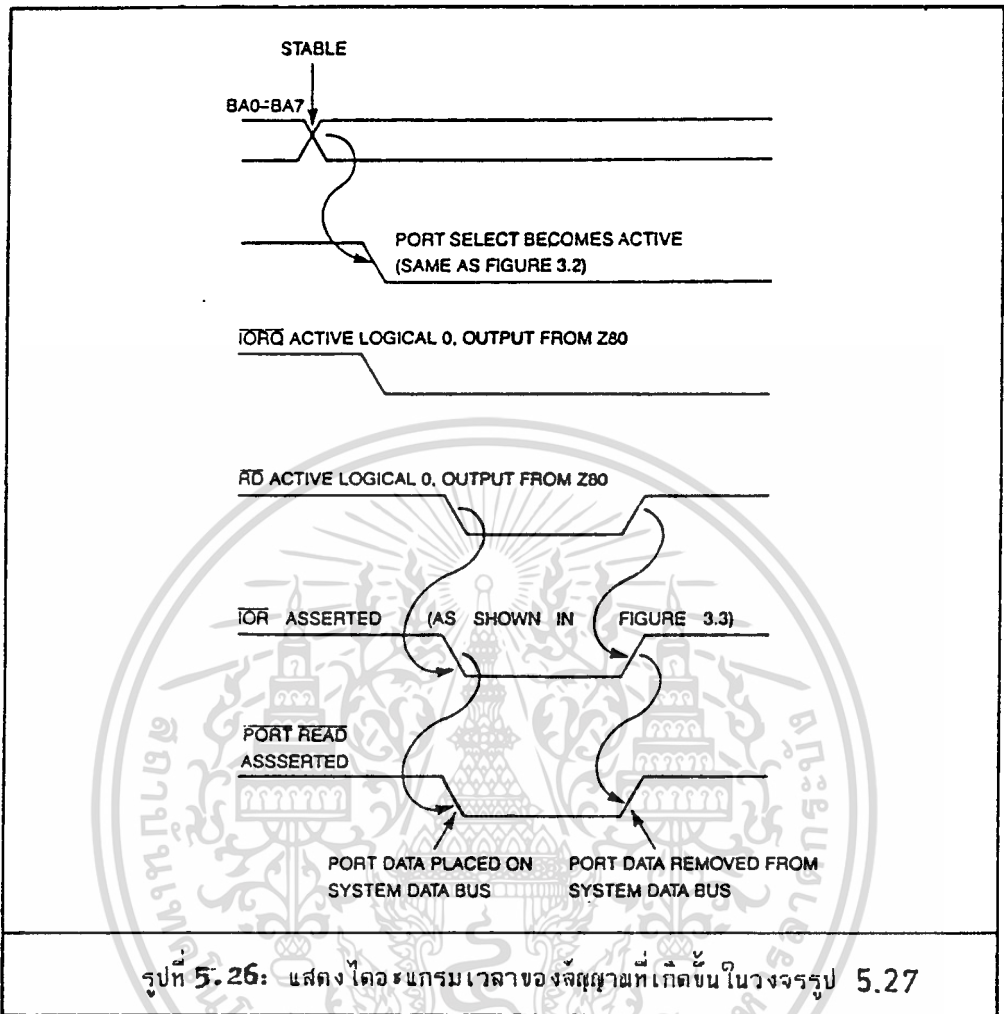


รูปที่ 5.25 เป็นการสร้างสัญญาณตอบรับ ซึ่งแอกทีฟ ที่ลจิก "0" เมื่อ CPU ต้องการส่งข้อมูลไปยังพอร์ทเอาต์พุตที่ถูกกำหนด ในรูปนี้ระบบสี่แอกเทรส A<sub>0</sub>-A<sub>7</sub> เป็นอินพุตทั้ง 8 เส้น ของ NAND gate ซึ่งเป็นวงจรลักษณะเดียวกับวงจรในรูป 5.21

ดังนั้นถ้าสัญญาณ IOW และ Port Select มีลอจิกเป็น "0" พร้อมกัน CPU ก็จะส่งข้อมูลไปพอร์ทเอาต์พุตที่ถูกเลือก ซึ่งสัญญาณนี้ถูกเรียกว่า Port Write Strobe

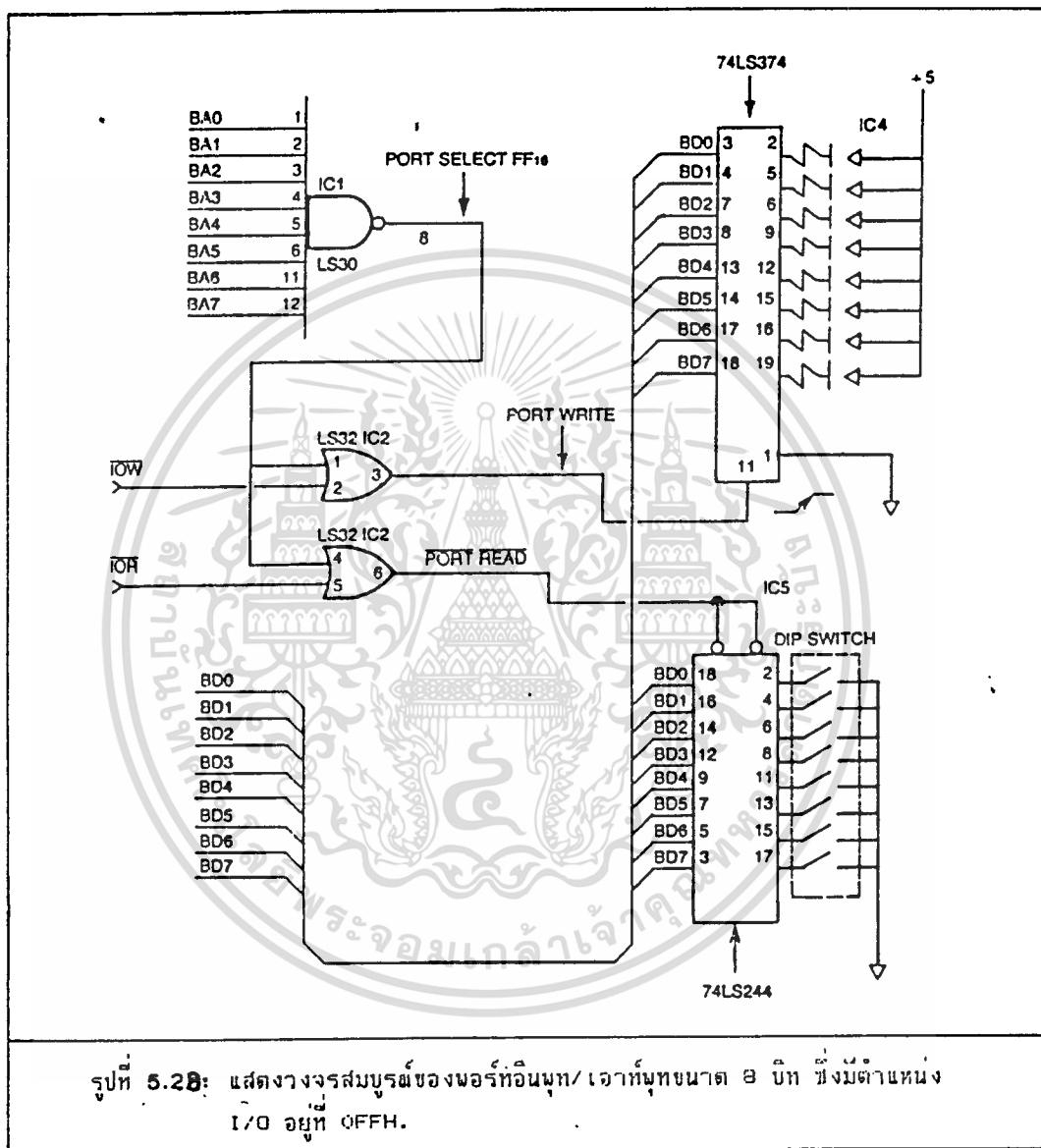
#### 5.44) การสร้างสัญญาณการอ่านพอร์ท

ไคอะแกรมเวลาที่แสดงในรูปที่ 5.26 เป็นการแสดงลำดับของสัญญาณที่ปรากฏขึ้นในระหว่างขบวนการอ่านข้อมูลจากพอร์ทอินพุต ในไคอะแกรมนี้สัญญาณ  $\overline{IOR}$  จะมีลักษณะคล้ายกับสัญญาณ IOW ในขณะที่ทำการส่งสัญญาณไปยังพอร์ทเอาต์ ซึ่งสัญญาณนี้จะทำให้เกิดการเคลื่อนย้ายข้อมูลจากพอร์ทเข้าสู่ CPU เมื่อขา RD เปลี่ยนลอจิกมาเป็น "0" ข้อมูลจากพอร์ทอินพุตจะปรากฏบนระบบบัสข้อมูล และจะถูก Strobe เข้าไปในรีจิสเตอร์ภายในของ Z80 สัญญาณ  $\overline{RD}$  ก็จะกลับมาเป็นลอจิก "1" ใหม่ ขบวนการเคลื่อนย้ายข้อมูลก็สิ้นสุดลง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.27 เป็นการสร้างสัญญาณการอ่านหรือท ตามเงื่อนไขในรูปที่ 5.26 จาก  
รูป Port Read จะแอกที่พ (มีลอจิกเป็น "0" )เมื่อ 280 ทำการรับข้อมูลจากพอร์ท  
ที่เลือก (ในพื่นที่พอร์ท I/O)



### 5.45) ขั้นตอนการส่งข้อมูลไปยังพอร์ทเอาต์พุต

1. Z80 จะส่งบัสแอสแอดแอส A<sub>0</sub>-A<sub>7</sub> ตามตำแหน่งของเอาต์พุตที่ออกไปให้ทำการถอดรหัสที่นั่น

2. Z80 จะส่งข้อมูล D<sub>0</sub>-D<sub>7</sub> ในรูปที่ 5.28 ซึ่งข้อมูลนี้จะรออยู่ที่ขาอินพุตของ IC4

3. ขา  $\overline{IORQ}$  ของ Z80 จะถูกเซ็ทให้เป็นลอจิก "0" ซึ่งเป็นการบอกว่าการติดต่อกับ I/O และสัญญาณนี้จะยังคงค้างอยู่จนกว่าจะจบกระบวนการ

4. ขา  $\overline{WR}$  ของ Z80 จะถูกเซ็ทให้เป็น "0" ทำให้สัญญาณที่ขา  $\overline{IOW}$  มีลอจิกเป็น "0" ทำให้ขา Port Write เปลี่ยนลอจิกเป็น "0" ขา  $\overline{WR}$  ของ Z80 จะกลับมาลอจิก "1" อีกครั้ง ขณะที่ข้อมูลจะถูกเขียนลงบน D<sub>0</sub>-D<sub>7</sub> เป็นการสิ้นสุดการส่งข้อมูลไปยังพอร์ทเอาต์พุต

ในรูปที่ 5.28 จะเป็นการนำเอาข้อมูลของพอร์ทเอาต์พุตมา ปิด-เปิด บิทที่มีลอจิกเป็น "0" LED ตัวนั้นจะติด ส่วนบิทที่มีลอจิกเป็น "1" LED จะดับ

### 5.46) ขั้นตอนการอ่านข้อมูลจากพอร์ทอินพุต

1. สัญญาณ A<sub>0</sub>-A<sub>7</sub> จะปรากฏบนบัสแอสแอดแอส IC 1 จะทำการถอดรหัสขา 8 เอาต์พุตของ IC1 จะมีลอจิกเป็น "0" ข้อมูลต่างๆของพอร์ทอินพุตซึ่งไม่ปรากฏบนบัสข้อมูล จะรอจนกว่าสัญญาณ  $\overline{IORQ}$  และสัญญาณ  $\overline{RD}$  เกิดขึ้นพร้อมกัน

2.  $\overline{IORQ}$  จะถูกเซ็ทให้มีลอจิกเป็น "0" โดย Z80 เพื่อให้อุปกรณ์ภายนอกรู้ว่า Z80 ต้องการติดต่อกับอุปกรณ์ I/O

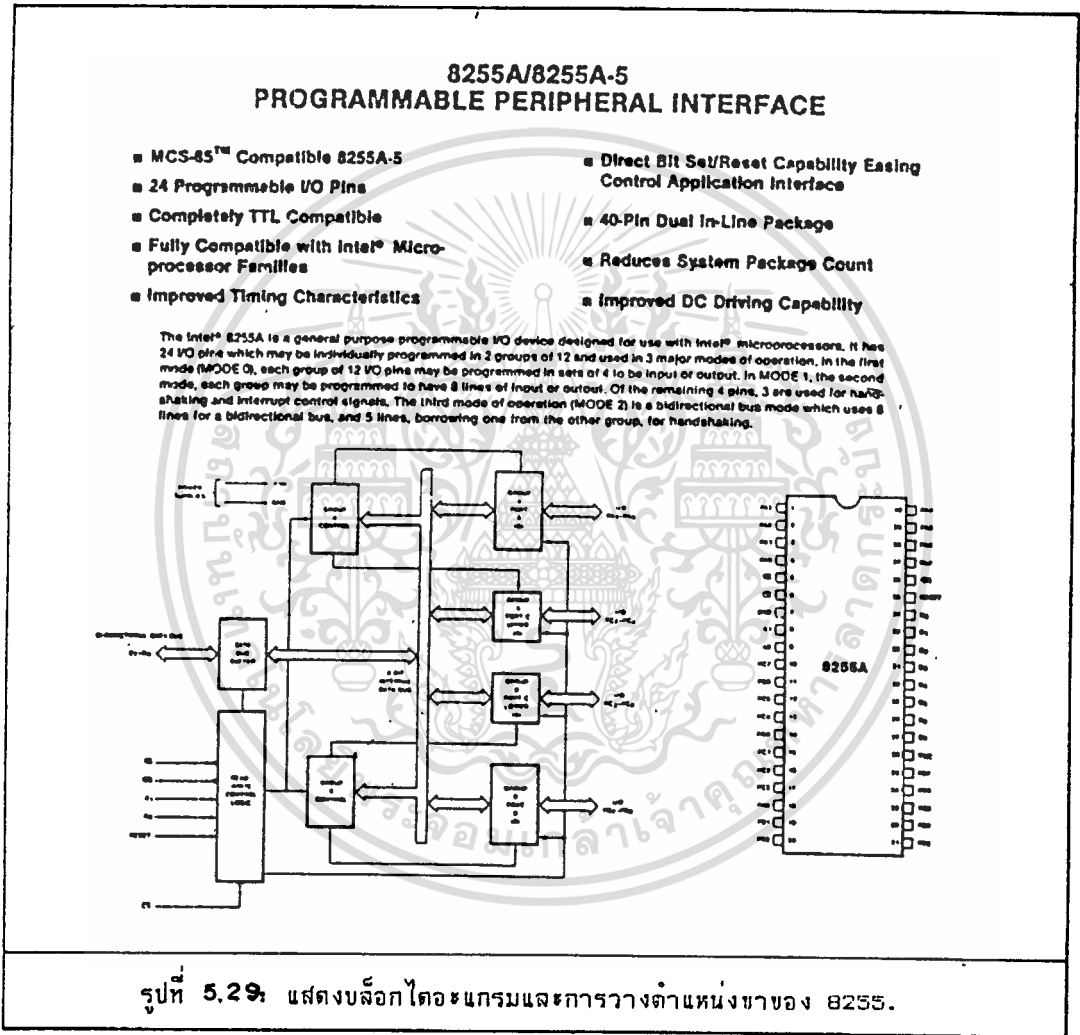
3. สัญญาณ  $\overline{RD}$  จะถูกเซ็ทให้มีลอจิกเป็น "0" โดย Z80 ซึ่งจะทำให้เกิดสัญญาณ  $\overline{IOR}$  ขึ้นในระบบ

4. เมื่อสัญญาณ  $\overline{IOR}$  ปรากฏขึ้น ไมโครโปรเซสเซอร์จะทำการรับข้อมูลจากพอร์ทอินพุตและขา Enable ของ IC 5 จะถูกเซ็ทให้มีลอจิกเป็น "0" ทำให้ขาข้อมูลออก (Data Output) มีข้อมูลออกไปที่บัสข้อมูล

5. ท้ายสุดขา  $\overline{RD}$  จะถูกเซ็ทให้มีลอจิกเป็น "1" อีกครั้งหนึ่ง ภายใต้การควบคุมของ Z80 จะทำให้ข้อมูลถูกเคลื่อนย้ายเข้ามาสู่ CPU ขบวนการอ่านข้อมูลจากพอร์ทอินพุตก็สิ้นสุดลง

### 5.5) การนำ 280 ตอรวมกับ 8255 PIA

8255 เป็นอุปกรณ์ LSI (Large Scale Integrate Circuit) มีขนาด 40 ขา ซึ่งสามารถให้ข้อมูลเข้าออกได้สองทาง 8255 นี้จะถูกออกแบบให้สามารถทำงานกับระบบไมโครโปรเซสเซอร์ได้



จากรูปจะเห็นว่า 8255 ที่ ไอ เอ มีบล็อกที่ใช้เชื่อมต่อกับอุปกรณ์ภายนอกได้แก่ PA0-PA7, PB0-PB7 และ PC0-PC7

กลุ่มของสัญญาณภายในของ 8255 ที่ ไอ เอ แบ่งออกเป็น 3 พวกได้แก่

- 1) พวกที่เป็นพอร์ท เอ (A)
- 2) พวกที่เป็นพอร์ท บี (B)
- 3) พวกที่เป็นพอร์ท ซี (C)

จากรูปข้างบนแต่ละพอร์ทจะมีทั้งบล็อกของ อินพุท / เอาท์พุท และแต่ละบล็อกจะต่อกับบัสข้อมูลภายในของ 8255 ที่ ไอ เอ เพื่อรับการเปลี่ยนแปลงข้อมูลภายในของ 8255 ที่ ไอ เอ.

ลอจิกบล็อกสุดท้ายที่แสดงในรูปที่ 5.2.9 บัฟเฟอร์ของบัสข้อมูล (Data BBus Buffer) และลอจิกสำหรับควบคุมการ อ่าน / เขียน บล็อกเหล่านี้จะเป็นตัวเชื่อมต่อกับ Z80 บัฟเฟอร์ของบัสข้อมูลจะเป็นตัวส่งข้อมูลอินพุทให้แก่บัสข้อมูลของ ซีพียู และรับข้อมูลเอาท์พุทมาส่งให้ 8255 ที่ ไอ เอ สำหรับลอจิกที่ใช้ควบคุมการ อ่าน / เขียน จะเป็นตัวเลือกในการรับและส่งข้อมูลให้แอสซีสเตอร์ภายใน อย่างถูกต้องและในเวลาที่เหมาะสม

#### 5.51) รายละเอียดเกี่ยวกับขาของ 8255 ที่ ไอ เอ

ในหัวข้อนี้จะกล่าวถึงหน้าที่การทำงานต่างๆและขาของ 8255 ที่ ไอ เอ ซึ่งเพื่อเป็นในแนวทางในการนำเอาไปเชื่อมต่อเข้ากับ Z80

$\overline{D0-D7}$	เป็นทางสำหรับข้อมูลของทั้งอินพุทและเอาท์พุท (คือสามารถส่งข้อมูลได้ 2 ทาง)
$\overline{RD}$	เมื่อล็อกตามที่ขานี้มีลอจิกเป็น "0" และ $\overline{CS}$ มีลอจิกเป็น "0" ด้วย ข้อมูลเอาท์พุทของ 8255 ที่ ไอ เอ จะถูกส่งออกไปยังบัสข้อมูลของระบบ
$\overline{WR}$	ในขณะที่ขานี้และขา $\overline{CS}$ มีลอจิกเป็น "0" พร้อมกัน 8255 ที่ ไอ เอ จะถูกเขียนข้อมูลจากบัสข้อมูลของระบบเข้าไปใน 8255 ที่ ไอ เอ ได้
$A0-A1$	เป็นขากำหนดการเลือกใช้รีจิสเตอร์ภายในของ 8255 ที่ ไอ เอ
$\overline{RESET}$	เมื่อขานี้เป็น "1" จะทำให้ 8255 ที่ ไอ เอ ทำการรีเซ็ตทุกๆพอร์ทของ 8255 ที่ ไอ เอ และจะเข้าให้อยู่ในโหมดอินพุท
$PA0-PA7$	ขาสัญญาณเหล่านี้ถูกใช้เป็นที่พอร์ท I/O ขนาด 8 บิต เพื่อใช้ต่อกับ

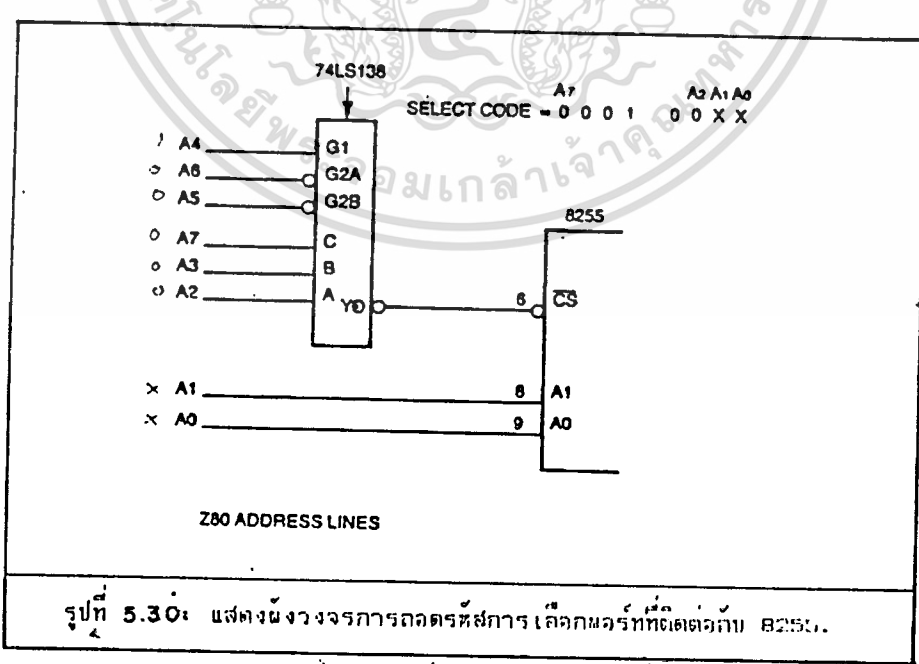
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับอุปกรณ์ภายนอกอื่นๆศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PB0-PB7 เหมือนกับ PA0-PA7  
 PC0-PC7 ขาสัญญาณนี้จะใช้เป็นพอร์ท I/O ขนาด 8 บิต เช่นเดียวกับ PA0-PA7, PB0-PB7 แต่กลุ่มของขาสัญญาณเหล่านี้สามารถแบ่งเป็น 2 กลุ่ม เพื่อใช้ควบคุม PB0-PB7, PA0-PA7

5.52) การต่อ Z80 กับ 8255 PIA

ต่อไปนี้เป็นเการกล่าวถึงการใช้ 8255 ซีไอเอ เป็นเอาต์พุตของระบบ Z80 และสมมุติว่าการติดต่อกันทั้งหมดเกิดขึ้นขณะที่ 8255 ซีไอเอ ทำงานในโหมด อินพุต /เอาต์พุต โดยปกติ 8255 ซีไอเอจะมีอินพุตแอกเรส 2 เส้นคือ A<sub>0</sub>, A<sub>1</sub> ซึ่งจะทำให้มันสามารถทำงานเป็นพอร์ทอินพุต , เอาต์พุตได้ถึง 4 พอร์ท โดยการใช้งานทั่วไปเราจะให้ A<sub>0</sub>, A<sub>1</sub> ของ 8255 ซีไอเอ ต่อกับ A<sub>0</sub>, A<sub>1</sub> ของ Z80 นั่นก็คือ 8255 ซีไอเอ หนึ่งตัว จะใช้ค่าพอร์ทแอกเรสได้ถึง 4 ค่า ส่วนสัญญาณอีก 6 เส้น คือ A<sub>2</sub>-A<sub>7</sub> จะนำไปต่อครอสส์เพื่อทำเป็นสัญญาณเลือกชิพ ( Chip SEL ) ให้แก่ 8255 ซีไอเอ

ในที่นี้สมมุติให้ 8255 ซีไอเอ มีพอร์ทแอกเรสอยู่ที่ 10H, 11H, 12H และ 13H ซึ่งเรามีวิธีการที่สพอร์ทเหล่านี้ได้ดังรูปข้างล่าง

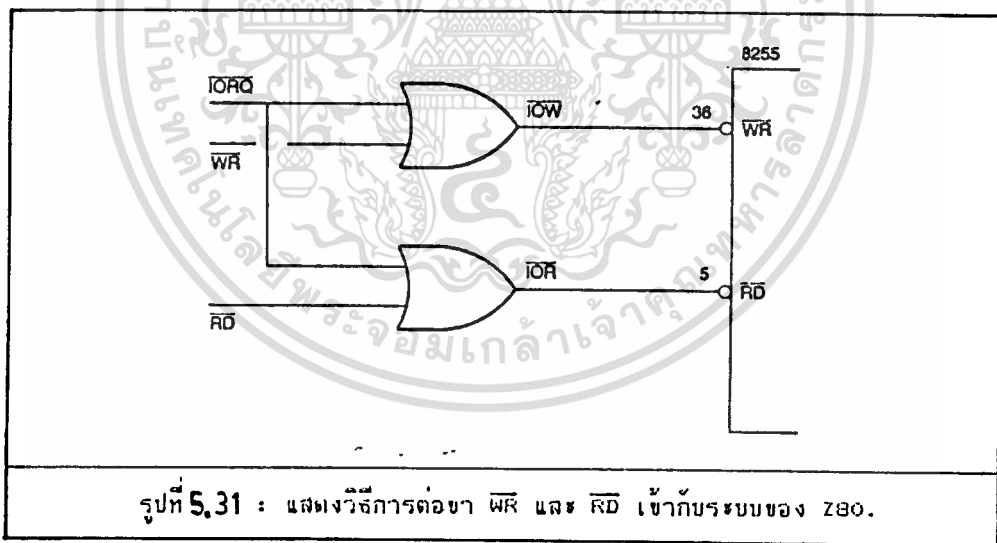


รูปที่ 5.30: แสดงผังวงจรการถอดรหัสการเลือกพอร์ทที่ติดต่อกับ 8255.

จากรูปข้างบน จะเห็นว่าขาอินพุต  $\overline{CS}$  จะแอกทีฟก็ต่อเมื่อ  $A_0-A_7$  มีค่าเท่ากับ 000100XX(BX) ๒ บิตกลางจะใช้เพื่อเลือกรีจิสเตอร์ภายใน ๔ ตัว)

ต่อไปนี้เป็นารต่อขา  $\overline{RD}$  และ ขา  $\overline{WR}$  กับสัญญาณควบคุมที่มาจาก Z80 โดยใช้สัญญาณ  $\overline{IOR}$  และ  $\overline{IOW}$  ดังนี้เนื่องมาจาก ขา  $\overline{WR}$  และ ขา  $\overline{RD}$  ของ 8255 ที่ไอเอ ไม สามารถต่อเข้ากับขา  $\overline{RD}$  และ ขา  $\overline{WR}$  ของ Z80 ได้โดยตรงกล่าวคือ ขณะที่ขา  $\overline{RD}$  หรือ ขา  $\overline{WR}$  ของ Z80 มีสถานะแอกทีฟ (Active) ระหว่างที่ทำงานร่วมกับหน่วยความจำและถ้ามันไม่สามารถเชื่อมต่อกับ 8255 ที่ไอเอ ไม จะทำให้ข้อมูลต่างๆจะเปลี่ยนไป

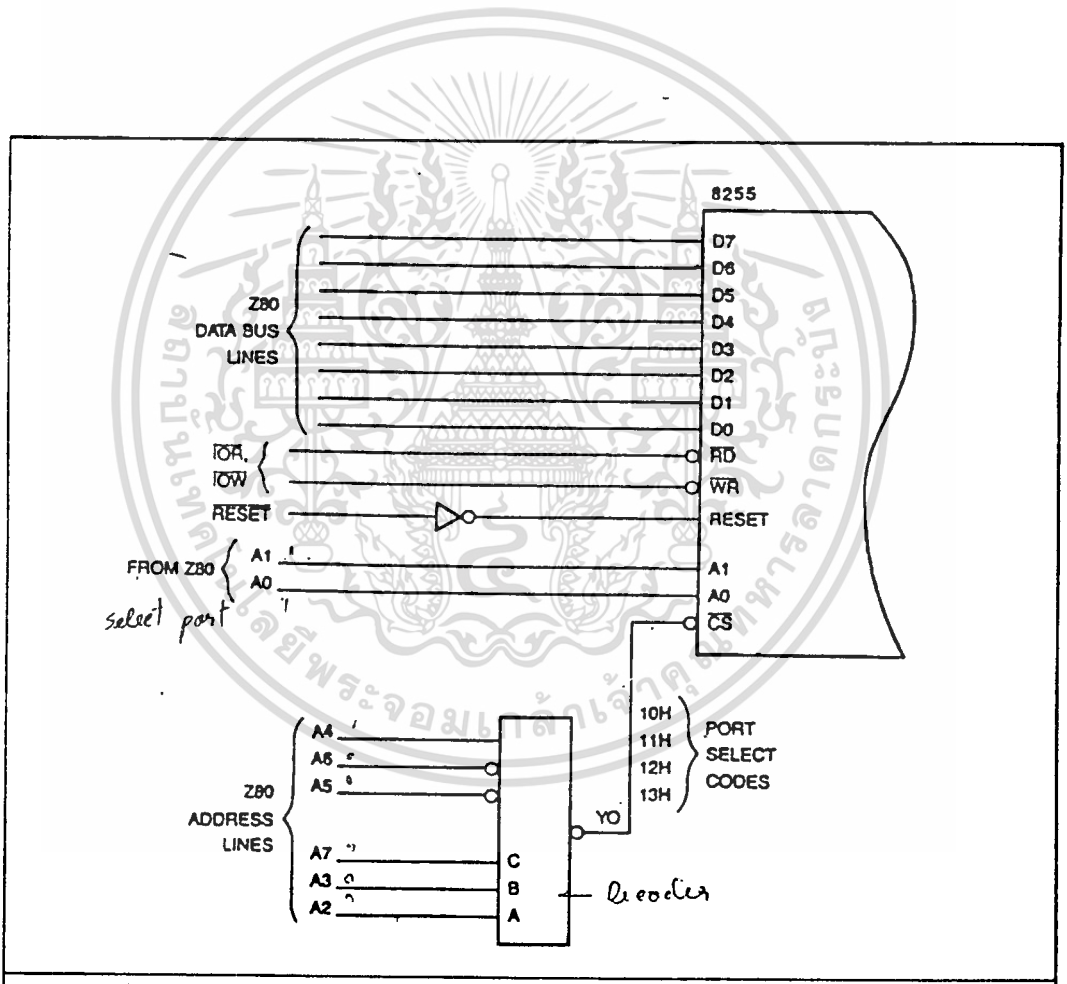
จากรูปข้างล่างแสดงถึงการต่อขา  $\overline{RD}$  และ ขา  $\overline{WR}$  ของ 8255 ที่ไอเอ ไม กับ สัญญาณ  $\overline{IOR}$  และ  $\overline{IOW}$  จาก Z80



รูปที่ 5.31 : แสดงวิธีการต่อขา  $\overline{WR}$  และ  $\overline{RD}$  เข้ากับระบบของ Z80.

สัญญาณที่จะกล่าวถึงอีกอันหนึ่งก็คือ อินพุท **RESET** ซึ่งจะสังเกตได้ว่ามันแอกทีฟที่ลอจิก "1" ในขณะที่อินพุทรีเซ็ตของ Z80 แอกทีฟที่ลอจิก "0" ดังนั้นถ้าจะเอาสัญญาณจากขา **RESET** ของ Z80 มาทำการรีเซ็ต 8255 ทีไอเอ เราต้องต่ออินเวอร์เตอร์ที่ขา **RESET** ของ Z80 ดังรูปข้างล่าง

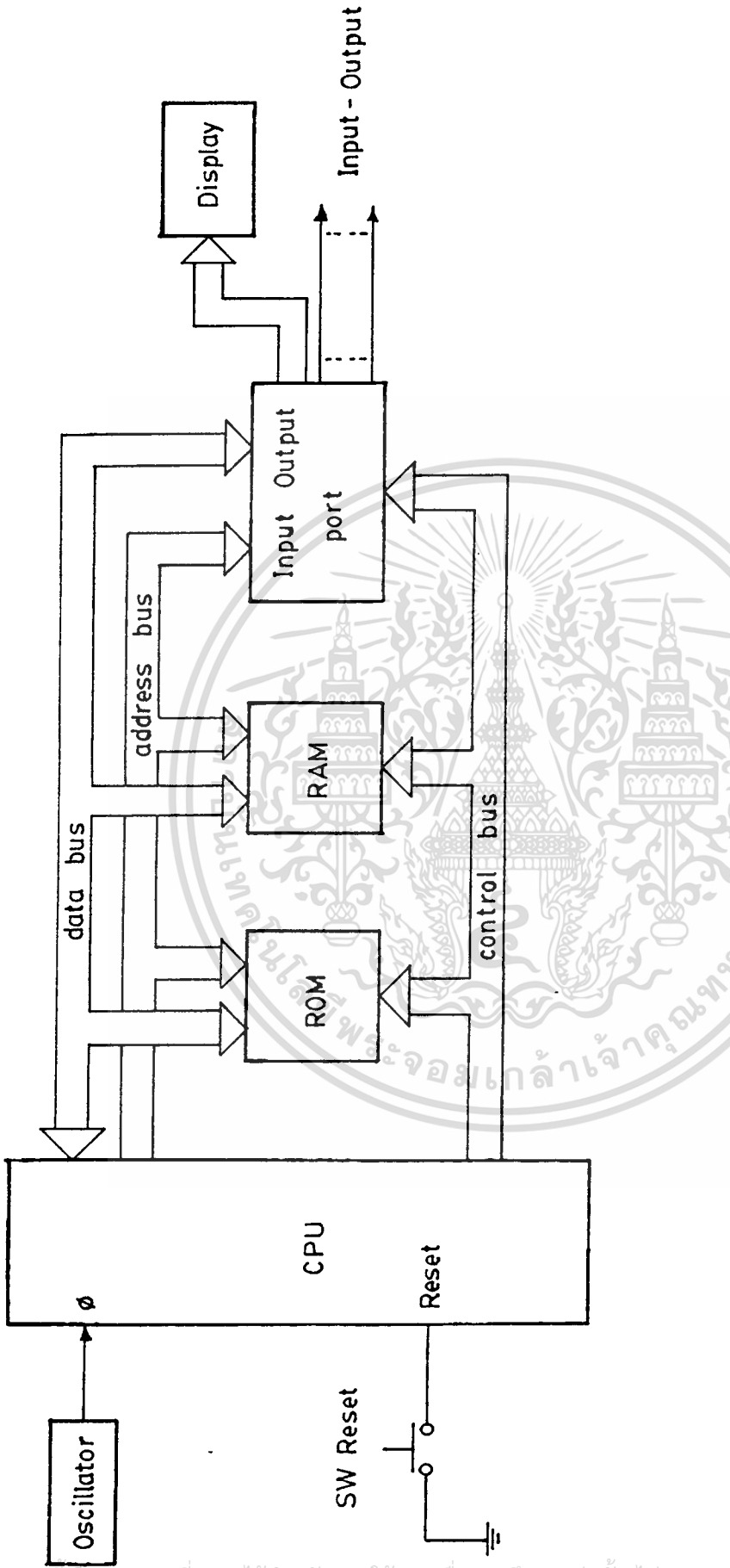
สายข้อมูล D0-D7 ของ 8255 ทีไอเอ เป็นสายข้อมูลซึ่งจะได้โดยตรงกับขาข้อมูลของ Z80 ดังรูป 5.32



รูปที่ 5.32 : แสดงผังวงจรสมบูรณ์ของการเชื่อมต่อ 8255 เข้ากับระบบของ Z80.

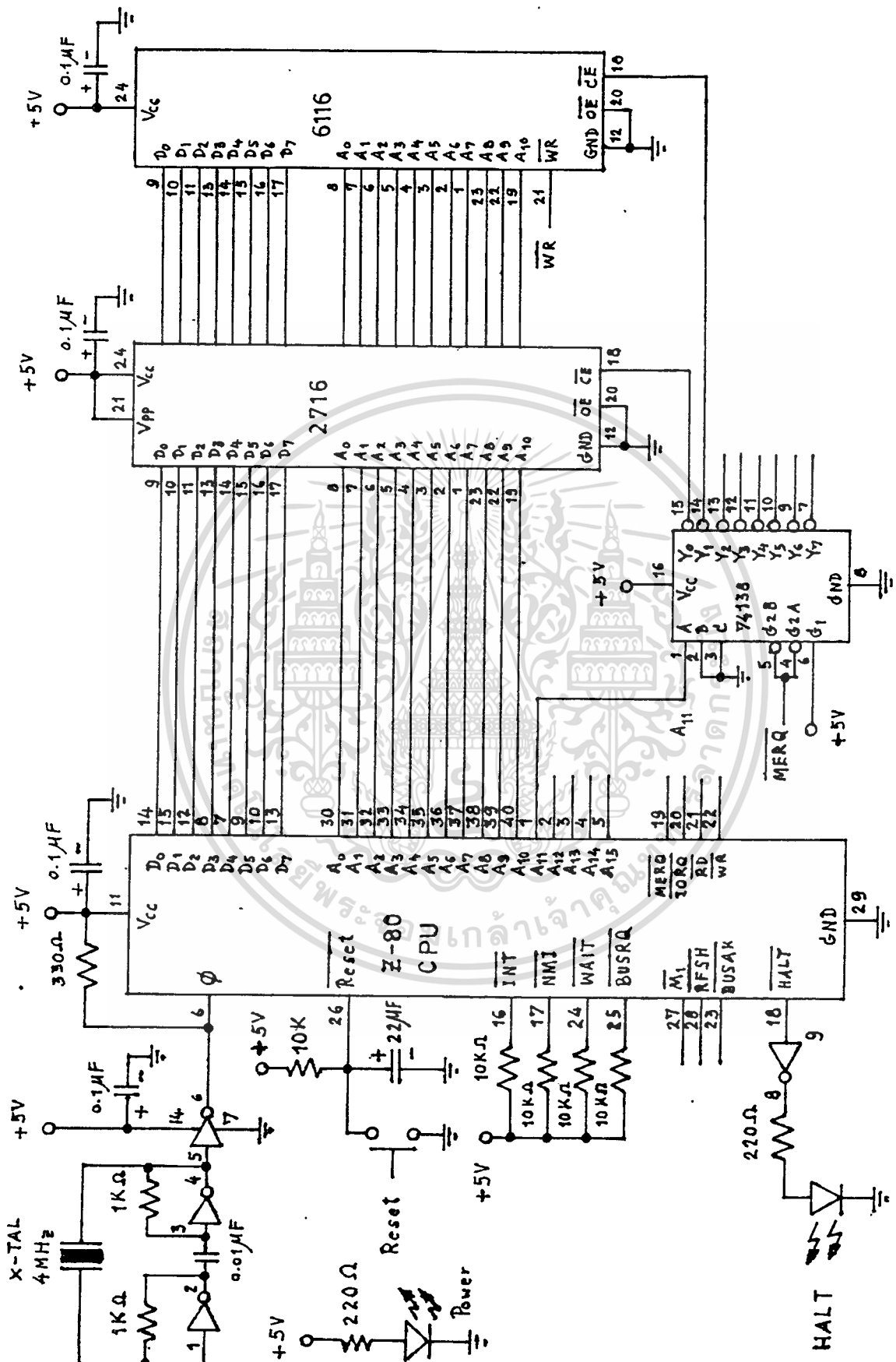
**5.6 บล็อกโคะแกรมและวงจรที่ใช้งานจริงของหน่วยประมวลผลกลาง**

แสดงผังรูปที่ 5.33 ถึงรูปที่ 5.36



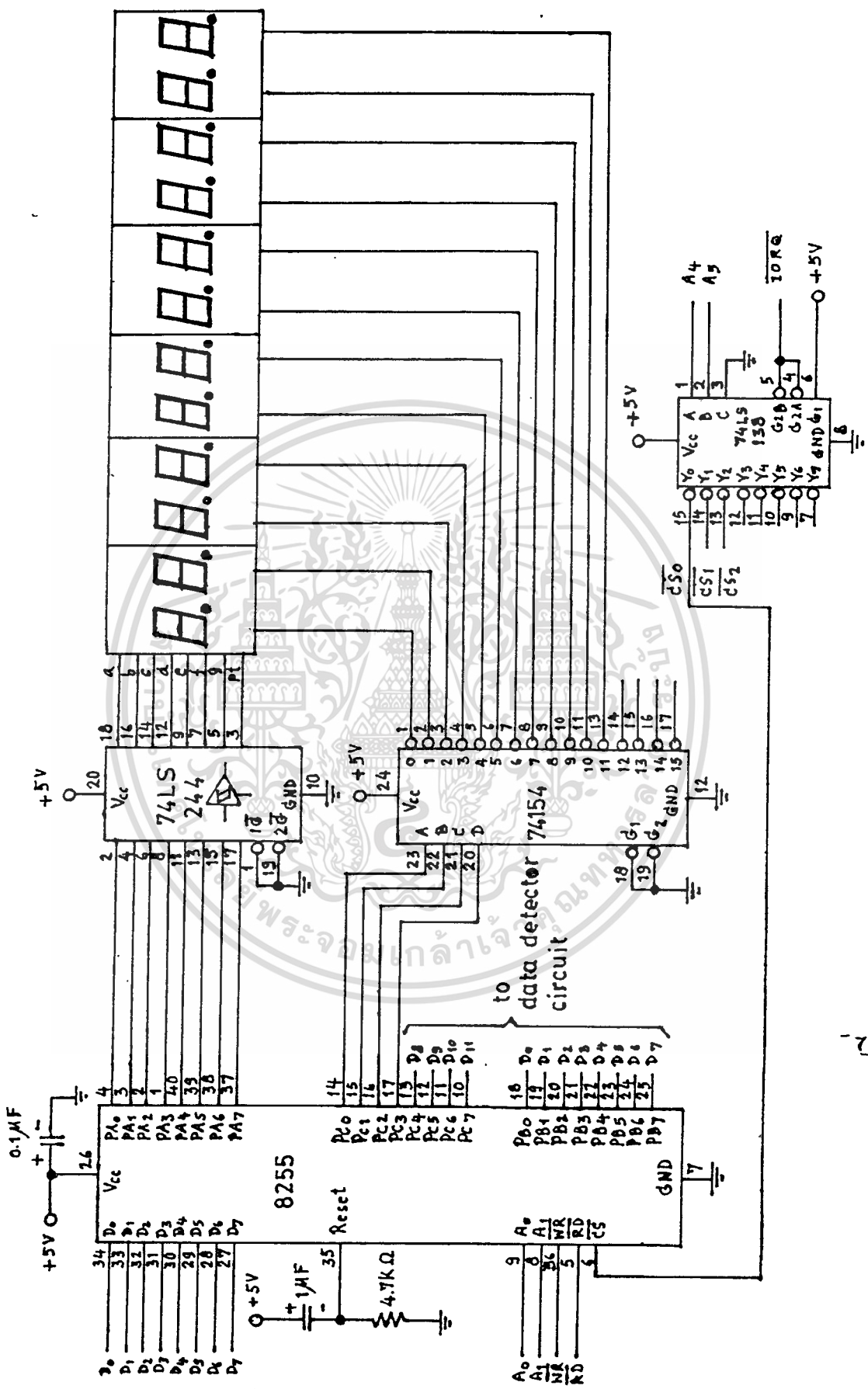
รูปที่ 5.33 Block diagram of Microprocessing Unit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

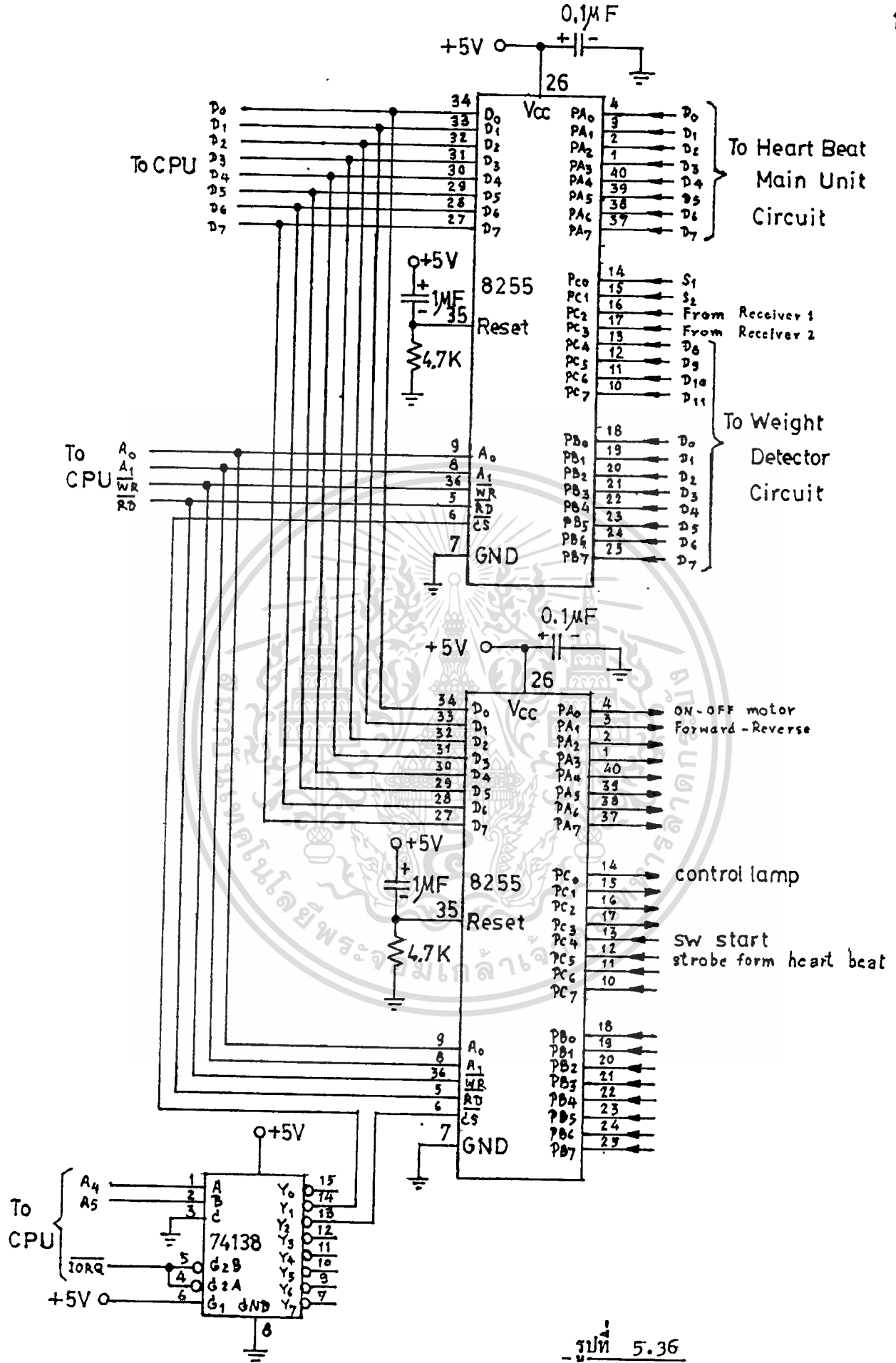


รูปที่ 5.34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

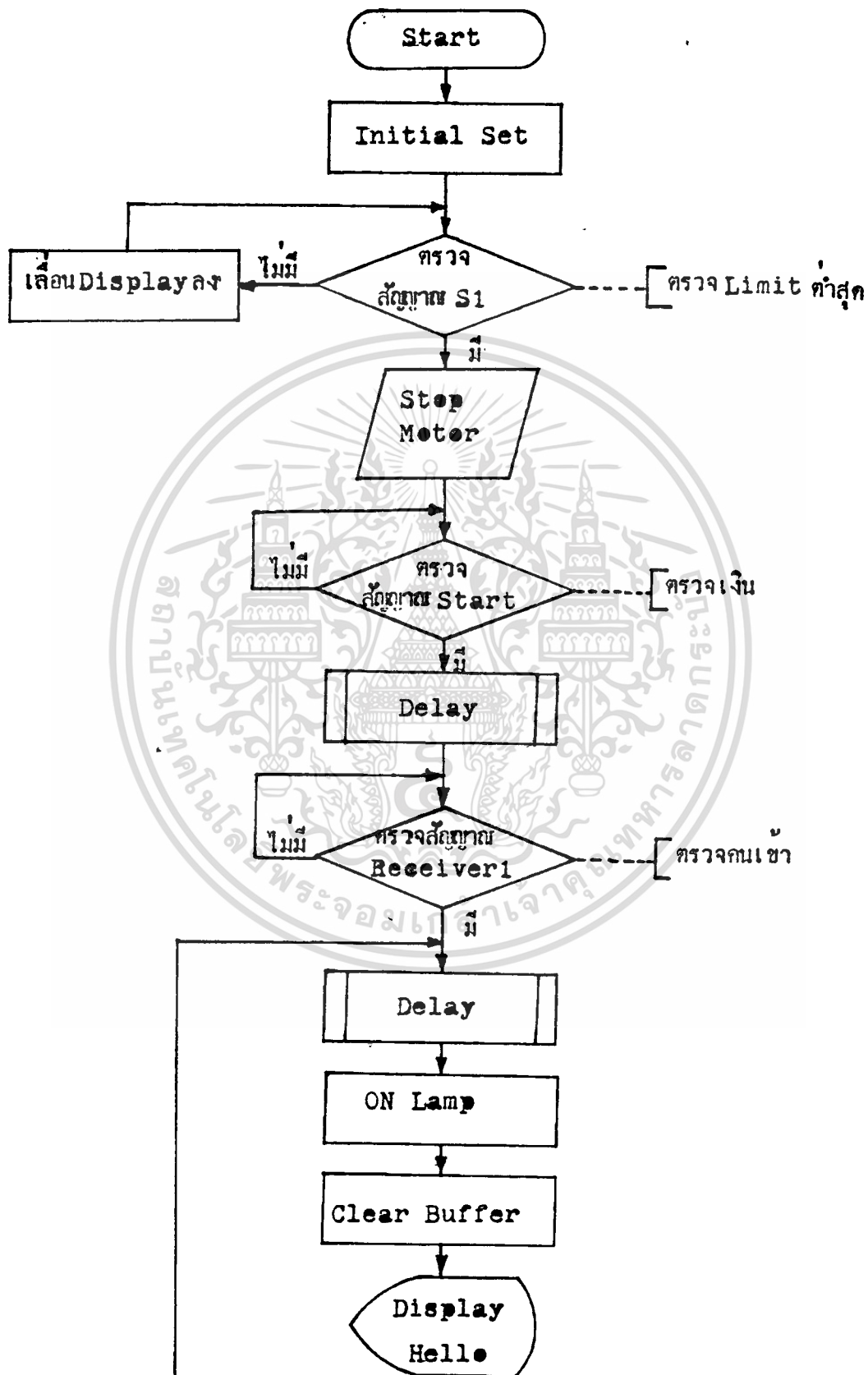


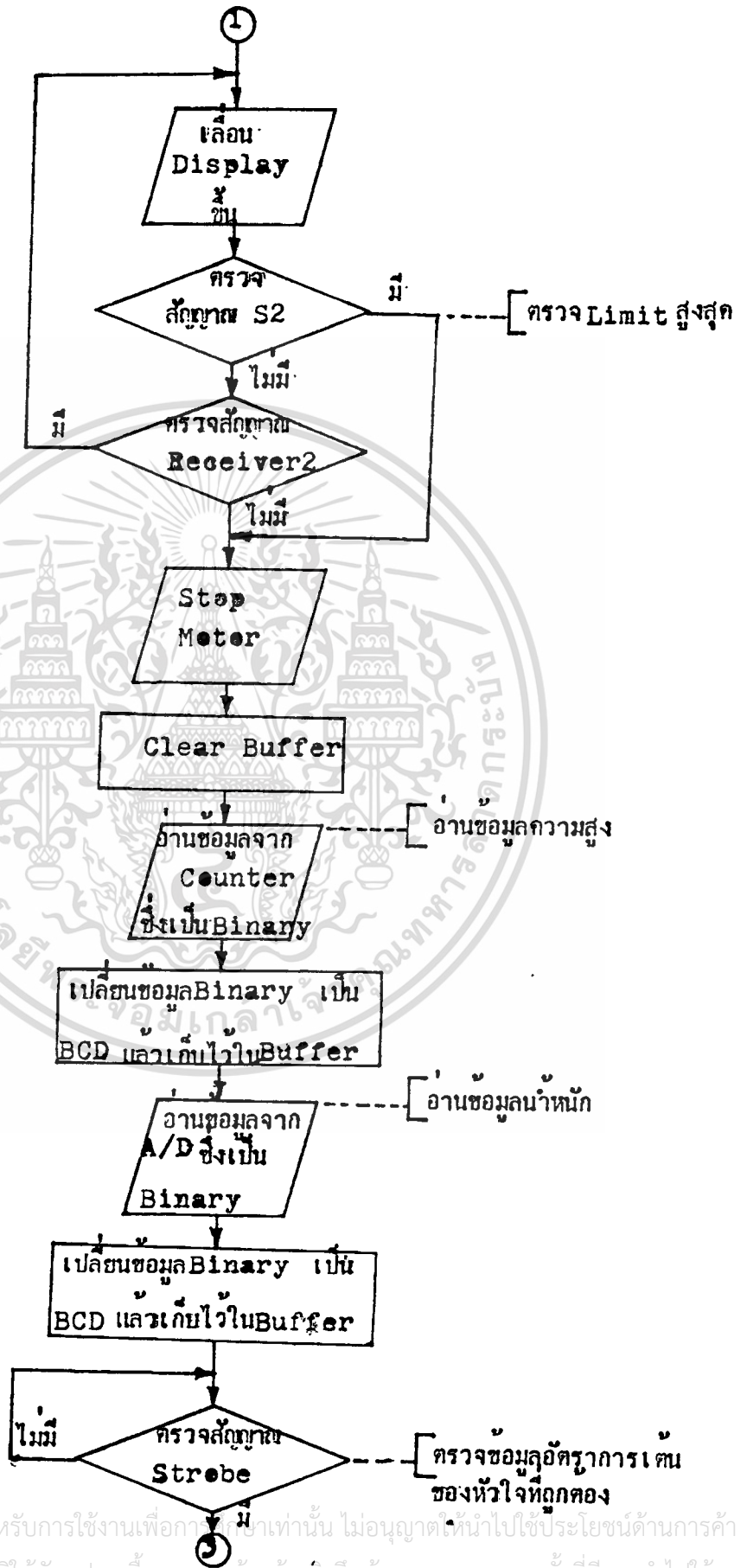
รูปที่ 5.36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

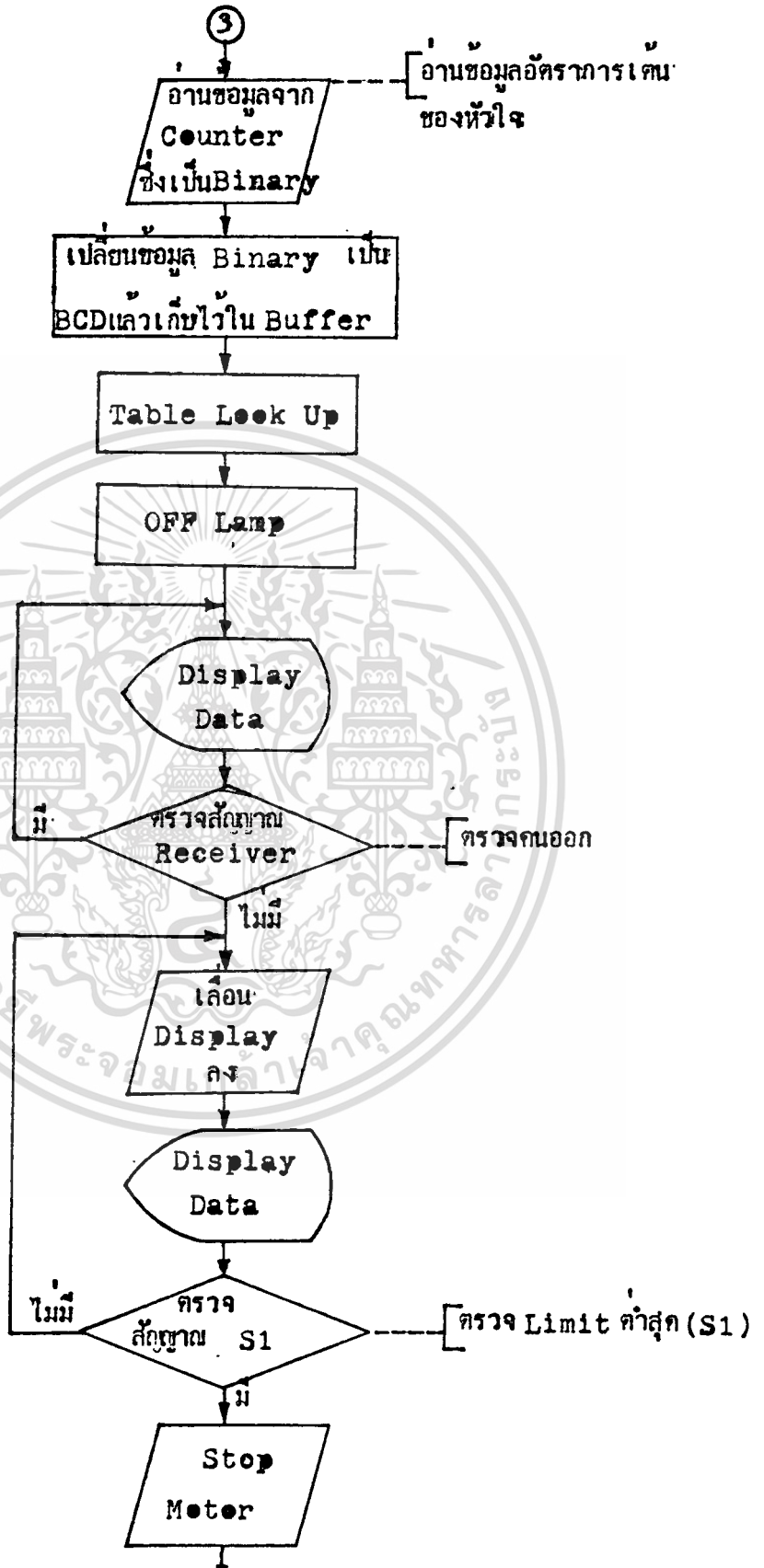
## บทที่ 6 SOFTWARE

### 6.1 Flow Chart of System

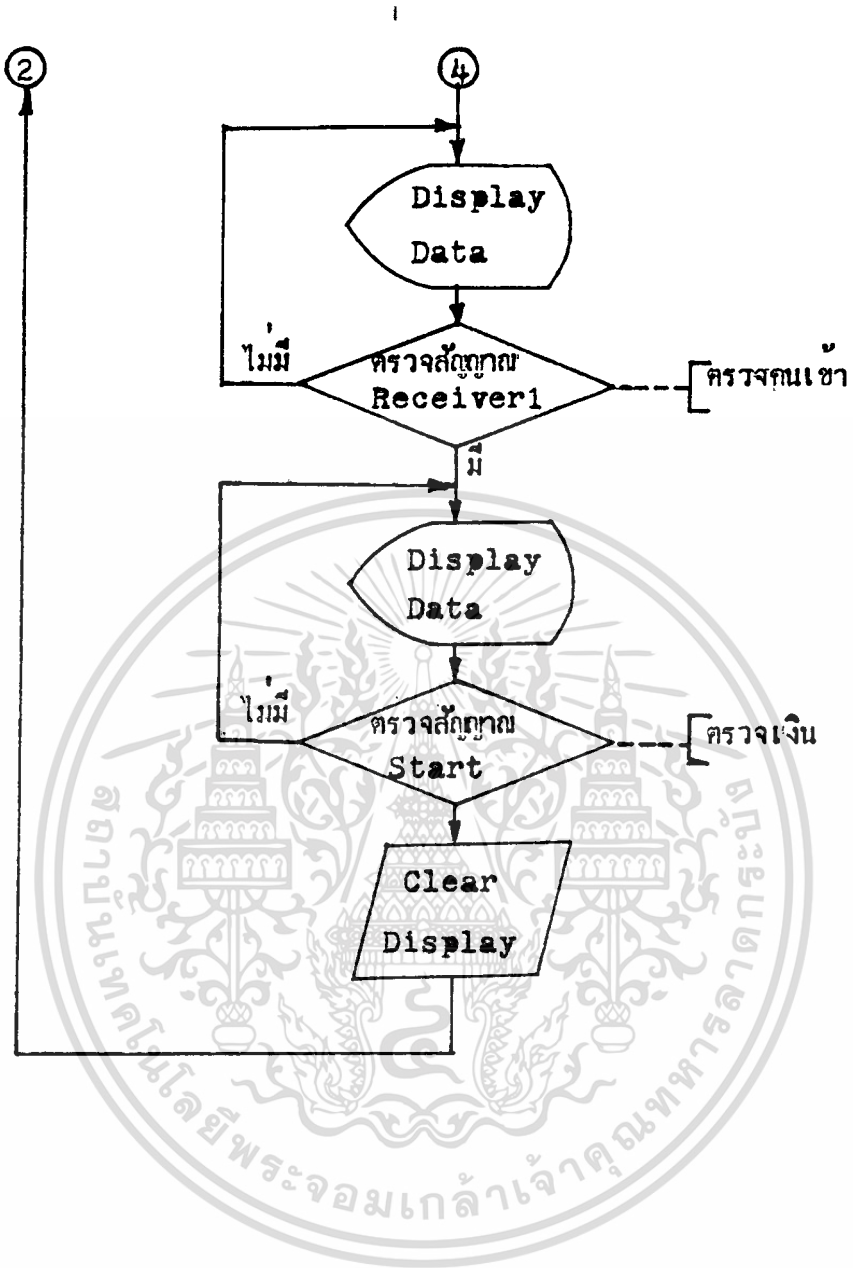




เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

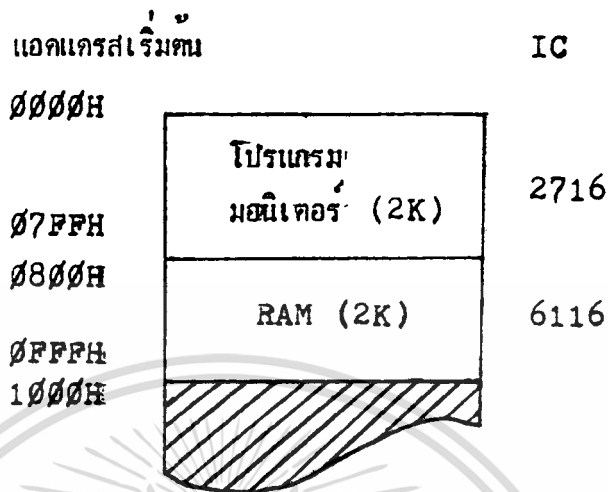


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 6.2 การจัดสรรหน่วยความจำ (MEMORY MAP )



### SPECIFICATION OF CPU BOARD

CPU	Z80A				
ROM	2716	2Kbyte			
RAM	6116	2Kbyte			
PORT	8255X3	9port			
LED	1 halt red LED				
	1 power red LED				
TTL IC	5				
CLOCK RATE	4 MHz				
POWER SUPPLY	consumption	5VDC			
	main input	9VDC			

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.3 - \*\*\* MONITOR PROGRAM \*\*\*

```

0000  31 FF 0F          LD SP,0FFFH          ;Set stack
                               pointer
0003  C3 00 02          JP MAIN
                               * INITIAL *
                               ;A
                               ;SP
0006  3E 8A          INITIAL  LD A,8AH           ;Set command
0008  D3 03          OUT (03H),A         control
000A  D3 23          OUT (23H),A         Port1&Port3
000C  3E 9B          LD A,9BH           ;Set command
000E  D3 13          OUT (13H),A         control Port2
0010  C9          RET
                               * CLEAR DATA *
                               ;A
                               ;E Assignจำนวน byteที่จะ clear
                               ;HL Assign addressที่จะ clear
0011  AF          CLEAR    XOR A
0012  43          LD B,E
0013  77          CLR     LD (HL),A
0014  23          INC HL
0015  10 FC          DJNZ CLR
0017  C9          RET
                               * HELLO *
                               ; A,B,C,D,E
                               ; HL
0018  0E 65          HELLO   LD C,65H         ;Setจำนวน byte

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ของ Character

001A 21 0A 01

LD HL, HELLO DATA ADDRESS

;Set address  
ที่จะเก็บข้อมูล

ของ Character

001D 56 START LD D, (HL)

001E E5 PUSH HL

001F 21 0B 08

LD HL, BUFFER+11 ;Set

พื้นที่ใน  
RAM ที่ใช้ช่วยในการ  
ถ่ายข้อมูลที่จะปรากฏบน  
Segment

0022 06 0C

LD B, 12 ;Set counter

สำหรับ shift  
ข้อมูลในแนว  
column

0024 7E LOOP LD A, (HL)

;แลกเปลี่ยนข้อมูล

0025 72 LD (HL), D

ระหว่าง HL กับ D

0026 57 LD D, A

เป็นการ shift

0027 2B DEC HL

ข้อมูล

0028 10 FA DJNZ LOOP

002A 06 20 LD B, 20H

;Set speed  
counter

002C 11 00 0C SCAN LD DE, 1200

;Set จำนวน  
counter ที่ใช้  
สำหรับ scan  
output

002F 21 00 08

LD HL, BUFFER ADDRESS

0032	7E	SCAN0	LD A,E	;Column select
0033	D3 02		OUT(02H),A	;Display บน column ที่ถูกเลือก
0035	7E		LD A,(HL)	
0036	D3 00		OUT(00 H),A	;Display ข้อมูลบน Segment
0038	AF		XOR A	
0039	3D	SCAN1	DEC A	;Delay
003A	20 FD		JR NZ,SCAN1	
003C	D3 00		OUT(00H),A	;Clear ข้อมูลบน Segment
003E	23		INC HL	
003F	1C		INC E	
0040	15		DEC D	
0041	20 EF		JR NZ,SCAN0	
0043	10 E7		DJNZ SCAN	
0045	E1		POP HL	
0046	23		INC HL	
0047	0D		DEC C	
0048	20 D3		JR NZ,START	
004A	C9		RET	

\* READ DATA \*

;C Assign number port 01  
(Data byte คำ )

;B Assign number port 02  
(Data byte สูง )

;HL Assign binary address (Result)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

004B	21 00 08	READ	LD HL,BUFFER ADDRESS	;Set address ที่เก็บข้อมูล binary
004E	ED 78		IN A,(C)	;อ่านข้อมูลจาก Port B
0050	77		LD (HL),A	;เก็บข้อมูล binary byte คำ
0051	23		INC HL	
0052	48		LD C,B	
0053	ED 78		IN A,(C)	;อ่านข้อมูลจาก Port C
0055	E6 F0		AND F0H	;เอาเฉพาะข้อมูล 4bitบน ของ Port C
0057	CB 3F		SRL A	;เก็บข้อมูล binary byte คู่
0059	CB 3F		SRL A	
005B	CB 3F		SRL A	
005D	CB 3F		SRL A	
005F	77		LD (HL),A	
0060	C9		RET	

\* BINARY TO BCD CONVERSION \*

- ;A BCD Data working Register
- ;B Loop counter
- ;C Binary bit number
- ;D จำนวน byte ของเลข binary

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อ;Eศึกษจำนวนนั้น ไม่byteตของเลข BCDยชนด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

;HL Buffer address

0061	0E 10	BINBCD	LD C,16	;Setจำนวน bit ของข้อมูล binary
0063	16 02		LD D,02H	;Set จำนวน byte ของข้อมูล binary
0065	1E 03		LD E,03H	;Set จำนวน byte ของข้อมูล BCD
0067	21 08 08		LD HL,BUFFER ADDRESS+8	}
006A	CD 11 00		CALL CLEAR	
				;Clear buffer ที่ใช้เก็บข้อมูล BCD
006D	2E 00	LOOPS	LD L,0	;Set address ที่เก็บข้อมูล binary
006F	42		LD B,D	
0070	CB 16	SHLB	RL (HL)	
0072	23		INC HL	
0073	10 FB		DJNZ SHLB	
0075	2E 08		LD L,8	;Set address ที่เก็บข้อมูล BCD
0077	43		LD B,E	
0078	7E	BCDADJ	LD A,(HL)	
0079	8F		ADC A,A	
007A	27		DAA	
007B	77		LD (HL),A	
007C	23		INC HL	
007D	10 F9		DJNZ BCDADJ	
007F	0D		DEC C	

```

0080 20 EB JR NZ,LOOPS
0082 C9 RET

```

\* TABLE LOOK UP \*

;A,D working register

;B,C Loop counter

;HL Assign address of  
table look up

;IX Assign buffer result  
address

;IY Assign buffer BCD address

```

0083 06 02 TABLE LD B,2
0085 0E 04 TABLE1 LD C,4
0087 FD 56 00 LD D,(IY)
008A CB 3A TABLE2 SRL D
008C 0D DEC C
008D 20 FH JR NZ,TABLE2
008F 7A LD A,D

```

;Set Loop  
counter

;Shift ข้อมูล  
BCD ไปทางขวา  
4 bit

;เอาผลลัพธ์ที่ได้  
จากการ shift  
ไปเก็บใน A

```

0090 CD B6 00 CALL COMP
0093 4E LD C,(HL)
0094 05 DEC B
0095 20 02 JR NZ,SET
0097 CB F9 SET 7,C
0099 04 SET INC B
009A DD 71 00 LD (IX),C

```

;Compare A กับ L

;ใส่จุดทศนิยม

;Load ข้อมูลใน  
HL ไปเก็บใน  
buffer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

009D	FD 7E 00	LD A,(IY)	
00A0	E6 0F	AND 0FH	;A←A∩0FH
00A2	2E 00	LD L,0	;Clear Register L
00A4	CD B6 00	CALL COMP	
00A7	DD 23	INC IX	;เพิ่มค่า buffer address
00A9	4E	LD C,(HL)	;Load ข้อมูลใน HL ไปเก็บใน buffer
00AA	DB 71 00	LD (IX),C	
00AD	DD 23	INC IX	
00AF	FD 2B	DEC IY	
00B1	2E 00	LD L,0	;Clear Register L
00B3	10 D0	DJNZ TABLE1	
00B5	C9	RET	
* Compare Register A Register L *			
		;A,HL	
00B6	BD	COMP	CP L
00B7	23	INC HL	
00B8	20 FC	JR NZ, TABLE2	
00BA	2B	DEC HL	
00BE	C9	RET	

\* Display Result \*

;A Working Register

;B,E Loop counter

;C Set digit number

;HL Buffer address

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

00BC	06 05	DISPLAY	LD B,05H	;Loop counter
00BE	21 10 08	DISPLAY1	LD HL,BUFFER RESULT ADDRESS	
00C1	1E 00		LD E,0	
00C3	0E 0C		LD C,0CH	;Set digit number
00C5	AF	DISPLAY2	XOR A	};Clear data
00C6	D3 00		OUT (00H),A	
00C8	7E		LD A,E	;Set digit เริ่มต้น
00C9	D3 02		OUT (02H),A	;Digit select
00CB	7E		LD A,(HL)	};Data output
00CC	D3 00		OUT (00H),A	
00CE	16 01		LD D,1	;Initial delay
00D0	CD DB 00		CALL DELAY	
00D3	23		INC HL	
00D4	1C		INC R	
00D5	0D		DEC C	
00D6	20 ED		JR NZ,DISPLAY2	
00D8	10 E4		DJNZ DISPLAY1	
00DA	C9		RET	

\* Delay \*

;A Working Register

;D Assign Loop counter

00DB	AF	DELAY	XOR A
00DC	3D	DELAY1	DEC A
00DD	20 FD		JR NZ,DELAY1
00DF	15		DEC D
00E0	20 F9		JR NZ,DELAY

00E2 C9

RET

\* Set High \*

;A Working Register

;HL Buffer Result Address of  
Table Look up

00E3	21 10 08	SETH	LD HL,BUFFER RESULT ADDRESS
00E6	7E		LD A,(HL)
00E7	FE 3F		CP 3FH
00E9	20 02		JR NZ,SETDIGIT
00EB	36 06		LD (HL),06H
00ED	FE 06	SETDIGIT	CP 06H
00EF	20 02		JR NZ,SETDIGIT1
00F1	36 5B		LD (HL),5BH
00F3	C9	SETDIGIT1	RET ;Exit

\* Table Look Up \*

0100	3F		; 0
0101	06		; 1
0102	5B		; 2
0103	4F		; 3
0104	66		; 4
0105	6D		; 5
0106	7D		; 6
0107	07		; 7
0108	7F		; 8
0109	6F		; 9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## \* Hello Data \*

Ø1ØA	73 5Ø 5C	
Ø1ØD	5E 1C 58	;Product
Ø11Ø	78	
Ø111	} ØØ	
⋮		
Ø11D		
Ø11E	7C 6E	;bY
Ø12Ø	} ØØ	
⋮		
Ø12C		
Ø12D	79 78 ØØ	
Ø13Ø	5B EF 4F	;Et 29.3313
Ø133	4F Ø6 4F	
Ø136	} ØØ	
⋮		
Ø142		
Ø143	79 78 ØØ	
Ø146	5B EF 4F	;Et 29.3319
Ø149	4F Ø6 6F	
Ø14C	} ØØ	
⋮		
Ø158		
Ø159	79 78 ØØ	
Ø15C	5B EF 4F	;Et 29.3328
Ø15F	4F 5B 7F	
Ø162	} ØØ	
⋮		
Ø16E		

Ø16E เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## \* MAIN \*

0200	CD 06 00	MAIN	CALL INITIAL	
0203	DB 12	INI	IN A, (12H)	;ตรวจ Limitค่าสุด (S1)ถ้าเป็น 1 Jump ไปเริ่มทำงาน
0205	E6 01		AND 1	
0207	20 06		JR NZ, START	
0209	3E 01		LD A, 1	;เลื่อน Display ลง
020B	D3 20		OUT (20H), A	
020D	18 F4		JR INI	
020F	3E 00	START	LD A, 0	;Stop meter
0211	D3 20		OUT (20H), A	
0213	DB 22	CHECK	IN A, (22H)	
0215	E6 10		AND 10H	;ตรวจเงิน
0217	28 FA		JR Z, CHECK	
0219	16 00		LD D, 0	
021B	CD DB 00		CALL DELAY	;Delay
021E	DB 12	CHECK1	IN A, (12H)	
0220	E6 04		AND 4	;ตรวจ Rx1
0222	28 FA		JR Z, CHECK1	(ตรวจคนเข้า)
0224	16 00	FEEDBACK	LD D, 0	
0226	CD DB 00		CALL DELAY	;Delay
0229	3E 01		LD A, 1	
022B	D3 22		OUT (22H), A	;On Lamp
022D	1E 12		LD E, 12	
022F	21 00 08		LD HL, BUFFER ADDRESS	
0232	CD 11 00		CALL CLEAR	
				;Clear buffer
0235	CD 18 00		CALL HELLO	;Display Hello

0238 เป็นเอาต์พุตจำนวนไว้สำหรับการใช้งานเพื่อ... 3 เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ø23A	D3 2Ø	OUT (2ØH),A	; เลื่อนDisplay ขึ้น
Ø23C	DE 12	IN A,(12H)	; ตรวจสอบLimitสูงสุด
Ø23E	E6 Ø2	AND 2	(S2) ถ้าเป็น 1
Ø24Ø	2Ø Ø6	JR NZ,STOP	Jumpไป STOP
Ø242	DE 12	IN A,(12H)	; ตรวจสอบ Rx2
Ø244	E6 Ø8	AND 8	(ตรวจสอบความสูง)
Ø246	2Ø FØ	JR NZ,UP	
Ø248	3E ØØ	STOP LD A,Ø	
Ø24A	D3 2Ø	OUT (2ØH),A	; Stop meter
Ø24C	1E 32	LD B,32	
Ø24E	21 ØØ Ø8	LD HL,BUFFER ADDRESS	
Ø251	CD 11 ØØ	CALL CLEAR	; Clear buffer
Ø254	Ø1 Ø1 Ø2	LD BC,Ø2Ø1H	
Ø257	CD 4B ØØ	CALL READ DATA	; อ่านค่าความสูง
Ø25A	CD 61 ØØ	CALL BINBCD	; Binary to BCD Conversion
Ø25D	21 ØØ Ø1	LD HL,TABLE ADDRESS	
			; Set address ที่เก็บ Table look up
Ø26Ø	DD 21 1Ø	LD IX,RESULT ADDRESS	
	Ø8		; Set address ที่เก็บผลลัพธ์
Ø264	FD 21 Ø9	LD IX,BCD ADDRESS+11	
	Ø8		; Address ของเลข binary ที่จะอ่าน

Ø268 เป็นเอกสารที่จัดทำขึ้นเพื่อการปฏิบัติงานเพื่อใช้ในการปฏิบัติงาน; เปิดตารางนี้ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ø26B	CD E3 ØØ	CALL SETH	;Set หลักแรกของ ความสูง
Ø26E	Ø1 11 12	LD BC,1211H	} ; อ่านค่าหน้าหลัก
Ø271	CD 4B ØØ	CALL READ DATA	
Ø274	CD 61 ØØ	CALL BINBCD	
Ø277	21 ØØ Ø1	LD HL, TABLE ADDRESS	
Ø27A	DD 21 14	LD IX, RESULT ADDRESS+4	
	Ø8		
Ø27E	FD 21 Ø9	LD IY, BCD ADDRESS+1	
	Ø8		
Ø282	CD 83 ØØ	CALL TABLE LOOK UP	
Ø285	DB 22	CHECK2 IN A, (22H)	} ; ตรวจ Strobe
Ø287	E6 2Ø	AND 2ØH	
Ø289	28 FA	JR Z, CHECK2	
Ø28E	21 ØØ Ø8	LD HL, BUFFER ADDRESS	} ; อ่านค่าอัตราการเต้น ของหัวใจ
Ø28E	DB 1Ø	IN A, (1ØH)	
Ø29Ø	77	LD (HL), A	
Ø291	23	INC HL	
Ø292	36 ØØ	LD (HL), ØØ	
Ø294	CD 61 ØØ	CALL BINBCD	
Ø297	21 Ø8 Ø8	LD HL, BCD ADDRESS	} ; Shift BCD data ไปทางซ้าย 4 บิต
Ø29A	Ø6 Ø4	LD B, 4	
Ø29C	CB 26	SHIFT SLA (HL)	
Ø29E	23	INC HL	
Ø29F	CB 16	RL (HL)	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

02A1	2B		DEC HL	
02A2	10 F8		DJNZ SHIFT	
02A4	21 00 01		LD HL, TABLE ADDRESS	
02A7	DD 21 18		LD IX, RESULT ADDRESS+8	
	08			
02AB	FD 21 09		LD IY, BCD ADDRESS+1	
	08			
02AF	CD 83 00		CALL TABLE LOOK UP	
02B2	3E 00		LD A, 0	
02B4	D3 22		OUT (22H), A	
02B6	CD BC 00	DIS	CALL DISPLAY	; Display Data
02B9	DB 12		IN A, (12H)	
02BB	E6 04		AND 4	; ตรวจ Rx1
02BD	20 F7		JR NZ, DIS	(ตรวจจนออก)
02BF	3E 01	DOWN	LD A, 1	
02C1	D3 20		OUT (20H), A	; เลื่อน Display
02C3	CD BC 00		CALL DISPLAY	; Display Data
02C6	DB 12		IN A, (12H)	
02C8	E6 01		AND 1	; ตรวจ Limit
02CA	28 F3		JR Z, DOWN	ต่ำสุด (S1)
02CC	3E 00		LD A, 0	
02CE	D3 20		OUT (20H), A	; Stop meter
02D0	CD BC 00	DIS1	CALL DISPLAY	; Display Data
02D3	DB 12		IN A, (12H)	
02D5	E6 04		AND 4	; ตรวจ Rx1
02D7	28 F7		JR Z, DIS1	(ตรวจจนเข้า)
02D9	CD BC 00	DIS2	CALL DISPLAY	; Display Data
02DC	DB 22		IN A, (22H)	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

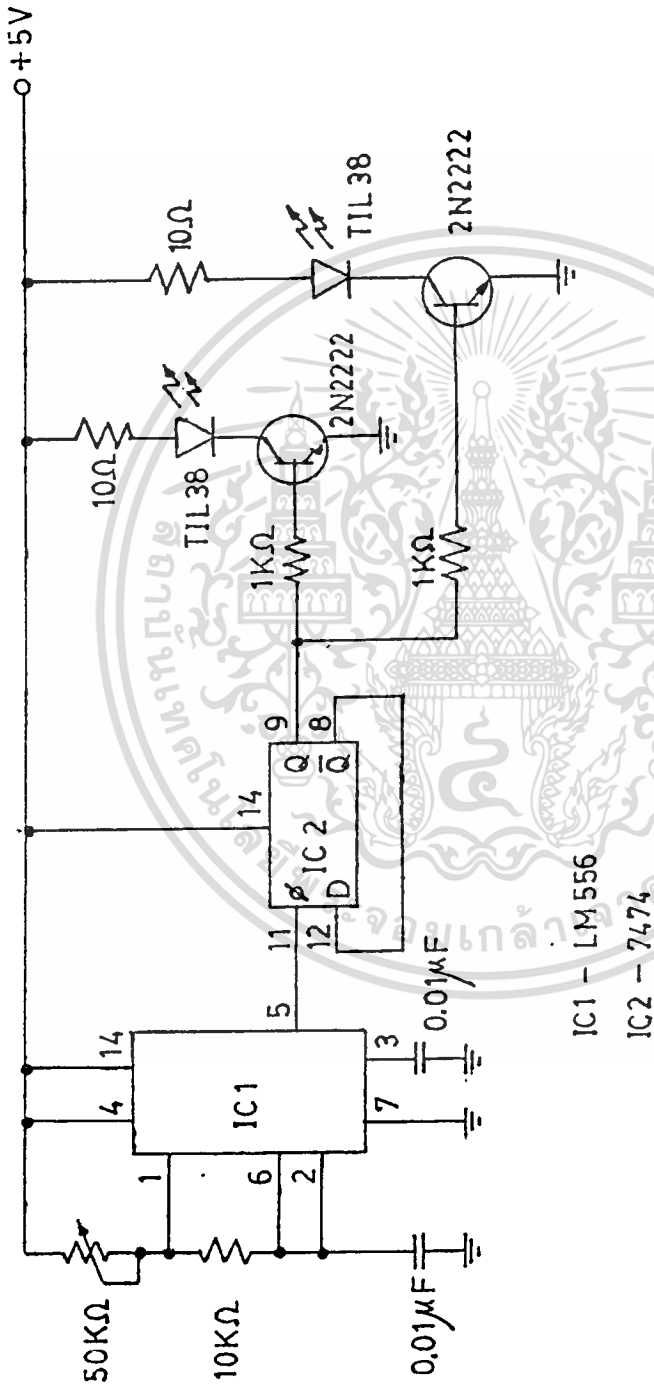
02DE	E6 10	AND 10H	}	; ตรวจจับ
02E0	28 F7	JR Z,DIS2		(SW start)
02E2	3E 00	LD A,0	}	; Clear Display
02E4	D3 00	OUT (00H),A		
02E6	C3 24 02	JP FEEDBACK		



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

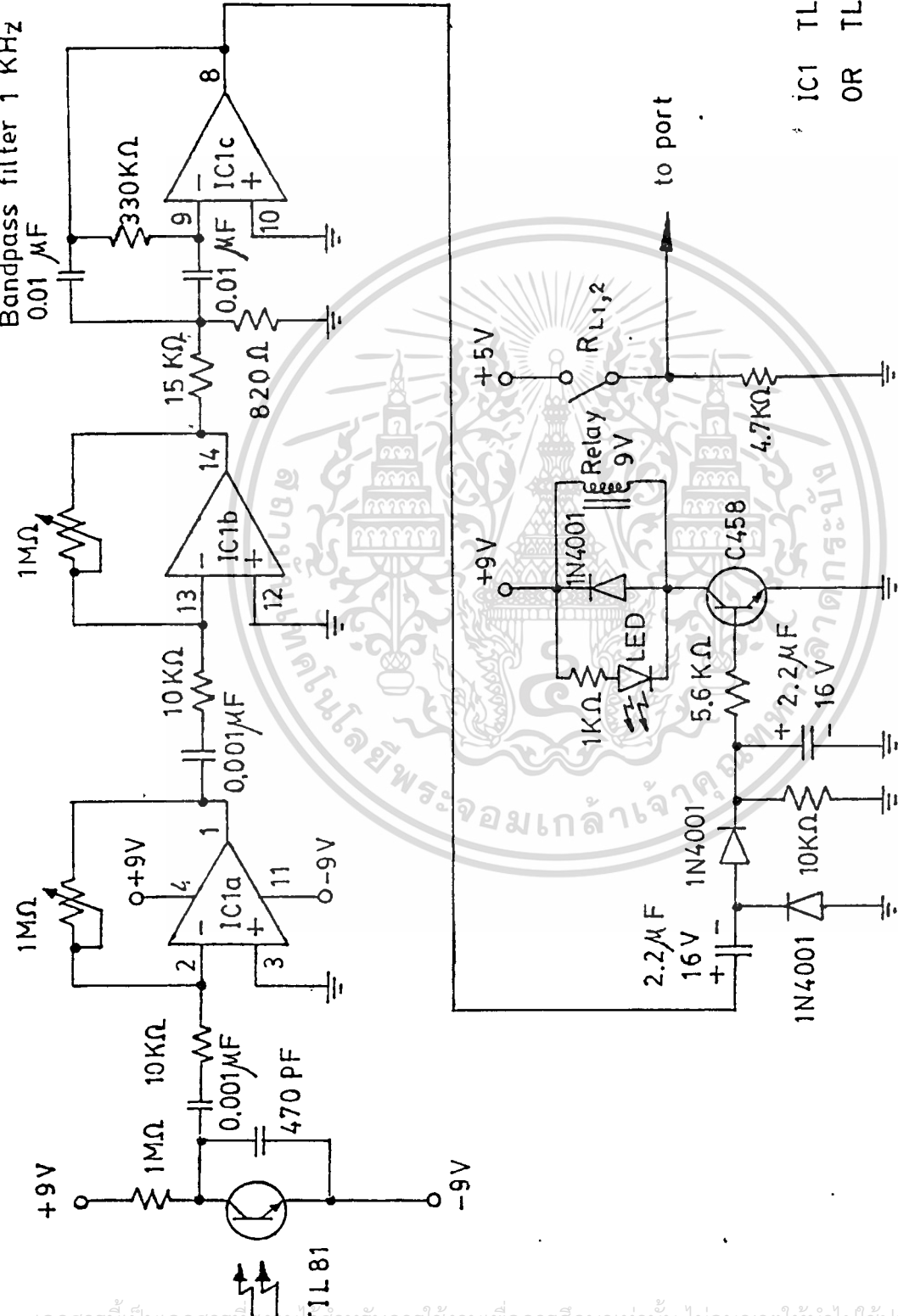
7.1 รวมวงจรที่ใช้งานทั้งเครื่อง



Oscillator and Transmitter Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bandpass filter 1 KHz

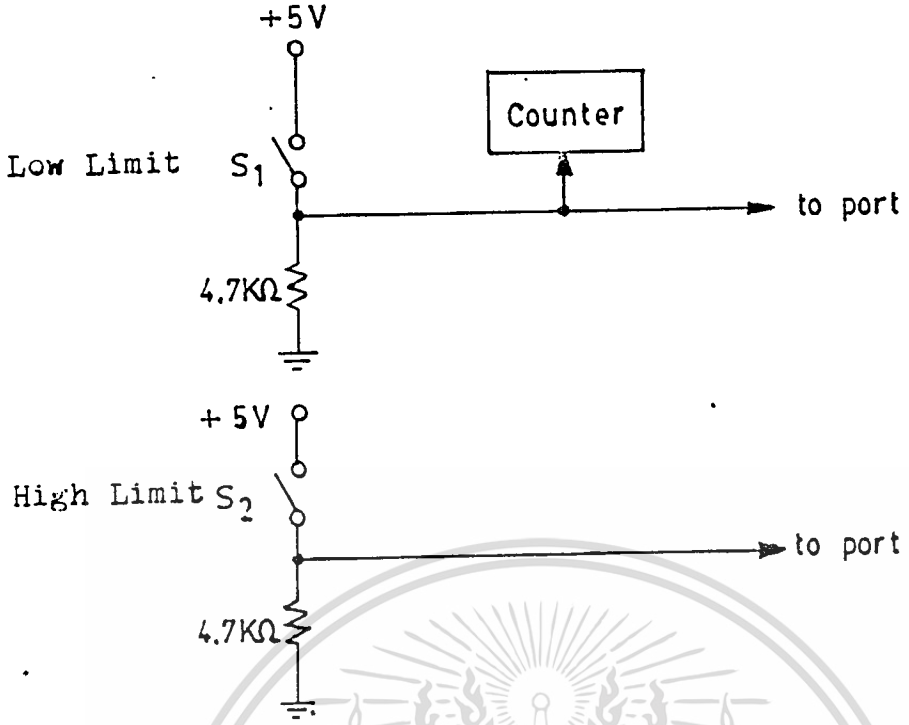


IC1 TL074  
OR TL084

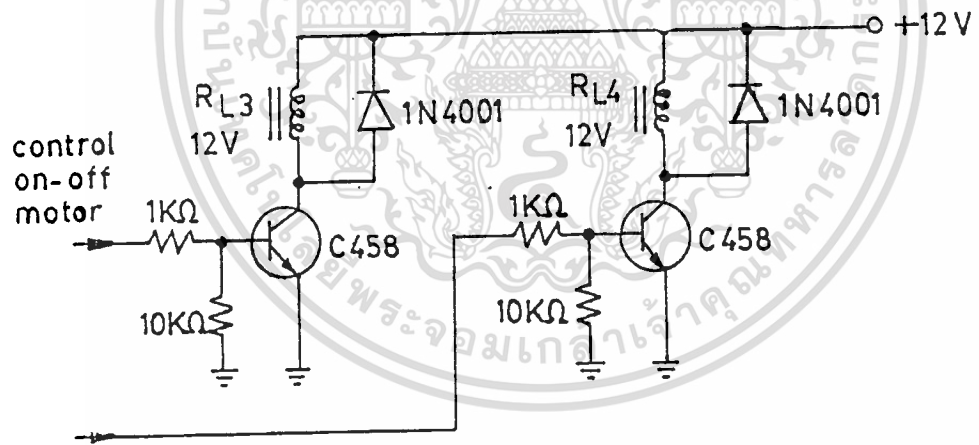
Receiver 1,2 Circuit

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

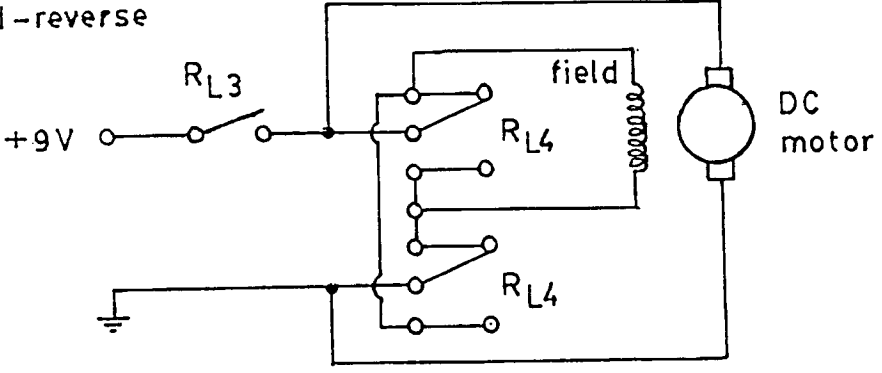




Micro Switch Circuit

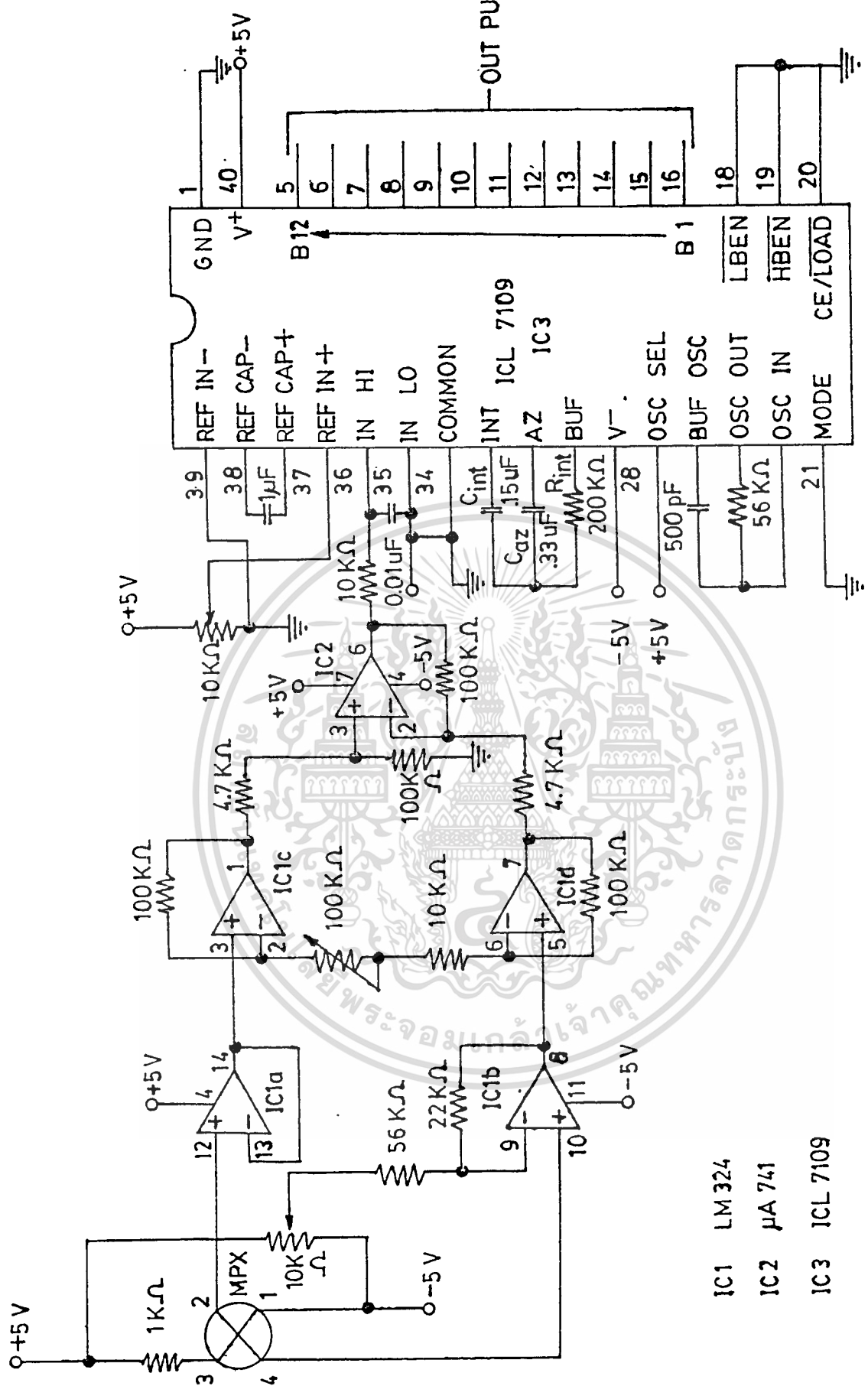


control forward-reverse



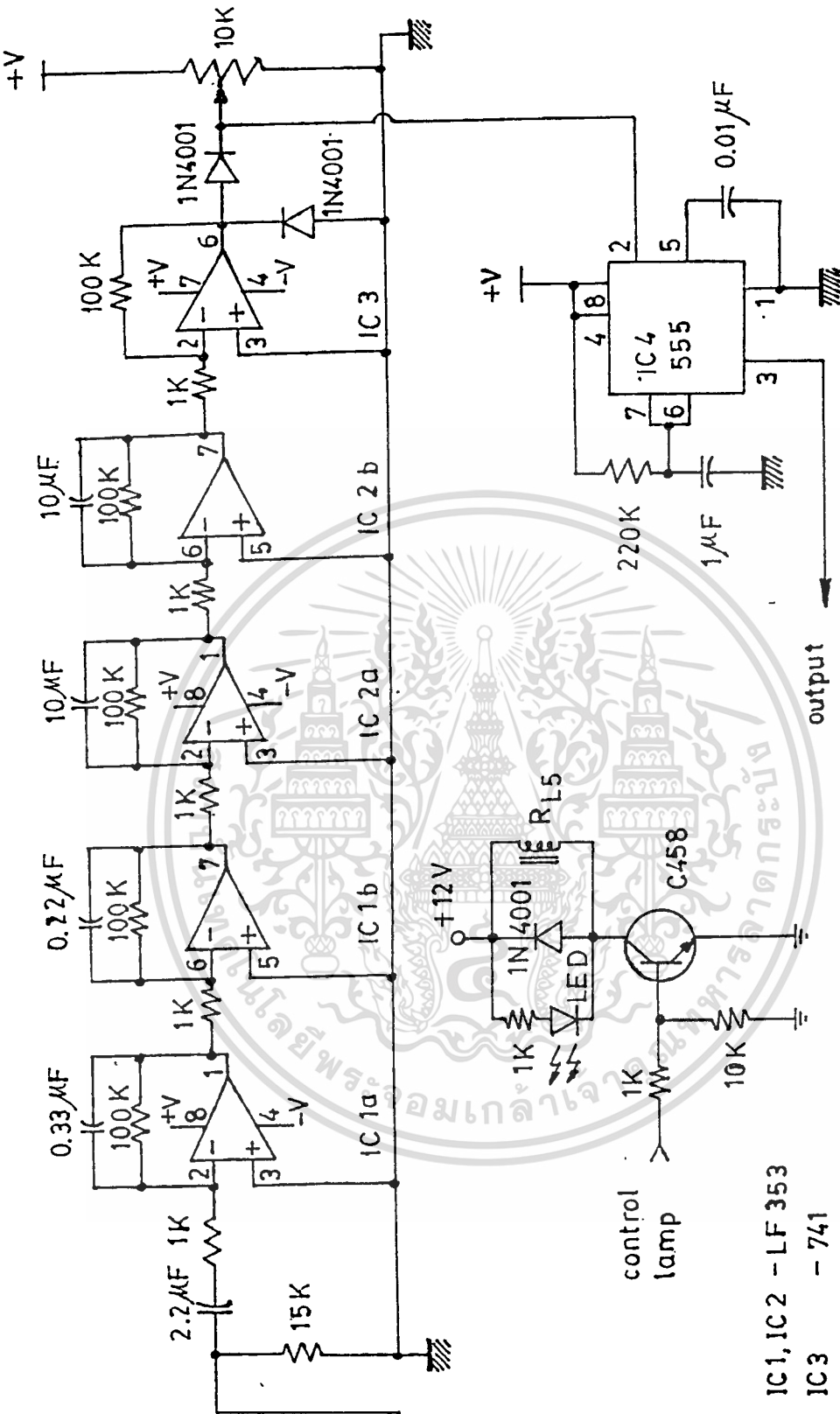
Motor Control Circuit

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้ ห้ามทำซ้ำโดยไม่ขออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



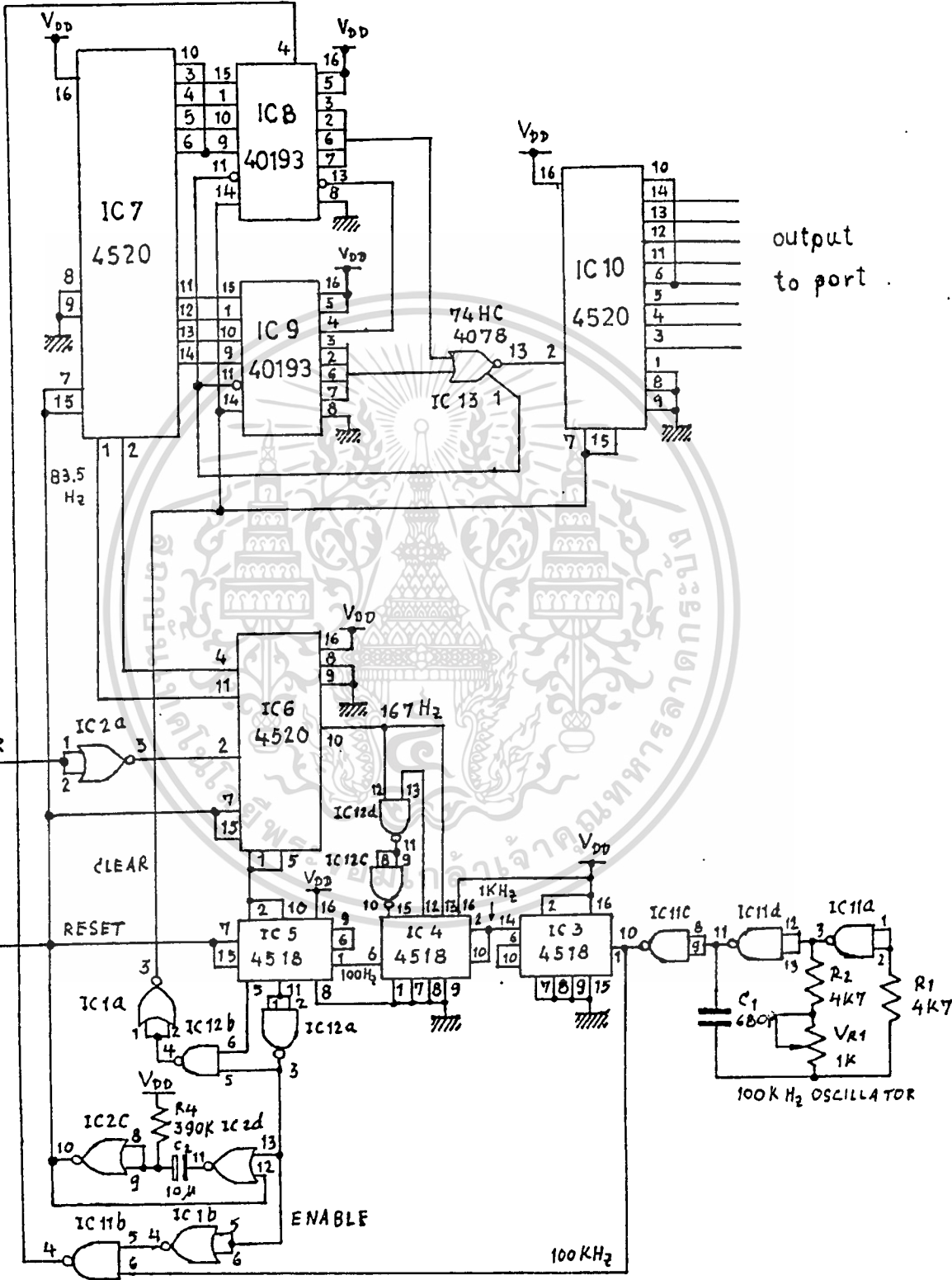
Weight Detector Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



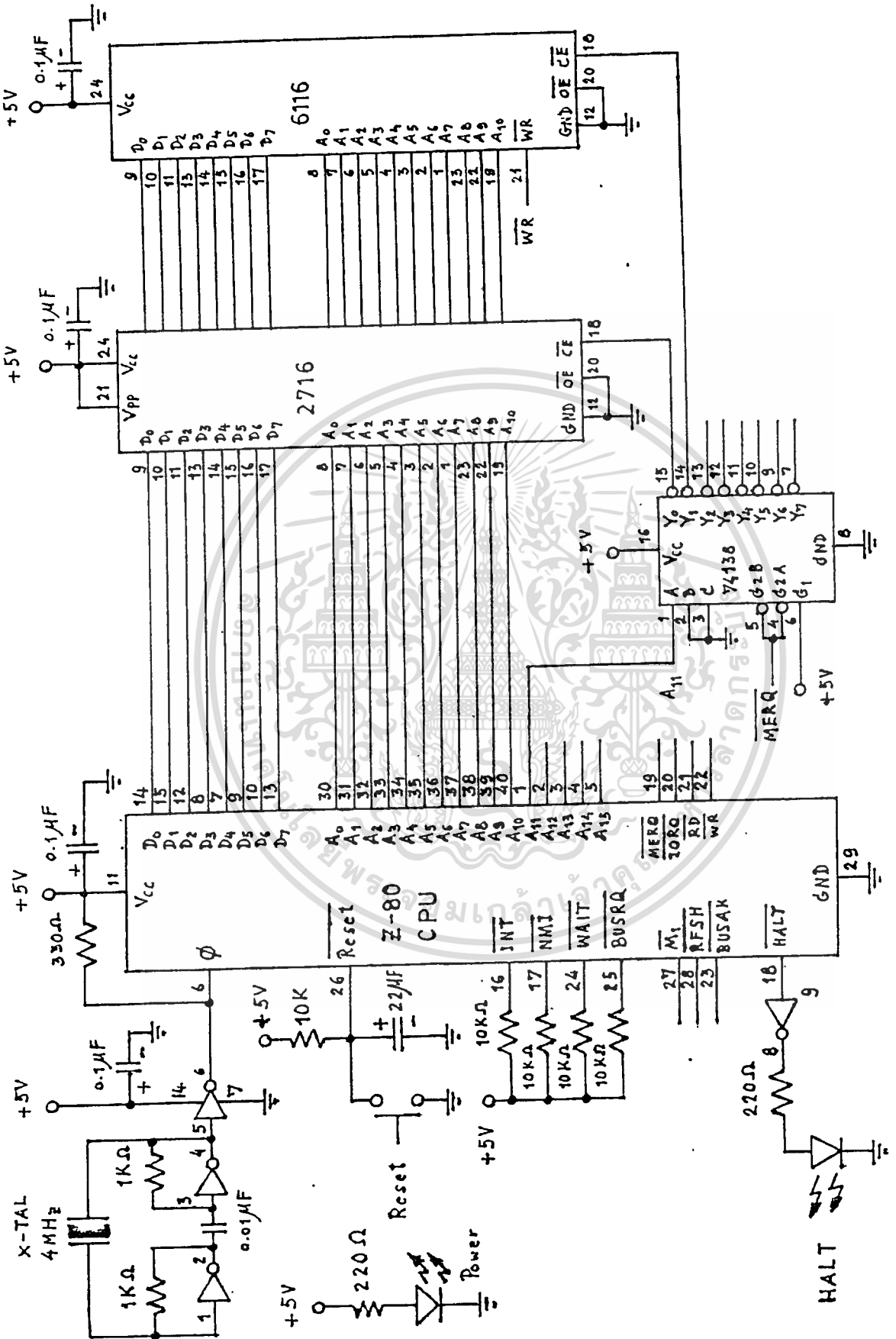
- IC 1, IC 2 - LF 353
- IC 3 - 741
- IC 4 - 555

Heart Beat Detector Circuit

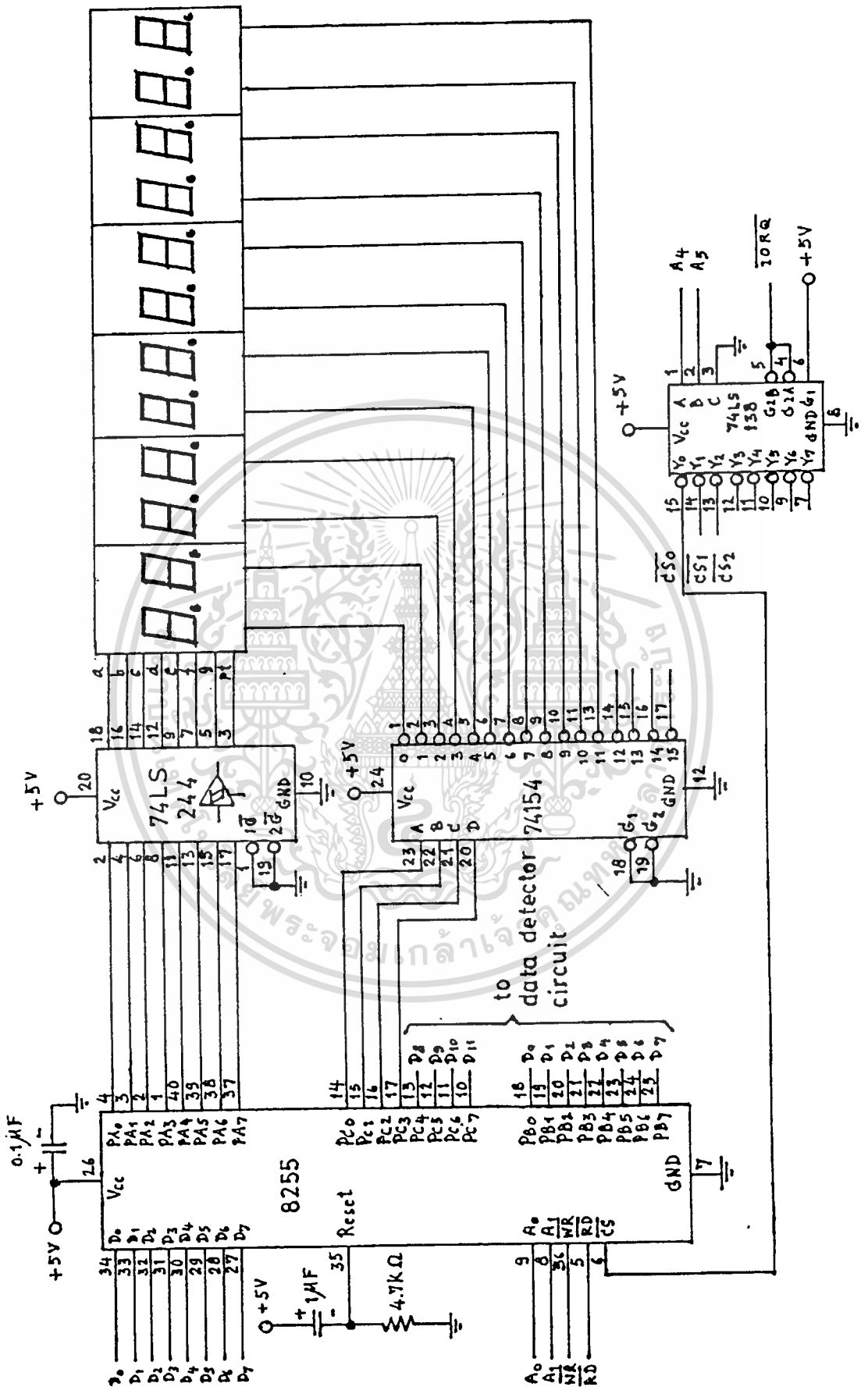


เอกสารนี้เป็นเอกสารที่สแกนจากหนังสือ Heart Beat Main Unit Circuit ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

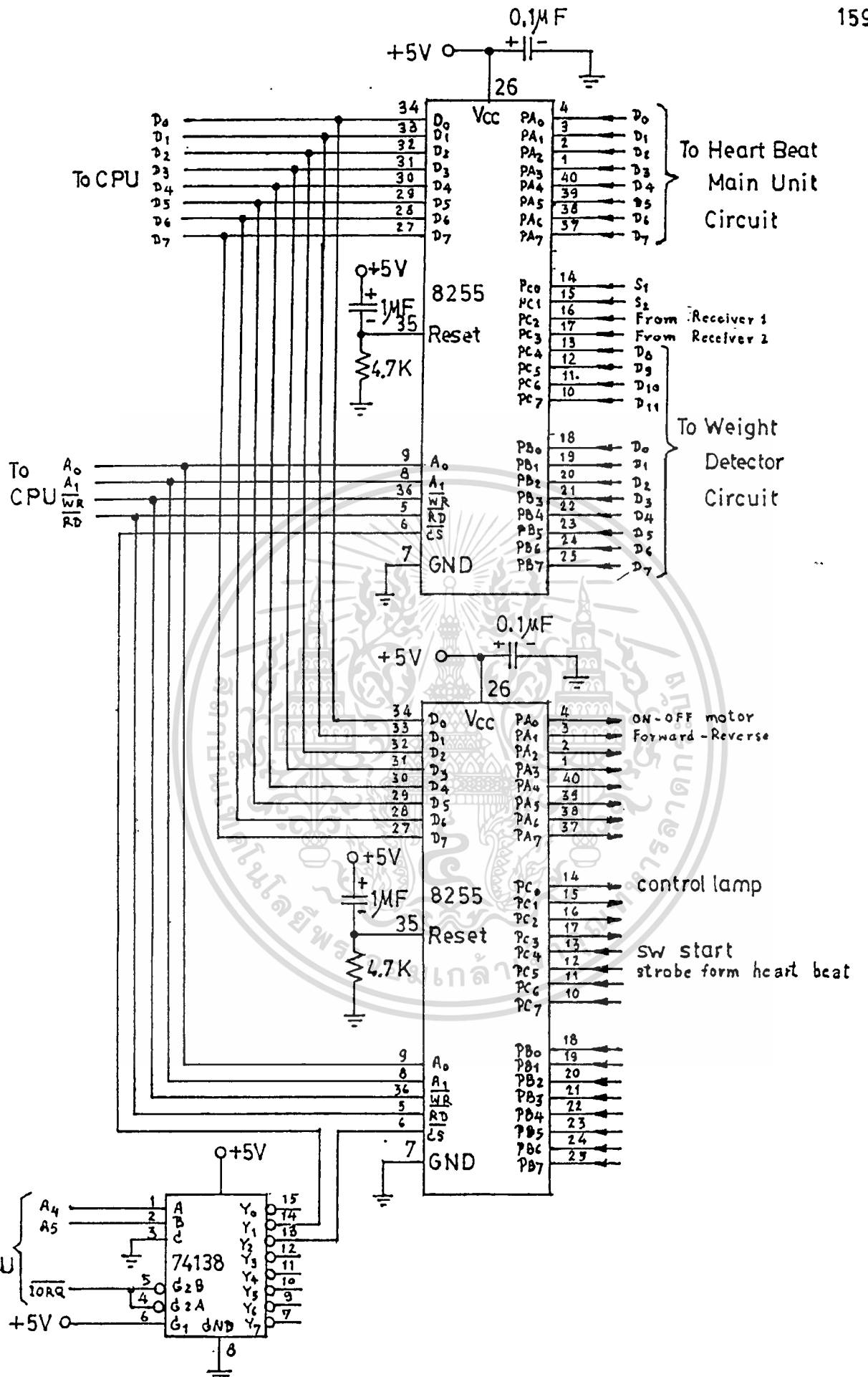
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต่ออ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

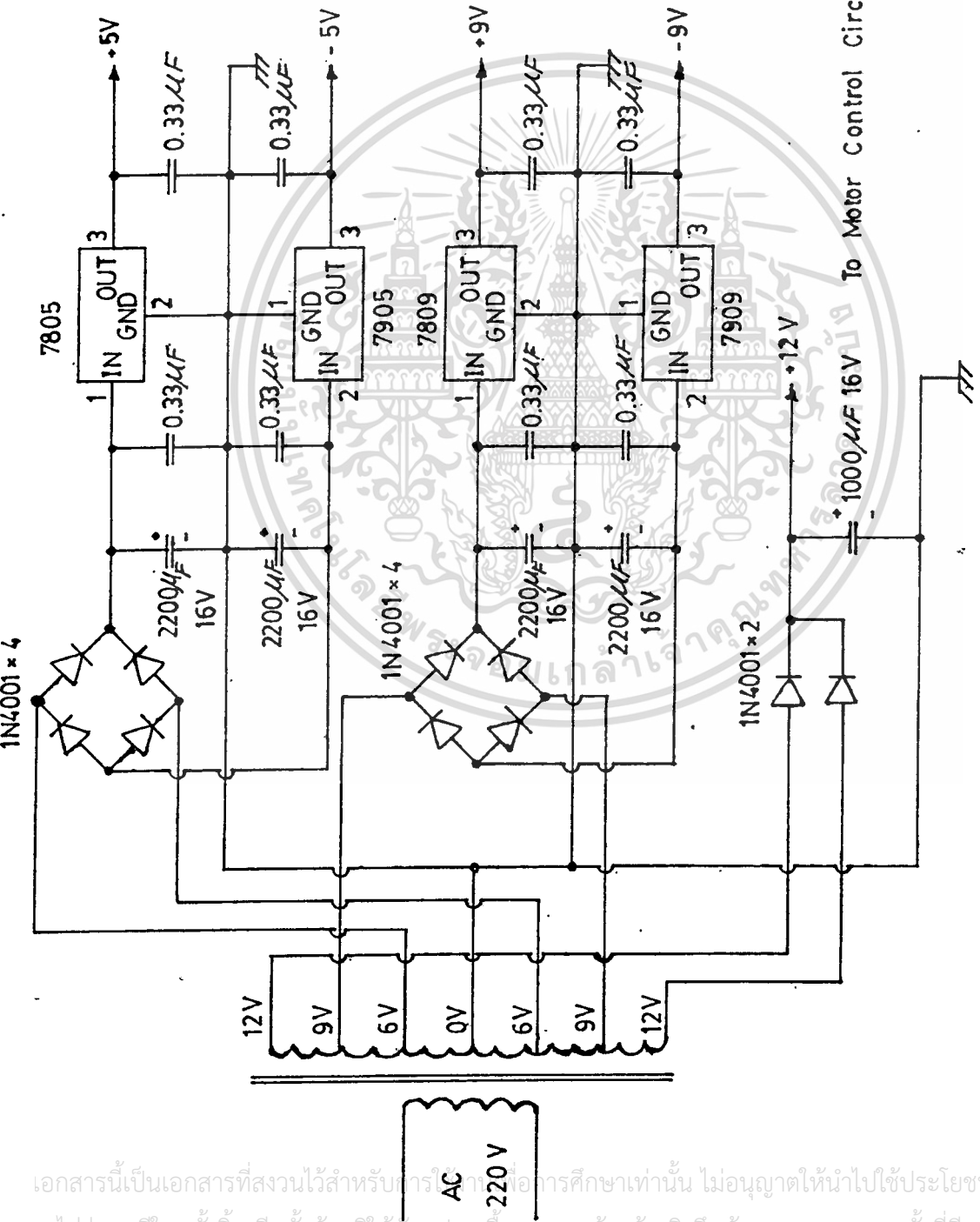


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10 Weight Detector Circuit

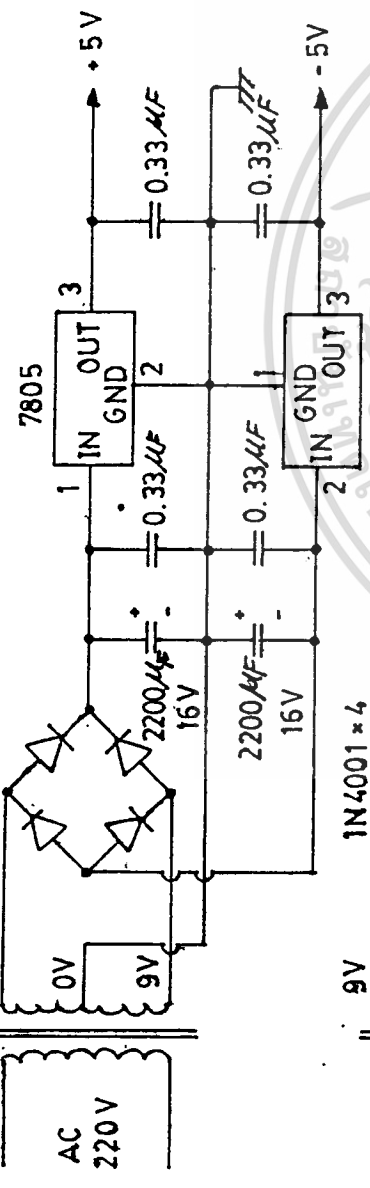


To Receiver 1, Receiver 2  
and Driver

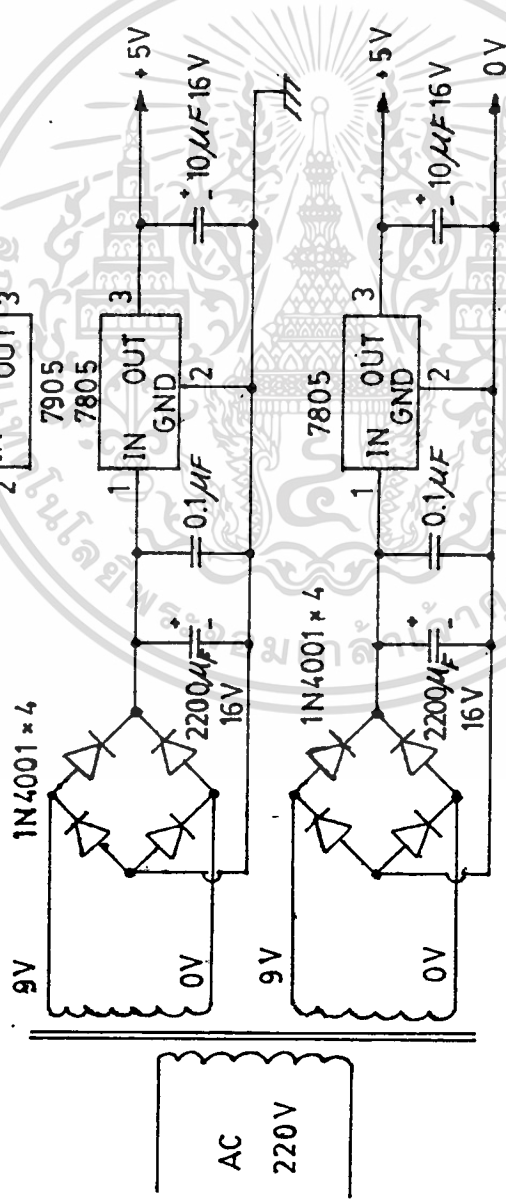
To Motor Control Circuit

Power Supply

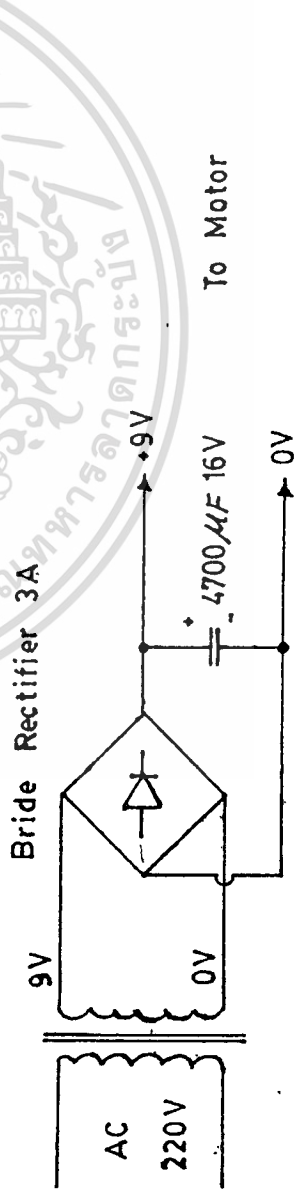
To Heart Beat Circuit and Lamp



To Central Processing Unit

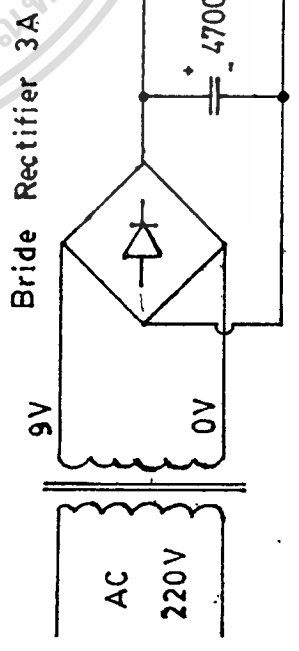


To Oscillator and Transmitter

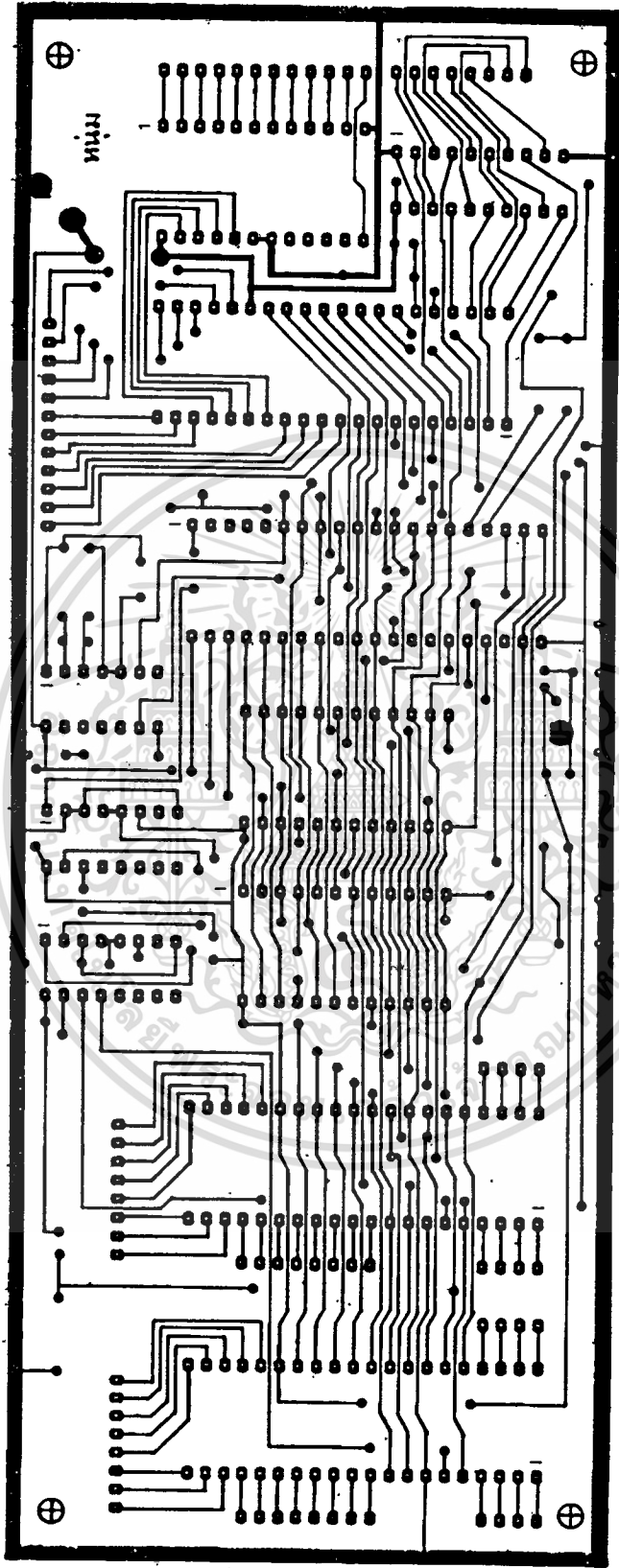


Power Supply

To Motor

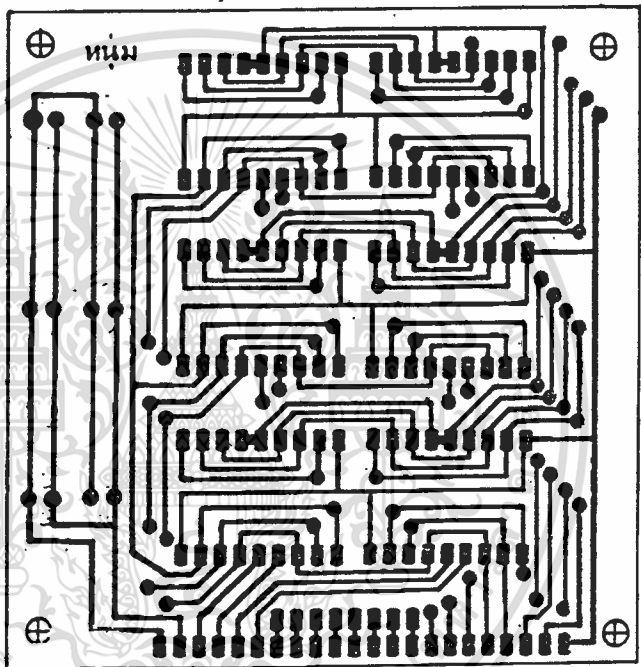


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



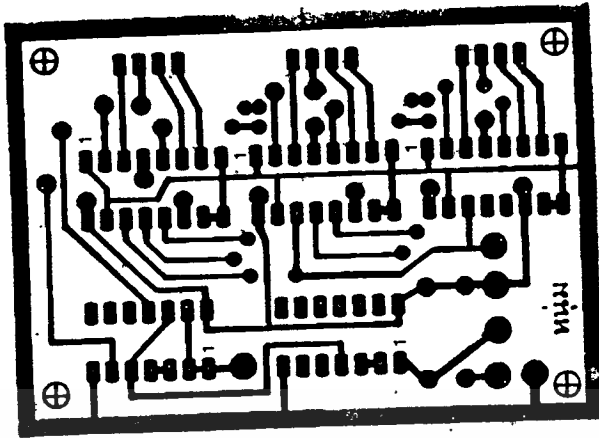
ลายวงจรพิมพ์ของวงจรหน่วยประมวลผลกลาง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

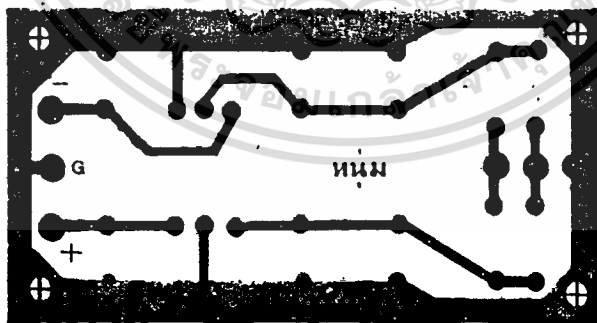


ลายวงจรพิมพ์ของวงจร ภาคแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

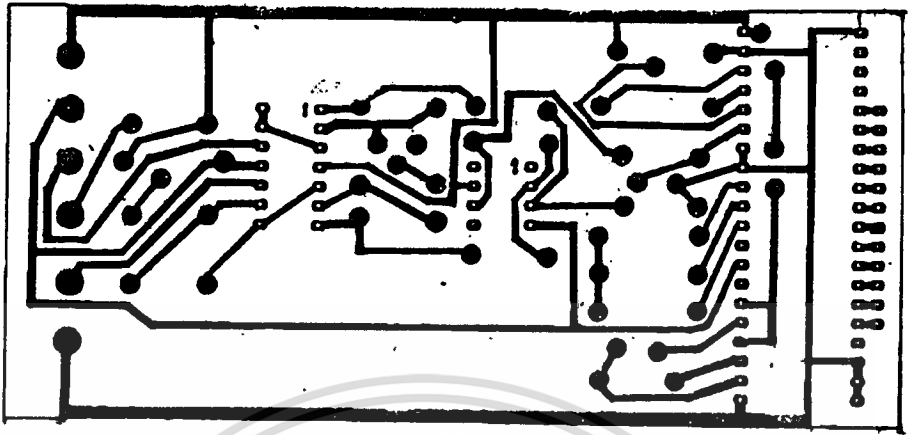


ลายวงจรพิมพ์ของวงจร คานา คีเทคเตอร์

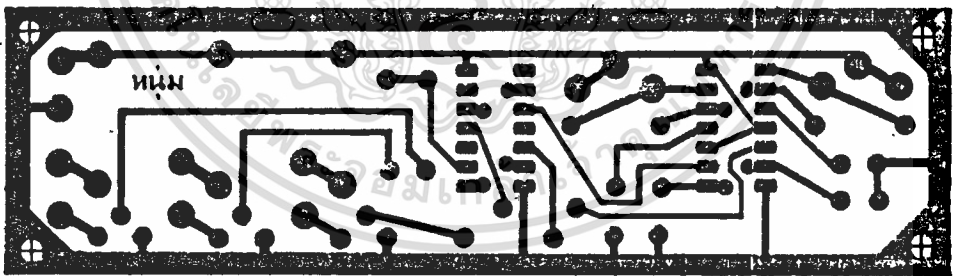


ลายวงจรพิมพ์ของวงจร เพาเวอร์ซัพพลาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

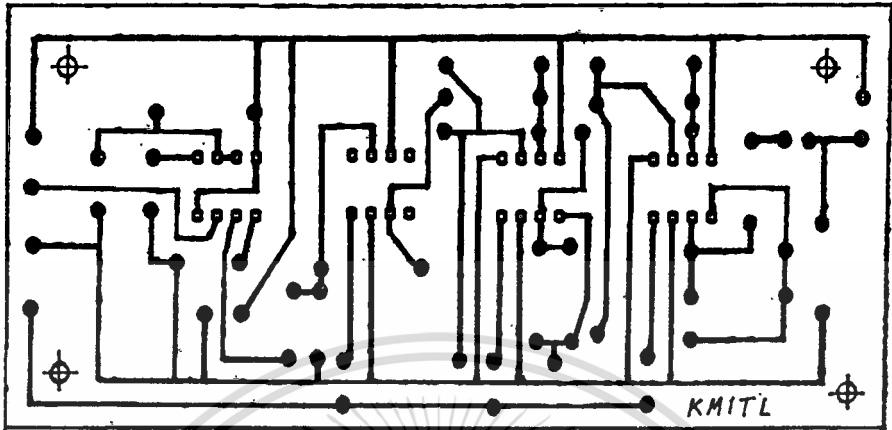


ลายวงจรพิมพ์ของวงจร เครื่องชั่งน้ำหนัก

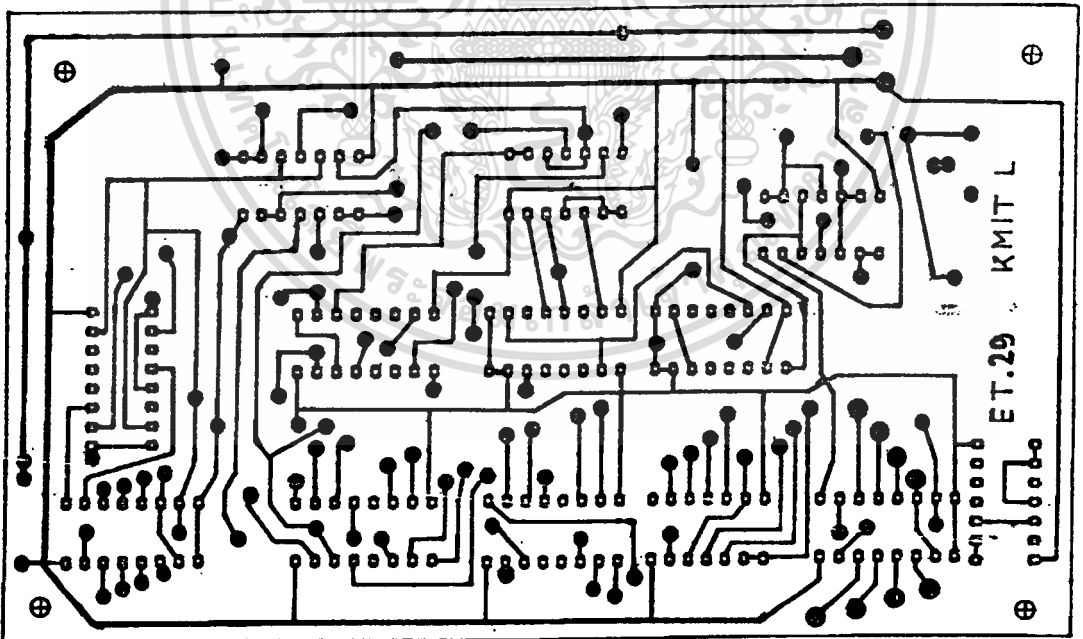


ลายวงจรพิมพ์ของวงจร ออสซิลเลเตอร์ และ วงจร ภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

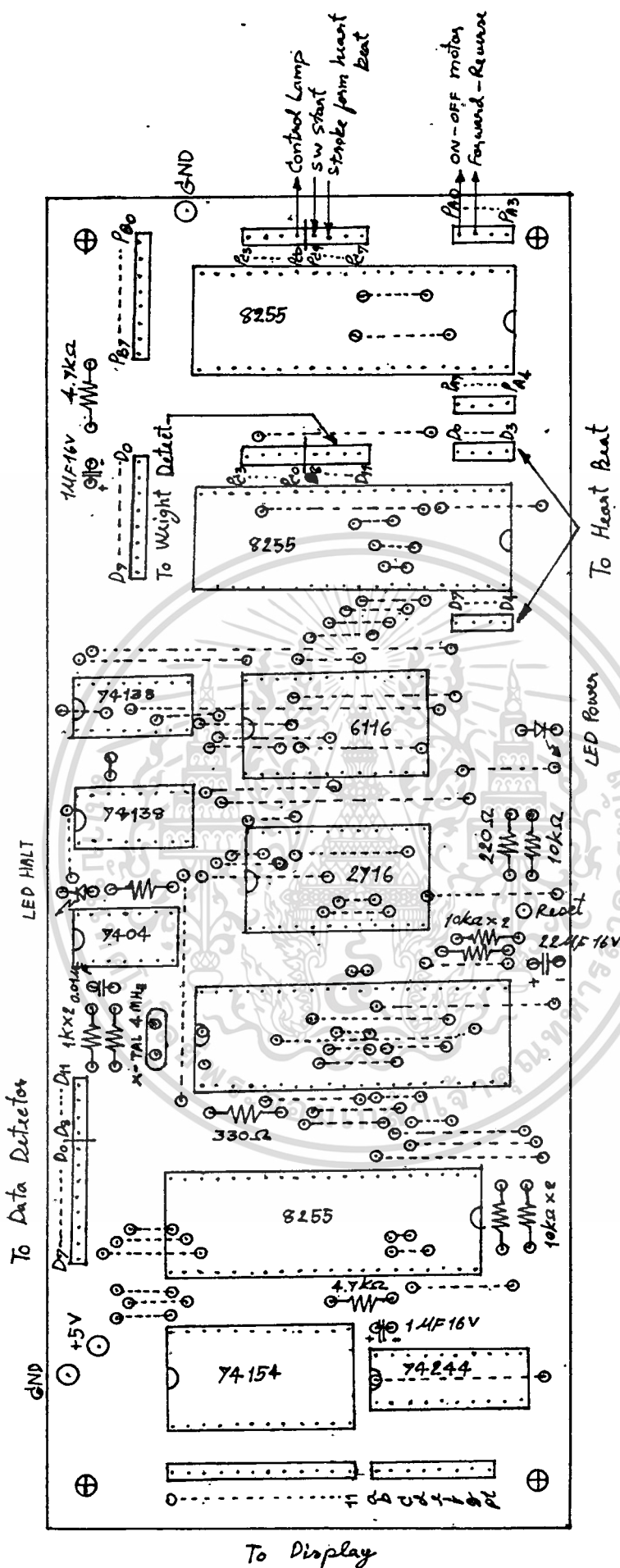


ลายทองแดง ของวงจร คีโพลเตอร์  
 เครื่องวัดอัตราการเต้นหัวใจ

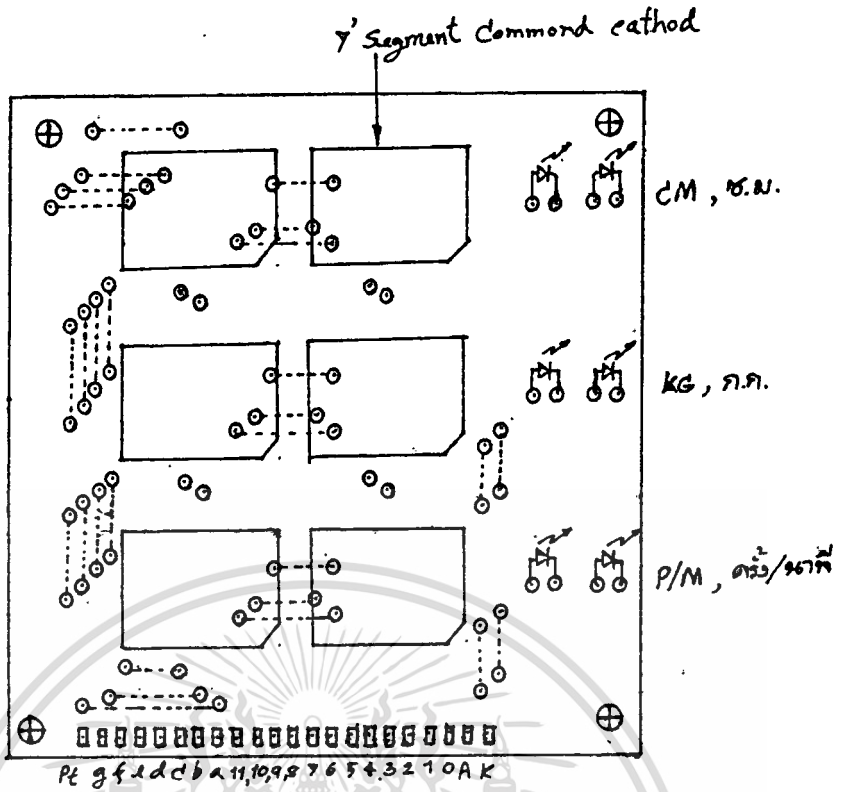


ลายทองแดง ของวงจรเมม'

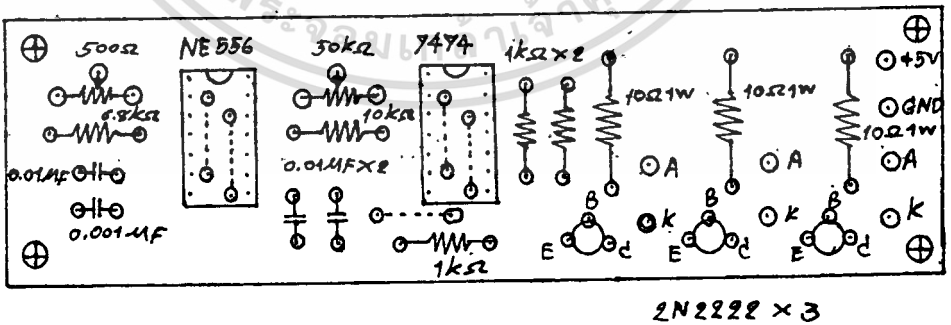
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ของเครื่องวัดอัตราการเต้นหัวใจ อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น **รูปแสดง ตำแหน่งการวางอุปกรณ์ของวงจรประมวลผลกลาง** ทุกครั้งที่มีการนำไปใช้



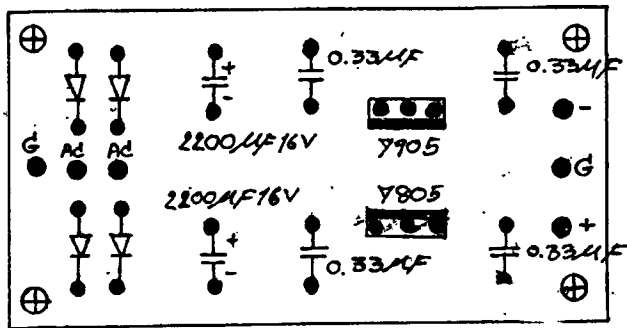
รูปแสดง ตำแหน่งการวางอุปกรณ์ของวงจร Display



รูปแสดงตำแหน่งการวางอุปกรณ์ของวงจร Oscillator และ Transmitter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

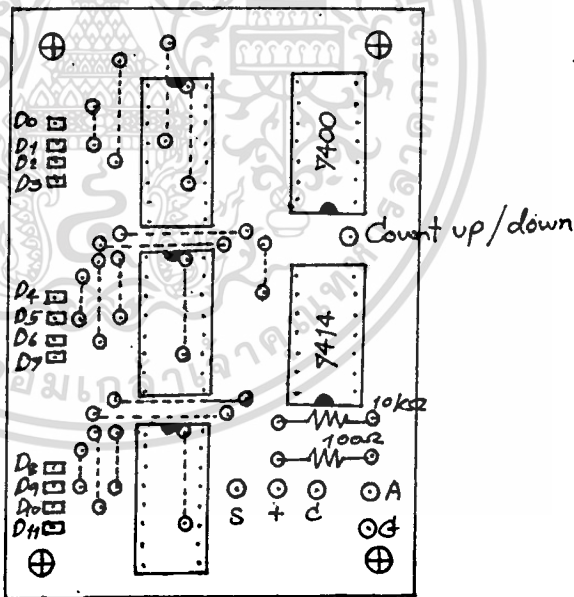
1N4001x4



รูปแสดง ตำแหน่งการวางอุปกรณ์ของวงจรเพาเวอร์ซัพพลายหลาย



74193x3



รูปแสดง ตำแหน่งการวางอุปกรณ์ของวงจร คาค้า คีเทคเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## บทที่ 8

### แมคคานิกส์ของเครื่อง (Mechanics of System)

ส่วนแมคคานิกส์เป็นส่วนที่มีความสำคัญจากอีกส่วนหนึ่งของเครื่อง ซึ่งจะมีผลต่อความถูกต้องในการวัดมาก การออกแบบส่วนแมคคานิกส์จึงต้องทำอย่างรอบคอบ ส่วนแมคคานิกส์ที่สำคัญของเครื่อง คือส่วนแมคคานิกส์ของ เครื่องวัดความสูง และเครื่องชั่งน้ำหนัก

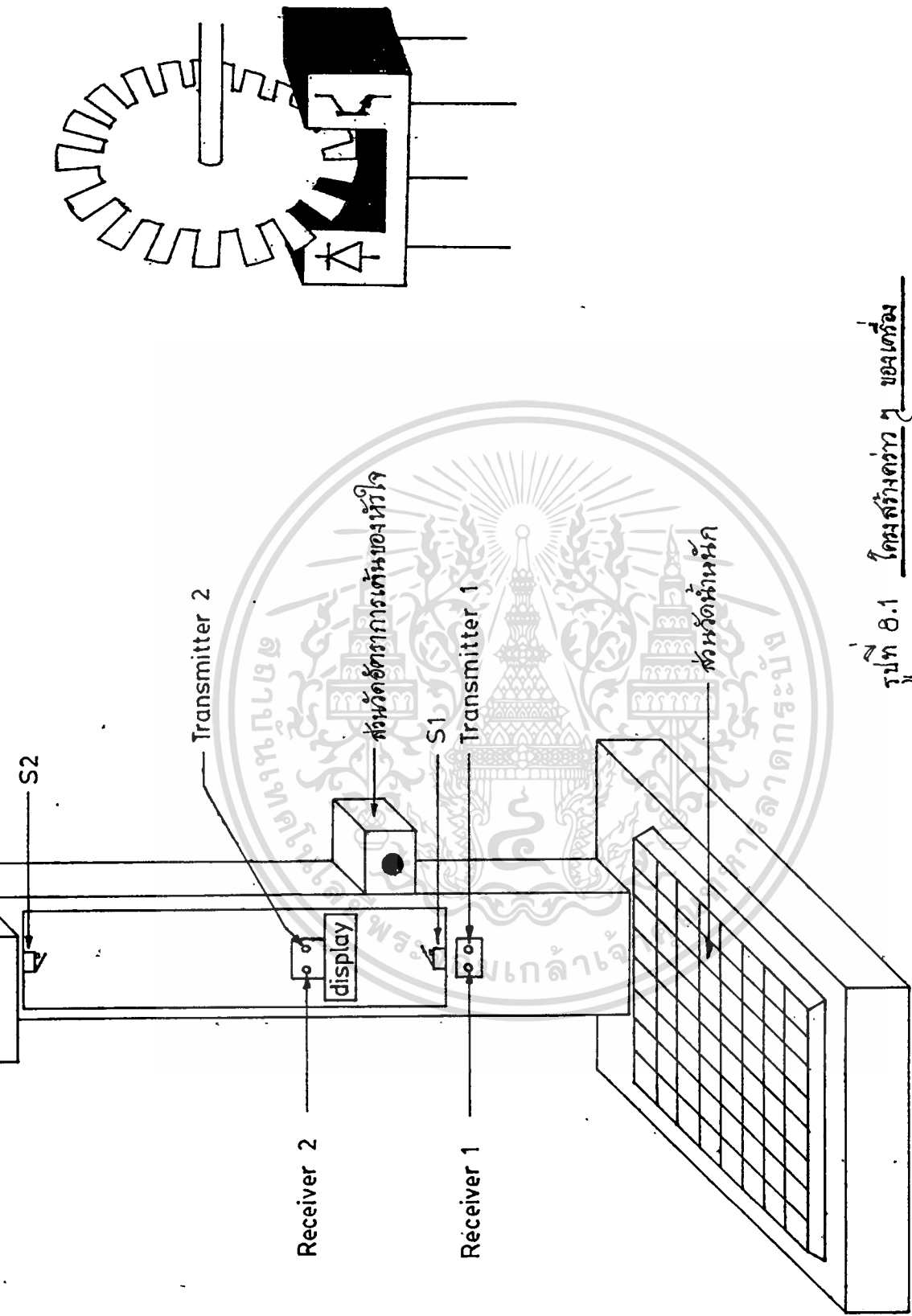
#### 8.1 แมคคานิกส์ของเครื่องวัดความสูง

เครื่องวัดความสูงเป็นส่วนที่ต้องเคลื่อนที่ตลอดเวลาในขณะที่ทำการวัด คือ การเคลื่อนที่ ขึ้น-ลง ของตัวแสดงผล และการหมุนของแผ่นจานโลหะกลม ตัวคันทาลังที่ใช้ในการขับเคลื่อนคือ ดีซี มอเตอร์ ที่สามารถกลับทางหมุนได้ มีความเร็วรอบประมาณ 7500 รอบต่อนาที และถูกหกรอบลงโดยชุดเฟืองทดเพื่อให้มีความเร็วที่เหมาะสม ก่อนจะส่งไปยังสายพานเพื่อใช้ในการขับเคลื่อนต่อไป แมคคานิกส์ของเครื่องวัดความสูงแสดงในรูปที่ 8.2

#### 8.2 แมคคานิกส์ของเครื่องชั่งน้ำหนัก

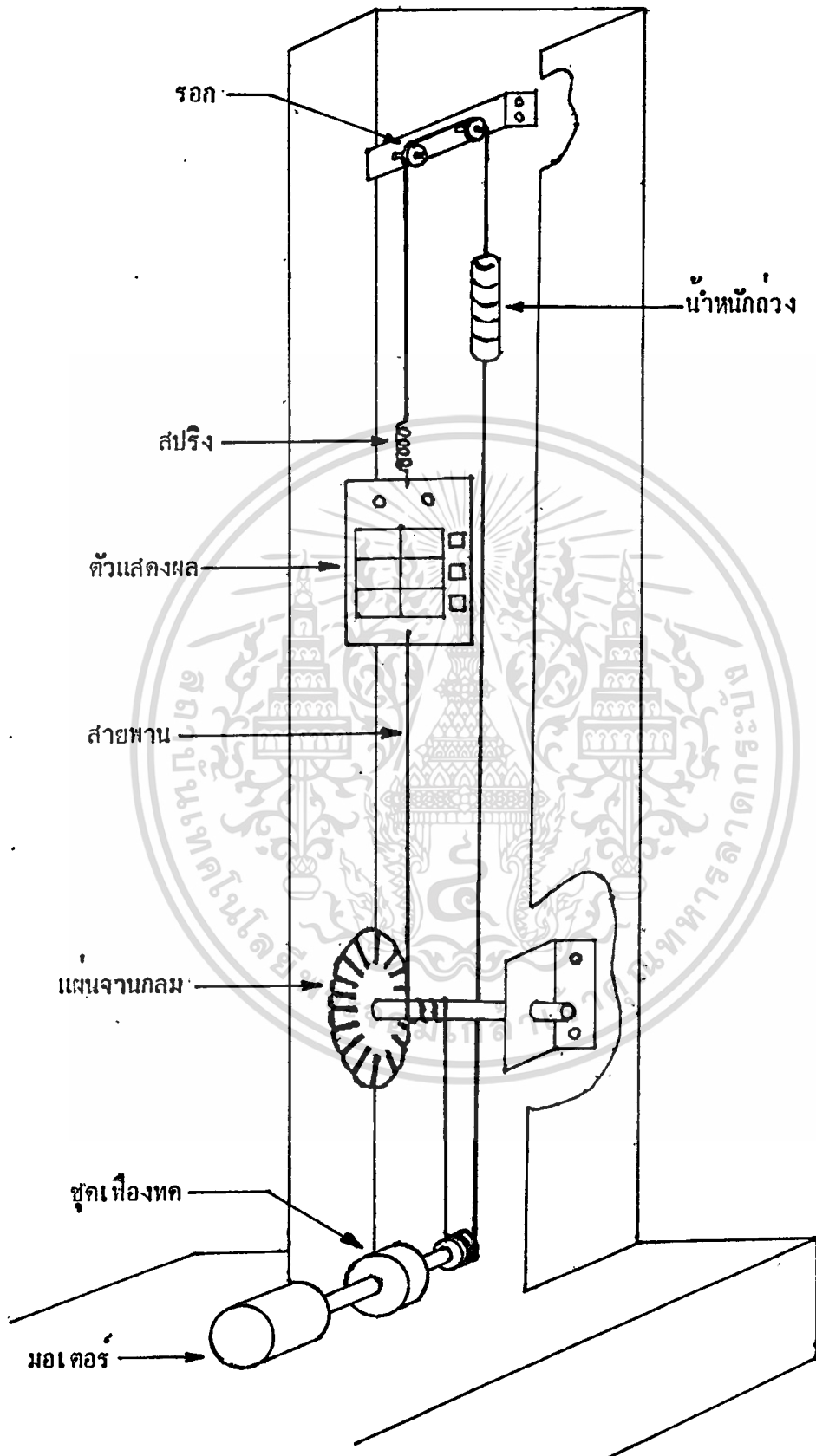
เนื่องจากตัว เชน โซร่น้ำหนักไม่สามารถใช้โกลก เชลได้ เพราะหาซื้อไม่ได้ ในเมืองไทย จึงหันมาใช้เพรส โซร่ เชน โซร่แทน โดยการใช้กระบอกลมเป็นตัวรับการเปลี่ยนแปลงของน้ำหนักที่ตกลงบนแผ่นรับน้ำหนัก ซึ่งจะทำให้ความดันอากาศในกระบอกลมเกิดการเปลี่ยนแปลง และเพรส โซร่ เชน โซร่จะเกิดการเปลี่ยนแปลงนี้เข้าไปเปลี่ยนแปลงเป็นค่าแรงดันทางไฟฟ้า แผ่นรับน้ำหนักจะถูกรองรับอยู่ด้วยสปริง เพื่อใช้ในการกลับคืนตำแหน่งเมื่อสิ้นสุดการชั่งน้ำหนัก แผ่นรับน้ำหนักจะมีรอยเท้ากำหนดตำแหน่งการขึ้นที่ถูกต้องเพื่อให้สปริงทั้ง 4 ตัวรับแรงกดเท่ากัน เพื่อให้ได้ค่าที่ถูกต้องที่สุด กระบอกลมที่ใช้ต้องตรวจสอบอย่างดีไม่ให้เกิดการรั่วของอากาศได้ อุปกรณ์ต่างๆที่ใช้ คือ สปริง กระบอกลม และ เพรส โซร่ เชน โซร่ ไทพายามหาควิลเบียร์ ที่สุด เพื่อให้การวัดถูกต้องมากที่สุด แมคคานิกส์ของเครื่องชั่งน้ำหนักแสดงในรูปที่ 8.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

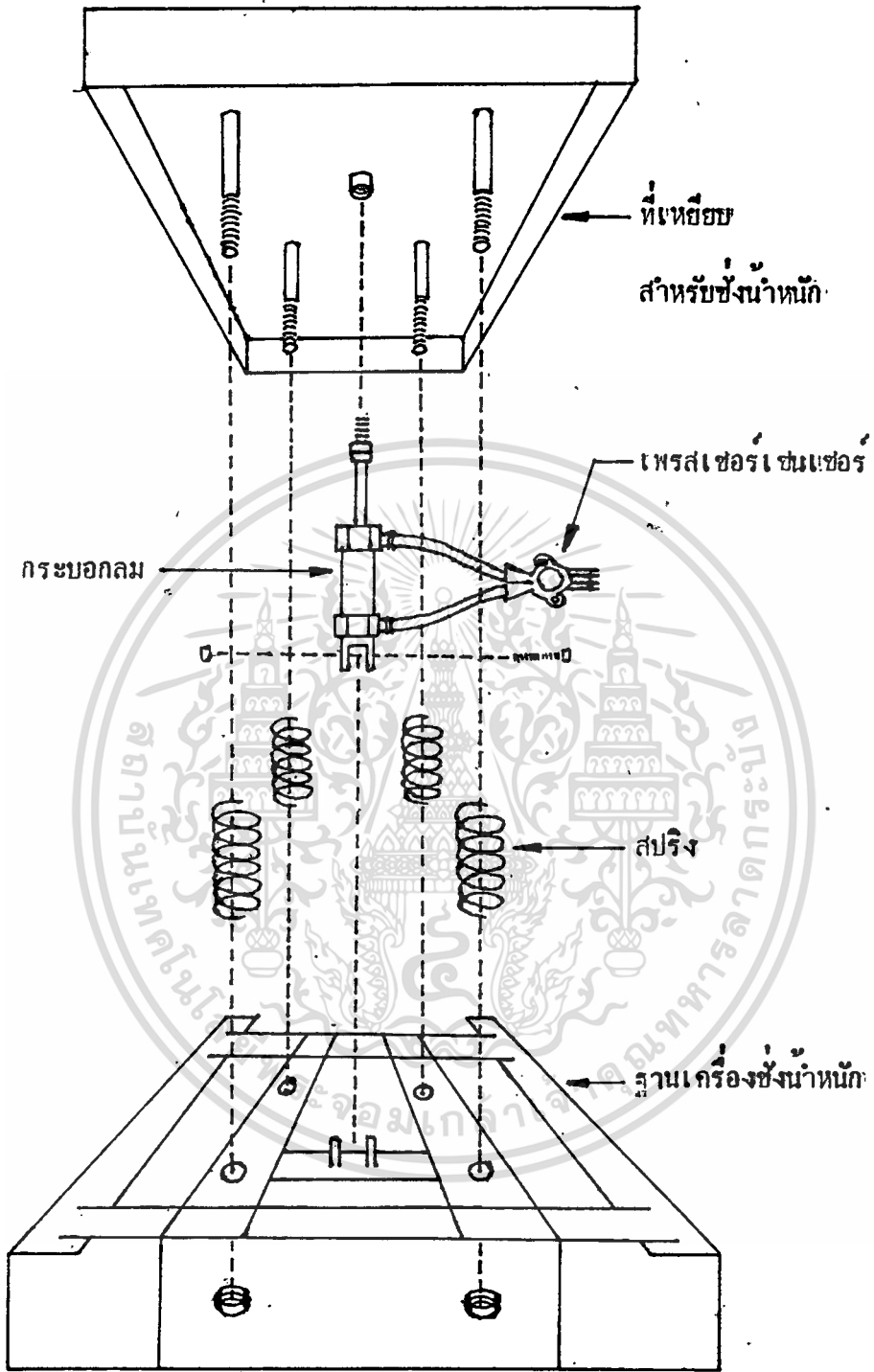


รูปที่ 8.1 ควบคุมรถแข่งด้วยรีโมทคอนโทรล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่รูปที่ 8.2 แมคคานิกส์ของเครื่องวัดความสูง อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ๘.๓ เมคคานิกส์ของเครื่องชั่งน้ำหนัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 9

การทดลอง และผลการทดลอง

9.1 การทดลอง

1. ใช้แผ่นเหล็กขนาดความยาวต่างๆกัน คือ 150, 160, 170, 180 และ 190 ซม.

นำมาทดลองวัดความสูง โดยตั้งแผ่นเหล็กในแนวตั้งให้ปลายคานหนึ่งวางอยู่บนแผ่นรับน้ำหนัก บันทึกผลการทดลอง จากค่าที่อ่านไบนตัวแสดงผล

2. นำดั่งใส่ น้ำรวมน้ำหนัก 10 กก. วางซึ่งบนเครื่องซึ่ง บันทึกผลการซึ่งที่อ่านได้จาก ตัวแสดงผล ต่อไปใส่ น้ำเพิ่มไปในดังที่ละ 5 กก. จำนวน 4 ครั้ง อ่านคาน้ำหนักทุกครั้งจาก ตัวแสดงผล บันทึกผลการทดลอง

3. ให้ผู้ทำการทดลองคนหนึ่งขึ้นไปยืนบนเครื่องซึ่ง ทำการซึ่งน้ำหนัก วัดความสูง และ วัดอัตราการเต้นของหัวใจ ให้ผู้ทำการทดลองคนเดิมทำการทดลองรวม 5 ครั้ง อ่านค่าจากตัว แสดงผล และบันทึกผลการทดลอง

9.2 ผลการทดลอง

1. จากการทดลองข้อ 1 มีผลการทดลองดังแสดงในตารางข้างล่าง

ขนาดความยาวจริงของแผ่นเหล็ก( ซม.)      ขนาดความยาวที่อ่านได้จากตัวแสดงผล( ซม.)

150	150.1
160	160.2
170	170.2
180	180.2
190	190.3

2. จากการทดลองข้อ 2 มีผลการทดลองดังแสดงข้างล่าง

<u>น้ำหนักจริงของน้ำ (กก.)</u>	<u>น้ำหนักที่อ่านได้จากตัวแสดงผล (กก.)</u>
10	10.3
15	15.2
20	20.4
25	25.3
30	30.5

3. จากการทดลองข้อ 3 มีผลการทดลองดังแสดงข้างล่าง

<u>ครั้งที่</u>	<u>ความสูง(ซม.)</u>	<u>น้ำหนัก(กก.)</u>	<u>อัตราการเต้นหัวใจ(ครั้ง/นาที)</u>
1	169.8	57.3	67.0
2	170.4	57.0	70.0
3	170.4	57.0	66.0
4	171.0	56.6	69.0
5	170.3	56.3	70.0

บทที่ 10

สรุป และ วิเคราะห์ผลการทดลอง

จากการทดลองและผลการทดลองในบทที่ 9 เราสามารถนำมาสรุป และ  
วิเคราะห์ได้ดังนี้

10.1 สรุปและวิเคราะห์เครื่องวัดความสูง

เครื่องวัดความสูงใช้แสงอินฟราเรดเป็นตัวเซ็นเซอร์และก็เทคความสูง  
จากการทดลองจะเห็นว่า เครื่องนี้มีความแม่นยำสูงพอสมควร จากการวัดความสูงของถนนๆเกี่ยว  
กันหลายๆครั้ง จะเห็นว่าค่าแต่ละครั้งต่างกันน้อยมาก

สิ่งที่ยังไม่ดีนักของเครื่องนี้ก็คือ ระบบการเคลื่อนที่ขึ้น-ลง ของตัวแสงผล  
เนื่องจากสายไฟที่ต่อไปยังตัวแสงผลใช้สายแพจำนวนหลายเส้น ซึ่งสายแพจะต้องเคลื่อนที่  
ขึ้น-ลงตามตัวแสงผล แต่เนื่องจากสายแพมีจำนวนหลายเส้นจึงทำให้สายแพเกิดการเคลื่อน  
ที่ไม่คล่องตัว

เครื่องวัดความสูงนี้สามารถวัดความสูงได้ในช่วง 100 ซม. ถึง 200 ซม.  
ซึ่งถือว่าอยู่ในช่วงที่กว้างพอสมควร

## 10.2 สรุปและวิจารณ์ของเครื่องชั่งน้ำหนัก

เนื่องจากเครื่องชั่งน้ำหนักในปริมาณที่หนักนี้ ใช้เพรสเซอร์ เช่น เซอร์ เป็นตัว -  
เช่น เซอร์น้ำหนัก (โพลีเอสเตอร์ไม่มีชาย) ดังนั้นจึงต้องใช้กระบอกลมเป็นตัวเปลี่ยนแรงกดของ -  
น้ำหนักที่ชั่งให้เป็นความดัน แล้วใช้ เพรสเซอร์ เช่น เซอร์ เปลี่ยนให้เป็นแรงดันไฟฟ้าอีกทีหนึ่ง  
ซึ่งจากผลการทดลองพอสรุปได้ว่า ถ้าน้ำหนักที่วัดได้มีค่าใกล้เคียงกับน้ำหนักมาตรฐาน เหตุที่ไม่  
เท่ากับน้ำหนักมาตรฐานอาจจะเนื่องมาจาก

1) กระบอกลมที่ใช้เป็นของที่ใช้มาแล้ว (ของใหม่มีราคาแพงมาก) จึงอาจจะเกิด  
การรั่วได้

2) ของไหลที่ส่งผ่านความดันเราใช้อากาศ ซึ่งมีค่าการอัดตัวมากในขณะที่ความดัน  
มีค่าสูงๆ

3) อาจเกิดการรั่วตามรอยต่อของท่อลมได้ เพราะถ้ามีอากาศรั่วไหลออกมาได้  
จะทำให้แรงดันไฟฟ้าที่เอาท์พุทของ เพรสเซอร์ เช่น เซอร์ ลดลง ทำให้ค่าที่ออกมาที่เอาท์พุทของ  
A/D ลดลงตามไปด้วย

4) เนื่องจากเราใช้สปริงเป็นตัวรับแรงกดของน้ำหนักที่ตกลงมา ดังนั้นการเลือก  
ตำแหน่งลูกสูบของกระบอกสูบจะมีค่าคงที่หรือไม่จะขึ้นอยู่กับการหดตัวของสปริงว่ามีค่าคงที่หรือไม่

5) A/D ที่ใช้ในปริมาณที่หนักนี้ เป็น A/D แบบอินทิเกรท ซึ่งการทำงานของ  
ไอซีแบบนี้จะเป็นเชิงเส้นหรือไม่ จะขึ้นอยู่กับการใช้ค่าของ ตัวเก็บประจุ, ความต้านทาน และ  
ชนิดของตัวเก็บประจุที่นำมาประกอบเข้ากับไอซีนี้

6) ค่าความคลาดเคลื่อนที่วัดได้อาจจะเกิดเนื่องจากอุปกรณ์ที่ใช้ เช่น ความต้าน  
ทาน, ตัวเก็บประจุ, ไอซี ไม่ได้มาตรฐาน

7) ตำแหน่งการกินของผู้ชั่ง เนื่องจากกระบอกสูบถูกยึดอยู่กับกลางแผ่นรับน้ำหนัก

ดังนั้นถ้าจะให้ลูกสูบของกระบอกลมเคลื่อนที่ลงแบบคงที่ (ตามน้ำหนักที่ตกลงมา) จะต้องให้ -

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สปริงทง & ตัว รับแรงกดเท่ากัน นั่นก็คือ ต้องให้น้ำหนักที่ซึ่งกกลางที่กึ่งกลางของแผ่นรับน้ำหนัก เพื่อให้ไตคานน้ำหนักที่ถูกตองที่สุด

ถึงอย่างไรก็ตามคานน้ำหนักที่อ่านได้จากเครื่องชั่งน้ำหนักนี้ ยังมีที่ผิดพลาดจากน้ำหนักมาตรฐานเพียงเล็กน้อยเท่านั้น ดังนั้นถ้าเราเลือกอุปกรณ์ที่มีคุณภาพก็จะทำให้สามารถอ่านค่าได้ถูกต้องยิ่งขึ้น



### 10.3 เครื่องวัดอัตราการเต้นของหัวใจ

จากการทดลองอาจกล่าวโดยสรุปได้ดังนี้

#### วงจรที่หก เตอร์

ส่วนเช่น เซอร์ใช้แสงจากหลอดไฟ คีซี สองผ่านนิ้วมือไปยัง โฟโตทรานซิสเตอร์ เพื่อที่เหตุการณ์เปลี่ยนแปลงความหนาแน่นของเลือดที่นิ้วมือตามจังหวะการเต้นของหัวใจ โดยที่หลอดไฟจะถูกควบคุมโดยซอฟต์แวร์ เพื่อให้หลอดไฟติดเมื่อต้องการวัดเท่านั้น เพื่อไม่ให้เกิดการรบกวนมากเกินไปขณะทำการวัด

วงจรที่หก เตอร์มีความไวสูงมาก เนื่องจากการเปลี่ยนแปลงของความเข้มแสงที่ตรวจจับนั้นน้อยมาก ดังนั้นการขยับของนิ้วมือหรือท่อพลาสติกเพียงเล็กน้อยจะให้ความเข้มของแสงที่ตกกระทบโฟโตทรานซิสเตอร์เปลี่ยนแปลงไปมาก ซึ่งจะทำให้การวัดผิดพลาด ดังนั้นเวลาวัดต้องให้นิ้วมืออยู่นิ่งมากที่สุด

#### วงจรเมน

ใช้ชิปอสทั้งหมดทำให้กินกระแสต่ำ อัตราการเต้นของหัวใจเป็นสัญญาณที่มีความถี่ต่ำ ดังนั้นจึงไม่สามารถใช้วิธีการวัดความถี่แบบทั่วไปคือการนับจำนวนพัลส์ในช่วงเวลาที่ทราบค่า เพราะจะทำให้ใช้เวลาในการวัดนานเกินไป ในที่นี้จึงได้ใช้วิธีการวัดช่วงความยาวของพัลส์ทางอินพุทแทน ซึ่งความถี่ของของเอาพุทของวงจรเมน จะขึ้นอยู่กับความแน่นอนของพัลส์อินพุท และความถี่ของของความถี่ 100 KHz จากวงจรออสซิลเลเตอร์ภายในวงจรเมน

จากการทดลองใช้ หังกั้นเงินเนอรัเรเตอร์ ป้อนความถี่ต่างๆเข้าที่อินพุทของวงจร พบว่าสามารถวัดค่าความถี่ได้อย่างถูกต้อง และเมื่อต่อเข้ากับวงจรที่หก เตอร์พบว่าค่าอัตราการเต้นของหัวใจที่ได้จากการวัดหลายๆครั้งมีค่าใกล้เคียงกัน แต่ไม่เท่ากันทุกครั้ง ทั้งนี้เนื่องจากเอาพุทของวงจรที่หก เตอร์ยังไม่ค่อยแน่นอนนัก เนื่องจากวงจรที่หก เตอร์

ถูกรบกวนได้ง่ายจากการเคลื่อนไหว และแสงภายนอก

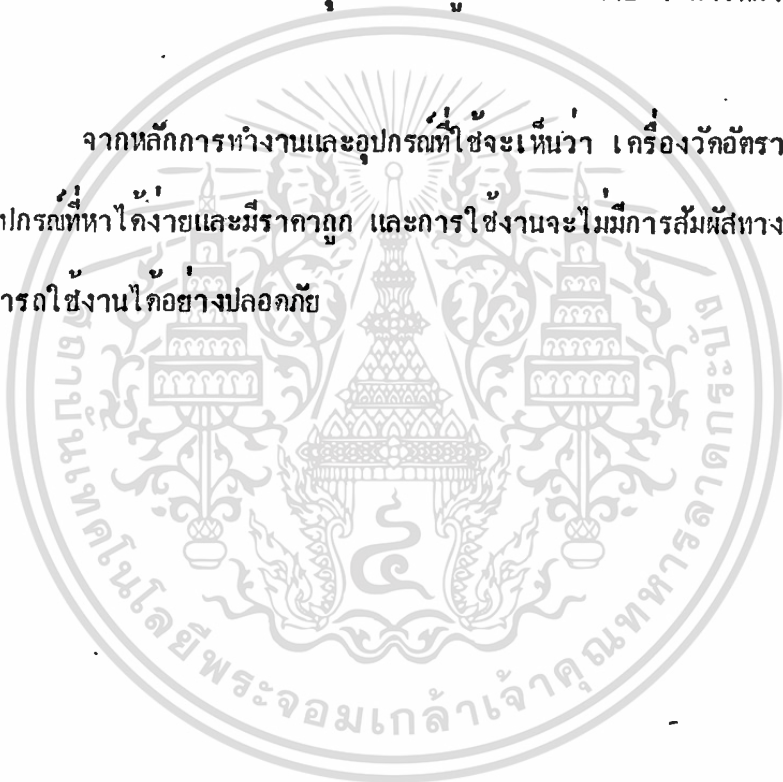
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต้องจรวัดอัตราการเต้นของหัวใจเข้ากับระบบทั้งหมดของเครื่อง  
พบว่าการทำงานของวงจรเมม บางครั้งจะถูกรบกวนจากการทำงานของอุปกรณ์บางตัวภายใน  
เครื่อง เช่น รีเลย์ และ มอเตอร์

วงจรที่เทคโนโลยีสามารถลดการรบกวนจากแสงภายนอกโดยการ  
ซีลตีให้มิดชิด และยึดกล่องให้อยู่กับที่อย่างแน่นหนาเพื่อลดการเคลื่อนไหว ก็จะทำให้มีความแน่นอน  
เพิ่มขึ้น ส่วนวงจรเมมนั้นถ้าสามารถเลือกชิปอุปกรณ์ที่ไม่ถูกรบกวนได้ง่ายก็จะทำให้การทำงาน  
แน่นอนขึ้น

จากหลักการทำงานและอุปกรณ์ที่ใช้จะเห็นว่า เครื่องวัดอัตราการเต้น  
ของหัวใจนี้ ใช้อุปกรณ์ที่หาได้ง่ายและมีราคาถูก และการใช้งานจะไม่มีสารสัมผัสทางไฟฟ้ากับ  
ร่างกาย จึงสามารถใช้งานได้อย่างปลอดภัย



# Z8400 Z80® CPU Central Processing Unit

# Zilog

## Product Specification

April 1985

### FEATURES

- The instruction set contains 158 instructions. The 78 instructions of the 8080A are included as a subset; 8080A software compatibility is maintained.
- Eight MHz, 6 MHz, 4 MHz, and 2.5 MHz clocks for the Z80H, Z80B, Z80A, and Z80 CPU result in rapid instruction execution with consequent high data throughput.
- The extensive instruction set includes string, bit, byte, and word operations. Block searches and block transfers, together with indexed and relative addressing, result in the most powerful data handling capabilities in the microcomputer industry.
- The Z80 microprocessors and associated family of peripheral controllers are linked by a vectored interrupt system. This system may be daisy-chained to allow implementation of a priority interrupt scheme. Little, if any, additional logic is required for daisy-chaining.
- Duplicate sets of both general-purpose and flag registers are provided, easing the design and operation of system software through single-context switching, background-foreground programming, and single-level interrupt processing. In addition, two 16-bit index registers facilitate program processing of tables and arrays.
- There are three modes of high speed interrupt processing: 8080 similar, non-Z80 peripheral device, and Z80 Family peripheral with or without daisy chain.
- On-chip dynamic memory refresh counter.

Z80 CPU

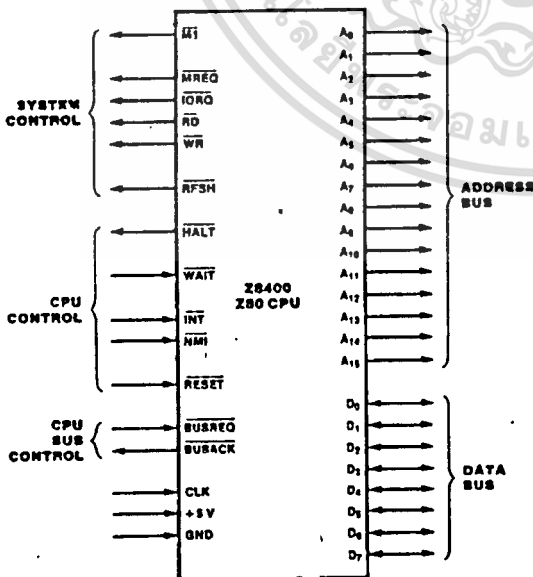


Figure 1. Pin Functions

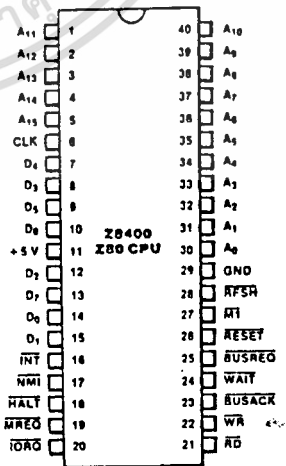


Figure 2a. 40-Pin Dual-In-Line Package (DIP)  
Pin Assignments

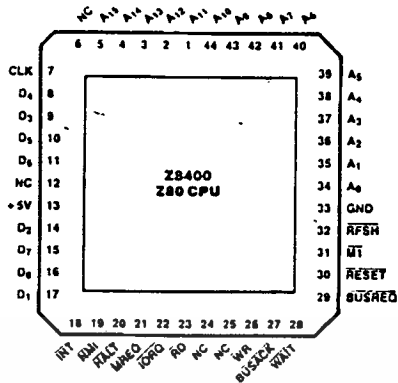


Figure 2b. 44-Pin Chip Carrier Pin Assignments

### GENERAL DESCRIPTION

The Z80, Z80A, Z80B, and Z80H CPUs are third-generation single-chip microprocessors with exceptional computational power. They offer higher system throughput and more efficient memory utilization than comparable second- and third-generation microprocessors. The internal registers contain 208 bits of read/write memory that are accessible to the programmer. These registers include two sets of six general-purpose registers which may be used individually as either 8-bit registers or as 16-bit register pairs. In addition, there are two sets of accumulator and flag registers. A group of "Exchange" instructions makes either set of main or alternate registers accessible to the programmer. The alternate set allows operation in foreground-background mode or it may be reserved for very fast interrupt response.

The Z80 also contains a Stack Pointer, Program Counter, two index registers, a Refresh register (counter), and an Interrupt register. The CPU is easy to incorporate into a system since it requires only a single +5V power source. All output signals are fully decoded and timed to control standard memory or peripheral circuits; the CPU is supported by an extensive family of peripheral controllers. The internal block diagram (Figure 3) shows the primary functions of the Z80 processors. Subsequent text provides more detail on the Z80 I/O controller family, registers, instruction set, interrupts and daisy chaining, and CPU timing.

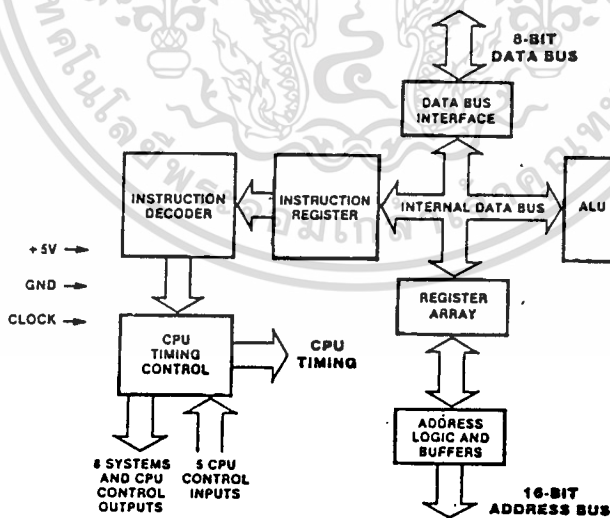


Figure 3. Z80 CPU Block Diagram

## Z80 MICROPROCESSOR FAMILY

The Zilog Z80 microprocessor is the central element of a comprehensive microprocessor product family. This family works together in most applications with minimum requirements for additional logic, facilitating the design of efficient and cost-effective microcomputer-based systems.

Zilog has designed five components to provide extensive support for the Z80 microprocessor. These are:

- The PIO (Parallel Input/Output) operates in both data-byte I/O transfer mode (with handshaking) and in bit mode (without handshaking). The PIO may be configured to interface with standard parallel peripheral devices such as printers, tape punches, and keyboards.
- The CTC (Counter/Timer Circuit) features four programmable 8-bit counter/timers, each of which has an 8-bit prescaler. Each of the four channels may be configured to operate in either counter or timer mode.
- The DMA (Direct Memory Access) controller provides dual port data transfer operations and the ability to terminate data transfer as a result of a pattern match.
- The SIO (Serial Input/Output) controller offers two channels. It is capable of operating in a variety of programmable modes for both synchronous and asynchronous communication, including Bi-Synch and SDLC.
- The DART (Dual Asynchronous Receiver/Transmitter) device provides low cost asynchronous serial communication. It has two channels and a full modem control interface.

## Z80 CPU REGISTERS

Figure 4 shows three groups of registers within the Z80 CPU. The first group consists of duplicate sets of 8-bit registers: a principal set and an alternate set (designated by ' [prime], e.g., A'). Both sets consist of the Accumulator Register, the Flag Register, and six general-purpose registers. Transfer of data between these duplicate sets of registers is accomplished by use of "Exchange" instructions. The result is faster response to interrupts and easy, efficient implementation of such versatile pro-

gramming techniques as background-foreground data processing. The second set of registers consists of six registers with assigned functions. These are the I (Interrupt Register), the R (Refresh Register), the IX and IY (Index Registers), the SP (Stack Pointer), and the PC (Program Counter). The third group consists of two interrupt status flip-flops, plus an additional pair of flip-flops which assists in identifying the interrupt mode at any particular time. Table 1 provides further information on these registers.

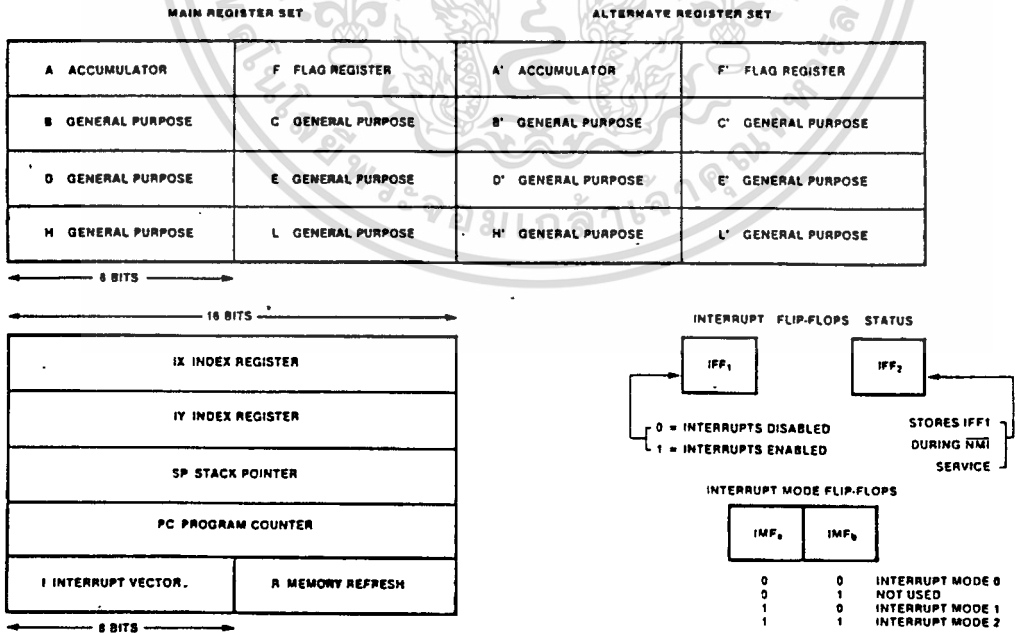


Figure 4. CPU Registers

## Z80 CPU REGISTERS (Continued)

Table 1. Z80 CPU Registers.

Register	Size (Bits)	Remarks	
A, A'	Accumulator	8	Stores an operand or the results of an operation.
F, F'	Flags	8	See Instruction Set.
B, B'	General Purpose	8	Can be used separately or as a 16-bit register with C.
C, C'	General Purpose	8	See B, above.
D, D'	General Purpose	8	Can be used separately or as a 16-bit register with E.
E, E'	General Purpose	8	See D, above.
H, H'	General Purpose	8	Can be used separately or as a 16-bit register with L.
L, L'	General Purpose	8	See H, above.
Note: The (B,C), (D,E), and (H,L) sets are combined as follows: B — High byte    C — Low byte D — High byte    E — Low byte H — High byte    L — Low byte			
I	Interrupt Register	8	Stores upper eight bits of memory address for vectored interrupt processing.
R	Refresh Register	8	Provides user-transparent dynamic memory refresh. Automatically incremented and placed on the address bus during each instruction fetch cycle.
IX	Index Register	16	Used for indexed addressing.
IY	Index Register	16	Used for indexed addressing.
SP	Stack Pointer	16	Holds address of the top of the stack. See Push or Pop in instruction set.
PC	Program Counter	16	Holds address of next instruction.
IFF <sub>1</sub> -IFF <sub>2</sub>	Interrupt Enable	Flip-Flops	Set or reset to indicate interrupt status (see Figure 4).
IMFa-IMFb	Interrupt Mode	Flip-Flops	Reflect Interrupt mode (see Figure 4).

### INTERRUPTS: GENERAL OPERATION

The CPU accepts two interrupt input signals:  $\overline{NMI}$  and  $\overline{INT}$ . The  $\overline{NMI}$  is a non-maskable interrupt and has the highest priority.  $\overline{INT}$  is a lower priority interrupt and it requires that interrupts be enabled in software in order to operate.  $\overline{INT}$  can be connected to multiple peripheral devices in a wired-OR configuration.

The Z80 has a single response mode for interrupt service for the non-maskable interrupt. The maskable interrupt,  $\overline{INT}$ , has three programmable response modes available. These are:

- Mode 0 — similar to the 8080 microprocessor.
- Mode 1 — Peripheral Interrupt service, for use with non-8080/Z80 systems.
- Mode 2 — a vectored interrupt scheme, usually daisy-chained, for use with Z80 Family and compatible peripheral devices.

The CPU services interrupts by sampling the  $\overline{NMI}$  and  $\overline{INT}$  signals at the rising edge of the last clock of an instruction. Further interrupt service processing depends upon the type of interrupt that was detected. Details on interrupt responses are shown in the CPU Timing Section.

**Non-Maskable Interrupt ( $\overline{NMI}$ ).** The nonmaskable interrupt cannot be disabled by program control and therefore will be accepted at all times by the CPU.  $\overline{NMI}$  is usually reserved for servicing only the highest priority type interrupts, such as that for orderly shutdown after power failure has been detected. After recognition of the  $\overline{NMI}$  signal (providing  $\overline{BUSREQ}$  is not active), the CPU jumps to restart location 0066H. Normally, software starting at this address contains the interrupt service routine.

**Maskable Interrupt ( $\overline{INT}$ ).** Regardless of the interrupt mode set by the user, the Z80 response to a maskable interrupt input follows a common timing cycle. After the

interrupt has been detected by the CPU (provided that interrupts are enabled and  $\overline{\text{BUSREQ}}$  is not active) a special interrupt processing cycle begins. This is a special fetch (M1) cycle in which  $\overline{\text{IORQ}}$  becomes active rather than  $\overline{\text{MREQ}}$ , as in a normal M1 cycle. In addition, this special M1 cycle is automatically extended by two WAIT states, to allow for the time required to acknowledge the interrupt request.

**Mode 0 Interrupt Operation.** This mode is similar to the 8080 microprocessor interrupt service procedures. The interrupting device places an instruction on the data bus. This is normally a Restart instruction, which will initiate a call to the selected one of eight restart locations in page zero of memory. Unlike the 8080, the Z80 CPU responds to the Call instruction with only one interrupt acknowledge cycle followed by two memory read cycles.

**Mode 1 Interrupt Operation.** Mode 1 operation is very similar to that for the NMI. The principal difference is that the Mode 1 interrupt has only one restart location, 0038H.

**Mode 2 Interrupt Operation.** This interrupt mode has been designed to utilize most effectively the capabilities of the Z80 microprocessor and its associated peripheral family. The interrupting peripheral device selects the starting address of the interrupt service routine. It does this by placing an 8-bit vector on the data bus during the interrupt acknowledge cycle. The CPU forms a pointer using this byte as the lower 8 bits and the contents of the I register as the upper 8 bits. This points to an entry in a table of addresses for interrupt service routines. The CPU then jumps to the routine at that address. This flexibility in selecting the interrupt service routine address allows the peripheral device to use several different types of service routines. These routines may be located at any available location in memory. Since the interrupting device supplies the low-order byte of the 2-byte vector, bit 0 ( $A_0$ ) must be a zero.

**Interrupt Priority (Daisy Chaining and Nested Interrupts).** The interrupt priority of each peripheral device is determined by its physical location within a daisy-chain configuration. Each device in the chain has an interrupt enable input line (IEI) and an interrupt enable output line (IEO), which is fed to the next lower priority device. The first device in the daisy chain has its IEI input hardwired to a High

level. The first device has highest priority, while each succeeding device has a corresponding lower priority. This arrangement permits the CPU to select the highest priority interrupt from several simultaneously interrupting peripherals.

The interrupting device disables its IEO line to the next lower priority peripheral until it has been serviced. After servicing, its IEO line is raised, allowing lower priority peripherals to demand interrupt servicing.

The Z80 CPU will nest (queue) any pending interrupts or interrupts received while a selected peripheral is being serviced.

**Interrupt Enable/Disable Operation.** Two flip-flops, IFF<sub>1</sub> and IFF<sub>2</sub>, referred to in the register description, are used to signal the CPU interrupt status. Operation of the two flip-flops is described in Table 2. For more details, refer to the *Z80 CPU Technical Manual* (03-0029-01) and *Z80 Assembly Language Programming Manual* (03-0002-01).

Table 2. State of Flip-Flops

Action	IFF <sub>1</sub>	IFF <sub>2</sub>	Comments
CPU Reset	0	0	Maskable interrupt INT disabled
DI instruction execution	0	0	Maskable interrupt INT disabled
EI instruction execution	1	1	Maskable interrupt INT enabled
LD A,I instruction execution	•	•	IFF <sub>2</sub> → Parity flag
LD A,R instruction execution	•	•	IFF <sub>2</sub> → Parity flag
Accept NMI	0	IFF <sub>1</sub>	IFF <sub>1</sub> → IFF <sub>2</sub> (Maskable interrupt INT disabled)
RETN instruction execution	IFF <sub>2</sub>	•	IFF <sub>2</sub> → IFF <sub>1</sub> at completion of an NMI service routine.

## INSTRUCTION SET

The Z80 microprocessor has one of the most powerful and versatile instruction sets available in any 8-bit microprocessor. It includes such unique operations as a block move for fast, efficient data transfers within memory, or between memory and I/O. It also allows operations on any bit in any location in memory.

The following is a summary of the Z80 instruction set which shows the assembly language mnemonic, the operation, the flag status, and gives comments on each instruction. For an explanation of flag notations and symbols for mnemonic tables, see the Symbolic Notations section which follows these tables. The *Z80 CPU Technical Manual* (03-0029-01), the *Programmer's Reference Guide* (03-0012-03), and *Assembly Language Programming Manual* (03-0002-01) contain significantly more details for programming use.

The instructions are divided into the following categories:

- 8-bit loads
- 16-bit loads
- Exchanges, block transfers, and searches
- 8-bit arithmetic and logic operations
- General-purpose arithmetic and CPU control
- 16-bit arithmetic operations
- Rotates and shifts
- Bit set, reset, and test operations
- Jumps
- Calls, returns, and restarts
- Input and output operations

A variety of addressing modes are implemented to permit efficient and fast data transfer between various registers, memory locations, and input/output devices. These addressing modes include:

- Immediate
- Immediate extended
- Modified page zero
- Relative
- Extended
- Indexed
- Register
- Register indirect
- Implied
- Bit

### 3-BIT LOAD GROUP

Mnemonic	Symbolic Operation	S	Z	Flags	H	P/V	N	C	76	543	210	Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments	
LD r, r'	r ← r'	.	.	X	.	X	.	.	.	01	r	r'		1	1	4	r, r' Reg.
LD r, n	r ← n	.	.	X	.	X	.	.	.	00	r	110		2	2	7	000 B 001 C
LD r, (HL)	r ← (HL)	.	.	X	.	X	.	.	.	01	r	110		1	2	7	010 D
LD r, (IX+d)	r ← (IX+d)	.	.	X	.	X	.	.	.	11	011	101	DD	3	5	19	011 E 100 H 101 L
LD r, (IY+d)	r ← (IY+d)	.	.	X	.	X	.	.	.	11	111	101	FD	3	5	19	111 A
										01	r	110					
										-d-							
LD (HL), r	(HL) ← r	.	.	X	.	X	.	.	.	01	110	r		1	2	7	
LD (IX+d), r	(IX+d) ← r	.	.	X	.	X	.	.	.	11	011	101	DD	3	5	19	
										01	110	r					
										-d-							
LD (IY+d), r	(IY+d) ← r	.	.	X	.	X	.	.	.	11	111	101	FD	3	5	19	
										01	110	r					
										-d-							
LD (HL), n	(HL) ← n	.	.	X	.	X	.	.	.	00	110	110	36	2	3	10	
										-n-							
LD (IX+d), n	(IX+d) ← n	.	.	X	.	X	.	.	.	11	011	101	DD	4	5	19	
										00	110	110	36				
										-d-							
										-n-							

### 8-BIT LOAD GROUP (Continued)

Mnemonic	Symbolic Operation	S	Z	Flags			Opcode				No. of Bytes	No. of M Cycles	No. of T States	Comments							
				H	P/V	N	C	76	543	210					Hex						
LD (Y+d), n	(Y+d) ← n	•	•	X	•	X	•	•	•	11	111	101	FD	4	5	19					
										00	110	110	36								
										← d →							← n →				
LD A, (BC)	A ← (BC)	•	•	X	•	X	•	•	•	00	001	010	0A	1	2	7					
LD A, (DE)	A ← (DE)	•	•	X	•	X	•	•	•	00	011	010	1A	1	2	7					
LD A, (nn)	A ← (nn)	•	•	X	•	X	•	•	•	00	111	010	3A	3	4	13					
														← n →		← n →					
LD (BC), A	(BC) ← A	•	•	X	•	X	•	•	•	00	000	010	02	1	2	7					
LD (DE), A	(DE) ← A	•	•	X	•	X	•	•	•	00	010	010	12	1	2	7					
LD (nn), A	(nn) ← A	•	•	X	•	X	•	•	•	00	110	010	32	3	4	13					
														← n →		← n →					
LD A, I	A ← I	‡	‡	X	0	X	IFF	0	•	11	101	101	ED	2	2	9					
														01		010		111		57	
LD A, R	A ← R	‡	‡	X	0	X	IFF	0	•	11	101	101	ED	2	2	9					
														01		011		111		5F	
LD I, A	I ← A	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	9					
														01		000		111		47	
LDR, A	R ← A	•	•	X	•	X	•	•	•	11	101	101	ED	2	2	9					
														01		001		111		4F	

NOTE: IFF, the content of the interrupt enable flip-flop, (IFF<sub>2</sub>), is copied into the P/V flag.

### 16-BIT LOAD GROUP

Mnemonic	Symbolic Operation	S	Z	Flags			Opcode				No. of Bytes	No. of M Cycles	No. of T States	Comments											
				H	P/V	N	C	76	543	210					Hex										
LD dd, nn	dd ← nn	•	•	X	•	X	•	•	•	00	dd0	001		3	3	10	dd	Pair							
										← n →							00				BC				
										← n →							01				DE				
LD IX, nn	IX ← nn	•	•	X	•	X	•	•	•	11	011	101	DD	4	4	14	10	HL							
										← n →							00				100	001	21	11	SP
										← n →							← n →								
LD IY, nn	IY ← nn	•	•	X	•	X	•	•	•	11	111	101	FD	4	4	14									
										← n →							00				100	001	21		
										← n →							← n →								
LD HL, (nn)	H ← (nn+1) L ← (nn)	•	•	X	•	X	•	•	•	00	101	010	2A	3	5	16									
										← n →							← n →								
										← n →							← n →								
LD dd, (nn)	dd <sub>H</sub> ← (nn+1) dd <sub>L</sub> ← (nn)	•	•	X	•	X	•	•	•	11	101	101	ED	4	6	20									
										← n →							01				dd1	011			
										← n →							← n →								

NOTE: (PAIR)<sub>H</sub>, (PAIR)<sub>L</sub> refer to high order and low order eight bits of the register pair respectively. e.g., BC<sub>L</sub> = C, AF<sub>H</sub> = A.

**16-BIT LOAD GROUP** (Continued)

Mnemonic	Symbolic Operation	Flags						Opcode			No. of Bytes	No. of M Cycles	No. of T States	Comments		
		S	Z	H	P/V	N	C	75	543	210					Hex	
LD IX, (nn)	$IX_H \leftarrow (nn + 1)$	•	•	X	•	X	•	•	•	•	11 011 101	DD	4	6	20	
	$IX_L \leftarrow (nn)$										00 101 010	2A				
											$\leftarrow n \rightarrow$					
											$\leftarrow n \rightarrow$					
LD IY, (nn)	$IY_H \leftarrow (nn + 1)$	•	•	X	•	X	•	•	•	•	11 111 101	FD	4	6	20	
	$IY_L \leftarrow (nn)$										00 101 010	2A				
											$\leftarrow n \rightarrow$					
											$\leftarrow n \rightarrow$					
LD (nn), HL	$(nn + 1) \leftarrow H$	•	•	X	•	X	•	•	•	•	00 100 010	22	3	5	16	
	$(nn) \leftarrow L$										$\leftarrow n \rightarrow$					
											$\leftarrow n \rightarrow$					
LD (nn), dd	$(nn + 1) \leftarrow dd_H$	•	•	X	•	X	•	•	•	•	11 101 101	ED	4	6	20	
	$(nn) \leftarrow dd_L$										01 dd0 011					
											$\leftarrow n \rightarrow$					
											$\leftarrow n \rightarrow$					
LD (nn), IX	$(nn + 1) \leftarrow IX_H$	•	•	X	•	X	•	•	•	•	11 011 101	DD	4	6	20	
	$(nn) \leftarrow IX_L$										00 100 010	22				
											$\leftarrow n \rightarrow$					
											$\leftarrow n \rightarrow$					
LD (nn), IY	$(nn + 1) \leftarrow IY_H$	•	•	X	•	X	•	•	•	•	11 111 101	FD	4	6	20	
	$(nn) \leftarrow IY_L$										00 100 010	22				
											$\leftarrow n \rightarrow$					
											$\leftarrow n \rightarrow$					
LD SP, HL	$SP \leftarrow HL$	•	•	X	•	X	•	•	•	•	11 111 001	F9	1	1	6	
LD SP, IX	$SP \leftarrow IX$	•	•	X	•	X	•	•	•	•	11 011 101	DD	2	2	10	
											11 111 001	F9				
LD SP, IY	$SP \leftarrow IY$	•	•	X	•	X	•	•	•	•	11 111 101	FD	2	2	10	
											11 111 001	F9				
PUSH qq	$(SP - 2) \leftarrow qq_L$	•	•	X	•	X	•	•	•	•	11 qq0 101		1	3	11	qq
	$(SP - 1) \leftarrow qq_H$															
	$SP \rightarrow SP - 2$															10 HL
PUSH IX	$(SP - 2) \leftarrow IX_L$	•	•	X	•	X	•	•	•	•	11 011 101	DD	2	4	15	11
	$(SP - 1) \leftarrow IX_H$										11 100 101	E5				
	$SP \rightarrow SP - 2$															11 AF
PUSH IY	$(SP - 2) \leftarrow IY_L$	•	•	X	•	X	•	•	•	•	11 111 101	FD	2	4	15	
	$(SP - 1) \leftarrow IY_H$										11 100 101	E5				
	$SP \rightarrow SP - 2$															
POP qq	$qq_H \leftarrow (SP + 1)$	•	•	X	•	X	•	•	•	•	11 qq0 001		1	3	10	
	$qq_L \leftarrow (SP)$															
	$SP \rightarrow SP + 2$															
POP IX	$IX_H \leftarrow (SP + 1)$	•	•	X	•	X	•	•	•	•	11 011 101	DD	2	4	14	
	$IX_L \leftarrow (SP)$										11 100 001	E1				
	$SP \rightarrow SP + 2$															
POP IY	$IY_H \leftarrow (SP + 1)$	•	•	X	•	X	•	•	•	•	11 111 101	FD	2	4	14	
	$IY_L \leftarrow (SP)$										11 100 001	E1				
	$SP \rightarrow SP + 2$															

NOTE: (PAIR)<sub>H</sub>, (PAIR)<sub>L</sub> refer to high order and low order eight bits of the register pair respectively, e.g., BC<sub>L</sub> = C, AF<sub>H</sub> = A.

## EXCHANGE, BLOCK TRANSFER, BLOCK SEARCH GROUPS

Mnemonic	Symbolic Operation	Flags				Opcode				No. of Bytes	No. of M Cycles	No. of T States	Comments					
		S	Z	H	P/V	N	C	76	543					210	Hex			
EX DE, HL	DE ↔ HL	•	•	X	•	X	•	•	•	•	11	101	011	EB	1	1	4	
EX AF, AF'	AF ↔ AF'	•	•	X	•	X	•	•	•	•	00	001	000	08	1	1	4	
EXX	BC ↔ BC' DE ↔ DE' HL ↔ HL'	•	•	X	•	X	•	•	•	•	11	011	001	D9	1	1	4	Register bank and auxiliary register bank exchange
EX (SP), HL	H ↔ (SP + 1) L ↔ (SP)	•	•	X	•	X	•	•	•	•	11	100	011	E3	1	5	19	
EX (SP), IX	IX <sub>H</sub> ↔ (SP + 1) IX <sub>L</sub> ↔ (SP)	•	•	X	•	X	•	•	•	•	11	011	101	DD	2	6	23	
EX (SP), IY	IY <sub>H</sub> ↔ (SP + 1) IY <sub>L</sub> ↔ (SP)	•	•	X	•	X	•	•	•	•	11	111	101	FD	2	6	23	
LDI	(DE) ← (HL) DE ← DE + 1 HL ← HL + 1 BC ← BC - 1	•	•	X	0	X	1	0	•	•	11	101	101	ED	2	4	16	Load (HL) into (DE), increment the pointers and decrement the byte counter (BC)
LDIR	(DE) ← (HL) DE ← DE + 1 HL ← HL + 1 BC ← BC - 1 Repeat until BC = 0	•	•	X	0	X	0	0	•	•	11	101	101	ED	2	5	21	If BC ≠ 0
LDD	(DE) ← (HL) DE ← DE - 1 HL ← HL - 1 BC ← BC - 1	•	•	X	0	X	1	0	•	•	11	101	101	ED	2	4	16	
LDDR	(DE) ← (HL) DE ← DE - 1 HL ← HL - 1 BC ← BC - 1 Repeat until BC = 0	•	•	X	0	X	0	0	•	•	11	101	101	ED	2	5	21	If BC ≠ 0
CPI	A - (HL) HL ← HL + 1 BC ← BC - 1	•	•	X	1	X	1	•	•	•	11	101	101	ED	2	4	16	

NOTE: ① P/V flag is 0 if the result of BC - 1 = 0, otherwise P/V = 1.  
 ② P/V flag is 0 only at completion of instruction.  
 ③ Z flag is 1 if A = HL, otherwise Z = 0.

Z80 CPU

## EXCHANGE, BLOCK TRANSFER, BLOCK SEARCH GROUPS (Continued)

Mnemonic	Symbolic Operation	S Z		Flags				Opcode			No. of Bytes	No. of M Cycles	No. of T States	Comments			
		S	Z	H	P/V	N	C	76	543	210					Hex		
CPIR	A ← (HL)	†	†	X	†	X	†	1	•	11	101	101	ED	2	5	21	If BC ≠ 0 and A ≠ (HL)
	HL → HL + 1 BC → BC - 1 Repeat until A = (HL) or BC = 0									10	110	001	B1	2	4	16	If BC = 0 or A = (HL)
CPD	A ← (HL)	†	†	X	†	X	†	1	•	11	101	101	ED	2	4	16	
	HL → HL - 1 BC → BC - 1									10	101	001	A9				
CPDR	A ← (HL)	†	†	X	†	X	†	1	•	11	101	101	ED	2	5	21	If BC ≠ 0 and A ≠ (HL)
	HL → HL - 1 BC → BC - 1 Repeat until A = (HL) or BC = 0									10	111	001	B9	2	4	16	If BC = 0 or A = (HL)

NOTE: ① P/V flag is 0 if the result of BC - 1 = 0, otherwise P/V = 1.  
 ② P/V flag is 0 only at completion of instruction.  
 ③ Z flag is 1 if A = (HL), otherwise Z = 0.

## 8-BIT ARITHMETIC AND LOGICAL GROUP

Mnemonic	Symbolic Operation	S Z		Flags				Opcode			No. of Bytes	No. of M Cycles	No. of T States	Comments										
		S	Z	H	P/V	N	C	76	543	210					Hex									
ADD A, r	A ← A + r	†	†	X	†	X	V	0	†	10	000	r		1	1	4	r Reg.							
ADD A, n	A ← A + n	†	†	X	†	X	V	0	†	11	000	110		2	2	7	000 B							
																								001 C
ADD A, (HL)	A ← A + (HL)	†	†	X	†	X	V	0	†	10	000	110		1	2	7	011 E							
ADD A, (IX + d)	A ← A + (IX + d)	†	†	X	†	X	V	0	†	11	011	101	DD	3	5	19	100 H							
																								101 L
ADD A, (IY + d)	A ← A + (IY + d)	†	†	X	†	X	V	0	†	11	111	101	FD	3	5	19								
										10	000	110												
ADC A, s	A ← A + s + CY	†	†	X	†	X	V	0	†		001													
SUB s	A ← A - s	†	†	X	†	X	V	1	†		010													
SBC A, s	A ← A - s - CY	†	†	X	†	X	V	1	†		011													
AND s	A ← A > s	†	†	X	1	X	P	0	0		100													
OR s	A ← A > s	†	†	X	0	X	P	0	0		110													
XOR s	A ← A ⊕ s	†	†	X	0	X	P	0	0		101													
CP s	A ← s	†	†	X	†	X	V	1	†		111													

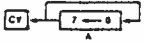

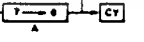
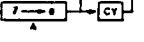
s is any of r, n, (HL), (IX + d), (IY + d) as shown for ADD instruction. The indicated bits replace the 000 in the ADD set above.



## 16-BIT ARITHMETIC GROUP

Mnemonic	Symbolic Operation	Flags		Flags			Opcode				No. of Bytes	No. of M Cycles	No. of T States	Comments			
		S	Z	H	P/V	N	C	76	543	210						Hex	
ADD HL, ss	HL ← HL + ss	•	•	X	X	X	•	0	‡	00	ssl	001	1	3	11	ss Reg. 00 BC	
ADC HL, ss	HL ← HL + ss + CY	‡	‡	X	X	X	V	0	‡	11	101	101	ED	2	4	15	01 DE 10 HL 11 SP
SBC HL, ss	HL ← HL - ss - CY	‡	‡	X	X	X	V	1	‡	11	101	101	ED	2	4	15	01 ss0 010
ADD IX, pp	IX ← IX + pp	•	•	X	X	X	•	0	‡	11	011	101	DD	2	4	15	pp Reg. 00 BC 01 DE 10 IX 11 SP
ADD IY, rr	IY ← IY + rr	•	•	X	X	X	•	0	‡	11	111	101	FD	2	4	15	rr Reg. 00 BC
INC ss	ss ← ss + 1	•	•	X	•	X	•	•	•	00	ss0	011	1	1	6	01 DE	
INC IX	IX ← IX + 1	•	•	X	•	X	•	•	•	11	011	101	DD	2	2	10	00 100 011 23 10 IY 11 SP
INC IY	IY ← IY + 1	•	•	X	•	X	•	•	•	11	111	101	FD	2	2	10	00 100 011 23
DEC ss	ss ← ss - 1	•	•	X	•	X	•	•	•	00	ss1	011	1	1	6	01 DE	
DEC IX	IX ← IX - 1	•	•	X	•	X	•	•	•	11	011	101	DD	2	2	10	00 101 011 2B 10 IY
DEC IY	IY ← IY - 1	•	•	X	•	X	•	•	•	11	111	101	FD	2	2	10	00 101 011 2B

## ROTATE AND SHIFT GROUP

Mnemonic	Symbolic Operation	Flags		Flags			Opcode				No. of Bytes	No. of M Cycles	No. of T States	Comments			
		S	Z	H	P/V	N	C	76	543	210						Hex	
RLCA		•	•	X	0	X	•	0	‡	00	000	111	07	1	1	4	Rotate left circular accumulator.
RLA		•	•	X	0	X	•	0	‡	00	010	111	17	1	1	4	Rotate left accumulator.
RRCA		•	•	X	0	X	•	0	‡	00	001	111	0F	1	1	4	Rotate right circular accumulator.
RRA		•	•	X	0	X	•	0	‡	00	011	111	1F	1	1	4	Rotate right accumulator.

**ROTATE AND SHIFT GROUP (Continued)**

Symbolic Mnemonic Operation	Flags		Opcode				No. of Bytes	No. of M Cycles	No. of T States	Comments				
	S	Z	H	P/V	N	C					76	543	210	Hex
RLC r	‡	‡	X	0	X	P	0	‡	11 001 011	CB	2	2	8	Rotate left circular register r.
									00 <span style="border: 1px solid black; padding: 2px;">000</span> r					
RLC (HL)	‡	‡	X	0	X	P	0	‡	11 001 011	CB	2	4	15	r Reg.
									00 000 110					000 B
RLC (IX+d)	‡	‡	X	0	X	P	0	‡	11 011 101	DD	4	6	23	010 D
									11 001 011	CB				011 E
									00 <span style="border: 1px solid black; padding: 2px;">-d</span> 110					001 H
									00 <span style="border: 1px solid black; padding: 2px;">000</span> 110					101 L
									00 <span style="border: 1px solid black; padding: 2px;">000</span> 110					111 A
RLC (IY+d)	‡	‡	X	0	X	P	0	‡	11 111 101	FD	4	6	23	
									11 001 011	CB				
									00 <span style="border: 1px solid black; padding: 2px;">-d</span> 110					
									00 <span style="border: 1px solid black; padding: 2px;">000</span> 110					
RL m	‡	‡	X	0	X	P	0	‡	11 010 010					
									<span style="border: 1px solid black; padding: 2px;">010</span>					
RRC m	‡	‡	X	0	X	P	0	‡	11 001 001					
									<span style="border: 1px solid black; padding: 2px;">001</span>					
RR m	‡	‡	X	0	X	P	0	‡	11 011 011					
									<span style="border: 1px solid black; padding: 2px;">011</span>					
SLA m	‡	‡	X	0	X	P	0	‡	11 100 010					
									<span style="border: 1px solid black; padding: 2px;">100</span>					
SRA m	‡	‡	X	0	X	P	0	‡	11 101 010					
									<span style="border: 1px solid black; padding: 2px;">101</span>					
SRL m	‡	‡	X	0	X	P	0	‡	11 111 010					
									<span style="border: 1px solid black; padding: 2px;">111</span>					
RLD	‡	‡	X	0	X	P	0	•	11 101 101	ED	2	5	18	Rotate digit left and right between the accumulator and location (HL).
									01 101 111	6F				
RRD	‡	‡	X	0	X	P	0	•	11 101 101	ED	2	5	18	The content of the upper half of the accumulator is unaffected.
									01 100 111	67				

Instruction format and states are as shown for RLCs. To form new opcode replace 000 or RLCs with shown code.

## BIT SET, RESET AND TEST GROUP

Mnemonic	Symbolic Operation	S	Z	Flags				Opcode				No. of Bytes	No. of M Cycles	No. of T States	Comments		
				H	P/V	N	C	76	543	210	Hex						
BIT b, r	$Z \leftarrow r_b$	X	†	X	1	X	X	0	•	11	001	011	CB	2	2	8	r Reg. 000 B
BIT b, (HL)	$Z \leftarrow (HL)_b$	X	†	X	1	X	X	0	•	11	001	011	CB	2	3	12	001 C
										01	b	110	010 D				
BIT b, (IX+d) <sub>b</sub>	$Z \leftarrow (IX+d)_b$	X	†	X	1	X	X	0	•	11	011	101	DD	4	5	20	011 E
										11	001	011	CB				100 H
										-d-							101 L
										01	b	110	111 A				
BIT b, (IY+d) <sub>b</sub>	$Z \leftarrow (IY+d)_b$	X	†	X	1	X	X	0	•	11	111	101	FD	4	5	20	b Bit Tested 000 0
										11	001	011	CB				001 1
										-d-							010 2
										01	b	110	011 3				
SET b, r	$r_b \leftarrow 1$	•	•	X	•	X	•	•	•	11	001	011	CB	2	2	8	100 4
SET b, (HL)	$(HL)_b \leftarrow 1$	•	•	X	•	X	•	•	•	11	001	011	CB	2	4	15	101 5
										11	b	110	110 6				
SET b, (IX+d)	$(IX+d)_b \leftarrow 1$	•	•	X	•	X	•	•	•	11	011	101	DD	4	6	23	111 7
										11	001	011	CB				
										-d-							
SET b, (IY+d)	$(IY+d)_b \leftarrow 1$	•	•	X	•	X	•	•	•	11	111	101	FD	4	6	23	
										11	001	011	CB				
RES b, m	$m_b \leftarrow 0$ m≠r, (HL), (IX+d), (IY+d)	•	•	X	•	X	•	•	•	11	b	110					
										10							

To form new opcode replace **11** of SET b, s with **10**, Flags and time states for SET instruction.

NOTE: The notation  $m_b$  indicates location m, bit b (0 to 7).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## JUMP GROUP

Mnemonic	Symbolic Operation	Flags					Opcode				No. of Bytes	No. of M Cycles	No. of T States	Comments			
		S	Z	H	P/V/N	C	76	543	210	Hex							
JP nn	PC ← nn	•	•	X	•	X	•	•	•	11	000	011	C3	3	3	10	cc Condition 000 NZ (non-zero) 001 Z (zero)
JP cc, nn	If condition cc is true PC ← nn, otherwise continue	•	•	X	•	X	•	•	•	11	cc	010	C3	3	3	10	010 NC (non-carry)
																	011 C (carry)
																	100 PO (parity odd)
																	101 PE (parity even)
JR e	PC ← PC + e	•	•	X	•	X	•	•	•	00	011	000	18	2	3	12	110 P (sign positive) 111 M (sign negative)
JR C, e	If C = 0, continue If C = 1, PC ← PC + e	•	•	X	•	X	•	•	•	00	111	000	38	2	2	7	If condition not met.
																	If condition is met.
JR NC, e	If C = 1, continue If C = 0, PC ← PC + e	•	•	X	•	X	•	•	•	00	110	000	30	2	2	7	If condition not met.
																	If condition is met.
JP Z, e	If Z = 0, continue If Z = 1, PC ← PC + e	•	•	X	•	X	•	•	•	00	101	000	28	2	2	7	If condition not met.
																	If condition is met.
JR NZ, e	If Z = 1, continue If Z = 0, PC ← PC + e	•	•	X	•	X	•	•	•	00	100	000	20	2	2	7	If condition not met.
																	If condition is met.
JP (HL)	PC ← HL	•	•	X	•	X	•	•	•	11	101	001	E9	1	1	4	
JP (IX)	PC ← IX	•	•	X	•	X	•	•	•	11	011	101	DD	2	2	8	
JP (IY)	PC ← IY	•	•	X	•	X	•	•	•	11	111	101	FD	2	2	8	
DJNZ, e	B ← B - 1 If B = 0, continue If B ≠ 0, PC ← PC + e	•	•	X	•	X	•	•	•	00	010	000	10	2	2	8	If B = 0
																	If B ≠ 0.

NOTES: e represents the extension in the relative addressing mode.  
e is a signed two's complement number in the range < -126, 129 >.  
-e - 2 in the opcode provides an effective address of pc + e as PC is incremented by 2 prior to the addition of e.

## CALL AND RETURN GROUP

Mnemonic	Symbolic Operation	Flags					Opcode			No. of Bytes	No. of M Cycles	No. of T States	Comments				
		S	Z	H	P/V/N	C	76	543	210					Hex			
CALL nn	(SP-1)→PC <sub>H</sub> (SP-2)→PC <sub>L</sub> PC ← nn,	•	•	X	•	•	•	•	•	11	001	101	CD	3	5	17	
CALL cc,nn	If condition cc is false continue, otherwise same as CALL nn	•	•	X	•	•	•	•	•	11	cc	100		3	3	10	If cc is false.
														3	5	17	If cc is true.
RET	PC <sub>L</sub> ← (SP) PC <sub>H</sub> ← (SP+1)	•	•	X	•	•	•	•	•	11	001	001	C9	1	3	10	
RET cc	If condition cc is false continue, otherwise same as RET	•	•	X	•	•	•	•	•	11	cc	000		1	1	5	If cc is false.
														1	3	11	If cc is true.
																	cc Condition
																	000 NZ (non-zero)
																	001 Z (zero)
																	010 NC (non-carry)
																	011 C (carry)
																	100 PO (parity odd)
																	101 PE (parity even)
																	110 P (sign positive)
																	111 M (sign negative)
RST p	(SP-1)→PC <sub>H</sub> (SP-2)→PC <sub>L</sub> PC <sub>H</sub> ← 0 PC <sub>L</sub> ← p	•	•	X	•	•	•	•	•	11	t	111		1	3	11	t p
																	000 00H
																	001 08H
																	010 10H
																	011 18H
																	100 20H
																	101 28H
																	110 30H
																	111 38H

NOTE: <sup>1</sup>RETn loads IFF<sub>2</sub> → IFF<sub>1</sub>

## INPUT AND OUTPUT GROUP

Mnemonic	Symbolic Operation	Flags					Opcode			Hex	No. of Bytes	No. of M Cycles	No. of T States	Comments		
		S	Z	H	P/VH	C	75	543	210							
IN A, (n)	A ← (n)	•	•	X	•	X	•	•	•	•	11 011 01	DB	2	3	11	n to A <sub>0</sub> ~ A <sub>7</sub> Acc. to A <sub>8</sub> ~ A <sub>15</sub>
IN r, (C)	r ← (C) if r = 110 only the flags will be affected	†	†	X	†	X	P	0	•	•	11 101 101 01 r 000	ED	2	3	12	C to A <sub>0</sub> ~ A <sub>7</sub> B to A <sub>8</sub> ~ A <sub>15</sub>
INI	(HL) ← (C) B ← B - 1 HL ← HL + 1	X	†	X	X	X	X	1	X	•	11 101 101 10 100 010	ED A2	2	4	16	C to A <sub>0</sub> ~ A <sub>7</sub> B to A <sub>8</sub> ~ A <sub>15</sub>
INIR	(HL) ← (C) B ← B - 1 HL ← HL + 1 Repeat until B = 0	X	1	X	X	X	X	1	X	•	11 101 101 10 110 010	ED B2	2	5 (If B ≠ 0) 4 (If B = 0)	21 16	C to A <sub>0</sub> ~ A <sub>7</sub> B to A <sub>8</sub> ~ A <sub>15</sub>
IND	(HL) ← (C) B ← B - 1 HL ← HL - 1	X	†	X	X	X	X	1	X	•	11 101 101 10 101 010	ED AA	2	4	16	C to A <sub>0</sub> ~ A <sub>7</sub> B to A <sub>8</sub> ~ A <sub>15</sub>
INDR	(HL) ← (C) B ← B - 1 HL ← HL - 1 Repeat until B = 0	X	1	X	X	X	X	1	X	•	11 101 101 10 111 010	ED BA	2	5 (If B ≠ 0) 4 (If B = 0)	21 16	C to A <sub>0</sub> ~ A <sub>7</sub> B to A <sub>8</sub> ~ A <sub>15</sub>
OUT (n), A	(n) ← A	•	•	X	•	X	•	•	•	•	11 010 011 -n-	D3	2	3	11	n to A <sub>0</sub> ~ A <sub>7</sub> Acc. to A <sub>8</sub> ~ A <sub>15</sub>
OUT (C), r	(C) ← r	•	•	X	•	X	•	•	•	•	11 101 101 01 r 001	ED	2	3	12	C to A <sub>0</sub> ~ A <sub>7</sub> B to A <sub>8</sub> ~ A <sub>15</sub>
OUTI	(C) ← (HL) B ← B - 1 HL ← HL + 1	X	†	X	X	X	X	1	X	•	11 101 101 10 100 011	ED A3	2	4	16	C to A <sub>0</sub> ~ A <sub>7</sub> B to A <sub>8</sub> ~ A <sub>15</sub>
OTIR	(C) ← (HL) B ← B - 1 HL ← HL + 1 Repeat until B = 0	X	1	X	X	X	X	1	X	•	11 101 101 10 110 011	ED B3	2	5 (If B ≠ 0) 4 (If B = 0)	21 16	C to A <sub>0</sub> ~ A <sub>7</sub> B to A <sub>8</sub> ~ A <sub>15</sub>
OUTD	(C) ← (HL) B ← B - 1 HL ← HL - 1	X	†	X	X	X	X	1	X	•	11 101 101 10 101 011	ED AB	2	4	16	C to A <sub>0</sub> ~ A <sub>7</sub> B to A <sub>8</sub> ~ A <sub>15</sub>
OTDR	(C) ← (HL) B ← B - 1 HL ← HL - 1 Repeat until B = 0	X	1	X	X	X	X	1	X	•	11 101 101 10 111 011	ED	2	5 (If B ≠ 0) 4 (If B = 0)	21 16	C to A <sub>0</sub> ~ A <sub>7</sub> B to A <sub>8</sub> ~ A <sub>15</sub>

NOTES: ① If the result of B - 1 is zero, the Z flag is set; otherwise it is reset.  
② Z flag is set upon instruction completion only.

Z80 CPU

## SUMMARY OF FLAG OPERATION

Instructions	D7			H	P/V	N	D0		Comments
	S	Z	C						
ADD A, s; ADC A, s	†	†	X	†	X	V	0	†	8-bit add or add with carry.
SUB s; SBC A, s; CP s; NEG	†	†	X	†	X	V	1	†	8-bit subtract, subtract with carry, compare and negate accumulator.
AND s	†	†	X	1	X	P	0	0	Logical operation.
OR s, XOR s	†	†	X	0	X	P	0	0	Logical operation.
INC s	†	†	X	†	X	V	0	•	8-bit increment.
DEC s	†	†	X	†	X	V	1	•	8-bit decrement.
ADD DD, ss	•	•	X	X	X	•	0	†	16-bit add.
ADC HL, ss	†	†	X	X	X	V	0	†	16-bit add with carry.
SBC HL, ss	†	†	X	X	X	V	1	†	16-bit subtract with carry.
RLA; RLCA; RRA; RRCA	•	•	X	0	X	•	0	†	Rotate accumulator.
RL m; RLC m; RR m; RRC m; SRA m; SRA m; SRL m	†	†	X	0	X	P	0	†	Rotate and shift locations.
RLD; RRD	†	†	X	0	X	P	0	•	Rotate digit left and right.
DAA	†	†	X	†	X	P	•	†	Decimal adjust accumulator.
CPL	•	•	X	1	X	•	1	•	Complement accumulator.
SCF	•	•	X	0	X	•	0	1	Set carry.
CCF	•	•	X	X	X	•	0	†	Complement carry.
IN r (C)	†	†	X	0	X	P	0	•	Input register indirect.
INI; IND; OUTI; OUTD	X	†	X	X	X	X	1	•	Block input and output. Z = 1 if B ≠ 0, otherwise Z = 0.
INIR; INDR; OTIR; OTDR	X	1	X	X	X	X	1	•	Block input and output. Z = 1 if B ≠ 0, otherwise Z = 0.
LDI; LDD	X	X	X	0	X	†	0	•	Block transfer instructions. P/V = 1 if BC ≠ 0, otherwise P/V = 0.
LDIR; LDDR	X	X	X	0	X	0	0	•	Block transfer instructions. P/V = 1 if BC ≠ 0, otherwise P/V = 0.
CPI; CPIR; CPD; CPDR	X	†	X	X	X	†	1	•	Block search instructions. Z = 1 if A = (HL), otherwise Z = 0. P/V = 1 if BC ≠ 0, otherwise P/V = 0.
LD A, I; LD A, R	†	†	X	0	X	IFF	0	•	IFF, the content of the interrupt enable flip-flop, (IFF <sub>2</sub> ), is copied into the P/V flag.
BIT b, s	X	†	X	1	X	X	0	•	The state of bit b of location s is copied into the Z flag.

## SYMBOLIC NOTATION

Symbol	Operation	Symbol	Operation
S	Sign flag. S = 1 if the MSB of the result is 1.	†	The flag is affected according to the result of the operation.
Z	Zero flag. Z = 1 if the result of the operation is 0.	•	The flag is unchanged by the operation.
P/V	Parity or overflow flag. Parity (P) and overflow (V) share the same flag. Logical operations affect this flag with the parity of the result while arithmetic operations affect this flag with the overflow of the result. If P/V holds parity: P/V = 1 if the result of the operation is even; P/V = 0 if result is odd. If P/V holds overflow, P/V = 1 if the result of the operation produced an overflow. If P/V does not hold overflow, P/V = 0.	0	The flag is reset by the operation.
H*	Half-carry flag. H = 1 if the add or subtract operation produced a carry into, or borrow from, bit 4 of the accumulator.	1	The flag is set by the operation.
N*	Add/Subtract flag. N = 1 if the previous operation was a subtract.	X	The flag is indeterminate.
C	Carry/Link flag. C = 1 if the operation produced a carry from the MSB of the operand or result.	V	P/V flag affected according to the overflow result of the operation.
		P	P/V flag affected according to the parity result of the operation.
		r	Any one of the CPU registers A, B, C, D, E, H, L.
		s	Any 8-bit location for all the addressing modes allowed for the particular instruction.
		ss	Any 16-bit location for all the addressing modes allowed for that instruction.
		ii	Any one of the two index registers IX or IY.
		R	Refresh counter.
		n	8-bit value in range < 0, 255 >.
		nn	16-bit value in range < 0, 65535 >.

\* H and N flags are used in conjunction with the decimal adjust instruction (DAA) to properly correct the result into packed BCD format following addition or subtraction using operands with packed BCD format.

## PIN DESCRIPTIONS

**A<sub>0</sub>-A<sub>15</sub>.** *Address Bus* (output, active High, 3-state). A<sub>0</sub>-A<sub>15</sub> form a 16-bit address bus. The Address Bus provides the address for memory data bus exchanges (up to 64K bytes) and for I/O device exchanges.

**BUSACK.** *Bus Acknowledge* (output, active Low). Bus Acknowledge indicates to the requesting device that the CPU address bus, data bus, and control signals  $\overline{MREQ}$ ,  $\overline{IORQ}$ ,  $\overline{RD}$ , and  $\overline{WR}$  have entered their high-impedance states. The external circuitry can now control these lines.

**BUSREQ.** *Bus Request* (input, active Low). Bus Request has a higher priority than NMI and is always recognized at the end of the current machine cycle.  $\overline{BUSREQ}$  forces the CPU address bus, data bus, and control signals  $\overline{MREQ}$ ,  $\overline{IORQ}$ ,  $\overline{RD}$ , and  $\overline{WR}$  to go to a high-impedance state so that other devices can control these lines.  $\overline{BUSREQ}$  is normally wired-OR and requires an external pullup for these applications. Extended  $\overline{BUSREQ}$  periods due to extensive DMA operations can prevent the CPU from properly refreshing dynamic RAMs.

**D<sub>0</sub>-D<sub>7</sub>.** *Data Bus* (input/output, active High, 3-state). D<sub>0</sub>-D<sub>7</sub> constitute an 8-bit bidirectional data bus, used for data exchanges with memory and I/O.

**HALT.** *Halt State* (output, active Low).  $\overline{HALT}$  indicates that the CPU has executed a Halt instruction and is awaiting either a nonmaskable or a maskable interrupt (with the mask enabled) before operation can resume. While halted, the CPU executes NOPs to maintain memory refresh.

**INT.** *Interrupt Request* (input, active Low). Interrupt Request is generated by I/O devices. The CPU honors a request at the end of the current instruction if the internal software-controlled interrupt enable flip-flop (IFF) is enabled.  $\overline{INT}$  is normally wired-OR and requires an external pullup for these applications.

**IORQ.** *Input/Output Request* (output, active Low, 3-state).  $\overline{IORQ}$  indicates that the lower half of the address bus holds a valid I/O address for an I/O read or write operation.  $\overline{IORQ}$  is also generated concurrently with  $\overline{M1}$  during an interrupt acknowledge cycle to indicate that an interrupt response vector can be placed on the data bus.

**M1.** *Machine Cycle One* (output, active Low).  $\overline{M1}$ , together with  $\overline{MREQ}$ , indicates that the current machine cycle is the opcode fetch cycle of an instruction execution.  $\overline{M1}$ , together with  $\overline{IORQ}$ , indicates an interrupt acknowledge cycle.

**MREQ.** *Memory Request* (output, active Low, 3-state).  $\overline{MREQ}$  indicates that the address bus holds a valid address for a memory read or memory write operation.

**NMI.** *Non-Maskable Interrupt* (input, negative edge-triggered). NMI has a higher priority than  $\overline{INT}$ . NMI is always recognized at the end of the current instruction, independent of the status of the interrupt enable flip-flop, and automatically forces the CPU to restart at location 0066H.

**RD.** *Read* (output, active Low, 3-state).  $\overline{RD}$  indicates that the CPU wants to read data from memory or an I/O device. The addressed I/O device or memory should use this signal to gate data onto the CPU data bus.

**RESET.** *Reset* (input, active Low).  $\overline{RESET}$  initializes the CPU as follows: it resets the interrupt enable flip-flop, clears the PC and Registers I and R, and sets the interrupt status to Mode 0. During reset time, the address and data bus go to a high-impedance state, and all control output signals go to the inactive state. Note that  $\overline{RESET}$  must be active for a minimum of three full clock cycles before the reset operation is complete.

**RFSH.** *Refresh* (output, active Low).  $\overline{RFSH}$ , together with  $\overline{MREQ}$ , indicates that the lower seven bits of the system's address bus can be used as a refresh address to the system's dynamic memories.

**WAIT.** *Wait* (input, active Low).  $\overline{WAIT}$  indicates to the CPU that the addressed memory or I/O devices are not ready for a data transfer. The CPU continues to enter a Wait state as long as this signal is active. Extended  $\overline{WAIT}$  periods can prevent the CPU from refreshing dynamic memory properly.

**WR.** *Write* (output, active Low, 3-state).  $\overline{WR}$  indicates that the CPU data bus holds valid data to be stored at the addressed memory or I/O location.

8250 CPU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## CPU TIMING

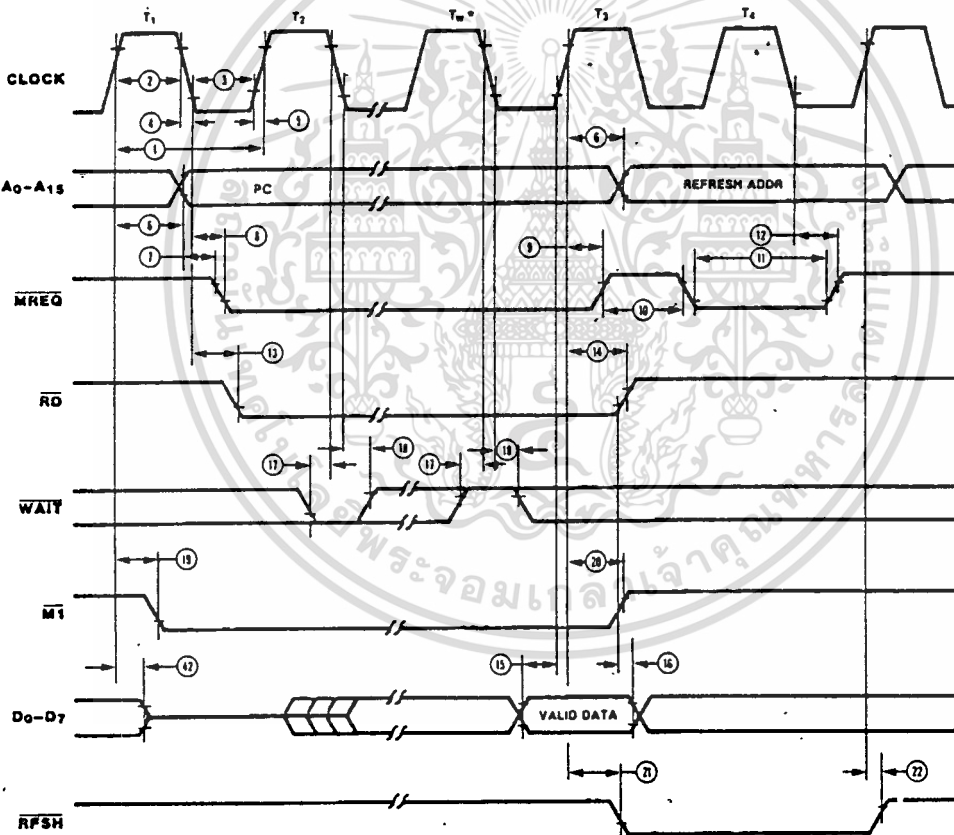
The Z80 CPU executes instructions by proceeding through a specific sequence of operations:

- Memory read or write
- I/O device read or write
- Interrupt acknowledge

The basic clock period is referred to as a T time or cycle, and three or more T cycles make up a machine cycle (M1, M2 or M3 for instance). Machine cycles can be extended either by the CPU automatically inserting one or more Wait states or by the insertion of one or more Wait states by the user.

**Instruction Opcode Fetch.** The CPU places the contents of the Program Counter (PC) on the address bus at the start of the cycle (Figure 5). Approximately one-half clock cycle later,  $\overline{MREQ}$  goes active. When active,  $\overline{RD}$  indicates that the memory data can be enabled onto the CPU data bus.

The CPU samples the  $\overline{WAIT}$  input with the falling edge of clock state  $T_2$ . During clock states  $T_3$  and  $T_4$  of an MT cycle, dynamic RAM refresh can occur while the CPU starts decoding and executing the instruction. When the Refresh Control signal becomes active, refreshing of dynamic memory can take place.

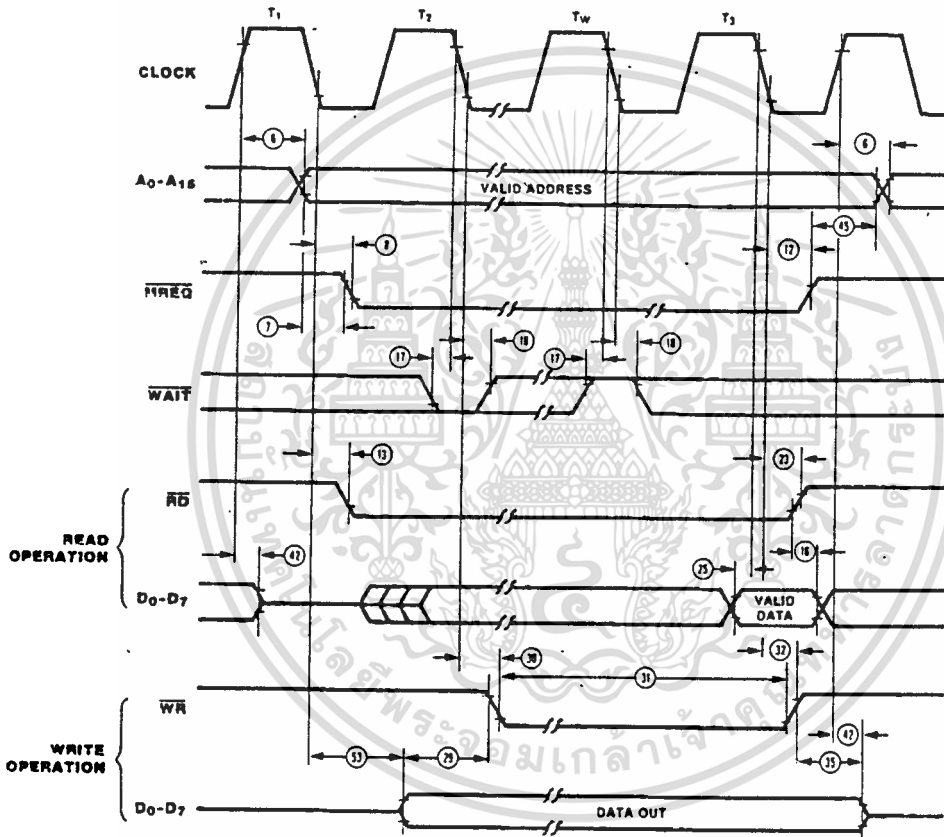


\*  $T_w$  = Wait cycle added when necessary for slow ancillary devices.

Figure 5. Instruction Opcode Fetch

**Memory Read or Write Cycles.** Figure 6 shows the timing of memory read or write cycles other than an opcode fetch (M1) cycle. The MREQ and RD signals function exactly as in the fetch cycle. In a memory write cycle, MREQ also

becomes active when the address bus is stable. The  $\overline{WR}$  line is active when the data bus is stable, so that it can be used directly as an  $R/\overline{W}$  pulse to most semiconductor memories.

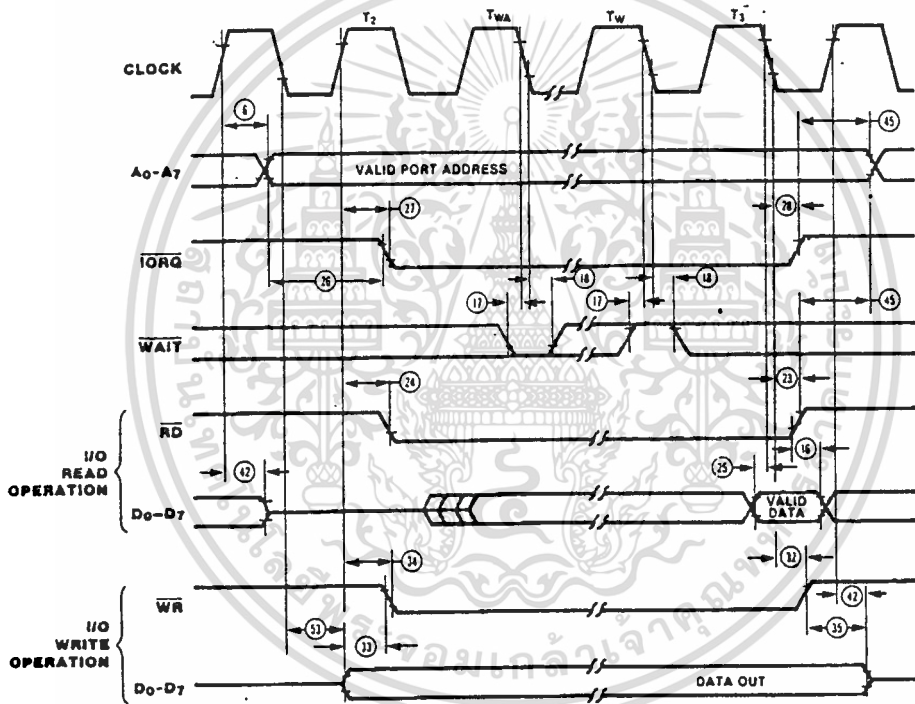


Z80 CPU

Figure 6. Memory Read or Write Cycles

**Input or Output Cycles.** Figure 7 shows the timing for an I/O read or I/O write operation. During I/O operations, the CPU automatically inserts a single Wait state ( $T_{WA}$ ). This

extra Wait state allows sufficient time for an I/O port to decode the address from the port address lines.



$T_{WA}$  = One wait cycle automatically inserted by CPU.

Figure 7. Input or Output Cycles

**Interrupt Request/Acknowledge Cycle.** The CPU samples the interrupt signal with the rising edge of the last clock cycle at the end of any instruction (Figure 8). When an interrupt is accepted, a special  $\overline{M1}$  cycle is generated.

During this  $\overline{M1}$  cycle,  $\overline{IO\overline{RQ}}$  becomes active (instead of  $\overline{MREQ}$ ) to indicate that the interrupting device can place an 8-bit vector on the data bus. The CPU automatically adds two Wait states to this cycle.

Z80 CPU

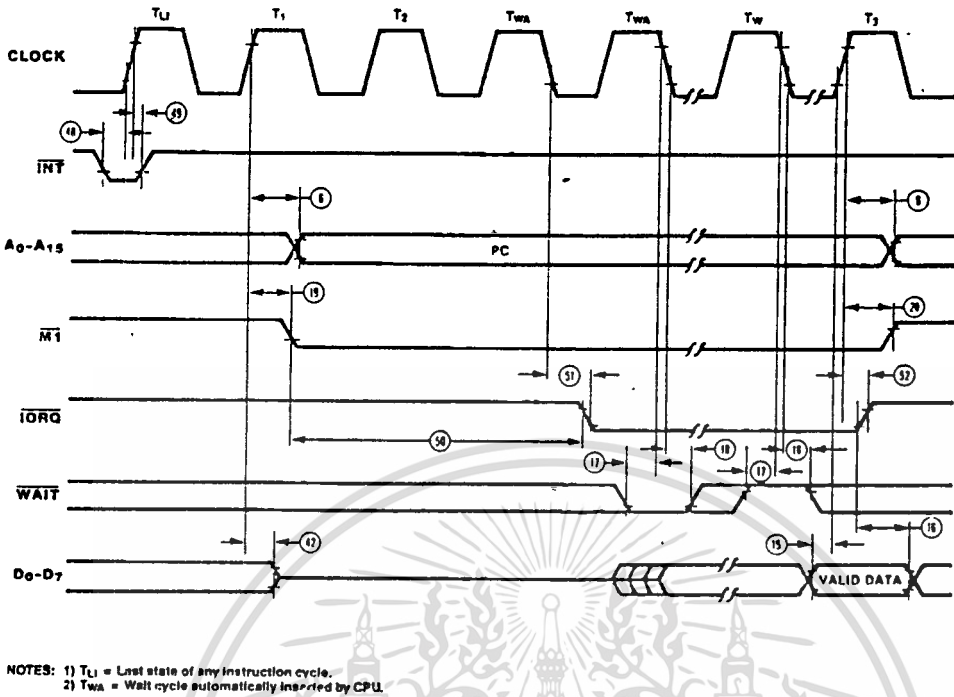
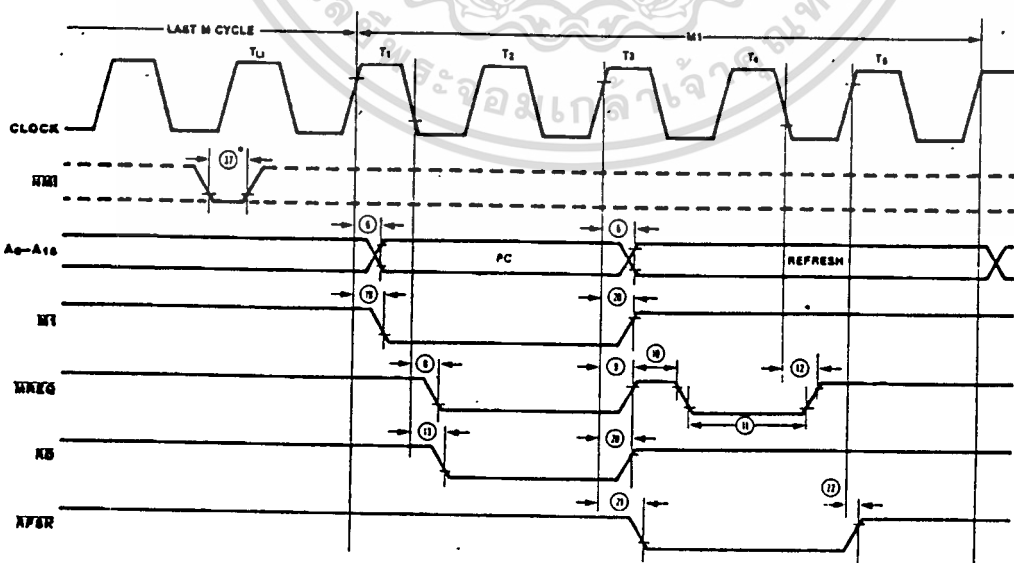


Figure 8. Interrupt Request/Acknowledge Cycle

**Non-Maskable Interrupt Request Cycle.**  $\overline{NMI}$  is sampled at the same time as the maskable interrupt input  $\overline{INT}$  but has higher priority and cannot be disabled under software control. The subsequent timing is similar to that of a normal

memory read operation except that data put on the bus by the memory is ignored. The CPU instead executes a restart ( $\overline{RST}$ ) operation and jumps to the  $\overline{NMI}$  service routine located at address 0066H (Figure 9).



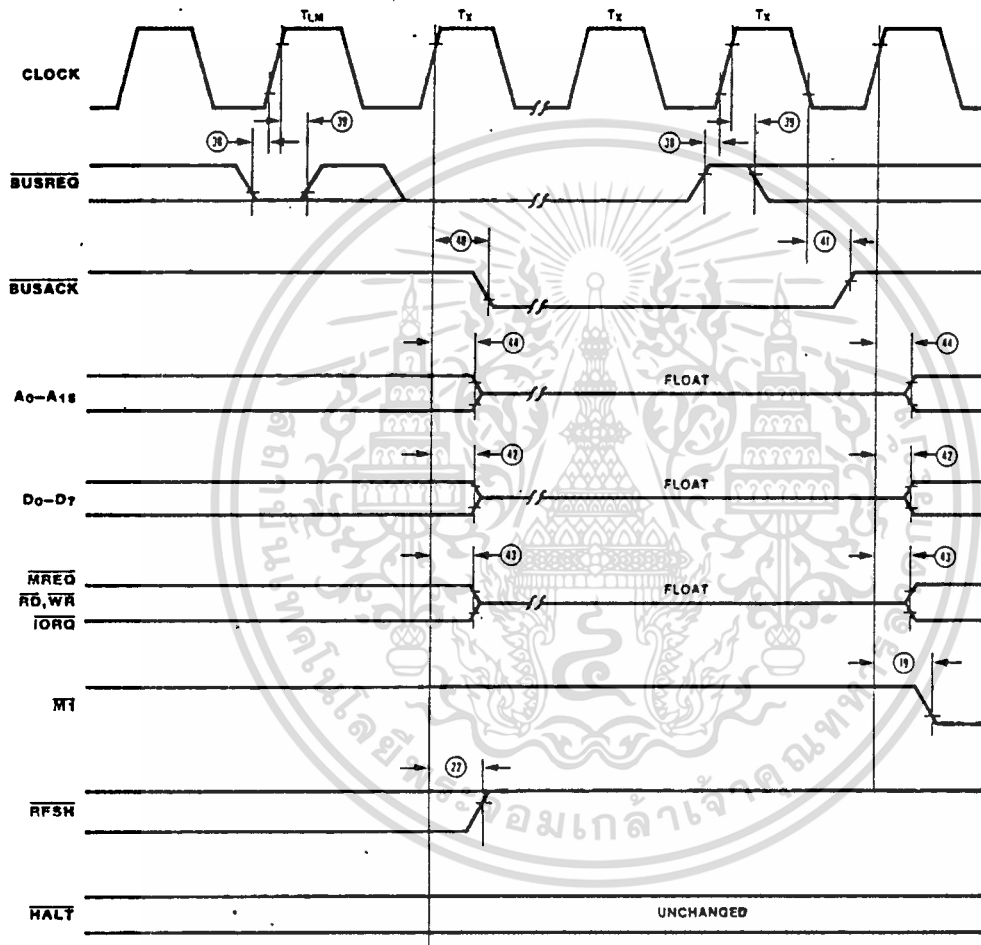
\* Although  $\overline{NMI}$  is an asynchronous input, to guarantee its being recognized on the following machine cycle,  $\overline{NMI}$ 's falling edge must occur no later than the rising edge of the clock cycle preceding the last state of any instruction cycle ( $T_{L1}$ ).

Figure 9. Non-Maskable Interrupt Request Operation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Bus Request/Acknowledge Cycle.** The CPU samples  $\overline{\text{BUSREQ}}$  with the rising edge of the last clock period of any machine cycle (Figure 10). If  $\overline{\text{BUSREQ}}$  is active, the CPU sets its address, data, and  $\overline{\text{MREQ}}$ ,  $\overline{\text{IORQ}}$ ,  $\overline{\text{RD}}$ , and  $\overline{\text{WR}}$  lines

to a high-impedance state with the rising edge of the next clock pulse. At that time, any external device can take control of these lines, usually to transfer data between memory and I/O devices.



Z80 CPU

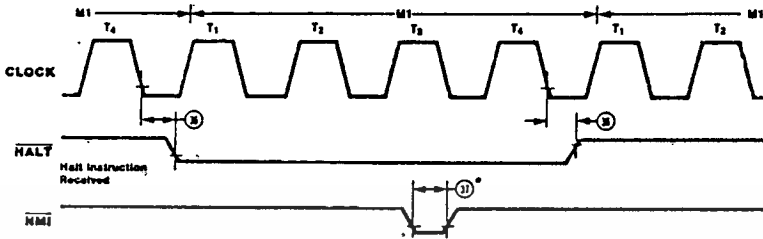
NOTES: 1)  $T_{LM}$  = Last state of any M cycle.  
2)  $T_x$  = An arbitrary clock cycle used by requesting device.

Figure 10. Z-BUS Request/Acknowledge Cycle

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Halt Acknowledge Cycle.** When the CPU receives a HALT instruction, it executes NOP states until either an INT or NMI input is received. When in the Halt state, the HALT output is

active and remains so until an interrupt is received (Figure 11). INT will also force a Halt exit.



\*Although NMI is an asynchronous input, to guarantee its being recognized on the following machine cycle, NMI's falling edge must occur no later than the rising edge of the clock cycle preceding the last state of any instruction cycle (T<sub>4</sub>).

Figure 11. Halt Acknowledge Cycle

**Reset Cycle.** RESET must be active for at least three clock cycles for the CPU to properly accept it. As long as RESET remains active, the address and data buses float, and the control outputs are inactive. Once RESET goes inactive, two

internal T cycles are consumed before the CPU resumes normal processing operation. RESET clears the PC register, so the first opcode fetch will be to location 0000H (Figure 12).

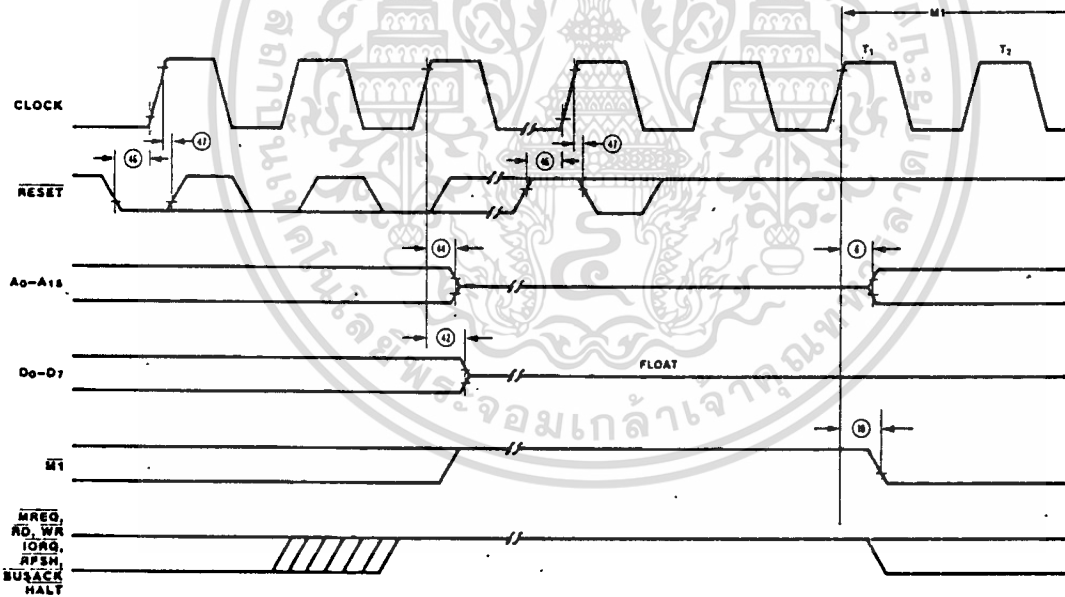


Figure 12. Reset Cycle

## AC CHARACTERISTICS†

Number	Symbol	Parameter	Z80 CPU		Z80A CPU		Z80B CPU		Z80H CPU	
			Min	Max	Min	Max	Min	Max	Min	Max
1	TcC	Clock Cycle Time	400*		250*		165*		125*	
2	TwCh	Clock Pulse Width (High)	180	2000	110	2000	65	2000	55	2000
3	TwCl	Clock Pulse Width (Low)	180	2000	110	2000	65	2000	55	2000
4	TfC	Clock Fall Time		30		30		20		10
5	TrC	Clock Rise Time		30		30		20		10
6	TdCr(A)	Clock ↑ to Address Valid Delay		145		110		90		80
7	TdA(MREQ)	Address Valid to $\overline{\text{MREQ}}$ ↓ Delay	125*		65*		35*		20*	
8	TdCl(MREQ)	Clock ↓ to $\overline{\text{MREQ}}$ ↓ Delay		100		85		70		60
9	TdCr(MREQ)	Clock ↑ to $\overline{\text{MREQ}}$ ↑ Delay		100		85		70		60
10	TwMREQh	$\overline{\text{MREQ}}$ Pulse Width (High)	170*		110*		65*		45*	
11	TwMREQl	$\overline{\text{MREQ}}$ Pulse Width (Low)	360*		220*		135*		100*	
12	TdCl(MREQ)	Clock ↓ to $\overline{\text{MREQ}}$ ↑ Delay		100		85		70		60
13	TdCl(RD)	Clock ↓ to $\overline{\text{RD}}$ ↓ Delay		130		95		80		70
14	TdCr(RD)	Clock ↑ to $\overline{\text{RD}}$ ↑ Delay		100		85		70		60
15	TsD(Cr)	Data Setup Time to Clock ↑	50		35		30		30	
16	ThD(RDr)	Data Hold Time to $\overline{\text{RD}}$ ↑		0		0		0		0
17	TsWAIT(Cf)	$\overline{\text{WAIT}}$ Setup Time to Clock ↓	70		70		60		50	
18	ThWAIT(Cf)	$\overline{\text{WAIT}}$ Hold Time after Clock ↓		0		0		0		0
19	TdCr(M1)	Clock ↑ to $\overline{\text{M1}}$ ↓ Delay		130		100		80		70
20	TdCr(M1r)	Clock ↑ to $\overline{\text{M1}}$ ↑ Delay		130		100		80		70
21	TdCr(RFSH)	Clock ↑ to $\overline{\text{RFSH}}$ ↓ Delay		180		130		110		95
22	TdCr(RFSHr)	Clock ↑ to $\overline{\text{RFSH}}$ ↑ Delay		150		120		100		85
23	TdCl(RDr)	Clock ↓ to $\overline{\text{RD}}$ ↓ Delay		110		85		70		60
24	TdCr(RDr)	Clock ↑ to $\overline{\text{RD}}$ ↓ Delay		100		85		70		60
25	TsD(Cf)	Data Setup to Clock ↓ during M <sub>2</sub> , M <sub>3</sub> , M <sub>4</sub> , or M <sub>5</sub> Cycles	60		50		40		30	
26	TdA(IORQ)	Address Stable prior to $\overline{\text{IORQ}}$ ↓	320*		180*		110*		75*	
27	TdCr(IORQ)	Clock ↑ to $\overline{\text{IORQ}}$ ↓ Delay		90		75		65		55
28	TdCl(IORQ)	Clock ↓ to $\overline{\text{IORQ}}$ ↑ Delay		110		85		70		60
29	TdD(WR)	Data Stable prior to $\overline{\text{WR}}$ ↓	190*		80*		25*		5*	
30	TdCr(WR)	Clock ↓ to $\overline{\text{WR}}$ ↓ Delay		90		80		70		60
31	TwWR	$\overline{\text{WR}}$ Pulse Width	360*		220*		135*		100*	
32	TdCl(WRr)	Clock ↓ to $\overline{\text{WR}}$ ↑ Delay		100		80		70		60
33	TdD(WR)	Data Stable prior to $\overline{\text{WR}}$ ↓	20*		-10*		-55*		55*	
34	TdCr(WR)	Clock ↑ to $\overline{\text{WR}}$ ↓ Delay		80		65		60		55
35	TdWRr(D)	Data Stable from $\overline{\text{WR}}$ ↑	120*		60*		30*		15*	
36	TdCl(HALT)	Clock ↓ to $\overline{\text{HALT}}$ ↑ or ↓		300		300		260		225
37	TwNMI	NMI Pulse Width	80		80		70		60*	
38	TsBUSREQ(Cr)	$\overline{\text{BUSREQ}}$ Setup Time to Clock ↑	80		50		50		40	

Z80 CPU

\*For clock periods other than the minimums shown, calculate parameters using the table on the following page. Calculated values above assumed T<sub>C</sub> = T<sub>IC</sub> = 20 ns.

†Units in nanoseconds (ns).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## AC CHARACTERISTICS† (Continued)

Number	Symbol	Parameter	Z80 CPU		Z80A CPU		Z80B CPU		Z80H CPU	
			Min	Max	Min	Max	Min	Max	Min	Max
39	ThBUSREQ(Cr)	BUSREQ Hold Time after Clock ↑	0		0		0		0	
40	TdCr(BUSACKf)	Clock ↑ to BUSACK ↓ Delay		120		100		90		80
41	TdCl(BUSACKr)	Clock ↓ to BUSACK ↑ Delay		110		100		90		80
42	TdCr(Dz)	Clock ↑ to Data Float Delay		90		90		80		70
43	TdCr(CTz)	Clock ↑ to Control Outputs Float Delay (MREQ, IORQ, RD, and WR)		110		80		70		60
44	TdCr(Az)	Clock ↑ to Address Float Delay		110		90		80		70
45	TdCr(A)	MREQ ↑, IORQ ↑, RD ↑, and WR ↑ to Address Hold Time	160*		80*		35*		20*	
46	TsRESET(Cr)	RESET to Clock ↑ Setup Time	90		60		60		45	
47	ThRESET(Cr)	RESET to Clock ↑ Hold Time		0		0		0		0
48	TsINTI(Cr)	INT to Clock ↑ Setup Time	80		80		70		55	
49	ThINTr(Cr)	INT to Clock ↑ Hold Time		0		0		0		0
50	TdM1(IORQf)	M1 ↓ to IORQ ↓ Delay	920*		565*		365*		270*	
51	TdCl(IORQf)	Clock ↓ to IORQ ↓ Delay		110		85		70		60
52	TdCl(IORQr)	Clock ↑ to IORQ ↑ Delay		100		85		70		60
53	TdCl(D)	Clock ↓ to Data Valid Delay		230		150		130		115

\*For clock periods other than the minimums shown, calculate parameters using the following table. Calculated values above assumed TrC = TIC = 20 ns.

†Units in nanoseconds (ns).

## FOOTNOTES TO AC CHARACTERISTICS

Number	Symbol	General Parameter	Z80	Z80A	Z80B	Z80H
1	TcC	TwCh + TwCl + TrC + TIC				
7	TdA(MREQf)	TwCh + TIC	- 75	- 65	- 50	- 45
10	TwMREQh	TwCh + TIC	- 30	- 20	- 20	- 20
11	TwMREQf	TcC	- 40	- 30	- 30	- 25
26	TdA(IORQf)	TcC	- 80	- 70	- 55	- 50
29	TdD(WRf)	TcC	- 210	- 170	- 140	- 120
31	TwWR	TcC	- 40	- 30	- 30	- 25
33	TdD(WRf)	TwCl + TrC	- 180	- 140	- 140	- 120
35	TdWRr(D)	TwCl + TrC	- 80	- 70	- 55	- 50
45	TdCr(A)	TwCl + TrC	- 40	- 50	- 50	- 45
50	TdM1(IORQf)	2TcC + TwCh + TIC	- 80	- 65	- 50	- 45

### AC Test Conditions:

V<sub>IH</sub> = 2.0 V

V<sub>IL</sub> = 0.8 V

V<sub>IHC</sub> = V<sub>CC</sub> - 0.6 V

V<sub>ILC</sub> = 0.45 V

V<sub>OH</sub> = 1.5 V

V<sub>OL</sub> = 1.5 V

FLOAT = ±0.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ABSOLUTE MAXIMUM RATINGS

Voltages on all pins with respect to ground . . . 0.3V to +7V  
 Operating Ambient  
 Temperature . . . . . See Ordering Information  
 Storage Temperature . . . . . - 65°C to +150°C

Stresses greater than those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only; operation of the device at any condition above these indicated in the operational sections of these specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## STANDARD TEST CONDITIONS

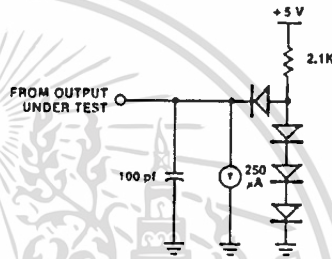
The DC Characteristics and Capacitance sections below apply for the following standard test conditions, unless otherwise noted. All voltages are referenced to GND (0V). Positive current flows into the referenced pin.

Available operating temperature ranges are:

- S = 0°C to +70°C, +4.75V ≤ V<sub>CC</sub> ≤ +5.25V
- E = -40°C to +85°C, +4.75V ≤ V<sub>CC</sub> ≤ +5.25V
- M = -55°C to +125°C, +4.5V ≤ V<sub>CC</sub> ≤ +5.25V

The Ordering Information section lists temperature ranges and product numbers. Package drawings are in the Package Information section in this book. Refer to the Literature List for additional documentation.

All ac parameters assume a load capacitance of 100 pf. Add 15 ns delay for each 50 pf increase in load up to a maximum of 200 pf for the data bus. AC timing measurements are referenced to 1.5 volts (except for clock, which is referenced to the 10% and 90% points).



Z80 CPU

## DC CHARACTERISTICS

All parameters are tested unless otherwise noted.

Symbol	Parameter	Min	Max	Unit	Test Condition
V <sub>ILC</sub>	Clock Input Low Voltage	-0.3	0.45	V	
V <sub>IHC</sub>	Clock Input High Voltage	V <sub>CC</sub> - 0.6	V <sub>CC</sub> + 0.3	V	
V <sub>IL</sub>	Input Low Voltage	-0.3	0.8	V	
V <sub>IH</sub>	Input High Voltage	2.0 <sup>1</sup>	V <sub>CC</sub>	V	
V <sub>OL</sub>	Output Low Voltage		0.4	V	I <sub>OL</sub> = 2.0 mA
V <sub>OH</sub>	Output High Voltage	2.4 <sup>1</sup>		V	I <sub>OH</sub> = -250 μA
I <sub>CC</sub>	Power Supply Current		200	mA	Note 3
I <sub>I</sub>	Input Leakage Current		10	μA	V <sub>IN</sub> = 0 to V <sub>CC</sub>
I <sub>LO</sub>	3-State Output Leakage Current in Float	-10	10 <sup>2</sup>	μA	V <sub>OUT</sub> = 0.4 to V <sub>CC</sub>

1. For military grade parts, refer to the Z80 Military Electrical Specification.
2. A<sub>15</sub>-A<sub>0</sub>, D<sub>7</sub>-D<sub>0</sub>, MREQ, IORQ, RD, and WR.
3. Measurements made with outputs floating.

## CAPACITANCE

Guaranteed by design and characterization.

Symbol	Parameter	Min	Max	Unit
C <sub>CLOCK</sub>	Clock Capacitance		35	pf
C <sub>IN</sub>	Input Capacitance		5	pf
C <sub>OUT</sub>	Output Capacitance		15	pf

NOTES:  
 T<sub>A</sub> = 25°C, f = 1 MHz.  
 Unmeasured pins returned to ground.

## ORDERING INFORMATION

	<b>Z80 CPU, 2.5 MHz</b>			<b>Z80B CPU, 6.0 MHz</b>	
<b>40-pin DIP</b>	<b>44-pin LCC</b>	<b>44-pin PCC</b>		<b>40-pin DIP</b>	<b>44-pin PCC</b>
Z8400 PS	Z8400 LM*	Z8400 VS†		Z8400B PS	Z8400B VS†
Z8400 CS	Z8400 LMB*†			Z8400B CS	
Z8400 PE				Z8400B PE	
Z8400 CE					
Z8400 CM*				<b>Z80H CPU, 8.0 MHz</b>	
Z8400 CMB*			<b>40-pin DIP</b>	<b>44-pin PCC</b>	
Z8400 CMJ*			Z8400H PS	Z8400H VS†	

	<b>Z80A CPU, 4.0 MHz</b>	
<b>40-pin DIP</b>	<b>44-pin LCC</b>	<b>44-pin PCC</b>
Z8400A PS	Z8400A LM*	Z8400A VS†
Z8400A CS	Z8400A LMB*†	
Z8400A PE		
Z8400A CE		
Z8400A CM*		
Z8400A CMB*		
Z8400A CMJ*		

### Codes

First letter is for package; second letter is for temperature.

C = Ceramic DIP  
 P = Plastic DIP  
 L = Ceramic LCC  
 V = Plastic PCC

R = Protopack  
 T = Low Profile Protopack  
 DIP = Dual-In-Line Package  
 LCC = Leadless Chip Carrier  
 PCC = Plastic Chip Carrier (Leaded)

### TEMPERATURE

S = 0°C to +70°C  
 E = -40°C to +85°C  
 M\* = -55°C to +125°C

### FLOW

B = 883 Class B  
 J = JAN 38510 Class B

\*For Military Orders, refer to the Military Section.

†Available soon.

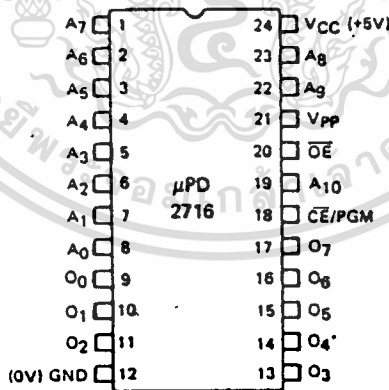
**16,384 (2K X 8) BIT UV ERASABLE PROM**

**DESCRIPTION** The μPD2716 is a 16,384 bit (2048 x 8 bit) Ultraviolet Erasable and Electrically Programmable Read-Only Memory (EPROM). It operates from a single +5 volt supply, making it ideal for microprocessor applications. It offers a standby mode with an attendant 75% savings in power consumption, and is compatible with the μPD2316 as a ROM. This allows for economical change-over to a masked ROM for production quantities, where desired.

The μPD2716 features fast, simple one pulse programming controlled by TTL level signals. Total programming time for all 16,384 bits is only 100 seconds.

- FEATURES**
- Ultraviolet Erasable and Electrically Programmable
  - Access Time – 450 ns Max
  - Single Location Programming
  - Programmable with Single Pulse
  - Low Power Dissipation Standby Mode
  - Input/Output TTL Compatible for Reading and Programming
  - Pin Compatible to μPD2316E (16K ROM)
  - Single +5V Power Supply
  - 24 Pin Ceramic DIP
  - Three-State Outputs

**PIN CONFIGURATION**



**PIN NAMES**

A <sub>0</sub> -A <sub>10</sub>	Addresses
OE	Output Enable
O <sub>0</sub> -O <sub>7</sub>	Data Outputs
CE/PGM	Chip Enable/Program

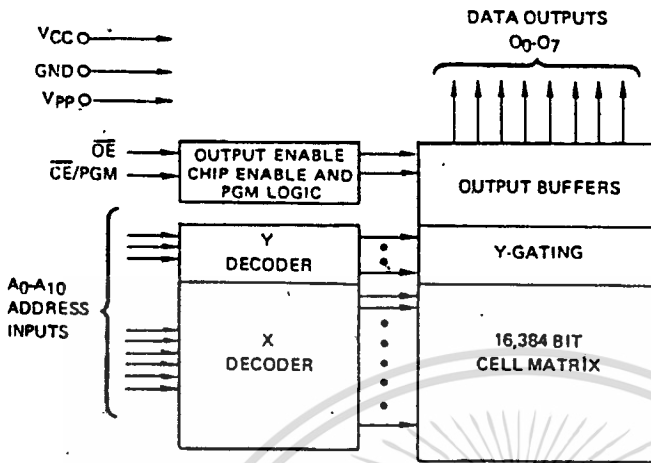
**TABLE 1. MODE SELECTION**

MODE \ PINS	CE/PGM	OE	V <sub>pp</sub>	V <sub>CC</sub>	OUTPUTS
Read	V <sub>IL</sub>	V <sub>IL</sub>	+5	+5	DOUT
Standby	V <sub>IH</sub>	Don't Care	+5	+5	High Z
Program	Pulsed V <sub>IL</sub> to V <sub>IH</sub>	V <sub>IH</sub>	+25	+5	DIN
Program Verify	V <sub>IL</sub>	V <sub>IL</sub>	+25	+5	DOUT
Program Inhibit	V <sub>IL</sub>	V <sub>IH</sub>	+25	+5	High Z

V<sub>IH</sub> and V<sub>IL</sub> are TTL high level ("1") and TTL low level ("0") respectively.

# μPD2716

## BLOCK DIAGRAM



Operating Temperature	-10°C to +80°C	ABSOLUTE MAXIMUM RATINGS*
Storage Temperature	-65°C to +125°C	
Output Voltage	-0.3 to +6 Volts	
Input Voltage	-0.3 to +6 Volts	
Supply Voltage V <sub>CC</sub>	-0.3 to +6 Volts	
Supply Voltage V <sub>pp</sub>	-0.3 to +26.5 Volts	

COMMENT: Stress above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

T<sub>1</sub> = 25°C

T<sub>1</sub> = 25°C; f = 1 MHz

PARAMETER	SYMBOL	LIMITS			UNIT	TEST CONDITIONS
		MIN	TYP	MAX		
Input Capacitance	C <sub>IN</sub>		4	6	pF	V <sub>IN</sub> = 0V
Output Capacitance	C <sub>OUT</sub>		8	12	pF	V <sub>OUT</sub> = 0V

CAPACITANCE

### READ MODE AND STANDBY MODE

### DC CHARACTERISTICS

T<sub>1</sub> = 0°C ~ 70°C; V<sub>CC</sub> ① = +5V ± 5%; V<sub>pp</sub> ① ② = V<sub>CC</sub> ± 0.6V ③

PARAMETER	SYMBOL	LIMITS			UNIT	TEST CONDITIONS
		MIN.	TYP.	MAX.		
Output High Voltage	V <sub>OH</sub>	2.4			V	I <sub>OH</sub> = -400 μA
Output Low Voltage	V <sub>OL</sub>			0.45	V	I <sub>OL</sub> = 2.1 mA
Input High Voltage	V <sub>IH</sub>	2.0		V <sub>CC</sub> + 1	V	
Input Low Voltage	V <sub>IL</sub>	-0.1		0.8	V	
Output Leakage Current	I <sub>LO</sub>			10	μA	V <sub>OUT</sub> = 5.25V
Input Leakage Current	I <sub>IL</sub>			10	μA	V <sub>IN</sub> = 5.25V
V <sub>pp</sub> Current	I <sub>pp1</sub>			5	mA	V <sub>pp</sub> = 5.95V
V <sub>CC</sub> Current ②	I <sub>CC1</sub>		10	25	mA	CE/PGM = V <sub>IH</sub> OE = V <sub>IL</sub> Standby Mode
	I <sub>CC2</sub>		57	100	mA	CE/PGM = V <sub>IL</sub> OE = V <sub>IL</sub> Read Mode

- Notes: ① V<sub>CC</sub> must be applied simultaneously or before V<sub>pp</sub> and removed after V<sub>pp</sub>.  
 ② V<sub>pp</sub> may be connected directly to V<sub>CC</sub> (+5V) at read mode and standby mode. The supply current would then be the sum of I<sub>pp1</sub> and I<sub>CC</sub> (I<sub>CC1</sub> or I<sub>CC2</sub>).  
 ③ The tolerance of 0.6V allows the use of a driver circuit for switching the V<sub>pp</sub> supply pin from +25V to +5V.

DC CHARACTERISTICS  
(CONT.)

PROGRAM, PROGRAM VERIFY AND PROGRAM INHIBIT MODE

T<sub>a</sub> = 25°C ± 5°C; V<sub>CC</sub> ① = +5V ± 5%; V<sub>pp</sub> ①④ = +25V ± 1V

PARAMETER	SYMBOL	LIMITS			UNIT	TEST CONDITIONS
		MIN.	TYP.	MAX.		
Input High Voltage	V <sub>IH</sub>	2.0		V <sub>CC</sub> + 1	V	
Input Low Voltage	V <sub>IL</sub>	-0.1		0.8	V	
Input Leakage Current	I <sub>IL</sub>			10	μA	V <sub>IH</sub> = 5.25V/0.45V
V <sub>pp</sub> Current	I <sub>pp1</sub>			5	mA	Program Verify CE/PGM = V <sub>IL</sub>
	I <sub>pp2</sub>			30	mA	Program Inhibit CE/PGM = V <sub>IH</sub>
V <sub>CC</sub> Current	I <sub>CC</sub>			100	mA	Program Mode

AC CHARACTERISTICS

READ MODE AND STANDBY MODE

T<sub>a</sub> = 0°C to +70°C; V<sub>CC</sub> ① = +5V ± 5%; V<sub>pp</sub> ①② = V<sub>CC</sub> ± 0.6V ③

PARAMETER	SYMBOL	LIMITS			UNIT	TEST CONDITIONS
		MIN.	TYP.	MAX.		
Address to Output Delay	t <sub>ACC</sub>			450	ns	CE/PGM = OE = V <sub>IL</sub>
CE/PGM to Output Delay	t <sub>CE</sub>			450	ns	OE = V <sub>IL</sub>
Output Enable to Output Delay	t <sub>OE</sub>			120	ns	CE/PGM = V <sub>IL</sub>
Output Enable High to Output Float	t <sub>DF</sub>	0		100	ns	CE/PGM = V <sub>IL</sub>
Address to Output Hold	t <sub>OH</sub>	0			ns	CE/PGM = OE = V <sub>IL</sub>

Test Conditions  
 Output Load: 1 TTL gate and C<sub>L</sub> = 100 pF  
 Input Rise and Fall Times: 20 ns  
 Input Pulse Levels: 0.8 to 2.2V  
 Timing Measurement Reference Level:  
 Inputs: 1.0V and 2.0V  
 Outputs: 0.8V and 2.0V

PROGRAM, PROGRAM VERIFY AND PROGRAM INHIBIT MODE

T<sub>a</sub> = 25°C ± 5°C; V<sub>CC</sub> ① = +5V ± 5%; V<sub>pp</sub> ①④ = +25V ± 1V

PARAMETER	SYMBOL	LIMITS			UNITS	TEST CONDITIONS
		MIN.	TYP.	MAX.		
Address Setup Time	t <sub>AS</sub>	2			μs	
OE Setup Time	t <sub>OES</sub>	2			μs	
Data Setup Time	t <sub>DS</sub>	2			μs	
Address Hold Time	t <sub>AH</sub>	2			μs	
OE Hold Time	t <sub>OEH</sub>	2			μs	
Data Hold Time	t <sub>DH</sub>	2			μs	
Output Enable to Output Float Delay	t <sub>DF</sub>	0		120	ns	CE/PGM = V <sub>IL</sub>
Output Enable to Output Delay	t <sub>OE</sub>			120	ns	CE/PGM = V <sub>IL</sub>
Program Pulse Width	t <sub>PW</sub>	45	50	55	ms	
Program Pulse Rise Time	t <sub>PRT</sub>	5			ns	
Program Pulse Fall Time	t <sub>PFT</sub>	5			ns	

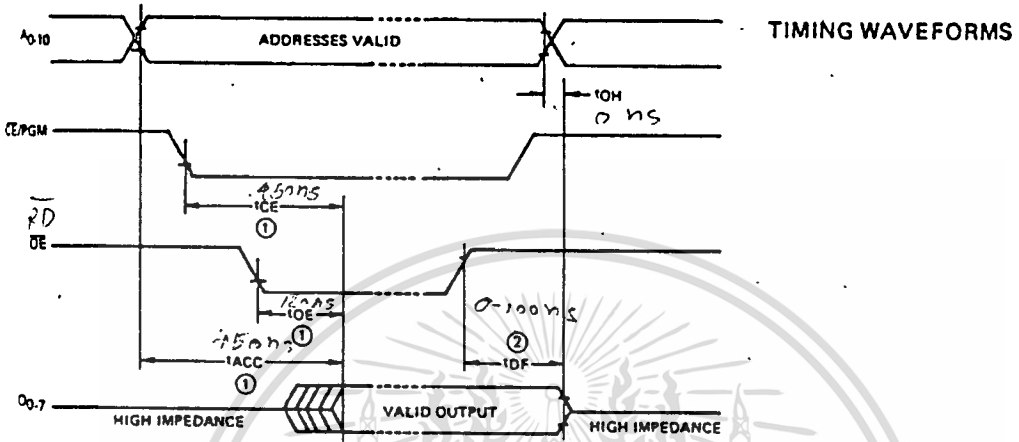
Test Conditions:

Input Pulse Levels . . . . . 0.8V to 2.2V Output Timing Reference Level . . . 0.8V and 2V  
 Input Timing Reference Level . . . . 1V and 2V

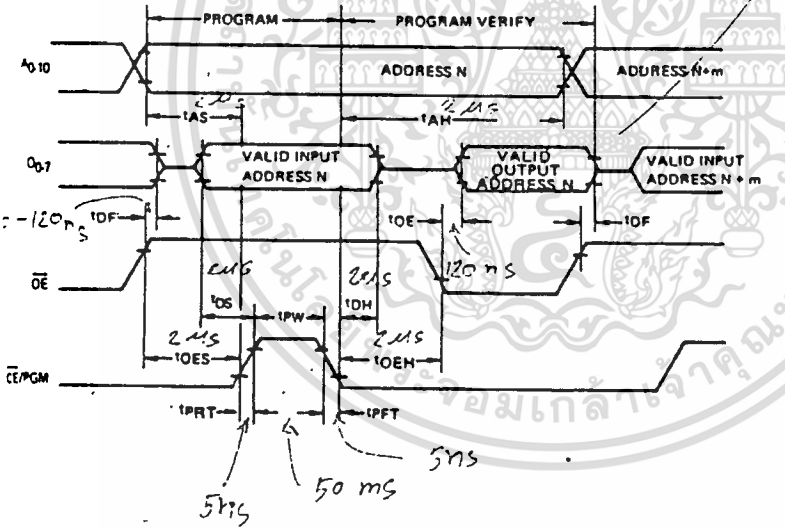
- Notes: ① V<sub>CC</sub> must be applied simultaneously or before V<sub>pp</sub> and removed after V<sub>pp</sub>.  
 ② V<sub>pp</sub> may be connected directly to V<sub>CC</sub> (+5V) at read mode and standby mode. The supply current should then be the sum of I<sub>pp1</sub> and I<sub>CC</sub> (I<sub>CC1</sub> or I<sub>CC2</sub>).  
 ③ The tolerance of 0.8V allows the use of a driver circuit for mounting the V<sub>pp</sub> supply pin from +25V to +5V.  
 ④ During programming, program inhibit, and program verify, a maximum of +26V should be applied to the V<sub>pp</sub> pin. Overshoot voltages to be generated by the V<sub>pp</sub> power supply should be limited to less than +26V.

μPD2716

READ MODE



PROGRAM MODE



- Note: ① OE may be delayed up to  $t_{ACC} - t_{OE}$  after the falling edge of CE/PGM for read mode without impact on  $t_{ACC}$
- ②  $t_{DF}$  is specified from OE or CE/PGM, whichever occurs first.

## $\mu$ PD2716

- FUNCTIONAL DESCRIPTION** The  $\mu$ PD2716 operates from a single +5V power supply and, accordingly, is ideal for use with +5V microprocessors such as  $\mu$ PD8085 and  $\mu$ PD8048/8748.
- Programming of the  $\mu$ PD2716 is achieved with a single 50 ms TTL pulse. Total programming time for all 16,384 bits is only 100 sec. Due to the simplicity of the programming requirements, devices on boards and in systems may be programmed easily and without any special programmer.
- The  $\mu$ PD2716 features a standby mode which reduces the power dissipation from a maximum active power dissipation of 525 mW to a maximum standby power dissipation of 132 mW. This results in a 75% savings with no increase in access time.
- Erase of the  $\mu$ PD2716 programmed data can be attained when exposed to light with wavelengths shorter than approximately 4,000 Angstroms (Å). It should be noted that constant exposure to direct sunlight or room level fluorescent lighting could erase the  $\mu$ PD2716. Consequently, if the  $\mu$ PD2716 is to be exposed to these types of lighting conditions for long periods of time, the  $\mu$ PD2716 window should be masked to prevent unintentional erasure.
- The recommended erasure procedure for the  $\mu$ PD2716 is exposure to ultraviolet light with wavelengths of 2,537 Angstroms (Å). The integrated dose (i.e., UV intensity  $\times$  exposure time) for erasure should be not less than 15 W-sec/cm<sup>2</sup>. The erasure time is approximately 15 to 20 minutes using an ultraviolet lamp of 12,000  $\mu$ W/cm<sup>2</sup> power rating.
- During erasure, the  $\mu$ PD2716 should be placed within 1 inch of the lamp tubes. If the lamps have filters on the tubes, the filters should be removed before erasure.
- OPERATION** The five operation modes of the  $\mu$ PD2716 are listed in Table 1. The power supplies required are a +5V V<sub>CC</sub> and a V<sub>pp</sub>. The V<sub>pp</sub> power supply should be at +25V during programming, program verification and program inhibit, and it should be at +5V during read and standby.  $\overline{CE}/PGM$ ,  $\overline{OE}$  and V<sub>pp</sub> select the operation mode as shown in Table 1.
- READ MODE** When  $\overline{CE}/PGM$  and  $\overline{OE}$  are at low (0) level with V<sub>pp</sub> at +5V, the READ MODE is set and the data is available at the outputs after t<sub>OE</sub> from the falling edge of  $\overline{OE}$  and t<sub>ACC</sub> after setting the address.
- STANDBY MODE** The  $\mu$ PD2716 is placed in the standby mode with the application of a high (1) level TTL signal to the  $\overline{CE}/PGM$  and a V<sub>pp</sub> of +5V. In this mode, the outputs are in a high impedance state, independent of the  $\overline{OE}$  input. The active power dissipation is reduced by 75% from 525 mW to 132 mW.
- PROGRAMMING MODE** Programming of the  $\mu$ PD2716 is commenced by erasing all data and consequently having all bits in the high (1) level state. Data is then entered by programming a low (0) level TTL signal into the chosen bit location.
- The  $\mu$ PD2716 is placed in the programming mode by applying a high (1) level TTL signal to the  $\overline{OE}$  with V<sub>pp</sub> at +25V. The data to be programmed is applied to the output pins 8 bits in parallel at TTL levels.
- Any location can be programmed at any time, either individually, sequentially or at random.
- When multiple  $\mu$ PD2716s are connected in parallel, except for  $\overline{CE}/PGM$ , individual  $\mu$ PD2716s can be programmed by applying a high (1) level TTL pulse to the  $\overline{CE}/PGM$  input of the desired  $\mu$ PD2716 to be programmed.
- Programming of multiple  $\mu$ PD2716s in parallel with the same data is easily accomplished. All the alike inputs are tied together and are programmed by applying a high (1) level TTL pulse to the  $\overline{CE}/PGM$  inputs.

## μPD2716

Programming of multiple μPD2716s in parallel with different data is rendered more easily by the program inhibit mode. Except for  $\overline{CE}/PGM$ , all alike inputs (including  $\overline{OE}$ ) of the parallel μPD2716s may be common. Programming is accomplished by applying a TTL level program pulse to the μPD2716  $\overline{CE}/PGM$  input with  $V_{pp}$  at +25V. A low level applied to the  $\overline{CE}/PGM$  of the other μPD2716 will inhibit it from being programmed.

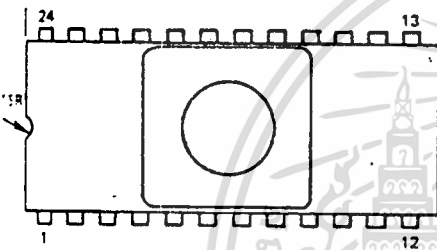
PROGRAMMING  
INHIBIT MODE

Verify should be performed on the programmed bits to determine that the data was correctly programmed on all bits of the μPD2716. The program verify can be performed with  $V_{pp}$  at +25V and  $\overline{CE}/PGM$  and  $\overline{OE}$  at low (0) levels.

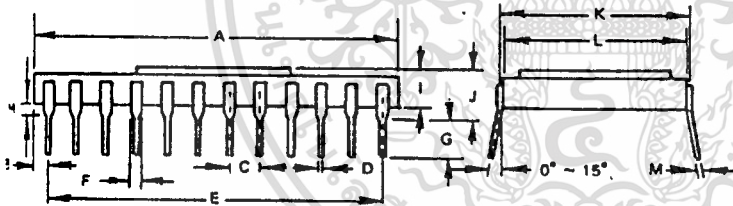
PROGRAM VERIFY MODE

The data outputs of two or more μPD2716s may be wire-ored together to the same data bus. In order to prevent bus contention problems between devices, all but the selected μPD2716s should be deselected by raising the  $\overline{OE}$  input to a TTL high.

OUTPUT DESELECTION



PACKAGE OUTLINE  
μPD2716D

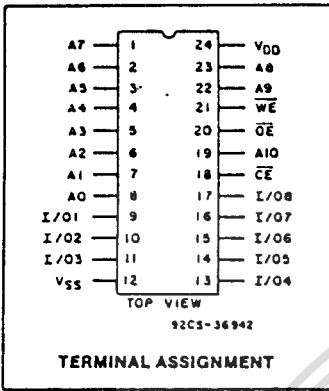


CERAMIC

ITEM	MILLIMETERS	INCH
A	33.5 MAX.	1.32 MAX.
B	2.78	1.1
C	2.54	0.1
D	0.46 ± 0.10	0.018 ± 0.004
E	27.94	1.10
F	1.3	0.05
G	2.54 MIN.	0.1 MIN.
H	0.5 MIN.	0.020
I	5.0 MAX.	0.20
J	5.5 MAX.	0.216
K	15.24	0.60
L	13.5	0.53
M	0.25 +0.10 -0.05	0.010 +0.004 -0.002

2716DS-12-80-CAT

CDM6116A



CMOS 2048-Word by 8-Bit Static RAM

Features:

- Fully static operation
- Single power supply: 4.5 V to 5.5 V
- All inputs and outputs directly TTL compatible
- 3-state outputs
- Industry standard 24-pin configuration
- Chip-enable gates address buffers and minimum standby current
- Data retention voltage: 2 V min.

	CDM6116A-2	CDM6116A-3	CDM6116A-9
Access Time (max.)	200 ns	150 ns	250 ns
Output Enable Time (max.)	120 ns	60 ns	150 ns
Operating Temperature	0° to +70°C		-40° to +85°C
Operating Current (max.)	35 mA	35 mA	40 mA
Standby Current I <sub>00s1</sub> (max.)	30 μA	50 μA	100 μA

The RCA-CDM6116A is a CMOS 2048-word by 8-bit static random-access memory. It is designed for use in memory systems where high-speed, low power and simplicity in use are desirable. This device has common data inputs and data outputs and utilizes a single power supply of 4.5 V to 5.5 V. A chip-enable input and an output-enable input are provided for memory expansion and output buffer control.

The output enable ( $\overline{OE}$ ) controls the output buffers to eliminate bus contention.

The CDM6116A-2 and CDM6116A-3 have an operating temperature range of 0° to +70°C. The CDM6116A-9 has an operating temperature range of -40° to +85°C.

The CDM6116A-2 and CDM6116A-3 are supplied in a 16-lead dual-in-line plastic package (E suffix). The CDM6116A-9 is supplied in a 24-lead dual-in-line plastic package (E suffix) and a 24-lead dual-in-line side-brazed ceramic package (D suffix).

The chip enable ( $\overline{CE}$ ) gates the address and output buffers and powers down the chip to the low power standby mode.

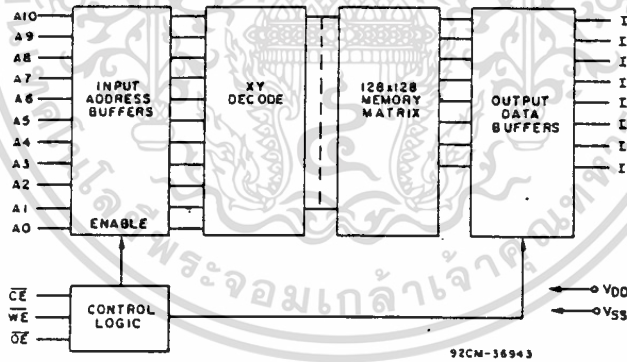


Fig. 1 - Functional block diagram.

TRUTH TABLE

$\overline{CE}$	$\overline{OE}$	$\overline{WE}$	A0 TO A10	MODE	I/O1 TO I/O8	DEVICE CURRENT
H	X	X	X	NOT SELECTED	HIGH Z	STANDBY
L	L	H	STABLE	READ	DATA OUT	ACTIVE
L	H	L	STABLE	WRITE	DATA IN	ACTIVE
L	L	L	STABLE	WRITE	DATA IN	ACTIVE

L = LOW H = HIGH X = H or L

Not state to state

Random-Access Memories (RAMs)

CDM6116A

DC RATING, Absolute-Maximum Ratings

Supply-Voltage Range, (V<sub>DD</sub>):  
 (V<sub>DD</sub> referenced to V<sub>SS</sub> terminal) ..... -0.3 to +7 V

Input Voltage Range, All Inputs ..... -0.3 to +7 V

Input Current, Any One Input ..... ±10 mA

Power Dissipation per Package (P<sub>D</sub>):  
 (T<sub>A</sub> = -40° to +60° C (PACKAGE TYPE E) ..... 500 mW  
 (T<sub>A</sub> = +60° to +85° C (PACKAGE TYPE E) ..... Derate Linearly at 8 mW/°C to 300 mW  
 (T<sub>A</sub> = -40° to +85° C (PACKAGE TYPE D) ..... 500 mW

Power Dissipation per Output Transistor  
 (T<sub>A</sub> = FULL PACKAGE-TEMPERATURE RANGE (All Package Types) ..... 100 mW

Operating-Temperature Range (T<sub>A</sub>)  
 CDM6116A-2, CDM6116A-3 (PACKAGE TYPE E) ..... 0 to +70° C  
 CDM6116A-9 (PACKAGE TYPES D, E) ..... -40 to +85° C

Storage Temperature Range (T<sub>STG</sub>) ..... -55 to +125° C

Temperature (During Soldering):  
 (Distance 1/16 ± 1/32 in. (1.59 ± 0.79 mm) from case for 10 s max. .... +265° C

Operating Conditions at T<sub>A</sub> = 0 to +70° C; (CDM6116A-2, CDM6116A-3); T<sub>A</sub> = -40° to +85° C (CDM6116A-9)

For maximum reliability, operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS ALL TYPES		UNITS
	MIN.	MAX.	
Operating Voltage Range	4.5	5.5	
Input Voltage Range	V <sub>IH</sub>	V <sub>DD</sub> + 0.3	V
	V <sub>IL</sub>	0.8	
Signal Rise or Fall Time Δ	t <sub>r</sub> , t <sub>f</sub>	5	μs

Signal rise and fall times longer than the maximum value can cause loss of stored data in the selected mode.

DC ELECTRICAL CHARACTERISTICS at T<sub>A</sub> = 0 to +70° C (CDM6116A-2, CDM6116A-3);

-40° to +85° C (CDM6116A-9), V<sub>DD</sub> = 5 V ± 10%, Except as noted

CHARACTERISTIC	CONDITIONS	LIMITS									UNITS	
		CDM6116A-2			CDM6116A-3			CDM6116A-9				
		MIN.	TYP.*	MAX.	MIN.	TYP.*	MAX.	MIN.	TYP.*	MAX.		
Supply Device Current	I <sub>DD0</sub>	$\overline{CE} = V_{IH}$	—	0.6	2	—	0.6	2	—	0.3	2	mA
Supply Device Current	I <sub>DD1</sub>	$\overline{CE} = V_{DD} - 0.2 V$	—	1	30	—	1	50	—	1	100	μA
Output Voltage Level	V <sub>OL</sub> Max.	I <sub>OL</sub> = 2.1 mA	—	—	0.4	—	—	0.4	—	—	0.4	V
		I <sub>OL</sub> = 1 μA	—	0.1	—	—	0.1	—	—	0.1	—	
Output Voltage Level	V <sub>OH</sub> Min.	I <sub>OH</sub> = -1 mA	2.4	—	—	2.4	—	—	2.4	—	—	V
		I <sub>OH</sub> = -1 μA	—	V <sub>DD</sub> - 0.1	—	—	V <sub>DD</sub> - 0.1	—	—	V <sub>DD</sub> - 0.1	—	
Input Leakage Current	I <sub>IN</sub> Max.	V <sub>DD</sub> = 5.5 V V <sub>IN</sub> = 0 V to V <sub>DD</sub>	—	±0.1	±2	—	±0.1	±2	—	±0.1	±2	μA
Output Leakage Current	I <sub>OUT</sub>	$\overline{CE}$ or $\overline{OE} = V_{IH}$ V <sub>IO</sub> = 0 V to V <sub>DD</sub>	—	±0.5	±2	—	±0.5	±2	—	±0.5	±2	
Operating Device Current	I <sub>OPER</sub> *	V <sub>IN</sub> = V <sub>IL</sub> , V <sub>IH</sub>	—	20	35	—	20	35	—	28	40	mA
Input Capacitance	C <sub>IN</sub>	V <sub>IN</sub> = 0 V, f = 1 MHz, T <sub>A</sub> = 25° C	—	4	6	—	4	6	—	4	6	pF
Output Capacitance	C <sub>IO</sub>	V <sub>IO</sub> = 0 V, f = 1 MHz, T <sub>A</sub> = 25° C	—	6	8	—	6	8	—	6	8	

\*Values are for T<sub>A</sub> = 25° C and nominal V<sub>DD</sub>.

\*Outputs open circuited; cycle time = Min. t<sub>cycle</sub>, duty = 100%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**CDM6116A**

**SIGNAL DESCRIPTIONS**

- A0-A10 (Address Inputs):** These inputs must be stable prior to a write operation, but may change asynchronously during read operations.
- I/O1-I/O8:** 8-bit tristate data bus.
- $\overline{CE}$  (Chip Enable):** Powers down chip, disables Read and Write functions, and gates off address inputs.
- $\overline{OE}$  (Output Enable):** Enables tristate outputs if  $\overline{CE}$  is low and  $\overline{WE}$  is high.
- $\overline{WE}$  (Write Enable):** Enables Write function, if  $\overline{CE}$  is low.  $\overline{WE}$  will dominate if both  $\overline{WE}$  and  $\overline{OE}$  are low (i.e., the bus will be tristated and a Write will occur).
- $V_{DD}, V_{SS}$ :** Power supply connections.

**DYNAMIC ELECTRICAL CHARACTERISTICS** at  $T_A = 0$  to  $-70^\circ\text{C}$  (CDM6116A-2, CDM6116A-3);  
 $T_A = -40^\circ$  to  $+85^\circ\text{C}$  (CDM6116A-9),  $V_{DD} = 5\text{ V} \pm 10\%$ ,  
 Input  $t_r, t_f = 10\text{ ns}$ ;  $C_L = 100\text{ pF}$  and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS						UNITS
		CDM6116A-2		CDM6116A-3		CDM6116A-9		
		MIN. <sup>†</sup>	MAX.	MIN. <sup>†</sup>	MAX.	MIN. <sup>†</sup>	MAX.	
Read Cycle Times See Fig. 2								
Read Cycle Time	$t_{RC}$	200	—	150	—	250	—	ns
Address Access Time	$t_{AA}$	—	200	—	150	—	250	
Chip Enable Access Time	$t_{ACE}$	—	200	—	150	—	250	
Chip Enable to Output Active	$t_{CX}$	15	—	15	—	15	—	
Output Enable to Output Valid	$t_{OEV}$	—	120	—	60	—	150	
Output Enable to Output Active	$t_{OEX}$	15	—	15	—	15	—	
Chip Disable to Output "High Z"	$t_{CHZ}$	0	60	0	50	0	80	
Output Disable to Output "High Z"	$t_{OHZ}$	0	60	0	50	0	80	
Output Hold from Address Change	$t_{OH}$	15	—	15	—	15	—	

<sup>†</sup>Time required by a limit device to allow for the indicated function.

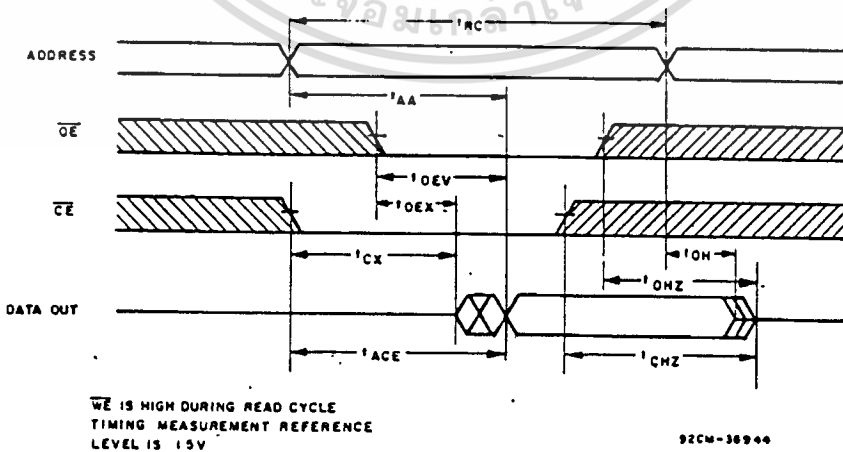


Fig. 2 - Read-cycle timing waveforms.

Random-Access Memories (RAMs)

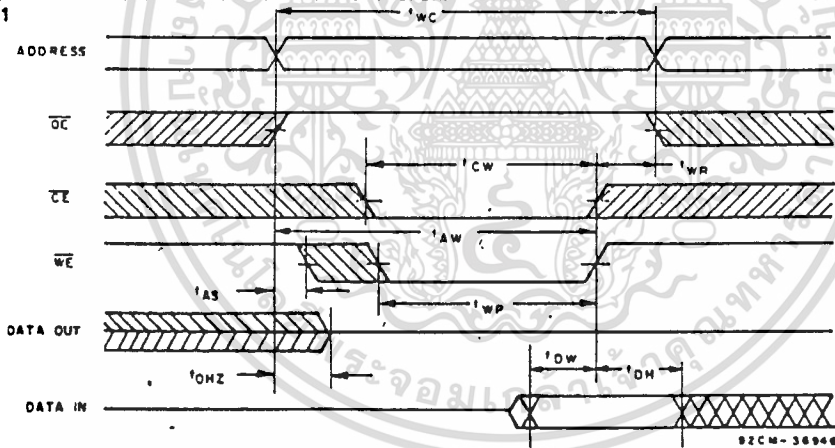
CDM6116A

DYNAMIC ELECTRICAL CHARACTERISTICS at  $T_A = 0$  to  $+70^\circ\text{C}$  (CDM6116A-2, CDM6116A-3);  
 $-40^\circ$  to  $+85^\circ\text{C}$  (CDM6116A-9),  $V_{DD} = 5\text{ V} \pm 10\%$ ,  
 $t_{PLH} = 10\text{ ns}$ ;  $C_L = 100\text{ pF}$  and 1 TTL Load, Input Pulse Levels: 0.8 V to 2.4 V

CHARACTERISTIC		LIMITS						UNITS
		CDM6116A-2		CDM6116A-3		CDM6116A-9		
		MIN. †	MAX.	MIN. †	MAX.	MIN. †	MAX.	
Write Cycle Times See Fig. 3								
Write Cycle Time	$t_{WC}$	200	—	150	—	250	—	ns
Chip Enable to End of WRITE	$t_{CW}$	160	—	90	—	200	—	
Address Valid to End of WRITE	$t_{AW}$	160	—	90	—	200	—	
Address Setup Time	$t_{AS}$	0	—	0	—	0	—	
Write Pulse Width	$t_{WP}$	160	—	90	—	200	—	
Write Recovery Time	$t_{WR}$	10	—	0	—	10	—	
Output Disable to Output "High Z"	$t_{OHZ}$	0	60	0	50	0	80	
Write to Output "High Z"	$t_{WHZ}$	0	60	0	40	0	80	
Output Data Setup Time	$t_{DW}$	80	—	50	—	100	—	
Output Data Hold Time	$t_{DH}$	10	—	5	—	10	—	
Output Active from End of Write	$t_{OW}$	10	—	10	—	10	—	

† as required by a limit device to allow for the indicated function.

WRITE CYCLE 1



WRITE CYCLE 2 - OE = LOW

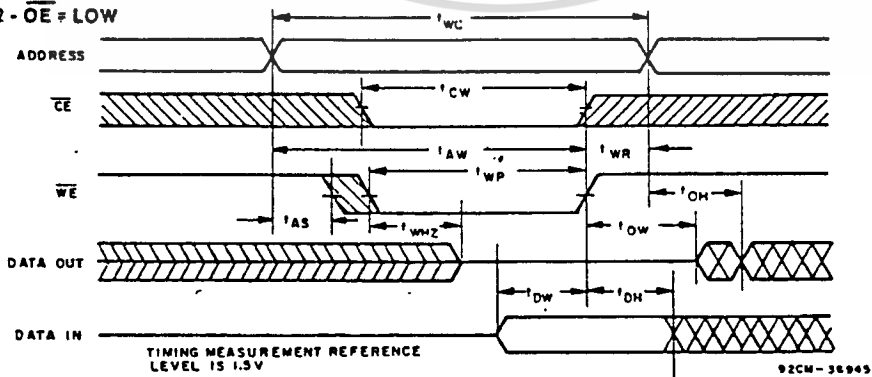


Fig. 3 - Write-cycle timing waveforms.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDM6116A

DATA RETENTION CHARACTERISTICS at  $T_A = 0$  to  $70^\circ\text{C}$  (CDM6116A-2, CDM6116A-3);  
 $T_A = -40$  to  $+65^\circ\text{C}$  (CDM6116A-9), Unless otherwise noted, See Fig. 4.

CHARACTERISTIC	TEST CONDITIONS	LIMITS		UNITS
		ALL TYPES		
		MIN.	MAX.	
Minimum Data Retention Voltage CDM6116A-2, CDM6116A-3, CDM6116A-9	$V_{DR}$ $T_A = 0$ to $70^\circ\text{C}$ $\overline{CE} \geq V_{DD} - 0.2\text{ V}$ $T_A = -40$ to $0^\circ\text{C}$ $\overline{CE} \geq V_{DD} - 0.2\text{ V}$	2	—	V
CDM6116A-9	$T_A = -40$ to $0^\circ\text{C}$ $\overline{CE} \geq V_{DD} - 0.2\text{ V}$	4.5	—	V
Data Retention Quiescent Current	$I_{DDDR}^*$			
CDM6116A-2	$V_{DD} = 3\text{ V}, \overline{CE} \geq 2.8\text{ V}$	—	15	$\mu\text{A}$
CDM6116A-3	$V_{DD} = 3\text{ V}, \overline{CE} \geq 2.8\text{ V}$	—	25	
CDM6116A-9	$V_{DD} = 3\text{ V}, \overline{CE} \geq 2.8\text{ V}$	—	50	
Chip Disable to Data Retention Time	$t_{CDR}$	See Fig. 4	0	ns
Recovery to Normal Operation Time	$t_R$	See Fig. 4	$t_{RC}$	ns

\* $I_{DDDR} = 7.5\ \mu\text{A}$  max. at  $T_A = 0^\circ$  to  $+40^\circ\text{C}$  for CDM6116A-2 and CDM6116A-3.  
 $t_{RC}$  = Read Cycle Time.

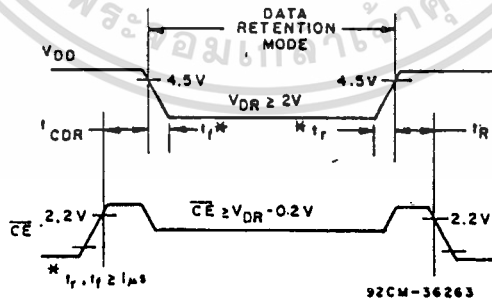


Fig. 4 - Low  $V_{DD}$  data retention timing waveforms.



## 8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Microprocessor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- Reduces System Package Count
- Improved DC Driving Capability
- Available in EXPRESS
  - Standard Temperature Range
  - Extended Temperature Range

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 16 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

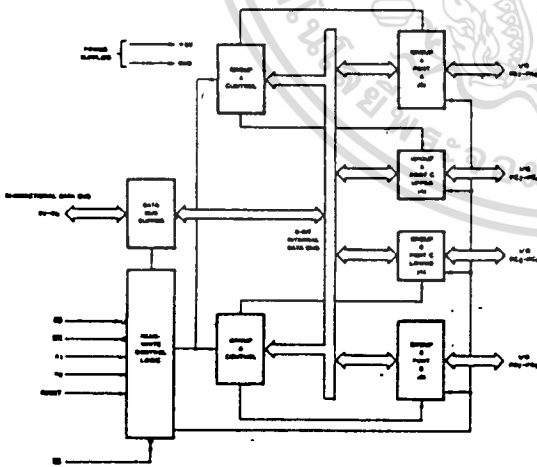


Figure 1. 8255A Block Diagram

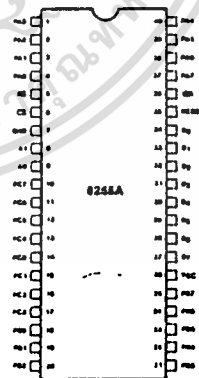


Figure 2. Pin Configuration

## 8255A FUNCTIONAL DESCRIPTION

### General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel<sup>™</sup> microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

### Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

### Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control buses and in turn, issues commands to both of the Control Groups.

### (CS)

Chip Select. A "low" on this input pin enables the communication between the 8255A and the CPU.

### (RD)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

### (WR)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

### (A<sub>0</sub> and A<sub>1</sub>)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A<sub>0</sub> and A<sub>1</sub>).

## 8255A BASIC OPERATION

A <sub>1</sub>	A <sub>0</sub>	RD	WR	CS	INPUT OPERATION (READ)
0	0	0	1	0	PORT A = DATA BUS
0	1	0	1	0	PORT B = DATA BUS
1	0	0	1	0	PORT C = DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS = PORT A
0	1	1	0	0	DATA BUS = PORT B
1	0	1	0	0	DATA BUS = PORT C
1	1	1	0	0	DATA BUS = CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS = 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS = 3-STATE

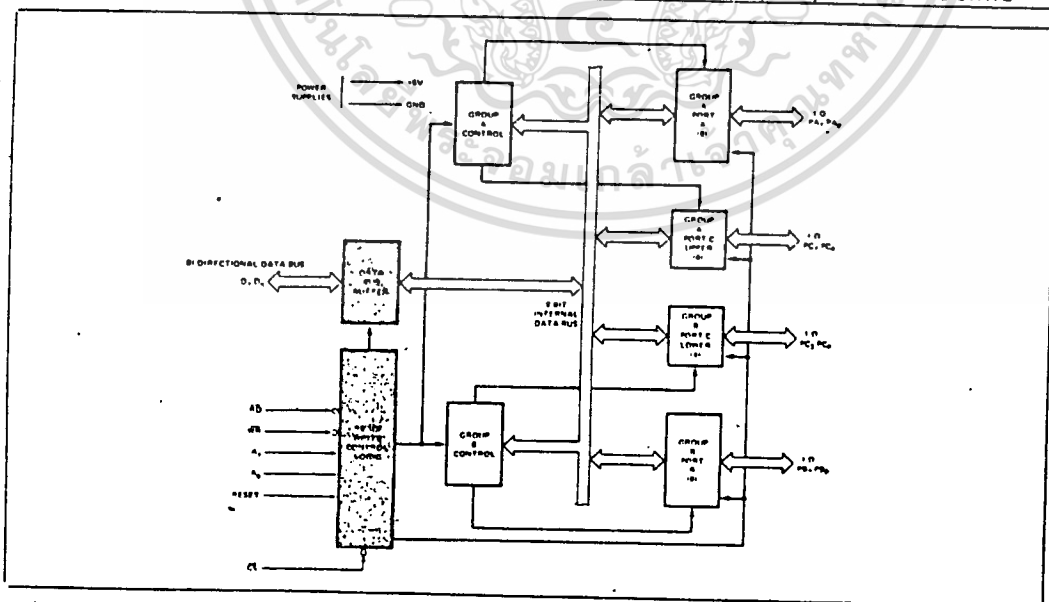


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

**(RESET) -**

**Reset.** A "high" on this input clears the control register and all ports (A, B, C) are set to the input mode.

**Group A and Group B Controls**

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A - Port A and Port C upper (C7-C4)

Control Group B - Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

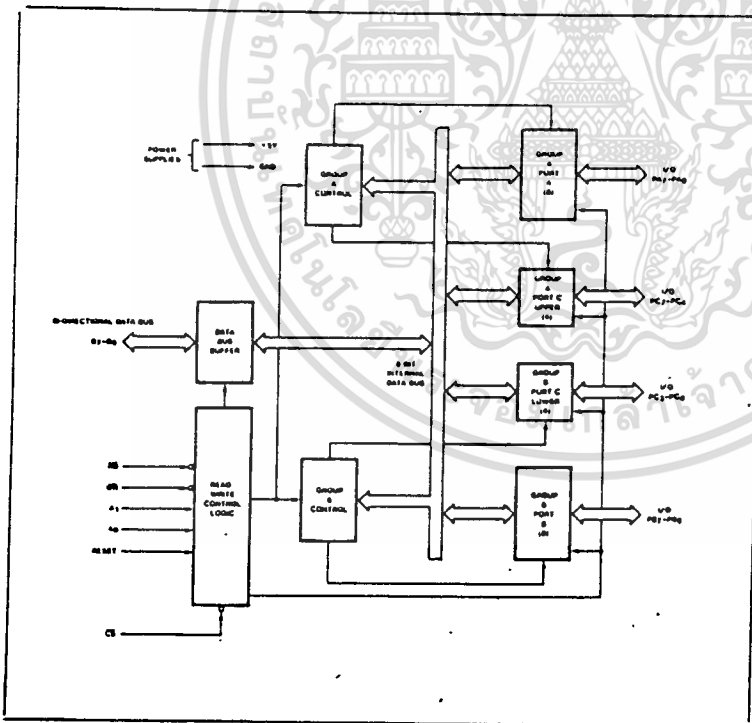
**Ports A, B, and C**

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

**Port A.** One 8-bit data output latch/buffer and one 8-bit data input latch.

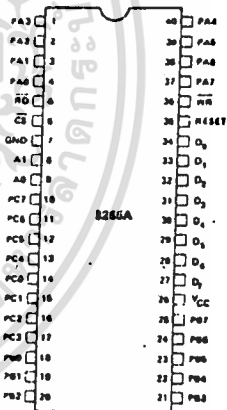
**Port B.** One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

**Port C.** One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.



**Figure 4. 8255A Block Diagram Showing Group A and Group B Control Functions**

**PIN CONFIGURATION**



**PIN NAMES**

D <sub>7</sub> , D <sub>6</sub>	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
CS	CHIP SELECT
RD	READ INPUT
WR	WRITE INPUT
A <sub>2</sub> , A <sub>1</sub>	PORT ADDRESS
PA <sub>7</sub> PA <sub>0</sub>	PORT A (8BIT)
PB <sub>7</sub> PB <sub>0</sub>	PORT B (8BIT)
PC <sub>7</sub> PC <sub>0</sub>	PORT C (8BIT)
V <sub>CC</sub>	+5 VOLTS
GND	0 VOLTS

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

- Mode 0 – Basic Input/Output
- Mode 1 – Strobed Input/Output
- Mode 2 – Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 0 to monitor a keyboard or tape reader on an interrupt-driven basis.

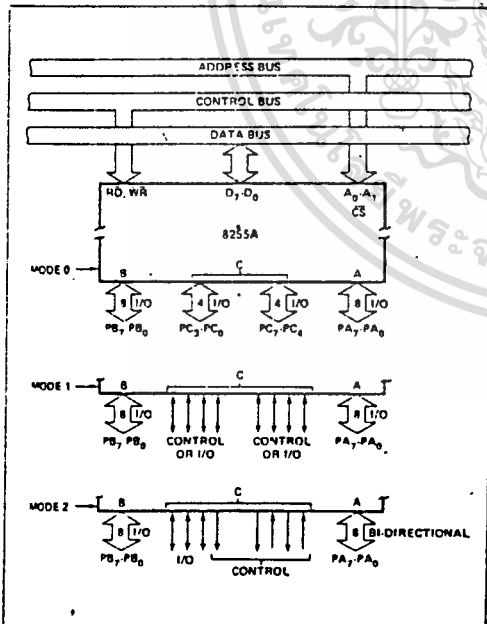


Figure 5. Basic Mode Definitions and Bus Interface

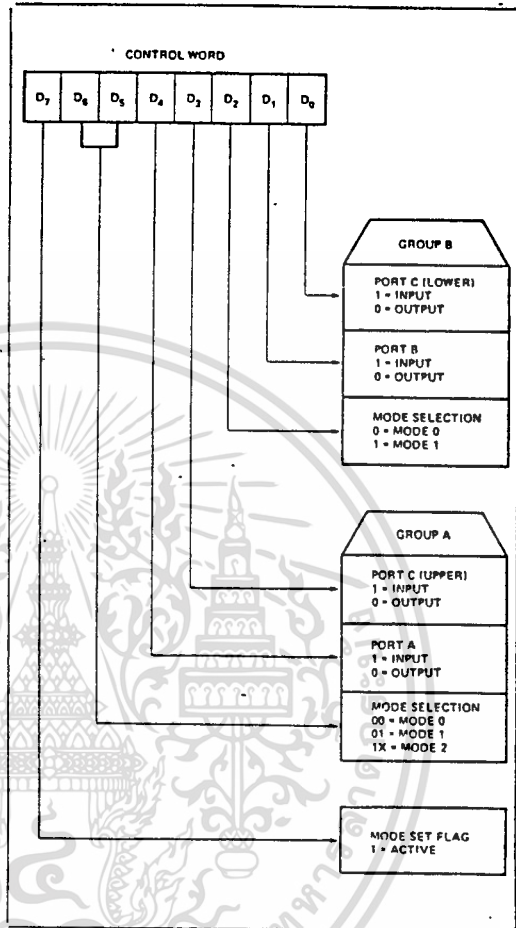


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTPUT instruction. This feature reduces software requirements in Control-based applications.

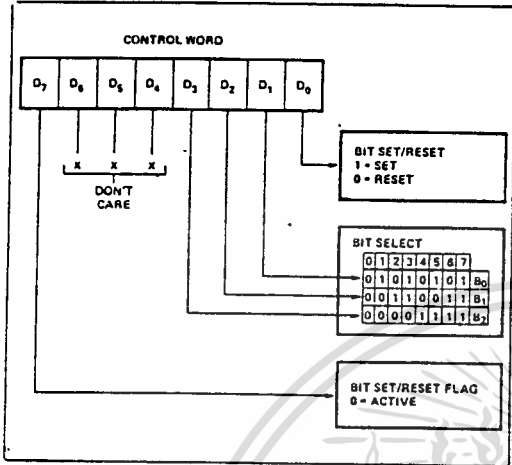


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

**Interrupt Control Functions**

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) – INTE is SET – Interrupt enable

(BIT-RESET) – INTE is RESET – Interrupt disable

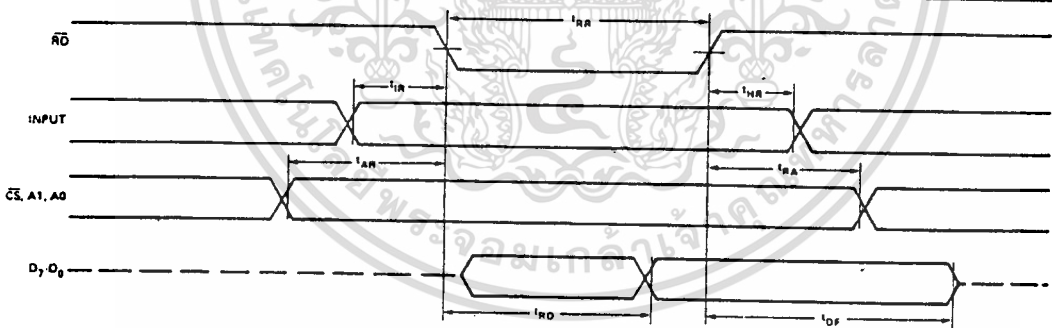
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

**Operating Modes**

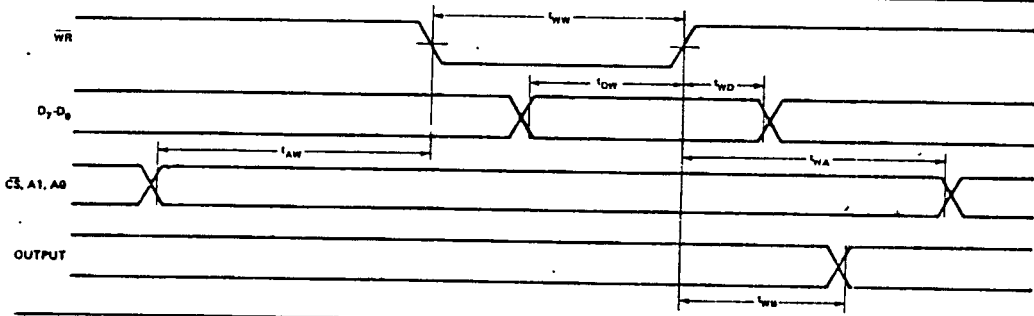
**MODE 0 (Basic Input/Output).** This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



**MODE 0 (Basic Input)**



**MODE 0 (Basic Output)**



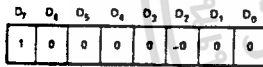
8255A/8255A-5

MODE 0 Port Definition

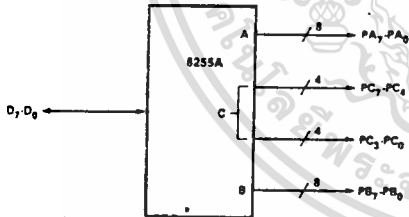
A		B		GROUP A			GROUP B	
D <sub>4</sub>	D <sub>3</sub>	D <sub>1</sub>	D <sub>0</sub>	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations

CONTROL WORD #0



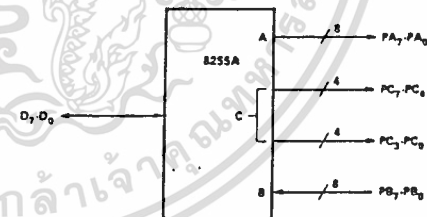
80H



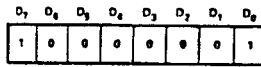
CONTROL WORD #2



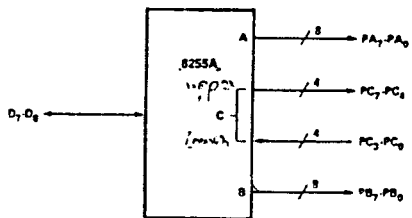
82H



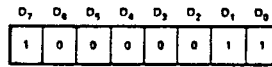
CONTROL WORD #1



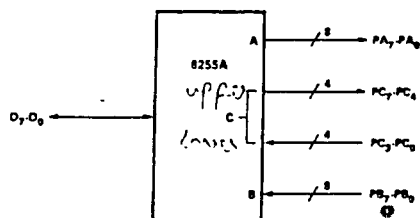
81H

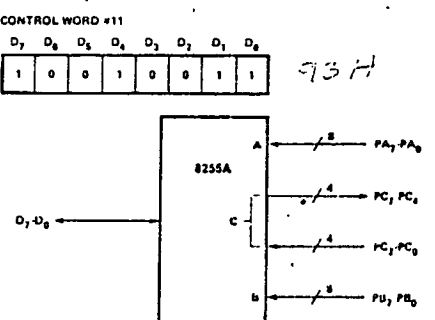
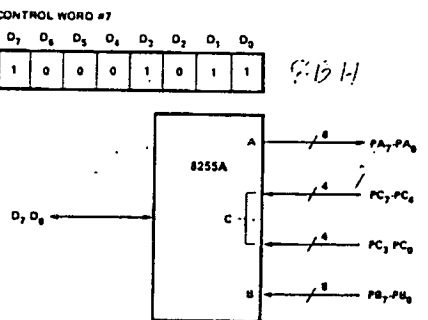
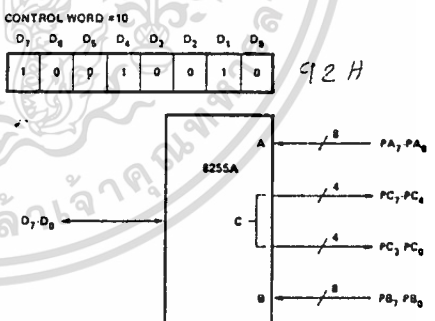
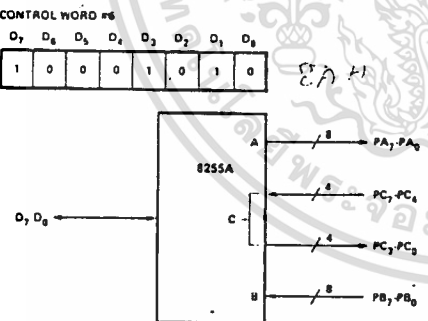
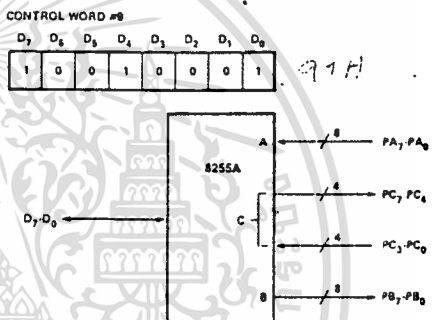
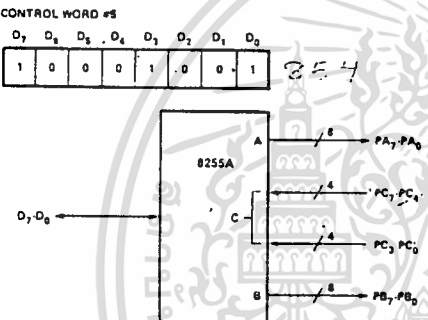
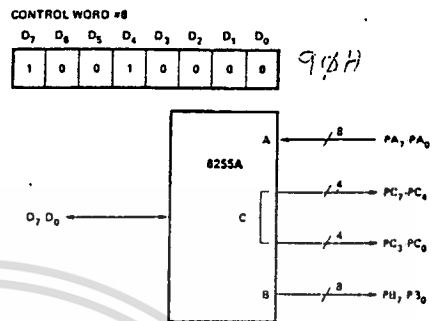
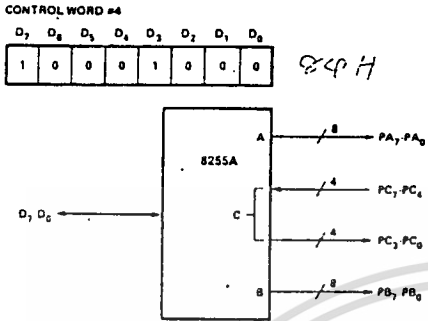


CONTROL WORD #3

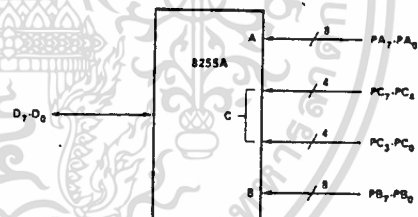
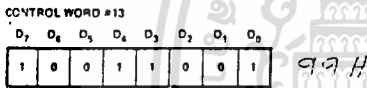
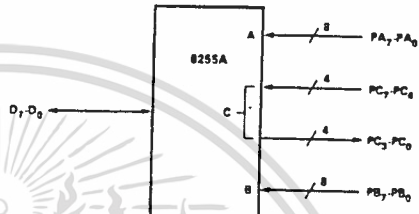
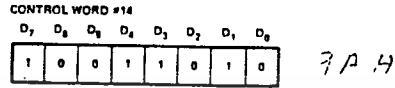
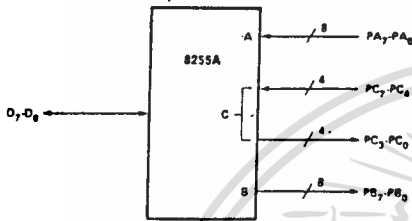
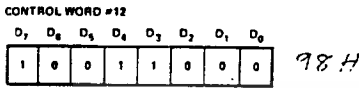


83H





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Operating Modes

**MODE 1 (Strobed Input/Output).** This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In mode 1, port A and Port B use the lines on port C to generate or accept these "handshaking" signals.

Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.

**Input Control Signal Definition**

**STB (Strobe Input).** A "low" on this input loads data into the input latch.

**IBF (Input Buffer Full F/F)**

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

**INTR (Interrupt Request)**

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the STB is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of RD. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

- INTE A  
Controlled by bit set/reset of PC<sub>4</sub>.
- INTE B  
Controlled by bit set/reset of PC<sub>2</sub>.

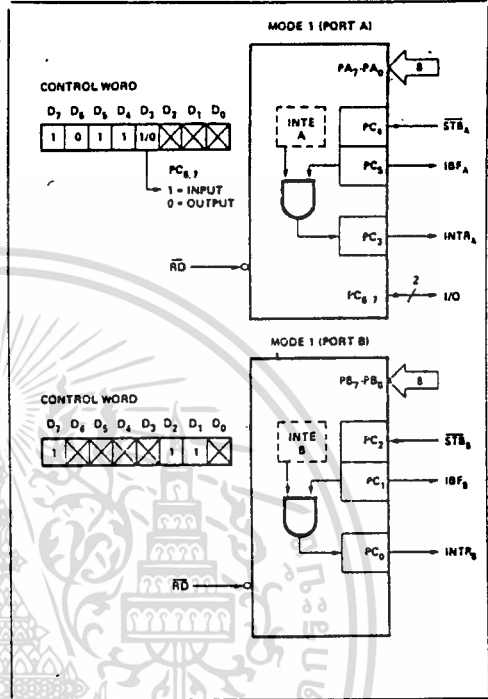


Figure 8. MODE 1 Input

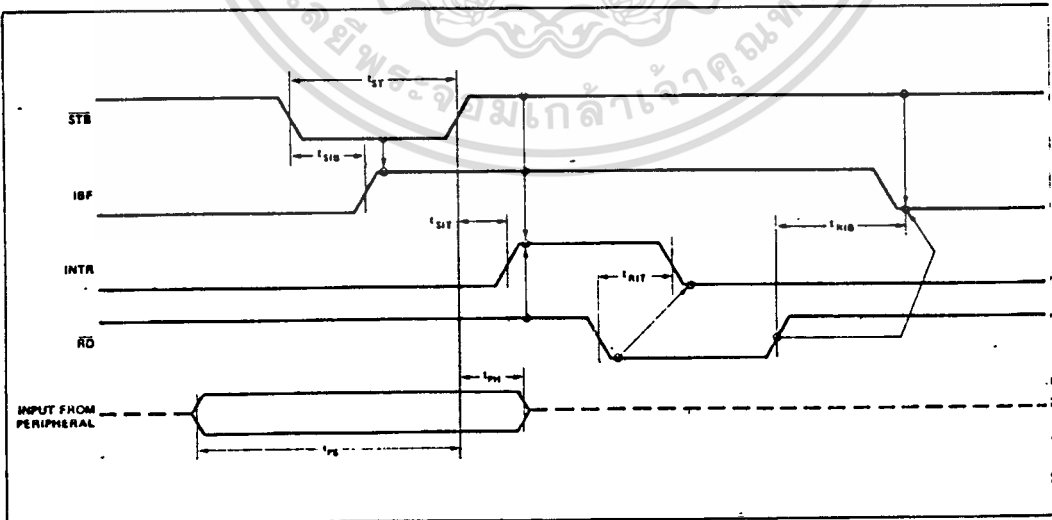


Figure 9. MODE 1 (Strobed Input)

**Output Control Signal Definition**

**$\overline{OBF}$  (Output Buffer Full F/F).** The  $\overline{OBF}$  output will go "low" to indicate that the CPU has written data out to the specified port. The  $\overline{OBF}$  F/F will be set by the rising edge of the WR input and reset by ACK input being low.

**ACK (Acknowledge Input).** A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by the CPU.

**INTR (Interrupt Request).** A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when ACK is a "one",  $\overline{OBF}$  is a "one", and INTE is a "one". It is reset by the falling edge of WR.

**INTE (Interrupt Request).** A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTE is set when ACK is a "one",  $\overline{OBF}$  is a "one", and INTE is a "one". It is reset by the falling edge of WR.

**INTE A**

Controlled by bit set/reset of PC<sub>6</sub>.

**INTE B**

Controlled by bit set/reset of PC<sub>2</sub>.

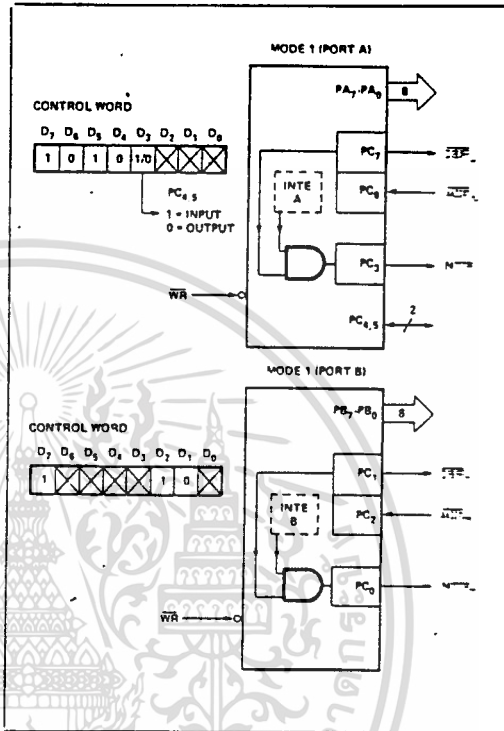


Figure 10. MODE 1 Output

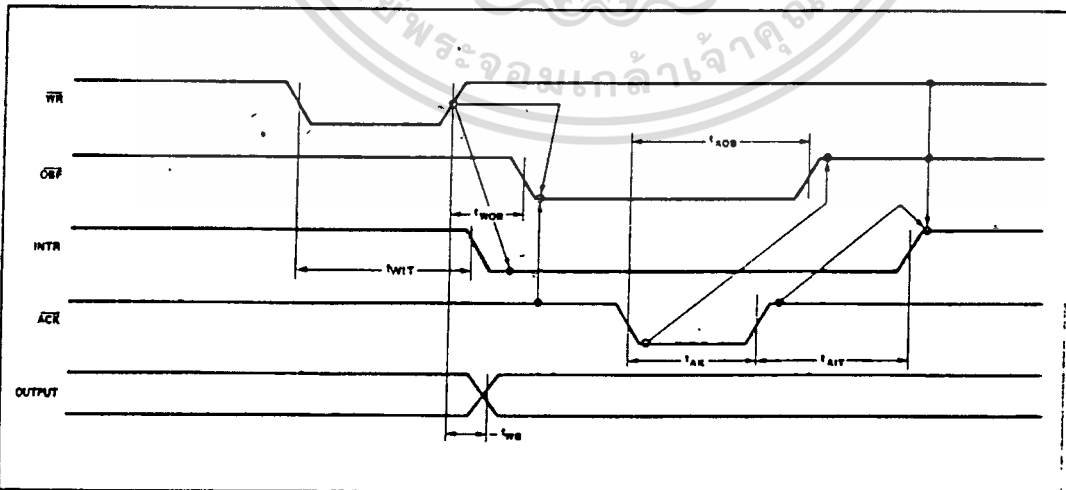


Figure 11. Mode 1 (Strobed Output)

**Combinations of MODE 1**

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.

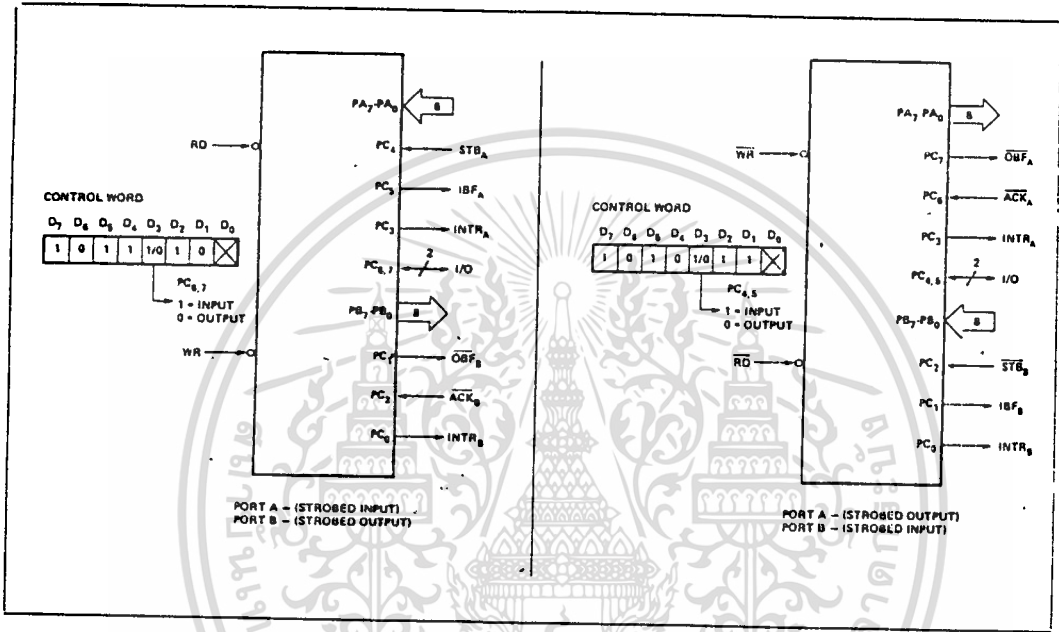


Figure 12. Combinations of MODE 1

**Operating Modes**

**MODE 2 (Strobed Bidirectional Bus I/O).** This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bidirectional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to MODE 1. Interrupt generation and enable/disable functions are also available.

**MODE 2 Basic Functional Definitions:**

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

**Bidirectional Bus I/O Control Signal Definition**

**INTR (Interrupt Request).** A high on this output can be used to interrupt the CPU for both input or output operations.

**Output Operations**

**OBF (Output Buffer Full).** The  $\overline{OBF}$  output will go "low" to indicate that the CPU has written data out to port A.

**ACK (Acknowledge).** A "low" on this input enables the tri-state output buffer of port A to send out the data. Otherwise, the output buffer will be in the high impedance state.

**INTE 1 (The INTE Flip-Flop Associated with OBF).** Controlled by bit set/reset of PC6.

**Input Operations**

**STB (Strobe Input).** A "low" on this input loads data into the input latch.

**IBF (Input Buffer Full F/F).** A "high" on this output indicates that data has been loaded into the input latch.

**INTE 2 (The INTE Flip-Flop Associated with IBF).** Controlled by bit set/reset of PC6.

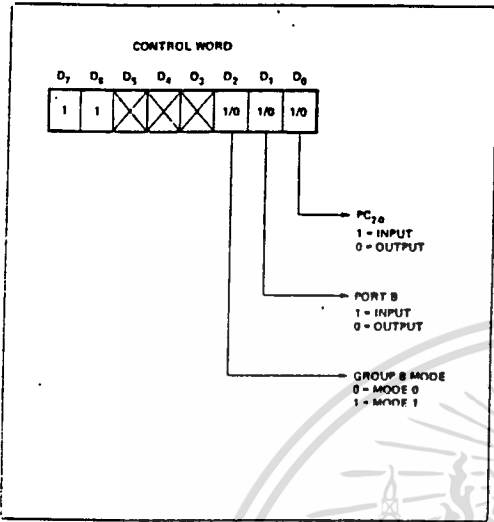


Figure 13. MODE Control Word

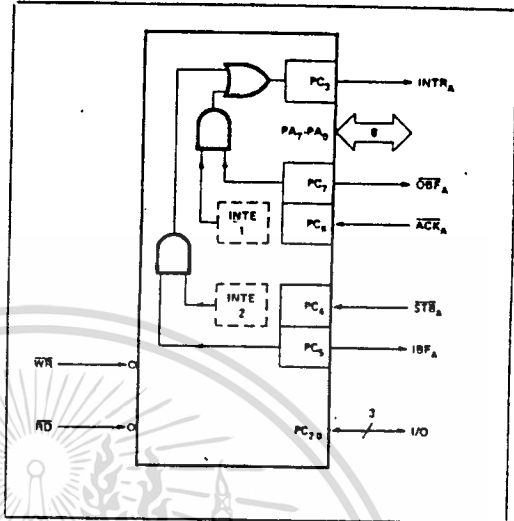


Figure 14. MODE 2

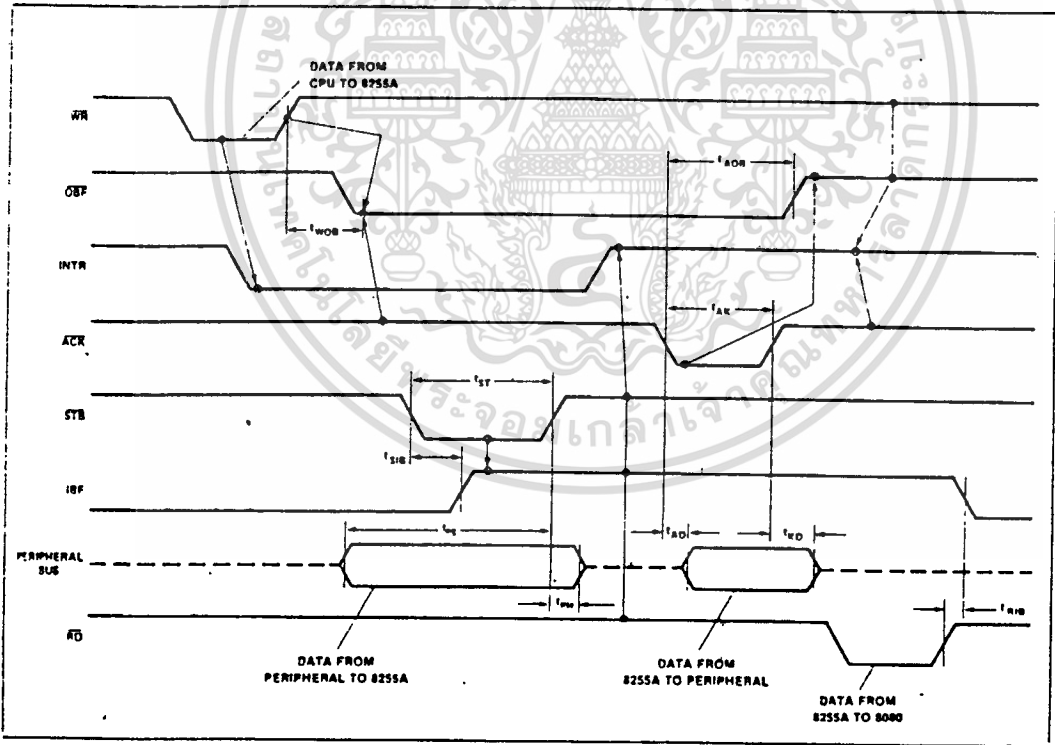


Figure 15. MODE 2 (Bidirectional)

NOTE: Any sequence where  $\overline{WR}$  occurs before  $\overline{ACK}$  and  $\overline{STB}$  occurs before  $\overline{RD}$  is permissible.  
 $(INTR = IBF \cdot MASK \cdot STB \cdot RD + OBF \cdot MASK \cdot ACK \cdot WR)$

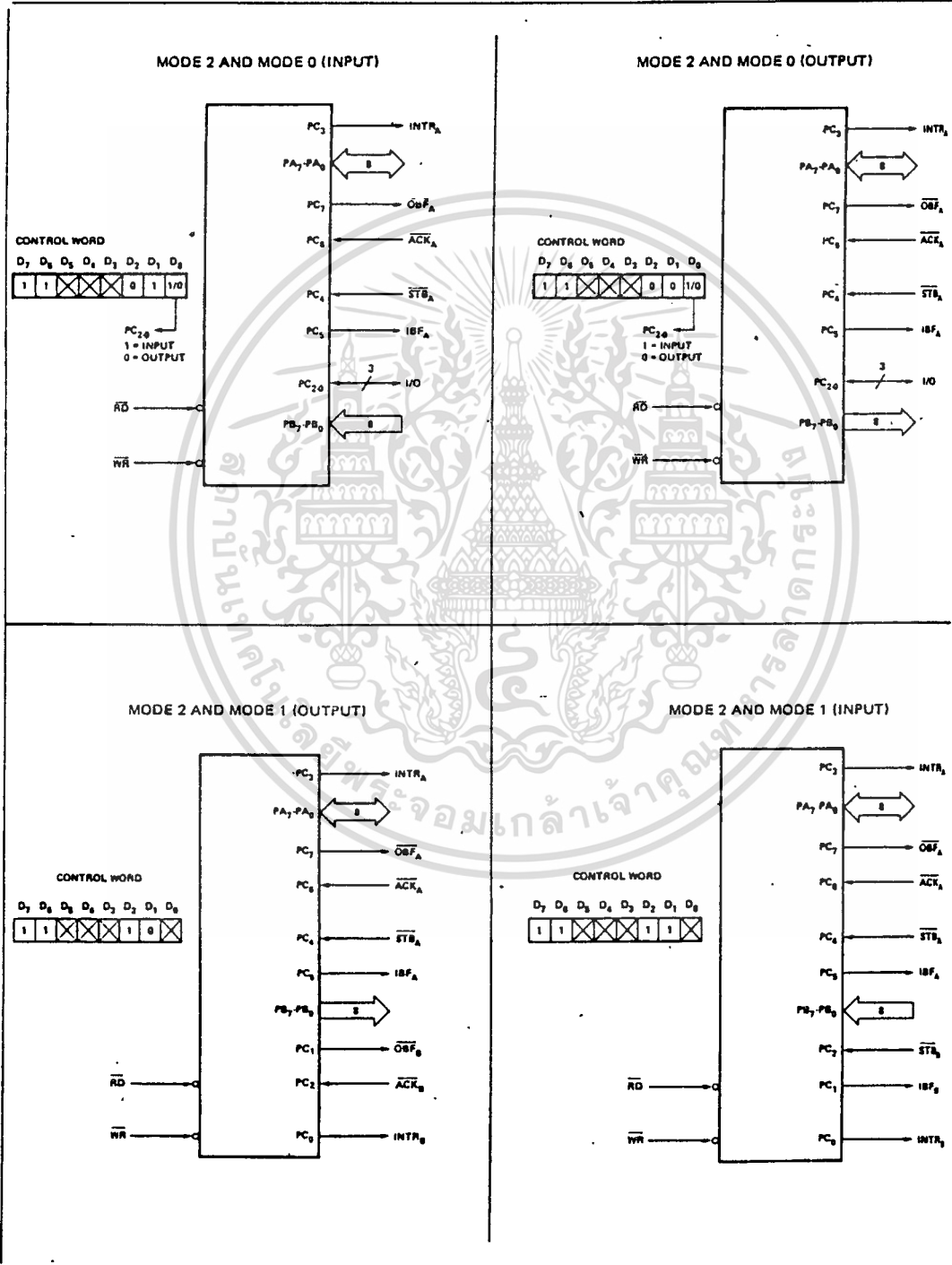


Figure 16. MODE 1/4 Combinations

Mode Definition Summary

	MODE 0		MODE 1		MODE 2 GROUP A ONLY
	IN	OUT	IN	OUT	
PA <sub>0</sub>	IN	OUT	IN	OUT	
PA <sub>1</sub>	IN	OUT	IN	OUT	
PA <sub>2</sub>	IN	OUT	IN	OUT	
PA <sub>3</sub>	IN	OUT	IN	OUT	
PA <sub>4</sub>	IN	OUT	IN	OUT	
PA <sub>5</sub>	IN	OUT	IN	OUT	
PA <sub>6</sub>	IN	OUT	IN	OUT	
PA <sub>7</sub>	IN	OUT	IN	OUT	
PB <sub>0</sub>	IN	OUT	IN	OUT	
PB <sub>1</sub>	IN	OUT	IN	OUT	
PB <sub>2</sub>	IN	OUT	IN	OUT	
PB <sub>3</sub>	IN	OUT	IN	OUT	
PB <sub>4</sub>	IN	OUT	IN	OUT	
PB <sub>5</sub>	IN	OUT	IN	OUT	
PB <sub>6</sub>	IN	OUT	IN	OUT	
PB <sub>7</sub>	IN	OUT	IN	OUT	
PC <sub>0</sub>	IN	OUT	INTR <sub>B</sub>	INTR <sub>B</sub>	
PC <sub>1</sub>	IN	OUT	IBF <sub>B</sub>	OBF <sub>B</sub>	
PC <sub>2</sub>	IN	OUT	STB <sub>B</sub>	ACK <sub>B</sub>	
PC <sub>3</sub>	IN	OUT	INTR <sub>A</sub>	INTR <sub>A</sub>	
PC <sub>4</sub>	IN	OUT	STB <sub>A</sub>	I/O	
PC <sub>5</sub>	IN	OUT	IBF <sub>A</sub>	I/O	
PC <sub>6</sub>	IN	OUT	I/O	ACK <sub>A</sub>	
PC <sub>7</sub>	IN	OUT	I/O	OBF <sub>A</sub>	

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs —

All input lines can be accessed during a normal Port C read.

If Programmed as Outputs —

Bits in C upper (PC<sub>7</sub>-PC<sub>4</sub>) must be individually accessed using the bit set/reset function.

Bits in C lower (PC<sub>3</sub>-PC<sub>0</sub>) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C

allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.

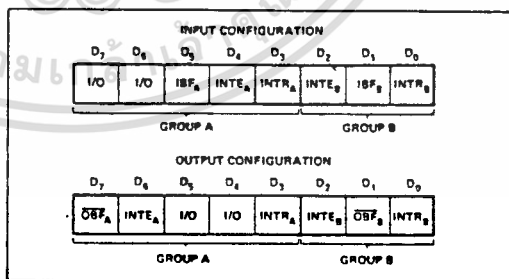


Figure 17. MODE 1 Status Word Format

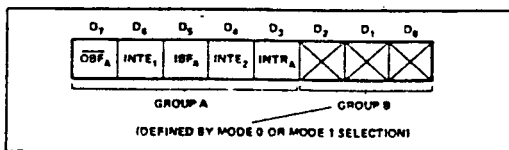
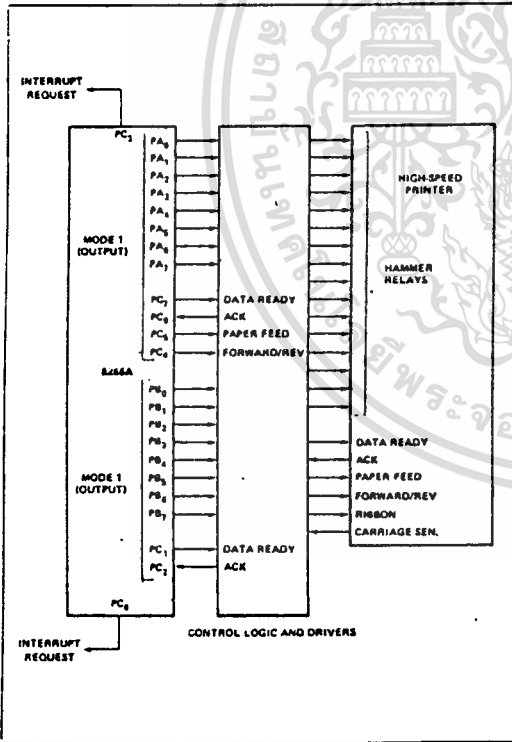


Figure 18. MODE 2 Status Word Format

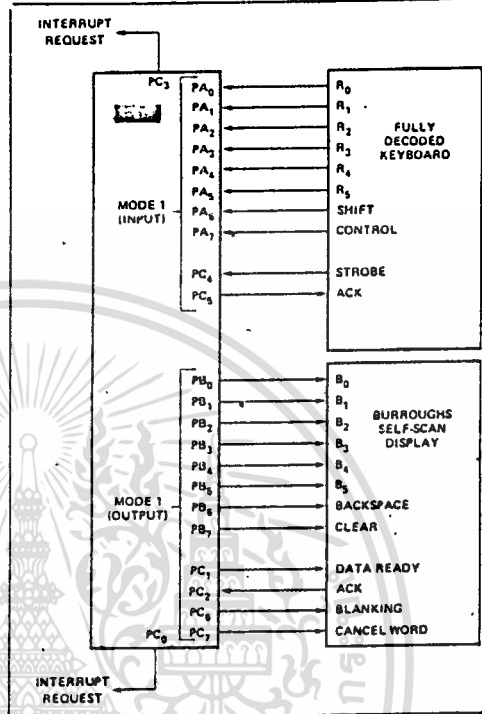
**APPLICATIONS OF THE 8255A**

The 8255A is a very powerful tool for interfacing peripheral equipment to the microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

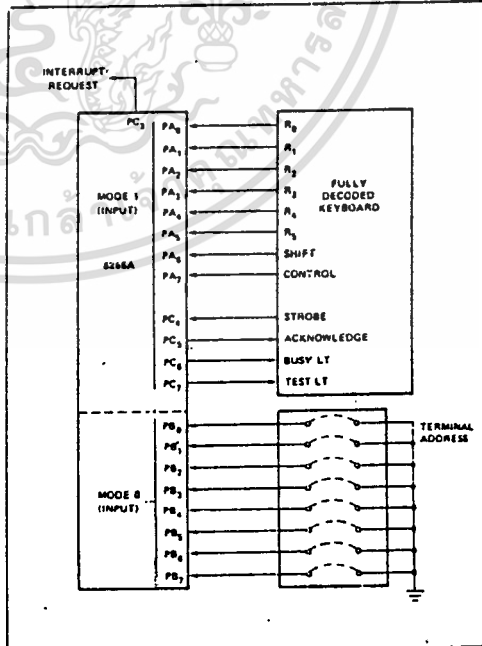
Each peripheral device in a microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255A is programmed by the I/O service routine and becomes an extension of the system software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the detailed operational description, a control word can easily be developed to initialize the 8255A to exactly "fit" the application. Figures 19 through 25 present a few examples of typical applications of the 8255A.



**Figure 19. Printer Interface**



**Figure 20. Keyboard and Display Interface**



**Figure 21. Keyboard and Terminal Address Interface**

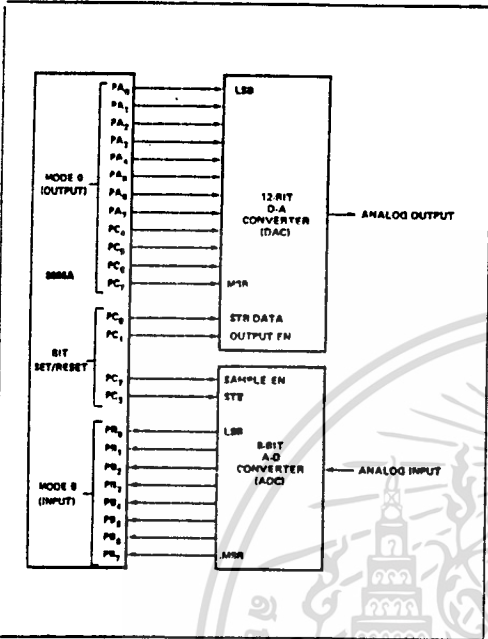


Figure 22. Digital to Analog, Analog to Digital

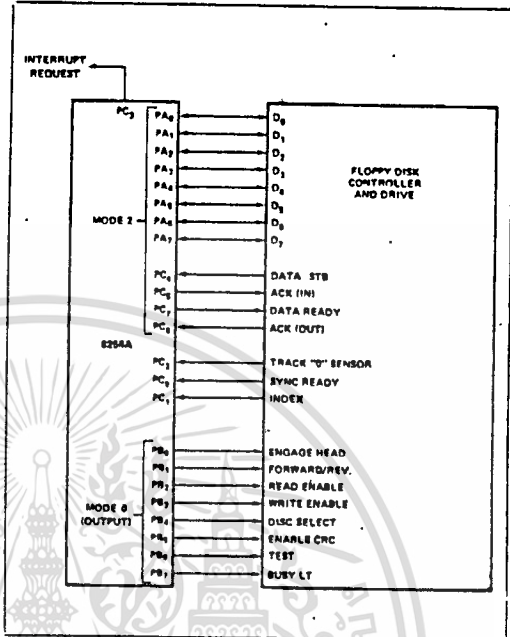


Figure 23. Basic Floppy Disk Interface

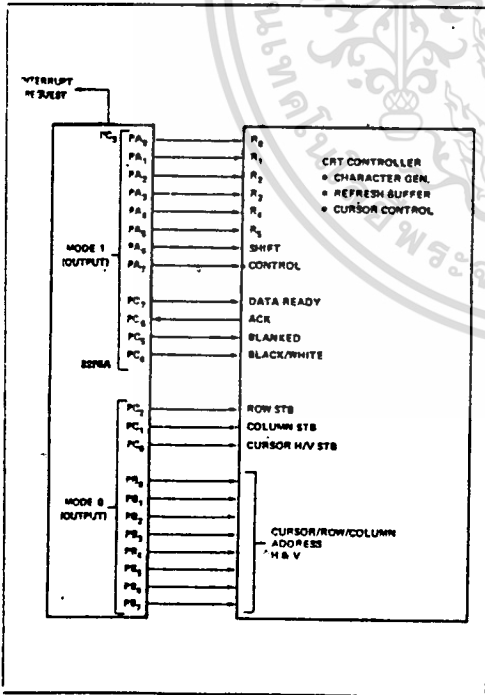


Figure 24. Basic CRT Controller Interface

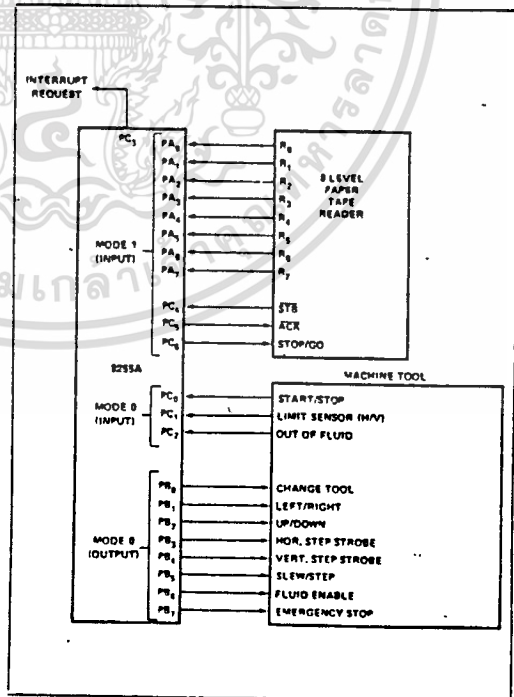


Figure 25. Machine Tool Controller Interface

**ABSOLUTE MAXIMUM RATINGS\***

Ambient Temperature Under Bias. . . . . 0°C to 70°C  
 Storage Temperature . . . . . -65°C to +150°C  
 Voltage on Any Pin  
 With Respect to Ground. . . . . -0.5V to +7V  
 Power Dissipation . . . . . 1 Watt

\*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

**D.C. CHARACTERISTICS** ( $T_A = 0^\circ\text{C}$  to  $70^\circ\text{C}$ ,  $V_{CC} = +5V \pm 10\%$ ,  $GND = 0V$ ) \*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
$V_{IL}$	Input Low Voltage	-0.5	0.8	V	
$V_{IH}$	Input High Voltage	2.0	$V_{CC}$	V	
$V_{OL}(DB)$	Output Low Voltage (Data Bus)		0.45*	V	$I_{OL} = 2.5\text{mA}$
$V_{OL}(PER)$	Output Low Voltage (Peripheral Port)		0.45*	V	$I_{OL} = 1.7\text{mA}$
$V_{OH}(DB)$	Output High Voltage (Data Bus)	2.4		V	$I_{OH} = -400\mu\text{A}$
$V_{OH}(PER)$	Output High Voltage (Peripheral Port)	2.4		V	$I_{OH} = -200\mu\text{A}$
$I_{DAR}^{(1)}$	Darlington Drive Current	-1.0	-4.0	mA	$R_{EXT} = 750\Omega$ ; $V_{EXT} = 1.5V$
$I_{CC}$	Power Supply Current		120	mA	
$I_{IL}$	Input Load Current		$\pm 10$	$\mu\text{A}$	$V_{IN} = V_{CC}$ to 0V
$I_{OFL}$	Output Float Leakage		$\pm 10$	$\mu\text{A}$	$V_{OUT} = V_{CC}$ to .45V

**NOTE:**

1. Available on any 8 pins from Port B and C.

**CAPACITANCE** ( $T_A = 25^\circ\text{C}$ ,  $V_{CC} = GND = 0V$ )

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
$C_{IN}$	Input Capacitance			10	$\mu\text{F}$	$f_c = 1\text{MHz}$
$C_{I/O}$	I/O Capacitance			20	$\mu\text{F}$	Unmeasured pins returned to GND

**A.C. CHARACTERISTICS** ( $T_A = 0^\circ\text{C}$  to  $70^\circ\text{C}$ ,  $V_{CC} = +5V \pm 10\%$ ,  $GND = 0V$ ) \***Bus Parameters****READ**

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
$t_{AR}$	Address Stable Before READ	0		0		ns
$t_{RA}$	Address Stable After READ	0		0		ns
$t_{RR}$	READ Pulse Width	300		300		ns
$t_{RD}$	Data Valid From READ <sup>(1)</sup>		250		200	ns
$t_{DF}$	Data Float After READ	10	150	10	100	ns
$t_{RV}$	Time Between READs and/or WRITEs	850		850		ns



# 8255A/8255A-5

## A.C. CHARACTERISTICS (Continued)

### WRITE

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t <sub>AW</sub>	Address Stable Before WRITE	0		0		ns
t <sub>WA</sub>	Address Stable After WRITE	20		20		ns
t <sub>WW</sub>	WRITE Pulse Width	400		300		ns
t <sub>DW</sub>	Data Valid to WRITE (T.E.)	100		100		ns
t <sub>WD</sub>	Data Valid After WRITE	30		30		ns

### READ TIMINGS

Symbol	Parameter	8255A		8255A-5		Unit
		Min.	Max.	Min.	Max.	
t <sub>WB</sub>	WR = 1 to Output <sup>1)</sup>		350		350	ns
t <sub>BR</sub>	Peripheral Data Before RD	0		0		ns
t <sub>HR</sub>	Peripheral Data After RD	0		0		ns
t <sub>AK</sub>	ACK Pulse Width	300		300		ns
t <sub>ST</sub>	STB Pulse Width	500		500		ns
t <sub>PS</sub>	Per. Data Before T.E. of STB	0		0		ns
t <sub>PH</sub>	Per. Data After T.E. of STB	180		180		ns
t <sub>AD</sub>	ACK = 0 to Output <sup>1)</sup>		300		300	ns
t <sub>KD</sub>	ACK = 1 to Output Float	20	250	20	250	ns
t <sub>WOB</sub>	WR = 1 to OBF = 0 <sup>1)</sup>		650		650	ns
t <sub>AOB</sub>	ACK = 0 to OBF = 1 <sup>1)</sup>		350		350	ns
t <sub>SIB</sub>	STB = 0 to IBF = 1 <sup>1)</sup>		300		300	ns
t <sub>RIB</sub>	RD = 1 to IBF = 0 <sup>1)</sup>		300		300	ns
t <sub>RIT</sub>	RD = 0 to INTR = 0 <sup>1)</sup>		400		400	ns
t <sub>SIT</sub>	STB = 1 to INTR = 1 <sup>1)</sup>		300		300	ns
t <sub>AIT</sub>	ACK = 1 to INTR = 1 <sup>1)</sup>		350		350	ns
t <sub>WIT</sub>	WR = 0 to INTR = 0 <sup>1),3)</sup>		450		450	ns

9:

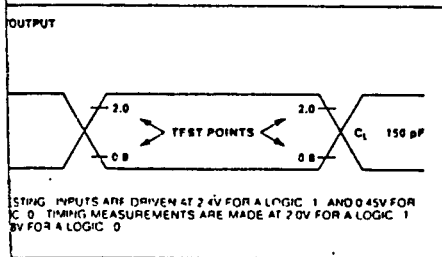
Conditions: C<sub>L</sub> = 150 pF.

Width of Reset pulse must be at least 50µs during or after power on. Subsequent Reset pulse can be 500 ns min.

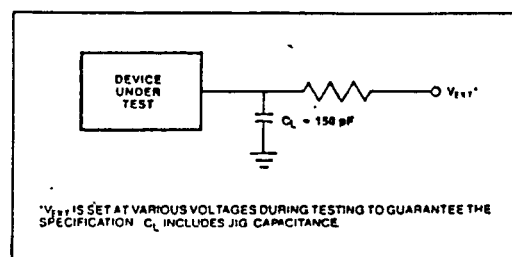
1) may occur as early as WR.

Extended Temperature EXPRESS, use M8255A electrical parameters.

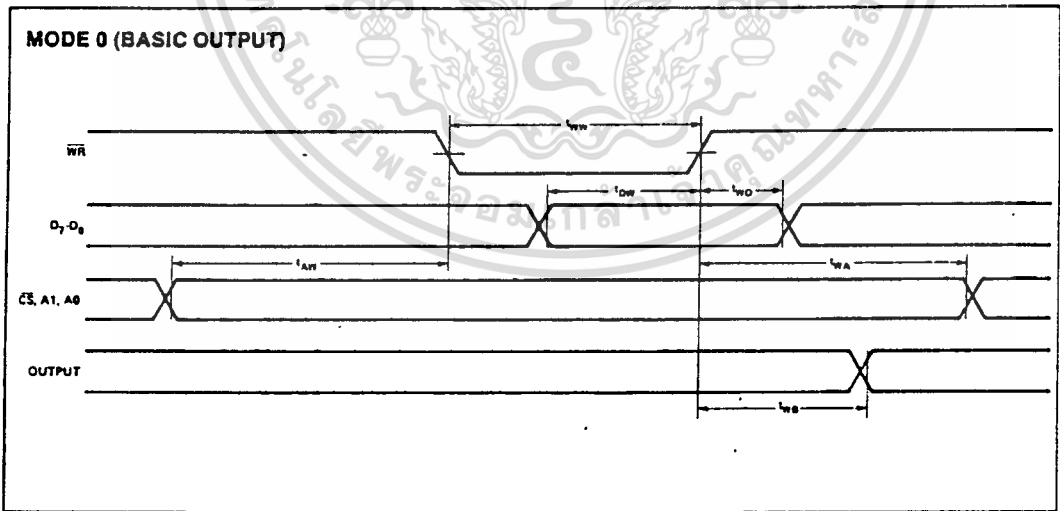
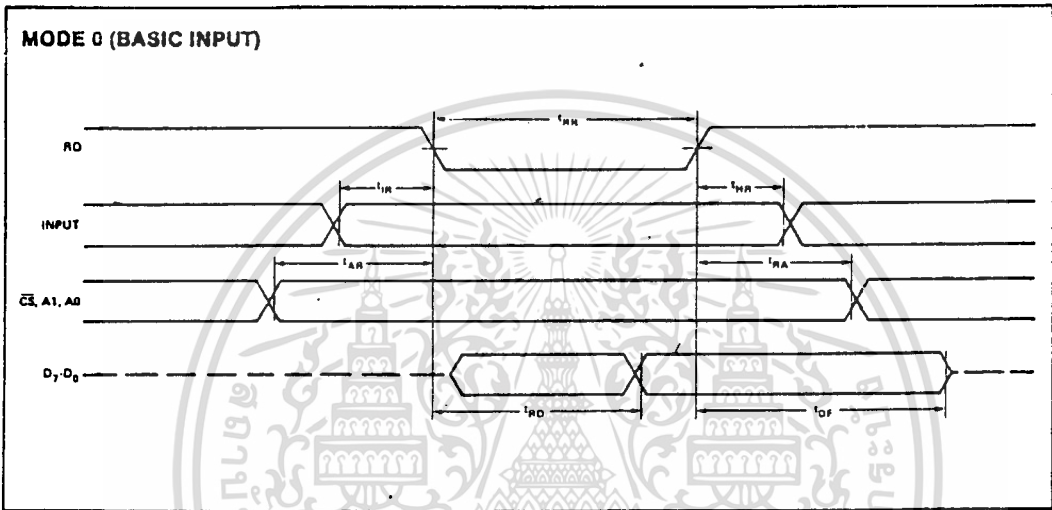
### TESTING INPUT, OUTPUT WAVEFORM



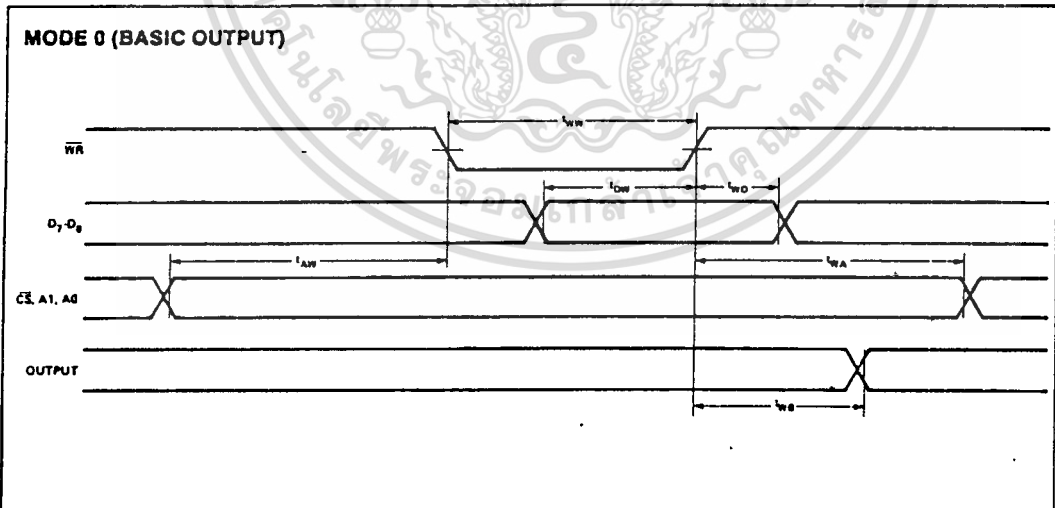
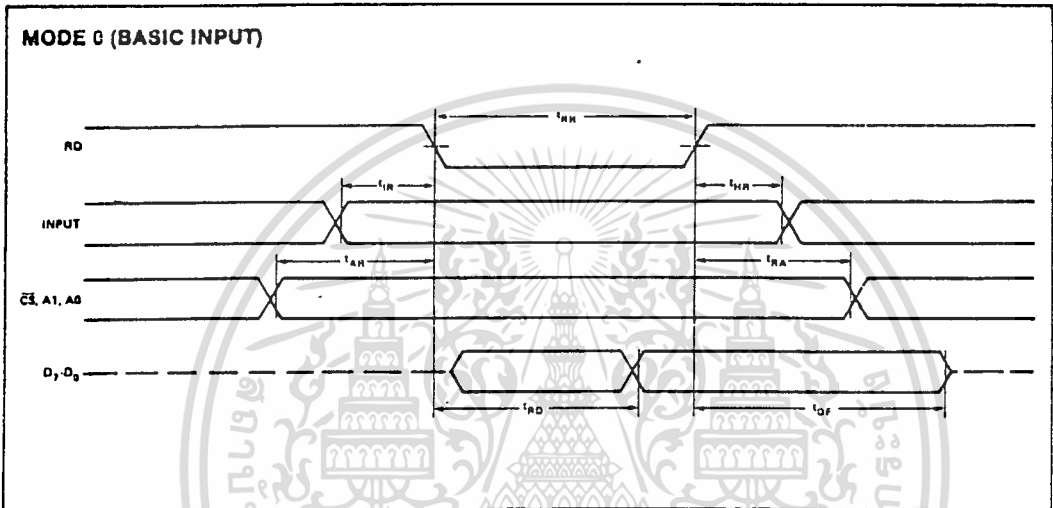
### A.C. TESTING LOAD CIRCUIT



WAVEFORMS



WAVEFORMS

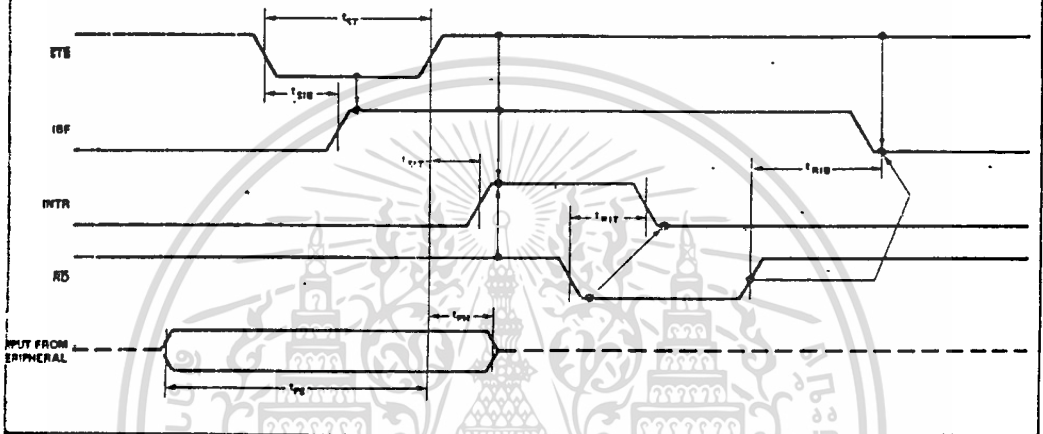




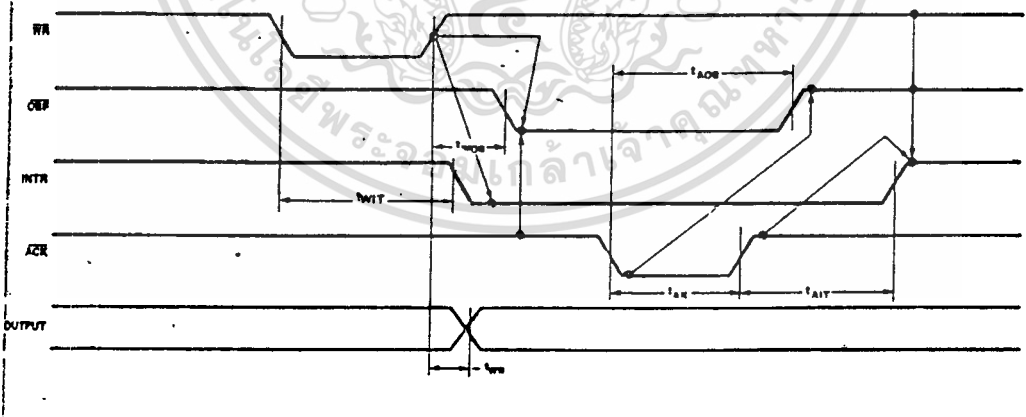
8255A/8255A-5

WAVEFORMS (Continued)

MODE 1 (STROBED INPUT)

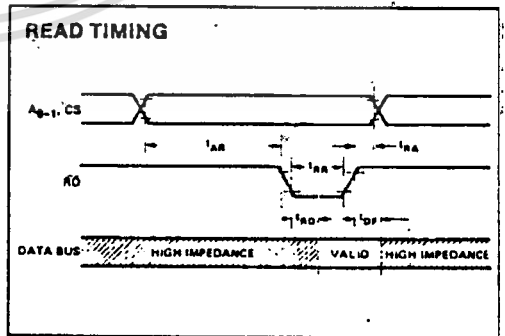
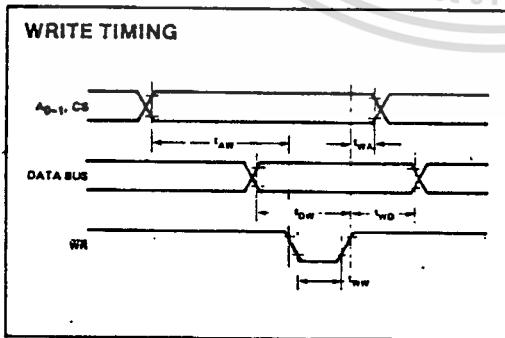
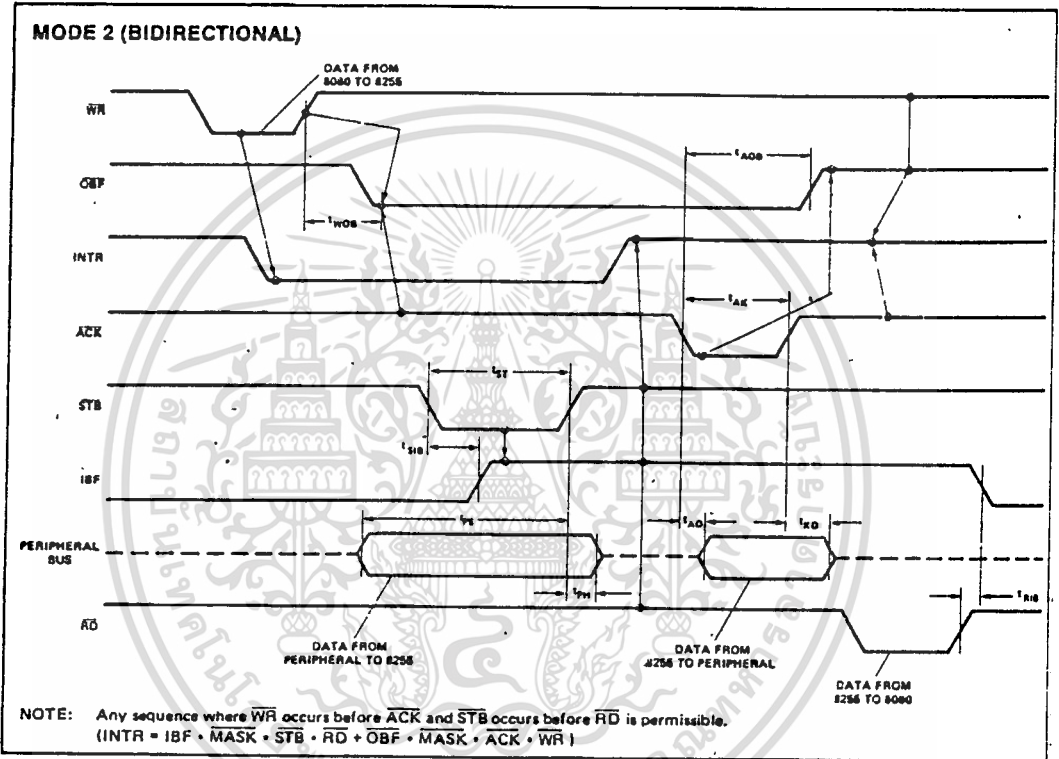


MODE 1 (STROBED OUTPUT)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

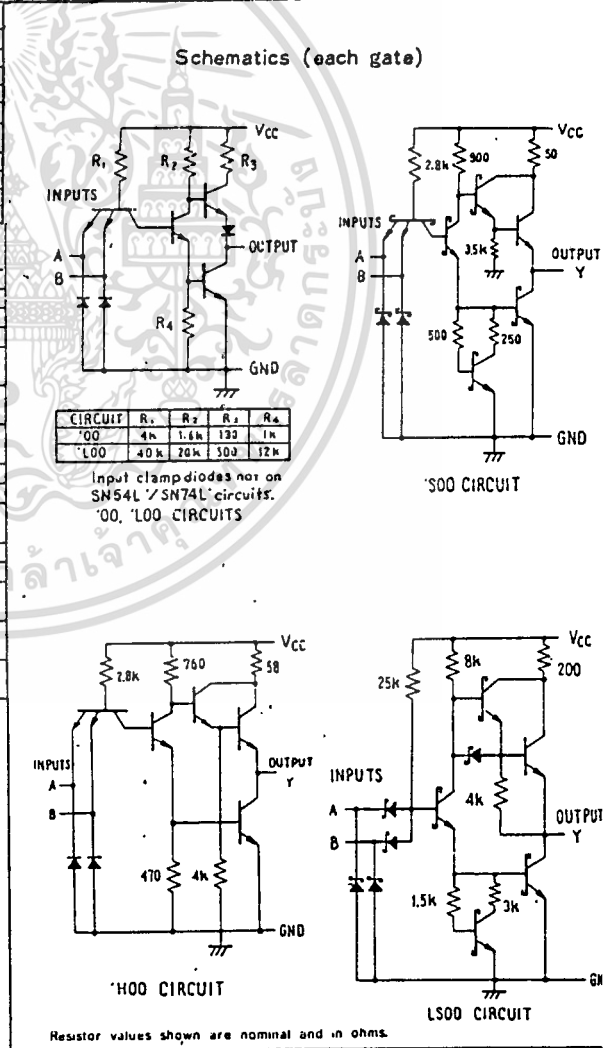
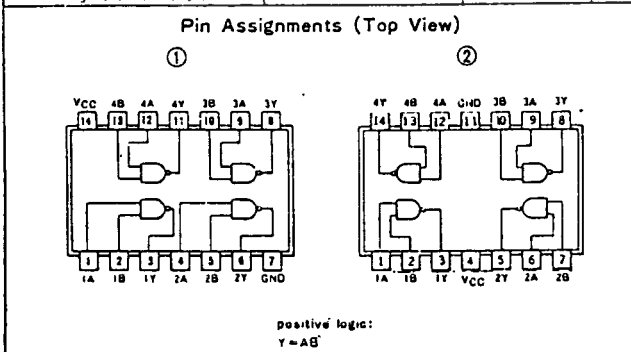
WAVEFORMS (Continued)



## 5400/7400 Quadruple 2-Input Positive-NAND Gate

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL								
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package						
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF					
<b>T. I.</b>	SN54S00	J	L	N	W1	SN54H00	J	L	N	W1	SN54LS00	J	L	N	W1	SN5400	J	L	N	W2	SN54L00	J	L	N	W2
<b>FAIRCHILD</b>	FM54S00	J	L	N	W1	FM54H00	J	L	N	W1	FM54LS00	J	L	N	W1	FM5400	J	L	N	W2	FM54L00	J	L	N	W2
<b>MOTOROLA</b>	MC54S00	J	L	N	W1	MC54H00	J	L	N	W1	MC54LS00	J	L	N	W1	MC5400	J	L	N	W2	MC54L00	J	L	N	W2
<b>N. S. C.</b>	DM74S00	J	L	N	W1	DM74H00	J	L	N	W1	DM74LS00	J	L	N	W1	DM7400	J	L	N	W2	DM74L00	J	L	N	W2
<b>PHILIPS</b>	N74S00	J	L	N	W1	N74H00	J	L	N	W1	N74LS00	J	L	N	W1	N7400	J	L	N	W2	N74L00	J	L	N	W2
<b>SIGNETICS</b>	S54S00	J	L	N	W1	S54H00	J	L	N	W1	S54LS00	J	L	N	W1	S5400	J	L	N	W2	S54L00	J	L	N	W2
<b>SIEMENS</b>	74S00	J	L	N	W1	74H00	J	L	N	W1	74LS00	J	L	N	W1	7400	J	L	N	W2	74L00	J	L	N	W2
<b>FUJITSU</b>	M54S00	J	L	N	W1	M54H00	J	L	N	W1	M54LS00	J	L	N	W1	M5400	J	L	N	W2	M54L00	J	L	N	W2
<b>HITACHI</b>	HD74S00	J	L	N	W1	HD74H00	J	L	N	W1	HD74LS00	J	L	N	W1	HD7400	J	L	N	W2	HD74L00	J	L	N	W2
<b>MITSUBISHI</b>	M55000	J	L	N	W1	M55000	J	L	N	W1	M55000	J	L	N	W1	M55000	J	L	N	W2	M55000	J	L	N	W2
<b>NEC</b>	μPB2500	J	L	N	W1	μPB2500	J	L	N	W1	μPB2500	J	L	N	W1	μPB2500	J	L	N	W2	μPB2500	J	L	N	W2
<b>TOSHIBA</b>	74S00	J	L	N	W1	74H00	J	L	N	W1	74LS00	J	L	N	W1	7400	J	L	N	W2	74L00	J	L	N	W2

Electrical Characteristics SN54LS00/SN74LS00						
absolute maximum ratings over operating free-air temperature range						
Supply voltage, V <sub>CC</sub>	7V	Operating free-air temperature range	SN54LS			
Input voltage	7V		SN74LS			
Input current	5 mA	Storage temperature range	-55°C to 150°C			
recommended operating conditions						
		SN54LS00		SN74LS00		UNIT
Supply voltage, V <sub>CC</sub>	MIN	NOM	MAX	MIN	NOM	MAX
	4.5	5	5.5	4.75	5	5.25
High-level output current, I <sub>OH</sub>			-400			-400
Low-level output current, I <sub>OL</sub>			1			1
Operating free-air temperature, T <sub>a</sub>		-55	125		0	10
						°C
electrical characteristics over recommended operating free-air temperature range						
PARAMETER	TEST CONDITIONS †		MIN	TYP ‡	MAX	UNIT
V <sub>IH</sub>	High-level input voltage			2		V
V <sub>IL</sub>	Low-level input voltage				0.8	V
V <sub>I</sub>	Input clamp voltage		V <sub>CC</sub> = MIN, I <sub>I</sub> = -18 mA		-1.5	V
V <sub>OH</sub>	High-level output voltage		V <sub>CC</sub> = MIN, I <sub>OH</sub> = MAX	2.7	3.4	V
V <sub>OL</sub>	Low-level output voltage		V <sub>CC</sub> = MIN, I <sub>OL</sub> = 4 mA	0.2	0.4	V
I <sub>I</sub>	Input current at maximum input voltage		V <sub>CC</sub> = MAX, V <sub>I</sub> = 7V		0.1	mA
I <sub>IH</sub>	High-level input current		V <sub>CC</sub> = MAX, V <sub>IH</sub> = 2.7V		20	μA
I <sub>IL</sub>	Low-level input current		V <sub>CC</sub> = MAX, V <sub>IL</sub> = 0.4V		-0.4	mA
I <sub>OS</sub>	Short-circuit output current †		V <sub>CC</sub> = MAX	54LS Family	-20	-100
				74LS Family	-14	-100
I <sub>CCH</sub>	Supply current		V <sub>CC</sub> = MAX	Total, all inputs high	4	8
I <sub>COL</sub>	Supply current		V <sub>CC</sub> = MAX	Total, all inputs low	12	22
I <sub>CC</sub>	Supply current		V <sub>CC</sub> = 5V	Average per gate (50% duty cycle)	0.4	mA
t <sub>PLH</sub>	Propagation delay time, low-to-high-level output		V <sub>CC</sub> = 5V, T <sub>a</sub> = 25°C, C <sub>L</sub> = 15 pF, R <sub>1</sub> = 2kΩ	9	15	ns
t <sub>PHL</sub>	Propagation delay time, high-to-low-level output			10	15	ns



† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V<sub>CC</sub> = 5V, T<sub>a</sub> = 25°C.

§ Not more than one output should be shorted at a time, and for SN54H/SN74H and SN54S/SN74S, duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5404/7404 Hex Inverter

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL											
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package									
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF								
T.I.	SN54S04	J	D	W1	SN54H04	J	D	W1	SN54LS04	J	D	W2	SN5404	J	D	W2	SN54L04	J	D	W2	SN54L04	J	D	W2				
FAIRCHILD	FM54S04/FM9S04	D	U		FM54H04/FM9H04	D	U	F-2	1M54S04/1M9S04	D	U	F-2	FM5404/FM9N04	D	U	F-2												
MOTOROLA	MC74S04	D	R		MC74H04	D	R	F-1	1C74S04/1C9S04	D	R	F-1	MC5404	D	R	F-2	FM7404/FCSN04	D	R	F-1								
N.S.C.	DM74S04	N	I		DM54H04	J	L	N-1	DM74H04	J	L	N-1	DM54S04	J	L	N-1	DM5404	J	L	N-1	DM54L04	J	L	N-1	DM74L04	J	L	N-1
PHILIPS	N74S04				N74H04				N74LS04				FJH241/7404															
SIGNETICS	S54S04	P	A	W1	S54H04	F	L	A-J	W2	S5404	F	L	A	W2														
SIEMENS	N74S04	F	L	A-J	W1	N74H04	F	L	A	W2	N74LS04	A	L	W	N7404	F	L	A	W2	FLM211								
FUJITSU									74LS04	M	J		MB418	U	J	A	D											
HITACHI	HD74S04	J	L	N-1					HD74LS04	P	J		HD7404/HD7322	U	J	A	D											
MITSUBISHI	M5504	M	D						M74LS04	P	C		M53204															
NEC	74S04	C	I						74LS04	C	I		μPB235	O	D													
TOSHIBA													TD3404A	P	J													

**Electrical Characteristics SN54LS04/SN74LS04**

absolute maximum ratings over operating free-air temperature range

Supply voltage, VCC	7V	Operating voltage range	SN54LS04	-55°C to 125°C	
Input voltage	7V	Storage temperature range	SN74LS04	0°C to 100°C	
				Storage temperature range	-65°C to 150°C

recommended operating conditions

	SN54LS04			SN74LS04			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, VCC	4.5	5	5.5	4.75	5	5.25	V
High-level output current, IOH			-100			-100	mA
Low-level output current, IOL			4			8	mA
Operating free-air temperature, TA	-55		125	0		10	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT
V <sub>IH</sub>	High-level input voltage		2		V
V <sub>IL</sub>	Low-level input voltage		0.8		V
V <sub>I</sub>	Input clamp voltage	VCC = MIN, I <sub>I</sub> = -18mA		-1.5	V
V <sub>OH</sub>	High-level output voltage	VCC = MIN, V <sub>I</sub> L = V <sub>I</sub> L MAX, I <sub>O</sub> H = MAX	2.7	3.4	V
V <sub>OL</sub>	Low-level output voltage	VCC = MIN, V <sub>I</sub> H = 2V, I <sub>O</sub> L = 4mA		0.4	V
I <sub>I</sub>	Input current at maximum input voltage	VCC = MAX, V <sub>I</sub> = 7V		0.1	mA
I <sub>I</sub> H	High-level input current	VCC = MAX, V <sub>I</sub> H = 2.7V		20	μA
I <sub>I</sub> L	Low-level input current	VCC = MAX, V <sub>I</sub> L = 0.4V		-0.4	mA
I <sub>OS</sub>	Short-circuit output current *	VCC = MAX		-20	-100
		54LS Family		-20	-100
		74LS Family		-20	-100
I <sub>CC</sub> H	Supply current	VCC = MAX		1.2	2.4
		Total, outputs high		1.2	2.4
I <sub>CC</sub> L	Supply current	VCC = MAX		3.6	6.6
		Total, outputs low		3.6	6.6
I <sub>CC</sub>	Supply current	VCC = 5V		0.4	mA
		Average per gate (50% duty cycle)		0.4	mA
t <sub>PLH</sub>	Propagation delay time, low-to-high-level output	VCC = 5V, T <sub>A</sub> = 25°C, C <sub>L</sub> = 15PF, R <sub>L</sub> = 2KΩ		9	15
t <sub>PHL</sub>	Propagation delay time, high-to-low-level output			10	15

Schematics (each gate)

CIRCUIT R1 R2 R3 R4  
 '04 4k 1.6k 130 1k  
 'L04 40k 20k 500 121k

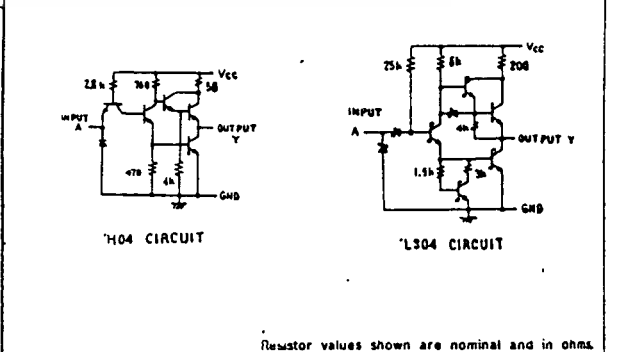
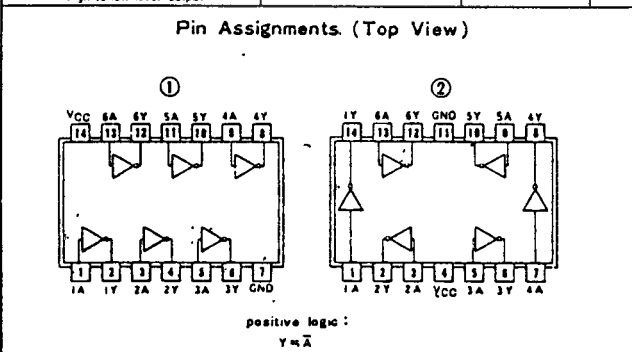
Input clamp diodes not on SN54L/74N74L circuits.

'04, 'L04 CIRCUITS

'S04 CIRCUIT

'H04 CIRCUIT

'L04 CIRCUIT



† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.  
 ‡ All typical values are at VCC = 5V, TA = 25°C.  
 \* Not more than one output should be shorted at a time, and for SN54H/SN74H and SN54S/SN74S, duration of short-circuit should not exceed 1 second.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 5414/7414 Hex Schmitt-Trigger Inverter

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package		
		C	P	M/CF		C	P	M/CF		C	P	M/CF		C	P	M/CF		C	P	M/CF
T. I.									SN54LS14	J T		W <sup>1</sup>	SN5414	J T		W <sup>1</sup>				
FAIRCHILD									SN74LS14	J C/N F			SN7414	J C/N <sup>1</sup> G						
MOTOROLA									MS54LS14/MS74LS14	P P		F <sup>1</sup>	MS5414/MS7414	P P		F <sup>1</sup>				
N. S. C.									TC74LS14/TC74S14	Q D	Q D	F <sup>1</sup>	TC7414/TC74S14	Q D	Q D	F <sup>1</sup>				
PHILIPS									SN74LS14		P 1		MC7414		P 1					
SIEMENS									DM54LS14				DM5414	J T	H <sup>1</sup> G		W <sup>1</sup>			
SIGNETICS									DM74LS14				DM7414	J T	N <sup>1</sup> G		W <sup>1</sup>			
SIEMENS									N74LS14				N7414							
FUJITSU									N74LS14				N7414							
HITACHI									N74LS14		A 1		N7414		F 1	B <sup>1</sup>				
MITSUBISHI									N74LS14				N7414		F 1	B <sup>1</sup>				
NEC									74LS14		(M)									
TOSHIBA									HD74LS14		P 1		HD7414		P 1					
									M74LS14		P 1		M53214		P 1					

## Electrical Characteristics SN54LS14/SN74LS14

absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	TV	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	TV		SN74LS	0°C to 100°C
		Storage temperature range		-65°C to 150°C

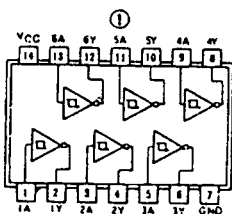
recommended operating conditions

	SN54LS14			SN74LS14			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I <sub>OH</sub>			400			-400	mA
Low-level output current, I <sub>OL</sub>			8			8	mA
Operating free-air temperature, T <sub>A</sub>	-55		125	0		70	°C

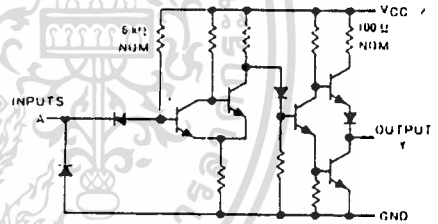
electrical characteristics over recommended operating free-air temperature range

PARAMETER	TEST CONDITIONS †	MIN	TYP ‡	MAX	UNIT
V <sub>T+</sub> Positive-going threshold voltage	V <sub>CC</sub> = 5V	1.4	1.6	1.9	V
V <sub>T-</sub> Negative-going threshold voltage	V <sub>CC</sub> = 5V	0.5	0.8	1	V
Hysteresis (V <sub>T+</sub> - V <sub>T-</sub> )	V <sub>CC</sub> = 5V	0.4	0.8		V
V <sub>I</sub> Input clamp voltage	V <sub>CC</sub> = MIN., I <sub>I</sub> = 18 mA			1.5	V
V <sub>OH</sub> High-level output voltage	V <sub>CC</sub> = MIN., V <sub>I</sub> = V <sub>T-</sub> - min., I <sub>OH</sub> = MAX.	2.7	3.4		V
V <sub>OL</sub> Low-level output voltage	V <sub>CC</sub> = MIN., V <sub>I</sub> = V <sub>T+</sub> + max., I <sub>OL</sub> = 4 mA		0.25	0.4	V
I <sub>T+</sub> Input current at positive-going threshold	V <sub>CC</sub> = 5V, V <sub>I</sub> = V <sub>T+</sub>	-0.14			mA
I <sub>T-</sub> Input current at negative-going threshold	V <sub>CC</sub> = 5V, V <sub>I</sub> = V <sub>T-</sub>	-0.18			mA
I <sub>I</sub> Input current at maximum input voltage	V <sub>CC</sub> = MAX., V <sub>I</sub> = 7V			0.1	mA
I <sub>IH</sub> High-level input current	V <sub>CC</sub> = MAX., V <sub>I</sub> = 2.7V			20	µA
I <sub>IL</sub> Low-level input current	V <sub>CC</sub> = MAX., V <sub>I</sub> = 0.4V			-0.4	mA
I <sub>OS</sub> Short-circuit output current †	V <sub>CC</sub> = MAX.	-20		-100	mA
I <sub>CC</sub> Supply current	Total, output high	V <sub>CC</sub> = MAX.		8.6	16
	Total, output low			12	21
	Average per gate	V <sub>CC</sub> = 5V, 50% duty cycle		1.72	
t <sub>PLH</sub> Propagation delay time, low-to-high-level output	V <sub>CC</sub> = 5V, T <sub>A</sub> = 25°C.		15	22	ns
t <sub>PHL</sub> Propagation delay time, high-to-low-level output	C <sub>L</sub> = 15 pF, R <sub>L</sub> = 2 kΩ		15	22	ns

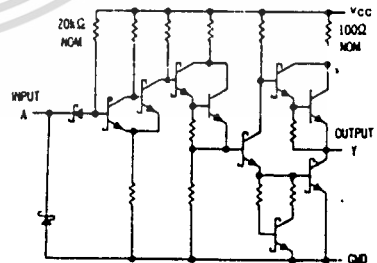
## Pin Assignment (Top View)



## Schematics. (each gate)



5414 CIRCUIT



7414 CIRCUIT

Resistor values shown are nominal and in ohms.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.  
 ‡ All typical values are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.  
 † Not more than one output should be shorted at a time.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าการผิดใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

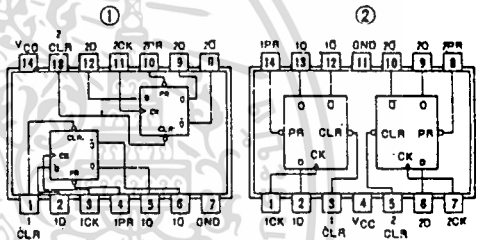
# 5474/7474 Dual D-Type Positive-Edge-Triggered Flip-Flop with Preset and Clear

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package	
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF
T.I.	SN54S74	J(D)		WD	SN54H74	J(D)		WD	SN54LS74	J(D)		WD	SN5474	J(D)		WD	SN54L74	J(D)	ND	TD
	SN74S74	J(D)	ND		SN74H74	J(D)	ND		SN74LS74	J(D)	ND		SN7474	J(D)	ND		SN74L74	J(D)	ND	TD
FAIRCHILD	FM54S74/FM9S74	(D)			FMS4H74/FM9H74	(D)			FMS4LS74/FM9LS74	(D)			FMS474/FM974	(D)			FMS4L74/FM9L74	(D)		
	FC74S74/FC9S74	(D)	ND		FC74H74/FC9H74	(D)	ND		FC74LS74/FC9LS74	(D)	ND		FC7474/FC974	(D)	PD		FC74L74/FC9L74	(D)	PD	
MOTOROLA									SN74LS74											
N.S.C.	DM74S74				DM54H74	J(D)	ND		DM54LS74	J(D)	ND		DM5474	J(D)	ND		DM54L74	J(D)	ND	F(2)
					DM74H74	J(D)	ND		DM74LS74	J(D)	ND		DM7474	J(D)	ND		DM74L74	J(D)	ND	F(2)
PHILIPS	N74S74				GJ1131/74H74				N74LS74				FJ1131/7474							
SIGNETICS	S54S74				S54H74	F(D)	AD						S5474	F(D)	AD					
	N74S74				N74H74	F(D)	AD		N74LS74				N7474	F(D)	AD					
SIEMENS													FLJ141							
FUJITSU									74LS74				MB420							
HITACHI	HO74S74								HO74LS74				HO7474/HO2510							
MITSUBISHI	M74S74								M74LS74				M5121/M5374							
NEC	74S74								74LS74				#PR714							
TOSHIBA													TD3474A							

Electrical Characteristics SN54LS74/SN74LS74				
absolute maximum ratings over operating free-air temperature range				
Supply voltage V <sub>CC</sub>	7V	Operating power temperature range	SN54LS	-55°C to 125°C
Input voltage	5.5V	Storage temperature range	SN74LS	-65°C to 150°C
recommended operating conditions				
	SN54LS74	SN74LS74	UNIT	
	MIN	MAX	MIN	MAX
Supply voltage V <sub>CC</sub>	4.5	5.5	4.75	5.75
High-level output current I <sub>OH</sub>	-400		-400	
Low-level output current I <sub>OL</sub>	4		8	
Pulse width, to	Clk high	25	25	ns
	Pre-set or clear low	25	25	
Input setup time, t <sub>su</sub>	High-level data	25	25	ns
	Low-level data	20	20	
Input hold time, t <sub>hd</sub>		5	5	ns
Operating power temperature, T <sub>a</sub>	-55	125	0	70

electrical characteristics over recommended operating free-air temperature range				
PARAMETER*	TEST CONDITIONS †	MIN	TYP ‡	MAX
V <sub>IH</sub>	High-level input voltage		2	
V <sub>IL</sub>	Low-level input voltage		0.8	
V <sub>I</sub>	Input clamp voltage	V <sub>CC</sub> = MIN, I <sub>I</sub> = -18 mA		-1.5
V <sub>OH</sub>	High-level output voltage	V <sub>CC</sub> = MIN, V <sub>IH</sub> = 2V, V <sub>IL</sub> = 0.8 V, I <sub>OH</sub> = MAX	2.7	3.4
V <sub>OL</sub>	Low-level output voltage	V <sub>CC</sub> = MIN, V <sub>IH</sub> = 2V, V <sub>IL</sub> = 0.8 V, I <sub>OL</sub> = 4 mA	0.25	0.4
I <sub>I</sub>	Input current at maximum input voltage	D, J, K, Clear		0.1
		Preset		0.2
		Clock		0.1
I <sub>IH</sub>	High-level input current	D, J, K, Clear		20
		Preset		40
		Clock		20
I <sub>IL</sub>	Low-level input current	D, J, K, Clear		-0.4
		Pre-set		-0.8
		Clock		-0.4
I <sub>OS</sub>	Short-circuit output current †	Series 54LS Series 74LS		-20 to 100
I <sub>CC</sub>	Supply current (Average per flip-flop)	V <sub>CC</sub> = MAX		-20 to 100
f	clock frequency	V <sub>CC</sub> = 5V, T <sub>A</sub> = 25°C, C <sub>L</sub> = 150 pF, R <sub>L</sub> = 2kΩ	25	33
t <sub>PLH</sub>	propagation delay time, low-to-high-level output		13	25
t <sub>PHL</sub>	propagation delay time, high-to-low-level output		25	40

Pin Assignments (Top View)

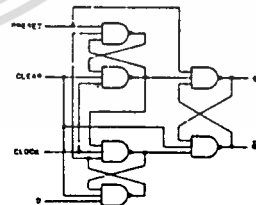


Functional Table

\*74, \*H74, \*LS74, \*S74 (See Note 2)

PRESET		CLEAR		CLOCK		D		Q		Q̄	
L	H	X	X	X	X	H	L	L	H	H	L
H	L	X	X	X	X	H*	H*	H*	H*	L	L
H	L	L	X	X	X	H*	H*	H*	H*	H	L
H	H	↑	L	X	X	H	L	L	H	L	H
H	H	↑	L	X	X	L	H	L	L	H	H
H	H	L	X	X	X	Q <sub>0</sub>	Q̄ <sub>0</sub>	Q <sub>0</sub>	Q̄ <sub>0</sub>	Q <sub>0</sub>	Q̄ <sub>0</sub>

Functional Block Diagram



\*74, \*S74, \*H74, \*LS74, \*L74 DUAL D-FLIP FLOP WITH CLEAR AND PRESET

- NOTES: 1 With all outputs open, I<sub>CC</sub> is measured with the Q and Q̄ outputs high in turn. At the time of measurement, the clock input is grounded.  
 2 H = high-level (steady state), L = low-level (steady state), X = irrelevant  
 ↑ = transition from low to high level.  
 Q<sub>0</sub> = the level of Q before the indicated input conditions were established.  
 \* This configuration is nonstable; that is, it will not persist when preset and clear inputs return to their inactive (high) level.

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.

\* Not more than one output should be shorted at a time.

† t<sub>PLH</sub> = propagation delay time, low-to-high-level output;

‡ t<sub>PHL</sub> = propagation delay time, high-to-low-level output;

§ The arrow indicates the edge of the clock pulse used for reference; † for the rising edge.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# 54138/74138 3-Line-to-8-Line Decoder

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL			
	Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package			Device Type	Package		
		C	P	M	C	P	M	C	P	M	C	P	M	C	P	M	C	P	M	C
T.I.	SN54LS138	J	D		SN54LS138	J	D		SN54LS138	J	D		SN54LS138	J	D		SN54LS138	J	D	
	SN74LS138	J	D	ND	SN74LS138	J	D	ND	SN74LS138	J	D	ND	SN74LS138	J	D	ND	SN74LS138	J	D	ND
FAIRCHILD	74ALS138	D			74ALS138	D			74ALS138	D			74ALS138	D			74ALS138	D		
	74ALS138/74ALS138	D			74ALS138/74ALS138	D			74ALS138/74ALS138	D			74ALS138/74ALS138	D			74ALS138/74ALS138	D		
MOTOROLA																				
N.S.C.									SN74LS138	P	D		SN74LS138	P	D		SN74LS138	P	D	
	DM74S138		D		DM74S138		D		DM74S138		D		DM74S138		D		DM74S138		D	
PHILIPS																				
	N74S138		D		N74S138		D		N74S138		D		N74S138		D		N74S138		D	
SIGNETICS	SS4S138	F	D	ND	SS4S138	F	D	ND	SS4S138	F	D	ND	SS4S138	F	D	ND	SS4S138	F	D	ND
	N74S138	F	D	ND	N74S138	F	D	ND	N74S138	F	D	ND	N74S138	F	D	ND	N74S138	F	D	ND
SIEMENS																				
FUJITSU																				
									74LS138	M	D		74LS138	M	D		74LS138	M	D	
HITACHI																				
									HD74LS138	P	D		HD74LS138	P	D		HD74LS138	P	D	
MTSUBISHI																				
	M74S138		P	D	M74S138		P	D	M74S138		P	D	M74S138		P	D	M74S138		P	D
NEC																				
									74LS138	C	D		74LS138	C	D		74LS138	C	D	
TOSHIBA																				

## Electrical Characteristics SN54LS138/SN74LS138

absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	7V	Operating free-air temperature range	SN54LS	-55°C to 125°C
Input voltage	7V	temperature range	SN74LS	0°C to 70°C
		Storage temperature range		-65°C to 150°C

recommended operating conditions

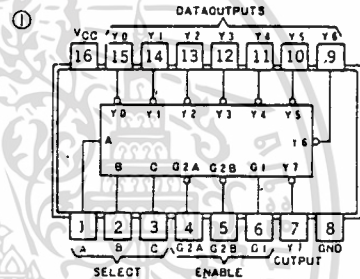
	SN54LS138			SN74LS138			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I <sub>OH</sub>			400			400	mA
Low-level output current, I <sub>OL</sub>			1			8	mA
Operating free-air temperature, T <sub>A</sub>	-55	125	0	70			°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*	TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V <sub>IH</sub> High-level input voltage			2		V
V <sub>IL</sub> Low-level input voltage				0.8	V
V <sub>I</sub> Input clamp voltage*	V <sub>CC</sub> = MIN., I <sub>I</sub> = -18mA			1.5	V
V <sub>OH</sub> High-level output voltage	V <sub>CC</sub> = MIN., V <sub>IH</sub> = 2V, SN54LS V <sub>IH</sub> = 0.8V, I <sub>OH</sub> = 400mA, SN74LS	2.5	3.4		V
V <sub>OL</sub> Low-level output voltage	V <sub>CC</sub> = MIN., V <sub>IH</sub> = 2V, V <sub>IH</sub> = 0.8V, I <sub>OL</sub> = 8mA		0.35	0.5	V
I <sub>I</sub> Input current at maximum input voltage	V <sub>CC</sub> = MAX., V <sub>I</sub> = 7V			0.1	mA
I <sub>IH</sub> High-level input current	V <sub>CC</sub> = MAX., V <sub>I</sub> = 2.7V			20	μA
I <sub>IL</sub> Low-level input current	V <sub>CC</sub> = MAX., V <sub>I</sub> = 0.4V			0.4	mA
I <sub>OS</sub> Short-circuit output current*	V <sub>CC</sub> = MAX.	-20		-100	mA
I <sub>CC</sub> Supply current	V <sub>CC</sub> = MAX., Outputs enabled and open		6.3	10	mA

IP <sub>LH</sub>	IP <sub>LH</sub> from Binary select to Any output	V <sub>CC</sub> = 5V, T <sub>A</sub> = 25°C, C <sub>L</sub> = 15pF, R <sub>L</sub> = 2kΩ	levels of delay	2	13	20	ns
IP <sub>LH</sub> <th>IP<sub>LH</sub> from Enable to Any output</th> <th>3</th> <th>18</th> <th>27</th> <th>ns</th>	IP <sub>LH</sub> from Enable to Any output			3	18	27	ns
IP <sub>LH</sub> <th>IP<sub>LH</sub> from Enable to Any output</th> <th>2</th> <th>12</th> <th>18</th> <th>ns</th>	IP <sub>LH</sub> from Enable to Any output			2	12	18	ns
IP <sub>LH</sub> <th>IP<sub>LH</sub> from Enable to Any output</th> <td></td> <td></td> <td>21</td> <td>32</td> <td>ns</td>	IP <sub>LH</sub> from Enable to Any output			21	32	ns	
IP <sub>LH</sub> <th>IP<sub>LH</sub> from Enable to Any output</th> <td></td> <td></td> <td>17</td> <td>26</td> <td>ns</td>	IP <sub>LH</sub> from Enable to Any output			17	26	ns	
IP <sub>LH</sub> <th>IP<sub>LH</sub> from Enable to Any output</th> <td></td> <td></td> <td>25</td> <td>38</td> <td>ns</td>	IP <sub>LH</sub> from Enable to Any output			25	38	ns	

## Pin Assignment (Top View)



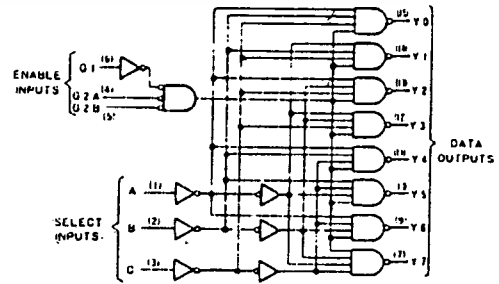
positive logic:  
see function table

## Function Table

ENABLE		SELECT			OUTPUTS							
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	L	H	H	H	H	H	H	H
H	L	L	H	L	H	L	H	H	H	H	H	H
H	L	L	H	H	H	L	H	H	H	H	H	H
H	L	H	L	L	H	H	H	L	H	H	H	H
H	L	H	L	H	H	H	H	L	H	H	H	H
H	L	H	H	L	H	H	H	H	L	H	H	H
H	L	H	H	H	H	H	H	H	L	H	H	H
H	L	H	H	H	H	H	H	H	H	L	H	H
H	L	H	H	H	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

\* G2 = G2A + G2B  
H = high level, L = low level, X = irrelevant

## Functional Block Diagram



'S138 'LS138 DECODER/DEMULTIPLXER

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.  
‡ All typical values are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.  
\* Not more than one output should be shorted at a time, and duration of the short-circuit test should not exceed one second.  
† IP<sub>LH</sub> = propagation delay time, low-to-high-level output  
‡ IP<sub>LH</sub> = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



54193/74193 Synchronous 4-Bit Binary Up/Down Counter (Dual clock with clear)

	Schottky TTL				High-Speed TTL				Low-Power Schottky TTL				Standard TTL				Low-Power TTL					
	Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package		Device Type		Package			
	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF	C	P	M	CF		
T. I.									SN54LS193	J	U	W	SN54193	J	U	W	SN54L193	J	U			
FAIRCHILD									SN74LS193	J	(L)	(N)	SN74193	J	(L)	(N)	SN74L193	J	(L)	(N)		
MOTOROLA									MS54S193/MS74S193	Q	D	FD	FM54193/FM74366	D	Q	FD						
N. S. C.									74LS193/74S193	Q	D	FD	FC74193/FC74366	D	Q	P	Q					
PHILIPS									SN74LS193	P	(H)		MC74193		P	(D)						
SIGNETICS									DM54LS193		(U)		DM74193		N	(D)	DM54L193	J	(L)	(N)	F	(L)
SIEMENS									DM74LS193				DM74193				DM74L193	J	(L)	(N)	F	(L)
FUJITSU									74LS193		M	(U)										
HITACHI									HD74LS193		P	(U)	HD2542		(L)	P	(L)					
MITSUBISHI									M74LS193		P	(U)	M53393			P	(H)					
NEC									74LS193		C	(U)	μP62193			D	(U)					
TOSHIBA													TD74193			P	(Q)					
AMD									Am54LS193													
									Am74LS193													

Electrical Characteristics SN54LS193/SN74LS193

absolute maximum ratings over operating free-air temperature range

Supply voltage, V <sub>CC</sub>	7V	Operating free-air temperature range	SN54LS	-55°C to 125°C	
Input voltage	5.5V	Storage temperature range	SN74LS	0°C to 70°C	
				Storage temperature range	-65°C to 150°C

recommended operating conditions

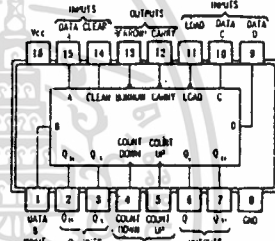
	SN54LS193			SN74LS193			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V <sub>CC</sub>	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I <sub>OH</sub>			-400			-400	μA
Low-level output current, I <sub>OL</sub>			4			8	mA
Count frequency, f <sub>count</sub>	0		25	0		25	MHz
Width of any input pulse, t <sub>w</sub>	20		20			20	ns
Data setup time, t <sub>setup</sub>	20		20			20	ns
Data hold time, t <sub>hold</sub>	0		0			0	ns
Operating free-air temperature, T <sub>A</sub>	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*	TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT
V <sub>IH</sub>	High-level input voltage		2		V
V <sub>IL</sub>	Low-level input voltage			0.8	V
V <sub>I</sub>	Input clamp voltage	V <sub>CC</sub> = MIN, I <sub>I</sub> = -18 mA		-1.5	V
V <sub>OH</sub>	High-level output voltage	V <sub>CC</sub> = MIN, V <sub>IH</sub> = 2V, V <sub>IL</sub> = 0.8V, I <sub>OH</sub> = -400 μA	2.7	3.4	V
V <sub>OL</sub>	Low-level output voltage	V <sub>CC</sub> = MIN, V <sub>IH</sub> = 2V, V <sub>IL</sub> = 0.8V, I <sub>OL</sub> = 8 mA	0.35	0.5	V
I <sub>I</sub>	Input current at maximum input voltage	V <sub>CC</sub> = MAX, V <sub>I</sub> = 7V		0.1	mA
I <sub>IH</sub>	High-level input current	V <sub>CC</sub> = MAX, V <sub>I</sub> = 2.4V		20	μA
I <sub>IL</sub>	Low-level input current	V <sub>CC</sub> = MAX, V <sub>I</sub> = 0.4V		0.4	mA
I <sub>OS</sub>	Short-circuit output current*	V <sub>CC</sub> = MAX	SN54LS -20	100	mA
			SN74LS -20	100	
I <sub>CC</sub>	Supply current	V <sub>CC</sub> = MAX, See Note 1	SN54LS 19	34	mA
			SN74LS 19	34	
f <sub>max</sub>	maximum clock frequency		25	32	MHz
t <sub>PLH</sub>	from Count-up to output Carry	V <sub>CC</sub> = 5V, T <sub>A</sub> = 25°C, C <sub>L</sub> = 15pF, R <sub>L</sub> = 2kΩ	17	26	ns
t <sub>PHL</sub>	from Count-down to output Borrow		16	24	ns
t <sub>PLH</sub>	from Either Count to output Q		16	24	ns
t <sub>PHL</sub>	from Load to output Q		15	24	ns
t <sub>PLH</sub>	from Clear to output Q		27	38	ns
t <sub>PHL</sub>			30	47	ns
t <sub>PLH</sub>			24	40	ns
t <sub>PHL</sub>			25	40	ns
t <sub>PLH</sub>			23	35	ns

NOTES: 1. I<sub>CC</sub> is measured with all outputs open, clear and load inputs grounded, and all other inputs at 4.5V.  
 A. Clear\* overrides load, data, and count inputs.  
 B. When counting up, count-down input must be high; when counting down, count-up input must be high.

Pin Assignment (Top View)



† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.  
 ‡ All typical values are at V<sub>CC</sub> = 5V, T<sub>A</sub> = 25°C.  
 \* Not more than one output should be shorted at a time.  
 † t<sub>PLH</sub> = propagation delay time, low-to-high-level output  
 † t<sub>PHL</sub> = propagation delay time, high-to-low-level output

54244/74244 Octal Buffers/Line Drivers/Line Receivers

	Schttky TTL			High-Speed TTL			Low-Power Schottky TTL			Standard TTL			Low-Power TTL			
	Device Type	Package		Device Type	Package		Device Type	Package		Device Type	Package		Device Type	Package		
		C	P	MCF		C	P	MCF		C	P	MCF		C	P	MCF
T. I.									SN54LS244	J	D					
									SN74LS244	J	D	M	D			
FAIRCHILD																
MOTOROLA																
N. S. C.																
PHILIPS																
SIGNETICS																
SIEMENS																
FUJITSU																
HITACHI																
MITSUBISHI																
NEC																
TOSHIBA																

Electrical Characteristics SN54LS244/SN74LS244

absolute maximum ratings over operating free-air temperature range			
Supply voltage, VCC	7V	Operating free-air temperature range	SN54LS 55°C to 125°C
Input voltage	5.5V		SN74LS 0°C to 70°C
Intermittent voltage	5.5V	Storage temperature range	65°C to 150°C

recommended operating conditions							
	LS54LS244		SN74LS244		UNIT		
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, VCC	4.5	5	5.5	4.75	5	5.25	V
High-level output current, IOH			12			15	mA
Low-level output current, IOL			12			24	mA
Operating free-air temperature, TA	55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

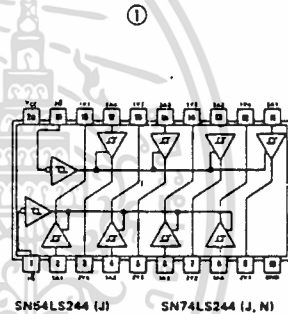
PARAMETER	TEST CONDITIONS †	SN74LS			UNIT	
		MIN	TYP ‡	MAX		
V <sub>IH</sub> High-level input voltage			2		V	
V <sub>IL</sub> Low-level input voltage				0.8	V	
V <sub>IK</sub> Input clamp voltage	VCC = MIN, I <sub>I</sub> = -18mA			-1.5	V	
	Hysteresis(V <sub>T+</sub> - V <sub>T-</sub> )	VCC = MIN	0.2	0.4	V	
V <sub>OH</sub> High-level output voltage	VCC = MIN, V <sub>IH</sub> = 2V, V <sub>IL</sub> = V <sub>ILmax</sub> , I <sub>OH</sub> = -3mA		2.4	3.4	V	
	VCC = MIN, V <sub>IH</sub> = 2V, V <sub>IL</sub> = 0.5V, I <sub>OH</sub> = MAX		2		V	
V <sub>OL</sub> Low-level output voltage	VCC = MIN, V <sub>IH</sub> = 2V, V <sub>IL</sub> = V <sub>ILmax</sub>			0.4	V	
	I <sub>OL</sub> = 12mA			0.5	V	
	I <sub>OL</sub> = 24mA				V	
I <sub>OZH</sub> Off-state output current, high-level voltage applied	VCC = MAX, V <sub>IH</sub> = 2V			20	µA	
I <sub>OZL</sub> Off-state output current, low-level voltage applied	VCC = MAX, V <sub>IL</sub> = V <sub>ILmax</sub>			-20	µA	
I <sub>I</sub> Input current at maximum input voltage	VCC = MAX, V <sub>I</sub> = 7V			0.1	mA	
I <sub>IH</sub> High-level input current, any input	VCC = MAX, V <sub>I</sub> = 2.7V			20	µA	
I <sub>IL</sub> Low-level input current	VCC = MAX, V <sub>IL</sub> = 0.4V			-0.2	mA	
I <sub>OS</sub> Short-circuit output current	VCC = MAX		-40	-225	mA	
I <sub>CC</sub> Supply current	Outputs high	VCC = MAX	All	13	23	mA
	Outputs low		LS244	27	46	
	All outputs disabled		LS244	32	54	

switching characteristics, VCC 5V, TA 25°C

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t <sub>PLH</sub> Propagation delay time, low-to-high-level output			9	14	ns
t <sub>PHL</sub> Propagation delay time, high-to-low-level output	C <sub>L</sub> = 45pF, R <sub>L</sub> = 667Ω, See Note 2		12	18	ns
t <sub>PZL</sub> Output enable time to low level			20	30	ns
t <sub>PZH</sub> Output enable time to high level			15	23	ns
t <sub>PL2</sub> Output disable time from low level	C <sub>L</sub> = 50pF, R <sub>L</sub> = 667Ω, See Note 2		15	25	ns
t <sub>PH2</sub> Output disable time from high level			10	18	ns

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.  
 ‡ All typical values are at VCC 5V, TA 25°C.  
 \* Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.  
 NOTE 2: Load circuit and voltage wave forms are shown on page 3-11.

Pin Assignment (Top View)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**SCL4001B, SCL4002B  
SCL4025B, SCL4078B**

**CMOS NOR GATES**

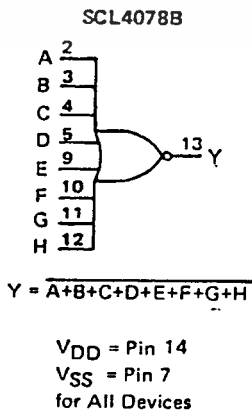
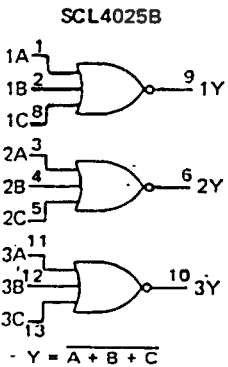
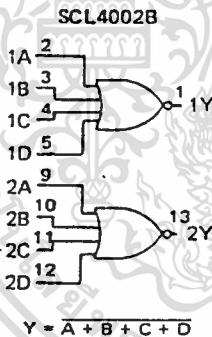
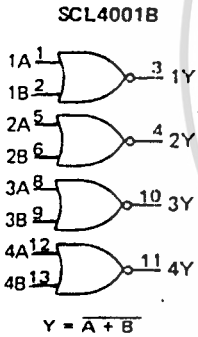
- SCL4001B – Quad 2-Input NOR
- SCL4002B – Dual 4-Input NOR
- SCL4025B – Triple 3-Input NOR
- SCL4078B – 8-Input NOR

**FEATURES**

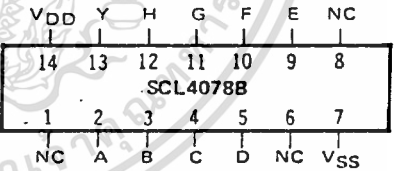
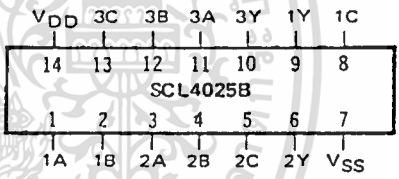
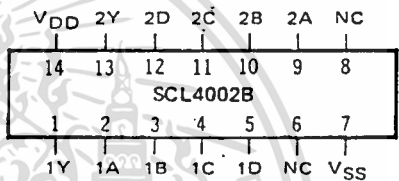
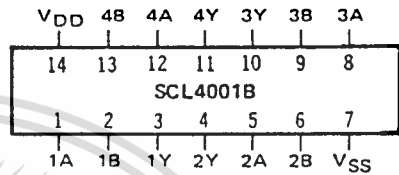
- ◆ Buffered Outputs
- ◆ Diode Protection on all Inputs
- ◆ Fully "B" - Series Compatible
- ◆ Balanced Output Drive Current Specifications

Inputs	Output
0 0 . . . . 0	1
All other combinations	0

**FUNCTION DIAGRAMS**



**CONNECTION DIAGRAMS  
(all packages)**



Add suffix for package:

- C 14-pin Cerdip
- D 14-pin Ceramic
- E 14-pin Epoxy
- F 14-pin Flat
- H Chip

**RECOMMENDED OPERATING CONDITIONS**

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	$T_A$	-55 to +125	°C
C, D, F, H Device		-55 to +125	°C
E Device		-40 to +85	°C

## ELECTRICAL CHARACTERISTICS

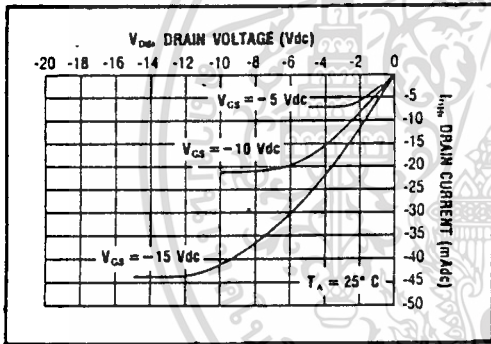
### STATIC CHARACTERISTICS<sup>1, 3</sup>

PARAMETER	V <sub>DD</sub> (Vdc)	CONDITIONS	T <sub>LOW</sub> <sup>2</sup>		+25°C			T <sub>HIGH</sub> <sup>2</sup>		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I <sub>DD</sub>	V <sub>IN</sub> =V <sub>SS</sub> or V <sub>DD</sub> All valid input combinations	—	0.05	—	0.0005	0.05	—	1.5	μA <sub>DC</sub>
			—	0.10	—	0.001	0.10	—	3.0	
			—	0.20	—	0.002	0.20	—	6.0	

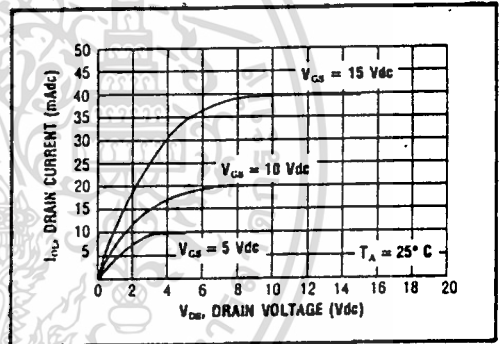
- NOTES: <sup>1</sup> Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".  
<sup>2</sup> T<sub>LOW</sub> = -55°C for C, D, F, H device.  
       = -40°C for E device.  
 T<sub>HIGH</sub> = +125°C for C, D, F, H device.  
       = + 85°C for E device.  
<sup>3</sup> These devices have been designed for balanced output drive current specifications. Consult Family Specifications.

### DYNAMIC CHARACTERISTICS (C<sub>L</sub> = 50pF, T<sub>A</sub> = 25°C)

PARAMETER		V <sub>DD</sub> (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t <sub>PLH</sub> , t <sub>PHL</sub>	5	—	125	250	ns
		10	—	60	120	
		15	—	45	90	
OUTPUT TRANSITION TIME	t <sub>TLH</sub> , t <sub>THL</sub>	5	—	100	200	ns
		10	—	50	100	
		15	—	40	80	

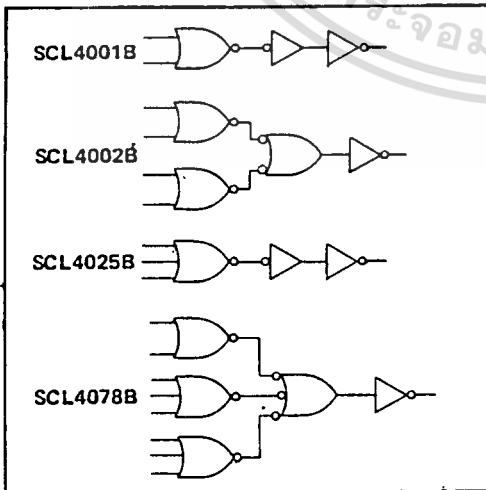


Typical P-Channel  
Source Current Characteristics

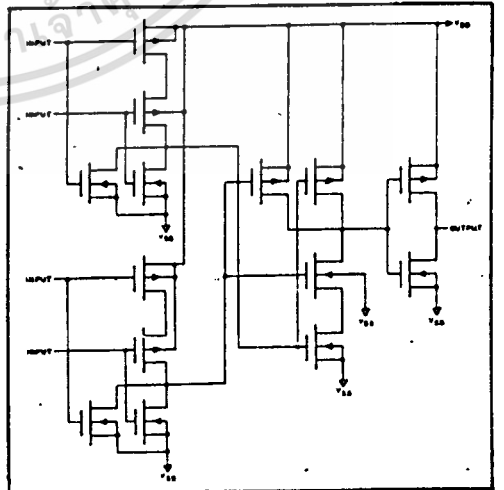


Typical N-Channel  
Sink Current Characteristics

### LOGIC DIAGRAMS



### SCHEMATIC DIAGRAM SCL4002B (1 of 2 gates)



# SCL4011UB

# CMOS NAND GATE (Unbuffered)

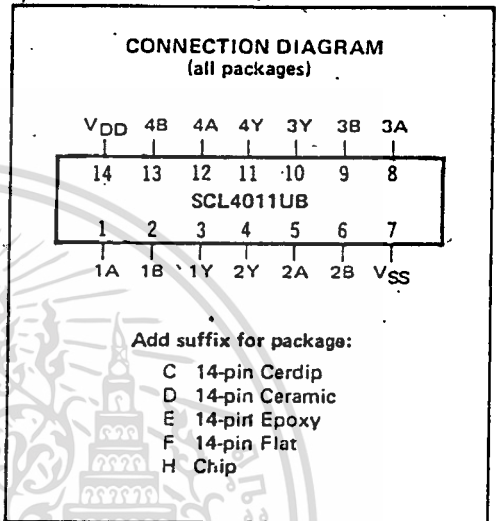
### FEATURES

- ◆ Unbuffered Outputs for Quasi-Linear Applications
- ◆ Quad 2-Input NAND Configuration
- ◆ Diode Protection on all Inputs
- ◆ Output Drive Current Compatible with "B" Series
- ◆ Pin Compatible with Buffered SCL4011B
- ◆ Balanced Output Drive Current Specifications

### DESCRIPTION

The SCL4011UB consists of four positive-logic NAND gates. The outputs are unbuffered, making the device suitable for quasi-linear applications, such as gated oscillators, multivibrators, and pulse shaping circuits.

For digital applications, the buffered SCL4011B is recommended for its higher gain and input pattern insensitivity.



### TRUTH TABLE

Inputs		Output
1	1	0
All other combinations		1

### RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

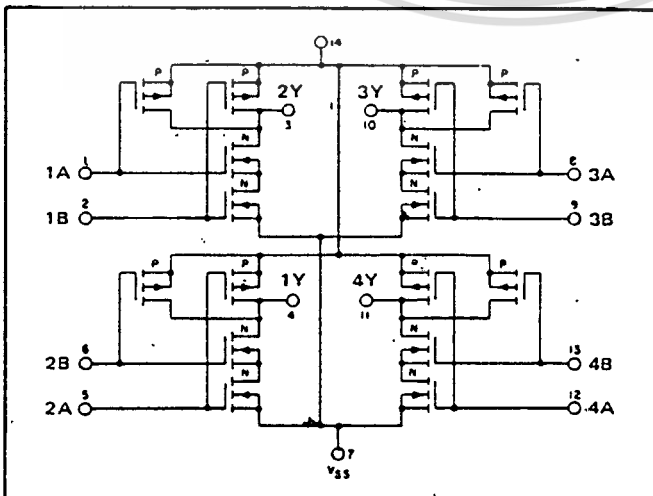
DC Supply Voltage  $V_{DD} - V_{SS}$  3 to 15 Vdc

Operating Temperature  $T_A$

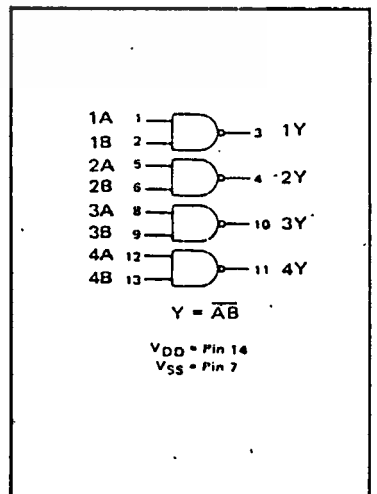
C, D, F, H Device -55 to +125 °C

E Device -40 to +85 °C

### SCHEMATIC DIAGRAM



### LOGIC DIAGRAM



## ELECTRICAL CHARACTERISTICS

### STATIC CHARACTERISTICS

PARAMETER	V <sub>DD</sub> (Vdc)	CONDITIONS	T <sub>LOW</sub> <sup>1</sup>		+25°C			T <sub>HIGH</sub> <sup>2</sup>		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I <sub>DD</sub>	V <sub>IN</sub> = V <sub>SS</sub> or V <sub>DD</sub> All valid input combinations	-	0.05	-	0.0005	0.05	-	1.5	μA <sub>dc</sub>
			-	0.10	-	0.001	0.10	-	3.0	
			-	0.20	-	0.002	0.20	-	6.0	

NOTES: <sup>1</sup> Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

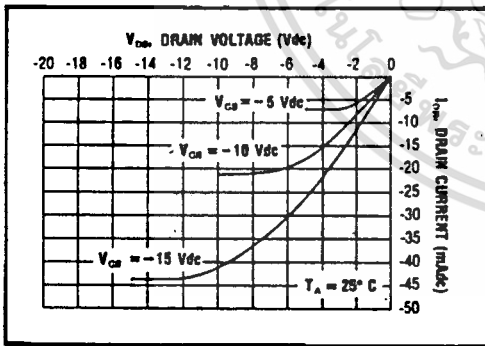
<sup>2</sup> T<sub>LOW</sub> = -55°C for C, D, F, H device.  
= -40°C for E device.

T<sub>HIGH</sub> = +125°C for C, D, F, H device.  
= + 85°C for E device.

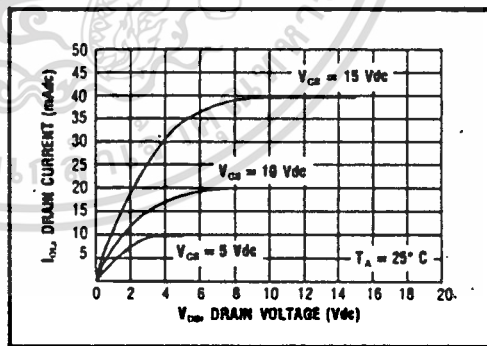
<sup>3</sup> This device has been designed for balanced output drive current specifications. Consult Family Specifications.

### DYNAMIC CHARACTERISTICS (C<sub>L</sub> = 50pF, T<sub>A</sub> = 25°C)

PARAMETER	V <sub>DD</sub> (Vdc)	Min.	Typ.	Max.	Units
PROPAGATION DELAY TIME	t <sub>PLH</sub> , t <sub>PHL</sub>	-	75	150	ns
		-	35	70	
		-	25	50	
OUTPUT TRANSITION TIME	t <sub>TLH</sub> , t <sub>THL</sub>	-	100	200	ns
		-	50	100	
		-	40	80	

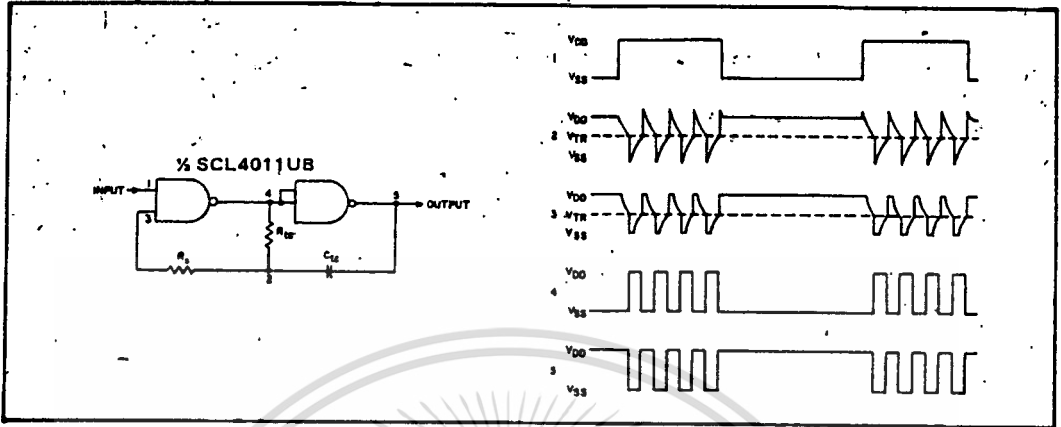


Typical P-Channel  
Source Current Characteristics

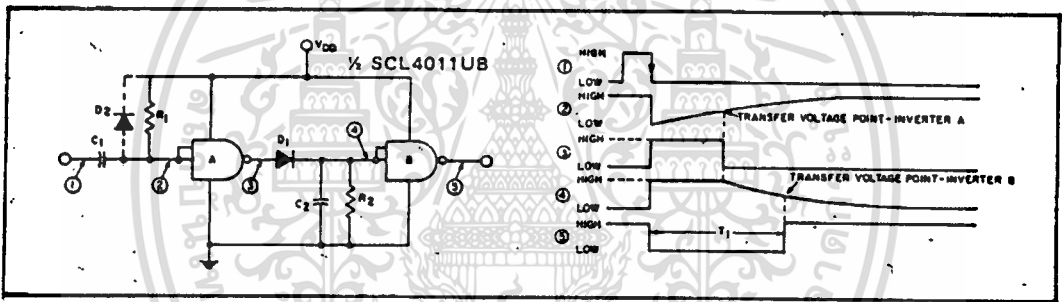


Typical N-Channel  
Sink Current Characteristics

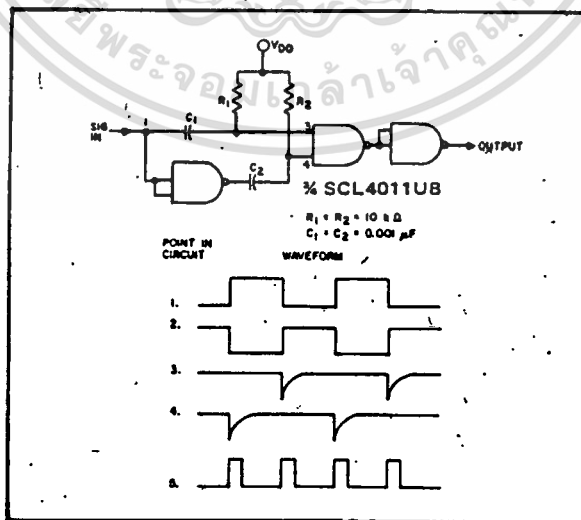
## APPLICATIONS INFORMATION



Gated Oscillator



Compensated Monostable Multivibrator  
(Independent of Transfer Voltage)



Frequency Doubler

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**CD40192BM/CD40192BC synchronous 4-bit up/down decade counter**  
**CD40193BM/CD40193BC synchronous 4-bit up/down binary counter**

**general description**

These up/down counters are monolithic complementary MOS (CMOS) integrated circuits. The CD40192BM and CD40192BC are BCD counters. While the CD40193BM and CD40193BC are binary counters.

Counting up and counting down is performed by two count inputs, one being held high while the other is clocked. The outputs change on the positive-going transition of this clock.

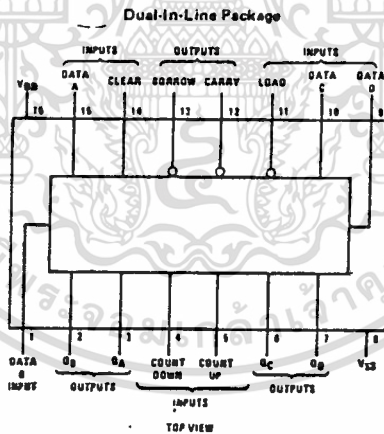
These counters feature preset inputs that are enabled when load is a logical "0" and a clear which forces all outputs to "0" when it is at logical "1". The counters also have carry and borrow outputs so that they can be cascaded using no external circuitry.

All inputs are protected against damage due to static discharge by clamps to VDD and VSS.

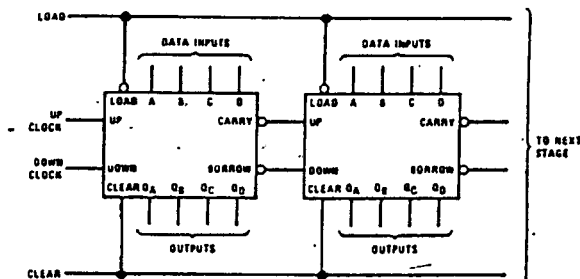
**features**

- Wide supply voltage range 3V to 16V
- High noise immunity 0.45 VDD typ
- Low power TTL compatibility fan out of 2 driving 74L or 1 driving 74LS
- Carry and borrow outputs for easy expansion to N-bit by cascading
- Asynchronous clear
- Equivalent to MM54C192/MM74C192 and MM54C193/MM74C193

**connection diagram**



**cascading packages**



### absolute maximum ratings

(Notes 1 and 2)

V <sub>DD</sub> dc Supply Voltage	-0.5 to +18 V <sub>DC</sub>
V <sub>IN</sub> Input Voltage	-0.5 to V <sub>DD</sub> + 0.5 V <sub>DC</sub>
T <sub>S</sub> Storage Temperature Range	-65°C to +150°C
P <sub>D</sub> Package Dissipation	500 mW
T <sub>L</sub> Lead Temperature, (Soldering, 10 seconds)	300°C

### recommended operating conditions

(Note 2)

V <sub>DD</sub> dc Supply Voltage	3 to 15 V <sub>DC</sub>
V <sub>IN</sub> Input Voltage	0 to V <sub>DD</sub> V <sub>DC</sub>
T <sub>A</sub> Operating Temperature Range	-55°C to +125°C
CD40192BM, CD40193BM	
CD40192BC, CD40193BC	-40°C to +85°C

### dc electrical characteristics (Note 2) CD40192BM, CD40193BM

PARAMETER	CONDITIONS	-55°C		25°C			125°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I <sub>DD</sub> Quiescent Device Current	V <sub>DD</sub> = 5V		5			5		150	μA
	V <sub>DD</sub> = 10V		10			10		300	μA
	V <sub>DD</sub> = 15V		20			20		600	μA
V <sub>OL</sub> Low Level Output Voltage	V <sub>DD</sub> = 5V		0.05			0.05		0.05	V
	V <sub>DD</sub> = 10V		0.05			0.05		0.05	V
	V <sub>DD</sub> = 15V		0.05			0.05		0.05	V
V <sub>OH</sub> High Level Output Voltage	V <sub>DD</sub> = 5V	4.95		4.95			4.95		V
	V <sub>DD</sub> = 10V	9.95		9.95			9.95		V
	V <sub>DD</sub> = 15V	14.95		14.95			14.95		V
V <sub>IL</sub> Low Level Input Voltage	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.5V or 4.5V		1.5			1.5		1.5	V
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 1V or 9V		3.0			3.0		3.0	V
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V or 13.5V		4.0			4.0		4.0	V
V <sub>IH</sub> High Level Input Voltage	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.5V or 4.5V	3.5		3.5			3.5		V
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 1V or 9V	7.0		7.0			7.0		V
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V or 13.5V	11.0		11.0			11.0		V
I <sub>OL</sub> Low Level Output Current	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.4V	0.64		0.51	0.88		0.36		mA
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 0.5V	1.6		1.3	2.25		0.9		mA
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V	4.2		3.4	8.8		2.4		mA
I <sub>OH</sub> High Level Output Current	V <sub>DD</sub> = 5V, V <sub>O</sub> = 4.6V	-0.64		-0.51	-0.88		-0.36		mA
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 9.5V	-1.6		-1.3	-2.25		-0.9		mA
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 13.5V	-4.2		-3.4	-8.8		-2.4		mA
I <sub>IN</sub> Input Current	V <sub>DD</sub> = 15V, V <sub>IN</sub> = 0V		-0.1		-10 <sup>-5</sup>		-0.1	-1.0	μA
	V <sub>DD</sub> = 15V, V <sub>IN</sub> = 15V		0.1		10 <sup>-5</sup>		0.1	1.0	μA

### dc electrical characteristics (Note 2) CD40192BC, CD40193BC

PARAMETER	CONDITIONS	-40°C		25°C			85°C		UNITS
		MIN	MAX	MIN	TYP	MAX	MIN	MAX	
I <sub>DD</sub> Quiescent Device Current	V <sub>DD</sub> = 5V		20			20		150	μA
	V <sub>DD</sub> = 10V		40			40		300	μA
	V <sub>DD</sub> = 15V		80			80		600	μA
V <sub>OL</sub> Low Level Output Voltage	V <sub>DD</sub> = 5V		0.05			0.05		0.05	V
	V <sub>DD</sub> = 10V		0.05			0.05		0.05	V
	V <sub>DD</sub> = 15V		0.05			0.05		0.05	V
V <sub>OH</sub> High Level Output Voltage	V <sub>DD</sub> = 5V	4.95		4.95			4.95		V
	V <sub>DD</sub> = 10V	9.95		9.95			9.95		V
	V <sub>DD</sub> = 15V	14.95		14.95			14.95		V
V <sub>IL</sub> Low Level Input Voltage	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.5V or 4.5V		1.5			1.5		1.5	V
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 1V or 9V		3.0			3.0		3.0	V
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V or 13.5V		4.0			4.0		4.0	V
V <sub>IH</sub> High Level Input Voltage	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.5V or 4.5V	3.5		3.5			3.5		V
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 1V or 9V	7.0		7.0			7.0		V
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V or 13.5V	11.0		11.0			11.0		V
I <sub>OL</sub> Low Level Output Current	V <sub>DD</sub> = 5V, V <sub>O</sub> = 0.4V	0.52		0.44	0.88		0.36		mA
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 0.5V	1.3		1.1	2.25		0.9		mA
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 1.5V	3.6		3.0	8.8		2.4		mA
I <sub>OH</sub> High Level Output Current	V <sub>DD</sub> = 5V, V <sub>O</sub> = 4.6V	-0.52		-0.44	-0.88		-0.36		mA
	V <sub>DD</sub> = 10V, V <sub>O</sub> = 9.5V	-1.3		-1.1	-2.25		-0.9		mA
	V <sub>DD</sub> = 15V, V <sub>O</sub> = 13.5V	-3.6		-3.0	-8.8		-2.4		mA
I <sub>IN</sub> Input Current	V <sub>DD</sub> = 15V, V <sub>IN</sub> = 0V		-0.3		-10 <sup>-5</sup>		-0.3	-1.0	μA
	V <sub>DD</sub> = 15V, V <sub>IN</sub> = 15V		0.3		10 <sup>-5</sup>		0.3	1.0	μA

**ac electrical characteristics**  $T_A = 25^\circ\text{C}$ ,  $C_L = 50\text{ pF}$ ,  $R_L = 200\text{ k}\Omega$ ,  $t_r = t_f = 20\text{ ns}$ , unless otherwise specified.

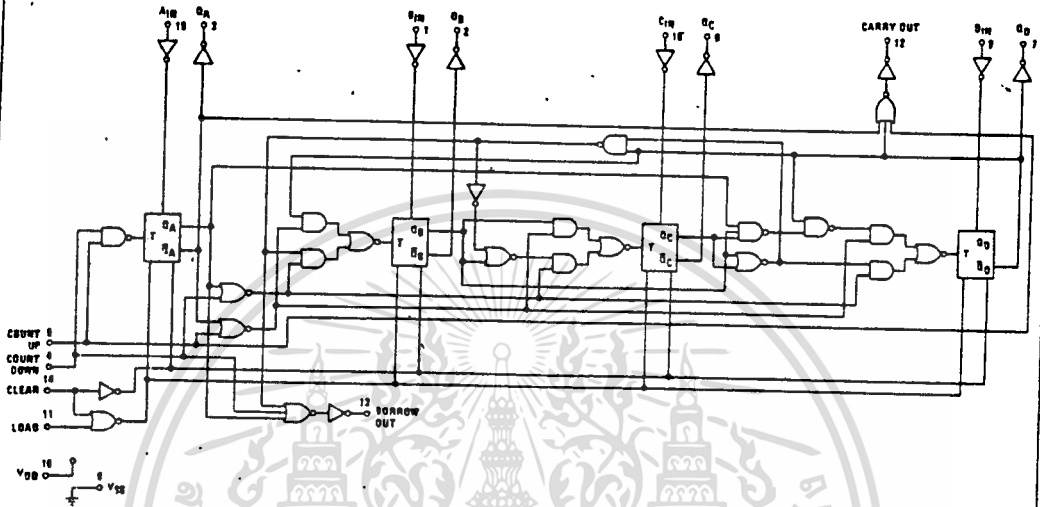
PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
t <sub>PLH</sub> or t <sub>PHL</sub>	Propagation Delay Time From Count Up Or Count Down To Q	V <sub>DD</sub> = 5V		250	400	ns
		V <sub>DD</sub> = 10V		100	160	ns
		V <sub>DD</sub> = 15V		80	130	ns
t <sub>PLH</sub> or t <sub>PHL</sub>	Propagation Delay Time From Count Up To Carry	V <sub>DD</sub> = 5V		120	200	ns
		V <sub>DD</sub> = 10V		50	80	ns
		V <sub>DD</sub> = 15V		40	65	ns
t <sub>PLH</sub> or t <sub>PHL</sub>	Propagation Delay Time From Count Down To Borrow	V <sub>DD</sub> = 5V		120	200	ns
		V <sub>DD</sub> = 10V		50	80	ns
		V <sub>DD</sub> = 15V		40	65	ns
t <sub>SU</sub>	Time Prior To Load That Data Must Be Present	V <sub>DD</sub> = 5V		100	160	ns
		V <sub>DD</sub> = 10V		30	50	ns
		V <sub>DD</sub> = 15V		25	40	ns
t <sub>PHL</sub>	Propagation Delay Time From Clear To Q	V <sub>DD</sub> = 5V		130	220	ns
		V <sub>DD</sub> = 10V		60	100	ns
		V <sub>DD</sub> = 15V		50	80	ns
t <sub>PLH</sub> or t <sub>PHL</sub>	Propagation Delay Time From Load To Q	V <sub>DD</sub> = 5V		300	480	ns
		V <sub>DD</sub> = 10V		120	190	ns
		V <sub>DD</sub> = 15V		95	150	ns
t <sub>TLH</sub> or t <sub>THL</sub>	Output Transition Time	V <sub>DD</sub> = 5V		100	200	ns
		V <sub>DD</sub> = 10V		50	100	ns
		V <sub>DD</sub> = 15V		40	80	ns
f <sub>CL</sub>	Maximum Count Frequency	V <sub>DD</sub> = 5V	2.5	4		MHz
		V <sub>DD</sub> = 10V	6	10		MHz
		V <sub>DD</sub> = 15V	7.5	12.5		MHz
t <sub>RCL</sub> or t <sub>FCL</sub>	Maximum Count Rise Or Fall Time	V <sub>DD</sub> = 5V	15			$\mu\text{s}$
		V <sub>DD</sub> = 10V	5			$\mu\text{s}$
		V <sub>DD</sub> = 15V	2			$\mu\text{s}$
t <sub>WH</sub> , t <sub>WL</sub>	Minimum Count Pulse Width	V <sub>DD</sub> = 5V		120	200	ns
		V <sub>DD</sub> = 10V		35	80	ns
		V <sub>DD</sub> = 15V		28	65	ns
t <sub>WH</sub>	Minimum Clear Pulse Width	V <sub>DD</sub> = 5V		300	480	ns
		V <sub>DD</sub> = 10V		120	190	ns
		V <sub>DD</sub> = 15V		95	150	ns
t <sub>WL</sub>	Minimum Load Pulse Width	V <sub>DD</sub> = 5V		100	160	ns
		V <sub>DD</sub> = 10V		40	65	ns
		V <sub>DD</sub> = 15V		32	55	ns
C <sub>IN</sub>	Average Input Capacitance	Load and Data Inputs (A,B,C,D)		5	7.5	pF
		Count Up, Count Down and Clear		10	15	pF
C <sub>PD</sub>	Power Dissipation Capacity	(Note 3)		100		pF

Note 1: "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed; they are not meant to imply that the devices should be operated at these limits. The table of "Recommended Operating Conditions" and "Electrical Characteristics" provides conditions for actual device operation.

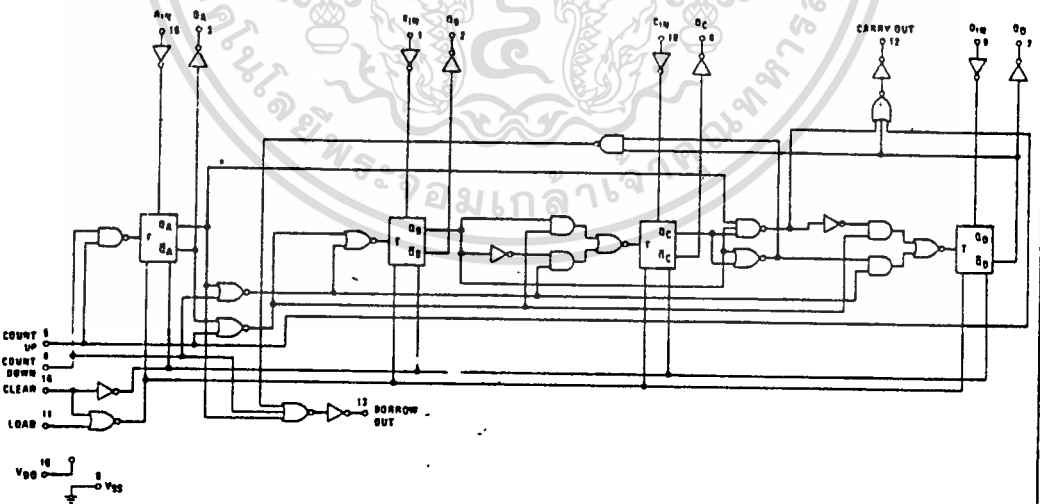
Note 2: V<sub>SS</sub> = 0V unless otherwise specified.

Note 3: C<sub>PD</sub> determines the no load ac power consumption of any CMOS device. For complete explanation, see 54C/74C Family Characteristics application note, AN-90.

schematic diagrams



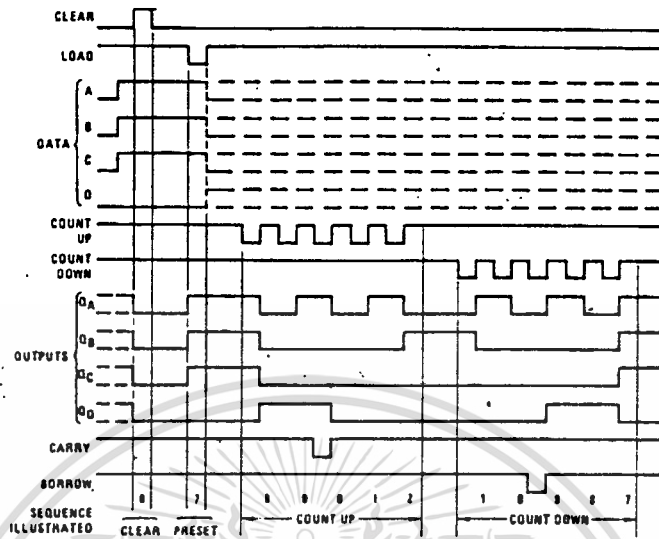
CD40192B/CD40192C Synchronous 4-Bit Up/Down Decade Counter



CD40193B/CD40193C Synchronous 4-Bit Up/Down Binary Counter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

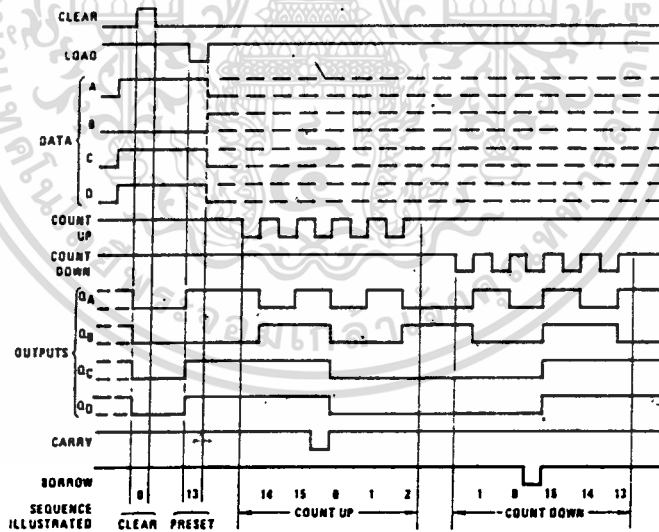
# timing diagrams



Sequence:

1. Clear outputs to zero.
2. Load (preset) to BCD seven.
3. Count up to eight, nine, carry, zero, one and two.
4. Count down to one, zero, borrow, nine, eight and seven.

CD40192BM/CD40192BC



Sequence:

1. Clear outputs to zero.
2. Load (preset) to binary thirteen.
3. Count up to fourteen, fifteen, carry, zero, one and two.
4. Count down to one, zero, borrow, fifteen, fourteen and thirteen.

CD40193BM/CD40193BC

# SCL4518B SCL4520B

# CMOS DUAL UP COUNTERS

## FEATURES

- ◆ Two Independent 4-Bit Counters
- ◆ Internally Synchronous for High Speed
- ◆ Dual BCD (SCL4518B) and Dual Binary (SCL4520B) Configurations
- ◆ Direct Reset
- ◆ Logic Edge-Clocked Design
- ◆ Trigger from either Edge of Clock Signal
- ◆ Static Operation— DC to 5MHz @ 10Vdc

## DESCRIPTION

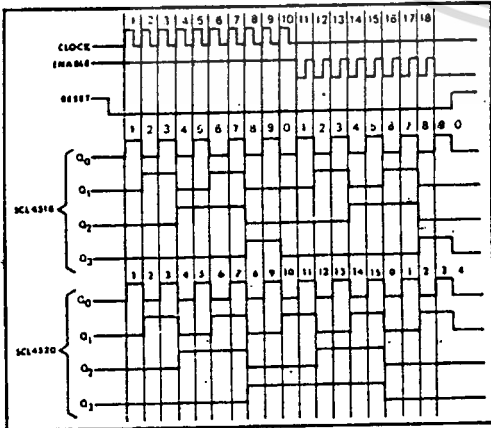
The SCL4518B Dual BCD Counter and the SCL4520B Dual Binary Counter are constructed with MOS P-channel and N-channel enhancement-mode devices in a single monolithic structure. Each consists of two identical, independent, internally synchronous 4-stage counters. The counter stages are type-D flip-flops, with interchangeable Clock and Enable lines for incrementing on either the positive-going or negative-going transition as required when cascading multiple stages. Each counter can be cleared by applying a high level on the Reset line. In addition, the SCL4518B will count out of all undefined states within two clock periods. These complementary MOS up counters find primary use in multi-stage synchronous or ripple counting applications requiring low power dissipation and/or high noise immunity.

## TRUTH TABLE

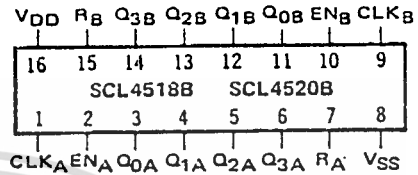
CLOCK	ENABLE	RESET	ACTION
↑	1	0	Increment Counter
0	—	0	Increment Counter
—	X	0	No Change
X	—	0	No Change
—	0	0	No Change
1	—	0	No Change
X	X	1	0 thru Q3 = 0

X = Don't Care

## TIMING DIAGRAM



## CONNECTION DIAGRAM (all packages)



Add suffix for package:

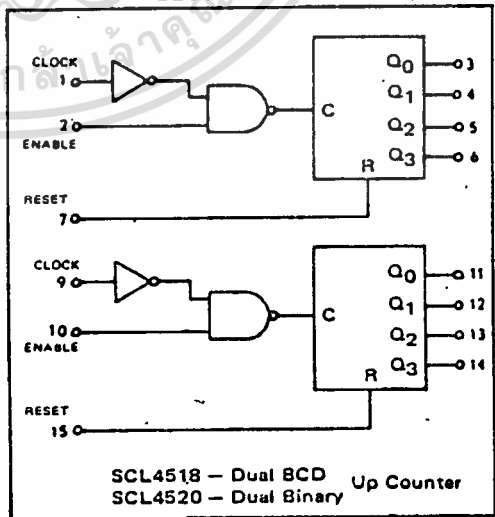
- C 16-pin Cerdip
- D 16-pin Ceramic
- E 16-pin Epoxy
- F 16-pin Flat
- H Chip

## RECOMMENDED OPERATING CONDITIONS

For maximum reliability:

DC Supply Voltage	$V_{DD} - V_{SS}$	3 to 15	Vdc
Operating Temperature	$T_A$	-55 to +125	°C
C, D, F, H Device		-40 to +85	°C
E Device			

## BLOCK DIAGRAM



SCL4518 — Dual BCD Up Counter  
SCL4520 — Dual Binary

# ELECTRICAL CHARACTERISTICS

## STATIC CHARACTERISTICS<sup>1</sup>

PARAMETER	V <sub>DD</sub> (Vdc)	CONDITIONS	T <sub>LOW</sub> <sup>1</sup>		+25°C			T <sub>HIGH</sub> <sup>1</sup>		Units
			Min.	Max.	Min.	Typ.	Max.	Min.	Max.	
QUIESCENT DEVICE CURRENT	I <sub>DD</sub>	V <sub>IN</sub> = V <sub>SS</sub> or V <sub>DD</sub> All valid input combinations	—	5	—	0.05	5	—	150	μA <sub>dc</sub>
			—	10	—	0.1	10	—	300	
			—	15	—	0.2	20	—	600	

NOTES: <sup>1</sup> Remaining Static Electrical Characteristics are listed under "SCL4000B Series Family Specifications".

<sup>1</sup> T<sub>LOW</sub> = -55°C for C, D, F, H device.

          = -40°C for E device.

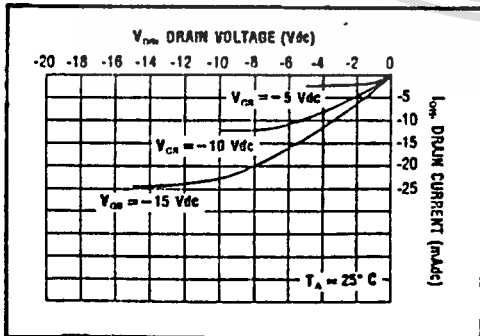
T<sub>HIGH</sub> = +125°C for C, D, F, H device.

          = + 85°C for E device.

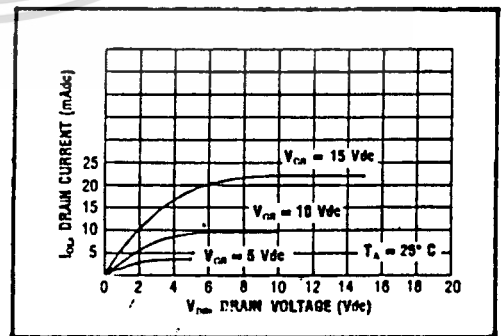
## DYNAMIC CHARACTERISTICS (C<sub>L</sub> = 50pF, T<sub>A</sub> = 25°C)

PARAMETER	V <sub>DD</sub> (Vdc)	Min.	Typ.	Max.	Units
<b>CLOCKED OPERATION</b>					
PROPAGATION DELAY TIME From Clock or Clock Enable	t <sub>PLH</sub> , t <sub>PHL</sub>	5	—	225	ns
		10	—	100	
		15	—	80	
OUTPUT TRANSITION TIME	t <sub>TLH</sub> , t <sub>TML</sub>	5	—	130	ns
		10	—	65	
		15	—	50	
MINIMUM CLOCK PULSE WIDTH	PW <sub>CL</sub>	5	—	120	ns
		10	—	50	
		15	—	40	
MINIMUM CLOCK ENABLE PULSE WIDTH	PW <sub>CE</sub>	5	—	200	ns
		10	—	90	
		15	—	75	
MAXIMUM CLOCK FREQUENCY	f <sub>CL</sub>	5	1.0	2.0	MHz
		10	2.5	5.0	
		15	3.0	6.0	
MAXIMUM CLOCK OR CLOCK ENABLE RISE & FALL TIME <sup>1</sup>	t <sub>rCL</sub> , t <sub>fCL</sub>	5	15	—	μs
		10	5	—	
		15	3	—	
<b>RESET OPERATION</b>					
PROPAGATION DELAY TIME	t <sub>rHL</sub>	5	—	225	ns
		10	—	100	
		15	—	80	
MINIMUM RESET PULSE WIDTH	PW <sub>R</sub>	5	—	120	ns
		10	—	50	
		15	—	40	
RESET REMOVAL TIME	t <sub>rem</sub>	5	—	100	ns
		10	—	50	
		15	—	40	

<sup>1</sup> When units are cascaded, the maximum rise and fall times of the clock input should be equal to or less than the transition times of the data outputs driving data inputs, plus the propagation delay of the output driving stage for the output capacitive load.



Typical P-Channel  
Source Current Characteristics

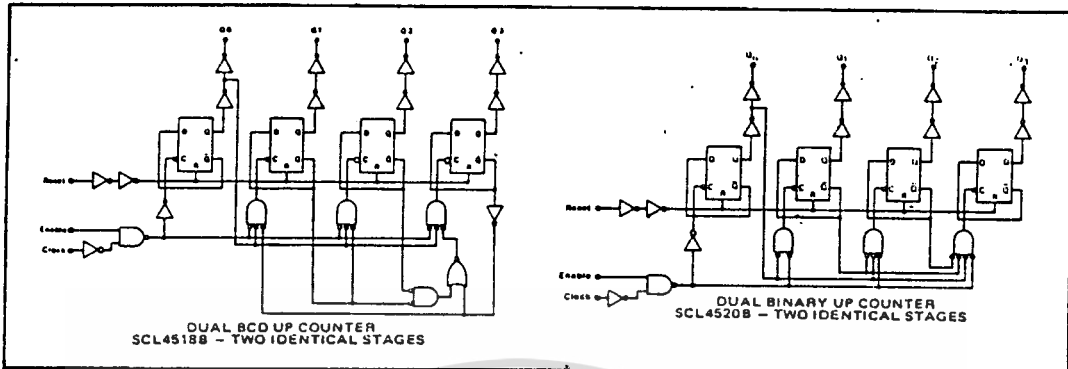


Typical N-Channel  
Sink Current Characteristics

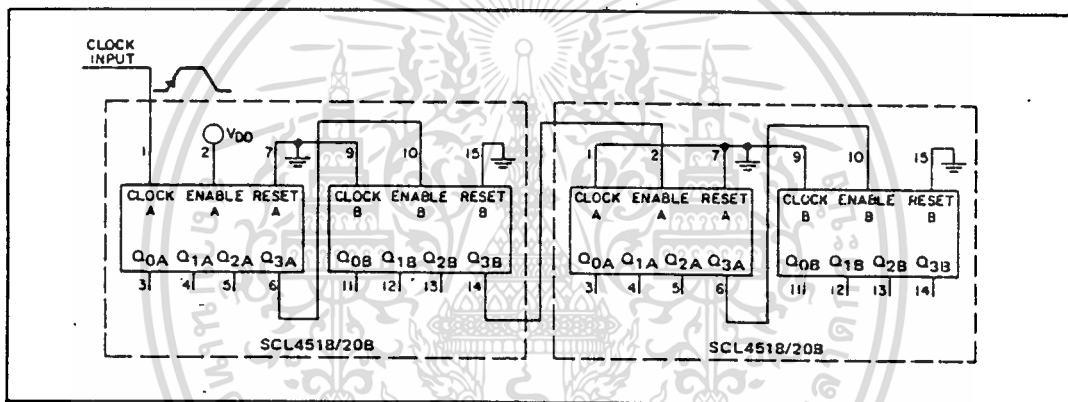
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

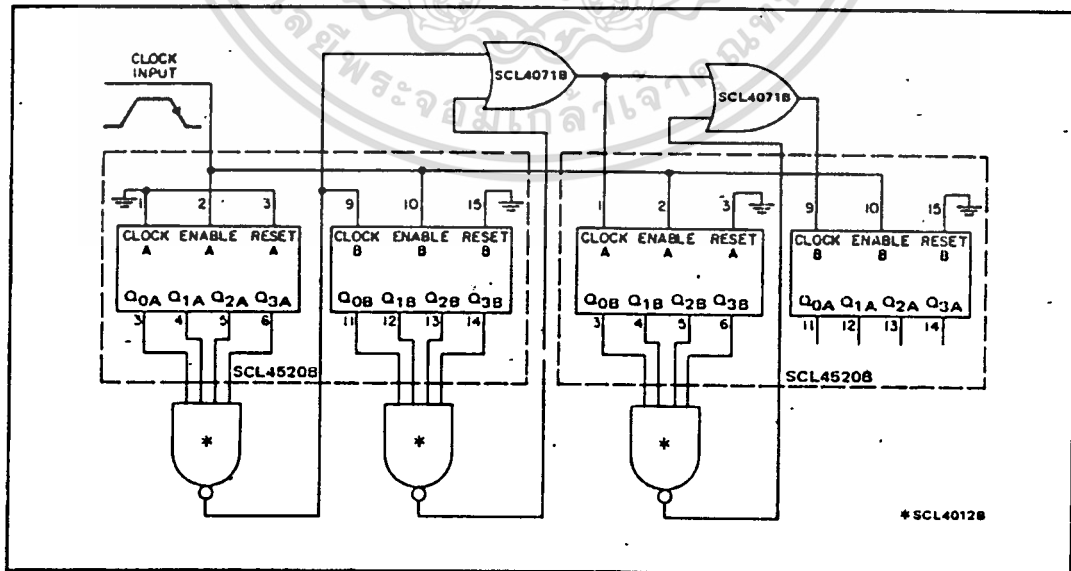
### LOGIC DIAGRAMS



### APPLICATIONS INFORMATION



Ripple cascading of four counters with positive-edge triggering.



## กิตติกรรมประกาศ

ในการทำปฏิธานพนธครั้งนี้ คณะนักศึกษาผู้จัดทำต้องใช้ความวิริยะอุตสาหะ เป็นอย่างมาก ทั้งในการสร้างเครื่องต้นแบบ และการจัดทำรูปเล่ม เนื่องจากโคทมปัญหา และอุปสรรคในการจัดทำ แต่ปฏิธานพนธครั้งนี้สามารถสำเร็จลงได้ ทั้งนี้เนื่องจากการแนะนำ และช่วยเหลือจากบุคคลหลายท่าน

ดังนั้น ณ. ที่นี้ผู้จัดทำจึงต้องขอกล่าวคำขอบพระคุณ อาจารย์ กนก เจนจิระ- พงศ์เวช และ อาจารย์ นิกร สุขุมทัศนติ ซึ่งเป็นอาจารย์ที่ปรึกษา, อาจารย์ประจำภาควิชา วิศวกรรมเครื่องกล และเจ้าหน้าที่ประจำโรงฝึกงานทุกท่านที่ช่วยให้ผู้จัดทำได้ใช้เครื่องมือและ ให้คำแนะนำในการใช้เป็นอย่างดี

ในท้ายที่สุดนี้ ถ้าปฏิธานพนธฉบับนี้มีส่วนใดขาดตกบกพร่องประการใด ผู้จัดทำขอน้อมรับไว้ทั้งหมด แต่ถามส่วนที่อยู่บาง ทางผู้จัดทำขอมอบให้แก่วงการการศึกษาของประเทศของเรา เพื่อให้เจริญรุ่งเรืองสืบไป

## หนังสืออ้างอิง

1. ยืน ภูารวรรณ, "ทฤษฎีและการใช้งานอิเล็กทรอนิกส์ เล่ม 2, 3", กรุงเทพฯ, นำอักษรการพิมพ์, 2521.
2. ยืน ภูารวรรณ, วัฒนา เชียงกุล, "ไมโครโปรเซสเซอร์ ไมโครคอมพิวเตอร์ (Z-80 microprocessor)", กรุงเทพฯ, เอช-เอน การพิมพ์, 2525.
3. ยืน ภูารวรรณ, "เทคนิคการประยุกต์และใช้งาน ไอซีทีแอล", กรุงเทพฯ, หั่งฮัวชิน การพิมพ์, 2525.
4. ยืน ภูารวรรณ, "อิเล็กทรอนิกส์อุตสาหกรรม", กรุงเทพฯ, เอเซียเพรส, 2526.
5. ยืน ภูารวรรณ, "เทคนิคการประยุกต์และใช้งาน ลิเนียร์ไอซี เล่ม 1", กรุงเทพฯ, เกษมการพิมพ์, 2523.
6. ประทีป บัญญัติพันธ์, "ทฤษฎีและการใช้งานวงจรดิจิทัล เล่ม 2", กรุงเทพฯ, คณะวิศวกรรมศาสตร์ สจล, 2527.
7. ประทีป บัญญัติพันธ์, "การเขียนโปรแกรมภาษาแอสเซมบลี Z-80", กรุงเทพฯ, คณะวิศวกรรมศาสตร์ สจล, 2527.
8. ประทีป บัญญัติพันธ์, "โพลีชาร์ตเบื้องต้น", กรุงเทพฯ, คณะวิศวกรรมศาสตร์ สจล, 2528.
9. มนัส สังวรศิลป์, ชม กิมปาน, สมเกียรติ สุภเกษตร, "ดิจิทัลอิเล็กทรอนิกส์", กรุงเทพฯ, บริษัท อิเลคทรอนิกส์ เวิลด์ จำกัด, 2525.
10. มนัส สังวรศิลป์, "ไมโครโปรเซสเซอร์ (ทฤษฎี และ ปฏิบัติ)", กรุงเทพฯ, อิเลคทรอนิกส์ เวิลด์.
11. สุรศักดิ์ พรพันธ์, "การออกแบบวงจรด้วย ไอซีออฟแอมป์", กรุงเทพฯ,

12. โทม อารีธา, "วงจรมัลติเพลกซ์เลม ๑: วงจรเชิงเลข", กรุงเทพฯ, เอช - เอน การพิมพ์, 2529.
13. กฤษณา วิเศษวิธานนท์, ยืน ภู่วรรณ, "ไมโครโปรเซสเซอร์", กรุงเทพฯ, เอเชียเพรส, 2528.
14. ก้องเกียรติ ธรรมิมา, "ทฤษฎีและการใช้งาน ไมโครไอซี 555", กรุงเทพฯ, พูลส์แวลด์การพิมพ์, 2524.
15. สิทธิชัย โภโกชอุท, วัลลภ สุรภาพลธร, "วงจรรายสัญญาณโอเปอร์เรชั่นแนล", กรุงเทพฯ, นำอักษรการพิมพ์, 2523.
16. "บันทึก 380 วงจรไอซี".
17. ภูมิภาษาคอมพิวเตอร์, "การใช้งาน Z-80", กรุงเทพฯ, ฟิลิปปินส์เซ็นเตอร์ การพิมพ์.
18. บริษัท ซีเอ็ดยูเคชั่น, "คู่มือไอซี ซีพซีพอร์ท และหน่วยความจำ", กรุงเทพฯ, เอช - เอน การพิมพ์, 2529.
19. บริษัท ซีเอ็ดยูเคชั่น, "คู่มือไอซีไมโครโปรเซสเซอร์", กรุงเทพฯ, เอช - เอน การพิมพ์, 2529.
20. บริษัท ซีเอ็ดยูเคชั่น, "คู่มือ/เทียบเบอร์ ไอซี TTL", กรุงเทพฯ, นำอักษรการพิมพ์, 2527.
21. บริษัท ซีเอ็ดยูเคชั่น, "คู่มือ ซีมอส", กรุงเทพฯ, เกษมการพิมพ์, 2522.
22. บริษัท ซีเอ็ดยูเคชั่น, "คู่มือคชไอซี", กรุงเทพฯ, เอช - เอน การพิมพ์,
23. Howard M. Berlin, "Design of Op-Amp Circuits with Experiments", Indiana U.S.A., Howard W. Sams, 1977.
24. John L. Hilburn, David E. Johnson, "Manual of Active Filter Design",

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า U.S.A., McGraw-Hill, 1973.

ไม่ว่ากรรมใดๆทั้งสิ้น อีกทั้งห้ามเผยแพร่เนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

25. Robert G. Seippel , “ Transducers , Sensors , & Detectors ” ,  
Virginia , Reston Publishing , 1983 .
26. Lance A. Leventhal , Winthrop Saville , “ Z 80 Assembly Language  
Subroutines ” .
27. Lance A. Leventhal , “ Z 80 Assembly Language Programming ” ,  
California , Osborne/McGraw - Hill , 1986 .
28. Stan Gage , Applications Engineering Manager , “ Optoelectronics/  
Fiber - Optics Applications Manual Second Edition ” ,  
New York , McGraw - Hill .
29. Rodney Zaks , Austin Lesea , “ Microprocessor Interfacing  
Techniques ” .
30. Louis Nashelsky , “ Introduction To Digital Technology Third  
Edition ” , New York , Wiley & Sons , 1977 .
31. Motorola , “ Digital/Analog and Analog / Digital Conversion  
Handbook ” , Switzerland , 1980 .