



ปีการศึกษา 2531
 เครื่องบันทึกรูปคลื่น ฟิล์มคาบเวลายาว
 เรคอร์ดเคอร์เรนจอสโคป
 โดย
 ปญเจ็ด พรเลิศ 296208
 อาจารย์ที่ปรึกษา
 อ. วิทยา พิพย์สุวรรณพร

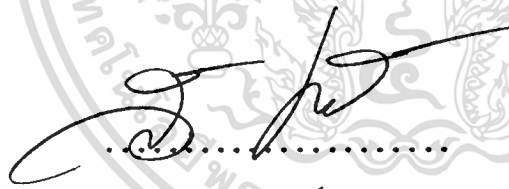
อ. วิทยา พิพย์สุวรรณพร

ปริญญาโท ปีการศึกษา ๒๕๖๒

เรื่อง เครื่องบันทึกรูปคลื่นที่มีความยาว

เรกอร์คเตอร์แบบจอสี

ผู้จัดทำ ปญเจิด ทรเลิศ 296208



อาจารย์ที่ปรึกษา

(อ. วิทยา ทิพย์สุวรรณพร)

บทคัดย่อ

เครื่องบันทึกรูปคลื่นที่มีคาบเวลายาว เรคอร์ดบนจอสโคป คือ การนำเอาสัญญาณที่มีคาบเวลายาว (ความถี่ต่ำๆ) มาแสดงผลสโคป (OSCILLOSCOPE) และสามารถบันทึกค่าเก็บไว้ในหน่วยความจำ (MEMORY) เพื่อนำมาแสดงผลภายหลัง เพื่อนำมาเปรียบเทียบผลกัน

โครงการนี้ เป็นการนำเอาสแตติกแรม 6116 (STATIC RAM 6116) มาเป็นหน่วยความจำในการบันทึกค่าของสัญญาณอะนาลอก ที่ถูกเปลี่ยนเป็นดิจิตอล แล้วบันทึกลงในแรม และดิจิตอล (DIGITAL) ถูกเปลี่ยนเป็นอะนาลอก เพื่อนำค่าข้อมูลที่ถูกบันทึกไปแสดงผลบนจอสโคป ด้วยการทำงานร่วมกันของ IC เบอร์ MC 1408L; LM 741; LF 351 และ 74HC4040 ซึ่งจะมีวงจรจัดการเวลาที่สัมพันธ์กับการเลือก คาบเวลา แสดงผลต่อหน้าจอภาพสโคป (TIME PER SCREEN) เป็นตัวเลือกช่วง เวลา การบันทึกค่าและแสดงผล ทำให้สัญญาณที่มีคาบเวลายาวถูกบันทึกลงในหน่วย ความจำและแสดงผลบนจอสโคปได้

คาบเวลายาวที่สุดที่เครื่องสามารถบันทึกและแสดงผลได้จะมีคาบเวลา ต่อหน้าจอภาพเท่ากับ 50×100 วินาที และสามารถเลือกคาบเวลาอื่นๆอีกได้ คือ (1; 2; 5; 10; 20; 50) $\times 10$; $\times 100$ วินาที

SUMMARY

Oscilloscope recorder is the equipment that check the long time base signal (low frequency) for show on the oscilloscope and record this signal into memory for compare or show in the later time

This project use STATIC RAM 6116 as a memory Analog signal will be changed to digital signal before recorded into RAM . Reading the data from RAM to show on oscilloscope digital signal will be changed to analog signal .

The longest time base which can be recorded will have TIME PER SCREEN 50x100 second ; it can be choose in (1; 2; 5; 10; 20; 50;)x10; x100 second also.

สารบัญ

0 บทนำ	1
0 ทฤษฎี	
1 ฟลิปฟลอป (FLIP-FLOP)	2
2 ชิฟต์รีจิสเตอร์ (SHIFT REGISTER)	8
3 ดิจิตอล เคาน์เตอร์ (DIGITAL COUNTER)	11
4 การเปลี่ยน อนุาลอก เป็น ดิจิตอล; ดิจิตอล เป็น อนุาลอก	14
0 การออกแบบ และประกอบเครื่อง	
- การจัดวางจร	28
* วงจรสมบูรณ์	32
- รายละเอียดการทำงานของเครื่อง	
* การจัดการเวลา	34
* การอ่านข้อมูลในหน่วยความจำ (READ MEMORY)	34
* การเขียนข้อมูลในหน่วยความจำ (WRITE MEMORY)	35
* การตรึงสัญญาณ (TRIGGERING)	36
* แผนผังเวลา (TIMING DIAGRAM)	37
- การประกอบและการปรับแต่งวงจร	
* ลายปริ้นท์	38
* ตำแหน่งอุปกรณ์	39
* การปรับแต่ง	40
* การปรับปรุงวงจรเพิ่มเติม	41
* การนำไปใช้งาน	43
0 บทสรุปและวิจารณ์	45
- ภาคผนวก	46

บทนำ

ปัจจุบัน การเติบโตของโรงงานอุตสาหกรรมหนัก กำลังเพิ่มขึ้นอย่างรวดเร็ว ซึ่งภายในโรงงานเหล่านี้ ส่วนใหญ่ระบบการควบคุมของโรงงานจะเป็นแบบอัตโนมัติ แทบทั้งสิ้น ซึ่งก็หลีกเลี่ยงไม่พ้นที่จะต้องมืออุปกรณ์ จำพวกตัวควบคุมอัตโนมัติ (CONTROLLER) และอุปกรณ์สนับสนุนอื่นๆ (เช่น TRANSMITTER, ANALIZER เป็นต้น) เป็นจำนวนมาก ที่จะทำให้เป็นโรงงานที่มีประสิทธิภาพ และทันสมัย ซึ่งย่อมเกิดปัญหาที่ติดตามมา เมื่ออุปกรณ์เหล่านี้ถูกใช้ เป็นเวลานาน ดังนั้น จำเป็นที่จะต้องมีการปรับแต่งอุปกรณ์ทุกตัวให้ได้ค่าตามข้อกำหนด ซึ่งถ้าตัวควบคุมอัตโนมัติเป็นตัวยุคใหม่ยิ่งในการที่จะต้องถูกปรับแต่ง

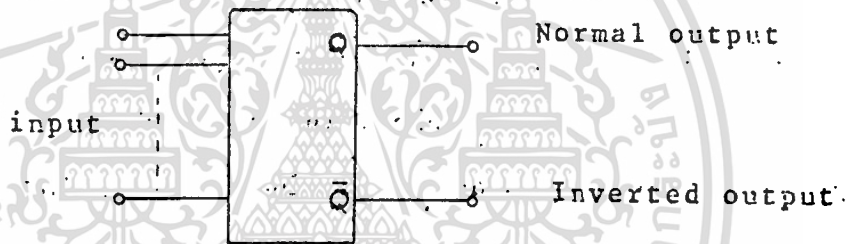
การปรับแต่งค่า PID ของตัวควบคุมอัตโนมัติ จะเป็นตัวที่ทำให้เกิดประสิทธิภาพขึ้นในระบบควบคุม การปรับแต่งนี้เราจะต้องอาศัยการสังเกต การตอบสนองของค่า PROCESS VARIABLE (PV) เมื่อเปลี่ยน SET POINT ว่ามีการเปลี่ยนแปลงเช่นไร แล้วนำไปเข้าสู่สูตรคำนวณเพื่อปรับค่า PID ให้ได้ตามต้องการ

เนื่องจากการตอบสนองเหล่านี้ ค่าบวเวลาวจะยาวมาก เราจะสามารถสังเกตได้โดยใช้เรคคอร์ดเตอร์ (RECORDER) ซึ่งเป็นแบบกระดาษกับเข็มหมึกแต่ในบางครั้งก็จำเป็น ที่ไม่สามารถใช้เรคคอร์ดเตอร์ได้ เช่นเรคคอร์ดเตอร์เสียหายหรือชำรุดเราสามารถนำโดรงงานตัวนี้ (เครื่องเรคคอร์ดเตอร์ขจอสโคป) ขึ้นมา เพื่อใช้ประกอบกับสโคป ทำหน้าที่แทนเรคคอร์ดเตอร์ได้

ซึ่งผลของอุปกรณ์ตัวนี้จะมีลักษณะคล้ายกับเรคคอร์ดเตอร์ ซึ่งสามารถบันทึกค่าได้ ที่ความเวลายาวๆ แต่จะดีกว่าในกรณีที่มีความเวลายาวๆ ลงมาก็สามารถบันทึกค่าได้ด้วย

FLIP FLOP

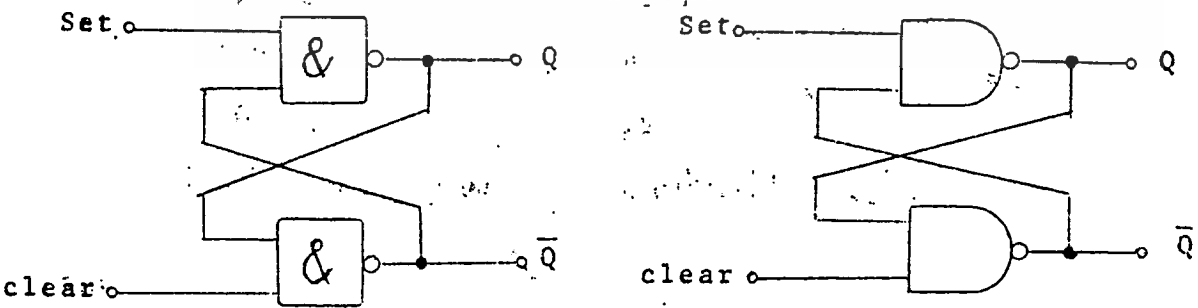
ระบบคอมพิวเตอร์นั้นต้องมีหน่วยความจำสำหรับเก็บข้อมูล การเก็บข้อมูลของดิจิทัลนั้นคือเก็บ 1 หรือ 0 ดังนั้นลักษณะการจำของหน่วยความจำก็คือ จะคงค่า 1 และ 0 เอาไว้ อุปรกรณ์พื้นฐานของระบบความจำนี้ก็คือ ฟลิปฟลอป การจำของฟลิปฟลอปนี้ก็คือ เอาท์พุทของวงจรฟลิปฟลอปจะคงค่าลอจิก 1 หรือ 0 และมันจะต้องอยู่ในเงื่อนไขการไม่เปลี่ยนแปลง หมายถึงเอาท์พุทจะไม่เปลี่ยนแปลงลอจิก แม้ว่าลอจิกที่อินพุทจะเปลี่ยนแปลงไป ฟลิปฟลอป สร้างขึ้นได้ง่ายจากเกตพื้นฐาน ฟลิปฟลอปมีชื่อเรียกอีกอย่างหนึ่งว่า Bistable multivibrator หมายถึงวงจรที่มีเอาท์พุทสองสถานะ ฟลิปฟลอปบางชนิดเรียกว่า latch หรือ binary แต่ส่วนใหญ่แล้วจะเรียกว่าฟลิปฟลอป โครงสร้างเบื้องต้นของฟลิปฟลอปนั้นเป็นวงจรลอจิกที่มี 2 เอาท์พุท ดังรูปที่ 1-1 เอาท์พุททั้งสองจะมีลอจิกที่ตรงข้ามกันเสมอ เอาท์พุทนั้นมีชื่อเรียกกันโดยทั่วไปว่า Q และ Q-bar (Qbar) ถ้า Q=1 Qbar=0 และ Q=0 Qbar=1



รูปที่ 1.1 สัญลักษณ์ทั่วไปของฟลิปฟลอป

1.1 วงจรฟลิปฟลอปเบื้องต้น

วงจรฟลิปฟลอปชนิดแรกนี้มีชื่อเรียกว่า Set/clear FF มันประกอบขึ้นจาก NAND gate 2 ตัว ต่อลักษณะ cross-coupled ดังรูปที่ 1.2



Set	(Reset) clear	Q	\bar{Q}
1	1	Nochange	
0	1	1	0
1	0	0	1
0	0	Ambiguous	

รูปที่ 1.2 Set Reset flip flop

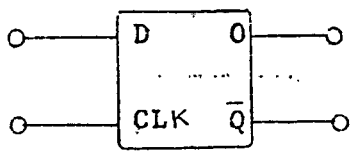
วงจรนี้ประกอบ 2 อินพุต และ 2 เอาท์พุต การทำงานจะเป็นไปตามตารางซึ่งอยู่ด้านล่างของรูป สภาวะการจำของฟลิปฟล็อปชนิดนี้คือ อินพุต ทั้งสองต้องมีลอจิกหนึ่ง เอาท์พุตจะไม่เปลี่ยนแปลง ซึ่งหมายความว่าก่อนหน้ามีเอาท์พุตเป็นอย่างไร หลังจากมีอินพุตเป็น Set=1 reset=1 เอาท์พุตก็จะไม่เปลี่ยนแปลง ส่วนกรณีอื่นนั้น Q จะมีลอจิกตรงข้ามกับ S เช่น S=0 ; Q=1 และ S=1; Q=0 ถ้าหากทั้งสองอินพุตเป็นลอจิก 0 สถานะนี้จะเป็นสถานะที่ไม่แน่นอนในฟลิปฟล็อปนั้น สถานะอย่างนี้จะไม่นำมาใช้งาน เพราะคำว่า ฟลิปฟล็อปหรือไบสเทเบิลนั้น เอาท์พุตทั้งสองต้องมีลอจิกตรงข้ามกันเสมอ ลักษณะที่ S=1 reset=1 อาจทำให้เอาท์พุตทั้งสองมีสถานะเหมือนกัน และในการใช้งานแล้วอินพุตของฟลิปฟล็อปนั้นเป็นสัญญาณนาฬิกา (clock) หรือเป็นสัญญาณพัลส์

1.2 Clocked Flip Flop

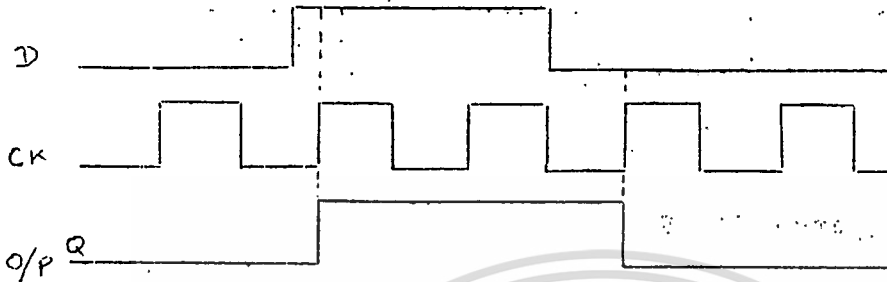
ฟลิปฟล็อปชนิดนี้ มีอินพุตอย่างน้อยที่สุด 2 อินพุต อินพุตทั้งสองนี้จะมีหนึ่งอินพุตสำหรับสัญญาณคล็อก คล็อกฟลิปฟล็อปมีหลายชนิด ดังจะกล่าวต่อไป

1.2.1 Edge-triggered D Flip Flop

ในรูปที่ 1.5 แสดงสัญลักษณ์และตารางการทำงานของ edge-triggered D flip flop คำว่า D flip flop คือ Data flip flop นั้นหมายถึง เอาท์พุต จะมีข้อมูลเหมือนอินพุต D เมื่อมีคล็อกตรงขอบขาขึ้น (positive going edge , rising edge) บ้อนเข้ามาที่ CLK และข้อมูลทางอินพุตจะไม่ผิดพลาดที่เอาท์พุต Q ในช่วงอื่น ๆ ของ คล็อก นั้นคือที่



D	Q
0	Goes to 0 on positive edge of clock
1	Goes to 1 on positive edge of clock



รูปที่ 1.3 สัญลักษณ์และการทำงานของ edge-triggered D-flip flop

ขอบขาของสัญญาณจะไม่มีผลต่อเอาต์พุต, แต่ก็ยังมี D flip flop ที่ทำงานเฉพาะขอบขาของสัญญาณคล็อก ถ้าเป็นฟลิปฟล็อปชนิดนี้จะมีวงกลมปรากฏอยู่ที่ขาคล็อก ฟลิปฟล็อปลักษณะนี้เรียกว่า negative-edge-triggering

1.2.2 Edge-trigger JK flip flop

ฟลิปฟล็อปชนิดนี้เป็นที่นิยมมาก เพราะใช้งานได้คล่องตัวและกว้างขวาง มันมักจะมี

3 อินพุต นั่นคือการทำงานของมันจะขึ้นอยู่กับคล็อก คล้าย ๆ กับที่ ฟลิปฟล็อป ดังรูปที่ 1.4

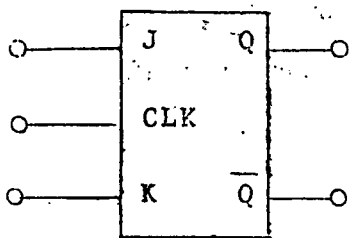
และฟลิปฟล็อปชนิดนี้ถูกสร้างขึ้นเพื่อแก้ไข Set reset FF เมื่ออินพุตของ SR FF เป็น

1, 1 เอาต์พุตจะไม่แน่นอน ส่วนของ SR FF เมื่ออินพุตเป็น 1, 1 เอาต์พุตจะ

Toggle - หมายความว่า เดิมที Q เป็น 0 ก็จะเปลี่ยนเป็น 1 หรือเดิมเป็น 1 ก็จะเปลี่ยน

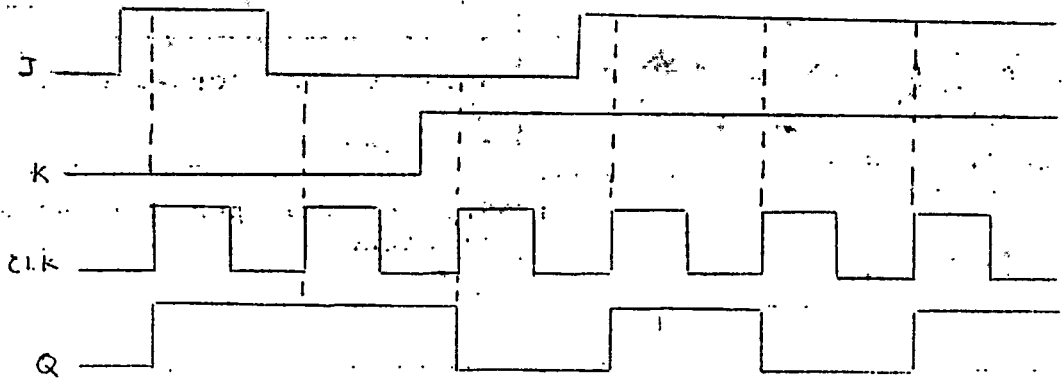
เป็น 0. หรือกล่าวว่าจะมีลอ จิก ตรงข้ามกับลอ จิก ก่อนหน้าที่มีอินพุต J=1, k=1

และที่สำคัญฟลิปฟล็อปชนิดนี้ทำงานต้านขอบขาหน้าของคล็อก



J	K	Q
0	0	No change
1	0	1
0	1	0
1	1	Toggle

} on positive edge of CLK



รูป 1.4 Edge-triggered JK FF

เราสรุปการทำงานได้ดังนี้

$J=k=0$; กรณีนี้ถูกป้อนเข้ามาที่อินพุต เมื่อขอบขาหน้าของสัญญาณคล็อกเข้ามา เอาท์พุทจะไม่เปลี่ยนแปลง ดังนั้นอินพุตเงื่อนไขนี้ทำให้เอาท์พุทจะอยู่ในสภาวะ "memory"

$J=1 ; k=0$ และเมื่อขอบขาขึ้นของคล็อกถูกป้อนเข้ามาในช่วงนี้ Q จะมีลอจิกเหมือน J คือเป็น 1

$J=0 ; k=1$ เอาท์พุท Q เป็น 0 ที่ขอบขาขึ้นของสัญญาณ $J=1 ; k=1$

$J=1 ; K=1$ เอาท์พุท Toggle คือเอาท์พุทเปลี่ยนสถานะเป็นตรงข้ามกับก่อนหน้าที่จะมีอินพุต 1,1

1.2.5 D-type latch

ฟลิปฟล็อปชนิด edge-triggered FF นั้น เอาท์พุทจะเปลี่ยน

สถานะที่ขอบขาขึ้นของสัญญาณนาฬิกา D type latch คล้ายกับ edge triggered D FF

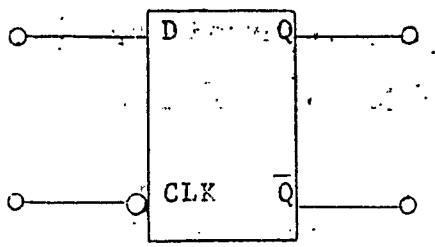
แต่ต่างกันตรงที่ฟลิปฟล็อปชนิดนี้ เอาท์พุทสามารถเปลี่ยนสถานะได้

ตลอดเวลาที่ราบเท่าคล็อกอยู่ในช่วงบวก ไม่เฉพาะตรงขอบของสัญญาณ ดังรูปที่ 1.5 จาก

รูปจะเห็นได้ว่าถ้าคล็อกอยู่ในช่วงบวก เอาท์พุทจะมีข้อมูลเหมือนอินพุต และหากคล็อกเป็นอยู่ใน

ช่วงศูนย์ ถ้าแม้จะมีอินพุทลอจิกหนึ่ง เอาท์พุทก็ยังไม่เปลี่ยนแปลง สัญญลักษณ์ วงกลมที่คล็อกเป็น

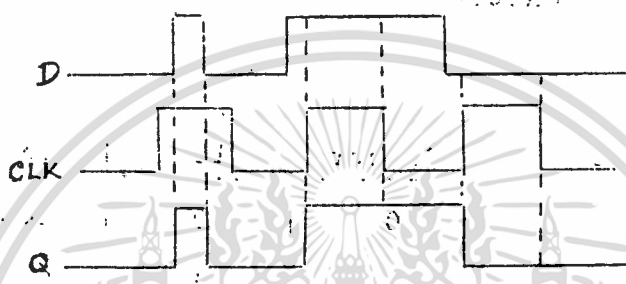
เครื่องหมายแสดงว่าช่วงศูนย์ของคล็อก เป็นช่วงของความจำ (Stored หรือ latch)



D	CLK	Q
X	0	Store previous value
0	1	0
1	1	1

Q=D

X indicates that it can be either 0 or 1



รูปที่ 1.5 D-type latch

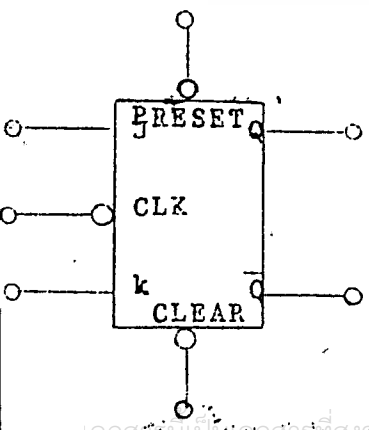
1.2.4 Synchronous and asynchronous FF inputs

ฟลิปฟล็อปที่กล่าวมาเวลานั้น มักจะอ้างถึงคล็อกอินพุตด้วย (control input)

อินพุตนี้เราเรียกว่า Synchronous input เพราะว่ามันทำงานโดยให้ เอาท์พุท สอดคล้องกับสัญญาณคล็อก (Synchronized)

ยังมีคล็อกฟลิปฟล็อปอีกชนิดหนึ่งที่มีอินพุตเป็น asynchronous inputs

การทำงานของมันแยกอิสระจาก Synchronous input อินพุตชนิดใหม่ที่มีไว้สำหรับเซ็ท ค่าให้เอาท์พุทฟลิปฟล็อปเป็น 1 หรือเป็น 0 ณ เวลาใด ๆ ที่ต้องการได้ตั้งสัญญาณลักษณะและการ ทำงานในรูป 1.6 ซึ่ง asynchronous คือ



Preset	clear	response
0	0	Ambignors
0	1	Set Q=1
1	0	Clear Q=0
1	1	NO effect on FF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับภายในของหน่วยงานนี้ ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 1.6 Clocked JK FF with asynchronous inputs

preset, c มีนทำงานที่ลอจิก "0" (ดูจากวงกลมที่ถูกล็อก) ถ้าหากที่ preset เป็น 0 เมื่อใด ที่เอาต์พุตของ Q ก็จะเป็น 1 เรวเรียกว่าการเข้าก่อนการทำงานตามสัญญาณนาฬิกา และเมื่ออินพุต clear เป็น 0 ที่เอาต์พุตของฟลิปก็จะเป็นลอจิก 0 ดังนั้นเมื่อใดหรือช่วงเวลาใดที่เราต้องการให้เอาต์พุตมีค่าที่ต้องการ เราก็จะควบคุมได้ด้วย asynchronous input



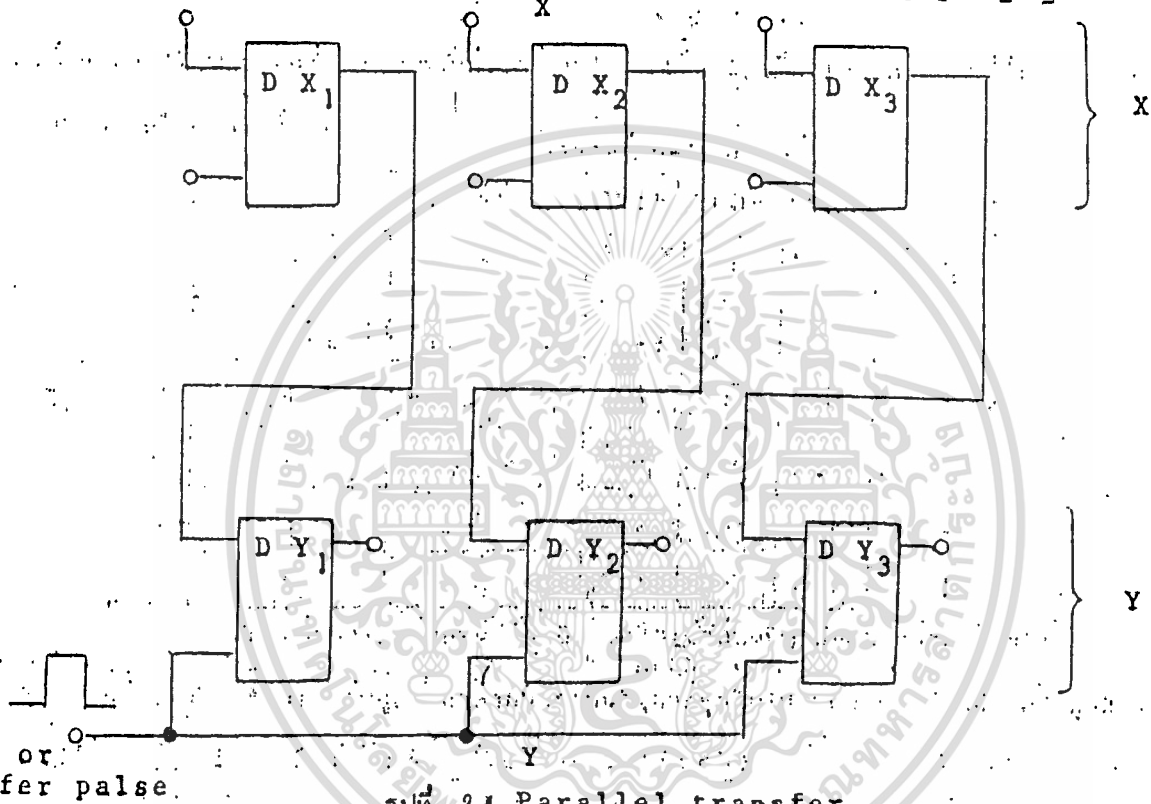
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

SHIFT REGISTER

2.1 Parallel transfer (Parallel in/Parallel out, PIPO)

ชิฟต์รีจิสเตอร์ชนิดนี้ ป้อนข้อมูลเข้าแบบขนาน และให้ข้อมูลออกแบบขนาน การส่งค่าข้อมูล ก็ยังขึ้นอยู่กับสัญญาณนาฬิกา เช่น รูปที่ 2.1 เป็นการส่งข้อมูลจาก $[X]$ $[Y]$



รูปที่ 2.1 Parallel transfer

จากรูปจะเป็นการถ่ายทอดข้อมูลจากรีจิสเตอร์กลุ่ม X ไปยังกลุ่ม Y สมมติว่าที่รีจิสเตอร์กลุ่ม X มี $X_1=1$; $X_2=0$ เอาท์พุทนี้ก็จะมาวอเป็นอินพุทของกรุปรีจิสเตอร์ Y เมื่อมีนาฬิกาเข้ามา ข้อมูลของกรุปรีจิสเตอร์ X ก็จะถูกถ่ายทอดออกไปยังเอาท์พุทของกรุปรีจิสเตอร์ Y ดังนั้นหลังจากนาฬิกาแล้ว $Y_1=1$; $Y_2=0$; $Y_3=1$

2.2 ไอสีรีจิสเตอร์

รีจิสเตอร์อาจสร้างขึ้นจากฟลิปฟลอปหลากหลาย ตัว ตัวที่กล่าวมาแล้ว แต่ในการใช้งานจริง อาจจะไม่สะดวกเท่าที่ควร ดังนั้นจึงทำให้เกิดไอซีรีจิสเตอร์ขึ้นมา โดยสามารถแยกออกเป็นชนิดต่าง ๆ ดังนี้

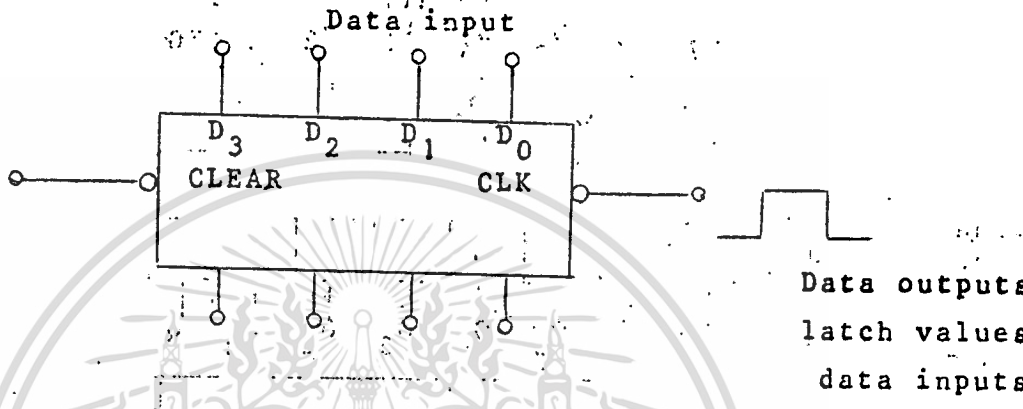


2.2.1 Data-latch register

รีจิสเตอร์ชนิดนี้ใช้ D ff ดังที่กล่าวมาแล้ว ดังรูปที่ 2.2 เป็นรีจิสเตอร์ขนาด 4 บิต รีจิสเตอร์ตัวนี้มีการทำงานคือ

- ก. ขณะที่ CLK=1 ข้อมูลอินพุตจะถูกปล่อยไปยังเอาต์พุต
- ข. เมื่อ CLK=0 เอาต์พุตจะมีค่าคงเดิมไม่เปลี่ยนแปลง เราเรียกว่า Latch

(hold) ดังนั้นข้อมูลเอาต์พุตจะไม่เปลี่ยนแปลงแม้ว่าอินพุตจะมีการเปลี่ยนแปลง

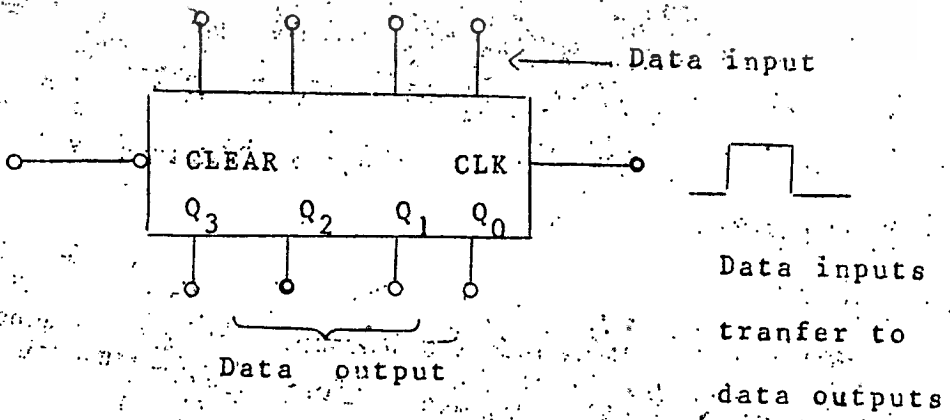


รูปที่ 2.2 Data latch register

- ค. Clear input ใช้เมื่อต้องการให้เอาต์พุตทุกบิตเป็นศูนย์หมด

2.2.2 Edge-triggered register

รีจิสเตอร์ชนิดนี้ใช้ edge-triggered D FF และมีการทำงานคล้ายกับชนิดแรกต่างกันตรงคลิก ซึ่งสัญญาณคลิกนี้จะเปลี่ยนจากต่ำไปยังสูง จึงจะมีผลต่อการเปลี่ยนแปลงที่เอาต์พุต ดังรูปที่ 2.3



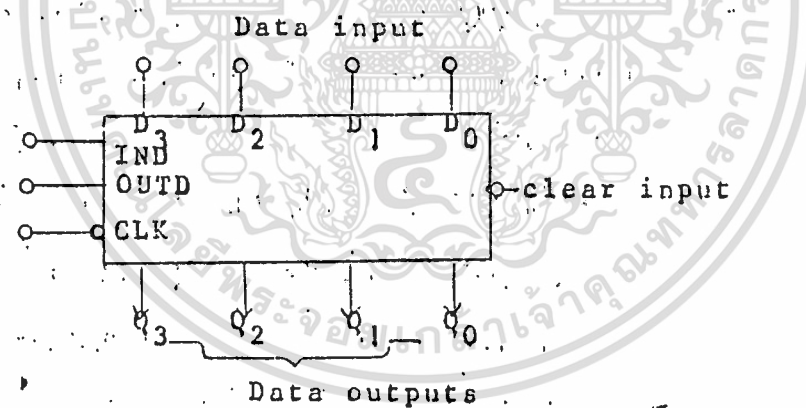
รูปที่ 2.3 edge triggered register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 TRISTATE REGISTERS

ในระบบคอมพิวเตอร์การส่งถ่ายข้อมูลจากรีจิสเตอร์ตัวหนึ่งไปยังอีกตัวหนึ่งนั้น จะผ่านทางกลุ่มของสายเชื่อมต่อเรียกว่าบัส (BUS) บัสเหล่านี้ถูกจัดขึ้นมาจากอุปกรณ์ tristate รีจิสเตอร์ชนิดนี้ก็จะมีลักษณะเช่นเดียวกันคือเป็นอุปกรณ์ tristate ดังในรูปที่ 2.4 เป็นรีจิสเตอร์ขนาด 4 ฟลิปฟลอปที่ใช้เป็นชนิด edge-triggered D FF เอาต์พุตของมันเป็น tristate กล่าวคือมันจะเป็นเอาต์พุตปกติเมื่อ OUID เป็นลอจิก 0 และเอาต์พุตจะอยู่ในสภาพ high-impedance เมื่อ OUID เป็นลอจิก 1 (OUID=output disable input) ถ้าต้องการให้เอาต์พุตทุกตัวเป็น 0 ทั้งหมด ต้องให้ลอจิก 0 ที่ CLR สมมติว่าขณะนั้น CLR=0 แต่ในขณะที่เดียวกัน OUID ยังเป็นลอจิก 1 เอาต์พุตของรีจิสเตอร์จะไม่เคลื่อนย้ายมันจะอยู่ในลักษณะ high impedance เราจะเคลียร์เอาต์พุตได้ต้องให้ OUID เป็นลอจิก 0

Input disable (IND) เมื่ออินพุตจุดนี้เป็นลอจิก 0 ข้อมูลทางด้านอินพุตจะถูกส่งไปยังเอาต์พุตเมื่อคลิกเปลี่ยนจากหนึ่งเป็นศูนย์ แต่ถ้า IND=1 เอาต์พุตจะไม่ขึ้นอยู่กัอินพุต กล่าวคือสัญญาณคลิกจะไม่มีผล บางครั้ง IND จะเรียกว่า load input และ OUID จะเรียกว่า Enable input



	IND	OUID	CLR	Data outputs
" always	X	0	0	ALL 0
ans it car	0	0	1	= D inputs on negative edge of clock
either 0	1	0	1	Store preivous value-clock has no effect
l	x	1	x	high-impedance stage

DIGITAL COUNTER

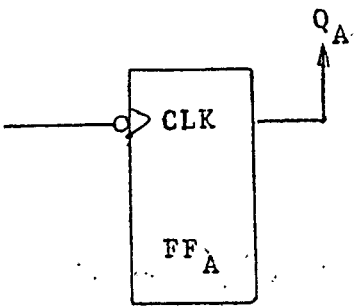
มีเครื่องมืออิเล็กทรอนิกส์จำนวนมากที่จะต้องมีการนับ โดยเฉพาะอย่างยิ่งวงจรระบบที่เกี่ยวข้องกับการวัดนาฬิกาที่จัดอด วงจรแสดงผลเป็นตัวเลข, วงจรเครื่องมือทางด้านดิจิทัล เช่น เครื่องนับความถี่, ดิจิตอลมิเตอร์ เหล่านี้อาศัยวงจรมับ หรือวงจรหารเป็นหลัก การนับหรือหารนี้ คือ การนับความถี่ของพัลส์ หรือคลิก, ตัวผลิตสัญญาณพัลส์ อาจมาจากคริสตอล หรือวงจรมัลติไวเบรเตอร์ วงจรมับเป็นอีกวงจรหนึ่งที่มีความสำคัญในระบบของคอมพิวเตอร์ โดยหลักการเบื้องต้นวงจรมับ - หาร ได้มาจากฟลิปฟลอป

3.1 หลักการของวงจรมับ

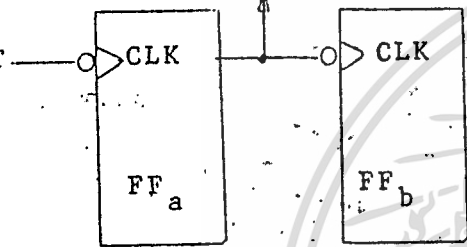
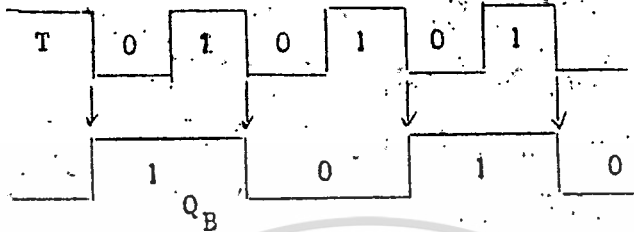
เราจะพิจารณาลักษณะของ ที. ฟลิปฟลอป เป็นหลักในเรื่องวงจรมับ ซึ่งการทำงานของ ที. ฟลิปฟลอป นั้น, เอาท์พุทจะเปลี่ยนสถานะทุก ๆ อินพุทพัลส์ที่ป้อนเข้ามา ดังรูป 3-1(ก) จะเห็นว่าคลิกอินพุทเข้ามาสองลูก เอาท์พุทพัลส์จะปรากฏเพียงหนึ่งลูก เรียกวงจรนี้ว่าโมดูลสอง (2-modulo) ส่วนรูป 3-1(ข) ประกอบวงจร ที. ฟลิปฟลอปแบบ cascade ฟลิปฟลอปตัวที่สองได้รับอินพุทจากเอาท์พุทของตัวแรก เอาท์พุทนี้จึงเป็นคลิกของฟลิปฟลอปตัวที่สอง ดังนั้น คลิกอินพุทจำนวน 4 ลูก จึงจะทำให้เกิดพัลส์ที่ฟลิปฟลอป บี. เพียงหนึ่งลูก ลักษณะเช่นนี้ เป็นชนิดวงจรหารที่สี่ หรือโมดูล 4 (4-modulo)

คำว่าโมดูล หรือโมดูลัส (Modulus) ของวงจรมับหมายถึงว่า ในขณะที่มีสัญญาณอินพุทป้อนเข้ามายังวงจรมับ เอาท์พุทของวงจรมับจะให้ผลลัพธ์ได้จำนวนครั้งเท่าใด จนกระทั่งมันกลับมาอยู่ในสภาพที่เอาท์พุทเดิมอีกครั้ง เช่น โมดูล 8 หมายความว่า วงจรนี้ นับ 0 - 7 แล้วกลับมาเริ่มที่ 0 ใหม่อีกครั้งหนึ่ง ลักษณะของวงจรมับชนิดนี้เรียกโดยทั่วไปว่า Binary ripple counter

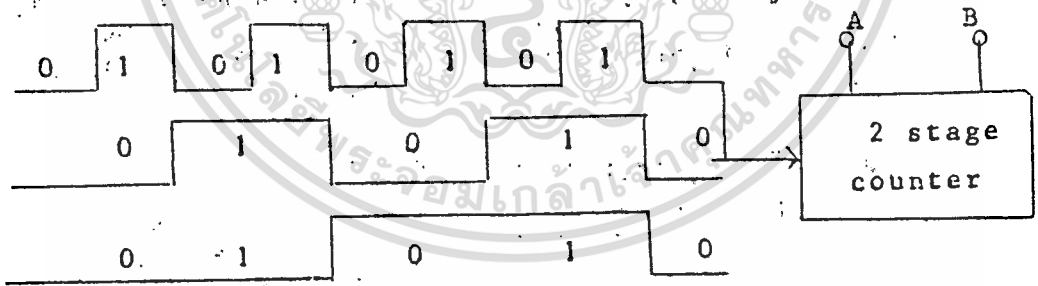
ฟลิปฟลอปหนึ่งตัวคือเลขฐานสองหนึ่งหลัก ดังนั้นรูปที่ 10 - 1(ข) มีฟลิปฟลอปจำนวนสองตัว ดังนั้นจำนวนที่นับได้จะมีค่าเท่ากับ 2^n เช่น $2^2 = 4$ นับได้สูงสุด 4 สถานะคือ 00 ถึง 11 ถ้าฟลิปฟลอปสามตัวนับได้สูงสุด $2^3 = 8$ สถานะ 000 ถึง 111 ฟลิปฟลอป 4 ตัว นับได้สูงสุด $2^4 = 16$ สถานะ 0000 ถึง 1111 แต่เมื่อพิจารณาโดยเปลี่ยนจากเลขฐานสองเป็นเลขฐานสิบแล้วการนับสูงสุดจะเป็น $2^n - 1$ เช่น $2^2 - 1 = 3$; $2^3 - 1 = 7$; $2^4 - 1 = 15$ $2^{10} - 1 = 1023$, รูปที่ 3.2 แสดงการนับ 16 สถานะ จะสังเกตเห็นว่าเอาท์พุทของฟลิปฟลอปแต่ละตัวจะเปลี่ยนสถานะเมื่อมีพัลส์ที่ขอบขาของสัญญาณอินพุท หรือเปลี่ยนจาก 1 เป็น 0



INPUT	DECIMAL	Q _A
0	0	0
1	1	1



INPUT	DECIMAL	Q _B	Q _A
0	0	0	0
1	1	0	1
2	2	1	0
3	3	1	1
4	0	0	0



รูปที่ 3.1 วงจรนับ 2 และนับ 4

INPUT PULSE	2^3 D	2^2 C	2^1 B	2^0 A	
0	0	0	0	0	1 Stage counter
1	0	0	0	1	-----
2	0	0	1	0	
3	0	0	1	1	2 Stage counter
4	0	1	0	0	-----
5	0	1	0	1	
6	0	1	1	0	-----
7	0	1	1	1	
8	1	0	0	0	3 Stage counter
9	1	0	0	1	-----
10	1	0	1	0	
11	1	0	1	1	-----
12	1	1	0	0	
13	1	1	0	1	-----
14	1	1	1	0	
15	1	1	1	1	4 Stage counter
16(or 0)	0	0	0	0	-----

รูปที่ 3.2 วงจรนับ 16

3.2 Modulus counter

การกล่าวถึงวงจรนับที่ผ่านมานั้น, ไม่ว่าจะเป็นการนับแบบนับแบบนับขึ้น หรือนับลง, ลักษณะของวงจรจะเป็นการนับไปตามลำดับ และตามจังหวะการทำงาน, แต่บางครั้งเราต้องการให้มีการนับถึงค่าหนึ่งค่าใดเท่านั้น, เช่น ให้มีการนับถึง 10 หมายความว่านับจำนวนพัลส์ได้ถึง 10 ลูก เราเรียกววงจรนี้ว่า decade counter, หรือเรียกว่า modulus - 10 (Mod 10) แต่จะอย่างไรให้วงจรนับได้สิบ, ในเมื่อวงจรนับที่มีฟลิปฟลอปจำนวน 3 ตัว จะนับได้ 8, และฟลิปฟลอปจำนวน 4 ตัว นับได้ 16 เราจะทำได้ตามวัตถุประสงค์ให้เป็นวงจรนับสิบได้ต้องใช้วิธีการที่เรียกว่าป้อนกลับ (feedback counter)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

D/A AND A/D CONVERTER

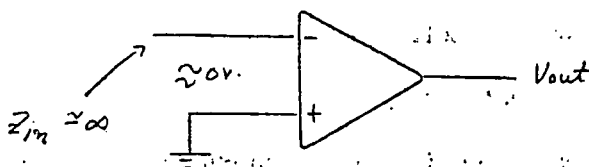
ถ้าเราต้องการที่จะเก็บข้อมูลจากแหล่งจ่ายข้อมูล หรือตัวเซ็นเซอร์บางชนิดเช่น ตัวเซ็นเซอร์อุณหภูมิ หรือ ตัวส่งถ่ายแรงกด ไว้ในหน่วยความจำ ตัวเซ็นเซอร์เหล่านั้นส่งข้อมูลออกมาในลักษณะสัญญาณอนาลอก จึงจำเป็นต้องเปลี่ยนเป็นสัญญาณดิจิทัลก่อนที่จะนำไปเก็บไว้ในหน่วยความจำ การกระทำเช่นนี้ได้ จึงต้องมีตัวเปลี่ยนสัญญาณจากอนาลอกเป็นดิจิทัล และเมื่อต้องการส่งข้อมูลจากคอมพิวเตอร์ไปสู่อุปกรณ์หรือวงจรชนิดอื่นที่ไม่ได้ทำงานด้วยสัญญาณอนาลอก ก็ต้องมีวงจร เปลี่ยนจากดิจิทัลเป็นอนาลอก

4.1. OP-AMP

- คุณสมบัติของ OP - AMP

1. อิมพีแดนซ์จุดสัญญาณเข้าจะมีค่าสูง แม้ในกรณี CLOSE LOOP ซึ่งมีค่าประมาณ 1 M
2. ค่าขยายสัญญาณวงจรเปิด จะต้องมีค่าสูง ซึ่งผลต่างของศักดาเข้าที่ ขาทั้งสอง จะต้อง มีค่าต่ำมาก
3. อิมพีแดนซ์จุด สัญญาณออกจะต้องมีค่าต่ำใกล้เคียงศูนย์ แม้ในกรณี OPEN LOOP
4. ภาคลสัญญาณจะเป็นวงจรขยายผลต่างของสัญญาณ หรือคัพแอม แต่ภาคลสัญญาณออก จะมีจุดเคี้ยว

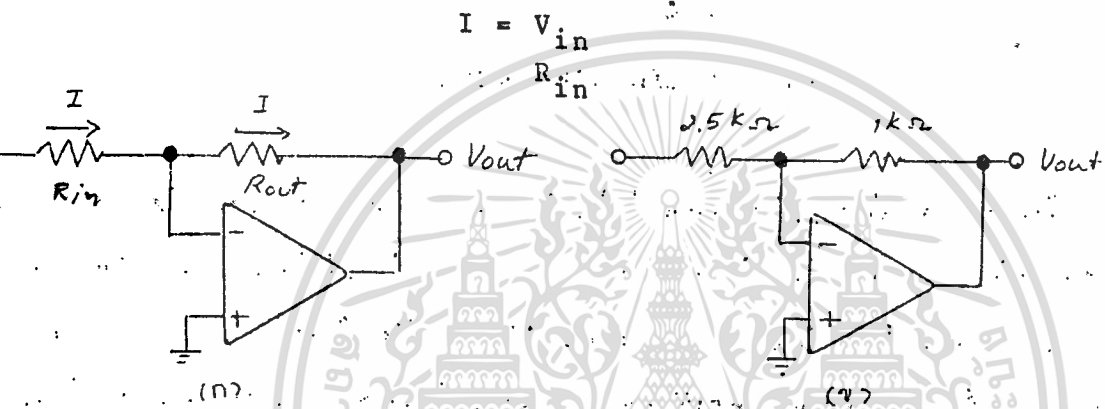
การใช้งานออปแอมป์ เพราะอุปกรณ์ชนิดนี้สามารถนำมาสร้าง วงจรกลับสัญญาณได้ ทั้ง 2 แบบ รูปที่ 4.1 แสดงสัญลักษณ์ของออปแอมป์ เกณฑ์การขยายของออปแอมป์มากกว่า 100,000 เท่า เมื่อต่อวงจรเป็นอินเวอร์เตอร์ ขั้วบวกจะต้องกราวด์ ขั้วลบจะเป็นอินพุตรับสัญญาณ เนื่องจาก เกณฑ์การขยายมีมาก ดังนั้นสัญญาณอินพุตจึงมีขนาดเพียงไมโครโวลท์ และอินพุต อิมพีแดนซ์มีค่าเข้าใกล้ อินฟินิตี้ (บางครั้งใช้เพ็ทเป็นภาคอินพุตโดยอยู่ในรูปแบบ ของไบเพ็ท ออปแอมป์) นั่นคืออินพุตเป็นศูนย์โวลท์ และอิมพีแดนซ์เป็นอินฟินิตี้ ทำให้ออปแอมป์อยู่ในลักษณะที่เรียกว่า inverting input เป็น virtual ground



รูปที่ 4.1 สัญลักษณ์ของออปแอมป์

แรงเคลื่อนและกระแสทางด้านเอาต์พุต

รูปที่ 4.2 (ก) แสดงให้เห็นความต้านทานของอินพุตและเอาต์พุต โดย V_{in} คือ อินพุตโวลต์เตจเทียบกับกราวด์ V_{out} แทนเอาต์พุตโวลต์เตจเทียบกับกราวด์ เนื่องจากออปแอมป์มี เกณฑ์การขยายมาก และมีอินพุตอิมพีแดนซ์สูง ดังนั้นจึงประมาณได้ว่าอินพุตโวลต์เตจทั้งหมด ตกคร่อมที่ ความต้านทานของอินพุต (เพราะ inverting input เปรียบเสมือน Virtual ground) เราสามารถหากระแสอินพุตได้จาก



รูปที่ 4.2 กระแสทางเอาต์พุตเท่ากับกระแสทางอินพุต

เมื่อไม่มีกระแสผ่าน Virtual ground กระแสทั้งหมดจึงผ่านไปยังความต้านทาน

เอาต์พุต หรือจะพูดว่า กระแสทางเอาต์พุตเท่ากับกระแสทางด้านอินพุต

$$V_{out} = -IR_{out}$$

เครื่องหมายลบหมายความว่า การกลับเฟสทางเอาต์พุต เช่นถ้าอินพุตเป็นบวก เอาต์พุตเป็นลบ

งเช่นรูป (ข) สามารถคำนวณกระแสอินพุตและโวลต์เตจทางเอาต์พุตได้ ดังนี้

$$I = \frac{5V}{2.5 K} = 2 \text{ mA}$$

$$V_{out} = -2\text{mA} \times 1K = -2V$$

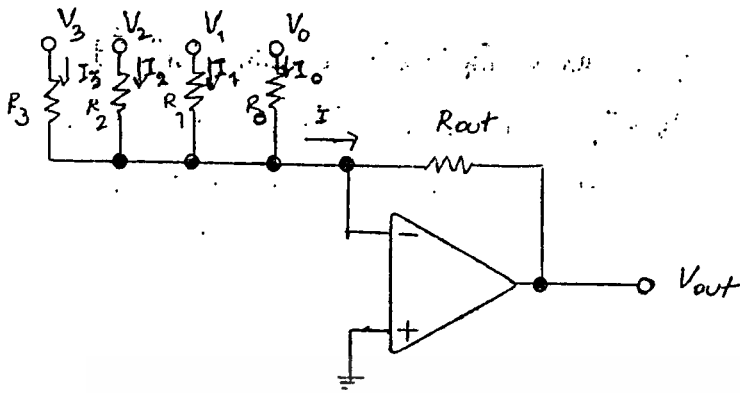
วงจรรวมกระแส (summing circuit)

รูปที่ 4.3 กระแสทางเอาต์พุตเกิดจากการรวมกระแสทางด้านอินพุต โวลต์เตจทางด้าน

อินพุตจะตกคร่อมความต้านทานแต่ละตัวกระแสอินพุตจึงเท่ากับ

$$I_3 = \frac{V_3}{R_3} \quad I_2 = \frac{V_2}{R_2} \quad I_1 = \frac{V_1}{R_1} \quad I_0 = \frac{V_0}{R_0}$$

เอกสารนี้เป็นเอกสารที่จัดทำไว้สำหรับการใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

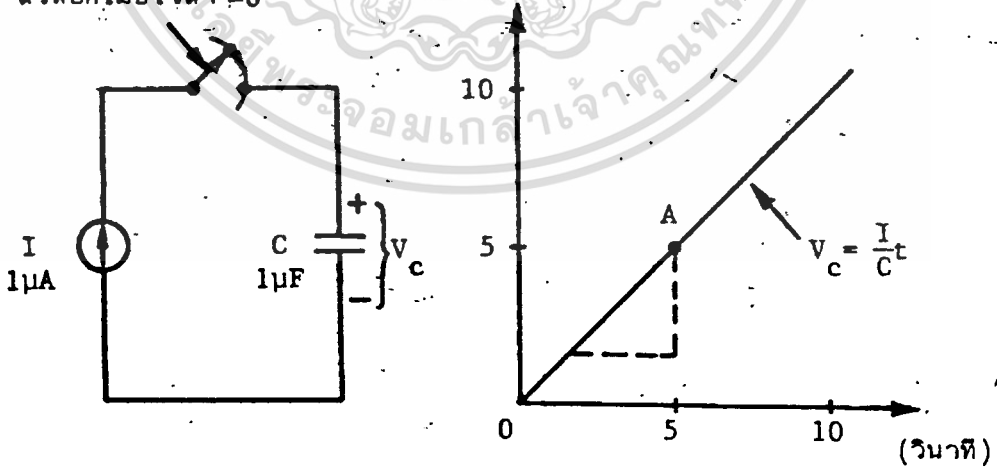


รูปที่ 4-3 กระแสเอาท์พุทเกิดจากผลรวมของกระแสอินพุท

การกำเริบสัญญาณ RAM

การกำเริบสัญญาณ RAM จะเป็นวงจรที่จะมีความจุไฟฟ้า ถูกชาร์จด้วย ค่ากระแสคงตัว

ลวสปิดเมื่อเวลา = 0



ศักดาตักคร่อมความจุไฟฟ้าจะเริ่มระดับในอัตรา (หรือความชัน) คงตัวถ้าความจุไฟฟ้าถูกชาร์จด้วยกระแสค่าคงตัว

กระแสคงตัว I จะชาร์จความจุ C โดยความสัมพันธ์ระหว่างประจุกระแส และเวลาจะเป็น

$$I = \frac{Q}{t}$$

$$Q = It$$

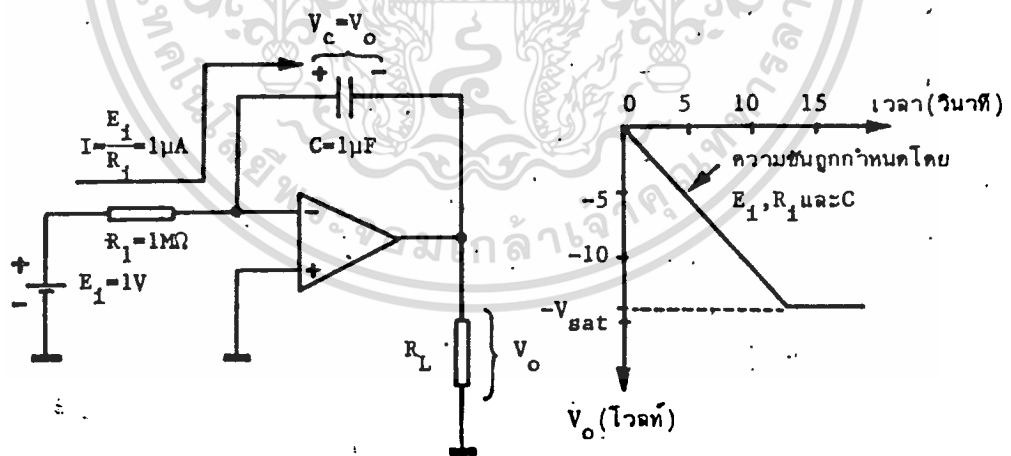
ส่วนความสัมพันธ์ระหว่างประจุที่สะสมในความจุ และศักดาที่ตกคร่อมจะเป็น

$$V_c = \frac{Q}{C}$$

$$V_c = \frac{It}{C}$$

- วงจรกำเนิดสัญญาณ RAM

วงจรกำเนิดสัญญาณ



วงจรกำเนิดสัญญาณแรมป์หรืออินทิเกรเตอร์ขั้นพื้นฐาน..

แหล่งจ่ายกระแสคงตัว จะถูกแทนด้วย E_i กับ R_i และ OP AMP

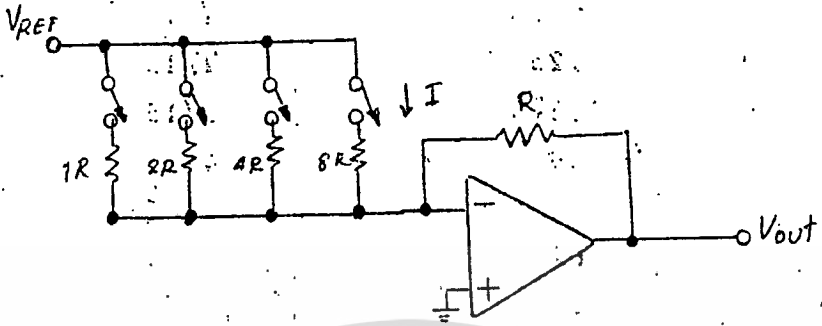
ดังแสดงในรูป โดย $I = E_i/R_i$

$$V_o = -E_i \times \frac{1}{R_i} \times t$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เรียนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 การเปลี่ยนสัญญาณจากดิจิทัลเป็นสัญญาณอนาลอกเบื้องต้น (A basic D/A converter)

วงจรรวมกระแสของออปแอมป์สามารถสร้างเป็นวงจรเปลี่ยนสัญญาณ D/A ได้โดยการเลือกความต้านทานให้สอดคล้องกับน้ำหนักประจําฐานของไบนารี ดังรูปที่ 4.6 เมื่อทุกสวิตช์เปิดทั้งหมด กระแสทางเอาต์พุตจะเป็นศูนย์



รูปที่ 4.6 D/A conversion with binary weight resistor

เมื่อเปิดสวิตช์ทุกตัว กระแสอินพุตจะมีค่าเท่ากับ

$$I_3 = \frac{V_{REF}}{R}, \quad I_2 = \frac{V_{REF}}{2R}, \quad I_1 = \frac{V_{REF}}{4R}, \quad I_0 = \frac{V_{REF}}{8R}$$

$$I = \frac{V_{REF}}{R} (1 + 0.5 + 0.25 + 0.125)$$

$$I = 1.875 \frac{V_{REF}}{R}$$

เมื่อแทนการเปิดสวิตช์เป็น 0 และการปิดสวิตช์เป็น 1 เขียนสมการใหม่ได้ดังนี้

$$I = \frac{V_{REF}}{R} (D_3 + 0.5D_2 + 0.25D_1 + 0.125D_0)$$

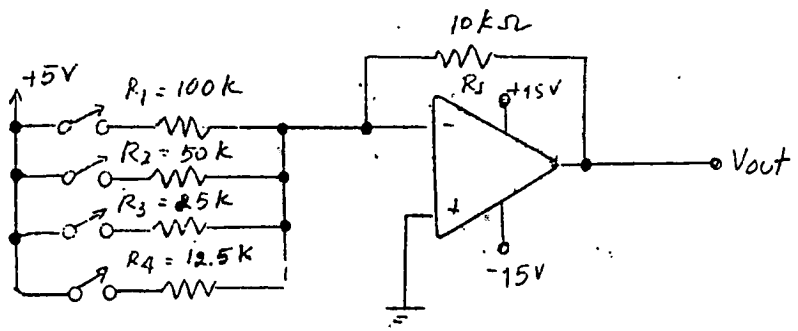
$$I = \frac{V_{REF}}{R} (D_3 + 2D_2 + 2D_1 + 2D_0)$$

แต่เนื่องจากมีอินพุต 4 บิต คอมไบเนชันได้ 16 ลักษณะดังนั้นเราสามารถหาค่ากระแสทางคานเอาต์พุตได้ดังตารางที่ 1

ตารางที่ 1-

D_3	D_2	D_1	D_0	output current (mA)	Fraction of max
0	0	0	0	0	0
0	0	0	1	0.125	1/15
0	0	1	0	0.25	2/15
0	0	1	1	0.375	3/15
0	1	0	0	0.5	4/15
0	1	0	1	0.625	5/15
0	1	1	0	0.75	6/15
0	1	1	1	0.875	7/15
1	0	0	0	1	8/15
1	0	0	1	1.125	9/15
1	0	1	0	1.25	10/15
1	0	1	1	1.375	11/15
1	1	0	0	1.5	12/15
1	1	0	1	1.625	13/15
1	1	1	0	1.75	14/15
1	1	1	1	1.875	15/15

จากรูปที่ 4.6 พิจารณาว่าอะไรจะเกิดขึ้นเมื่อปิดสวิตช์ D_0 ปลายด้านหนึ่งของความต้านทาน $100k$ มีแรงเคลื่อน 5 โวลต์ อีกปลายด้านหนึ่งเป็น virtual ground และจากกฎของโอห์ม จะมีกระแสไหลผ่านความต้านทาน 0.05 มิลลิแอมป์แปร์ กระแสตัวนี้จะไม่ผ่านเข้าไปในอินพุตของออปแอมป์ เพราะว่าอินพุตของมันมี very high impedance ซึ่งกระแสไม่สามารถ sink และ source ได้แต่กระแสตัวนี้ผ่านความต้านทาน $10k$ ไปยังเอาต์พุต ดังนั้นที่เอาต์พุตจะได้รับโวลต์เตจ -0.5 โวลต์ และเมื่อเปิดสวิตช์ D_0 และปิดสวิตช์ D_1 R_2 ซึ่งมีความต้านทานเป็นครึ่งหนึ่งของ R_1 จึงให้กระแสไหล 0.1 มิลลิแอมป์ผ่านไปยัง R_F ที่เอาต์พุตจึงมีโวลต์เตจ -0.1 โวลต์และขั้นตอนต่อไป เมื่อปิดสวิตช์ทั้งคู่กระแส 0.05 และ 0.1 มิลลิแอมป์ จึงไหลมารวมกันผ่าน R_F กระแสรวมนี้มีค่า 0.15 มิลลิแอมป์ ทำให้โวลต์แรงเคลื่อนที่เอาต์พุตเป็น -1.5 โวลต์ ดังนั้น 3 ขั้นตอนที่ผ่านมาจะมีลักษณะของลอจิกเป็น 0001, 0010, 0011 เมื่อได้คอมไบเนชันไปจนครบสถานะลอจิก 1111 เราจะได้แรงเคลื่อนที่เอาต์พุตเพิ่มขึ้นเป็นขั้นไป



รูปที่ 4-7 Binary weight register D/A converter

สำหรับเวฟฟอร์มกระแสทางเอาต์พุตนั้น เป็นลักษณะขั้นบันได (step) หรือเรียกว่า staircase ดังรูปที่ 13-7 แต่ละขั้นเรียกว่า LSB increment เพราะแต่ละขั้นเป็นการเพิ่มที่ LSB อีกวิธีหนึ่งที่จะหาคุณภาพของ D/A converter คือวิธี resolution โดยใช้สูตรอัตรา



รูปที่ 4-8 กระแสเอาต์พุตแบบขั้นบันได แต่ละขั้นเท่ากับ LSB increment

$$\text{Resolution} = \frac{1}{2^n - 1}$$

สำหรับ D/A ขนาด 4 บิต resolution จะเป็นดังนี้

$$\text{Resolution} = \frac{1}{2^4 - 1} = \frac{1}{16 - 1} = \frac{1}{15}$$

บางครั้งอ่านว่า 1 part in 15

การหาจำนวนขั้นทั้งหมดเป็นดังนี้

$$\text{step} = 2^n - 1$$

$$\text{Resolution} = \frac{1}{\text{steps}}$$

ค่าเปอร์เซ็นต์ ของ resolution คือ

$$\text{Percent resolution} = \text{resolution} \times 100\%$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อที่ 20 และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ D/A ขนาด 4 บิต มีเปอร์เซ็นต์ดังนี้

$$\text{Percent resolution} = \frac{1 \times 100\%}{15} = 6.67\%$$

สำหรับวงจร D/A ที่มีจำนวนบิตที่มากกว่า ก็จะมี resolution ที่ดีกว่า ในตารางที่แสดงค่าเปอร์เซ็นต์ resolution ขนาด 4 ถึง 18 บิต

ตารางที่ 2 Resolution

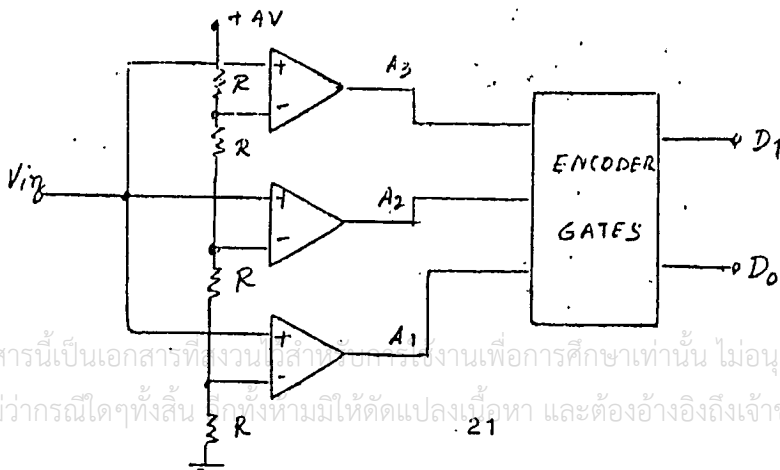
Bit	Resolution	Percent
4	1 part in 15	6.67
6	1 part in 63	1.59
8	1 part in 255	0.392
10	1 part in 1,023	0.0978
12	1 part in 4,095	0.0244
14	1 part in 16,535	0.0061
16	1 part in 65,535	0.00153
18	1 part in 262,143	0.000381

4.2) การเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิทัล (Analog to Digital converter)

จากที่ได้กล่าวมาแล้ว เราจะทำอย่างไรถ้าจะเปลี่ยนจากสัญญาณ digital word เป็นสัญญาณที่มีกระแสและแรงเคลื่อนที่เป็นปฏิภาคกัน แต่ในหัวข้อนี้จะกล่าวกลับกันคือเปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิทัล การเปลี่ยน A/D จะขึ้นอยู่กับจำนวนของบิต เช่น การเปลี่ยน 8 บิต ก็สามารถแทนอินพุตโวลต์แดงที่เป็นไปได้ถึง 256 เวิร์ด (1 input 256) A/D นั้นมีหลายชนิด แต่ก็กล่าวถึงเพียงบางชนิดเท่านั้น

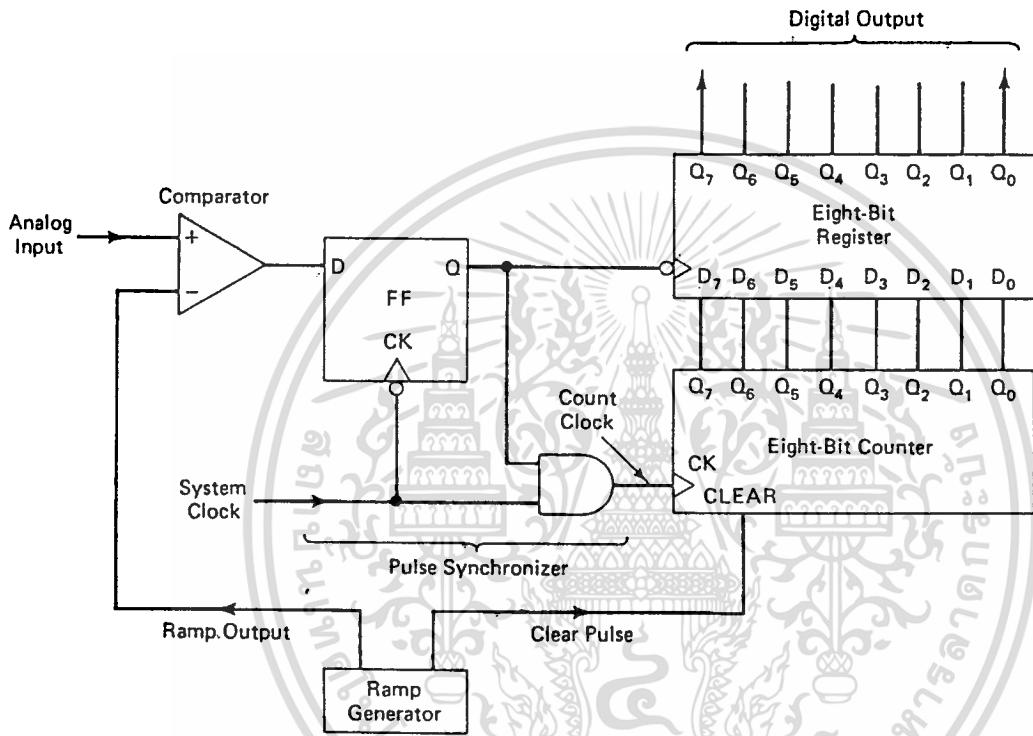
4.2.1 Parallel Comparator Simultaneous or "Flash" A/D Converter

วิธีที่ธรรมดาที่สุดก็ลงจะได้แก่วงจรเปรียบเทียบแบบขนานดังรูปที่อยู่ด้าน resistive voltage divider จะเห็น Threshold voltages บนตัวเปรียบเทียบทั้ง 3 ตัวเอาท์พุทของตัวเปรียบเทียบแต่ละตัวจะเป็น high ถ้าอินพุตโวลต์แดงเป็น positive input ที่มากกว่าโวลต์แดงอ้างอิงบน negative input ของชอปแอมป์

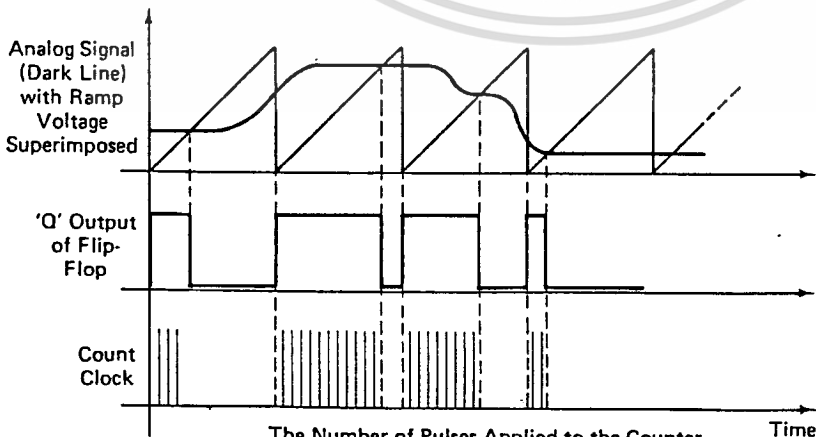


- ANALOG - TO - DIGITAL

เป็นแบบ Slope Converter เป็น D/A Conversion ที่ใช้การเปรียบเทียบของ Analog Input กับ Reference Voltage ที่เป็น Sweeping เวลาเมื่อเริ่ม Sweeping จนเท่ากับ Analog Input จะถูกนับไว้ ด้วย Binary Counter แล้วแสดงผลออกไป



(a) Circuit Schematic.



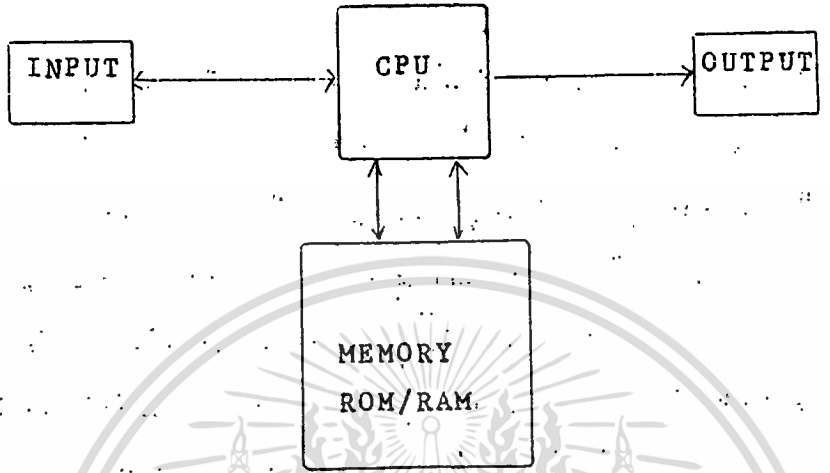
The Number of Pulses Applied to the Counter is Proportional to the Time Necessary for the Ramp Voltage to Reach the Value of the Analog Input Voltage.

(b) Timing Diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับนักเรียนที่ศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RANDOM-ACCESS, READ/WRITE MEMORY (RAM)

ส่วนประกอบของคอมพิวเตอร์ สามารถแบ่งออกเป็น input output CPU (central processing unit) memory แต่ละส่วนจะทำงานสัมพันธ์กัน : อย่างเป็นระบบ หน้าที่ของหน่วยต่าง ๆ มีดังนี้ อินพุตจะทำหน้าที่รับข้อมูล



รูปที่ 5-1 บล็อกไดอะแกรมของคอมพิวเตอร์เบื้องต้น

จากแหล่งต่าง ๆ เอาท์พุทจะเป็นหน่วยแสดงผลที่เกิดจากการกระทำตามความต้องการของผู้ใช้ ซี.พี.ยู เป็นหน่วยประมวลผลกลางซึ่งทำหน้าที่จัดการกับข้อมูลที่ป้อนเข้ามาทางอินพุท หน่วยความจำจะเป็นส่วนเก็บข้อมูลซึ่งหน่วยความจำจะมีอยู่ 2 ชนิดคือ หน่วยความจำที่ซี.พี.ยู จะอ่านข้อมูลออกมาจากหน่วยนี้ได้เท่านั้น ไม่สามารถเขียนข้อมูลเข้าไปยังหน่วยความจำชนิดนี้ได้ในขณะที่กำลังใช้งาน เรียกหน่วยความจำชนิดนี้ว่า Read only Memory (ROM) คุณสมบัติของหน่วยความจำชนิดนี้คือขณะที่ไม่มีไฟเลี้ยงให้ตัวมัน ข้อมูลที่อยู่ภายในจะไม่หายไปไหน ส่วนหน่วยความจำอีกชนิดหนึ่งคือหน่วยความจำชนิดที่ขณะใช้งานเราสามารถเขียนข้อมูลและอ่านข้อมูลจากตัวมันได้ เมื่อไม่มีไฟเลี้ยงให้หน่วยความจำชนิดนี้ข้อมูลภายในจะหายไปหมด มันมีชื่อว่า Random Access Memory (RAM) ต่อไปนี้จะกล่าวถึงเฉพาะหน่วยความจำชนิดแรมเท่านั้น

5.1 หน่วยความจำชนิดแรม

ถ้าจะเปรียบเทียบหน่วยความจำระหว่างรอม กับ แรม เราอาจกล่าวได้ว่า รอมเปรียบเสมือนหน่วยความจำชนิดถาวร ส่วนแรมเปรียบเสมือนหน่วยความจำชั่วคราว เพราะข้อมูลภายในแรมสามารถเปลี่ยนแปลงได้ แรมมีสองชนิดใหญ่ ๆ คือ Static RAM และ dynamic RAM

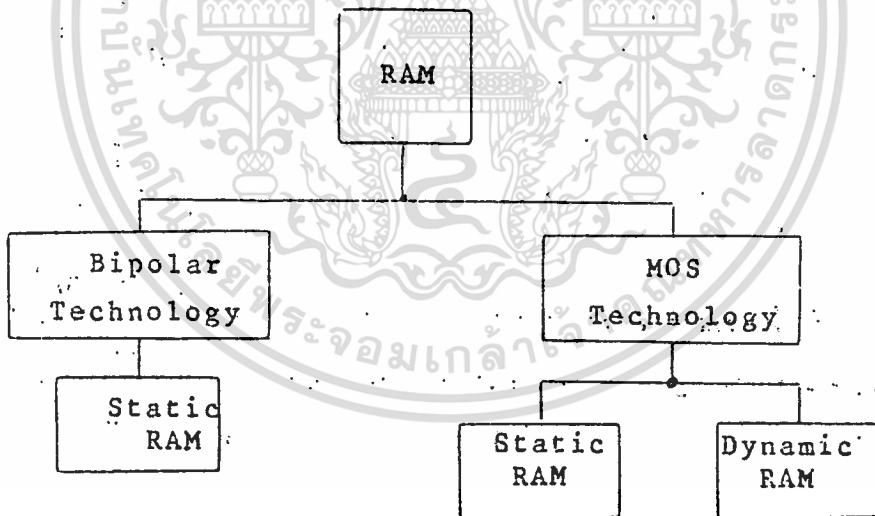
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

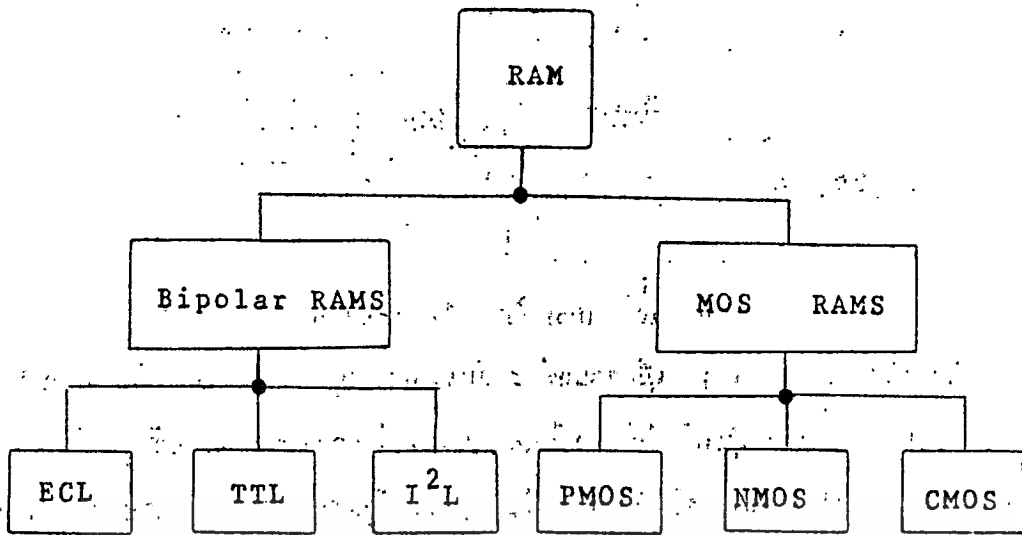
- Static RAM นั้นเป็นแรมโดยข้อมูลที่ป้อนเข้าไปครั้งแรกจะคงอยู่ตราบเท่าที่มีแหล่งจ่ายป้อนให้กับมัน จะเป็นแรมที่สร้างขึ้นจาก ไอพโธดำและเทคโนโลยีของมอส.

- Dynamic RAM นั้น ข้อมูลที่ป้อนเข้าไปแล้วยังคงต้องมีไฟไปหล่อเลี้ยงบ้างอยู่เสมอ มิฉะนั้นข้อมูลนั้นอาจจะถูกลบทิ้งไป เพราะโครงสร้างมันทำขึ้นจากตัวเก็บประจุ ประจุอาจถูกคายออกไป เมื่อไม่มีการป้อนไฟไปบ้างเป็นระยะ ๆ วิธีการส่งบ้างให้หน่วยความจำสดชื่นอยู่เสมอเรียกว่า refreshing แรมชนิดนี้สร้างจากเทคโนโลยีของมอสเท่านั้น

5.2. ตระกูลของแรม

แรมสร้างจากเทคโนโลยีของไอพโธดำและมอส ทางด้านไอพโธดำนั้นจะรวมทั้ง ECL TTL และ I^2L และมีอุปกรณ์ประกอบอีกเช่น รีซิสเตอร์ ไดโอดและไอพโธดำทรานซิสเตอร์ คุณสมบัติของแรมชนิดนี้คือมีความเร็วสูงกินกำลังไฟสูง และความจุต่ำ ปัจจุบัน (1982) จะมีความจุข้อมูล 16,384 (1K) bit ส่วนทางด้านมอสแรมนั้นยังมีเทคนิคทาง N-channel และ P-channel เพื่อสร้างเป็นแรมชนิด PMOS NMOS และ CMOS เทคโนโลยีทางด้านนี้ทำให้มีความจุสูง และกินกำลังต่ำกว่าชนิดแรกโดยเปรียบเทียบระยะเวลาเดียวกัน มอสแรมมีความจุถึง 64K bit ยังเป็นชนิด CMOS แล้วจะทำให้กินกำลังต่ำกว่าไอพโธดำมาก แต่ข้อเสียของแรมชนิดมอสคือความเร็วต่ำ การใช้งานที่เห็นได้ชัด เจนคือมักมีใช้ในเครื่องคิดเลข



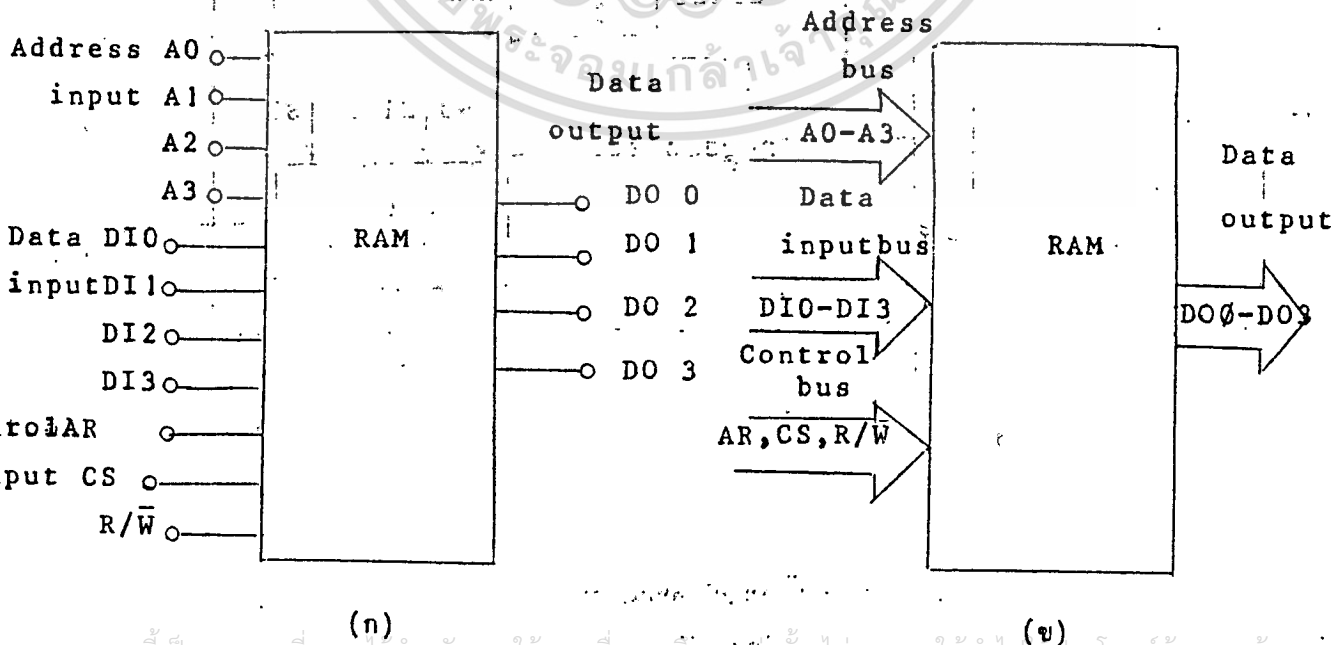


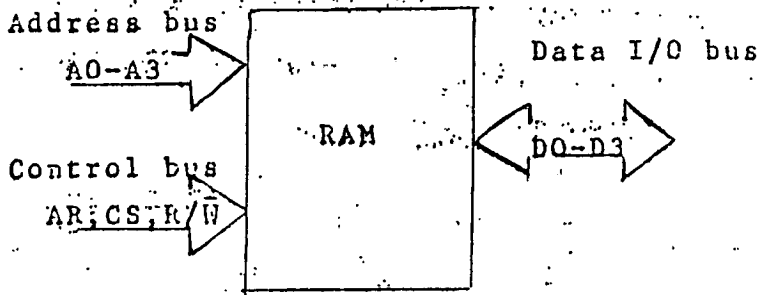
รูปที่ 5.3. ตระกูลของแรม

5.3.1 บล็อกไออะแกรมทั่วไปของแรม

จากรูปที่ 5.3 จะเห็นว่าประกอบด้วย address input, data output และ control input ซึ่งจะมีลักษณะคล้ายคลึงกับรอม ส่วนต่าง ๆ ของแรมมีดังนี้

- A0-A3 เป็นแอดเดรสที่บอกตำแหน่งที่อยู่ของข้อมูล
- DIO-DI3 เป็นข้อมูลขนาด 4 บิต ที่จะเข้าไปเก็บภายในแรม
- DO0-DO3 เป็นข้อมูลขนาด 4 บิต ที่จะถูกนำออกไปจากแรม
- AR Address ready เป็นตัว enable address
- CS Chip Select เป็นสัญญาณบอกการเลือกใช้ตัวแรม
- R/ \bar{W} read/write control เป็นสัญญาณเพื่อบอกว่าจะอ่านหรือจะเขียนข้อมูลลงไป



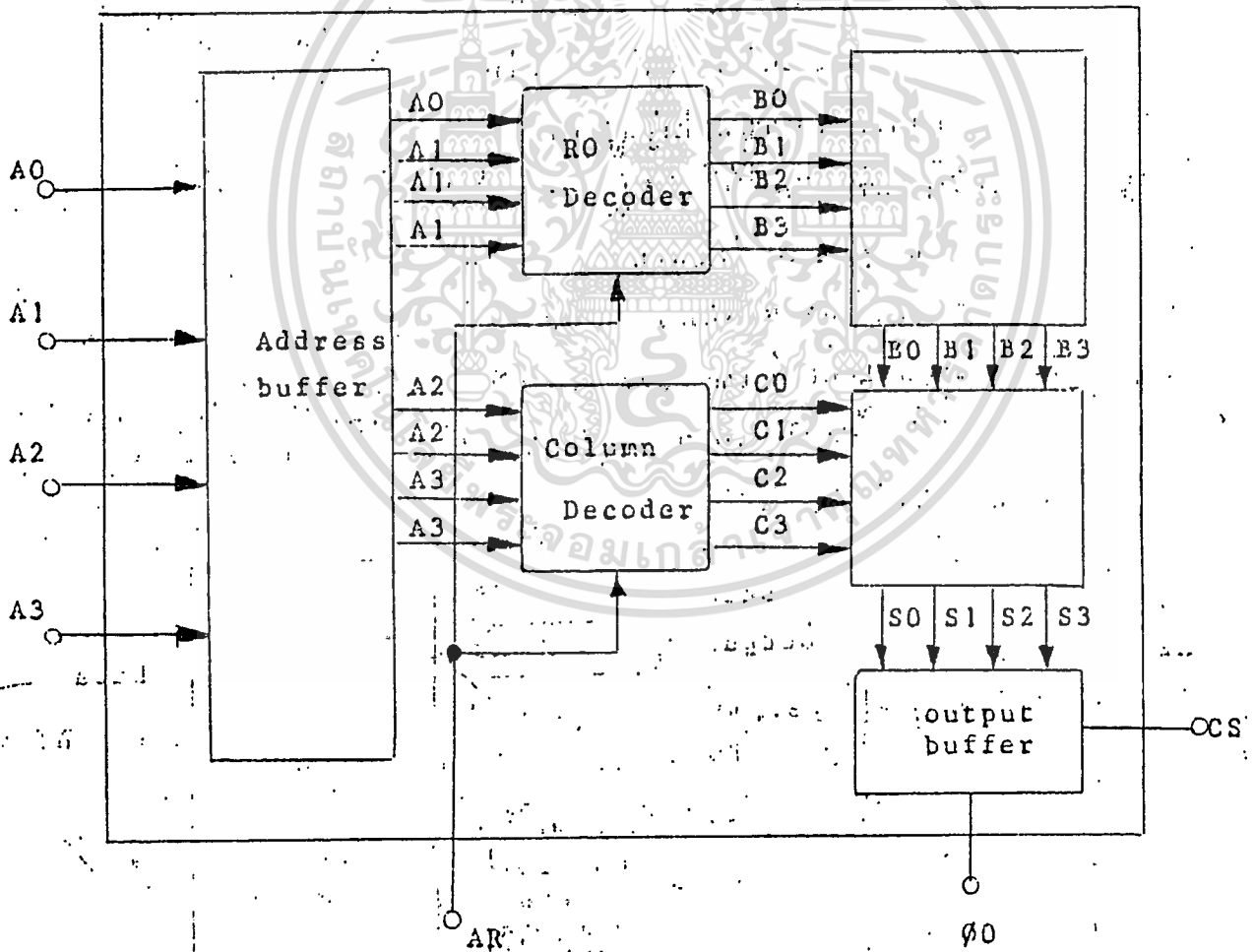


(ค)

รูปที่ ๕.๕ บล็อกไดอะแกรมทั่ว ๆ ไป ของแรม

รูป (ก) จำแนกแต่ละเส้นของสายต่าง ๆ เมื่อรวมแต่ละเส้นเข้าด้วยกัน เส้นทางทุกเส้นทางถูกเรียกว่า บัสดังรูป (ข) ส่วนรูป (ค) ทำการยุบเส้นทางของข้อมูล เพราะว่าการเข้าออกของข้อมูลใช้เส้นทาง เดียวกัน เราเรียกว่า bidirection bus ซึ่งข้อมูลจะเข้าหรือจะออกจะถูกควบคุมด้วยสัญญาณ R/W

5.4 โครงสร้างภายในของแรม



รูปที่ 5.4 โครงสร้างภายในของแรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ใม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 การนำข้อมูลเข้าและการนำข้อมูลออก (Input/output Operation)

การนำข้อมูลเข้าเรียกว่าการเขียน การจะเขียนจะต้องเริ่มจาก AR ต้องเป็น 1 หลังจากนั้นบอกตำแหน่งที่จะใส่ข้อมูลลงไปที่ A0-A3 และใส่ข้อมูลลงไปที่ D0-D3 เมื่อพร้อมแล้วให้สายควบคุม R/\bar{W} เป็นลอจิก 0 ข้อมูล D0-D3 จะถูกบรรจุลงไปในแรม เมื่อต้องการใส่ข้อมูลต่อไปก็ให้เปลี่ยนตำแหน่งที่ A0-A3 หากไม่เปลี่ยนตำแหน่ง ข้อมูลใหม่จะไปทับข้อมูลเดิม ส่วนสายควบคุมอื่น ๆ ให้ใช้วิธีการเดียวกัน

การนำข้อมูลออกเรียกว่าการอ่าน โดยเริ่มที่ AR=1 เพื่อบอกให้ตำแหน่งต่าง ๆ เตรียมพร้อม จากนั้นบอกตำแหน่งให้แรมทราบว่า จะเอาข้อมูลออกจากตำแหน่งใด โดยบ่อนตำแหน่งที่ต้องการลงที่ A0-A3 และให้ R/\bar{W} เป็นลอจิกศูนย์ ซึ่งตรงข้ามกับการเขียน พร้อมด้วย CS=1 เพื่อปล่อยข้อมูลที่บัฟเฟอร์ชั้นคอนทักต์ทั้งหมดก็จะทำให้ข้อมูลที่อยู๋ภายในแรมก็จะออกมาทาง D0-D3



● การออกแบบและการประกอบเครื่อง

โดยหลักการแล้วการบันทึกทรูปลิ้น ด้วยระบบดิจิตอลก็ได้ซับซ้อนอะไร เพียงแต่แปลงสัญญาณอินพุตจากอะนาลอก แล้วก็นำข้อมูลจากหน่วยความจำแปลงเป็นดิจิตอล (A to D converter) บันทึกลงหน่วยความจำชนิดชั่วคราว (RAM) จากดิจิตอลเป็นอะนาลอก (D to A converter) อีกที ส่วนสำคัญนั้นอยู่ที่การจัดการด้านเวลา

BASIC การจัดการเวลา

แบ่งเป็น 4 ส่วน

1. การเปลี่ยน A/D ของ I/P
2. MEMORY
3. D/A ของ O/P
4. การจัดการเวลา

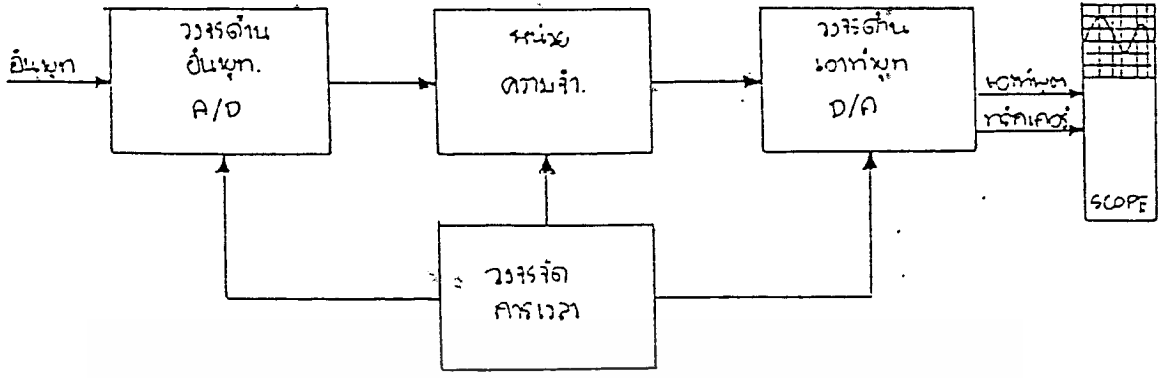
1. การเปลี่ยน A/D ของ I/P จะเป็นสัญญาณ Analog ที่กำหนดไว้ คือในช่วง - 5V ถึง + 5V ออกเป็น 256 ส่วน 2^8 ส่วน คือ 8 Digit ซึ่ง จะมี Percent Resolution

$$= \frac{1 \times 100}{2^8 - 1} \% = 0.392 \%$$

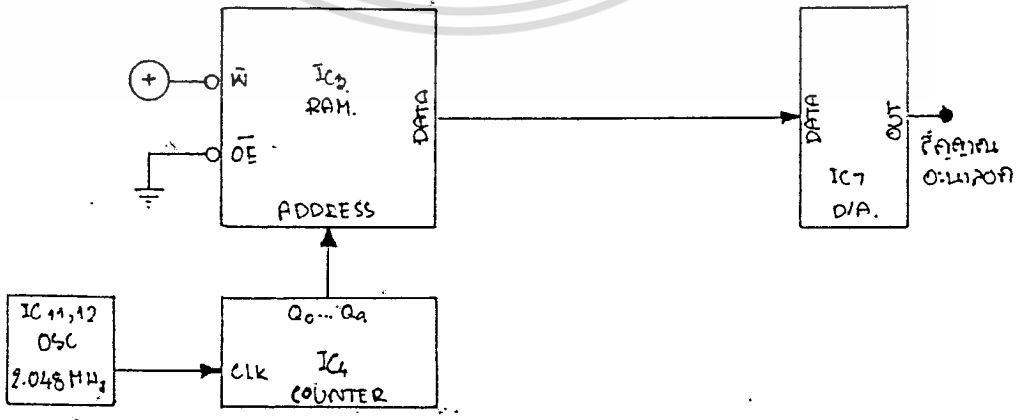
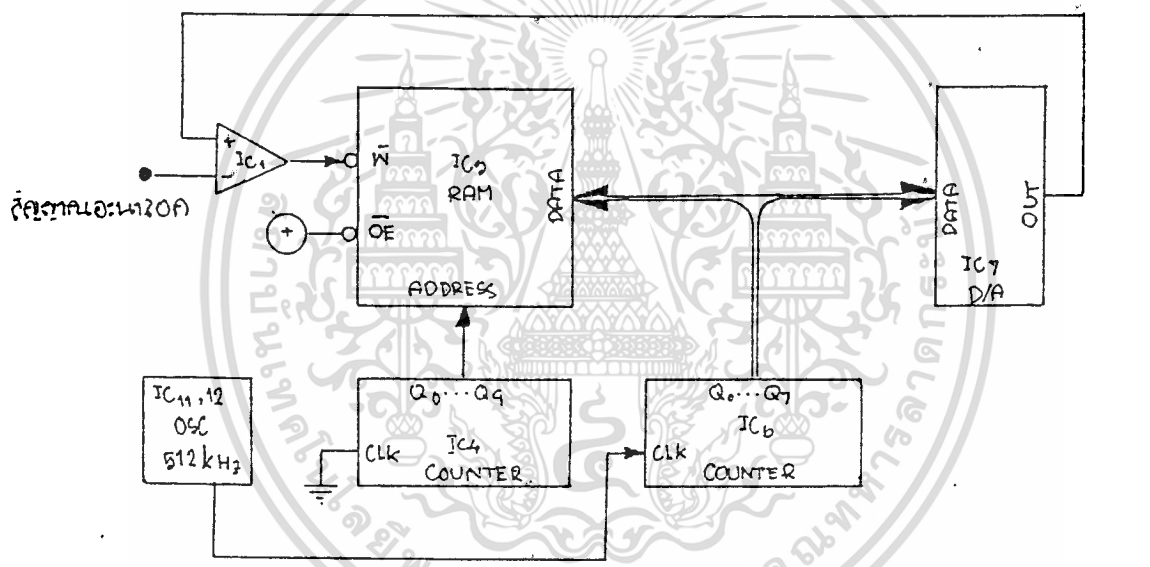
ซึ่งจะมีค่าต่ำมาก มากเพียงพอให้เห็นรายละเอียดของสัญญาณได้

- การสร้าง A TO D จาก D TO A ใช้วงจรมี ทำการนับ เรียงลำดับจาก 0 ไปจนถึง 255 บ้อนให้แก่ D TO A เพื่อทำการแปลงเป็นแรงดัน OUTPUT นำ OUTPUT จาก D TO A นี้มาเปรียบเทียบกับแรงดัน INPUT (ANALOG) เมื่อเท่ากัน ก็จะหยุดนับค่า (Binary) ไว้ และจะ LATCH ค่า Binary จากวงจรมีเป็นค่าตัวเลข Digital ที่จะใช้ในการบันทึกค่าลงใน RAM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ผังการทำงานเบื้องต้นของการบันทึกรูปคลื่นด้วยระบบดิจิทัล



แผนผังแสดงการทำงานในการแปลงสัญญาณจากอะนาลอกเป็นดิจิทัลบันทึกลงแรม

และการแปลงจากดิจิทัลจากแรมมาเป็น อะนาลอกอีกที โดยจัดให้ทำงานคนละช่วงเวลา

เอกสารนี้เป็นเอกสารผลงานในโครงการวิจัยงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามนำเนื้อหาไปตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. MEMORY จะใช้ RAM 6116 STATIC ซึ่งมีหน่วยความจำขนาด 2KBYTE โดยจะแบ่งเป็น 2 หน้า หน้าละ 1KBYTE การบันทึกค่าจะรับค่า DATA จาก A/D เมื่อมีสัญญาณ WRITE จากการ COMPARE สัญญาณ INPUT ANALOG กับสัญญาณ DIGITAL ว่าเท่ากัน และสัญญาณ การ SHIFT ADDRESS

- เมื่อแรงดัน OUTPUT จาก D TO A มีค่าเท่ากับแรงดัน INPUT ค่าตัวเลข Binary 8 BIT จากวงจรนับ Binary นี้ จะถูกเขียนลง RAM ที่ตำแหน่ง ADDRESS ตำแหน่งใด ตำแหน่งหนึ่ง ตำแหน่งเดียว โดยการ ACTIVE ของขา W ของ RAM จากนั้นจะไปทำการ Read 1024 ตำแหน่ง แล้ว SHIFT ADDRESS ไป 1 ตำแหน่ง ก่อนเริ่ม ขบวนการเดิม

3. D/A ของ O/P จะใช้การอ่านค่า Digital จาก RAM ออกมาเปลี่ยน Digital เป็น Analog โดยการผ่านไปเข้า MC1408L และ LM741

- การอ่านข้อมูลจาก RAM นั้นจะกระทำการอ่านเรียงลำดับต่อเนื่อง ทุก ADDRESS ใน RAM (1024 ตำแหน่ง) ข้อมูลที่ได้ถูกส่งไปให้ D TO A แปลงออกไปเป็น OUTPUT ซึ่งในช่วงการแปลงจาก D TO A นี้ RAM 6116 จะได้รับกับ ENABLE ในการ READ ตลอดเวลา

4. การจัดเวลา

วงจรจะแบ่งการทำงานเป็น 2 ช่วง สลับกัน คือ

- o ช่วงแรกอ่าน RAM ไปแสดงออกจอ ตลอด 1024 ตำแหน่ง
- o ช่วงสอง แปลสัญญาณ INPUT เป็นเลข Binary (Digital) เพื่อเก็บลง RAM 1 ตำแหน่ง

การทำงานทั้ง 2 ช่วง คือ การแปลงแล้วเขียน และการอ่านแล้วแปลง จึงจำเป็นต้อง จัดการ จัดลำดับเวลา ของการทำงาน ที่สอดคล้องกัน

- สิ่งที่ต้องคำนึงถึง คือ OSCILLOSCOPE เพราะต้องแสดงผลบนจอ การทำงานที่ต้อง สัมพันธ์กัน คือ การอ่านข้อมูล 1 หน้า (1024 ADDRESS) ของหน่วยความจำที่ใช้ จะต้องอ่านออกมาแสดงภาพเต็มจอภาพพอดี ดังนั้นเวลาที่ใช้ในการกวาดค่า

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อใช้ในการเรียนการสอนเท่านั้น ไม่ควรนำข้อมูลไปใช้โดยไม่ได้รับอนุญาต

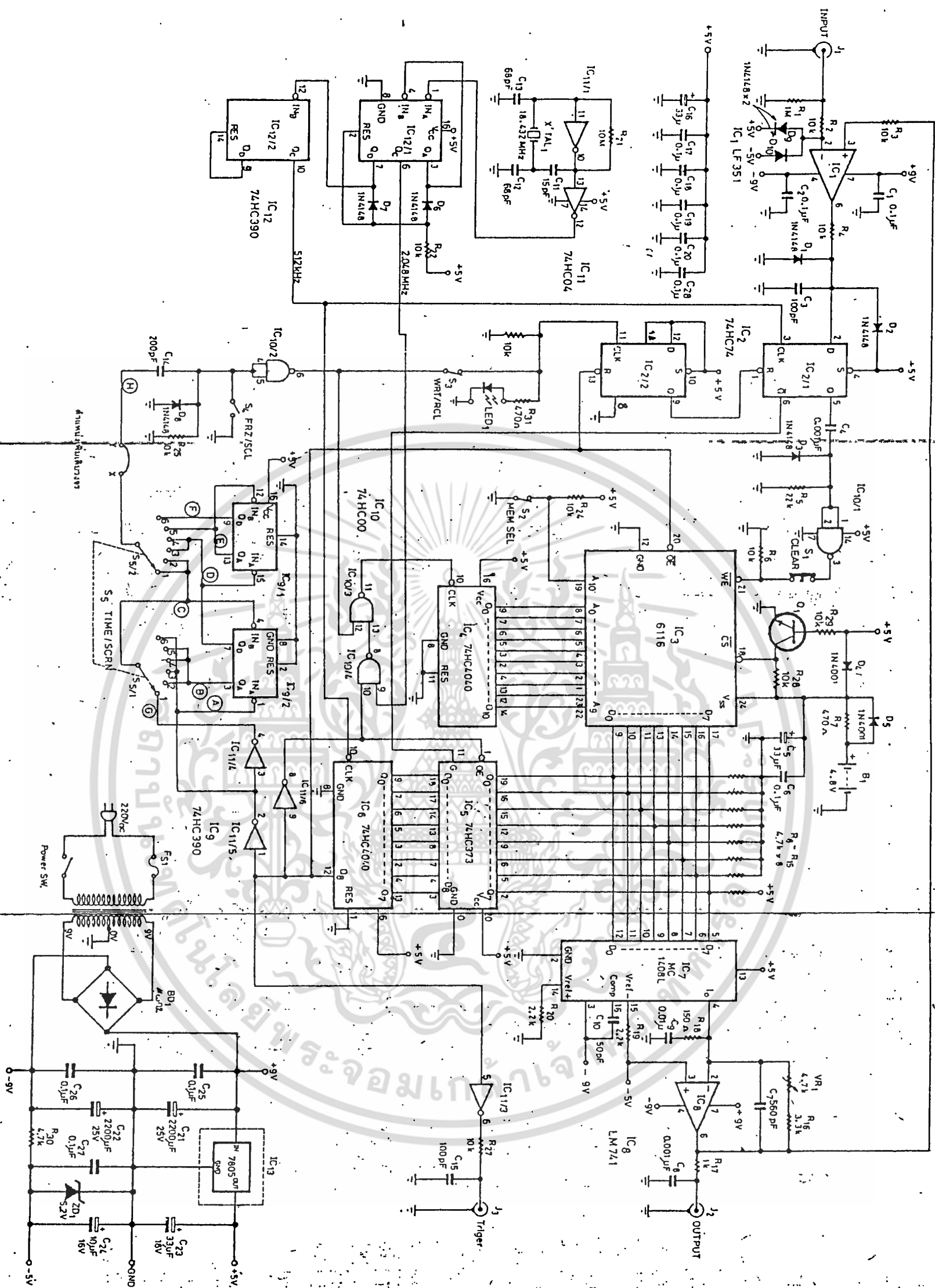
อิเล็กทรอนิกส์จาก ขอบจอด้านซ้ายสุด มายังด้านขวาจะต้องเท่ากันพอดีกับการ COUNT ค่าของ ADDRESS COUNTER 1024 ตำแหน่ง (1 หน้าของหน่วยความจำ ที่กำหนด)

- เวลาที่ใช้ในการกวาด เรียกว่า SWEEP TIME ซึ่งอัตราเร็วการกวาด กำหนดเป็น หน่วยเวลาต่อช่วง (TIME/DIVISION) ของสเกลหน้าจอก็ถูกแบ่งเป็นตารางโดยที่ หัวไปแกน X ซึ่งเป็นแกนเวลาจะแบ่งเป็น 10 ช่วง ซึ่งตัวเครื่องนี้กำหนดให้มีอัตรา เร็วต่อ 1 ภาพ (การ CONTER 1024 ตำแหน่ง) เท่ากับ 0.5 ms. ถือเป็น 0.5 ms. ต่อช่อง (50 μ s/dir)

- ดังนั้นจะมีการรูดสัญญาณ INPUT เข้ามา 1 ครั้ง ต่อการแสดงภาพ 1 ภาพ โดย สัญญาณในการรูด เราสามารถกำหนดได้ เวลาที่ใช้ในการรูดและแปลงค่าไปเก็บ หนึ่งจุด ใช้เวลาเท่ากับการแสดง 1 ภาพ ด้วย (0.5 ms.) เพราะฉะนั้นความเร็ว ในการรูด ก็คือเวลาของการแสดง 1 ภาพ (COUNT 1024 ตำแหน่ง) รวมกับการ แปลง = 0.5 ms. + 0.5 ms. เท่ากับ 1 ms. ซึ่งการเก็บบันทึกเต็ม 1 หน้า หน่วยความจำต้องมีการรูด INPUT 1024 ครั้ง โดยจะมีการเลื่อน ADDRESS ไป ทุกครั้ง คิดเป็นเวลา 1 ms. x 1024 เท่า 1.024 วินาที ตัวเลข 1.024 วินาที เป็นเวลาเร็วที่สุดของการบันทึกที่ถูปลิ้นเต็มหน้า ถ้าต้องการ ให้การบันทึกใช้เวลาเพิ่มขึ้น ก็สามารถเพิ่มช่วงห่าง การบันทึกแต่ละจุดให้นานขึ้น มากกว่าเดิม

อุปกรณ์ใช้ในการจัดการเวลา คือ จะใช้ X TAL 18.432 MHZ เป็นตัว GENERATE CLOCK แล้วหารด้วย 9 เป็น 2.048 MHZ ไปเป็น CLOCK ให้ COUNTER ในการ COUNT ADDRESS ใน RAM ด้วยความถี่นี้ (2.048 MHZ จะ COUNT 1024 ADDRESS ได้ภายใน 0.5 ms. แล้วนำ 2.048 MHZ หารด้วย 4 เป็น 512 KHZ เป็น CLOCK ให้ COUNTER ให้กับการสร้าง RAM

จากนั้น 512 KHZ หารด้วย 2^9 ได้ = 1 KHZ ไปเป็น TRIGG ให้ SCOPE และ 1 KHZ เข้าวงจรหาร ให้ OUTPUT ออกมาเป็น 1 KHZ ไปเป็น 1 KHZ (ตำแหน่ง TIME PER SCREEN 1 วินาที) 0.5 KHZ (2 วินาที) 0.2 KHZ (5 วินาที) 0.1 KHZ (10 วินาที) 0.05 KHZ (20 วินาที) 0.02 KHZ (50 วินาที) เพื่อเป็น PULSE ให้กับการ WR. ใน RAM



วงจรถ่ายแบบของเครื่องบันทึกเวลาที่แสดงผลโดยหลอดไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ในการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาตจากทางผู้จัดทำ
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการอุปกรณ์

C_1, C_2, C_9, C_{18}	(8) 0.1 μ F 50V มัลติเลเยอร์	IC_5	74HC373
$C_{25}, C_{26}, C_8, C_{20}$	หรือคอมพิวเตอรืเทรค	IC_7	MC1408L
C_3, C_{15}	(2) 100 pF 50V เซรามิก	IC_8	LM741
C_7	560 pF 50V เซรามิก	IC_9, IC_{12}	(2) 74HC390
C_4, C_8	(2) 0.001 μ F 50V เซรามิก	IC_{11}	74HC04
C_9	0.01 μ F 50V เซรามิก	IC_{13}	LM7805
$C_5, C_{10}, C_{17}, C_{23}$	(4) 33 μ F 16V อิเล็กโทรไลต์	R_1	1M Ω ¼W 5%
C_{10}	50 pF 50V เซรามิก	R_2, R_3, R_4, R_6	(12) 10k Ω ¼W 5%
C_{11}	15 pF 50V เซรามิก	$R_{22}-R_{29}$	
C_{12}, C_{13}	(2) 68 pF 50V เซรามิก	R_8, R_{15}, R_{30}	(9) 4.7 k Ω ¼W 5%
C_{14}	200 pF 50V เซรามิก	R_6	22 k Ω ¼W 5%
C_{21}, C_{22}	(2) 2200 μ F 50V อิเล็กโทรไลต์	R_7, R_{31}	(2) 470 Ω ¼W 5%
C_{24}	10 μ F 50V อิเล็กโทรไลต์	R_{16}	3.3 k Ω ¼W 5%
D_1-D_4, D_6-D_{10}	(9) 1N4148	R_{17}	1 k Ω ¼W 5%
D_6	1N4001	R_{18}	150 Ω ¼W 5%
BD_1	บริดจ์เรกติไฟเออร์ตัวกลม (W02)	R_{19}, R_{20}	(2) 2.2 k Ω ¼W 5%
ZD_1	ซีเนอร์ไดโอด 5.2V ¼W	R_{21}	10 M Ω ¼W 5%
Q_1	2SC458	J_1, J_2, J_3	(3) คอนเนกเตอร์แบบ BNC ตัวรับ
LED_1	ไดโอดเปล่งแสง	S_1, S_2, S_3, S_4	(4) สวิตช์โยก 2 ทางเดี่ยว
IC_1	LF351	S_5	สวิตช์เลือก 6 ทาง 2 ชุด
IC_2	74HC74	S_6	สวิตช์เพาเวอร์ 250V 1A
IC_3	6116 สดาคิกแรม	T_1	หม้อแปลง 220V : 9-0-9V 500mA
IC_4, IC_6	(2) 74HC4040	$X'TAL_1$	18.432 MHz

รายละเอียดการทำงานของเครื่อง

o การจัดการเวลา

การทำงานของวงจร

X'TAL 18.432

ถูกหาร 9 ด้วย IC 12/1 (.74 HC 390) ได้ความถี่ \rightarrow 2.048 MHZ

แล้ว X หาร 2.048 MHZ หาร 4 ด้วย IC 12/2 ได้ความถี่ \rightarrow 512 KHZ

นำ 2.048 MHZ ไปประกอบ LOGIC ให้ COUNT ADDRESS

1024 ADDRESS ภายใน 0.5 ms. COUNTER IC4(74HC4040)

ส่วน 512 KHZ จะนำไป COUNT 8 BIT (256) เพื่อสร้าง SINGAL RAM จะ COUNT 256

ภายใน 0.5 ms. COUNT IC6(74HC4040)

o การ READ ค่าจาก RAM 6116 1024 ตำแหน่ง ไปแปลงเป็น D/A ไปออกจอสโคป เริ่มการทำงาน

IC₆ (74HC4040) จะเริ่ม COUNT โดย CLK = 512 KHZ

ที่ Q_a ของ IC₆ จะมีความถี่ = 512 KHZ หาร 2⁹ = 1 KHZ

การ READ นี้ จะทำงานในช่วง Q_a OFF (0 < + < 0.5 ms. โดย SET ให้ Q_a เริ่ม ON
ที่ t = 0.5 ms.) Q_a มีระดับสัญญาณ "0"

- สัญญาณนี้ (Q_a) DISENABLE การ WRITE ของ 6116 ให้อยู่ในภาวะการ READ

- Q_a จะ DISENABLE IC₅ (74HC373) ให้ RAM ลอยจาก IC₆

- RESET IC 2/2 (74HC74) Q=0 ทำให้ RESET IC 2/1 ด้วย ซึ่งจะไม่มีสัญญาณ

WE ไปที่ 6116 ไม่ว่า DATA ของ IC 2/1 จะมีค่า 0 หรือ 1 ก็ตาม

- สัญญาณ INVERSE ของ Q_a (0 INVERSE = 1)

จะถูก NAND ด้วย IC 10/4 (74HC00) กับความถี่ 2.048MHZ

ช่วงนี้ O/P ของ NANDGATE (IC10/4) จะ ON OFF 1024 ครั้ง (ภายใน 0.5 ms.)

- ปกติที่ O/P ของ IC 10/2 จะมีระดับเป็น 1 อยู่ปกติ เนื่องจาก C_{14} (200PF) จะ BLOCK สัญญาณ DC จาก IC 9/1 (74HC390) และ IC 9/2 ดังนั้นนำ O/P ของ IC 10/2 NAND (IC 10/3) กับ O/P ของ IC 10/4 ก็จะทำให้การ ON OFF 1024 ครั้ง ภายใน 0.5 ms. ไป ออก O/P IC 10/3 นำการ ON-OFF นี้ไป เป็น CLOCK ให้กับ IC₄ COUNT เพื่ออ้าง ADDRESS ใน RAM ครบ 1024 ตำแหน่ง ภายใน 0.5 ms. ขณะที่ COUNTER SCAN ADDRESS ของ 6116 สัญญาณ DIGITAL ที่อยู่ในแต่ละ ADDRESS ก็จะถูกแปลเป็น ANALOG ด้วย IC₇ (MC 1408) และ IC₈ (LM741) ไปแสดงผลบนจอ SCOPE
- ขณะนี้ ($0 < t < 0.5$ ms.) สัญญาณ TIGGER ที่เป็น INVERSE ของสัญญาณ Q₈ ของ IC₆ ก็จะ TRIG ให้ SCOPE แสดงผล

o การ WRITE ค่า ANALOG TO DIGITAL ลงใน RAM และการ SHIFT ค่า ADDRESS 1 ตำแหน่ง และการหน่วง TIME/SCRN เมื่อ Q₈ ON ($0.5 < t < 1$ ms.)

- สัญญาณ Q₈ ทำให้ 6116 DISENABLE การ READ แต่ยังไม่มีการ WRITE
- Q₈ ทำให้ RESET ถูก REMOVE จาก IC 2/2 หรือสัญญาณ CLK จาก IC 10/2 เพื่อให้ Q เป็น 1 ซึ่งจะต้องรอการหน่วงสัญญาณที่มาจากวงจรชุด TIME/SCRN ซึ่งแล้วแต่การตั้งเวลา - ถ้า IC 2/2 Q เป็น 1 IC 2/1 จะ REMOVE สัญญาณ RESET
- สัญญาณ INVERSE ของ Q₈ ที่ทำให้ IC 10/2 เปลี่ยนระดับ (1→0) จะถูกหน่วงด้วย IC 9/1, IC 9/2 ดังนั้น ขณะนี้ O/P ของ IC 10/2 ระดับสัญญาณเป็น "1" เมื่อ NAND กับ O/P ของ IC 10/3 จะได้ O/P = 0 ทำให้ COUNTER IC₄ หยุดกับ COUNT
- IC 2/1 ยังไม่เปลี่ยนสัญญาณ (Q=1) IC₅ 74HC373 สามารถ LATCH ค่าการ COUNT ของ IC₆ ไปเปลี่ยนเป็น Binary ได้ และแปลงเป็น ANALOG ผ่าน IC₇ และ IC₈ ออกไปยัง SCOPE ได้ (ซึ่งขณะนี้ ถ้า INVERT สัญญาณ TRIGGER จะเห็นเป็นสัญญาณ RAM) แต่ไม่สามารถบันทึกค่าเข้าไปใน RAM ได้ เนื่องจาก IC 2/1 ยังไม่ถูก REMOVE RESET (สัญญาณยังถูกหน่วงที่ IC 9/1, IC 9/2) จึงไม่มีสัญญาณไป ACTIVE WE

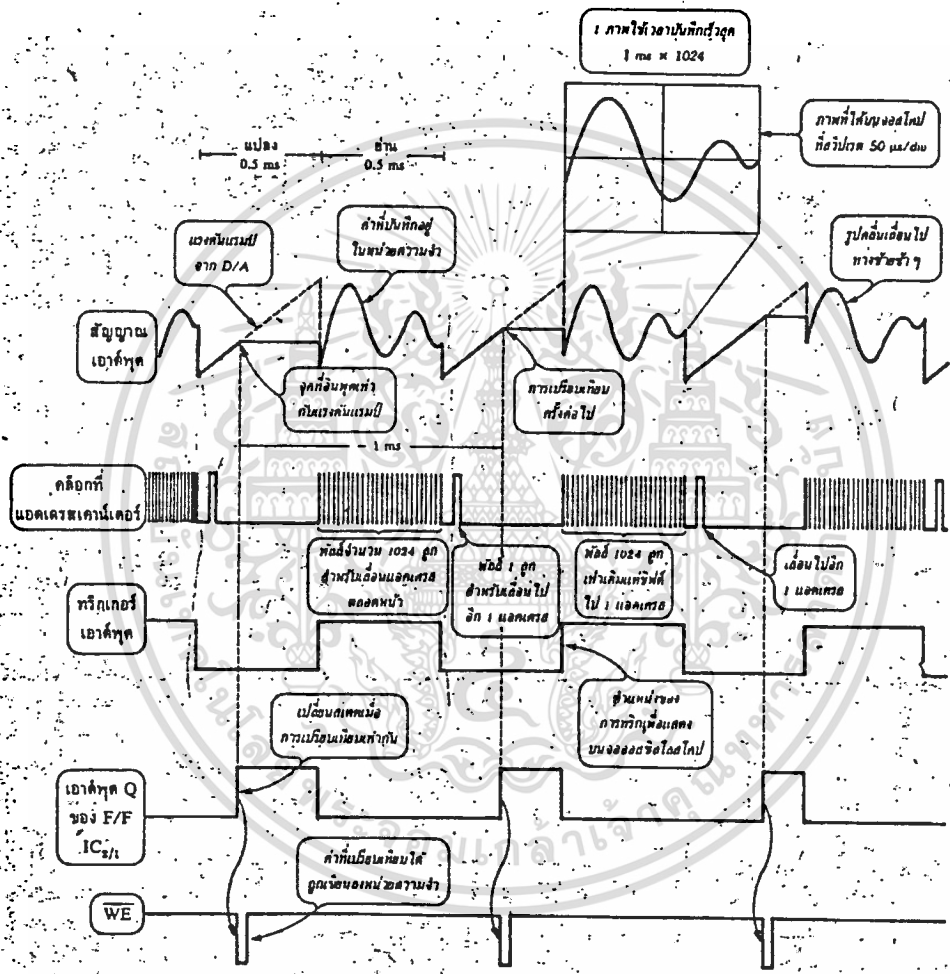
- เมื่อ Q_a ON ($0.5 < t < 1 \text{ ms.}$) สัญญาณ INVERSE Q_a ที่ส่งเข้าไปหน่วง (หาร) ที่ TIME/SCRN ของ IC 9/1, IC 9/2 ผ่านออกมา ON ผ่าน C_{14}
 C_{14} ทำให้เกิดสัญญาณ MONO STABLE ขึ้น ทำให้สัญญาณ O/P ของ IC 10/2 ตกลงชั่วครู่ (OFF ON) สัญญาณนี้ NAND กับ 1 ที่เป็น O/P ของ IC 10/4 ก็จะได้ CLOCK มา 1 PULSE ซึ่ง PULSE ลูกนี้จะทำให้ IC₄ COUNT ขึ้นอีก 1 ตำแหน่ง ทำให้ SHIFT ADDRESS ไป 1 ตำแหน่ง (รายละเอียดการ SHIFT ที่ความถี่สูงขึ้น จะเมื่ออยู่ในการปรับปรุง CIRCUIT)
- ส่วน SIGNAL จาก IC 10/2 จะเป็น CLK ให้ IC 2/2 ให้ $Q=1$ และ REMOVE RESET ของ IC 2/1 เมื่อมี CLK เข้ามา 512 KHZ ก็สามารถ CHECK DATA ที่มาจากการ COMPARE ของ IC₁ โดยที่ IC₁ ที่ขา 2 จะรับสัญญาณ SIGNAL RAM จาก IC₈ ไป COMPARE กับ I/P (ANALOG)
 ถ้าเท่ากัน O/P IC₁ ทำให้ D ของ IC 2/1 มี CLK 512 KHZ เข้ามา $Q=1$, $Q=0$
- $Q=0$ จะทำให้ IC₅ DISENABLE การ LATCH ค่าจาก IC₆ และ STORE ค่าสุดท้ายของ Binary counter ไว้ ขณะเดียวกัน Q เปลี่ยนจาก $0 \rightarrow 1$ ทำให้เกิดสัญญาณผ่าน C_4 0.001 UF เป็น MONO STABLE ให้กับ IC 10/1 INVERT เป็นสัญญาณ ACTIVE WRITE ด้วยค่า DIGITAL ที่ IC₆ STORE รอไว้ ลงบนตำแหน่งที่ถูก SHIFT ครั้งสุดท้าย
- ขณะนี้ ($0.5 < t < 1 \text{ ms.}$) สัญญาณ TIGGER ที่เป็น INVERSE ของ Q_a ของ IC₆ ก็จะไม่ทำการ TRIG ทำให้ช่วงนี้ไม่มีการแสดงผลบนจอภาพของ SCOPE

o จากนั้น เมื่อ Q_a OFF อีกครั้ง ($1 < t < 1.5 \text{ ms.}$) ก็เริ่มขบวนการดึงที่ผ่านมาทั้งหมดแต่ต้น

o เมื่อ Q_a ON ก็จะหยุดการ SCAN ค่าใน RAM แต่จะบันทึกค่าโดยการ SHIFT ADDRESS ไปก่อนแล้วบันทึกค่าการ SHIFT และการบันทึกไม่จำเป็นว่าจะต้องทำทุกครั้ง ที่ Q_a ON แต่จะขึ้นอยู่กับการหน่วงของ TIME/SCRN

o การ TRIG จะ TRIG เป็นความถี่ 1KHZ โดยที่จะ TRIG ให้ ON (0.5 ms.) ช่วงที่ RADE MEMORY และ OFF (0.5 ms.) ในช่วง COMPARE ค่า I/P และการ WR MEMORY

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



TAMING DIAGRAM การทำงาน ของวงจร

การสร้างเครื่อง

- ลายปรินต์
- เป็นวงจรมี 2 หน้า
- จะบัดกรีจุดเชื่อมระหว่างหน้า โดยจะมีรูเป็นสี่เหลี่ยม ยกเว้นขาที่ 1 ของ ไอซี แล้ววางอุปกรณ์ตามรูป



ลายปรินต์เท่าขนาดของจริง 2 หน้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงแก้ไข และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การปรับแต่ง

มีเพียงจุดเดียวคือ

VR₁ เป็นการปรับความชันของแรงดัน RAM ซึ่งจะต้องปรับให้แรงดันที่จะหยุดของ RAM สูงกว่า 5 Volt เล็กน้อย (ประมาณ 5.1 V.) เพื่อให้ครอบคลุม INPUT 5 Volt

- BATTERY BACK UP

จุดที่ต่อ BATTERY BACK UP ให้ RAM 6116

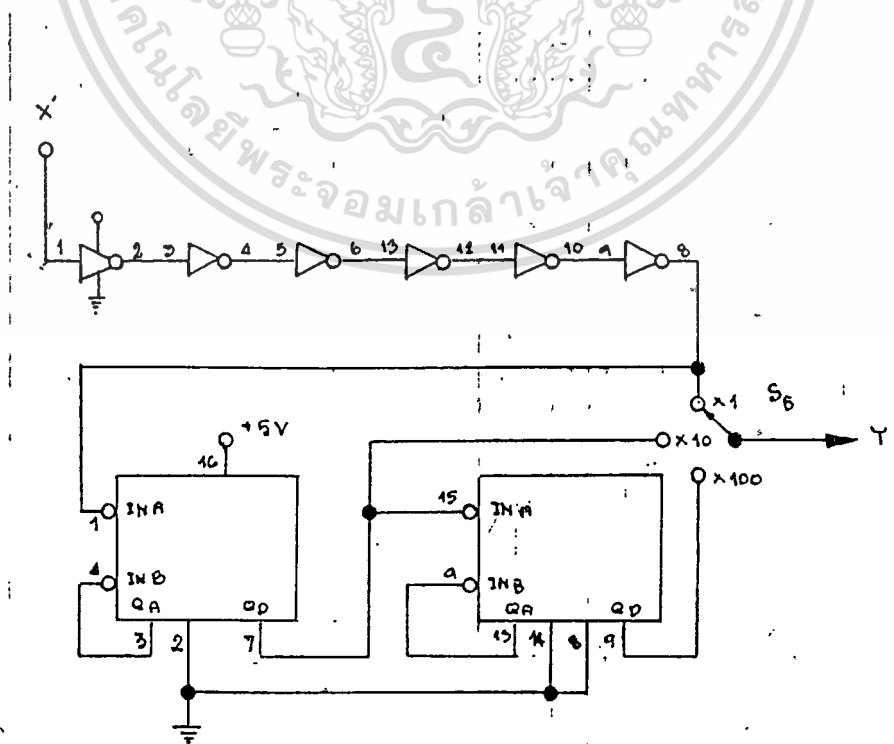
สามารถนำ BATTERY NICKLE CADMIUM 1.2 x 4 Volt เสียบเข้าที่จุด BACK UP ของเครื่อง เครื่องจะ CHARGE BATTERY ให้ในขณะที่ใช้งาน และ BACK UP RAM ให้ เมื่อ OFF POWER



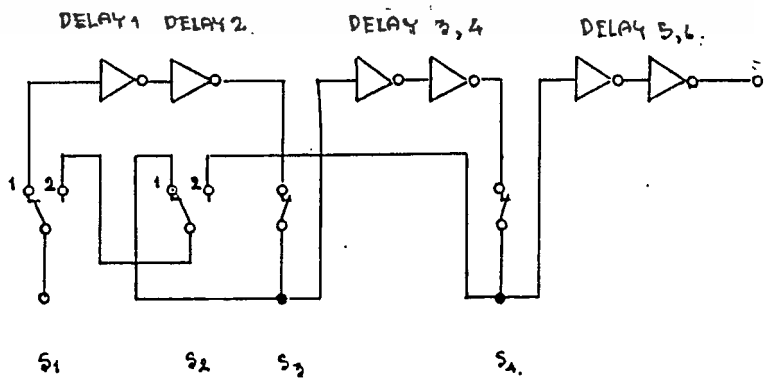
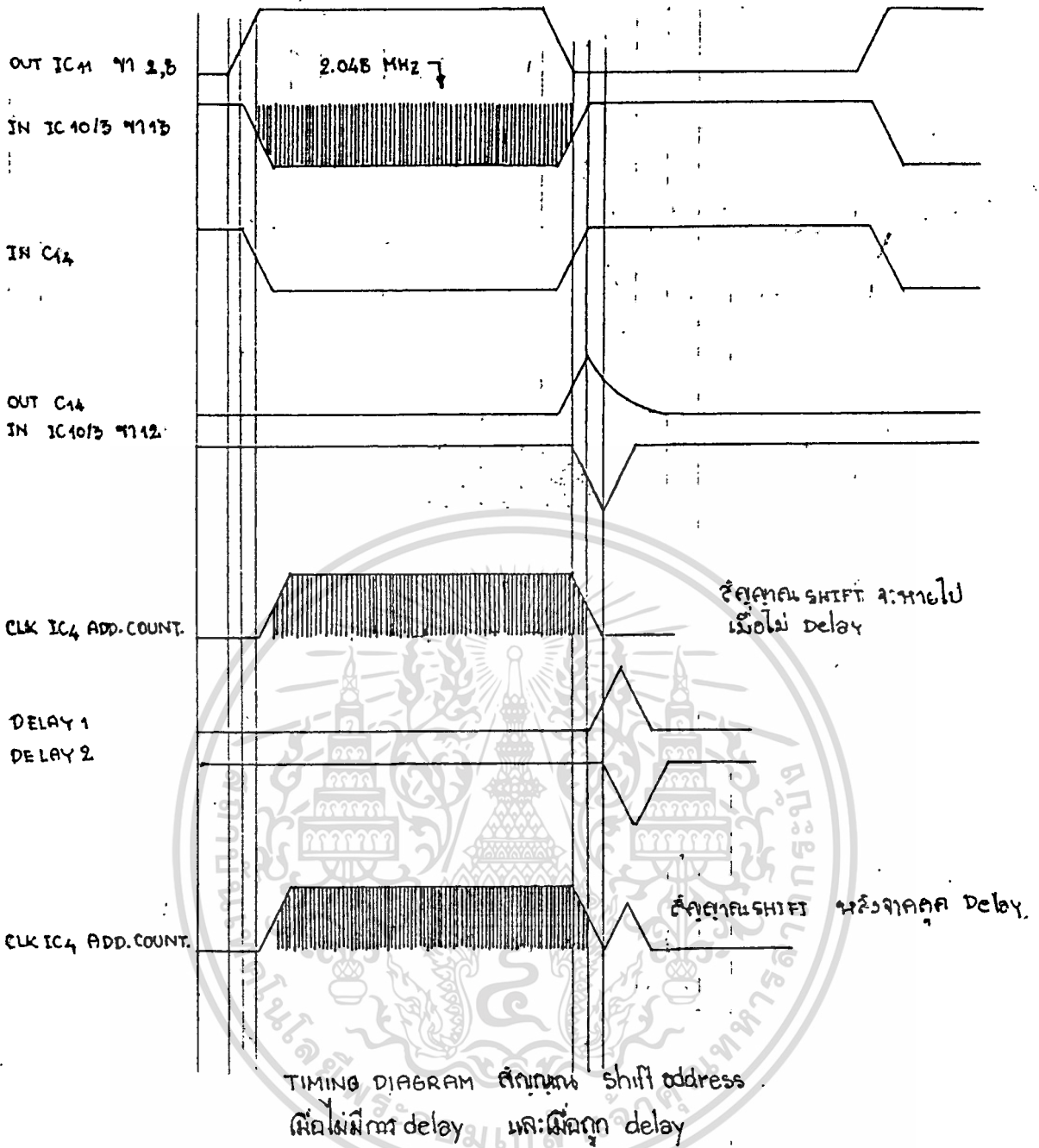
0 ปรับปรุง CIRCUIT

- เนื่องจากค่า t_{phl} , t_{plh} ของ NAND GATE, NOT GATE และ I_{cg} ถ้าไม่สัมพันธ์กันแล้ว จะเกิดปัญหาขึ้นในวงจรที่บันทึกค่าความถี่สูงขึ้น (ตั้งแต่ TIME/SCRN 5 SEC ลงมา) สัญญาณ SHIFT ADDRESS จะถูกกลืนไปกับสัญญาณ SCAN ADDRESS 2.048 MHZ. ที่ NAND GATE IC 10/3 (สังเกตได้จาก TIMING DIAGRAM) ดังนั้น จึงหน่วงเวลาสัญญาณของ SHIFT ADDRESS (INVERSE สัญญาณ 4.6 ครั้ง) เพื่อให้ SCAN ADDRESS SCAN หน่วงก่อน แล้วจึงส่งสัญญาณ SHIFT เข้าไป SHIFT ADDRESS
- เพื่อเพิ่มความสามารถในการบันทึกให้ค่าคาบเวลา สูงขึ้น เป็น 10 และ 100 เท่า ของวงจรปกติ (ต้นแบบแรก) จะใช้ DECADE COUNTER 74HC 390 เป็นตัวหารสัญญาณการบันทึก

0 วงจร DELAY ความถี่กับวงจรขยายคาบเวลา TIME/SCRN x 10, x100



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



พวงแหวน clock delay

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงนี้ 42 และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การนำไปใช้งาน

คุณสมบัติและข้อกำหนดการใช้

- ช่วงแรงดัน 5 VDC
- ช่วงเวลาบันทึก 1,2,5,10,20 และ 50 วินาที ต่อ 1 หน้า
- แบ่งหน่วยความจำออกเป็น 2 หน้า
- ความละเอียด 256 x 1024
- แสดงภาพเลื่อนไปทางซ้าย หรือหยุดภาพได้

o ใช้ได้กับออสซิลโลสโคปทั่วไป โดยตัวแปรต่าง ๆ ดังนี้

INPUT	1 VOLT/DIV DC COUPLING
ระดับศูนย์	ที่เส้นกลางจอ
สวิตช์เรด	50 S/DIV
ทริกเกอร์	EXTERNAL TRIG

การใช้งาน

ในการนำไปใช้งานจะต้องนำ TRIGGER OUTPUT ไปต่อเข้ากับขั้ว TRIGGER OUTPUT ภายนอก (EXTERNAL TRIGGER INPUT) ของสโคป แล้วเลื่อนการ TRIG ไปที่ TRIGGER ภายนอก (EXTERNAL TRIGGER) และ OUTPUT ของสัญญาณนำไปเสียบเข้ากับ Y-INPUT หรือขั้ว INPUT ปกติที่เราใช้วัดสัญญาณ เลือกระดับ INPUT ไปที่ 1 Volt/div และ คับปลิงแบบตรง (D COUPLING) โดยปรับแรงดันศูนย์ไว้ที่เส้นกลางจอพอดี
สัญญาณ INPUT ที่จะถูกบันทึก หรือถูปรเคลื่อนก็ต่อเข้ากับเครื่องบันทึกรูปคลื่นแทน เลือกช่วงเวลาการบันทึกที่เหมาะสมด้วยสวิตช์ S₅ สำหรับ รายละเอียดหน้าที่ของสวิตช์ แต่ละตัวมีดังนี้ คือ

S1 เป็นสวิตช์ ใช้เคลียร์ค่าใน RAM โดยเมื่อกดสวิตช์หน่วยความจำ จะถูกเขียนด้วยค่า 128 (เทียบได้กับแรงดัน INPUT 0 VOLT) ตลอด 1024 ตำแหน่ง

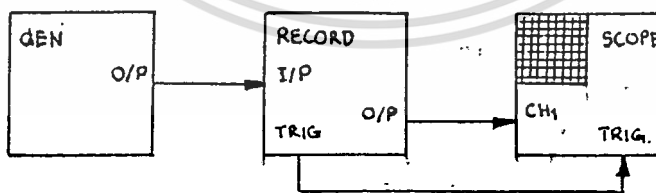
S2 ใช้เลือกหน้าของหน่วยความจำที่จะใช้ มีประโยชน์ในการเก็บรูปคลื่นเอาไว้เปรียบเทียบ หรือใช้ประโยชน์ภายหลัง ในขณะที่ใช้งานอีกหน้าหนึ่ง

S3 เป็นสวิตช์ เลือกว่าจะมีการบันทึกไปด้วยหรือไม่ ในขณะที่ภาพเลื่อนออกไปโดยการบันทึกทับของเก่า ถ้าไม่ก็เป็นการเลื่อนไปโดยหน้าของเก่าออกมาแสดงวนไปเรื่อย ๆ

S4 ใช้หยุดการเลื่อนภาพ ซึ่งถ้าไม่มีการเลื่อนภาพ การบันทึกจะกระทำข้อมูลที่ ADDRESS ตำแหน่งเดียว คือ ช่วงเวลาที่หยุดภาพ ข้อมูลในช่วงนั้นก็จะขาดหายไปด้วย

S5 เป็นสวิตช์ เลือกระยะเวลาการบันทึก กำหนดเป็นเวลาคือ 1 ภาพ หรือ 1 หน้า หน่วยเวลา

S6 เป็นสวิตช์ เลือกตัวคูณระยะเวลาในการบันทึก 1 ภาพต่อหน่วยเวลา $\times 1$, $\times 10$, $\times 100$ สัมพันธ์กับ S5



วงจร ทดลอง เครื่อง

บทสรุป และวิจารณ์

1. คุณสมบัติของเครื่อง

- ช่วงแรงดัน INPUT 5 VDC
- ช่วงเวลาบันทึก 1, 2, 5, 10, 20 และ 50 วินาที ต่อ 1 หน้า และมี FUNCTION กว้างด้วย 10 และ 100
- แบ่งหน่วยความจำออกเป็น 2 หน้า
- ความละเอียด 256 x 1024
- แสดงภาพเลื่อนไปทางซ้าย หรือหยุดภาพได้
- ใช้กับ OSCILLOSCOPE ทั่วไปได้ โดยตั้งไม่ต่าง ๆ ดังนี้

INPUT 1 Volt/div DC COUPLING

ระดับศูนย์ ที่เส้นกลางจอ

SWEEP RATE 50 /div

TRIGGER external trig

2. สัญญาณที่แสดงผลบน SCOPE จะมีบางจุดสัญญาณ เกิดผิดพลาดเพราะผลมาจาก สัญญาณ RAM นั้นไม่เรียบ เนื่องจากการรบกวนจากภายนอก

3. การ SHIFT ADDRESS ในวงจร จะเป็นจุดอ่อนมาก ถ้าหากใช้ IC 74HC390, 74HC04, 74HC00 เกเรคไม่เหมือนกัน เนื่องจากค่า t_{phl}, t_{plh} จะไม่สัมพันธ์กัน ถึงต้องมีการ DELAY ที่เหมาะสม

4. Amplitude INPUT สามารถขยายได้เพิ่มขึ้น โดยใช้วงจรขยาย ที่ปรับอัตราขยาย

5. การปรับสัญญาณ DELAY ของการ SHIFT ADDRESS สามารถทำได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงแก้ไข และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

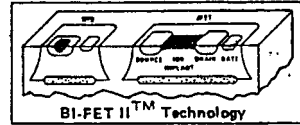


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Operational Amplifiers/Buffers

LF351 Wide Bandwidth JFET Input Operational Amplifier



General Description

The LF351 is a low cost high speed JFET Input operational amplifier with an Internally trimmed input offset voltage (BI-FET II™ technology). The device requires a low supply current and yet maintains a large gain bandwidth product and a fast slew rate. In addition, well matched high voltage JFET Input devices provide very low input bias and offset currents. The LF351 is pin compatible with the standard LM741 and uses the same offset voltage adjustment circuitry. This feature allows designers to immediately upgrade the overall performance of existing LM741 designs.

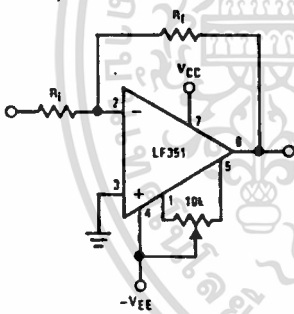
The LF351 may be used in applications such as high speed integrators, fast D/A converters, sample-and-hold circuits and many other circuits requiring low input offset voltage, low input bias current, high input impedance, high slew rate and wide bandwidth. The device has low noise and offset voltage drift, but for applica-

tions where these requirements are critical, the LF356 is recommended. If maximum supply current is important, however, the LF351 is the better choice.

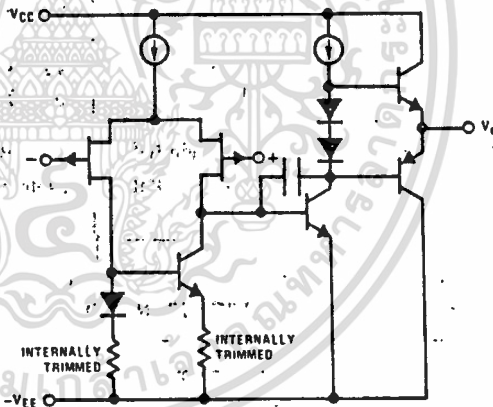
Features

- Internally trimmed offset voltage 10 mV
- Low input bias current 50 pA
- Low input noise voltage 16 nV/√Hz
- Low input noise current 0.01 pA/√Hz
- Wide gain bandwidth 4 MHz
- High slew rate 13 V/μs
- Low supply current 1.8 mA
- High input impedance 10¹² Ω
- Low total harmonic distortion $A_V = 10$, $R_L = 10k$, $V_O = 20V_{p-p}$, $BW = 20Hz-20kHz$ <0.02%
- Low 1/f noise corner 50 Hz
- Fast settling time to 0.01% 2 μs

Typical Connection

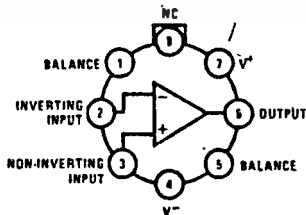


Simplified Schematic



Connection Diagrams (Top Views)

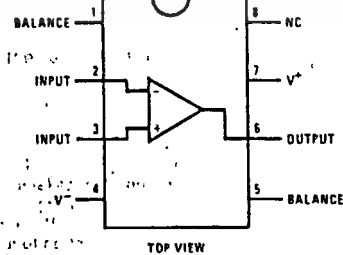
Metal Can Package



Note. Pin 4 connected to case.

Order Number LF351H
See NS Package H08C

Dual-In-Line Package



TOP VIEW

Order Number LF351N
See NS Package N08A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Supply Voltage	±18V
Power Dissipation (Note 1)	500mW
Operating Temperature Range	0°C to +70°C
T _J (MAX)	115°C
Differential Input Voltage	±30V
Input Voltage Range (Note 2)	±15V
Output Short Circuit Duration	Continuous
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C

DC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF351			UNITS
			MIN	TYP	MAX	
V _{OS}	Input Offset Voltage	R _S = 10 kΩ, T _A = 25°C Over Temperature		5	10 13	mV mV
ΔV _{OS} /ΔT	Average TC of Input Offset Voltage	R _S = 10 kΩ		10		μV/°C
I _{OS}	Input Offset Current	T _J = 25°C, (Notes 3, 4) T _J < 70°C		25	100 4	pA nA
I _B	Input Bias Current	T _J = 25°C, (Notes 3, 4) T _J < 70°C		50	200 8	pA nA
R _{IN}	Input Resistance	T _J = 25°C		1012		Ω
A _{VOL}	Large Signal Voltage Gain	V _S = ±15V, T _A = 25°C V _O = ±10V, R _L = 2 kΩ Over Temperature	25	100		V/mV V/mV
V _O	Output Voltage Swing	V _S = ±15V, R _L = 10 kΩ	±12	±13.5		V
V _{CM}	Input Common-Mode Voltage Range	V _S = ±15V	±11	+15 -12		V V
CMRR	Common-Mode Rejection Ratio	R _S < 10 kΩ	70	100		dB
PSRR	Supply Voltage Rejection Ratio	(Note 5)	70	100		dB
I _S	Supply Current			1.8	3.4	mA

AC Electrical Characteristics (Note 3)

SYMBOL	PARAMETER	CONDITIONS	LF351			UNITS
			MIN	TYP	MAX	
SR	Slew Rate	V _S = ±15V, T _A = 25°C		13		V/μs
GBW	Gain Bandwidth Product	V _S = ±15V, T _A = 25°C		4		MHz
e _n	Equivalent Input Noise Voltage	T _A = 25°C, R _S = 100Ω, f = 1000Hz		16		nV/√Hz
i _n	Equivalent Input Noise Current	T _J = 25°C, f = 1000Hz		0.01		pA/√Hz

Note 1: For operating at elevated temperature, the device must be derated based on a thermal resistance of 150°C/W junction to case or 45°C/W junction to case.

Note 2: Unless otherwise specified the absolute maximum negative input voltage is equal to the negative power supply voltage.

Note 3: These specifications apply for V_S = ±15V and 0°C < T_A < +70°C. V_{OS}, I_B and I_{OS} are measured at V_{CM} = 0.

Note 4: The input bias currents are junction leakage currents which approximately double for every 10°C increase in the junction temperature, T_J. Due to the limited production test time, the input bias currents measured are correlated to junction temperature. In operation the junction temperature rises above the ambient temperature as a result of internal power dissipation, P_D. T_J = T_A + θ_{JA} × P_D, where θ_{JA} is the thermal resistance from junction to ambient. Use of a heat sink is recommended if input bias current is to be a minimum.

Note 5: Supply voltage rejection ratio is measured for both supply magnitudes increasing or decreasing simultaneously in accordance with common practice.

LM741/LM741A/LM741C/LM741E Operational Amplifier

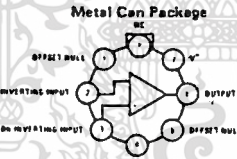
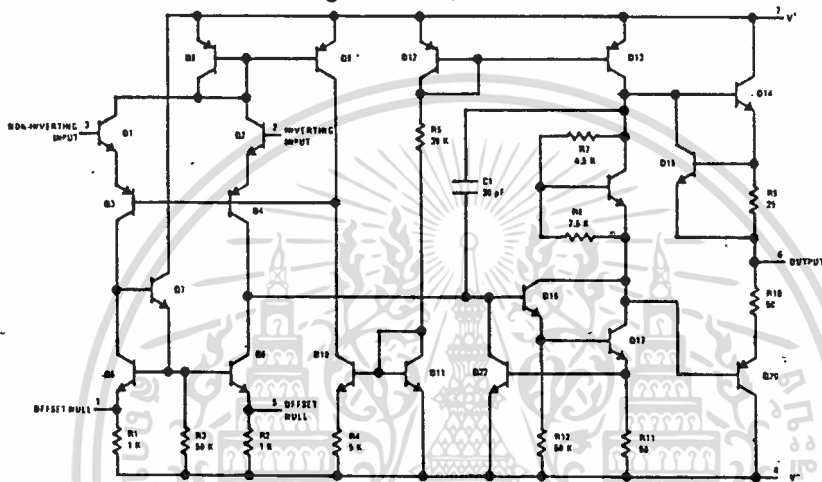
General Description

The LM741 series are general purpose operational amplifiers which feature improved performance over industry standards like the LM709. They are direct, plug-in replacements for the 709C, LM201, MC1439 and 748 in most applications.

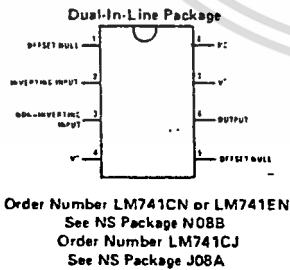
The amplifiers offer many features which make their application nearly foolproof: overload protection on the input and output, no latch-up when the common mode range is exceeded, as well as freedom from oscillations.

The LM741C/LM741E are identical to the LM741/LM741A except that the LM741C/LM741E have their performance guaranteed over a 0°C to +70°C temperature range, instead of -55°C to +125°C.

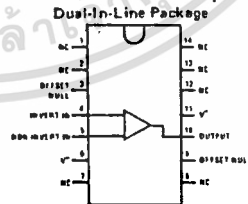
Schematic and Connection Diagrams (Top Views)



Order Number LM741H, LM741AH, LM741CH or LM741EH
See NS Package H08C



Order Number LM741CN or LM741EN
See NS Package N08B
Order Number LM741CJ
See NS Package J08A



Order Number LM741CN-14
See NS Package N14A
Order Number LM741J-14, LM741AJ-14 or LM741CJ-14
See NS Package J14A

Absolute Maximum Ratings

	LM741A	LM741E	LM741	LM741C
Supply Voltage	±22V	±22V	±22V	±18V
Power Dissipation (Note 1)	500 mW	500 mW	500 mW	500 mW
Differential Input Voltage	±30V	±30V	±30V	±30V
Input Voltage (Note 2)	±15V	±15V	±15V	±15V
Output Short Circuit Duration	Indefinite	Indefinite	Indefinite	Indefinite
Operating Temperature Range	-55°C to +125°C	0°C to +70°C	-55°C to +125°C	0°C to +70°C
Storage Temperature Range	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C	-65°C to +150°C
Lead Temperature (Soldering, 10 seconds)	300°C	300°C	300°C	300°C

ไม่รับประกันใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงเว็บไซต์ของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Note 3)

PARAMETER	CONDITIONS	LM741A/LM741E			LM741			LM741C			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	$T_A = 25^\circ\text{C}$										
	$R_S \leq 10\text{ k}\Omega$		0.8	3.0	1.0	5.0	2.0	6.0			mV
	$R_S \leq 50\Omega$			4.0							mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}$										mV
Average Input Offset Voltage Drift	$R_S \leq 50\Omega$ $R_S \leq 10\text{ k}\Omega$					6.0		7.5			$\mu\text{V}/^\circ\text{C}$
Input Offset Voltage Adjustment Range	$T_A = 25^\circ\text{C}, V_S = \pm 20\text{V}$	± 10			± 15			± 15			mV
Input Offset Current	$T_A = 25^\circ\text{C}$		3.0	30	20	200	20	200			nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			70	85	500		300			nA
Average Input Offset Current Drift				0.5							$\text{nA}/^\circ\text{C}$
Input Bias Current	$T_A = 25^\circ\text{C}$		30	80	80	500	80	500			nA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$			0.210		1.5		0.8			μA
Input Resistance	$T_A = 25^\circ\text{C}, V_S = \pm 20\text{V}$	1.0	6.0		0.3	2.0	0.3	2.0			$\text{M}\Omega$
	$T_{AMIN} \leq T_A \leq T_{AMAX}, V_S = \pm 20\text{V}$	0.5									$\text{M}\Omega$
Input Voltage Range	$T_A = 25^\circ\text{C}$										V
	$T_{AMIN} \leq T_A \leq T_{AMAX}$				± 12	± 13		± 12	± 13		V
Large Signal Voltage Gain	$T_A = 25^\circ\text{C}, R_L \geq 2\text{ k}\Omega$										V
	$V_S = \pm 20\text{V}, V_O = \pm 15\text{V}$	50									V/mV
	$V_S = \pm 15\text{V}, V_O = \pm 10\text{V}$				50	200	20	200			V/mV
	$T_{AMIN} \leq T_A \leq T_{AMAX}, R_L \geq 2\text{ k}\Omega$										V/mV
	$V_S = \pm 20\text{V}, V_O = \pm 15\text{V}$	32									V/mV
	$V_S = \pm 15\text{V}, V_O = \pm 10\text{V}$				25		15				V/mV
Output Voltage Swing	$V_S = \pm 5\text{V}, V_O = \pm 2\text{V}$	10									V/mV
	$V_S = \pm 20\text{V}$										V
	$R_L \geq 10\text{ k}\Omega$	± 16									V
	$R_L \geq 2\text{ k}\Omega$	± 15									V
Output Short Circuit Current	$V_S = \pm 15\text{V}$										V
	$R_L \geq 10\text{ k}\Omega$				± 12	± 14	± 12	± 14			V
	$R_L \geq 2\text{ k}\Omega$				± 10	± 13	± 10	± 13			V
Common-Mode Rejection Ratio	$T_A = 25^\circ\text{C}$	10	25	35	25		25				mA
	$T_{AMIN} \leq T_A \leq T_{AMAX}$	10		40							mA
Supply Voltage Rejection Ratio	$T_{AMIN} \leq T_A \leq T_{AMAX}, V_S = \pm 20\text{V}$ to $V_S = \pm 5\text{V}$										dB
	$R_S \leq 50\Omega$	86	96								dB
	$R_S \leq 10\text{ k}\Omega$				77	96	77	96			dB
Transient Response Rise Time	$T_A = 25^\circ\text{C}, \text{Unity Gain}$		0.25	0.8	0.3		0.3				μs
			6.0	20	5		5				%
Bandwidth (Note 4)	$T_A = 25^\circ\text{C}$	0.437	1.5								MHz
Slew Rate	$T_A = 25^\circ\text{C}, \text{Unity Gain}$	0.3	0.7		0.5		0.5				$\text{V}/\mu\text{s}$
Supply Current	$T_A = 25^\circ\text{C}$				1.7	2.8	1.7	2.8			mA
Power Consumption	$T_A = 25^\circ\text{C}$										mW
	$V_S = \pm 20\text{V}$		80	150							mW
LM741A	$V_S = \pm 15\text{V}$				50	85	50	85			mW
LM741E	$V_S = \pm 20\text{V}$										mW
	$T_A = T_{AMIN}$			165							mW
LM741	$T_A = T_{AMAX}$			135							mW
	$V_S = \pm 20\text{V}$			150							mW
LM741	$T_A = T_{AMIN}$			150							mW
	$T_A = T_{AMAX}$			150							mW
	$V_S = \pm 15\text{V}$				60	100					mW
	$T_A = T_{AMIN}$				45	75					mW
	$T_A = T_{AMAX}$										mW

Note 1: The maximum junction temperature of the LM741/LM741A is 150°C , while that of the LM741C/LM741E is 100°C . For operation at elevated temperatures, devices in the TO-5 package must be derated based on a thermal resistance of $150^\circ\text{C}/\text{W}$ junction to ambient, or $45^\circ\text{C}/\text{W}$ junction to case. The thermal resistance of the dual-in-line package is $100^\circ\text{C}/\text{W}$ junction to ambient.

Note 2: For supply voltages less than $\pm 15\text{V}$, the absolute maximum input voltage is equal to the supply voltage.

Note 3: Unless otherwise specified, these specifications apply for $V_S = \pm 15\text{V}, -55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$ (LM741/LM741A). For the LM741C/LM741E, these specifications are limited to $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$.

Note 4: Calculated value from: $\text{BW (MHz)} = 0.35/\text{Rise Time}(\mu\text{s})$.

เอกสารนี้เป็นเอกสารสงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DAC0808, DAC0807, DAC0806 8-Bit D/A Converters

General Description

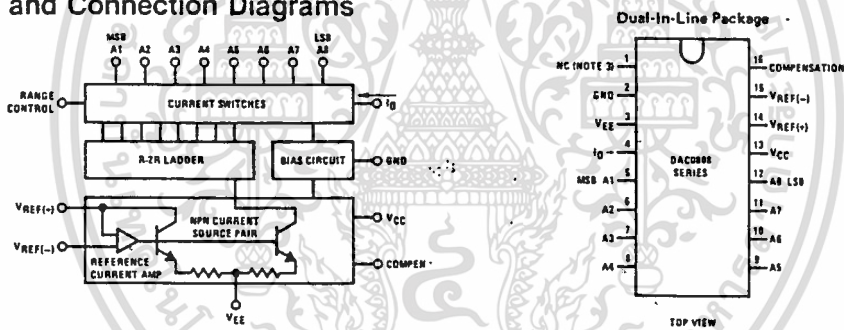
The DAC0808 series is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with $\pm 5V$ supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ± 1 LSB of $255 I_{REF}/256$. Relative accuracies of better than $\pm 0.19\%$ assure 8-bit monotonicity and linearity while zero level output current of less than $4 \mu A$ provides 8-bit zero accuracy for $I_{REF} \geq 2$ mA. The power supply currents of the DAC0808 series are independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

Features

- Relative accuracy: $\pm 0.19\%$ error maximum (DAC0808)
- Full scale current match: ± 1 LSB typ
- 7 and 6-bit accuracy available (DAC0807, DAC0806)
- Fast settling time: 150 ns typ.
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/ μs
- Power supply voltage range: $\pm 4.5V$ to $\pm 18V$
- Low power consumption: 33 mW @ $\pm 5V$

Block and Connection Diagrams



Typical Application

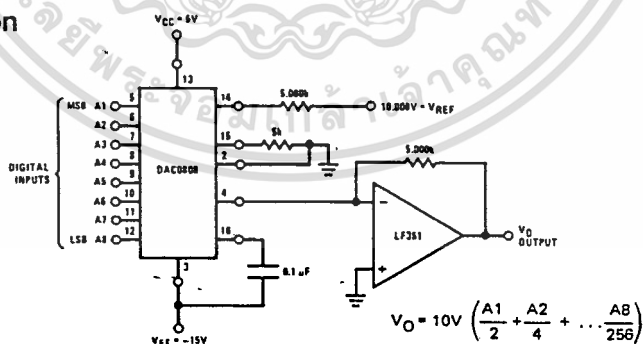


FIGURE 1. +10V Output Digital to Analog Converter

Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	ORDER NUMBERS*					
		D PACKAGE (D16C)		J PACKAGE (J16A)		N PACKAGE (N16A)	
8-bit	$-55^{\circ}C \leq T_A \leq +125^{\circ}C$	DAC0808LD	MC1508LB	DAC0808LCJ	MC1408LB	DAC0808LCN	MC1408PB
8-bit	$0^{\circ}C \leq T_A \leq +75^{\circ}C$			DAC0807LCJ	MC1408L7	DAC0807LCN	MC1408P7
7-bit	$0^{\circ}C \leq T_A \leq +75^{\circ}C$			DAC0806LCJ	MC1408L6	DAC0806LCN	MC1408P6

*Note. Devices may be ordered by using either order number.

Absolute Maximum Ratings

Power Supply Voltage	+18 V _{DC}
V _{CC}	-18 V _{DC}
V _{EE}	-18 V _{DC}
Digital Input Voltage, V ₅ -V ₁₂	-10 V _{DC} to +18 V _{DC}
Applied Output Voltage, V _O	-11 V _{DC} to +18 V _{DC}
Reference Current, I ₁₄	5 mA
Reference Amplifier Inputs, V ₁₄ , V ₁₅	V _{CC} , V _{EE}

Power Dissipation (Package Limitation)	1000 mW
Derate above T _A = 25°C	6.7 mW/°C
Operating Temperature Range	-55°C ≤ T _A ≤ +125°C
DAC0808L	0 ≤ T _A ≤ +75°C
DAC0808LC Series	-65°C to +150°C
Storage Temperature Range	-65°C to +150°C

Electrical Characteristics

(V_{CC} = 5V, V_{EE} = -15V_{DC}, V_{REF}/R₁₄ = 2 mA, DAC0808: T_A = -55°C to +125°C, DAC0808C, DAC0807C, DAC0806C, T_A = 0°C to +75°C, and all digital inputs at high logic level unless otherwise noted.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
E _r	Relative Accuracy (Error Relative to Full Scale I _O) (Figure 4)				%	
	DAC0808L (LM1508-8)			±0.19	%	
	DAC0808LC (LM1408-8)			±0.39	%	
	DAC0807LC (LM1408-7), (Note 1)			±0.78	%	
	DAC0806LC (LM1408-6), (Note 1)				%	
	Settling Time to Within 1/2 LSB (Includes t _{PLH})	T _A = 25°C (Note 2), (Figure 5)	150		ns	
t _{PLH}	Propagation Delay Time	T _A = 25°C, (Figure 5)	30	100	ns	
t _{PHL}			±20		ppm/°C	
T _{CI0}	Output Full Scale Current Drift					
MSB	Digital Input Logic Levels	(Figure 3)			V _{DC}	
V _{IH}	High Level, Logic "1"	2		0.8	V _{DC}	
V _{IL}	Low Level, Logic "0"					
MSB	Digital Input Current	(Figure 3)			mA	
	High Level	V _{IH} = 5V	0	0.040	mA	
	Low Level	V _{IL} = 0.8V	-0.003	-0.8	mA	
I ₁₅	Reference Input Bias Current	(Figure 3)			μA	
	Output Current Range	(Figure 3)			mA	
	V _{EE} = -5V	0	2.0	2.1	mA	
	V _{EE} = -15V, T _A = 25°C	0	2.0	4.2	mA	
I _O	Output Current	V _{REF} = 2.000V, R ₁₄ = 1000Ω, (Figure 3)	1.9	1.99	2.1	mA
	Output Current, All Bits Low	(Figure 3)	0	4	μA	
	Output Voltage Compliance	E _r ≤ 0.19%, T _A = 25°C			-0.55, +0.4	V _{DC}
	Pin 1 Grounded, V _{EE} Below -10V				-5.0, +0.4	V _{DC}
S _{RIREF}	Reference Current Slew Rate	(Figure 6)	4	8	mA/μs	
	Output Current Power Supply Sensitivity	-5V ≤ V _{EE} ≤ -16.5V		0.05	2.7	μA/V
	Power Supply Current (All Bits Low)	(Figure 3)				mA
I _{CC}			-2.3	22	mA	
I _{EE}			-4.3	-13	mA	
V _{CC}	Power Supply Voltage Range	T _A = 25°C, (Figure 3)	4.5	5.0	5.5	V _{DC}
V _{EE}			-4.5	-15	-16.5	V _{DC}
	Power Dissipation -				mW	
	All Bits Low	V _{CC} = 5V, V _{EE} = -5V	33	170	mW	
		V _{CC} = 5V, V _{EE} = -15V	106	305	mW	
	All Bits High	V _{CC} = 15V, V _{EE} = -5V	90		mW	
		V _{CC} = 15V, V _{EE} = -15V	160		mW	

Note 1: All current switches are tested to guarantee at least 50% of rated current.

Note 2: All bits switched.

Note 3: Range control is not required.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

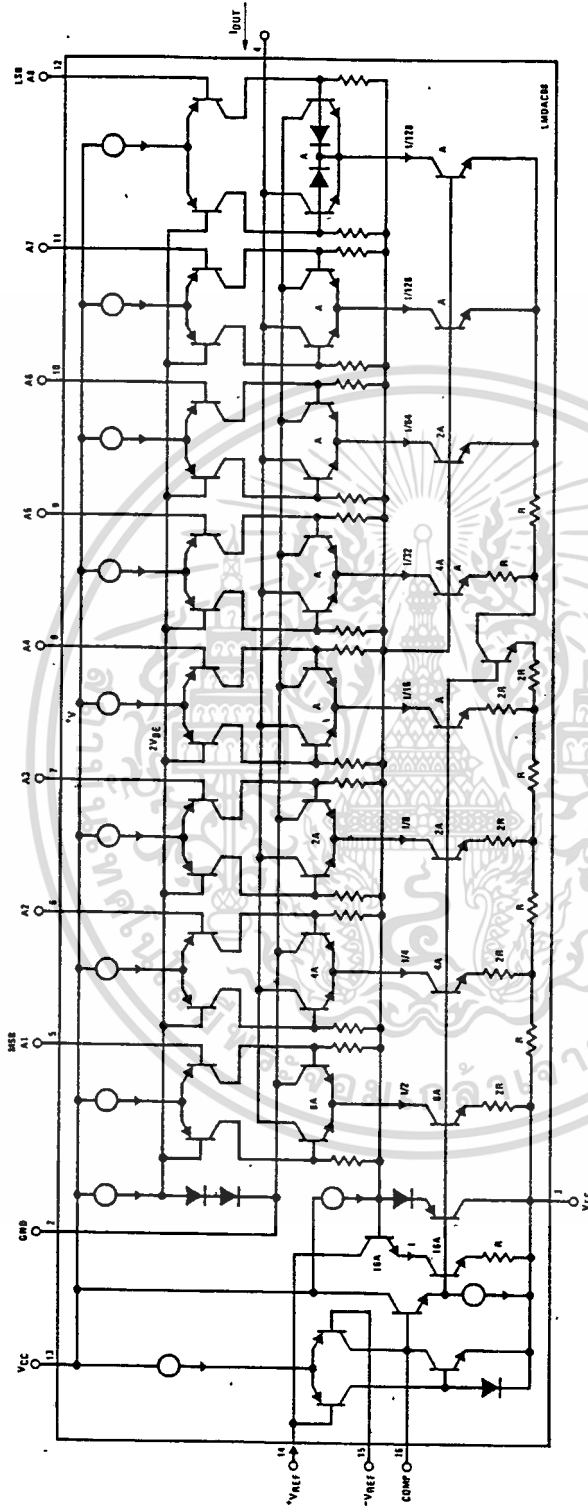


FIGURE 2. Equivalent Circuit of the DAC0808 Series

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Voltage Regulators

LM78XX Series Voltage Regulators

General Description

The LM78XX series of three terminal regulators is available with several fixed output voltages making them useful in a wide range of applications. One of these is local on card regulation, eliminating the distribution problems associated with single point regulation. The voltages available allow these regulators to be used in logic systems, instrumentation, HiFi, and other solid state electronic equipment. Although designed primarily as fixed voltage regulators these devices can be used with external components to obtain adjustable voltages and currents.

The LM78XX series is available in an aluminum TO-3 package which will allow over 1.0A load current if adequate heat sinking is provided. Current limiting is included to limit the peak output current to a safe value. Safe area protection for the output transistor is provided to limit internal power dissipation. If internal power dissipation becomes too high for the heat sinking provided, the thermal shutdown circuit takes over preventing the IC from overheating.

Considerable effort was expended to make the LM78XX series of regulators easy to use and minimize the number

of external components. It is not necessary to bypass the output, although this does improve transient response. Input bypassing is needed only if the regulator is located far from the filter capacitor of the power supply.

For output voltage other than 5V, 12V and 15V the LM117 series provides an output voltage range from 1.2V to 57V.

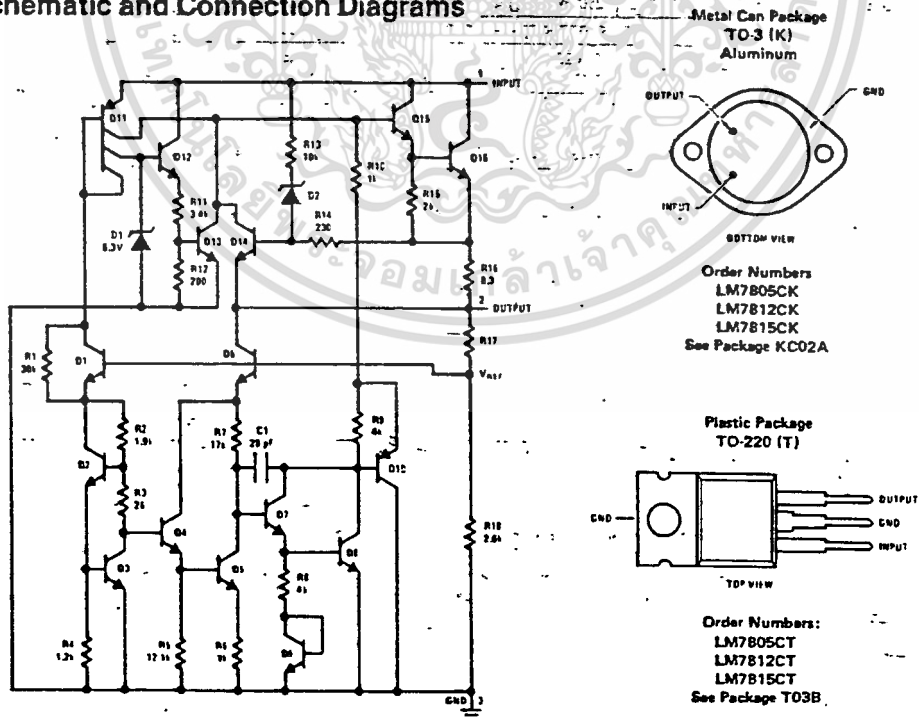
Features

- Output current in excess of 1A
- Internal thermal overload protection
- No external components required
- Output transistor safe area protection
- Internal short circuit current limit
- Available in the aluminum TO-3 package

Voltage Range

LM7805C	5V
LM7812C	12V
LM7815C	15V

Schematic and Connection Diagrams



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

Input Voltage ($V_O = 5V, 12V$ and $15V$)	35V
Internal Power Dissipation (Note 1)	Internally Limited
Operating Temperature Range (T_A)	0°C to $+70^\circ\text{C}$
Maximum Junction Temperature (K Package)	150°C
(T Package)	125°C
Storage Temperature Range	-65°C to $+150^\circ\text{C}$
Lead Temperature (Soldering, 10 seconds)	
TO-3 Package K	300°C
TO-220 Package T	230°C

Electrical Characteristics LM78XX (Note 2) $0^\circ\text{C} < T_J < 125^\circ\text{C}$ unless otherwise noted.

OUTPUT VOLTAGE		5V			12V			15V			UNITS
INPUT VOLTAGE (unless otherwise noted)		10V			19V			23V			
PARAMETER	CONDITIONS	MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
V_O Output Voltage	$T_J = 25^\circ\text{C}, 5\text{ mA} < I_O < 1\text{ A}$	4.8	5	5.2	11.5	12	12.5	14.4	15	15.6	V
	$P_D < 15\text{ W}, 5\text{ mA} < I_O < 1\text{ A}$ $V_{\text{MIN}} < V_{\text{IN}} < V_{\text{MAX}}$	4.75 (7 < $V_{\text{IN}} < 20$)		5.25	11.4 (14.5 < $V_{\text{IN}} < 27$)		12.6	14.25 (17.5 < $V_{\text{IN}} < 30$)		15.75	V
ΔV_O Line Regulation	$I_O = 500\text{ mA}$	$T_J = 25^\circ\text{C}$ ΔV_{IN}		3 (7 < $V_{\text{IN}} < 25$)	50 (14.5 < $V_{\text{IN}} < 30$)	4 (14.5 < $V_{\text{IN}} < 30$)	120 (17.5 < $V_{\text{IN}} < 30$)	4 (17.5 < $V_{\text{IN}} < 30$)	150 (17.5 < $V_{\text{IN}} < 30$)		mV V
		$0^\circ\text{C} < T_J < +125^\circ\text{C}$ ΔV_{IN}			50 (8 < $V_{\text{IN}} < 20$)		120 (15 < $V_{\text{IN}} < 27$)		150 (18.5 < $V_{\text{IN}} < 30$)		mV V
		$T_J = 25^\circ\text{C}$ ΔV_{IN}			50 (7.3 < $V_{\text{IN}} < 20$)		120 (14.6 < $V_{\text{IN}} < 27$)		150 (17.7 < $V_{\text{IN}} < 30$)		mV V
	$I_O < 1\text{ A}$	$0^\circ < T_J < +125^\circ\text{C}$ ΔV_{IN}			25 (8 < $V_{\text{IN}} < 12$)		60 (16 < $V_{\text{IN}} < 22$)		75 (20 < $V_{\text{IN}} < 26$)		mV V
ΔV_O Load Regulation	$T_J = 25^\circ\text{C}$			5 mA < $I_O < 1.5\text{ A}$ 250 mA < $I_O < 750\text{ mA}$	10 25	50 25	12 60	120 75	12 75	150 75	mV mV
	$5\text{ mA} < I_O < 1\text{ A}, 0^\circ\text{C} < T_J < +125^\circ\text{C}$				50		120		150		mV
I_Q Quiescent Current	$I_O < 1\text{ A}$	$T_J = 25^\circ\text{C}$			8		8		8		mA
		$0^\circ\text{C} < T_J < +125^\circ\text{C}$				8.5		8.5		8.5	mA
ΔI_Q Quiescent Current Change	$5\text{ mA} < I_O < 1\text{ A}$					0.5		0.5		0.5	mA
	$T_J = 25^\circ\text{C}, I_O < 1\text{ A}$ $V_{\text{MIN}} < V_{\text{IN}} < V_{\text{MAX}}$					1.0 (7.5 < $V_{\text{IN}} < 20$)		1.0 (14.8 < $V_{\text{IN}} < 27$)		1.0 (17.9 < $V_{\text{IN}} < 30$)	mA V
	$I_O < 500\text{ mA}, 0^\circ\text{C} < T_J < +125^\circ\text{C}$ $V_{\text{MIN}} < V_{\text{IN}} < V_{\text{MAX}}$					1.0 (7 < $V_{\text{IN}} < 25$)		1.0 (14.5 < $V_{\text{IN}} < 30$)		1.0 (17.5 < $V_{\text{IN}} < 30$)	mA V
V_N Output Noise Voltage	$T_A = 25^\circ\text{C}, 10\text{ Hz} < f < 100\text{ kHz}$				40		75		90		μV
$\frac{\Delta V_{\text{IN}}}{\Delta V_{\text{OUT}}}$ Ripple Rejection	$f = 120\text{ Hz}$ $I_O < 1\text{ A}, T_J = 25^\circ\text{C}$ or $I_O < 500\text{ mA}$ $0^\circ\text{C} < T_J < +125^\circ\text{C}$ $V_{\text{MIN}} < V_{\text{IN}} < V_{\text{MAX}}$				62 62	80	55 55	72	54 54	70	dB dB
						0.6 (8 < $V_{\text{IN}} < 18$)		1.5 (15 < $V_{\text{IN}} < 25$)		1.8 (18.5 < $V_{\text{IN}} < 28.5$)	V
R_O	Dropout Voltage	$T_J = 25^\circ\text{C}, I_{\text{OUT}} = 1\text{ A}$			2.0		2.0		2.0		V
	Output Resistance	$f = 1\text{ kHz}$			8		18		19		m Ω
	Short-Circuit Current	$T_J = 25^\circ\text{C}$			2.1		1.5		1.2		A
	Peak Output Current	$T_J = 25^\circ\text{C}$			2.4		2.4		2.4		A
Average TC of V_{OUT}	$0^\circ\text{C} < T_J < +125^\circ\text{C}, I_O = 5\text{ mA}$				0.6		1.5		1.8		mV/ $^\circ\text{C}$
V_{IN} Input Voltage Required to Maintain Line Regulation	$T_J = 25^\circ\text{C}, I_O < 1\text{ A}$				7.3		14.6		17.7		V

NOTE 1: Thermal resistance of the TO-3 package (K, KC) is typically $4^\circ\text{C}/\text{W}$ junction to case and $35^\circ\text{C}/\text{W}$ case to ambient. Thermal resistance of the TO-220 package (T) is typically $4^\circ\text{C}/\text{W}$ junction to case and $50^\circ\text{C}/\text{W}$ case to ambient.

NOTE 2: All characteristics are measured with capacitor across the input of $0.22\ \mu\text{F}$, and a capacitor across the output of $0.1\ \mu\text{F}$. All characteristics except noise voltage and ripple rejection ratio are measured using pulse techniques ($t_w < 10\text{ ms}$, duty cycle $< 5\%$). Output voltage changes due to changes in internal temperature must be taken into account separately.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Choice of 8 Latches or 8 D-Type Flip-Flops In a Single Package
- 3-State Bus-Driving Outputs
- Full Parallel-Access for Loading
- Buffered Control Inputs
- Clock/Enable Input Has Hysteresis to Improve Noise Rejection
- P-N-P Inputs Reduce D-C Loading on Data Lines ('S373 and 'S374)
- SN54LS363 and SN74LS364 Are Similar But Have Higher V_{OH} For MOS Interface

'LS373, 'S373
FUNCTION TABLE

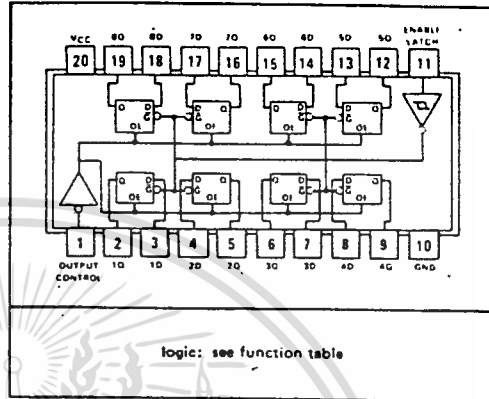
OUTPUT CONTROL	ENABLE G	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

'LS374, 'S374
FUNCTION TABLE

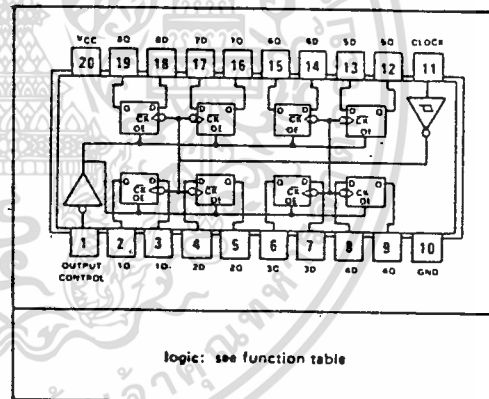
OUTPUT CONTROL	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

See explanation of function tables on page 3-8.

SN54LS373, SN54S373 ... J PACKAGE
SN74S373 ... J OR N PACKAGE
SN74LS373 ... J, N OR NS PACKAGE
(TOP VIEW)



SN54LS374, SN54S374 ... J PACKAGE
SN74S374 ... J OR N PACKAGE
SN74LS374 ... J, N OR NS PACKAGE
(TOP VIEW)



description

These 8-bit registers feature totem-pole three-state outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance third state and increased high-logic-level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interface or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the 'LS373 and 'S373 are transparent D-type latches meaning that while the enable (G) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was setup.

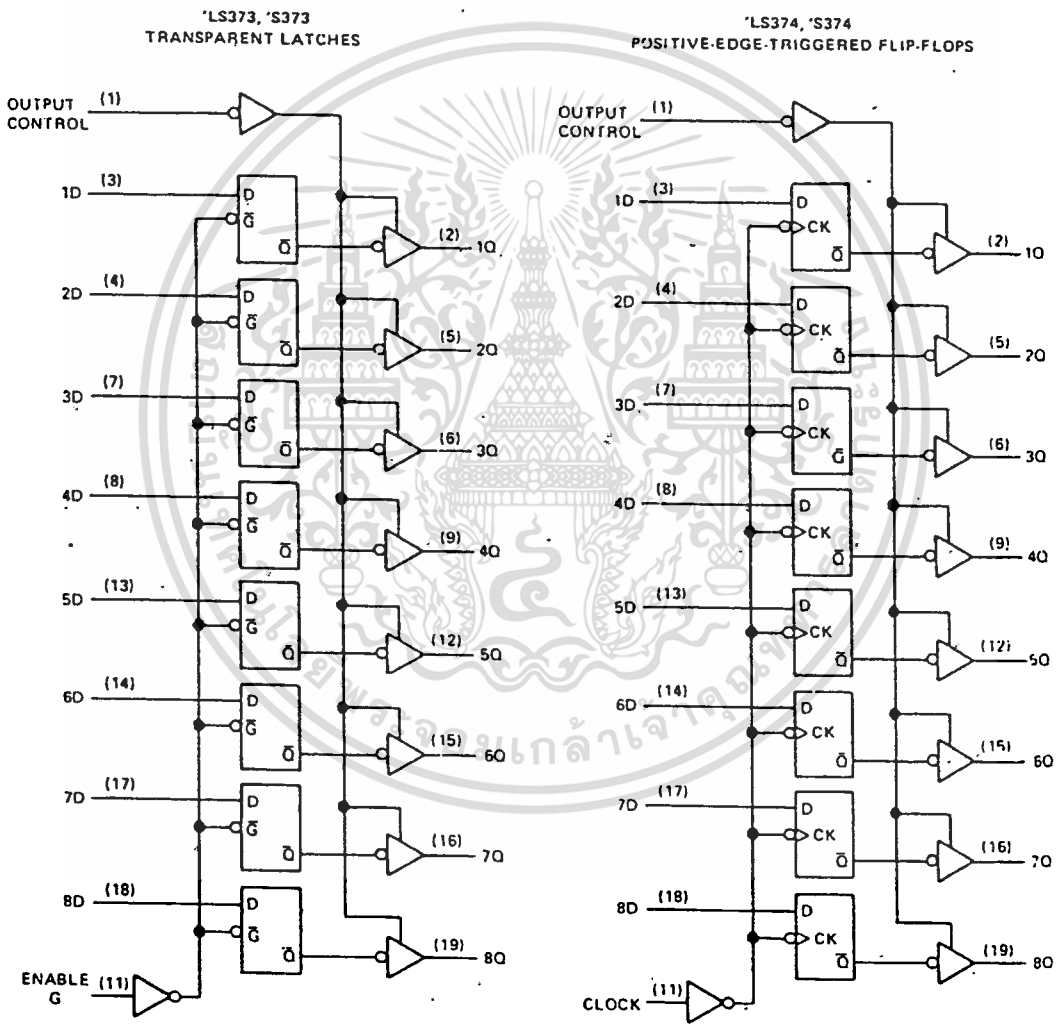
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

description (continued)

The eight flip-flops of the 'LS374 and 'S374 are edge-triggered D-type flip-flops. On the positive transition of the clock, the Q outputs will be set to the logic states that were setup at the D inputs.

Schmitt-trigger buffered inputs at the enable/clock lines simplify system design as ac and dc noise rejection is improved by typically 400 mV due to the input hysteresis. A buffered output control input can be used to place the eight outputs in either a normal logic state (high or low logic levels) or a high-impedance state. In the high-impedance state the outputs neither load nor drive the bus lines significantly.

The output control does not affect the internal operation of the latches or flip-flops. That is, the old data can be retained or new data can be entered even while the outputs are off.



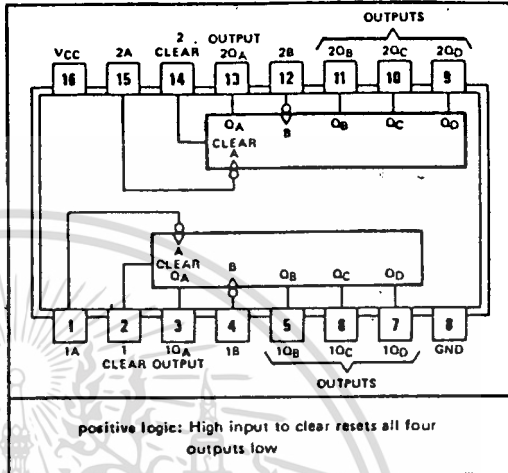
- Dual Versions of the Popular '90A, 'LS90 and '93A, 'LS93
- '390, 'LS390. . . Individual Clocks for A and B Flip-Flops Provide Dual $\div 2$ and $\div 5$ Counters
- '393, 'LS393. . . Dual 4-Bit Binary Counter with Individual Clocks
- All Have Direct Clear for Each 4-Bit Counter
- Dual 4-Bit Versions Can Significantly Improve System Densities by Reducing Counter Package Count by 50%
- Typical Maximum Count Frequency . . . 35 MHz
- Buffered Outputs Reduce Possibility of Collector Commutation

description

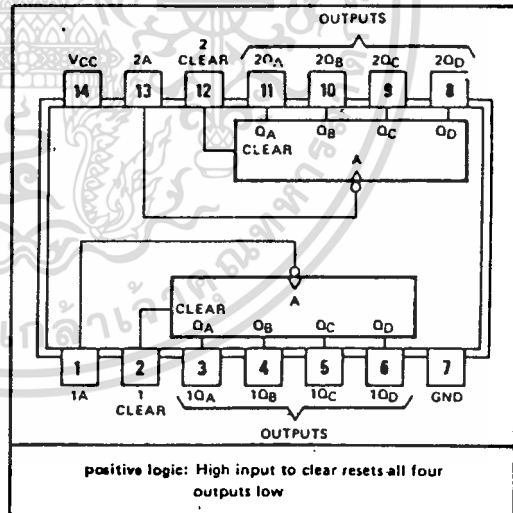
Each of these monolithic circuits contains eight master-slave flip-flops and additional gating to implement two individual four-bit counters in a single package. The '390 and 'LS390 incorporate dual divide-by-two and divide-by-five counters, which can be used to implement cycle lengths equal to any whole and/or cumulative multiples of 2 and/or 5 up to divide-by-100. When connected as a bi-quinary counter, the separate divide-by-two circuit can be used to provide symmetry (a square wave) at the final output stage. The '393 and 'LS393 each comprise two independent four-bit binary counters each having a clear and a clock input. N-bit binary counters can be implemented with each package providing the capability of divide-by-256. The '390, 'LS390, '393, and 'LS393 have parallel outputs from each counter stage so that any submultiple of the input count frequency is available for system-timing signals.

Series 54 and Series 54LS circuits are characterized for operation over the full military temperature range of -55°C to 125°C ; Series 74 and Series 74LS circuits are characterized for operation from 0°C to 70°C .

SN54390, SN54LS390 . . . J OR W PACKAGE
 SN74390 . . . J OR N PACKAGE
 SN74LS390 . . . J, N OR NS PACKAGE
 (TOP VIEW)



SN54393, SN54LS393 . . . J OR W PACKAGE
 SN74393 . . . J OR N PACKAGE
 SN74LS393 . . . J, N OR NS PACKAGE
 (TOP VIEW)



'390, 'LS390
BCD COUNT SEQUENCE
(EACH COUNTER)
(See Note A)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H

FUNCTION TABLES
'390, 'LS390
BI-QUINARY (5-2)
(EACH COUNTER)
(See Note B)

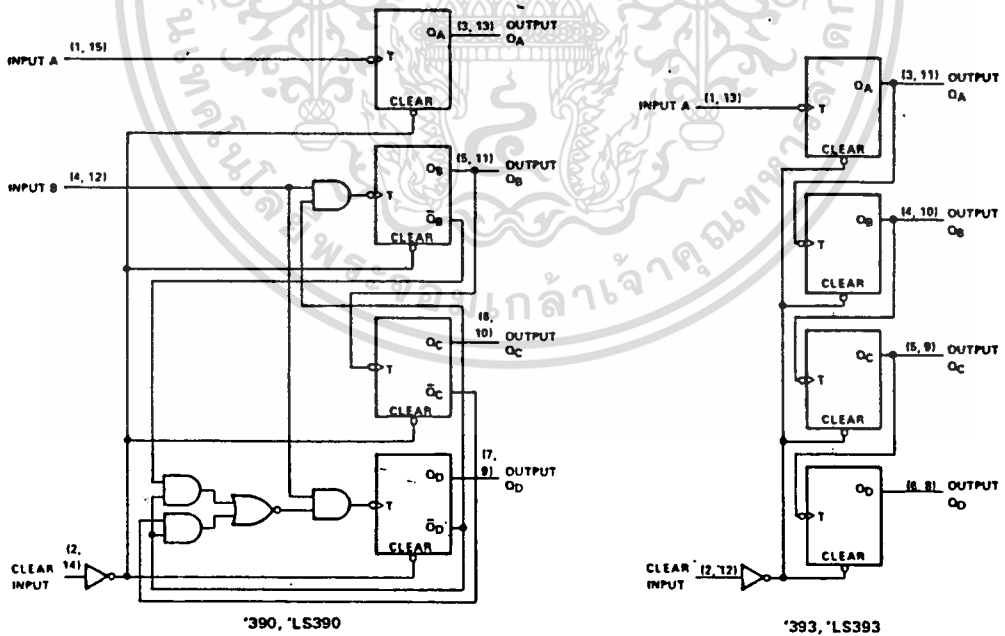
COUNT	OUTPUT			
	Q _A	Q _D	Q _C	Q _B
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	H	L	L	L
6	H	L	L	H
7	H	L	H	L
8	H	L	H	H
9	H	H	L	L

'393, 'LS393
COUNT SEQUENCE
(EACH COUNTER)

COUNT	OUTPUT			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

NOTES: A. Output Q_A is connected to input B for BCD count.
B. Output Q_D is connected to input A for bi-quinary count.
C. H = high level, L = low level.

functional block diagrams



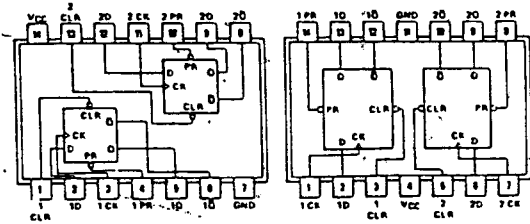
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

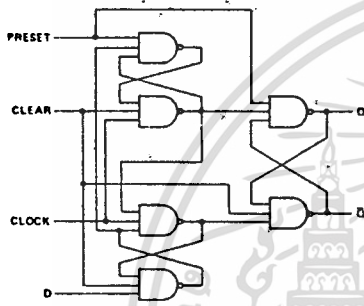
74

FUNCTION TABLE

INPUTS			OUTPUTS		
PRESET	CLEAR	CLOCK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	1	H	L	L
H	H	1	L	L	H
H	H	L	X	Q_0	\bar{Q}_0



- SN5474 (J) SN7474 (J, N) SN5474 (W)
- SN54H74 (J) SN74H74 (J, N) SN54H74 (W)
- SN54L74 (J) SN54L74 (T)
- SN54LS74A (J, W) SN74LS74A (J, N, NS)
- SN54S74 (J, W) SN74S74 (J, N, NS)

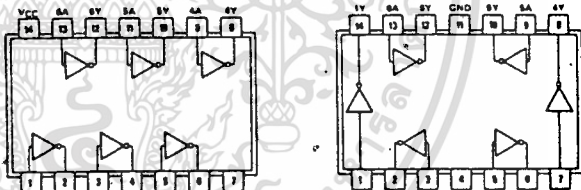


*L74—DUAL D WITH CLEAR AND PRESET

HEX INVERTERS

04

positive logic:
 $Y = \bar{A}$



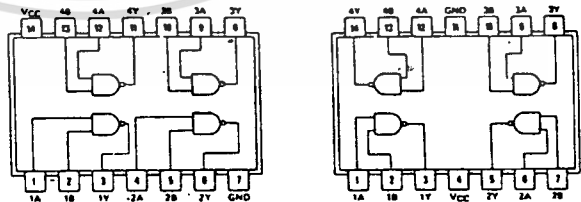
- SN5404 (J) SN7404 (J, N) SN5404 (W)
- SN54H04 (J) SN74H04 (J, N) SN54H04 (W)
- SN54L04 (J) SN54L04 (T)
- SN54LS04 (J, W) SN74LS04 (J, N, NS)
- SN54S04 (J, W) SN74S04 (J, N, NS)

See page 6-2

QUADRUPLE 2-INPUT POSITIVE-NAND GATES

00

positive logic:
 $Y = \overline{AB}$



- SN5400 (J) SN7400 (J, N) SN5400 (W)
- SN54H00 (J) SN74H00 (J, N) SN54H00 (W)
- SN54L00 (J) SN54L00 (T)
- SN54LS00 (J, W) SN74LS00 (J, N, NS)
- SN54S00 (J, W) SN74S00 (J, N, NS)

See page 6-2

กติการวมประกาศ

ขอขอบพระคุณ อ.วิทยา ทิพย์สุวรรณพร ที่ให้การช่วยเหลือในการดำเนินงานสร้าง ตลอดจน
คุณที่ ที่อยู่ อรุณการ MTD. และเพื่อน ๆ ที่อยู่ INSTRUMENT บ.บางจากปิโตรเลียม จำกัด ที่ให้ความ
ช่วยเหลือ และให้กำลังใจมาตลอด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. CHRISTOPHER E.STRANGIO, "DIGITAL ELECTRONIC"
PRENTICE/HALL, 1980
2. MALVINO AND LEACH, "DIGITAL PRINCIPLES AND APPLICATIONS"
McGRAW-HILL, 1984
3. ยืน กุ์ววรรณ, "เทคนิค การประยุกต์และใช้งาน ลีเนียร์ ไอซี"
อักษรสัมพันธ์, 2521
4. สิทธิชัย โภคยอุดม, "วงจรขยายสัญญาณ โอเปอร์เรชันแนล"
ทองกมล, 2523