



รายงานสหกิจศึกษาฉบับสมบูรณ์

การเคลื่อนย้ายเครื่องทดสอบของตัวงาน NVT2001GM จากเครื่องทดสอบ μ Parset 1 site ไปยังเครื่องทดสอบ Advantest 93K-PS1600-PWR 48 sites FT instrip
NVT2001GM conversion from μ Parset 1 site to Advantest 93K-PS1600-PWR 48 sites FT instrip

นาย อำนาจเจริญ เจริญใจ

ภาควิชาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2561



รายงานสหกิจศึกษาฉบับสมบูรณ์

การเคลื่อนย้ายเครื่องทดสอบของตัวงาน NVT2001GM จากเครื่องทดสอบ μ Parset 1 site ไปยังเครื่องทดสอบ Advantest 93K-PS1600-PWR 48 sites FT instrip NVT2001GM conversion from μ Parset 1 site to Advantest 93K-PS1600-PWR 48 sites FT instrip

นาย อำนาจเจริญ เจียมใจ

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2561

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อโครงการสหกิจศึกษา เรื่อง การเคลื่อนย้ายเครื่องทดสอบของตัวงาน NVT2001GM จากเครื่องทดสอบ

μParset 1 site ไปยังเครื่องทดสอบ Advantest 93K-PS1600-PWR 48 sites

FT instrip

ชื่อ-สกุล นักศึกษา นาย อำนาจเจริญ เจียมใจ

คณะ วิศวกรรมศาสตร์ ภาควิชา อิเล็กทรอนิกส์

ชื่อ-สกุล อาจารย์นิเทศ ผศ.เกรียงไกร สุขสุด และ อ.ชินภัทร นันทจิวารชัย

ชื่อ-สกุล ผู้นิเทศงาน นาย บุญเกิด สามสี

สถานประกอบการ NXP Semiconductor Thailand

บทคัดย่อ

โครงการเรื่อง การเคลื่อนย้ายเครื่องทดสอบของตัวงาน NVT2001GM จากเครื่องทดสอบ μParset 1 site ไปยังเครื่องทดสอบ Advantest 93K-PS1600-PWR 48 sites FT instrip มีจุดประสงค์ทำขึ้นมาเพื่อย้ายฐานการผลิตจากประเทศมาเลเซียมายังประเทศไทย และลดค่าใช้จ่ายในการดำเนินการ รวมถึง การเพิ่มจำนวนงานในการทดสอบต่อการทดสอบหนึ่งครั้ง โดยตัวโปรแกรมต้องสามารถทดสอบตัวงานได้อย่างถูกต้องเที่ยงตรง แม่นยำ และมีประสิทธิภาพ ตามมาตรฐานของโรงงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Cooperative Title: NVT2001GM conversion from μ Parset 1 site to Advantest 93K-PS1600-
PWR 48 sites FT instrip

Student intern name: Amnatcharoen jiamjai

faculty Engineering **Department** electronic

Advisor name: Asst. Prof. Kriangkrai Sooksood and Chinnapat Nantajiwakornchai

Mentor name: Boonkerd samsee

Company NXP Semiconductor Thailand

Abstract

NVT2001GM conversion from μ Parset 1 site to Advantest 93K-PS1600-PWR 48 sites FT instrip The purpose is to move production bases from Malaysia to Thailand. And reduce the cost of operations, including increasing the number of tasks in testing per one test The program must be able to test the work correctly, accurately, and efficiently. According to the standard of the factory

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงการเรื่อง “ เรื่อง การย้ายเครื่องทดสอบของตัวงาน NVT2001GM จาก เครื่องทดสอบ μ Parset 1 site ไปยังเครื่องทดสอบ Advantest 93K-PS1600-PWR 48 sites FT instrip ” สำเร็จลุล่วงไปได้ด้วยดี จากความช่วยเหลือและการให้คำปรึกษา จาก นาย บุญเกิด สามสี วิศวกรผู้ดูแลที่คอยช่วยเหลือในการวิจัย และให้ความรู้ รวมถึงช่วยในการแนะนำการแก้ไขปัญหาต่าง ๆ เมื่อทำการสร้างโปรแกรมนี้ขึ้นมา อีกทั้งยังต้องขอขอบคุณ นายเติมทรัพย์ สีมนต์ชัยบรร วิศวกรประจำบริษัทเครื่องทดสอบ Advantest และ นาย พงศ์ศักดิ์ อยู่ยงสิน หัวหน้าทีม SIP ที่ให้ความรู้และให้คำปรึกษาในการเขียนโปรแกรม รวมถึงการใช้ซอฟต์แวร์ต่าง ๆ และขอขอบคุณ พี่ ๆ ทุกคนในทีม SIP ที่คอยให้คำปรึกษาและให้ความช่วยเหลือในทุก ๆ ด้าน และขอขอบคุณ บริษัท NXP Semiconductor Thailand ที่ให้ความกรุณาเอื้อเฟื้อสถานที่และตัดสินใจรับผู้วิจัยเข้าร่วมโครงการสหกิจศึกษา ทางผู้จัดทำขอขอบคุณเป็นอย่างสูง

ขอขอบคุณบิดาและมารดาของผู้จัดทำที่คอยเป็นกำลังใจหลัก รวมไปถึงเพื่อนๆที่คอยให้กำลังใจและช่วยเหลือ รวมถึงให้คำแนะนำในการแก้ไขปัญหาต่างๆขณะทำงานวิจัย ซึ่งสามารถทำให้งานวิจัยชิ้นนี้สำเร็จลุล่วงออกมาได้โดยดี

สุดท้ายนี้คณะผู้จัดทำโครงการชิ้นนี้หวังว่างานวิจัยชิ้นนี้จะเป็นประโยชน์สำหรับผู้สนใจและผู้ที่น่าผลงานนี้ไปใช้

อำนาจเจริญ เจียมใจ

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญภาพ.....	VII
สารบัญตาราง.....	IX
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาแล้วความสำคัญ.....	1
1.2 วัตถุประสงค์ของการวิจัย.....	1
1.3 ขอบเขตของการวิจัย.....	1
1.4 วิธีการดำเนินการวิจัย.....	1
1.5 ประโยชน์ที่คาดว่าจะได้รับ.....	1
บทที่ 2 แนวคิดทฤษฎีและงานวิจัยที่เกี่ยวข้อง.....	3
2.1 ทฤษฎีวงจรรวมเบื้องต้น.....	3
2.1.1 วงจรอินพุตแบบ Pull-Up.....	3
2.1.2 วงจรอินพุตแบบ Pull-Down.....	4
2.1.3 วงจร Floating.....	4
2.1.4 วงจรเลื่อนระดับแรงดัน.....	5
2.2 ทฤษฎีการทดสอบทางไฟฟ้า.....	5
2.2.1 การทดสอบการเปิดและลัดวงจร.....	5
2.2.2 การวัด input Currents (IIL/IIH).....	7
2.2.3 การทดสอบค่าความต้านทานขณะขึ้นงานกำลังทำงาน.....	9
2.3 หลักการประเมินคุณภาพ.....	9

สารบัญ (ต่อ) .

	หน้า
2.3.1. ความถูกต้อง (Validity).....	10
2.3.2. ความละเอียดของเครื่องมือวัด (Resolution).....	10
2.3.3. ความเที่ยงตรง (Precision).....	10
2.3.4. ความแม่นยำ (Accuracy).....	11
2.3.5 MSA.....	11
2.3.6. Cp และ Cpk.....	13
บทที่ 3 วิธีการดำเนินการวิจัย.....	17
3.1 การศึกษาตัวชิ้นงาน.....	18
3.2 การเลือกและการออกแบบฮาร์ดแวร์.....	19
3.2.1 การพิจารณาความต้องการแหล่งจ่ายพลังงานหรืออุปกรณ์การวัดค่าในแต่ละขาของ ตัวงาน.....	19
3.2.2. อุปกรณ์ในการวัดของเครื่องทดสอบชิ้นงาน.....	19
3.3 วิธีการทดสอบตัวชิ้นงาน.....	21
3.3.1 การทดสอบ Kelvin (Kelvin test).....	21
3.3.2 การทดสอบหน้าสัมผัส (Continuity test).....	22
3.3.3 การทดสอบกระแสรั่ว (IIH test).....	24
3.3.4. การทดสอบค่าความต้านทานขณะตัวงานทำงาน (R-on state test).....	25
3.3.5. การทดสอบฟังก์ชัน (Functional test).....	25
3.3.6. SOTF.....	26
3.4 การเขียนโปรแกรมทดสอบตัวชิ้นงาน.....	26
3.4.1. การกำหนดขางาน.....	26
3.4.2. การตั้งค่าระดับแรงดัน.....	27
3.4.3. การตั้งค่าเชิงเวลา.....	28
3.4.4. การเขียนโปรแกรมทดสอบตัวชิ้นงาน.....	28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
3.5 การตรวจสอบความถูกต้องและประสิทธิภาพของโปรแกรมทดสอบตัวชิ้นงาน.....	28
3.5.1. MSC analysis.....	29
3.5.2. การพิจารณาค่า Cp.....	29
3.5.3. การพิจารณาค่า Cpk.....	29
3.6. การปล่อยชิ้นงานสู่ลูกค้า.....	29
3.6.1. TRB (Test Review Board).....	29
บทที่ 4 ผลการวิจัย.....	30
4.1. คุณสมบัติของโปรแกรม.....	30
4.2. ผลการวิจัย.....	30
4.2.1. ส่วนฮาร์ดแวร์.....	30
4.2.2. ส่วนซอฟต์แวร์ และ รายการตรวจสอบ.....	31
บทที่ 5 สรุปผลการวิจัย.....	37
5.1. สรุปผลการวิจัย.....	37
5.2. ข้อเสนอแนะการวิจัย.....	37
เอกสารอ้างอิง.....	38
ภาคผนวก.....	39
ประวัติผู้เขียน.....	52

สารบัญภาพ

	หน้า
รูปที่ 2.1 วงจรของขาอินพุตเมื่อกำหนดแบบ Pull-Up.....	4
รูปที่ 2.2 วงจรการของขาอินพุตเมื่อกำหนดแบบ Pull-Down.....	4
รูปที่ 2.3 วงจรรวมที่มีหน้าที่เลื่อนระดับแรงดัน.....	5
รูปที่ 2.4 การทดสอบ Opens / Shorts Test : VDD Diode	5
รูปที่ 2.5 การทดสอบ Opens / Shorts Test : VDD Diode.....	5
รูปที่ 2.6 Input Leakage Low Test (ILL).....	7
รูปที่ 2.7 Input Leakage High Test (IIH).....	8
รูปที่ 2.8 อธิบายความเที่ยงตรง.....	10
รูปที่ 2.9 ความแตกต่างระหว่างความเที่ยงตรงกับความแม่นยำ.....	11
รูปที่ 2.10 แสดงกราฟการกระจายตัว.....	11
รูปที่ 2.11 อธิบายความสามารถในการทำซ้ำ.....	12
รูปที่ 2.12 แสดงความแตกต่างของหลายระบบ.....	13
รูปที่ 2.13 แสดงกราฟการกระจายตัวในแนวโน้มที่ดี.....	15
รูปที่ 2.14 แสดงกราฟการกระจายตัวในแนวโน้มที่ไม่ดี.....	16
รูปที่ 3.1 แสดงแผนภาพ Block Diagram.....	17
รูปที่ 3.2 NVT2001GM Voltage translator และ Advantest 93K Tester.....	17
รูปที่ 3.3 data sheet ของ NVT2001GM.....	18
รูปที่ 3.4 ตัวการนำ NVT2001 ไปใช้งานจริง.....	19
รูปที่ 3.5 ตำการออกแบบฮาร์ดแวร์ในการทดสอบชิ้นงาน single site	20
รูปที่ 3.6 การออกแบบฮาร์ดแวร์ในการทดสอบชิ้นงาน multi sites.....	20
รูปที่ 3.7 flow ของการทดสอบตัวชิ้นงาน.....	21
รูปที่ 3.8 แสดงการทำงานของแหล่งจ่ายพลังงานที่มี force line และ sense line.....	22

สารบัญญภาพ (ต่อ)

	หน้า
รูปที่ 3.9 การทดสอบ Opens / Shorts Test : VDD Diode	23
รูปที่ 3.10 การทดสอบ Opens / Shorts Test : VSS Diode.....	23
รูปที่ 3.11 Input Leakage High Test (IIH).....	24
รูปที่ 3.12 แสดงวิธีการทดสอบ ค่าความต้านทานขณะตัวงานทำงาน (R-on state test).....	25
รูปที่ 3.13 แสดงการทดสอบฟังก์ชัน (Functional test).....	26
รูปที่ 3.14 แสดงการกำหนดขางาน.....	27
รูปที่ 3.15 แสดงหน้าต่างโปรแกรมในการตั้งค่าแรงดัน.....	27
รูปที่ 3.16 แสดงหน้าต่างโปรแกรมในการตั้งค่าเชิงเวลา.....	28
รูปที่ 3.17 การตรวจสอบความถูกต้องและประสิทธิภาพของโปรแกรมทดสอบตัวชิ้นงาน.....	28
รูปที่ 3.18 Test Review Board.....	29
รูปที่ 4.1 บอร์ด NVT2001 ที่ใช้ในสายการผลิต.....	30
รูปที่ 4.2 Bin handling.....	31
รูปที่ 4.3 Force validation.....	31
รูปที่ 4.4 Hotswitch.....	32
รูปที่ 4.5 No error.....	32
รูปที่ 4.6 Open socket.....	33
รูปที่ 4.7 QA test flow หรือ SOTF.....	33
รูปที่ 4.8 Rotation check.....	34
รูปที่ 4.9 Test time.....	34
รูปที่ 4.10 R & R analysis.....	35
รูปที่ 4.11 open socket evidence.....	35
รูปที่ 4.12 Cp analysis.....	35
รูปที่ 4.13 Cpk analysis.....	36
รูปที่ 4.14 Yield in production.....	36

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



บทที่ 1

บทนำ

1.1. ความเป็นมาและความสำคัญ

ปัจจุบัน วงจรรวม หรือ IC (Integrated circuit) เป็นส่วนประกอบหลักของอุปกรณ์ หรือ เครื่องใช้ไฟฟ้า ต่าง ๆ ที่ได้ถูกใช้กันอย่างแพร่หลายในชีวิตประจำวัน ในการผลิต IC ในอุตสาหกรรมสารกึ่งตัวนำ เราต้องทำการเขียนโปรแกรมการทดสอบตัวชิ้นงานในขั้นตอนสุดท้าย เพื่อทดสอบตัวชิ้นงานว่ามีคุณสมบัติหรือคุณภาพตามที่กำหนดหรือไม่ก่อนส่งมอบให้ลูกค้า แต่ในขณะเดียวกันหากเครื่องทดสอบชิ้นงาน ทดสอบชิ้นงานได้ช้า ใส่ชิ้นงานได้น้อยต่อการทดสอบหนึ่งครั้ง หรือมีเครื่องมือที่ไม่เพียงพอ จึงทำให้เราต้องย้ายชิ้นงานไปทดสอบที่เครื่องทดสอบเครื่องอื่นที่มีประสิทธิภาพการทำงานที่ดีกว่า และสามารถประหยัดค่าใช้จ่ายให้กับองค์กรได้

1.2. วัตถุประสงค์ของการวิจัย

ในการทำโครงการครั้งนี้จัดทำขึ้นเพื่อ

- 1.2.1. ย้ายฐานการทดสอบจากมาเลเซียมายังไทย
- 1.2.2. ลดค่าใช้จ่ายในการดำเนินการ
- 1.2.3. เพิ่มจำนวนชิ้นงานที่ใส่เข้าไปในเครื่องทดสอบตัวชิ้นงานในการทดสอบชิ้นงานหนึ่งครั้ง

1.3. วิธีการดำเนินการ

- 1.3.1. ศึกษาตัวชิ้นงาน NVT2001GM
- 1.3.2. การออกแบบและการเลือกฮาร์ดแวร์
- 1.3.3. ศึกษากระบวนการทดสอบ
- 1.3.4. เขียนโปรแกรม
- 1.3.5. การตรวจสอบคุณภาพ

1.4. ขอบเขตของการวิจัย

ทำการย้ายเครื่องทดสอบจากเครื่องทดสอบ μ Parset มายัง เครื่องทดสอบ Advantest 93K-PS1600-PWR โดยทำการเขียนโปรแกรมเหมือนกับเครื่องทดสอบ μ Parset ทุกประการ โดยโปรแกรมต้องมีคุณสมบัติดังนี้

1. ไม่มี error แจ้งเตือน ในโปรแกรม
2. กลับตัวงานแล้ว ทดสอบตัวงานต้องไม่ผ่าน
3. ไม่ใส่งาน ทดสอบตัวงานต้องไม่ผ่าน
4. มีโปรแกรมทดสอบคุณภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. ไม่มีการแจ้งเตือน Hot-switch
6. ขณะทดสอบตัวงานชิ้นหนึ่ง ช่องที่ไม่มีตัวงานทดสอบตัวงานต้องไม่ผ่าน
7. มีการควบคุม bin มาตรฐาน

1.5. ประโยชน์ที่คาดว่าจะได้รับ

1. ฝึกทักษะ Bench testing
2. ฝึกการออกแบบฮาร์ดแวร์ของชิ้นงาน
3. เรียนรู้และฝึกการเขียนโปรแกรมทดสอบชิ้นงาน ของเครื่อง ADVANTEST 93K
4. เรียนรู้การตรวจสอบคุณภาพในสายการผลิต
5. เรียนรู้การแก้ปัญหาในสถานการณ์จริง
6. เรียนรู้การทำงานร่วมกับวิศวกรทีมต่าง ๆ



บทที่ 2

แนวคิด ทฤษฎีและงานวิจัยที่เกี่ยวข้อง

2.1. ทฤษฎีวงจรรวมเบื้องต้น

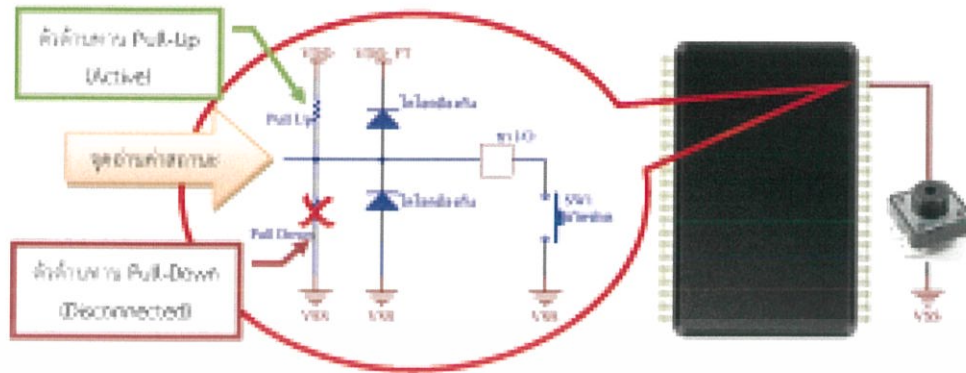
วงจรรวม (integrated circuit ; IC) คือ วงจรที่นำเอาไดโอด, ทรานซิสเตอร์, ตัวต้านทาน, ตัวเก็บประจุ และองค์ประกอบวงจรต่าง ๆ มาประกอบรวมกันบนแผ่นวงจรรวมขนาดเล็ก ในปัจจุบันแผ่นวงจรรวมนี้ จะทำด้วยแผ่นซิลิคอน บางที่อาจเรียก ชิป (Chip) และสร้างองค์ประกอบวงจรต่าง ๆ ฝังอยู่บนแผ่นผลึกนี้ ส่วนใหญ่เป็นชนิดที่เรียกว่า Monolithic การสร้างองค์ประกอบวงจรรวมชนิดนี้ จะใช้กรรมวิธีทางด้านกายภาพอย่างละเอียด ผสมกับขบวนการทางเคมีทำให้ลายวงจรมีความละเอียดสูงมาก สามารถบรรจุองค์ประกอบวงจรได้จำนวนมาก ภายในวงจรรวม จะมีส่วนของลอจิกมากมาย ในบรรดา วงจรเบ็ดเสร็จที่ซับซ้อนสูง เช่น ไมโครโปรเซสเซอร์ ซึ่งใช้ทำงานควบคุม คอมพิวเตอร์ จนถึง โทรศัพท์มือถือ แม้กระทั่งเตาอบไมโครเวฟแบบดิจิทัล สำหรับชิปหน่วยความจำ (RAM) เป็นอีกประเภทหนึ่งของวงจรรวมเบ็ดเสร็จ ที่มีความสำคัญมากในยุคปัจจุบัน

ชนิดของ IC

1. Analog IC (วงจรรวมแบบอนาล็อก) บางที่เรียกว่า วงจรรวมเชิงเส้น Linear IC (ลิเนียร์ ไอ ซี) เป็นวงจรรวมที่ทำหน้าที่ในการขยายสัญญาณ และควบคุมแรงดันไฟฟ้าชนิดของวงจรรวม ที่ทำหน้าที่ขยายสัญญาณ เรียกว่า OP Amp (ออปแอมป์) หรือ Operation Amplifier (โอเปอเรชัน แอมพลิไฟเออร์) เป็นวงจรรวมที่ประกอบขึ้นทรานซิสเตอร์หลายๆตัวรวมอยู่ใน IC ตัวเดียว จึงทำให้วงจรรวมออปแอมป์มีอัตราขยายสูงมาก
2. Digital IC (วงจรรวมแบบดิจิทัล) วงจรรวมดิจิทัลเป็น วงจรรวมที่ทำหน้าที่ในการสวิตซ์ทางดิจิทัล และ ไมโครโปรเซสเซอร์

2.1.1. วงจรอินพุตแบบ Pull-Up

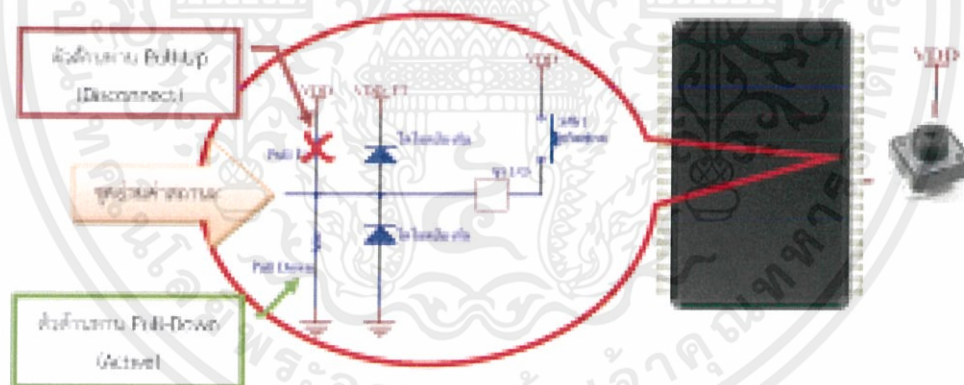
รูป 1-3 แสดงผลการตั้งขาอินพุตเป็นแบบ Pull-Up กล่าวคือ ตัวต้านทาน Pull-Up ซึ่งต่ออยู่กับ V_{DD} หรือแหล่งจ่ายไฟ จะถูกเชื่อมกับจุดอ่านค่าสถานะโดยอัตโนมัติภายใน Microcontroller ขณะที่ตัวต้านทาน Pull-Down จะไม่ถูกเชื่อมต่อเพื่อรักษาระดับของแรงดัน ให้คงที่ในสถานะ HIGH หรือ “1” ตลอดเวลา และเมื่อกด Switch จะทำให้สถานะเป็น LOW หรือ “0” จึงเรียกว่า Active Low เพราะเมื่อมีการทำงาน (สวิตซ์ถูกกด) ขาของ Microcontroller มีค่าเป็น LOW วงจรแบบ Pull-Up เป็นที่นิยมมากกว่า เพราะทนต่อสัญญาณรบกวนได้ดี



รูปที่ 2.1 วงจรของขาอินพุตเมื่อกำหนดแบบ Pull-Up

2.1.2. วงจรอินพุตแบบ Pull-Down

รูป 1-4 แสดงผลการตั้งขาอินพุตแบบ Pull-Up กล่าวคือ ตัวต้านทาน Pull-Down ซึ่งต่ออยู่กับ Ground จะถูกเชื่อมกับจุดอ่านค่าสถานะโดยอัตโนมัติภายใน Microcontroller ขณะที่ตัวต้านทาน Pull-Up จะไม่ถูกเชื่อมต่อเพื่อรักษาระดับของแรงดันให้คงที่ในสถานะ LOW หรือ “0” ตลอดเวลา และเมื่อกด Switch จะทำให้สถานะเป็น HIGH หรือ “1” จึงเรียกว่า Active High เพราะเมื่อมีการทำงาน (สวิตช์ถูกกด) ขาของ Microcontroller มีค่าเป็น HIGH



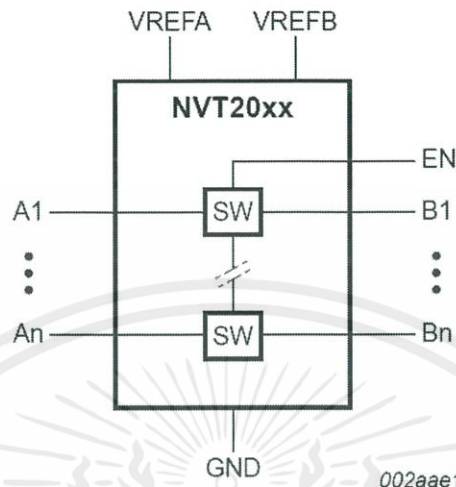
รูปที่ 2.2 วงจรการของขาอินพุตเมื่อกำหนดแบบ Pull-Down

2.1.3. วงจร Floating

สำหรับการตั้งค่าขาแบบ Floating มีแนวคิดเหมือน Pull-Up/Pull-Down แต่แตกต่างกันตรงที่จะไม่ต่อตัวต้านทาน Pull-Up และ Pull-Down ที่อยู่ภายใน และผู้ใช้จะต้องต่อตัวต้านทาน Pull-Up หรือ Pull-Down เองภายนอก จึงเหมาะสำหรับการต่ออุปกรณ์บางประเภทที่มีวงจร Pull-Up หรือ Pull-Down ภายนอกให้อยู่แล้ว

2.1.4. วงจรเลื่อนระดับแรงดัน

วงจรเลื่อนระดับแรงดัน คือ วงจรที่ช่วยการเชื่อมต่อระหว่างชิปสองชิปที่ทำงานกันต่างระดับแรงดัน เพื่อให้ชิปในระบบสามารถสื่อสารกันได้



รูปที่ 2.3 วงจรรวมที่มีหน้าที่เลื่อนระดับแรงดัน

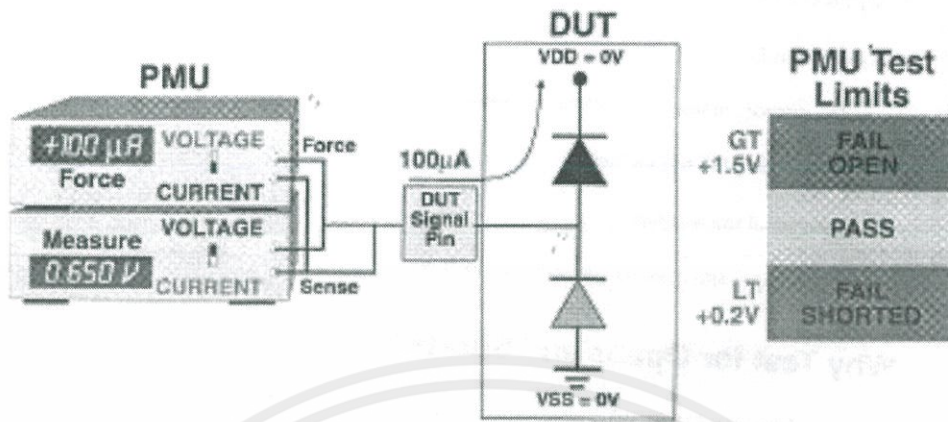
2.2. ทฤษฎีการทดสอบทางไฟฟ้า

การทดสอบทางไฟฟ้า (Electrical Testing) เป็นการทดสอบเพื่อพิสูจน์ (Verify) พารามิเตอร์ต่างๆ เพื่อใช้เป็นตัวพิจารณาอุปกรณ์ที่ทำการทดสอบว่าใช้งานได้หรือไม่นอกจากนี้เป็นการนำความรู้พื้นฐานเรื่องกฎของโอห์ม (Ohm's Law) มาคำนวณหาค่าความต้านทาน ค่ากระแส หรือค่าแรงดัน โดยเปลี่ยนวงจรหรืออุปกรณ์ให้เป็นวงจรเสมือนตัวต้านทานหนึ่งตัว ในบทนี้จะได้อธิบายความหมาย, จุดมุ่งหมาย หรือวิธีการในการทดสอบพารามิเตอร์ต่างๆ

2.2.1. การทดสอบการเปิดและลัดวงจร (Opens and Shorts Test)

การทดสอบนี้ บางครั้งเรียกว่า Continuity หรือ Contact Test เพื่อสำหรับทดสอบว่ามีสัญญาณที่ขาอุปกรณ์หรือไม่ และขาเหล่านั้นมีการลัดวงจรกัน ลัดวงจรกับแหล่งจ่ายหรือกราวด์หรือไม่และการทดสอบแบบนี้ยังเป็นเครื่องบ่งชี้ว่าเครื่องมือที่ใช้ในการทดสอบ ได้แก่ Test Probe Card, Device Test Socket ต่ออย่างถูกต้องตรงกับตำแหน่งหรือไม่อีกด้วย เงื่อนไขการทดสอบการเปิดและลัดวงจรจะไม่ได้ระบุไว้ในคู่มือ (Data Book) แต่เป็นที่รู้กันว่าการทดสอบแบบนี้จะถูกกระทำในทุก ๆ อุปกรณ์

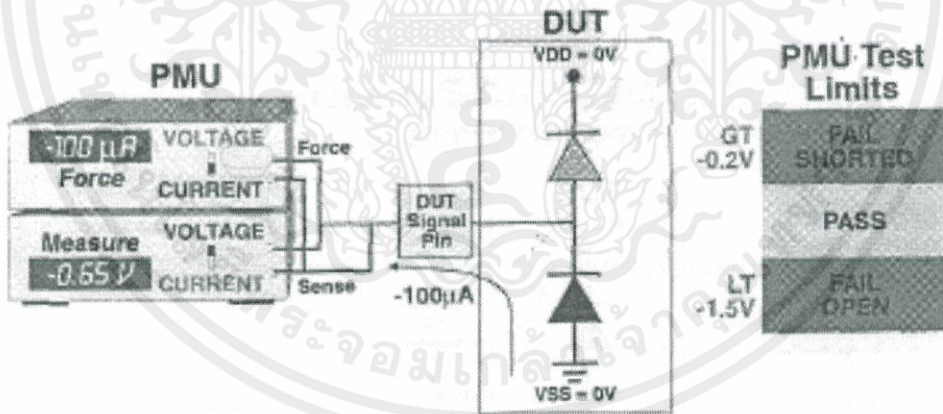
Opens/Shorts Test Serial/Static Method, VDD Diode



Ground all pins (including VDD).
Using PMU, force +100μA, one pin at a time.
Measure resultant voltage.
Fails test (open) if voltage measured is greater than +1.5V.
Fails test (shorted) if voltage measured is less than +0.2V.

รูปที่ 2.4 การทดสอบ Opens / Shorts Test : VDD Diode

Opens/Shorts Test Serial/Static Method, VSS Diode

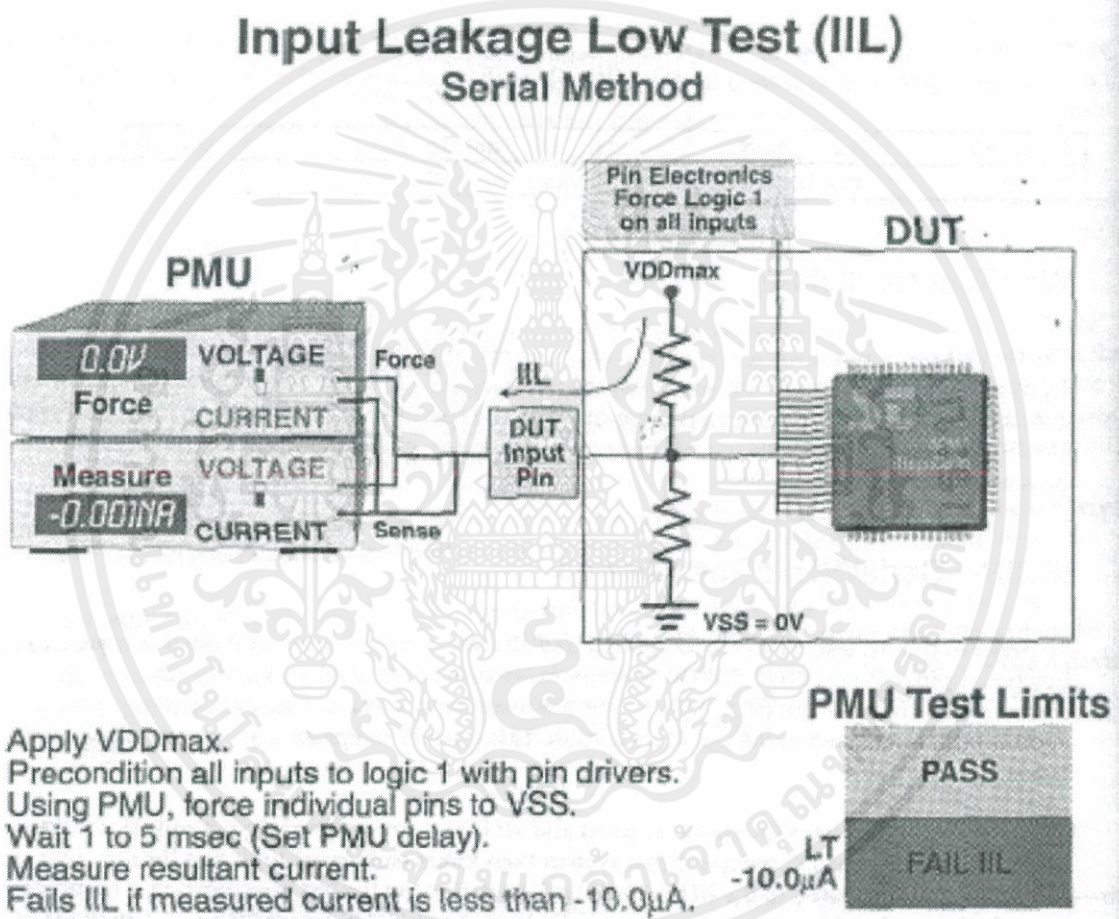


Ground all pins (including VDD).
Using PMU, Force -100μA, one pin at a time.
Measure resultant voltage.
Fails test (shorted) if voltage measured is greater than -0.2V.
Fails test (open) if voltage measured is less than -1.5V.

รูปที่ 2.5 การทดสอบ Opens / Shorts Test : VSS Diode

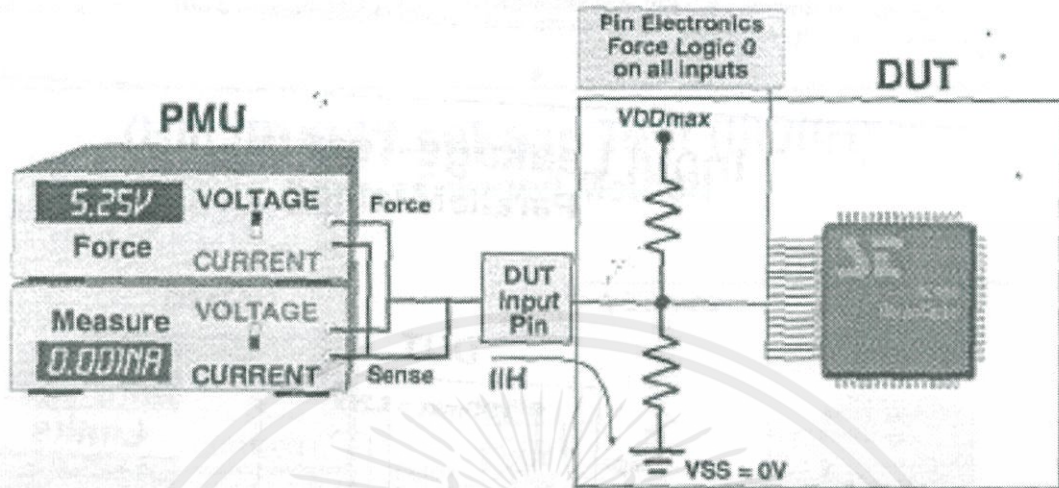
2.2.2. การวัด Input Currents (IIL / IIH) Current Input Low (IIL)

Input Currents (IIL / IIH) Current Input Low (IIL) เป็นการทดสอบกระแสที่ไหลออกจากขาอินพุตของอุปกรณ์เมื่อให้สถานะอินพุตเป็นลอจิก “0” ซึ่งเป็นการวัดค่าความต้านทานระหว่างขาอินพุตของอุปกรณ์กับแหล่งจ่าย (VDD) ถ้ากระแสที่วัดได้มีค่าน้อยกว่ากำหนด ($-10\mu\text{A}$) แสดงว่าอุปกรณ์นั้นไม่ผ่านการทดสอบ (Fail) ส่วน Current Input High (IIH) เป็นการทดสอบกระแสที่ไหลเข้าขาอินพุตของอุปกรณ์เมื่อให้สถานะอินพุตเป็นลอจิก “1” ซึ่งเป็นการวัดค่าความต้านทานระหว่างขาอินพุตของอุปกรณ์กับกราวด์ ถ้ากระแสที่วัดได้มีค่ามากกว่ากำหนด ($-10\mu\text{A}$) แสดงว่าอุปกรณ์นั้นไม่ผ่านการทดสอบ (Fail) ดังตัวอย่างในตารางที่ 6



รูปที่ 2.6 : Input Leakage Low Test (IIL)

Input Leakage High Test (IIH) Serial Method



Apply VDDmax.
Precondition all inputs to logic 0 with pin drivers.
Using PMU, force individual pins to VDDmax.
Wait 1 to 5 msec (Set PMU delay).
Measure resultant current.
Fails IIH if measured current is greater than +10.0µA.

PMU Test Limits	
GT +10.0µA	FAIL IIH
	PASS

รูปที่ 2.7 : Input Leakage High Test (IIH)

Pin	Force / mg	Meas / mg	Min	Max	Result
Pin 1	5.25V / 8V	1.0nA / 20µA	-10.0µA	10.0µA	PASS
Pin 1	0.00V / 8V	0.0nA / 20µA	-10.0µA	10.0µA	PASS
Pin 2	5.25V / 8V	20.4µA / 20µA	-10.0µA	10.0µA	FAIL
Pin 2	0.00V / 8V	0.0nA / 20µA	-10.0µA	10.0µA	PASS
Pin 3	5.25V / 8V	1.0nA / 20µA	-10.0µA	10.0µA	PASS
Pin 3	0.00V / 8V	-1.0nA / 20µA	-10.0µA	10.0µA	PASS
Pin 4	5.25V / 8V	1.0nA / 20µA	-10.0µA	10.0µA	PASS
Pin 4	0.00V / 8V	-18.6µA / 20µA	-10.0µA	10.0µA	FAIL

ตารางที่ 2.1 : IIL / IIH serial / static test using the PMU

2.2.3. การทดสอบค่าความต้านทานขณะขึ้นงานกำลังทำงาน

ทำการวัดค่าความต้านทานโดยใช้กฎของโอห์มมาประยุกต์ใช้

กฎของโอห์ม ใช้อธิบายความสัมพันธ์ระหว่างกระแสไฟฟ้ากับความต่างศักย์ไฟฟ้า และกระแสไฟฟ้ากับความต้านทาน กล่าวคือ กระแสไฟฟ้าที่ไหลผ่านตัวนำใด ๆ แปรผันโดยตรงกับความต่างศักย์ (แรงดันไฟฟ้าหรือแรงดันตกคร่อม คือกระแสมีค่ามากหรือน้อยตามความต่างศักย์นั้น) เขียนเป็นสมการได้ว่า

$$I \propto V$$

ละกระแสไฟฟ้าจะแปรผกผันกับความต้านทานระหว่างสองจุดนั้น(คือถ้าความต้านทานมากจะทำให้กระแสไหลผ่านน้อย, ถ้าความต้านทานน้อยจะทำให้มีกระแสมาก) เขียนเป็นสมการได้ว่า

$$I \propto 1/R$$

นำสูตรสมการทางคณิตศาสตร์ทั้งสองมารวมกัน, เขียนได้ดังนี้:

$$I = \frac{V}{R}$$

2.3. หลักการประเมินคุณภาพ

การวัดเปรียบเสมือนบันไดขั้นแรกที้นำไปสู่การควบคุม และการปรับปรุงคุณภาพ เพราะการควบคุมและปรับปรุงคุณภาพ ต้องอาศัยข้อมูลเพื่อใช้ในการวิเคราะห์และหาสาเหตุในการแก้ไขปัญหา เพื่อช่วยในการตัดสินใจได้อย่างถูกต้อง เหมาะสม ต้องอาศัยข้อมูลที่เที่ยงตรง แม่นยำ ซึ่งขึ้นอยู่กับองค์ประกอบเหล่านี้

- เครื่องมือวัด
- วิธีการวัด
- ผู้วัด

การวัด (Measurement)

- ความถูกต้อง (Validity)
- ความละเอียดของเครื่องมือวัด (Resolution)
- ความเที่ยงตรง (Precision)
- ความแม่นยำ (Accuracy)

2.3.1. ความถูกต้อง (Validity)

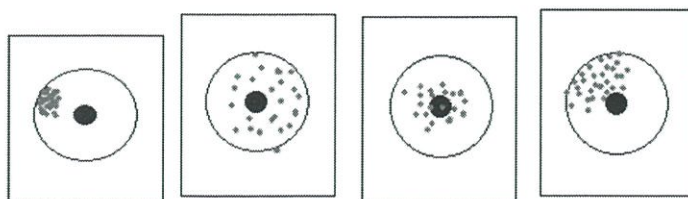
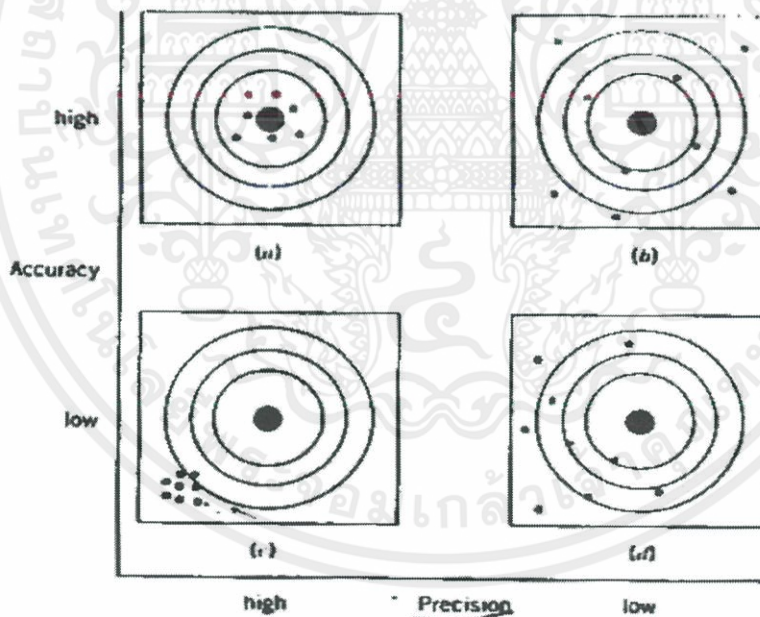
- เป็นพื้นฐานสำหรับการพัฒนาระบบการวัด
- วิธีการวัดต้องสามารถแสดงจำนวนหรือ ปริมาณที่สนใจ

2.3.2. ความละเอียดของเครื่องมือวัด (Resolution)

เช่นถ้าต้องการวัดข้อมูลซึ่งแตกต่างกันในหน่วยกรัม เครื่องวัดต้องสามารถวัดได้ละเอียดมากกว่าหน่วยกรัม หรือหมายถึงต้องสามารถวัดได้ในหลักทศนิยมของหน่วยกรัม

2.3.3. ความเที่ยงตรง (Precision)

ความเที่ยงตรง (Precision) เป็นคุณสมบัติของวิธีการวัด (Measurement method) หรือเครื่องมือวัด (Measurement device) หรือระบบจะมีความเที่ยงตรงมาก หรือน้อย พิจารณาจาก ขนาดของความผันแปรที่เกิดขึ้นโดยวัตถุชิ้นเดียวกันหลายๆครั้ง โดยใช้ เครื่องมือวัด วิธีวัด ผู้วัด ชุดเดียวกัน ถ้าค่าจากการวัดวัตถุเดียวกันซ้ำ ๆ หลายครั้งมีค่าใกล้เคียงกัน (โดยไม่สนใจว่าค่านั้น เป็นค่าที่ถูกต้องหรือไม่) หรือขนาดของความแปรปรวนในการวัดซ้ำเกิดขึ้นน้อย แสดงว่าระบบมีความเที่ยงตรงสูง

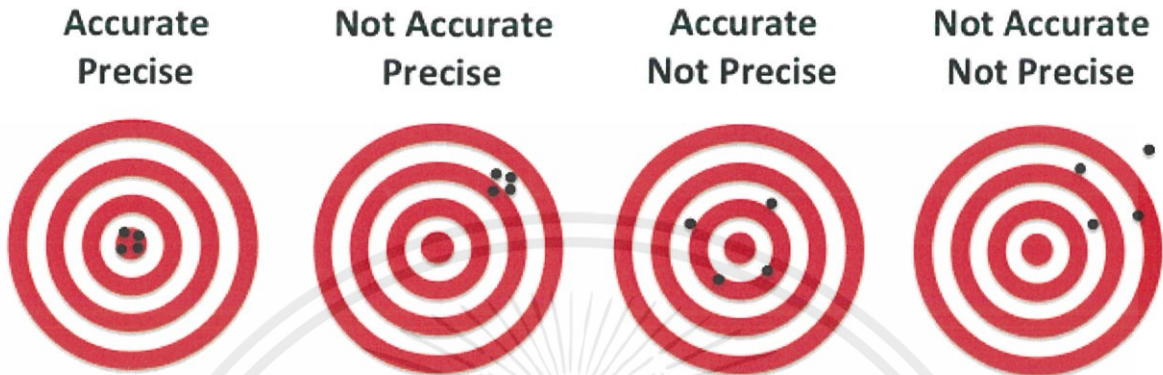


รูปที่ 2.8 อธิบายความเที่ยงตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา 10 ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.4. ความแม่นยำ (Accuracy)

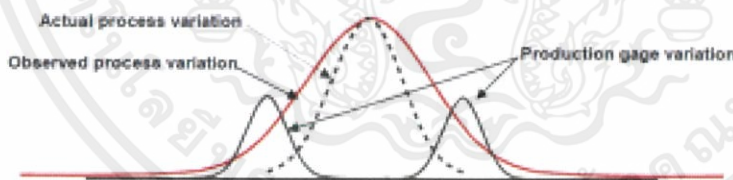
ความแม่นยำ (Accuracy) คือ ความสามารถของระบบวัดที่สามารถวัดได้ค่าใกล้เคียงกับค่าที่ถูกต้อง หรือค่าจริง ในกรณีที่มีการวัดซ้ำ ค่าเฉลี่ยของค่าวัดควรมีค่าใกล้เคียงกับค่าที่ถูกต้อง



รูปที่ 2.9 ความแตกต่างระหว่างความเที่ยงตรงกับความแม่นยำ

2.3.5. MSA

MSA คือ การวิเคราะห์ข้อมูลอาจได้รับอิทธิพลจากข้อผิดพลาดในการวัดผล เครื่องมือวัดวิธีการทำงานของพนักงานและอุปกรณ์หนีบทั้งหมดมีผลต่อระบบการวัด ปัจจัยเหล่านี้สามารถทำให้เกิดการเปลี่ยนแปลงในระบบการวัดได้ การเปลี่ยนแปลงนี้ในระบบการวัดเป็นส่วนหนึ่งของการแปรปรวนของกระบวนการทั้งหมดในการวิเคราะห์ SPC และสถิติที่เชื่อมโยงกันเช่น Cp, Cpk, Pp, Ppk ฯลฯ



รูปที่ 2.10 แสดงกราฟการกระจายตัว

มีการเปลี่ยนแปลงในทุกขั้นตอน สาเหตุของการเปลี่ยนแปลงสามารถพบได้ในปัจจัยการผลิตที่ต่างกันอย่างทั้งหมดของกระบวนการที่มีความแตกต่างระหว่างวัสดุกับความแตกต่างระหว่างพนักงาน อย่างไรก็ตามความเป็นไปได้ว่าการเปลี่ยนแปลงในกระบวนการวัดผลเป็นส่วนสำคัญของรูปแบบทั้งหมดหรือเป็นสาเหตุของการรบกวน มีรูปแบบการวัดหลายประเภท:
ความแม่นยำ

- ความสามารถในการทำซ้ำ - ภายในตัวดำเนินการหรือเครื่องวัด
- ความสามารถในการทำซ้ำ - ระหว่างผู้ปฏิบัติงานหรือระหว่างเครื่องวัด

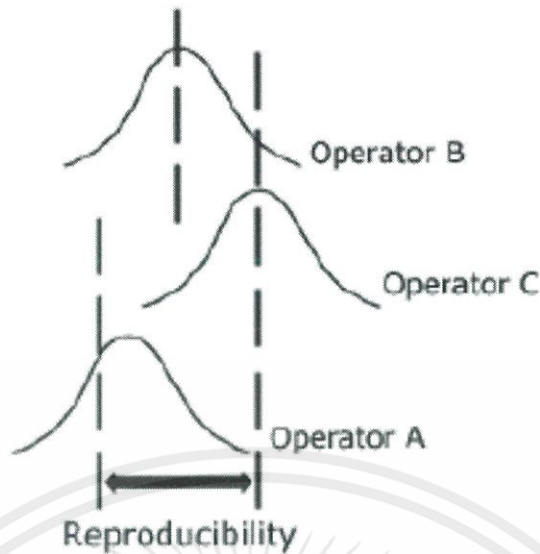
- ความเสถียร - ความแม่นยำในเวลา
- ความถูกต้องเชิงเส้นในช่วงการวัดของเครื่องมือวัด
- ความละเอียด
- อคติ - ค่าเบี่ยงเบนจากค่าที่แท้จริง

ในระหว่างการศึกษา Gage R & R การวิเคราะห์ความซ้ำซ้อนและการทำซ้ำได้ เครื่องวัดความสามารถในการทำซ้ำ



รูปที่ 2.11 อธิบายความสามารถในการทำซ้ำ

ระบบการวัดให้ผลเหมือนกันหรือไม่เมื่อเครื่องเดียวกันถูกวัดหลายครั้งโดยพนักงานคนเดียว? ความซ้ำซ้อนเรียกอีกอย่างหนึ่งว่าการเปลี่ยนแปลงของอุปกรณ์หรืออุปกรณ์เนื่องจากขึ้นอยู่กับการออกแบบหรือสถานะของเครื่องมือวัด เครื่องมือวัดความสามารถในการทำซ้ำ



รูปที่ 2.12 แสดงความแตกต่างของหลายระบบ

ระบบการวัดมีผลเหมือนกันหรือไม่เมื่อพนักงาน 2 หรือ 3 คนตรวจวัดผลิตภัณฑ์เดียวกันหลายครั้ง?

ความสามารถในการทำซ้ำระหว่างผู้ปฏิบัติงานหรือระหว่างเครื่องมือวัดเป็นแหล่งกำเนิดความแปรผันอื่นในกระบวนการวัดผล ความสามารถในการทำซ้ำเรียกว่าการตรวจสอบหรือการประเมินราคาเนื่องจากมักขึ้นอยู่กับความแตกต่างระหว่างพนักงานในการใช้ระบบการวัด การศึกษา R & R ของ Gage โดยปกติจะประกอบด้วยสองส่วนคือความสามารถในการทำซ้ำ (ความแปรปรวนของอุปกรณ์) และการทำซ้ำได้ (รูปแบบผู้ประเมินราคา) การศึกษาแบ่งออกเป็นสองส่วนเพื่อพิจารณาว่าเครื่องมือวัดควรได้รับการปรับปรุงหรือซ่อมแซมหรือการฝึกอบรมจำเป็นสำหรับผู้ประกอบการ ในการคำนวณเปอร์เซ็นต์ของความแปรปรวนค่าความคลาดเคลื่อน (USL-LSL) ความแปรปรวนของกระบวนการทั้งหมด (5.85 หรือ 6 sigma ตามข้อมูล SPC) หรือรูปแบบการศึกษาทั้งหมด (5.85 หรือ 6 sigma) สามารถทำได้ภายใต้ ขึ้นอยู่กับข้อมูลจากการศึกษา MSA) แนวทางในการยอมรับความสามารถในการทำซ้ำและการทำซ้ำได้ (%R&R):

- ภายใต้ข้อผิดพลาด 10%: รูปแบบการวัดเป็นที่ยอมรับได้
- ข้อผิดพลาด 10% ถึง 30%: ระบบการวัดอาจยอมรับได้ แต่ขึ้นอยู่กับความสำคัญของการวัด, ต้นทุนของระบบการวัดค่าใช้จ่ายในการซ่อมแซมหรือปรับปรุงและความสามารถในการประเมินที่มีอยู่
- ข้อผิดพลาดมากกว่า 30%: ระบบการวัดต้องได้รับการปรับปรุง (ขึ้นอยู่กับความสามารถของกระบวนการ)

2.3.6. CP และ CPK

ค่าความสามารถเป็นตัวสถิติที่บอกว่ากระบวนการนั้นทำงานภายใต้ข้อกำหนดเฉพาะได้ดีอย่างไร ตัวสถิติ ค่าความสามารถมีอยู่หลายตัวมาก ดังนั้นการทำความเข้าใจค่าความสามารถแต่ละตัวนั้นจะทำให้เป็นประโยชน์ ในการนำไปใช้งานได้ดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา 13 ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าความสามารถ 2 ตัวแรกที่เราจะเริ่มทำความเข้าใจ คือ Cp และ Cpk สองตัวนี้ต่างกันที่อักษรตัวเดียว แต่ก็ไม่ได้บอกถึงความหมายที่ตัวสถิติ 2 ตัวนี้แตกต่างกันอย่างไร

ความหมายของค่า Cp

สมการในการหาค่า Cp คือ ET/NT เมื่อ ET มาจาก Engineering Tolerance ซึ่งเท่ากับความกว้างของขอบเขต ข้อกำหนดเฉพาะ ส่วน NT มาจาก Natural Tolerance ซึ่งเท่ากับความกว้างที่ครอบคลุมช่วงของข้อมูลที่ได้จาก กระบวนการ โดยส่วนใหญ่ NT คือ 6 เท่าของค่าเบี่ยงเบนมาตรฐาน (Standard deviation)

เรามักใช้ค่า Cp เป็นตัวอธิบายความสามารถของกระบวนการว่าสามารถดำเนินงานได้อย่างดีตามค่ากลางของข้อกำหนดเฉพาะหรือไม่

ความหมายของค่า Cpk

สมการในการหาค่า Cpk จะมีความซับซ้อนกว่านิดหน่อย ซึ่งมีค่าเท่ากับ

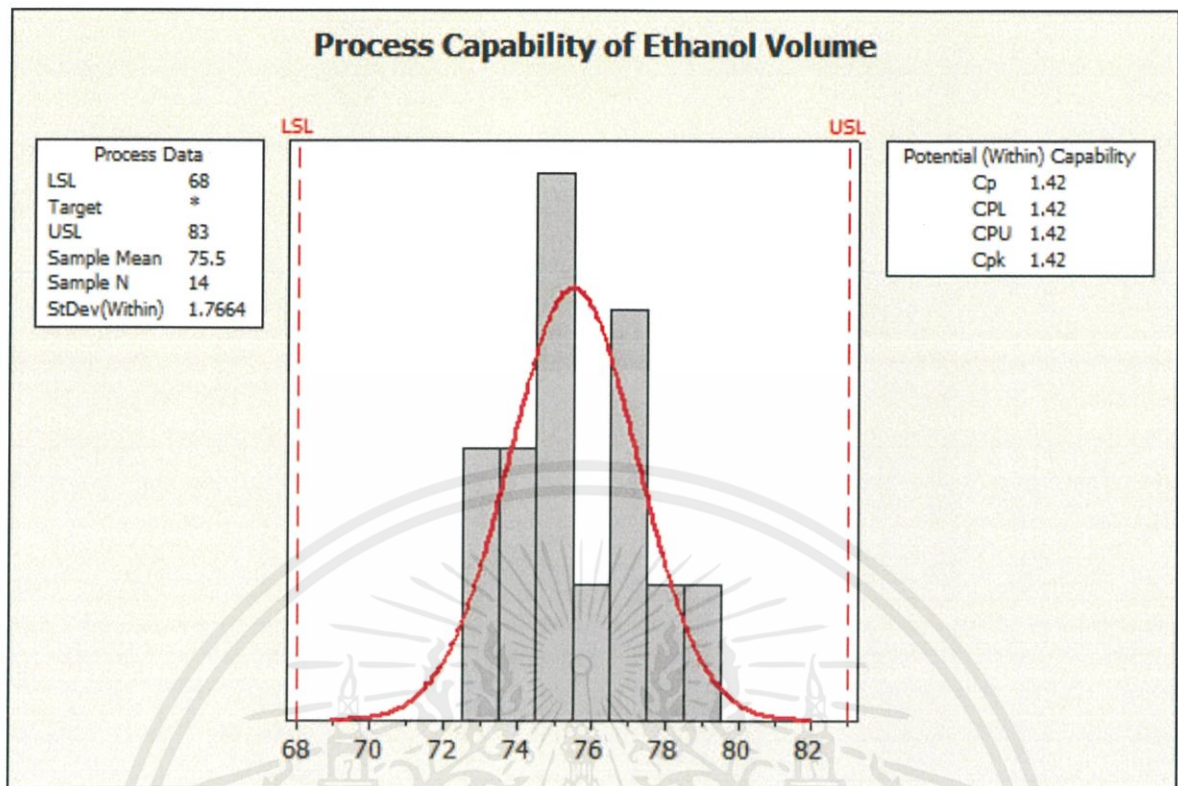
$$[\text{minimum}(\text{mean} = \text{LSL}, \text{USL} = \text{mean})]/(0.5*NT)$$

เมื่อ LSL มาจาก ขีดจำกัดล่างของกำหนดเฉพาะ (Lower Specification Limit) และ USL มาจาก ขีดจำกัดบนของข้อกำหนดเฉพาะ (Upper Specification Limit)

ค่า Cp และ Cpk

ตัวสถิติทั้ง 2 ค่านี้ มีพื้นฐานคล้ายๆกันหลายอย่าง ค่าความเบี่ยงเบนมาตรฐานที่ยิ่งมีค่าน้อยจะทำให้ตัวสถิติทั้ง 2 นี้ มีค่ามากขึ้น และด้วยเงื่อนไขที่ถูกต้อง ค่า Cp และ Cpk จะมีค่าเหมือนกัน

ชุดข้อมูลต่อไปนี้ เป็นข้อมูลปริมาณเอทานอลในเชื้อเพลิง E85 ซึ่งพอนำมาหาค่า Cp และ Cpk และผลที่ได้คือ 2 ค่านี้มีค่าเหมือนกัน การวิเคราะห์ความสามารถ ใน Minitab จะแสดงตัวสถิติทั้ง 2 ค่านี้

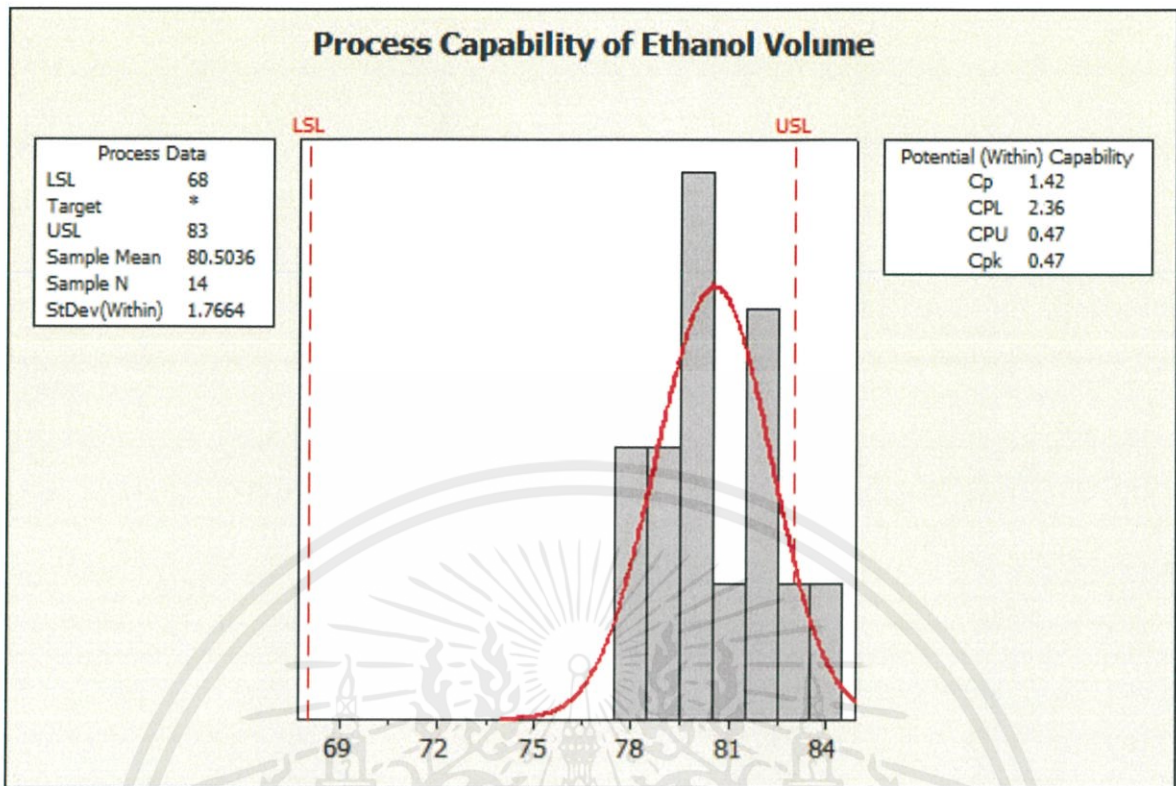


รูปที่ 2.13 แสดงกราฟการกระจายตัวในแนวโน้มที่ดี

ในที่นี้ข้อกำหนดเฉพาะ คือ 68 และ 83 ซึ่งเป็นข้อกำหนดที่ใช้กับปริมาณเอทานอลที่อยู่ในเชื้อเพลิง E85 ที่ใช้ในปี 2010 ครึ่งทางระหว่างข้อกำหนดเฉพาะคือ 75.5 และค่าเฉลี่ยข้อมูลคือ 75.5 เช่นกัน เมื่อค่าเฉลี่ยข้อมูลเป็นค่าเดียวกับค่ากลางของข้อกำหนดเฉพาะ จะทำให้ค่า Cp และ Cpk มีค่าเหมือนกัน

บางผลิตภัณฑ์มีเป้าหมายให้กระบวนการได้ค่ากลางระหว่างข้อกำหนดเฉพาะมากที่สุด แต่ในบางผลิตภัณฑ์อาจจะมีเป้าหมายให้มีผลิตภัณฑ์อยู่ภายในข้อกำหนดเฉพาะให้มากที่สุด อย่างไรก็ตามปริมาณเอทานอลที่อยู่ในเชื้อเพลิง E85 ปริมาณเอทานอลที่มีมากทำให้ลดปริมาณเชื้อเพลิงน้ำมันและลดการปล่อยมลภาวะ และผู้ที่ซื้อ E85 ก็มีความคิดว่า เชื้อเพลิงที่ซื้อนั้นมีปริมาณเอทานอลใกล้เคียง 85 ตามที่ระบุ

ข้อมูลต่อไปนี้ เก็บมาจากห้องทดลอง National Renewable Energy ในปี 2010 ซึ่งเป็นปริมาณเอทานอลของ เชื้อเพลิง E85 (ในที่นี้ เราได้ลบข้อมูล 1 ตัวออกไปเพราะเป็นตัวที่ผู้ส่งมอบได้พยายามใช้เอทานอลให้น้อยที่สุด)



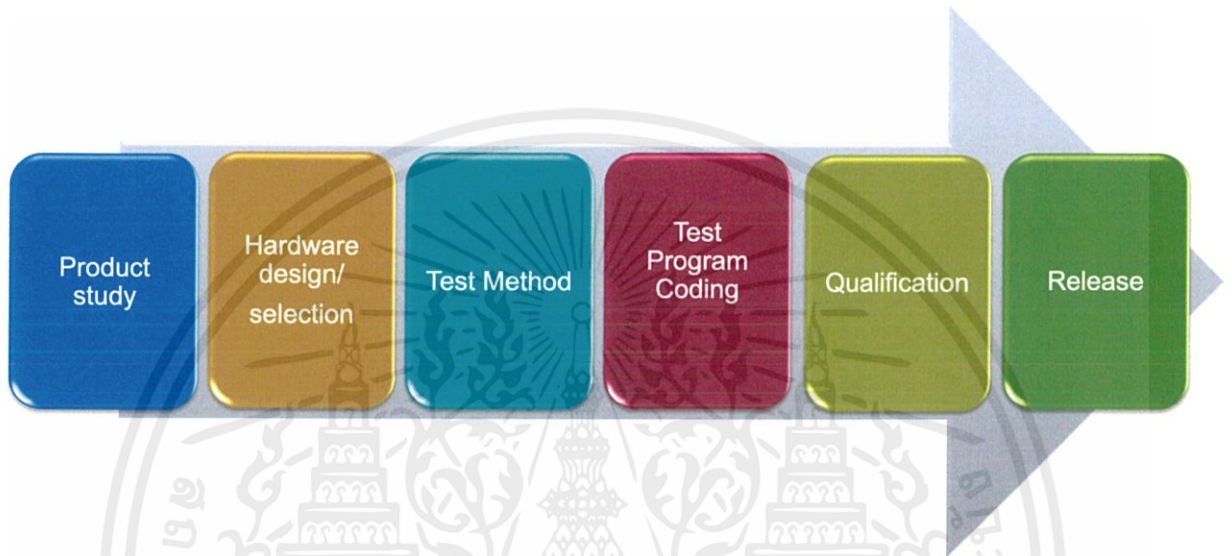
รูปที่ 2.14 แสดงกราฟการกระจายตัวในแนวโน้มที่ไม่ดี

ค่าเฉลี่ยสิ่งตัวอย่าง คือ 80.5 ค่าเฉลี่ยนี้มีค่ามากกว่าค่ากลางของข้อกำหนดเฉพาะอยู่ 5 หน่วย ยิ่งค่าเฉลี่ยของ สิ่งตัวอย่างมีค่าห่างจากค่ากลางของข้อกำหนดเฉพาะมากเท่าไร ยิ่งทำให้ Cpk มีค่าต่ำลง และทำให้ค่า Cp และ Cpk มีความแตกต่างกันมากขึ้น

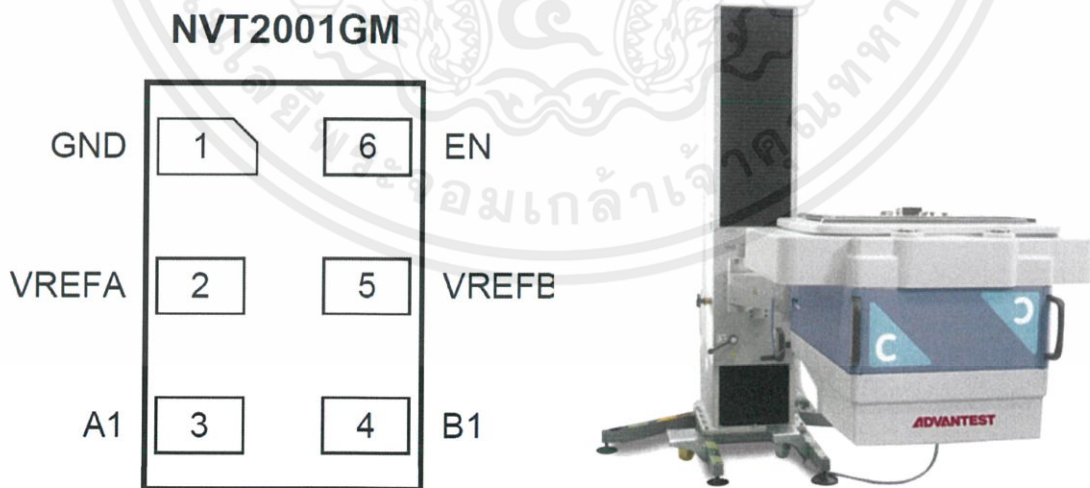
ดังนั้นการใช้ค่า Cp และ Cpk คือถ้า 2 ค่านี้ มีความใกล้เคียงกัน หมายความว่า ค่าเฉลี่ยนั้นมีค่าใกล้กับค่ากลาง ของข้อกำหนดเฉพาะและเมื่อค่า Cp มากกว่า ค่า Cpk หมายความว่า ค่าเฉลี่ยอยู่ก่อนไปทางขีดจำกัดของข้อกำหนดเฉพาะ ด้านใดด้านหนึ่ง เมื่อคุณสามารถทำความเข้าใจกระบวนการได้แล้ว ย่อมทำให้คุณสามารถตัดสินใจได้ว่า จะทำการปรับปรุง กระบวนการอย่างไรก่อนดี

บทที่ 3

วิธีการดำเนินการวิจัย



รูปที่ 3.1 แสดงแผนภาพ Block Diagram



รูปที่ 3.2 NVT2001GM Voltage translator และ Advantest 93K Tester

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1. การศึกษาตัวชิ้นงาน

ศึกษาการทำงานและคุณสมบัติของตัวงานผ่าน data sheet

NVT2001; NVT2002

Bidirectional voltage level translator for open-drain and push-pull applications

Rev. 4 — 27 January 2014

Product data sheet

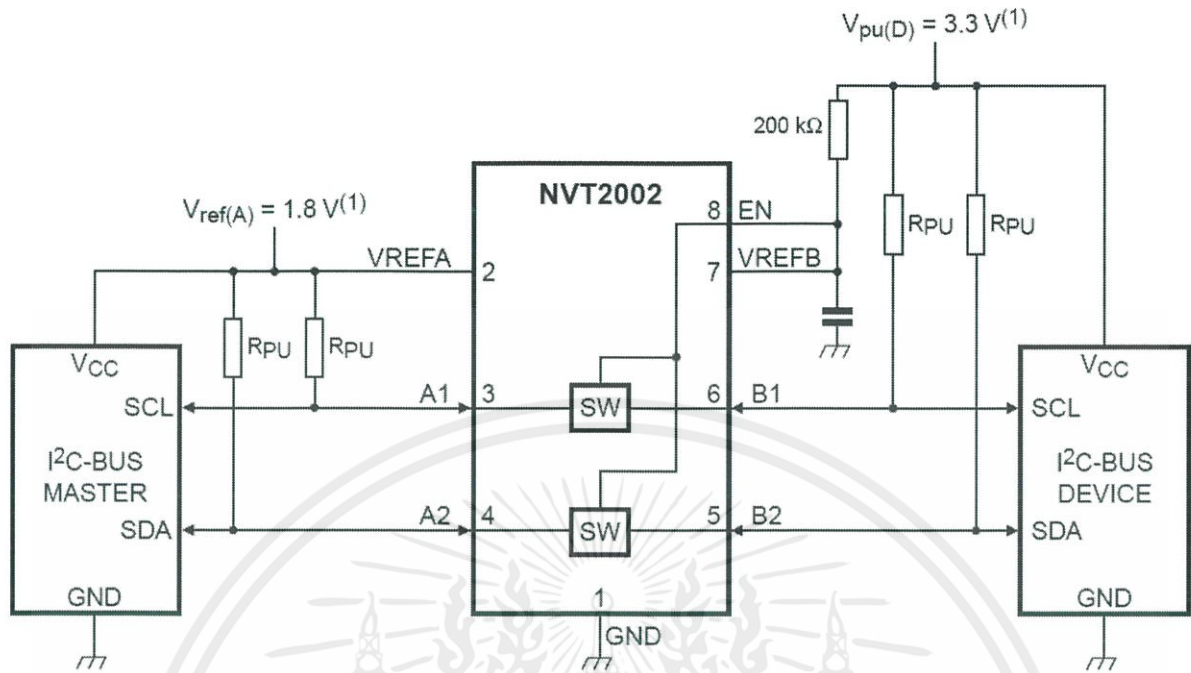
1. General description

The NVT2001/02 are bidirectional voltage level translators operational from 1.0 V to 3.6 V ($V_{ref(A)}$) and 1.8 V to 5.5 V ($V_{ref(B)}$), which allow bidirectional voltage translations between 1.0 V and 5 V without the need for a direction pin in open-drain or push-pull applications. Bit widths ranging from 1-bit or 2-bit are offered for level translation application with transmission speeds < 33 MHz for an open-drain system with a 50 pF capacitance and a pull-up of 197 Ω .

2. Features and benefits

- Provides bidirectional voltage translation with no direction pin
- Less than 1.5 ns maximum propagation delay
- Allows voltage level translation between:
 - ◆ 1.0 V $V_{ref(A)}$ and 1.8 V, 2.5 V, 3.3 V or 5 V $V_{ref(B)}$
 - ◆ 1.2 V $V_{ref(A)}$ and 1.8 V, 2.5 V, 3.3 V or 5 V $V_{ref(B)}$
 - ◆ 1.8 V $V_{ref(A)}$ and 3.3 V or 5 V $V_{ref(B)}$
 - ◆ 2.5 V $V_{ref(A)}$ and 5 V $V_{ref(B)}$
 - ◆ 3.3 V $V_{ref(A)}$ and 5 V $V_{ref(B)}$
- Low 3.5 Ω ON-state connection between input and output ports provides less signal distortion
- 5 V tolerant I/O ports to support mixed-mode signal operation
- High-impedance An and Bn pins for EN = LOW
- Lock-up free operation
- Flow through pinout for ease of printed-circuit board trace routing
- ESD protection exceeds 4 kV HBM per JESD22-A114 and 1000 V CDM per JESD22-C101

รูปที่ 3.3 data sheet ของ NVT2001GM



รูปที่ 3.4 การนำ NVT2001 ไปใช้งานจริง

3.2. การเลือกและการออกแบบฮาร์ดแวร์

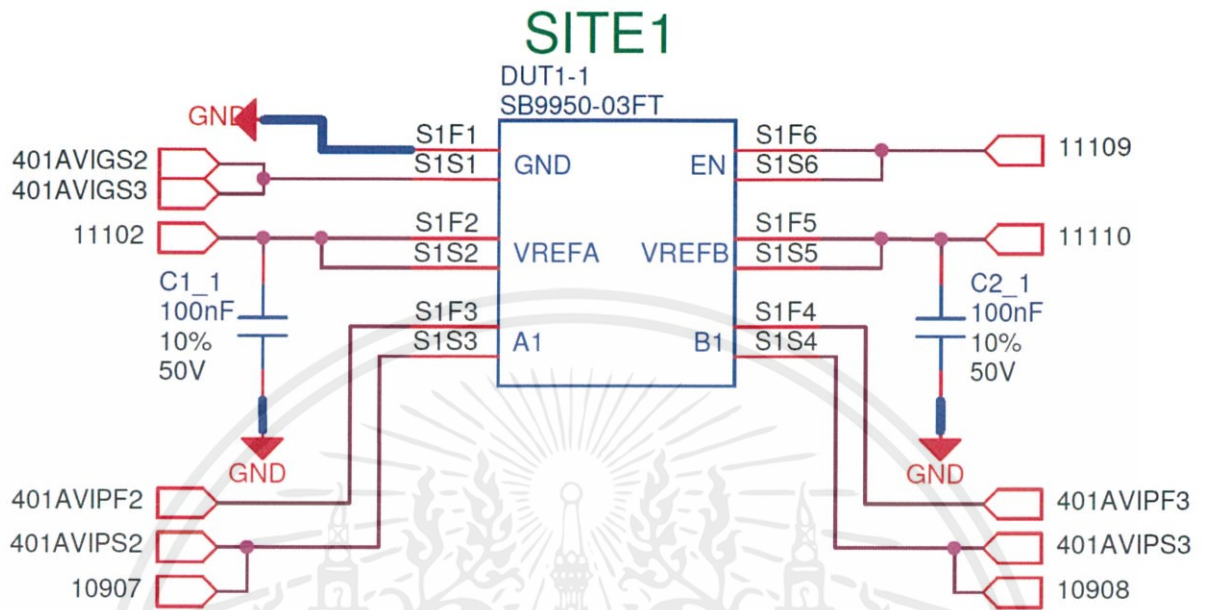
3.2.1 การพิจารณาความต้องการแหล่งจ่ายพลังงานหรืออุปกรณ์การวัดค่าในแต่ละขาของตัวงาน

ในขั้นตอนแรกในการออกแบบฮาร์ดแวร์ สิ่งที่ต้องคำนึงเป็นอย่างแรกคือ การพิจารณาความต้องการแหล่งจ่ายพลังงานหรืออุปกรณ์การวัดค่าในแต่ละขาของตัวงาน ในการทดสอบแต่ละวิธีการ

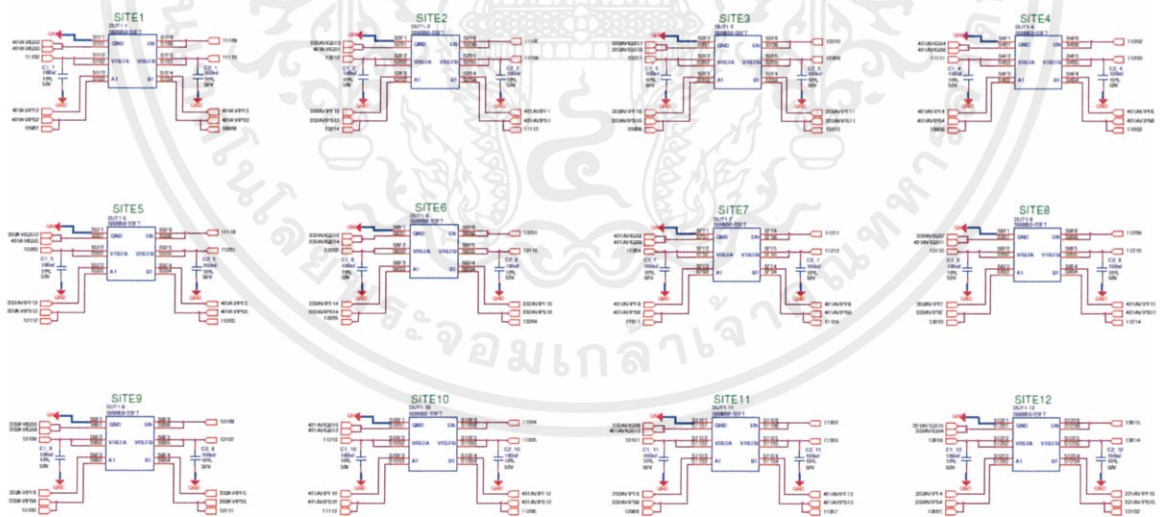
NVT2001GM เป็นชิ้นงานที่มี ค่าความต้านทานขณะตัวชิ้นงานทำงาน ค่อนข้างต่ำ (Low R-on state) ซึ่งเป็นข้อดีหลักข้อหนึ่งของตัวชิ้นงาน เพราะฉะนั้นการวัดค่า ค่าความต้านทานขณะตัวชิ้นงานทำงาน จึงเป็นการทดสอบขั้นตอนหนึ่งที่ค่อนข้างสำคัญและเป็นปัจจัยหลักของการเลือกอุปกรณ์ ดังนั้นจึงต้องเลือกเครื่องมือที่มีความเหมาะสมและแม่นยำให้ครอบคลุมในการวัดค่า ค่าความต้านทานขณะตัวชิ้นงานทำงาน ไม่ให้เกิดค่าที่รับรองไว้ใน data sheet

3.2.2 อุปกรณ์ในการวัดของเครื่องทดสอบชิ้นงาน

- AVI มีความแม่นยำสูงในการวัด
- PPMU ถูกนำมาใช้เป็นแหล่งจ่ายแรงดัน และการสร้างสัญญาณดิจิทัล

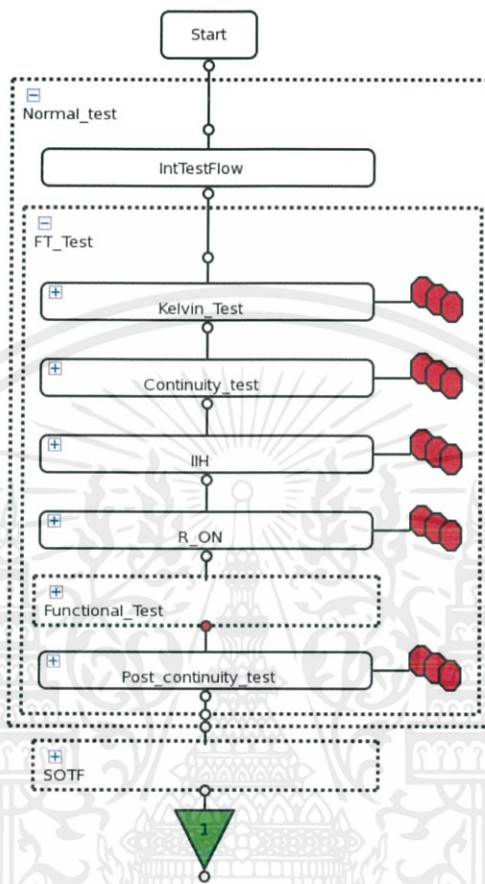


รูปที่ 3.5 การออกแบบฮาร์ดแวร์ในการทดสอบชิ้นงาน single site



รูปที่ 3.6 การออกแบบฮาร์ดแวร์ในการทดสอบชิ้นงาน multi sites

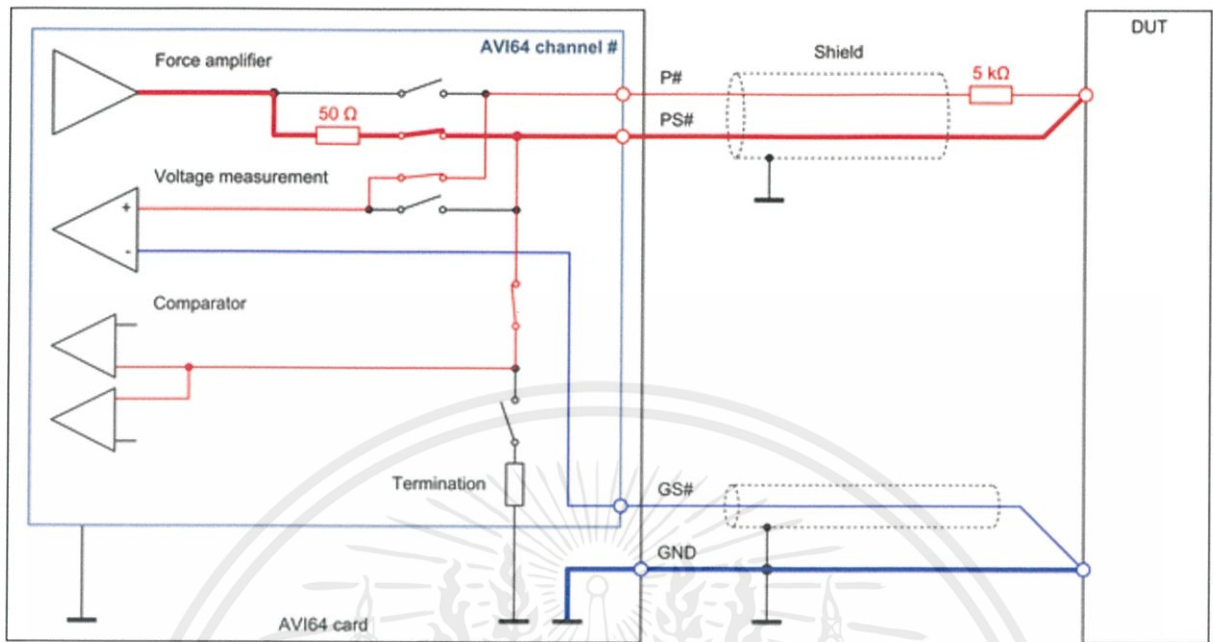
3.3. วิธีการทดสอบตัวชิ้นงาน



รูปที่ 3.7 flow ของการทดสอบตัวชิ้นงาน

3.3.1. การทดสอบ Kelvin (Kelvin test)

เป็นการทดสอบเพื่อตรวจสอบว่า force line และ sense line ของแหล่งจ่ายแต่ละที่ข้างาน โดยขั้นตอนนี้ผู้วิจัยไม่ต้องเขียนโปรแกรมเพิ่ม เนื่องจากมีโปรแกรมสำเร็จรูปรองรับ

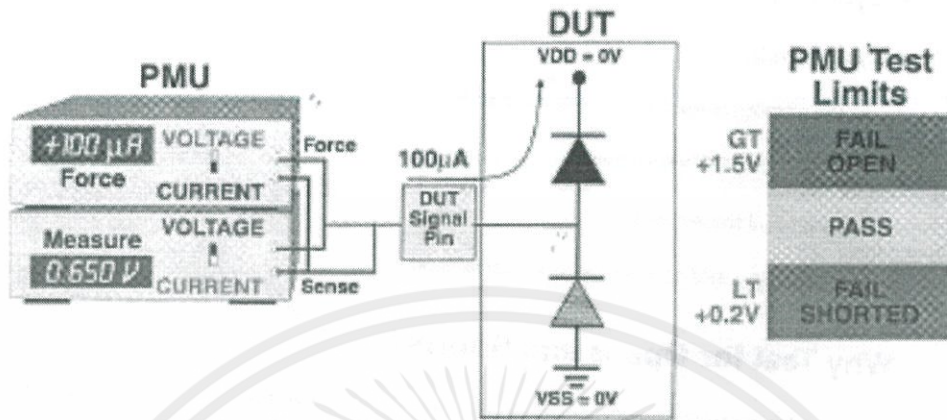


รูปที่ 3.8 แสดงการทำงานของแหล่งจ่ายพลังงานที่มี force line และ sense line

3.3.2. การทดสอบหน้าสัมผัส (Continuity test)

ในขั้นแรกต่อขาสำหรับป้อนแรงดันและขากราวด์ ของอุปกรณ์ลงกราวด์ ของแหล่งจ่ายไฟจากนั้นต่อขาของ MPU เข้ากับขาของอุปกรณ์ที่ต้องการทดสอบแล้วจ่ายกระแสเข้าไป ซึ่งจะมีผลทำให้ไดโอดที่ทำหน้าที่ป้องกัน (Protection Diode) ตัวใดตัวหนึ่งอยู่ในลักษณะไบแอสตรง ดังรูป 3-1 และ 3-2 โดยถ้าป้อนกระแสบวกเข้าไปไดโอดตัวที่ต่อกับ VDD จะได้รับไบแอสตรง (Forward Bias) ซึ่งกระแสที่จ่ายเข้าไปจะมีค่าอยู่ระหว่าง 100 μA ถึง 500 μA ไดโอดที่ได้รับไบแอสตรงจะมีแรงดันตกคร่อมประมาณ 0.65 V ซึ่งแรงดันนี้จะสามารถใช้เป็นค่าในการตรวจสอบได้ PMU จะถูกกำหนดให้เป็นตัวจ่ายกระแสและวัดแรงดัน ซึ่งแรงดันแคลมป์จะถูกโปรแกรมให้จำกัดแรงดันอยู่ที่ 3V ไม่ว่าจะเกิดการเปิดหรือลัดวงจรของขาอุปกรณ์ที่ทดสอบข้อดีของการทดสอบการเปิดและลัดวงจรนี้ คือ เมื่ออุปกรณ์ชำระค่าแรงดันที่วัดได้ คือค่าแรงดันจริงที่สามารถวิเคราะห์ได้ว่าเกิดการลัดหรือเปิดวงจรได้ทันที แต่วิธีการแบบนี้ ก็มีข้อเสียในเรื่องเกี่ยวกับต้องใช้เวลาสำหรับการตรวจสอบขาทุกขาของอุปกรณ์

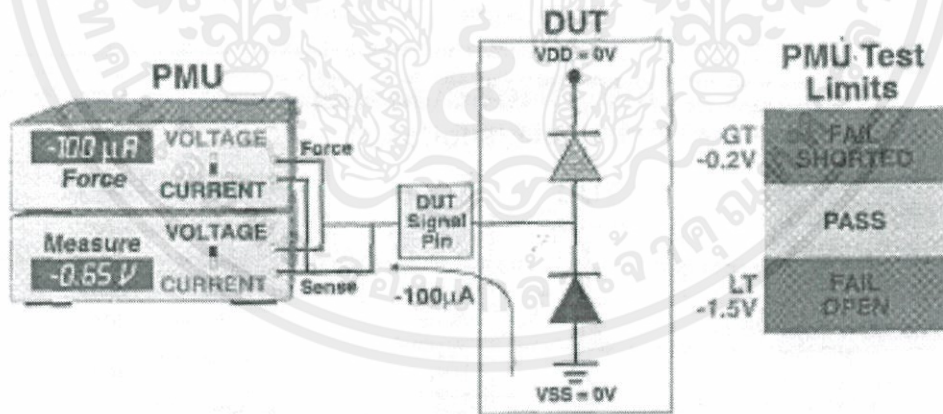
Opens/Shorts Test Serial/Static Method, VDD Diode



Ground all pins (including VDD).
Using PMU, force +100μA, one pin at a time.
Measure resultant voltage.
Fails test (open) if voltage measured is greater than +1.5V.
Fails test (shorted) if voltage measured is less than +0.2V.

รูปที่ 3.9 การทดสอบ Opens / Shorts Test : VDD Diode

Opens/Shorts Test Serial/Static Method, VSS Diode

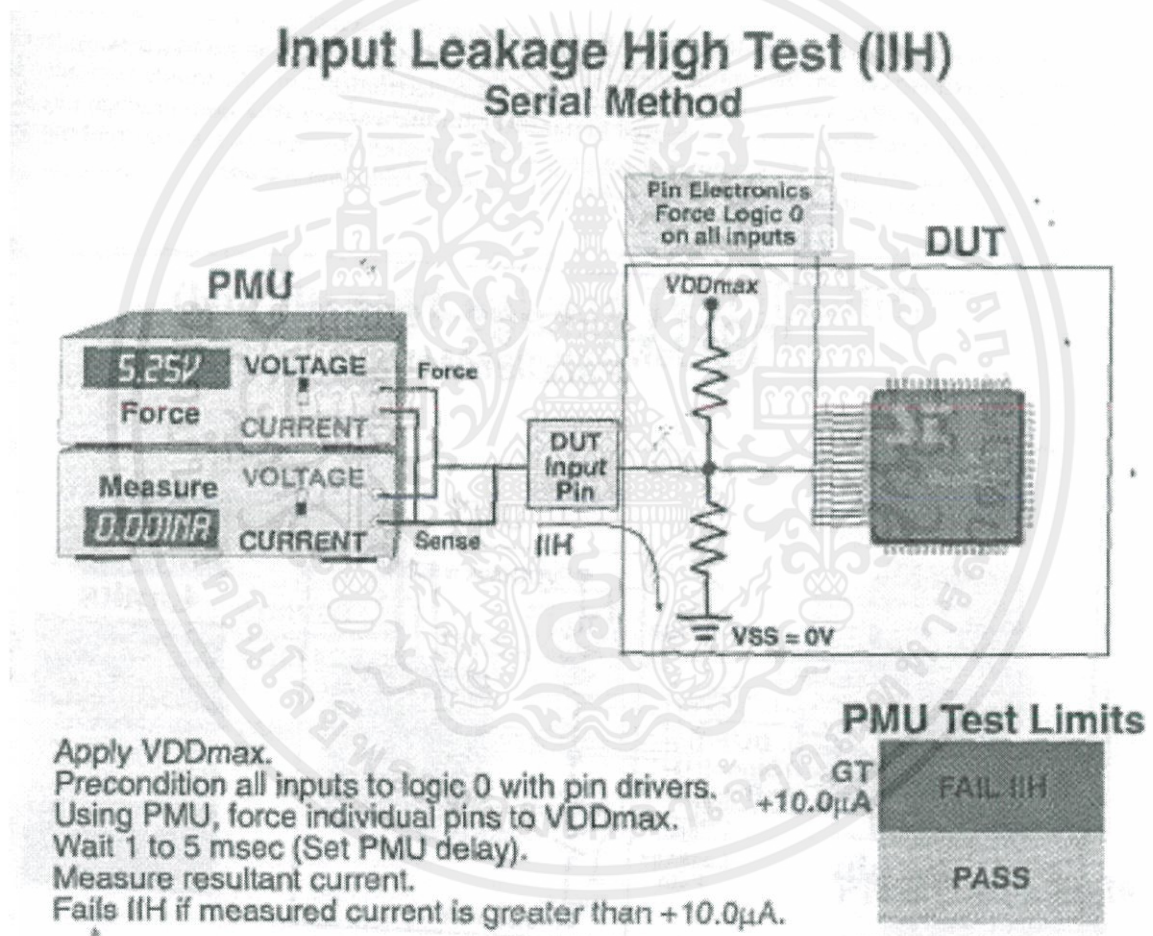


Ground all pins (including VDD).
Using PMU, Force -100μA, one pin at a time.
Measure resultant voltage.
Fails test (shorted) if voltage measured is greater than -0.2V.
Fails test (open) if voltage measured is less than -1.5V.

รูปที่ 3.10 การทดสอบ Opens / Shorts Test : VSS Diode

3.3.3. การทดสอบกระแสรั่ว (IIH test)

Leakage Input Currents (IIH) เป็นการทดสอบกระแสที่ไหลออกจากขาอินพุตของอุปกรณ์เมื่อให้สถานะอินพุตเป็นลอจิก "0" ซึ่งเป็นการวัดค่าความต้านทานระหว่างขาอินพุตของอุปกรณ์กับแหล่งจ่าย (VDD) ถ้ากระแสที่วัดได้มีค่าน้อยกว่ากำหนด ($-10\mu\text{A}$) แสดงว่าอุปกรณ์นั้นไม่ผ่านการทดสอบ (Fail) ส่วน Current Input High (IIH) เป็นการทดสอบกระแสที่ไหลเข้าขาอินพุตของอุปกรณ์เมื่อให้สถานะอินพุตเป็นลอจิก "1" ซึ่งเป็นการวัดค่าความต้านทานระหว่างขาอินพุตของอุปกรณ์กับกราวด์ ถ้ากระแสที่วัดได้มีค่ามากกว่ากำหนด ($-10\mu\text{A}$) แสดงว่าอุปกรณ์นั้นไม่ผ่านการทดสอบ (Fail)

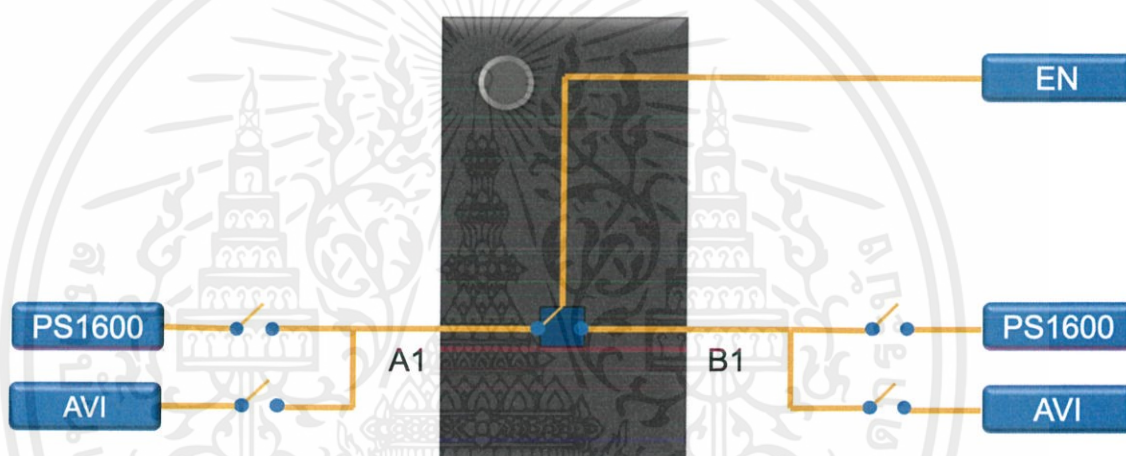


รูปที่ 3.11 : Input Leakage High Test (IIH)

3.3.4. การทดสอบค่าความต้านทานขณะตัวงานทำงาน (R-on state test)

การทดสอบค่าความต้านทานขณะตัวงานทำงาน (R-on state test) เป็นการทดสอบที่สำคัญที่สุดขั้นตอนหนึ่ง โดยได้นำกฎของโอห์มมาประยุกต์ใช้ โดยทำการทดสอบดังนี้

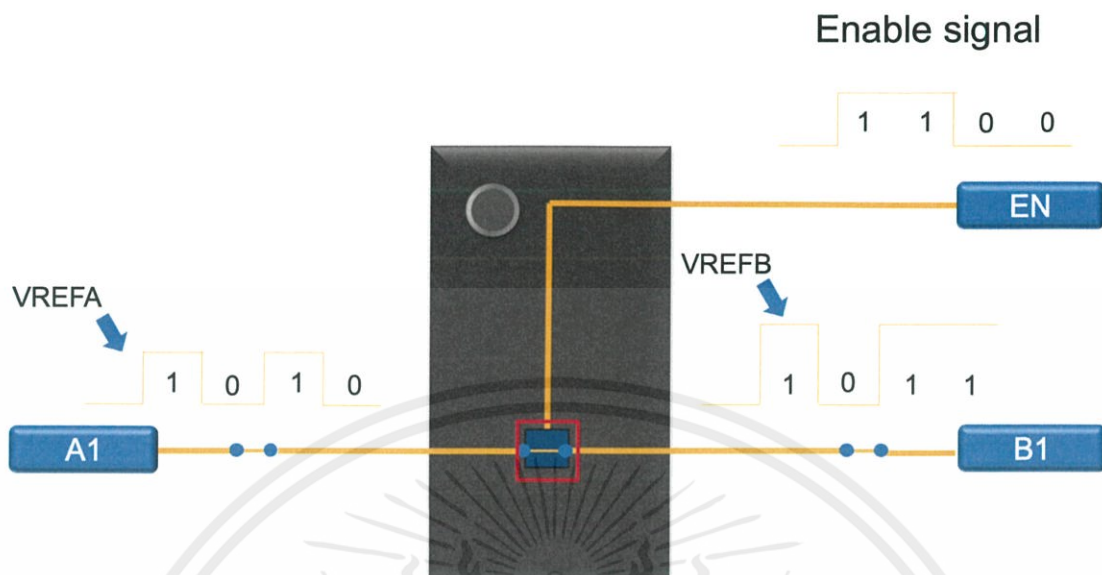
1. ตั้งแรงดันที่ขา A1 ให้มีค่าเท่ากับ 0 V
2. จ่ายกระแสที่ขา B1
3. วัดค่าแรงดันที่ ขา A1 และ ขา B1 แล้วนำมาหาแรงดันที่ตกคร่อมระหว่างสวิทช์
4. นำกฎของโอห์มมาใช้ในการหาค่าความต้านทานที่ตกคร่อมสวิทช์



รูปที่ 3.12 แสดงวิธีการทดสอบ ค่าความต้านทานขณะตัวงานทำงาน (R-on state test)

3.3.5. การทดสอบฟังก์ชัน (Functional test)

เป็นการทดสอบเพื่อตรวจสอบการทำงานทางดิจิทัลของตัวงานที่มีคุณสมบัติเป็นวงจรถ่ายระดับแรงดัน โดยทำการจ่ายชุดสัญญาณดิจิทัลที่ ขา A1 และ วัดที่ขา B1 ก็ควรจะได้ชุดสัญญาณที่มีรูปร่างเหมือนสัญญาณทางฝั่งอินพุต แต่ต่างกันเพียงระดับของแรงดัน



รูปที่ 3.13 แสดงการทดสอบฟังก์ชัน (Functional test)

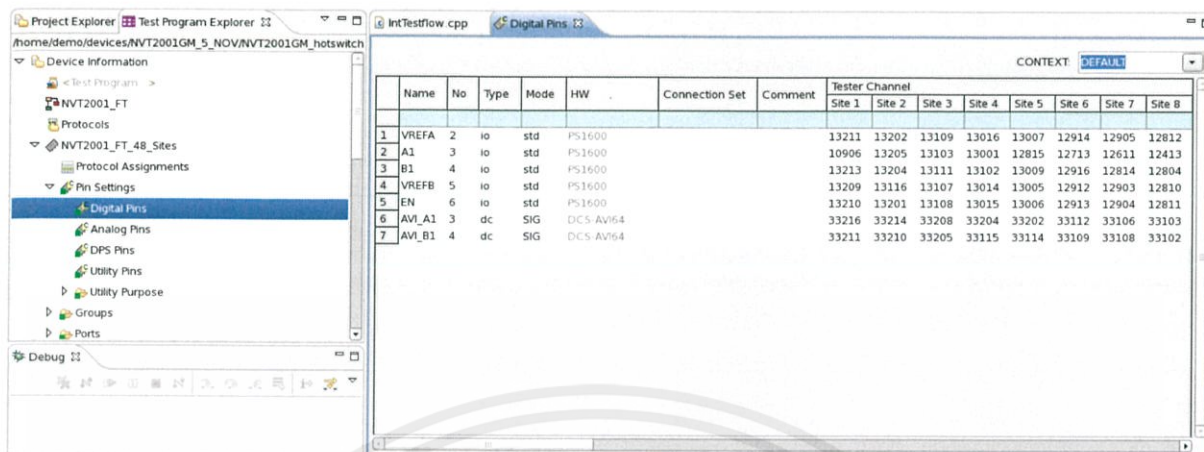
3.3.6. SOTF

SOTF เป็นการสุ่มตัวงานจำนวนกลุ่มหนึ่ง เพื่อมาทดสอบตัวงานอีกครั้งหลังจากที่ทดสอบตัวงานทุกขั้นตอนแล้ว โดยทำการทดสอบทุกขั้นตอนเหมือนการทดสอบตัวงานในตอนแรกด้วยโปรแกรมเดียวกัน เพื่อให้มั่นใจงานที่ฟังหรือไม่มีประสิทธิภาพตามที่ลูกค้าต้องการ ถูกส่งไปถึงมือลูกค้า

3.4. การเขียนโปรแกรมทดสอบตัวชิ้นงาน

3.4.1 การกำหนดขางาน

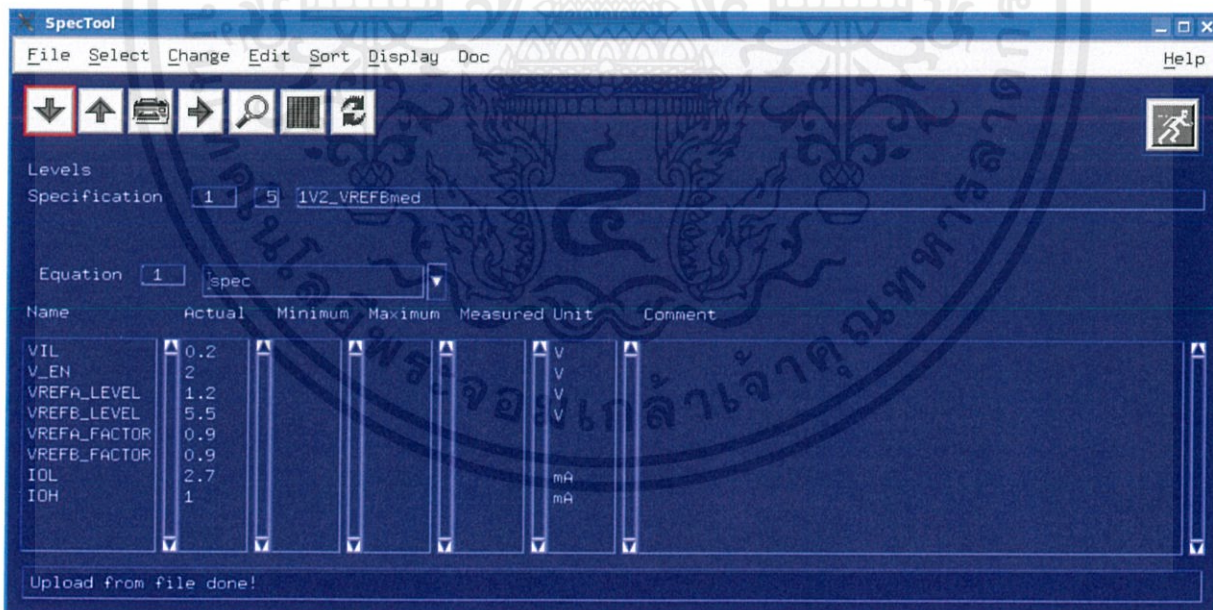
การเขียนโปรแกรมเพื่อทดสอบตัวชิ้นงาน ในขั้นตอนแรกผู้เขียนต้องทำการระบุ ขาต่าง ๆ ของตัวงาน พร้อมทั้งคุณสมบัติหรือรายละเอียดต่าง ๆ เพื่อไม่ให้เครื่องทดสอบชิ้นงานเกิดความสับสน



รูปที่ 3.14 แสดงการกำหนดขงาน

3.4.2 การตั้งค่าระดับแรงดัน

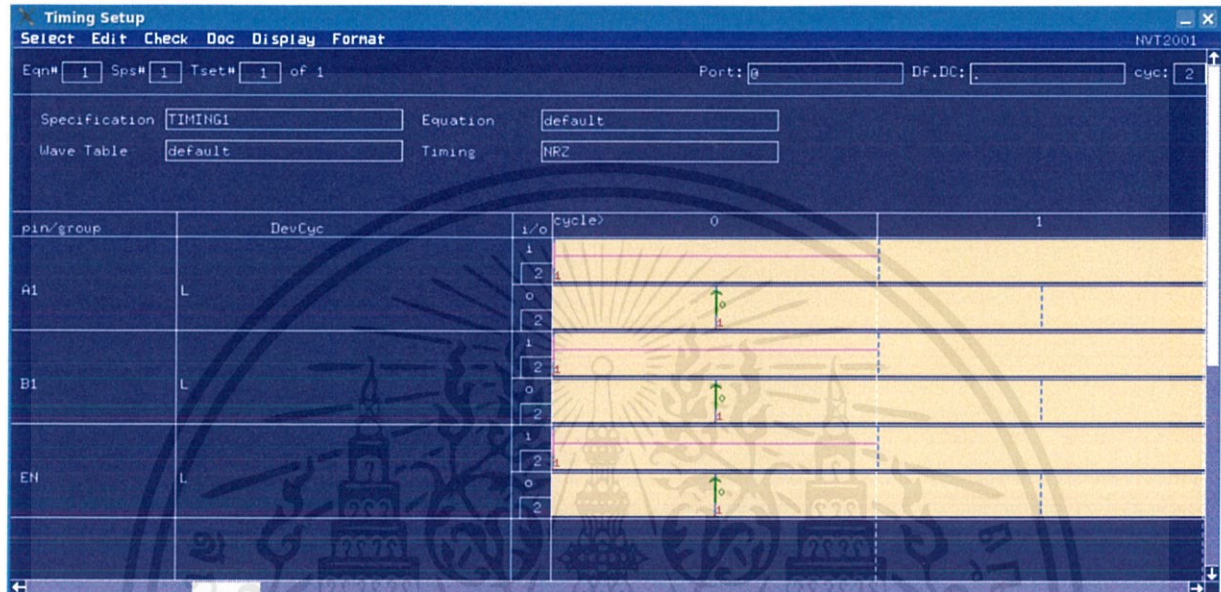
ในขั้นตอนที่สอง ผู้เขียนโปรแกรมทดสอบตัวชิ้นงาน ต้องระบุค่าแรงดันหรือจำกัดแรงดัน ในการทดสอบตัวชิ้นงาน



รูปที่ 3.15 แสดงหน้าต่างโปรแกรมในการตั้งค่าแรงดัน

3.4.3 การตั้งค่าเชิงเวลา

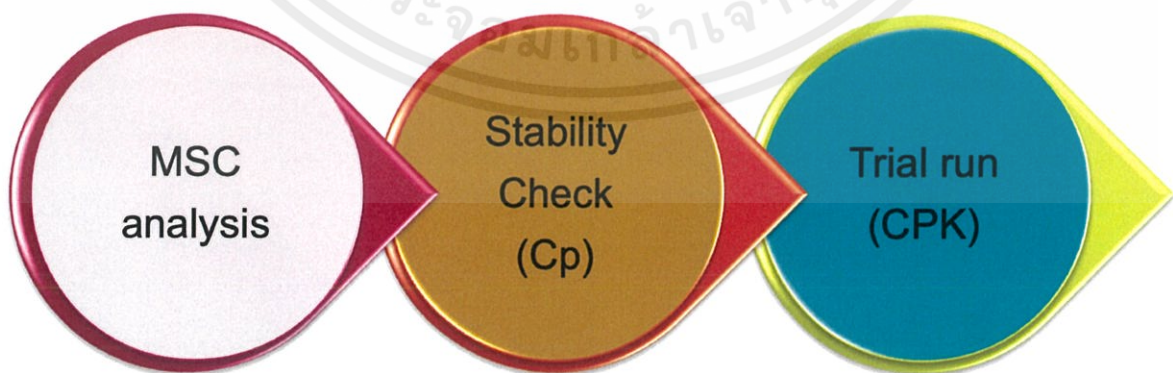
ในขั้นตอนนี้ผู้เขียนโปรแกรมทดสอบตัวชิ้นงานต้องกำหนดว่าจะให้สัญญาณเริ่มที่ตรงไหนของคาบเวลา และจะวัดค่าที่ตรงไหนของคาบเวลา



รูปที่ 3.16 แสดงหน้าต่างโปรแกรมในการตั้งค่าเชิงเวลา

3.4.4 การเขียนโปรแกรมทดสอบตัวชิ้นงาน

3.5. การตรวจสอบความถูกต้องและประสิทธิภาพของโปรแกรมทดสอบตัวชิ้นงาน



รูปที่ 3.17 การตรวจสอบความถูกต้องและประสิทธิภาพของโปรแกรมทดสอบตัวชิ้นงาน

3.5.1. MSC analysis

ทำการวัดผลการทดสอบตัวงาน จากสองระบบ ที่มีเครื่องทดสอบตัวงานที่แตกต่างกัน โดยทำการทดสอบตัวชิ้นงาน 50 ชิ้น และทำการทดสอบตัวชิ้นงานสองรอบ

3.5.2. การพิจารณาค่า Cp

ทำการทดสอบตัวชิ้นงาน 1 ชิ้นงาน /200 ครั้ง เพื่อวัดความเที่ยงตรงของตัวชิ้นงาน

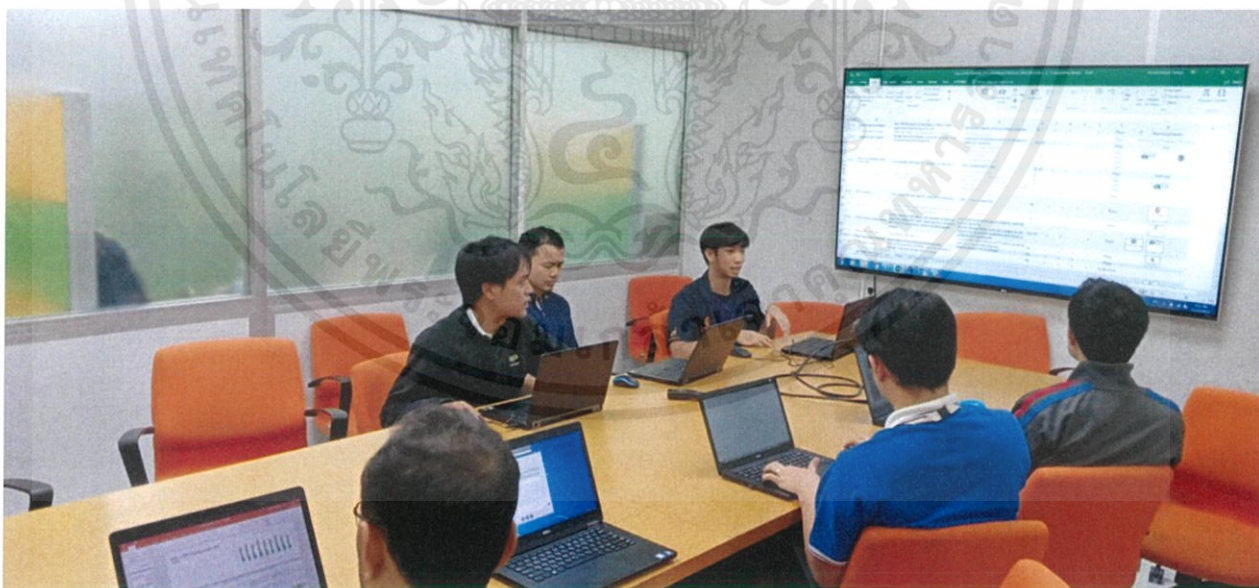
3.5.3. การพิจารณาค่า Cpk

ทำการทดสอบตัวชิ้นงานจริง จำนวน 5 แผ่น Strip โดยจำลองเหมือนการทดสอบตัวงานในสารการผลิตจริงทุกประการ

3.6. การปล่อยชิ้นงานสู่ลูกค้า

3.6.1 TRB (Test Review Board)

ทำการตรวจสอบความถูกต้องและประสิทธิภาพของโปรแกรม ก่อนเข้าสู่กระบวนการผลิต



รูปที่ 3.18 Test Review Board

บทที่4

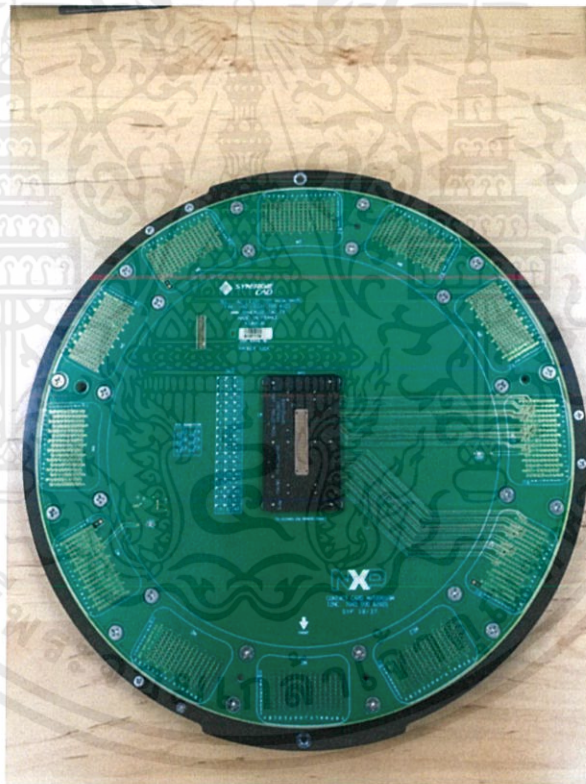
ผลการวิจัย

4.1. คุณสมบัติของโปรแกรม

สามารถทดสอบตัวงานได้อย่างมีความถูกต้อง เทียงตรง แม่นยำ และมีประสิทธิภาพตามที่ลูกค้ากำหนด

4.2 ผลการวิจัย

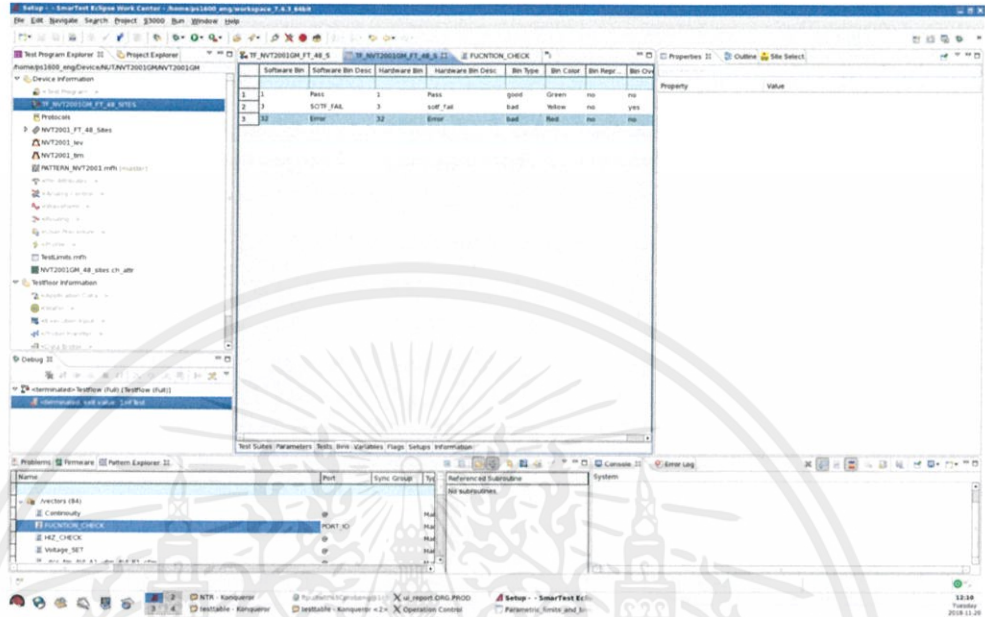
4.2.1 ส่วนฮาร์ดแวร์



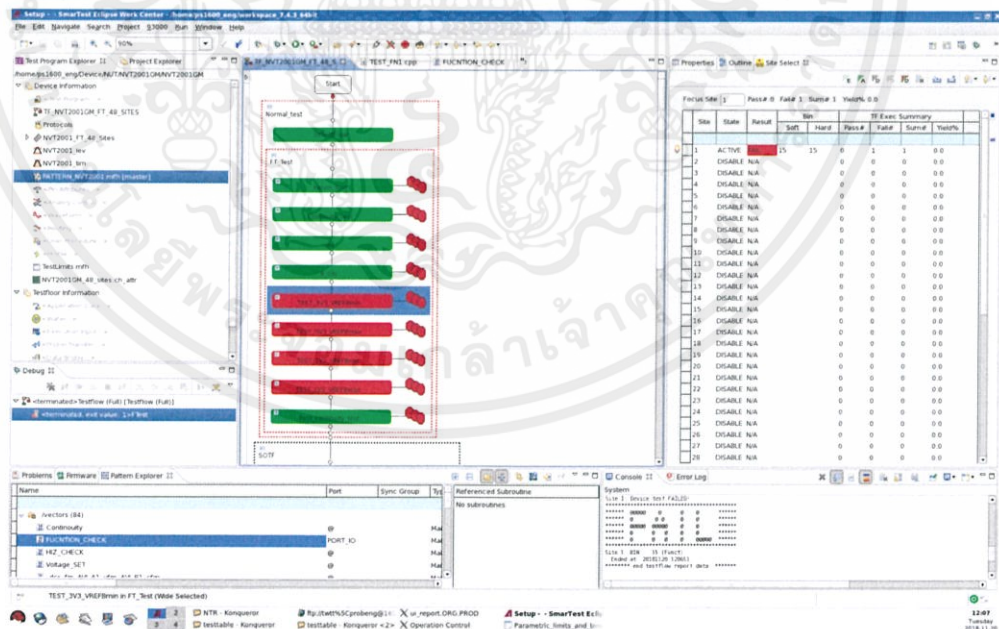
รูปที่ 4.1 บอร์ด NVT2001 ที่ใช้ในสายการผลิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 ส่วนซอฟต์แวร์ และ รายการตรวจสอบ (Software part and Checklist)

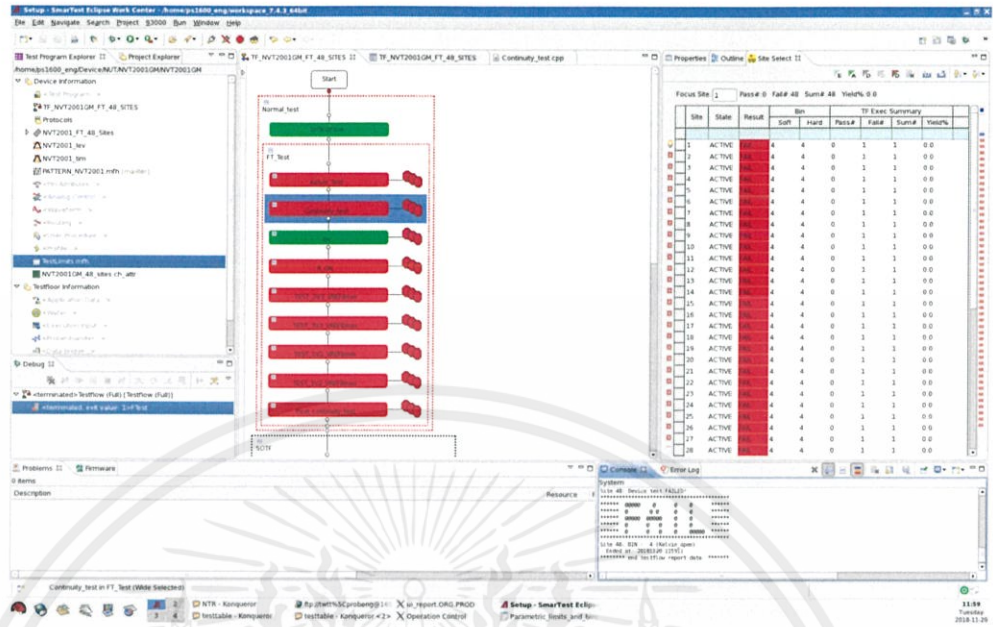


รูปที่ 4.2 Bin handling

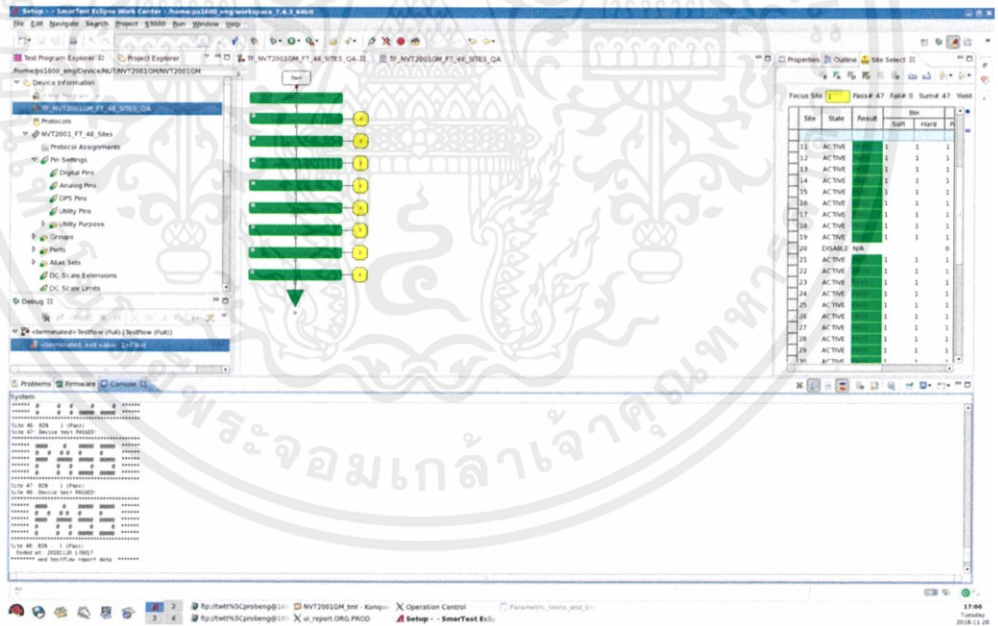


รูปที่ 4.3 Force validation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 31
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

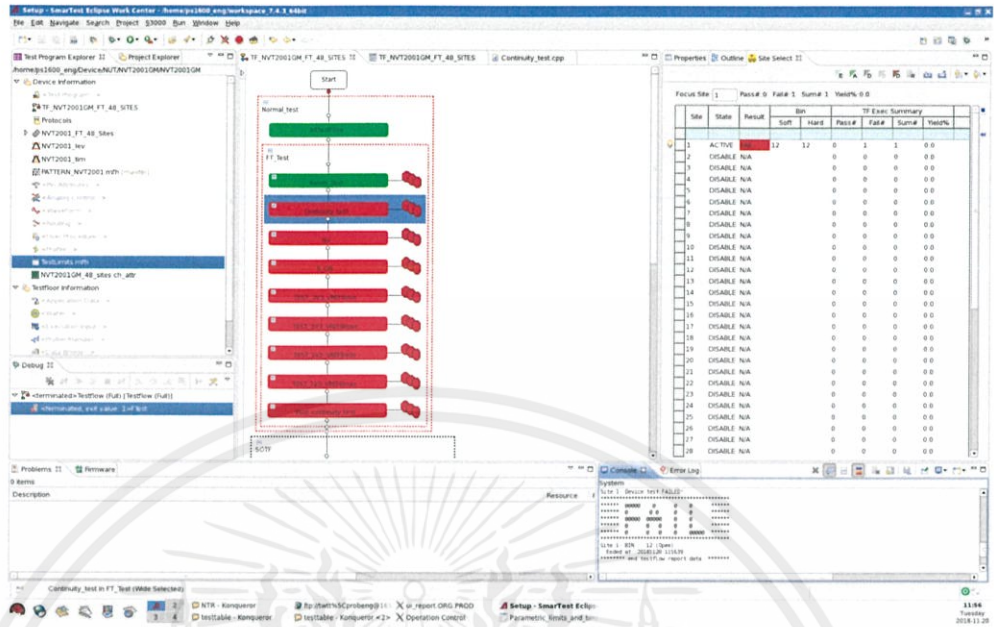


รูปที่ 4.6 Open socket

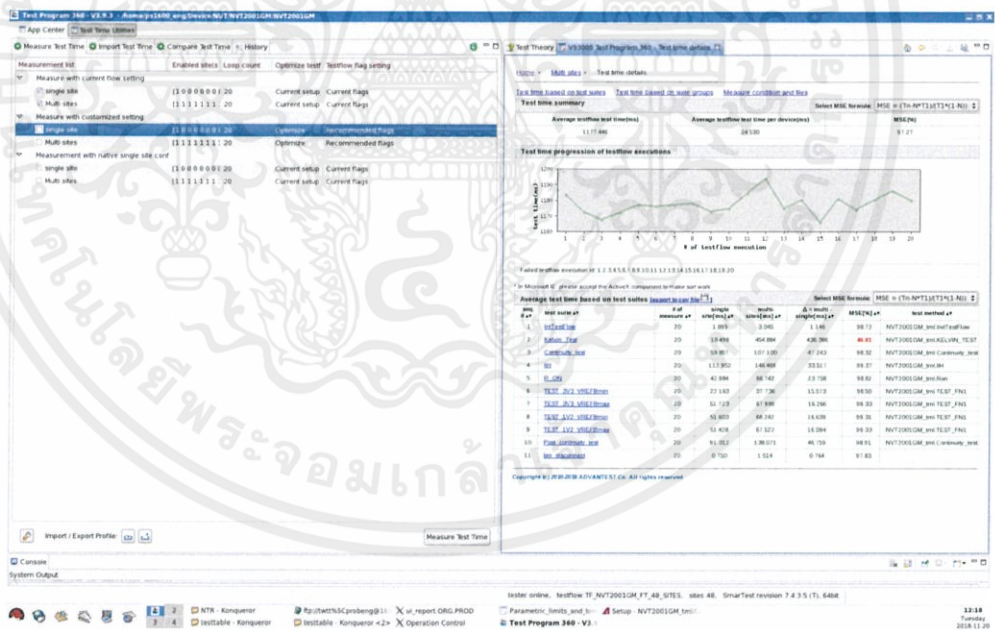


รูปที่ 4.7 QA test flow หรือ SOTF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 33
 ไม่ว่าจะผิดใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 Rotation check



รูปที่ 4.9 Test time

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MSC Detailed Analysis per Test

Test Name	Testnumber	Unit	Q2	Sldev	LFL	UFL	T Test	F Test	R&R	Reproducibility	Repeatability	Repeat-PSI900	Repeat-uParet	Diff	Product	Tester	Equip
IH_IH_A1@AVI11902 uA 1 MPR.ms_test			0.19	0.20	-1.00	3.00	10.00	0.00	50.00	50.00	0.27	0.13	0.37	10.00	4.07E-007	1.916...	4.8
IH_IH_B1@AVI11903 uA 1 MPR.ms_test			0.19	0.21	-1.00	3.00	10.00	9.70	37.26	37.26	0.28	0.12	0.37	10.00	1.87E-008	0.37E...	4.8
IH_IH_VREFA@VREF411900 uA 1 MPR.ms_test			-0.06	0.07	-1.00	3.00	10.00	9.97	13.29	13.29	0.03	1.12	0.36	3.94	2.05E-008	1.00E...	4.1
R_ON:RON4V5HB1@AVI_A11400 Ohm 1 MPR.ms_test			4.31	0.09	0.00	6.00	10.00	8.96	7.02	6.87	1.43	0.64	1.92	1.89	5.49E-003	6.41E...	2.7
IH_IH_VREFB@VREFB11901 uA 1 MPR.ms_test			0.00	0.02	-1.00	3.00	10.00	10.00	4.16	4.01	1.09	1.48	0.43	1.10	0.00E+000	0.71E...	7.6
IH_IH_EN@AVI11904 uA 1 MPR.ms_test			0.00	0.01	-1.00	3.00	10.00	10.00	1.23	1.15	0.46	0.01	0.64	0.31	0.00E+000	7.62E...	1.2
R_ON:RON4V5B1@AVI_A11400 Ohm 1 MPR.ms_test			2.36	0.02	0.00	4.50	9.93	10.00	6.97	0.40	0.54	0.20	0.73	0.11	3.78E-004	1.24E...	2.2

รูปที่ 4.10 R & R analysis

1900: IH

tnum:	1900 IH_VREFAsite:	1 PASS	pin:	VREFA	-1 <=	0.014 <=	3 uA	force:	5 uA
tnum:	1901 IH_VREFBsite:	1 PASS	pin:	VREFB	-1 <=	0.029 <=	3 uA	force:	5 uA
tnum:	1902 IH_A1 site:	1 PASS	pin:	A1	-1 <=	0.282 <=	3 uA	force:	5 uA
tnum:	1903 IH_B1 site:	1 PASS	pin:	B1	-1 <=	0.206 <=	3 uA	force:	5 uA
tnum:	1904 IH_EN site:	1 PASS	pin:	EN	-1 <=	0.003 <=	3 uA	force:	5 uA

รูปที่ 4.11 open socket evidence

Tnum	Name	Cond	LoLimit	HiLimit	Unit	Mean	Sigma	Count	Cp	Cpk_lo	Cpk_hi	MinVal	MaxVal
100	Kelvin_Test:Kelvin_AVI_A1@AVI_A1	Site 1	1.000	1.000	V	1.000	0.000	200	-	-	-	1.000	1.000
1000	Continuity_test:OPEN_VrefA@VREFA	Site 1	-0.350	1.200	V	0.804	0.000	200	999.99	999.99	660.04	0.804	0.805
1900	IH:IH_VREFA@VREFA	Site 1	-1.000	3.000	uA	0.027	0.010	200	64.13	32.94	95.33	0.000	0.054
4001	R_ON:RON4V5HB1@AVI_A1	Site 1	0.000	6.000	Ohm	4.837	0.008	200	122.19	197.03	47.35	4.814	4.856
4000	R_ON:RON4V5B1@AVI A1	Site 1	0.000	4.500	Ohm	2.283	0.002	200	472.47	479.44	465.50	2.278	2.287
5000	TEST_3V3_VREFBmin:TEST_3V3_VREFBmin@B1	Site 1	1.000	1.000	V	1.000	0.000	200	-	-	-	1.000	1.000

Cp > 12.3



รูปที่ 4.12 Cp analysis

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 35
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Tnum	Name	LoLimit	HiLimit	Unit	Mean	Sigma	Count	#Lo fails	#Hi fails	#fail	Cpk	Cpk_lo	Cpk_hi	MinVal	MaxVal
100	Kevin_Test:Kevin AVI_A1@AVI_A1	1.000	1.000	V	1.000	0.000	13,920	2	0	2	-	-	-	1.000	1.000
101	Kevin_Test:Kevin AVI_B1@AVI_B1	1.000	1.000	V	1.000	0.000	13,920	1	0	1	-	-	-	1.000	1.000
1000	Continuity_test:OPEN_VrefA@VREFA	-0.350	1.200	V	0.807	0.006	13,918	0	28	28	20.17	59.39	20.17	0.794	0.827
1001	Continuity_test:OPEN_VrefB@VREFB	-0.350	1.200	V	0.849	0.005	13,918	0	28	28	22.79	77.93	22.79	0.837	0.868
1002	Continuity_test:OPEN_A1@A1	-0.350	1.200	V	0.851	0.008	13,918	0	28	28	14.78	50.89	14.78	0.839	0.873
1003	Continuity_test:OPEN_EN@EN	-0.350	1.200	V	0.897	0.006	13,918	0	28	28	17.90	73.79	17.90	0.884	0.917
1004	Continuity_test:OPEN_B1@B1	-0.350	1.200	V	0.807	0.005	13,918	0	29	29	24.55	72.17	24.55	0.792	0.824
1005	Continuity_test:SHORT_VrefA@VREFA	0.350	2.100	V	0.807	0.006	13,918	0	0	0	23.46	23.46	66.36	0.794	0.827
1006	Continuity_test:SHORT_VrefB@VREFB	0.350	2.100	V	0.849	0.005	13,918	0	0	0	32.44	32.44	81.27	0.837	0.868
1007	Continuity_test:SHORT_A1@A1	0.350	2.100	V	0.851	0.008	13,918	0	0	0	21.23	21.23	52.91	0.839	0.873
1008	Continuity_test:SHORT_EN@EN	0.350	2.100	V	0.897	0.006	13,918	0	0	0	32.38	32.38	71.14	0.884	0.917
1009	Continuity_test:SHORT_B1@B1	0.350	2.100	V	0.807	0.005	13,918	0	0	0	28.49	28.49	80.71	0.792	0.824
1900	IIH:IIH_VREFA@VREFA	-1.000	3.000	uA	0.034	0.012	13,889	0	0	0	27.80	27.80	79.69	-0.020	0.078
1901	IIH:IIH_VREFB@VREFB	-1.000	3.000	uA	0.036	0.014	13,889	0	0	0	25.19	25.19	72.06	-0.015	0.092
1902	IIH:IIH_A1@A1	-1.000	3.000	uA	0.341	0.119	13,889	0	0	0	3.75	3.75	7.42	0.131	0.640
1903	IIH:IIH_B1@B1	-1.000	3.000	uA	0.315	0.107	13,889	0	0	0	4.08	4.08	8.33	0.121	0.624
1904	IIH:IIH_EN@EN	-1.000	3.000	uA	0.002	0.001	13,889	0	0	0	407.19	407.19	999.99	0.000	0.006
4000	R_ON:RON4V5B1@AVI_A1	0.000	4.500	Ohm	2.328	0.030	13,889	0	0	0	23.91	25.62	23.91	2.194	2.416
4001	R_ON:RON4V5H1@AVI_A1	0.000	6.000	Ohm	4.938	0.106	13,889	0	0	0	3.33	15.49	3.33	4.456	5.186
5000	TEST_3V3_VREFBmin:TEST_3V3_VREFBmin@B1	1.000	1.000	V	1.000	0.000	13,889	0	0	0	-	-	-	1.000	1.000
5001	TEST_3V3_VREFBmax:TEST_3V3_VREFBmax@B1	1.000	1.000	V	1.000	0.000	13,889	0	0	0	-	-	-	1.000	1.000
5002	TEST_1V2_VREFBmin:TEST_1V2_VREFBmin@B1	1.000	1.000	V	1.000	0.000	13,889	0	0	0	-	-	-	1.000	1.000
5003	TEST_1V2_VREFBmax:TEST_1V2_VREFBmax@B1	1.000	1.000	V	1.000	0.000	13,889	0	0	0	-	-	-	1.000	1.000

Cpk > 1.67

รูปที่ 4.13 Cpk analysis

Production Summary Count Yield [%]

 Total Passed = 13889 99.8
 Total Failed = 31 0.2
 Total Tested = 13920

รูปที่ 4.14 Yield in production

บทที่ 5

สรุปผลการวิจัย

5.1. สรุปผลการวิจัย

จากผลการวิจัยเรื่อง การย้ายเครื่องทดสอบของตัวงาน NVT2001GM จาก เครื่องทดสอบ μ Parset 1 site ไปยังเครื่องทดสอบ Advantest 93K-PS1600-PWR 48 sites FT instrip โดยผู้เขียนโปรแกรมได้เริ่มจากการ ทำการศึกษาคุณสมบัติต่าง ๆ ของตัวชิ้นงาน NVT2001GM และทำการเขียนโปรแกรมผ่านไลบรารีพิเศษของเครื่อง Advantest 93K-PS1600-PWR ตามรายการทดสอบของเครื่องทดสอบ μ Parset ทุกประการ

การออกแบบฮาร์ดแวร์ในงานวิจัย ได้เริ่มจากการศึกษาข้อมูลตัวงาน คุณสมบัติ การทำงาน รวมถึงขีดจำกัดของกระแสและแรงดันที่ตัวงานทนได้ เพื่อไม่ให้เกิดปัญหาในขั้นตอนต่อไปในสายการผลิต

การเขียนโปรแกรม ทางผู้วิจัยได้ใช้ภาษา C ที่มีไลบรารีพิเศษของทางบริษัทเครื่องทดสอบ Advantest ที่มีการใช้งานง่าย สะดวก รวดเร็ว โดยผ่านการอบรมจาก ทางทีม และทางวิศวกรของบริษัทเครื่องทดสอบ

ในการทดสอบชิ้นงาน NVT2001GM ในสายการผลิตได้ผลการทดลองประสิทธิภาพค่อนข้างสูง โดยได้ค่า yield 99.8% ในบาง strip และได้ค่า Cp Cpk สูงกว่าเกณฑ์ที่ตั้งไว้มาก (Cp Cpk แสดงถึงเสถียรภาพในการทดสอบชิ้นงาน)

5.2. ข้อเสนอแนะงานวิจัย

จากการวิจัย เนื่องจากผู้วิจัยได้ใช้เครื่องทดสอบ Advantest 93K-PS1600-PWR ซึ่งเป็นเครื่องที่มีเทคโนโลยีใหม่ มีประสิทธิภาพในการทดสอบตัวชิ้นงานสูง รวมถึงมีฟังก์ชันการใช้งานทางด้านดิจิทัลค่อนข้างครบครัน แต่เนื่องจากทางบริษัทที่จะนำเครื่อง Advantest 93K-PS1600-PWR มาใช้งานที่ final test ในส่วนของ final test จึงมีเครื่องให้ใช้น้อย และค่อนข้างไม่เพียงพอต่อวิศวกร รวมถึงผู้วิจัย ทำให้งานวิจัยเกิดความล่าช้าไปบ้าง จึงอยากให้ทางบริษัทเตรียมเครื่องให้เพียงพอต่อจำนวนทีมงานและจำนวนวิศวกรในบริษัท

เอกสารอ้างอิง

[1] วงจรรวม

<https://th.wikipedia.org/wiki/%E0%B8%A7%E0%B8%87%E0%B8%88%E0%B8%A3%E0%B8%A3%E0%B8%A7%E0%B8%A1>

[2] กฎของโอห์ม

<https://th.wikipedia.org/wiki/%E0%B8%81%E0%B8%8E%E0%B8%82%E0%B8%AD%E0%B8%87%E0%B9%82%E0%B8%AD%E0%B8%AB%E0%B9%8C%E0%B8%A1>

[3] ความสามารถของกระบวนกรวัด <http://www.oconnors.co.th/instrument/download/QC-Gauge%20R&R.pdf>

[4] ค่าความสามารถของกระบวนกร C_p C_{pk}

<https://www.solutioncenterminitab.com/blog/%E0%B8%9A%E0%B8%97%E0%B8%84%E0%B8%A7%E0%B8%B2%E0%B8%A1-9/>

[5]. การทดสอบทางไฟฟ้า <http://sanong2003.tripod.com/icm1-05.htm>

[6] การใช้งาน Digital output

<http://aimagin.com/blog/%E0%B8%94%E0%B8%B4%E0%B8%88%E0%B8%B4%E0%B8%95%E0%B8%AD%E0%B8%A5%E0%B8%AD%E0%B8%B4%E0%B8%99%E0%B8%9E%E0%B8%B8%E0%B8%97%E0%B9%80%E0%B8%AD%E0%B8%B2%E0%B8%97%E0%B9%8C%E0%B8%9E%E0%B8%B8%E0%B8%97-stm32f4/?lang=th>

[7] MSA <https://www.datalyzer.com/th/knowledge/wat-is-msa/>

[8] Datasheet NVT2001 https://www.nxp.com/docs/en/data-sheet/NVT2001_NVT2002.pdf



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NVT2001; NVT2002

Bidirectional voltage level translator for open-drain and push-pull applications

Rev. 4 — 27 January 2014

Product data sheet

1. General description

The NVT2001/02 are bidirectional voltage level translators operational from 1.0 V to 3.6 V ($V_{\text{ref(A)}}$) and 1.8 V to 5.5 V ($V_{\text{ref(B)}}$), which allow bidirectional voltage translations between 1.0 V and 5 V without the need for a direction pin in open-drain or push-pull applications. Bit widths ranging from 1-bit or 2-bit are offered for level translation application with transmission speeds < 33 MHz for an open-drain system with a 50 pF capacitance and a pull-up of 197 Ω .

When the An or Bn port is LOW, the clamp is in the ON-state and a low resistance connection exists between the An and Bn ports. The low ON-state resistance (R_{on}) of the switch allows connections to be made with minimal propagation delay. Assuming the higher voltage is on the Bn port when the Bn port is HIGH, the voltage on the An port is limited to the voltage set by V_{REFA} . When the An port is HIGH, the Bn port is pulled to the drain pull-up supply voltage ($V_{\text{pu(D)}}$) by the pull-up resistors. This functionality allows a seamless translation between higher and lower voltages selected by the user without the need for directional control.

When EN is HIGH, the translator switch is on, and the An I/O are connected to the Bn I/O, respectively, allowing bidirectional data flow between ports. When EN is LOW, the translator switch is off, and a high-impedance state exists between ports. The EN input circuit is designed to be supplied by $V_{\text{ref(B)}}$. To ensure the high-impedance state during power-up or power-down, EN must be LOW.

All channels have the same electrical characteristics and there is minimal deviation from one output to another in voltage or propagation delay. This is a benefit over discrete transistor voltage translation solutions, since the fabrication of the switch is symmetrical. The translator provides excellent ESD protection to lower voltage devices, and at the same time protects less ESD-resistant devices.

2. Features and benefits

- Provides bidirectional voltage translation with no direction pin
- Less than 1.5 ns maximum propagation delay
- Allows voltage level translation between:
 - ◆ 1.0 V $V_{\text{ref(A)}}$ and 1.8 V, 2.5 V, 3.3 V or 5 V $V_{\text{ref(B)}}$
 - ◆ 1.2 V $V_{\text{ref(A)}}$ and 1.8 V, 2.5 V, 3.3 V or 5 V $V_{\text{ref(B)}}$
 - ◆ 1.8 V $V_{\text{ref(A)}}$ and 3.3 V or 5 V $V_{\text{ref(B)}}$
 - ◆ 2.5 V $V_{\text{ref(A)}}$ and 5 V $V_{\text{ref(B)}}$
 - ◆ 3.3 V $V_{\text{ref(A)}}$ and 5 V $V_{\text{ref(B)}}$

- Low 3.5 Ω ON-state connection between input and output ports provides less signal distortion
- 5 V tolerant I/O ports to support mixed-mode signal operation
- High-impedance An and Bn pins for EN = LOW
- Lock-up free operation
- Flow through pinout for ease of printed-circuit board trace routing
- ESD protection exceeds 4 kV HBM per JESD22-A114 and 1000 V CDM per JESD22-C101

3. Ordering information

Table 1. Ordering information

$T_{amb} = -40\text{ }^{\circ}\text{C}$ to $+85\text{ }^{\circ}\text{C}$.

Type number	Topside marking	Number of bits	Package		Version
			Name	Description	
NVT2002DP ^[1]	N2002	2	TSSOP8	plastic thin shrink small outline package; 8 leads; body width 3 mm	SOT505-1
NVT2002GD ^[1]	N02	2	XSON8U	plastic extremely thin small outline package; no leads; 8 terminals; UTLP based; body 3 × 2 × 0.5 mm	SOT996-2
NVT2001GM	N1X ^[2]	1	XSON6	plastic extremely thin small outline package; no leads; 6 terminals; body 1 × 1.45 × 0.5 mm	SOT886

[1] GTL2002 = NVT2002.

[2] 'X' will change based on date code.

3.1 Ordering options

Table 2. Ordering options

Type number	Orderable part number	Package	Packing method	Minimum order quantity	Temperature
NVT2002DP	NVT2002DP,118	TSSOP8	Reel 13" Q1/T1 *Standard mark SMD	2500	$T_{amb} = -40\text{ }^{\circ}\text{C}$ to $+85\text{ }^{\circ}\text{C}$
NVT2002GD	NVT2002GD,125	XSON8U	Reel 7" Q3/T4 *Standard mark	3000	$T_{amb} = -40\text{ }^{\circ}\text{C}$ to $+85\text{ }^{\circ}\text{C}$
NVT2001GM	NVT2001GM,115	XSON6	Reel 7" Q1/T1 *Standard mark SMD	5000	$T_{amb} = -40\text{ }^{\circ}\text{C}$ to $+85\text{ }^{\circ}\text{C}$

4. Functional diagram

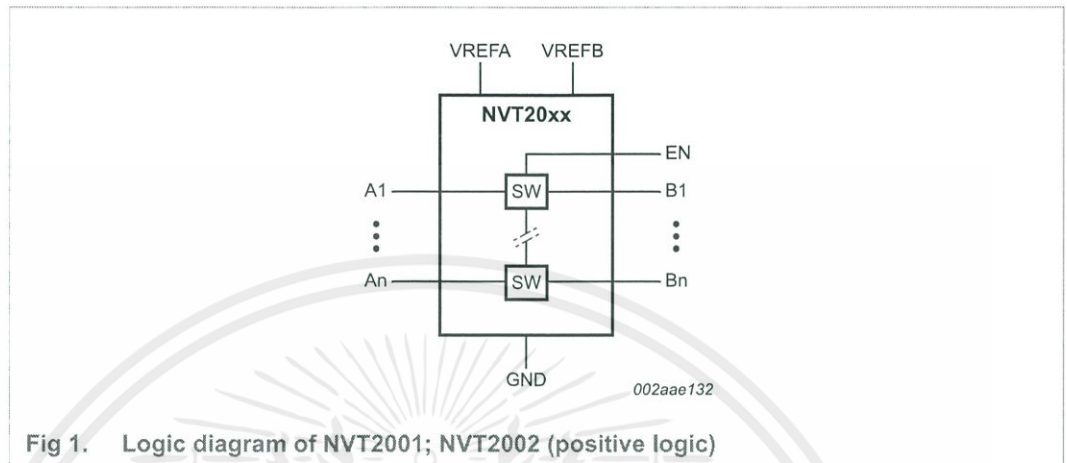


Fig 1. Logic diagram of NVT2001; NVT2002 (positive logic)

5. Pinning information

5.1 Pinning

5.1.1 1-bit in XSON6 package

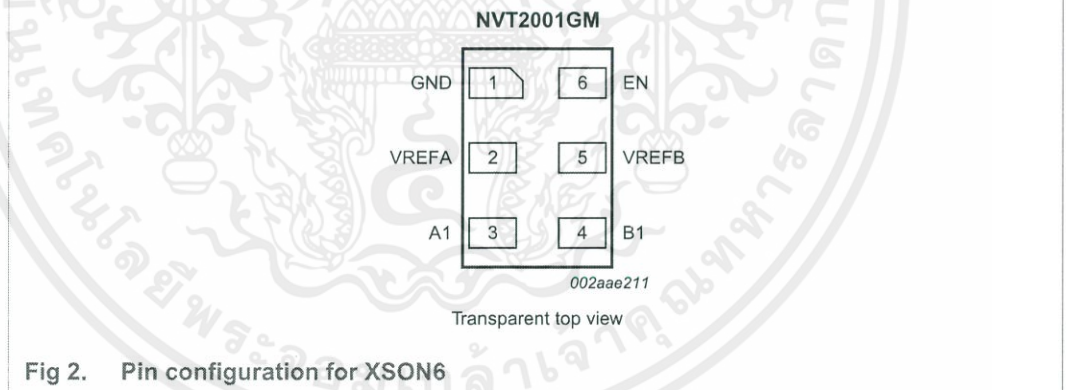


Fig 2. Pin configuration for XSON6

5.1.2 2-bit in TSSOP8 and XSON8U packages

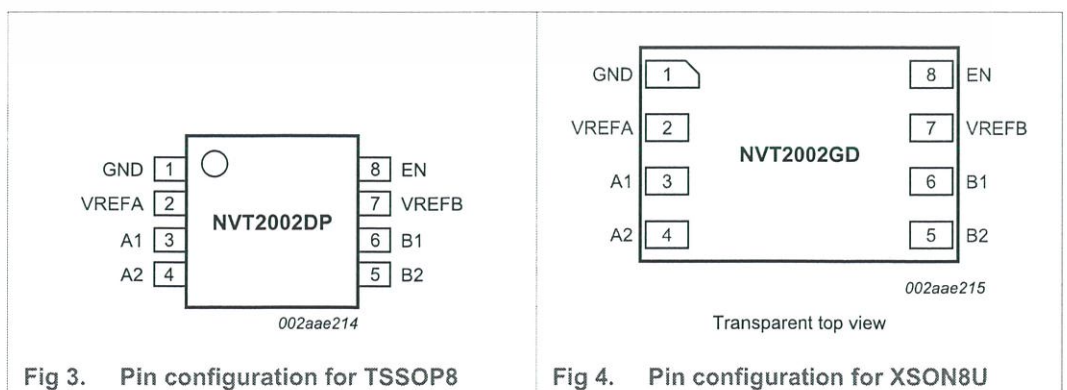


Fig 3. Pin configuration for TSSOP8

Fig 4. Pin configuration for XSON8U

5.2 Pin description

Table 3. Pin description

Symbol	Pin		Description
	NVT2001 ^[1]	NVT2002 ^[2]	
GND	1	1	ground (0 V)
VREFA	2	2	low-voltage side reference supply voltage for An
A1	3	3	low-voltage side; connect to VREFA through a pull-up resistor
A2	-	4	
B1	4	6	high-voltage side; connect to VREFB through a pull-up resistor
B2	-	5	
VREFB	5	7	high-voltage side reference supply voltage for Bn
EN	6	8	switch enable input; connect to VREFB and pull-up through a high resistor

[1] 1-bit NVT2001 available in XSON6 package.

[2] 2-bit NVT2002 available in TSSOP8 and XSON8U packages.

6. Functional description

Refer to Figure 1 “Logic diagram of NVT2001; NVT2002 (positive logic)”.

6.1 Function table

Table 4. Function selection (example)

H = HIGH level; L = LOW level.

Input EN ^[1]	Function
H	An = Bn
L	disconnect

[1] EN is controlled by the $V_{\text{ref}(B)}$ logic levels and should be at least 1 V higher than $V_{\text{ref}(A)}$ for best translator operation.

7. Application design-in information

The NVT2001/02 can be used in level translation applications for interfacing devices or systems operating at different interface voltages with one another. The NVT2001/02 is ideal for use in applications where an open-drain driver is connected to the data I/Os. The NVT2001/02 can also be used in applications where a push-pull driver is connected to the data I/Os.

7.1 Enable and disable

The NVT20xx has an EN input that is used to disable the device by setting EN LOW, which places all I/Os in the high-impedance state.

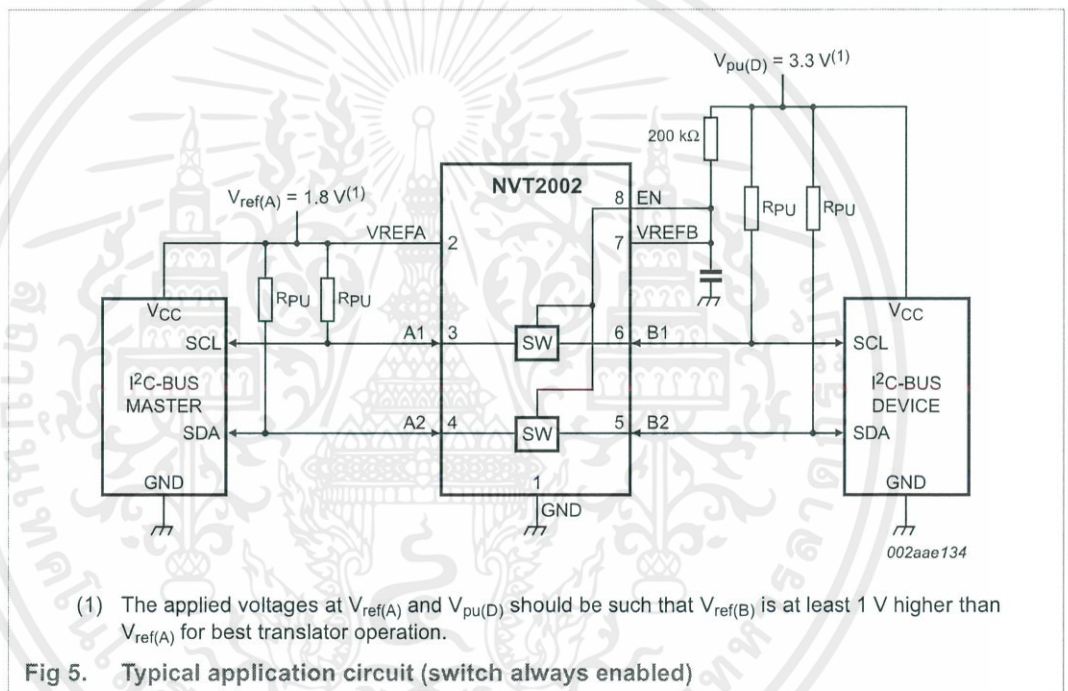
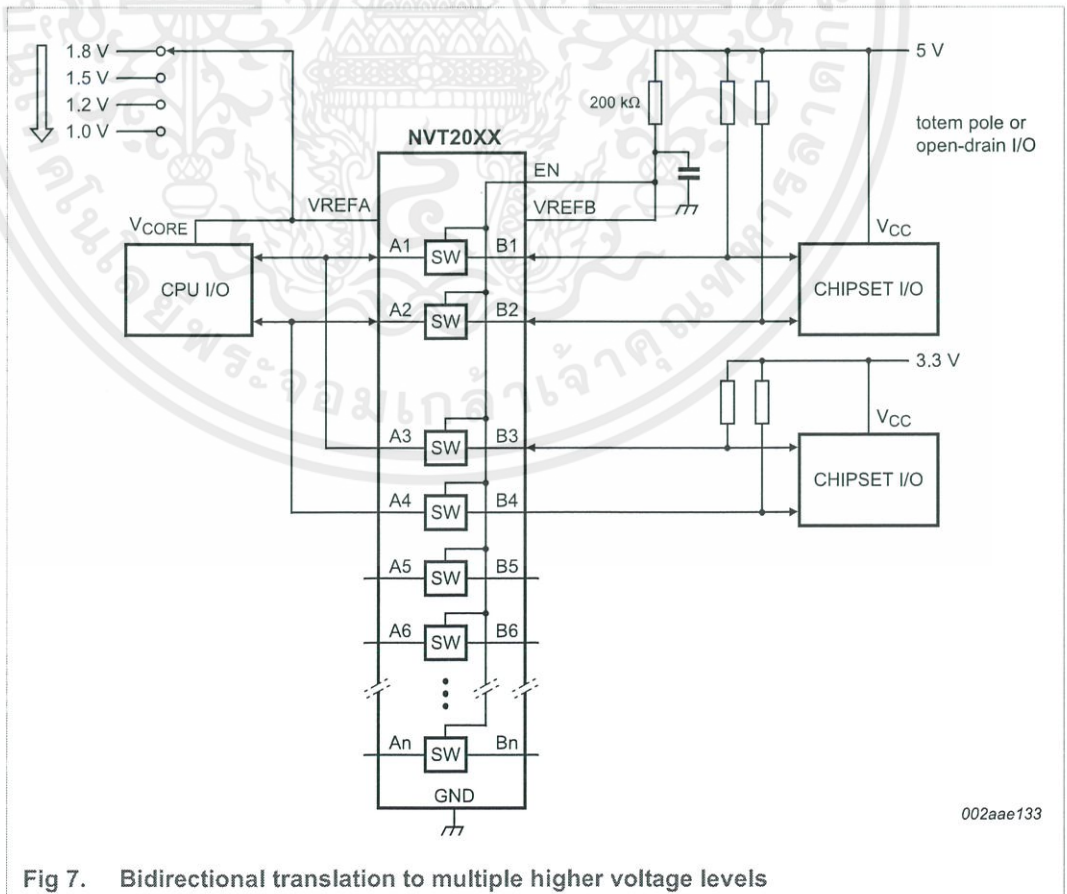
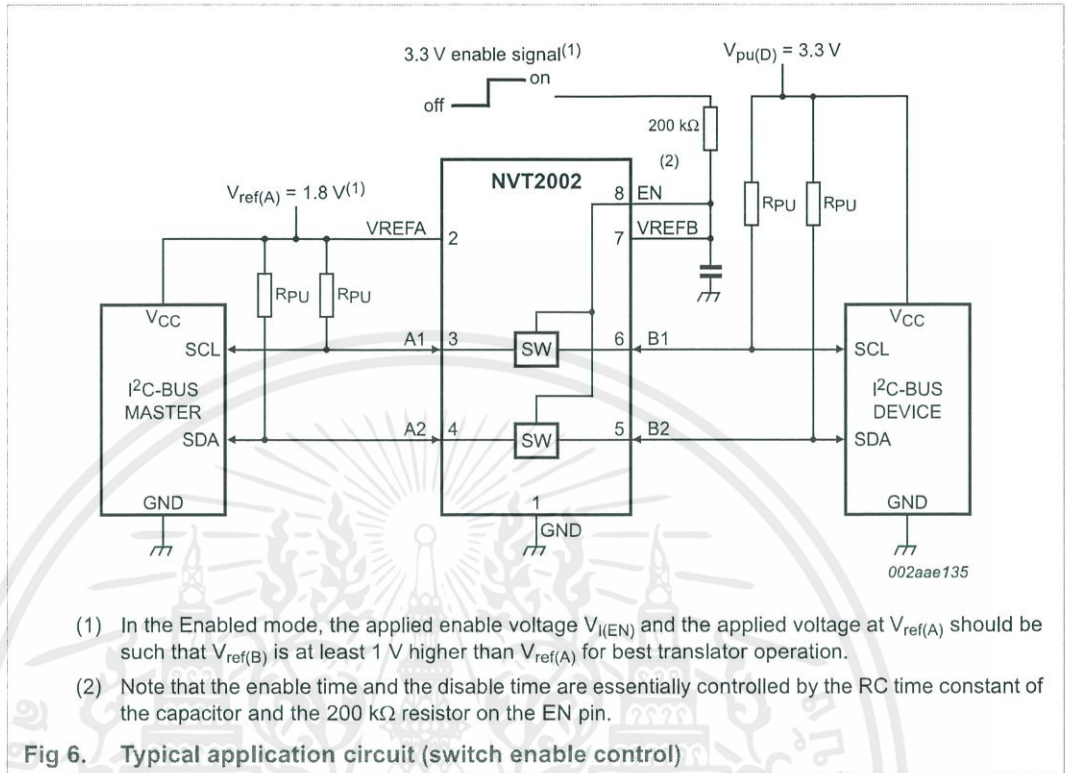


Table 5. Application operating conditions
Refer to Figure 5.

Symbol	Parameter	Conditions	Min	Typ ^[1]	Max	Unit
$V_{ref(B)}$	reference voltage (B)		$V_{ref(A)} + 0.6$	2.1	5	V
$V_{I(EN)}$	input voltage on pin EN		$V_{ref(A)} + 0.6$	2.1	5	V
$V_{ref(A)}$	reference voltage (A)		0	1.5	4.4	V
$I_{sw(pass)}$	pass switch current		-	14	-	mA
I_{ref}	reference current	transistor	-	5	-	μ A
T_{amb}	ambient temperature	operating in free-air	-40	-	+85	$^{\circ}$ C

[1] All typical values are at $T_{amb} = 25^{\circ}$ C.



7.2 Bidirectional translation

For the bidirectional clamping configuration (higher voltage to lower voltage or lower voltage to higher voltage), the EN input must be connected to VREFB and both pins pulled to HIGH side $V_{pu(D)}$ through a pull-up resistor (typically 200 k Ω). This allows VREFB to regulate the EN input. A filter capacitor on VREFB is recommended. The master output driver can be totem pole or open-drain (pull-up resistors may be required) and the slave device output can be totem pole or open-drain (pull-up resistors are required to pull the Bn outputs to $V_{pu(D)}$). However, if either output is totem-pole, data must be unidirectional or the outputs must be 3-stateable and be controlled by some direction-control mechanism to prevent HIGH-to-LOW contentions in either direction. If both outputs are open-drain, no direction control is needed.

The reference supply voltage ($V_{ref(A)}$) is connected to the processor core power supply voltage. When VREFB is connected through a 200 k Ω resistor to a 3.3 V to 5.5 V $V_{pu(D)}$ power supply, and $V_{ref(A)}$ is set between 1.0 V and ($V_{pu(D)} - 1$ V), the output of each An has a maximum output voltage equal to VREFA, and the output of each Bn has a maximum output voltage equal to $V_{pu(D)}$.

7.3 How to size pull-up resistor value

Sizing the pull-up resistor on an open-drain bus is specific to the individual application and is dependent on the following driver characteristics:

- The driver sink current
- The V_{OL} of driver
- The V_{IL} of the driver
- Frequency of operation

The following tables can be used to estimate the pull-up resistor value in different use cases so that the minimum resistance for the pull-up resistor can be found.

Table 6, Table 7 and Table 8 contain suggested minimum values of pull-up resistors for the PCA9306 and NVT20xx devices with typical voltage translation levels and drive currents. The calculated values assume that both drive currents are the same. $V_{OL} = V_{IL} = 0.1 \times V_{CC}$ and accounts for a $\pm 5\%$ V_{CC} tolerance of the supplies, $\pm 1\%$ resistor values. It should be noted that the resistor chosen in the final application should be equal to or larger than the values shown in Table 6, Table 7 and Table 8 to ensure that the pass voltage is less than 10% of the V_{CC} voltage, and the external driver should be able to sink the total current from both pull-up resistors. When selecting the minimum resistor value in Table 6, Table 7 or Table 8, the drive current strength that should be chosen should be the lowest drive current seen in the application and account for any drive strength current scaling with output voltage. For the GTL devices, the resistance table should be recalculated to account for the difference in ON resistance and bias voltage limitations between $V_{CC(B)}$ and $V_{CC(A)}$.

Table 6. Pull-up resistor minimum values, 3 mA driver sink current for PCA9306 and NVT20xx

A-side	B-side					
	1.2 V	1.5 V	1.8 V	2.5 V	3.3 V	5.0 V
1.0 V	$R_{pu(A)} = 750 \Omega$	$R_{pu(A)} = 845 \Omega$	$R_{pu(A)} = 976 \Omega$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$
	$R_{pu(B)} = 750 \Omega$	$R_{pu(B)} = 845 \Omega$	$R_{pu(B)} = 976 \Omega$	$R_{pu(B)} = 887 \Omega$	$R_{pu(B)} = 1.18 \text{ k}\Omega$	$R_{pu(B)} = 1.82 \text{ k}\Omega$
1.2 V		$R_{pu(A)} = 931 \Omega$	$R_{pu(A)} = 1.02 \text{ k}\Omega$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$
		$R_{pu(B)} = 931 \Omega$	$R_{pu(B)} = 1.02 \text{ k}\Omega$	$R_{pu(B)} = 887 \Omega$	$R_{pu(B)} = 1.18 \text{ k}\Omega$	$R_{pu(B)} = 1.82 \text{ k}\Omega$
1.5 V			$R_{pu(A)} = 1.1 \text{ k}\Omega$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$
			$R_{pu(B)} = 1.1 \text{ k}\Omega$	$R_{pu(B)} = 866 \Omega$	$R_{pu(B)} = 1.18 \text{ k}\Omega$	$R_{pu(B)} = 1.78 \text{ k}\Omega$
1.8 V				$R_{pu(A)} = 1.47 \text{ k}\Omega$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$
				$R_{pu(B)} = 1.47 \text{ k}\Omega$	$R_{pu(B)} = 1.15 \text{ k}\Omega$	$R_{pu(B)} = 1.78 \text{ k}\Omega$
2.5 V					$R_{pu(A)} = 1.96 \text{ k}\Omega$	$R_{pu(A)} = \text{none}$
					$R_{pu(B)} = 1.96 \text{ k}\Omega$	$R_{pu(B)} = 1.78 \text{ k}\Omega$
3.3 V						$R_{pu(A)} = \text{none}$
						$R_{pu(B)} = 1.74 \text{ k}\Omega$

Table 7. Pull-up resistor minimum values, 10 mA driver sink current for PCA9306 and NVT20xx

A-side	B-side					
	1.2 V	1.5 V	1.8 V	2.5 V	3.3 V	5.0 V
1.0 V	$R_{pu(A)} = 221 \Omega$	$R_{pu(A)} = 255 \Omega$	$R_{pu(A)} = 287 \Omega$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$
	$R_{pu(B)} = 221 \Omega$	$R_{pu(B)} = 255 \Omega$	$R_{pu(B)} = 287 \Omega$	$R_{pu(B)} = 267 \Omega$	$R_{pu(B)} = 357 \Omega$	$R_{pu(B)} = 549 \Omega$
1.2 V		$R_{pu(A)} = 274 \Omega$	$R_{pu(A)} = 309 \Omega$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$
		$R_{pu(B)} = 274 \Omega$	$R_{pu(B)} = 309 \Omega$	$R_{pu(B)} = 267 \Omega$	$R_{pu(B)} = 357 \Omega$	$R_{pu(B)} = 549 \Omega$
1.5 V			$R_{pu(A)} = 332 \Omega$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$
			$R_{pu(B)} = 332 \Omega$	$R_{pu(B)} = 261 \Omega$	$R_{pu(B)} = 348 \Omega$	$R_{pu(B)} = 536 \Omega$
1.8 V				$R_{pu(A)} = 442 \Omega$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$
				$R_{pu(B)} = 442 \Omega$	$R_{pu(B)} = 348 \Omega$	$R_{pu(B)} = 536 \Omega$
2.5 V					$R_{pu(A)} = 590 \Omega$	$R_{pu(A)} = \text{none}$
					$R_{pu(B)} = 590 \Omega$	$R_{pu(B)} = 523 \Omega$
3.3 V						$R_{pu(A)} = \text{none}$
						$R_{pu(B)} = 523 \Omega$

Table 8. Pull-up resistor minimum values, 15 mA driver sink current for PCA9306 and NVT20xx

A-side	B-side					
	1.2 V	1.5 V	1.8 V	2.5 V	3.3 V	5.0 V
1.0 V	$R_{pu(A)} = 147 \Omega$	$R_{pu(A)} = 169 \Omega$	$R_{pu(A)} = 191 \Omega$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$
	$R_{pu(B)} = 147 \Omega$	$R_{pu(B)} = 169 \Omega$	$R_{pu(B)} = 191 \Omega$	$R_{pu(B)} = 178 \Omega$	$R_{pu(B)} = 237 \Omega$	$R_{pu(B)} = 365 \Omega$
1.2 V		$R_{pu(A)} = 182 \Omega$	$R_{pu(A)} = 205 \Omega$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$
		$R_{pu(B)} = 182 \Omega$	$R_{pu(B)} = 205 \Omega$	$R_{pu(B)} = 178 \Omega$	$R_{pu(B)} = 237 \Omega$	$R_{pu(B)} = 365 \Omega$
1.5 V			$R_{pu(A)} = 221 \Omega$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$
			$R_{pu(B)} = 221 \Omega$	$R_{pu(B)} = 174 \Omega$	$R_{pu(B)} = 232 \Omega$	$R_{pu(B)} = 357 \Omega$
1.8 V				$R_{pu(A)} = 294 \Omega$	$R_{pu(A)} = \text{none}$	$R_{pu(A)} = \text{none}$
				$R_{pu(B)} = 294 \Omega$	$R_{pu(B)} = 232 \Omega$	$R_{pu(B)} = 357 \Omega$
2.5 V					$R_{pu(A)} = 392 \Omega$	$R_{pu(A)} = \text{none}$
					$R_{pu(B)} = 392 \Omega$	$R_{pu(B)} = 357 \Omega$
3.3 V						$R_{pu(A)} = \text{none}$
						$R_{pu(B)} = 348 \Omega$

7.4 How to design for maximum frequency operation

The maximum frequency is limited by the minimum pulse width LOW and HIGH as well as rise time and fall time. See Equation 1 as an example of the maximum frequency. The rise and fall times are shown in Figure 8.

$$f_{max} = \frac{I}{t_{LOW(min)} + t_{HIGH(min)} + t_{r(actual)} + t_{f(actual)}} \tag{1}$$

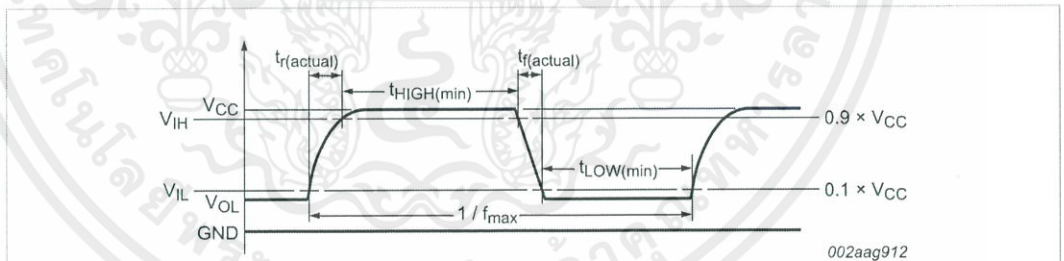


Fig 8. An example waveform for maximum frequency

The rise and fall times are dependent upon translation voltages, the drive strength, the total node capacitance ($C_{L(tot)}$) and the pull-up resistors (R_{PU}) that are present on the bus. The node capacitance is the addition of the PCB trace capacitance and the device capacitance that exists on the bus. Because of the dependency of the external components, PCB layout and the different device operating states the calculation of rise and fall times is complex and has several inflection points along the curve.

The main component of the rise and fall times is the RC time constant of the bus line when the device is in its two primary operating states: when device is in the ON state and it is low-impedance, the other is when the device is OFF isolating the A-side from the B-side.

A description of the fall time applied to either An or Bn output going from HIGH to LOW is as follows. Whichever side is asserted first, the B-side down must discharge to the $V_{CC(A)}$ voltage. The time is determined by the pull-up resistor, pull-down driver strength and the

capacitance. As the level moves below the $V_{CC(A)}$ voltage, the channel resistance drops so that both A and B sides equal. The capacitance on both sides is connected to form the total capacitance and the pull-up resistors on both sides combine to the parallel equivalent resistance. The R_{on} of the device is small compared to the pull-up resistor values, so its effect on the pull-up resistance can be neglected and the fall is determined by the driver pulling the combined capacitance and pull-up resistor currents. An estimation of the actual fall time seen by the device is equal to the time it takes for the B-side to fall to the $V_{CC(A)}$ voltage and the time it takes for both sides to fall from the $V_{CC(A)}$ voltage to the V_{IL} level.

A description of the rise time applied to either An or Bn output going from LOW to HIGH is as follows. When the signal level is LOW, the R_{on} is at its minimum, so the A and B sides are essentially one node. They will rise together with an RC time constant that is the sum of all the capacitance from both sides and the parallel of the resistance from both sides. As the signal approaches the $V_{CC(A)}$ voltage, the channel resistance goes up and the waveforms separate, with the B side finishing its rise with the RC time constant of the B side. The rise to $V_{CC(A)}$ is essentially the same for both sides.

There are some basic guidelines to follow that will help maximize the performance of the device:

- Keep trace length to a minimum by placing the NVT device close to the processor.
- The signal round trip time on trace should be shorter than the rise or fall time of signal to reduce reflections.
- The faster the edge of the signal, the higher the chance for ringing.
- The higher drive strength controlled by the pull-up resistor (up to 15 mA), the higher the frequency the device can use.

The system designer must design the pull-up resistor value based on external current drive strength and limit the node capacitance (minimize the wire, stub, connector and trace length) to get the desired operation frequency result.

8. Limiting values

Table 9. Limiting values
In accordance with the Absolute Maximum Rating System (IEC 60134).
Over operating free-air temperature range.

Symbol	Parameter	Conditions	Min	Max	Unit
$V_{ref(A)}$	reference voltage (A)		-0.5	+6	V
$V_{ref(B)}$	reference voltage (B)		-0.5	+6	V
V_I	input voltage		-0.5 ^[1]	+6	V
$V_{I/O}$	voltage on an input/output pin		-0.5 ^[1]	+6	V
I_{ch}	channel current (DC)		-	128	mA
I_{IK}	input clamping current	$V_I < 0$ V	-50	-	mA
I_{OK}	output clamping current		^[2] -50	+50	mA
T_{stg}	storage temperature		-65	+150	°C

[1] The input and input/output negative voltage ratings may be exceeded if the input and input/output clamp current ratings are observed.

[2] Low duty cycle pulses, not DC because of heating.

9. Recommended operating conditions

Table 10. Operating conditions

Symbol	Parameter	Conditions	Min	Max	Unit
$V_{I/O}$	voltage on an input/output pin	An, Bn	0	5.5	V
$V_{ref(A)}$	reference voltage (A)	VREFA	[1] 0	5.4	V
$V_{ref(B)}$	reference voltage (B)	VREFB	[1] 0	5.5	V
$V_{I(EN)}$	input voltage on pin EN		0	5.5	V
$I_{sw(pass)}$	pass switch current		-	64	mA
T_{amb}	ambient temperature	operating in free-air	-40	+85	°C

[1] $V_{ref(A)} \leq V_{ref(B)} - 1$ V for best results in level shifting applications.

10. Static characteristics

Table 11. Static characteristics

$T_{amb} = -40$ °C to $+85$ °C, unless otherwise specified.

Symbol	Parameter	Conditions	Min	Typ ^[1]	Max	Unit
V_{IK}	input clamping voltage	$I_I = -18$ mA; $V_{I(EN)} = 0$ V	-	-	-1.2	V
I_{IH}	HIGH-level input current	$V_I = 5$ V; $V_{I(EN)} = 0$ V	-	-	5	μA
$C_{i(EN)}$	input capacitance on pin EN	$V_I = 3$ V or 0 V	-	7.1	-	pF
$C_{io(off)}$	off-state input/output capacitance	An, Bn; $V_O = 3$ V or 0 V; $V_{I(EN)} = 0$ V	-	4	6	pF
$C_{io(on)}$	on-state input/output capacitance	An, Bn; $V_O = 3$ V or 0 V; $V_{I(EN)} = 3$ V	-	9.3	12.5 ^[2]	pF
R_{on}	ON-state resistance	An, Bn; $V_I = 0$ V; $I_O = 64$ mA; $V_{I(EN)} = 4.5$ V	[3][4][5] 1	2.4	5.0	Ω
		$V_I = 2.4$ V; $I_O = 15$ mA; $V_{I(EN)} = 4.5$ V	[3][4] -	4.8	7.5	Ω

[1] All typical values are at $T_{amb} = 25$ °C.

[2] Not production tested, maximum value based on characterization data of typical parts.

[3] Measured by the voltage drop between the An and Bn terminals at the indicated current through the switch. ON-state resistance is determined by the lowest voltage of the two terminals.

[4] See curves in Figure 9 for typical temperature and $V_{I(EN)}$ behavior.

[5] Guaranteed by design.

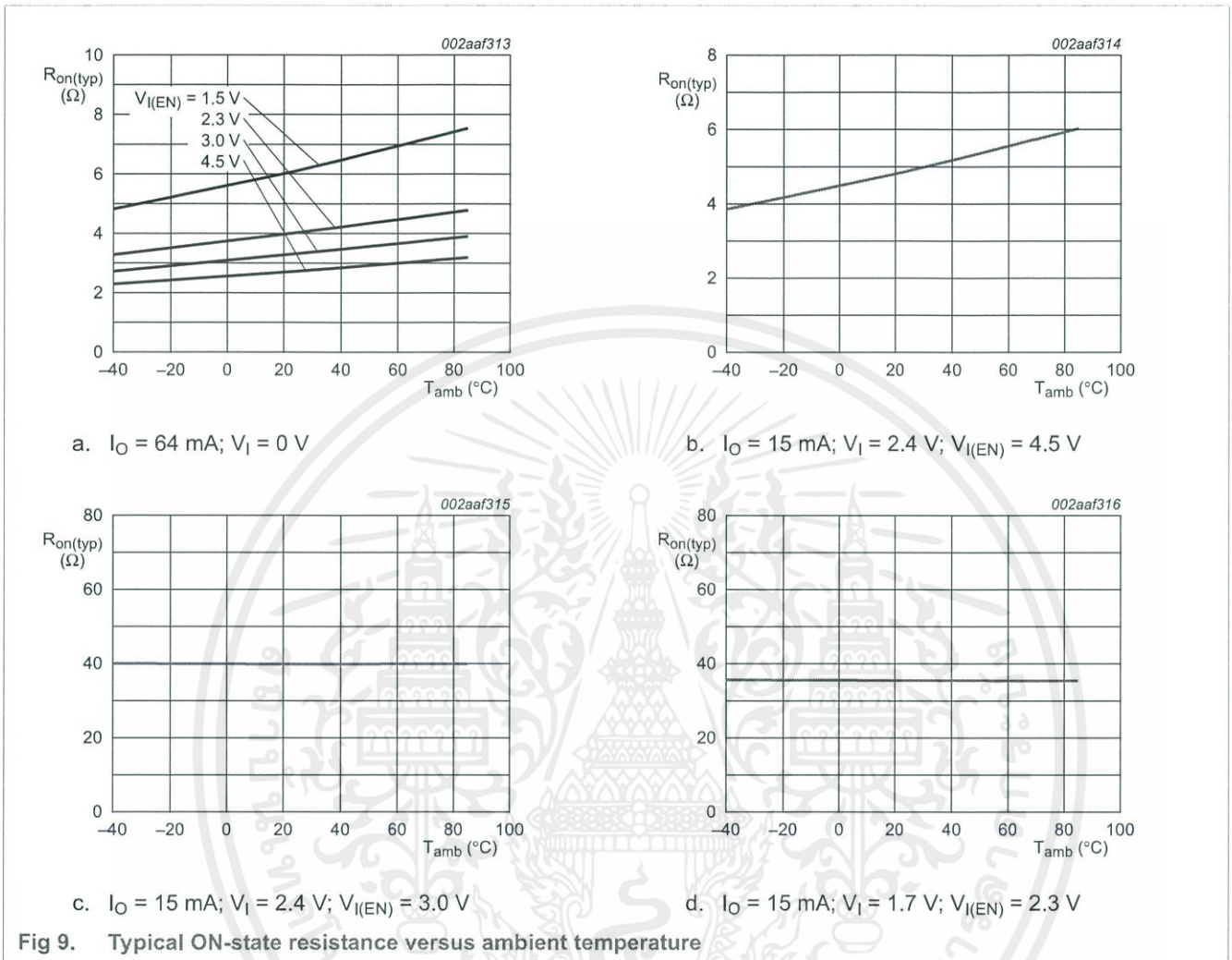


Fig 9. Typical ON-state resistance versus ambient temperature

ประวัติผู้เขียน

ชื่อ-นามสกุล. นายอำนาจเจริญ เจียมใจ
วัน เดือน ปีเกิด 6 ตุลาคม 2539
ที่อยู่ 1792/46 D.D.Tower condominium ถนน ประชาสงเคราะห์
เขตดินแดง แขวงดินแดง กรุงเทพมหานคร 10400
ประวัติการศึกษา วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ความชำนาญเฉพาะด้าน การเขียนโปรแกรมทดสอบ IC เครื่องทดสอบ Advantest 93k



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้