



รายงานสหกิจศึกษาฉบับสมบูรณ์

การสร้างระบบกำจัดข้อบกพร่องแบบโคนสำหรับ MAX5986
MAX5986 Cone Mitigation

นายสุรเชษฐ์ พร้อมความคิด

ภาควิชาอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2561



รายงานสหกิจศึกษาฉบับสมบูรณ์

การสร้างระบบกำจัดข้อบกพร่องแบบโคนสำหรับ MAX5986

MAX5986 Cone Mitigation

นายสุรเชษฐ์ พร้อมความคิด

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2561

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Co-operative Title: MAX5986 Cone Mitigation

Student Intern Name: Surachet Phromkwamkid , student ID: 58011365

Faculty: Engineering

Department: Electronics

Advisors Name: Asst. Prof. Kiangkrai Sooksood and Chinnapat Nantajiwakornchai

Mentor Name: Rattapoom Tidprom

Company: Maxim Integrated Products Thailand



ABSTRACT

This project presents “MAX5986 Cone Mitigation”. The purpose of this project is to expand the original test procedure of MAX5986 to include cone mitigation tests. The tests will be developed with C++ programming. The total numbers of tests added to the procedure are 15 and these tests will utilize absolute maximum testing process. Additionally, this project also include various types of gage study, hardware checker and dry-run of the program before release it to the production line.

Keywords: Maxim Integrated, Cone defect, Cone Mitigation, Test System Development, Gage study

กิตติกรรมประกาศ

โครงการ “การสร้างระบบกำจัดข้อบกพร่องแบบคอนสำหรับ MAX5986” สามารถสำเร็จลุล่วงไปได้ด้วยดีจากความช่วยเหลือและการให้คำปรึกษาจาก นายรัฐภูมิ ติตพรม ตำแหน่ง Senior MTS, นายสัญญา สายเจริญ ตำแหน่ง Manager ซึ่งคอยให้ความช่วยเหลือในการทดลอง ติดต่อประสานงาน และฝึกสอนข้าพเจ้า

ข้าพเจ้าขอขอบคุณผู้ปกครองของคณะผู้จัดทำที่เป็นสนับสนุนในการทำโครงการรวมถึงเพื่อนๆช่วยเหลือให้คำแนะนำ รวมทั้งช่วยแก้ปัญหาที่เกิดขึ้นในระหว่างการทำโครงการนี้ทั้งหมดทำให้โครงการสำเร็จลุล่วงไปด้วยดี

สุดท้ายนี้คณะผู้จัดทำหวังว่าโครงการนี้จะเป็นประโยชน์สำหรับผู้สนใจและผู้นำผลงานนี้ไปใช้งานสานต่อในอนาคตได้

นายสุรเชษฐ์ พร้อมความคิด

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ.....	IV
สารบัญภาพ	VI
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญ.....	1
1.2 วัตถุประสงค์ของโครงการ.....	1
1.3 ขอบเขตของโครงการ	1
1.4 วิธีการดำเนินงาน.....	2
บทที่ 2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง	3
2.1 Test System	3
2.2 ชีพวงจรรวมในการทดสอบ (MAX5986A - MAX5986C / MAX5987A).....	3
2.3 ทฤษฎีของ Cone Mitigation	4
2.3.1 Shallow Trench Isolation (STI).....	4
2.3.2 Dry-etching และ Cone Defect	5
2.4 ทฤษฎีของ Test Development.....	7
2.4.1 Absolute Maximum Rating Testing	7
2.4.2 การวิเคราะห์ข้อมูลด้วยการ Gage Study	8
2.4.3 การทำ Dry-run	10

สารบัญ (ต่อ)

	หน้า
บทที่ 3 ขั้นตอนและกระบวนการของโครงการ	11
3.1 Hardware Checker.....	11
3.2 Pin Voltage Condition data collection	11
3.3 การวิเคราะห์ข้อมูลผลลัพธ์ของการทดสอบบน Hardware MAX5986	11
3.4 การเขียนโปรแกรม Cone Mitigation	12
3.5 การลดเวลาที่ใช้ในการทดสอบ (Test time reduction).....	14
3.6 ปัญหาการทดสอบด้วย Absolute Maximum Rating	15
3.7 การคำนวณค่า Test limits	15
3.8 การทำ Glitch Elimination.....	17
บทที่ 4 ผลการวิจัย	18
4.1 ผลทดสอบ (Yield Summary).....	18
บทที่ 5 ผลสรุป	20
เอกสารอ้างอิง.....	21
ภาคผนวก.....	22

สารบัญภาพ

ภาพที่	หน้า
2.1 องค์ประกอบของชิปวงจรรวม	4
2.2 ขั้นตอนการทำ Shallow Trench Isolation (STI)	5
2.3 การทำ Dry-etching โดยใช้สาร Photoresist เป็นสารเคลือบ	6
2.4 ภาพตัวอย่าง Cone Defect โดยส่องผ่านกล้อง Scanning Electron Microscope (SEM)	7
2.5 ค่า Absolute Maximum Ratings ของชิปวงจรรวม MAX5986A-MAX5986C/MAX5987A	7
2.6 ภาพแสดงปัญหา Repeatability (ซ้าย) และ Reproducibility (ขวา)	8
2.7 ภาพแสดงชุดข้อมูลของหนึ่งในการทดสอบ	9
3.1 ลำดับขั้นตอนโดยรวมของการจ่ายแรงดันและวัดกระแสในแต่ละ Site	13
3.2 Inrush to Operating Mode Delay	14
3.3 ภาพเปรียบเทียบกราฟกระแสที่ VDD ระหว่างแรงดัน 70V และ 68V	15
3.4 กราฟ Probability Plot ของหนึ่งในการทดสอบ Cone Mitigation	16
3.5 กราฟ Histogram ของหนึ่งในการทดสอบ Cone Mitigation	16
3.6 กราฟแรงดันที่ VDD ตลอดการทดสอบ สเกล 20V/div และ 1s/div	17
3.7 กราฟแรงดันที่ VCC ตลอดการทดสอบ สเกล 20V/div และ 1s/div	17
4.1 Yield Result Summary หลังมีการใส่โปรแกรม Cone Mitigation ทั้งหมด 5742 ตัว	18
4.2 Yield Result Summary ก่อนมีการใส่โปรแกรม Cone Mitigation ทั้งหมด 144218 ตัว	19

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญ

การทดสอบชิปวงจรรวมในรูปแบบต่างๆให้ผ่านมาตรฐานของลูกค้าก่อนทำการส่งสินค้าให้กับลูกค้ามีความสำคัญอย่างมาก ถ้ามีสินค้าที่มีข้อบกพร่องอาจทำให้ลูกค้าตัดสินใจไม่รับสินค้านั้นๆ ซึ่งส่งผลไม่ดีต่อการค้าขายได้ โดยในโครงการนี้จะเป็นการเพิ่มการทดสอบให้กับระบบเดิมที่มีอยู่แล้ว เพื่อกำจัดข้อบกพร่องชนิดโค่นโดยเฉพาะ

1.2 วัตถุประสงค์ของโครงการ

พัฒนาการทดสอบเพิ่มลงไปในระบบทดสอบของ MAX5986 เพื่อคัดชิปวงจรรวมที่มีข้อบกพร่องแบบโค่นออก โดยที่การทดสอบที่เพิ่มลงไปในนั้นต้องไม่เพิ่มเวลาในการทดสอบทั้งหมดมากเกินไป และการทดสอบใหม่ต้องไม่ทำให้ชิปวงจรรวมที่ทดสอบได้รับความเสียหาย

1.3 ขอบเขตของโครงการ

- 1.3.1 สร้างการทดสอบที่สามารถคัดชิปวงจรรวมที่มีข้อบกพร่องแบบโค่นได้
- 1.3.2 การทดสอบทั้งหมดนั้นต้องไม่ใช้เวลาในการทดสอบมากเกินไป
- 1.3.3 การทดสอบที่เพิ่มลงไปในนั้นต้องไม่ทำให้ต้องมีการปรับแต่ง Hardware มากเกินไป
- 1.3.4 การทดสอบที่เพิ่มลงไปในนั้นต้องไม่ทำให้ชิปวงจรรวมได้รับความเสียหายในการทดสอบ

1.4 วิธีการดำเนินงาน

1.4.1 เก็บข้อมูลแรงดันของการทดสอบของซีปวงจรรวม MAX5986

1.4.2 เก็บข้อมูลผลลัพธ์ของการทดสอบซีปวงจรรวม MAX5986 ที่อุณหภูมิห้อง

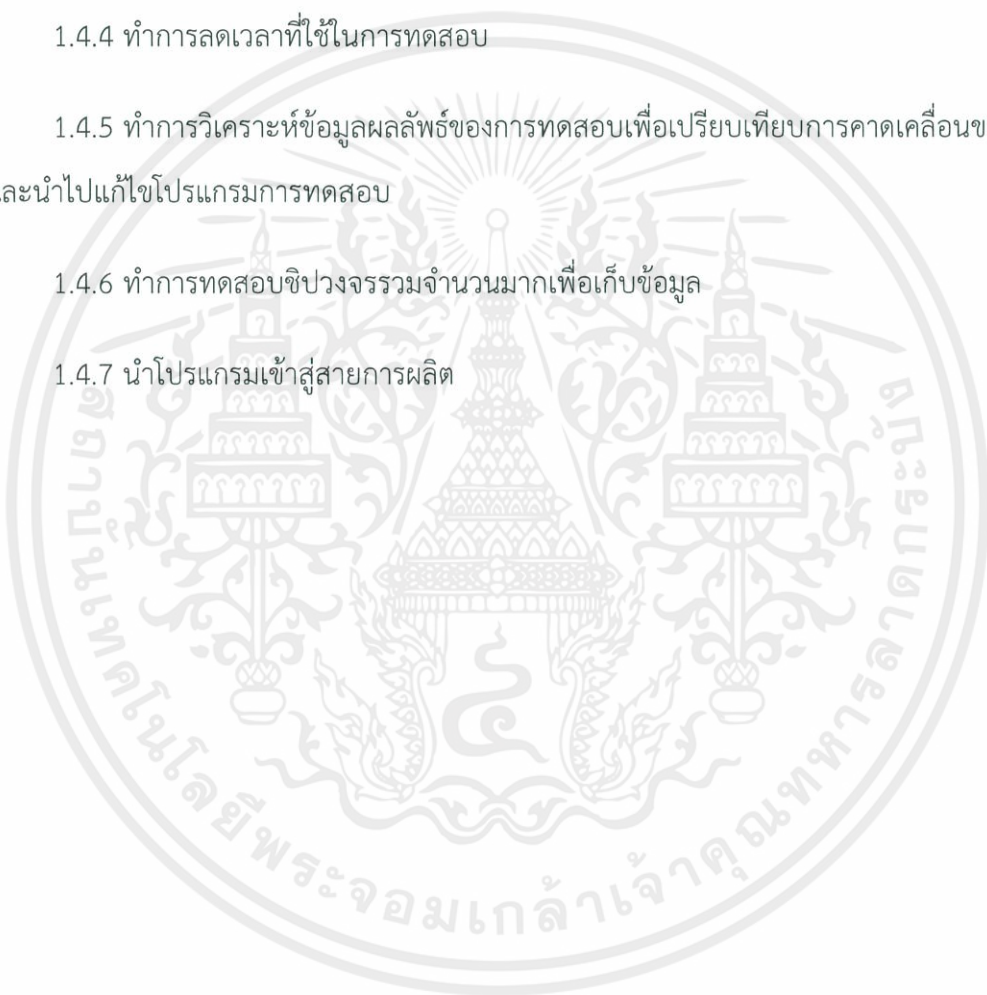
1.4.3 ปรึกษากับวิศวกรผู้ออกแบบ และวางแผนการเขียนโปรแกรมสำหรับการทดสอบ Cone Mitigation

1.4.4 ทำการลดเวลาที่ใช้ในการทดสอบ

1.4.5 ทำการวิเคราะห์ข้อมูลผลลัพธ์ของการทดสอบเพื่อเปรียบเทียบการคาดเคลื่อนของข้อมูล และนำไปแก้ไขโปรแกรมการทดสอบ

1.4.6 ทำการทดสอบซีปวงจรรวมจำนวนมากเพื่อเก็บข้อมูล

1.4.7 นำโปรแกรมเข้าสู่สายการผลิต



บทที่ 2

ทฤษฎีและงานวิจัยที่เกี่ยวข้อง

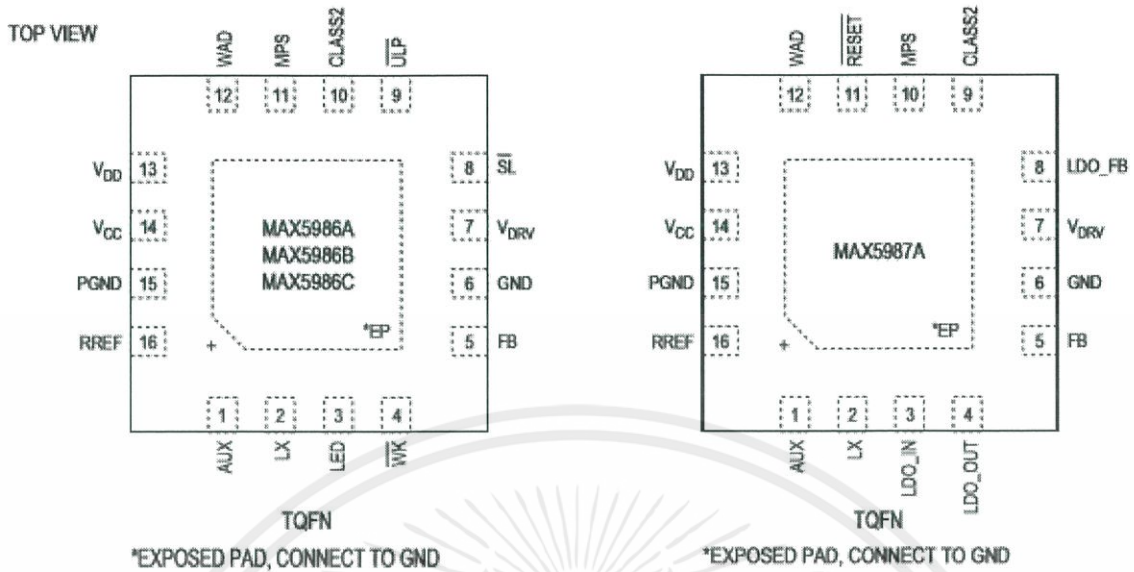
2.1 Test System

Test System คือระบบที่สามารถทำการทดสอบชิปวงจรรวมได้อย่างอัตโนมัติโดยมีวิศวกรเป็นผู้พัฒนาโปรแกรมควบคุมระบบทดสอบ ระบบนั้นจะสามารถทำหน้าที่ได้ทั้งเป็นแหล่งจ่ายกำลังและสามารถวัดค่าต่างๆได้

ระบบทดสอบนี้สั่งการด้วยโปรแกรม C/C++ Visual Studio ตามมาตรฐานอุตสาหกรรม และมีเครื่องมือสำหรับการทดสอบและวิเคราะห์ข้อมูล รวมถึงการจำลองแบบทดสอบก่อนใช้งานจริง

2.2 ชิปวงจรรวมในการทดสอบ (MAX5986A - MAX5986C / MAX5987A)

- ชิปวงจรรวมเป็นแบบ Surface mounted และมีทั้งหมด 16 pins
- ใช้งานเป็นแหล่งจ่ายกำลังตามมาตรฐาน IEEE® 3af ใช้ใน Class 1 / Class 2 Power over Ethernet (PoE)
- ประกอบไปด้วยระบบ DC-DC Converter ที่มีประสิทธิภาพ และมีสวิตช์ภายใน
- มีระบบป้องกันสำหรับการ Short-circuit และ Overvoltage ที่ output และมีการป้องกันสำหรับการ Overload และ Overtemperature
- สำหรับ MAX5987A จะมี Low-dropout (LDO) Regulator ที่มีค่ากระแสสูงสุด 100mA



ภาพที่ 2.1 องค์ประกอบของชิปวงจรรวม

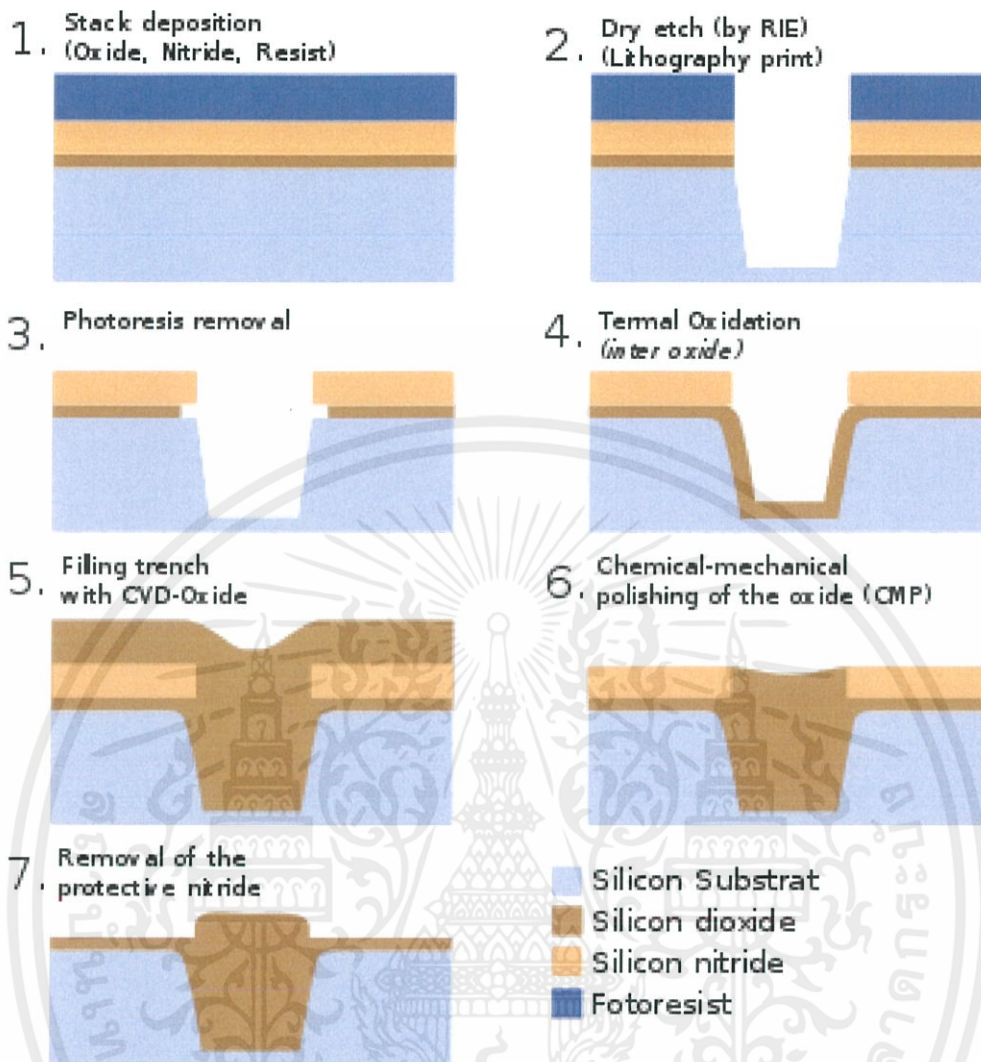
ที่มา : <https://datasheets.maximintegrated.com/en/ds/MAX5986A-MAX5987A.pdf>

2.3 ทฤษฎีของ Cone Mitigation

2.3.1 Shallow Trench Isolation (STI)

Shallow Trench Isolation (STI) หรือที่รู้จักในชื่อเทคนิค Box Isolation เป็นเทคนิคที่ใช้สำหรับการสร้างชิปวงจรรวมในปัจจุบัน ถูกใช้สำหรับป้องกันกระแสรั่วไหลระหว่างอุปกรณ์สารกึ่งตัวนำที่อยู่ติดกันบนชิปวงจรรวม

เทคนิค STI นั้นนิยมใช้กับการสร้างชิปวงจรรวมที่ใช้ CMOS ที่มีขนาดเล็กกว่า 250 นาโนเมตร โดย STI นั้นจะถูกสร้างขึ้นในช่วงแรกของการผลิตแผงวงจรรวมก่อนที่ Transistor จะก่อตัว และในการผลิตแผงวงจรรวมบางครั้งจะใช้เทคนิค Deep Trench Isolation ด้วยเช่นกัน

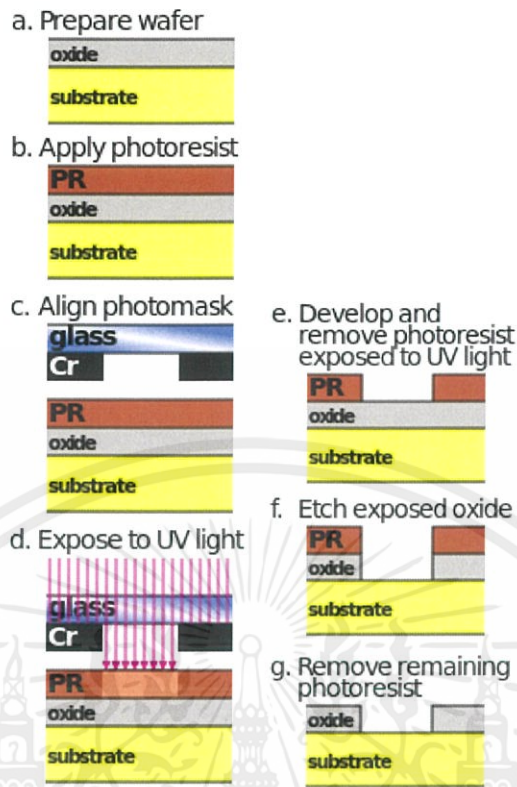


ภาพที่ 2.2 ขั้นตอนการทำ STI ที่มา : https://en.wikipedia.org/wiki/Shallow_trench_isolation

2.3.2 Dry-etching และ Cone Defect

การทำ STI นั้นมีขั้นตอนสำคัญคือการ Etching (ขั้นตอนที่ 2 ในภาพที่ 2.3) ซึ่งเป็นหนึ่งในขั้นตอนการผลิตแผงวงจรรวม เป็นการนำ layer บนพื้นผิวของ wafer ออกโดยใช้กรรมวิธีทางเคมี โดยในแต่ละขั้นตอนบางส่วนของ wafer จะถูกเคลือบด้วยสารที่ทนต่อสารเคมีที่ใช้ในการ Etching เพื่อป้องกันความเสียหายต่อส่วนอื่นของ wafer และวัสดุที่นิยมนำมาใช้มีทั้งสารที่ไวต่อแสง และ Silicon Nitride (SiN) เป็นต้น

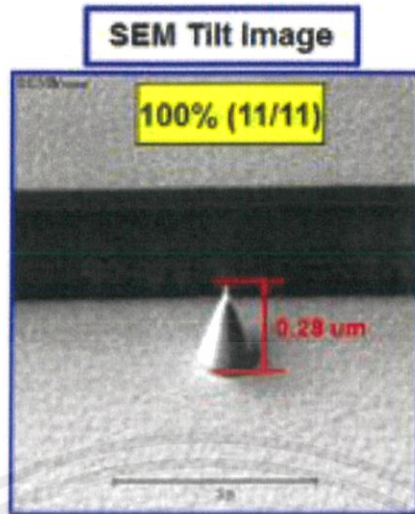
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.3 การทำ Dry-etching โดยใช้สาร Photoresist เป็นสารเคลือบ

ที่มา : [https://en.wikipedia.org/wiki/Etching_\(microfabrication\)](https://en.wikipedia.org/wiki/Etching_(microfabrication))

แต่การทำ dry-etching นั้นสามารถทำให้เกิดข้อบกพร่องแบบโคนได้ (Cone Defect) คือการเกิดส่วนเกินลักษณะคล้ายโคนขึ้นบนพื้นผิวที่ควรจะเป็นพื้นราบบนสารกึ่งตัวนำ โดยส่วนใหญ่ cone defect นั้นจะมีขนาดไม่ใหญ่จึงไม่ถึงเป็นข้อบกพร่องที่สำคัญ แต่ถ้าหากมีการทำ dry-etching เพิ่มขึ้นหลายรอบ สารเคลือบจะสามารถเกาะติด cone defect และทำให้ขนาดใหญ่ขึ้นและอาจทำให้เกิด Short-circuit ได้



ภาพที่ 2.4 ภาพตัวอย่าง Cone Defect โดยส่องผ่านกล้อง Scanning Electron Microscope (SEM)

2.4 ทฤษฎีของ Test Development

2.4.1 Absolute Maximum Rating Testing

เป็นกระบวนการการทดสอบที่ถูกใช้ในการคัดแยกชิปวงจรไฟฟ้าที่มีข้อบกพร่องแบบโค่นได้เนื่องจากชิ้นส่วนที่มีปัญหานั้นจะทำให้เกิดกระแสรั่วไหลเพิ่ม หรืออาจเกิด Short-circuit ได้ ทำให้สามารถคัดแยกชิปวงจรรวมที่มีปัญหาดังกล่าวได้ โดยการวัดค่ากระแสในขณะที่ย้ายแรงดันที่มากกว่าค่าแรงดันที่ใช้ปกติ แต่ไม่มาจนทำให้เกิดความเสียหายกับตัววงจรรวม โดยสำหรับโครงการงานนี้ชิปวงจรรวม MAX5986A-MAX5986C / MAX5987A นั้นจะมี Maximum Operating Voltage (MOV) ที่ 60V และ Absolute Maximum Rating (AbsMAX) ที่ 70V ฉะนั้นในการทดสอบจะเลือกใช้แรงดันระหว่าง 60V ถึง 70V

Absolute Maximum Ratings

(All voltages referenced to GND, unless otherwise noted.)

V _{DD} to GND	-0.3V to +70V (100V, 100ms, R _{TEST} = 3.3kΩ) (Note 1)
V _{CC} , WAD, RREF to GND	-0.3V to (V _{DD} + 0.3V)
AUX, LDO_IN, LED to GND	-0.3V to 16V
LDO_OUT to GND	-0.3V to (LDO_IN + 0.3V)
LDO_FB to GND	-0.3V to +6V
LX to GND	-0.3V to (V _{CC} + 0.3V)
LDO_OUT, VDRV, FB, RESET, WK, S _L , ULP, MPS, CLASS2 to GND	-0.3V to +6V
VDRV to V _{DD}	-0.3V to (V _{DD} + 0.3V)

PGND to GND	-0.3V to +0.3V
LX Total RMS Current	1.6A
Continuous Power Dissipation (T _A = +70°C)	
TQFN (derate 28.6mW/°C above +70°C)	2285.7mW
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C
Soldering Temperature (reflow)	+260°C

ภาพที่ 2.5 ค่า Absolute Maximum Ratings ของชิปวงจรรวม MAX5986A-MAX5986C/MAX5987A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

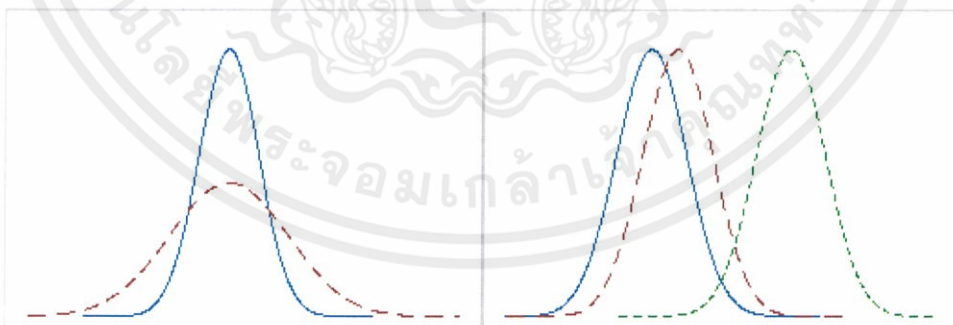
2.4.2 การวิเคราะห์ข้อมูลด้วยการ Gage Study

กระบวนการทดสอบจะมีหลายการทดสอบ โดยในช่วงเวลาการทดสอบทั้งหมดไม่กี่วินาที จะมีการทดสอบชิปวงจรรวมจำนวนมาก และจะมีการเก็บข้อมูลผลลัพธ์ของการทดสอบแต่ละขั้นตอนไว้ด้วย ซึ่งข้อมูลเหล่านี้สามารถนำมาวิเคราะห์ได้ว่าเกิดปัญหาหรือไม่ และปัญหามาจากการเขียนโปรแกรมทดสอบ, เครื่องมืออุปกรณ์อื่นๆ หรือเป็นลักษณะเฉพาะของชิปวงจรรวม โดยเราสามารถนำข้อมูลเหล่านี้ไปปรึกษาและวางแผนการแก้ไขหรือปรับปรุงได้

การเก็บข้อมูลสำหรับ Gage Study นั้นจะต้องมีอย่างน้อย 30 ตัวอย่างของข้อมูลของชิปวงจรรวมที่ผ่านการทดสอบ เนื่องจากการคำนวณเทียบกับเป้าหมายในอุดมคติที่จะมีชิปวงจรรวมที่ผ่านการทดสอบทั้งหมดประมาณ 97%

การทำ Gage Study จะเป็นการดูปัญหาที่อาจเกิดขึ้นได้ 2 อย่างคือ

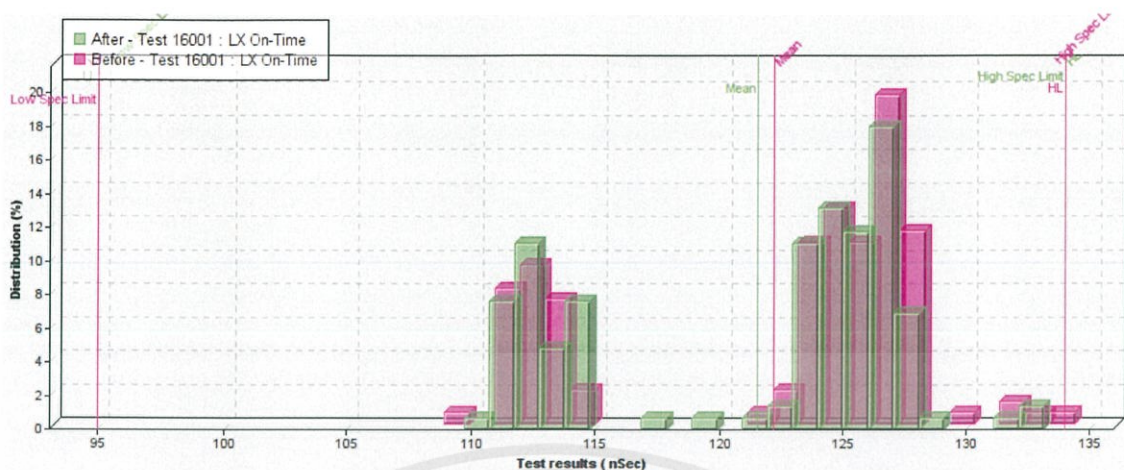
- Repeatability คือ การสังเกตความแปรปรวนของข้อมูลโดยที่ไม่มีการปรับเปลี่ยนตัวแปรใดๆในชุดข้อมูลของการทดสอบ
- Reproducibility คือ การสังเกตความแปรปรวนของข้อมูลโดยที่มีการปรับเปลี่ยนตัวแปรที่ละหนึ่งอย่างในแต่ละชุดข้อมูลของการทดสอบ



ภาพที่ 2.6 ภาพแสดงปัญหา Repeatability (ซ้าย) และ Reproducibility (ขวา)

ที่มา : <https://support.minitab.com/en-us/minitab/18/help-and-how-to/quality-and-process-improvement/measurement-system-analysis/supporting-topics/gage-r-r-analyses/what-is-a-gage-r-r-study/>

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.7 ภาพแสดงชุดข้อมูลของหนึ่งในการทดสอบ

ค่า Repeatability นั้นคำนวณจากค่าเบี่ยงเบนพื้นฐาน (Standard deviation) และค่า Reproducibility จะคำนวณจากความแตกต่างของค่าเฉลี่ยของข้อมูล 2 ชุดเทียบกับความแตกต่างระหว่าง High limit และ Low limit ของการทดสอบนั้นๆ

การทำ Gage Study จะมีการคำนวณค่า %R&R ซึ่งคือค่า Repeatability และ Reproducibility นำมาคำนวณเป็นเปอร์เซ็นต์เทียบกับ limit ของการทดสอบนั้นๆ หากว่าค่าเปอร์เซ็นต์มากกว่า 10% แสดงว่ามีปัญหาบางอย่างที่เราควรแก้ไขหรือหาเหตุผล ถ้ามากกว่า 30% แสดงว่าต้องหาวิธีแก้หรือเหตุผลที่มีน้ำหนักมากพอ

การคำนวณ %R&R นั้นจะใช้สมการดังนี้

$$\frac{\sqrt{(\text{Repeatability})^2 + (\text{Reproducibility})^2}}{(\text{High limit}) - (\text{Low limit})} \times 100\%$$

การทำ Gage Study นั้นมีหลายชนิดตามการเปลี่ยนแปลงและค่าความคาดเคลื่อนที่ต้องการจะตรวจสอบระหว่างข้อมูล 2 ชุด โดย Gage Study ทั้งหมดจะมีคร่าวๆดังนี้

- Insertion gage คือการวิเคราะห์ข้อมูล 2 ชุดเปรียบเทียบกันโดยการปรับแต่งเดียวระหว่างข้อมูลคือการขยับหน้าสัมผัสของชิววงจรวม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Site to site gage คือการวิเคราะห์ข้อมูล 2 ชุดเปรียบเทียบกันโดยใช้ชิปวงจรรวมตัวเดิมแต่เปลี่ยน site ของ Hardware ที่ใช้ (ในที่นี้จะป็น Site 0 ถึง Site 3) เพื่อดูความแตกต่างและความคาดเคลื่อนของข้อมูลในแต่ละ site งาน
- Hardware to hardware gage คือการวิเคราะห์ข้อมูล 2 ชุดเปรียบเทียบกันโดยใช้ Hardware สำหรับทดสอบ MAX5986 2 บอร์ดและใช้ชิปวงจรรวมเดิมในตำแหน่ง site เดิมระหว่าง 2 บอร์ด เพื่อดูความแตกต่างและความคาดเคลื่อนของข้อมูลเมื่อเปลี่ยน Hardware
- Tester to tester gage คือการวิเคราะห์ข้อมูล 2 ชุดเปรียบเทียบกันโดยใช้เครื่องทดสอบ Tester 2 เครื่อง โดยจะใช้ Hardware MAX5986 บอร์ดเดิม ชิปวงจรรวมตัวเดิม ใส่ในที่ตั้งเดิมโดยไม่มีการเปลี่ยนแปลงใดๆต่อหน้าสัมผัส เพื่อดูความแตกต่างและความคาดเคลื่อนของข้อมูลเมื่อเปลี่ยน Tester
- Before and after gage คือการวิเคราะห์ข้อมูล 2 ชุดเปรียบเทียบกันก่อนและหลังมีการเปลี่ยนแปลงใดๆกับโปรแกรมการทดสอบ เช่นมีการลดเวลาทดสอบลง, มีการเพิ่มโปรแกรมบางอย่าง, มีการ debug หรือแก้ไขบางอย่าง เป็นต้น เพื่อดูความแตกต่างและความคาดเคลื่อนของข้อมูลเมื่อมีการปรับแต่งใดๆ เพราะการปรับแต่งเพียงเล็กน้อยอาจส่งผลกระทบต่อผลลัพธ์ของการทดสอบโดยรวมได้

2.4.3 การทำ Dry-run

การทำ dry-run คือการนำชิปวงจรรวมจำนวนหนึ่งมาทดสอบกับโปรแกรมใหม่ เพื่อทำการตรวจสอบปัญหาของการรันโปรแกรมในสถานการณ์คล้ายการทดสอบจริงในสายการผลิต โดยในโครงการนี้จะทำการ dry-run ทั้งหมดประมาณ 6000 units ด้วยชิปวงจรรวม MAX5986A

บทที่ 3

ขั้นตอนและกระบวนการของโครงการ

3.1 Hardware Checker

ขั้นตอนแรกสุดสำหรับการพัฒนาโปรแกรมทดสอบคือการตรวจสอบ Hardware ด้วยการใช้โปรแกรม Hardware Checker โดยเฉพาะ การรันโปรแกรมนี้จะต้องใช้ Hardware ที่ไม่มีชิปวงจรรวมอยู่ใน Site งาน

การทดสอบแบบนี้จะเป็นการตรวจสอบอุปกรณ์ต่างๆบน Hardware เช่น ตัวต้านทาน, ตัวเก็บประจุ หรือค่าแฝงต่างๆ เป็นต้น เนื่องจากหากว่า Hardware แม่แบบที่ใช้ตรวจสอบนั้นมีปัญหาจะทำให้การทดสอบชิปวงจรรวมมีปัญหาตามไปด้วย ทั้งนี้การทำ Hardware Checker ยังสามารถใช้ตรวจสอบอุปกรณ์เครื่องมืออื่นที่เข้าร่วมกับตัว Hardware อย่าง Tester หรือ Cable ได้

3.2 Pin Voltage Condition data collection

ปรึกษากับวิศวกรนักออกแบบแผงวงจรรวม เพื่อเก็บข้อมูลของแรงดันและกระแสของแต่ละ pin ของชิปวงจรรวมในหลายๆการทดสอบ และนำข้อมูลนี้ไปใช้ในการวางแผนว่าการทดสอบ Cone Mitigation นั้นควรจะแทรกเพิ่มไปในส่วนไหนของกระบวนการทั้งหมด

3.3 การวิเคราะห์ข้อมูลผลลัพธ์ของการทดสอบบน Hardware MAX5986

เป็นการเก็บข้อมูลของการทดสอบล่าสุดที่ใช้ในกระบวนการผลิตก่อนที่จะมีการแก้ไขใดๆลงในโปรแกรมการทดสอบ เพื่อให้ได้ข้อมูลพื้นฐานและสามารถนำไปวิเคราะห์ข้อมูลเปรียบเทียบก่อนและหลังการเพิ่ม Cone Mitigation tests ลงไปในกระบวนการ

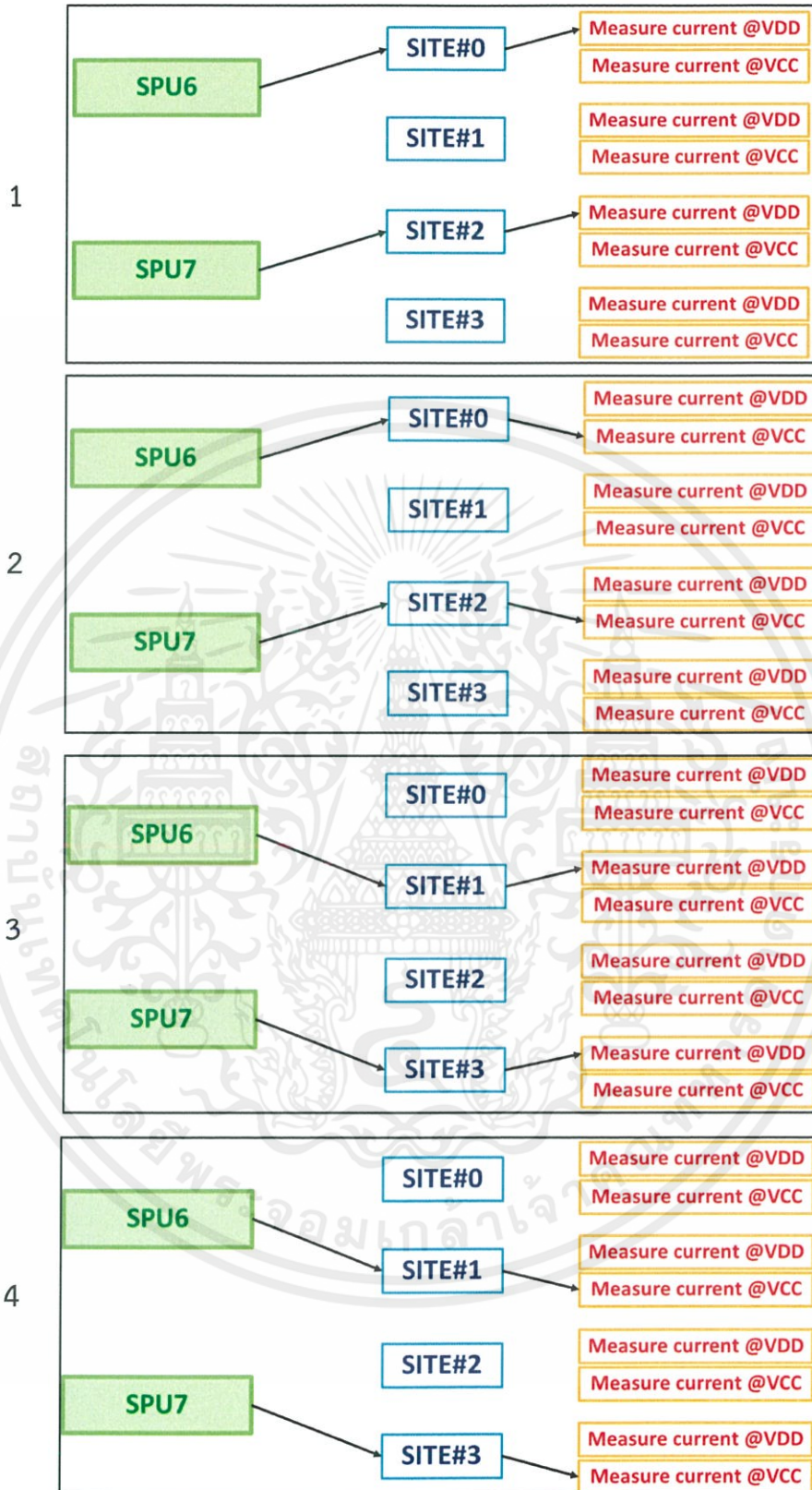
3.4 การเขียนโปรแกรม Cone Mitigation

หลังจากได้ทำการปรึกษากับวิศวกรนักออกแบบ การทดสอบ Cone Mitigation จะเป็นไปตามลำดับดังนี้

- จ่ายแรงดันที่ขา FB (pin 5) เท่ากับ 4V
- จ่ายแรงดันที่ขา VDD (pin 13) เท่ากับ 68V และจำกัดกระแสที่ 10mA
- จ่ายแรงดันที่ขา LX (pin 2) เท่ากับ 0V
- วัดค่ากระแสที่ VDD (pin 13) และ LX (pin 2) หลังจากจ่ายแรงดันที่ 2ms, 199ms,
- หลังจาก 200ms จ่ายแรงดันที่ขา VDD เท่ากับ 0V และวัดค่ากระแส
- จ่ายแรงดันที่ขา VCC (pin 14) เท่ากับ 68V และจำกัดกระแสที่ 10mA
- วัดค่ากระแสที่ VCC (pin 14) หลังจากจ่ายแรงดันที่ 2ms, 199ms,
- หลังจาก 200ms จ่ายแรงดันที่ขา VCC (pin 14) เท่ากับ 0V และวัดค่ากระแส

หลังจากการทดสอบ Cone Mitigation แล้ว จะมีการนำการทดสอบก่อนหน้า ซึ่งเป็นการทดสอบกระแสรั่วไหลที่ขา VDD และ WAD มาทดสอบหลังจากการทดสอบ Cone Mitigation โดยไม่มีการเปลี่ยนแปลงใดๆ เพื่อให้ได้ค่ากระแสรั่วไหลก่อนและหลังการทดสอบ Cone Mitigation มาวิเคราะห์ว่าเกิดปัญหากับชิปวงจรรวมหรือไม่

MAX5986 Hardware design ใช้งาน 4 sites แต่ขา VDD / VCC นั้นใช้แหล่งจ่ายและ Relay switch ร่วมกัน และข้อจำกัดด้านแหล่งจ่ายของ Tester ที่มีแหล่งจ่ายที่สามารถจ่ายแรงดัน 100V เพียงแค่ 2 ports ทำให้โปรแกรมการทดสอบสามารถทดสอบและวัดค่าได้เพียงรอบละ 2 sites โดยมีลำดับการทดสอบดังนี้



ภาพที่ 3.1 ลำดับขั้นตอนโดยรวมของการจ่ายแรงดันและวัดกระแสในแต่ละ Site

3.5 การลดเวลาที่ใช้ในการทดสอบ (Test time reduction)

เวลาที่ใช้ในการทดสอบชิปวงจรรวมนั้นสามารถนำมาคำนวณเป็นต้นทุนในการผลิต ซึ่งหมายความว่าหากใช้เวลาในการทดสอบมากต้นทุนจะยิ่งสูงตาม จึงมีการลดเวลาในการทดสอบซึ่งสามารถทำได้หลายวิธี แต่จะเน้นลดเวลาการรอหรืออาจลดปริมาณ sample size ของการวัดค่า แต่ว่าการปรับแต่งเหล่านี้จะต้องไม่ส่งผลให้ผลลัพธ์เปลี่ยนแปลงมากจนเกินไป โดยผลกระทบต่อผลลัพธ์นั้นจะมากเกินไปหรือไม่นั้นสามารถดูได้จากการทำ Gage Study โดยดูจากค่า %R&R และข้อมูล 2 ชุดจะมาจากก่อนและหลังการลดเวลาการทดสอบลง

แต่ทว่าการลดเวลาการทดสอบก็มีข้อจำกัดเช่นกัน โดยข้อจำกัดที่สำคัญคือ Device limited test time ซึ่งเป็นเวลาที่จำเป็นจะต้องเสียไปโดยไม่สามารถลดได้ อาจเนื่องมาจากการออกแบบชิปวงจรรวมหรือเหตุผลอื่น ในการทดสอบ Cone Mitigation นั้นจะทำในระหว่างที่ชิปวงจรรวมอยู่ในโหมด Power จึงทำให้มี delay สำหรับการรอให้ชิปวงจรรวมเข้าโหมดนั้นๆ ดังภาพ

POWER MODE							
V _{DD} Supply Voltage Range	V _{DD}			60		V	
V _{DD} Supply Current	I _{DD}	V _{DD} = 60V	MAX5986A/B/ MAX5987A	3.6	4.5	mA	
			MAX5986C	4.8	6.6		
V _{DD} Turn-On Voltage	V _{ON}	V _{DD} rising	MAX5986A/B/C	34.3	35.7	37.6	V
			MAX5987A	37.2	38.7	40	
V _{DD} Turn-Off Voltage	V _{OFF}	V _{DD} falling		30	31.4	V	
V _{DD} Turn-On/Off Hysteresis	V _{HYST_UVLO}	(Note 6)	MAX5986A/B/C	3.4	4.2	V	
			MAX5987A		7.2		
V _{DD} Deglitch Time	t _{OFF_DLY}	V _{DD} falling from 40V to 20V (Note 5)		150		μs	
Inrush to Operating Mode Delay	t _{DELAY}	t _{DELAY} = time from a (V _{DD} - V _{CC}) 1.5V to 0V		123		ms	
Isolation Power MOSFET On-Resistance	R _{ON_ISO}	I _{VCC} = 100mA	T _J = +25°C	1.2		Ω	
			T _J = +85°C	1.5			

ภาพที่ 3.2 Inrush to Operating Mode Delay

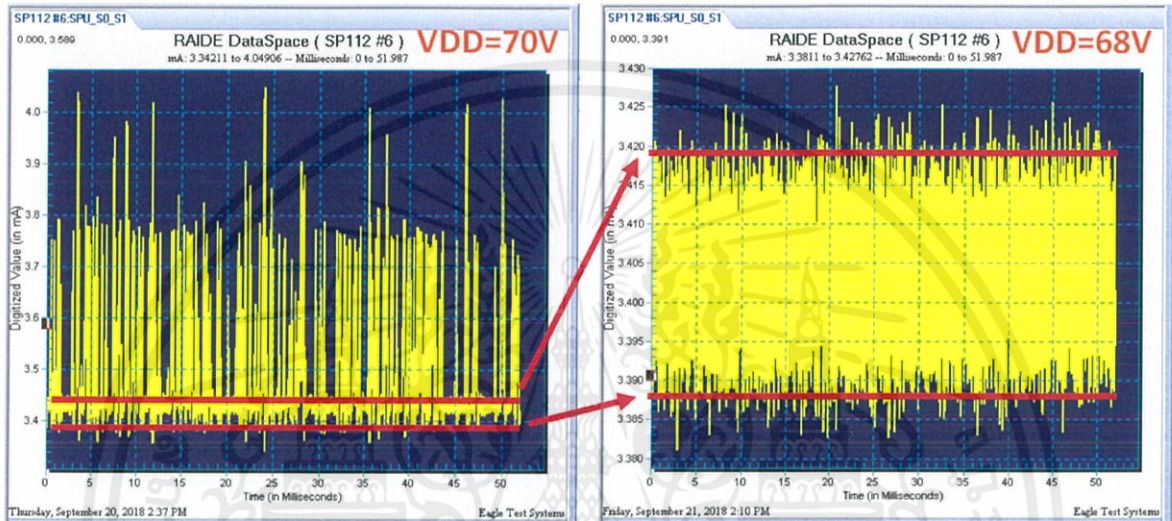
ที่มา : <https://datasheets.maximintegrated.com/en/ds/MAX5986A-MAX5987A.pdf>

แต่ในการเขียนโปรแกรมจริงนั้นจะเลือกใช้ 150ms เนื่องจากความแปรผันระหว่างชิปวงจรรวมแต่ละอัน ซึ่งหากใช้ 123ms นั้นอาจทำให้เกิดการคัดออกที่ไม่ถูกต้องระหว่างการทดสอบได้ (False failure)

การทดสอบทั้งหมดและเวลาที่ใช้ในการทดสอบของ Cone Mitigation เพิ่มทั้งหมดประมาณ 1.8 วินาที เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 ปัญหาค่าทดสอบด้วย Absolute Maximum Rating

การทดสอบชิปวงจรรวมด้วยค่าแรงดันที่ใกล้ค่า AbsMAX นั้นทำให้เกิดความไม่แน่นอนของค่ากระแสที่วัดได้ โดยสามารถแก้ไขได้ 2 วิธี วิธีแรกด้วยการเพิ่ม sample size ของการวัดค่ากระแส และวิธีที่สองคือการปรับค่าแรงดันที่ใช้ในการทดสอบลงมา และจากการสังเกตกราฟกระแสขณะที่ทำการวัดกระแสจะเห็นว่าค่าแรงดัน 68V นั้นสามารถใช้ได้กับทุกรุ่นของชิปวงจรรวมโดยไม่มีการรบกวน



ภาพที่ 3.3 ภาพเปรียบเทียบกราฟกระแสที่ VDD ระหว่างแรงดัน 70V และ 68V สังเกตว่าถ้าใช้แรงดันที่ 68V จะไม่ทำให้เกิด Noise

3.7 การคำนวณค่า Test limits

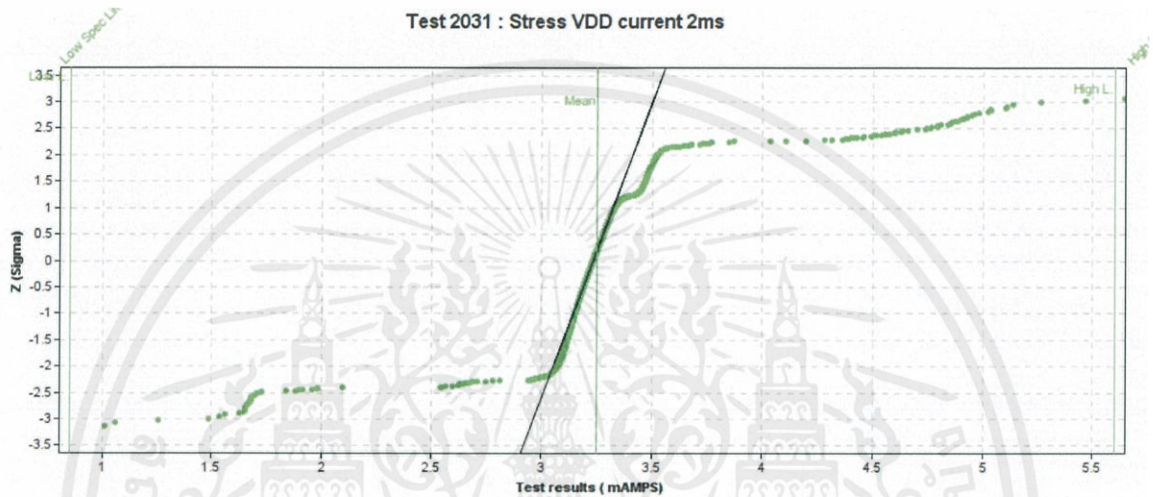
ค่า Test limits คือค่าที่คำนวณจากค่าเฉลี่ยของผลลัพธ์ของการทดสอบนั้นๆ โดยจะคำนวณจากค่าที่ได้จากการทดสอบแต่ละขั้นและนำ Test limits ที่ได้ไปปรึกษากับวิศวกรออกแบบว่าค่าที่ได้นั้นสมควรใช้หรือไม่ หรือต้องปรับอย่างไรตามคุณสมบัติของชิปวงจรรวมที่ได้รับการทดสอบ

การคำนวณนั้นจะใช้หลักการ Six sigma หรือเรียกว่าการสร้าง Test limit ให้ผลใกล้เคียงความเป็นอุดมคติ หลักการนี้จะใช้เป็นพื้นฐานแต่ถ้าหากว่าต้องการความแม่นยำมากกว่านี้สามารถใช้ค่า sigma ที่น้อยกว่านี้ได้

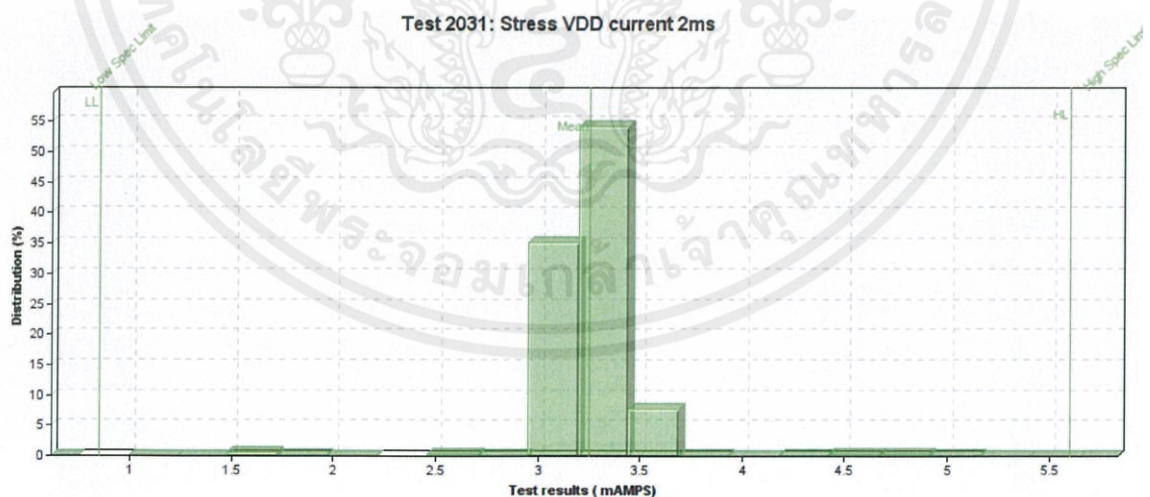
ในการทดสอบ Cone Mitigation นี้จะใช้หลักการ Six sigma ในการสร้าง Test limits โดยจะมี Low Spec Limit (LSL) คือ Mean - 6 σ และ High Spec Limit (HSL) คือ Mean + 6 σ โดยค่า Standard deviation (σ) จะคำนวณจากผลลัพธ์ของการทดสอบนั้นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า Test limits นั้นสามารถมีการเปลี่ยนแปลงในภายหลังได้หลังจากมีการวิเคราะห์ข้อมูลแล้ว อาจมีขีปนาวุธรวมที่ไม่ผ่านการทดสอบมากเกินไป หรืออาจต้องขยาย limit เพราะผลลัพธ์มีความไม่แน่นอนค่อนข้างสูง บางครั้งอาจเป็นข้อเรียกร้องของทางลูกค้าให้รัดกุม limit ให้สูงกว่าปกติสำหรับการทดสอบบางขั้นตอน



ภาพที่ 3.4 กราฟ Probability Plot ของหนึ่งในการทดสอบ Cone Mitigation แสดงค่าสถิติต่างๆ ประกอบไปด้วย Mean, LSL และ HSL



ภาพที่ 3.5 กราฟ Histogram Plot ของหนึ่งในการทดสอบ Cone Mitigation แสดงค่าสถิติต่างๆ ประกอบไปด้วย Mean, LSL และ HSL

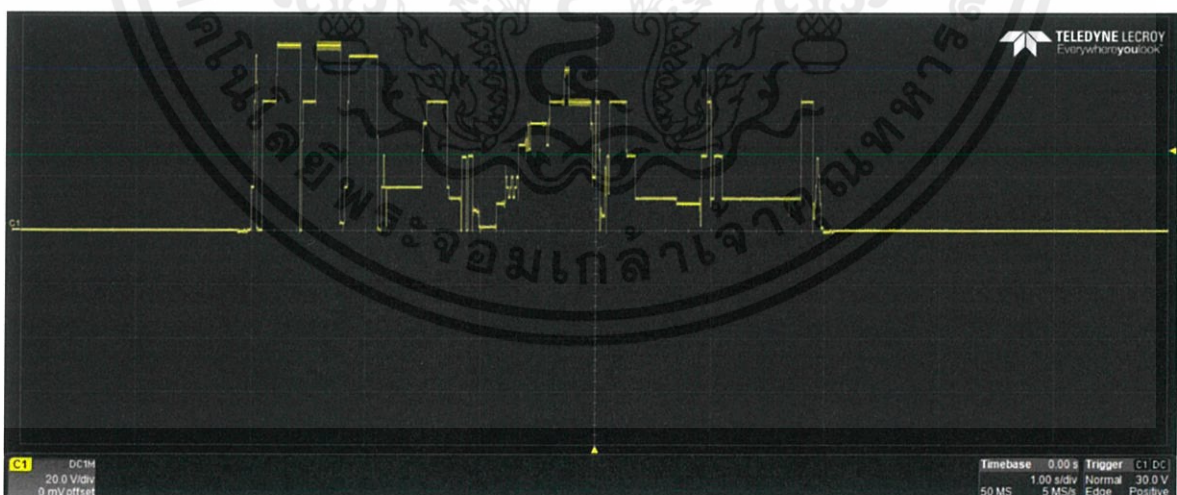
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8 การทำ Glitch Elimination

เป็นการตรวจสอบค่าแรงดันที่แต่ละ pin ในช่วงเวลาการทดสอบทั้งหมด การตรวจสอบนี้จะใช้ดูว่าในขณะที่มีการทดสอบนั้นได้มีค่าแรงดันที่มีค่ามากเกินไป Absolute Maximum Rating หรือไม่ โดยการทดสอบนี้จำเป็นจะต้องทำกับทุก pin และหากพบ Glitch จะต้องทำการแก้ไขเพราะอาจทำให้ชิปวงจรรวมเกิดความเสียหาย



ภาพที่ 3.6 กราฟแรงดันที่ VDD ตลอดการทดสอบ สเกล 20V/div และ 1s/div



ภาพที่ 3.7 กราฟแรงดันที่ VCC ตลอดการทดสอบ สเกล 20V/div และ 1s/div

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการวิจัย

4.1 ผลทดสอบ (Yield Summary)

การเพิ่มการทดสอบไปในกระบวนการทดสอบนั้นจะต้องไม่ทำให้เกิดการคัดออก (Yield loss) มากจนเกินไป หลังจากจบการทดสอบเราสามารถดูสรุปของผลลัพธ์ได้และข้อมูลนี้สามารถนำมาวิเคราะห์แยกว่ามีจำนวนชิปวงจรรวมที่ผ่านการทดสอบจำนวนเท่าใดและมีไม่ผ่านการทดสอบในกลุ่มไหน

ข้อมูลของชิปวงจรรวมที่ไม่ผ่านการทดสอบจะสามารถนำมาแยกได้ว่าไม่ผ่านการทดสอบไหนบ้างเพื่อนำมาวิเคราะห์เชิงลึกว่าไม่ผ่านเพราะเหตุผลใดบ้าง โดยจะแยกชนิดของ Failure ให้สามารถวิเคราะห์ข้อมูลได้ง่ายขึ้นด้วยระบบ bin

ปกติแล้วหากมีชิปวงจรรวมที่ไม่ผ่านการทดสอบ Cone Mitigation นั้นจะต้องมี bin เป็น Stress tests คือ bin 100 ถึง 121 ตามหลักสากล แต่ในขณะที่ทำการทดลองอยู่นั้นเครื่อง Tester นั้นสามารถตั้ง bin ได้สูงสุดแค่ 100 ให้จำเป็นต้องใช้ bin 9 โดยในภายหลังได้เปลี่ยนมาใช้เป็น bin 43 ก่อนที่จะนำโปรแกรมนี้ไปใช้ในสายการผลิต โดยข้อมูลผลลัพธ์ของการทดสอบทั้งหมดจะสามารถนำมาวิเคราะห์และสรุปผลออกมาได้ดังนี้

Software Binning	Bin Name	Count	Percentage	Software Binning Chart
1	Pass	5524	96.2 %	
9	Leakage Current	87	1.5 %	
11	BandGap Trim/VREG Trim	50	0.9 %	
10	PAT	28	0.5 %	
9	Leakage Current	87	1.5 %	
34	func tests	6	0.1 %	
33	Thermal Shutdown	4	0.1 %	
31	LX Timings	3	0.1 %	
24	PFET On-Resistance	3	0.1 %	
19	Runaway Current Trim	3	0.1 %	
32	Alarm Bin	2	0.0 %	
5	Opens	2	0.0 %	
17	Valley Current Trim	1	0.0 %	
37	MPS tests	1	0.0 %	
40	Part damage check(NRB)	1	0.0 %	
20	Oscillator Trim	1	0.0 %	
26	VAUX Tests	1	0.0 %	
30	RDS-On High/Low	1	0.0 %	
27	WK/GEN/SL Thresholds	1	0.0 %	
Cumul.	Cumul.	5742	100.0%	

ภาพที่ 4.1 ภาพแสดง Yield Result Summary ของการทดสอบ MAX5986A หลังมีการใส่โปรแกรม

Cone Mitigation ทั้งหมด 5742 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูป 4.1 แสดงให้เห็นว่าจะมีชิปวงจรรวมที่ผ่านการทดสอบทั้งหมด 96.2% และมีชิปวงจรรวมที่ไม่ผ่านการทดสอบ Cone Mitigation และ Leakage Current ทั้งหมด 1.5%

Software Binning	Bin Name	Count	Percentage
1	Pass	135828	94.2 %
19	Runaway Current Trim	1328	0.9 %
23	Power Mode	1278	0.9 %
10	PAT	1213	0.8 %
20	Oscillator Trim	664	0.5 %
9	Leakage Current	649	0.5 %
6	Shorts	380	0.3 %
17	Valley Current Trim	369	0.3 %
34	Valley/Peak/Runaway func tests	335	0.2 %
31	LX Timings	328	0.2 %
9	Leakage Current	649	0.5 %
32	Alarm Bin	241	0.2 %
11	BandGap Trim/VREG Trim	237	0.2 %
7	Supply Current	188	0.1 %
15	InRush Current Trim	185	0.1 %
40	Part damage check(NRB)	119	0.1 %
30	RDS-On High/Low	96	0.1 %
42	Contact_Res	51	0.0 %
21	Detection Mode	21	0.0 %
33	Thermal Shutdown	21	0.0 %
18	ZC Current Trim	17	0.0 %
27	WK/GEN/SL Thresholds	15	0.0 %
35	OTP Burn Current	15	0.0 %
37	MPS tests	13	0.0 %
22	Classification Mode	11	0.0 %
16	HotSwap Current Trim	9	0.0 %
28	LED Normal Sleep Mode	9	0.0 %
26	VAUX Tests	8	0.0 %
29	LED Green Sleep Mode	6	0.0 %
25	WAD Threshold	3	0.0 %
8	Standby Current	3	0.0 %
12	Lockbit Failure	2	0.0 %
39	CLASS2 Tests	1	0.0 %
14	ZTC Current Trim	1	0.0 %
Cumul.	Cumul.	144218	100.0 %

ภาพที่ 4.2 ภาพแสดง Yield Result Summary ของการทดสอบ MAX5986A ก่อนมีการใส่โปรแกรม Cone Mitigation ทั้งหมด 144218 ตัว

จากภาพที่ 4.2 แสดงให้เห็นว่าก่อนมีการเพิ่มโปรแกรม Cone Mitigation ลงไปในระบบทดสอบสำหรับ MAX5986 จะมีชิปวงจรรวมที่ไม่ผ่าน Leakage Current ทั้งหมด 0.5% หมายความว่า การเพิ่มการทดสอบ Cone Mitigation ลงไปนั้นทำให้มี Yield Loss เพิ่ม 1%

บทที่ 5

ผลสรุป

การพัฒนากระบวนการทดสอบ (Test Development) นั้นต้องเริ่มจากการศึกษาข้อมูลพื้นฐานของอุปกรณ์, เครื่องทดสอบ Tester, ตัวบอร์ด MAX5986 Hardware และตัวชิปวงจรรวม MAX5986A - MAX5986C / MAX5987A เพื่อให้ได้ข้อมูลเบื้องต้นก่อนนำข้อมูลเหล่านี้ไปปรึกษากับวิศวกรนักออกแบบชิปวงจรรวม

หลังจากทำการปรึกษาและวางแผนร่วมกันจึงได้ขั้นตอนการทดสอบอย่างละเอียด และต้องนำมาเทียบกับข้อจำกัดด้านต่างๆ ทั้ง Hardware limitation (MAX5986 Hardware) และ Device limitation (MAX5986A - MAX5986C / MAX5987A) เพื่อการเขียนโปรแกรมทดสอบให้มีประสิทธิภาพมากยิ่งขึ้น โดยไม่ทำให้เกิดปัญหาหรือผลข้างเคียงตามมา

การเขียนโปรแกรมการทดสอบนั้นจะต้องทำให้มั่นใจว่าจะไม่เกิดปัญหาที่มาจากทางโปรแกรมเอง (Bug) ประกอบไปด้วย การทำให้โปรแกรมสามารถวัดค่าต่างๆใน site ต่างๆของ hardware ได้โดยไม่มีปัญหา, การตรวจสอบค่าความคาดเคลื่อนของการวัดค่าในแต่ละ site, การจัดเวลารอและทดสอบ และการเลือก sample size ให้เหมาะสมต่อการวัดนั้นๆโดยดูจากกราฟแสดงลักษณะแนวโน้มในระยะยาว

โปรแกรมก่อนที่จะนำไปใช้ในสายการผลิตนั้นจะต้องมีความแน่นอนมากพอ เนื่องจากการใช้งานจริงจะมีการทดสอบชิปวงจรรวมหลายพันตัวในเวลาไม่กี่ชั่วโมง จึงจำเป็นต้องมีการตรวจสอบให้แน่ใจก่อนด้วยการ dry-run และวิเคราะห์ข้อมูลผลลัพธ์ที่ได้จากการทำ dry-run และนำไปปรับปรุงโปรแกรมก่อนนำโปรแกรมเข้าสู่สายการผลิต

เอกสารอ้างอิง

[1] <https://datasheets.maximintegrated.com/en/ds/MAX5986A-MAX5987A.pdf>

[2] https://en.wikipedia.org/wiki/Shallow_trench_isolation

[3] [https://en.wikipedia.org/wiki/Etching_\(microfabrication\)](https://en.wikipedia.org/wiki/Etching_(microfabrication))

[4] <https://support.minitab.com/en-us/minitab/18/help-and-how-to/quality-and-process-improvement/measurement-system-analysis/supporting-topics/gage-r-r-analyses/what-is-a-gage-r-r-study/>



ภาคผนวก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Click [here](#) for production status of specific part numbers.

MAX5986A–MAX5986C/ MAX5987A

IEEE 802.3af-Compliant, High-Efficiency, Class 1/Class 2, PDs with Integrated DC-DC Converter

General Description

The MAX5986A–MAX5986C/MAX5987A provide a complete power-supply solution as IEEE® 802.3af-compliant Class 1/Class 2 Powered Devices (PDs) in a Power-over-Ethernet (PoE) system. The devices integrate the PD interface with an efficient DC-DC converter, offering a low external part count PD solution. The MAX5987A includes a low-dropout regulator and the MAX5986A–MAX5986C include sleep and ultra-low power modes.

The PD interface provides a detection signature and a Class 1/Class 2 classification signature with a single external resistor. The PD interface also provides an isolation power MOSFET, a 60mA (max) inrush current limit, and a 323mA operating current limit.

The integrated step-down DC-DC converter uses a peak current-mode control scheme and provides an easy-to-implement architecture with a fast transient response. The step-down converter operates in a wide input voltage range from 8.7V to 60V and supports up to 6.49W of input power. The MAX5986A/MAX5986B/MAX5987A operate at a fixed 215kHz switching frequency and the MAX5986C operates at a fixed 430kHz switching frequency. The DC-DC converter operates at a fixed switching frequency, with an efficiency-boosting frequency foldback that reduces the switching frequency by half at light loads.

The devices feature an input undervoltage-lockout (UVLO) with wide hysteresis and long deglitch time to compensate for twisted-pair cable resistive drop and to assure glitch-free transition during power-on/off conditions. The devices also feature overtemperature shutdown, short-circuit protection, output overvoltage protection, and hiccup current limit for enhanced performance and reliability.

The MAX5986A–MAX5986C/MAX5987A are available in a 16-pin, 5mm x 5mm, TQFN power package and operate over the -40°C to +85°C temperature range.

Ordering Information appears at end of data sheet.

IEEE is a registered service mark of the Institute of Electrical and Electronics Engineers, Inc.

WiMAX is a registered certification mark and registered service mark of WiMAX Forum.

Benefits and Features

- High Integration Saves Space and BOM Cost
 - Efficient, Integrated DC-DC Converter (with Integrated Switches)
 - Built-In Output-Voltage Monitoring
 - Protects Against Overload, Output Short Circuit, Output Overvoltage, and Overtemperature
 - Integrated TVS Diode Withstands Cable Discharge Event (CDE)
 - Internal LDO Regulator with Up to 100mA Load (MAX5987A)
- IEEE 802.3af-Compliant Features Reduce Design Time
 - PoE Class 1/Class 2 Classification Set with Single Resistor
 - Intelligent Maintain Power Signature (MPS) Complies with IEEE 802.3af Specification
 - Simplified Wall Adapter Interface
 - Pass 2kV, 200m CAT-6 Cable Discharge Event
- High Efficiency During Light Loads Reduces Power Consumption
 - Sleep and Ultra-Low-Power Mode (MAX5986A/MAX5986B/MAX5986C)
 - Frequency Foldback for High-Efficiency Light-Load Operation
 - Back-Bias Capability to Optimize the Efficiency
- Robust Performance
 - 8.7V to 60V Wide Input Voltage Range
 - Hiccup-Mode Runaway Current Limit
 - 49mA (typ) Inrush Current Limit
 - Open-Drain RESET Output (MAX5987A)
- Flexible and Easy to Design With
 - 3.0V to 14V Programmable Output Voltage Range
 - Internal Compensation
 - Fixed 215kHz/430kHz Switching Frequency
 - Fixed 3.3V or Adjustable Output Voltage through an External Resistive Divider

Applications

- IEEE 802.3af-Powered Devices
- IP Phones
- Wireless Access Nodes
- IP Security Cameras
- WiMAX® Base Stations



Absolute Maximum Ratings

(All voltages referenced to GND, unless otherwise noted.)

V _{DD} to GND	-0.3V to +70V (100V, 100ms, R _{TEST} = 3.3kΩ) (Note 1)
V _{CC} , WAD, RREF to GND	-0.3V to (V _{DD} + 0.3V)
AUX, LDO_IN, LED to GND	-0.3V to 16V
LDO_OUT to GND	-0.3V to (LDO_IN + 0.3V)
LDO_FB to GND	-0.3V to +6V
LX to GND	-0.3V to (V _{CC} + 0.3V)
LDO_OUT, V _{DRV} , FB, RESET, WK, SL, ULP, MPS, CLASS2 to GND	-0.3V to +6V
V _{DRV} to V _{DD}	-0.3V to (V _{DD} + 0.3V)

PGND to GND	-0.3V to +0.3V
LX Total RMS Current	1.6A
Continuous Power Dissipation (T _A = +70°C) TQFN (derate 28.6mW/°C above +70°C)	2285.7mW
Operating Temperature Range	-40°C to +85°C
Junction Temperature	+150°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (soldering, 10s)	+300°C
Soldering Temperature (reflow)	+260°C

Note 1: See Figure 1, Test Circuit.

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

Package Thermal Characteristics (Note 2)

Junction-to-Ambient Thermal Resistance (θ _{JA})	35°C/W
Junction-to-Case Thermal Resistance (θ _{JC})	2.7°C/W

Note 2: Package thermal resistances were obtained using the method described in JEDEC specification JESD51-7, using a four-layer board. For detailed information on package thermal considerations, refer to www.maximintegrated.com/thermal-tutorial.

Electrical Characteristics

(V_{DD} = 48V, R_{SIG} = 24.9kΩ, LED, V_{CC}, SL, ULP, WK, RESET, LDO_OUT unconnected, WAD = LDO_EN = LDO_IN = PGND = GND, C1 = 68nF, C2 = 10μF, C3 = 1μF (see Figure 3), V_{FB} = V_{AUX} = 0V, LX unconnected. V_{CLASS2} = 0V, V_{MPS} = 0V. All voltages are referenced to GND, unless otherwise noted. T_A = T_J = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
POWER DEVICE (PD) INTERFACE							
DETECTION MODE							
Input Offset Current	I _{OFFSET}	V _{DD} = 1.4V to 10.1V (Note 4)			10	μA	
Effective Differential Input Resistance	dR	V _{DD} = 1.4V to 10.1V with 1V step, (Note 5)	23.95		25.5	kΩ	
CLASSIFICATION MODE							
Classification Enable Threshold	V _{TH,CLS,EN}	V _{DD} rising	10.2	11.5	12.5	V	
Classification Disable Threshold	V _{TH,CLS,DIS}	V _{DD} rising	22	23	23.8	V	
Classification Stability Time				2		ms	
Classification Current	I _{CLASS}	V _{DD} = 12.6V to 20V	CLASS2 = GND	9.12	10.5	11.88	mA
			CLASS2 = V _{DRV}	16.1	18	20.9	
POWER MODE							
V _{DD} Supply Voltage Range	V _{DD}				60	V	
V _{DD} Supply Current	I _{DD}	V _{DD} = 60V	MAX5986A/B/ MAX5987A	3.6	4.5	mA	
			MAX5986C	4.8	6.6		

Electrical Characteristics (continued)

($V_{DD} = 48V$, $R_{SIG} = 24.9k\Omega$, LED, V_{CC} , \overline{SL} , \overline{ULP} , \overline{WK} , \overline{RESET} , LDO_OUT unconnected, WAD = LDO_EN = LDO_IN = PGND = GND, C1 = 68nF, C2 = 10 μ F, C3 = 1 μ F (see Figure 3), $V_{FB} = V_{AUX} = 0V$, LX unconnected. $V_{CLASS2} = 0V$, $V_{MPS} = 0V$. All voltages are referenced to GND, unless otherwise noted. $T_A = T_J = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
V _{DD} Turn-On Voltage	V _{ON}	V _{DD} rising	MAX5986A/B/C	34.3	35.7	37.6	V
			MAX5987A	37.2	38.7	40	
V _{DD} Turn-Off Voltage	V _{OFF}	V _{DD} falling	30	31.4		V	
V _{DD} Turn-On/Off Hysteresis	V _{HYST_UVLO}	(Note 6)	MAX5986A/B/C	3.4	4.2		V
			MAX5987A		7.2		
V _{DD} Deglitch Time	t _{OFF_DLY}	V _{DD} falling from 40V to 20V (Note 5)		150		μ s	
Inrush to Operating Mode Delay	t _{DELAY}	t _{DELAY} = time from a (V _{DD} - V _{CC}) 1.5V to 0V		123		ms	
Isolation Power MOSFET On-Resistance	R _{ON_ISO}	I _{VCC} = 100mA	T _J = +25°C		1.2		Ω
			T _J = +85°C		1.5		
MAINTAIN POWER SIGNATURE (MPS = V_{DRV})							
PoE MPS Current Rising Threshold	I _{MPS_RISE}		18	28.7	40	mA	
PoE MPS Current Falling Threshold	I _{MPS_FALL}		14	24	35	mA	
PoE MPS Current Threshold Hysteresis	I _{MPS_HYS}			4.3		mA	
PoE MPS Output Average Current	I _{MPS_AVE}			4.8		mA	
PoE MPS Peak Output Current	I _{MPS_PEAK}		10	12.6		mA	
PoE MPS Time High	t _{MPS_HIGH}			95		ms	
PoE MPS Time Low	t _{MPS_LOW}			190		ms	
CURRENT LIMIT							
Inrush Current Limit	I _{INRUSH}	During initial turn-on period, V _{DD} - V _{CC} = 4V, measured at V _{CC}	39	49	60	mA	
Current Limit During Normal Operation	I _{LIM}	After inrush completed, V _{CC} = V _{DD} - 1.5V, measured at V _{CC}	290	323	360	mA	
WAD Detection Rising Threshold	V _{WAD_RISE}	(Note 9)			8.8	V	
WAD Detection Falling Threshold	V _{WAD_FALL}	(Note 9)	5.8			V	
WAD Detection Hysteresis				0.6		V	
WAD Input Current	I _{WAD}	V _{WAD} = 24V		125		μ A	

Electrical Characteristics (continued)

($V_{DD} = 48V$, $R_{SIG} = 24.9k\Omega$, LED, V_{CC} , \overline{SL} , \overline{ULP} , \overline{WK} , \overline{RESET} , LDO_OUT unconnected, WAD = LDO_EN = LDO_IN = PGND = GND, C1 = 68nF, C2 = 10 μ F, C3 = 1 μ F (see Figure 3), $V_{FB} = V_{AUX} = 0V$, LX unconnected. $V_{CLASS2} = 0V$, $V_{MPS} = 0V$. All voltages are referenced to GND, unless otherwise noted. $T_A = T_J = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LOGIC						
CLASS2, MPS Voltage Rising Threshold					2.9	V
CLASS2, MPS Voltage Falling Threshold			0.4			V
\overline{RESET} Output Voltage Low (MAX5987A Only)		$I_{SINK} = 1mA$			0.2	V
CLASS2, MPS Leakage			-10		+10	μA
INTERNAL REGULATOR WITH BACK BIAS						
V_{AUX} Input Voltage Range	V_{AUX}	Inferred from V_{AUX} input current	4.75		14	V
V_{AUX} Input Current		V_{AUX} from 4.75V to 14V	0.65		3.1	mA
V_{DRV} Output Voltage			4.2		5.5	V
SLEEP MODE (MAX5986A–MAX5986C)						
\overline{WK} and \overline{ULP} Logic Threshold	V_{TH}	$V_{\overline{WK}}$ falling and $V_{\overline{ULP}}$ rising and falling	1.6		2.9	V
\overline{SL} Logic Threshold		Falling	0.55		0.8	V
\overline{SL} Current		$V_{\overline{SL}} = 0V$		62.5		μA
LED Current Amplitude	I_{LED}	$R_{\overline{SL}} = 121k\Omega$, $V_{LED} = 6.5V$		5.3		mA
		$R_{\overline{SL}} = 60.4k\Omega$, $V_{LED} = 6.5V$	9.2	10.6	12	
		$R_{\overline{SL}} = 30.2k\Omega$, $V_{LED} = 6.5V$	19.2	21.2	23.5	
		$R_{\overline{SL}} = 30.2k\Omega$, $V_{LED} = 3.5V$		21.2		
LED Current Programmable Range			10		20	mA
LED Current with Grounded \overline{SL}		$V_{\overline{SL}} = 0V$	20.6	26.4	31.4	mA
LED Current Frequency	f_{ILED}	Sleep and ultra-low power modes		250		Hz
LED Current Duty Cycle	D_{ILED}	Sleep and ultra-low power modes		25		%
V_{DD} Current Amplitude	I_{VDD}	Sleep mode, $V_{LED} = 6.5V$	10	12	14.5	mA
Internal Current Duty Cycle	D_{IVDD}	Sleep and ultra-low power modes		75		%
Internal Current Enable Time	t_{MPS}	Ultra-low power mode	76	87	98	ms
Internal Current Disable Time	t_{MPDO}	Ultra-low power mode	205	235	265	ms
THERMAL SHUTDOWN						
Thermal Shutdown Threshold	T_{SD}	T_J rising		151		$^\circ C$
Thermal Shutdown Hysteresis	$T_{SD,HYS}$			16		$^\circ C$

Electrical Characteristics (continued)

($V_{DD} = 48V$, $R_{SIG} = 24.9k\Omega$, LED, V_{CC} , \overline{SL} , \overline{ULP} , \overline{WK} , \overline{RESET} , LDO_OUT unconnected, WAD = LDO_EN = LDO_IN = PGND = GND, C1 = 68nF, C2 = 10 μ F, C3 = 1 μ F (see Figure 3), $V_{FB} = V_{AUX} = 0V$, LX unconnected. $V_{CLASS2} = 0V$, $V_{MPS} = 0V$. All voltages are referenced to GND, unless otherwise noted. $T_A = T_J = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LDO (MAX5987A)						
Input Voltage Range		Inferred from line regulation	4.5		14	V
Output Voltage		LDO_FB = V_{DRV}		3.3		V
Max Output Voltage Setting		With external divider to LDO_FB			5.5	V
LDO FB Regulation Voltage			1.2	1.227	1.25	V
LDO FB Leakage Current				± 1		μA
Dropout		$V_{LDO_IN} = 5V$, $V_{LDO_FB} = V_{DRV}$, $I_{LOAD} = 80mA$		300		mV
Load Regulation		I_{LOAD} from 1mA to 80mA		0.5		mV/mA
Line Regulation		V_{LDO_IN} from 4.5V to 14V		1.4		mV/V
Overcurrent Protection Threshold	I_{OVC}		85			mA
LDO_FB Rising Threshold				3.2	4.2	V
LDO_FB Falling Threshold			2.0	2.4		V
DC-DC CONVERTER INPUT SUPPLY						
V_{DD} Voltage Range	$V_{DD,RISING}$	$V_{CC} = V_{DD} = V_{WAD} - 0.3V$, rising	8		60	V
	$V_{DD,FALLING}$	$V_{CC} = V_{DD} = V_{WAD} - 0.3V$, falling	7.7		60	
POWER MOSFETS						
High-Side pMOS On-Resistance	$R_{DS(on)-H}$	$I_{LX} = 0.5A$ (sourcing)		0.54		Ω
Low-Side nMOS On-Resistance	$R_{DS(on)-L}$	$I_{LX} = 0.5A$ (sinking)		0.16		Ω
LX Leakage Current	I_{LX-LKG}	$V_{DD} = V_{CC} = 28V$, $V_{LX} = (V_{PGND} + 1V)$ to $(V_{CC} - 1V)$	-5		+5	μA
SOFT-START (SS)						
Soft-Start Time	t_{SS-TH}			10		ms
FEEDBACK (FB)						
FB Regulation Voltage	V_{FB-RG}		1.203	1.225	1.252	V
FB Input Bias Current	I_{FB}	$V_{FB} = 1.224V$		10	200	nA
OUTPUT VOLTAGE						
Output Voltage Range	V_{OUT}	MAX5986A/MAX5987A	3.0		5.6	V
		MAX5986B/MAX5986C	5.4		14	

MAX5986A–MAX5986C/
MAX5987A

IEEE 802.3af-Compliant, High-Efficiency,
Class 1/Class 2, PDs with Integrated
DC-DC Converter

Electrical Characteristics (continued)

($V_{DD} = 48V$, $R_{SIG} = 24.9k\Omega$, LED, V_{CC} , \overline{SL} , \overline{ULP} , \overline{WK} , \overline{RESET} , LDO_OUT unconnected, WAD = LDO_EN = LDO_IN = PGND = GND, C1 = 68nF, C2 = 10 μ F, C3 = 1 μ F (see Figure 3), $V_{FB} = V_{AUX} = 0V$, LX unconnected. $V_{CLASS2} = 0V$, $V_{MPS} = 0V$. All voltages are referenced to GND, unless otherwise noted. $T_A = T_J = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Cycle-by-Cycle Overvoltage Protection	V_{OUT-OV}	Rising (Note 7)	100.5	100.3	108	%	
		Falling (Note 7)	98.5				
INTERNAL COMPENSATION NETWORK							
Compensation Network Zero-Resistance	R_{ZERO}			200		k Ω	
Compensation Network Zero-Capacitance	C_{ZERO}			150		pF	
CURRENT LIMIT							
Peak Current-Limit Threshold	$I_{PEAK-LIMIT}$	MAX5986B/ MAX5986C	CLASS2 = GND	0.75	0.81	A	
			CLASS2 = V_{DRV}	0.85	0.94		
		MAX5986A/ MAX5987A	CLASS2 = GND	1.45	1.64		
			CLASS2 = V_{DRV}	1.66	1.79		
Runaway Current-Limit Threshold		MAX5986B/ MAX5986C	CLASS2 = GND		0.93		
			CLASS2 = V_{DRV}		1.07		
		MAX5986A/ MAX5987A	CLASS2 = GND		1.9		
			CLASS2 = V_{DRV}		2.2		
Valley Current-Limit Threshold	$I_{VALLEY-LIMIT}$	MAX5986A/MAX5987A		1.5		A	
		MAX5986B/MAX5986C		0.75			
ZX Threshold	I_{ZX}			25		mA	
TIMINGS							
Switching Frequency	f_{SW}	MAX5986A/MAX5986B/MAX5987A		190	215	238	kHz
		MAX5986C		380	430	475	
Frequency Foldback	$f_{SW-FOLD}$	MAX5986A/MAX5986B/MAX5987A		95	107.5	119	kHz
		MAX5986C		195	215	238	
Consecutive ZX Events for Entering Foldback				8		Events	
Consecutive ZX Events for Exiting Foldback				8		Events	
V_{OUT} Undervoltage Trip Level to Cause HICCUP	$V_{OUT-HICF}$	After soft-start completed (Note 7)		55	60	65	%
HICCUP Timeout		MAX5986A/MAX5986B/MAX5987A		154		ms	
		MAX5986C		77			
Minimum On-Time	t_{ON-MIN}			113	140	ns	
LX Dead Time				14		ns	

Electrical Characteristics (continued)

($V_{DD} = 48V$, $R_{SIG} = 24.9k\Omega$, LED, V_{CC} , \overline{SL} , \overline{ULP} , \overline{WK} , \overline{RESET} , LDO_OUT unconnected, WAD = LDO_EN = LDO_IN = PGND = GND, C1 = 68nF, C2 = 10 μ F, C3 = 1 μ F (see Figure 3), $V_{FB} = V_{AUX} = 0V$, LX unconnected. $V_{CLASS2} = 0V$, $V_{MPS} = 0V$. All voltages are referenced to GND, unless otherwise noted. $T_A = T_J = -40^\circ C$ to $+85^\circ C$, unless otherwise noted. Typical values are at $T_A = +25^\circ C$.) (Note 3)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
RESET (MAX5987A)						
V_{FB} Threshold for \overline{RESET} Assertion	V_{FB-OKF}	V_{FB} falling (Note 7)	87	90	93	%
V_{FB} Threshold for \overline{RESET} Deassertion	V_{FB-OKR}	V_{FB} rising (Note 7)	91.5	95	98	%
V_{LDO_FB} Threshold for \overline{RESET} Assertion	V_{LDO_FB-OKF}	V_{LDO_FB} falling, LDO_FB = V_{DRV} (Note 8)		90		%
V_{LDO_FB} Threshold for \overline{RESET} Deassertion		V_{FB} rising		95		%
for \overline{RESET} Deassertion Delay				4.8		ms
\overline{RESET} Output Voltage Low		$I_{SINK} = 1mA$		0.1		V
\overline{RESET} Leakage Current				± 10		μA

Note 3: All devices are 100% production tested at $T_A = +25^\circ C$. Limits over temperature are guaranteed by design.

Note 4: The input offset current is illustrated in Figure 2.

Note 5: Effective differential input resistance is defined as the differential resistance between V_{DD} and GND, see Figure 2.

Note 6: A 20V glitch on input voltage, which takes V_{DD} below V_{ON} shorter than or equal to t_{OFF_DLY} does not cause the device to exit power-on mode.

Note 7: Referred to feedback regulation voltage.

Note 8: Referred to LDO feedback regulation voltage.

Note 9: The WAD Detection Rising and Falling Thresholds control the isolation power MOS transistor. To turn the DC-DC on in WAD mode, the WAD must be detected and the V_{DD} must be within the V_{DD} voltage range.

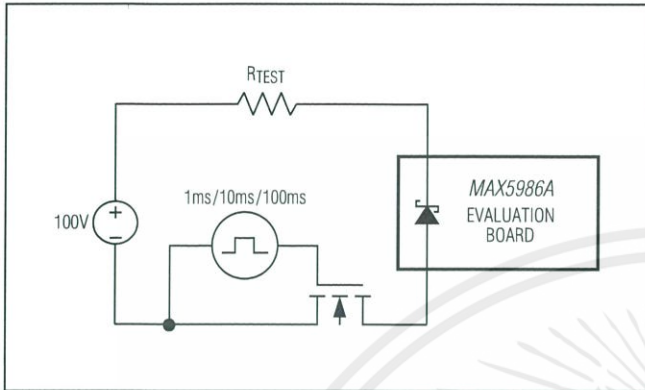


Figure 1. MAX5986A/MAX5987A Internal TVS Test Setup

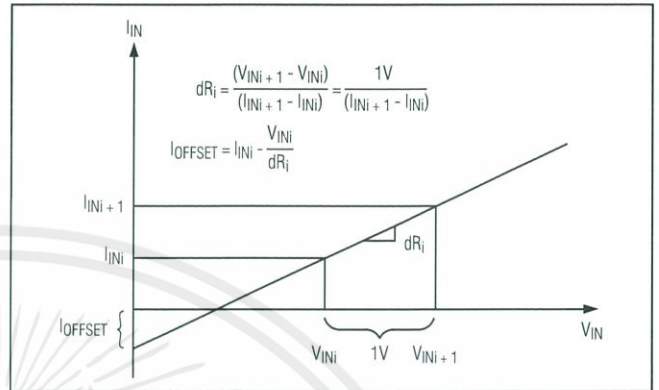
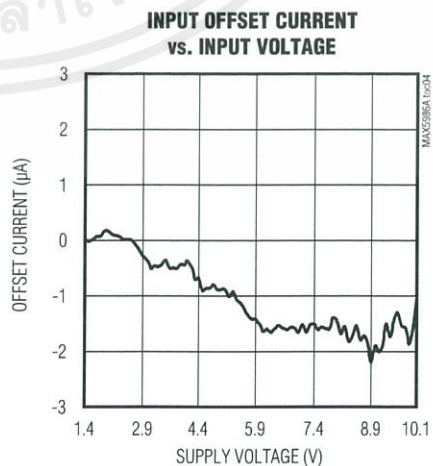
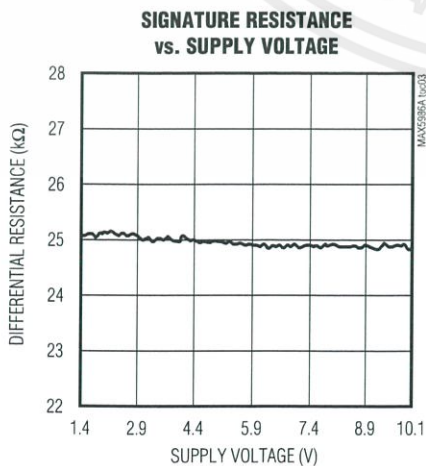
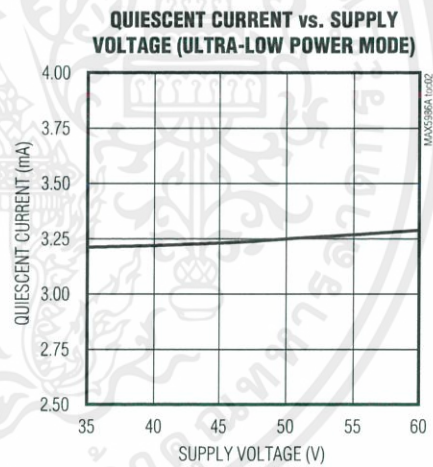
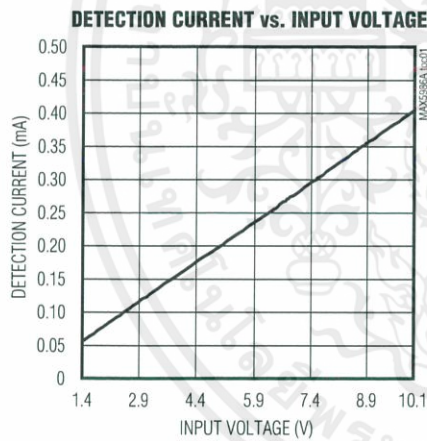


Figure 2. Effective Differential Resistance and Offset Current

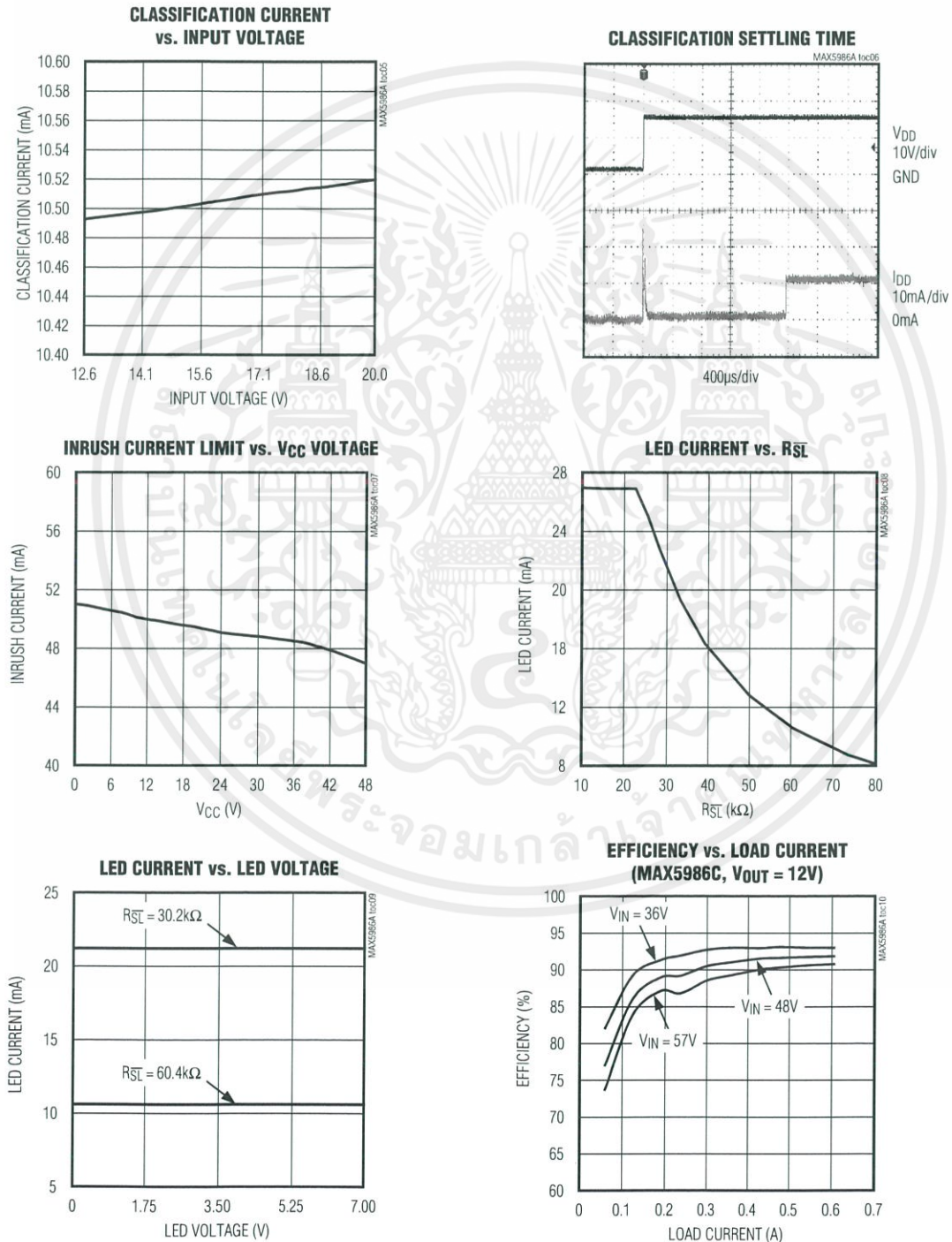
Typical Operating Characteristics

(T_A = +25°C, unless otherwise noted.)



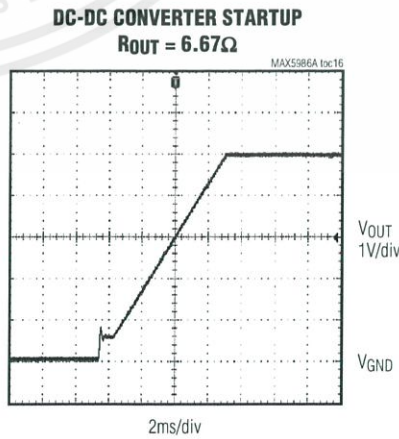
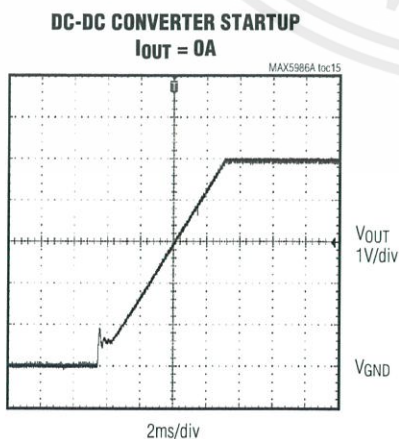
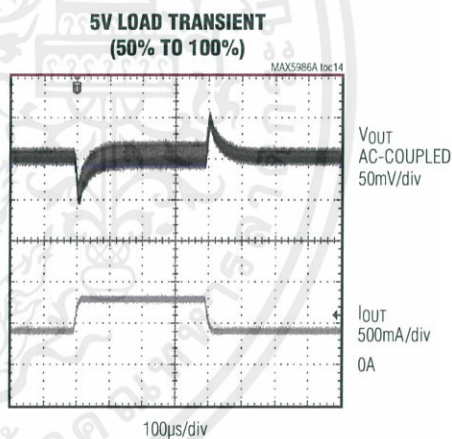
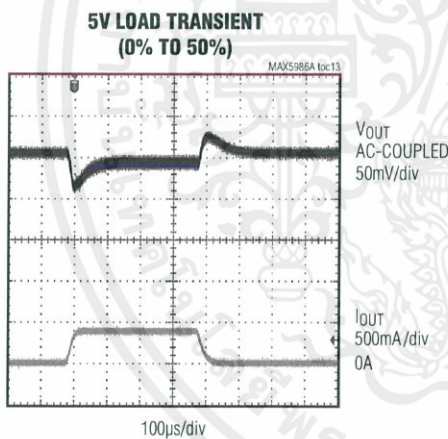
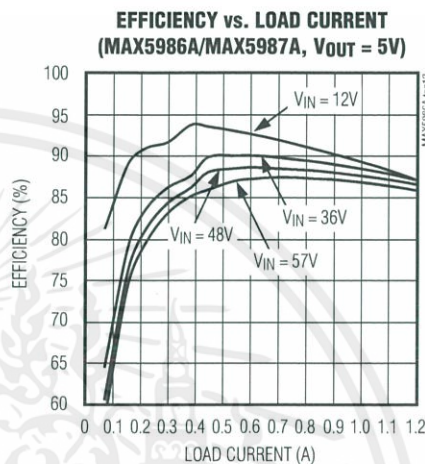
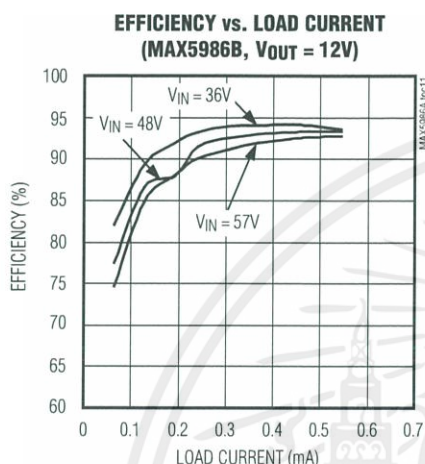
Typical Operating Characteristics (continued)

($T_A = +25^\circ\text{C}$, unless otherwise noted.)

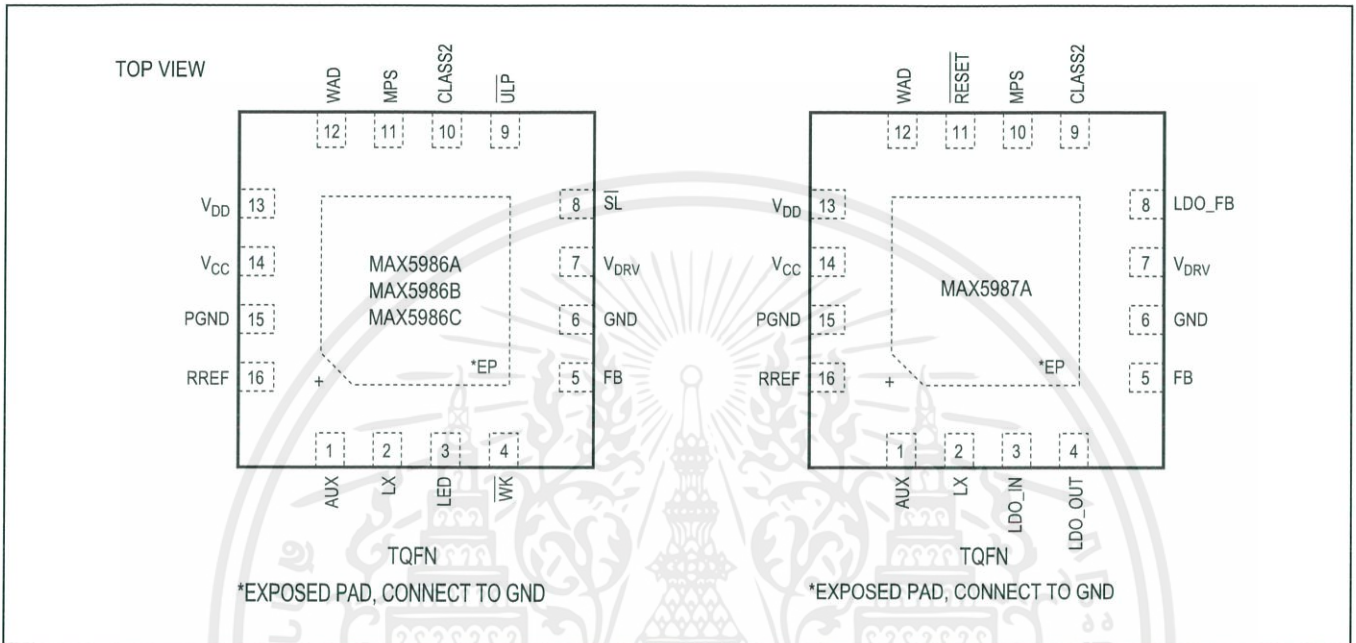


Typical Operating Characteristics (continued)

($T_A = +25^\circ\text{C}$, unless otherwise noted.)



Pin Configuration



Pin Description

PIN		NAME	FUNCTION
MAX5986A/MAX5986B/ MAX5986C	MAX5987A		
1	1	AUX	Auxiliary Voltage Input. Auxiliary input to the internal regulator (V_{DRV}). Connect AUX to the output of the buck converter if the output voltage is greater than 4.75V to back bias the internal circuitry and increase efficiency. Connect to a clean ground when not used.
2	2	LX	Inductor Connection. Inductor connection for the internal DC-DC converter.
3	—	LED	LED Driver Output. In sleep mode, LED sources a periodic current (I_{LED}) at 250Hz with 25% duty cycle.
—	3	LDO_IN	LDO Input Voltage. Connect LDO_IN to output when used, otherwise connect to GND. Connect a minimum 1 μ F bypass capacitor between LDO_IN and GND.
4	—	\overline{WK}	Wake Mode Enable Input. \overline{WK} has an internal 50k Ω pullup resistor to the internal 5V bias rail. A falling edge on \overline{WK} brings the device out of sleep mode and into the normal operating mode (wake mode).
—	4	LDO_OUT	LDO Output Voltage. Connect a minimum 1 μ F output capacitor between LDO_OUT and GND.
5	5	FB	Feedback. Feedback input for the DC-DC buck converter. Connect FB to a resistive divider from the output to GND to adjust the output voltage.

Pin Description (continued)

PIN		NAME	FUNCTION
MAX5986A/MAX5986B/ MAX5986C	MAX5987A		
6	6	GND	Ground. Reference rail for the device. It is also the “quiet” ground for all voltage reference (e.g., FB is referenced to this GND).
7	7	V _{DRV}	Internal 5V Regulator Voltage Output. The internal voltage regulator provides 5V to the MOSFET driver and other internal circuits. V _{DRV} is referenced to GND. Do not use V _{DRV} to drive external circuits. Connect a 1μF bypass capacitor between V _{DRV} and GND.
8	—	$\overline{\text{SL}}$	Sleep Mode Enable Input. A falling edge on $\overline{\text{SL}}$ brings the device into sleep mode. An external resistor (R _{SL}) connected between $\overline{\text{SL}}$ and GND sets the LED current (I _{LED}).
—	8	LDO_ FB	LDO Regulator Feedback Input. Connect to V _{DRV} to get the preset LDO output voltage of 3.3V, or connect to a resistive divider from the LDO_OUT to GND for an adjustable LDO output voltage.
9	—	$\overline{\text{ULP}}$	Ultra-Low-Power Mode Enable Input. $\overline{\text{ULP}}$ has an internal 50kΩ pullup resistor to the internal 5V bias rail. A falling edge on $\overline{\text{SL}}$ while $\overline{\text{ULP}}$ is asserted low enables ultra-low power mode. When ultra-low power mode is enabled, the power consumption of the device is reduced even lower than sleep mode to comply with ultra-low power sleep power requirements while still supporting MPS.
10	9	CLASS2	Class 2 Selection Input. Connect to V _{DRV} for Class 2 operation. Connect to GND for Class 1 operation.
11	10	MPS	MPS Enable Input. Connect to V _{DRV} to turn the MPS function on. Connect to GND to turn MPS off.
—	11	RESET	Open-Drain RESET Output. The RESET output is driven low if either LDO_OUT or FB drops below 90% of its set value. RESET goes high 100μs after both LDO_OUT and FB rise above 95% of their set values. Leave unconnected when not used.
12	12	WAD	Wall Power Adapter Detector Input. Wall adapter detection is enabled when the voltage from WAD to GND is greater than 8.8V. When a wall power adapter is present, the isolation p-channel power MOSFET turns off. Connect WAD directly to GND when the wall power adapter or other auxiliary power source is not used.
13	13	V _{DD}	Positive Supply Input. Connect a 68nF (min) bypass capacitor between V _{DD} and PGND.
14	14	V _{CC}	DC-DC Converter Power Input. V _{DD} is connected to V _{CC} by an isolation p-channel MOSFET. Connect a 10μF capacitor in parallel with a 1μF ceramic capacitor between V _{CC} and PGND.
15	15	PGND	Power Ground. Power ground of the DC-DC converter power stage. Connect PGND to GND with a star connection. Do not use PGND as reference for sensitive feedback circuit.
16	16	RREF	Signature Resistor Connection. Connect a 24.9kΩ resistor (R _{SIG}) to GND.
—	—	EP	Exposed Pad. Connect the exposed pad to ground.

Detailed Description

PD Interface

The devices include complete interface functions for a PD to comply with the IEEE 802.3af standard as a Class 1/Class 2 PD. The devices provide the detection and classification signatures using a single external signature resistor. An integrated MOSFET provides isolation from the buck converter when the PSE has not applied power. The devices guarantee a leakage current offset of less than 10 μ A during the detection phase. The devices feature power-mode undervoltage-lockout (UVLO) with wide hysteresis and long deglitch time to compensate for twisted-pair-cable resistive drop and to ensure glitch-free transitions between detection, classification, and power-on/-off modes.

Operating Modes

The devices operate in three different modes depending on V_{DD} . The three modes are detection mode, classification mode, and power mode. The device is in detection mode when V_{DD} is between 1.4V and 10.1V, classification mode when V_{DD} is between 12.6V and 20V, and power mode when the input voltage exceeds V_{ON} .

Detection Mode (1.4V $\leq V_{DD} \leq$ 10.1V)

In detection mode, the devices provide a signature differential resistance to V_{DD} . During detection, the power-sourcing equipment (PSE) applies two voltages to V_{DD} , both between 1.4V and 10.1V with a minimum 1V increment. The PSE computes the differential resistance to ensure the presence of the 24.9k Ω signature resistor. Connect the 24.9k Ω signature resistor (R_{SIG}) from RREF to GND for proper signature detection. The device applies V_{DD} to RREF when in detection mode, and the V_{DD} offset current due to the device is less than 10 μ A. The DC offset due to protection diodes does not significantly affect the signature resistance measurement.

Classification Mode (12.6V $\leq V_{DD} \leq$ 20V)

In classification mode, the devices sink Class 1/Class 2 classification currents. The PSE applies a classification voltage between 12.6V and 20V, and measures the classification currents. The devices use the external 24.9k Ω resistor (R_{SIG}) and the CLASS2 pin to set the classification current at 10.5mA (Class 1) or 18.5mA (Class 2). The devices provide either Class 1 (CLASS2 = GND) or Class 2 (CLASS2 = V_{DRV}). The PSE uses this to determine

the maximum power to deliver. The classification current includes current drawn by the supply current of the device so the total current drawn by the PD is within the IEEE 802.3af standard. The classification current is turned off when the device leaves classification mode.

Power Mode ($V_{DD} \geq V_{ON}$)

In power mode, the devices have the isolation MOSFET between V_{DD} and V_{CC} fully on. The MAX5987A has the buck regulator enabled and the LDO enabled. The MAX5986A–MAX5986C can be in either wake mode, sleep mode, or ultra-low power mode. The buck regulator is enabled when the MAX5986A–MAX5986C is in wake mode.

The devices enter power mode when V_{DD} rises above the undervoltage lockout threshold (V_{ON}). When V_{DD} rises above V_{ON} , the device turns on the internal p-channel isolation MOSFET to connect V_{CC} to V_{DD} with inrush current limit internally set to 49mA (typ). The isolation MOSFET is fully turned on when V_{CC} is near V_{DD} and the inrush current is below the inrush limit. Once the isolation MOSFET is fully turned on, the device changes the current limit to 323mA. The buck converter turns on 123ms after the isolation MOSFET turns on fully.

Undervoltage Lockout

The devices operate with up to a 60V supply voltage with a turn-on UVLO threshold (V_{ON}) at 35.4V/38.7V (typ), and a turn-off UVLO threshold (V_{OFF}) at 31.4V (typ). When the input voltage is above V_{ON} , the device enters power mode and the internal isolation MOSFET is turned on. When the input voltage is below V_{OFF} for more than t_{OFF_DLY} , the MOSFET and the buck converter are off.

LED Driver (MAX5986A–MAX5986C)

The MAX5986A–MAX5986C drive an LED, or multiple LEDs in series, with a maximum LED voltage of 6.5V. In sleep mode and ultra-low power mode, the LED current is pulse width modulated with a duty cycle of 25% and the amplitude is set by R_{SL} . The LED driver current amplitude is programmable from 10mA to 20mA using R_{SL} according to the formula:

$$I_{LED} = 646/R_{SL} \text{ (mA)}$$

where R_{SL} is in k Ω .

Sleep and Ultra-Low Power Modes (MAX5986A–MAX5986C)

The MAX5986A–MAX5986C feature a sleep mode and an ultra-low power mode in which the internal p-channel isolation MOSFET is kept on and the buck regulator is off. In sleep mode, the LED driver output (LED) pulse width of the MAX5986B/MAX5986C modulates the LED current with a 25% duty cycle, while the MAX5986A does 100% only. The peak LED current (I_{LED}) is set by an external resistor R_{SL} . To enable sleep mode, apply a falling edge to \overline{SL} with \overline{ULP} disconnected or high impedance. Sleep mode can only be entered from wake mode.

Ultra-low power mode allows the devices to reduce power consumption lower than sleep mode, while maintaining the power signature of the IEEE standard. The ultra-low power-mode enable input \overline{ULP} is internally held high with a 50k Ω pullup resistor to the internal 5V bias of the device. To enable ultra-low power mode, apply a falling edge to \overline{SL} with $\overline{ULP} = \text{LOW}$. Ultra-low power mode can only be entered from wake mode.

To exit from sleep mode or ultra-low power mode and resume normal operation, apply a falling edge on the wake-mode enable input (\overline{WK}).

Thermal-Shutdown Protection

If the devices' die temperature reaches 151°C, an over-temperature fault is generated and the device shuts down. The die temperature must cool down below +135°C to remove the overtemperature fault condition. After a thermal shutdown condition clears, the device is reset.

WAD Description

For applications where an auxiliary power source such as a wall power adapter is used to power the PD, the devices feature wall power adapter detection.

The wall power adapter is connected from WAD to PGND. The devices detect the wall power adapter when the voltage from WAD to PGND is greater than 8.8V. When a wall power adapter is detected, the internal isolation MOSFET is turned off, classification current is disabled.

Connect the auxiliary power source to WAD, connect a diode from WAD to V_{DD} , and connect a diode from WAD to V_{CC} . See the typical application circuit in Figure 2.

The application circuit must ensure that the auxiliary power source can provide power to V_{DD} and V_{CC} by means of external diodes. The voltage on V_{DD} must be within the V_{DD} voltage range to allow the DC-DC to operate. To allow operation of the DC-DC converter, the V_{DD} and V_{CC} voltage must be greater than 8V on the rising edge, while on the falling edge the V_{DD} and V_{CC} may fall down to 7.3V, keeping the DC-DC converter on.

Note: When operating solely with a wall power adapter, the WAD voltage must be able to meet the condition $V_{DD} > 8V$, that likely results in $WAD > 8.8V$.

Internal Linear Regulator and Back Bias

An internal voltage regulator provides V_{DRV} to internal circuitry. The V_{DRV} output is filtered by a 1 μF capacitor connected from V_{DRV} to GND. The regulator is for internal use only and cannot be used to provide power to external circuits. V_{DRV} can be powered by either V_{DD} or V_{AUX} , depending on V_{AUX} . The internal regulator is used for both PD and buck converter operations.

V_{OUT} can be used to back bias the V_{DRV} voltage regulator if V_{OUT} is greater than 4.75V. Back biasing V_{DRV} increases device efficiency by drawing current from V_{OUT} instead of V_{DD} . If V_{OUT} is used as back bias, connect AUX directly to V_{OUT} . In this configuration, the V_{DRV} source switches from V_{DD} to V_{AUX} after the buck converter's output has reached its regulation voltage.

Cable Discharge Event Protection (CDE)

A 70V voltage clamp is integrated to protect the internal circuits from a cable discharge event.

DC-DC Buck Converter

The DC-DC buck converter uses a PWM, peak current-mode, fixed-frequency control scheme providing an easy-to-implement architecture without sacrificing a fast transient response. The buck converter operates in a wide input voltage range from 8V to 60V and supports up to 6.49W of input power. The devices provide a wide array of protection features including UVLO, overtemperature shutdown, short-circuit protection with hiccup runaway current limit, cycle-by-cycle peak current protection, and cycle-by-cycle output overvoltage protection, for enhanced performance and reliability. A frequency foldback scheme is implemented to reduce the switching frequency to half at light loads to increase the efficiency.

Frequency Foldback Protection for High-Efficiency Light-Load Operation

The devices enter frequency foldback mode when eight consecutive inductor current zero-crossings occur. The switching frequency is 215kHz or 430kHz under loads large enough that the inductor current does not cross zero. In frequency foldback mode, the switching frequency is reduced to 107.5kHz or 215kHz to increase power conversion efficiency. The device returns to normal mode when the inductor current does not cross zero for eight consecutive switching periods. Frequency foldback mode is forced during startup until 50% of the soft-start is completed.

Hiccup Mode

The devices include a hiccup protection feature. When hiccup protection is triggered, the devices turn off the high-side and turn on the low-side MOSFET until the inductor current reaches the valley current limit. The control logic waits 154ms (77ms for the MAX5986C) until attempting a new soft-start sequence. Hiccup mode is triggered if the current in the high-side MOSFET exceeds the runaway current-limit threshold, both during soft-start and during normal operating mode. Hiccup mode can also be triggered in normal operating mode in the case of an output undervoltage event. This happens if the regulated feedback voltage drops below 60% (typ).

RESET Output (MAX5987A)

The MAX5987A features an open-drain $\overline{\text{RESET}}$ output that indicates if either the LDO or the switching regulator drop out of regulation. The $\overline{\text{RESET}}$ output goes low if either regulator drops below 92% of its regulated feedback value. $\overline{\text{RESET}}$ goes high impedance 100 μs after both regulators are above 95% of their value.

Maintain Power Signature (MPS)

The devices feature the MPS to comply to the IEEE 802.3af standard. They are able to maintain a minimum current (10mA) of the port to avoid the power disconnection from the PSE. The devices enter the MPS when the port current is lower than 14mA and also exit the MPS mode when the port current is greater than 40mA. The feature is enabled by connecting the MPS pin to V_{DRV} , or disabled by connecting the MPS pin to GND.

$\overline{\text{RSL}}$ is required in MPS mode

Applications Information

Operation with Wall Adapter

For applications where an auxiliary power source, such as a wall power adapter, is used to power the PD, the devices feature wall power adapter detection. The device gives priority to the WAD supply over V_{DD} supply, and smoothly switches the power supply to WAD when it is detected. The wall power adapter is connected from WAD to PGND. The devices detect the wall power adapter when the voltage from WAD to PGND is greater than 8.8V. When a wall power adapter is detected, the internal isolation MOSFET is turned off, classification current is disabled and the device draws power from the auxiliary power source through V_{CC} . Connect the auxiliary power source to WAD, connect a diode from WAD to V_{CC} . See the typical application circuit in Figure 2.

Adjusting LDO Output Voltage (MAX5987A)

An uncommitted LDO regulator is available to provide a supply voltage to external circuits. A preset voltage of 3.3V is set by connecting LDO_FB directly to VDRV. For different output voltages connect a resistor divider from LDO_OUT and LDO_FB to GND. The total feedback resistance should be in the range of 100k Ω . The maximum output current is 85mA and thermal considerations must be taken to prevent triggering thermal shutdown. The LDO regulator can be powered by VOUT, a different power supply, or grounded when not used. The LDO is enabled once the buck converter has reached the regulation voltage. The LDO is disabled when the buck converter is turned off or not regulating.

Adjusting Buck Converter Output Voltage

The buck converter output voltage is set by changing the feedback resistor-divider ratio. The output voltage can be set from 3.0V to 5.6V (MAX5986A/MAX5987A) or 5.4V to 14V (MAX5986B/MAX5986C). The FB voltage is regulated to 1.225V. Keep the trace from the FB pin to the center of the resistive divider short, and keep the total feedback resistance around 100k Ω .

Inductor Selection

Choose an inductor with the following equation:

$$L = \frac{V_{OUT} \times (V_{IN} - V_{OUT})}{f_S \times V_{IN} \times L_{IR} \times I_{OUT(MAX)}}$$

where LIR is the ratio of the inductor ripple current to full load current at the minimum duty cycle. Choose LIR between 20% to 40% for best performance and stability. Use an inductor with the lowest possible DC resistance that fits in the allotted dimensions. Powdered iron ferrite core types are often the best choice for performance. With any core material, the core must be large enough not to saturate at the current limit of the devices.

VCC Input Capacitor Selection

The input capacitor reduces the current peaks drawn from the input power supply and reduces switching noise in the IC. The total input capacitance must be equal or greater than the value given by the following equation to keep the input-ripple voltage within specification and minimize the high-frequency ripple current being fed back to the input source:

$$C_{IN_MIN} = \frac{D \times T_S \times I_{OUT}}{V_{IN_RIPPLE}}$$

where V_{IN_RIPPLE} is the maximum allowed input ripple voltage across the input capacitors and is recommended to be less than 2% of the minimum input voltage. D is the duty cycle (V_{OUT}/V_{IN}) and T_S is the switching period ($1/f_S$).

The impedance of the input capacitor at the switching frequency should be less than that of the input source so high-frequency switching currents do not pass through the input source, but are instead shunted through the input capacitor. The input capacitor must meet the ripple current requirement imposed by the switching currents. The RMS input ripple current is given by:

$$I_{RIPPLE} = I_{LOAD} \times \sqrt{\frac{V_{OUT} \times (V_{IN} - V_{OUT})}{V_{IN}}}$$

where I_{RIPPLE} is the input RMS ripple current.

Output Capacitor Selection

The key selection parameters for the output capacitor are capacitance, ESR, ESL, and voltage-rating requirements.

These affect the overall stability, output ripple voltage, and transient response of the DC-DC converter. The output ripple occurs due to variations in the charge stored in the output capacitor, the voltage drop due to the capacitor's ESR, and the voltage drop due to the capacitor's ESL. Estimate the output-voltage ripple due to the output capacitance, ESR, and ESL:

$V_{RIPPLE} = V_{RIPPLE(C)} + V_{RIPPLE(ESR)} + V_{RIPPLE(ESL)}$
where the output ripple due to output capacitance, ESR, and ESL is:

$$V_{RIPPLE(C)} = \frac{I_{P_P}}{8 \times C_{OUT} \times f_S}$$

$$V_{RIPPLE(ESR)} = I_{P_P} \times ESR$$

$$V_{RIPPLE(ESL)} = \frac{I_{P_P}}{t_{ON}} \times ESL$$

or

$$V_{RIPPLE(ESL)} = \frac{I_{P_P}}{t_{OFF}} \times ESL$$

or whichever is larger. The peak-to-peak inductor current (I_{P_P})

$$I_{P_P} = \frac{V_{IN} - V_{OUT}}{f_S \times L} \times \frac{V_{OUT}}{V_{IN}}$$

Use these equations for initial output capacitor selection. Determine final values by testing a prototype or an evaluation circuit. A smaller ripple current results in less output-voltage ripple. Since the inductor ripple current is a factor of the inductor value, the output-voltage ripple decreases with larger inductance. Use ceramic capacitors for low ESR and low ESL at the switching frequency of the converter. The ripple voltage due to ESL is negligible when using ceramic capacitors.

Load-transient response depends on the selected output capacitance. During a load transient, the output instantly changes by $ESR \times I_{LOAD}$. Before the controller can respond, the output deviates further, depending on the inductor and output capacitor values. After a short time, the controller responds by regulating the output voltage back to its predetermined value. The controller response time depends on the closed-loop bandwidth. A higher bandwidth yields a faster response time, preventing the output from deviating further from its regulating value.

Table 1. Design Selection Table

OUTPUT	C _{IN}		C _{OUT}	L	CLASS
	CERAMIC	ELECTROLYTIC	CERAMIC		
3.3V	2.2μF/100V	10μF/63V	3x22μF/6.3V	33μH/1.4A	1
5V	2.2μF/100V	10μF/63V	3x22μF/6.3V	47μH/1.6A	1 or 2
12V	2.2μF/100V	10μF/63V	2x10μF/16V	220μ/0.8A*	1 or 2

*100μH/0.8A is recommended for with the MAX5986C.

PCB Layout

Careful PCB layout is critical to achieve clean and stable operation. It is highly recommended to duplicate the MAX5986A EV kit layout for optimum performance. If deviation is necessary, follow these guidelines for good PCB layout:

- 1) Connect input and output capacitors to the power ground plane; connect all other capacitors to the signal ground plane.
- 2) Place capacitors on V_{DD}, V_{CC}, AUX, V_{DRV} as close as possible to the IC and its corresponding pin using direct traces. Keep power ground plane (connected to PGND) and signal ground plane (connected to GND) separate.
- 3) Keep the high-current paths as short and wide as possible. Keep the path of switching current short and minimize the loop area formed by LX, the output capacitors, and the input capacitors.
- 4) Connect V_{DD}, V_{CC}, and PGND separately to a large copper area to help cool the IC to further improve efficiency and long-term reliability.
- 5) Ensure all feedback connections are short and direct. Place the feedback resistors and compensation components as close as possible to the IC.
- 6) Route high-speed switching nodes, such as LX, away from sensitive analog areas (FB).
- 7) Place enough vias in the pad for the EP of the MAX5986A–MAX5986C/MAX5987A so that heat generated inside can be effectively dissipated by the PCB copper. The recommended spacing for the vias is 1mm to 1.2mm pitch. The thermal vias should be plated (1oz copper) and have a small barrel diameter (0.3mm to 0.33mm).

Typical Application Circuits

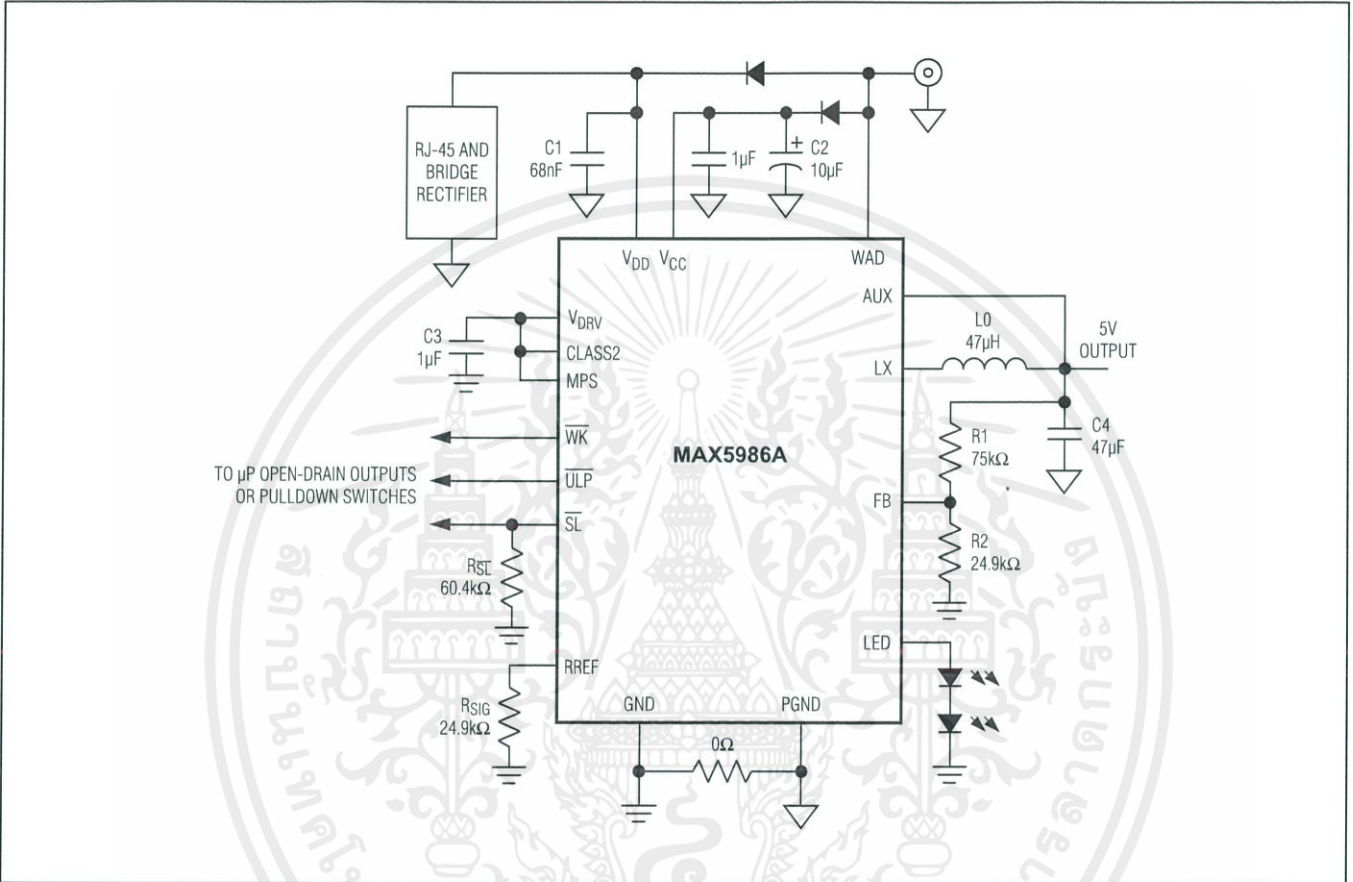


Figure 3. MAX5986A 5V Output with Back Bias

Typical Application Circuits (continued)

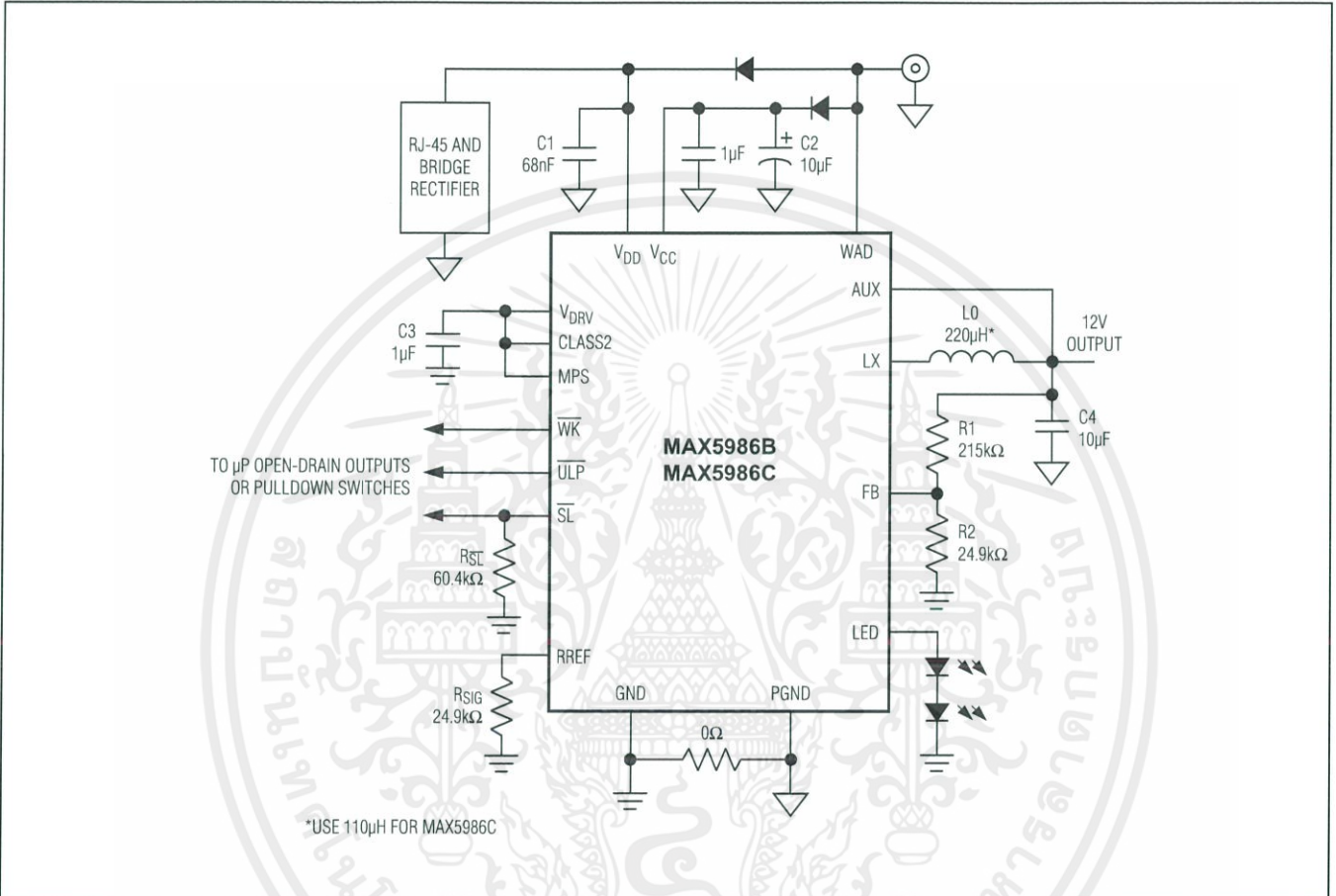


Figure 4. MAX5986B/MAX5986C 12V Output with Back Bias

Typical Application Circuits (continued)

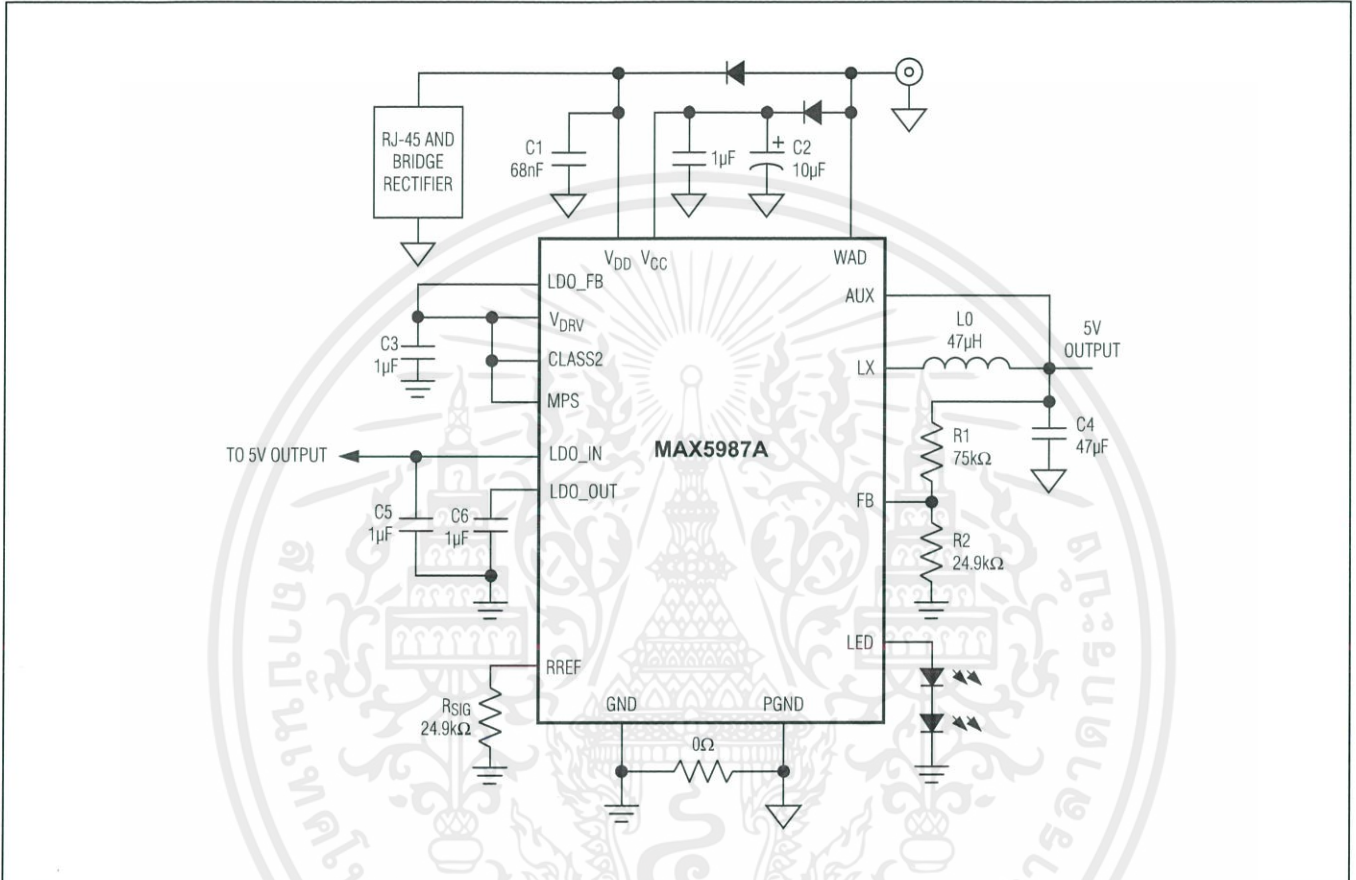
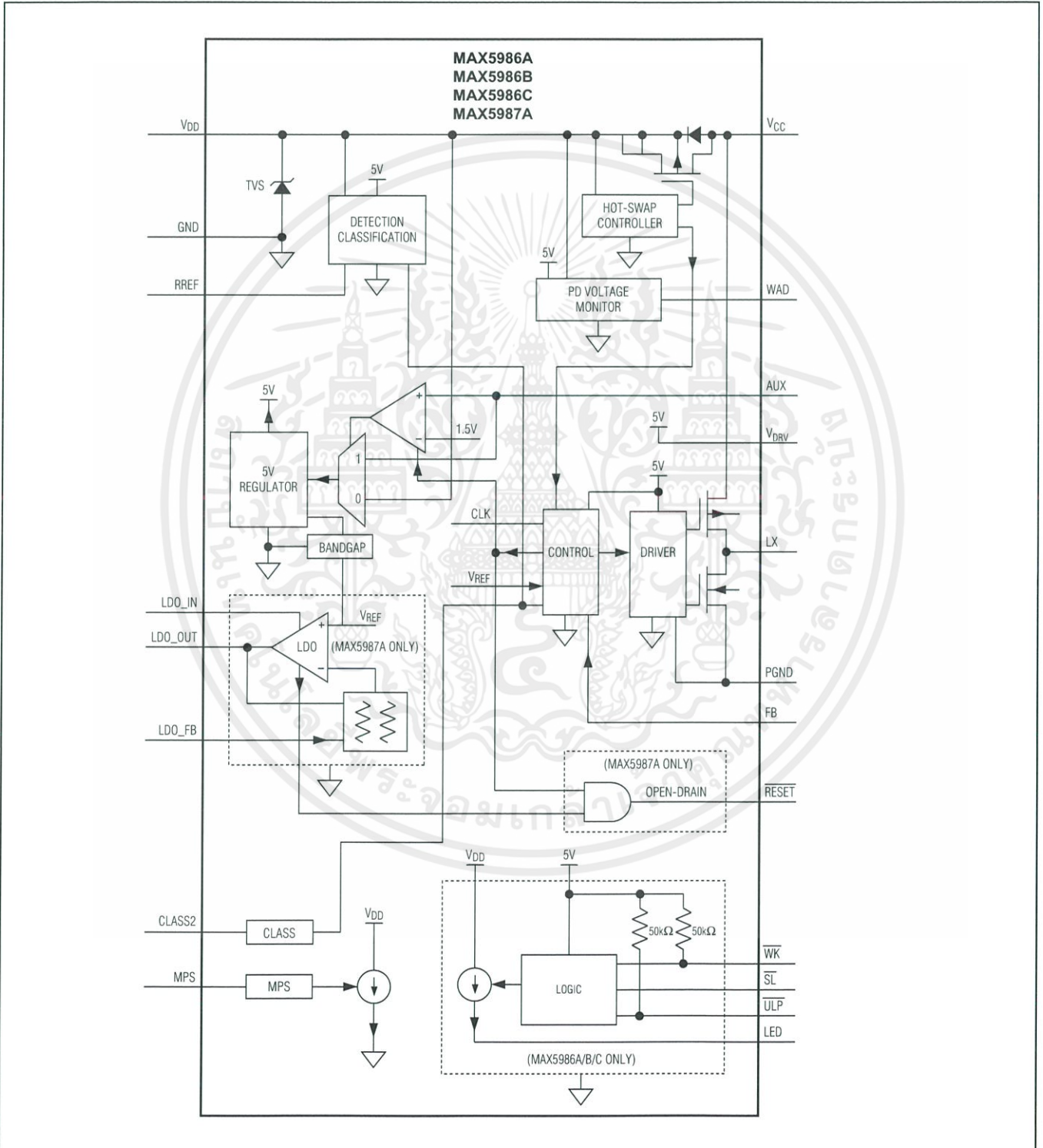


Figure 5. MAX5987A 5V Buck Regulator Output and 3.3V LDO Output

Functional Diagram



MAX5986A–MAX5986C/
MAX5987A

IEEE 802.3af-Compliant, High-Efficiency,
Class 1/Class 2, PDs with Integrated
DC-DC Converter

Ordering Information

PART	PIN-PACKAGE	SLEEP/ULP MODE	LED CURRENT DUTY CYCLE	LDO	UVLO (V)	RESET	f _{sw} (kHz)
MAX5986AETE+	16 TQFN-EP*	Yes	100%	No	35.7	No	215
MAX5986BETE+	16 TQFN-EP*	Yes	25%	No	35.7	No	215
MAX5986CETE+	16 TQFN-EP*	Yes	25%	No	35.7	No	430
MAX5987AETE+	16 TQFN-EP*	No	n/a	Yes	38.7	Yes	215

+Denotes a lead(Pb)-free/RoHS-compliant package.

*EP = Exposed pad.

Chip Information

PROCESS: BiCMOS

Package Information

For the latest package outline information and land patterns (footprints), go to www.maximintegrated.com/packages. Note that a "+", "#", or "-" in the package code indicates RoHS status only. Package drawings may show a different suffix character, but the drawing pertains to the package regardless of RoHS status.

PACKAGE TYPE	PACKAGE CODE	OUTLINE NO.	LAND PATTERN NO.
16 TQFN-EP	T1655-4	<u>21-0140</u>	<u>90-0121</u>

Revision History

REVISION NUMBER	REVISION DATE	DESCRIPTION	PAGES CHANGED
0	4/12	Initial release	—
1	12/12	Added MAX5986B and MPS and CLASS2 features	1–20
2	4/13	Corrected error in <i>Pin Configurations</i> and replaced TOC12	10, 11
3	1/14	Added MAX5986C	1–23
4	12/14	Changed f_{sw} of MAX5986A to 215kHz and changed LED current of MAX5986A	1–23
5	1/15	Updated <i>Benefits and Features</i> section	1
6	11/16	Updated <i>Electrical Characteristics</i> table	5
7	11/18	Updated <i>Maintain Power Signature (MPS)</i>	15

For pricing, delivery, and ordering information, please visit Maxim Integrated's online storefront at <https://www.maximintegrated.com/en/storefront/storefront.html>.

Maxim Integrated cannot assume responsibility for use of any circuitry other than circuitry entirely embodied in a Maxim Integrated product. No circuit patent licenses are implied. Maxim Integrated reserves the right to change the circuitry and specifications without notice at any time. The parametric values (min and max limits) shown in the *Electrical Characteristics* table are guaranteed. Other parametric values quoted in this data sheet are provided for guidance.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
Maxim Integrated and the Maxim Integrated logo are trademarks of Maxim Integrated Products, Inc. © 2018 Maxim Integrated Products, Inc. | 23

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้