รายงานสหกิจศึกษาฉบับสมบูรณ์

ปรับปรุงกระบวนการทดสอบผลิตภัณฑ์ในขั้นตอน quality control

Improve the product testing in the quality control process

นายธนากร จันทร์สุดชา

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2561

รายงานสหกิจศึกษาฉบับสมบูรณ์

ปรับปรุงกระบวนการทดสอบผลิตภัณฑ์ในขั้นตอน quality control

Improve the product testing in the quality control process

นายธนากร จันทร์สุดชา

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2561

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อโครงงานสหกิจศึกษา ปรับปรุงกระบวนการทดสอบผลิตภัณฑ์ในขั้นตอน quality control

ชื่อ-สกุล นักศึกษา นายธนากร จันทร์สุดชา

คณะ วิศวกรรมศาสตร์ **ภาควิชา** อิเล็กทรอนิกส์

ชื่อ-สกุล อาจารย์นิเทศ นายชินภัทร นันทจิวากรชัย, ดร.เกรียงไกร สุขสุด

ชื่อ-สกุล ผู้นิเทศงาน นายสมมาตร สกุณาเรืองศรี

ชื่อสถานประกอบการ บริษัท ไมโครชิพ เทคโนโลยี(ไทยแลนด์) จำกัด

บทคัดย่อ

โครงงานสหกิจฉบับนี้ เป็นการศึกษาการทำงานในสถานประกอบการและเรียนรู้การใช้โปรแกรมและเครื่องจักรให้เกิดความชำนาญ ในส่วนของโครงงานฉบับนี้เกิดจากผลิตภัณฑ์ของทางสถานประกอบการไม่ได้คุณภาพตามที่ต้องการในขั้นตอนยืนยันการทดสอบ ด้วยโปรแกรมควบคุมคุณภาพแต่กลับผ่านการทดสอบขั้นตอนแรกมาได้ ปัญหานี้เกิดขึ้นอยู่บ่อยครั้ง เราจึงได้จัดทำโครงงานนี้มาเพื่อแก้ไขปัญหา โดยการวิเคราะห์สาเหตุของงานที่ไม่ได้คุณภาพ และออกแบบโปรแกรมให้เหมาะสมกับเครื่องจักรเพื่อให้เกิดความเสถียรภาพและความแม่นยำในการทดสอบ เพื่อลดจำนวนตัวงานที่ไม่ได้คุณภาพให้น้อยลง และลดต้นทุนให้กับทางสถานประกอบการ

คำสำคัญ : ยืนยัน/ควบคุม/คุณภาพ/ โปรแกรม/ เครื่องจักร/ การปรับปรุง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Co-operative Title: Improve the product testing in the quality control process

Student Intern Name: Mr. Thanakorn Jansudcha

Faculty: Engineering **Department:** Electronics

Advisor Name: Mr. Chinnapat Nantajiwakornchai, Dr. Kriangkrai Suksud

Mentor Name: Mr. Sommart Sakunaruangsri

Company: MICROCHIP TECHNOLOGY (THAILAND) LTD.

ABSTRACT

This cooperative project. To study the workplace and to learn how to use the program and machinery to expertise. This part of the project is based on the product quality of the establishment, not the quality required in the test procedure (Retest) with the Quality control program, but has passed the final test test. often We have created this project to solve the problem. By analyzing the causes of non-quality work. Design the program to fit the machine to ensure the stability and accuracy of the test. To reduce the number of non-quality work. And reduce costs to the establishment.

Keywords: Retest/Quality control/ Program/ Machine/ Improvement

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การทำโครงงานเรื่อง ปรับปรุงกระบวนการทดสอบผลิตภัณฑ์ในขั้นตอนยืนยันการทดสอบ (Retest) ที่โปรแกรม quality control ครั้งนี้สำเร็จลุล่วงไปได้ด้วยดีต้องขอขอบพระคุณ บริษัท ไมโครชิพ เทคโนโลยี (ไทยแลนด์) จำกัด ที่ช่วยสนับสนุนด้านอุปกรณ์และสถานที่ในการทำโครงงานชิ้นนี้ ขอขอบพระคุณ คุณสมมาตร สกุณาเรืองศรี (หัวหน้าทีม) ที่ดูแลเป็นอย่างดี ขอขอบพระคุณ คุณนวพล พลคิต และ คุณนรเศรษฐ์ สุชาติ (พี่เลี้ยง) ที่คอยช่วยสอนและให้คำแนะนำมาตลอด ขอขอบพระคุณพี่พนักงาน Operator และ Technician ทุกคนที่ใช้ความช่วยเหลือและให้ความร่วมมือในโครงงานชิ้นนี้ ขอขอบคุณพี่วิศวกรสำหรับข้อมูลที่มีความจำเป็นในโครงงานนี้ ขอขอบพระคุณ นายชินภัทร นันทจิวากรชัย, ดร.เกรียงไกร สุขสุด (อาจารย์ที่ปรึกษา) ที่คอยดูแล ประสานงานงานและคำแนะนำเกี่ยวโครงการสหกิจศึกษา ขอขอบคุณเพื่อน พี่ และน้องที่คอยให้กำลังใจที่ดีในการทำงานมาโดยตลอด และสุดท้ายนี้ต้องขอขอบพระคุณคุณพ่อและคุณแม่ที่คอยเลี้ยงดู สนับสนุนและให้กำลังใจตลอดการทำงานที่ผ่านมา ผู้จัดทำขอมอบคำขอบคุณแด่ผู้มีพระคุณทุกท่านมา ณ ที่นี้ ข้าพเจ้าหวังเป็นอย่างยิ่งว่า โครงงานฉบับนี้จะเป็นประโยชน์ต่อผู้อื่นไม่มากก็น้อย ขอขอบพระคุณครับ

นายธนากร จันทร์สุดชา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย I

บทคัดย่อภาษาอังกฤษ II

กิตติกรรมประกาศ III

สารบัญ IV

สารบัญตาราง VI

สารบัญภาพ VII

บทที่ 1 บทนำ 1

1.1 ความเป็นมาและความสำคัญของปัญหา 1

1.2 วัตถุประสงค์ของโครงงาน 1

1.3 ขอบเขตในการจัดทำโครงงาน 1

1.4 เป้าหมายในการจัดทำโครงงาน 2

1.5 วิธีดำเนินการโครงงาน 2

1.6 ประโยชน์ที่คาดว่าจะได้รับ 2

บทที่ 2 หลักการและทฤษฎีที่เกี่ยวข้อง 3

2.1 กระบวนการประกอบวงจรรวม 3

2.2 กระบวนการ STRIP TEST 11

บทที่ 3 การออกแบบและการดำเนินงาน 15

3.1 การระบุปัญหา 15

3.2 การวิเคราะห์ปัญหา 16

3.3 การปรับปรุงและแก้ไขปัญหา 30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

บทที่ 4 ผลการดำเนินงาน 33
4.1 ผลการดำเนินการปรับปรุง. 33
4.2 การดำเนินการควบคุม 35
บทที่ 5 สรุปผลการดำเนินงานและข้อเสนอแนะ 36
5.1 สรุปผลการดำเนินงาน. 36
5.2 ปัญหาและอุปสรรคในการดำเนินงาน 36
5.3 ข้อเสนอแนะ 36
เอกสารอ้างอิง 37
ภาคผนวก 38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ **หน้า**

1.1 ตารางแสดงแสดงขั้นตอนวิธีการดำเนินการโครงงานตั้งแต่เดือนสิงหาคมถึงพฤศจิกายน 2

3.1 ตารางแสดง UserID ของ Operator (บางส่วน) 20

3.2 ตารางแสดงการทดสอบงาน FT ที่ อุณหภูมิ 25 องศาเซลเซียลต่อจากการทดสอบงาน QC ที่ อุณหภูมิ 85-150 องศาเซลเซียล 25

3.3 ตารางแสดงสรุปปัจจัยที่มีนัยสำคัญของปัญหา Fail Vos ที่ขั้นตอน Retest 26

4.1 ตารางแสดงข้อมูลเมื่อนำโปรแกรมมาทำการทดสอบ 34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

ภาพที่ **หน้า**

2.1 ภาพตัวอย่างของชิ้นงาน ICs package ต่าง ๆ 3

2.2 ภาพแสดงกระบวนการ Assembly process mapping 4

2.3 ภาพแสดงกระบวนการ DIE BANK 4

2.4 ภาพแสดงกระบวนการ PROBE (Wafer test) 5

2.5 ภาพแสดงกระบวนการ BACKGRIND 5

2.6 ภาพแสดงกระบวนการ WAFER MOUNT 6

2.7 ภาพแสดงกระบวนการ WAFER SAW 6

2.8 ภาพแสดงกระบวนการ DIE ATTACH&CURE 7

2.9 ภาพแสดงกระบวนการ WIRE BOND 7

2.10 ภาพแสดงกระบวนการ Encapsulation (mold) 8

2.11 ภาพแสดงกระบวนการ LASER MARK 8

2.12 ภาพแสดงกระบวนการ 2D MARK 9

2.13 ภาพแสดงกระบวนการ PLATING 9

2.14 ภาพแสดงกระบวนการ TRIM & FORM 10

2.15 ภาพแสดงกระบวนการ SINGULATE TEST 10

2.16 ภาพแสดงกระบวนการ STRIP TEST 11

2.17 ภาพแสดงกระบวนการ ISOLATED LEAD 11

2.18 ภาพแสดงกระบวนการ STRIP TEST 12

2.19 ภาพแสดงกระบวนการ STRIP FINAL MARK 12

2.20 ภาพแสดงกระบวนการ FORMING SINGULATE 13

2.21 ภาพแสดงกระบวนการ LEAD SCAN 13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ(ต่อ)

ภาพที่ **หน้า**

2.22 ภาพแสดงกระบวนการ PACKING 14

2.23 ภาพแสดงกระบวนการ SHIPPING 14

3.1 กราฟแสดง Lots งานทั้งหมดที่ทำการทดสอบในปี 2017 15

3.2 แผนภาพ Fishbone Analysis 16

3.3 กราฟแสดง Number of Tester ที่ใช้ในทดสอบงานในปี 2017 17

3.4 กราฟแสดง Number of Handler ที่ใช้ในทดสอบงานในปี 2017 18

3.5 ภาพนี้เป็นภาพที่แสดงประวัติก่อนและหลังกระบวนการทดสอบของ MTAI174102265.000 21

3.6 กราฟแสดงการเปรียบเทียบระหว่างโปรแกรม FT และ QC ที่อุณหภูมิ 20C และ 25C 26

3.7 กราฟแสดงการเปรียบเทียบระหว่างโปรแกรม FT และ QC ที่อุณหภูมิ 25C 27

3.8 กราฟแสดงการเปรียบเทียบระหว่างโปรแกรม FT และ QC ที่อุณหภูมิ 30C และ 25C 27

3.9 กราฟแสดงการเปรียบเทียบระหว่างโปรแกรม FT และ QC ที่อุณหภูมิ 35C และ 25C 28

3.10 กราฟแสดงการเปรียบเทียบระหว่างโปรแกรม FT และ QC ที่อุณหภูมิ 45C และ 25C 28

3.11 กราฟแสดงการเปรียบเทียบระหว่างโปรแกรม FT และ QC ที่อุณหภูมิ 55C และ 25C 29

3.12 ภาพแสดงขณะที่แฮนเลอร์มีอุณหภูมิ 51 องศาเซลเซียล 30

3.13 ภาพแสดงขณะที่แฮนเลอร์มีอุณหภูมิ 29 องศาเซลเซียล 30

3.14 ภาพแสดงขณะที่แฮนเลอร์มีอุณหภูมิ 27 องศาเซลเซียล 31

3.15 ภาพแสดงเงื่อนไขเพิ่มลงในโปรแกรมทดสอบของเทสเตอร์ (Tester) 31

3.16 ภาพแสดงขณะที่แฮนเลอร์มีอุณหภูมิ 78 องศาเซลเซียล แต่โปรแกรมไม่สามารถให้ทำการทดสอบได้ เนื่องจากอุณหภูมิไม่อยู่ในช่วง 20 – 30 องศาเซลเซียล 32

3.17 ภาพแสดงขณะที่แฮนเลอร์มีอุณหภูมิ 21 องศาเซลเซียล โปรแกรมสามารถให้ทำการทดสอบได้ เนื่องจากอุณหภูมิอยู่ในช่วง 20 – 30 องศาเซลเซียล 32

4.1 ภาพแสดงการทำงานของเงื่อนไขที่เพิ่มเข้าไปในโปรแกรม Quality control ในขณะที่อุณหภูมิไม่เข้าเงื่อนไข 33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาพที่ **หน้า**

4.2 ภาพแสดงการทำงานของเงื่อนไขที่เพิ่มเข้าไปในโปรแกรม Quality control ในขณะที่อุณหภูมิเข้าเงื่อนไข 34
4.3 กราฟแสดงข้อมูลหลังแก้ไขปัญหา 35
ภาพที่ 3 ภาพแสดงส่วนของโปรแกรมเมื่อทำการแก้ไขแล้ว (Out case) 39
ภาพที่ 4 ภาพแสดงส่วนของโปรแกรมเมื่อทำการแก้ไขแล้ว (In case) 39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันนี้ชิ้นส่วนวงจรรวม (Integrate Circuits) หรือ ICs นั้นได้มีการใช้กันอย่างแพร่หลายในอุปกรณ์อิเล็กทรอนิกส์ต่าง ๆ ซึ่งได้เข้ามาบทบาทในชีวิตของมนุษย์เรามากขึ้น ส่วนใหญ่จะใช้ในด้านความสะดวกสบายในชีวิตประจำวัน ซึ่งจะอยู่ในอุปกรณ์อิเล็กทรอนิกส์ทุกชนิด ทั้งภายในรถยนต์ การสื่อสารและสิ่งต่าง ๆอีกมากมายที่อยู่รอบตัวเรา ทั้งนี้ในอุตสาหกรรมการผลิตและประกอบ ICs จึงมีความสำคัญและมีความจำเป็นมาก เนื่องจากมีความต้องการงานที่มีคุณภาพที่ดี และจากทางบริษัทมีนโยบายในการลด Waste ในกระบวนการผลิตให้มีของเสียน้อยที่สุด และจากการวิเคราะห์ข้อมูลของปัญหาพบว่าหนึ่งในกระบวนการที่มี Waste จำนวนมากคือ ขั้นตอนการทดสอบอีกครั้งเพื่อให้เกิดความแม่นยำ (Retest step)

ซึ่งในปัญหาเกิดจากการนำผลิตภัณฑ์ไปทดสอบในขั้นตอนยืนยันการทดสอบ (Retest) แล้วผลิตภัณฑ์บางตัวเกิดเสีย ซึ่งหากพบเจอผลิตภัณฑ์เสียในขั้นตอนยืนยันการทดสอบ (Retest) ในโปรแกรม Quality control เราจำเป็นต้องนำงานทั้ง Lot มาทดสอบใหม่ทั้งหมด (Rescreen) ซึ่งเป็นการเสียเวลามากเพราะแต่ละ Lot มีมากถึงหลักพันไปจนถึงหลักหมื่นตัว ผลิตภัณฑ์ที่เสียในที่นี้หมายถึงค่าบางค่าของผลิตภัณฑ์ในการทดสอบไม่ได้คุณภาพตามที่บริษัทกำหนดไว้ตาม Datasheet และสิ่งที่ตามมาคือเราจำเป็นต้องทิ้งผลิตภัณฑ์เสียพวกนี้ไป เพื่อให้ลูกค้าได้ผลิตภัณฑ์ที่มีคุณภาพที่ดีที่สุด

1.2 วัตถุประสงค์ของโครงงาน

1.2.1 เพื่อลดจำนวนผลิตภัณฑ์ที่เสียที่เกิดขึ้นในกระบวนการผลิต

1.2.2 เพื่อลดเวลา ในการทดสอบงานใหม่ทั้ง Lot (Rescreen)

1.3 ขอบเขตในการจัดทำโครงงาน

โครงงานนี้เป็นการนำข้อมูลปัญหามาวิเคราะห์และทำการแก้ไขปัญหา เพื่อลดจำนวนผลิตภัณฑ์ออปแอมป์ Package 8L SOIC ที่เสียหายจากการทดสอบโดยทดสอบด้วยแฮนด์เลอร์ (Handler) Aetrium(QTS) และ เทสเตอร์ (Tester) Engle 300 ในขั้นตอนยืนยันการทดสอบ (Retest)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 เป้าหมายในการจัดทำโครงงาน

โครงงานนี้เป็นการนำข้อมูลปัญหามาวิเคราะห์และทำการแก้ไขปัญหา เพื่อลดจำนวนผลิตภัณฑ์ออปแอมป์ Package 8L SOIC ภายใต้การทดสอบของเครื่องจักร Aetrium(QTS) ซึ่งอยู่ในขั้นตอนยืนยันการทดสอบ (Retest) ให้เจอจำนวนตัวผลิตภัณฑ์ที่เสียในขั้นตอนยืนยันการทดสอบ (Retest) น้อยลงหรือไม่มีเลย ให้ได้ภายใน 23 พฤศจิกายน 2561

1.5 วิธีดำเนินการโครงงาน

ตารางที่ 1.1 ตารางแสดงแสดงขั้นตอนวิธีการดำเนินการโครงงานตั้งแต่เดือนสิงหาคมถึงพฤศจิกายน

หัวข้อ	สิงหาคม				กันยายน				ตุลาคม				พฤศจิกายน			
	1	2	3	4	1	2	3	4	1	2	3	4	1	2	3	4
.1 ศึกษาหาข้อมูล Handler, Tester, Product	←	→														
2.สมมติฐานและหาสาเหตุของปัญหา			←	→												
3ทำการทดลองเก็บข้อมูล. เพื่ออ้างอิงสมมติฐาน					←			→								
4ออกแบบและแก้ไขปัญหา.								←			→					
5.ติดตั้งโปรแกรม												← →				
6. ใช้งานจริง บันทึกผล สรุปผล														←		→

1.6 ประโยชน์ที่คาดว่าจะได้รับ

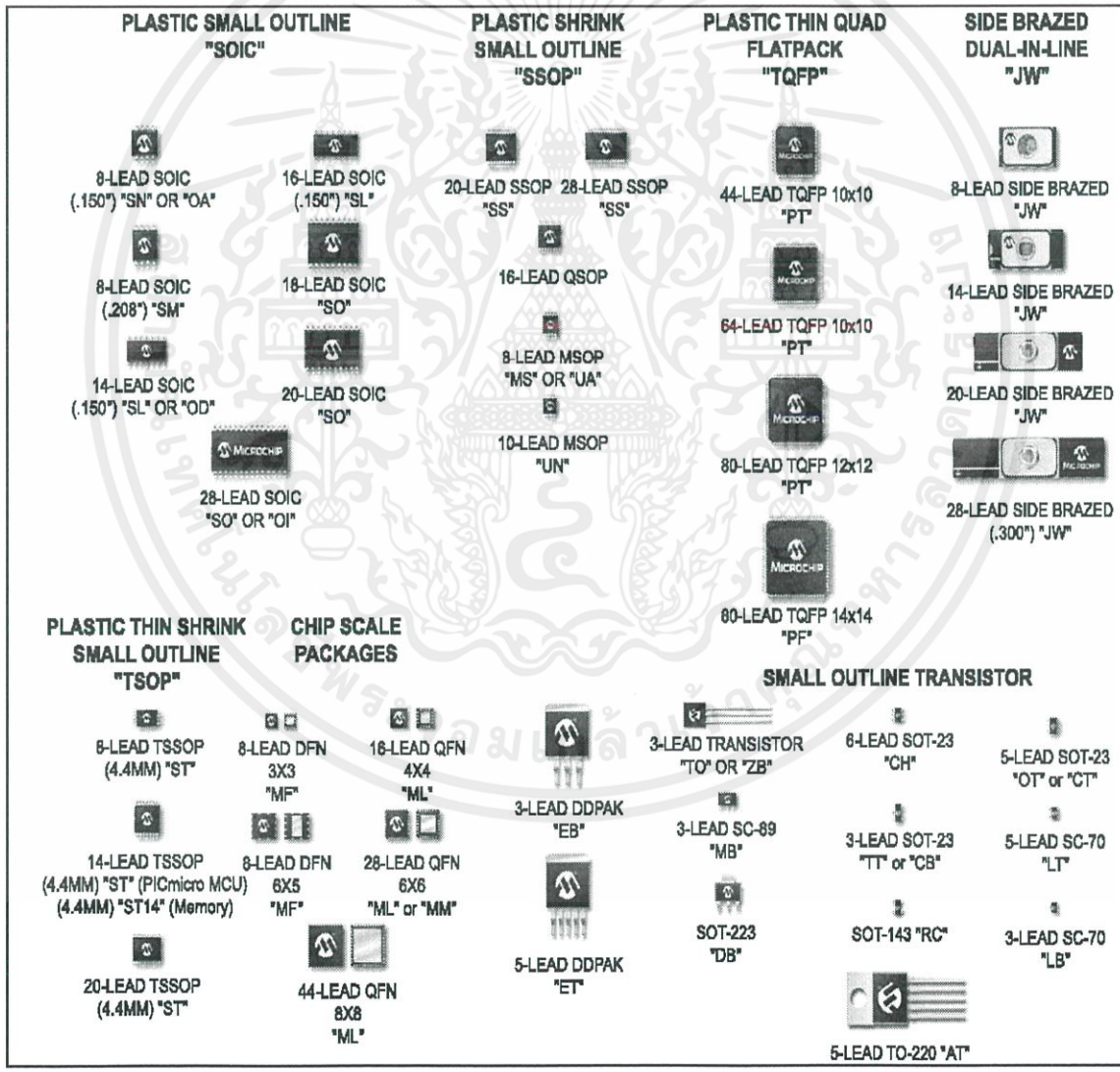
ได้เรียนรู้การทำงานในชีวิตจริง ทั้งบรรยากาศการทำงานจริง ประสบการณ์ในการทำงาน ได้ฝึกใช้ทักษะในการวิเคราะห์ปัญหาและการแก้ปัญหา ที่เกิดขึ้นในการทำงานจริง ฝึกการทำงานที่เป็นที่เป็นระบบ ได้ความรู้เกี่ยวกับโรงงานและการประกอบวงจรรวมตั้งแต่ต้นกระบวนการ จนสิ้นสุดกระบวนการผลิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการและทฤษฎีที่เกี่ยวข้อง

2.1 กระบวนการประกอบวงจรรวม

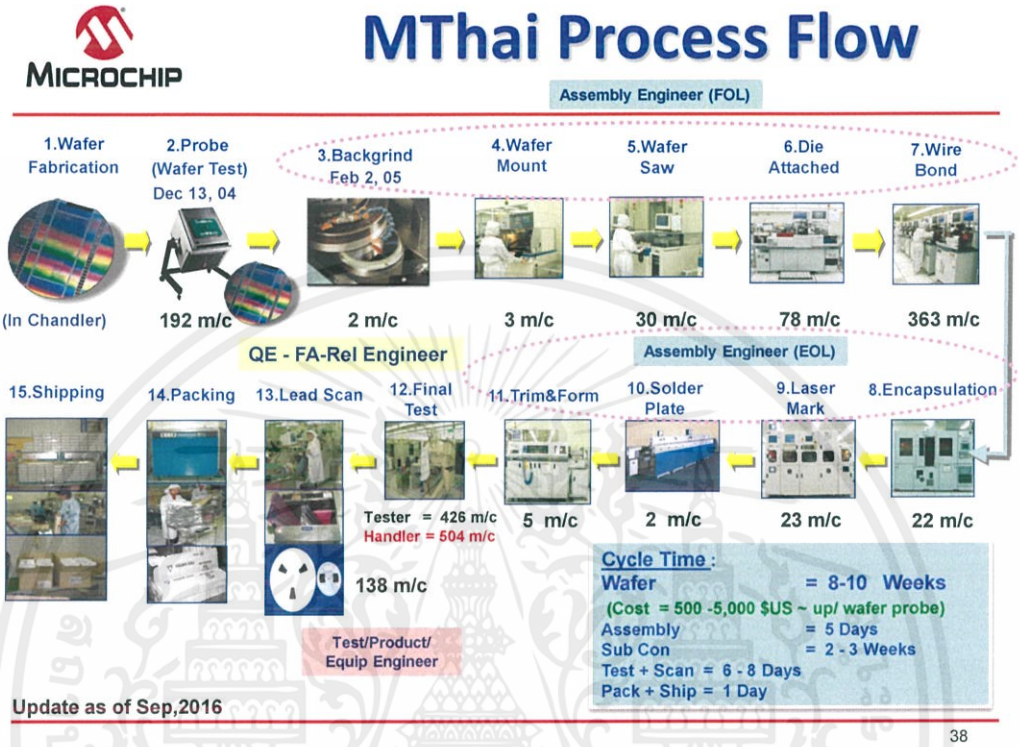
ในกระบวนการประกอบวงจรรวม (Integrated Circuits) นั้นเป็นกระบวนการหลังจากเราสร้างผ่านเวเฟอร์ (Wafer) แล้วซึ่งในที่นี้จะกล่าวถึง Package ที่มีขาของชิ้นงานเท่านั้น (Leaded Package) ซึ่งใน Package ที่มีขาชิ้นงานนั้นเราจะสามารถแบ่งออกเป็น Package SOIC, SOT23, MSOP, 2x3 DFN, PDIP, TSSOP, SSOP



ภาพที่ 2.1 ภาพตัวอย่างของชิ้นงาน ICs package ต่าง ๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งเราจะสามารถแบ่งเป็นขั้นตอนในการประกอบได้ดังนี้



ภาพที่ 2.2 ภาพแสดงกระบวนการ Assembly process mapping

2.1.1 กระบวนการ DIE BANK

คือ สถานที่จัดเก็บแผ่น Wafer ที่รับมาจากอเมริกาและเกาหลี ให้อยู่ในสภาวะอุณหภูมิที่เหมาะสมคือประมาณ 22-28 C ก่อนเตรียมนำจ่ายไปยัง Process ถัดไป คือ Probe Test , Back Grind,WaferMount หรือShipmenttoSubcontract Assembly process mapping

ภาพที่ 2.3 ภาพแสดงกระบวนการ DIE BANK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 กระบวนการ PROBE (Wafer test)

คือ การทดสอบ Function การทำงานของวงจรบนตัว Die ในแต่ละตัวบนแผ่น Wafer โดยการใช้เข็มของ Probe Card แตะไปที่ Bonding Pad เพื่อคัดแยกตัว Die ดี ตัว Die เสีย

ภาพที่ 2.4 ภาพแสดงกระบวนการ PROBE (Wafer test)

2.1.3 กระบวนการ BACKGRIND

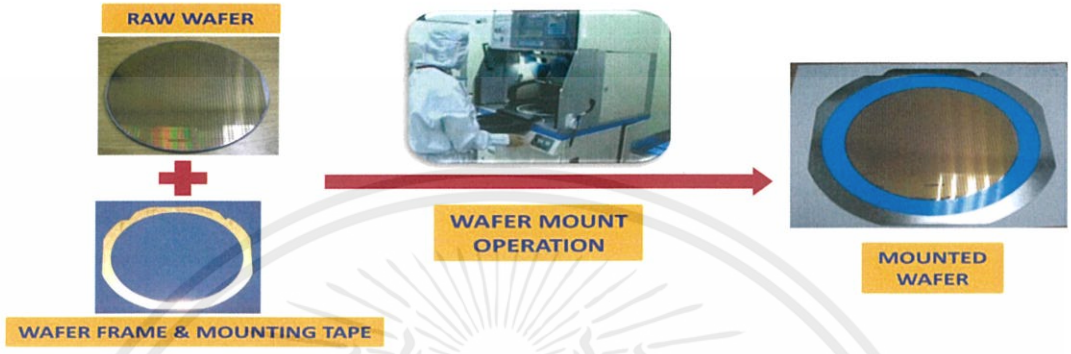
คือ การเจียรแผ่น Wafer ซึ่งมีความหนาสูงสุด 29 มิวให้บางลงตาม Package Requirement ที่ลูกค้าต้องการเช่น 8 มิว, 11 มิว ,15 มิว โดยการเจียรที่ด้านหลังของแผ่น Wafer (1 มิว = 1 ส่วน 1000 มิลลิเมตร)

ภาพที่ 2.5 ภาพแสดงกระบวนการ BACKGRIND

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.4 กระบวนการ WAFER MOUNT

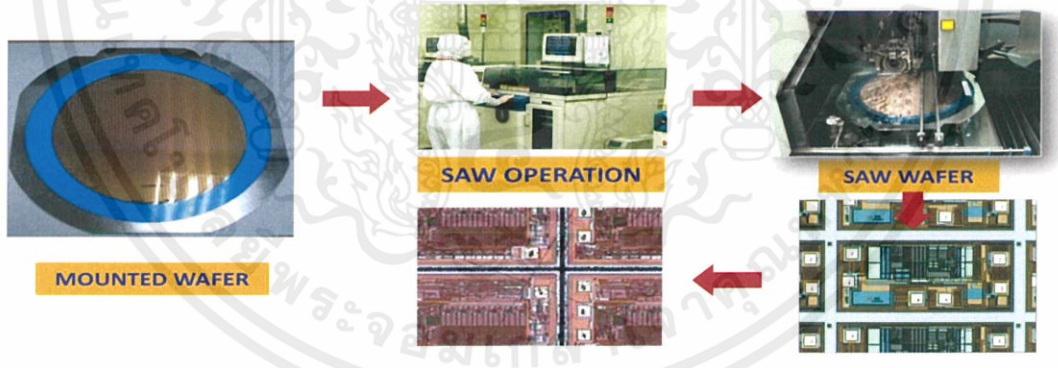
คือ ขั้นตอนการยึดติดแผ่น Wafer ลงบน Ring Frame โดยใช้ Tape Mount เป็นตัวยึด เพื่อป้องกันไม่ให้แผ่น Wafer เลื่อนและตัว Die หลุดขณะทำการตัดหรือ Saw ที่ Process ต่อไป



ภาพที่ 2.6 ภาพแสดงกระบวนการ WAFER MOUNT

2.1.5 กระบวนการ WAFER SAW

คือ ขั้นตอนของการตัดแบ่งแผ่น Wafer ที่ถูกติดบน Tape Mountให้แยกออกจากกันเป็นตัว Die โดยใช้ Blade หรือใบมีดเป็นตัวตัดเพื่อพร้อมที่จะส่งไปยัง Process ถัดไป



ภาพที่ 2.7 ภาพแสดงกระบวนการ WAFER SAW

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.6 กระบวนการ DIE ATTACH&CURE

คือ การจับตัว Die บนแผ่น Wafer ติดลงบน Lead Frameโดยใช้กาวหรือที่เรียกว่า Epoxy เป็นตัวยึดติด จากนั้นจึงนำ Lead Frame ที่มี Die ติดแล้วไปทำการอบเพื่อให้กาว Epoxy แห้ง ประมาณ 2 นาที เพื่อให้ตัว Die และ Lead Frame ยึดแน่นต่อกัน

ภาพที่ 2.8 ภาพแสดงกระบวนการ DIE ATTACH&CURE

2.1.7 กระบวนการ WIRE BOND

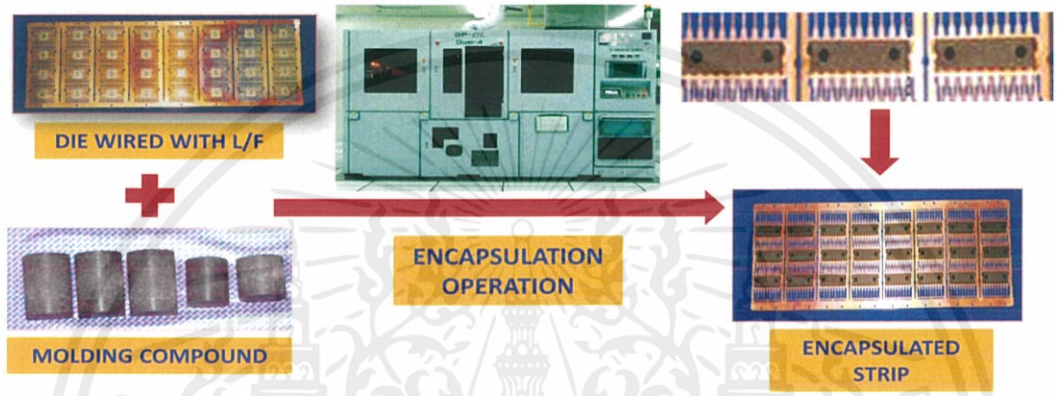
คือ การเชื่อมต่อวงจรจากตัว Die ไปยังขางานบน Lead Frame ด้วยลวดทอง (Gold wire) หรือ ลวดทองแดง (Palladium coated with copper wire (PdCu wire) และลวดทองแดงที่เคลือบด้วย Palladium (Gold flash on Palladium coated with copper wire (CuPdAu wire)

ภาพที่ 2.9 ภาพแสดงกระบวนการ WIRE BOND

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.8 กระบวนการ Encapsulation (mold)

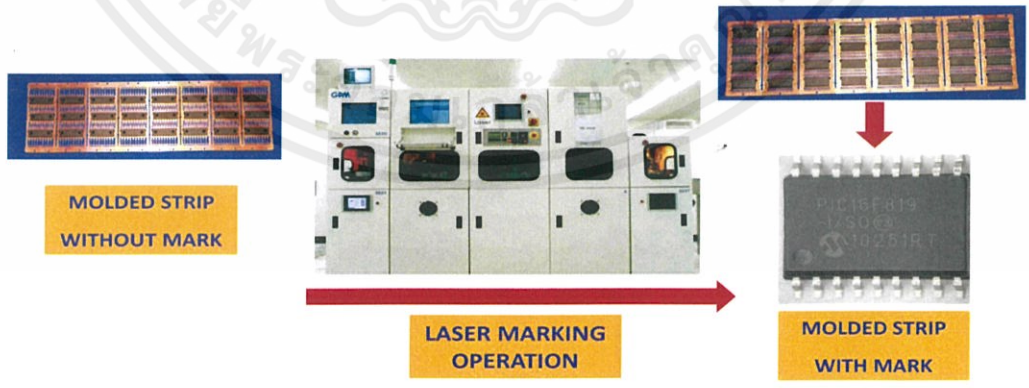
คือ การปิดแผงวงจรไฟฟ้ารวม ด้วย พลาสติก (Compound) โดยการหลอมเม็ดพลาสติกด้วยอุณหภูมิประมาณ 175C – 185 C แล้วฉีดเข้าไปปกคลุมแผงวงจรไฟฟ้า เพื่อเป็นการป้องกันไม่ให้เกิดการทำปฏิกริยากับบรรยากาศภายนอก เพราะในอากาศมีความชื้นปะปนอยู่อาจทำให้ประสิทธิภาพในการทำงานของ IC ลดลง หรือเสื่อมเสียได้ง่าย



ภาพที่ 2.10 ภาพแสดงกระบวนการ Encapsulation (mold)

2.1.9 กระบวนการ LASER MARK

คือการทำสัญลักษณ์ลงบนตัวงานด้วยแสง Laser ซึ่งจะแสดงรายละเอียดของงานเช่นวัน / เดือน / ปี ที่ผลิต ตลอดจนLogoทางการค้า และ รหัสของการนำไปใช้งานต่างๆ เพื่อใช้ในการตรวจสอบย้อนกลับ(Traceability Code)ในกรณีที่ต้องการหรือมีปัญหา



ภาพที่ 2.11 ภาพแสดงกระบวนการ LASER MARK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

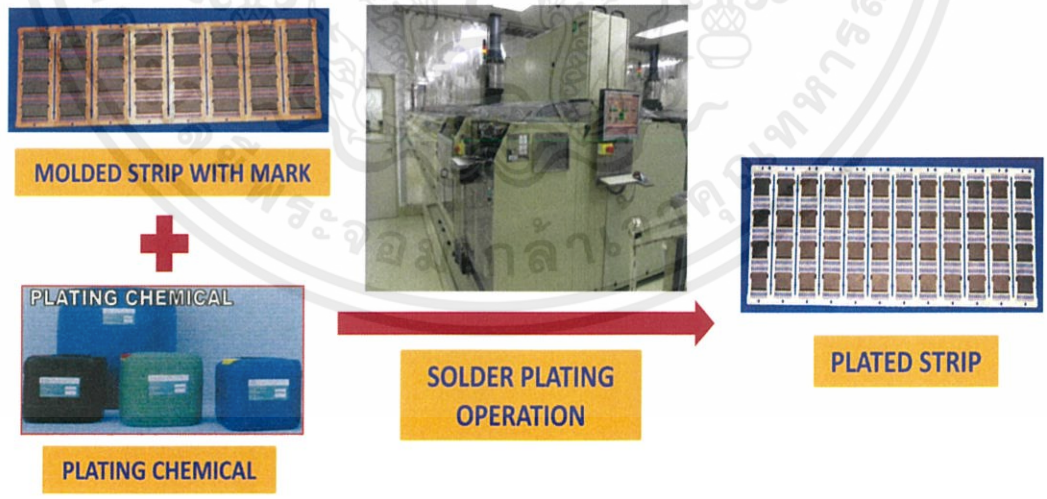
2.1.10 กระบวนการ 2D MARK

คือการทำสัญลักษณ์ลงบนตัวงานด้วยแสง Laser เพื่อระบุหมายเลขกลุ่มของชุดงานและจำนวนของ Strip งาน ที่มีอยู่ในกลุ่มงานชุดนั้นเพื่อใช้ในการตรวจสอบย้อนกลับ

ภาพที่ 2.12 ภาพแสดงกระบวนการ 2D MARK

2.1.11 กระบวนการ PLATING

คือการเคลือบดีบุกบนขางาน เพื่อป้องกันไม่ให้เกิดสนิมเมื่อสัมผัสกับความชื้นที่เกิดขึ้นในระหว่างการใช้งาน ซึ่งในกระบวนการนี้ใช้ดีบุกเกือบ 100 % ในการเคลือบขางาน



ภาพที่ 2.13 ภาพแสดงกระบวนการ PLATING

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.12 กระบวนการ TRIM & FORM

คือ การตัด พับ ขึ้นรูปขางาน ตามที่ระบุไว้ในรูปแบบของผลิตภัณฑ์ที่ต้องการ เช่น ขากางรูปปีกนก ขาตั้งฉากกับตัวงาน ขางุ้มเข้าหาตัวงาน ก่อนบรรจุใส่หลอด หรือถาดใส่งาน

ภาพที่ 2.14 ภาพแสดงกระบวนการ TRIM & FORM

2.1.13 กระบวนการ SINGULATE TEST

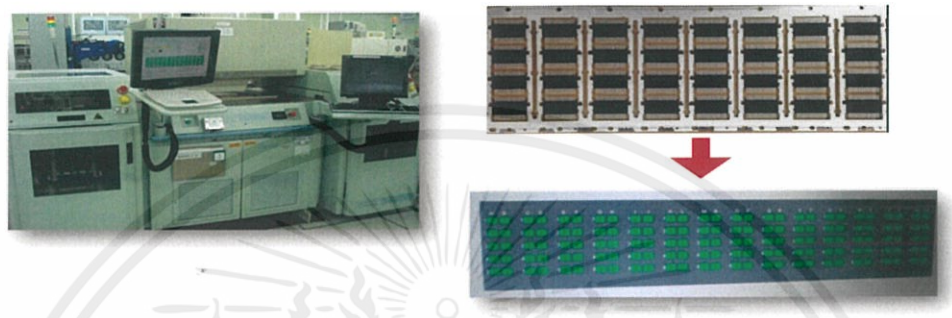
คือการทดสอบFunctionการทำงานต่างๆ และคุณภาพของตัว IC ทีละตัวหลังจากทำการขึ้นรูปเรียบร้อยแล้ว ในสภาพวะอุณหภูมิที่แตกต่างกันตั้งแต่ -40C – 125C ตามความต้องการของลูกค้าซึ่งจะถูกระบุมาในเอกสารกำกับงาน (Run card)ของแต่ละผลิตภัณฑ์

ภาพที่ 2.15 ภาพแสดงกระบวนการ SINGULATE TEST

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 กระบวนการ STRIP TEST

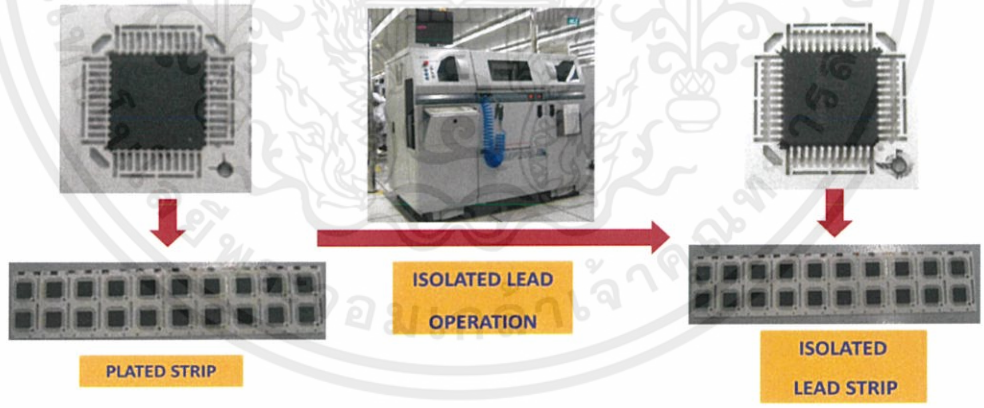
คือการทดสอบหน้าที่การทำงานต่างๆ และคุณภาพของตัว IC ที่อยู่ในรูปแบบของ Strip งาน ในสภาพวะอุณหภูมิที่แตกต่างกันตั้งแต่ -40C – 125C ตามที่ระบุมาในเอกสารกำกับงานของแต่ละผลิตภัณฑ์ การทดสอบในรูปแบบของ Strip Test มีขั้นตอนย่อยอีก 4 ขั้นตอนดังต่อไปนี้



ภาพที่ 2.16 ภาพแสดงกระบวนการ STRIP TEST

2.2.1 กระบวนการ ISOLATED LEAD

คือการตัดปลายขางานและตัดไหล่งานที่ยึดระหว่างขางานไว้ ให้ขาดออกเพื่อให้ขางานเป็นอิสระต่อกัน



ภาพที่ 2.17 ภาพแสดงกระบวนการ ISOLATED LEAD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

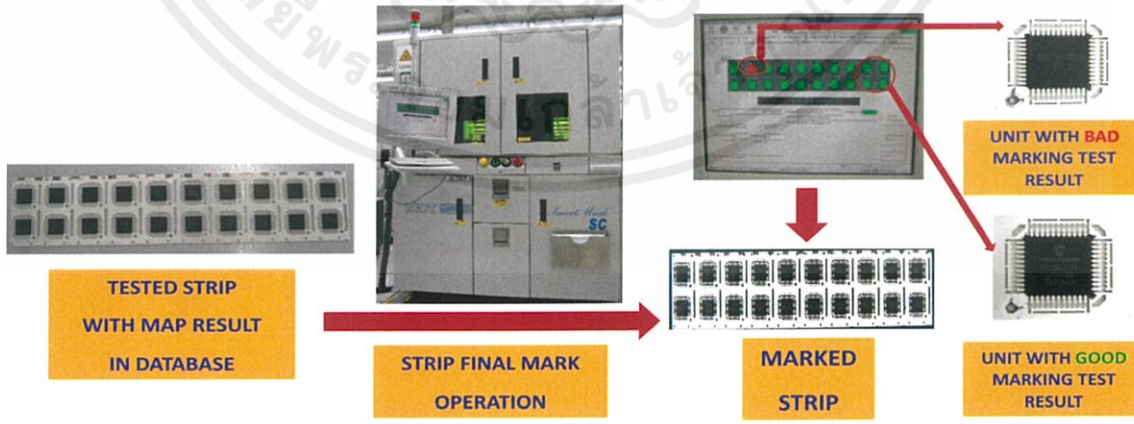
2.2.2 กระบวนการ STRIP TEST

คือการทดสอบหน้าที่การทำงานต่างๆ และคุณภาพของตัว IC ที่อยู่ในรูปแบบของ Strip งานในสภาพวะอุณหภูมิที่แตกต่างกันตั้งแต่ -40C – 125C ตามที่ระบุมาในเอกสารกำกับงานของแต่ละผลิตภัณฑ์

ภาพที่ 2.18 ภาพแสดงกระบวนการ STRIP TEST

2.2.3 กระบวนการ STRIP FINAL MARK

คือการทำสัญลักษณ์ลงบนตัวงานด้วยแสง Laser ซึ่งจะแสดงรายละเอียดของงานเช่นวัน / เดือน / ปี ที่ผลิต ตลอดจนรหัสทางการค้า หรือ รหัสของการนำไปใช้งานต่างๆ รวมทั้งใช้ในการตรวจสอบย้อนกลับในกรณีที่ต้องการหรือมีปัญหาและคัดแยกงานดีออกจากงานเสีย ที่เกิดจากกระบวนการทดสอบ



ภาพที่ 2.19 ภาพแสดงกระบวนการ STRIP FINAL MARK

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 กระบวนการ FORMING SINGULATE

คือ การตัด พับ ขึ้นรูปของขางาน ตามที่ระบุไว้ในรูปแบบของผลิตภัณฑ์ที่ต้องการ เช่น ขากางรูปปีกนก ขาตั้งฉากกับตัวงาน ขางุ้มเข้าหาตัวงาน ก่อนบรรจุใส่หลอด หรือ ถาดใส่งาน เพื่อส่งไปยังแผนกถัดไป

ภาพที่ 2.20 ภาพแสดงกระบวนการ FORMING SINGULATE

2.2.5 กระบวนการ LEAD SCAN

คือการตรวจสอบขางานและสัญลักษ์บนตัวงาน เพื่อหาข้อบกพร่องก่อนบรรจุใส่ หลอด ม้วนเทป และถาด

ภาพที่ 2.21 ภาพแสดงกระบวนการ LEAD SCAN

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.6 กระบวนการ PACKING

คือการนำ หลอด ม้วนเทป และถาด ที่ได้มาจากแผนก Scan นำมาบรรจุลงในถุงและกล่องตามจำนวนที่กำหนดใน Spec การทำงาน พร้อมทั้งติดLabel ที่ข้างกล่องก่อนส่งไป Shipping

ภาพที่ 2.22 ภาพแสดงกระบวนการ PACKING

2.2.7 กระบวนการ SHIPPING

คือการจัดส่งสินค้าให้กับลูกค้าตามคำสั่งซื้อ (Order) ไปยังจุดหมายปลายทางทั่วโลกโดยเครื่องบิน

ภาพที่ 2.23 ภาพแสดงกระบวนการ SHIPPING

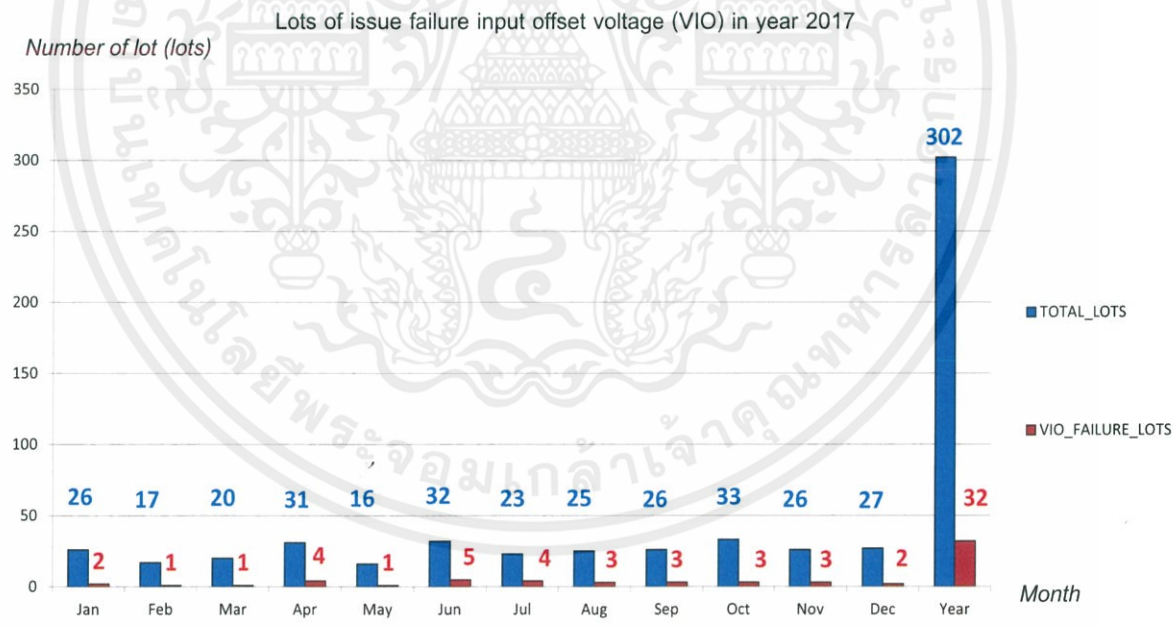
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและการดำเนินงาน

ในการดำเนินการปรับปรุงและแก้ไขปัญหาในการกระบวนการประกอบวงจรรวม (IC MUNUFACTURING) เพื่อลดปัญหาในเรื่องการเกิดงานเสียที่ขั้นตอนยืนยันการทดสอบ (Retest) ภายใต้การทดสอบของเครื่องจักร Aetrium(QTS) ซึ่งได้ทำการทำการสืบค้นข้อมูลและเก็บข้อมูลงานเสียที่เกิดขึ้นจากเครื่องจักรทั้งหมด จึงแสดงข้อมูลต่าง ๆได้ดังนี้

3.1 การระบุปัญหา

ในการวิเคราะห์ข้อมูลนั้นทำโดยการเก็บข้อมูลของปัญหาที่เกิดขึ้นและจึงนำข้อมูลของการเกิดงานเสียที่ขั้นตอนยืนยันการทดสอบ (Retest) ภายในกระบวนการผลิตในปี 2017 มาเรียบเรียงได้ดังนี้



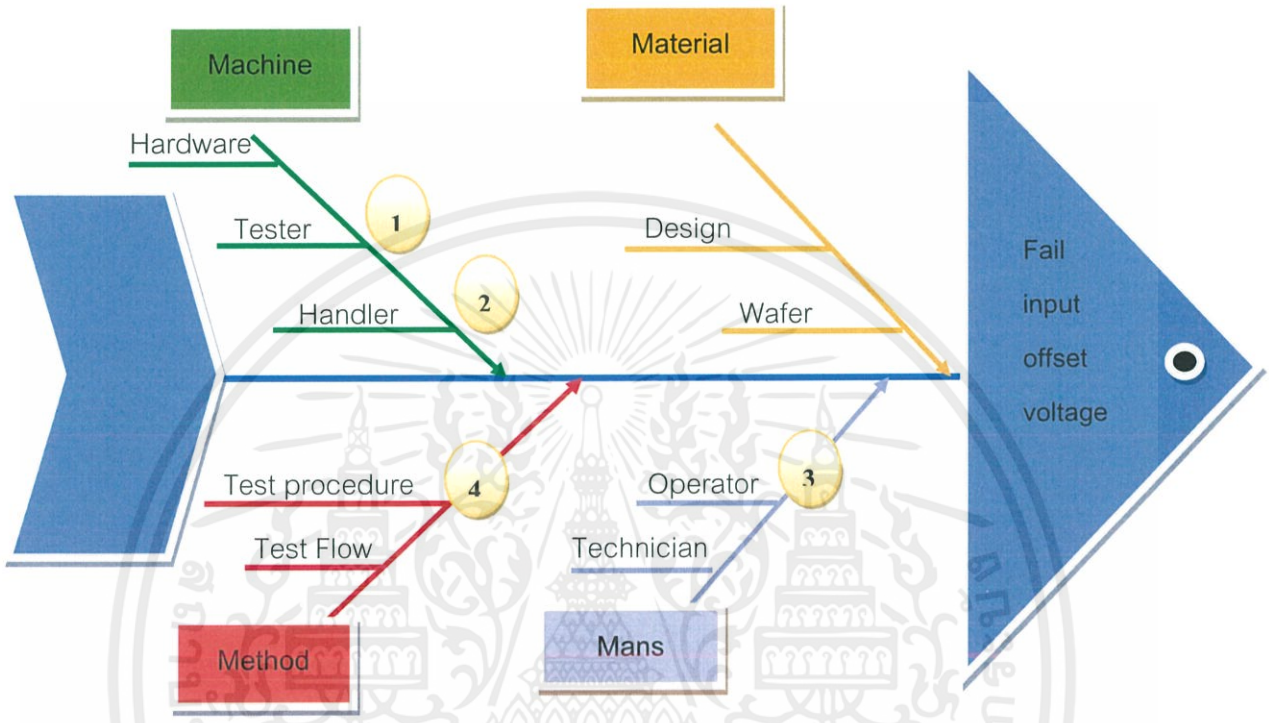
ภาพที่ 3.1 กราฟแสดง Lots งานทั้งหมดที่ทำการทดสอบในปี 2017

จากกราฟแสดงความสัมพันธ์ในข้างต้นแสดงให้เห็นว่าบาง Lots ที่ทำการทดสอบในแต่ละเดือนในปี 2017 พบว่ามีงานเสียที่เกิดจากฟังก์ชัน Fail input offset voltage (Vio) อย่างน้อยเดือนละ 1 Lots ซึ่งแต่ละ Lots มีจำนวน Units มากถึงหลักหมื่นหรือหลักแสนตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การวิเคราะห์ปัญหา

ซึ่งจากปัญหาในข้างต้นเราจึงนำปัจจัยที่เป็นไปได้ของปัญหานี้มาวิเคราะห์ผ่านแผนภูมิก้างปลา (Fishbone Analysis) ดังนี้



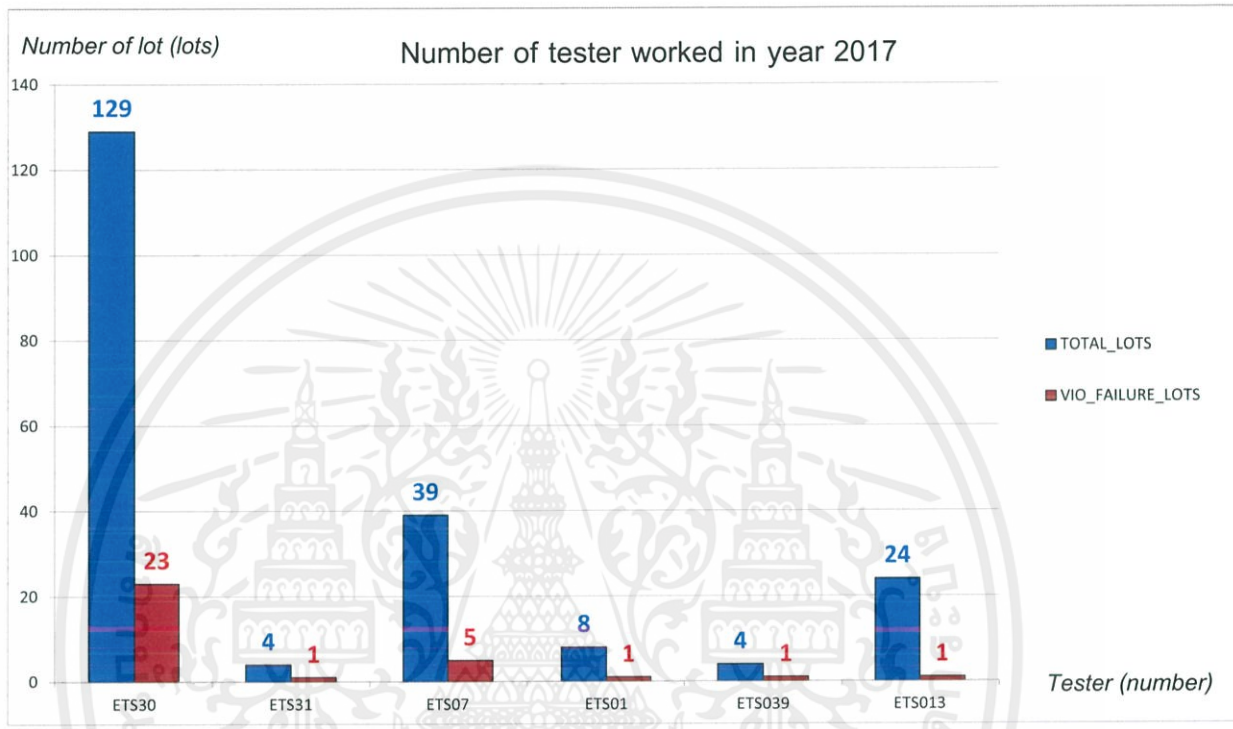
ภาพที่ 3.2 แผนภาพ Fishbone Analysis

แสดงปัญหาการเกิด Fail input offset voltage (Vio) ที่ขั้นตอนยืนยันการทดสอบ (Retest) ภายในเครื่อง Aetrium (QTS)จากแผนภาพเราได้นำรวบรวมปัญหาที่อาจจะเป็นไปได้มาใส่ในแผนภาพ ซึ่งจะได้แบ่งเป็น 4 สาเหตุหลักคือ Man, Machine, Material และ Method ซึ่งจากการนำปัญหาที่เกิดขึ้นในข้างต้นมารวบรวม จะเห็นว่ามีปัญหาที่อาจจะเกิดขึ้นและเป็นไปได้อยู่ค่อนข้างมาก ดังนั้นเรามีความจำเป็นที่ต้องทำการนำปัญหามาวิเคราะห์และทดสอบสมมติฐาน ปัญหาต่าง ๆที่อยู่ในแผนภูมิ เพื่อทำการหาปัญหาที่มีนัยสำคัญในการเกิดการ Fail input offset voltage (Vio) ที่ขั้นตอนยืนยันการทดสอบ (Retest) ซึ่งจากแผนภูมิเราจึงได้เลือก ปัจจัยที่น่าจะเป็นไปได้มากที่สุดจำนวน 4 อันดับมาทำการวิเคราะห์และทดสอบสมมติฐาน ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 Tester (Engle 300)

วิธีการพิสูจน์ ตรวจสอบจากข้อมูลย้อนหลังหนึ่งปี วิเคราะห์ว่าเทสเตอร์ (Tester) เบอร์ไหนที่เกิดงานเสียหรืองานดี เราสามารถดูได้จากกราฟที่สรุปมาได้ดังนี้



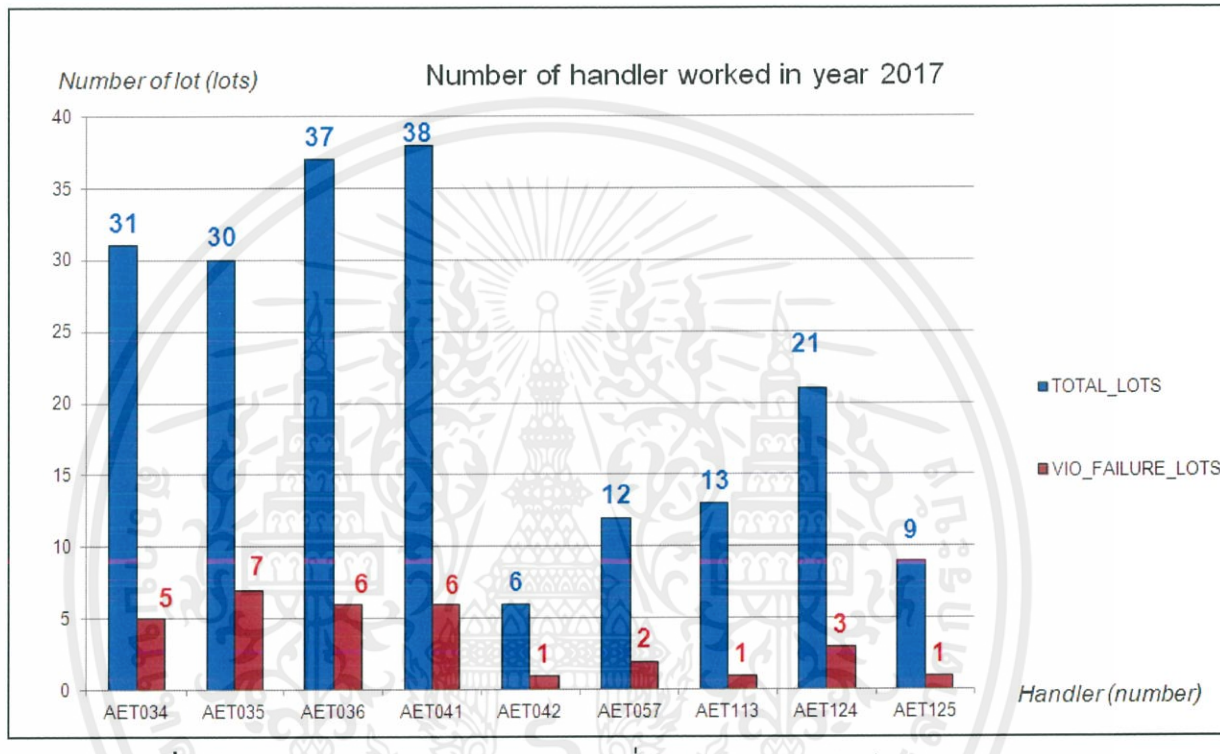
ภาพที่ 3.3 กราฟแสดง Number of Tester ที่ใช้ในทดสอบงานในปี 2017

เราจะนำเอาเบอร์เทสเตอร์ (Tester) ที่ทำการทดสอบแล้วเกิดงานเสียมาเปรียบเทียบในกราฟ ETS30, ETS31, ETS07, ETS39, ETS13, ETS01 ทั้ง 6 เบอร์นี้ทดสอบออกมาได้ทั้งงานดีและงานเสีย อาจจะเกิดจากเทสเลอร์ที่ทดสอบงานเป็นเวลานานหลาย Lots และไม่ได้พักเครื่องจึงอาจจะทำให้เกิดการ Error ในการทดสอบได้ แต่เมื่อได้ตรวจสอบจากข้อมูลย้อนหลังแล้วไม่มีเทสเตอร์ (Tester) เบอร์ไหนเลยที่ทำการทดสอบแล้วได้งานเสียทั้งหมด หากปัญหาอยู่ที่เทสเตอร์ (Tester) เบอร์นั้นๆแล้ว ในการทดสอบแต่ละครั้งจำนวนครั้งที่ทดสอบต้องเท่ากับจำนวนงานที่เสียและเทสเตอร์ (Tester) แต่ละเครื่องมีการซ่อมบำรุงและตรวจสอบตามตารางอยู่ตลอดเพราะฉะนั้นมีโอกาสได้น้อยมากที่ปัญหาจะอยู่ที่เทสเตอร์ (Tester)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2. Handler (Aetrium QTS)

วิธีการพิสูจน์ ตรวจสอบจากข้อมูลย้อนหลังหนึ่งปี วิเคราะห์ว่าแฮนด์เลอร์ (Handler) เบอร์ไหนที่เกิดงานเสียหรืองานดี หรือเกิดจากกทำงานขัดข้องของเครื่องจักรหรือเปล่า เราสามารถดูได้จากกราฟที่สรุปมาได้ดังนี้



ภาพที่ 3.4 กราฟแสดง Number of Handler ที่ใช้ในทดสอบงานในปี 2017

เราจะนำเอาเบอร์แฮนด์เลอร์ (Handler) ที่ทำการทดสอบแล้วเกิดงานเสียมาเปรียบเทียบในกราฟ AET034, AET035, AET036, AET041, AET042 AET057, AET113, AET124, AET125 ทั้ง 9 เบอร์นี้ทดสอบออกมาได้ทั้งงานดีและงานเสียบางแฮนด์เลอร์ (Handler) อาจจะเกิดจากความผิดพลาดของตัวเครื่องจริงๆ เช่นเกิดการติดขัดของการปล่อยงานและทำให้ตัวงานเกิดความเสียหาย หรืออาจเกิดจากการที่แฮนด์เลอร์ (Handler) อุณหภูมิไม่นิ่งในการเทสครั้งนั้นๆ อาจจะเกิดจากตัวเซ็นเซอร์จับอุณหภูมิเสียหาย แต่ก็ยังไม่สามารถระบุแน่ชัดได้ว่าปัญหาที่แท้จริงอยู่ที่แฮนด์เลอร์ (Handler)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 Operator

วิธีการพิสูจน์ ตรวจสอบในส่วนถัดไปเกิดจาก Operator แต่ละคนมีเทคนิควิธีที่แตกต่างกัน ซึ่งเกิดจากประสบการณ์ และประสบการณ์ที่แตกต่างของแต่ละคนนี้ อาจจะทำให้เกิดงานเสียได้ ตารางต่อไปนี้จะเรียงตาม UserID ของ Operator เพื่อดูว่าการ Run งานของ Operator เป็นสาเหตุที่แท้จริงใช่หรือไม่

1	LOTID	STEPNAME	TESTPASS	PASSTYPE	USERID	FUNC	FUFAIL	OS
2	MTAI174001957.00	RT1_MP	1	Inspection	B1327	0		0
3	MTAI174201190.00	RT1_MP	1	Inspection	B1327	0		0
4	MTAI174300617.00	RT1_MP	1	Inspection	B1327	109		1
5	MTAI174200304.00	RT1_MP	1	Inspection	B1181	0		0
6	MTAI174502554.00	RT1_MP	1	Inspection	B1181	0		0
7	MTAI174602095.00	RT1_MP	1	Inspection	B1181	0		0
8	MTAI174700660.00	RT1_MP	1	Inspection	B1181	0		0
9	MTAI174900270.00	RT1_MP	1	Inspection	B1181	0		0
10	MTAI175200466.00	RT1_MP	1	Inspection	B1181	0		0
11	MTAI180200332.00	RT1_MP	1	Inspection	B1181	0		0
12	MTAI180600161.00	RT1_MP	1	Inspection	B1181	0		0
13	MTAI183500038.00	RT1_MP	1	Inspection	B1181	13		0
14	MTAI174001962.00	RT1_MP	1	Inspection	B1639	0		0
15	MTAI174502553.00	RT1_MP	1	Inspection	B1639	0		0
16	MTAI174601184.00	RT1_MP	1	Inspection	B1639	0		0
17	MTAI174700633.00	RT1_MP	1	Inspection	B1639	0		0
18	MTAI174700659.00	RT1_MP	1	Inspection	B1639	0		0
19	MTAI174900088.00	RT1_MP	1	Inspection	B1639	0		0
20	MTAI180200310.00	RT1_MP	1	Inspection	B1639	0		0
21	MTAI181202565.00	RT1_MP	1	Inspection	B1639	0		0
22	MTAI183800985.00	RT1_MP	1	Inspection	B1639	0		0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

23	MTAI174102265.00	RT1_MP	1	Inspection	B0752	106		3
24	MTAI182500610.00	RT1_MP	1	Inspection	B0752	97		0
25	MTAI182500823.00	RT1_MP	1	Inspection	B0752	0		0
26	MTAI182600829.00	RT1_MP	1	Inspection	B0752	0		0
27	MTAI182503831.00	RT1_MP	1	Inspection	B0752	142		0
28	MTAI182901433.00	RT1_MP	1	Inspection	B0752	0		0
29	MTAI182901802.00	RT1_MP	1	Inspection	B0752	0		0
30	MTAI183000099.00	RT1_MP	1	Inspection	B0752	0		0
31	MMT-	RT1_MP	1	Inspection	B0752	227		0
32	MTAI183300438.00	RT1_MP	1	Inspection	B0752	0		0
33	MTAI183300439.00	RT1_MP	1	Inspection	B0752	0		0
34	MTAI183300440.00	RT1_MP	1	Inspection	B0752	0		0
35	MTAI183300441.00	RT1_MP	1	Inspection	B0752	0		0
36	MTAI183300437.00	RT1_MP	1	Inspection	B0752	31		0
37	MTAI183500039.00	RT1_MP	1	Inspection	B0752	0		0
38	MMT-	RT1_MP	1	Inspection	B0752	0		0
39	MTAI183800987.00	RT1_MP	1	Inspection	B0752	0		0
40	MTAI184001328.00	RT1_MP	1	Inspection	B0752	0		0

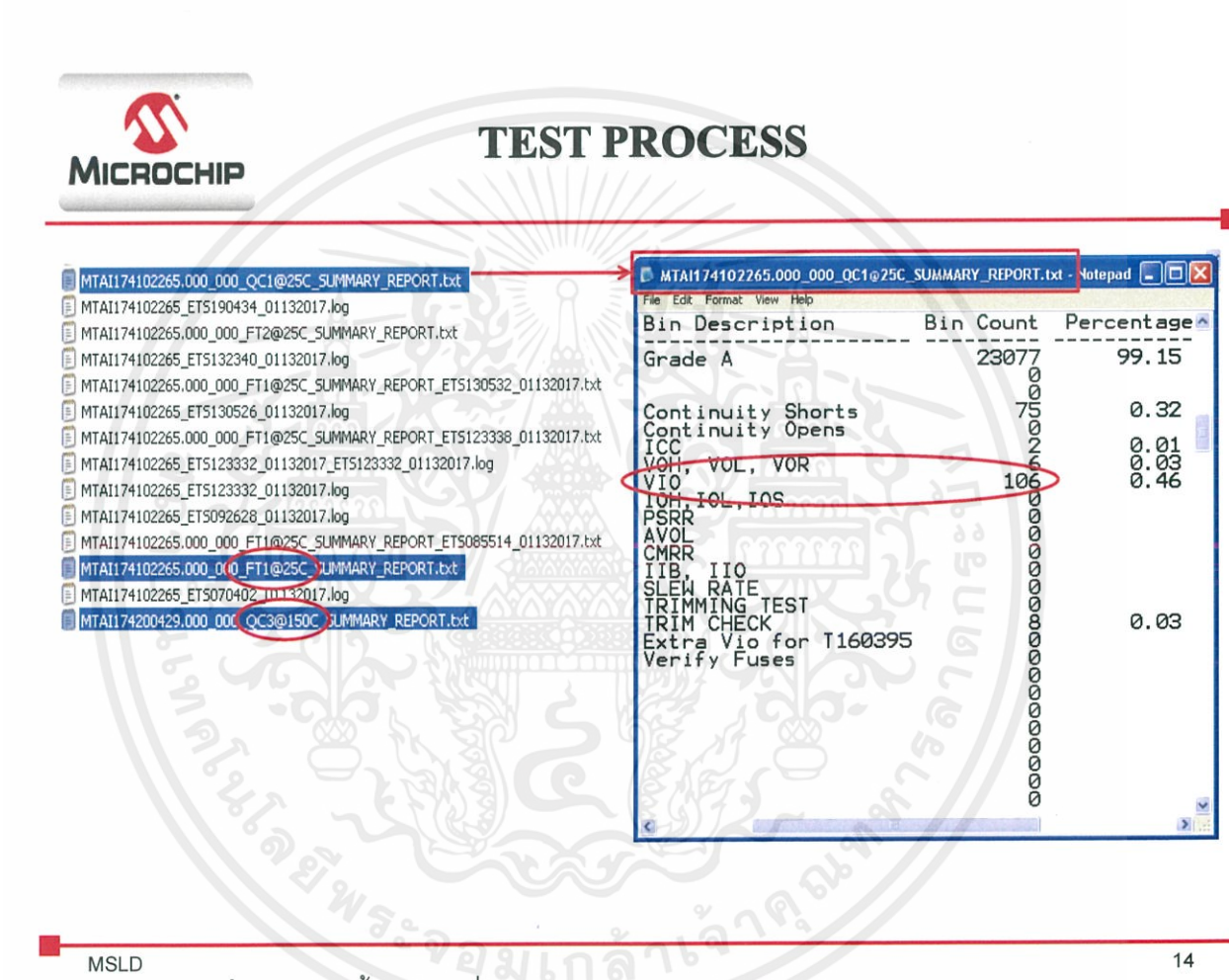
ตารางที่ 3.1 ตารางแสดง UserID ของ Operator (บางส่วน)

สีเดียวกันคือ Operator คนเดียวกัน ส่วนสีแดงก็คือ Lots ที่ Operator ทำการ Run แล้วมีงานเสียหายที่ input offset voltage (Vio) สิ่งที่พบคือ Operator บางคนรันงานเกิดความผิดพลาดบาง Lots แต่ส่วนใหญ่แล้วจะผ่านเกือบทั้งหมด Operator แต่ละคนมีความชำนาญในการรันงานและทำการสอบใบวิชาชีพของเครื่องจักรแต่ละรุ่นมาแล้วเพราะฉะนั้นมีโอกาสน้อยมากที่จะเกิดจากสาเหตุนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4 Test Pocess

วิธีการพิสูจน์ปัญหานี้คือ เปิดดูข้อมูลย้อนหลังหนึ่งปีเพื่อหาสิ่งที่สอดคล้องและส่งเสริมว่าสมมติฐานนี้เป็นปัญหาที่ทำให้เกิดงานเสียหรือไม่ เราสามารถพิสูจน์ได้จากภาพข้างต้นที่ได้ทำการสรุปเวลาการรันงานของแต่ละ Lots (Fail ทั้งหมด) ดังนี้



ภาพที่ 3.5 ภาพนี้เป็นภาพที่แสดงประวัติก่อนและหลังกระบวนการทดสอบของ MTAI174102265.000

เมื่อเรานำงานที่เราต้องการจะทดสอบในขั้น Final test ที่ อุณหภูมิ 25 องศาเซลเซียลมาทำสอบต่อจากงานที่อุณหภูมิสูงโดยใช้แฮนเลอร์ (Handler) เครื่องเดิม เราจึงต้องทำการ Off temperature ที่แฮนด์เลอร์ (Handler) และใช้เวลานานพอสมควรในการทำให้อุณหภูมิลดลงจนถึงอุณหภูมิห้อง จากตารางข้างต้น Lot ที่ทำการทดสอบงานที่อุณหภูมิสูงมา แล้วนำอีกงานมาทำการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทดสอบต่อที่อุณหภูมิห้อง ในแฮนด์เลอร์ (Handler) เครื่องเดิม ส่วนมากงานที่เกิดขึ้นจะ Fail input offset voltage (Vio) ทั้งหมด หลักๆ เกิดจาก Operator ที่ทำการทดสอบงานโดยไม่รู้อุณหภูมิที่แท้จริงของแฮนด์เลอร์ (Handler) และตัดสินไปว่า อุณหภูมิของเครื่องเหมาะสมแก่การทดสอบแล้ว และเมื่อตรวจสอบดูทุก Lot ที่ Fail input offset voltage (Vio) จากข้อมูลย้อนหลังแล้ว ล้วนเกิดจากการทดสอบงานที่อุณหภูมิสูงมาก่อนทุก Lot เพราะฉะนั้นจึงสรุปได้ว่าหัวข้อนี้คือปัญหาหลัก

NO. TESTER	LOTS	STEP	TIME STRAT	TIME END	RANGE OF TIME (MINS)	FAIL_VIO AT QC STEP (UNITS)
ETS030	MTAI174200429.000	QC150C	-	1/12/2017 21:39	23	-
	MTAI174102265.000	FT25C	1/12/2017 22:02	-		26
	MTAI175300188.000	QC125C	-	4/3/2017 3:33	30	-
	MTAI175300181.000	FT25C	4/3/2017 4:03	-		84
	MTAI180400594.000	QC125C	-	4/28/2017 11:34	31	-
	MTAI180401475.000	FT25C	4/28/2017 12:05	-		78
	MTAI180501866.000	QC125C	-	5/5/2017 0:09	14	-
	MMT-180500891.000	FT25C	5/5/2017 0:23	-		17
	MTAI181003420.000	QC150C	-	6/8/2017 22:25	49	-
	MTAI181100844.000	FT25C	6/8/2017 23:14	-		22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NO. TESTER	LOTS	STEP	TIME STRAT	TIME END	RANGE OF TIME (MINS)	FAIL_VIO AT QC STEP (UNITS)
ETS030	MTAI181102925.000	QC125C	-	6/14/2017 6:56	12	-
	MTAI181003215.000	FT25C	6/14/2017 7:08	-		253
	MTAI181301182.000	QC125C	-	6/30/2017 0:53	23	-
	MTAI181303063.000	FT25C	6/30/2017 1:16	-		251
	MTAI181400900.000	QC125C	-	7/7/2017 1:42	38	-
	MTAI181401637.000	FT25C	7/07/2017 02:20	-		16
	MTAI181403190.000	QC125C	-	7/11/2017 17:47	18	-
	MTAI181500055.000	FT25C	7/11/2017 18:05	-		157
	MTAI181502380.000	QC85C	-	7/14/2017 22:39	24	-
	MTAI181600642.000	FT25C	7/14/2017 23:03	-		2

NO. TESTER	LOTS	STEP	TIME STRAT	TIME END	RANGE OF TIME (MINS)	FAIL_VIO AT QC STEP (UNITS)
ETS030	NSEB181700767.000	QC85C	-	8/1/2017 9:53	15	-
	MTAI181802869.000	FT25C	8/1/2017 10:08	-		41
	MTAI181901608.000	QC150C	-	8/4/2017 8:00	54	-
	MTAI181901498.000	FT25C	8/4/2017 8:54	-		58
	MTAI182002924.000	QC125C	-	8/16/2017 14:20	64	-
	MTAI182000827.000	FT25C	8/16/2017 15:24	-		68
	MTAI182500609.000	QC125C	-	9/21/2017 21:57	30	-
	MTAI182500610.000	FT25C	9/21/2017 22:27	-		108
	MMT-170900289.200	QC125C	-	9/22/2017 10:12	45	-
	MTAI182500614.000	FT25C	9/22/2017 12:57	-		139

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NO. TESTER	LOTS	STEP	TIME STRAT	TIME END	RANGE OF TIME (MINS)	FAIL_VIO AT QC STEP (UNITS)
ETS030	MTAI182403204.000	QC125C	-	9/24/2017 19:47	39	-
	MTAI182400216.000	FT25C	9/24/2017 20:26	-		47
	MTAI182600776.000	QC125C	-	10/12/2017 21:30	15	-
	MTAI182503831.000	FT25C	10/12/2017 21:45	-		51
	MTAI182503831.000	QC125C	-	10/13/2017 22:04	18	-
	MTAI182702940.000	FT25C	10/13/2017 22:22	-		10
	MMT-183100221.000	QC125C	-	10/30/2017 1:59	35	-
	MMT-183100216.000	FT25C	10/30/2017 2:34	-		211
	MMT-183300100.000	QC125C	-	11/13/2017 20:12	15	-
	MTAI183300437.000	FT25C	11/13/2017 20:27	-		20

NO. TESTER	LOTS	STEP	TIME STRAT	TIME END	RANGE OF TIME (MINS)	FAIL_VIO AT QC STEP (UNITS)
ETS030	MTAI183300179.000	QC85C	-	11/16/2017 20:47	31	-
	MTAI183302117.000	FT25C	11/16/2017 22:18	-		13
	MTAI183600865.000	QC150C	-	12/12/2017 14:04	34	-
	MTAI183603244.000	FT25C	12/12/2017 14:38	-		63
	MTAI184000936.000	QC150C	-	12/27/2017 21:59	19	-
	MTAI184001217.000	FT25C	12/27/2017 22:31	-		9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NO. TESTER	LOTS	STEP	TIME STRAT	TIME END	RANGE OF TIME (MINS)	FAIL_VIO AT QC STEP (UNITS)
ETS031	MTAI183500037.000	QC125C	-	11/25/2017 20:27	46	-
	MTAI183500038.000	FT25C	11/25/2017 21:13	-		10
ETS007	MTAI181800014.000	QC125C	-	7/28/2017 12:17	86	-
	MTAI181702362.000	FT25C	7/28/2017 13:43	-		225
	MTAI180901383.000	QC125C	-	6/1/2017 21:46	46	-
	MTAI180902075.000	FT25C	6/1/2017 22:32	-		39
	MTAI175203223.000	QC125C	-	4/3/2017 3:22	88	-
	MTAI175201928.000	FT25C	4/3/2017 3:50	-		196
	MTAI180401478.000	QC150C	-	4/25/2017 0:45	37	-
	MTAI180400594.000	FT25C	4/25/2017 1:22	-		20

NO. TESTER	LOTS	STEP	TIME STRAT	TIME END	RANGE OF TIME (MINS)	FAIL_VIO AT QC STEP (UNITS)
ETS007	MTAI174601690.000	QC125C	-	2/16/2017 14:01	15	-
	MTAI174700487.000	FT25C	2/16/2017 14:16	-		74
ETS039	MTAI174100341.000	QC125C	-	1/18/2017 20:56	14	-
	MTAI174300617.000	FT25C	1/18/2017 21:10	-		66
ETS013	MTAI175100156.000	QC125C	-	3/20/2017 7:56	45	-
	MTAI175002066.000	FT25C	3/20/2017 8:41	-		16
ETS001	MTAI181202512.000	QC125C	-	6/20/2017 9:31	34	-
	MTAI181200187.000	FT25C	6/20/2017 10:05	-		232

ตารางที่ 3.2 ตารางแสดงการทดสอบงาน FT ที่ อุณหภูมิ 25 องศาเซลเซียลต่อจากการทดสอบงาน QC ที่ อุณหภูมิ 85-150 องศาเซลเซียล

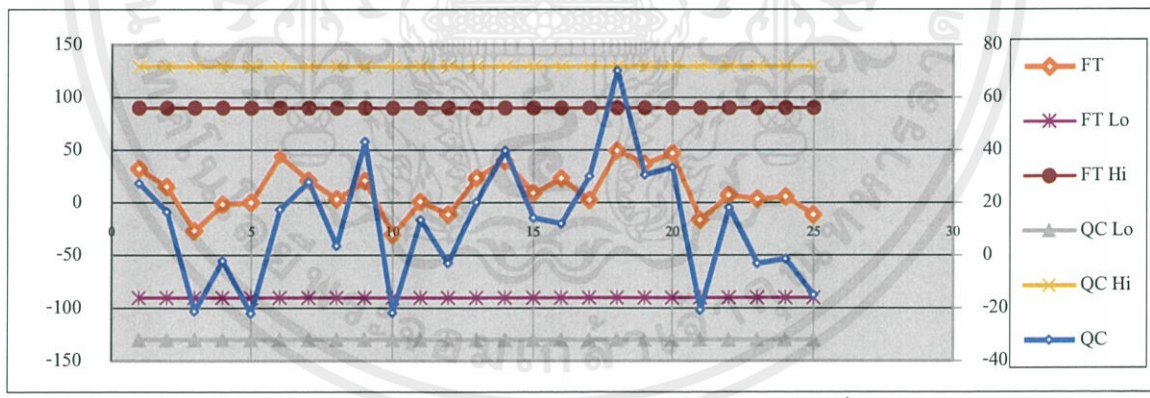
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.3 ตารางแสดงสรุปปัจจัยที่มีนัยสำคัญของปัญหา Fail Vos ที่ขั้นตอน Retest

FACTOR	RESULT
Test process	The most significant
Tester	-
Handler	-
Operator	-

ข้อมูลอ้างอิงในการแก้ปัญหา

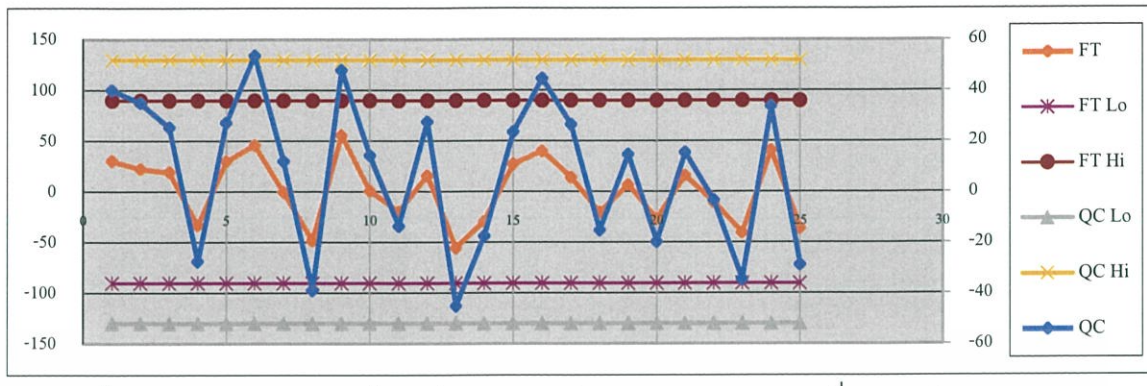
จากปัญหาข้างต้นที่เกิดขึ้นจาก Test process ของ Operator ที่เกี่ยวข้องกับเวลาและอุณหภูมิ เราจึงทำการจำลองเหตุการณ์ขึ้นมาเพื่อยืนยันว่าข้อสมมติฐานของเราถูกต้อง โดยการ Trim งาน Fresh ที่ ขั้นตอนการทดสอบ Final test (trimming) ในอุณหภูมิต่างๆ แล้วทดสอบด้วยขั้นตอนยืนยันการทดสอบ (Retest) อีกครั้งที่โปรแกรม Quality confirm เพื่อหา Range ของอุณหภูมิที่สามารถทำให้งานทดสอบผ่านได้โดยไม่ให้เกิด Fail Vio โดย อุณหภูมิที่เราจะทดสอบก็มีดังนี้



ภาพที่ 3.6 กราฟแสดงการเปรียบเทียบระหว่างโปรแกรม FT และ QC ที่อุณหภูมิ 20C และ 25C

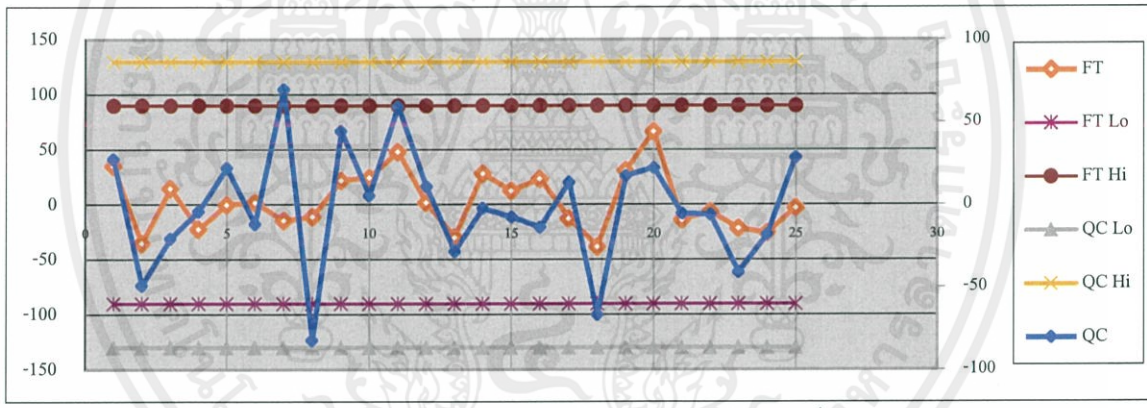
จากกราฟหมายความว่า ทดสอบขั้นตอน Final test (trimming) ที่อุณหภูมิ 20C แล้วทดสอบด้วยขั้นตอนยืนยันการทดสอบ (Retest)ที่โปรแกรม Quality confirm อีกครั้งที่อุณหภูมิ 25C ซึ่งดูจากกราฟแล้วค่าของยูนิตแต่ละตัวที่ทดสอบค่อนข้างเกาะกลุ่มกัน และค่าก็ยังไม่เกินลิมิตของ Final test (90uv) และ Quality confirm (130uv)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.7 กราฟแสดงการเปรียบเทียบระหว่างโปรแกรม FT และ QC ที่อุณหภูมิ 25C

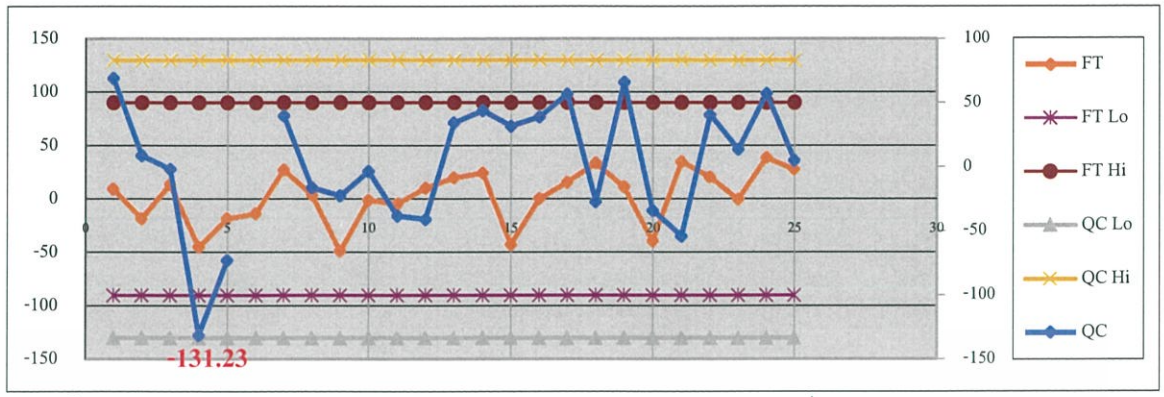
จากกราฟหมายความว่าทดสอบขั้นตอน Final test (trimming) ที่อุณหภูมิ 25C แล้วทดสอบด้วยขั้นตอนยืนยันการทดสอบ (Retest) ที่โปรแกรม Quality confirm อีกครั้งที่อุณหภูมิ 25C ซึ่งดูจากกราฟแล้วค่าแทบจะไม่โดดออกจากกัน ถือว่าเทียบเท่ากันเลยด้วยซ้ำ และค่าก็ยังไม่เกินลิมิตของ Final test (90uv) และ Quality confirm (130uv)



ภาพที่ 3.8 กราฟแสดงการเปรียบเทียบระหว่างโปรแกรม FT และ QC ที่อุณหภูมิ 30C และ 25C

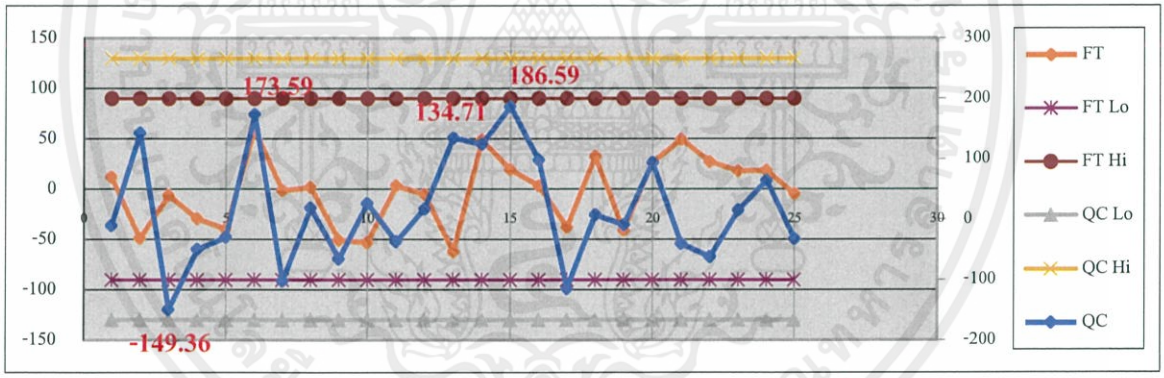
จากกราฟหมายความว่าทดสอบขั้นตอน Final test (trimming) ที่อุณหภูมิ 30C แล้วทดสอบด้วยขั้นตอนยืนยันการทดสอบ (Retest) ที่โปรแกรม Quality confirm อีกครั้งที่อุณหภูมิ 25C ซึ่งดูจากกราฟแล้ว ค่าค่อนข้างใกล้เคียงกัน แต่อุณหภูมิ 30C ในขั้นตอนการทดสอบ FT จะมียูนิตบางตัวมีค่าโดดออกจากค่าปกติ อย่างเห็นได้ชัด แต่ค่าที่ทดสอบออกมาก็ยังไม่เกินลิมิตของ Final test (90uv) และ Quality confirm (130uv)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.9 กราฟแสดงการเปรียบเทียบระหว่างโปรแกรม FT และ QC ที่อุณหภูมิ 35C และ 25C

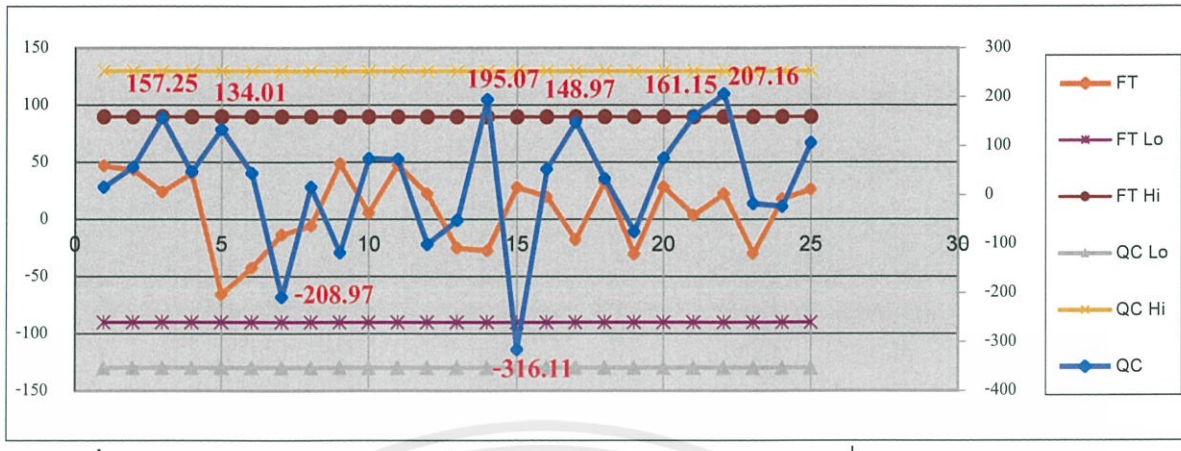
จากกราฟหมายความว่าทดสอบขั้นตอน Final test (trimming) ที่อุณหภูมิ 35C แล้วทดสอบด้วยขั้นตอนยืนยันการทดสอบ (Retest) ที่โปรแกรม Quality confirm อีกครั้งที่อุณหภูมิ 25C ซึ่งดูจากกราฟแล้ว ค่าค่อนข้างมีทิศทางที่แตกต่างกันอย่างชัดเจน และเริ่มมียูนิตบางตัวค่าเกินจากลิมิตของ FT(90uv) และ QC(130uv) นั่นก็คือ -131.23uv (Fail vos) และเมื่อเริ่มที่อุณหภูมิ 35C ขึ้นไปแล้ว ยูนิตก็จะเกิด Fail vos มากขึ้น



ภาพที่ 3.10 กราฟแสดงการเปรียบเทียบระหว่างโปรแกรม FT และ QC ที่อุณหภูมิ 45C และ 25C

จากกราฟหมายความว่าทดสอบขั้นตอน Final test (trimming) ที่อุณหภูมิ 45C แล้วทดสอบด้วยขั้นตอนยืนยันการทดสอบ (Retest) ที่โปรแกรม Quality confirm อีกครั้งที่อุณหภูมิ 25C ซึ่งดูจากกราฟแล้ว ค่าค่อนข้างมีทิศทางที่แตกต่างกันอย่างชัดเจนและเริ่มมียูนิตบางตัวค่าเกินจากลิมิตของ FT(90uv) และ QC (130uv) นั่นก็คือ -149.36uv, 134.71uv, 186.59uv, 173.59uv (Fail vos) และเมื่อเริ่มที่อุณหภูมิ 45C ขึ้นไปแล้ว ยูนิตก็จะเกิด Fail vos มากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.11 กราฟแสดงการเปรียบเทียบระหว่างโปรแกรม FT และ QC ที่อุณหภูมิ 55C และ 25C

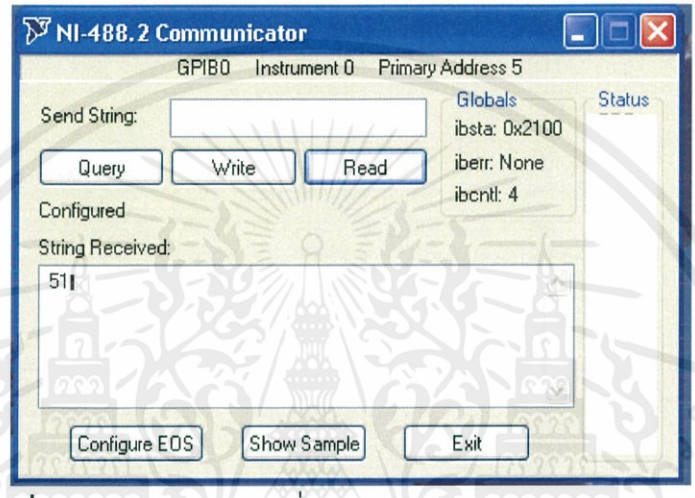
จากกราฟหมายความว่าทดสอบขั้นตอน Final test (trimming) ที่อุณหภูมิ 55C แล้วทดสอบด้วยขั้นตอนยืนยันการทดสอบ (Retest) ที่โปรแกรม Quality confirm อีกครั้งที่อุณหภูมิ 25C ซึ่งดูจากกราฟแล้ว ค่าค่อนข้างมีทิศทางที่แตกต่างกันอย่างชัดเจน และเริ่มมียูนิตบางตัวค่าเกินจากลิมิตของ FT(90uv) และ QC(130uv) นั่นก็คือ -316.11uv, -208.97uv, 134.01uv, 157.25uv, 195.07uv, 148.97uv, 161.15uv, 207.16uv (Fail vos) และเมื่อเริ่มที่อุณหภูมิ 45C ขึ้นไปแล้ว ยูนิตก็จะเกิด Fail vos มากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 การปรับปรุงและแก้ไขปัญหา

ในการแก้ไขปัญหาเราทำการเขียนเงื่อนไขเพิ่มลงในโปรแกรมที่ใช้ทำการทดสอบผลิตภัณฑ์ โดยเงื่อนไขนั้นจะเป็นตัวกำหนดช่วงอุณหภูมิ (20c <T< 30c)ที่แฮนด์เลอร์ (Handler) สามารถทดสอบงานได้โดยที่ ไม่เกิดการ Fail input voltage offset ขั้นตอนการแก้ไขจะมีดังนี้

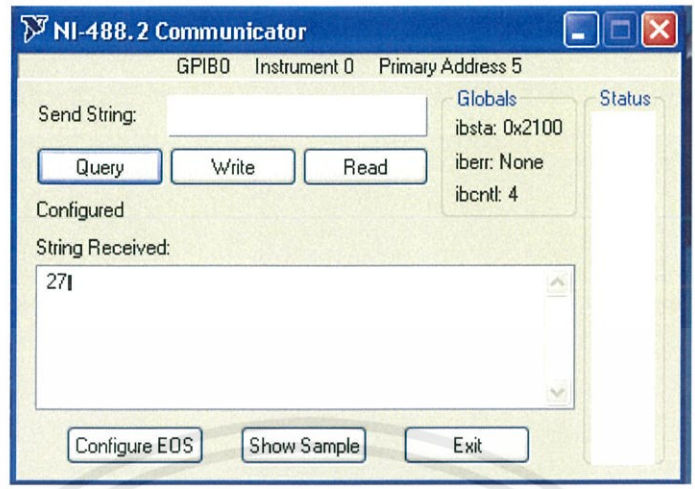
3.3.1 ดึงอุณหภูมิจากแฮนด์เลอร์ (Handler) ไปที่เทสเตอร์ (Tester)



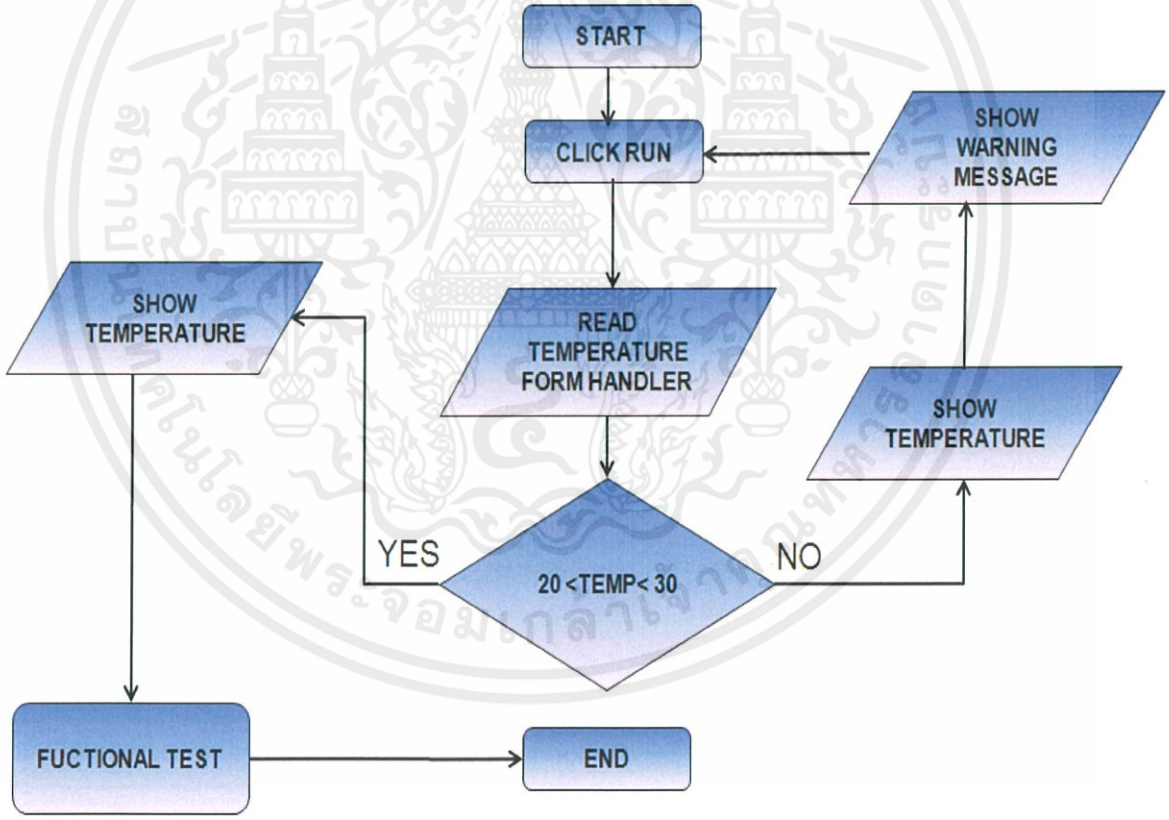
ภาพที่ 3.12 ภาพแสดงขณะที่แฮนเลอร์มีอุณหภูมิ 51 องศาเซลเซียล

ภาพที่ 3.13 ภาพแสดงขณะที่แฮนเลอร์มีอุณหภูมิ 29 องศาเซลเซียล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

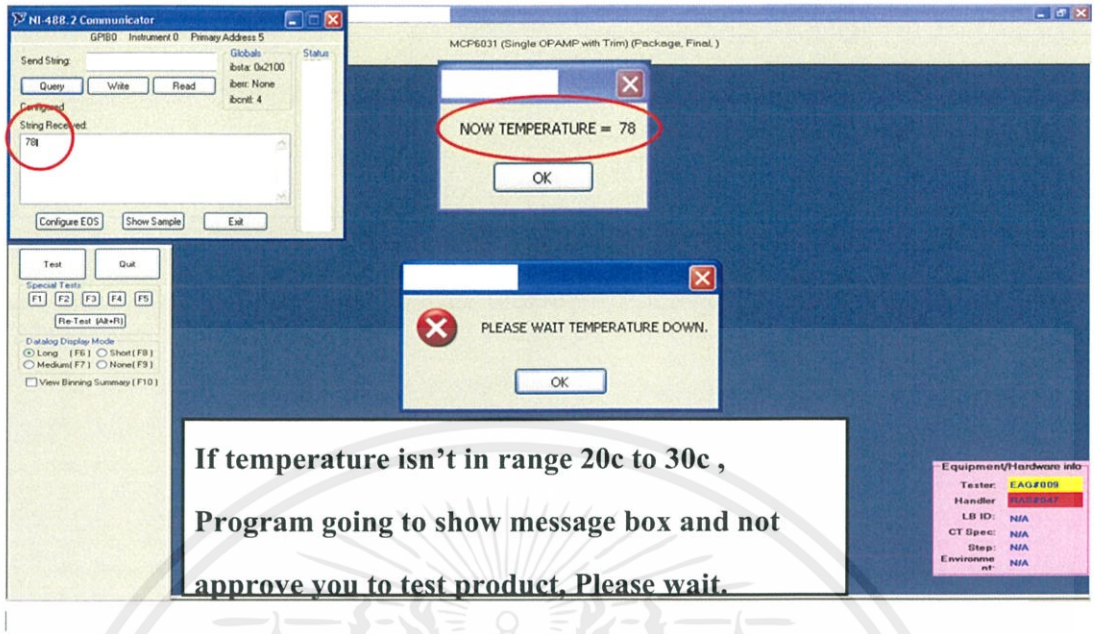


ภาพที่ 3.14 ภาพแสดงขณะที่แฮนเลอร์มีอุณหภูมิ 27 องศาเซลเซียล

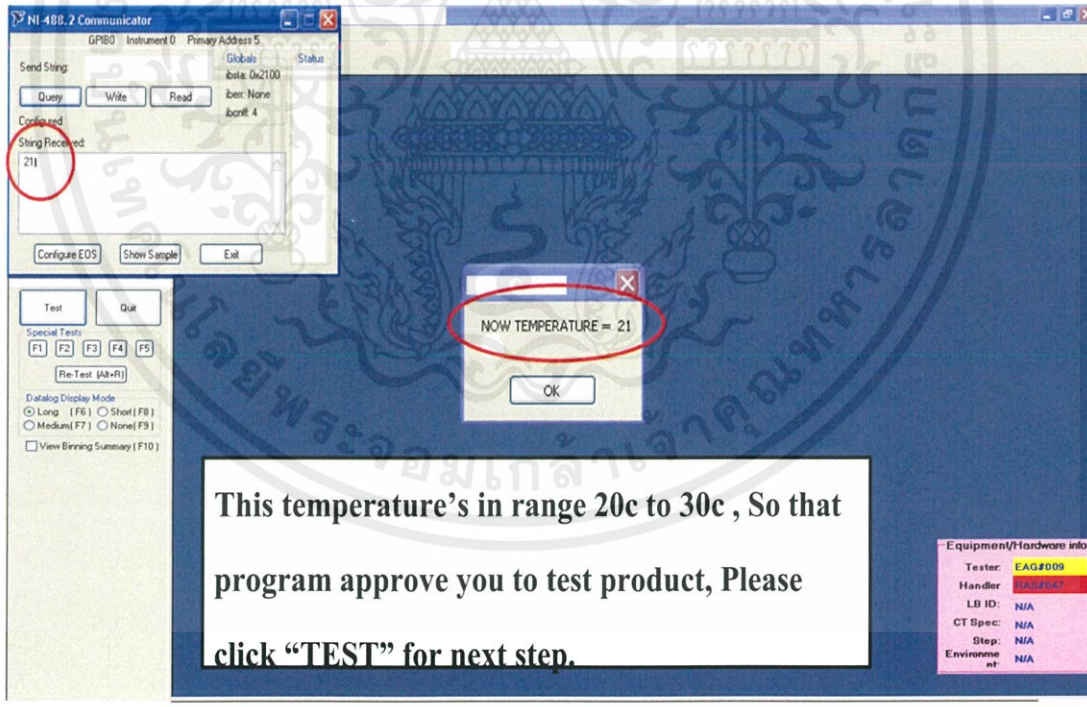


ภาพที่ 3.15 ภาพแสดงเงื่อนไขเพิ่มลงในโปรแกรมทดสอบของเทสเตอร์ (Tester)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.16 ภาพแสดงขณะที่แฮนเลอร์มีอุณหภูมิ 78 องศาเซลเซียล แต่โปรแกรมไม่สามรถให้ทำการทดสอบได้ เนื่องจากอุณหภูมิไม่อยู่ในช่วง 20 – 30 องศาเซลเซียล



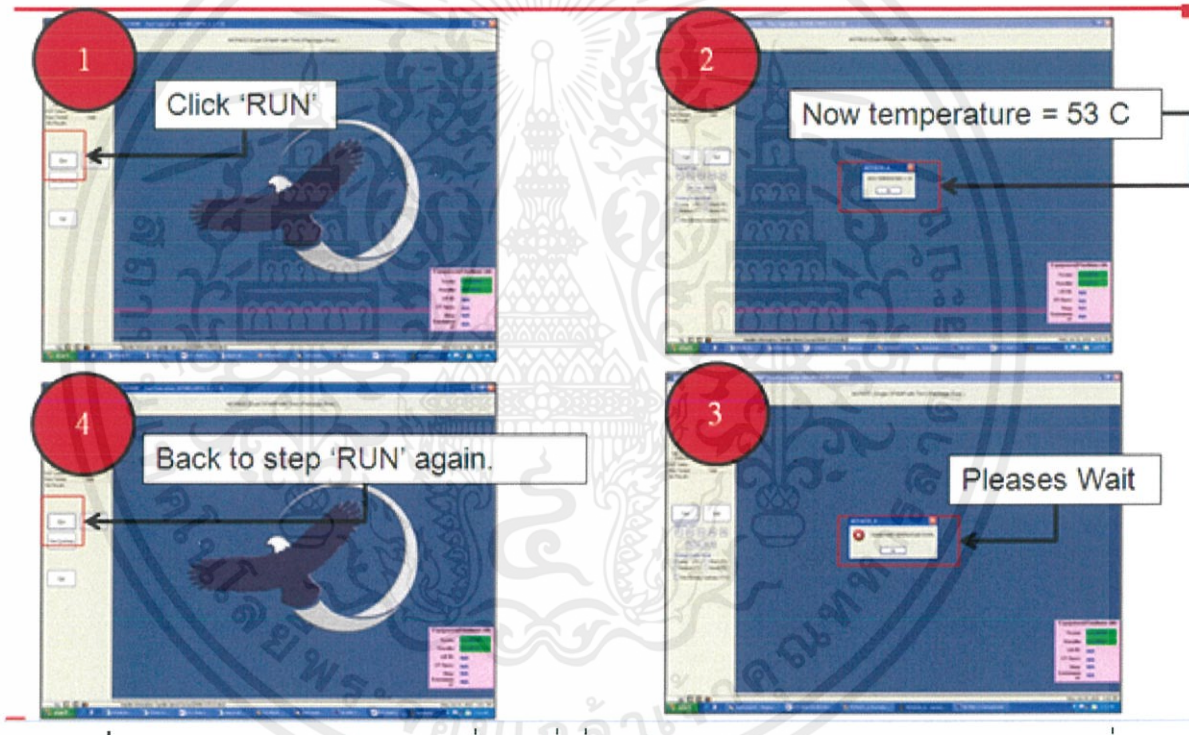
ภาพที่ 3.17 ภาพแสดงขณะที่แฮนเลอร์มีอุณหภูมิ 21 องศาเซลเซียล โปรแกรมสามรถให้ทำการทดสอบได้ เนื่องจากอุณหภูมิอยู่ในช่วง 20 – 30 องศาเซลเซียล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการดำเนินงาน

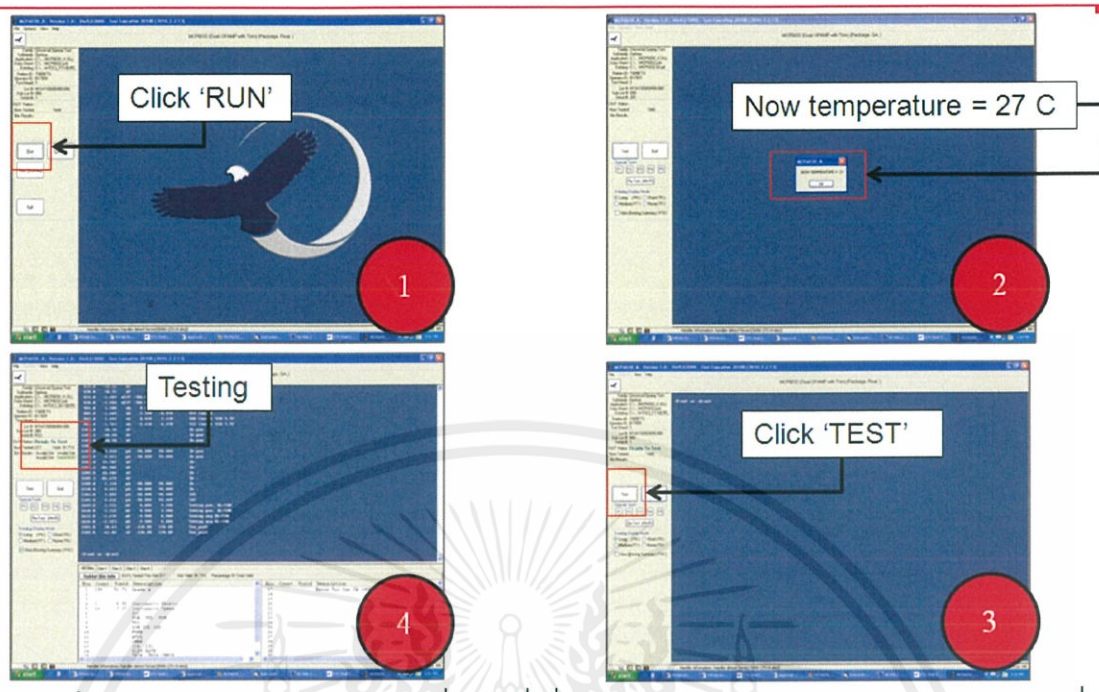
4.1 ผลการดำเนินการปรับปรุง

ในการแก้ไขปรับปรุงปัญหาในข้างต้นโดยการสร้างเงื่อนไขเพิ่มเติมในโปรแกรมที่ใช้ทดสอบผลิตภัณฑ์ โดยเงื่อนไขที่เพิ่มเข้าไปนี้จะไปเพิ่มประสิทธิภาพของการทดสอบและลดงานเสียที่เกิดจากการอุณหภูมิ และทำการเก็บข้อมูลเพื่อเปรียบเทียบกับงานที่ทำการทดสอบโดยยังไม่ผ่านการแก้ไขปัญหา



ภาพที่ 4.1 ภาพแสดงการทำงานของเงื่อนไขที่เพิ่มเข้าไปในโปรแกรม Quality control ในขณะที่อุณหภูมิไม่เข้าเงื่อนไข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.2 ภาพแสดงการทำงานของเงื่อนไขที่เพิ่มเข้าไปในโปรแกรม Quality control ในขณะที่อุณหภูมิเข้าเงื่อนไข

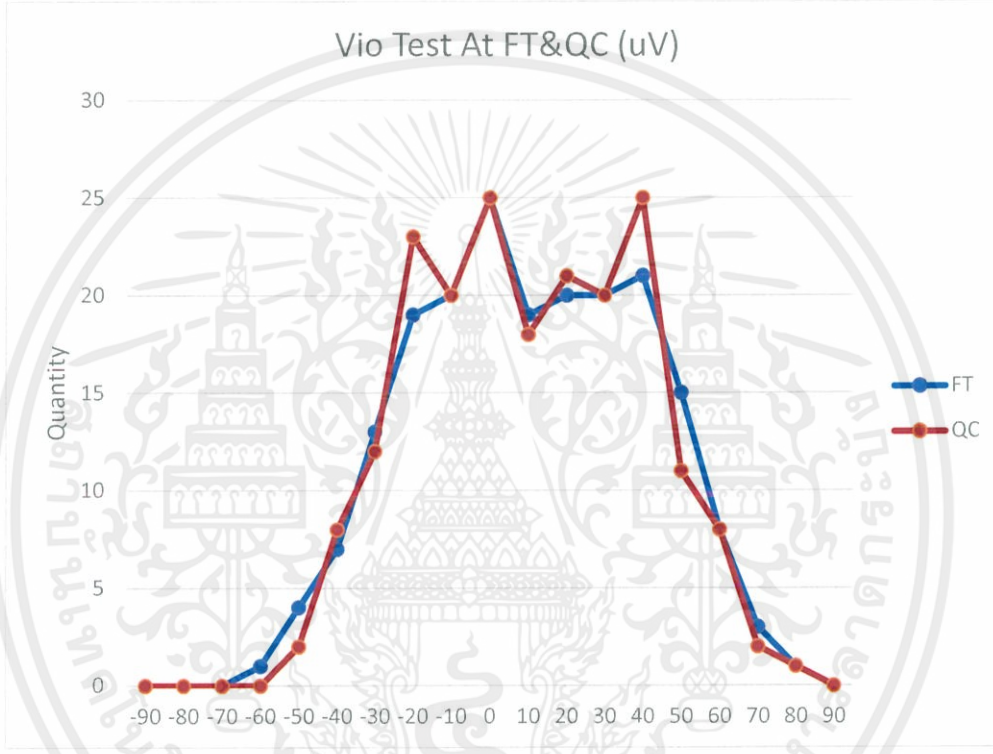
จากภาพที่ 3.20 และ ภาพที่ 3.21 เราจะสังเกตได้ว่าเทสเตอร์ (Tester)ตอบสนองกับเงื่อนไขที่เราเขียนเพิ่มลงไปในโปรแกรม Quality control และทำการทดสอบงานในเงื่อนไขตามที่เรากำหนด จากนั้นจะเป็นการนำข้อมูลของการทดสอบงานมาวิเคราะห์ค่าของ input offset voltage (Vio)

	FT	QC
Q1	-14.53	-20.69
Min	-50.59	-33.2
50%ile	6.94	-0.62
AVG	6.048	2.3464
Max	64.54	65.21
Q3	29.76	20.8
Stdev	29.26035	26.35777
6S min	-168.622	Pass
6S max	182.5021	Pass

ตารางที่ 4.1 ตารางแสดงข้อมูลเมื่อนำโปรแกรมมาทำการทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางเมื่อนำโปรแกรมที่เพิ่มเงื่อนไขมาทำการทดสอบงานมาใช้งานโดยการทดสอบงาน ที่ขั้นตอน Final test แล้ว ได้งานที่ผ่านการทดสอบ หลังจากนั้นเรานำงานที่ผ่านการทดสอบในขั้นตอน Fianl test มาทดสอบอีกครั้งในขั้นตอนยืนยันการทดสอบ (Retest) ที่โปรแกรม Quality control ที่อุณหภูมิ 25 องศาเซลเซียล จะพบว่างาน ผ่านทั้งหมด ไม่มี Fail input offset voltage (Vio) เกิดขึ้น และช่วงของค่า input offset voltage (Vio) ก็อยู่ในลิมิตที่โรงงานกำหนดไว้



ภาพที่ 4.3 กราฟแสดงข้อมูลหลังแก้ไขปัญหา

4.2 การดำเนินการควบคุม

4.2.1 เพิ่มเงื่อนไขลงไปในโปรแกรมทดสอบผลิตภัณฑ์ที่ขั้นตอนยืนยันการทดสอบ (Retest) เพื่อมดสอบอุณหภูมิขิง Handler ในเวลานั้นๆ

4.2.1.1 20 C < อุณหภูมิ < 30 C สามารถทำการทดสอบได้

4.2.1.2 20 C > อุณหภูมิ > 30 C ไม่สามารถทำการทดสอบได้

4.2.2 ตรวจสอบอุณหภูมิของแฮนด์เลอร์ (Handler) ผ่าน GPIB อยู่ตลอดเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการดำเนินงานและข้อเสนอแนะ

5.1 สรุปผลการดำเนินงาน

ในการดำเนินงานในการปรับปรุงในครั้งนี้ ได้ทำการวิเคราะห์และแก้ไขปัญหาของการเกิด Fail input offset voltage (Vio) ที่ขั้นตอน Retest ในโปรแกรม Quality control ซึ่งเป็นกระบวนการที่เกิดปัญหาค่อนข้างมากในปี 2017 ที่ผ่านมา และได้ทำการวิเคราะห์และรวบรวมข้อมูลจนพบว่า หากอุณหภูมิของแฮนด์เลอร์ (Handler) ไม่อยู่ในช่วง 20 – 30 องศาเซลเซียล ในการทดสอบงานขั้นตอน Final test และเมื่อต้องการนำงานไปทดสอบในขั้นตอนยืนยันการทดสอบ (Retest) ด้วยโปรแกรม Quality control จะพบว่างานที่ทำการทดสอบที่ขั้นตอนยืนยันการทดสอบ (Retest) จะเกิด Fail input offset voltage (Vio) เกิดขึ้น ปัญหาที่เกิดขึ้นอยู่ที่กระบวนการทดสอบตัวงาน (Test process) เราจึงทำการเขียนเงื่อนไขเพิ่มเข้าไปในโปรแกรม Quality control ที่ขั้นตอนยืนยันการทดสอบ (Retest) เพื่อป้องกันในกรณีที่อุณหภูมิของแฮนด์เลอร์ (Handler) เกินช่วง 20 – 30 องศาเซลเซียล หลังจากนั้นนำโปรแกรมที่แก้ขไปใช้จริงผลปรากฏว่าเงื่อนไขที่เพิ่มเข้าไปทำให้เกิด Fail input offset voltage (Vio) น้อยลงหรือแทบจะไม่มีเลย

5.2 ปัญหาและอุปสรรคในการดำเนินงาน

เนื่องจากเครื่องจักรมีความซับซ้อนในการใช้งานเราจึงต้องศึกษาและทำความเข้าใจค่อนข้างมาก ปัญหาที่พบก็คือการติดต่อสื่อสารระหว่างเทสเตอร์ (Tester) และ แฮนด์เลอร์ (Handler) ซึ่งเราต้องรู้คำสั่งในการดึงอุณหภูมิจากแฮนด์เลอร์ (Handler) เพื่อนำมาสร้างเงื่อนไข แต่ภาษาของแฮนด์เลอร์ (Handler) ค่อนข้างซับซ้อน ปัญหาในการทำงานจึงติดอยู่ในกระบวนการนี้นานพอสมควร

5.3 ข้อเสนอแนะ

อุณหภูมิค่อนข้างมีผลกับผลิตภัณฑ์ตัวนี้อย่างมากจึงอยากให้ระมัดระวังในการทดสอบ เพราะจากข้อมูลที่ทำการทดลองและนำมาเปรียบเทียบกันแล้ว เพียงแค่ 2 – 3 องศาเซลเซียล ก็สามารถทำให้ค่าของ Input offset voltage (Vio) เกินลิมิตจนเกิดเป็นงานเสียได้ เราควรตรวจสอบและพัฒนาให้โปรแกรมมีความเสถียรอยู่เสมอเพื่อจะสามารถนำโปรแกรมนี้ไปใช้อย่างเป็นทางการในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1) Website : http://mtaiweb/default.aspx

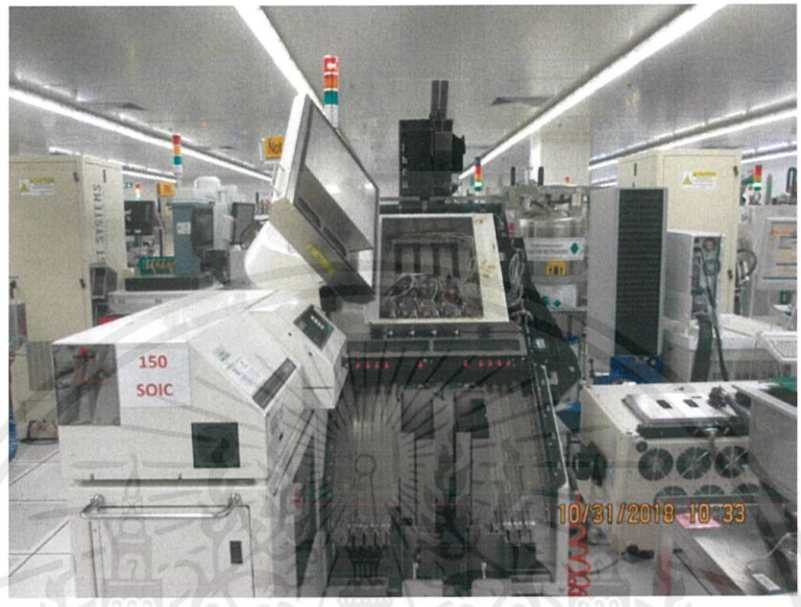
2) Website : https://www.teradyne.com/support/training/semiconductor-test-curriculum-ets-maintenance

3) Website : http://www.temptronic.com/mobiletemp/MobileTemp12.htm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

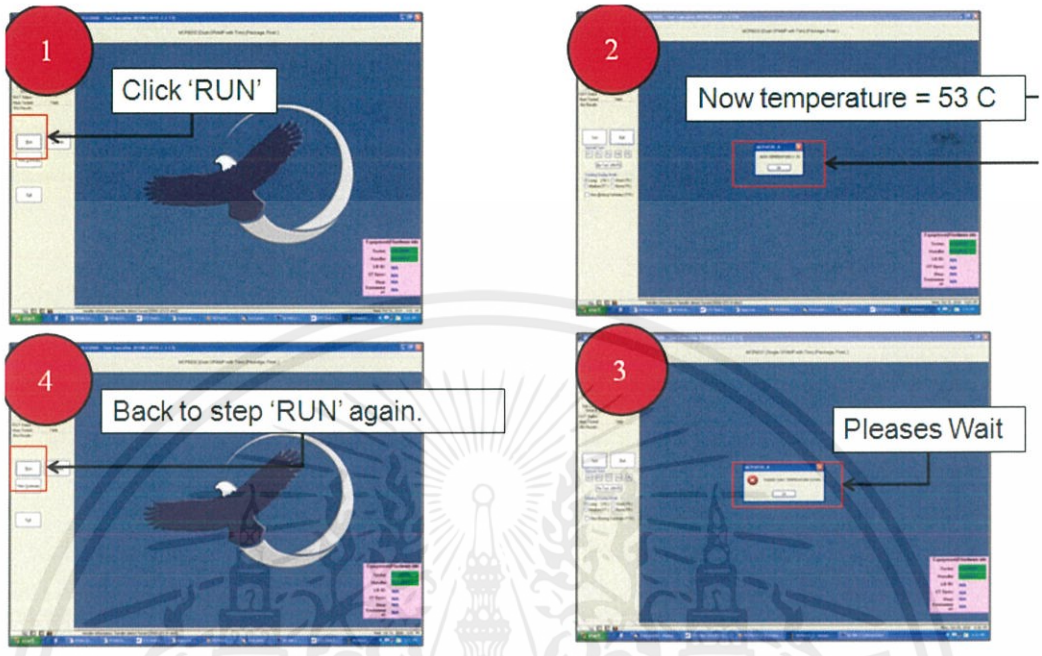
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



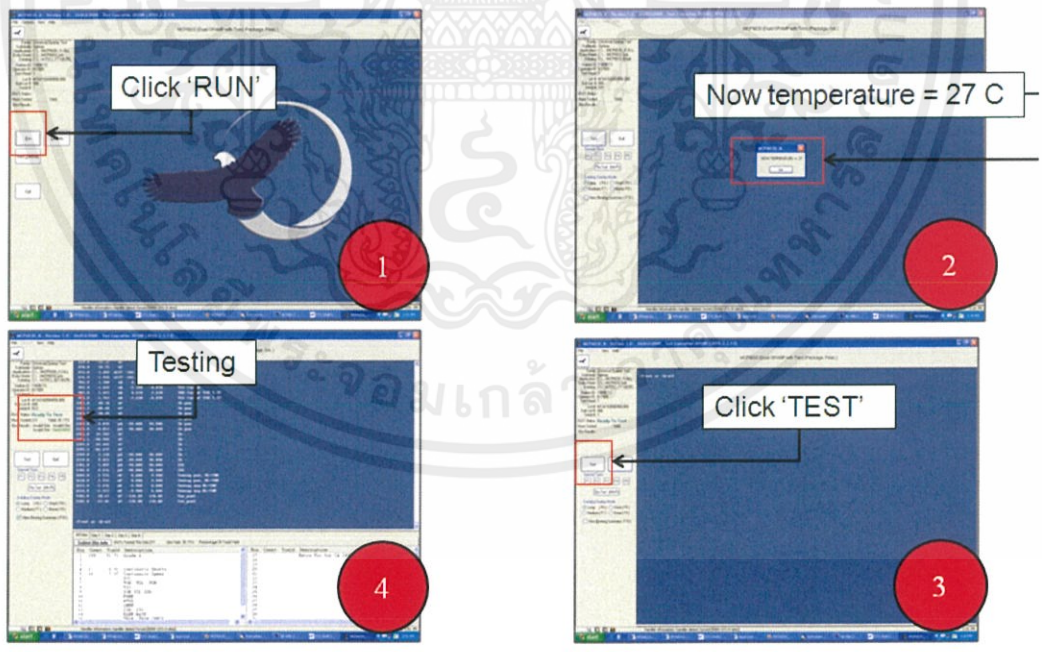
ภาพที่ 1 ภาพแสดงส่วนประกอบโดยรวมของ Handler (Aetrium QTS)

ภาพที่ 2 ภาพแสดงส่วนประกอบของ Set-up

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3 ภาพแสดงส่วนของโปรแกรมเมื่อทำการแก้ไขแล้ว (Out case)



ภาพที่ 4 ภาพแสดงส่วนของโปรแกรมเมื่อทำการแก้ไขแล้ว (In case)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้