วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์
Successive-Approximation Analog to Digital Convertor

โอบนิธิ กรัณฑรัตน
Obnithi Karantarat

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2559

วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์

Successive-Approximation Analog to Digital Convertor

โดย

โอบนิธิ กรัณฑรัตน

Obnithi Karantarat

อาจารย์ที่ปรึกษา

ศาสตราจารย์ ดร.วรากร เกษมสุวรรณ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2559

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์	ปีการศึกษา 2559
ภาควิชา	วิศวกรรมอิเล็กทรอนิกส์
คณะ	วิศวกรรมศาสตร์
	สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เรื่อง	วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์
	Successive-Approximation Analog to Digital Convertor
ผู้จัดทำ	นายโอบนิธิ กรัณฑรัตน รหัส 56011479

ปริญญานิพนธ์นี้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

(ศาสตราจารย์ ดร.วรากร เกษมสุวรรณ์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์
นักศึกษา	นายโอบนิธิ กรัณฑรัตน รหัส 56011479
ปริญญา	วิศวกรรมศาสตรบัณฑิต
ภาควิชา	วิศวกรรมอิเล็กทรอนิกส์
ปีการศึกษา	2559
อาจารย์ที่ปรึกษาปริญญานิพนธ์	ศาสตราจารย์ ดร.วรากร เกษมสุวรรณ์

บทคัดย่อ

วงจรแปลงสัญญาณจากสัญญาณอนาลอกเป็นสัญญาณดิจิตอลเป็นวงจรที่มีความสำคัญ ปริญญานิพนธ์นี้เป็นการนำเสนอวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์ ขนาด 10 บิต ซึ่งประกอบด้วย 6 ส่วน คือ วงจร Dynamic Two Stage Latched Comparator, วงจร Digital to Analog Converter แบบ Charge scaling Digital to Analog Converter, วงจรกำเนิดสัญญาณนาฬิกาแบบมัลติไวเบรเตอร์, วงจร Sample and Hold, วงจรกำเนิดแรงดันอ้างอิงแบบแบนด์แกป และวงจร Successive Approximation Register Control Logic วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์ในโครงงานนี้ใช้เทคโนโลยี 0.35 μm และความถี่ในการสุ่มสัญญาณ 83 kS/s

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้สำเร็จได้ด้วยความกรุณาจากอาจารย์ที่ปรึกษา ศ.ดร.วรากร เกษมสุวรรณ์ที่ให้คำปรึกษา ให้คำชี้แนะช่วยแก้ปัญหา ตลอดจนให้ความรู้และประการณ์ที่ดีแก่ข้าพเจ้า

ขอขอบคุณอาจารย์ ผศ.ดร.สุรโชค ธนพิทักษ์ จากภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยมหิดล และอาจารย์ ผศ.ดร.กสิน วิเชียรชม จากภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ช่วยให้คำแนะนำ และคำปรึกษาเกี่ยวกับวิธีการใช้โปรแกรม Cadence

ขอขอบคุณ คุณภูวนัตถ์ บำรุงญาติ และคุณวศรุต แก้วสุ ที่ช่วยให้ความรู้และให้คำปรึกษาให้เรื่องต่างๆเกี่ยวกับการทำโครงงานครั้งนี้

และสุดท้าย ขอขอบคุณ ครอบครัวของข้าพเจ้า ทั้งบิดา มารดา คุณย่า และน้องสาวสำหรับการสนับสนุนในทุกๆด้าน

สำหรับคุณงามความดีอันใดที่เกิดจากโครงงานนี้ ข้าพเจ้าขอมอบให้กับบิดามารดา ซึ่งเป็นที่รักและเคารพยิ่ง ตลอดจนครูอาจารย์ที่เคารพทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้และถ่ายทอดประสบการณ์ที่ดีให้แก่ข้าพเจ้า

โอบนิธิ กรัณฑรัตน

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Successive-Approximation Analog to Digital Converter
Student	Obnithi Karantarat Student ID 56011479
Degree	Bachelor Engineering
Department	Electronics Engineering
Year	2016
Thesis Advisor	Prof. Dr. Varakorn Kasemsuwan

Abstract

Analog-to-Digital Converter is one among important analog circuit building blocks. This project presents a 10-bit successive approximation (SAR) Analog-to-Digital Converter. The circuit consists of six parts namely dynamic two stage latched comparator, charge scaling Digital-to-Analog Converter, Multivibrator, Sample and Hold (SH) circuit, Band gap voltage reference and finally Successive approximation register control logic. The SAR was designed using 0.35 μm technology and has conversion time of 83kS/s.

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย.....I

บทคัดย่อภาษาอังกฤษ.....II

กิตติกรรมประกาศ.....III

สารบัญ.....IV

สารบัญตาราง.....VIII

สารบัญรูป.....IX

บทที่ 1 บทนำ.....1

1.1 ที่มาและความสำคัญของโครงงาน.....1

1.2 วัตถุประสงค์ของโครงงาน.....2

1.3 สมมติฐานของการศึกษา.....2

1.4 ระยะเวลาในการทำโครงงาน.....3

1.5 ประโยชน์ที่จะได้รับ.....3

บทที่ 2 คุณสมบัติพื้นฐานของ Data convertor.....4

2.1 คุณสมบัติทั่วไป.....4

2.1.1 Resolution.....4

2.1.2 Quantization Error.....4

2.2 DC specification.....5

2.2.1 Differential Nonlinearity.....5

2.2.2 Integral Nonlinearity.....6

2.3 Dynamic specification.....6

2.3.1 Signal to Noise Ratio.....6

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

2.3.2 Signal-to-Noise and Distortion (SINAD) 7

2.3.3 Effective Number of Bits (ENOB) 7

2.3.4 Dynamic Range (DR) 7

บทที่ 3 การออกแบบและการทำงาน.....8

3.1 การออกแบบวงจรพื้นฐาน.....8

3.1.1. Inverter.....8

3.1.2. NOR Gate.....9

3.1.3. NAND Gate.....11

3.1.4. Transmission Gate.....12

3.2 การออกแบบวงจรส่วนประกอบของวงจรแปลงสัญญาณอนาลอก
เป็นดิจิตอลแบบเอส เอ อาร์.....15

3.2.1 D flip flop 16

3.2.1.1 Successive Approximation Control Logic.....19

3.2.2 Comparator.....20

3.2.3 Digital to Analog convertor 24

3.2.3.1 Current scaling Digital to Analog convertor.....24

3.2.3.2 Voltage scaling Digital to Analog convertor.....25

3.2.3.3 Charge scaling Digital to Analog convertor.....25

3.2.4 แหล่งกำเนิดแรงดันอ้างอิง.....28

3.2.4.1 แหล่งกำเนิดแรงดันอ้างอิงแบบที่ใช้ VBE 28

3.2.4.2 แหล่งกำเนิดแรงดันอ้างอิงแบบที่ใช้ VTH.....28

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

3.2.4.3 แหล่งกำเนิดแรงดันอ้างอิงแบบแบนด์แกป....28

3.2.5 วงจรกำเนิดสัญญาณนาฬิกา....31

3.2.6 วงจรส่วนเอาท์พุตของวงจรแปลงสัญญาณ

อนาลอกเป็นดิจิตอลแบบเอส เอ อาร์....35

บทที่ 4 ผลจำลองการทำงาน....38

4.1 การกำหนดขนาดของมอสเฟต....38

4.2 วงจร Comparator....39

4.3 ฟลิปฟลอปแบบ D....41

4.4 วงจร SAR Control Logic 10 บิต....43

4.5 D/A converter....44

4.6 วงจรแหล่งกำเนิดแรงดันอ้างอิงแบบแบนด์แกป....46

4.7 Clock Multivibrator....48

4.7.1 วงจรสร้างสัญญาณ Sample และ Reset ของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ SAR....49

4.8 การวัดการกำลังงานของวงจรโดยรวม....50

4.9 การวัดคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล....50

4.9.1 Resolution....50

4.9.2 DC specification....51

4.9.3 Dynamic specification....54

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5 สรุปผลและวิเคราะห์การทำงานของวงจร.....57

5.1 สรุปผล.....57

บรรณานุกรม.....58

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

ตารางที่ 1.1 คุณลักษณะของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบต่างๆ....2

ตารางที่ 1.2 ระยะเวลาในการทำโครงงาน....3

ตารางที่ 3.1 ตารางความจริงของ NOR Gate....9

ตารางที่ 3.2 ตารางความจริงของ NAND Gate....11

ตารางที่ 3.3 การกำหนดขนาดมอสเฟตใน D Flip-Flop....17

ตารางที่ 3.4 การกำหนดขนาดของมอสเฟตใน Dynamic Two Stage Latched Comparator....24

ตารางที่ 3.5 การกำหนดขนาดมอสเฟตของ Bottom plate switch....27

ตารางที่ 4.1 คุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์....56

ตารางที่ 5.1 สรุปคุณสมบัติพื้นฐาน....57

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

รูปที่ 2.1 Quantization Error....4

รูปที่ 2.2 DNL....5

รูปที่ 2.3 INL....6

รูปที่ 2.4 Effective number of bits (ENOB)....7

รูปที่ 3.1 วงจร Inverter....8

รูปที่ 3.2 การออกแบบ Layout ของวงจร Inverter....9

รูปที่ 3.3 สัญลักษณ์ของ NOR Gate....9

รูปที่ 3.4 วงจร NOR Gate ขนาดเล็ก โดยมีขนาด W ของ NMOS เท่ากับ 0.7 µm,
ขนาด W ของPMOS 4.2 µm....10

รูปที่ 3.5 วงจร NOR Gate ขนาดใหญ่ โดยมีขนาด W ของ NMOS เท่ากับ 1.4 µm,
ขนาด W ของ PMOS 8.4 µm....10

รูปที่ 3.6 รูป Layout ของวงจร NOR Gate ที่ออกแบบครั้งแรก
และรูป Layout ของวงจร NOR Gate ที่ปรับปรุงให้มีขนาดเล็กลง....10

รูปที่ 3.7 สัญลักษณ์ของ NAND Gate....11

รูปที่ 3.8 วงจร NAND Gateโดยมีขนาด W ของ NMOS
เท่ากับ 1.4 µm, ขนาด W ของ PMOS 1.4 µm....11

รูปที่ 3.9 Layout ของวงจร NAND Gate....12

รูปที่ 3.10 การนำมอสเฟตมาใช้เป็นสวิตช์....12

รูปที่ 3.11 สวิตช์แบบ Transmission gate....13

รูปที่ 3.12 Transmission Gate ขนาดเล็ก โดยมีขนาด NMOS เท่ากับ 0.7 µm,
ขนาด PMOS เท่ากับ 2.1 µm....13

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

รูปที่ 3.13 Transmission Gate ขนาดใหญ่ โดยมีขนาด NMOS เท่ากับ 1.4 μm, ขนาด PMOS เท่ากับ 4.2 μm....13
รูปที่ 3.14 Layout ของ Transmission Gate ขนาดใหญ่....14
รูปที่ 3.15 Layout ของ Transmission Gate ขนาดเล็ก....14
รูปที่ 3.16 โครงสร้างของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ SAR....15
รูปที่ 3.17 Block diagram ภายใน D Flip-Flop....16
รูปที่ 3.18 D Flip-Flop แบบที่มีขา Set และ Reset....17
รูปที่ 3.19 Layout ของ D Flip Flop ที่สร้างครั้งแรก ใช้พื้นที่ 2890.8 μm^2....18
รูปที่ 3.20 Layout ของ D Flip Flop ที่ทำการปรับปรุงใหม่ ใช้พื้นที่ 2210.199 μm^2 ซึ่งลดพื้นที่ไป 23.54%....18
รูปที่ 3.21 Successive Approximation Control Logic....19
รูปที่ 3.22 สัญลักษณ์ของคอมพาราเตอร์ และกราฟความสัมพันธ์ระหว่างแรงดันอินพุตและเอาต์พุต....20
รูปที่ 3.23 แบบ Dynamic Two Stage Latched Comparator....21
รูปที่ 3.24 วงจร comparator ในโปรแกรม Cadence....22
รูปที่ 3.25 Layout ของ วงจร comparator ในโปรแกรม Cadence....23
รูปที่ 3.26 Current scaling Digital to Analog convertor....24
รูปที่ 3.27 Voltage scaling Digital to Analog convertor ขนาด 4 บิต....25
รูปที่ 3.28 Charge scaling Digital to Analog convertor....25
รูปที่ 3.29 Charge scaling Digital to Analog convertor แบบที่มี Sample and hold circuit ในตัว....26
รูปที่ 3.30 Bottom plate switch....26

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

รูปที่ 3.31 Bottom plate switch ในโปรแกรม Cadence....27
รูปที่ 3.32 สัญลักษณ์ของ Bottom plate switch ที่สร้างขึ้นใน Cadence....27
รูปที่ 3.33 วงจร Top plate switch....28
รูปที่ 3.34 วงจรแหล่งกำเนิดแรงดันอ้างอิงแบบแบนด์แกป....29
รูปที่ 3.35 ส่วน CTAT ของวงจรแหล่งกำเนิดแรงดันอ้างอิงแบบแบนด์แกป....29
รูปที่ 3.36 ส่วน PTAT ของวงจรแหล่งกำเนิดแรงดันอ้างอิงแบบแบนด์แกป....30
รูปที่ 3.37 Multivibrator....32
รูปที่ 3.38 กราฟ Voltage transfer characteristic ของ Inverter....32
รูปที่ 3.39 วงจรกำเนิดสัญญาณนาฬิกา แบบ Multivibrator ที่มีวงจรหารความถี่....33
รูปที่ 3.40 วงจร Digital Logic Gate ใช้สำหรับนับ Clock
เพื่อให้สัญญาณ Sample และสัญญาณ Reset....34
รูปที่ 3.41 วงจร Logic Gate....34
รูปที่ 3.42 วงจรทางออกของสัญญาณ Sample และสัญญาณ Reset....35
รูปที่ 3.43 วงจรส่วนเอาท์พุตของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์....35
รูปที่ 3.44 ขาสัญญาณ Data3 จากวงจร Digital Logic Gate ใช้สำหรับนับ Clock 36
รูปที่ 3.45 Time diagram ของวงจรส่วนเอาท์พุตของวงจร
แปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์....36
รูปที่ 4.1 วงจร Inverter....38
รูปที่ 4.2 กราฟ Voltage transfer characteristic....38
รูปที่ 4.3 กราฟ transient....39
รูปที่ 4.4 วงจร Comparator ที่ทดลอง....39
รูปที่ 4.5 การป้อนแรงดัน Delta และสัญญาณนาฬิกา....40

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

รูปที่ 4.6 กราฟ Delay time ของ Comparator....40

รูปที่ 4.7 กราฟ Delay time ของ Comparator ที่
รวมตัวไดร์ฟอินเวอร์เตอร์แล้ว และต่อกับโหลด SAR Control Logic....41

รูปที่ 4.8 วงจรฟลิปฟลอบแบบ D....41

รูปที่ 4.9 Time Clock to Q....42

รูปที่ 4.10 Time diagram ของ D Flip-Flop....42

รูปที่ 4.11 วงจร Successive Approximation Control Logic ขนาด 10 บิต....43

รูปที่ 4.12 ผลการทดลอง Transient response ของ
วงจร Successive Approximation Control Logic ขนาด 10 บิต
เมื่อให้สัญญาณจาก Comparator เท่ากับ 0 โวลต์....43

รูปที่ 4.13 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก DAC
แบบ Charge scaling Digital to Analog convertor....44

รูปที่ 4.14 สัญญาณดิจิตอลอินพุตที่ป้อนเพื่อทดสอบ DAC
โดยสัญญาณดิจิตอลจะมีการเปลี่ยนบิตเพิ่มขึ้นในทุกๆ 1μs....44

รูปที่ 4.15 กราฟ Output ของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก DAC
แบบ Charge scaling Digital to Analog convertor....45

รูปที่ 4.16 ภาพขยายบางส่วนของกราฟ Output ของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก DAC
แบบ Charge scaling Digital to Analog convertor....45

รูปที่ 4.17 วงจรแหล่งกำเนิดแรงดันอ้างอิงแบบแบนด์แกป....46

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

รูปที่ 4.18 กราฟความสัมพันธ์ระหว่างแรงดันอ้างอิงกับอุณหภูมิ เมื่ออุณหภูมิมีการเปลี่ยนแปลงจาก -50 ถึง 200 องศาเซลเซียส โดยใช้ทรานซิสเตอร์ Q_2 ใหญ่กว่า Q_1 4 เท่า.....46

รูปที่ 4.19 กราฟความสัมพันธ์ระหว่างแรงดันอ้างอิงกับอุณหภูมิ เมื่ออุณหภูมิมีการเปลี่ยนแปลงจาก -50 ถึง 200 องศาเซลเซียส โดยใช้ทรานซิสเตอร์ Q_2 ใหญ่กว่า Q_1 3 เท่า.....47

รูปที่ 4.20 กราฟความสัมพันธ์ระหว่างแรงดันอ้างอิงกับอุณหภูมิ เมื่ออุณหภูมิมีการเปลี่ยนแปลงจาก -50 ถึง 200 องศาเซลเซียส โดยใช้ทรานซิสเตอร์ Q_2 ใหญ่กว่า Q_1 5 เท่า.. 47

รูปที่ 4.21 กราฟความสัมพันธ์ระหว่างแรงดันอ้างอิงกับแหล่งจ่าย V_{DD}

เมื่อแหล่งจ่าย V_{DD} มีการเปลี่ยนแปลง จาก 2.5 ถึง 4.5 โวลต์

(เส้นสีแดงคือ V_{DD} และ เส้นสีเขียว คือ V_{ref})

โดยใช้ทรานซิสเตอร์ Q_2 ใหญ่กว่า Q_1 4 เท่า.....47

รูปที่ 4.22 กราฟความสัมพันธ์ระหว่างแรงดันอ้างอิงกับแหล่งจ่าย V_{DD}

เมื่อแหล่งจ่าย V_{DD} มีการเปลี่ยนแปลง จาก 2.5 ถึง 4.5 โวลต์

(เส้นสีแดงคือ V_{DD} และ เส้นสีเขียว คือ V_{ref})

โดยใช้ทรานซิสเตอร์ Q_2 ใหญ่กว่า Q_1 3 เท่า.....48

รูปที่ 4.23 กราฟความสัมพันธ์ระหว่างแรงดันอ้างอิงกับแหล่งจ่าย V_{DD}

เมื่อแหล่งจ่าย V_{DD} มีการเปลี่ยนแปลง จาก 2.5 ถึง 4.5 โวลต์

(เส้นสีแดงคือ V_{DD} และ เส้นสีเขียว คือ V_{ref})

โดยใช้ทรานซิสเตอร์ Q_2 ใหญ่กว่า Q_1 4 เท่า.....48

รูปที่ 4.24 Clock Multivibrator และวงจรหารความถี่.....48

รูปที่ 4.25 สัญญาณนาฬิกาจาก Clock Multivibrator และวงจรหารความถี่.....49

รูปที่ 4.26 วงจรสร้างสัญญาณ Sample และ Reset ของวงจร

แปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์.....49

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

รูปที่ 4.27 ผลการทดสอบวงจรสร้างสัญญาณ Sample และ Reset
ของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ SAR....50
รูปที่ 4.28 Quantization Error ของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์....51
รูปที่ 4.29 การป้อนสัญญาณอินพุตเข้า DAC
โดยที่สัญญาณดิจิตอลจะมีการเปลี่ยนบิตเพิ่มขึ้นในทุกๆ 1µs....52
รูปที่ 4.30 สัญญาณ Output จาก DAC....52
รูปที่ 4.31 กราฟความสัมพันธ์ระหว่างสัญญาณเอาท์พุตกับสัญญาณอินพุต....53
รูปที่ 4.32 ภาพขยายบางส่วนของกราฟความสัมพันธ์ระหว่างสัญญาณเอาท์พุตกับสัญญาณอินพุต....53
รูปที่ 4.33 สัญญาณ Sine Wave ที่ป้อนเพื่อทดสอบ Dynamic Specification....54
รูปที่ 4.34 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์ โดยที่เอาท์พุตใช้ D Flipflop....55
รูปที่ 4.35 กราฟสัญญาณอินพุต(สีส้ม)
เทียบกับสัญญาณเอาท์พุตที่ผ่านการแปลง DAC ในอุดมคติ (สีแดง)....55
รูปที่ 4.36 กราฟสเปกตรัมของสัญญาณเอาท์พุต....56

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ที่มาและความสำคัญของโครงงาน

สัญญาณในธรรมชาตินั้นเป็นสัญญาณที่มีลักษณะต่อเนื่องเมื่อเทียบกับเวลา นั่นคือสัญญาณอนาลอก แต่เนื่องจากการสัญญาณอนาลอกนั้นมีค่านับไม่ถ้วน จึงทำให้การนำข้อมูลไปใช้งานประมวลผลนั้นทำได้ยาก ในทางตรงข้าม การประมวลผลสัญญาณดิจิตอล ซึ่งประกอบด้วยค่าแรงดันสูง และต่ำเท่านั้น สามารถประมวลผลได้อย่างง่ายดาย

การที่จะนำสัญญาณอนาลอกมาใช้กับวงจรที่เป็นดิจิตอลนั้น จำเป็นต้องมีวงจรที่แปลงสัญญาณจากสัญญาณอนาลอกเป็นสัญญาณดิจิตอล เหตุผลที่โครงงานนี้เลือกทำวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์ เพราะว่าวงจรเอส เอ อาร์มีความเหมาะสมที่จะนำไปใช้กับเซนเซอร์ที่มีการเปลี่ยนแปลงสัญญาณที่ไม่เร็วมาก เช่น สัญญาณอุณหภูมิ หรือความชื้น (สัญญาณอนาลอกที่จะเข้าวงจรแปลงสัญญาณนี้จะผ่านวงจรขยายก่อน) จึงไม่ต้องการวงจรที่ต้องความเร็วในการทำงานมาก อย่างไรก็ตามวงจรรวมควรกินกำลังต่ำ และมีความแม่นยำสูง วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์งเป็นวงจรที่เหมาะสมที่สุดในงานลักษณะนี้

วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลนั้นมีหลายแบบ ตารางที่ 1 แสดงวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบต่างๆ จากตารางเราพบว่า วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ SAR นั้นมีความเหมาะสม เนื่องจากโครงงานนี้เป็นการออกแบบวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลเพื่อใช้กับสัญญาณความถี่ต่ำ เช่น อุณหภูมิ ความชื้น การวัดกรดด่าง นอกจากนั้น วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลควรใช้พลังงานน้อย เพราะต้องใช้แบตเตอร์รี่ขนาดเล็กเป็นตัวป้อนพลังงาน (การใช้งานเป็นลักษณะนอกสถานที่) ดังนั้นโครงงานนี้จึงเลือกใช้วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล แบบ SAR

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1.1 คุณลักษณะของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบต่างๆ [1]

Performance	ADC	Low Resolution (8-13 bits)	Medium Resolution (14-19 bits)	High Resolution (>=20 bits)
Sample Rate	Sigma-Delta	N.A.	128S/s - 100kS/s	15S/s - 625kS/s
	SAR	20kS/s - 4MS/s	40kS/s - 4MS/s	N.A.
	Pipeline	2MS/s - 550MS/s	1MS/s - 400MS/s	N.A.
Power	Sigma-Delta	N.A.	0.3mW - 245mW	0.3mW - 600mW
	SAR	0.25mW - 225mW	1.95mW - 413mW	N.A.
	Pipeline	15mW - 2250mW	250mW - 1900mW	N.A.

1.2 วัตถุประสงค์ของโครงงาน

1. ศึกษาการออกแบบวงจรรวม
2. ศึกษาการใช้โปรแกรมเพื่อทดสอบการทำงานของวงจรรวม

1.3 สมมติฐานของการศึกษา

วงจรรวมจะสามารถแปลงสัญญาณอนาลอกเป็นดิจิตอลได้

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 ระยะเวลาในการทำโครงงาน

ตารางที่ 1.2 ระยะเวลาในการทำโครงงาน

แผนงานโครงงานปี 4		ปี 2559					ปี2560			
	รายละเอียด	สิงหาคม	กันยายน	ตุลาคม	พฤศจิกายน	ธันวาคม	มกราคม	กุมภาพันธ์	มีนาคม	เมษายน
1	หาหัวข้อโครงงาน	←	→							
2	ศึกษาวงจร ADC ประเภทต่างๆ	←	→							
3	ออกแบบวงจร - SAR control Logic - Comparator - Switch - DAC		←	→						
4	จำลองวงจรโดยใช้โปรแกรม LTspice		←	→						
5	สรุปผล และจัดทำรูปเล่มรายงานเทอม 1		←	→						
6	ออกแบบวงจร - แรงดันอ้างอิง Bandgap - Clock					←	→			
7	ศึกษาการใช้โปแกรม Cadence						←	→		
8	ทดสอบการทำงานของวงจร Schematics						←	→		
9	ออกแบบ Layout							←	→	
10	ทดสอบการทำงานของ Layout							←	→	
11	ประเมินการทำงานของวงจรทั้งหมด		←	→				←	→	
12	สรุปผล และจัดทำรูปเล่มรายงานเทอม 2								←	→

1.5 ประโยชน์ที่จะได้รับ

1. ได้ฝึกวิธีการออกแบบ การคำนวณ และการคิดแบบเชิงวิศวกรรม
2. สามารถนำความรู้ที่ได้จากการทำโครงงานเรื่องนี้ไปประยุกต์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
คุณสมบัติพื้นฐานของ Data convertor

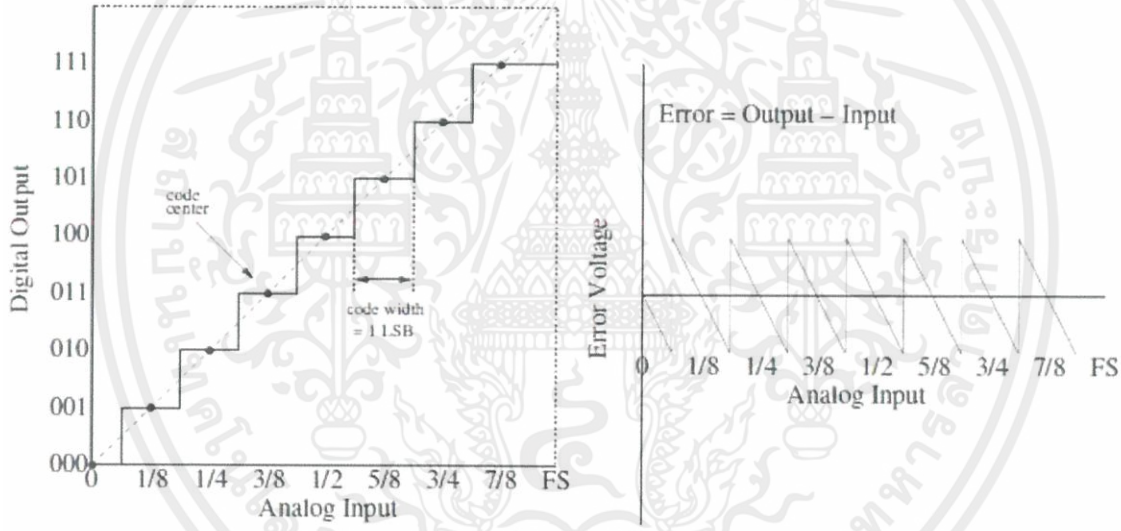
2.1 คุณสมบัติทั่วไป

2.1.1 Resolution

ค่า Resolution เป็นตัวบ่งบอกความละเอียดของวงจรแปลงสัญญาณซึ่งโดยปกติแล้วแปรผันกับจำนวนบิตที่เอาท์พุตของวงจร Analog to Digital convertor

ค่าความละเอียดของแรงดันที่น้อยที่สุด จะเท่ากับ $\frac{\text{Vref}}{2^{\text{จำนวนบิต}}}$ โดยที่ Vref เป็นแรงดันอ้างอิงในวงจร

2.1.2 Quantization Error



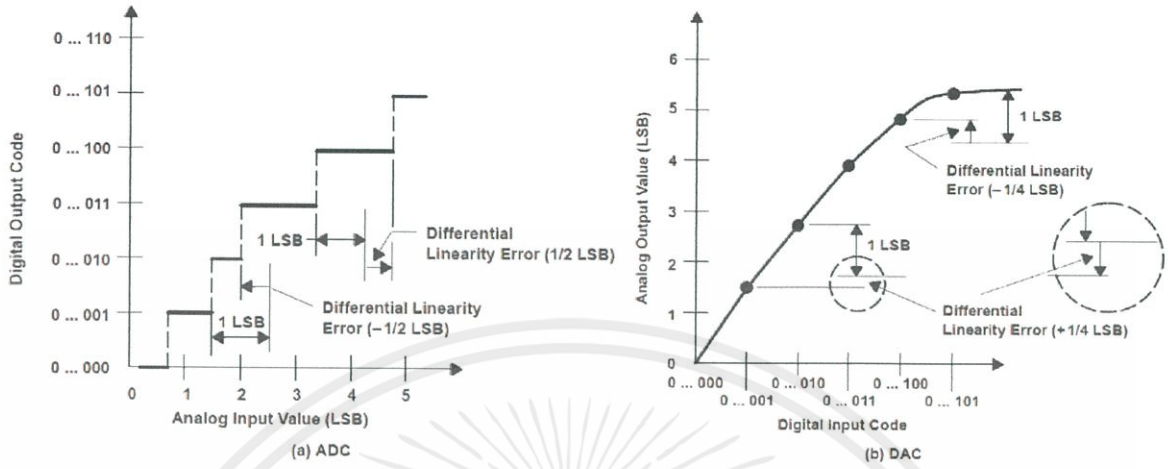
รูปที่ 2.1 Quantization Error

Quantization Error เป็นค่าความผิดพลาดระหว่างค่าจริงของสัญญาณอนาลอกอินพุต กับค่าของสัญญาณดิจิตอลที่ได้ออกมาจากวงจร D/A Convertor

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 DC specification

2.2.1 Differential Nonlinearity



Differential Linearity Error of a Linear ADC or DAC

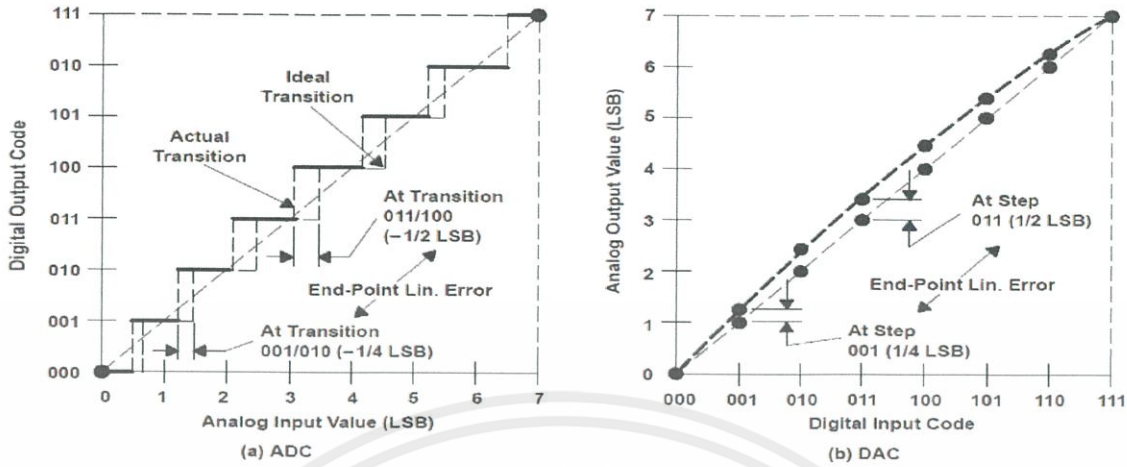
รูปที่ 2.2 DNL

Differential Nonlinearity คือ ค่าความไม่เป็นเชิงเส้นแบบผลต่าง เป็นค่าความแตกต่างระหว่าง 1 LSB ที่ได้จากวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลที่วัดได้จริง กับวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลในอุดมคติ

ตัวอย่างเช่น ในการแปลงสัญญาณ กำหนดให้ สัญญาณอินพุตที่มีขนาดเล็กที่สุดที่ทำให้สัญญาณเอาท์พุตที่ออกเปลี่ยนไป 1 LSB เท่ากับ 1 โวลต์ ดังนั้นแล้ว เมื่อป้อนสัญญาณอินพุต 1 โวลต์ เข้าไปในวงจรแปลงสัญญาณในอุคมคติ สัญญาณเอาท์พุตจะต้องเปลี่ยนไป 1 LSB และเมื่อป้อน 2 โวลต์ สัญญาณเอาท์พุตก็ต้องเปลี่ยนไป 2 LSB ในทางปฏิบัติการป้อนสัญญาณอินพุต 1 โวลต์ อาจจะทำให้สัญญาณเอาท์พุตเปลี่ยนไปมากกว่าหรือน้อยกว่า 1 LSB ก็ได้ ขณะเดียวกันการป้อนสัญญาณอินพุต 2 โวลต์ อาจจะทำให้สัญญาณเอาท์พุตเปลี่ยนไปมากกว่าหรือน้อยกว่า 2 LSB ก็ได้ ดังนั้นเราพบว่าการเปลี่ยนแปลงอาจมีลักษณะไม่เป็นเชิงเส้น สำหรับการบอกค่า DNL จะบอกจากค่า DNL สูงสุดของวงจรนั้นๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 Integral Nonlinearity



End-Point Linearity Error of a Linear 3-Bit Natural Binary-Coded ADC or DAC
(Offset Error and Gain Error are Adjusted to the Value Zero)

รูปที่ 2.3 INL

Integral Nonlinearity แสดงถึง ค่าความไม่เป็นเชิงเส้นแบบผลรวม ซึ่งเป็นผลรวมของความไม่เป็นเชิงเส้นแบบผลต่าง วิธีการหาค่า INL สามารถทำได้โดยพิจารณาจากกราฟความสัมพันธ์ระหว่างอินพุตและเอาท์พุต ขั้นตอนแรกให้ทำการพล็อตโดยการลากเส้นจากจุดเริ่มต้นไปยังจุดสุดท้ายของค่าเอาท์พุต (ดิจิตอล) ที่ได้ ขั้นตอนต่อไป คือ ทำการพล็อตค่าเอาต์พุตที่ได้เทียบกับค่าอินพุตลงในกราฟ ถ้าเป็นวงจรแปลงสัญญาณในอุดมคติ ค่าทั้งหมดจะอยู่บนเส้นตรง ในความเป็นจริงค่าที่ได้อาจจะไม่อยู่บนเส้นตรงหรือบ่งบอกถึงความไม่เป็นเชิงเส้น ซึ่งความไม่เป็นเชิงเส้นทั้งสองแบบควรมีค่าน้อยกว่า ±0.5 LSB

2.3 Dynamic specification

2.3.1 Signal to Noise Ratio

คือ อัตราส่วนของสัญญาณต่อสัญญาณรบกวน ซึ่งสามารถคำนวณได้ดังนี้

$$SNR_{max} = 6.02N + 1.76\ dB \tag{2.1}$$

สำหรับวงจร Data Converter 10 bitsจะได้

$$SNR_{max} = 6.02(10) + 1.76\ dB \tag{2.2}$$

$$SNR_{max} = 61.96\ dB \tag{2.3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 Signal-to-Noise and Distortion (SINAD)

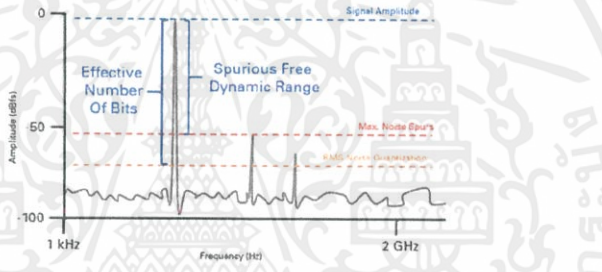
Signal-to-Noise and Distortion (SINAD) คือ อัตราส่วนระหว่างสัญญานอินพุทต่อผลรวมของสัญญาณ noise กับองค์ประกอบทางฮาร์โมนิก

$$SINAD = 6.02N + 1.76\ dB \tag{2.4}$$

2.3.3 Effective Number of Bits (ENOB)

Effective number of bits (ENOB) คือ ค่าที่บอกคุณภาพของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล โดยจะเป็นตัวชี้วัดช่วง dynamic range ของวงจร Effective number of bits สามารถคำนวณได้ดังนี้

$$ENOB = \frac{SINAD - 1.76dB}{6.02dB} \tag{2.5}$$



รูปที่ 2.4 Effective number of bits (ENOB)

2.3.4 Dynamic Range (DR)

คืออัตราส่วนสัญญาณเอาท์พุตที่มากที่สุด ต่อสัญญาณเอาท์พุตที่น้อยที่สุด เช่น DAC มีสัญญาณเอาท์พุตสูงสุดคือ $2^N - 1$ LSB มีสัญญาณเอาท์พุตต่ำสุดคือ 1 LSB Dynamic Range (DR) สามารถคำนวณได้ดังนี้

$$DR = 20\log(\frac{2^N - 1}{1}) \tag{2.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและการทำงาน

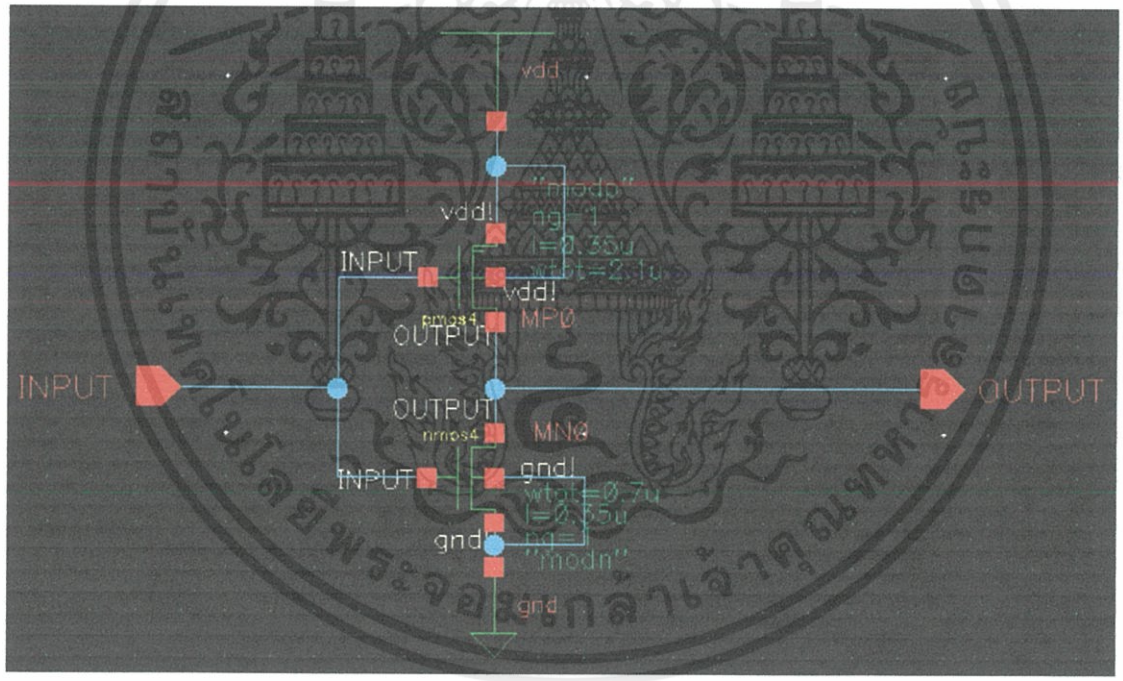
การออกแบบวงจรจะแบ่งออกเป็น 2 ส่วนคือ การออกแบบวงจรพื้นฐาน และการออกแบบวงจรส่วนประกอบของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์

3.1 การออกแบบวงจรพื้นฐาน

การออกแบบในส่วนวงจรพื้นฐาน คือ วงจรลอจิกเกตเบื้องต้น เพื่อนำไปประกอบเป็นส่วนประกอบของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์ต่อไป วงจรลอจิกที่เกตที่ใช้ในโครงงานนี้ มีดังนี้

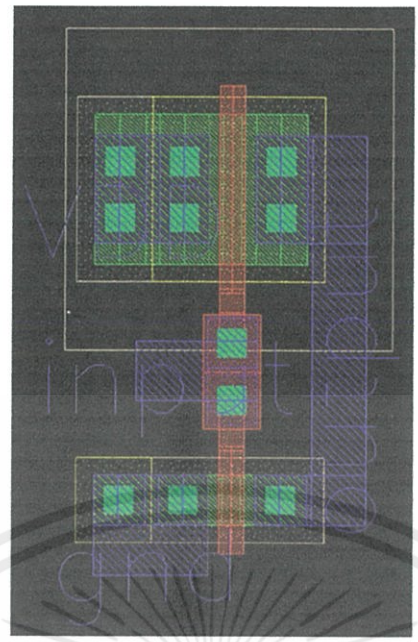
3.1.1. Inverter

การออกแบบวงจร Inverter จะออกแบบโดยการกำหนดสัดส่วน W/L ของ NMOS และ PMOS โดยจะต้องให้จุด Switching point ใกล้เคียง $V_{DD}/2$ มากที่สุด และค่า Rise time, Fall time มีค่าใกล้เคียงกัน ในโครงงานนี้จึงใช้ W_p/W_n = 3 เท่า



รูปที่ 3.1 วงจร Inverter

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.2 การออกแบบ Layout ของวงจร Inverter

3.1.2. NOR Gate

NOR Gate เป็นอุปกรณ์ที่มีอินพุตตั้งแต่สองอินพุตขึ้นไป และเอาทพุตมีค่าเดียว ลักษณะการใช้งานจะเปรียบเทียบกับสวิตซ์ที่ต่อขนานกัน สัญลักษณ์ของ NOR Gate เป็นดังรูปที่ 3.3

รูปที่ 3.3 สัญลักษณ์ของ NOR Gate

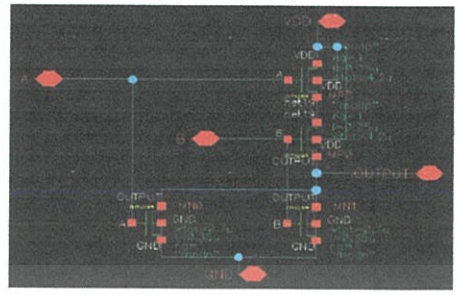
ความสัมพันธ์ระหว่างอินพุตกับเอาท์พุตของ NOR Gate เป็นดังตารางที่ 3.1

ตารางที่ 3.1 ตารางความจริงของ NOR Gate

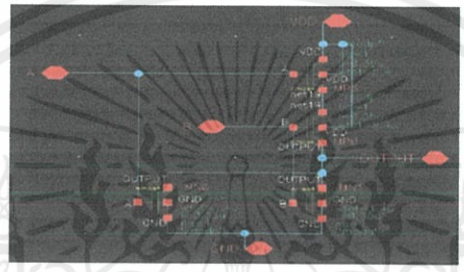
A	B	A+B	$\overline{A+B}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

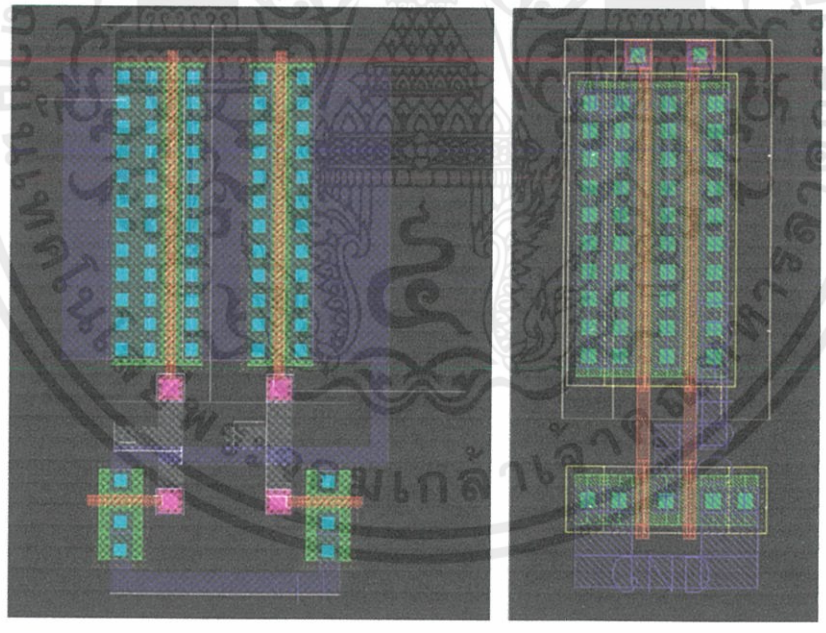
สำหรับโครงงานนี้ NOR Gate จะมีอยู่ 2 ขนาด ซึ่งใช้ในวงจร D Flip Flop และ วงจร Bottom plate switch ใน DAC



รูปที่ 3.4 NOR Gate ขนาดเล็ก มีขนาด W ของ NMOS เท่ากับ 0.7 μm, W ของ PMOS เท่ากับ 4.2 μm



รูปที่ 3.5 NOR Gate ขนาดใหญ่ ขนาด W ของ NMOS เท่ากับ 1.4 μm, W ของ PMOS เท่ากับ 8.4 μm



รูปที่ 3.6 (ซ้าย) Layout ของวงจร NOR Gate ที่ออกแบบครั้งแรก (ขวา) เป็น Layout ของวงจร NOR Gate ที่ปรับปรุงให้มีขนาดเล็กลง

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.3. NAND Gate

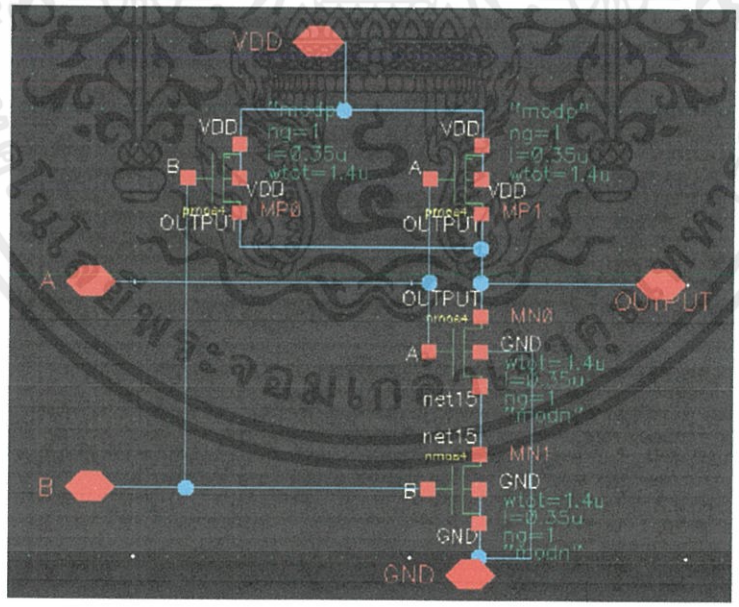
NAND Gate เป็นอุปกรณ์ที่มีอินพุตตั้งแต่สองอินพุตขึ้นไป และเอาทพุตมีค่าเดียว ลักษณะการใช้งานจะเปรียบเทียบกับสวิตช์ที่ต่ออนุกรมกัน สัญลักษณ์ของ NAND Gate เป็นดังรูปที่ 3.7

รูปที่ 3.7 สัญลักษณ์ของ NAND Gate

ความสัมพันธ์ระหว่างอินพุตกับเอาท์พุตของ NAND Gate เป็นดังตารางที่ 3.2

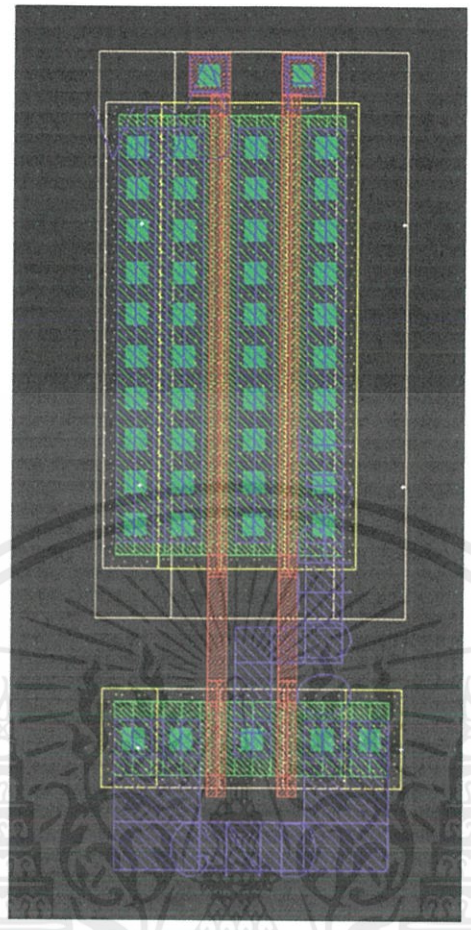
ตารางที่ 3.2 ตารางความจริงของ NAND Gate

A	B	A.B	$\overline{A.B}$
0	0	0	1
0	1	0	1
1	0	0	1
1	1	1	0



รูปที่ 3.8 วงจร NAND Gateโดยมีขนาด W ของ NMOS เท่ากับ 1.4 µm, ขนาด W ของ PMOS 1.4 µm

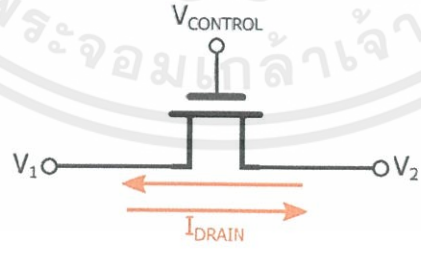
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 Layout ของวงจร NAND Gate

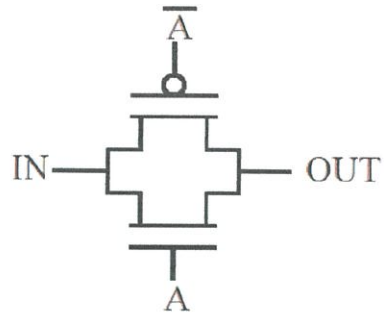
3.1.4. Transmission Gate

ในการส่งผ่านสัญญาณนั้น จะใช้ MOFET ต่อแบบ Pass transistor และต่อแบบ Transmission gate โดยจะใช้ NMOS ในการส่งผ่านลอจิก LOW และใช้ PMOS ในการส่งผ่านสัญญาณลอจิก HIGH ควบคุมการเปิดปิดสวิตซ์ด้วยการป้อนสัญญาณที่ขาเกตของ MOSFET



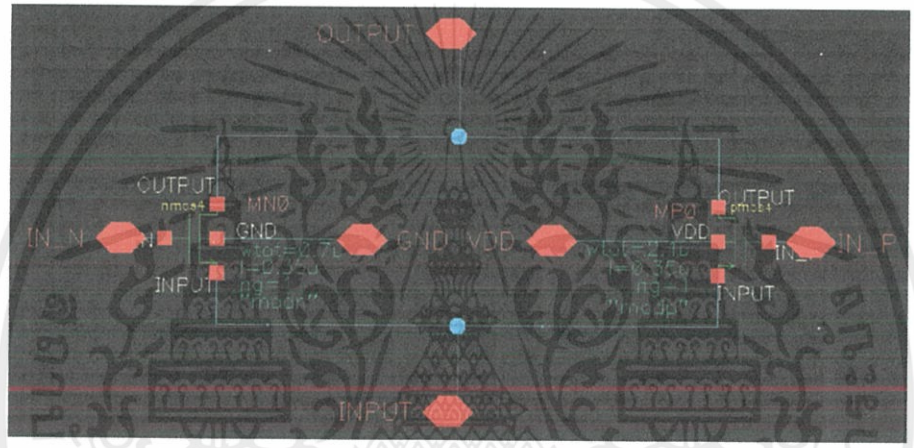
รูปที่ 3.10 การนำมอสเฟตมาใช้เป็นสวิตซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

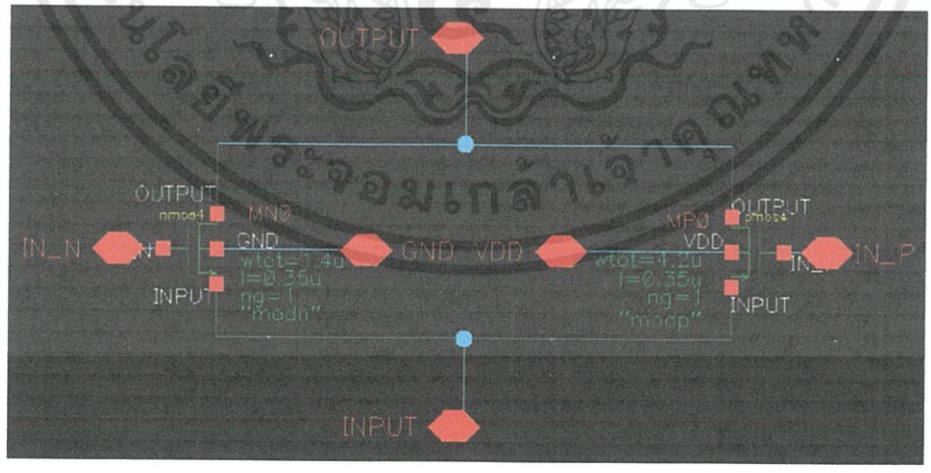


รูปที่ 3.11 สวิตซ์แบบ Transmission gate

Transmission Gate จะมีอยู่ 2 ขนาด ใช้ในวงจร D Flip Flop, วงจร Bottom plate switch ใน DAC และในการปรับ Delay time ของสัญญาณในวงจร

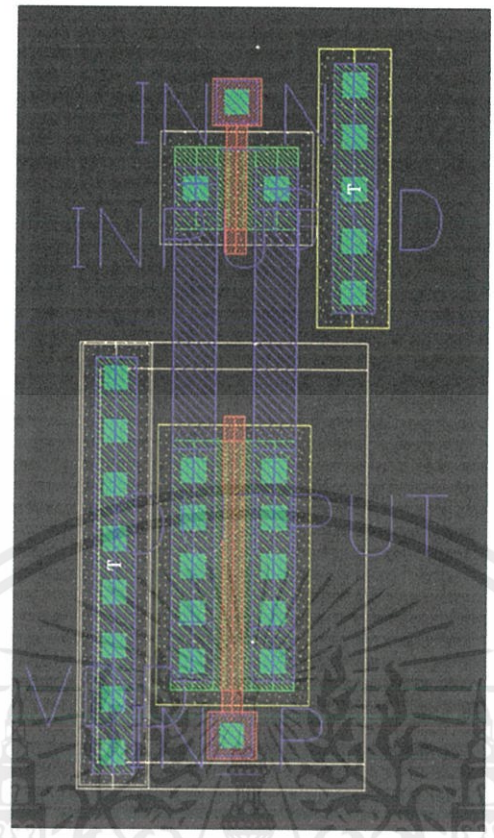


รูปที่ 3.12 Transmission Gate ขนาดเล็ก โดยมีขนาด NMOS เท่ากับ 0.7 µm, ขนาด PMOS 2.1 µm

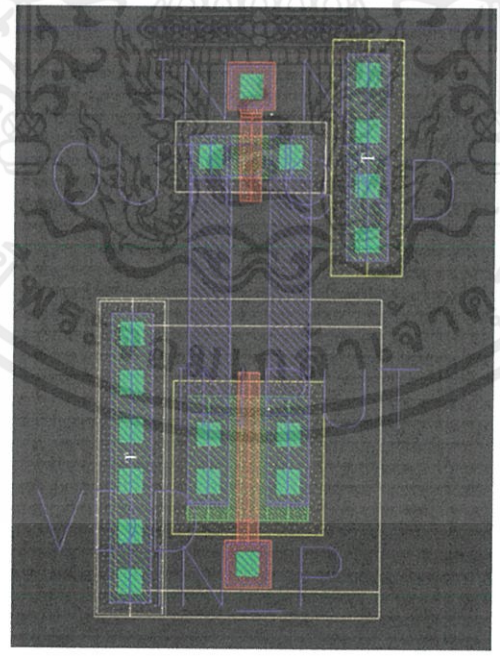


รูปที่ 3.13 Transmission Gate ขนาดใหญ่ โดยมีขนาด NMOS เท่ากับ 1.4 µm, ขนาด PMOS 4.2 µm

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 Layout ของ Transmission Gate ขนาดใหญ่



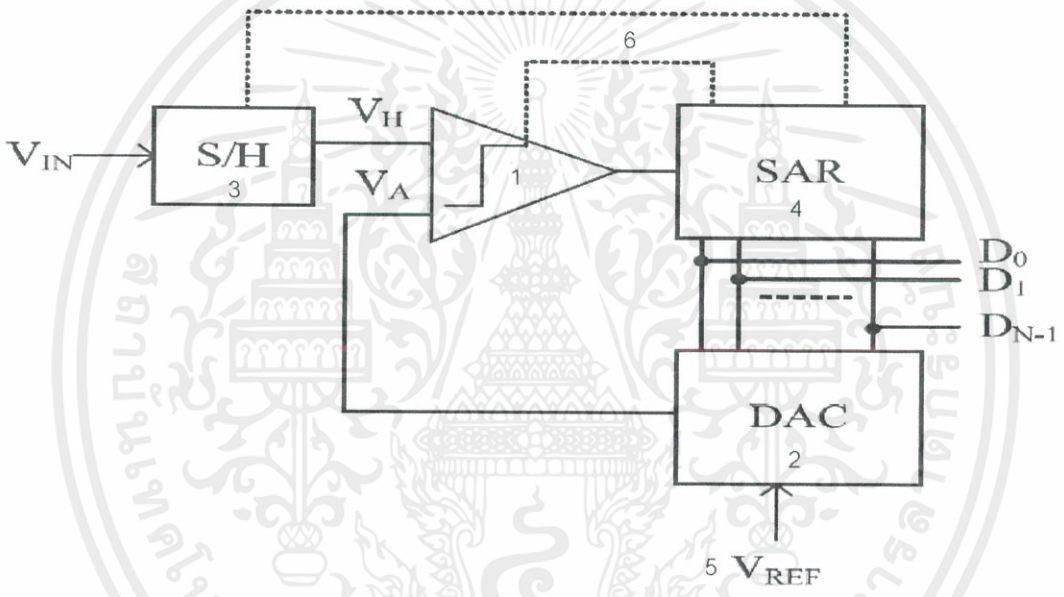
รูปที่ 3.15 Layout ของ Transmission Gate ขนาดเล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบวงจรส่วนประกอบของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์

ส่วนประกอบของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์ ถูกแสดงในรูปที่ 3.1 ซึ่งประกอบด้วย 6 ส่วน คือ

1. Comparator
2. Digital to Analog Convertor
3. Sample and hold circuit
4. Successive Approximation Control Logic
5. วงจรสร้างแรงดันอ้างอิง
6. วงจรกำเนิดสัญญาณนาฬิกา



รูปที่ 3.16 โครงสร้างของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ SAR

การทำงานของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ SAR คือ ในช่วงการทำงานแรกสุด Successive Approximation Control Logic จะสั่งให้ Digital to Analog Convertor มีค่า MSB เป็น High และบิตที่เหลือ เป็น Low ซึ่งจะได้แรงดันเท่ากับ 0.5Vref จากนั้น ค่า 0.5Vref นี้ก็จะถูกนำไปเปรียบเทียบโดยคอมพาราเตอร์ต่อไป

เมื่อมีสัญญาณอินพุตเข้ามา วงจร Sample and Hold จะทำการคงค่าสัญญาณนั้นไว้ และนำสัญญาณนั้นไปประมวลผลเข้าคอมพาราเตอร์ และเปรียบเทียบกับแรงดัน 0.5Vref ที่ได้มาจากขั้นตอนก่อนหน้านี้

ถ้าแรงดันอินพุตที่เข้ามามีมากกว่า 0.5Vref คอมพาราเตอร์ก็จะให้สัญญาณเป็น High ส่งไปยัง Successive Approximation Control Logic และ Successive Approximation Control Logic ก็จะสั่งให้

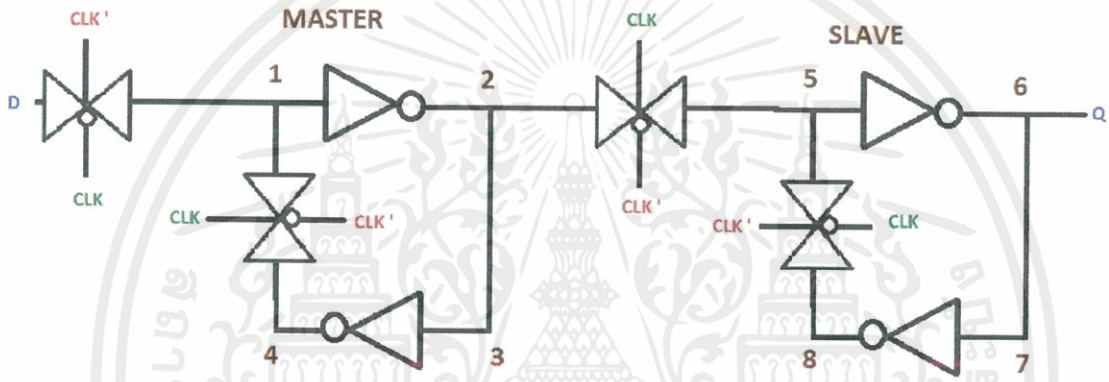
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิตต่อไปเป็น High และคงค่าบิตเดิมไว้ แล้วส่งค่าดิจิตอลนี้ไปยัง Digital to Analog Convertor เพื่อแปลงเป็นสัญญาณอนาลอกและเปรียบแรงดันต่อไป

ถ้าแรงดันอินพุตที่เข้ามามีน้อยกว่า 0.5Vref คอมพาราเตอร์ก็จะให้สัญญาณเป็น Low ส่งไปยัง Successive Approximation Control Logic และ Successive Approximation Control Logic ก็จะสั่งให้บิตต่อไปเป็น High และเปลี่ยนบิตเดิมให้เป็น Low แล้วส่งค่าดิจิตอลนี้ไปยัง Digital to Analog Convertor เพื่อแปลงเป็นสัญญาณอนาลอกและเปรียบแรงดันต่อไป

วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ SAR จะวนการทำงานเช่นนี้ไปเรื่อยจนครบจำนวนบิตที่กำหนดไว้

3.2.1 D flip flop



รูปที่ 3.17 Block diagram ภายใน D Flip-Flop

D Flip-Flop เป็นส่วนประกอบใน Successive Approximation Control Logic โดย D Flip-Flop นี้จะประกอบด้วย Transmission Gate และ NOR Gate

หลักการทำงานของ D Flip-Flop คือ

1. ในช่วงที่ Clock เป็น Low

ที่ส่วน Master ตัว Transmission Gateที่ขา D จะทำงาน ทำให้ในช่วงนี้ข้อมูลที่เข้ามาที่ขา D จะสามารถเข้ามาได้ และผ่าน inverter จากโหนดที่ 1 ไปยังโหนดที่ 2

ที่ส่วน Slave ตัว Transmission Gate ที่เชื่อม Latch จากโหนดที่ 8 ไปยังโหนดที่ 5 จะทำงาน ทำให้มันการคงค่าข้อมูลก่อนหน้าไว้

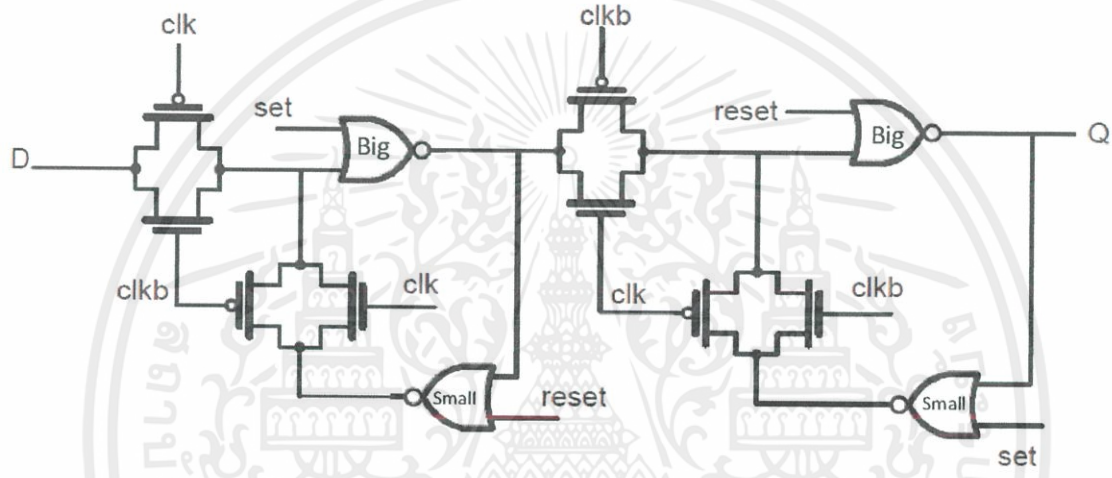
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ในช่วงที่ Clock เป็น High

ที่ส่วน Master ตัว Transmission Gateที่ขา D จะไม่ทำงาน ทำให้ในช่วงนี้ข้อมูลที่เข้ามาที่ขา D จะไม่สามารถเข้ามาได้

ที่ส่วน Slave ตัว Transmission Gate ที่เชื่อมระหว่างโหนดที่ 2 กับโหนดที่ 5 จะทำงาน ทำให้ข้อมูลที่รับเข้ามาในขั้นตอนที่แล้ว ถูกส่งผ่าน inverter ออกไปยังเอาท์พุต Q

ในโครงงานนี้จำเป็นต้องใช้ D Flip-Flop แบบที่มีขา Set และ Reset ดังนั้น จึงเปลี่ยนจาก inverter เป็น NOR Gate เพื่อให้สามารถควบคุม D Flip-Flop จากขา Set และ Resetได้ โดย D Flip-Flop แบบที่มีขา Set และ Reset นั้น จะแสดงดังรูปที่ 3.18



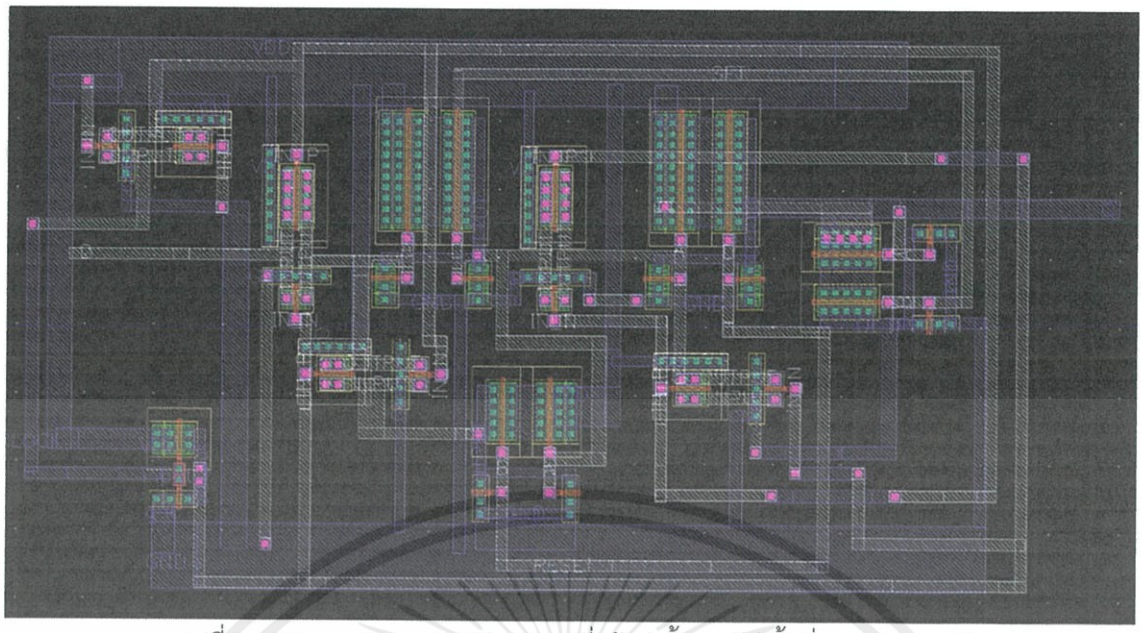
รูปที่ 3.18 D Flip-Flop แบบที่มีขา Set และ Reset [2]

การออกแบบ D Flip-Flop จะออกแบบให้ส่วนที่เป็น Transmission Gate และ NOR Gate ที่ส่งผ่านข้อมูลมีขนาดใหญ่กว่าส่วนที่ทำหน้าที่ Latch ข้อมูล โดยขนาดของ D Flip-Flop จะเป็นดังตารางที่ 3.3

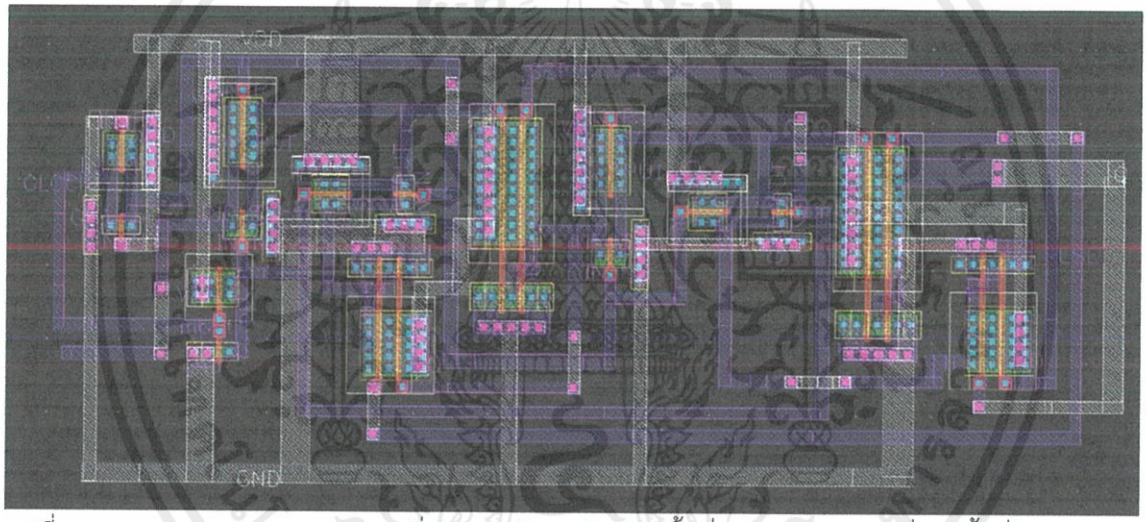
ตารางที่ 3.3 การกำหนดขนาดมอสเฟตใน D Flip-Flop (รูปที่ 3.18)

มอสเฟต	ขนาด W (μm)	ขนาด L (μm)
NMOS (NOR Gate Big, Transmission Gate Big)	1.4 μm	0.35 μm
NMOS (NOR Gate Small, Transmission Gate Small)	0.7 μm	0.35 μm
PMOS (NOR Gate Big)	8.4 μm	0.35 μm
PMOS (NOR Gate Small, Transmission Gate Big)	4.2 μm	0.35 μm
PMOS (Transmission Gate Small)	2.1 μm	0.35 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 Layout ของ D Flip Flop ที่สร้างครั้งแรก ใช้พื้นที่ 2890.8 μm^2



รูปที่ 3.20 Layout ของ D Flip Flop ที่ทำการปรับปรุงใหม่ ใช้พื้นที่ 2210.199 μm^2 ซึ่งลดพื้นที่ไป 23.54%

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

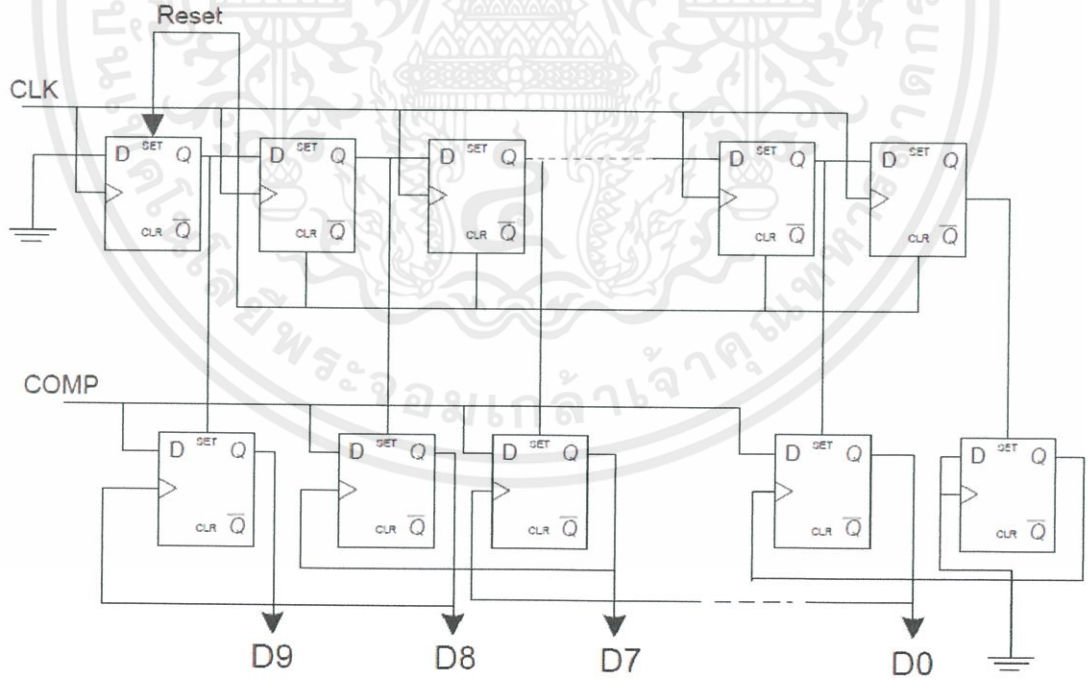
3.2.1.1 Successive Approximation Control Logic

Successive Approximation Control Logic เป็นวงจรส่วนที่ใช้ควบคุมการทำงานของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล โดยจะรับสัญญาณมาจากคอมพาราเตอร์ แล้วประมวลผลเพื่อตัดสินใจว่าจะให้ค่าเอาท์พุตดิจิตอลออกมาเป็นเท่าใด

ส่วน Successive Approximation Control Logic ประกอบด้วย D Flip-Flop จำนวน 22 ตัว หลักการทำงาน คือ ในตอนแรก D Flip-Flop ทุกตัวยกเว้นตัว D Flip-Flop ที่ MSB จะถูกรีเซ็ตให้เป็นLow และ D Flip-Flop ตัวที่ MSB จะถูกเซ็ตให้เป็นHigh

D Flip-Flop 11 ตัวแถวบนจะมีการเลื่อนบิตHigh และ Low ไปเรื่อยๆ และจะสั่ง D Flip-Flop แถวล่างให้เป็นหนึ่งทีล่ะตัว ตัวอย่างเช่น ในสัญญาณนาฬิกาลูกแรก D Flip-Flop ที่ D9 จะเป็น High และ D Flip-Flop ที่เหลือเป็น Low ในสัญญาณนาฬิกาลูกที่สอง D Flip-Flop ที่ D8 จะเป็น High และ D Flip-Flop ที่ D9 จะกลายเป็น Low ในสัญญาณนาฬิกาลูกถัดมา D Flip-Flop ที่ D7 จะเป็น High และ D Flip-Flop ที่ D8 จะกลายเป็น Low เป็นอย่างนี้ไปเรื่อยๆจนครบทั้ง 10 บิต

พิจารณา D Flip-Flopที่บิต D9 และ D8 แถวล่าง เมื่อ D Flip-Flop ที่ D8 เปลี่ยนจาก Lowเป็นHigh ซึ่งมันจะเป็นสัญญาณขอบขาขึ้นเข้าสู่ D Flip-Flop ที่ D9 แถวล่าง และ D Flip-Flop ที่ D9 แถวล่างที่ D9 ก็จะไปตรวจสอบจาก Comparator ว่า จะให้ Output เป็น High หรือ Low และจะเป็นอย่างนี้ไปเรื่อยๆจนครบ 10 บิต



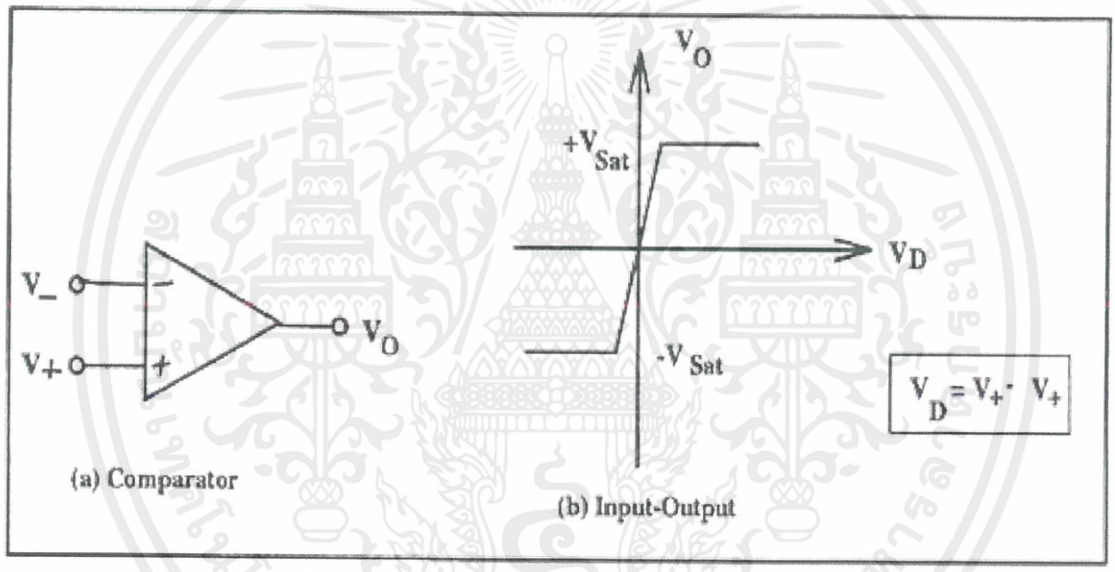
รูปที่ 3.21 Successive Approximation Control Logic [2]

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 Comparator

คอมพาราเตอร์ เป็นโหมดการทำงานหนึ่งของออปแอมป์ ซึ่งเป็นอุปกรณ์ที่มีความต้านทานอินพุตสูง และมีความต้านทานเอาต์พุตต่ำ การใช้งานคอมพาราเตอร์คือจะเป็นการเปรียบเทียบแรงดัน เช่น ถ้าด้าน V+ มากกว่า V- เอาต์พุตก็จะออกมาเป็นค่าสูงสุดที่คอมพาราเตอร์จ่ายได้ นั่นคือเท่ากับแรงดันไฟเลี้ยงนั่นเอง หรือ ถ้าด้าน V- มากกว่า V+ เอาต์พุตก็จะออกมาเป็นค่าต่ำสุดที่คอมพาราเตอร์จ่ายได้ นั่นคือ 0 โวลต์ (หรือเท่ากับแรงดันไฟลบที่จ่ายให้กับคอมพาราเตอร์)

Comparator ที่เลือกใช้นี้เป็นแบบ Dynamic Two Stage Latched Comparator ซึ่งประกอบด้วย ส่วน Differential Amplifier และส่วน Latch ซึ่งมีข้อดีคือ ใช้พลังงานน้อย และให้ค่าเอาท์พุตเต็มเท่าที่ Power Supply จ่าย เมื่อเอาท์พุตเป็นลอจิกHigh, ให้ค่าเอาท์พุตที่เป็นกราวด์ เมื่อเอาท์พุตเป็นลอจิกLow

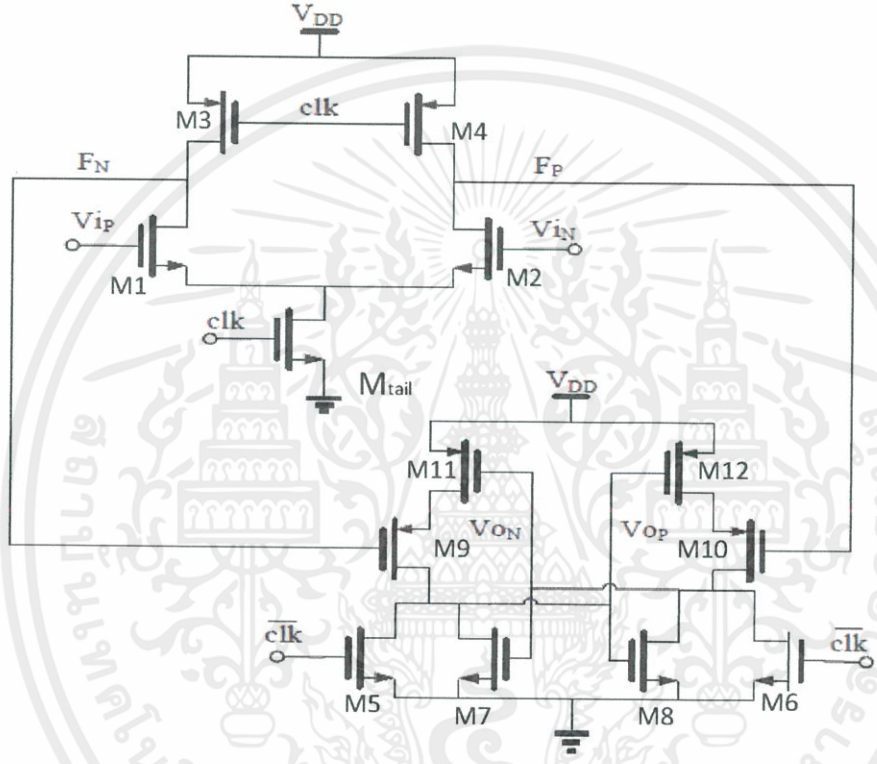


รูปที่ 3.22 สัญลักษณ์ของคอมพาราเตอร์ และกราฟความสัมพันธ์ระหว่างแรงดันอินพุตและเอาต์พุต

การทำงานของ Dynamic Two Stage Latched Comparator คือ ในช่วงแรกที่ Clock เป็น Low จะมีมอสเฟตที่ทำงานคือ M3, M4, M5 และ M6 โดยที่ M3, M4 เมื่อทำงานแล้วจะทำให้ที่โหนด F_N และF_P เป็น High และ M5, M6 เมื่อทำงานแล้วจะทำให้ที่โหนดเอาท์พุต V_{ON} และV_{OP} เป็น Low ในช่วงแรกที่ Clock เป็น Low นี้จะเป็นการรีเซ็ต Comparator

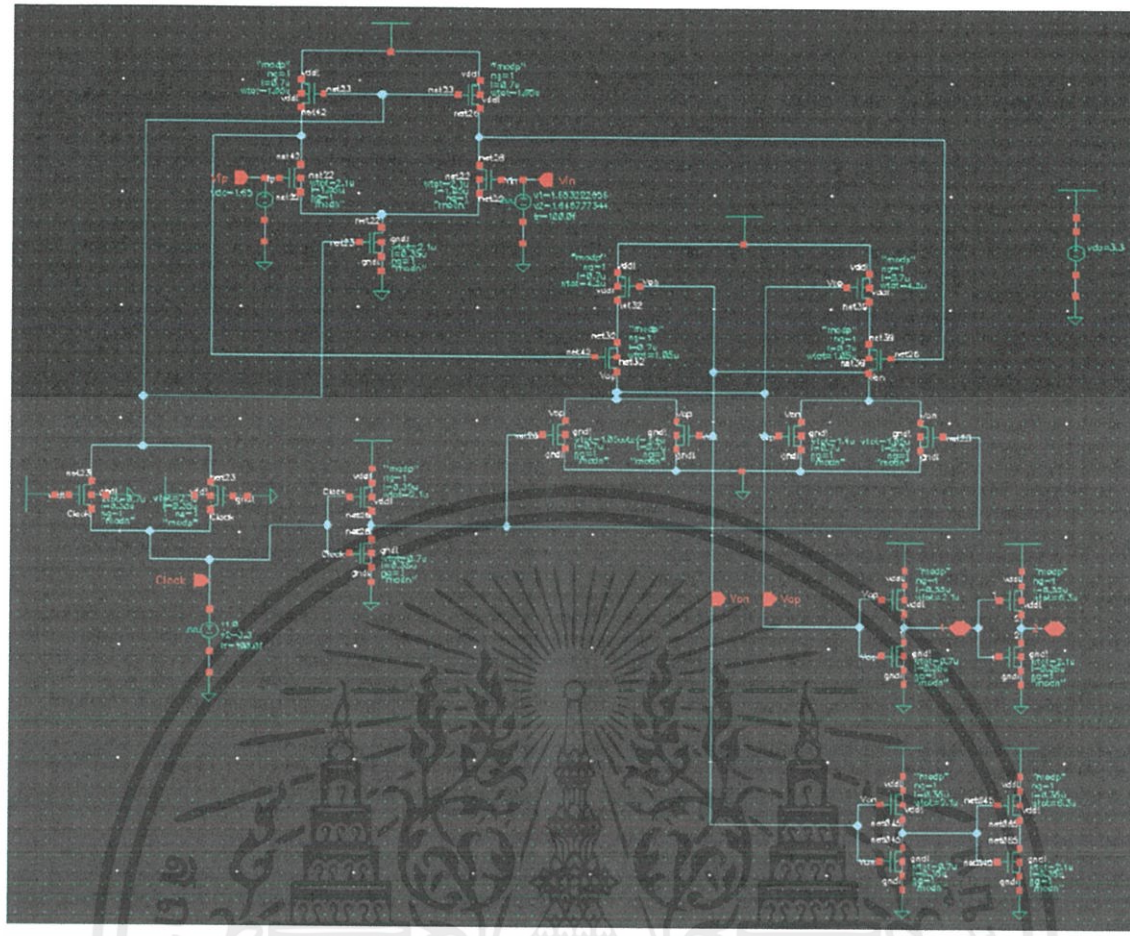
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อมา เมื่อ Clock เป็น High และมีสัญญาณเข้าที่ V_{iN} และV_{iP} ของ Comparator จะทำให้เกิดการเปรียบเทียบแรงดันขึ้น สมมติให้ V_{iN} มากกว่า V_{iP}จะทำให้มอสเฟต M1 ทำงานมากกว่า M2 และ M1มีกระแสไหลผ่านมากกว่า M2 ทำให้ที่โหนด F_Nมีค่าแรงดันน้อยกว่าโหนด F_P และแรงดันที่โหนดF_N และF_P จะถูกนำไปใช้ต่อกับ M9 และ M10 ด้วยความที่โหนด F_Nมีค่าแรงดันน้อยกว่าโหนด F_P ทำให้มอสเฟต M9 ทำงานมากกว่า M10 และทำให้ที่โหนด V_{OP} มีแรงดันมากกว่า V_{ON} และมีการ Latched วนจนกระทั่งที่โหนดเอาท์พุต V_{OP} เป็น High และV_{ON} เป็น Low



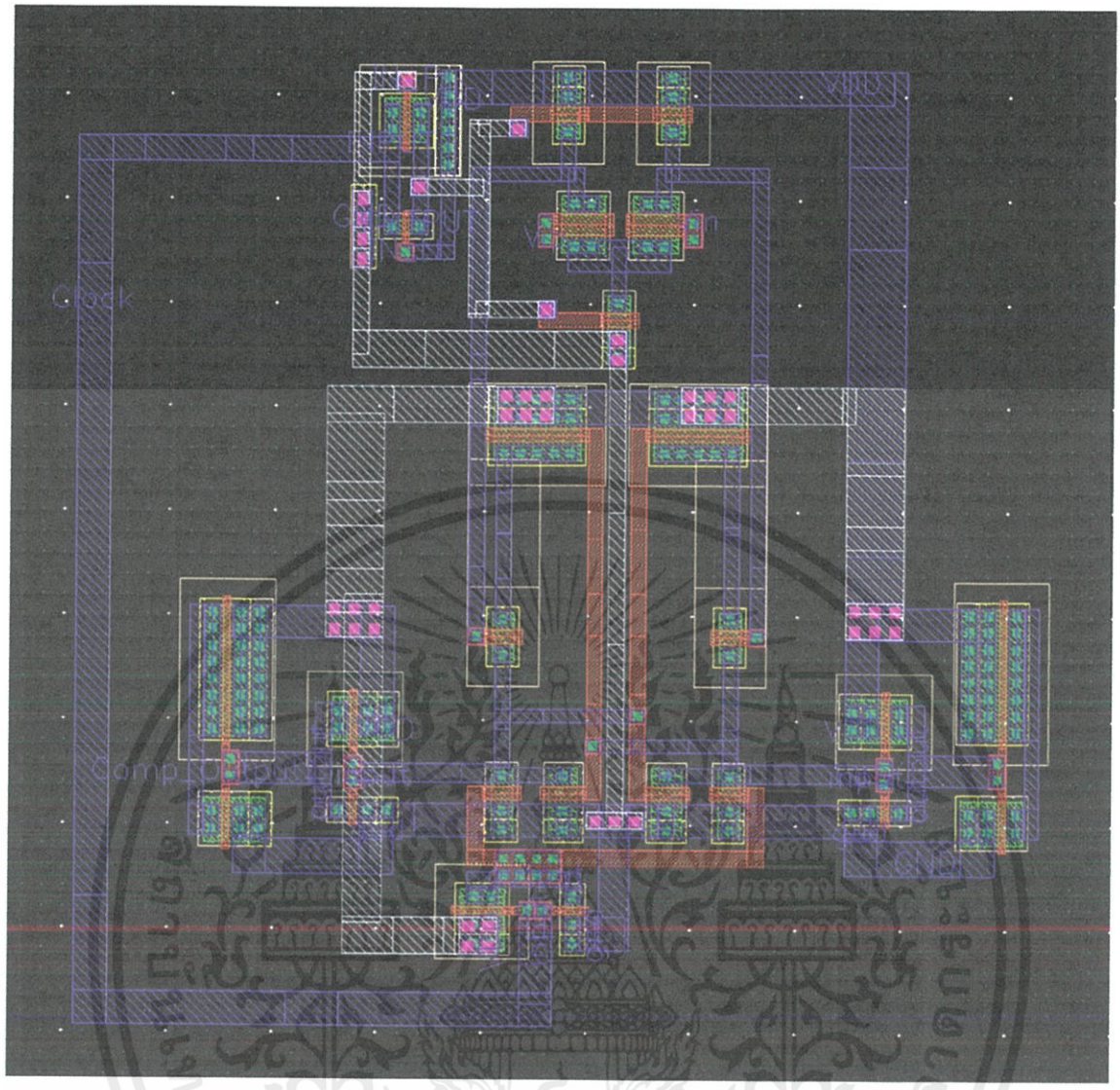
รูปที่ 3.23 แบบ Dynamic Two Stage Latched Comparator [2]

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.24 วงจร comparator ในโปรแกรม Cadence

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.25 Layout ของ วงจร comparator ในโปรแกรม Cadence

ในการนำไปใช้งาน จะมีการต่อตัวไดร์ฟ Inverter ด้วย เพื่อให้สามารถขับโหลดซึ่งเป็น D – Flip Flop จำนวนหลายๆตัวได้

เนื่องจาก Dynamic Two Stage Latched Comparator ประกอบด้วยสองส่วนคือ Differential Amplifier และ ส่วน Latched การกำหนดขนาดของมอสเฟตจึงกำหนดตามตารางที่ 3.4

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.4 การกำหนดขนาดของมอสเฟตใน Dynamic Two Stage Latched Comparator (รูปที่ 3.23)

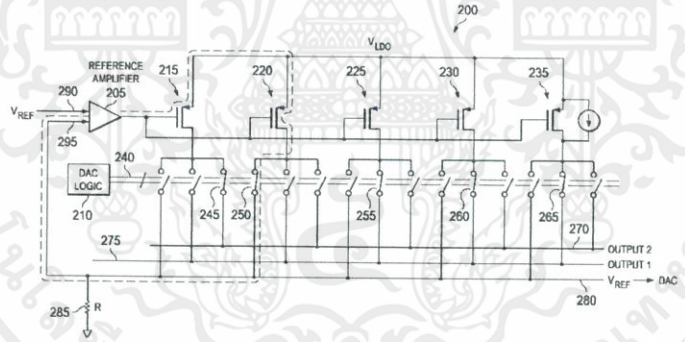
มอสเฟต	ขนาด W (μm)	ขนาด L (μm)
M_1, M_2	2.1 μm	1.05 μm
M3, M4, M9, M10, Mtail, M5, M6,	1.05 μm	0.7μm
M7, M8	1.4 μm	0.7 μm
M11, M12	4.2 μm	0.7 μm

3.2.3 Digital to Analog convertor

Digital to Analog convertor เป็นตัวแปลงสัญญาณดิจิตอลเป็นอนาลอก ใช้เพื่อการนำไปป้อนกลับเข้าสู่คอมพาราเตอร์และนำไปเปรียบเทียบแรงดันต่อไป ซึ่งมีอยู่ 3 แบบ คือ

3.2.3.1 Current scaling Digital to Analog convertor

Digital to Analog convertor แบบนี้ จะเป็นการแปลงโดยใช้กระแส เนื่องจากมอสเฟตแต่ละตัวในวงจรถูก Sizing มาไม่เท่ากันแต่เป็นสัดส่วนกันตามขนาดบิต ทำให้มีกระแสไหลในตัวมอสเฟตแต่ล่ะตัวไม่เท่ากัน การควบคุมการไหลของกระแสในมอสเฟตแต่ละตัวด้วยสวิตช์ดังรูปที่3.10 จะทำให้สามารถให้สัญญาณเอาท์พุตที่เป็นอนาลอกได้

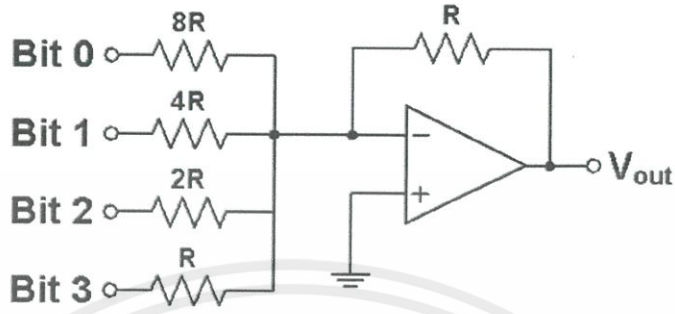


รูปที่ 3.26 Current scaling Digital to Analog convertor

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3.2 Voltage scaling Digital to Analog convertor

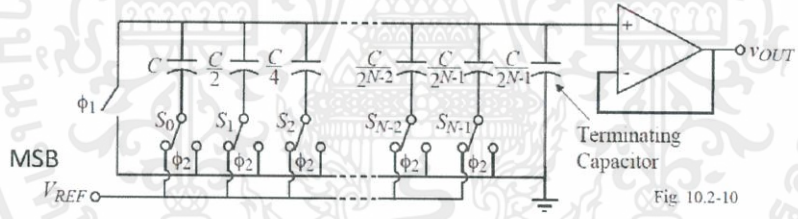
พื้นฐานของวงจร Digital to Analog convertor แบบนี้มาจากวงจร Sum สัญญาณ ซึ่งเป็นวงจรที่ใช้หลักการป้อนกลับแบบลบ แรงดันเอาท์พุตจะมีค่าต่างกันตามการป้อนบิตที่ป้อนให้แก่วงจรนี้



รูปที่ 3.27 Voltage scaling Digital to Analog convertor ขนาด 4 บิต

3.2.3.3 Charge scaling Digital to Analog convertor

หลักการพื้นฐานของวงจรนี้คือใช้การถ่ายเทประจุของตัวเก็บประจุในการแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาลอก ตัวเก็บประจุทุกจะมีขนาดที่ต่างกัน โดยจะขนาดใหญ่ขึ้นเป็นสองเท่าในทุกบิต เช่น สมมติให้ตัวเก็บประจุ ณ ตำแหน่งที่บิตน้อยที่สุด (D0) เท่ากับ C_{unit}ฟารัด ดังนั้นตัวเก็บประจุบิตถัดไป (D1) ก็จะเป็น $2C_{unit}$ฟารัด บิตถัดไปอีก (D2) ก็จะเป็น $4C_{unit}$ฟารัด ไปเรื่อยๆจนถึงบิตที่ N



รูปที่ 3.28 Charge scaling Digital to Analog convertor

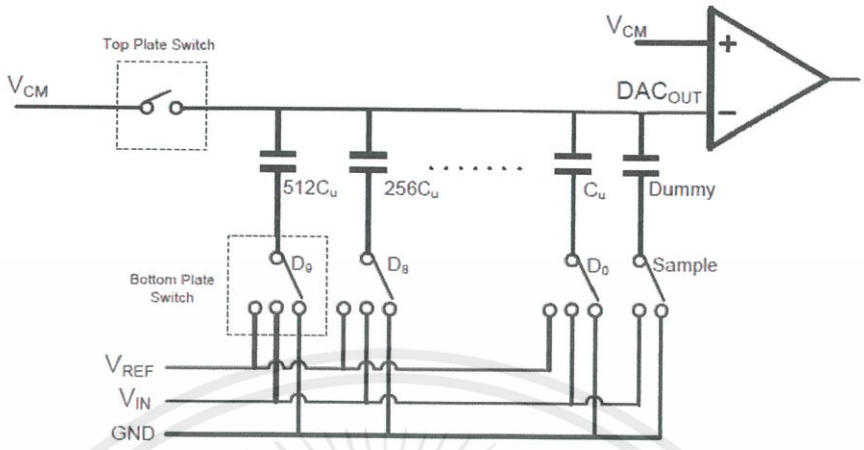
พิจารณารูปที่ 3.12 การทำงานของวงจรนี้คือ ในขั้นตอนแรกสวิตช์จะทำการถ่ายประจุที่มีในตัวเก็บประจุอยู่ก่อนทิ้งไปให้หมด ด้วยการกดสวิตช์ ø1 ให้เชื่อมต่อ Ground หลังจากที่ไม่มีประจุเหลืออยู่ในตัวเก็บประจุแล้ว เราก็สามารถใช้งาน Charge scaling Digital to Analog convertor ได้ สมมติให้บิตที่ MSB เป็น High ก็ทำการสับสวิตช์ S0 ให้ตัวเก็บประจุไปต่อกับ Vref แต่ถ้าบิตที่ MSB นั้นเป็น Low ก็ให้ต่อตัวเก็บประจุนั้นเข้ากับ Ground จะได้ว่า

$$V_{REF}C_{eq} = V_{REF}\left(b_0C + \frac{b_1C}{2} + \frac{b_2C}{2^2} + \ldots + \frac{b_{N-1}C}{2^{N-1}}\right) = C_{tot}\,v_{OUT} = 2C\,v_{OUT} \qquad (3.1)$$

แรงดันที่เอาท์พุตจะเท่ากับ $$v_{OUT} = [b_0 2^{-1} + b_1 2^{-2} + b_2 2^{-3} + \ldots + b_{N-1} 2^{-N}]V_{REF} \qquad (3.2)$$

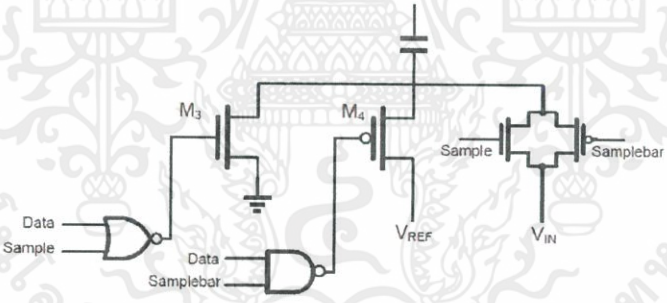
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับในโครงงานนี้จะเลือกใช้วงจรดังรูปที่ 3.13 สาเหตุที่เลือกใช้วงจรนี้ เพราะว่าโครงสร้างของ DAC แบบนี้สามารถใช้เป็นวงจร Sample and hold ได้ในตัว



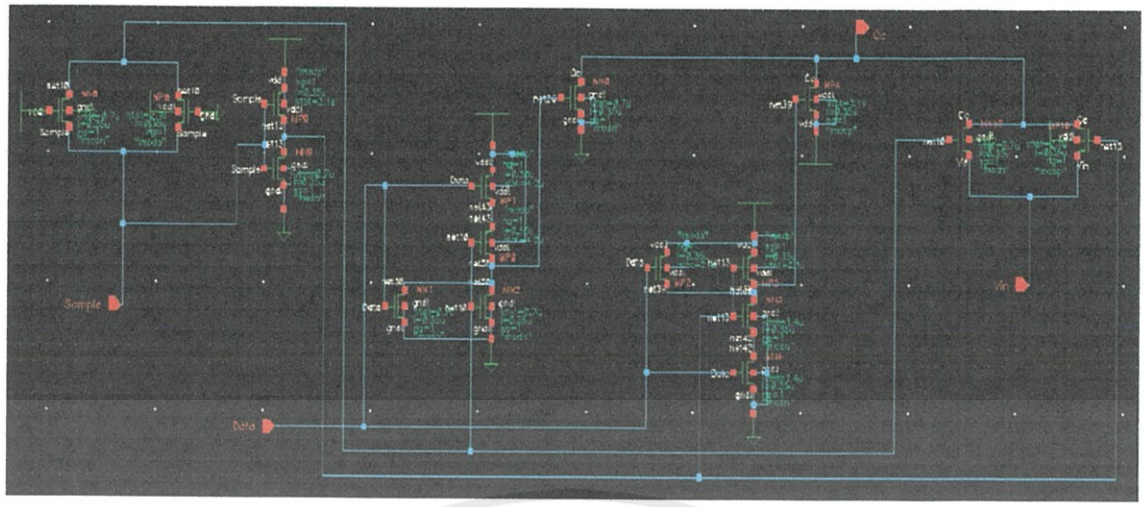
รูปที่ 3.29 Charge scaling Digital to Analog convertor แบบที่มี Sample and hold circuit ในตัว [2]

สำหรับโครงงานนี้ จะมีการใช้ Bottom plate switch ซึ่งเป็นสวิตช์ที่สามารถสับไปมาระหว่าง V_{REF} V_{IN} และ GND ได้ ดังรูปที่ 3.30 ขนาดของ Bottom plate switch เป็นไปตามตารางที่ 3.5 โดยใช้ขนาดของลอจิกเกตพื้นฐานเป็นตัวกำหนดขนาด

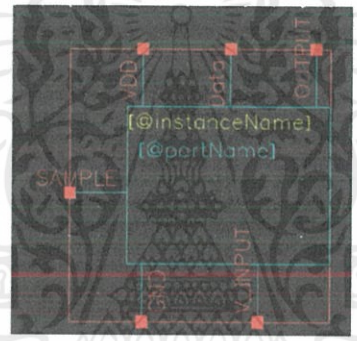


รูปที่ 3.30 Bottom plate switch [2]

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.31 Bottom plate switch ในโปรแกรม Cadence



รูปที่ 3.32 สัญลักษณ์ของ Bottom plate switch ที่สร้างขึ้นใน Cadence

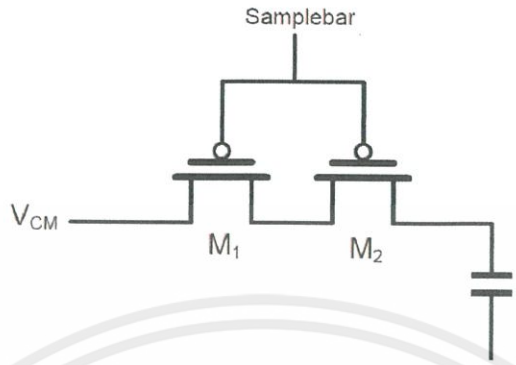
ตารางที่ 3.5 การกำหนดขนาดมอสเฟตของ Bottom plate switch

จากรูปที่ 3.30 กำหนดให้ L = 0.35μm

มอสเฟต	ขนาด W (μm)	ขนาด L (μm)
NMOS (NOR Gate Small, Transmission Gate Small, Inverter, M3)	0.7 μm	0.35 μm
PMOS (NOR Gate Small, Transmission Gate Big)	4.2 μm	0.35 μm
PMOS (Inverter, M4)	2.1 μm	0.35 μm
PMOS, NMOS (NAND Gate)	1.4 μm	0.35 μm

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในช่วง Hold ค่าสัญญาณอินพุต จะมีสวิตช์ Top Plate ที่สับไปที่ V_{cm} เพื่อเซ็ตค่าประจุในตัวเก็บประจุของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกให้พร้อมก่อนจะทำการแปลงสัญญาณ วงจร Top plate switch มีลักษณะดังรูปที่ 3.33



รูปที่ 3.33 วงจร Top plate switch [2]

3.2.4 แหล่งกำเนิดแรงดันอ้างอิง

เป็นวงจรที่ใช้สร้างระดับแรงดันอ้างอิง โดยทั่วไป วงจรแหล่งกำเนิดแรงดันอ้างอิงจะถูกใช้ในการไบอัสมอสเฟต หรืออุปกรณ์อื่นๆ สำหรับในโครงงานนี้จะใช้กับส่วนวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก วงจรรักษาระดับแรงดันมีอยู่หลายแบบ เช่น

3.2.4.1 แหล่งกำเนิดแรงดันอ้างอิงแบบที่ใช้ VBE

วงจรแหล่งกำเนิดแรงดันชนิดนี้จะใช้แรงดันอ้างอิงจากความต่างศักย์ระหว่างขาเบสและขาอิมิตเตอร์ (V_{BE}) โดยวงจรกำเนิดแรงดันอ้างอิงชนิดนี้จะมีสัมประสิทธิ์การเปลี่ยนแปลงเชิงอุณหภูมิแบบลบ เมื่ออุณหภูมิเพิ่มขึ้น แรงดันอ้างจะลดลง

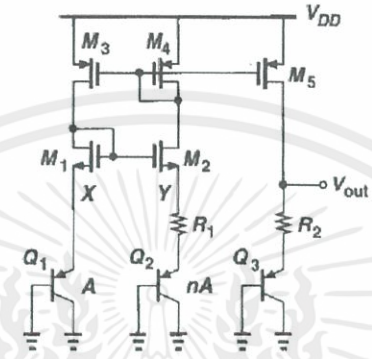
3.2.4.2 แหล่งกำเนิดแรงดันอ้างอิงแบบที่ใช้ VTH

วงจรแหล่งกำเนิดแรงดันชนิดนี้จะมีพื้นฐานใช้แรงดันอ้างอิงจากความต่างศักย์ระหว่างขาเบสและขาอิมิตเตอร์ (V_{BE}) เช่นเดียวกับแบบที่ 3.5.1 แต่จะใช้ความต่างของขนาดของทรานซิสเตอร์เป็นตัวสร้างแรงดันอ้างอิง โดยวงจรกำเนิดแรงดันอ้างอิงชนิดนี้จะมีสัมประสิทธิ์การเปลี่ยนแปลงเชิงอุณหภูมิแบบบวก เมื่ออุณหภูมิเพิ่มขึ้น แรงดันอ้างจะเพิ่มขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.4.3 แหล่งกำเนิดแรงดันอ้างอิงแบบแบนด์แกป

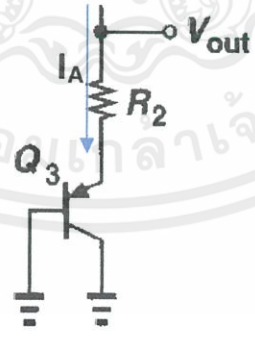
แหล่งกำเนิดแรงดันอ้างอิงที่ดีไม่ควรต้องขึ้นกับอุณหภูมิ ซึ่งแหล่งกำเนิดแรงดันอ้างอิงทั้งสองชนิดเปลี่ยนแปลงตามอุณหภูมิทั้งสิ้น วงจรกำเนิดแรงดันอ้างอิงแบบ VBE จะมีสัมประสิทธิ์การเปลี่ยนแปลงเชิงอุณหภูมิแบบลบ เมื่ออุณหภูมิเพิ่มขึ้น แรงดันอ้างจะลดลง และวงจรกำเนิดแรงดันอ้างอิงแบบที่ใช้ VTH จะมีสัมประสิทธิ์การเปลี่ยนแปลงเชิงอุณหภูมิแบบบวก เมื่ออุณหภูมิเพิ่มขึ้น แรงดันอ้างจะเพิ่มขึ้น แหล่งกำเนิดแรงดันอ้างอิงทั้งสองชนิดจึงสามารถนำมาชดเชยกันได้ นั่นคือวงจรแหล่งกำเนิดแรงดันอ้างอิงชนิดแบนด์แกป



รูปที่ 3.34 วงจรแหล่งกำเนิดแรงดันอ้างอิงแบบแบนด์แกป [3]

วงจรนี้จะแบ่งการทำงานเป็นสองส่วน

1. ส่วนแรกเป็นส่วน CTAT (Complementary To Absolute Temperature) ดังรูปที่ 3.35 ซึ่งเป็นส่วนที่ใช้ V_{BE} ของทรานซิสเตอร์ในการสร้างแรงดันอ้างอิง ซึ่งแรงดันในส่วนนี้จะขึ้นอยู่กับอุณหภูมิ เมื่ออุณหภูมิมากขึ้นจะทำให้ V_{BE} มีค่าน้อยลง เรียกได้ว่ามีสัมประสิทธิเชิงอุณหภูมิแบบลบ ($\frac{\partial V_{BE}}{\partial T}$ = - 1.5 mV/K)

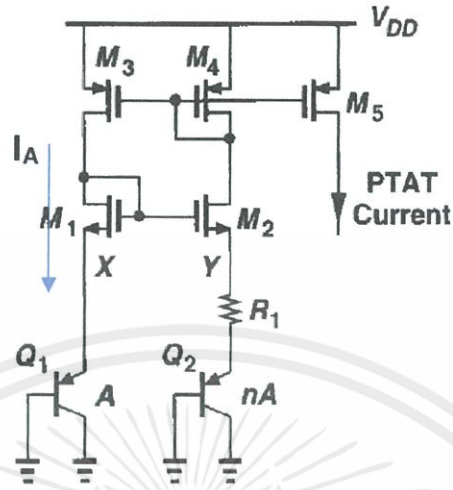


รูปที่ 3.35 ส่วน CTAT ของวงจรแหล่งกำเนิดแรงดันอ้างอิงแบบแบนด์แกป

การทำงาน คือ ทรานซิสเตอร์ในวงจรนี้จะต่อในลักษณะไดโอด แรงดันที่ตกคร่อม Q3 จะเท่ากับ V_{BE3} และแรงดัน V_{OUT} เท่ากับ $I_AR_2 + V_{BE3}$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. ส่วนที่สองเป็นส่วน PTAT (Proportional To Absolute Temperature) ซึ่งเป็นส่วนที่นำ CTAT สองตัวมาสร้างแรงดันอ้างอิง ดังรูปที่ 3.36



รูปที่ 3.36 ส่วน PTAT ของวงจรแหล่งกำเนิดแรงดันอ้างอิงแบบแบนด์แกป [3]

การทำงานคือ ทรานซิสเตอร์ในวงจรนี้จะต่อในลักษณะไดโอด โดยทรานซิสเตอร์ Q1 จะมีแรงดันตกคร่อม เท่ากับ V_{BE1} และทรานซิสเตอร์ Q2 จะมีแรงดันตกคร่อม เท่ากับ V_{BE2} โดยทรานซิสเตอร์Q2จะมีขนาดใหญ่กว่าทรานซิสเตอร์ Q1 เป็นจำนวน n เท่า การใช้ผลต่างของแรงดัน V_{BE} แบบนี้ จะทำให้แรงดันที่ได้มีการเปลี่ยนตามอุณหภูมิ เมื่ออุณหภูมิมากขึ้น ก็ทำให้แรงดัน V_{BE} มีค่ามากขึ้น เรียกได้ว่ามีสัมประสิทธิเชิงอุณหภูมิแบบบวก ($\frac{\partial V_{TH}}{\partial T}$ = +0.087 mV/K) จากสมการกระแสของไดโอด (3.3)

$$I_D = I_0(e^{\frac{V_{BE}}{V_{TH}}} - 1) \tag{3.3}$$

และ

$$I_0 = qAn_i^2(\frac{D_n}{L_n N_A} + \frac{D_p}{L_p N_D}) \tag{3.4}$$

เมื่อ I_D คือ กระแสที่ไหลผ่านไดโอด

A คือ พื้นที่หน้าตัดของไดโอด

จะเห็นได้ว่า ไดโอดที่มีขนาดพื้นที่หน้าตัดมาก ทำให้กระแสไหลได้มากกว่าไดโอดที่มีพื้นที่หน้าตัดน้อย เมื่อกระแสไหลได้มากก็ทำให้ไดโอดที่มีขนาดพื้นที่หน้าตัดมากกว่ามีแรงดันตกคร่อมน้อยกว่าไดโอดที่มีพื้นที่หน้าตัดน้อย เขียนในรูปของแรงดัน จะได้ว่า

$$V_{BE} = \frac{kT}{q}\ln(\frac{I_D}{I_0}) \tag{3.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.35 แรงดันและกระแสที่โหนด X และ Y จะมีค่าเท่ากันจากการใช้ Current Mirror แบบแคสโคด ดังนั้น

$$V_{BE1} = I_A R_1 + V_{BE2} \tag{3.6}$$

$$I_A = \frac{V_{BE1} - V_{BE2}}{R_1} \tag{3.7}$$

$$V_{BE1} = \frac{kT}{q} \ln\left(\frac{I_D}{I_0}\right) \tag{3.8}$$

$$V_{BE2} = \frac{kT}{q} \ln\left(\frac{I_D}{nI_0}\right) \tag{3.9}$$

โดยกระแส I_A มีค่าเท่ากับ PTAT Current ในรูปที่ 3.34

จากการที่ CTAT มีสัมประสิทธิเชิงอุณหภูมิแบบลบ และ PTAT มีสัมประสิทธิเชิงอุณหภูมิแบบบวก เมื่อนำสัมประสิทธิ์ของ PTAT และสัมประสิทธิ์ของ CTAT มาบวกกันจะทำให้ได้วงจรกำเนิดแรงดันอ้างอิงที่ไม่ขึ้นกับอุณหภูมิ ซึ่งเรียกว่า วงจรแหล่งกำเนิดแรงดันอ้างอิงแบบแบนด์แกป

พิจารณาในรูปที่ 3.34 ที่โหนด V_{OUT} จะได้

$$V_{OUT} = I_A R_2 + V_{BE3} \tag{3.10}$$

แทนค่า I_A จาก (3.10)

$$V_{OUT} = \frac{V_{BE1} - V_{BE2}}{R_1} R_2 + V_{BE3} \tag{3.11}$$

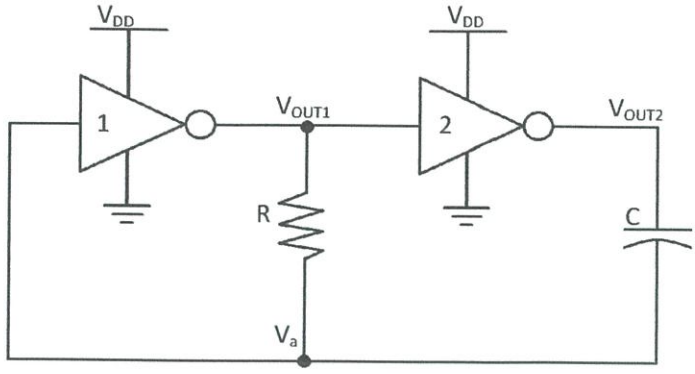
$$V_{OUT} = \frac{R_2}{R_1} \frac{kT}{q} ln(n) + V_{BE3} \tag{3.12}$$

3.2.5 วงจรกำเนิดสัญญาณนาฬิกา

วงจรกำเนิดสัญญาณนาฬิกาสร้างจากวงจรออสซิลเลเตอร์ ซึ่งวงจรออสซิลเลเตอร์แบ่งได้เป็นสองชนิด นั่นคือ Tuned oscillator และ Multivibrator

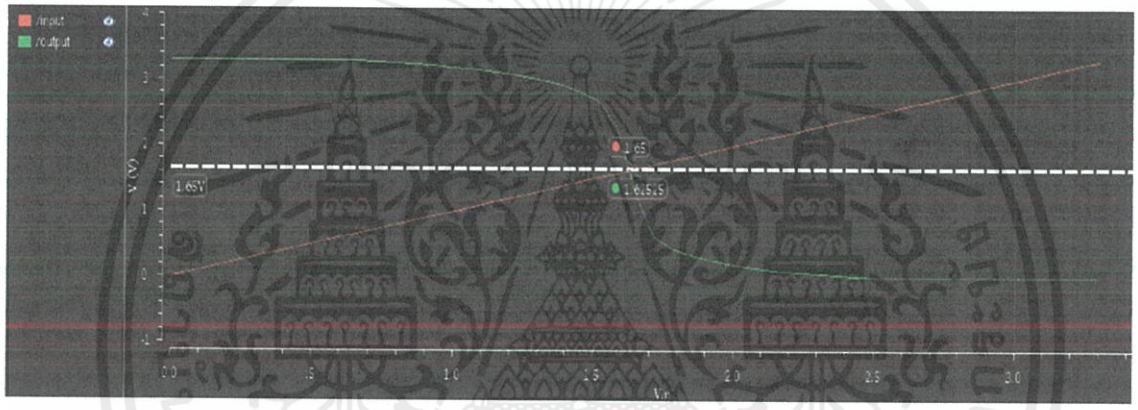
Tuned oscillator จะให้สัญญาณเป็นรูปไซน์ ส่วน Multivibrator จะให้รูปคลื่นเป็นรูปสามเหลี่ยม หรือสี่เหลี่ยม ในโครงงานนี้ต้องการสัญญาณนาฬิกาที่เป็นรูปคลื่นสี่เหลี่ยม จึงใช้ Multivibrator ดังรูปที่ 3.37

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.37 Multivibrator [4]

หลักการทำงาน คือ จากกราฟ Voltage transfer characteristic ของ comparator จะเห็นได้ว่าช่วงที่ Vout กำลังจะเปลี่ยนจากสถานะ Low เป็น High แรงดัน V_{in} จะเปลี่ยนไปไม่มาก

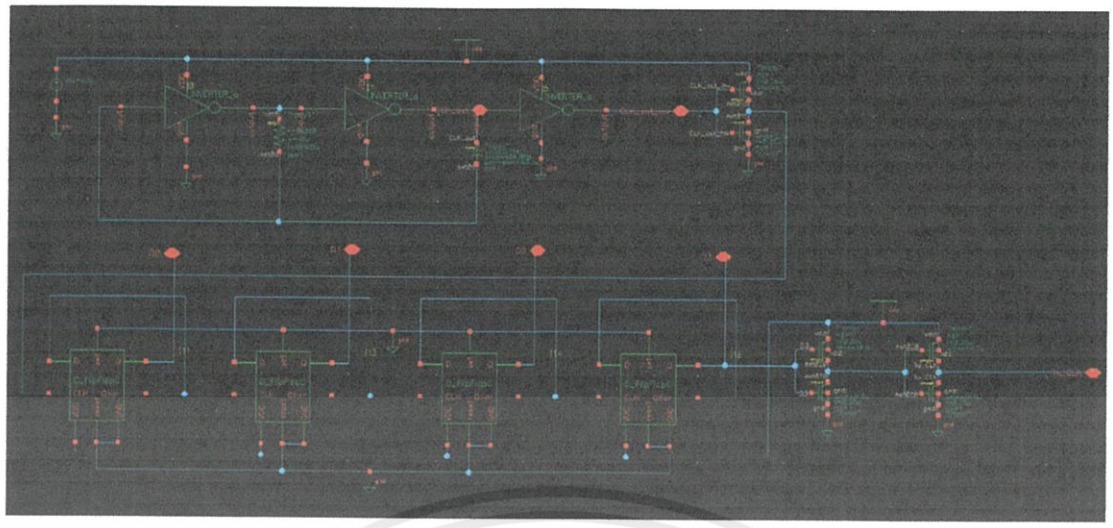


รูปที่ 3.38 กราฟ Voltage transfer characteristic ของ Inverter

สมมติให้ที่โหนด V_a มีค่าเท่ากับ $V_{DD}/2$ สถานะเริ่มต้น แรงดันที่โหนด V_{OUT1} ซึ่งเป็นเอาท์พุตของอินเวอร์เตอร์ตัวที่ 1 ก็จะมีค่าประมาณ $V_{DD}/2$

ถ้าโหนด V_a มีค่ามากกว่า $V_{DD}/2$ เล็กน้อย แรงดันที่โหนด V_{OUT1} ก็จะมีค่าน้อยกว่า $V_{DD}/2$ เล็กน้อย ส่งผลให้โหนด V_{OUT2} มีค่ามากขึ้น ตัวเก็บประจุ C ก็จะถูกชาร์จประจุ ทำให้โหนด V_a มีค่าน้อยลง เมื่อโหนด V_a มีค่าน้อยลง แรงดันที่โหนด V_{OUT1} ก็จะมีค่ามากขึ้น ส่งผลให้โหนด V_{OUT2} มีค่าน้อยลง ตัวเก็บประจุ C ก็จะถูกคายออกมา และมีกระแสไหลผ่านตัวต้านทาน ทำให้โหนด V_a มีค่ามากขึ้น ค่าความต่างศักย์ที่โหนด V_a, V_{OUT1}, V_{OUT2} จะมีค่าขึ้นลงเป็นวัฏจักร เป็นการออสซิลเลตนั่นเอง โดยคาบเวลาของสัญญาณออสซิลเลสจะเท่ากับ $T_{OSC} = 2.2RC$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.39 วงจรกำเนิดสัญญาณนาฬิกา แบบ Multivibrator ที่มีวงจรหารความถี่

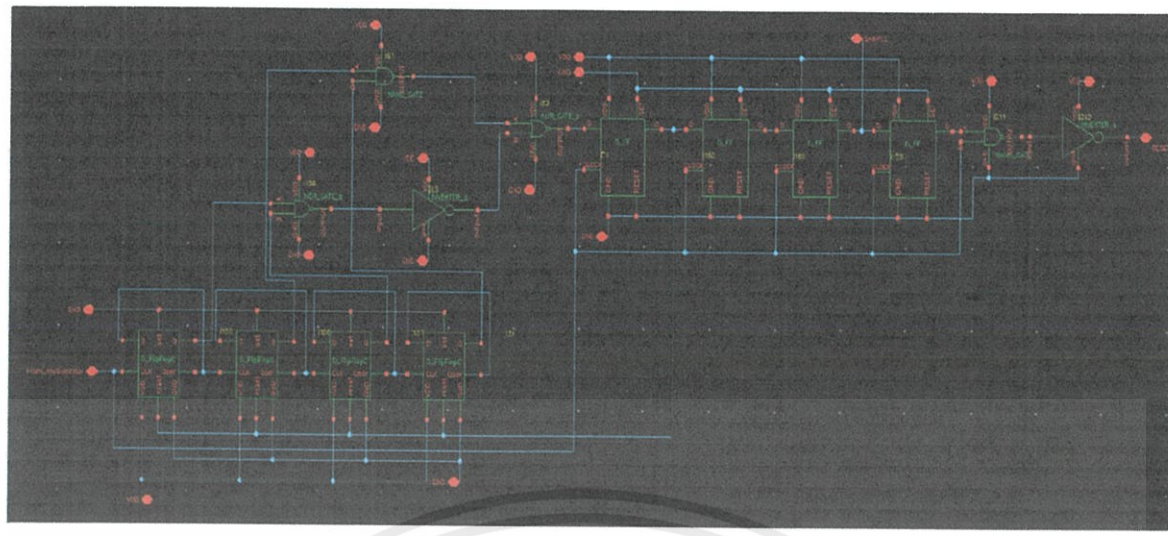
ในโครงงานนี้ต้องการวงจรกำเนิดสัญญาณนาฬิกาความถี่ 1 MHz ซึ่งมีคาบเวลาเท่ากับ 1μs จึงมีการใช้วงจรหารความถี่ ความถี่จะเหลือครึ่งหนึ่งในแต่ละ State ของ D Flip-Flop สาเหตุที่ใช้วงจรหารความถี่เข้ามาเพิ่มมีอยู่ 2 ประการ

1. ลดขนาดตัวต้านทานและตัวเก็บประจุที่ใช้ เนื่องจากคาบเวลา T_{OSC} = 2.2RC เมื่อคาบเวลามากก็ต้องใช้ขนาดตัวเก็บประจุและตัวต้านทานมาก ทำให้เปลืองพื้นที่ สำหรับคาบเวลา 1μs จะต้องใช้ตัวต้านทานขนาด 80kΩ และตัวเก็บประจุขนาด 5681.818 fF แต่ถ้าใช้วงจรหารความถี่หาร 16 เท่า เราก็สามารถออกแบบวงจรกำเนิดสัญญาณนาฬิกาให้มีคาบเวลาที่สั้นลง 16 เท่า เหลือ 62.5 ns การที่มีคาบเวลาสั้นลงหมายความว่าเราสามารถใช้ตัวเก็บประจุที่มีขนาดเล็กลงได้ สำหรับคาบเวลา 62.5 ns จะใช้ตัวต้านทานขนาด 80kΩ และตัวเก็บประจุขนาด 355.114 fF ซึ่งสามารถลดพื้นที่ไปได้เป็นอย่างมาก
2. ลดเวลาที่ใช้ในการออสซิสเลต ตัวต้านทานและตัวเก็บประจุขนาดใหญ่จะใช้เวลาในเตรียมที่จะออสซิลเลตนานกว่า ทำให้เริ่มทำงานได้ช้ากว่า

ส่วนที่ Output จะมีการใช้ Inverter เป็นตัวช่วยในการขับโหลด ทำให้สามารถขับโหลดได้มากขึ้น

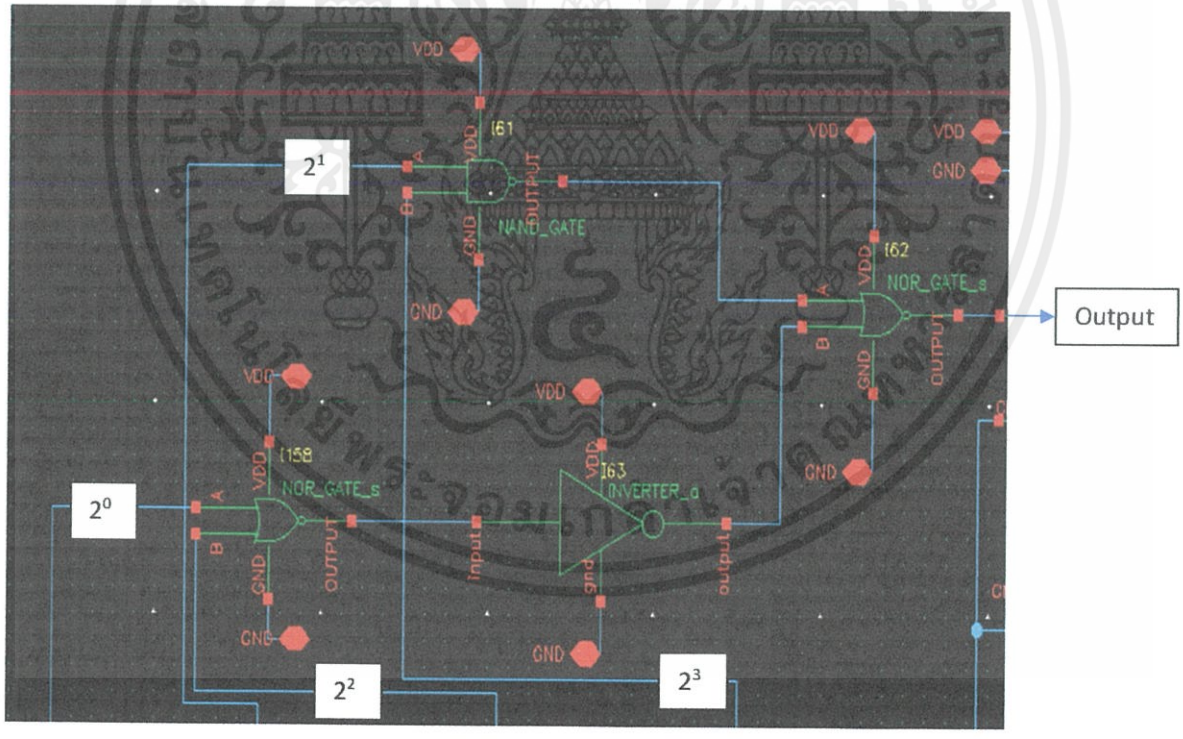
ในโครงงานนี้ วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์จะมีการใช้สัญญาณนาฬิกาสำหรับ ทำการ Sample สัญญาณ และใช้ในการ Reset Bits ของ D Flip-Flop โดยสัญญาณ Sample จะมีทุก 12 Clock สัญญาณ Reset จะช้ากว่าสัญญาณ Sample อยู่ 1 Clock

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.40 วงจร Digital Logic Gate ใช้สำหรับนับ Clock เพื่อให้สัญญาณ Sample และสัญญาณ Reset

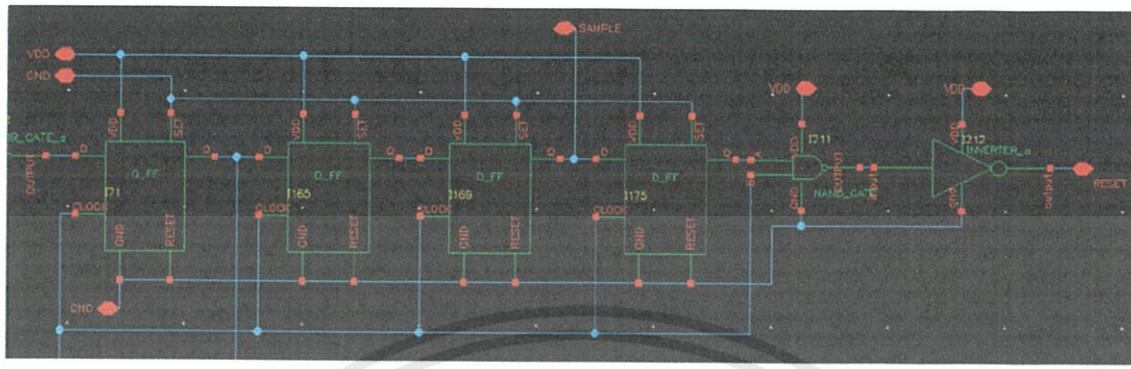
หลักการทำงานคือ จะมีการใช้ D Flip-Flop เป็นวงจร Counter 4 บิต คือนับ 0 - 15 เมื่อวงจร D Flip-Flop Counter นับถึง 11 คือ 1010 วงจร Logic Gate ที่ต่อดังรูป จะให้ Output ออกมาเป็น 1 จากนั้นก็นำ 1 ที่ได้ไปเข้า D Flip-Flop เพื่อนำไป Reset วงจร D Flip-Flop Counter แล้วนำ D Flip-Flop มาปรับ time ให้สัญญาณ Sample ออก เมื่อได้ Clock เท่ากับ 12 ลูก



รูปที่ 3.41 วงจร Logic Gate

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนสัญญาณ Reset จะช้ากว่าสัญญาณ Sample อยู่ 1 Clock จึงใช้ D Flip-Flop มา Delay สัญญาณ แล้วนำไปสู่ NAND Gate และ Inverter เพื่อให้ได้เป็นสัญญาณ Reset ที่มี Paulse Width เท่ากับ Clock ต่อไป

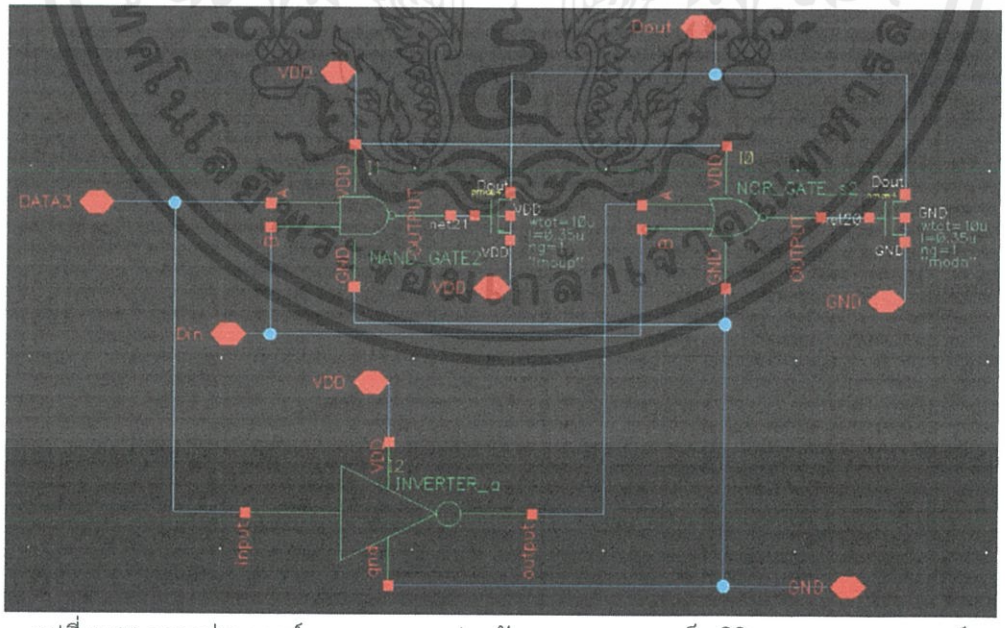


รูปที่ 3.42 วงจรทางออกของสัญญาณ Sample และสัญญาณ Reset

3.2.6 วงจรส่วนเอาท์พุตของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์

วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์นั้นจะมีการเปลี่ยนแปลงสัญญาณเอาท์พุตดิจิตอลตลอดเวลาที่เปรียบเทียบค่าสัญญาณอนาลอกอินพุต และให้ค่าสัญญาณดิจิตอลเอาท์พุตสุดท้ายมาทุกๆ 12 Clock

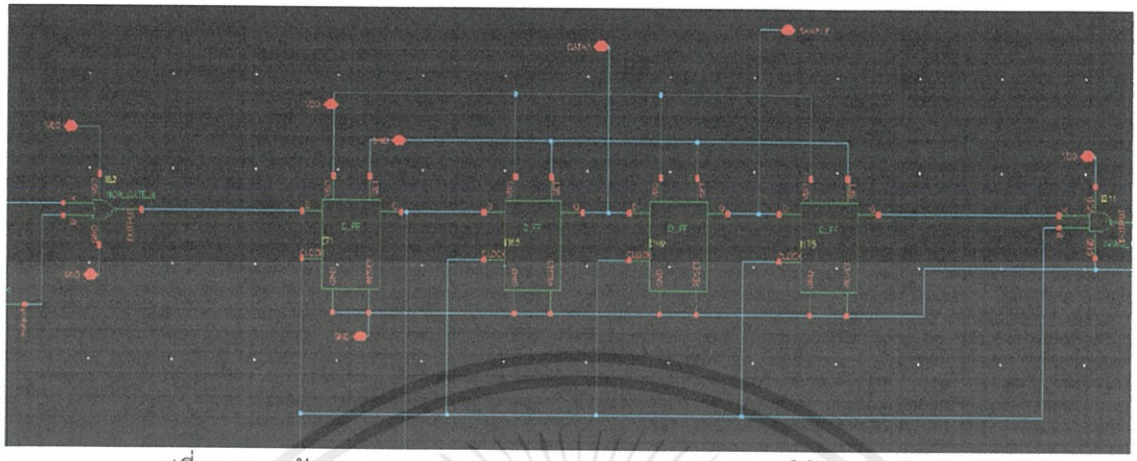
ในโครงงานนี้จึงได้มีการออกแบบส่วนเอาท์พุตของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์ เพื่อใช้สำหรับการใช้งานที่ไม่สนใจช่วงเวลาที่เปรียบเทียบค่าสัญญาณอนาลอกอินพุต แต่ต้องการเฉพาะค่าดิจิตอลเอาท์พุตสุดท้ายแล้วเท่านั้น วงจรที่ออกแบบเป็นดังรูปที่ 3.42



รูปที่ 3.43 วงจรส่วนเอาท์พุตของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ Data3 จะมาจากวงจร Digital Logic Gate ใช้สำหรับนับ Clock ซึ่งมาขนาด 12 Clock แต่สัญญาณ Data3 จะนำสัญญาณ Sample อยู่ 1 Clock จากการต่อ D Flip Flop เพื่อให้ Delay สัญญาณ



รูปที่ 3.44 ขาสัญญาณ Data3 จากวงจร Digital Logic Gate ใช้สำหรับนับ Clock

รูปที่ 3.45 Time diagram ของวงจรส่วนเอาท์พุตของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์

หลักการทำงาน คือ เมื่อมีสัญญาณ Data3 เป็นลอจิก High เข้ามา วงจรส่วนเอาท์พุตของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์ จะให้สัญญาณ D_{out} ออกมาเหมือนกับสัญญาณ D_{in}

1. สมมติว่า D_{in} เป็น High จะทำให้เอาท์พุตของ NAND Gate เป็น Low ส่งผลให้ PMOS ทำงาน และเอาท์พุตของ NOR Gate เป็น Low ส่งผลให้ NMOS ไม่ทำงาน เอาท์พุตก็จะออกมาเป็น High เหมือน D_{in} นั้นเอง

2. สมมติว่า D_{in} เป็น Low จะทำให้เอาท์พุตของ NAND Gate เป็น High ส่งผลให้ PMOS ไม่ทำงาน และเอาท์พุตของ NOR Gate เป็น High ส่งผลให้ NMOS ทำงาน เอาท์พุตก็จะออกมาเป็น Low เหมือน D_{in} นั้นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แต่ถ้าสัญญาณ Data3 เป็นลอจิก Low ไม่ว่า D_{in} จะเป็น Low หรือ High เอาท์พุตก็จะคงค่าเดิมไว้จนกว่าจะมีสัญญาณ Data3 เป็นลอจิก High เข้ามาอีกครั้ง และรับ D_{in} ใหม่เข้ามา

สรุปแล้ว สัญญาณ Data3 คือ สัญญาณ end of conversion หรือ สัญญาณ EOC นั่นเอง วงจรนี้ออกแบบเพื่อให้การนำวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์ไปใช้งานได้ง่ายยิ่งขึ้น อีกทั้งยังนำไปใช้กับการทดสอบด้วยการนำไปต่อกับ DAC อีกด้วย

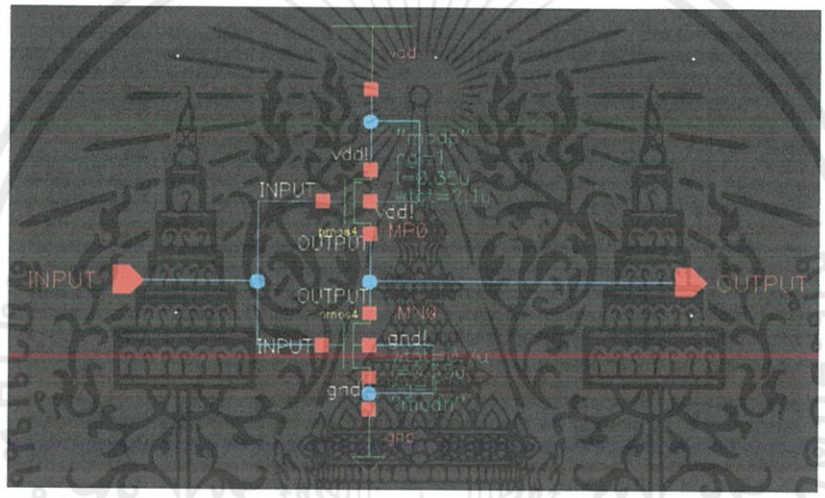
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลจำลองการทำงาน

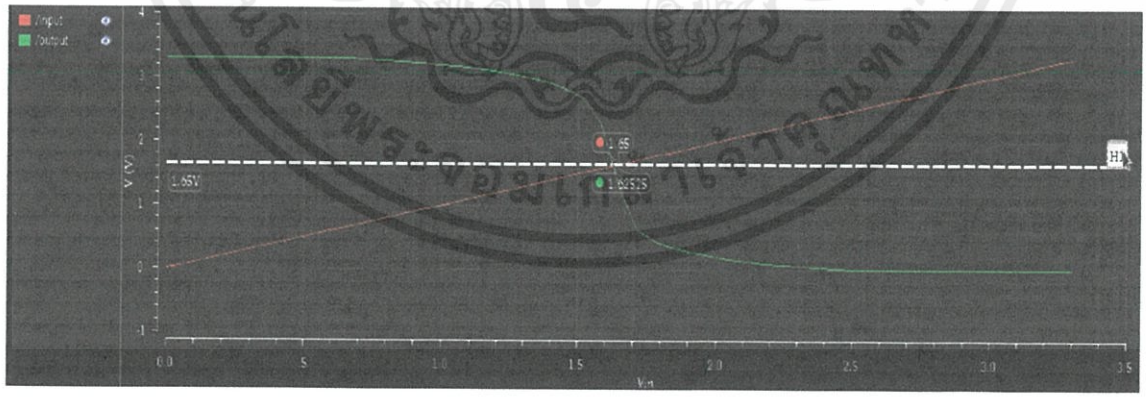
ในโครงงานนี้ ใช้เทคโนโลยี 0.35μm ใช้แรงดันไฟเลี้ยง 3.3V และใช้โปรแกรม Cadence ในการจำลองผลการทดลอง ผลการทดลองของวงจรต่างๆเป็นดังนี้

4.1 การกำหนดขนาดของมอสเฟต

ทดลองการกำหนดขนาดโดยการต่อ Inverter เหตุผลที่ทำการทดลองต่อ inverter เพราะว่า inverter ที่ดีจะต้องมีการสวิตช์ที่แรงดัน $V_{DD}/2$ หรือให้ใกล้มากที่สุด และเพื่อให้ Rise time และ Fall time มีค่าใกล้กัน ซึ่งจากการทดลองจะได้อัตราส่วนของ W_p/W_n เป็น 3/1

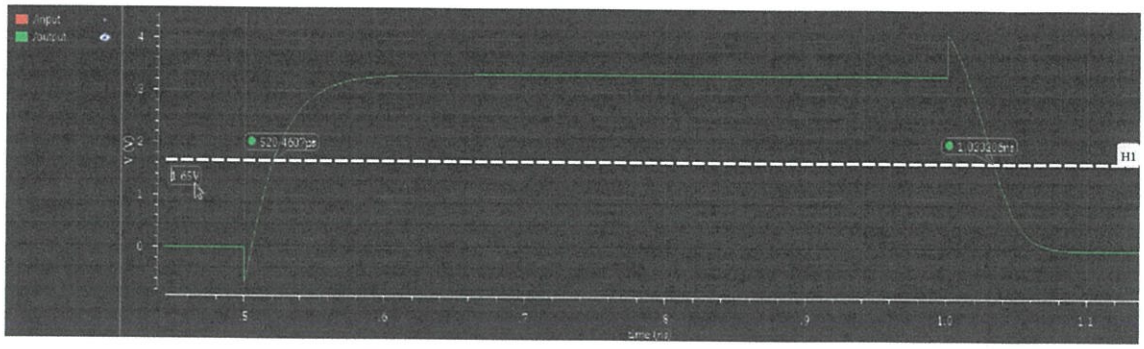


รูปที่ 4.1 วงจร Inverter



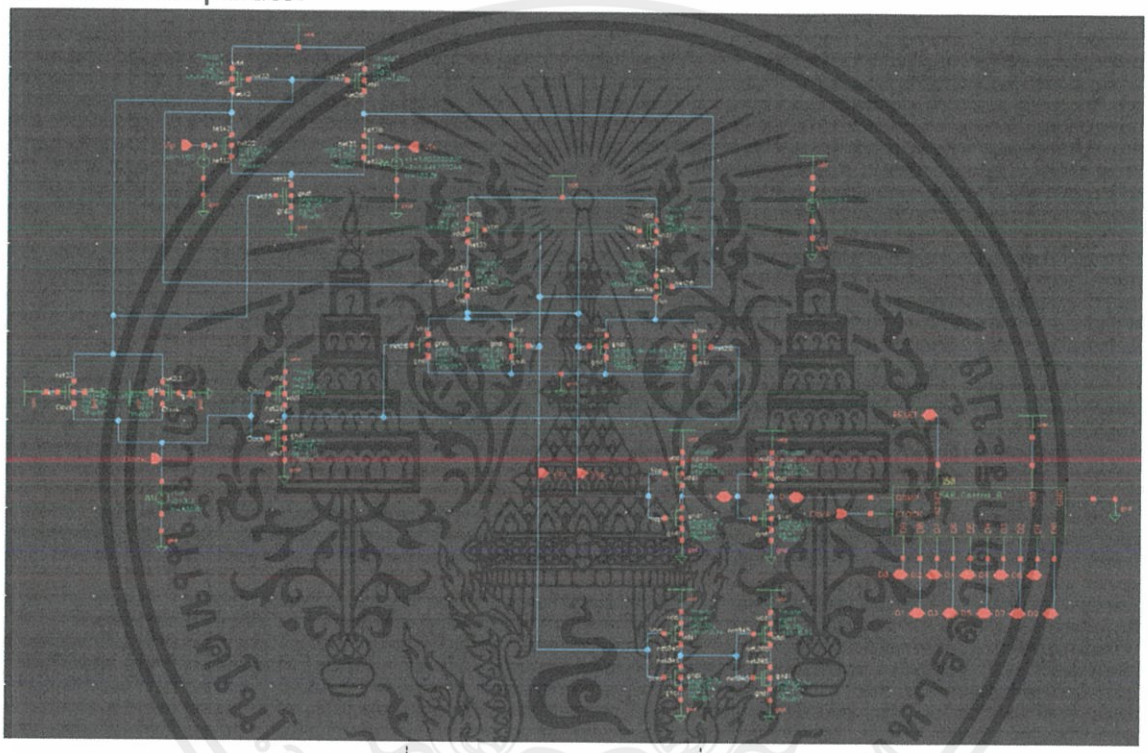
รูปที่ 4.2 กราฟ Voltage transfer characteristic

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 กราฟ transient

4.2 วงจร Comparator

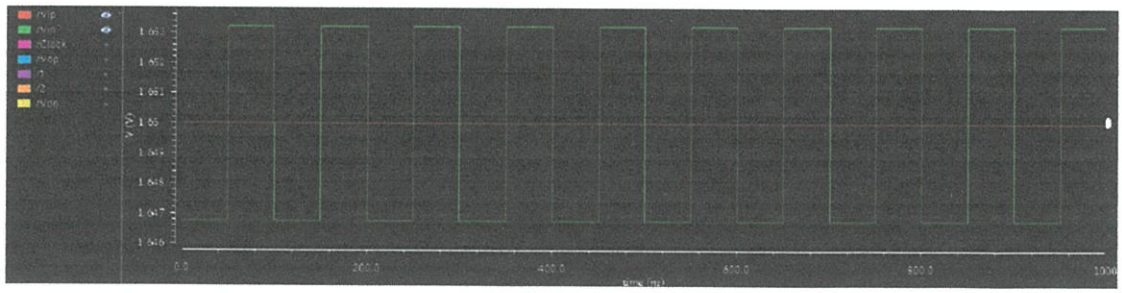


รูปที่ 4.4 วงจร Comparator ที่ทดลอง

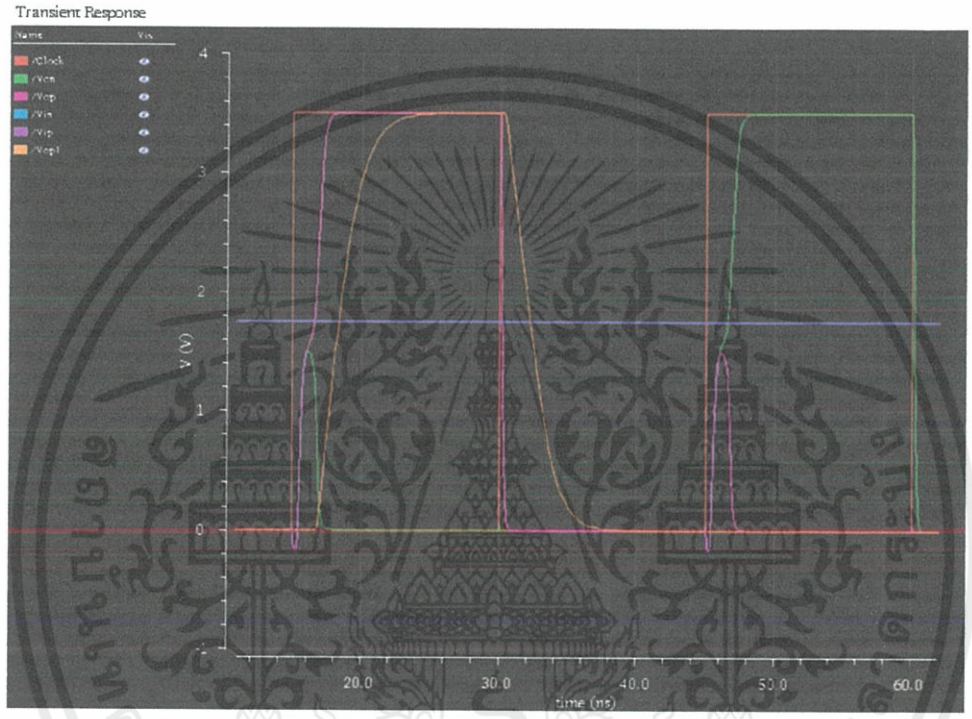
ในการทดสอบค่า Delay time ของ Dynamic Two Stage Latched Comparator จะทำโดยการป้อนแรงดันต่างกัน Delta เช่น ให้ Delta เท่ากับ 3.2226 mV และให้ความต่างศักย์ที่ ViN คงที่เท่ากับ 1.65V แต่ให้ความต่างศักย์ ViP เป็นคลื่นรูปสี่เหลี่ยม มีการเปลี่ยนแปลงดังรูปที่ แล้วทำการวัดค่า delay ของ comparator โดยวัดจากเวลาที่ VClock ขึ้นไปถึง 1.65V จนถึงเวลาที่ผลต่าง Vop และ Von เท่ากับ 1.65V และที่เอาท์พุตใส่ตัว SAR Control Logic เป็นโหลด โดยพิจารณาจากค่าตัวเก็บประจุแฝงใน D flip flop

เหตุผลที่ต้องทำการทดลองนี้ เพื่อหาค่า Delay time และหาค่า Resolution ของคอมพาราเตอร์ นั่นคือ ค่าความต่างแรงดันที่อินพุตที่คอมพาราเตอร์สามารถทำงานได้โดยที่ Delay time ไม่มากเกินไปจนทำให้วงจรทำงานผิดพลาด

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 การป้อนแรงดัน Delta และสัญญาณนาฬิกา



รูปที่ 4.6 กราฟ Delay time ของ Comparator

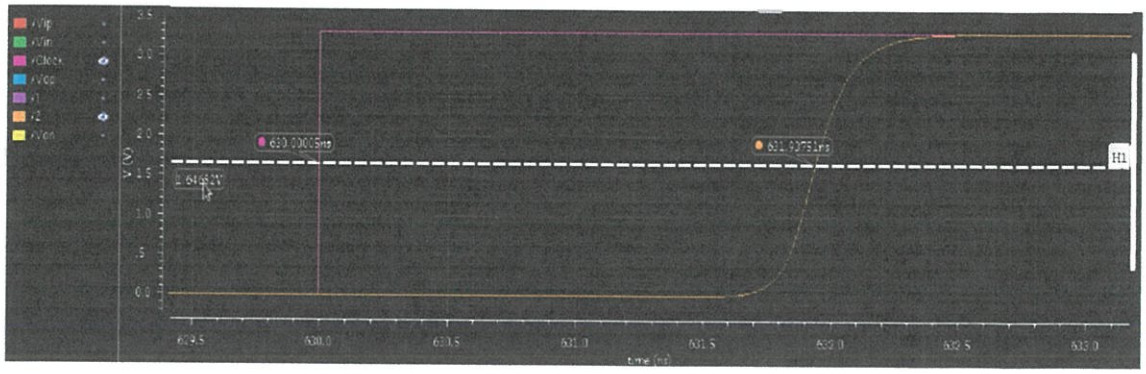
ค่าความละเอียดของความต่างศักย์ 1บิต ของวงจรนี้คือ $\frac{3.3}{2^{10}}$ = 3.2226 mV หรือเท่ากับ 0.0032226V ดังนั้น คอมพาราเตอร์จะต้องสามารถทำงานเมื่ออินพุตมีความแตกต่างน้อยเท่านี้ได้ และมีค่า Delay time ไม่มากเกินจนทำให้การทำงานของวงจรผิดพลาด สำหรับ Delay time ของ Comparator ที่รวมตัวไดร์ฟอินเวอร์เตอร์แล้ว จะเท่ากับ 937.46 ps

กำลังเฉลี่ยของ Comparator คิดจาก $P_{Average} = I_{Average}V$

แทนค่า $P_{Average} = (4.162\ \mu A)(3.3V)$

$P_{Average} = 13.7346\ \mu W$

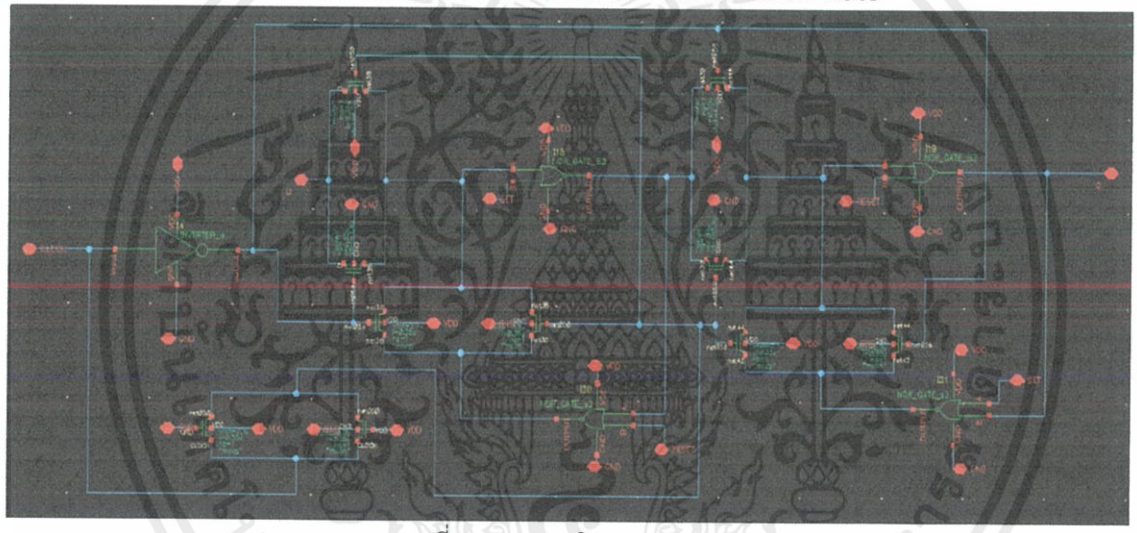
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.7 กราฟ Delay time ของ Comparator ที่รวมตัวไดร์ฟอินเวอร์เตอร์แล้ว และต่อกับโหลด SAR Control Logic

4.3 ฟลิปฟลอปแบบ D

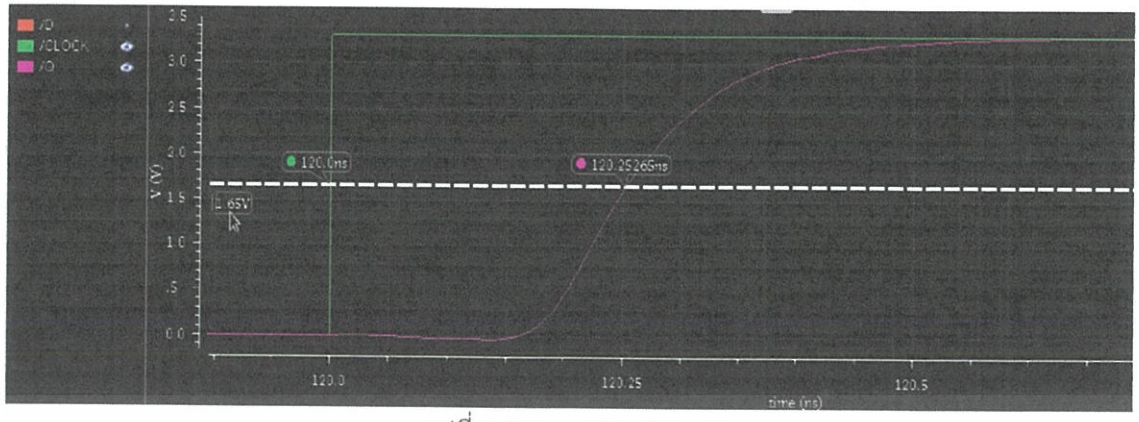
วงจร D ฟลิปฟลอป ประกอบด้วย NAND Gate และ Transmission Gate



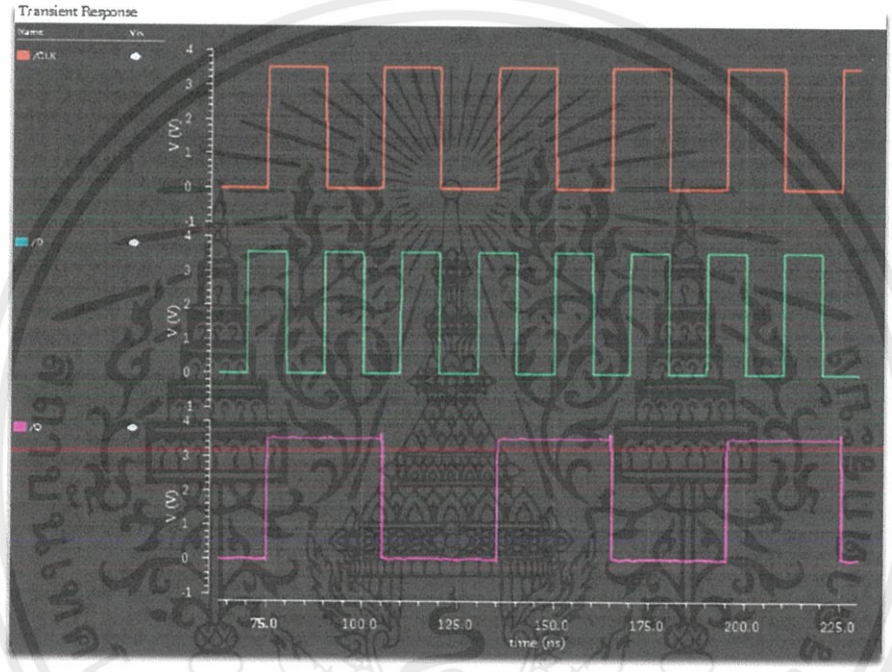
รูปที่ 4.8 วงจรฟลิปฟลอบแบบ D

ทำการทดลองหาค่า Time clock to Q โดยการป้อนสัญญาณรูปสี่เหลี่ยมเข้าที่ Clock และ D แล้วดูว่าใช้เวลาเท่าไร ที่ตัว D ฟลิปฟลอป จะให้เอาท์พุต Q ออกมา เหตุผลที่ต้องทดสอบ Delay time หรือ Time Clock to Q ของ D ฟลิปฟลอป เป็นเพราะว่า เราต้องออกแบบให้ D ฟลิปฟลอป มีค่า Delay time น้อย เพื่อให้ SAR Control Logic สามารถทำงานได้ทันกับสัญญาณนาฬิกาเช่นเดียวกับคอมพาราเตอร์ ซึ่งจากการทดลอง ได้ Time Clock to Q ของ D ฟลิปฟลอป เท่ากับ 252.65 ps

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 Time Clock to Q



รูปที่ 4.10 Time diagram ของ D Flip-Flop

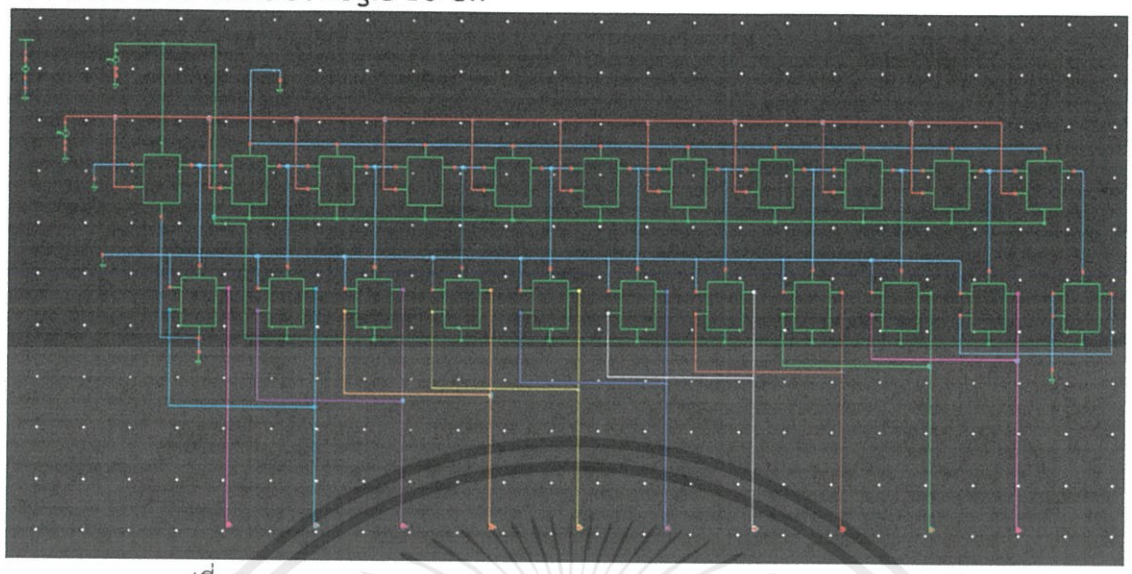
กำลังเฉลี่ยของ Comparator คิดจาก $P_{Average} = I_{Average}V$

แทนค่า $P_{Average} = (\ 8.337\ \mu A)(\ 3.3V\ )$

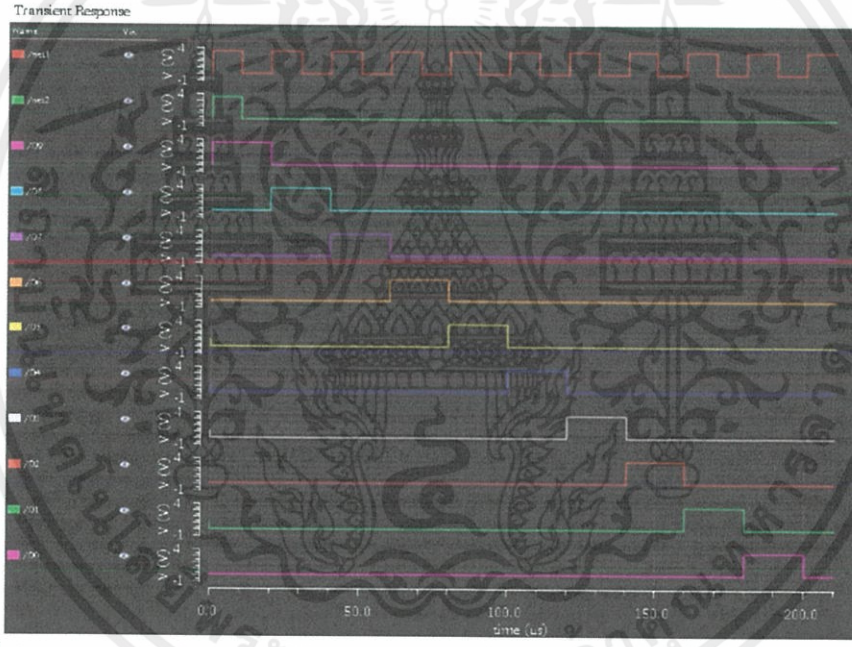
$P_{Average} = 27.5121\ \mu W$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 วงจร SAR Control Logic 10 บิต



รูปที่ 4.11 วงจร Successive Approximation Control Logic ขนาด 10 บิต



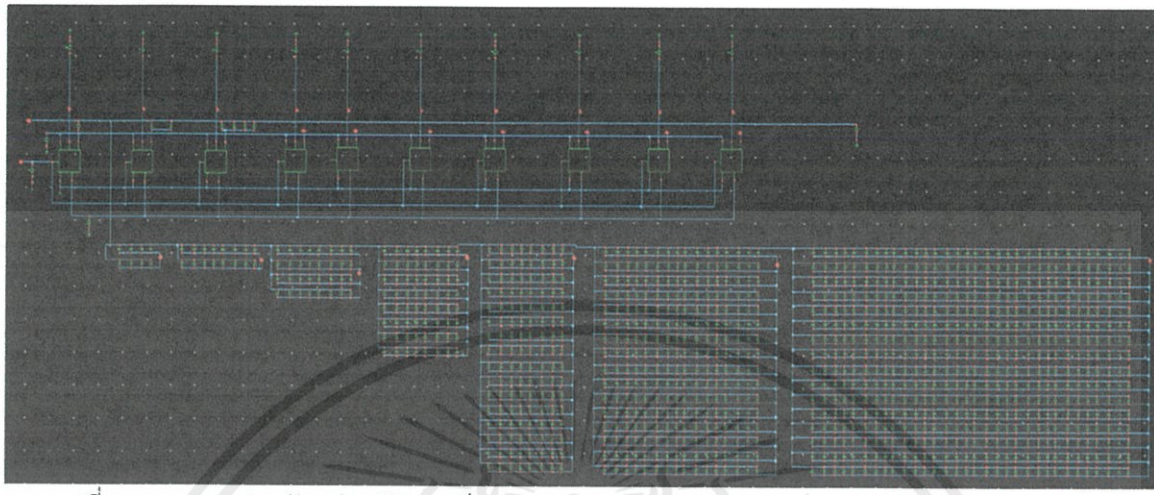
รูปที่ 4.12 ผลการทดลอง Transient response ของวงจร Successive Approximation Control Logic ขนาด 10 บิต เมื่อ ให้สัญญาณจาก Comparator เท่ากับ 0 โวลต์

ทดลองโดยให้สัญญาณจาก Comparator เท่ากับ 0 โวลต์ ทำให้เกิดการเลื่อนบิต ซึ่งการเลื่อนบิตนี้จะนำไปใช้ในการวนลูปเพื่อหาค่าแรงดันดิจิตอลต่อไป

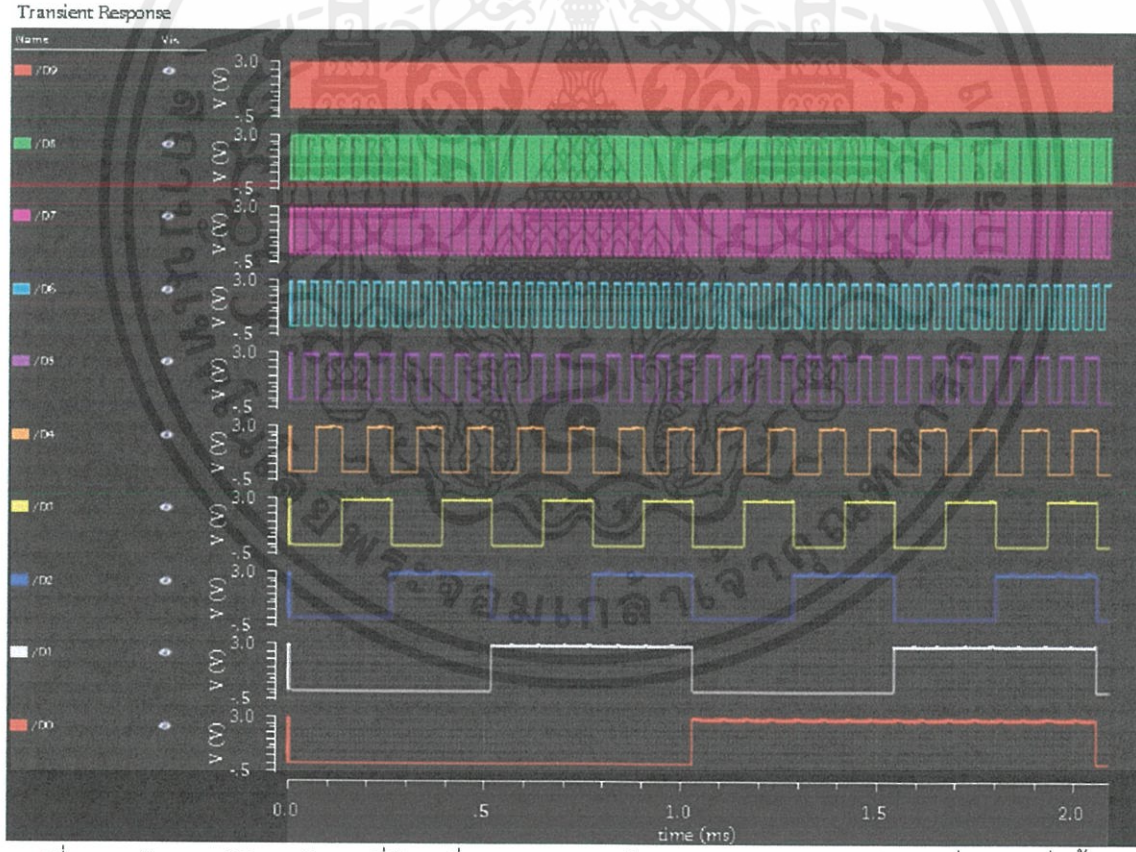
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 D/A converter

วงจร D/A converter เป็นแบบ Charge scaling Digital to Analog convertor ซึ่งประกอบด้วยตัวเก็บประจุ และสวิตซ์แบบ Bottom plate switch ดังรูปที่ 4.13

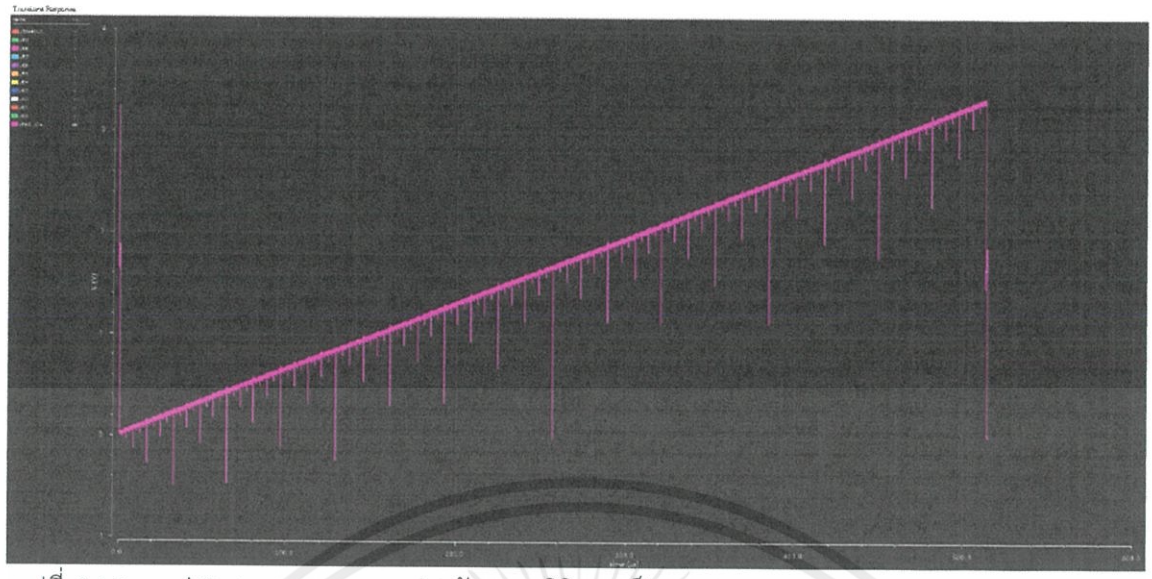


รูปที่ 4.13 วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก DAC แบบ Charge scaling Digital to Analog convertor

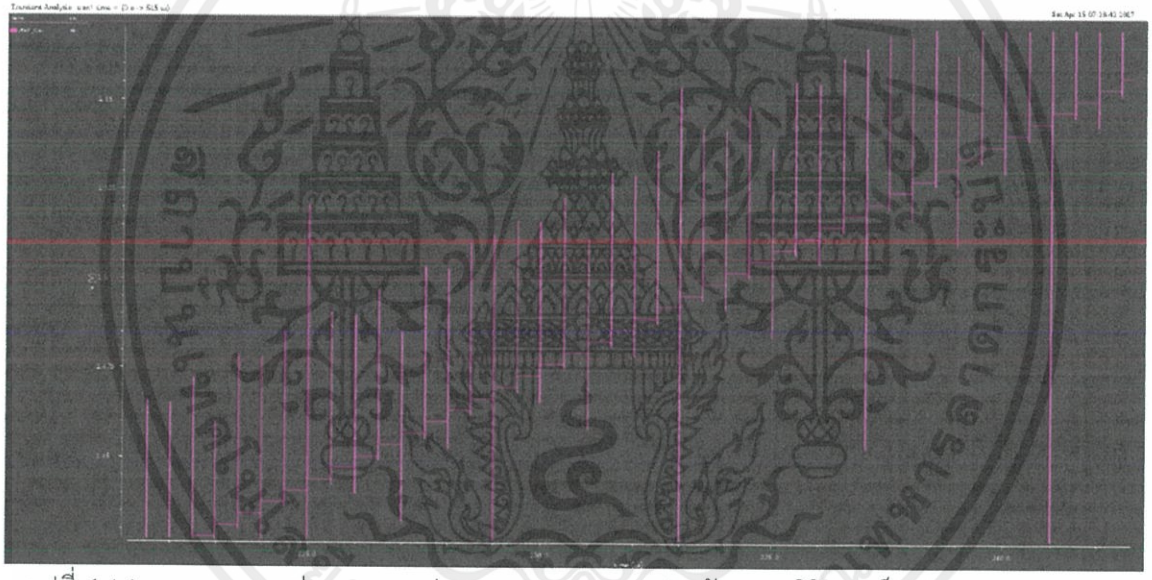


รูปที่ 4.14 สัญญาณดิจิตอลอินพุตที่ป้อนเพื่อทดสอบ DAC โดยสัญญาณดิจิตอลจะมีการเปลี่ยนบิตเพิ่มขึ้นในทุกๆ 1µs

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 กราฟ Output ของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก DAC แบบ Charge scaling Digital to Analog convertor

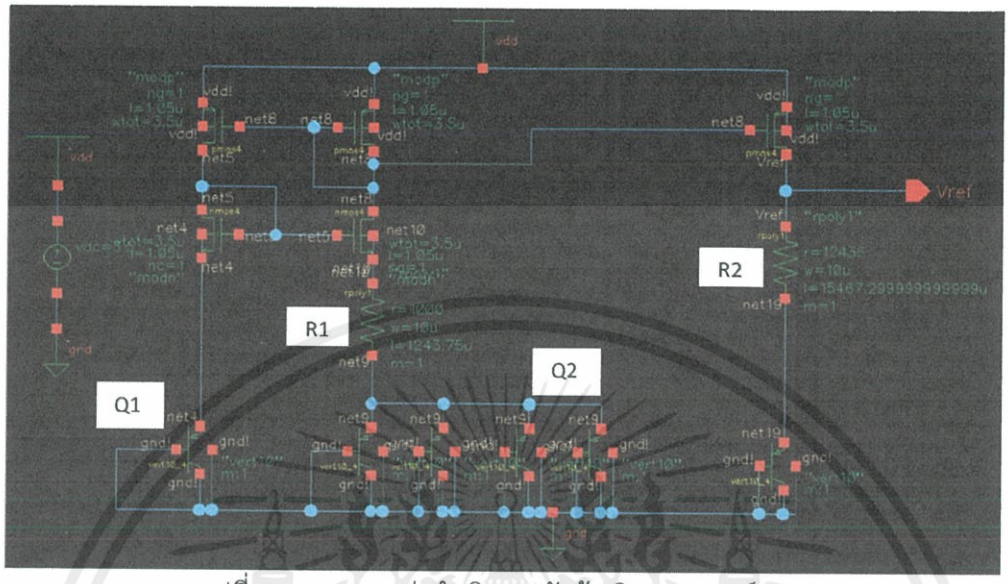


รูปที่ 4.16 ภาพขยายบางส่วนของกราฟ Output ของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก DAC แบบ Charge scaling Digital to Analog convertor

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6 วงจรแหล่งกำเนิดแรงดันอ้างอิงแบบแบนด์แกป

วงจรแหล่งกำเนิดแรงดันอ้างอิงแบบแบนด์แกปจะประกอบด้วยมอสเฟต ไดโอดที่สร้างจากทรานซิสเตอร์ และตัวต้านทาน ดังรูปที่ 4.12

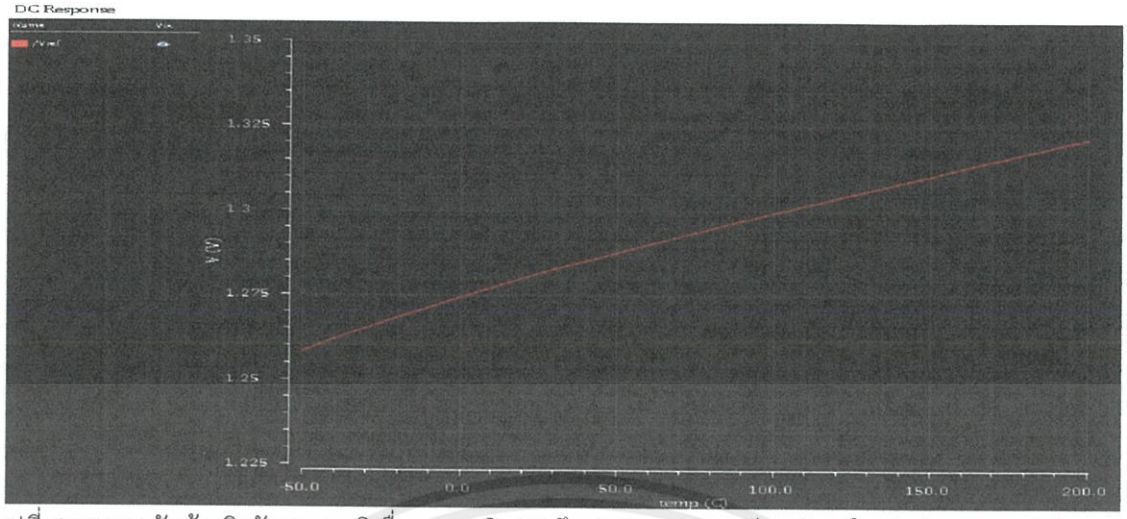


รูปที่ 4.17 วงจรแหล่งกำเนิดแรงดันอ้างอิงแบบแบนด์แกป

จากการทดลองพบว่า ใช้ทรานซิสเตอร์ Q_2 ใหญ่กว่า Q_1 4 เท่า และใช้ R1 เท่ากับ 1kΩ, R2 เท่ากับ 12.436 kΩ

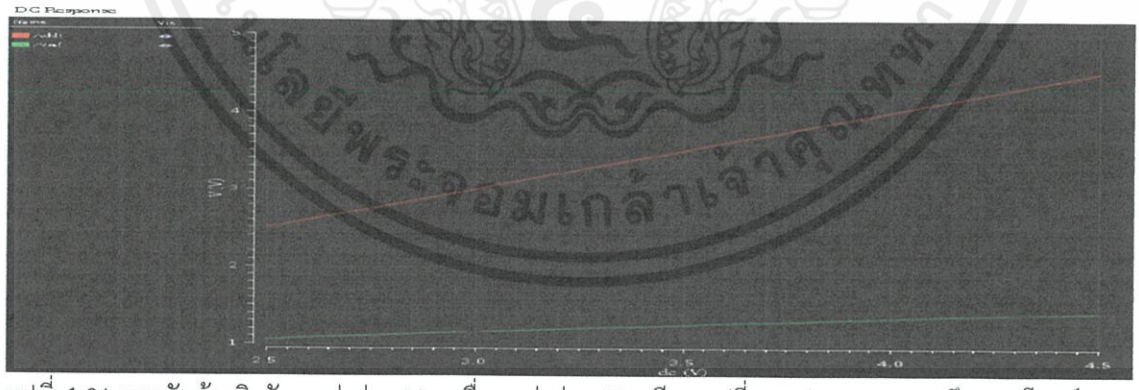
รูปที่ 4.18 กราฟความสัมพันธ์ระหว่างแรงดันอ้างอิงกับอุณหภูมิ เมื่ออุณหภูมิมีการเปลี่ยนแปลงจาก -50 ถึง 200 องศาเซลเซียส โดยใช้ทรานซิสเตอร์ Q_2 ใหญ่กว่า Q_1 4 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



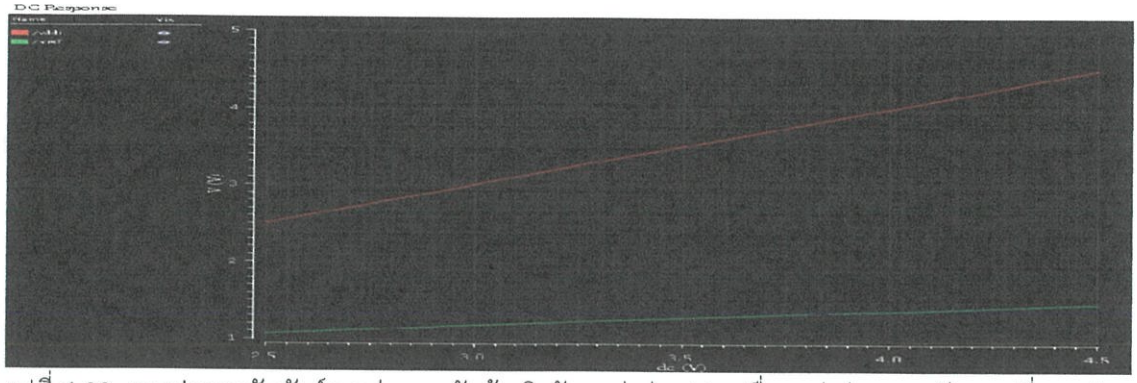
รูปที่ 4.19 แรงดันอ้างอิงกับอุณหภูมิเมื่ออุณหภูมิ -50 ถึง 200 องศาเซลเซียส (Q_2 ใหญ่กว่า Q_1 3 เท่า)

รูปที่ 4.20 แรงดันอ้างอิงกับอุณหภูมิเมื่ออุณหภูมิ -50 ถึง 200 องศาเซลเซียส (Q_2 ใหญ่กว่า Q_1 5 เท่า)

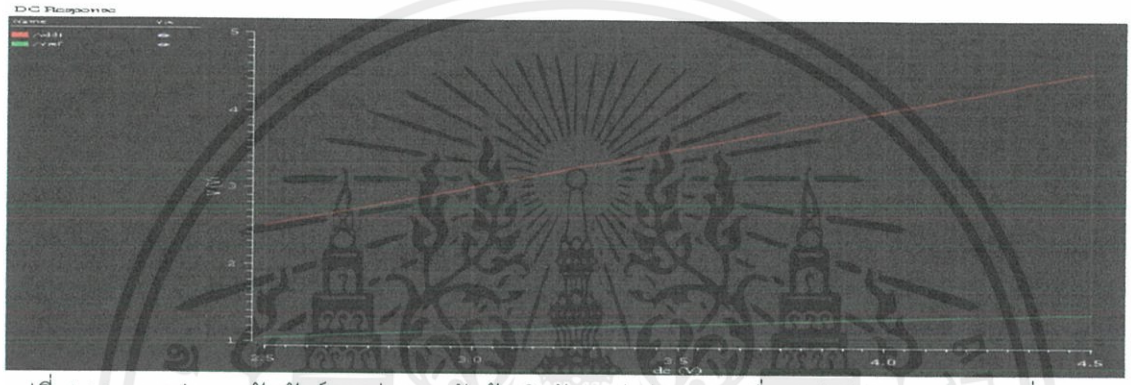


รูปที่ 4.21 แรงดันอ้างอิงกับแหล่งจ่าย V_{DD} เมื่อแหล่งจ่าย V_{DD} มีการเปลี่ยนแปลง จาก 2.5 ถึง 4.5 โวลต์ (เส้นสีแดงคือ V_{DD} และ เส้นสีเขียว คือ V_{ref}) โดยใช้ทรานซิสเตอร์ Q_2 ใหญ่กว่า Q_1 4 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

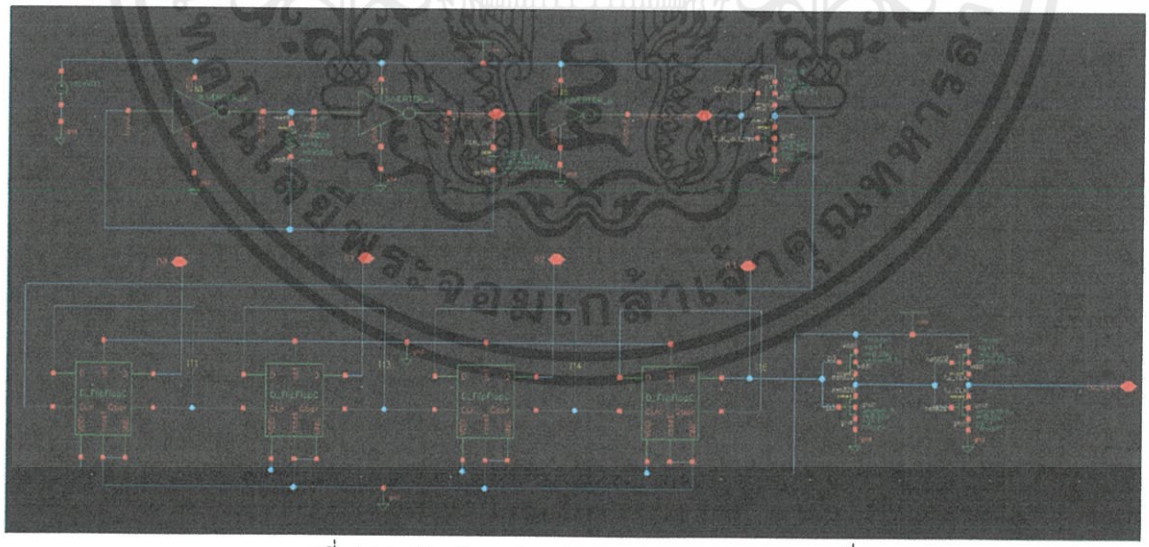


รูปที่ 4.22 กราฟความสัมพันธ์ระหว่างแรงดันอ้างอิงกับแหล่งจ่าย V_{DD} เมื่อแหล่งจ่าย V_{DD} มีการเปลี่ยนแปลงจาก 2.5 ถึง 4.5 โวลต์ (สีแดงคือ V_{DD} และ สีเขียว คือ V_{ref}) โดยใช้ทรานซิสเตอร์ Q_2 ใหญ่กว่า Q_1 3 เท่า



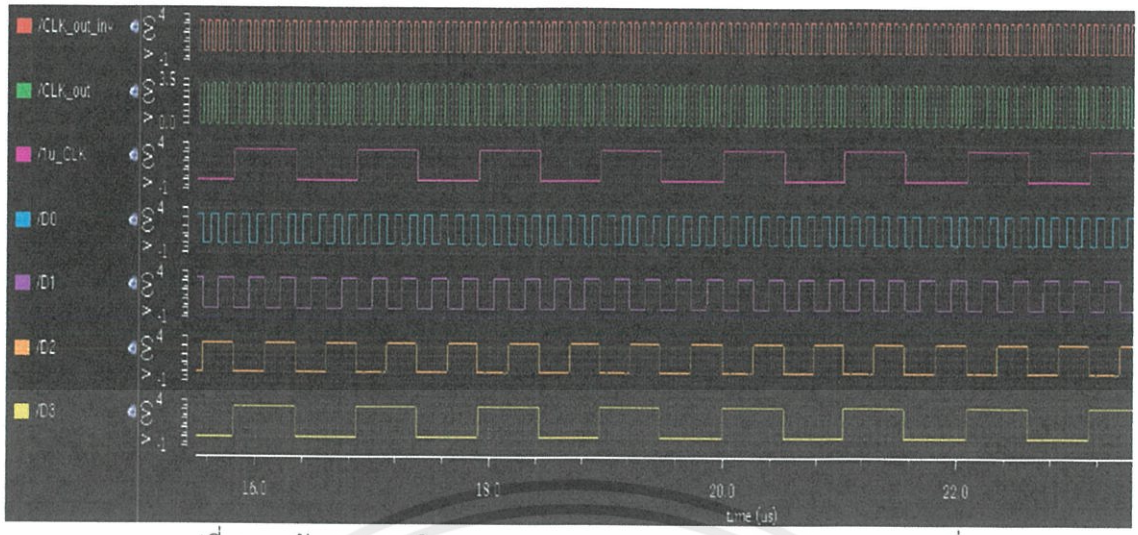
รูปที่ 4.23 กราฟความสัมพันธ์ระหว่างแรงดันอ้างอิงกับแหล่งจ่าย V_{DD} เมื่อแหล่งจ่าย V_{DD} มีการเปลี่ยนแปลงจาก 2.5 ถึง 4.5 โวลต์ (สีแดงคือ V_{DD} และ สีเขียว คือ V_{ref}) โดยใช้ทรานซิสเตอร์ Q_2 ใหญ่กว่า Q_1 4 เท่า

4.7 Clock Multivibrator



รูปที่ 4.24 Clock Multivibrator และวงจรหารความถี่

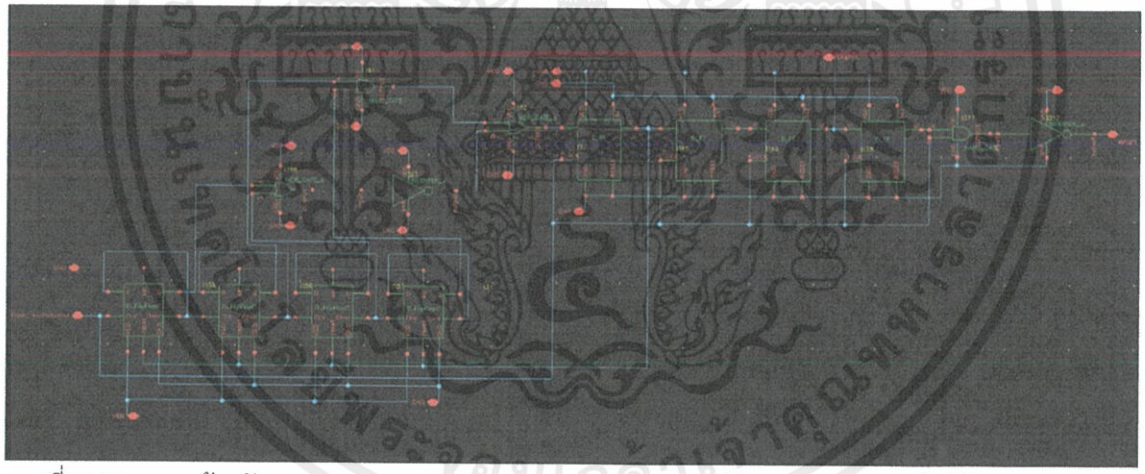
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.25 สัญญาณนาฬิกาจาก Clock Multivibrator และวงจรหารความถี่

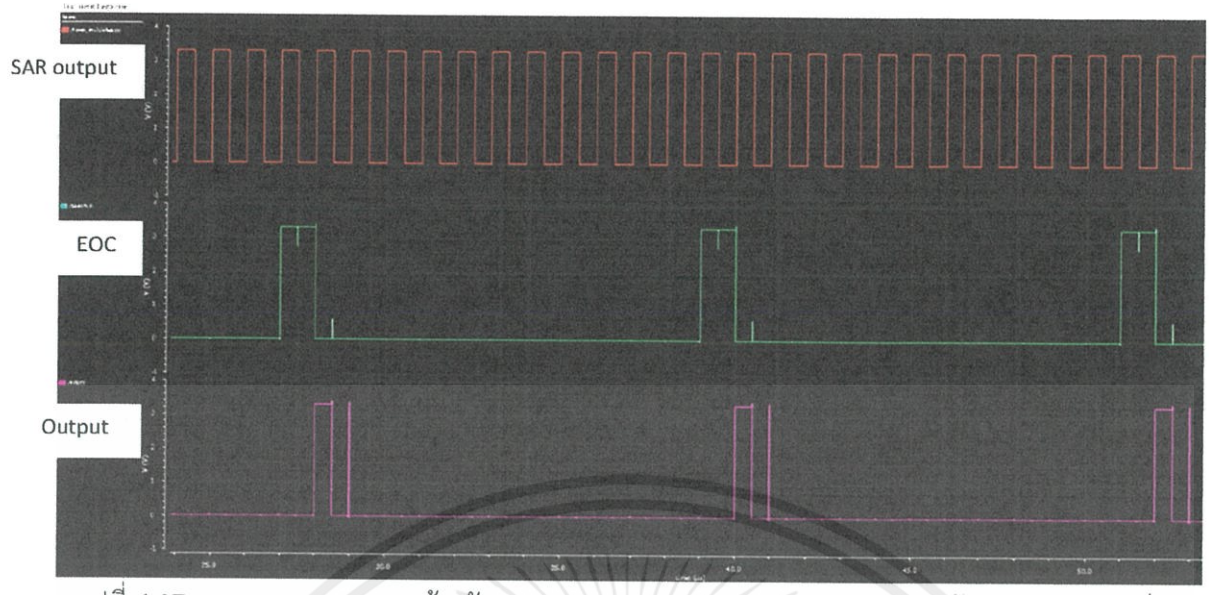
จากรูปที่ 4.21 จะเห็นได้ว่า สัญญาณนาฬิกาจาก Clock Multivibrator จะมีคาบเวลาเท่ากับ 62.5 ns และวงจรหารความถี่ ให้สัญญาณนาฬิกาที่มีคาบเวลาเท่ากับ 1 μs

4.7.1 วงจรสร้างสัญญาณ Sample และ Reset ของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ SAR



รูปที่ 4.26 วงจรสร้างสัญญาณ Sample และ Reset ของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ SAR

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.27 ผลการทดสอบวงจรสร้างสัญญาณ Sample และ Reset ของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ SAR

จากรูปที่ 4.21 จะเห็นได้ว่า เมื่อมีสัญญาณ Data3 (หรือ EOC) เข้ามา วงจรนี้จะยอมให้สัญญาณจากวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ SAR ออกมาได้

4.8 การวัดการกำลังงานของวงจรโดยรวม

กำลังเฉลี่ย วัดจากช่วงการทำงานทั้งหมด 1024 Clock

จาก $P_{Average} = I_{Average}V$

แทนค่า $P_{Average} = (15.1\ \mu A)(3.3V)$

จะได้ $P_{Average} = 49.83\ \mu W$

4.9 การวัดคุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล

4.9.1 Resolution

ค่า Resolution ของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์จะเท่ากับ

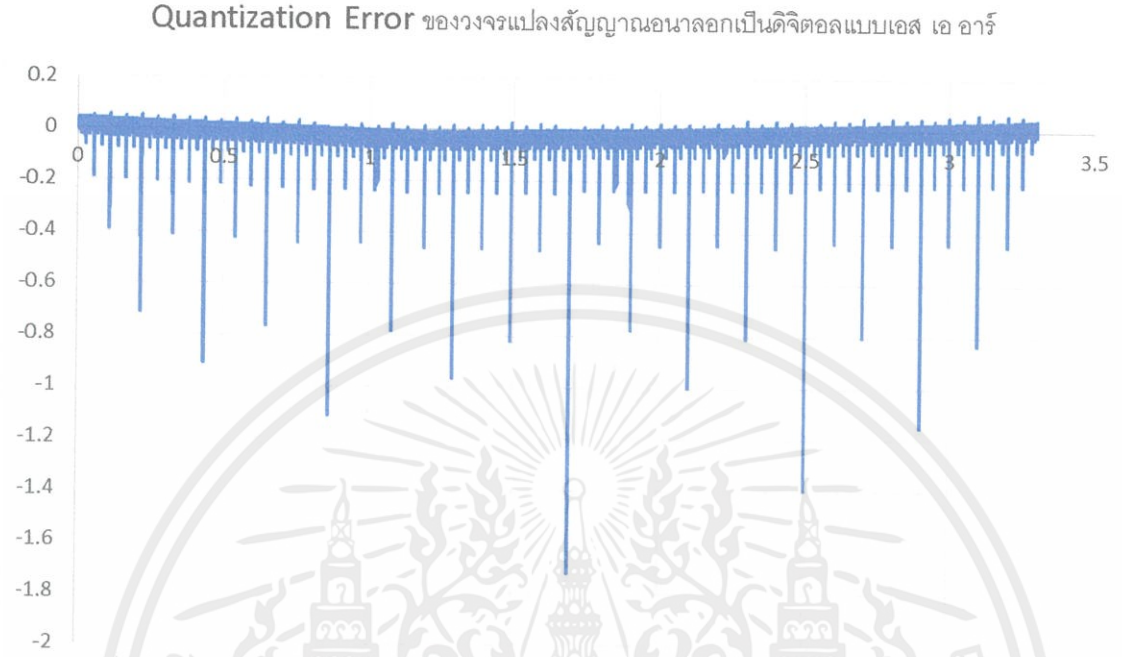
$$\frac{\text{Vref}}{2^{\text{จำนวนบิต}}} = \frac{3.3}{2^{10}} = 3.2226\ mV$$

โดยที่ Vref เป็นแรงดันอ้างอิงในวงจร ซึ่งมีค่าเท่ากับ 3.3 V

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.9.2 DC specification

4.9.2.1 Quantization Error



รูปที่ 4.28 Quantization Error ของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์

เป็นค่าความผิดพลาดระหว่างค่าจริงของสัญญาณอนาลอก กับค่าของสัญญาณดิจิตอลที่ออกมาจาก D/A Convertor ซึ่งค่า Quantization Error ที่มากที่สุดของวงจรนี้คือ 0.0672 V

4.9.2.2 Differential Nonlinearity (DNL)

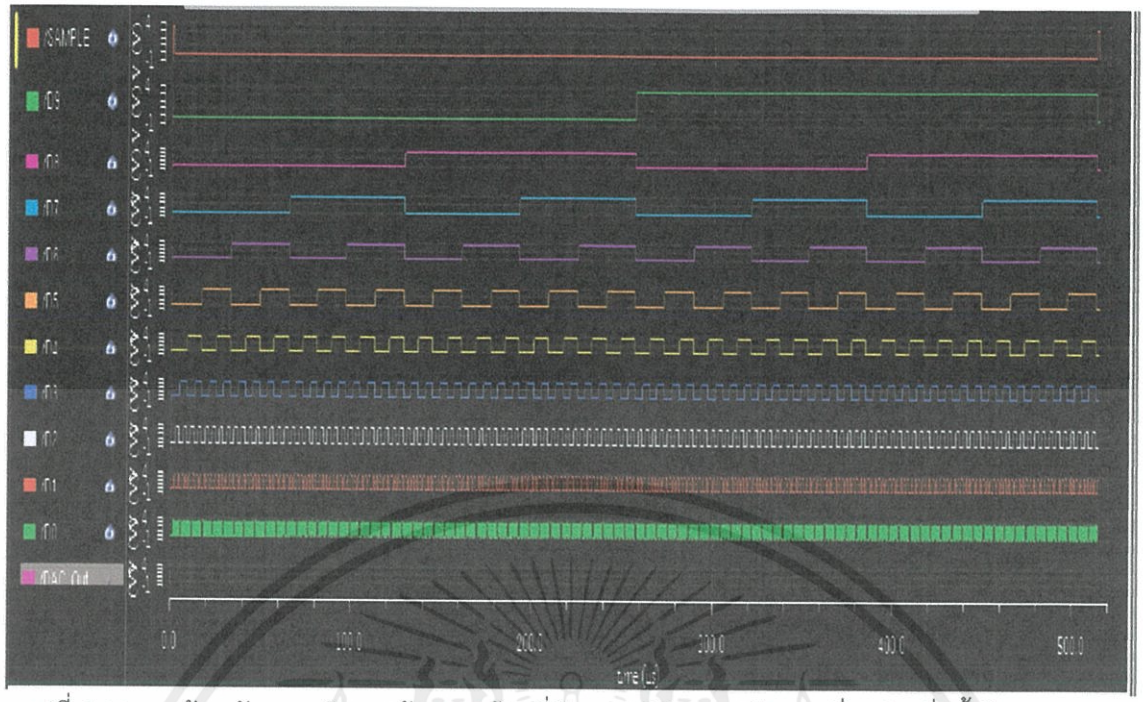
Differential Nonlinearity คือ ค่าความไม่เป็นเชิงเส้นแบบผลต่าง เป็นค่าความแตกต่างระหว่าง 1LSB ที่ได้จากวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลที่วัดได้จริง กับวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลในอุดมคติ

สำหรับการทดสอบ DNL จะแบ่งเป็นสองส่วน คือ ทดสอบ DNL ของ DAC ภายในวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์ และวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์

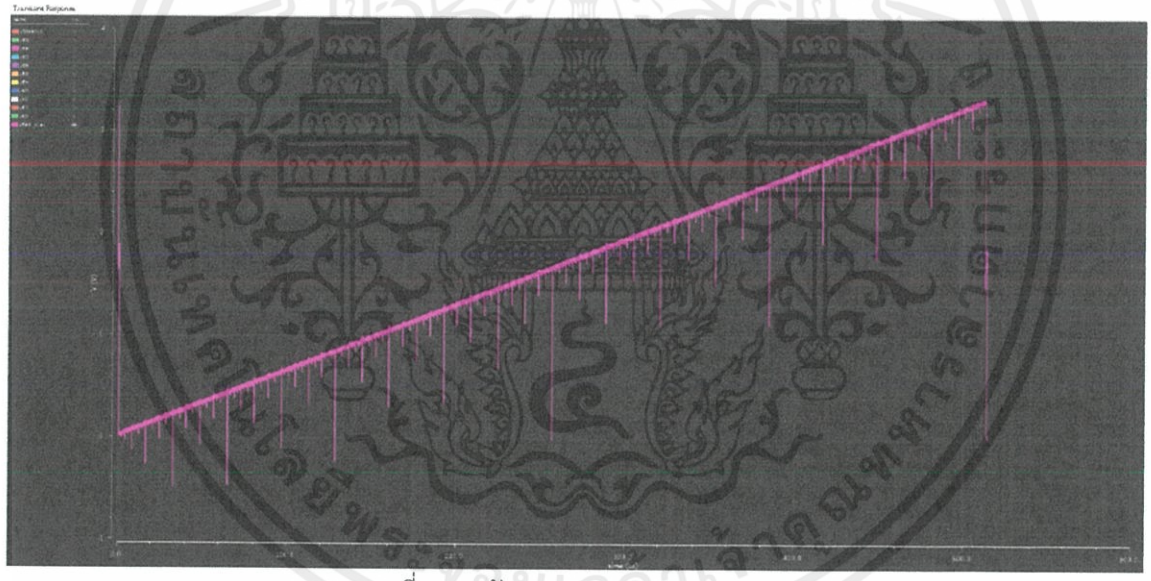
4.9.2.2.1 การทดสอบ DNL ของ DAC ภายในวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์

ค่า DNL ที่สูงที่สุดของวงจร DAC นี้คือ 0.0065 LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

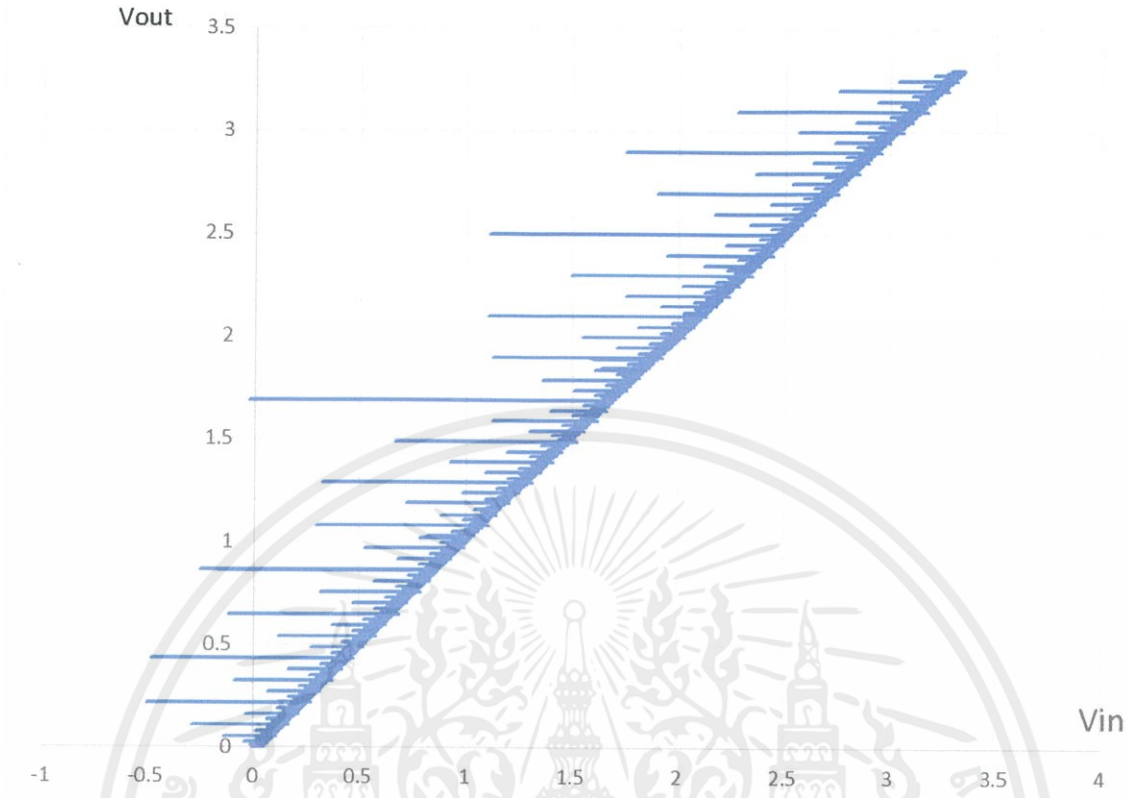


รูปที่ 4.29 การป้อนสัญญาณอินพุตเข้า DAC โดยที่สัญญาณดิจิตอลจะมีการเปลี่ยนบิตเพิ่มขึ้นในทุกๆ 1µs



รูปที่ 4.30 สัญญาณ Output จาก DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.31 กราฟความสัมพันธ์ระหว่างสัญญาณเอาท์พุตกับสัญญาณอินพุต

รูปที่ 4.32 ภาพขยายบางส่วนของกราฟความสัมพันธ์ระหว่างสัญญาณเอาท์พุตกับสัญญาณอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.9.2.2.2 การทดสอบ DNL ของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์

ค่า DNL ที่สูงที่สุดของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์นี้คือ 0.799 LSB

4.9.2.3 Integral Nonlinearity

Integral Nonlinearity คือ ค่าความไม่เป็นเชิงเส้นแบบผลรวม ซึ่งเป็นผลรวมของความไม่เป็นเชิงเส้นแบบผลต่าง วิธีการหาค่า INL คือ จากกราฟความสัมพันธ์ระหว่างอินพุตและเอาท์พุต สมมติให้เป็นวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล ขั้นตอนแรกให้ทำการพล็อตที่จุดเริ่มต้นและจุดสุดท้ายของค่าเอาท์พุต(ดิจิตอล)ที่ได้ จากนั้นก็ลากเส้นตรง เชื่อมระหว่างสองจุดนั้น ขั้นตอนต่อไป คือ ทำการพล็อตค่าเอาต์พุตที่ได้กับค่าอินพุตลงในกราฟ ถ้าเป็นวงจรแปลงสัญญาณในอุดมค่าทั้งหมดจะอยู่บนเส้นตรง แต่ในความเป็นจริง ค่าที่ได้อาจจะไม่อยู่บนเส้นตรงนั้นก็ได้ นั่นคือความไม่เป็นเชิงเส้นนั่นเอง

สำหรับการทดสอบ INL จะแบ่งเป็นสองส่วน คือ ทดสอบ INL ของ DAC ภายในวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์ และวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์

4.9.2.3.1 การทดสอบ INL ของ DAC ภายในวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์

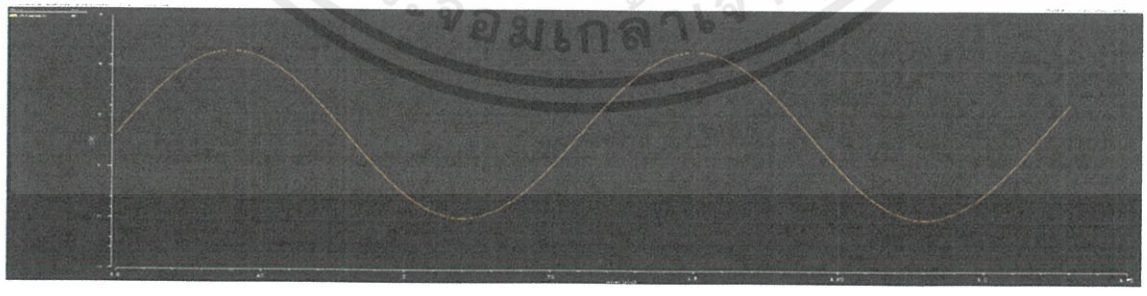
ค่า INL ที่สูงที่สุดของวงจร DAC นี้คือ 0.0032 LSB

4.9.2.3.1 การทดสอบ INL ของ DAC ภายในวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์

ค่า INL ที่สูงที่สุดของวงจร DAC นี้คือ 0.893 LSB

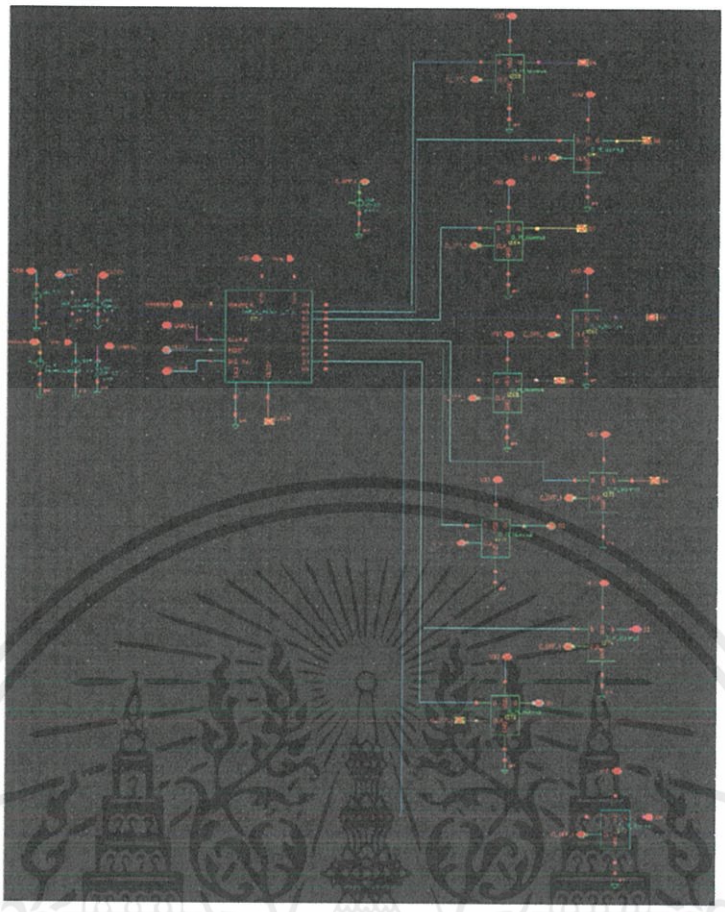
4.9.3 Dynamic Specification

ทดสอบ Dynamic Specification โดยการป้อนสัญญาณ Sinewave ที่มี Amplitude เท่ากับ 1.65V, DC offset เท่ากับ 1.65 V, Frequency เท่ากับ 1250 Hz ดังรูปที่ 4.33

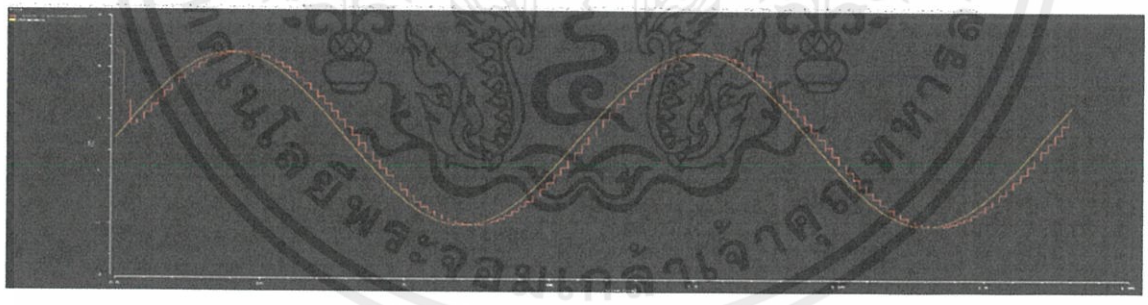


รูปที่ 4.33 สัญญาณ Sine Wave ที่ป้อนเพื่อทดสอบ Dynamic Specification

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

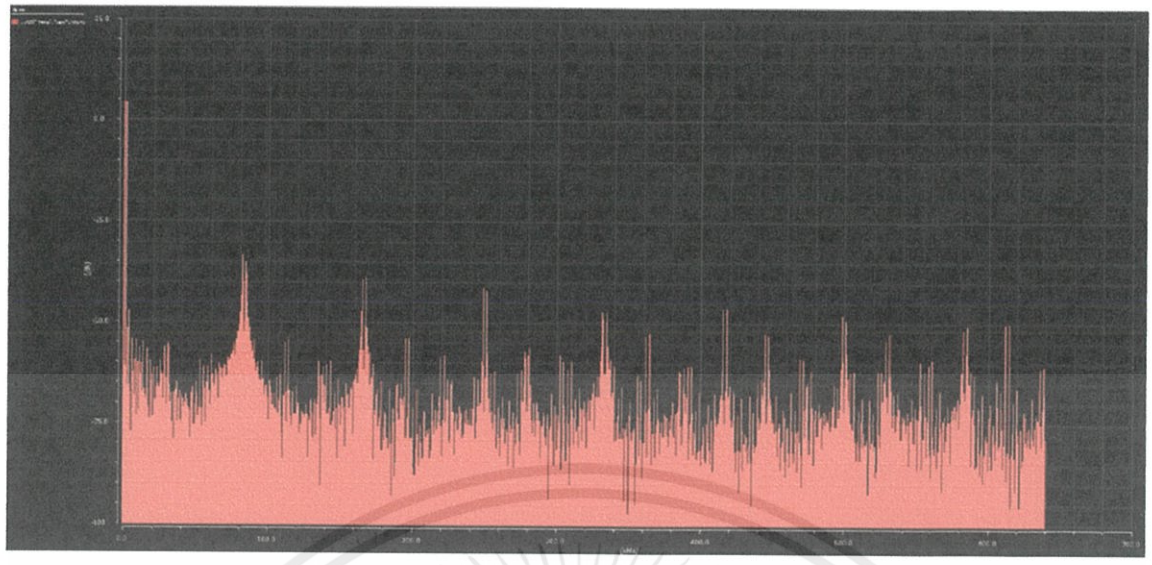


รูปที่ 4.34 วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์ โดยที่เอาท์พุตใช้ D Flipflop



รูปที่ 4.35 กราฟสัญญาณอินพุต(สีส้ม) เทียบกับสัญญาณเอาท์พุตที่ผ่านการแปลง DAC ในอุดมคติ (สีแดง)

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.36 กราฟสเปกตรัมของสัญญาณเอาท์พุต

จากการทดลองและวัดผล จะได้ค่าต่างๆ ดังตารางที่ 4.1

ตารางที่ 4.1 คุณสมบัติของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบเอส เอ อาร์

คุณสมบัติ	
ENOB	9.346 bits
SINAD	45.99 dB
SNR	48.198 dB
SFDR	51.553 dB
THD	-49.61 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลและวิเคราะห์การทำงานของวงจร

5.1 สรุปผล

วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ SAR ในโครงงานนี้ มีคุณสมบัติพื้นฐาน ดังตารางที่ 5.1

ตารางที่ 5.1 คุณสมบัติพื้นฐาน

คุณสมบัติ	
Resolution	10 bits
Conversion Speed	83 kS/s
Input swing	3.3 V
Power Supply	3.3 V
Process	0.35 µm
ENOB	9.346 bits
SINAD	45.99 dB
SNR	48.198 dB
SFDR	51.553 dB
THD	-49.61 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] Dai Zhang, "Design and Evaluation of an Ultra-Low Power SAR ADC", 2009

[2] Raheleh Hedayati, "A-Study-of-Successive-Approximation-Registers-and-Implementation-of-an-UltraLow-Power-10_bit-SAR-ADC-in-65nm-CMOS-Technology", 2011

[3] Behzad Razavi, "Design of Analog CMOS Integrated Circuits", 2001

[4] วรากร เกษมสุวรรณ์, "การวิเคราะห์วงจรรวมซีมอสแบบแอนะล็อก", 2010

[5] Sung-Mo Kang, Yusuf Leblebici, "CMOS Digital Integrated Circuit Analysis and Design", 2005

[6] https://www.maximintegrated.com/en/app-notes/index.mvp/id/1080

[7] https://commons.wikimedia.org/wiki/File:D-Type_Flip-flop.svg

[8] https://allthingsvlsi.wordpress.com/tag/transmission-gate-based-d-flip-flop/

[9] https://www.ibiblio.org/kuphaldt/electricCircuits/Digital/DIGI_13.html

[10] https://www.google.com/patents/US20100253561

[11] http://macao.communications.museum/eng/exhibition/secondfloor/MoreInfo/ADConverter.html

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้