วงจรกู้ข้อมูลและสัญญาณนาฬิกาโดยใช้เฟสล็อคลูป

Data And Clock Recovery Using Phase Locked Loop

นายฮีโร่ อูเอดะ

Hiro Ueda

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
ภาควิชาวิศวกรรมอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2561

วงจรกู้ข้อมูลและสัญญาณนาฬิกาโดยใช้เฟสล็อคลูป

Data And Clock Recovery Using Phase Locked Loop

นายฮีโร่ อูเอดะ

Hiro Ueda

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
ภาควิชาวิศวกรรมอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2561

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกู้ข้อมูลและสัญญาณนาฬิกาโดยใช้เฟสล็อคลูป

Data And Clock Recovery Using Phase Locked Loop

โดย

นายฮีโร่ อูเอดะ รหัสประจำตัวนักศึกษา 58011477

อาจารย์ที่ปรึกษา

ศาสตราจารย์ ดร.วรากร เกษมสุวรรณ์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2561

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบรับรองปริญญานิพนธ์

ปริญญานิพนธ์การศึกษา 2561

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะ วิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง วงจรกู้ข้อมูลและสัญญาณนาฬิกาโดยใช้เฟสล็อคลูป

Data And Clock Recovery Using Phase Locked Loop

ผู้จัดทำ นายฮิโร่ อูเอดะ รหัสประจำตัว 58011477

ปริญญานิพนธ์นี้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

(ศาสตราจารย์ ดร.วรากร เกษมสุวรรณ์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ วงจรกู้ข้อมูลและสัญญาณนาฬิกาโดยใช้เฟสล็อคลูป

นักศึกษา นายฮิโร่ อูเอดะ รหัสประจำตัว 58011477

ปริญญา วิศวกรรมศาสตร์บัณฑิต

สาขาวิชา วิศวกรรมอิเล็กทรอนิกส์

ปีการศึกษา 2561

อาจารย์ที่ปรึกษา ศาสตราจารย์ ดร.วรากร เกษมสุวรรณ์

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้อธิบายเกี่ยวกับการจำลองและการออกแบบวงจรกู้ข้อมูลและสัญญาณนาฬิกาโดยใช้เฟสล็อคลูปเพื่อใช้ในการกู้ข้อมูลและตัวสัญญาณนาฬิกาที่อยู่ในข้อมูลที่รับมาจากสัญญาณข้อมูลเข้ามาที่มีความถี่ 40 เมกกะเฮิร์ซ โดยจะใช้วงจรเฟสล็อคลูปเข้ามาช่วย ในการรับข้อมูลที่จะทำการจำลองผลในการกู้ข้อมูลและสัญญาณนาฬิกา โดยในการจำลองจะใช้วงจรสร้างสัญญาณแบบสุ่มที่มีความถี่ประมาณ 40 เมกกะเฮิร์ซ ที่จำนวน 31 บิต เป็นสัญญาณข้อมูลที่เข้ามา และการกู้ข้อมูลจะใช้ส่วนของวงจรภาคแรกในการเปรียบเทียบสัญญาณที่เข้ามากับสัญญาณที่ควบคุมได้เป็นสัญญาณนาฬิกาแล้วทำการปรับค่าเพิ่มหรือลดความถี่ที่จะให้วงจรอยู่ในสภาวะล็อคแล้วจะมีวงจรกรองความถี่ที่จะให้สัญญาณไฟตรงเพื่อไปควบคุมความถี่ที่ถูกสร้างมาจากวงจรกำเนิดความถี่แล้วส่งไปยังภาคต่อไปเพื่อทำการปรับความถี่ของสัญญาณนาฬิกากับข้อมูลแล้วจึงนำผลลัพธ์ไปใช้ในวงจรภาคต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Data And Clock Recovery Using Phase Locked Loop
Student	Mr.Hiro Ueda ID. 58011477
Degree	Bachelor of Engineering
Program	Electronics Engineering
Year	2018
Thesis Advisor	Professor Varakorn Kasemsuwan

Abstract

This thesis explains the simulation and design of the Data and Clock Recovery Using Phase Locked Loop. This method is used to recover the data and clock signal that received from data signal that has frequency around 40 MHz by using phase locked loop. To simulate the recovered data and clock signals, circuit is used to simulate a pseudo random that has a frequency around 40 MHz, at 31 bits. It is incoming signal. Recovered data uses the phase detector circuit to compare phase of signals that come from pseudo random and clock signal from VCO and then adjust the values to increase or decrease frequency that circuit is in lock state. Frequency that use direct voltage signal to adjust frequency that is generated from voltage control oscillator circuit. Then feedback to phase detector to adjust frequency of clock and data signal and send a result into the next part.

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์เสร็จสมบูรณ์ได้เนื่องจากได้รับการสนับสนุนจากอาจารย์ที่ปรึกษาศาสตราจารย์ ดร.วรากร เกษมสุวรรณ์ ที่ให้ความรู้ คำแนะนำ รวมถึงการดูแลในด้านต่างๆ นอกจากนี้ยังได้รับการสนับสนุนจากอาจารย์ทุกท่านในภาควิชาอิเล็กทรอนิกส์ เพื่อนนักศึกษาชั้นปีที่สี่และรุ่นพี่ปริญญาโท รวมไปถึงตึกภาควิชาอิเล็กทรอนิกส์ ที่เป็นสถานที่ทำงานให้เสร็จลุล่วงไปได้ด้วยดี และขอบคุณคุณพ่อ คุณแม่ ที่เป็นผู้ผลักดันทางด้านจิตใจในการทำปริญญานิพนธ์ชิ้นนี้จึงใคร่ขอขอบพระคุณผู้มีอุปการคุณทุกท่านมา ณ ที่นี้

ผู้จัดทำ

ฮีโร่ อูเอดะ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ	A
Abstract	B
กิตติกรรมประกาศ	C
สารบัญ	D
สารบัญรูป	F
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 ความมุ่งหมายและวัตถุประสงค์	1
1.3 สมมติฐานของการศึกษา	1
1.4 ขอบเขตของการศึกษา	1
1.5 ประโยชน์ที่คาดว่าจะได้รับ	1
บทที่ 2 หลักการและทฤษฎีวงจรเฟสล็อคลูป	2
2.1 ดีฟลิปฟล็อป (D flip-flop)	3
2.2 XOR Gate (Exclusive OR)	4
2.3 วงจรเปรียบเทียบเฟส (Phase Detector)	4
2.3.1 วงจรเปรียบเทียบเฟสแบบฮอร์ค (Hogge Phase Detector)	5
2.3.2 วงจรเปรียบเทียบเฟสแบบอเล็กซานเดอร์ (Alexander Phase Detector)	6
2.4 วงจรชาร์จปั๊ม (Charge Pump)	8
2.5 วงจรกรองความถี่	9
2.6 วงจรกำเนิดความถี่ที่ควบคุมด้วยแรงดันไฟฟ้า	11
2.7 วงจรกำเนิดสัญญาณสุ่ม (Pseudo Random)	12
บทที่ 3 การออกแบบวงจร	13

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

3.1 การหาอัตราส่วนระหว่าง PMOS และ NMOS	14
3.2 วงจรลอจิกเกต (Logic gate)	15
3.2.1 ดีฟลิปฟล็อป (D flip-flop)	15
3.2.2 XOR gate	16
3.3 วงจรกำเนิดข้อมูล (Pseudo Random)	17
3.4 วงจรเปรียบเทียบเฟส (Phase Detector)	18
3.5 วงจรชาร์จปั๊ม (Charge Pump)	19
3.6 วงจร Current-Starved VCO	22
3.7 วงจรรวม CDR	26
บทที่ 4 การทดลองและผลการทดลอง	28
4.1 Hogge Phase Detector	28
4.2 Alexander Phase Detector	31
4.3 Charge pump และ filter	33
4.4 Current starved VCO	35
4.5 Pseudo random generator	36
4.6 วงจรรวม CDR ใช้ Hogge phase detector ป้อน input เป็น สัญญาณ pulse	37
4.7 วงจรรวม CDR ใช้ Alexander phase detector ป้อน input เป็น สัญญาณ pulse	39
4.8 วงจรรวม CDR ใช้ Hogge PD โดย Data input จากวงจร Pseudo Random	41
4.9 วงจรรวม CDR ใช้ Alexander PD โดย Data Input จากวงจร Pseudo Random	42
บทที่ 5 สรุปผลการวิจัยและข้อเสนอแนะ	43
เอกสารอ้างอิง	44

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่

2.1 ส่วนประกอบของวงจรเฟสล็อคลูป 2

2.2 เฟสล็อคลูปอยู่ในสภาวะล็อค 3

2.3 สัญลักษณ์วงจรดีฟลิปฟล็อป 3

2.4 วงจร XOR Gate 4

2.5 วงจรเปรียบเทียบเฟส 4

2.6a วงจร Hogge PD 5

2.6b ผลลัพธ์วงจร Hogge PD เมื่อลูปล็อค 5

2.7 วงจร Alexander PD 6

2.8 การเปรียบเทียบระหว่างข้อมูลกับสัญญาณนาฬิกาของ Alexander PD 6

2.9 ผลลัพธ์ของ Alexander PD เมื่อสัญญาณนาฬิกามาก่อนและหลังกึ่งกลางข้อมูล 7

2.10 วงจรชาร์จปั๊ม 8

2.11a กราฟแสดงผลลัพธ์วงจรกรองความถี่แบบความถี่ต่ำผ่าน 9

2.11b R C ในวงจรกรองสัญญาณ 9

2.12a วงจร Voltage Control Oscillator (VCO) 11

2.12b อัตราขยายของ VCO 11

2.13 วงจรกำเนิดสัญญาณสุ่ม (Pseudo Random) 12

3.1 Diagram ของวงจร CDR 13

3.2 วงจร Inverter ที่ใช้ในการหาอัตราส่วนขนาดระหว่าง NMOS และ PMOS 14

3.3 ผลจำลองการทำงานของวงจร Inverter ที่ทำการปรับขนาดแล้ว 14

3.4a CMOS D'flip flop 15

3.4b Logic Gate D'flip flop 15

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่

3.5 ผลจำลองการทำงานของวงจร D'flip flop	16
3.6 วงจร XOR Gate	16
3.7 ผลจำลองการทำงานของวงจร XOR Gate	17
3.8 วงจร Pseudo Random	17
3.9 Hogge PD	18
3.10 Alexander PD	18
3.11 วงจร Charge Pump	19
3.12 อัตราส่วนการหน่วงของสัญญาณ (Damping Ratio) ค่าต่างๆ	20
3.13 ค่า R C ที่ออกแบบในส่วนกรองสัญญาณ	21
3.14 วงจร Inverter ที่ใช้ใน Current-starved VCO	22
3.15 แสดงความสัมพันธ์ระหว่างความถี่เอาท์พุตของ VCO เทียบกับ Vin_vco	23
3.16 ผลจำลองการทำงานของวงจร Inverter	24
3.17 วงจร Current Mirror และผลจำลองการทำงาน	25
3.18 วงจร CDR เมื่อใช้ Hogge Phase Detector	26
3.19 วงจร CDR เมื่อใช้ Alexander Phase Detector	27
4.1 ผลจำลองการทำงานของวงจร Hogge PD เมื่อ Clock มี Phase Shift จากข้อมูล -45°	28
4.2 ผลจำลองการทำงานของวงจร Hogge PD เมื่อ Clock มี Phase Shift จากข้อมูล -90°	29
4.3 ผลจำลองการทำงานของวงจร Hogge PD เมื่อ Clock มี Phase Shift จากข้อมูล -135°	30
4.4 ผลจำลองการทำงานของวงจร Alexander PD เมื่อ Clock Lead	31
4.5 ผลจำลองการทำงานของวงจร Alexander PD เมื่อ Clock Lag	32

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่

4.6 วงจร Charge Pump 33

4.7 ผลจำลองการทำงานของวงจร Charge Pump เมื่อป้อนค่าแรงดัน High เข้าที่ PMOS (Up) และ Low เข้าที่ NMOS (Down) 34

4.8 ผลจำลองการทำงานของวงจร Charge Pump เมื่อป้อนค่าแรงดัน Low เข้าที่ PMOS (Up) และ High เข้าที่ (Down) 34

4.9 Current starved VCO 35

4.10 Pseudo random generator 36

4.11 Data Output ของ Pseudo Random ความถี่ Data 42.182MHz 36

4.12 วงจรรวม CDR โดยใช้ Hogge Phase Detector 37

4.13 ผลจำลองการทำงานของวงจรรวม CDR เมื่อใช้ Hogge PD 38

4.14 วงจรรวม CDR โดยใช้ Alexander Phase Detector 39

4.15 ผลจำลองการทำงานของวงจรรวม CDR เมื่อใช้ Alexander PD 40

4.16 ผลจำลองการทำงานของวงจรรวม CDR เมื่อใช้ Hogge PD เมื่อใช้ Input จาก Pseudo Random 41

4.17 ผลจำลองการทำงานของวงจรรวม CDR เมื่อใช้ Alexander PD เมื่อใช้ Input จาก Pseudo Random 42

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ปัจจุบันการสื่อสารเป็นสิ่งที่เราใช้กันอย่างแพร่หลายไม่ว่าจะเป็นการสื่อสารผ่านโทรศัพท์,การสื่อสารผ่านดาวเทียมเป็นต้น ซึ่งการสื่อสารเหล่านี้จำเป็นจะต้องมีการส่งผ่านข้อมูลจากตัวส่งไปยังตัวรับ โดยในการเดินทางของข้อมูลก็จะต้องมีการสูญเสียของข้อมูลหรือมีสัญญาณมารบกวนทำให้ข้อมูลนั้นอาจจะผิดเพี้ยนไป

ปริญญานิพนธ์นี้เป็นการออกแบบวงจรในภาครับที่สามารถนำสัญญาณของข้อมูลที่รับเข้ามามาวิเคราะห์เป็นสัญญาณนาฬิกาของข้อมูลนั้นๆแล้วนำไปวิเคราะห์เพื่อนำข้อมูลออกมาจากสัญญาณเพื่อส่งต่อในภาคถัดไป

1.2 ความมุ่งหมายและวัตถุประสงค์

1. เพื่อศึกษาการทำงานของวงจรกู้ข้อมูลและสัญญาณนาฬิกาโดยใช้เฟสล็อคลูป
2. เพื่อศึกษาและออกแบบวงจรที่สามารถวิเคราะห์หาข้อมูลและสัญญาณนาฬิกาในหลายรูปแบบสัญญาณ

1.3 สมมติฐานของการศึกษา

สัญญาณนาฬิกาที่ได้จากวงจร Clock Data Recovery จะมีความถี่ที่มากกว่าข้อมูลที่ป้อนเข้าวงจรอยู่สองเท่าและขอบขาขึ้นของสัญญาณนาฬิกาจะอยู่กึ่งกลางของข้อมูลพอดี

1.4 ขอบเขตของการศึกษา

1. ศึกษาการทำงานขององค์ประกอบของวงจร Phase Locked Loop
2. ศึกษาการออกแบบ วงจร Data And Clock Recovery พื้นฐานในส่วนของ Phase Detector ซึ่งจะจำลองผลจากการตั้งค่าเริ่มต้น ให้กับ VCO
3. ศึกษาการออกแบบ Hogge Phase Detector และ Alexander Phase Detector และใช้ในการเปรียบเทียบความต่างเฟส

1.5 ประโยชน์ที่คาดว่าจะได้รับ

ผู้จัดทำหวังว่าปริญญานิพนธ์นี้จะทำให้ผู้ที่มาศึกษามีความเข้าใจในการกู้ข้อมูลและสัญญาณนาฬิกาออกจากคลื่นสัญญาณ ผู้ศึกษาอาจใช้เป็นแนวทางในการประดิษฐ์ผลงานของตนเองหรือต่อยอดให้สร้างประโยชน์ในการใช้งานมากขึ้น

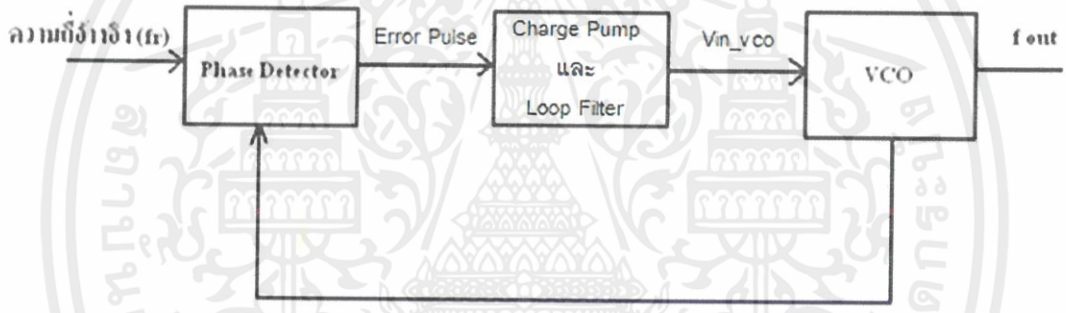
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

หลักการและทฤษฎี

วงจรเฟสล็อคลูป

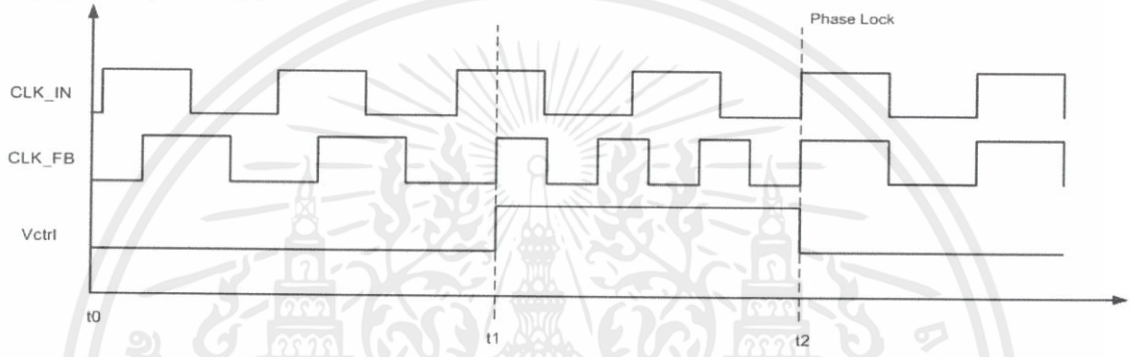
วงจรเฟสล็อคลูปคือ วงจรที่รับสัญญาณที่มีความถี่อ้างอิงจากภายนอกเข้ามาที่อินพุตของวงจรเปรียบเทียบเฟส (Phase Detector) โดยจะทำการเทียบเฟสของสัญญาณภายนอกกับเฟสของสัญญาณที่ถูกอ่านด้วยสัญญาณนาฬิกาที่สร้างจาก VCO (Voltage Control Oscilator) โดยจะได้สัญญาณเอาต์พุตออกมาเป็นสัญญาณผิดพลาด (Error Pulse) แรงดันที่ได้นี้จะถูกส่งต่อไปยังวงจร Charge Pump และ Loop Filter โดยชาร์จปั๊มและลูปฟิลเตอร์จะแปลงสัญญาณพัลส์ให้เป็นแรงดันไฟตรง (Vin_vco) และนำแรงดันไฟตรงไปควบคุมวงจร VCO เพื่อสร้างความถี่ให้ตรงกับความถี่อ้างอิงที่มาจากสัญญาณภายนอก โดยมีการแสดงเป็น Block Diagram ดังภาพที่ 2.1



รูปที่ 2.1 ส่วนประกอบของวงจรเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อลูปอยู่ในสภาวะล็อค (Locked) ความถี่สัญญาณนาฬิกาที่สร้างจาก VCO จะเท่ากับความถี่ของสัญญาณอินพุต (Reference freq) แต่เฟสอาจแตกต่างกัน ซึ่งค่าความต่างเฟสที่ได้จะมีค่าคงที่ (Constant Phase Difference) ในกรณีที่เฟสเริ่มจะคลาดเคลื่อนออกไป ภาควงจรเปรียบเทียบเฟสจะจ่ายแรงดันคลาดเคลื่อน (Error Pulse Voltage) ไปควบคุมการทำงานของ VCO ให้ปรับค่าความต่างเฟสกลับมาคงที่ เพื่อให้ความถี่ของสัญญาณ VCO ตรงกับความถี่อ้างอิงตลอดเวลา จากภาพที่ 2.2 ช่วงเวลา t0 วงจรเริ่มทำงานมีสัญญาณอินพุตและสัญญาณนาฬิกาจนถึงช่วงเวลา t1 VCO มีการทำงานโดยการเพิ่มความถี่เพื่อให้เข้าสู่สภาวะล็อคและหลังจากเวลา t2 วงจรอยู่ในสภาวะล็อคและเฟสของสัญญาณอินพุตกับสัญญาณนาฬิกาตรงกัน

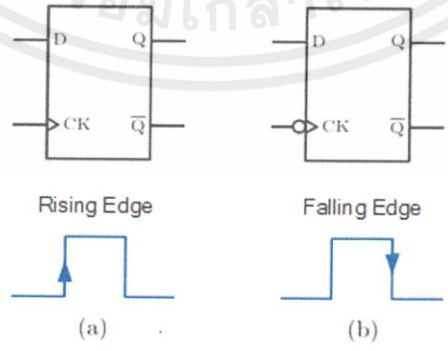


รูปที่ 2.2 เฟสล็อคลูปอยู่ในสภาวะล็อค

2.1 ดีฟลิปฟล็อป (D flip-flop)

ดีฟลิปฟล็อปจะทำการอ่านข้อมูลที่รับมาเมื่อถูกกระตุ้นด้วยสัญญาณนาฬิกาหรือ Clock (CLK) และจะให้ผลลัพธ์ที่เหมือนกับข้อมูลที่รับมาแต่จะมีเฟสที่แตกต่างกันขึ้นอยู่กับว่าเป็นดีฟลิปฟล็อปทำงานที่ขอบขาขึ้น ดังภาพที่ 2.3a หรือขอบขาลง ดังภาพที่ 2.3b โดยสัญญาณนาฬิกาทั้งสองแบบสามารถแบ่งได้ดังนี้คือ

- ขอบขาขึ้น (Rising Edge) คือ กรณีที่สัญญาณนาฬิกาเปลี่ยนแปลงจาก Low เป็น High
- ขอบขาลง (Falling Edge) คือ กรณีที่สัญญาณนาฬิกาเปลี่ยนแปลงจาก High เป็น Low

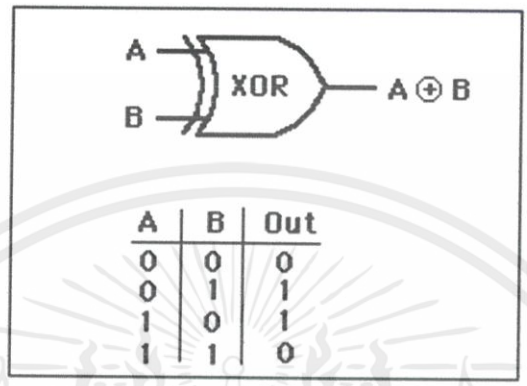


รูปที่ 2.3 สัญลักษณ์วงจรดีฟลิปฟล็อป

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 XOR Gate (Exclusive OR)

เกตที่ให้สัญญาณขาออกเป็น High เมื่อสัญญาณขาเข้าทั้งสองต่างกัน และจะให้สัญญาณขาออกเป็น Low เมื่อสัญญาณขาเข้าทั้งสองเหมือนกัน ดังภาพที่ 2.4

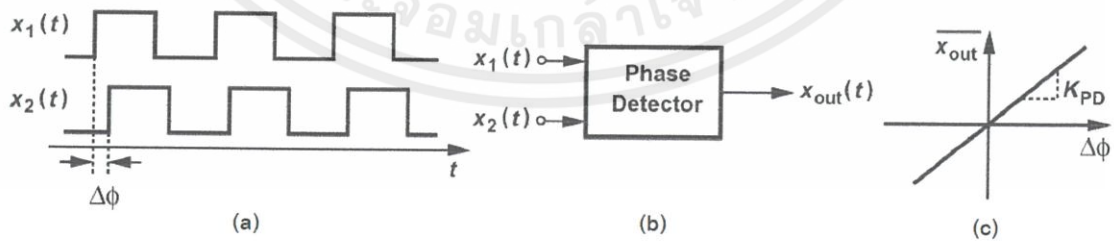


A	B	Out
0	0	0
0	1	1
1	0	1
1	1	0

รูปที่ 2.4 วงจร XOR Gate

2.3 วงจรเปรียบเทียบเฟส (Phase Detector)

วงจรเปรียบเทียบเฟสคือ วงจรที่ทำหน้าที่ในการเปรียบเทียบเฟสของสัญญาณข้อมูล 2 ข้อมูล ดังภาพที่ 2.5a และสัญญาณที่นำมาเปรียบกันนั้นได้แก่ ข้อมูลที่รับมาจากภายนอกและ สัญญาณนาฬิกาที่สร้างมาจากวงจรกำเนิดความถี่ด้วยการควบคุมแรงดัน (VCO) หลังจากทำการเปรียบเทียบก็จะให้ผลลัพธ์ออกมาเป็นสัญญาณที่ส่งต่อให้ทำการเพิ่มหรือลดความถี่เพื่อให้ขอบของสัญญาณนาฬิกาอยู่ที่กึ่งกลางของข้อมูลดังภาพที่ 2.5b แล้วเมื่อทำการหาค่าเฉลี่ยเอาท์พุตของวงจรเปรียบเทียบเฟสมาสร้างกราฟเทียบกับมุมเฟสที่ต่างกันของอินพุตจะได้ดังภาพที่ 2.5c จะเห็นได้ว่าเมื่อค่าความต่างเฟสมีค่าสูงขึ้นค่าเฉลี่ยเอาท์พุตของวงจรเปรียบเทียบเฟสก็จะสูงขึ้นตามแบบเชิงเส้น

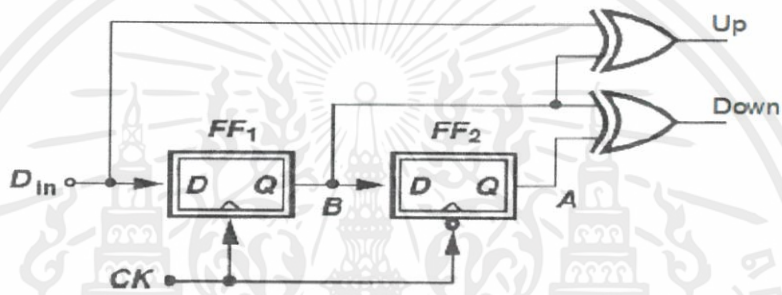


รูปที่ 2.5 วงจรเปรียบเทียบเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

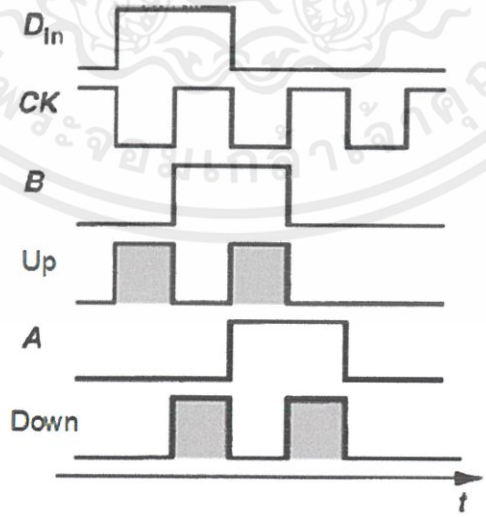
2.3.1 วงจรเปรียบเทียบเฟสแบบฮอร์ค (Hogge Phase Detector)

ภายในวงจรเปรียบเทียบเฟสแบบฮอร์คจะประกอบด้วย D'flip flop จำนวน 2 ตัวและวงจร XOR Gate จำนวน 2 ตัว ดังภาพที่ 2.6a การทำงานเป็นแบบเชิงเส้นโดยดีฟลิปฟล็อปตัวแรกจะทำการอ่านข้อมูลที่รับมาด้วยขอบขาขึ้นของสัญญาณนาฬิกาแล้วนำผลลัพธ์ที่ได้ไปเปรียบเทียบกับข้อมูลตั้งต้นที่ XOR Gate แล้วให้ผลลัพธ์ UP ออกมากแล้วผลลัพธ์จากดีฟลิปฟล็อปตัวแรกยังไปเป็นข้อมูลขาเข้าให้กับดีฟลิปฟล็อปตัวที่สองอีกด้วยแต่วงจรดีฟลิปฟล็อปตัวที่สองจะทำงานที่ขอบขาลงของสัญญาณนาฬิกาแล้วให้ผลลัพธ์ออกมาจึงนำผลลัพธ์จากดีฟลิปฟล็อปตัวที่หนึ่งและดีฟลิปฟล็อปตัวที่สองไปเปรียบเทียบกันที่ XOR Gate แล้วให้ผลลัพธ์ Down มาโดยที่ Up จะหมายถึงการเพิ่มความถี่และ Down หมายถึงการลดความถี่



รูปที่ 2.6a วงจร Hogge PD

จากภาพที่ 2.6b เมื่อ CK ทำการอ่านอินพุตที่ขอบขาขึ้นจะได้ B มาแล้วนำอินพุตกับ B ไปป้อนเข้ากับ XOR Gate จะได้ผลลัพธ์ออกมาเป็น Up แล้ว CK ทำการอ่าน B ที่ขอบขาลงจะได้ A มาแล้วนำ A กับ B มาป้อนเข้ากับ XOR Gate จะได้ผลลัพธ์ออกมาเป็น Down เมื่อนำ Up กับ Down มาพิจารณาจะเห็นได้ว่ามีขนาดที่เท่ากันแต่ต่างกันที่เฟส ซึ่งการที่วงจรมี Up และ Down เท่ากันหมายถึงวงจรจะไม่ทำการเพิ่มหรือลดความถี่อีก

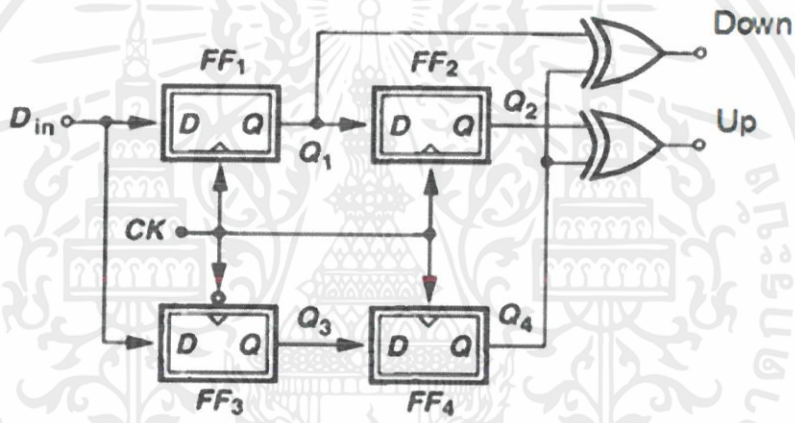


รูปที่ 2.6b ผลลัพธ์วงจร Hogge PD เมื่อลูปล็อค

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

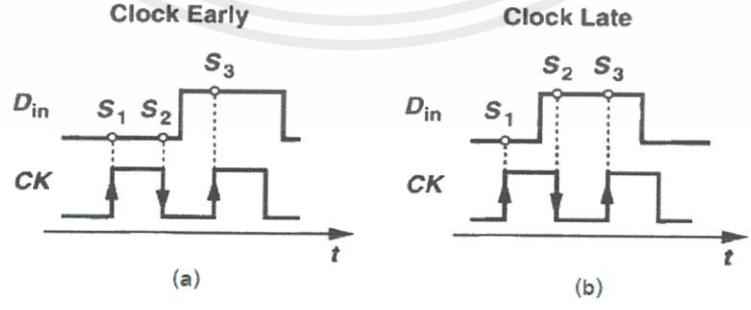
2.3.2 วงจรเปรียบเทียบเฟสแบบอเล็กซานเดอร์ (Alexander Phase Detector)

ภายในวงจรเปรียบเทียบเฟสจะประกอบด้วย D'flip flop จำนวน 4 ตัวและวงจร XOR Gate จำนวน 2 ตัว ดังภาพที่ 2.7 และสามารถเรียกได้อีกชื่อว่า Bang-Bang PD โดยจะเป็นที่นิยมใช้มากกว่า Hogge PD เนื่องจากทำงานได้ที่ความถี่สูงและในการเปรียบเทียบที่ XOR Gate หากเป็น Hogge PD จะเห็นว่ามีการนำข้อมูลที่รับมากับข้อมูลที่ทำการกู้โดยเป็นผลลัพธ์ของดีฟลิปฟล็อปตัวแรกมาเปรียบเทียบกันเป็น UP แต่ใน Alexander PD จะนำข้อมูลที่กู้มาแล้วเปรียบเทียบกันจึงเป็นผลดีกว่าเมื่อข้อมูลที่เข้ามามีสัญญาณรบกวนที่มากจนทำให้สัญญาณมีการผิดเพี้ยนไปโดยหลักการทำงานก็จะใกล้เคียงกับ Hogge PD ซึ่งดีฟลิปฟล็อปตัวที่หนึ่งจะอ่านข้อมูลที่ขอบขาขึ้นให้ผลลัพธ์ Q1 แล้วดีฟลิปฟล็อปตัวที่สองจะอ่านข้อมูล Q1 ที่ขอบขาขึ้นให้ผลลัพธ์ Q2 ดีฟลิปฟล็อปตัวที่สามจะอ่านข้อมูลที่ขอบขาลงให้ผลลัพธ์ Q3 ดีฟลิปฟล็อปตัวที่สี่อ่านข้อมูล Q3 ให้ผลลัพธ์ Q4 แล้วจึงนำไปเปรียบเทียบที่ XOR Gate จะได้ Q1 เทียบกับ Q4 ได้ผลลัพธ์ Down และ Q2 เทียบกับ Q4 ได้ผลลัพธ์ Up



รูปที่ 2.7 วงจร Alexander PD

ในวงจร Alexander PD จะมีการแบ่งช่วงของการเปรียบเทียบระหว่างข้อมูลกับตัวสัญญาณนาฬิกาเป็นสองแบบคือ สัญญาณนาฬิกามาก่อนกึ่งกลางของข้อมูลจะมี S1 = S2 แต่ ≠ S3 ดังภาพที่ 2.8a และสัญญาณนาฬิกามาทีหลังกึ่งกลางของข้อมูลจะมี S2 = S3 แต่ ≠ S1 ดังภาพที่ 2.8b



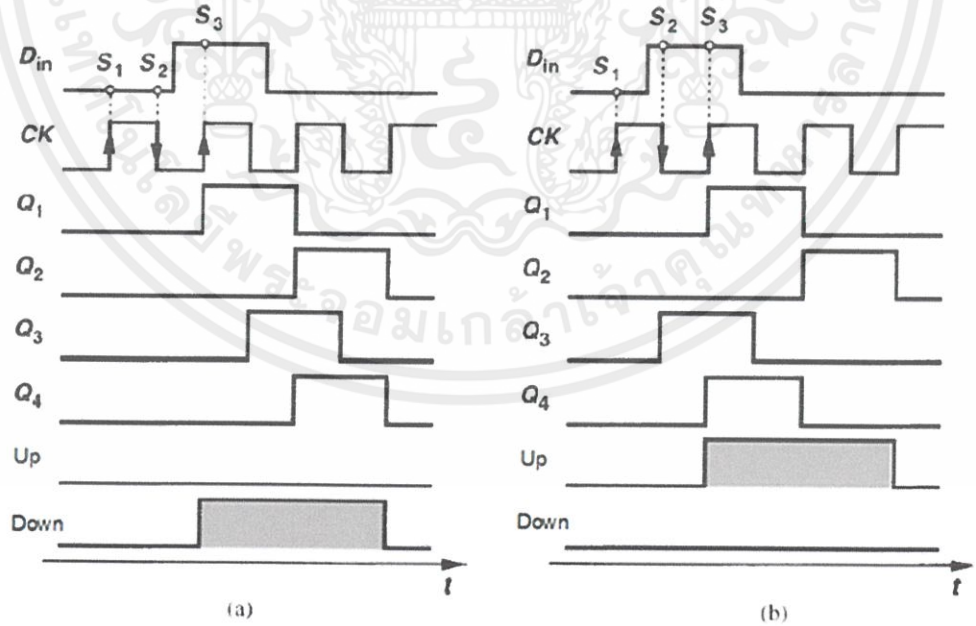
รูปที่ 2.8 การเปรียบเทียบระหว่างข้อมูลกับสัญญาณนาฬิกาของ Alexander PD

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากภาพที่ 2.9a แสดงผลลัพธ์เมื่อสัญญาณนาฬิกามาก่อนกึ่งกลางของข้อมูลสังเกตได้ว่า S1 = S2 แต่ ≠ S3 จะได้ผลลัพธ์ของดีฟลิปฟลอปมาเป็น Q1 Q2 Q3 และ Q4 เมื่อทำการป้อน Q1 และ Q4 เข้ากับ XOR Gate ก็จะได้เอาท์พุต Down ที่มีค่าเป็น High และเมื่อทำการป้อน Q2 และ Q4 เข้ากับ XOR Gate ก็จะได้เอาท์พุต Up มีค่าเป็น Low โดยผลลัพธ์ที่ออกมาจะทำให้แรงดันที่ไปควบคุม VCO มีค่าลดลงเนื่องจากเอาท์พุต Down คือให้ตัวเก็บประจุคายประจุลงกราวน์ จะเห็นได้ว่าเมื่อสัญญาณนาฬิกามาก่อนกึ่งกลางของข้อมูลวงจรจะต้องมีการลดความถี่ของสัญญาณนาฬิกาเพื่อให้เข้าใกล้ตำแหน่งกึ่งกลางของข้อมูล

จากภาพที่ 2.9b แสดงผลลัพธ์เมื่อสัญญาณนาฬิกามาช้ากว่ากึ่งกลางของข้อมูลสังเกตได้ว่า S2 = S3 แต่ ≠ S1 จะได้ผลลัพธ์ของดีฟลิปฟลอปมาเป็น Q1 Q2 Q3 และ Q4 เมื่อทำการป้อน Q1 และ Q4 เข้ากับ XOR Gate ก็จะได้เอาท์พุต Down ที่มีค่าเป็น Low และเมื่อทำการป้อน Q2 และ Q4 เข้ากับ XOR Gate ก็จะได้เอาท์พุต Up มีค่าเป็น High โดยผลลัพธ์ที่ออกมาจะทำให้แรงดันที่ไปควบคุม VCO มีค่าเพิ่มขึ้นเนื่องจากเอาท์พุต Up คือให้ตัวเก็บประจุเกิดการชาร์จประจุ จะเห็นได้ว่าเมื่อสัญญาณนาฬิกามาช้ากว่ากึ่งกลางของข้อมูลวงจรจะต้องมีการเพิ่มความถี่ของสัญญาณนาฬิกาเพื่อให้เข้าใกล้ตำแหน่งกึ่งกลางของข้อมูล

จากที่กล่าวมาข้างต้นเมื่อสัญญาณนาฬิกามาเร็วกว่าจุดกึ่งกลางของข้อมูลวงจรจะให้ผลลัพธ์ Down เป็น High และ Up เป็น Low เพื่อทำการลดความถี่ ดังภาพที่ 2.9a และหากสัญญาณนาฬิกามาช้ากว่ากึ่งกลางของข้อมูลวงจรจะให้ผลลัพธ์ Up เป็น High และ Down เป็น Low เพื่อทำการเพิ่มความถี่ ดังภาพที่ 2.9b

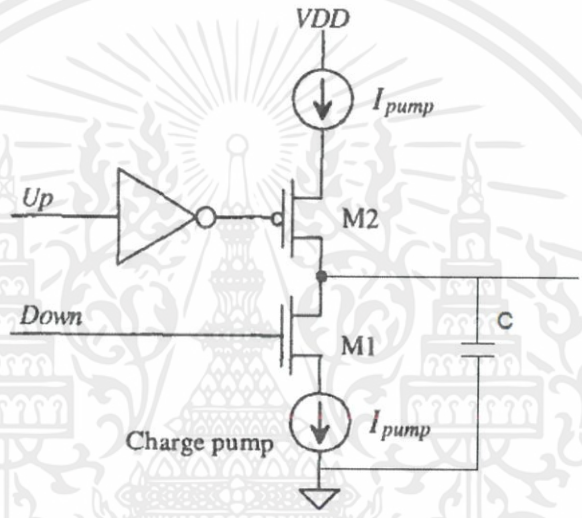


รูปที่ 2.9 ผลลัพธ์ของ Alexander PD เมื่อสัญญาณนาฬิกามาก่อนและหลังกึ่งกลางของข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 วงจรชาร์จปั๊ม (Charge Pump)

วงจรชาร์จปั๊มจะทำการรับค่าผลลัพธ์ Up กับ Down ที่ได้มาจากส่วนภาคเปรียบเทียบเฟสโดย จากภาพที่ 2.10 PMOS จะรับผลลัพธ์ Up โดยจะต้องผ่าน Inverter ก่อนเนื่องจาก PMOS จะทำงานที่แรงดันขาเกตมีค่าต่ำแล้วนำกระแสให้ทำการชาร์จตัวเก็บประจุให้มีค่าแรงดันที่สูงขึ้นเพื่อให้ความถี่ของสัญญาณนาฬิกาที่สร้างจาก VCO เพิ่มขึ้น ในขณะเดียวกัน NMOS จะรับผลลัพธ์ Down ทำให้เมื่อ NMOS ทำงานตัวเก็บประจุจะคายประจุผ่าน NMOS ลงกราวน์ทำให้ค่าแรงดันตกคร่อมตัวเก็บประจุลดลง VCO จึงสร้างสัญญาณนาฬิกาที่ความถี่ต่ำลง



รูปที่ 2.10 วงจรชาร์จปั๊ม

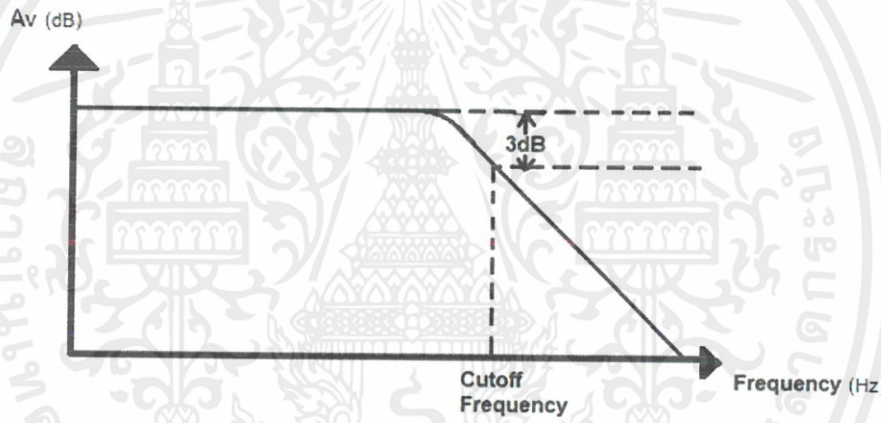
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 วงจรกรองความถี่

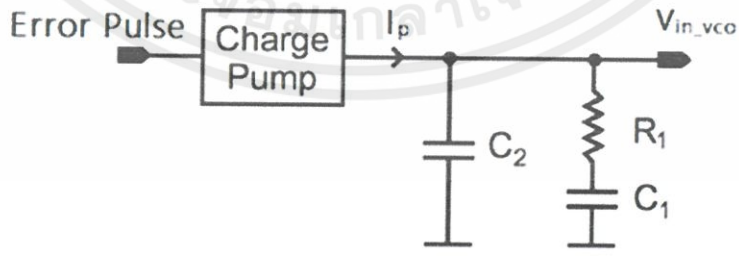
ในส่วนของวงจรกรองความถี่ในวงจรเฟสล็อคลูป จะทำหน้าที่ในการรับกระแสที่ได้จากวงจรชาร์จปั๊มมาทำการชาร์จและดิสชาร์จตัวเก็บประจุเพื่อให้เกิดแรงดันตกคร่อมตัวเก็บประจุในรูปของแรงดันไฟตรงหรือDC แล้วจึงส่งต่อไปยังภาคของวงจรกำเนิดความถี่ที่ควบคุมด้วยแรงดัน (VCO)

วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter)

วงจรกรองความถี่แบบต่ำผ่านจะมีความถี่ค่าหนึ่งโดยสัญญาณที่มีความถี่สูงกว่านั้นจะถูกกรองออกไปและสัญญาณที่มีความถี่ตั้งแต่ค่าความถี่นั้นลงมาจะสามารถผ่านไปได้ โดยความถี่ที่กำหนดขึ้นมานั้นเรียกว่า “ความถี่คัทออฟ” จะมีตำแหน่งอยู่ที่ค่าของอัตราขยาย (Av) มีค่าลดลงเท่ากับ 3dB แสดงดังภาพที่ 2.11a วงจรกรองความถี่แสดงในรูป 2.11b วงจรจะประกอบด้วย R_p ที่ต่ออนุกรมกับ C_1 และขนานกับ C_2



รูปที่ 2.11a กราฟแสดงผลลัพธ์วงจรกรองความถี่แบบความถี่ต่ำผ่าน



รูปที่ 2.11b R C ในวงจรกรองสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากภาพที่ 2.11b เมื่ออินพุตเป็นกระแส (I_p) และเอาท์พุตเป็นแรงดัน (Vin_vco) จะได้ค่าความต้านทานเสมือน

$$\frac{V_{in_vco}}{I_p} = H(s) = \left(R_1 + \frac{1}{C_1 s}\right) // \frac{1}{C_2 s}$$

$$= \frac{\left(\frac{1+R_1C_1s}{C_1s}\right)\times\left(\frac{1}{C_2s}\right)}{\left(\frac{1+R_1C_1s}{C_1s}\right)+\left(\frac{1}{C_2s}\right)}$$

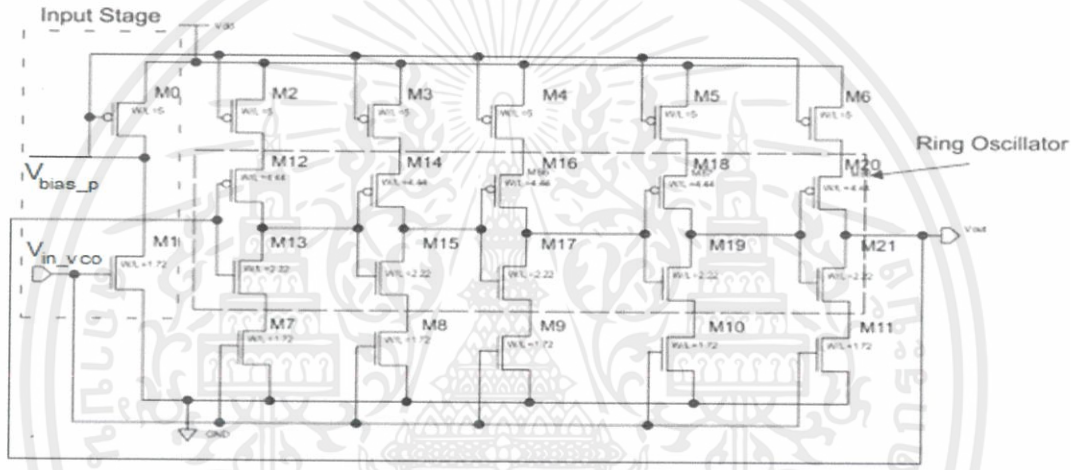
$$= \frac{\frac{1+R_1C_1s}{s^2C_1C_2}}{\frac{C_1s+R_1C_1C_2s^2+C_2s}{s^2C_1C_2}}$$

$$= \frac{1+R_1C_1s}{R_1C_1C_2s^2+(C_1+C_2)s}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

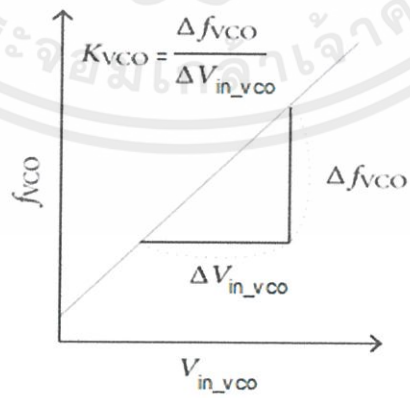
2.6 วงจรกำเนิดความถี่ที่ควบคุมด้วยแรงดันไฟฟ้า (Voltage Control Oscillator)

ในส่วนของวงจรกำเนิดความถี่ที่ถูกควบคุมแรงดันไฟฟ้า (Voltage Control Oscillator) จะเป็นส่วนที่สำคัญในการกำเนิดค่าความถี่ตามค่าแรงดันที่ได้มาจากส่วนของ Low Pass Filter ซึ่งวงจรกำเนิดความถี่นี้ก็คือส่วนที่สร้างค่าของสัญญาณนาฬิกาออกมาโดยการที่แรงดันที่มาจากวงจรกรองความถี่มีการเพิ่มขึ้นหรือลดลงจะทำให้ค่าของกระแส (I_D) ที่ไหลผ่าน M1 มีค่าเพิ่มขึ้นหรือลดลงด้วย จากภาพที่ 2.12a จะเห็นได้ว่า M0 เป็นตัวหลักในการสะท้อนกระแสไปยัง M2 M3 M4 M5 และ M6 โดยที่ตำแหน่งเอาท์พุตของ Inverter แต่ละตัวจะมีตัวเก็บประจุอยู่ซึ่งกระแสที่เพิ่มขึ้นหรือลดลงจะทำให้ประจุในตัวเก็บประจุเต็มเร็วหรือช้า ถ้าหากเต็มเร็วก็จะทำให้วงจรทำงานได้เร็วหรือความถี่เพิ่มขึ้น



รูปที่ 2.12a วงจร Voltage Control Oscillator (VCO)

Parameter ที่สำคัญของ Voltage Control Oscillator คืออัตราขยายของ VCO หรือ K_{vco} โดยอัตราขยายดังกล่าวสามารถหาได้จากรูปที่ 2.12 b

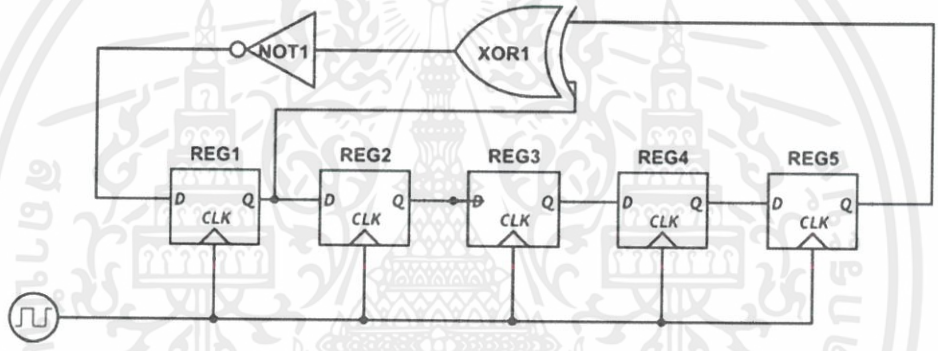


รูปที่ 2.12b อัตราขยายของ VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 วงจรกำเนิดสัญญาณสุ่ม (Pseudo Random)

วงจรกำเนิดสัญญาณสุ่ม (Pseudo Random) นิยมใช้กันอย่างแพร่หลายในการสื่อสัญญาณซึ่งจะเรียกกันด้วยชื่อ Pseudo Random โดยจะทำการสุ่มค่าในแต่ละบิตออกมาเพื่อใช้ในการทดสอบวงจรที่ใช้ในระบบการสื่อสารและสัญญาณที่ออกมาจากการสุ่มจะมีคาบที่ไม่คงที่จึงทำให้เป็นวงจรที่เหมาะแก่การนำมาใช้จำลองการทำงานของวงจรที่ได้ทำการออกแบบวงจรทำงานได้ด้วยการนำผลลัพธ์จากดีฟลิปฟลอปตัวแรกกับตัวสุดท้ายมาป้อนเข้า XOR Gate เพื่อทำการกำเนิดสัญญาณในแต่ละบิตจากการชิปไปของเฟสมีการวนลูปจนกว่าจะได้ข้อมูลในแต่ละบิตครบตามจำนวนบิต แสดงดังภาพที่ 2.13
สามารถคำนวณจำนวนบิตของสัญญาณที่สุ่มได้จากสมการ $2^n - 1$
โดยที่ n คือ จำนวนของดีฟลิปฟลอปที่ใช้ในการสร้างวงจรกำเนิดสัญญาณสุ่ม (Pseudo Random)



รูปที่ 2.13 วงจรกำเนิดสัญญาณสุ่ม (Pseudo Random)

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

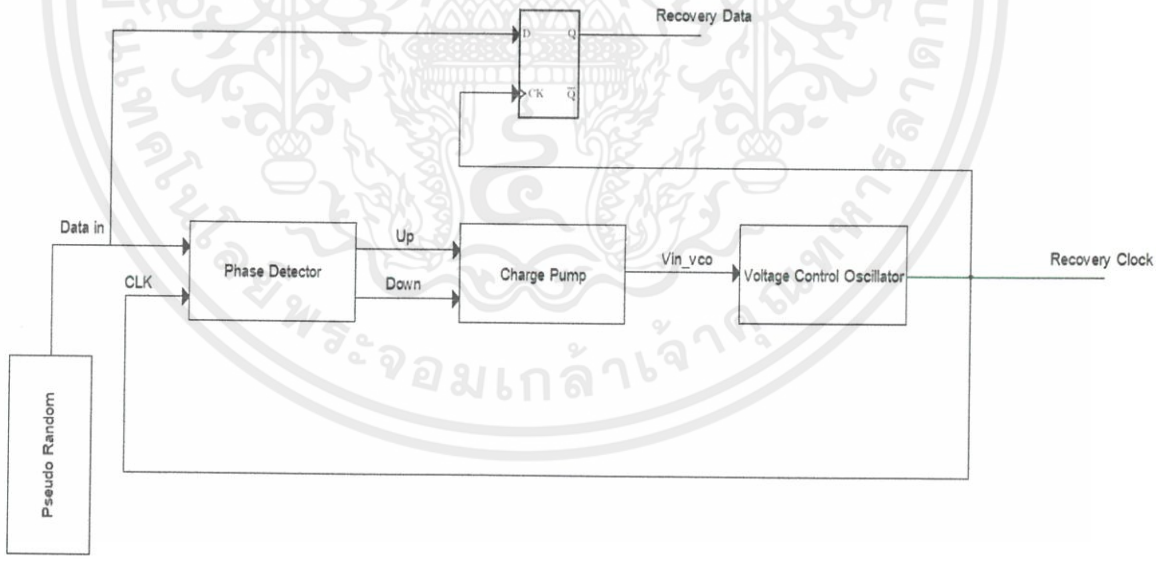
การออกแบบ

3.การออกแบบวงจร

ในการออกแบบวงจรนั้น แบ่งเป็นส่วนใหญ่ๆ 6 ส่วนดังนี้

1. อัตราส่วนระหว่าง PMOS และ NMOS
2. วงจร Pseudo Random Generator
3. วงจรเปรียบเทียบเฟส (Phase Detector)
4. วงจรชาร์จปั๊ม (Charge Pump)
5. วงจรกำเนิดความถี่ที่ควบคุมด้วยแรงดัน (Voltage Control Oscillator)
6. วงรวม Clock Data Recovery (CDR)

ภาพรวมของวงจร CDR สามารถแสดงได้ ดังรูปที่ 3.1

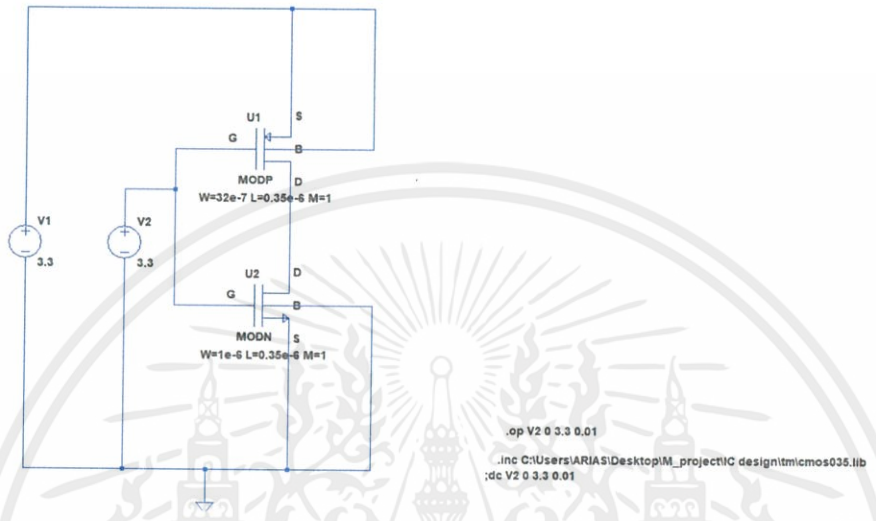


รูปที่ 3.1 Diagram ของวงจร CDR

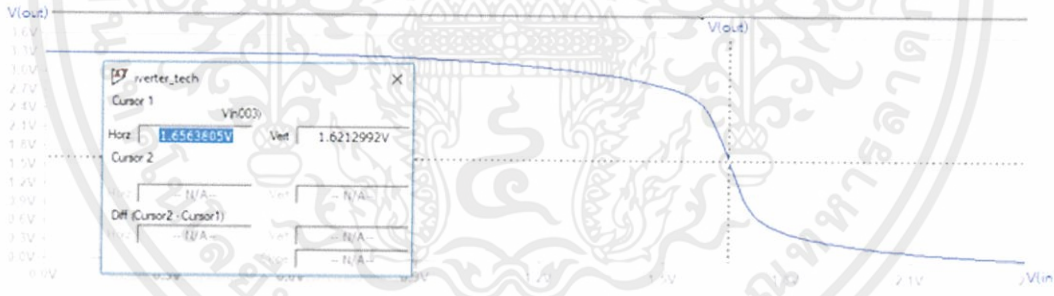
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 การหาอัตราส่วนระหว่าง PMOS และ NMOS

ในการหาอัตราส่วนขนาดของของ CMOS โดยการจำลองผลการทำงานด้วยโปรแกรม LTspice โดยหาค่า W ที่ทำให้จุดกึ่งกลางของ Slope ของ Vin และ Vout อยู่ตรงกับ $V_{DD}/2$ พอดี



รูปที่ 3.2 วงจร Inverter ที่ใช้ในการหาอัตราส่วนขนาดระหว่าง NMOS และ PMOS



รูปที่ 3.3 ผลจำลองการทำงานของวงจร Inverter ที่ทำการปรับขนาดแล้ว

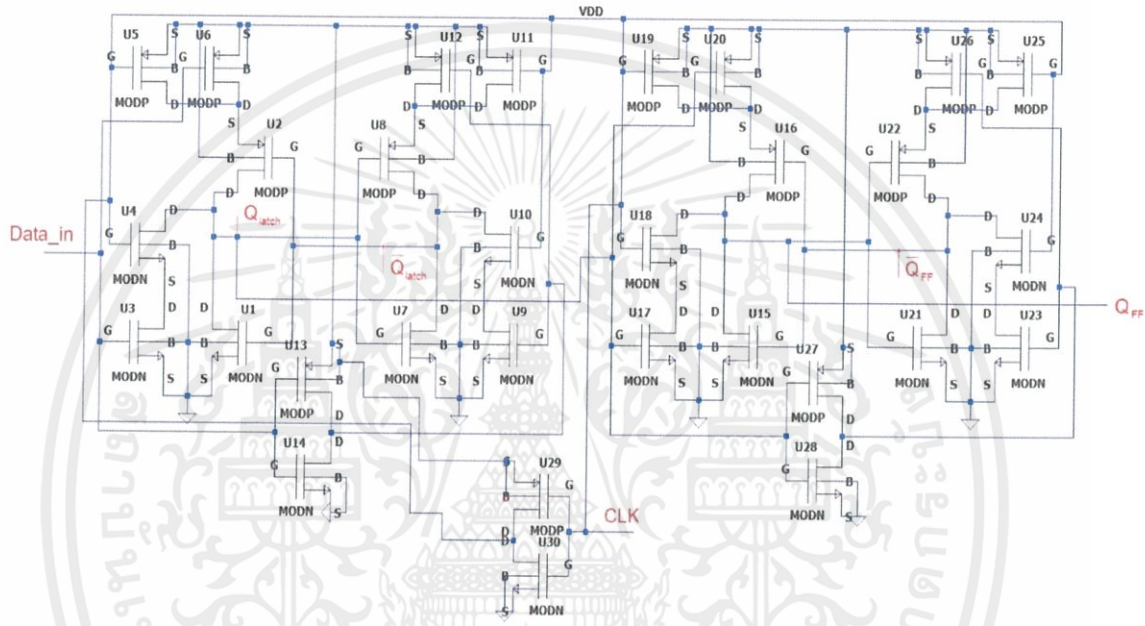
จากผลจำลองการทำงานทราบได้ว่า W ของ PMOS จะต้องมากกว่า NMOS 3.2 เท่า

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

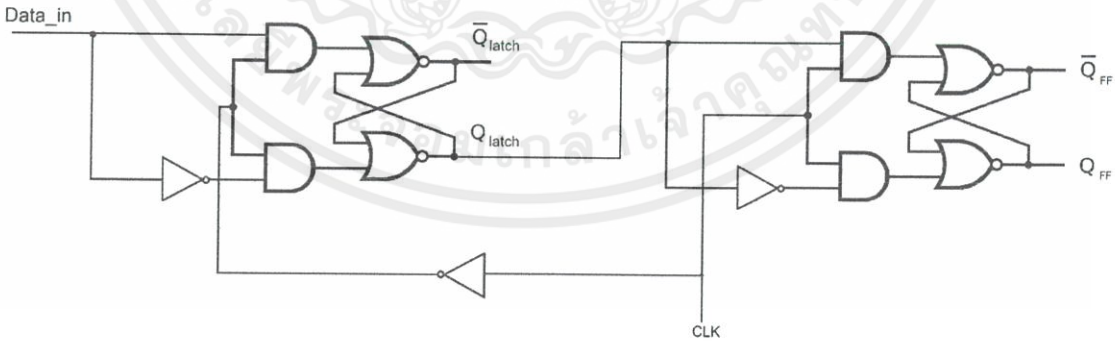
3.2 วงจรลอจิกเกต (Logic gate)

3.2.1 ดีฟลิปฟล็อป (D flip-flop)

ภาพที่ 3.4a แสดงการต่อ CMOS D'flip flop ภาพที่ 3.4b แสดง Logic Gate D'flip flop และภาพที่ 3.5 แสดงผลจำลองการทำงานของ D'flip flop จะเห็นได้ว่าที่ขอบขาขึ้นของ CLK จะทำการอ่านค่าของ Data แล้วให้ค่า Output ออกมา NMOS ในวงจรมีขนาด (m) W = 2e-6 , L = 0.35e-6 และ PMOS ในวงจรมีขนาด (m) W = 6.4e-6 , L = 0.35e-6

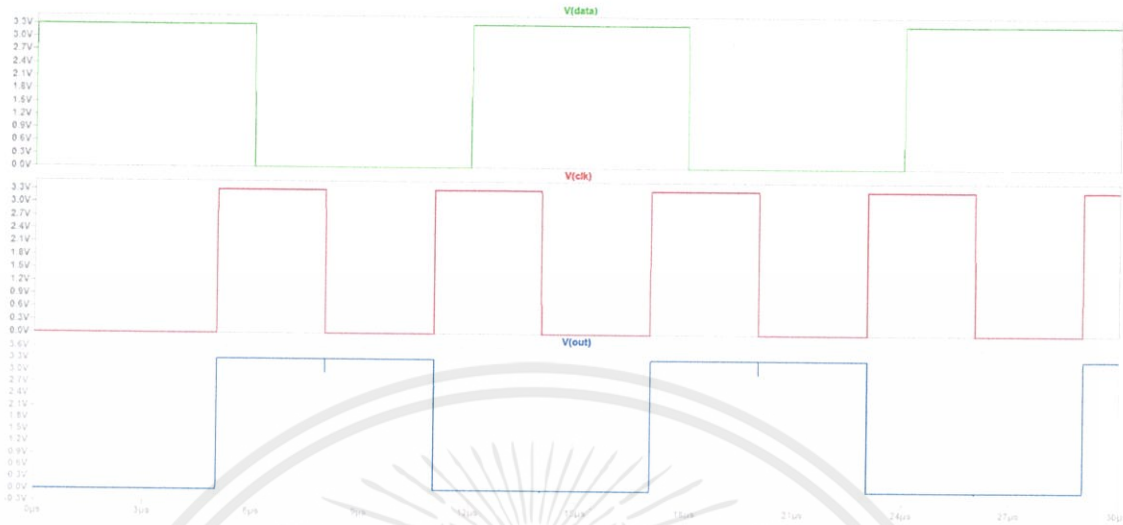


รูปที่ 3.4a CMOS D'flip flop



รูปที่ 3.4b Logic Gate D'flip flop

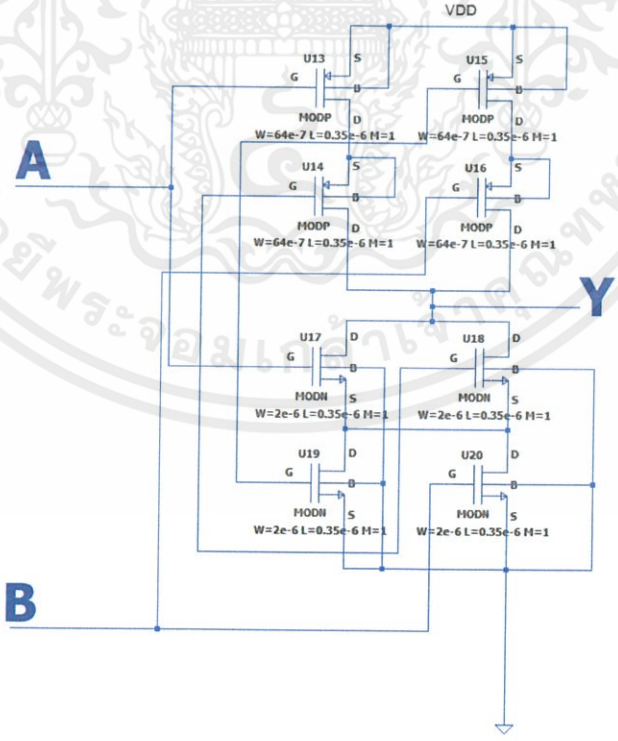
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ผลจำลองการทำงานของวงจร D'flip flop

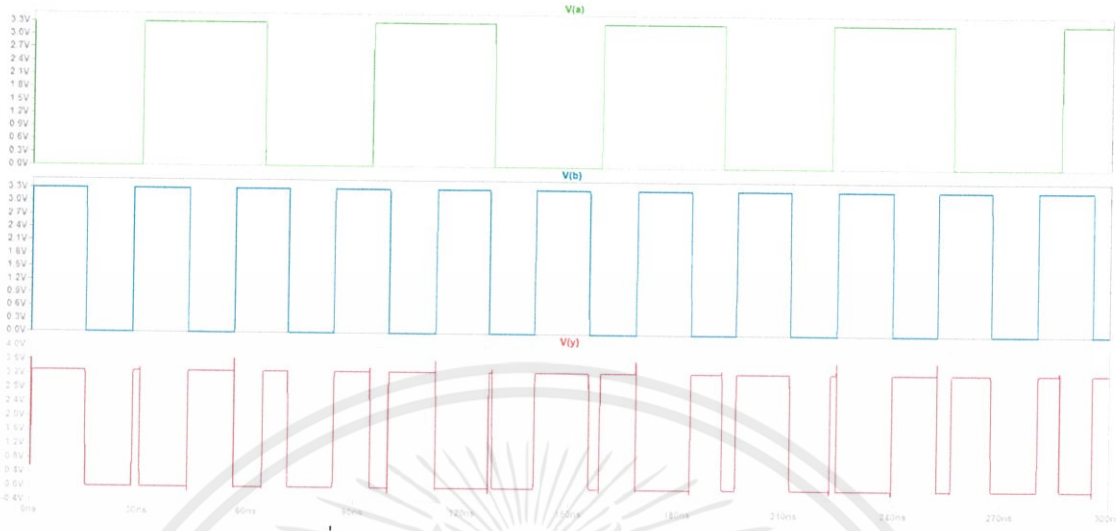
3.2.2 XOR Gate (Exclusive OR)

ภาพที่ 3.6 แสดงการต่อ CMOS XOR Gate และ ภาพที่ 3.7 แสดงผลจำลองการทำงานของ XOR Gate จะเห็นได้ว่าเกตให้สัญญาณขาออกเป็น High เมื่อสัญญาณขาเข้าต่างกัน และจะให้สัญญาณขาออกเป็น Low เมื่อสัญญาณขาเข้าเหมือนกัน



รูปที่ 3.6 วงจร XOR Gate

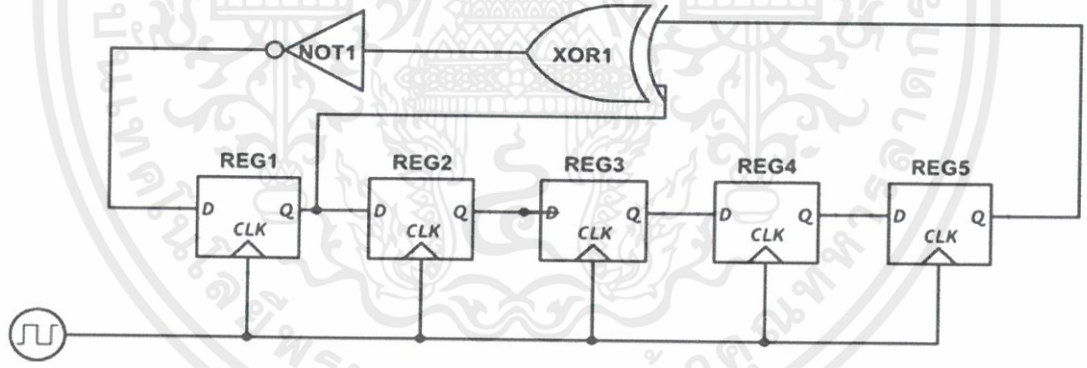
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 ผลจำลองการทำงานของวงจร XOR Gate

3.3 วงจรกำเนิดข้อมูลสุ่ม (Pseudo Random)

ในการออกแบบวงจรกำเนิดข้อมูล เราจะใช้วงจรที่ชื่อว่า Pseudo Random ในการสุ่มค่าของสัญญาณ ซึ่งในการออกแบบ จะนำ D'flip flop มาทำการต่อกันเพื่อทำการชิปมุมเฟสไปแล้วนำมา XOR กัน ดังภาพที่ 3.8



รูปที่ 3.8 วงจร Pseudo Random

ในการออกแบบจะนิยมใช้จำนวนของ D'flip flop อย่างน้อย 5 ตัวขึ้นไป ซึ่งในการจำลองครั้งนี้เลือกใช้ดีฟลิปฟลอปจำนวน 5 ตัว โดยจะกำเนิดสัญญาณเป็นสัญญาณ Pulse ที่มี 1 และ 0 สลับกันแบบสุ่ม

ซึ่งจะมีจำนวนบิตที่เกิดขึ้นคือ $2^n - 1$

โดย n คือจำนวนของ D'flip flop

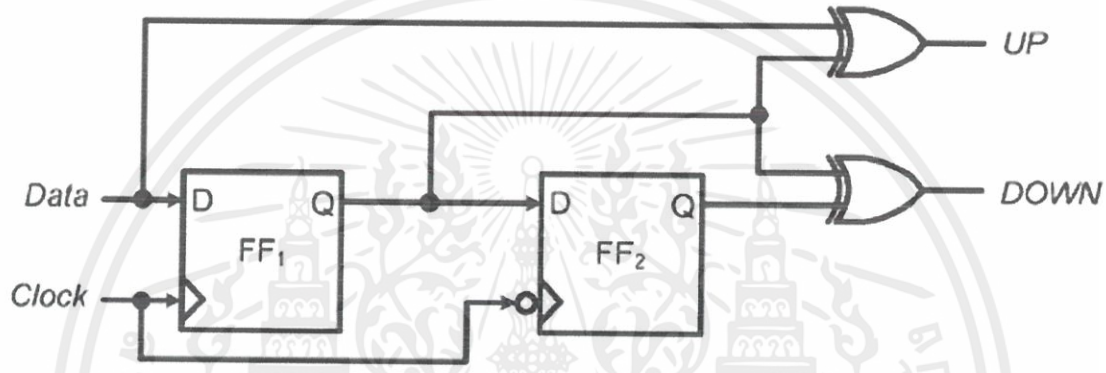
ในการออกแบบนี้เราใช้ดีฟลิปฟลอปจำนวน 5 ตัวก็จะได้ $2^5 - 1 = 32 - 1 = 31$ บิต

และจะมีบิตที่มีค่าเป็น 1 จำนวน 16 บิต กับบิตที่มีค่าเป็น 0 จำนวน 15 บิต

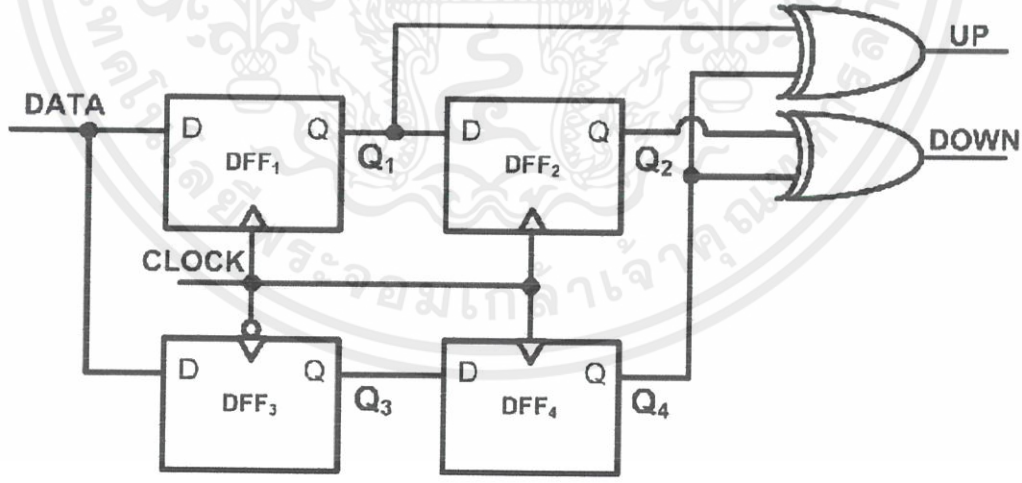
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรเปรียบเทียบเฟส (Phase Detector)

ในการออกแบบวงจรเปรียบเทียบเฟสเราจะใช้วงจรเปรียบเทียบเฟสแบบฮอว์ค (Hogge Phase Detector) และแบบอเล็กซานเดอร์ (Alexander Phase Detector) ซึ่งใน Hogge Phase Detector จะมีส่วนประกอบหลักคือ D'flip flop 2ตัว กับ XOR Gate 2 ตัว ดังภาพที่ 3.9 และใน Alexander Phase Detector จะมีส่วนประกอบหลักคือ D'flip flop 4ตัว กับ XOR Gate 2 ตัว ดังภาพที่ 3.10 วงจร D'flip flop และ XOR Gate ในรูปที่ 3.9 และ 3.10 ใช้วงจรที่ได้กล่าวไว้ข้างต้น



รูปที่ 3.9 Hogge PD

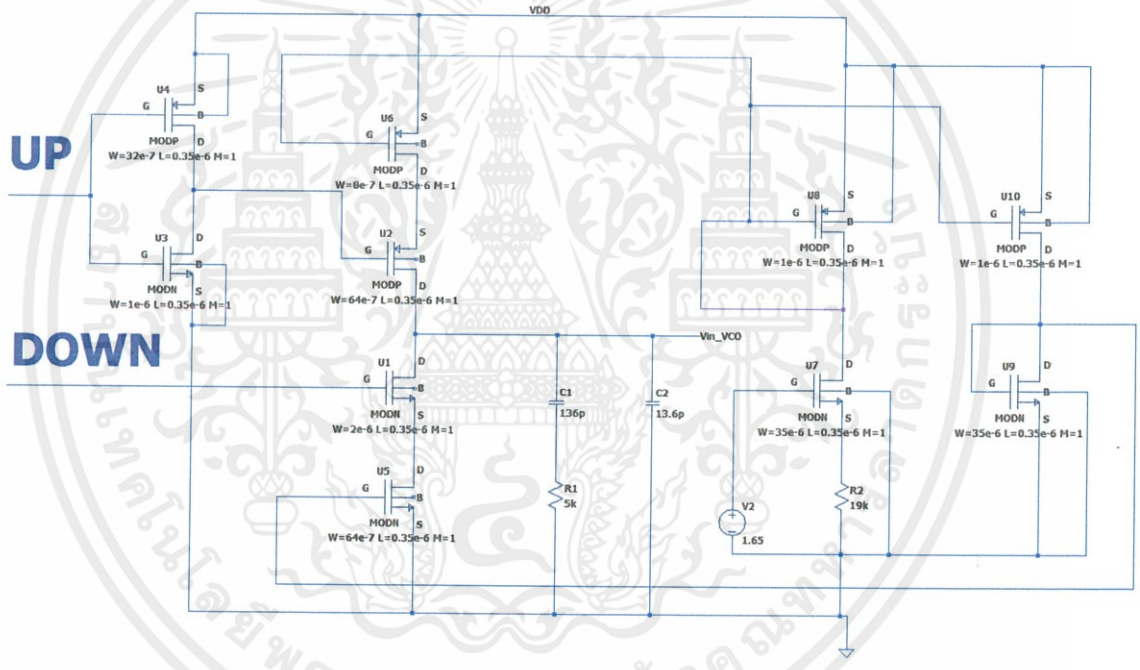


รูปที่ 3.10 Alexander PD

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรชาร์จปั๊ม (Charge Pump)

จากภาพที่ 3.11 ในการออกแบบวงจรชาร์จปั๊มจะต้องออกแบบโดยการกำหนดค่าของกระแสที่ไหลผ่าน PMOS และ NMOS โดยในที่นี้จะใช้วงจรกระท้อนกระแส (Current Mirror) โดยออกแบบให้มีกระแสไหลผ่านมีค่าเท่ากับ 44.7μA และ U7 เป็นตัวกำหนดค่ากระแสแล้ว U8 ทำการสะท้อนไปยัง U10 และ U6 และ U9 ก็สะท้อนไปยัง U5 ซึ่งเมื่อ U2 ได้รับอินพุต Up ที่ผ่านวงจร Inverter แล้วจะนำกระแสไปชาร์จตัวเก็บประจุ C_1 และ C_2 (ตัวเก็บประจุในลูปกรองสัญญาณ) เพื่อเพิ่มแรงดันแล้วนำแรงดันไปควบคุมเพื่อเพิ่มความถี่ต่อไปและมี R_1 (ค่าความต้านทานในลูปกรองสัญญาณ) แต่เมื่อ U1 ได้รับอินพุต Down จะนำกระแสที่ตัวเก็บประจุคายออกมาเพื่อลดแรงดันแล้วไปควบคุมเพื่อลดความถี่ต่อไป



รูปที่ 3.11 วงจร Charge Pump

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการกระแส $I_D = \frac{K}{2}(V_{GS} - V_t)^2$ ทำให้ได้ว่า $V_{GS} = \sqrt{\frac{2I_D}{K}} + V_t$ และเนื่องจาก

$V_S = I_D R_S$ ทำให้ $V_G - I_D R_S = \sqrt{\frac{2I_D}{K}} + V_t$

$$V_G - V_t = \sqrt{\frac{2I_D}{K}} + I_D R_S$$

โดยที่ I_D คือกระแสเดรน (A)

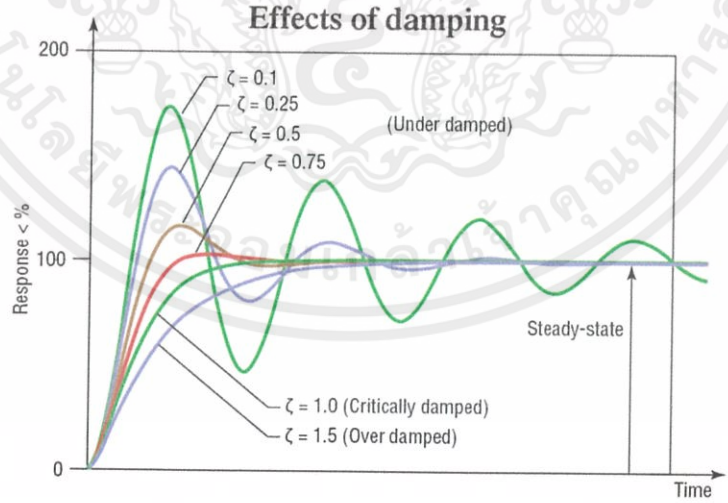
K มีค่าเท่ากับ $\mu_n C_{ox}(\frac{W}{L})$

V_t คือแรงดันขีดเริ่ม (V)

ค่าอัตราส่วนการหน่วงของสัญญาณ (ζ) จะเป็นตัวบอกให้เราทราบว่าระบบที่พิจารณาเมื่อความถี่ของอินพุตเปลี่ยนแปลง เอาท์พุตจะใช้เวลาเท่าไหร่ในการเปลี่ยนแปลงความถี่ให้เข้ากับอินพุต โดยสามารถแบ่งได้เป็น 3 กรณี

1. กรณีที่ค่าตัวหน่วงมีค่าน้อยและมีค่าในช่วง $0 < \zeta < 1$ เรียกกรณีนี้ว่า Under Damped
2. กรณีที่ค่าตัวหน่วงมีค่าเท่ากับหนึ่ง $\zeta = 1$ เรียกกรณีนี้ว่า Critically Damped
3. กรณีที่ค่าตัวหน่วงมีค่ามากกว่าค่าวิกฤตจะมีค่าตัวหน่วง $\zeta > 1$ เรียกกรณีนี้ว่า Over Damped

ภาพที่ 3.12 แสดงค่าความหน่วง (ζ) ต่างๆ โดยปกติแล้ว เราจะเลือกใช้ความหน่วงมีค่าเท่ากับ 0.7 เพื่อให้เอาท์พุตมีการเปลี่ยนแปลงตามความถี่ของอินพุตได้อย่างรวดเร็ว



รูปที่ 3.12 อัตราส่วนการหน่วงของสัญญาณ (Damping Ratio) ค่าต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Charge Pump มีกระแสปั๊ม (I_p) ซึ่งคือกระแสเดรนของ U5 และ U6 จะถูกต่ออยู่กับวงจรกรองสัญญาณ (Filter) ในการออกแบบนี้จะใช้กระแสที่ไหลผ่าน I_p มีค่าเท่ากับ $44.7\mu A$ เนื่องจากเป็นกระแสที่เกิดจากการป้อนแรงดันขาเกตเท่ากับ VDD/2 แล้วกำหนดให้ค่า $R_1 = 5k\Omega$ โดยจะสามารถคำนวณค่าของตัวเก็บประจุได้จาก

$$\zeta = \frac{R_1}{2}\sqrt{\frac{I_p \times C_1 \times K_{vco}}{2\pi}}$$

จะได้ $$C_1 = \frac{4\times\zeta^2\times 2\pi}{{R_p}^2\times I_p\times K_{vco}}$$

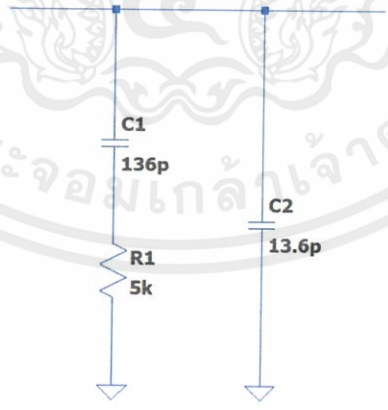
$$C_1 = \frac{4 \times 0.7^2 \times 2\pi}{(5k)^2 \times 44.7\mu \times 80.93M}$$

$$C_1 = 136pF$$

และตัวเก็บประจุอีกตัวจะมีค่าเล็กกว่าตัวเก็บประจุตัวแรกประมาณ 10 เท่าก็จะได้

$$C_2 = 13.6pF$$

เมื่อทำการคำนวณเสร็จก็จะได้ค่าของตัวเก็บประจุที่ลูปกรองสัญญาณ ดังภาพที่ 3.13



รูปที่ 3.13 ค่า R C ที่ออกแบบในส่วนกรองสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 วงจร Current-Starved VCO

วงจรกำเนิดสัญญาณนาฬิกาแบบ Current-Starved VCO เป็นวงจร Ring Oscillator ชนิดหนึ่ง ที่วงจรจะรับสัญญาณ Input Voltage แล้วสร้างสัญญาณนาฬิกาออกมาโดยการควบคุมกระแสที่ป้อนให้กับ Inverter ที่ต่อเป็นจำนวนคี่โดยปัจจัยที่มีผลต่อความถี่ที่วงจรทำได้ คือค่าของตัวเก็บประจุที่นำมาต่อเพื่อลดผลจากตัวเก็บประจุแฝงภายในตัวอุปกรณ์ CMOS (C_{tot}), กระแสที่ใช้ควบคุม (I_D), ไฟเลี้ยงวงจร (Vdd), และจำนวน Stage ของ Inverter (N) โดยจะมีสมการที่เกี่ยวข้องคือ

$$f_{osc} = \frac{I_D}{N \times C_{tot} \times V_{DD}}$$

จะได้

$$N = \frac{I_D}{f_{osc} \times C_{tot} \times V_{DD}}$$

โดยที่

f_{osc} คือ ความถี่ของสัญญาณเอาท์พุตของ VCO (Hz)

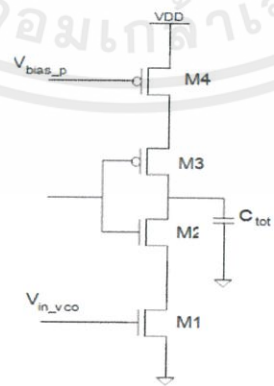
C_{tot} คือ ตัวเก็บประจุที่อยู่ที่โหลดของ Inverter แต่ละ Stage (F)

I_D คือ กระแสที่ใช้ในการป้อนให้กับ Inverter โดยจะมีค่ามากหรือน้อยขึ้นอยู่กับ V_{in_vco} (A)

V_{in_vco} คือ แรงดันอินพุตของ VCO ซึ่งคือผลลัพธ์ที่มาจากลูปกรองสัญญาณที่ Charge Pump (V)

N คือ จำนวน Stage ของ Inverter ที่ใช้ในการสร้าง VCO โดยจะต้องเป็นจำนวนคี่

และเราสามารถหาค่าความถี่กลางของ VCO ได้ซึ่งที่ความถี่กลางคือที่ V_{in_vco} มีค่าเท่ากับ $V_{DD}/_2$ เมื่อ C_{tot} คือตัวเก็บประจุที่ใส่เข้าไปในวงจรเพื่อลดผลที่เกิดจากตัวเก็บประจุแฝงในตัว MOSFET ซึ่งใน Ring Oscillator เราจะกำหนดค่า C_{tot} โดยการใส่ไปที่โหลดของ Inverter ดังภาพที่ 3.14 โดยตัวเก็บประจุที่ใส่เข้าไปจะต้องมีค่ามากกว่าค่าของตัวเก็บประจุแฝง 10 เท่า เพื่อที่จะลดผลที่เกิดจากตัวเก็บประจุแฝง

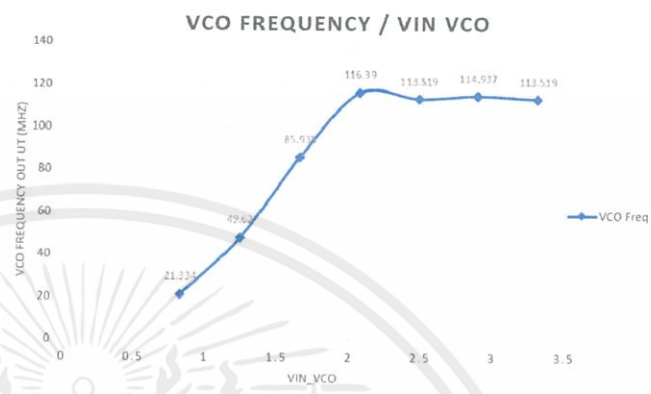


รูปที่ 3.14 วงจร Inverter ที่ใช้ใน Current-starved VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อทำการป้อนแรงดันอินพุตของ VCO ที่ค่า 0 ไปจนถึง VDD แล้วพล็อตกราฟเทียบกับค่าความถี่ที่วงจร VCO สร้างออกมาที่แรงดันค่าต่างๆ แล้วทำการหาความชัน (Slope) ก็จะได้ค่าของ K_{vco} ดังภาพที่ 3.15

V_{in_vco}	Frequency Output
3.3 V	113.519 MHz
2.8875 V	114.937 MHz
2.475 V	113.519 MHz
2.0625 V	116.39 MHz
1.650 V	85.935 MHz
1.2375 V	49.62 MHz
0.825 V	21.334 MHz
0.4125 V	stop oscillate
0	stop oscillate



รูปที่ 3.15 แสดงความสัมพันธ์ระหว่างความถี่เอาท์พุตของ VCO เทียบกับ Vin_VCO

$$K_{vco} = \frac{\Delta y}{\Delta x}$$

$$= \frac{116.39M - 49.62M}{2.0625 - 1.2375}$$

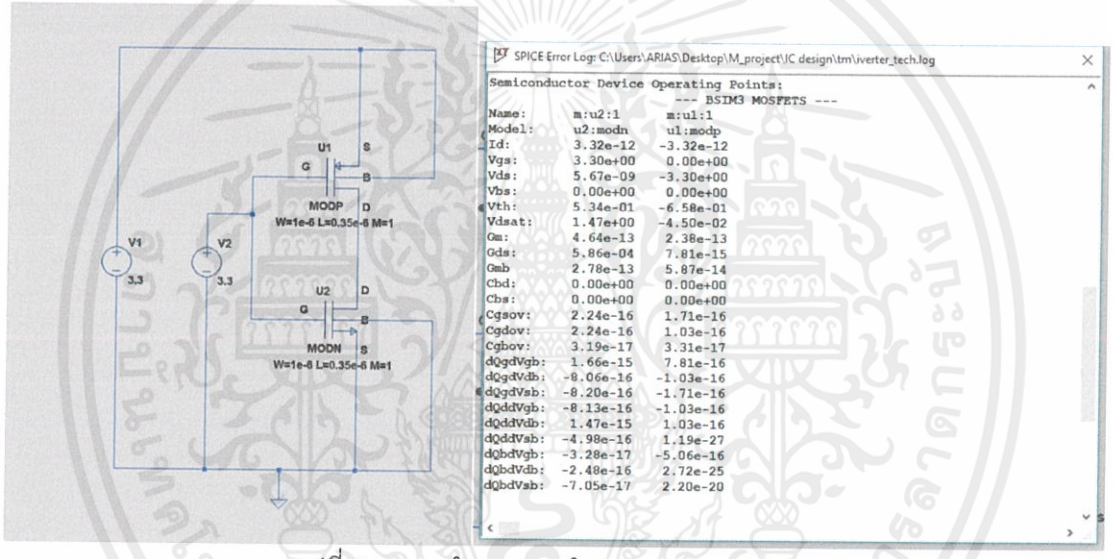
$$K_{vco} = 80.93\,MHz/V$$

โดย VCO จะหยุด Oscillate เมื่อกระแสลดลงถึงค่าๆหนึ่งคือเมื่อ V_{in_VCO} มีค่าน้อยกว่าค่าของแรงดันขีดเริ่มและ VCO จะ Oscillate ที่ความถี่สูงสุด (f_{MAX}) เมื่อ V_{in_VCO} = VDD ซึ่งจะทำให้ได้กระแสที่ไหลผ่าน Inverter แต่ละตัวมีค่าสูงสุดด้วยเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกำหนดค่าของ C_{tot}

ในการออกแบบ Oscillator เนื่องจากต้องการที่จะควบคุมตัวแปรที่มีผลต่อความถี่ ซึ่งจะเห็นว่าค่า C_{tot} จะมีผลต่อความถี่และการที่ C_{tot} เป็นตัวเก็บประจุที่ใส่เข้าไปในวงจร ซึ่งตัวเก็บประจุแฝงของวงจรจะสร้างปัญหาต่อความถี่จึงควรจะทำการควบคุมค่าตัวเก็บประจุเหล่านั้น ดังนั้นเพื่อลดปัญหาดังกล่าวในการออกแบบ จึงควรใส่ค่าตัวเก็บประจุเข้าไปเพื่อลดผลกระทบที่เกิดจากตัวเก็บประจุแฝงและค่า C_{tot} ที่ทำการใส่เข้าไปนั้นสามารถที่จะเลือกได้และกำหนดได้ง่ายกว่า โดยการประมาณค่า C_{tot} มีค่าประมาณ 10 เท่าของค่าตัวเก็บประจุแฝงสำหรับการใช้งานโดยค่าของตัวเก็บประจุแฝงได้จากการจำลองโดยเลือกการเลือกจำลองผลแบบ DC .op แล้วเข้าไปดูค่าตัวเก็บประจุแฝงในแถบ Menu ใน VIEW ---> SPICE Error Log ดังภาพที่ 3.16

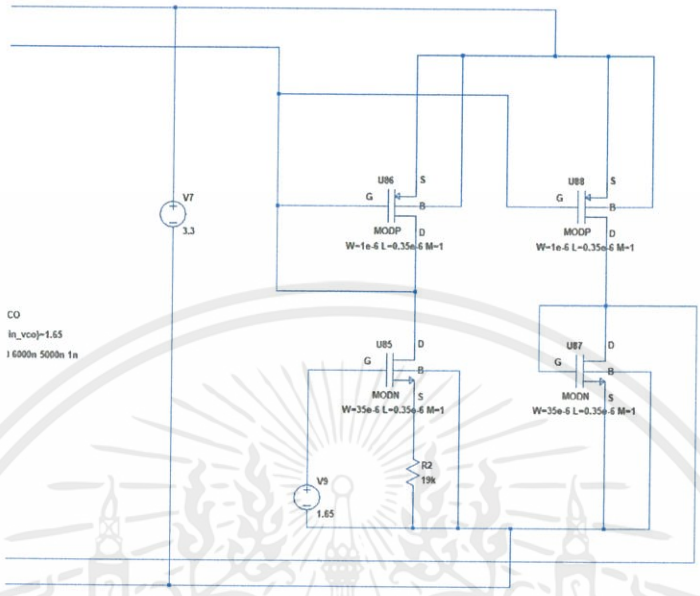


รูปที่ 3.16 ผลจำลองการทำงานของวงจร Inverter

จากการจำลองได้ค่าตัวเก็บประจุแฝงที่ W/L=1e-6/0.35e-6 เป็น 2.24e-16 สำหรับ NMOS, และ 1.71e-16 สำหรับ PMOS โดยจะเลือก C_{tot} มากกว่าค่าตัวเก็บประจุแฝงอย่างน้อย 10 เท่า ดังนั้น C_{tot} = 2.24 fF แต่เลือกใช้ 25 fF เพื่อลดจำนวน Stage ของ Inverter การคำนวณออกแบบ ความถี่ของ VCO เมื่อต้องการออกแบบ VCO ให้มีความถี่ที่ 100 MHz เมื่อกำหนดให้วงจรใช้ไฟเลี้ยง 3.3 V จากการที่ต้องการลดผลกระทบที่เกิดจากตัวเก็บประจุแฝงตามที่ได้คำนวณมาแล้วจึงทำการใส่ค่า C_{tot} เข้าไป

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หา I_D จากการจำลองการทำงานของวงจร Current Mirror เมื่อให้ $V_{in} = {V_{DD}}/{2}$



Name:	m:u86:1	m:u85:1	m:u84:1	m:u83:1	m:u82:1
Model:	u86:modp	u85:modn	u84:modp	u83:modn	u82:modp
Id:	-4.47e-05	4.47e-05	-4.69e-12	2.65e-05	-3.46e-12

รูปที่ 3.17 วงจร Current Mirror และผลจำลองการทำงาน

โดยที่ V_{DD} = 3.3 V, V_{in_vco} ที่ ${V_{DD}}/{2}$ = (3.3/2) และ NMOS U85 มีขนาด W/L ที่มาก 100/1 เพื่อให้ Vgs มีค่าใกล้เคียงกับแรงดันขีดเริ่ม จะได้ค่า I_D = 44.7uA

คำนวณหาจำนวน stage (N) จากสมการ

$$N = \frac{44.7uA}{100MHz \cdot 25fF \cdot 3.3} = 5.418$$

จะได้จำนวน Stage = 5

นำ N กลับมาแทนจะได้ความถี่

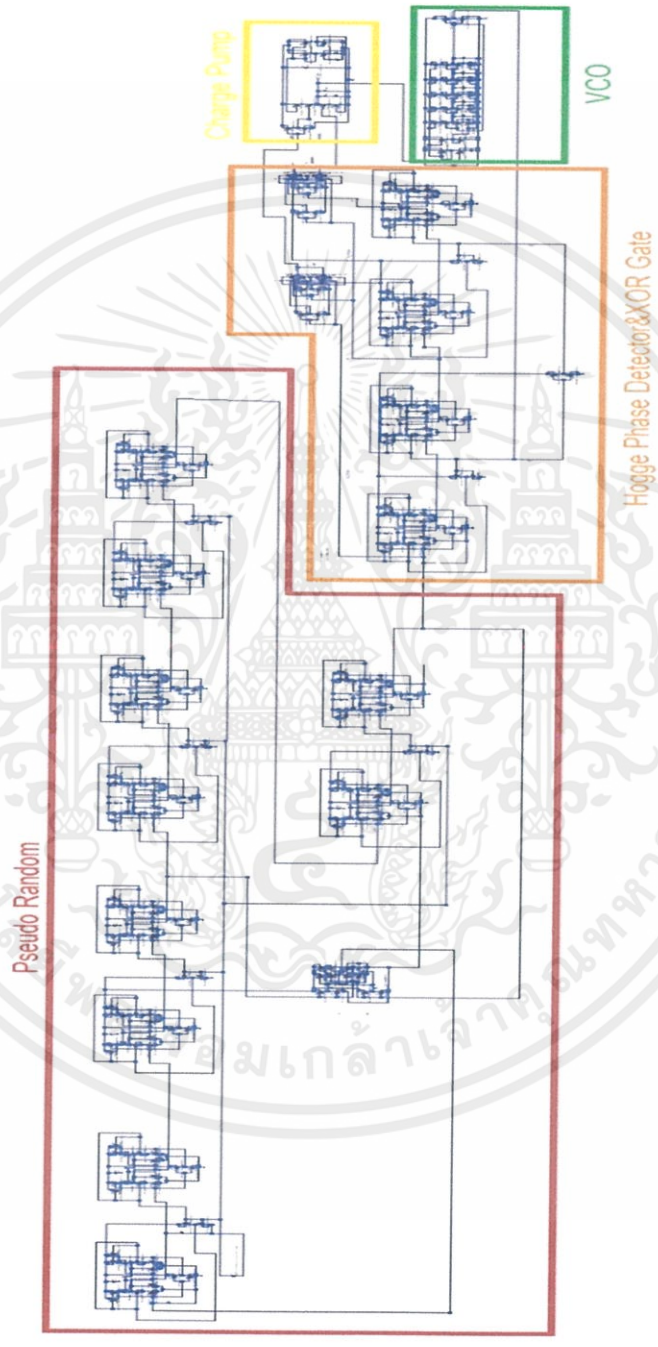
$$f_{osc} = \frac{44.7uA}{5 \times 25fF \times 3.3}$$

$$= 108.364MHz$$

ผลที่ได้จากการจำลองการทำงานของวงจรได้ความถี่เป็น 82.47 MHz

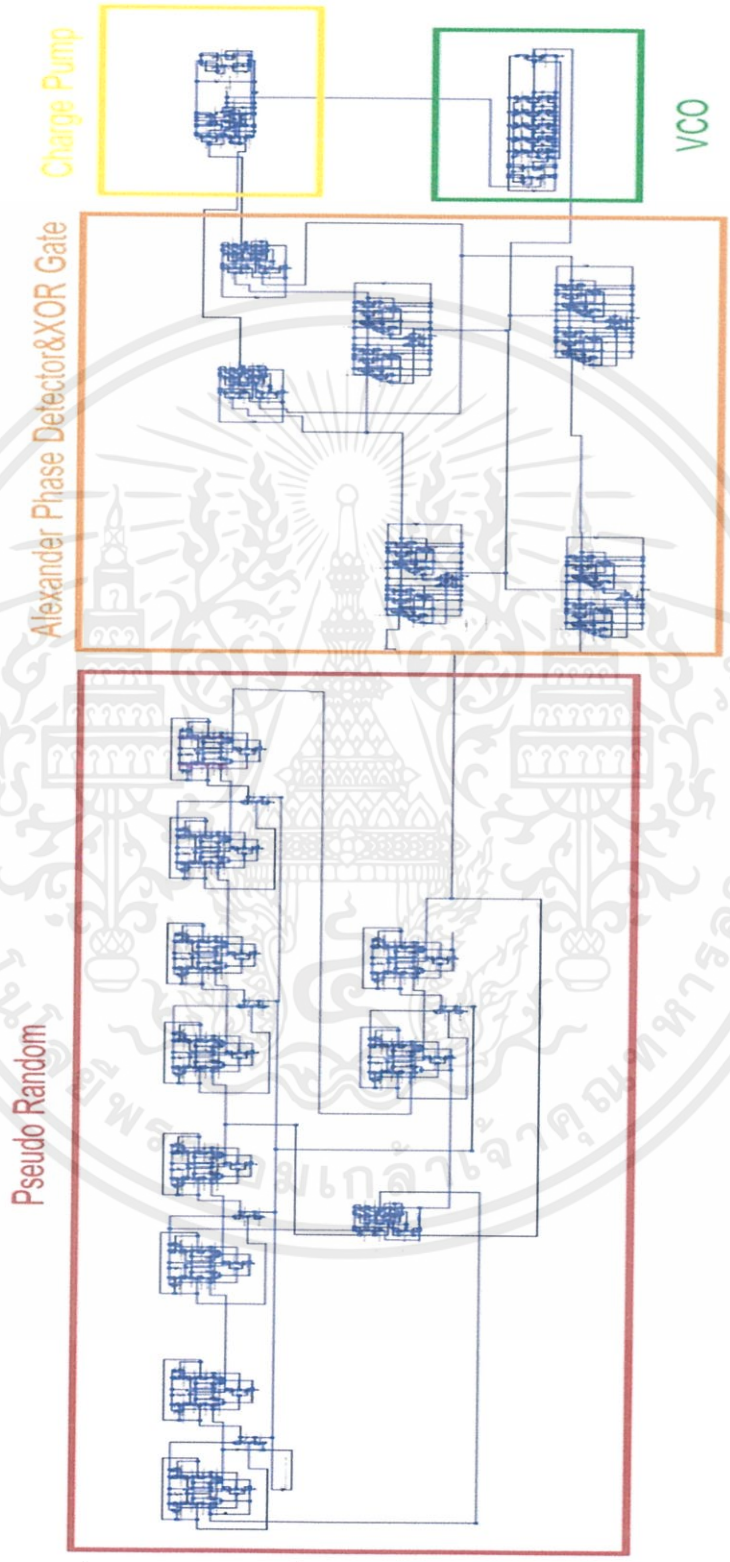
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 วงจรรวม CDR



รูปที่ 3.18 วงจร CDR เมื่อใช้ Hogge Phase Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.19 วงจร CDR เมื่อใช้ Alexander Phase Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

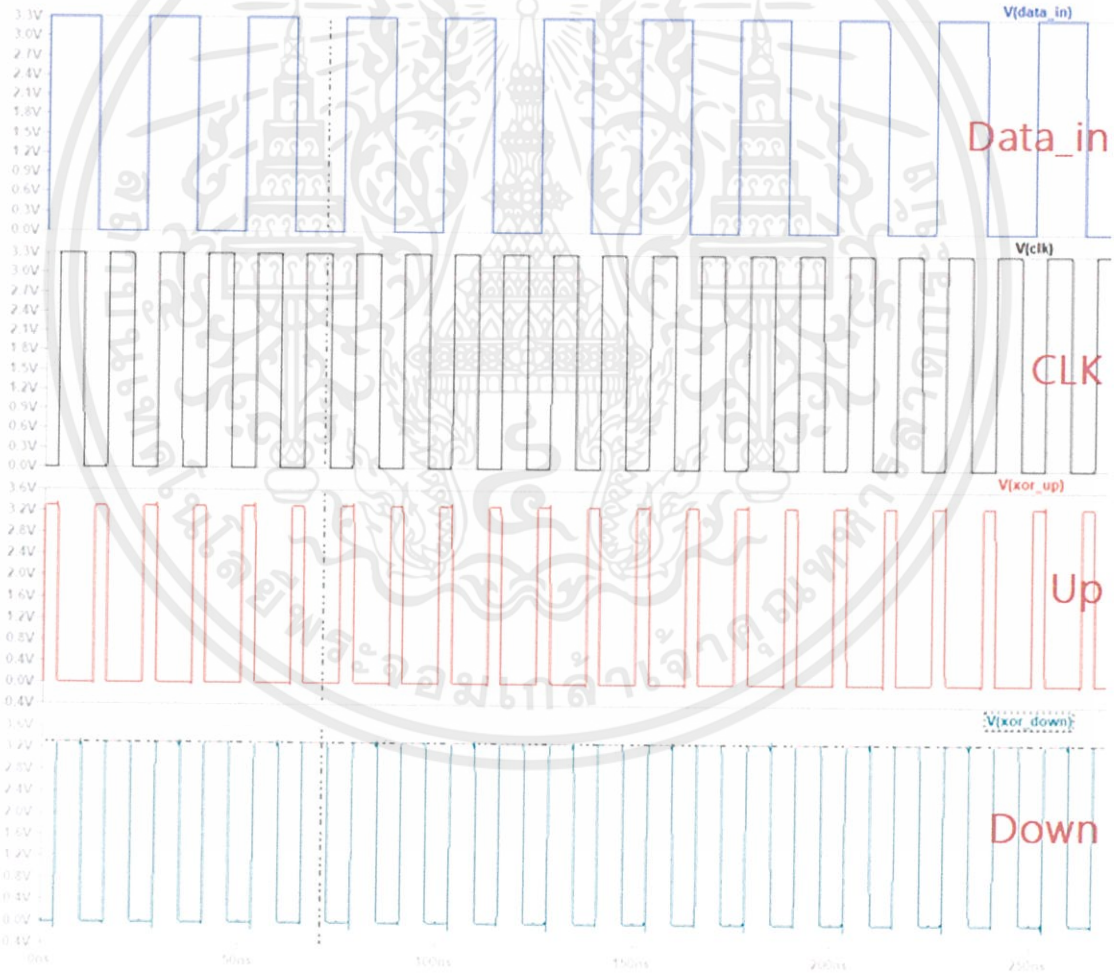
บทที่ 4

ผลการทดลอง

4.1 Hogge Phase Detector

เมื่อป้อน Input ด้วยสัญญาณ Pulse ความถี่ 40 MHz จากการที่ Oscillator ให้สัญญาณความถี่กลาง Output ที่ถูกป้อนเป็น Clock ที่ 80 MHz และจาก Input Data Frequency = 1/2 Clock Frequency

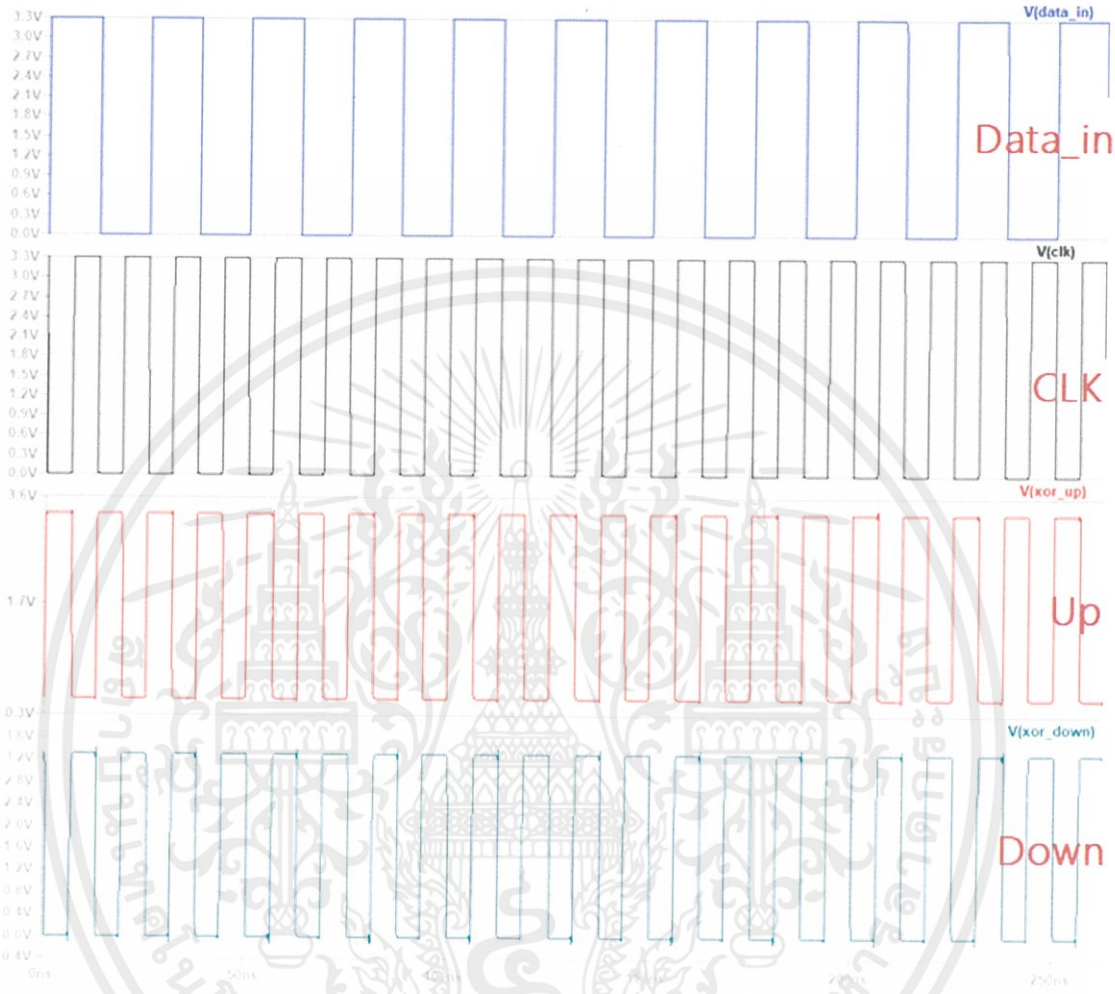
4.1.1 ป้อนด้วยสัญญา Pulse ความถี่ 40 MHz โดยให้ Clock มีเฟสที่ชิปไปจากข้อมูล -45° จากภาพที่ 4.1 จะเห็นได้ว่า CLK มาเร็วกว่าจุดกึ่งกลางของข้อมูลจึงจำเป็นต้องลดความถี่ลง จะเห็นว่าวงจรมีแรงดัน Down เฉลี่ยมากกว่าแรงดัน Up ดังนั้นวงจรจึงให้ผลลัพธ์คือลดความถี่ของ CLK ลงเพื่อให้ขอบขาขึ้นอยู่ตรงกึ่งกลางของข้อมูล



รูปที่ 4.1 ผลจำลองการทำงานของวงจร Hogge PD เมื่อ Clock มี Phase Shift จากข้อมูล -45°

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

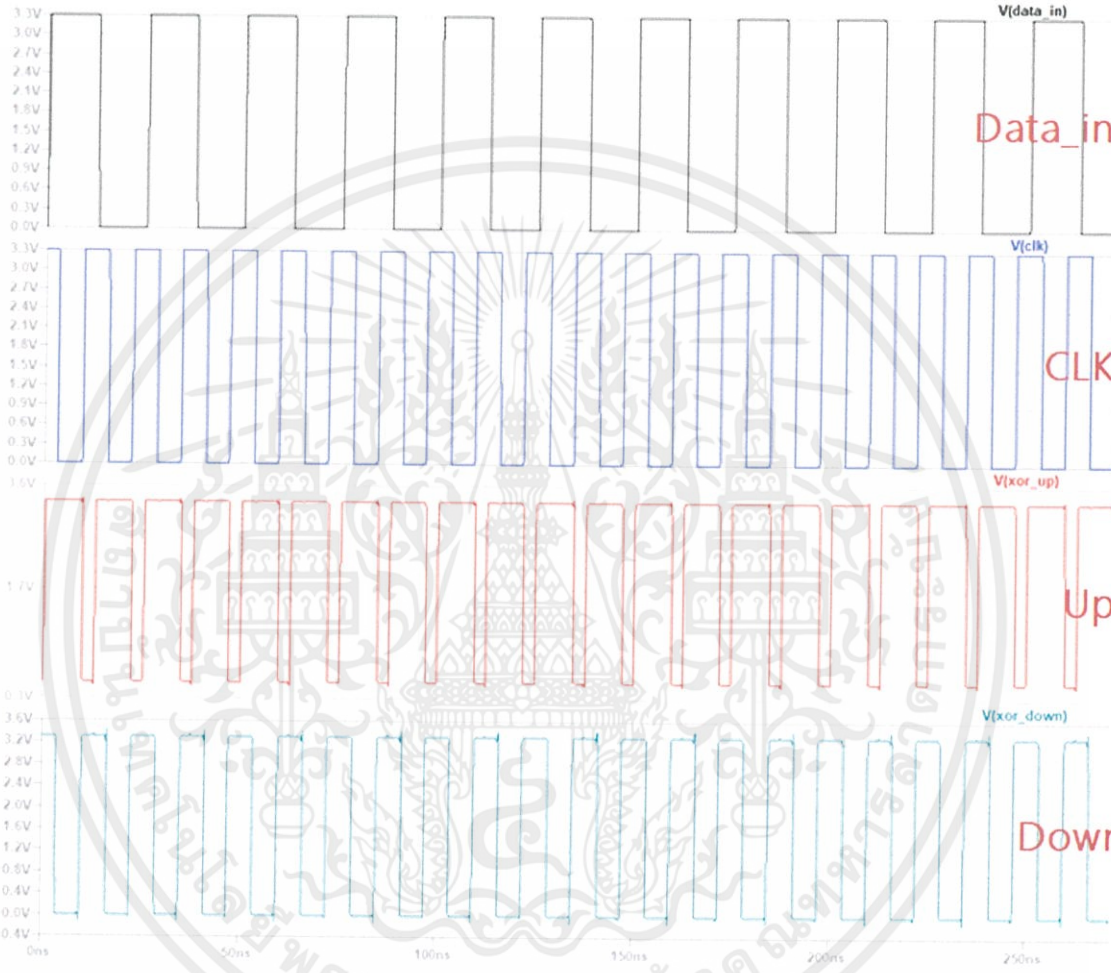
4.1.2 ป้อนด้วยสัญญา Pulse ความถี่ 40 MHz โดยให้ Clock มีเฟสที่ชิปไปจากข้อมูล -90° จากภาพที่ 4.2 จะเห็นได้ว่า CLK อยู่ตำแหน่งจุดกึ่งกลางของข้อมูล จะเห็นว่าวงจรมีแรงดัน Down เฉลี่ยเท่ากับแรงดัน Up เฉลี่ยดังนั้นวงจรจึงให้ผลลัพธ์ไม่ทำการเพิ่มหรือลดความถี่



รูปที่ 4.2 ผลจำลองการทำงานของวงจร Hogge PD เมื่อ Clock มี Phase Shift จากข้อมูล -90°

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 ป้อนด้วยสัญญา Pulse ความถี่ 40 MHz โดยให้ Clock มีเฟสที่ชิปไปจากข้อมูล -135° จากภาพที่ 4.3 จะเห็นได้ว่า CLK มาช้ากว่าจุดกึ่งกลางของข้อมูลจึงจำเป็นต้องเพิ่มความถี่ขึ้น จะเห็นว่าวงจรมีแรงดัน Up เฉลี่ยมากกว่าแรงดัน Down เฉลี่ยดังนั้นวงจรจึงให้ผลลัพธ์คือเพิ่มความถี่ของ CLK ลงเพื่อให้ขอบขาขึ้นอยู่ตรงกึ่งกลางของข้อมูล

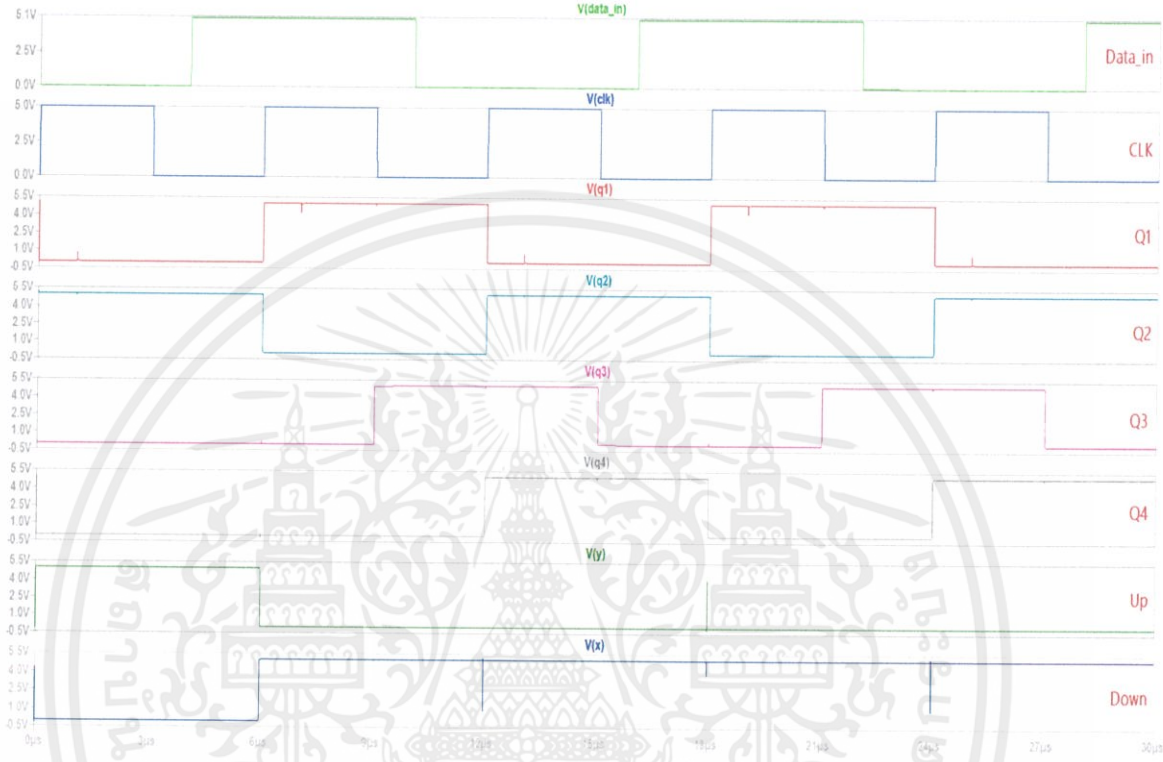


รูปที่ 4.3 ผลจำลองการทำงานของวงจร Hogge PD เมื่อ Clock มี Phase Shift จากข้อมูล -135°

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 Alexander Phase Detector

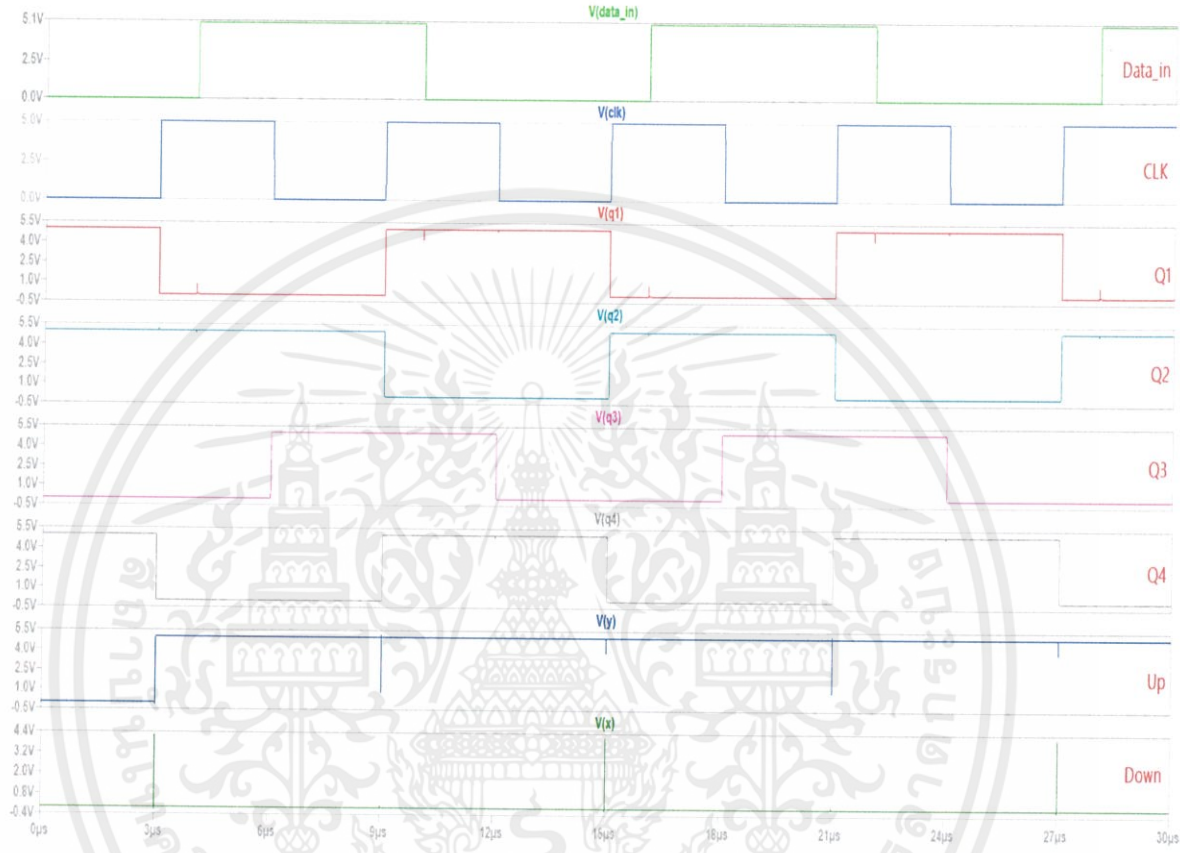
4.2.1 ป้อนด้วยสัญญาณ Pulse ความถี่ 40 MHz กับ Clock 80 MHz โดยให้ Data Input Lead จากภาพที่ 4.4 จะเห็นว่า CLK มาเร็วกว่าจุดกึ่งกลางของข้อมูลวงจรจึงจำเป็นต้องลดความถี่โดยการให้ผลลัพธ์เป็น Down อย่างเดียวเพื่อให้ขอบขาขึ้นอยู่ตรงกึ่งกลางของข้อมูล



รูปที่ 4.4 ผลจำลองการทำงานของวงจร Alexander PD เมื่อ Clock Lead

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

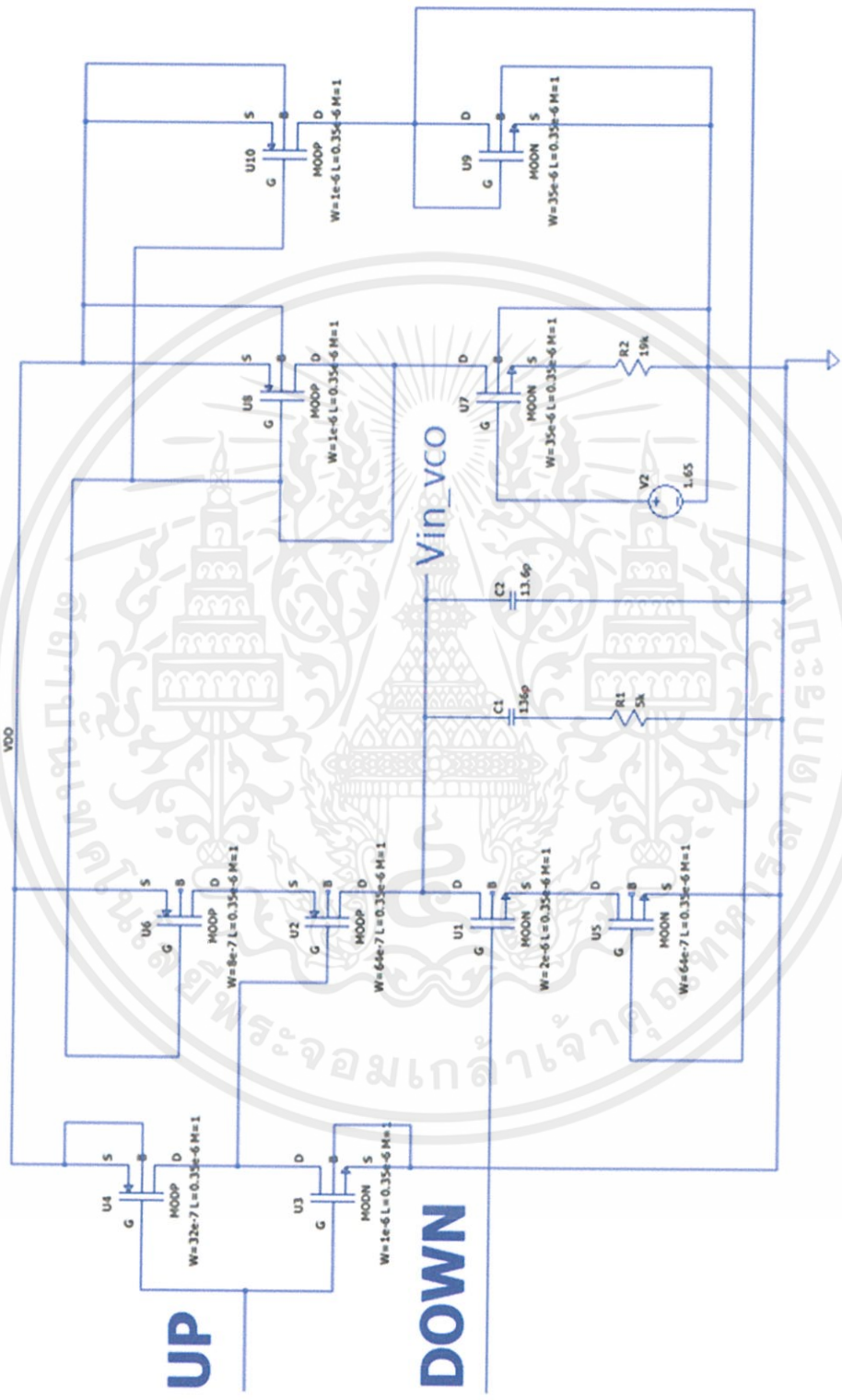
4.2.2 ป้อนด้วยสัญญาณ Pulse ความถี่ 40 MHz กับ Clock 80 MHz โดยให้ Data Input Lag จากภาพที่ 4.5 จะเห็นว่า CLK มาช้ากว่าจุดกึ่งกลางของข้อมูลวงจรจึงจำเป็นต้องเพิ่มความถี่โดยการให้ผลลัพธ์เป็น Up อย่างเดียวเพื่อให้ขอบขาขึ้นอยู่ตรงกึ่งกลางของข้อมูล



รูปที่ 4.5 ผลจำลองการทำงานของวงจร Alexander PD เมื่อ Clock Lag

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

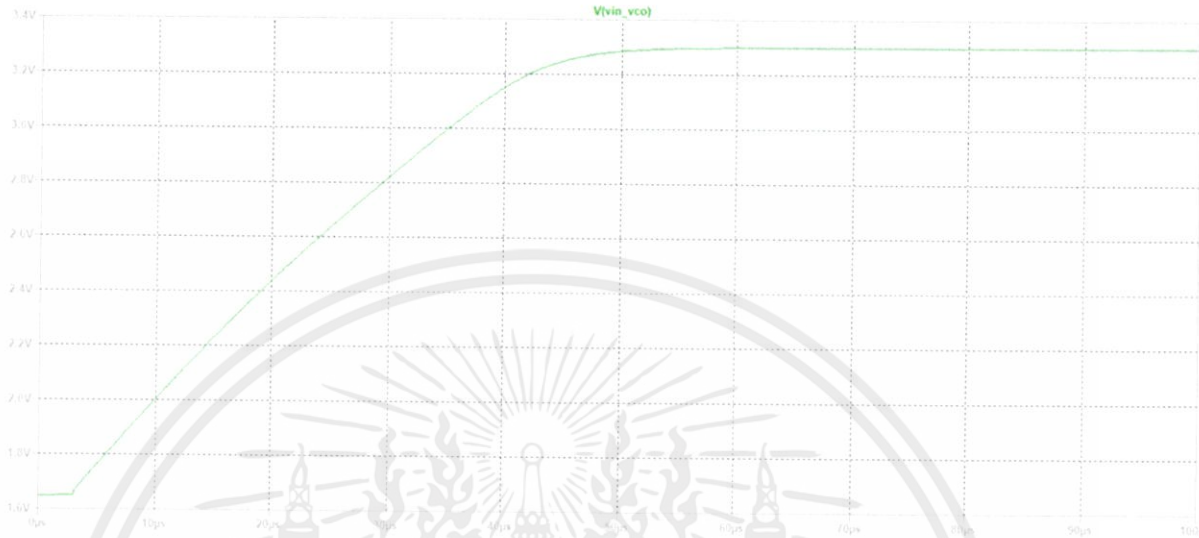
4.3 Charge pump และ Filter



รูปที่ 4.6 วงจร Charge Pump

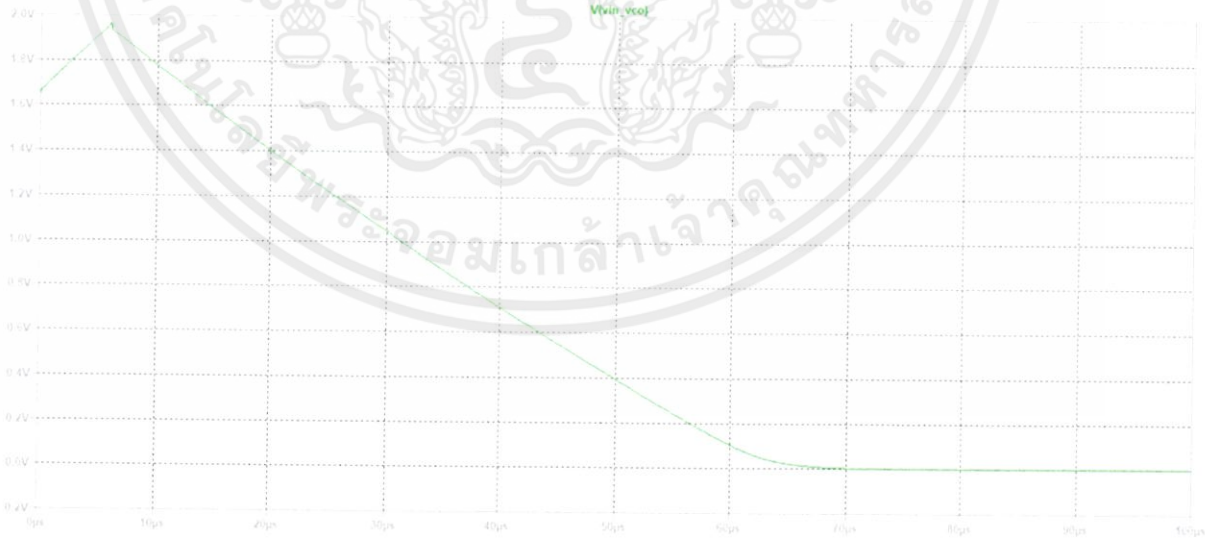
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.1 ป้อนค่าแรงดัน High เข้าที่ PMOS (Up) และ Low เข้าที่ NMOS (Down) แรงดัน Output ที่ Filter ได้ผลจำลองการทำงาน ดังภาพที่ 4.7



รูปที่ 4.7 ผลจำลองการทำงานของวงจร Charge Pump เมื่อป้อนค่าแรงดัน High เข้าที่ PMOS (Up) และ Low เข้าที่ NMOS (Down)

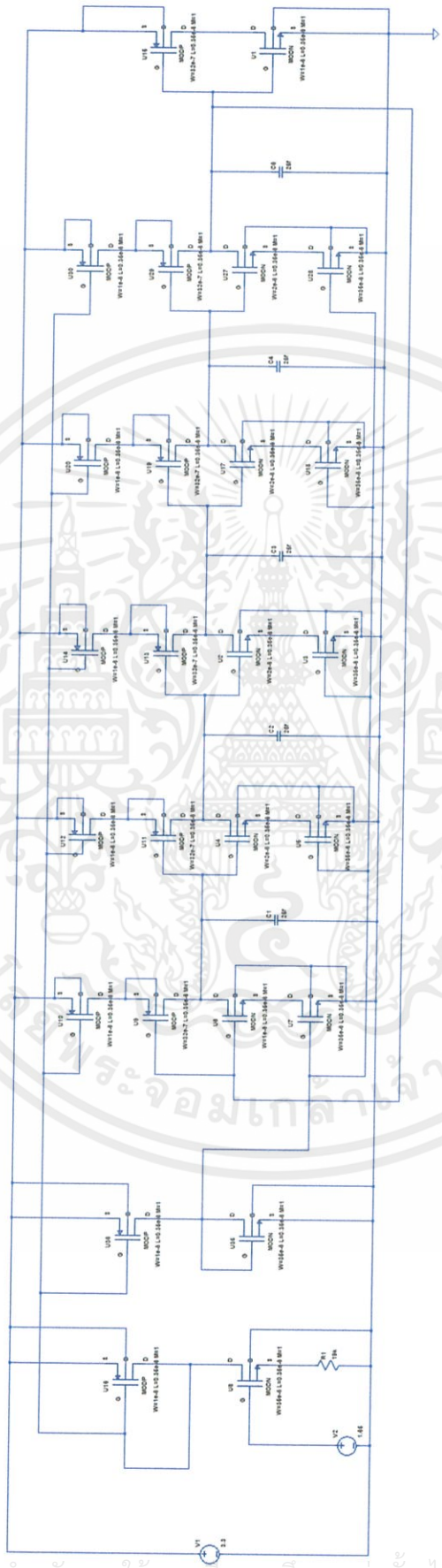
4.3.2 ป้อนค่าแรงดัน Low เข้าที่ PMOS (Up) และ High เข้าที่ NMOS (Down) แรงดัน Output ที่ Filter ได้ผลจำลองการทำงาน ดังภาพที่ 4.8



รูปที่ 4.8 ผลจำลองการทำงานของวงจร Charge Pump เมื่อป้อนค่าแรงดัน Low เข้าที่ PMOS (Up) และ High เข้าที่ (Down)

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

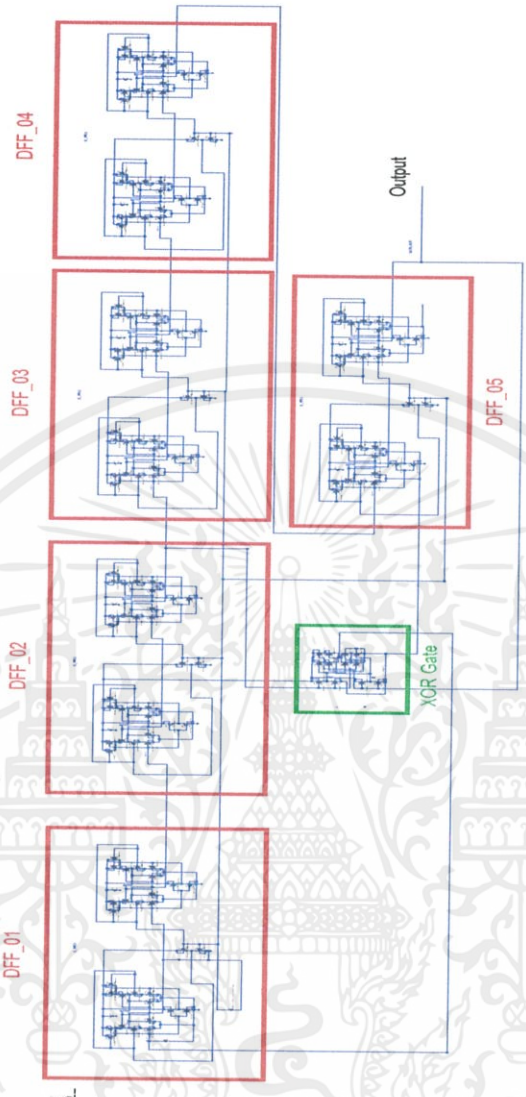
4.4 Current starved VCO



รูปที่ 4.9 Current starved VCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

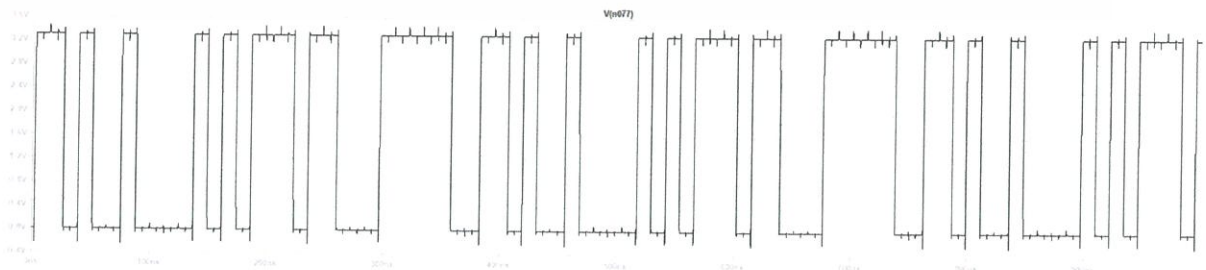
4.5 Pseudo random generator



รูปที่ 4.10 Pseudo random generator

4.5.1 Data Output ของ Pseudo Random ความถี่ Data 42.182MHz

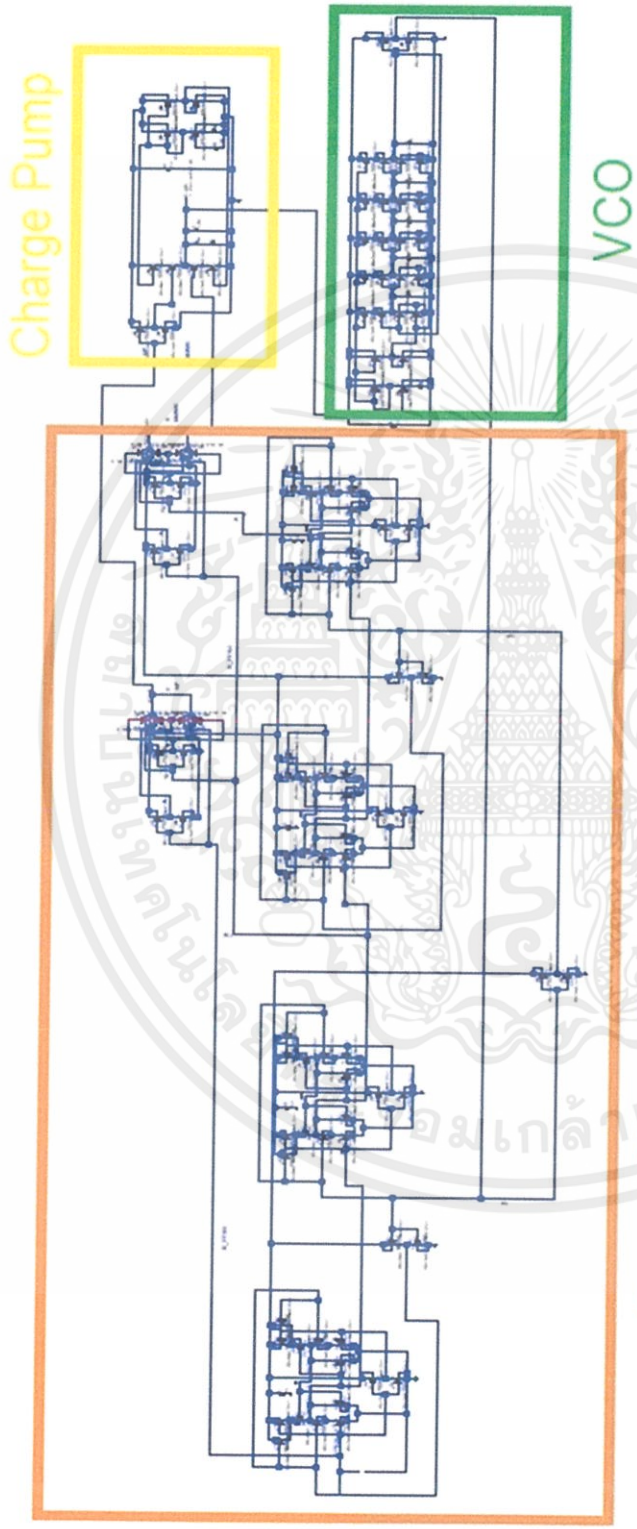
หลังจากทำการสุ่มสัญญาณก็ได้สัญญาณที่มีคาบไม่คงที่ ที่มีความถี่ของสัญญาณประมาณ 40MHz เพื่อนำไปใช้เป็นข้อมูลที่ใช้ในการเปรียบเทียบของวงจร CDR ดังภาพที่ 4.11



รูปที่ 4.11 Data Output ของ Pseudo Random ความถี่ Data 42.182MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

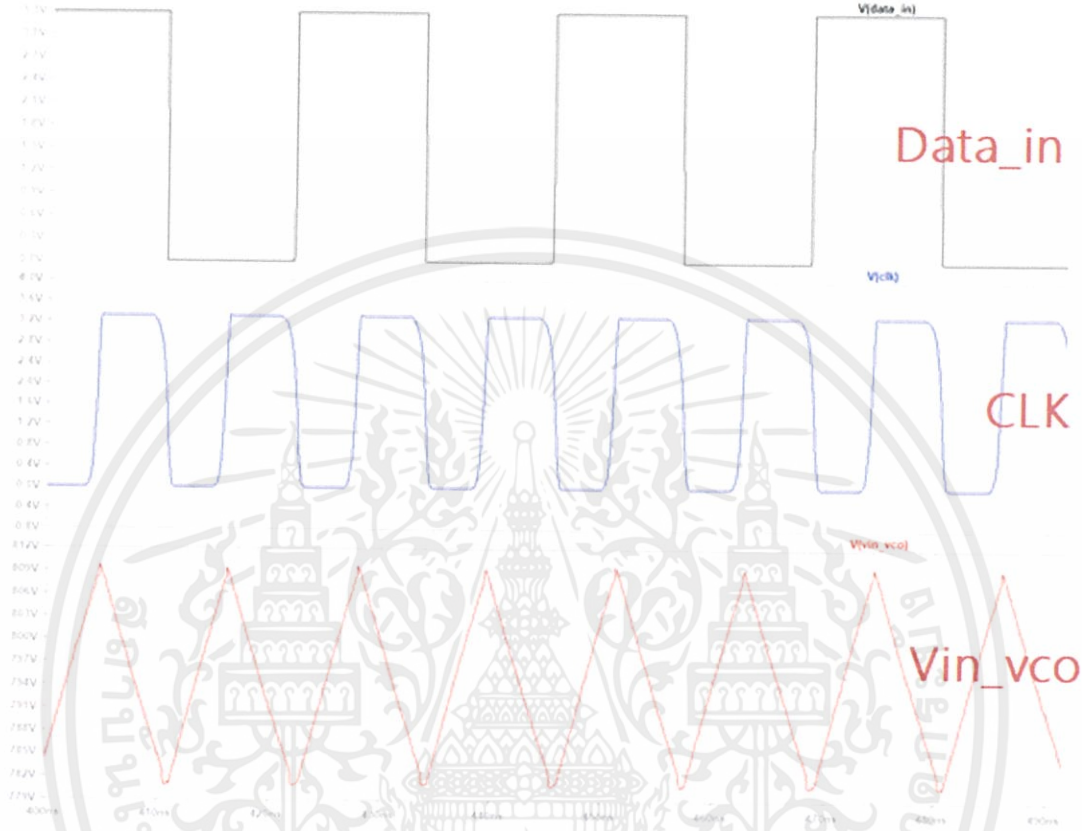
4.6 วงจรรวม Clock Recovery โดยใช้ Hogge Phase Detector โดยป้อน Data Input เป็น สัญญาณ Pulse ความถี่ 40 MHz



รูปที่ 4.12 วงจรรวม CDR โดยใช้ Hogge Phase Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

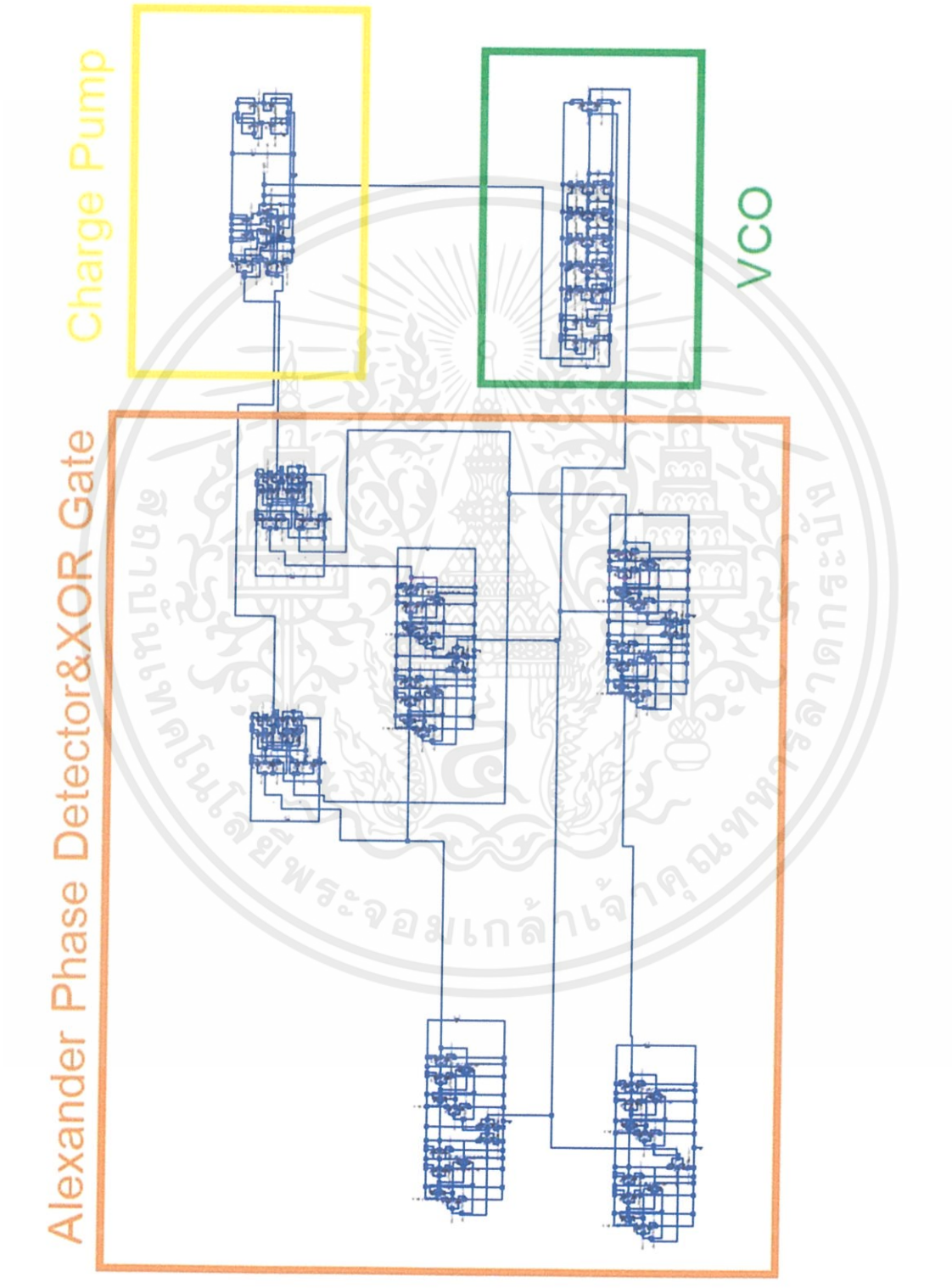
จากภาพที่ 4.13 จะเห็นว่าขอบขาขึ้นของ CLK อยู่ที่ตำแหน่งกึ่งกลางของข้อมูลจึงทำให้อยู่ในสภาวะล็อคจึงมีแรงดัน V_{in_vco} ที่กระเพื่อมเท่ากันเนื่องจากผลลัพธ์ Up และ Down มีค่าใกล้เคียงกัน



รูปที่ 4.13 ผลจำลองการทำงานของวงจรรวม CDR เมื่อใช้ Hogge PD

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

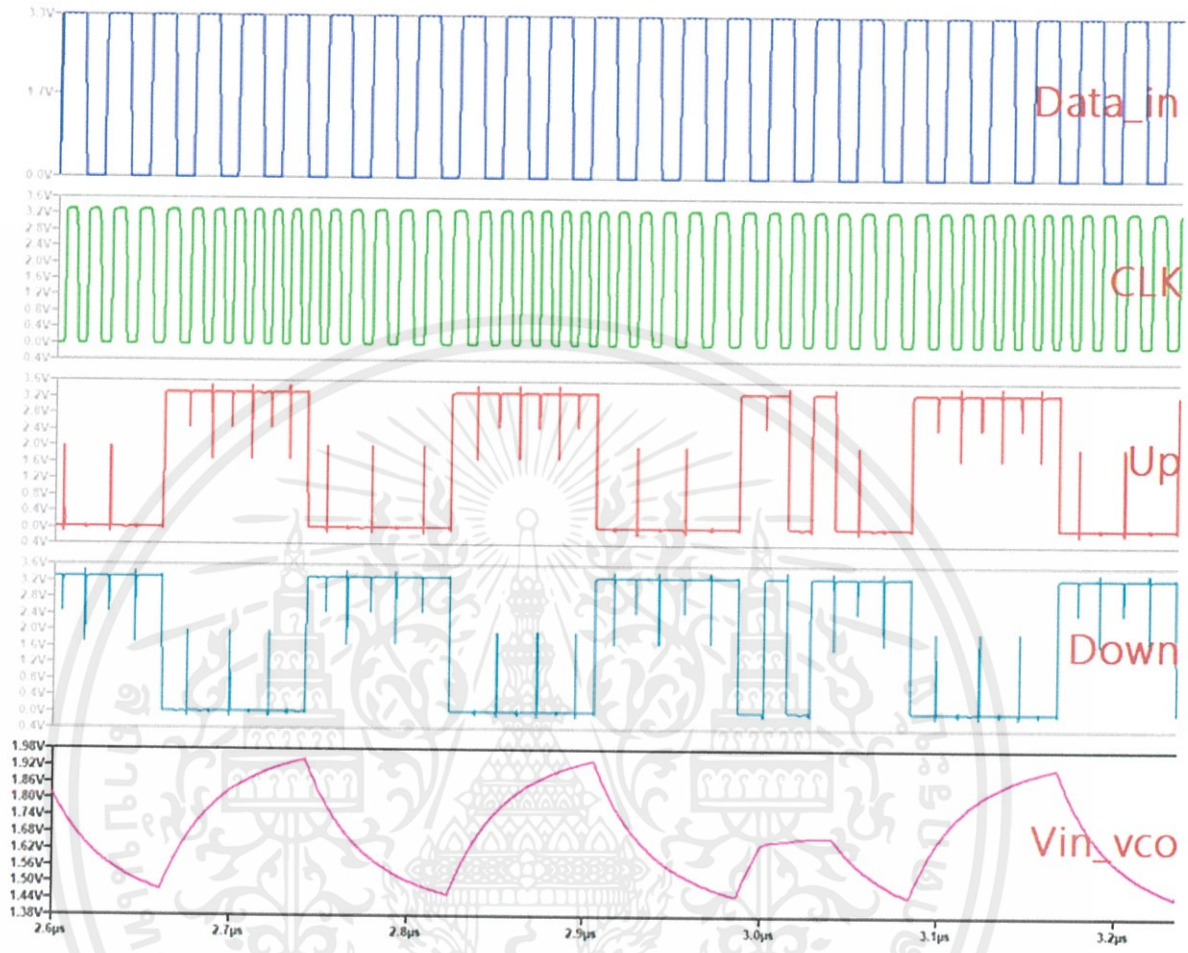
4.7 วงจรรวม Clock Recovery โดยใช้ Alexander phase detector โดยป้อน Data input เป็น สัญญาณ pulse ความถี่ 40 MHz



รูปที่ 4.14 CMOS วงจรรวม CDR โดยใช้ Alexander Phase Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากภาพที่ 4.15 จะเห็นว่าขอบขาขึ้นของ CLK อยู่ที่ตำแหน่งกึ่งกลางของข้อมูลจึงทำให้อยู่ในสภาวะล็อคจึงมีแรงดัน V_{in_vco} ที่เกิดจากผลลัพธ์ Up และ Down ที่มีค่าใกล้เคียงกัน



รูปที่ 4.15 ผลจำลองการทำงานของวงจรรวม CDR เมื่อใช้ Alexander PD

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.8) วงจรรวม Clock Recovery โดยใช้ Hogge phase detector โดยป้อน Data Input เป็นสัญญาณจากวงจร Pseudo Random ความถี่ประมาณ 40MHz

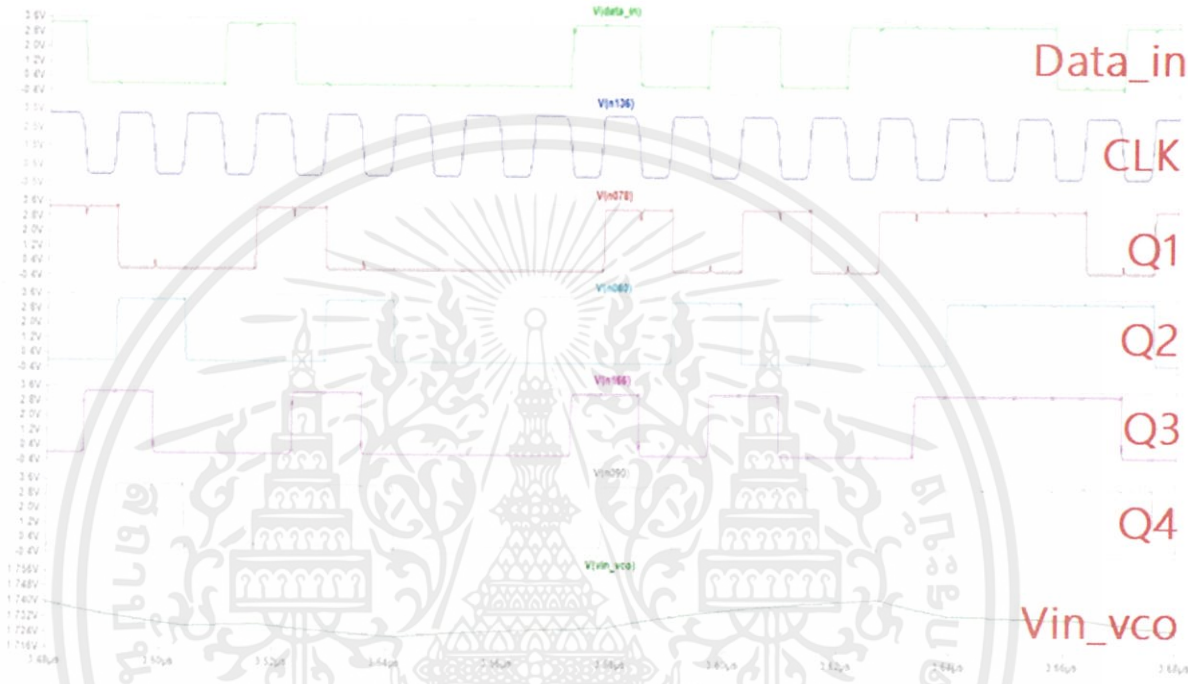
จากภาพที่ 4.16 จะเห็นว่าขอบขาขึ้นของ CLK อยู่ที่ตำแหน่งกึ่งกลางของข้อมูลจึงทำให้อยู่ในสภาวะล็อคจึงมีแรงดัน V_{in_vco} ที่กระเพื่อมเล็กน้อยและมีผลลัพธ์ Up และ Down ที่มีค่าใกล้เคียงกัน

รูปที่ 4.16 ผลจำลองการทำงานของวงจรรวม CDR เมื่อใช้ Hogge PD เมื่อใช้ Input จาก Pseudo Random

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.9) วงจรรวม Clock Recovery โดยใช้ Alexander Phase Detector โดยป้อน Data Input เป็น สัญญาณจากวงจร Pseudo Random ความถี่ประมาณ 40MHz

จากภาพที่ 4.17 จะเห็นว่าขอบขาขึ้นของ CLK อยู่ที่ตำแหน่งกึ่งกลางของข้อมูลจึงทำให้อยู่ในสภาวะล๊อคจึงมีแรงดัน V_{in_vco} ที่กระเพื่อมเล็กน้อยเนื่องจากมีผลลัพธ์ Up และ Down ที่มีค่าใกล้เคียงกัน



รูปที่ 4.17 ผลจำลองการทำงานของวงจรรวม CDR เมื่อใช้ Alexander PD เมื่อใช้ Input จาก Pseudo Random

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการจำลองการทำงานของวงจร Phase Locked Loop

จากการทดลองวงจร CDR โดยใช้ Phase Locked Loop จะใช้วงจรกำเนิดสัญญาณแบบสุ่ม (Pseudo Random) ในการออกแบบจะให้สุ่มสัญญาณออกมา 31 บิต โดยจะมีจำนวนบิตที่เป็น 1 16 บิตและบิตที่เป็น 0 15 บิตแล้วกำเนิดสัญญาณประเภท Pulse ที่มีความถี่ประมาณที่ 40MHz พบว่าวงจร CDR สามารถทำงานได้ที่สัญญาณข้อมูลที่มีความถี่เฉลี่ย 40MHz และมีคาบของสัญญาณที่ไม่แน่นอน สามารถกู้ข้อมูลแล้วสัญญาณนาฬิกาจากตัวข้อมูลได้ทั้ง Phase Detector แบบ Hogge และ Alexander โดยที่ตัวข้อ Alexander PD จะเข้าสู่สภาวะล็อคได้ไวกว่าเมื่อเทียบกับ Hogge CDR ที่ใช้ Hogge Phase Detector เมื่อป้อน Input ด้วยสัญญาณ Clock ที่ความถี่ 40 MHz ได้ Clock ที่ความถี่ 82.47 MHz และมี Rising Edge ที่กึ่งกลางข้อมูล ซึ่งเป็นสภาวะ Lock ของวงจร CDR สำหรับ CDR ที่ใช้ Alexander Phase Detector ทดลองที่ความถี่ 40 MHz ซึ่งเป็นความถี่ต่ำ Alexander Phase Detector ทำให้เกิด Jitter มากกว่า Hogge ส่วนของ Ring Oscillator วงจรมีความถี่กลาง 85.935 MHz ทำความถี่สูงสุด 113.519 MHz ที่ input voltage 3.3 v และ หยุด Oscillate ที่ Input Voltage ต่ำกว่า Vth (0.5v) และมี Kvco 76.813 MHz

วิจารณ์ผลการทดลอง

จากการทดลองเนื่องจากการทดลองเป็นการศึกษาการทำงานและการปรับค่าแบบ พื้นฐาน ดังวงจรที่สร้างในวงจรนี้ยังไม่ใช่วงจรทีมีประสิทธิภาพที่สูง และหลักการที่ใช้ในการออกแบบวงจรยังเป็นแบบพื้นฐาน เพื่อใช้ในการศึกษาหลับการทำงานของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

Baker, Jacob. **CMOS Circuit Design Layout and Simulation**. 3 rd ed. IEEE Press.

Sagar Waghela. **Phase Locked loop (PLL) – Based clock And data recovery Circuit (CDR) using Calibrated delay flip flop (DFF).** Master of Science, The Faculty of the Department of Electrical Engineering, San Jose State University.

Behzad, Razavi. **Dsign of Analog CMOS Integrated Circuits.** New York : Mc Graw Hill, 2001.

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้