วงจรรวมซีมอส ไบโอเซ็นเซอร์โดยเทคนิคอิมพีแดนซ์ สเปกโทรสโกปี เชิงไฟฟ้าเคมี

A CMOS Electrochemical Impedance Spectroscopy (EIS) Biosensor Array

รอม ขันเพ็ชร์

ROM KHANPETH

วิชรัตน์ นิมิตไตรสกุล

WICHARAT NIMITRISAKUL

เศรษฐกิจ อัศวเพชรกูล

SATTAKIT ASAVAPETCHKUL

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาตรบัณฑิต

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2561

วงจรรวมซีมอส ไบโอเซ็นเซอร์โดยเทคนิคอิมพีแดนซ์ สเปกโทรสโกปี เชิงไฟฟ้าเคมี

A CMOS Electrochemical Impedance Spectroscopy (EIS) Biosensor Array

โดย

รอม ขันเพ็ชร์

วิชรัตน์ นิมิตไตรสกุล

เศรษฐกิจ อัศวเพชรกูล

อาจารย์ที่ปรึกษา

ศ.ดร.อภินันท์ ธนชยานนท์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาตรบัณฑิต

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2561

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2561

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะ วิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง วงจรรวมซีมอส ไบโอเซ็นเซอร์โดยเทคนิคอิมพีแดนซ์ สเปกโทรสโกปี เชิงไฟฟ้าเคมี

A CMOS Electrochemical Impedance Spectroscopy (EIS) Biosensor Array

ผู้จัดทำ นาย รอม ขันเพ็ชร์ รหัสนักศึกษา 58011047

นาย วิชรัตน์ นิมิตไตรสกุล รหัสนักศึกษา 58011152

นาย เศรษฐกิจ อัศวเพชรกูล รหัสนักศึกษา 58011263

ปริญญานิพนธ์นี้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

(ศ.ดร.อภินันท์ ธนชยานนท์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อรายงาน	วงจรรวมซีมอส ไบโอเซ็นเซอร์โดยเทคนิคอิมพีแดนซ์ สเปกโทรสโกปีเชิงไฟฟ้าเคมี		
นักศึกษา	นาย รอม	ขันเพ็ชร์	รหัสนักศึกษา 58011047
	นาย วิชรัตน์	นิมิตไตรสกุล	รหัสนักศึกษา 58011152
	นาย เศรษฐกิจ	อัศวเพชรกูล	รหัสนักศึกษา 58011263
ภาควิชา	วิศวกรรมอิเล็กทรอนิกส์		
ปีการศึกษา	2561		
อาจารย์ที่ปรึกษา	ศ.ดร.อภินันท์	ธนชยานนท์	

บทคัดย่อ

ปริญญานิพนธ์นี้นำเสนอวิธีการออกแบบไบโอเซ็นเซอร์อาร์เรย์ ด้วยเทคโนโลยีวงจรรวมที่อาศัยหลักการ EIS (Electrochemical Impedance Spectroscopy) ซึ่งเป็นวิธีที่มีความแพร่หลายทางการแพทย์อย่างมาก โดยเทคโนโลยีที่นำมาใช้ในการตรวจพันธุกรรมโรคมะเร็ง จะเป็นการตรวจหา DNA ต้นแบบ ทั้งในรูปแบบ การตรวจหาความเปลี่ยนแปลงของยีนที่ได้รับถ่ายทอดมาแต่กำเนิด, การตรวจหาความเปลี่ยนแปลงของยีนในเซลล์มะเร็งเพื่อ โดยเทคโนโลยีวงจรรวมมี ขนาดเล็ก ต้นทุนถูก สะดวกและรวดเร็ว

วงจรรวมที่ออกแบบอาศัยหลักการ EIS (Electrochemical Impedance Spectroscopy) ในการตรวจพันธุกรรมโรคมะเร็งซึ่งประกอบไปด้วย 4 ส่วนคือ วงจรกำเนิดสัญญาณ ชุดทดสอบในการตรวจจับ DNA ต้นแบบ วงจรผสมสัญญาณและวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัล โดยในการทำงานส่วนแรกประกอบด้วย วงจรกำเนิดสัญญาณ ชุดทดสอบในการตรวจจับ DNA ต้นแบบ วงจรผสมสัญญาณ ใช้ในการวิเคราะห์การตอบสนองทางเฟส ส่วนที่สองคือวงจรแปลงสัญญาณอนาล็อกเป็นดิจิทัลใช้เพื่อเปลี่ยนสัญญาณการตอบสนองทางเฟสเป็นสัญญาณทางดิจิทัล

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Project Title	A CMOS Electrochemical Impedance Spectroscopy (EIS) Biosensor Array		
Student	Mr. Rom	Khanpeth	Student ID 58011047
	Mr. Wicharat	Nimitrisakul	Student ID 58011152
	Mr. Sattakit	Asavapetchkul	Student ID 58011263
Degree	Bachelor of Engineering		
Department	Electronic Engineering		
Year	2018		
Project Advisor	Professor Dr. Apinunt Thanachayanont		

ABSTRACT

Since the equipment is used as a specialized tool which has a large size, High cost and takes a long time to inspect results. Therefore, this thesis proposes a method for designing the bio sensor array by integrated circuit that relies on the EIS (Electrochemical Impedance Spectroscopy) principle, which is a highly prevalent medical method and have many advantages such as small size, low cost and uses short time in medical checkup.

The method in designing the integrated circuit relies on EIS principle in genetic examination of cancer consist of 4 parts that are Signal Generator, Biosensor Model, Mixer circuit and Analog to Digital Converter which used to analyze the phase response of signal and convert into digital.

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการจัดทำโครงงานเรื่องวงจรรวมซีมอสไบโอเซ็นเซอร์โดยเทคนิคอิมพีแดนซ์สเปกโทรสโกปีเชิงไฟฟ้าเคมี คณะผู้จัดทำขอขอบพระคุณท่านอาจารย์ที่ปรึกษา ศ.ดร.อภินันท์ ธนชยานนท์ ที่คอยชี้แนะให้ความรู้เกี่ยวกับเรื่องการออกแบบวงจร ให้คำแนะนำและช่วยแก้ไขปัญหาต่างๆ รวมถึงยังช่วยหาข้อมูลเอกสารต่างๆที่ใช้อ่านประกอบในการทำโครงงาน อีกทั้งคณาอาจารย์ทุกท่านที่เกี่ยวข้องในการให้ความรู้แก่คณะผู้จัดทำและนำความรู้นั้นมาประยุกต์ใช้ในโครงงาน

ขอขอบพระคุณบิดามารดาที่ช่วยเหลือในเรื่องค่าใช้จ่ายต่างๆ อีกทั้งยังคอยสนับสนุนและเป็นกำลังใจให้เสมอรวมทั้งรุ่นพี่และเพื่อนๆ วิศวกรรมอิเล็กทรอนิกส์ที่ให้โปรแกรมในการใช้งาน รวมถึงให้คำแนะนำดีๆ ทาให้คณะผู้จัดทำสามารถทำโครงงานนี้ให้สำเร็จลุล่วง

รอม ขันเพ็ชร์

วิชรัตน์ นิมิตไตรสกุล

เศรษฐกิจ อัศวเพชรกูล

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อ i

กิตติกรรมประกาศ iii

สารบัญ iv

สารบัญตาราง vi

สารบัญรูป vii

บทที่ 1 1

บทนำ 1

1.1ที่มาและความสำคัญของโครงงาน 1

1.2 ความมุ่งหมายและวัตถุประสงค์ 1

1.3 ขอบเขตของโครงงาน 2

1.4 ขั้นตอนการดำเนินงาน 2

1.5 ประโยชน์และผลที่คาดว่าจะได้รับ 2

บทที่2 3

หลักการและทฤษฎีที่เกี่ยวข้อง 3

2.1 Electrochemical Impedance Spectroscopy (EIS) 3

2.2 ไบโอเซนเซอร์ (Biosensor) 3

2.3 วงจรขยายผลต่าง (Differential Amplifier Circuit) 5

2.4.วงจรสะท้อนกระแสคลาส AB (Class AB Current Mirror) 6

2.5 การ Mix สัญญาณที่ต้องการ 9

2.6 เฟสล็อกลูป 10

2.7 Dual-Slope ADC 177

บทที่3 199

วิธีการดำเนินงาน 199

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 บล็อกไดอะแกรม 19
3.2 คุณสมบัติวงจรที่ใช้งาน 19
3.3 ขั้นตอนการออกแบบ 19
บทที่4 36
ผลของการทดลองที่ออกแบบ 36
4.1 Biosensor Model 36
4.2 Current Amplifier Class AB 37
4.3 Fully Differential Folded Cascode Amplifier 45
4.4 Differential Current Mode Passive Mixers 48
4.5 Phase Lock Loop 52
4.6 Dual-Slope ADC 61
บทที่5 67
สรุปผลการทดลองที่ออกแบบ ปัญหา และข้อเสนอแนะ 67
5.1 สรุปผลการทดลอง 67
5.2 ปัญหา 67
5.3 ข้อเสนอแนะ 67
บรรณานุกรม 68

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า

ตารางที่1 ค่า parameter ของวงจร Current Amplifier Class AB.....21
ตารางที่2 ค่า parameter ของวงจร Differential Current Mode Passive Mixers.....24
ตารางที่3 ค่า parameter ของวงจร Fully Differential Folded Cascode Amplifier.....26
ตารางที่4 ค่า parameter ของ Charge Pump และ Loop Filter.....29
ตารางที่5 ค่า parameter ของ VCO..... 30
ตารางที่6 ค่า parameter ของ Comparator.....33
ตารางที่7 ค่า parameter ของ parameter ของ High Speed Latch Comparator.....34

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

รูปที่ 2.1 Block Diagram ของ Electrochemical Impedance Spectroscopy (EIS).....3
รูปที่ 2.2 แผนภาพการทำงานของไบโอเซนเซอร์.....4
รูปที่ 2.3 Biosensor Impedance Spectroscopy.....4
รูปที่ 2.4 วงจรขยายผลต่าง.....5
รูปที่ 2.5 วงจรสะท้อนกระแสคลาส AB.....6
รูปที่ 2.6 แสดงวงจรขยายคลาส AB แบบทรานส์ลิเนียร์ลูป.....7
รูปที่ 2.7 วงจร Flip Voltage Follower ใช้ NMOS.....8
รูปที่ 2.8 แสดงหลักการมิกซ์สัญญาณแยกสัญญาณจริงและจินตภาพ.....9
รูปที่ 2.9 แผนภาพ PLL.....10
รูปที่ 2.10 แผนผังของระบบ PLL เบื้องตน.....11
รูปที่ 2.11 การตอบสนองสัญญาณทรานเซียนสของ PLL.....12
รูปที่ 2.12 วงจรสังเคราะห์ความถี่ โดยใช้ระบบ PLL.....12
รูปที่ 2.13 Phase Frequency Detector.....13
รูปที่ 2.14 แสดง Timing Diagram ของ PFD.....13
รูปที่ 2.15 Charge Pump and Loop Filter circuit.....14
รูปที่ 2.16 Ring Oscillator.....14
รูปที่ 2.17 Current starved Ring Oscillator.....15
รูปที่ 2.18 Programmable Counter.....16
รูปที่ 2.19 การทำงาน Simple Dual Slope A/D Converter เมื่อ SW1 ที่ตำแหน่ง Vin.....17
รูปที่ 2.20 กราฟแสดงความสัมพันธ์ ขั้นตอนการทำงานของ Dual Slope Converter.....17
รูปที่ 3.1 แสดงบล็อกไดอะแกรมของไบโอเซ็นเซอร์.....19
รูปที่ 3.2 Biosensor Model.....20
รูปที่ 3.3 (ก.) CMOS Class AB Current Mirror (ข.) Flip Voltage Follower.....20
รูปที่ 3.4 CMOS Class AB Current Mirror.....21
รูปที่ 3.5 Fully Differential Current-Mode Passive Mixers.....24
รูปที่ 3.6 Fully Differential Folded Cascode Amplifier..... 25
รูปที่ 3.7 Block Diagram ของ Phase Lock Loop 27

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

รูปที่ 3.8 Phase Frequency Detector 27

รูปที่ 3.9 Charge pump..... 28

รูปที่ 3.10 Charge pump and Loop Filter..... 29

รูปที่ 3.11 Ring Oscillator..... 30

รูปที่ 3.12 การเชื่อมต่อส่วนชุดไบอัสและสเตรทของ Ring Oscillator..... 30

รูปที่ 3.13 Programmable Counter..... 31

รูปที่ 3.14 Block Diagram Dual-Slope ADC..... 32

รูปที่ 3.15 Control Logic 32

รูปที่ 3.16 Comparator..... 33

รูปที่ 3.17 High Speed Latch Comparator..... 34

รูปที่ 3.18 Counter and Register..... 35

รูปที่ 4.1 Biosensor Model..... 36

รูปที่ 4.2 กราฟตอบสนองความถี่แสดงค่าอิมพีแดนซ์แยกเป็นส่วนจริงและส่วนจินตภาพ..... 36

รูปที่ 4.3 Current Amplifier Class AB..... 37

รูปที่ 4.4 แสดงผลเอาต์พุต DC Sweep ของวงจร Current Amplifier Class AB..... 37

รูปที่ 4.5 แสดงผลเอาต์พุตเมื่อจำลองทางเวลาที่อินพุต 400nA 38

รูปที่ 4.6 แสดงผลเอาต์พุตเมื่อจำลองทางเวลาที่อินพุตตั้งแต่ 1nA-400nA..... 38

รูปที่ 4.7 แสดงอัตราขยายและเฟสที่เอาต์พุตฝั่งบวก..... 39

รูปที่ 4.8 แสดงผลการจำลองสัญญาณรบกวนฝั่งอินพุต..... 39

รูปที่ 4.9 ผลการจำลองค่าสัญญาณรบกวนรวมที่ฝั่งอินพุตของวงจร..... 40

รูปที่ 4.10 วงจร Flipped Voltage Follower แบบใช้ PMOS..... 40

รูปที่ 4.11 แสดงอัตราขยายและเฟสของวงจร Flipped Voltage Follower แบบใช้ PMOS..... 41

รูปที่ 4.12 แสดงความสัมพันธ์ระหว่างเอาต์พุตต่ออินพุตเมื่อมีการเปลี่ยนค่ากระแส Ib4..... 41

รูปที่ 4.13 แสดงผลเอาต์พุตเมื่อเปลี่ยนค่าไฟตรงที่อินพุต ของวงจร Flipped Voltage Follower แบบใช้ PMOS..... 42

รูปที่ 4.14 แสดงผลการจำลองทางเวลาของเอาต์พุตเทียบอินพุต ของวงจร Flipped Voltage Follower แบบใช้ PMOS..... 42

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

รูปที่ 4.15 วงจร Flipped Voltage Follower แบบใช้ NMOS....43

รูปที่ 4.16 แสดงผลเอาต์พุตเมื่อเปลี่ยนค่าไฟตรงที่อินพุต ของวงจร Flipped Voltage Follower แบบใช้ NMOS 43

รูปที่ 4.17 แสดงความสัมพันธ์ระหว่างเอาต์พุตต่ออินพุตเมื่อมีการเปลี่ยนค่ากระแส Ib6....44

รูปที่ 4.18 แสดงอัตราขยายและเฟสของวงจร Flipped Voltage Follower แบบใช้ NMOS....44

รูปที่ 4.19 แสดงผลการจำลองทางเวลาของเอาต์พุตเทียบอินพุต ของวงจร Flipped Voltage Follower แบบใช้ NMOS 45

รูปที่ 4.20 วงจร Fully Differential Folded Cascode Amplifier....45

รูปที่ 4.21 ผลการจำลองแบบทางเวลาของสัญญาณเอาต์พุตบวกและสัญญาณเอาต์พุตลบ.... 46

รูปที่ 4.22 ผลการจำลองทางเวลาระหว่างสัญญาณเอาต์พุตลบและสัญญาณอินพุตบวก (ก)....46

รูปที่ 4.23 เป็นการจำลองผลแบบ AC Analysis....47

ระหว่างอัตราขยายและเฟสที่ Vo- และ Vin+ อัตราขยาย 65 dB และความถี่คัทออฟที่ 5 kHz

รูปที่ 4.24 ผลการจำลองสัญญาณรบกวนที่อินพุต.... 47

รูปที่ 4.25 ผลการจำลองค่าสัญญาณรบกวนรวมทางฝั่งอินพุตของวงจร....48

รูปที่ 4.26 Differential Current Mode Passive Mixers.... 48

รูปที่ 4.27 ผลการจำลองทางเวลาของสัญญาณเอาต์พุตบวกและสัญญาณเอาต์พุตลบ....49

รูปที่ 4.28 วงจรรวมทั้งหมดที่ออกแบบ....49

รูปที่ 4.29 แสดงผลเอาต์พุตและอินพุตเมื่อจำลองทางเวลาของของไบโอเซ็นเซอร์....50

รูปที่ 4.30 แสดงผลเอาต์พุตเมื่อจำลองทางเวลาของ Current Amplifier Class AB.... 50

รูปที่ 4.31 แสดงผลเอาต์พุตเมื่อจำลองทางเวลาที่ Vout+ และ Vout- 51

รูปที่ 4.32 ผลการจำลองวงจรโดยการเปลี่ยนเฟส.... 51

รูปที่ 4.33 Block diagram ของ PLL.... 52

รูปที่ 4.34 วงจร Phase Frequency Detector....52

รูปที่ 4.35 กราฟแสดงผลทางเวลา ของสัญญาณ UP ,DOWN, REF และ DIV 53

รูปที่ 4.36 Ring Oscillator....53

รูปที่ 4.37 การเชื่อมต่อส่วนชุดไบอัสและสเตรทของ Ring Oscillator.... 54

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

รูปที่ 4.38 แสดงความเป็นเชิงเส้นของวงจร PLL....54

รูปที่ 4.39 Programmable Counter....55

รูปที่ 4.40 การแสดงผลทางเวลาที่เอาท์พุตเมื่อหารด้วย 2 (ก)....55

รูปที่ 4.40 การแสดงผลทางเวลาที่เอาท์พุตเมื่อหารด้วย 2 (ข)....56

รูปที่ 4.41 การแสดงผลทางเวลาที่เอาท์พุตเมื่อหารด้วย 4 (ก)....56

รูปที่ 4.41 การแสดงผลทางเวลาที่เอาท์พุตเมื่อหารด้วย 4 (ข)....57

รูปที่ 4.42 การแสดงผลทางเวลาที่เอาท์พุตเมื่อหารด้วย 8 (ก)....57

รูปที่ 4.42 การแสดงผลทางเวลาที่เอาท์พุตเมื่อหารด้วย 8 (ข)....58

รูปที่ 4.43 การแสดงผลทางเวลาที่เอาท์พุตเมื่อหารด้วย 16 (ก)....58

รูปที่ 4.43 การแสดงผลทางเวลาที่เอาท์พุตเมื่อหารด้วย 16 (ข)....59

รูปที่ 4.44 การแสดงผลทางเวลาที่เอาท์พุตเมื่อหารด้วย 100 (ก)....59

รูปที่ 4.44 การแสดงผลทางเวลาที่เอาท์พุตเมื่อหารด้วย 100 (ข)....60

รูปที่ 4.45 การแสดงผลทางเวลาที่เอาท์พุต 100 Hz (ก)....60

รูปที่ 4.45 การแสดงผลทางเวลาที่เอาท์พุต 100 Hz (ข)....61

รูปที่ 4.46 Dual-Slope ADC....61

รูปที่ 4.47 Control Logic....62

รูปที่ 4.48 ผลการ simulation วงจร Dual-Slope ADC....62

รูปที่ 4.49 เอาต์พุตของ Comparator....63

รูปที่ 4.50 กราฟระหว่างสัญญาณอนาล็อกอินพุต (Vin) และ ดิจิทัลเอาต์พุต....63

รูปที่ 4.51 แสดงบล็อกไดอะแกรมของวงจรที่ออกแบบ....64

รูปที่ 4.52 แสดงผลเอาต์พุตเมื่อจำลองทางเวลาที่ Vout+ และ Vout- ของ Mixer....64

รูปที่ 4.53 ช่วงเวลาในการนับของ Control Logic ที่ Vout-....65

รูปที่ 4.54 สัญญาณดิจิทัลเอาต์พุตที่ ADC แสดงลอจิกต์ B0-B3 ที่ Vout-....65

รูปที่ 4.55 สัญญาณดิจิทัลเอาต์พุตที่ ADC แสดงลอจิกต์ B4-B9 ที่ Vout-....65

รูปที่ 4.56 ช่วงเวลาในการนับของ Control Logic ที่ Vout+....66

รูปที่ 4.57 สัญญาณดิจิทัลเอาต์พุตที่ ADC แสดงลอจิกต์ B0-B3 ที่ Vout+....66

รูปที่ 4.58 สัญญาณดิจิทัลเอาต์พุตที่ ADC แสดงลอจิกต์ B4-B9 ที่ Vout+....66

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1ที่มาและความสำคัญของโครงงาน

ในปัจจุบันมีผู้ป่วยที่เข้าใช้บริการในการรักษา หรือตรวจความสุขภาพมากขึ้นอาจเนื่องมาจากสภาพแวดล้อมหรือโรคภัยต่างๆที่มีการเปลี่ยนแปลงอยู่ตลอดเวลา ทำให้แพทย์ นักเทคนิคการแพทย์ พยาบาลหรือทุกสาขาวิชาชีพที่เกี่ยวข้องต่างได้รับภาระหน้าที่มากขึ้น ต้องดูแลคนไข้ที่มากขึ้นไปด้วย ซึ่งในการรักษาจะต้องมีการวินิจฉัยโรคผ่านทางแพทย์ และมีนักเทคนิคการแพทย์คอยช่วยในการตรวจสอบผลจากห้องทดลองและส่งให้แพทย์พิจารณา ซึ่งในห้องทดลองของแต่ละโรงพยาบาลก็จะมีอุปกรณ์เครื่องมือในการใช้งานในทดลองที่มีราคาสูง ชิ้นใหญ่เช่นเครื่องตรวจองค์ประกอบต่างๆเลือดเป็นเครื่องที่ค่อนข้างขนาดใหญ่แล้วใช้พื้นที่เป็นบริเวณกว้าง ไม่สะดวกต่อการใช้งานในโรงพยาบาลที่มีงบประมาณจำกัดเพราะตัวเครื่องมีราคาสูง ทำให้คณะผู้จัดทำมีความสนใจที่จะพัฒนาเครื่องมือทางการแพทย์ให้มีความกระทัดรัด สะดวกต่อการใช้งาน เพื่อช่วยแก้ปัญหาในที่นี้

นอกจากนั้นในปัจจุบันอุตสาหกรรมผลิตวงจรรวม ซึ่งเป็นอุตสาหกรรมขนาดใหญ่ที่สร้างผลกำไรให้ประเทศมหาศาล ซึ่งภายในประเทศจะมีในส่วนของ packaging เป็นส่วนใหญ่ แต่ในส่วนของอุตสาหกรรมต้นน้ำอย่างการออกแบบวงจรรวมยังเป็นที่ขาดแคลน ทำให้คณะผู้จัดทำมีความสนใจในการออกแบบพัฒนาเทคโนโลยีวงจรรวม เพื่อฝึกฝนและและมีความคาดหวังจะเป็นส่วนหนึ่งในการก้าวเข้าสู่อุตสาหกรรมต้นน้ำในอนาคต

ทั้งสองสาเหตุนี้เป็นเหตุผลที่ทำให้ทางคณะผู้จัดทำสนใจในการออกแบบเกี่ยวกับวงจรรวมทางด้าน health care ซึ่งเรื่องที่สนใจเกี่ยวกับการออกแบบไบโอเซ็นเซอร์ที่สามารถระบุและตรวจจับโมเลกุลต่างๆหรือสารชีวเคมีด้วยเทคโนโลยีที่เรียกว่า EIS (Electrochemical Impedance Spectroscopy) ซึ่งเป็นเทคโนโลยีที่มีความแพร่หลายทางการแพทย์อย่างมาก มีผลช่วยให้การวินิจฉัยของแพทย์มีความแม่นยำมากขึ้น ง่ายต่อการใช้งานใช้หลักการของค่าของอิมพีแดนซ์ที่เปลี่ยนแปลงไปเนื่องจากการมาจับตัวของโมเลกุลหรือสารต่างๆ เข้ากับอิเล็กโทรด

1.2 ความมุ่งหมายและวัตถุประสงค์

1.2.1 เพื่อศึกษาการทำงานของ Electrochemical Impedance Spectroscopy (EIS)

1.2.2 เพื่อให้เข้าใจการทำงาน ของแต่ละส่วนได้แก่ PLL, Gilbert Mixer, Current Amplifier Class AB, Fully Differential Folded-Cascode Amplifier, ADC

1.2.3 เพื่อเรียนรู้และเข้าใจถึงปัญหาที่พบจากการทำชิ้นงานจริง ตลอดจนการหาวิธีการ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แก้ไขและการป้องกันปัญหานั้นๆ

1.2.4 สามารถออกแบบวงจรรวม

1.3 ขอบเขตของโครงงาน

ออกแบบการทำงานของไบโอเซ็นเซอร์ ในส่วนของ front end ซึ่งประกอบไปด้วย Class AB Amplifier ,Mixer , Fully differential folded cascode ส่วนผลิตสัญญาณ PLL และ ADC

1.4 ขั้นตอนการดำเนินงาน

1.4.1 ศึกษาเกี่ยวกับ Electrochemical Impedance Spectroscopy (EIS)

1.4.2 ศึกษาลักษณะการทำงานของ Gilbert Mixer, Current Amplifier Class AB, Fully Differential Folded-Cascode Amplifier ,PLL และ ADC

1.4.3 ศึกษาการทำงานของ PLL และ ADC

1.4.4 กำหนดคุณสมบัติพื้นฐานของวงจร

1.4.5 ออกแบบและทดสอบวงจรด้วยโปรแกรม Cadence และ LTspice

1.5 ประโยชน์และผลที่คาดว่าจะได้รับ

1.5.1 มีความรู้ความเข้าใจในการออกแบบวงจรรวมมากขึ้น

1.5.2 ได้รับความรู้ความเข้าใจในการใช้โปรแกรม cadence

1.5.3 มีทักษะในการทำงานร่วมกับผู้อื่นมากขึ้น

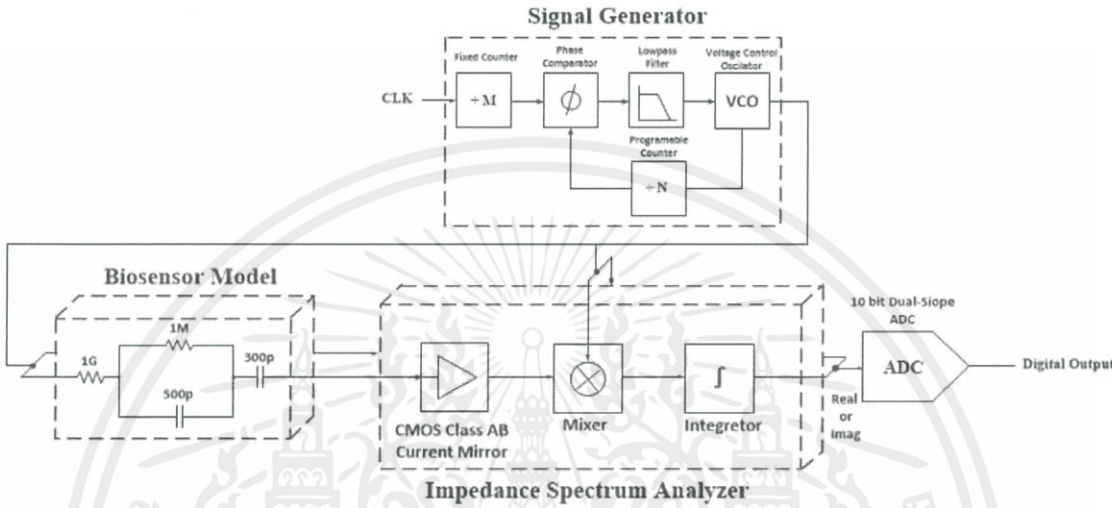
1.5.4 ฝึกฝนการเรียนรู้ด้วยตัวเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่2

หลักการและทฤษฎีที่เกี่ยวข้อง

2.1 Electrochemical Impedance Spectroscopy (EIS)



รูปที่ 2.1 Block Diagram ของ Electrochemical Impedance Spectroscopy (EIS)

การทำงานของไบโอเซ็นเซอร์โดยอาศัยหลักการ Electrochemical Impedance Spectroscopy (EIS) คือการตรวจจับสารทางชีวะโมกุลต่างๆ เช่น ตรวจจับโปรตีน หรือ สารจำพวก DNA เป็นต้น ซึ่งเป็นเทคนิคที่ใช้หลักการตรวจจับสารชีวะโมเลกุลเมื่อกระแสรีดอกซ์ ที่ผ่านไบโอเซ็นเซอร์เปลี่ยนไป ซึ่งบ่งบอกถึงค่าอิมพีแดนซ์ที่เปลี่ยนไป ทำให้สามารถตรวจจับ แล้วนำสัญญาณทางไฟฟ้าที่ได้ มาเข้ากระบวนการในการขยายสัญญาณ ผสมสัญญาณ หรือการแปลงค่าอิมพีแดนซ์ที่ได้ เก็บไว้ในรูปแบบข้อมูลทางดิจิตอลเพื่อนำไปใช้งานต่อไป

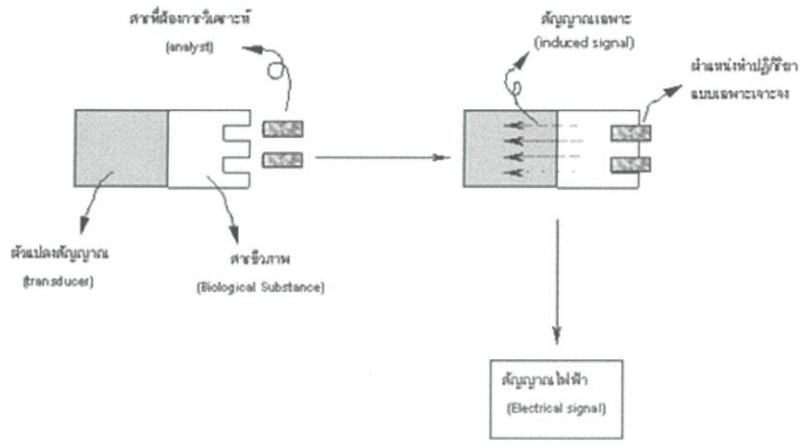
2.2 ไบโอเซนเซอร์ (Biosensor)

ไบโอเซนเซอร์ (Biosensor) คืออุปกรณ์ตรวจวัดทางชีวภาพเป็นอุปกรณ์ที่นักวิทยาศาสตร์พัฒนาขึ้นเพื่อตรวจวิเคราะห์สารตัวอย่างได้อย่างเฉพาะเจาะจงและใช้ตรวจวิเคราะห์สารต่างๆ ได้หลากหลายชนิดโดยรวมแล้ว ประกอบด้วยอุปกรณ์ 2 ส่วนคือ ตัวแปลงสัญญาณ และ สารชีวภาพ

1. ตัวแปลงสัญญาณ (Transducer) เป็นอุปกรณ์สำหรับแปลงสัญญาณเฉพาะต่างๆ เช่น อิเล็กตรอน แสงเป็นสัญญาณไฟฟ้าเพื่อเป็นดัชนีระบุถึงปริมาณสารที่ต้องการวิเคราะห์

2. สารชีวภาพ (Biological Substance) เป็นสารที่มีความสามารถทำปฏิกิริยากับสารที่ต้องการวิเคราะห์อย่างจำเพาะเจาะจง

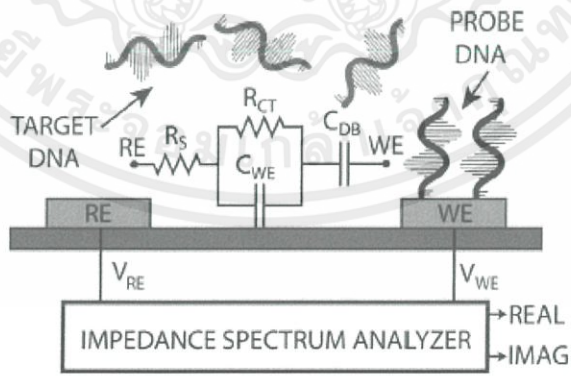
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 แผนภาพการทำงานของไบโอเซนเซอร์

2.2.1ไบโอเซนเซอร์อิมพีแดนซ์สเปกโตรสโกปี Biosensor Impedance Spectroscopy

จากรูปเป็นเซลล์ทางไฟฟ้าเคมีในการตรวจจับแบบแอมเพอโรเมตริก ประกอบด้วย Working Electrode (WE) และ Reference Electrode (RE) โดยทรานสดิวเซอร์จะจับ Working Electrode ที่ค่าความต่างศักย์ V_{we} ซึ่งมีกระแสรีดอกซ์ไหลผ่านจึงทำให้เกิดความต่างศักย์ระหว่าง 2 ขั้ว ในส่วนของ Reference Electrode (RE) จะถูกให้แรงดันคงที่สำหรับ Constant-Potential Amperometry และ แรงดัน Bidirectional Ramp สำหรับ Cyclic Voltammetry หรือป้อนสัญญาณซายน์ขนาดเล็กสำหรับอิมพีแดนซ์ สเปกโตรสโกปี



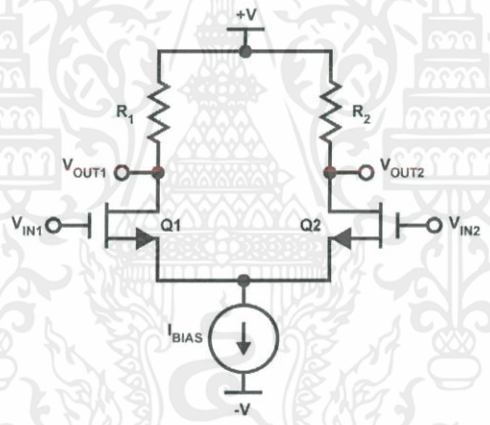
รูปที่ 2.3 Biosensor Impedance Spectroscopy

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการตรวจจับ DNA ผิวของ Working Electrode ทำงานร่วมกับ DNA ในการตรวจจับ DNA เป้าหมายทำให้คุณสมบัติที่ผิวของ Working Electrode เปลี่ยนแปลงไปเช่น อิมพีแดนซ์ หรือ ประจุบนผิว เป็นต้น ซึ่งจะทำให้รูปคลื่นของกระแสรีดอกซ์เปลี่ยนไปด้วยโดยจากการทดลอง ได้ทำการจ่ายแรงดันขาเข้าให้กับโมเดลเซ็นเซอร์เพื่อให้เกิดการเปลี่ยนแปลงทางด้านขนาดและเฟสของสัญญาณ

2.3 วงจรขยายผลต่าง (Differential Amplifier Circuit)

วงจรขยายผลต่าง (Differential Amplifier Circuit) เป็นหนึ่งในวงจรอเนกประสงค์ที่ใช้ในการออกแบบวงจรอนาล็อกซึ่งใช้กันอย่างแพร่หลายในอุตสาหกรรมอิเล็กทรอนิกส์วงจรขยายผลต่างใช้เพื่อขยายสัญญาณอนาล็อกหรือดิจิตอลและสามารถใช้ในการใช้งานต่างๆ เพื่อให้ได้เอาต์พุตจากวงจรขยายที่มีการตอบสนองสัญญาณอินพุทที่แตกต่างกันนอกจากนี้ยังสามารถใช้งานได้กับเทคโนโลยีวงจรรวมและทำหน้าที่เป็นส่วนอินพุทของวงจรขยาย นอกจากนี้ยังสามารถปรับเปลี่ยนการใช้งานได้ เช่น ออปแอมป์, วงจรเปรียบเทียบแรงดัน เป็นต้น

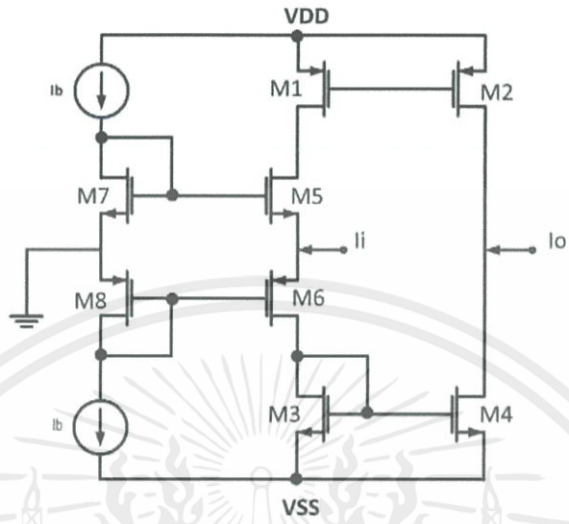


รูปที่ 2.4 วงจรขยายผลต่าง

วงจรขยายผลต่างเป็นวงจรที่ใช้สำหรับขยายสัญญาณผลต่างของแรงดันอินพุตที่ป้อน วงจรขยายดิฟเฟอเรนเชียลจะใช้ทรานซิสเตอร์ทำหน้าที่ขยายผลต่างของสัญญาณ หลักการของวงจรดิฟเฟอเรนเชียลจะมีอินพุต 2 อินพุตแยกจากกันและมี 2 เอาต์พุตโดยส่วนมากวงจรดิฟเฟอเรนเชียลจะใช้แหล่งจ่ายแรงดัน 2 แหล่งจ่ายคือแรงดันบวกและแรงดันลบวงจรแสดงดังรูปที่ 2.4

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.วงจรสะท้อนกระแสคลาส AB (Class AB Current Mirror)



รูปที่ 2.5 วงจรสะท้อนกระแสคลาส AB

วงจรสะท้อนกระแสคลาส AB (Class AB Current Mirror) นิยมมากทางอนาล็อกและดิจิตอล ซึ่งมีการใช้งานที่หลากหลายเช่น ในวงจร Conveyor , วงจรเปรียบเทียบกระแส และ ส่วนอินพุทของวงจรขยายกระแส โดยคลาส AB มีโครงสร้างที่ทำให้สามารถนำกระแสที่มีค่ามากได้ทั้งสองขั้วและมีข้อดีคือ มีไดนามิคเรนจ์ที่ดีกว่าคลาส A, มีความคลาดเคลื่อนน้อย, ลดแรงดันออฟเซตและใช้กำลังต่ำ

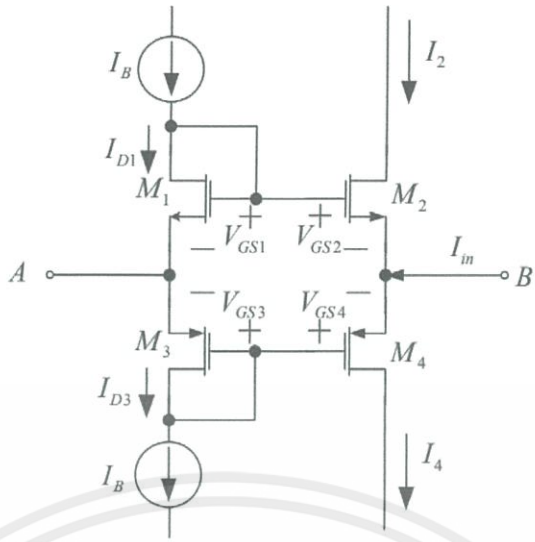
ในการทำความเข้าใจการทำงานของวงจรขยายคลาส AB จะอาศัย หลักการมาจากวงจรดังที่ได้กล่าวมาแล้ว โดยทั่วไป วงจรขยายคลาส AB สามารถแสดงได้ดังภาพที่ 9 จะประกอบด้วยมอสทรานซิสเตอร์ชนิด P จำนวน 2 ตัว และชนิด N จำนวน 2 ตัว เมื่อกระแส IB เป็นแหล่งจ่ายกระแสคงที่เรียกว่ากระแสไบอัส ของวงจร Iin เป็นกระแสขาเข้า ถ้าสมมติให้ทรานซิสเตอร์ทุกตัวมีคุณสมบัติเหมือนกันทุกประการจาก หลักการของวงจรจะได้ความสัมพันธ์ของค่าแรงดันระหว่างขาเกต-ซอร์ส VGS ของ ทรานซิสเตอร์ M1-M4 ได้ดังนี้

$$V_{GS1}+V_{GS3} = V_{GS2}+V_{GS4} \qquad (2.05)$$

$I_{D1} = K_1(V_{GS1} - V_{th})^2$, $I_{D2} = K_2(V_{GS2} - V_{th})^2$, $I_{D3} = K_3(V_{GS3} - V_{th})^2$,

และ $I_{D4} = K_4(V_{GS4} - V_{th})^2$ โดยที่ $K_1 = K_2 = K_3 = K_4 = K$ จะได้ความสัมพันธ์ของกระแสเดรนของ ทรานซิสเตอร์ในวงจรลูปเป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 แสดงวงจรขยายคลาส AB แบบทรานส์ลิเนียร์ลูป

$$2\sqrt{I_B} = \sqrt{I_{D2}}+\sqrt{I_{D4}} \tag{2.06}$$

จากสมการที่ (2.06) ย้าย $\sqrt{I_{D2}}$ มาลบด้านซ้ายของสมการแล้วยกกำลังสองทั้งสองข้างจะได

$$I_{D4}-4I_B+4\sqrt{I_B I_{D2}}+I_{D2} \tag{2.07}$$

พิจารณาที่จุด B จะได้ความสัมพันธ์ระหว่างกระแส I_2 I_4และ I_{in}ดังนี้

$$I_{in} = I_4 - I_2 \tag{2.08}$$

2.4.1 อัตราขยายกระแส

$$A = \frac{I_{out}}{I_{in}} = (g_{m5} + g_{m6})r_{in} = \sqrt{\frac{\beta_{1,2} I_{D3,4}}{\beta_{7,8} I_{D7,8}}} \tag{2.09}$$

โดยที่ $\beta_3 = \beta_4 = \beta_{3,4}$ และ $\beta_7 = \beta_8 = \beta_{7,8}$

ซึ่งโดยปกติมอสทุกตัวจะอยู่ในโหมด saturation และละเลยผลจากบอดี้เอฟเฟกเพื่อลดความซับซ้อนในการวิเคราะห์ จากวงจรในรูปจะให้ค่า ความต้านทานอินพุต ที่ค่อนข้างต่ำ ซึ่งค่าความต้านทานอินพุตหาได้จาก ในที่นี้กระแสในแต่ละเส้นถูกกำหนดด้วยอัตราส่วนของขนาดมอส โดยกระแสเดรนที่ผ่าน M1-M2 และ M5, M7 มีค่าเป็น B1 เท่าของ IB ขณะที่ของ M6 และ M8 มีค่าเป็น B1*B2 เท่าของ IB โดยเฉพาะค่าอัตราส่วนของการสะท้อนมีค่าเท่ากับ 0.1 ถึง 1 สำหรับ B1 และ 5 ถึง 10 สำหรับ B2 อัตราขยายกระแสคือ

$$A = \frac{I_{out}}{I_{in}} = \frac{\left(\frac{W}{L}\right)_4}{\left(\frac{W}{L}\right)_3} = \frac{\left(\frac{W}{L}\right)_2}{\left(\frac{W}{L}\right)_1} = B2 \tag{2.10}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Noise Class AB Current Mirror เมื่อทำการทดสอบ Noise Summary โปรแกรมจะคำนวณผลรวมของสัญญาณรบกวนของมอสทุกตัวจากสูตร 4KTr*gm ไปที่เอาต์พุตจากนั้นจะถูกหารด้วย Transfer Function ของวงจรกลับมาเป็นค่า Input noise

2.4.2 Flip Voltage Follower

ทำใน weak Inversion

$$I_D = I_0 \exp\left(\frac{V_{GS}}{\zeta V_T}\right) \tag{2.11}$$

$$V_{GS} \propto \zeta V_T \ln\left(\frac{I_D}{I_0}\right)$$

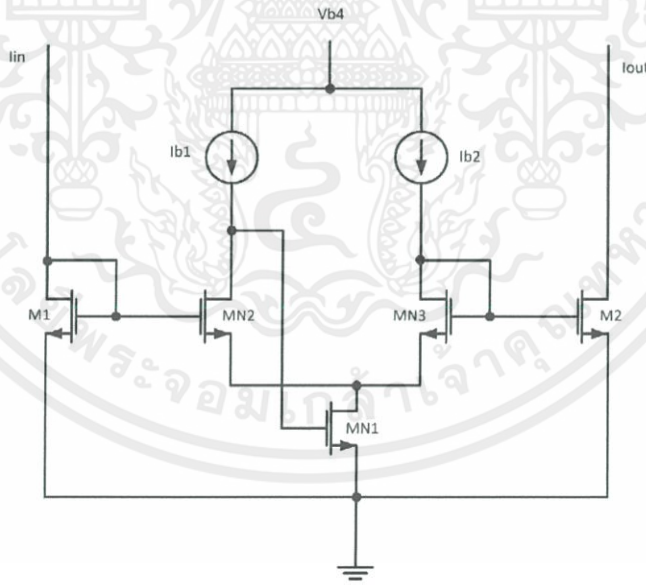
$$V_{GSM1} + V_{GSMN2} = V_{GSMN3} + V_{GSM2} \tag{2.12}$$

$$\zeta V_T \ln\left(\frac{I_{D1}}{I_0}\right) + \zeta V_T \ln\left(\frac{I_{DMN2}}{I_0}\right) = \zeta V_T \ln\left(\frac{I_{DMN3}}{I_0}\right) + \zeta V_T \ln\left(\frac{I_{DM2}}{I_0}\right) \tag{2.13}$$

$$\ln\left(\frac{I_{DM1}+I_{DMN2}}{(I_0)^2}\right) = \ln\left(\frac{I_{DMN3}+I_{DM2}}{(I_0)^2}\right) \tag{2.14}$$

$$I_{DM1} I_{MN2} = I_{DMN3} I_{DM2} \tag{2.15}$$

$$\text{Current Gain} = \frac{I_{DM2}}{I_{DM1}} = \frac{I_{DMN3}}{I_{DMN2}} \tag{2.16}$$



รูปที่ 2.7 วงจร Flip Voltage Follower ใช้ NMOS

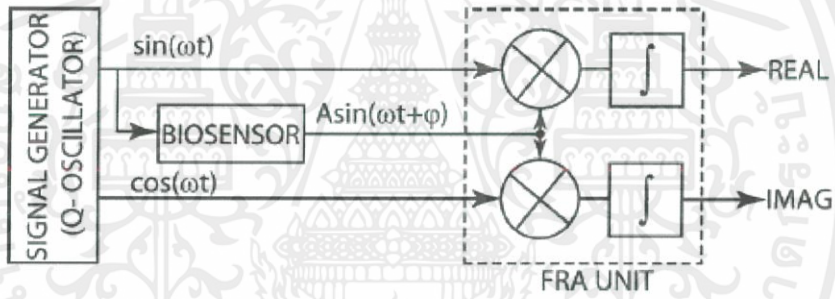
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5 การ Mix สัญญาณที่ต้องการ

นำสัญญาณเอาต์พุตที่ออกมาจากวงจรขยายกระแสซึ่งเป็นสัญญาณซายน์ มาผสมกับสัญญาณที่ความถี่เท่ากัน กันโดยใช้ตัวเก็บประจุเป็นตัวอินทีเกรตสัญญาณเพื่อแยกระหว่างค่าจริงและจินตภาพดังสมการ

$$\begin{aligned} \text{Real} &= \int_0^T A\sin(\omega\tau + \emptyset) \times \sin(\omega\tau)\, dt, \\ &= \int_0^T 0.5 \times (A\cos(\emptyset) + \cos(2\omega\tau + \emptyset))\, dt, \\ &= \frac{0.5T}{\pi} \times A\cos(\emptyset) \end{aligned} \tag{2.17}$$

$$\begin{aligned} \text{Imag} &= \int_0^T A\sin(\omega\tau + \emptyset) \times \cos(\omega\tau)\, dt, \\ &= \int_0^T 0.5 \times (A\sin(\emptyset) + \sin(2\omega\tau + \emptyset))\, dt, \\ &= \frac{0.5T}{\pi} \times A\sin(\emptyset) \end{aligned} \tag{2.18}$$



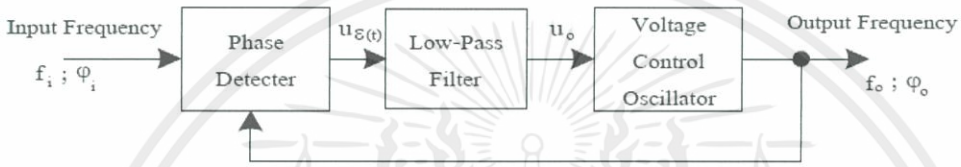
รูปที่ 2.8 แสดงหลักการมิกซ์สัญญาณแยกสัญญาณจริงและจินตภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 เฟสล็อกลูป

2.6.1 หลักการ

เป็นระบบควบคุมความถี่ โดยใช้วิธีการเปรียบเทียบเฟส (Phase) ของความถี่ทางด้านเอาต์พุต กับเฟสของความถี่อ้างอิง (Reference Frequency) ซึ่งถูกป้อนเข้าทางด้านอินพุต ระบบในรูป 2.9 นี้เป็นแผนผังของ PLL เบื้องต้น จากแผนภาพพบว่า PLL เบื้องต้น จะประกอบไปด้วย 3 ส่วนใหญ่ คือภาคตรวจจับเฟสหรือตัวเปรียบเทียบสัญญาณ (Phase Detector หรือ Comparator) มีหน้าที่เปรียบเทียบความแตกต่างของเฟสระหว่าง $\emptyset_1$ และ $\emptyset_o$ ให้กำเนิดแรงดันคลาดเคลื่อน (Error



Voltage) ออกมาทางเอาต์พุต μ_ε

รูปที่ 2.9 แผนภาพ PLL

$$\mu_\varepsilon = K_\emptyset(\emptyset_1 - \emptyset_o) = K_\emptyset \Delta_\emptyset \qquad (2.19)$$

ภาคกรองความถี่ต่ำผ่าน หรือภาคกรองความถี่ลูป (Low – Pass Filter *หรือ* Loop Filter) ทำหน้าที่กำจัดส่วนประกอบทางไฟสลับที่ปะปนมากับแรงดันคลาดเคลื่อนและปล่อยให้ส่วนประกอบทางไฟตรง ของแรงดันคลาดเคลื่อนผ่านไปยังเอาต์พุต

$$\mu_0 = \overline{\mu_\emptyset}(t) = \frac{1}{T}\int_o^T \mu_\varepsilon(t)dt \qquad (2.20)$$

ภาคกำเนิดสัญญาณควบคุมด้วยแรงดัน (Voltage Controlled Oscillator, VCO) ความถี่ f_o ของ VCO จะเปลี่ยนไปตามแรงดัน μ_o ทางอินพุต ดังนั้นเมื่อ μ_o เปลี่ยนไปก็จะมีผลทำให้ f_o และ $\emptyset_o$ เปลี่ยนแปลงตามไปด้วย

$$f_o = K_f \mu_o \qquad (2.21)$$

ในระบบ PLL ขนาดของแรงดันคลาดเคลื่อนที่ได้จากภาคตรวจจับเฟสจะแปลผันเป็นสัดส่วนโดยตรงกับผลต่างของเฟส $f_1 - f_o$ และ $\emptyset_1 - \emptyset_o$

แรงดันคลาดเคลื่อนนี้จะควบคุมให้การเปลี่ยนแปลงของ f_o ของ VCO เป็นไปในทิศทางที่ทำให้ผลต่างของความถี่ $f_1 - f_o$ มีขนาดลดลง นั่นคือ f_o มีค่าเข้าใกล้ f_1มากขึ้นเราเรียกภาวะของลูป (Loop) ในขณะที่ VCO เริ่มเปลี่ยนความถี่ f_o *ว่า* “สภาวะแคปเตอร์ (Capture State)” เมื่อ f_o มีค่าเท่ากับ f_1 การเปลี่ยนแปลงของ f_o ก็สิ้นสุดลงเราเรียกสภาวะนี้ว่า “เฟสล็อค (Phase Locked)” PLL ประกอบด้วย 3 ภาวะด้วยกันคือ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

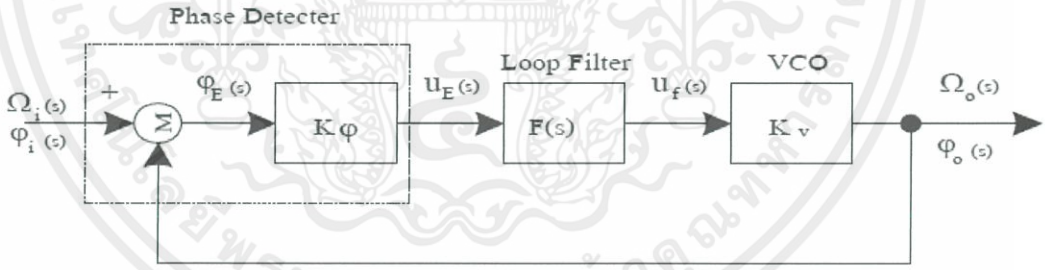
1. ภาวะทำงานเป็รอิสระ (Free - Running) ; ความถี่ของ VCO ถูกกำหนดจากโครงสร้าง VCO เอง
2. ภาวะแคปเตอร์ (Capture) ; ความถี่ของ f_o ของ VCO กำลังวิ่งเข้าหาความถี่อินพุต
3. ภาวะเฟสล็อค (Phase Locked) ; ความถี่ f_o ของ VCO เท่ากับความถี่อินพุต ย่านความถี่ซึ่งระบบลูปสามารถติดตามการเปลี่ยนแปลงของความถี่อินพุตได้เราเรียกว่า “ย่านล็อก (Lock Range)” ย่านความถี่ซึ่งระบบลูปสามารถเข้าถึงภาวะเฟสล็อกได้ เรียกว่า “ย่านแคปเตอร์ (Capture Range)”ซึ่งจะมีย่านแคบกว่า Lock Range

สำหรับลักษณะสมบัติทางไดนามิกส์ (Dynamic Characteristic) ของ PLL จะถูกกำหนดโดยคุณสมบัติของตัวกรองความถี่ลูป ซึ่งเป็นวงจรกรองความถี่ต่ำผ่าน ในขณะที่ PLL อยู่ในภาวะเฟสล็อก ความเร็วในการติดตามการเปลี่ยนแปลงของความถี่อินพุตของ PLL จะถูกจำกัดโดย ตัวกรองความถี่ลูป

2.6.2 ฟังก์ชั่นโอนย้ายของ PLL พื้นฐาน

แผนผังของระบบ PLL เบื้องต้นสามรถเขียนได้ดังนี้

เนื่องจาก ตัวกรองความถี่ลูป เป็นวงจรกรองความถี่ต่ำผ่าน ซึ่งมีความถี่ตัด (Cutoff Frequency) ต่ำกว่าส่วนประกอบทางไฟสลับของแรงดันคลาดเคลื่อนจากภาคตรวจจับเฟสมากๆ ทำให้ส่วนประกอบทางไฟสลับ



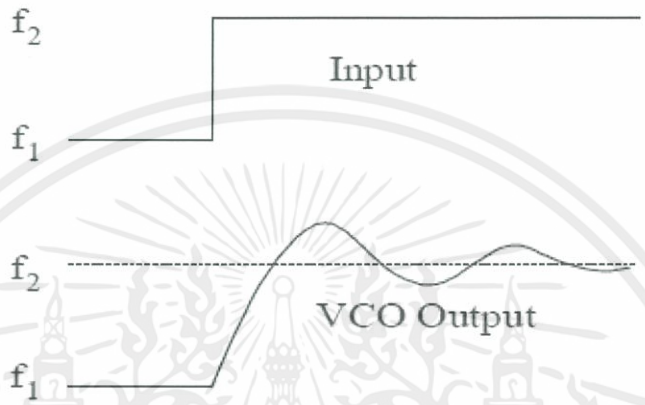
รูปที่ 2.10 แผนผังของระบบ PLL เบื้องต้น

ไม่สามารถส่งผ่านลูปได้ ดังนั้น $\mu_E(S)$ ที่ปรากฏในแผนผังจึงหมายถึง แรงดันคลาดเคลื่อนที่ไม่มีส่วนประกอบทางไฟสลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.3 การตอบสนองสัญญาณทรานสเซียนส์ของ PLL (Transient Response of PLL)

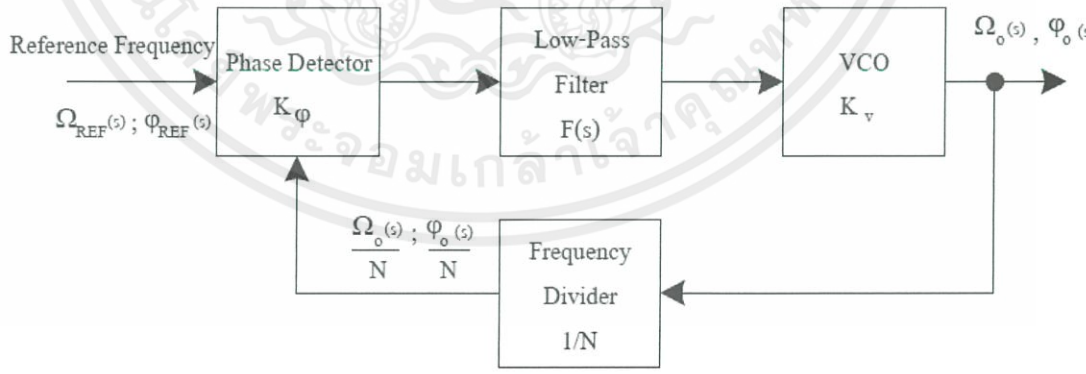
ฟังก์ชั่นโอนย้ายของ PLL เป็นระบบลำดับที่สองในกรณีที่ระบบลำดับที่สอง มีลักษณะ Under Damped ($\zeta < 1$) เมื่อมีความถี่อินพุตของ PLL เปลี่ยนจาก f_1 ไปเป็น f_2 ในทันทีทันใด เอาต์พุตของ VCO ก็จะพยายามที่จะเปลี่ยนตาม แต่จะปรากฏว่า f_o ที่เอาต์พุตของ VCO จะมีค่าแกว่ง (Oscillate) ขึ้นลงรอบๆค่าของ f_2 เป็นระยะเวลาหนึ่ง แล้วจึงค่อยๆเข้าสู่ค่า f_2 ในที่สุดเมื่อ f_o มีค่าเท่ากับ f_2 ก็จะแสดงว่า PLL เข้าสู่สภาวะคงตัว (Steady State)



รูปที่ 2.11 การตอบสนองสัญญาณทรานเซียนต์ของ PLL

ในการออกแบบ PLL โดยทั่วไปเราจะเลือกค่า ζ ให้อยู่ระหว่าง 0.5-0.8

2.6.4 วงจรสังเคราะหความถี่เป็นแหล่งจ่ายความถี่ ซึ่งเอาต์พุตสามารถสามารถให้ความถี่เป็นทวีคูณ (Multiplie) ของความถี่อ้างอิงที่อินพุต (Input Reference Frequency) ในรูปข้างล่างนี้เป็นวงจรสังเคราะห์ความถี่โดยใช้ PLL

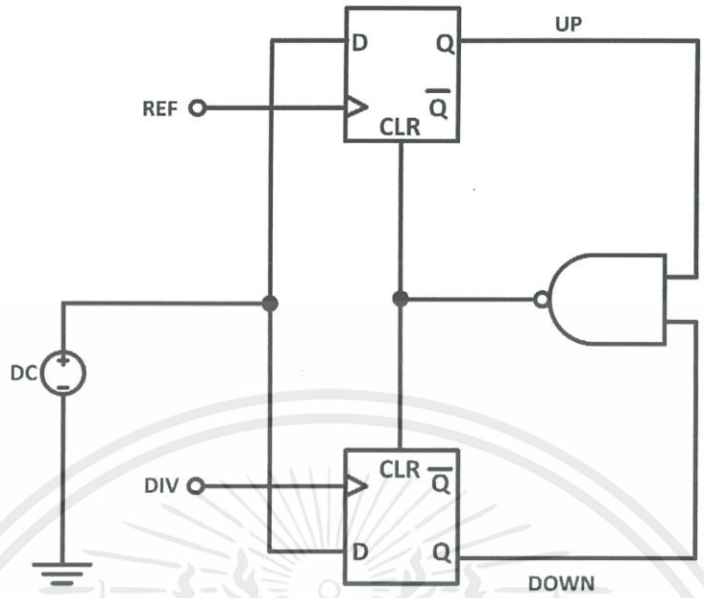


รูปที่ 2.12 วงจรสังเคราะห์ความถี่โดยใช้ระบบ PLL

การติดตั้งวงจรนับแบบหาร N ในทางเดินป้อนกลับ ทำให้ได้ความถี่เอาต์พุต ; $\Omega_o(S)$ มีขนาดเป็นความถี่ N เท่าของความถี่อ้างอิงที่อินพุต $\Omega_{ref}(S)$ เมื่อ PLL อยู่ในภาวะเฟสล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

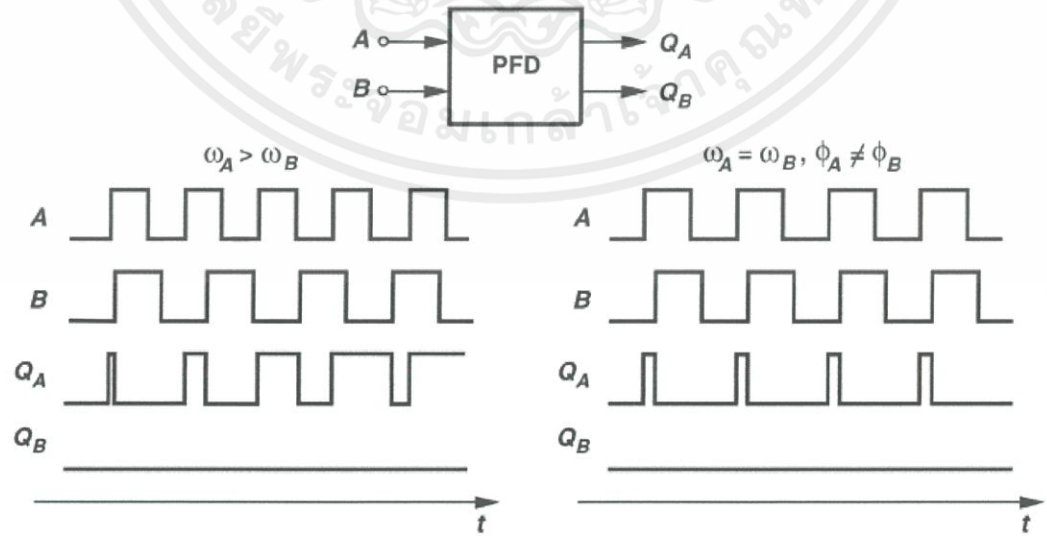
2.6.5 Phase Frequency Detector



รูปที่ 2.13 Phase Frequency Detector

คือวงจรที่มีลักษณะคล้ายกับวงจรผสมสัญญาณที่สร้างสัญญาณที่เป็นสัดส่วนกับความต่างเฟสของสัญญาณอินพุตสองตัวที่มีความถี่เดียวกัน การเปลี่ยนเฟสคือความแตกต่างทางเวลาระหว่างสัญญาณสองสัญญาณที่มีความถี่เดียวกัน ซึ่งวงจรเปรียบเทียบเฟสจะสร้างสัญญาณเอาต์พุตที่เป็นสัดส่วนกับความต่างเฟสของอินพุตแล้วนำสัญญาณไปผ่านวงจรกรองความถี่เพื่อแปลงเป็นแรงดันไฟตรง

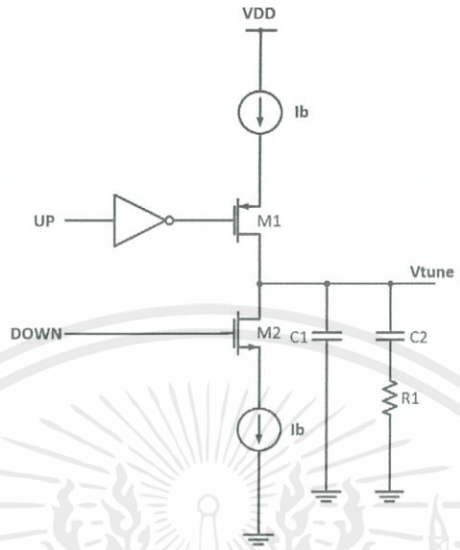
Timing Diagram



รูปที่ 2.14 แสดง Timing Diagram ของ PFD

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.6 Charge Pump and Loop Filter



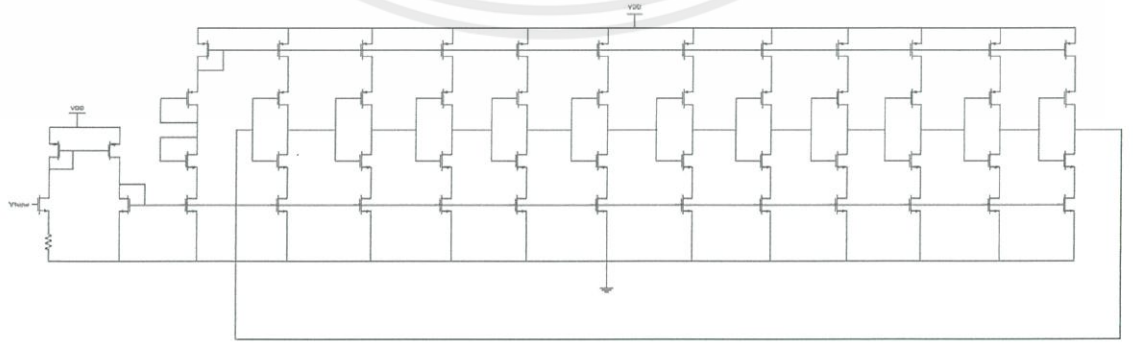
รูปที่ 2.15 Charge Pump and Loop Filter circuit

Charge Pump คือวงจรที่อยู่ระหว่าง PFD และ Loop Filter ทำหน้าที่ในการเปลี่ยนสัญญาณ แรงดันerror (UP, DOWN) จาก PFD เป็นกระแสเพื่อชาร์จดิสชาร์จตัวเก็บประจุใน Loop Filter เพื่อให้ได้สัญญาณที่ควบคุม VCO หรือ Vtune

ภาคกรองความถี่ต่ำผาน หรือภาคกรองความถี่ลูป (Low – Pass Filter หรือ Loop Filter) ทำหนาที่กำจัดสวนประกอบทางไฟสลับที่ปะปนมากับแรงดันคลาดเคลื่อนและปลอยใหสวนประกอบทางไฟ ตรงของแรงดันคลาดเคลื่อน ผานไปยังเอาตพุต

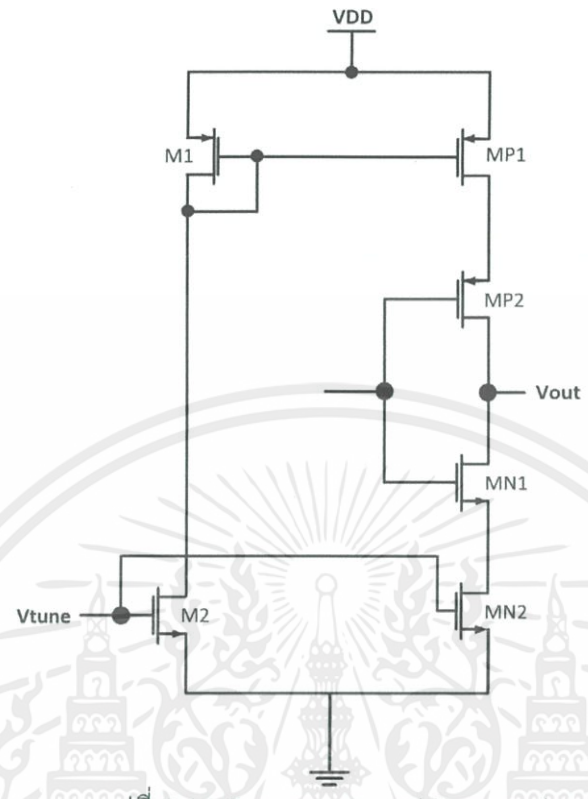
2.6.7 VCO (Voltage Control Oscilator)

ในการทำงานของ Phase Lock Loop การสังเคราะห์ความถี่จาก VCO เป็นกุญแจสำคัญในการทำงานของวงจร



เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.16 Ring oscilator



รูปที่ 2.17 Current starved Ring-oscilator

$$\boldsymbol{T} = 2 \times N \times t_d \tag{2.22}$$

$$f_0 = \frac{1}{T} = \frac{1}{2Nt_d} \tag{2.23}$$

$$C_{total} = C_{out} + C_{in} \tag{2.24}$$

$$= C_{ox}\left(W_p L_p + W_n L_n\right) + \frac{3}{2} C_{ox}\left(W_p L_p + W_n L_n\right)$$

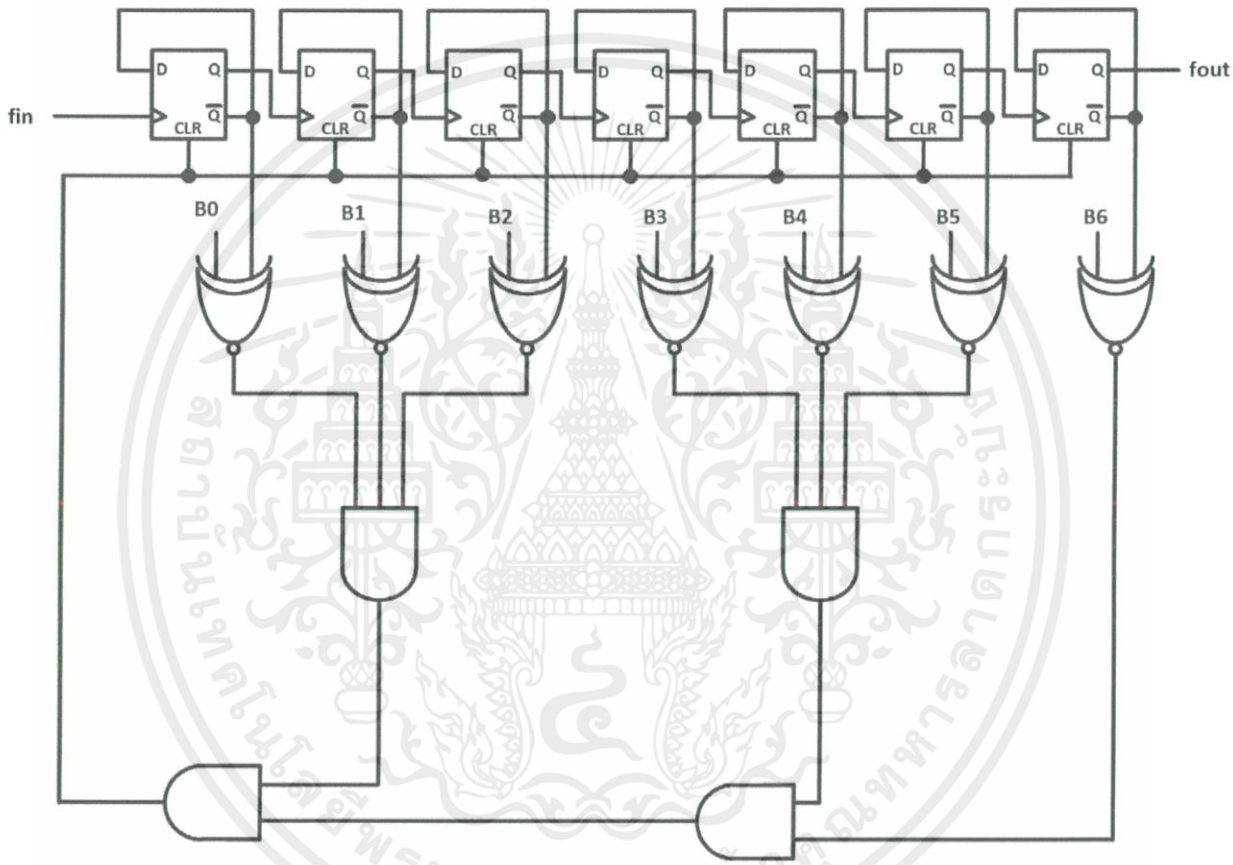
$$C_{total} = \frac{5}{2} C_{ox}\left(W_p L_p + W_n L_n\right) \tag{2.25}$$

$$f_0 = \frac{I_d}{2NC_{total}V_{tune}} \tag{2.26}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.8 Programmable Counter

Programable counter หรือวงจรหารความถี่ เป็นส่วนหนึ่งใน Feedback loop ของวงจร Phase-locked Loop ซึ่งเป็นส่วนที่สำคัญสำหรับวงจรกำเนิดความถี่ ในการออกแบบได้ใช้ 7-bit Programmable Counter ซึ่งมี B0-B6 เป็นตัวกำหนดตัวหาร โดยที่ตัวหารที่ใช้งานอยู่ในช่วง 2 ถึง 100 โดยสามารถคำนวนตัวหารของ Phase-locked Loop ได้จากสมการ N=P+1 โดยที่ (B0B1B2B3B4B5B6) = (0000000) จะทำให้วงจรถูกรีเซ็ต



รูปที่ 2.18 Programmable Counter

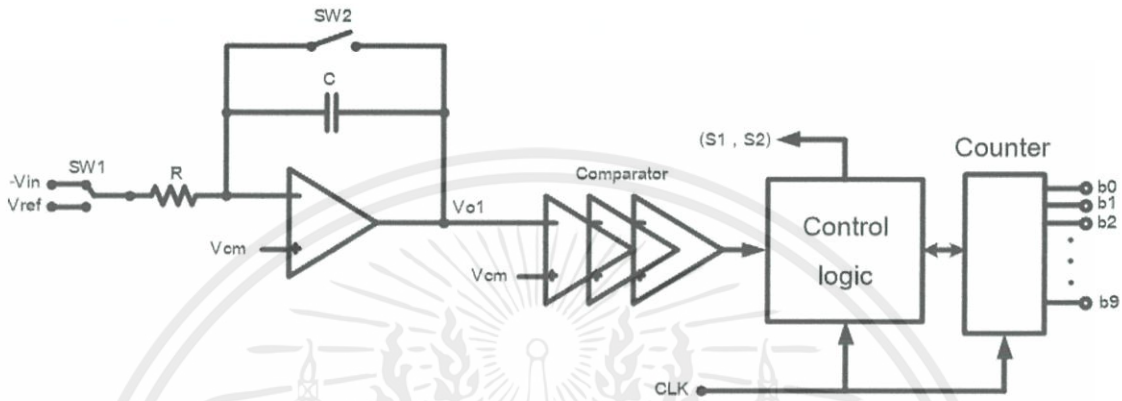
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 Dual-Slope ADC

ใช้หลักการวงจร Integrator ทำงานร่วมกับ Comparator

2.7.1 หลักการทำงาน

เมื่อสับ SW_1 มาที่ V_{in}



รูปที่ 2.19 การทำงาน Simple Dual Slope A/D Converter เมื่อ SW1 ที่ตำแหน่ง Vin

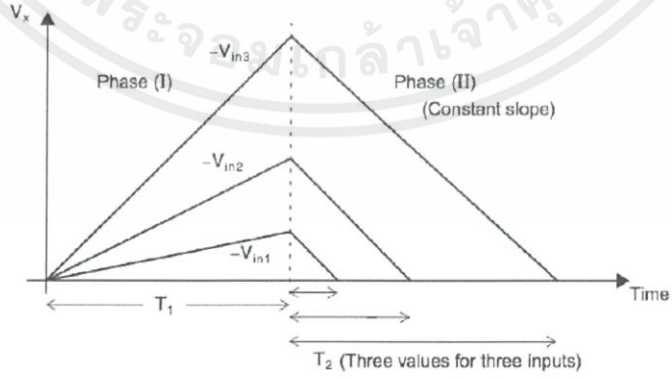
$$T_1 = 2^N T_{clk} \tag{2.22}$$

$$V_o(t) = -\int_0^t \frac{-V_{in}}{R_1 C_1} d\tau = \frac{V_{in}}{R_1 C_1} t \tag{2.23}$$

$$V_o = V_{in} T_1 / R_1 C_1 \tag{2.24}$$

2.7.2 ขั้นตอนการทำงานของ Dual Slope Converter

1. SW1 ไปที่ตำแหน่ง V_{in} เป็นเวลา T_1 (เวลาที่แน่นอน)
2. ในช่วงเวลา T_2 SW1 จะเปลี่ยนไปที่ตำแหน่ง V_{ref} และจะนับเวลาไปเรื่อยๆ จน $V_{o1} = V_{CM}$
3. ช่วงเวลาที่นับได้จะถูกแปลงเป็นดิจิทัลด้วยรีจิสเตอร์



รูปที่ 2.20 กราฟแสดงความสัมพันธ์ ขั้นตอนการทำงานของ Dual Slope Converter

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{V_{in}T_1}{R_1C_1} = \frac{V_{ref}t_2}{R_1C_1} \quad (2.25)$$

$$t_2 = \frac{V_{in}T_1}{V_{ref}} \quad (2.26)$$

ความเร็วของการแปลงสัญญาณ จะขึ้นอยู่กับ

- ขนาดสัญญาณ input, V_{in}
- ค่า R, C ของวงจร Integrator

ปัญหาของการใช้ ADC ชนิดนี้ คือ

- ตัว comparator ไม่เป็นอุดมคติ มีผลต่างแรงดันอยู่ แม้ว่าจะต่ออินพุตทั้งสองลงกราวด์แล้ว

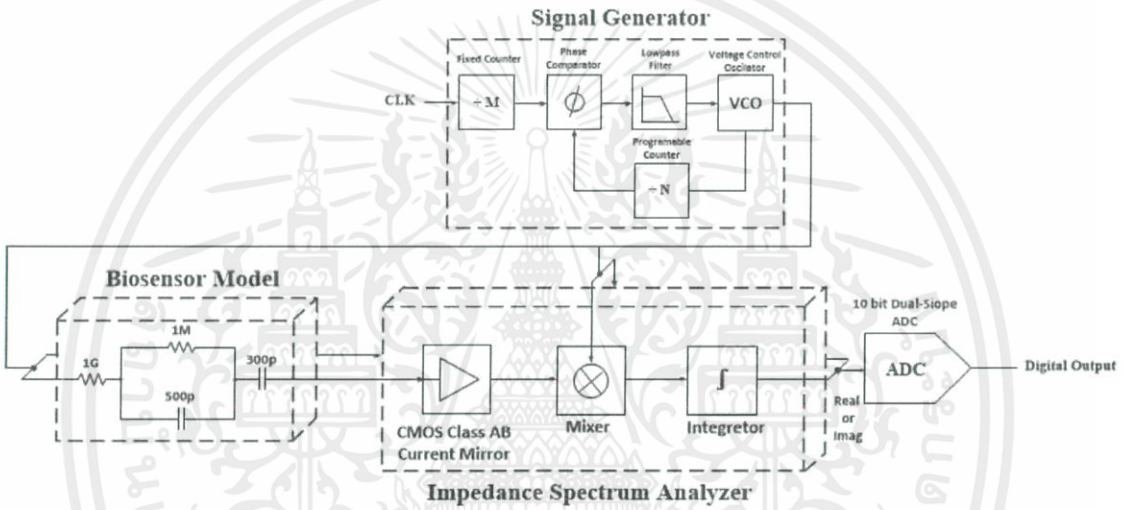
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่3

วิธีการดำเนินงาน

ขั้นเริ่มต้นของการออกแบบวงจร ผู้ทำการทดลองมุ่งเน้นในการศึกษาการทำงานของวงจรทุกระบบ เพื่อทำความเข้าใจการทำงานของวงจรย่อยในแต่ละส่วน จากนั้นเริ่มทำความเข้าใจวงจรย่อยและทำการออกแบบวงจรในแต่ละส่วน

3.1 บล็อกไดอะแกรม



รูปที่ 3.1 แสดงบล็อกไดอะแกรมของไบโอเซ็นเซอร์

3.2 คุณสมบัติวงจรที่ใช้งาน

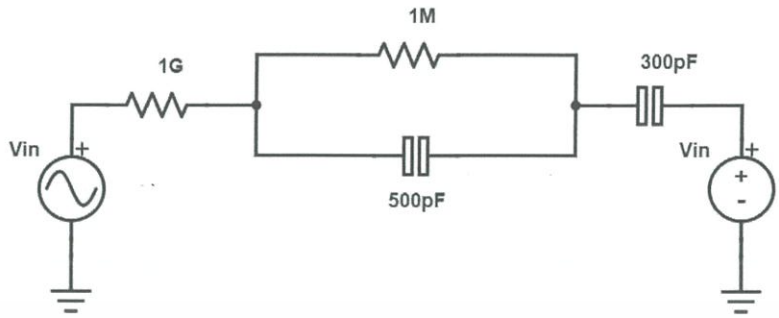
ไบโอเซ็นเซอร์ที่มีสัญญาณกระแสขาเข้าอยู่ในช่วง 1n-400 nA และในช่วงความถี่ 100-10kHz ซึ่งวงจรที่ทำการออกแบบจำเป็นต้องทำงานในคุณสมบัติดังกล่าว

3.3 ขั้นตอนการออกแบบ

ออกแบบโมเดลไบโอเซ็นเซอร์ที่มีสัญญาณกระแสขาเข้าอยู่ในช่วง 1n-400 nA และในช่วงความถี่ 100-10 kHz จากนั้นทำการออกแบบ Current Amplifier ให้มีอัตราขยายเพียงพอ ที่ทำให้สัญญาณมีขนาดใหญ่พอต่อการ Mix สัญญาณ และออกแบบเฟสล็อคลูปให้ผลิตความถี่100-10kHz และ ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.1 โมเดลไบโอเซ็นเซอร์

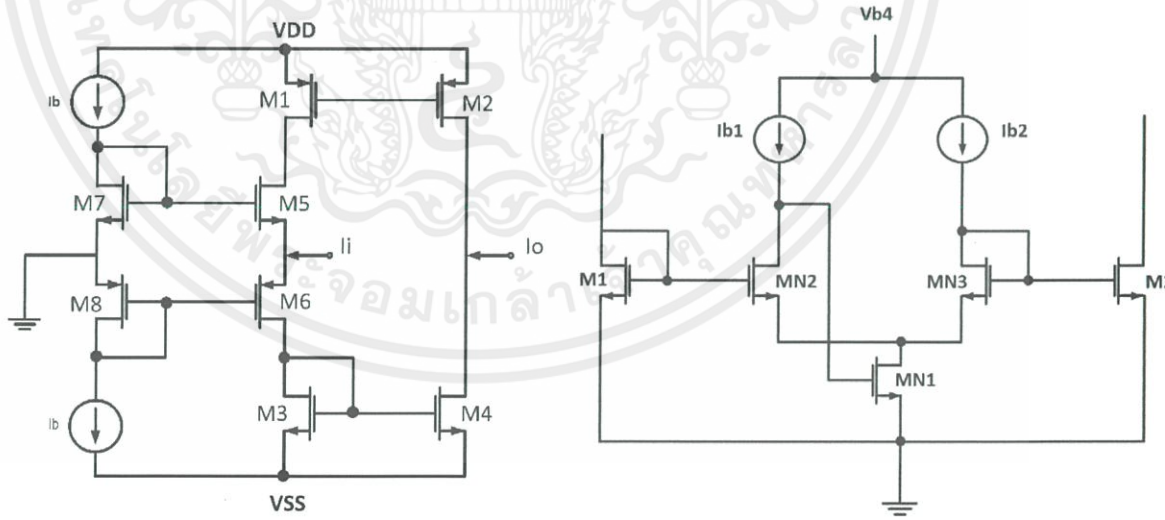


รูปที่ 3.2 Biosensor Model

ออกแบบโดยหลักการที่ว่า เมื่อมีสารละลายมาจับกับขั้วของอิเล็กโทรดทำให้ค่าอิมพีแดนซ์เปลี่ยนไป จึงทำการจำลองหลักการดังกล่าวโดย การใส่สัญญาณเข้าไปให้โมเดลทำให้ได้ค่าอิมพีแดนซ์ที่เปลี่ยนไป โมเดลที่ใช้ประกอบไปด้วย R_s = 1G, R_{CT} = 1M, C_{DB} = 300p, C_{WE}=500p

3.3.2 CMOS Class AB Current Mirror

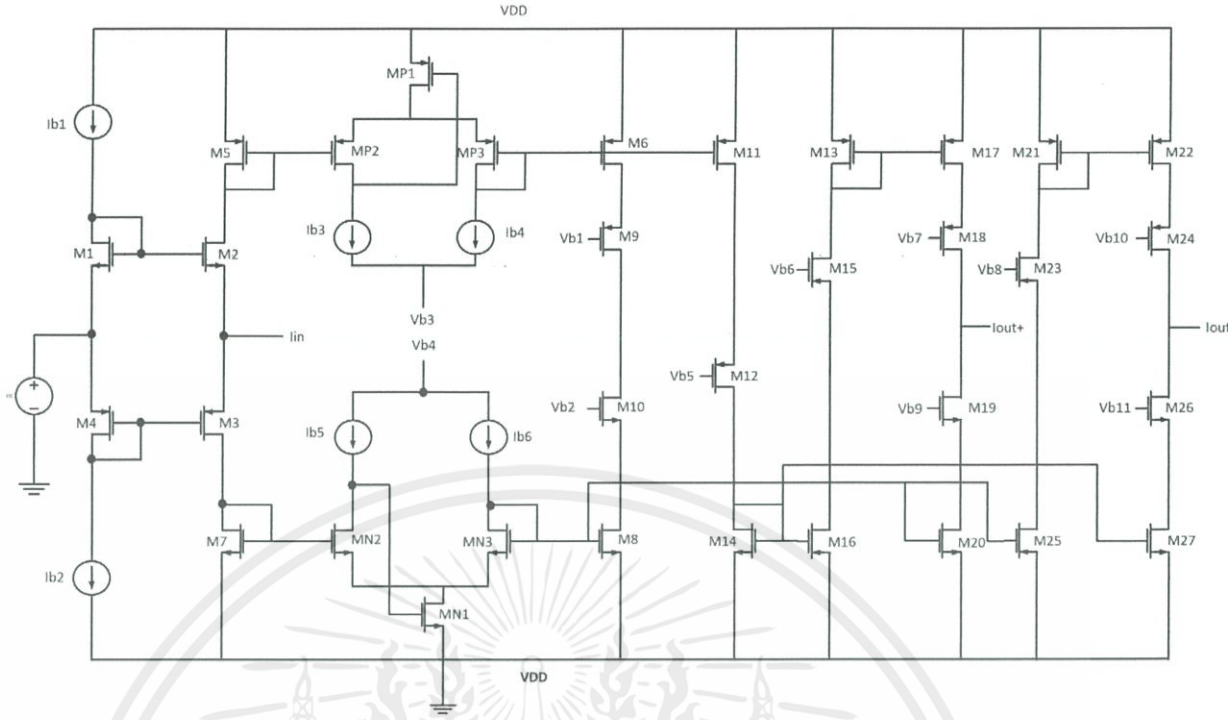
วงจรขยายกระแสโดยหลักการ Current mirrors ซึ่งถูกใช้อย่างแพร่หลาย ในหลายงาน เช่น Current Conveyors, Current Comparator, Input Stage of Current Amplifiers, ในที่นี้ใช้งานเพื่อทำการขยายสัญญาณกระแสขาเข้าให้มีขนาดใหญ่ขึ้น โดยมีการเพิ่มประสิทธิภาพการขยายโดยใช้วงจร Flip Voltage Follower ช่วยในการขยาย ในการออกแบบต้องการให้มีอัตราการขยายกระแส 20 dB และสามารถทำงานได้ในช่วงความถี่ 100-10KHz



ก. ข.

รูปที่ 3.3 (ก.) CMOS Class AB Current Mirror (ข.) Flip Voltage Follower

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 CMOS Class AB Current Mirror

ตารางที่1 ค่า parameter ของวงจร Current Amplifier Class AB

parameter	Value
M1,M2	3 um/3 um
M3,M4	3 um/1 um
M5, M6	33 um/5 um
M7, M8	15 um/10 um
M9	5 um/1 um
M10	2.15 um/1 um
M11	33 um/5 um
M12	2 um/2 um
M13	15 um/5 um
M14	10 um/10 um

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

M15	2 um/2 um
M16	2.4 um/2 um
M17	90 um/5 um
M18	5 um/1 um
M19	8.9 um/1 um
M20	90 um/10 um
M21	15 um/5 um
M22	90 um/5 um
M23	2 um/2 um
M24	2.2 um/2 um
M25	15 um/10 um
M26	18 um/2 um
M27	60 um/10 um
MP1	2 um/1 um
MP2	6 um/4 um
MP3	6 um/4 um
MN1	2 um/1 um
MN2	33 um/5 um
MN3	33 um/5 um
Vcm	1.5 V
Iin (Amplitude)	1 nA-400 nA
Ib1,Ib2	1 uA

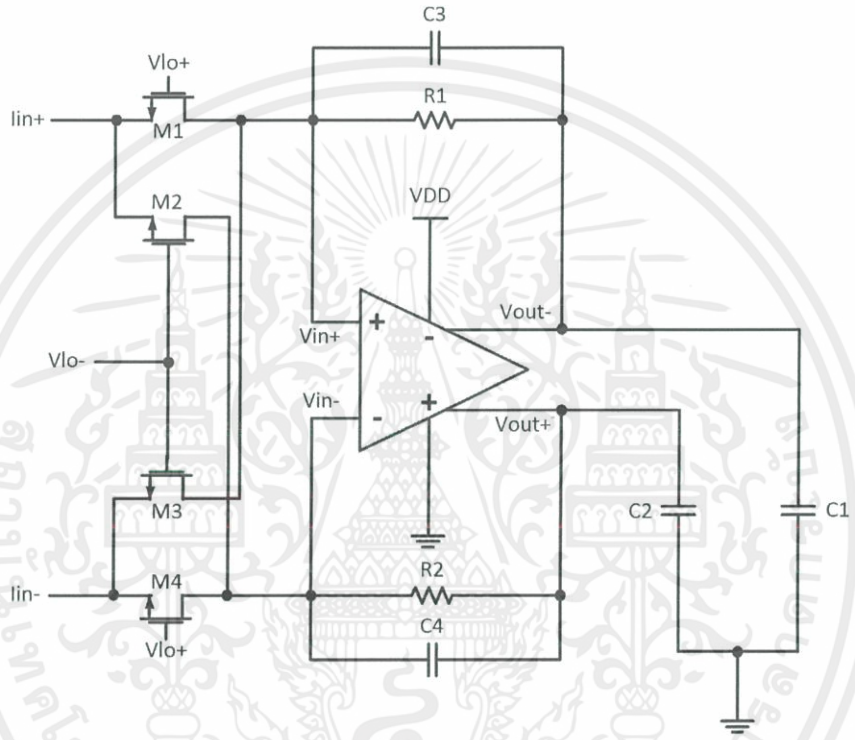
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ib3	60 nA
Ib4	160 nA
Ib5	50 nA
Ib6	140 nA
Vb1	1.45 V
Vb2	650 mV
Vb3	600 mV
Vb4	2.4 V
Vb5	1.5 V
Vb6	600 mV
Vb7	1.2 V
Vb8	600 mV
Vb9	1.45 V
Vb10	1.6 V
Vb11	1.2 V

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 Mixer

ที่ฝั่งอินพุทคือส่วนของ Gm ที่คล้ายกับ Gilbert cell mixer แม้ว่าจะไม่มีกระแสไฟตรงและสวิตช์ในการ on/off ที่เหมือนกับ passive mixer ในส่วนของสัญญาณเอาต์พุตใช้ขับกราวด์เสมือนของวงจรขยายผลต่าง (Differential Operational Amplifier) สัญญาณกระแสจะถูกแปลงเป็นแรงดันด้วยวงจรขยาย และทำการเพิ่มตัวเก็บประจุ เพื่อเป็นตัวอินทิเกรตสัญญาณ และเป็นตัวกำหนดความถี่ในการทำงานของวงจร ในการผสมสัญญาณ ให้ความถี่ของ 2 สัญญาณมีความถี่เท่ากัน



รูปที่ 3.5 Fully Differential Current-Mode Passive Mixers

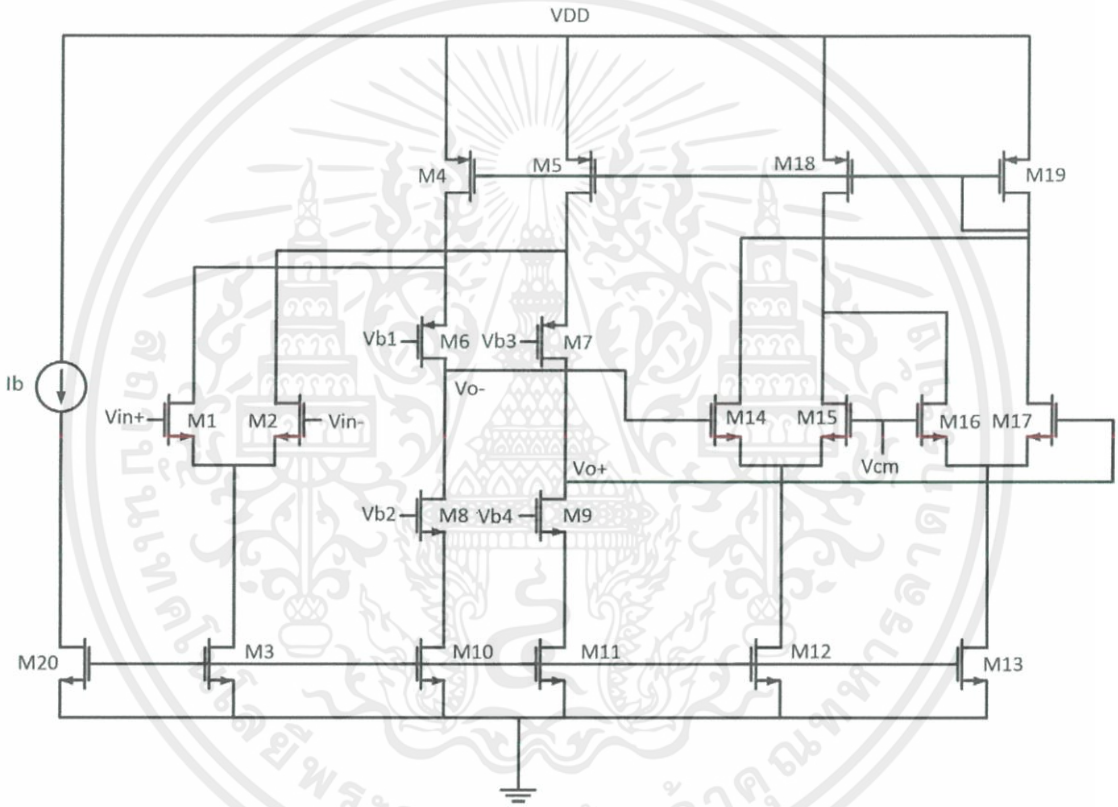
ตารางที่2 ค่า parameter ของวงจร Differential Current Mode Passive Mixers

parameter	Value
I_{in}+ (Amplitude)	1 nA
I_{in}- (Amplitude)	1 nA
V_{lo}+	3 V
V_{lo}-	3 V
M1, M2, M3, M4	650 nm/650 nm

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C1,C2	10 pF
C3,C4	100 nF
R1,R2	1 MΩ
V_{dd}	3 V

3.3.4 Fully Differential Folded Cascode Amplifier



รูปที่ 3.6 Fully Differential Folded Cascode Amplifier

ออกแบบ Fully Differential Folded Cascode Amplifier โดยจ่ายแรงดันขาเข้าที่มีเฟสตรงข้ามกันมีแอมพลิจูดเท่ากับ 1 mV และใช้มีกระแสไบอัส 100 uA จะให้แอมพลิจูดของสัญญาณเอาต์พุตมีอัตราขยายเท่ากับ 60 dB และ Gain Bandwidth เท่ากับ 1 Mrad/s โดยมี M1, M2 เป็นรับแรงดันอินพุตและ M5, M6 ต่อกันแบบ Folded-Cascode เพื่อกำหนดแรงดันไฟตรงที่เอาต์พุต ในส่วนของวงจรป้อนกลับจะประกอบด้วยM14-M19 และ Differential Pair (M14, M15 และ M16, M17) จะใช้ในการรวมกระแสให้ M19 ซึ่งเป็นตัวสะท้อนกระแสให้ M18 ซึ่งจะเป็นตัวควบคุมแรงดันไบอัสให้ M4, M5 ซึ่งเป็น Differential Pair จะทำให้ปรับกระแสเพื่อให้แรงดันเข้าสู่สมดุล แรงดัน Common Mode จะใช้เพื่อให้สัญญาณเอาต์พุตสามารถแกว่งได้เต็มที่

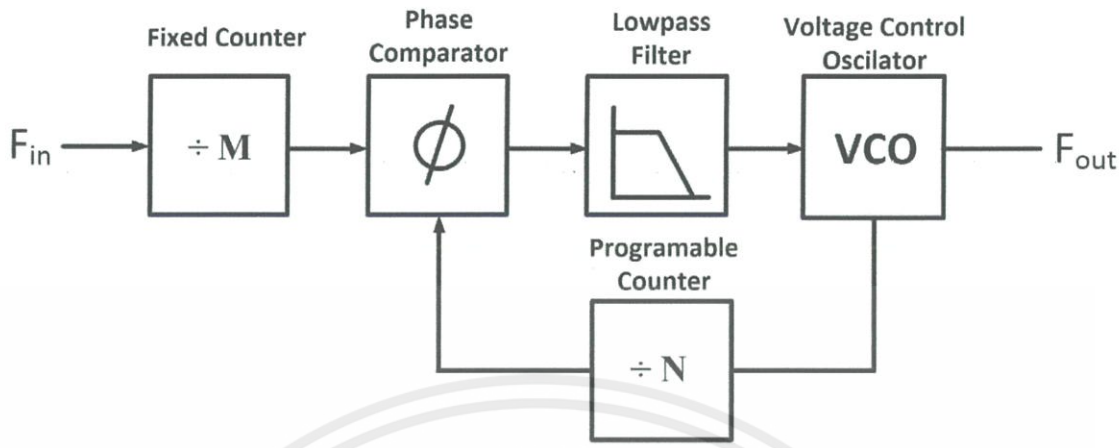
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่3 ค่า parameter ของวงจร Fully Differential Folded Cascode Amplifier (L=650n)

parameter	Value
M1,M2	13 um
M3	3 um
M4,M5	9 um
M6,M7	2.73 um
M8,M9	3.9 um
M10,M11	1.5 um
M12,M13	3 um
M14,M15	650 nm
M16,M17	650 nm
M18,M19	6.5 um
M20	3 um
Vb1	1.8 V
Vb2	1.3 V
Vdd	3 V
Vin+	1.5 V
Vin-	-1.5 V
Vcm	1.5 V
Ib	100 uA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

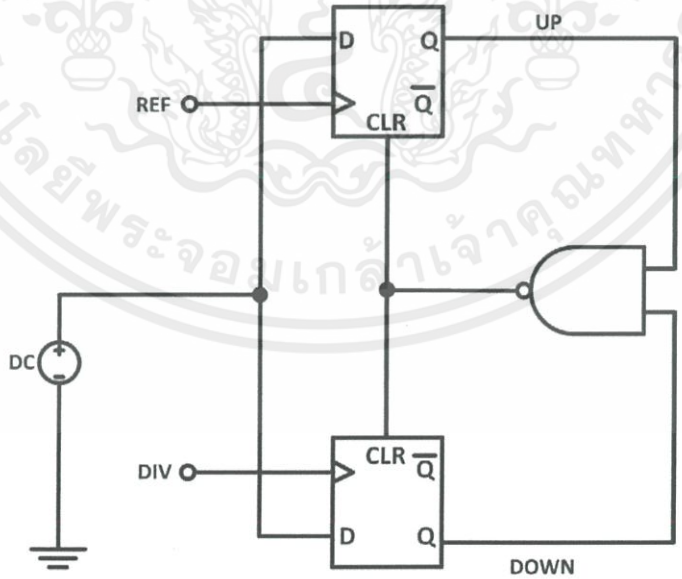
3.3.5 Phase Lock Loop



รูปที่ 3.7 Block Diagram ของ Phase Lock Loop

ออกแบบ PLL ให้ผลิตความถี่สำหรับส่งให้โมเดลไบโอเซ็นเซอร์และ mixer ให้ทำงานในช่วงความถี่ 100-10kHZ ซึ่งในวงจรของ PLLประกอบด้วยหลายๆส่วนทั้งแหล่งจ่ายความถี่คริสตัล ,วงจรหารความถี่เพื่อจะจ่ายเป็นความถี่อ้างอิง, Phase Frequency Detector, Charge Pump, Loop Filter, VCO,และ Programable Counter

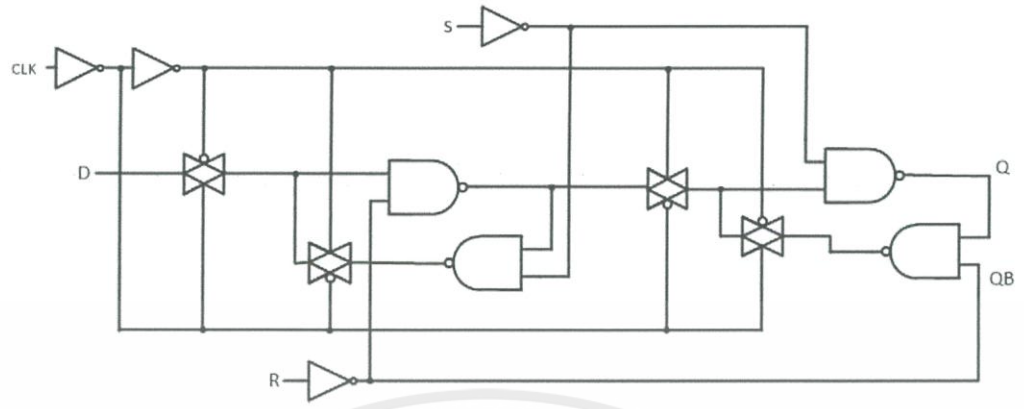
Phase Frequency Detector ทำหน้าที่ในการเปรียบเทียบความถี่จากความถี่อ้างอิงกับความถี่จาก VCO มาเทียบกันเพื่อได้เอาต์พุตออกมาเป็นสัญญาณต่างเฟส UP และ DOWN เพื่อไปควบคุม Charge Pump



รูปที่ 3.8 Phase Frequency Detector

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งออกแบบ D-flip flop ดังรูป 3.9

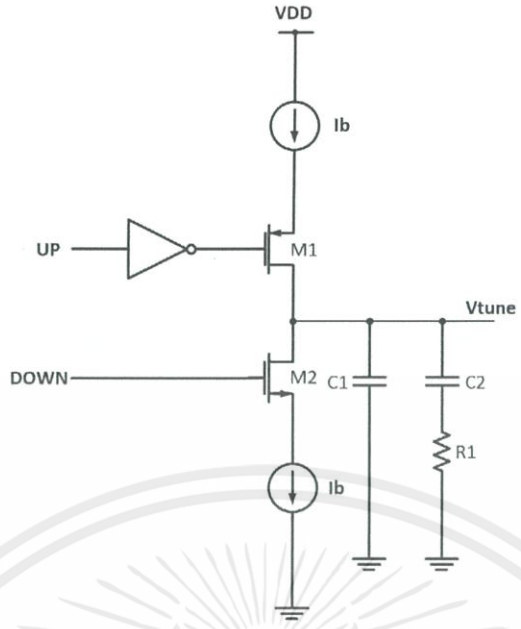


รูปที่ 3.9 D-flip flop

Charge Pump เป็นวงจรที่เปลี่ยนแรงดันพัลส์ของ UP DOWN จาก Phase Detector เป็นกระแสเพื่อนำไปชาร์จ และดิสชาร์จ Loop Filter เพื่อให้ได้แรงดันที่ต้องการไปควบคุม VCO ซึ่งการทำงานของ Charge Pump ขึ้นอยู่กับพัลส์ UP DOWN ที่มากจาก PFD โดยหากสัญญาณ UP เป็น H และ DOWN เป็น L จะทำให้ M6 ทำหน้าที่เหมือนสวิตส์ปิดM7 สวิตส์เปิดจะทำให้กระแสถูกชาร์จเข้าไปใน Loop filter แต่เมื่อ UP เป็น L และ DOWN เป็น H จะทำให้ M7 เหมือนสวิตส์ปิด M6 สวิตส์เปิดทำให้กระแสดิสชาร์จออกจาก Loop Filter

ภาคกรองความถี่ต่ำผ่าน หรือภาคกรองความถี่ลูป (Low – Pass Filter หรือ Loop Filter) ทำหน้าที่กำจัดส่วนประกอบทางไฟสลับที่ปะปนมากับแรงดันคลาดเคลื่อน และปล่อยให้ส่วนประกอบทางไฟตรงของแรงดันคลาดเคลื่อนผ่านไปยังเอาต์พุต ซึ่งเป็นการเซ็ทค่าตำแหน่งโพลและซีโร่ของPLL ซึ่งบ่งบอกเสถียรภาพการทำงานของ PLL

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



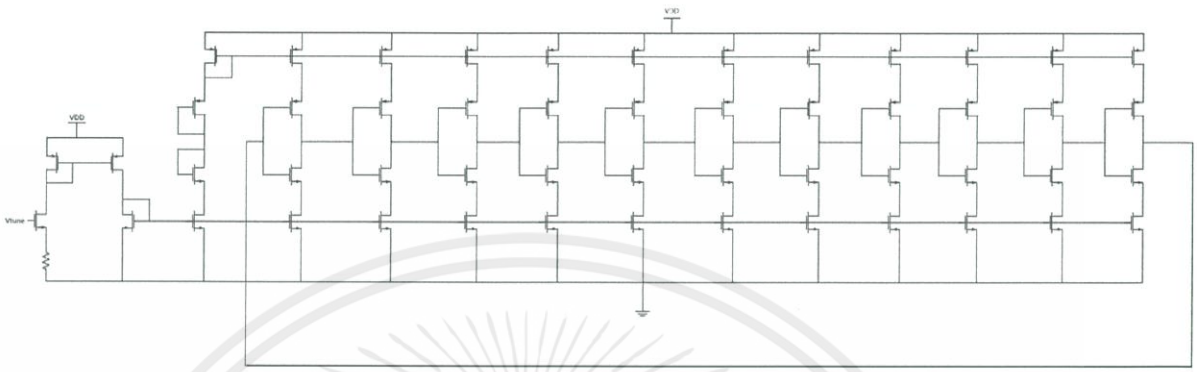
รูปที่ 3.10 Charge pump and Loop Filter

ตารางที่4 ค่า parameter ของ Charge Pump และ Loop Filter

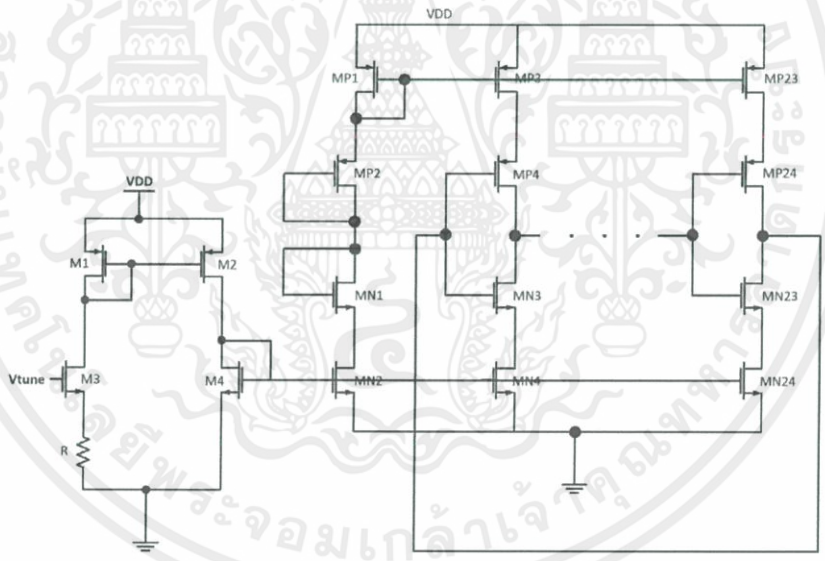
Parameter	Value
M1	2u/300n
M2	1u/350n
Ib	6.3 nA
R1	100 MΩ
C1	120 fF
C2	1.6 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคกำเนิดสัญญาณควบคุมด้วยแรงดัน (Voltage Controlled Oscillator, VCO) ความถี่เอาต์พุตของ VCO จะเปลี่ยนไปตามแรงดัน Vtune ทางอินพุต ดังนั้นเมื่อ ความต่างเฟสจาก Phase Detector เปลี่ยนไปก็ จะมีผลทำให้ความถี่และเฟสเปลี่ยนแปลงตามไปด้วย ซึ่งในการออกแบบ VCO ใช้ VCO ประเภท Ring-oscillator



รูปที่ 3.11 Ring-oscillator



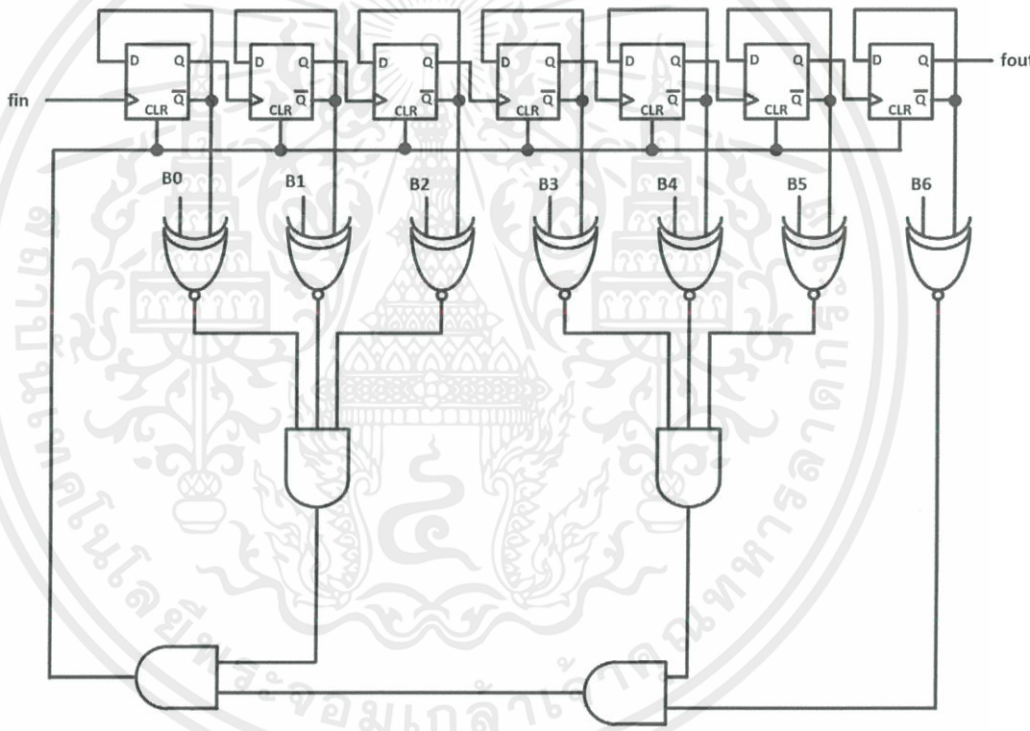
รูปที่ 3.12 การเชื่อมต่อส่วนชุดไบอัสและสเตรทของ Ring Oscilator

ตารางที่5 ค่า parameter ของ VCO

Parameter	Value
MP1	10 um/500n
MP2	700 nm/300n
MN1	700 nm/350n
MN2	10 um/500 nm

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MP3, MP23	10 um/500 nm
MP4, MP24	20 um/500 nm
MN3, MN23	10 um/500 nm
MN4, MN24	10 um/500 nm
M1	2 um/300 nm
M2	3 um/300 nm
M3	1.5 um/350 nm
M4	10 um/500 nm
R	500 kΩ

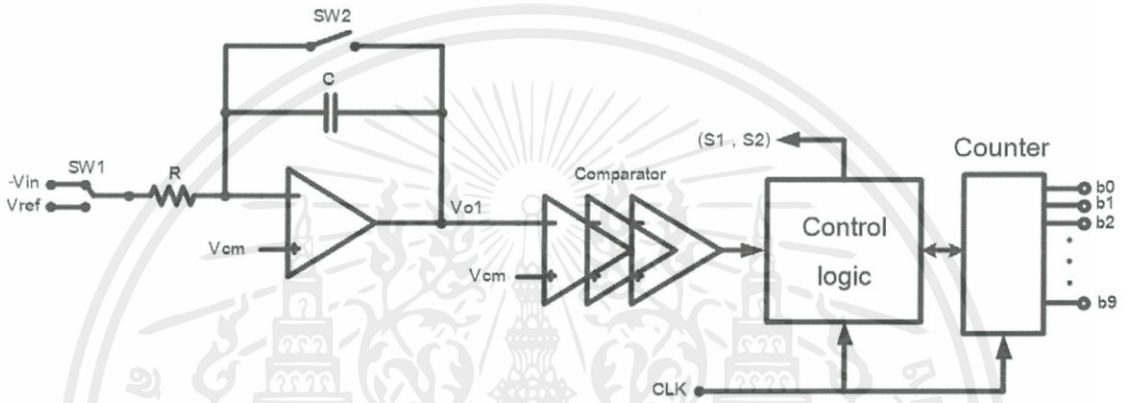


รูปที่ 3.13 Programmable Counter

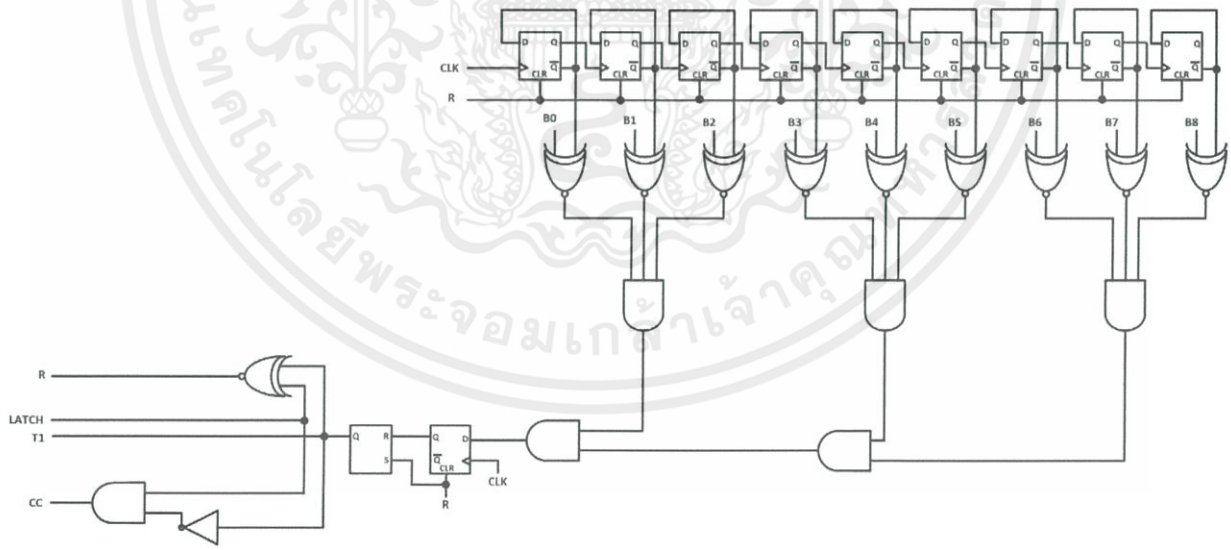
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Programable Counter หรือวงจรหารความถี่ เป็นส่วนหนึ่งใน Feedback Loop ของวงจร Phase-locked Loop ซึ่งเป็นส่วนที่สำคัญสำหรับวงจรกำเนิดความถี่ ในการออกแบบได้ใช้ 7-bit Programmable Counter ซึ่งมี B0-B6 เป็นตัวกำหนดตัวหาร โดยที่ตัวหารที่ใช้งานอยู่ในช่วง 2 ถึง 100 โดยสามารถคำนวนตัวหารของ Phase Locked Loop ได้จากสมการ N=P+1 โดยที่ (B0B1B2B3B4B5B6) = (0000000) จะทำให้วงจรถูกรีเซ็ต

3.3.6 Dual-Slope ADC



รูป 3.14 Block Diagram Dual-Slope ADC

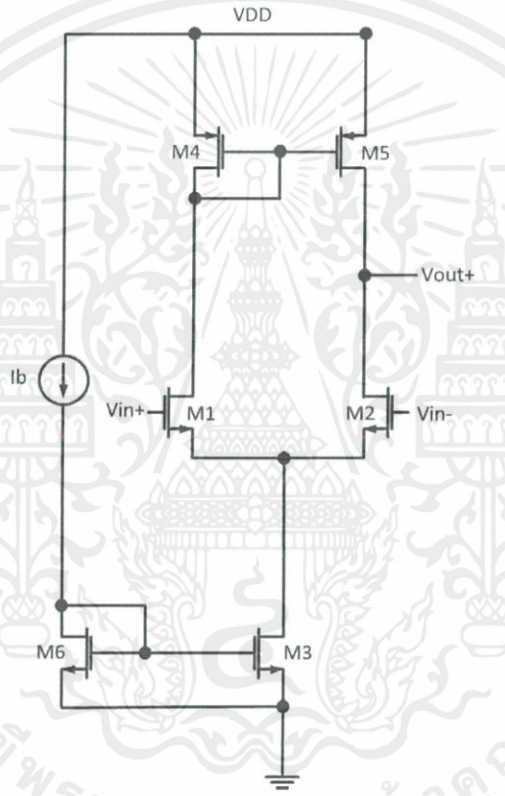


รูปที่ 3.15 Control Logic

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้แปลงสัญญาณอนาล็อกเป็นดิจิทัล ประกอบด้วย วงจรอินทริเกรท วงจรเปรียบเทียบแรงดันและวงจร Control Logic โดยการทำงานจะแบ่งเป็นสองช่วงคือ เฟส 1 และ เฟส 2 ในเฟส 1 สวิตซ์ SW1 จะสลับไปที่ตำแหน่ง -Vin ทำให้ตัวเก็บประจุ C_F ถูกชาร์จเป็นช่วงเวลา T_1 และในเฟส 2 สวิตซ์ SW1 จะสลับไปที่ตำแหน่ง Vref ทำให้วงจร Control Logic เริ่มนับและตัวเก็บประจุจะคายประจุจนแรงดันลดลงจนเท่ากับ Vcm เป็นช่วงเวลา T_2 ช่วงเวลาที่นับได้จะถูกนำไปแปลงเป็นสัญญาณดิจิทัลด้วยรีจิสเตอร์ จากนั้นวงจรจะถูกรีเซ็ทด้วยสวิตซ์ SW2 เพื่อทำการแปลงสัญญาณครั้งต่อไป

Comparator



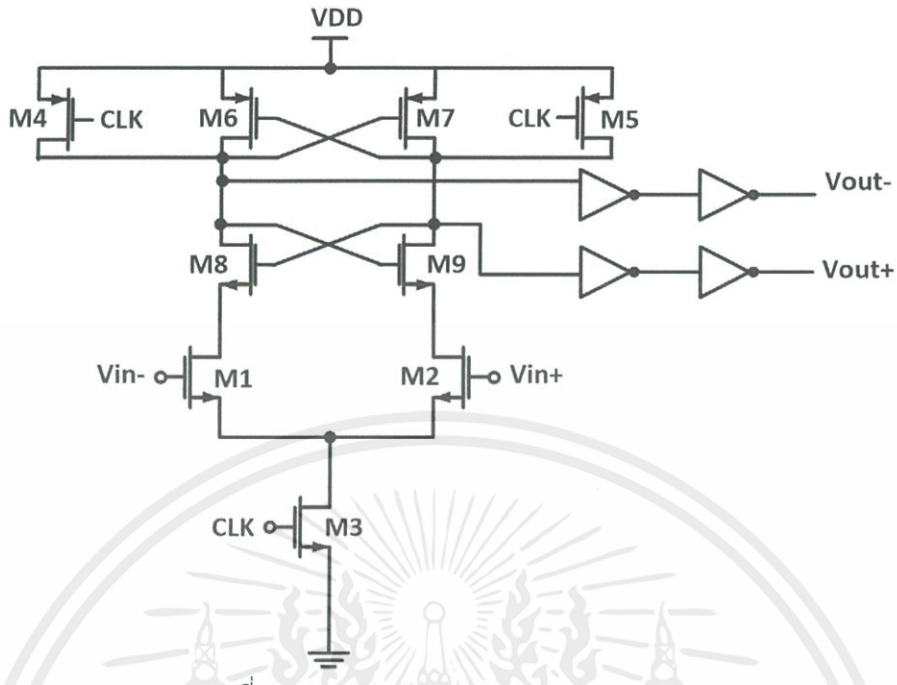
รูปที่ 3.16 Comparator

ตารางที่6 ค่า parameter ของ Comparator

Parameter	Value
M1, M2	10 um/1 um
M3	50 um/1 um
M4, M5	14 um/1 um
M6,	2 um/1 um
Ib	50 uA

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Latch Comparator



รูปที่ 3.17 High Speed Latch Comparator

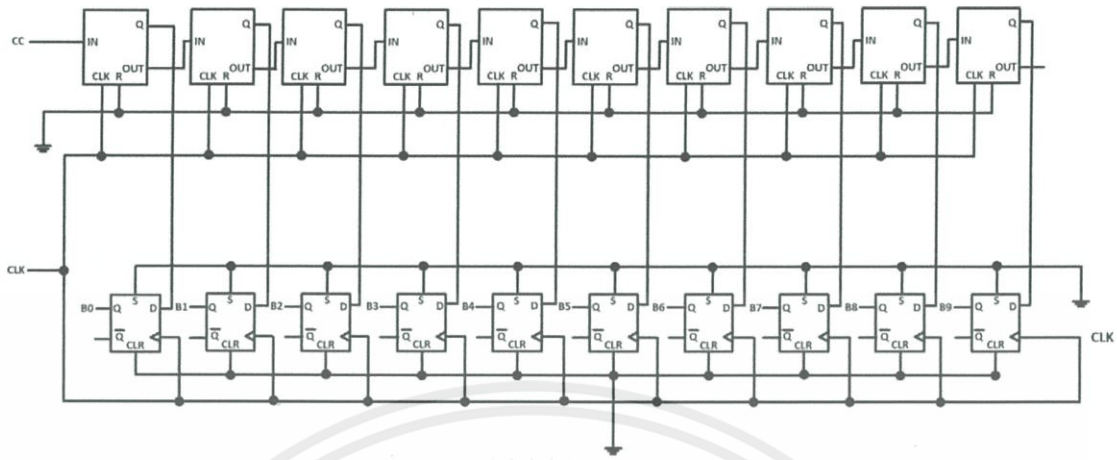
ในระหว่างเฟสรีเซ็ตเมื่อ CLK = LOW และ M3 off M4 – M5 จะทำให้ Vout- และ Vout+ เพิ่มขึ้นถึง VDD เพื่อกำหนดเงื่อนไขเริ่มต้นในการทำงาน ในการเปรียบเทียบเฟส เปรียบเทียบเมื่อ CLK = VDD ทรานซิสเตอร์ M4 และ M5 จะ off และ M3 จะ on และแรงดันไฟฟ้าขาออก (Vout+, Vout-) ที่ถูกชาร์จจนมีค่าเท่ากับ VDD จะเริ่มทำการคลายประจุ ด้วยอัตราที่แตกต่างกันขึ้นอยู่กับแรงดันไฟฟ้าอินพุต ในกรณีที่ VIN+> VIN-, Vout+ จะคลายประจุได้เร็วกว่า Vout- ส่งผลให้ Vout- มีค่าเท่ากับ Vdd และ Vout+ มีค่าเท่ากับกราวด์

ตารางที่7 ค่า parameter ของ High Speed Latch Comparator

Parameter	Value
M1, M2	1 um/1 um
M3	20 um/1 um
M4, M5	10 um/1 um
M6, M7	2 um/1 um
M8, M9	3 um/1 um
VLatch	3V

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Counter and Register



รูปที่ 3.18 Counter and Register

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

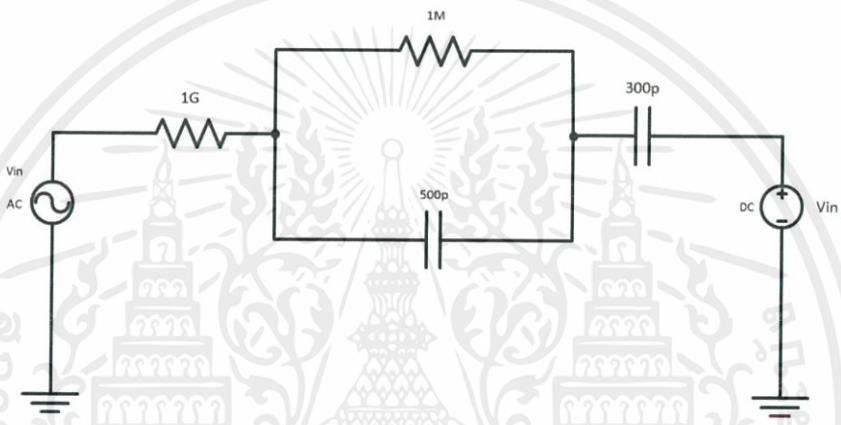
บทที่4

ผลของการทดลองที่ออกแบบ

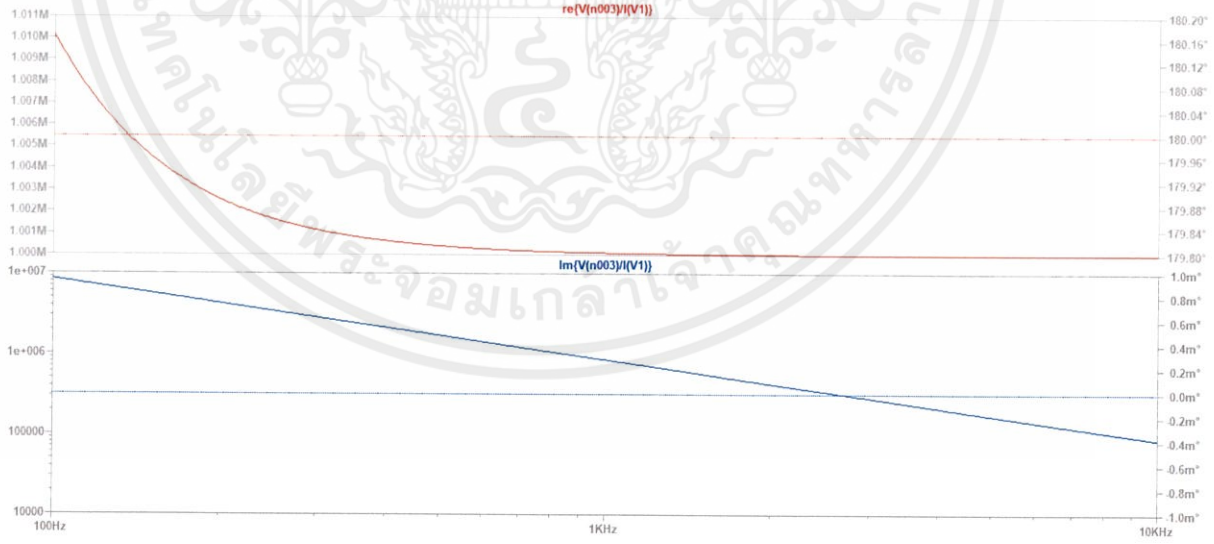
ผลของการ simulation

ในการ simulation ของวงจรที่ออกแบบได้ทำการออกแบบแยกเป็นส่วนๆดังนี้

4.1 Biosensor Model



รูปที่ 4.1 Biosensor Model

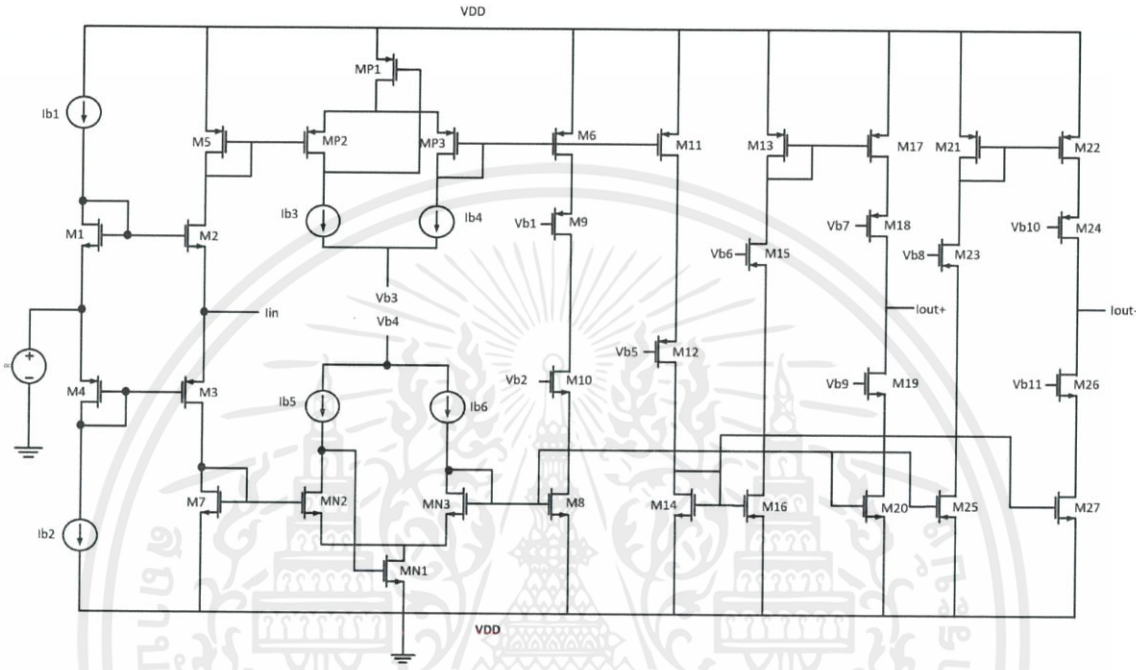


รูปที่ 4.2 กราฟตอบสนองความถี่แสดงค่าอิมพีแดนซ์แยกเป็นส่วนจริงและส่วนจินตภาพ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 Current Amplifier Class AB

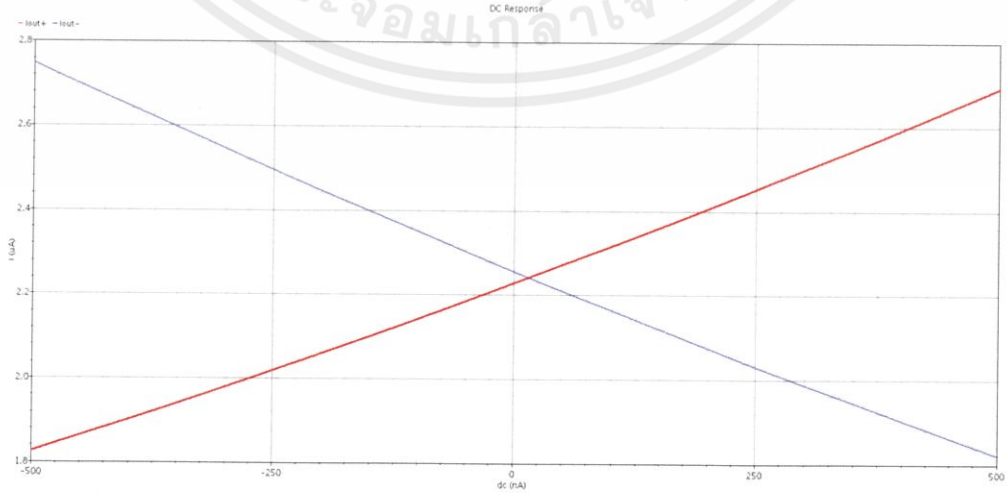
จากการทดลองออกแบบวงจร Current Amplifier Class AB โดยทำการจ่ายสัญญาณกระแสขาเข้าขนาด 1 nA ถึง 400 nA โดยทำงานได้ในช่วงความถี่ 1 – 10 KHz เข้าไปในวงจรซึ่งมีอัตราการขนาดแรงดันประมาณ 5 dB



รูปที่ 4.3 Current Amplifier Class AB

4.2.1 ผลของจำลองการทำงาน Current Amplifier Class AB

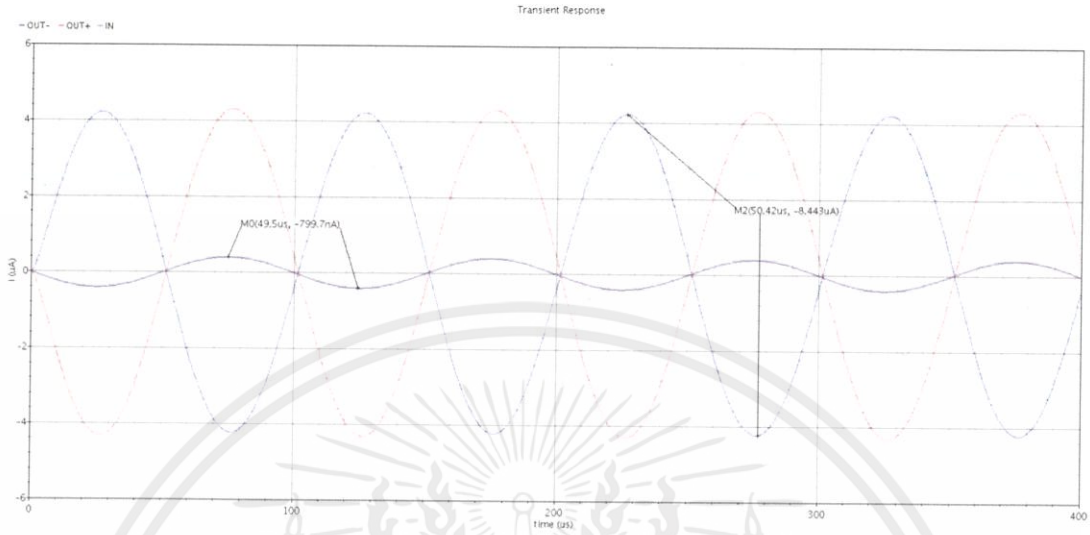
DC sweep ทดสอบโดยทำการเปลี่ยนค่ากระแสที่อินพุตเพื่อดูการเปลี่ยนแปลงของเอาต์พุตทั้งฝั่งบวกและลบ



รูปที่ 4.4 แสดงผลเอาต์พุต DC Sweep ของวงจร Current Amplifier Class AB

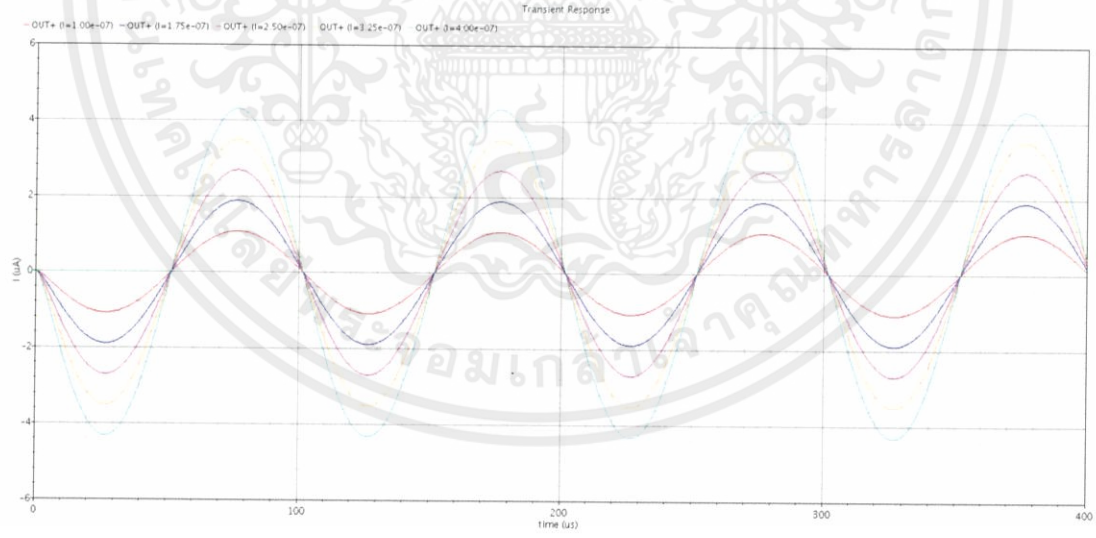
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Transient analysis : ทดสอบโดยการเปลี่ยนขนาดของสัญญาณกระแสขาเข้าในช่วงของขนาดสัญญาณตั้งแต่ 1 nA – 400 nA



รูปที่ 4.5 แสดงผลเอาต์พุตเมื่อจำลองทางเวลาที่อินพุต 400nA

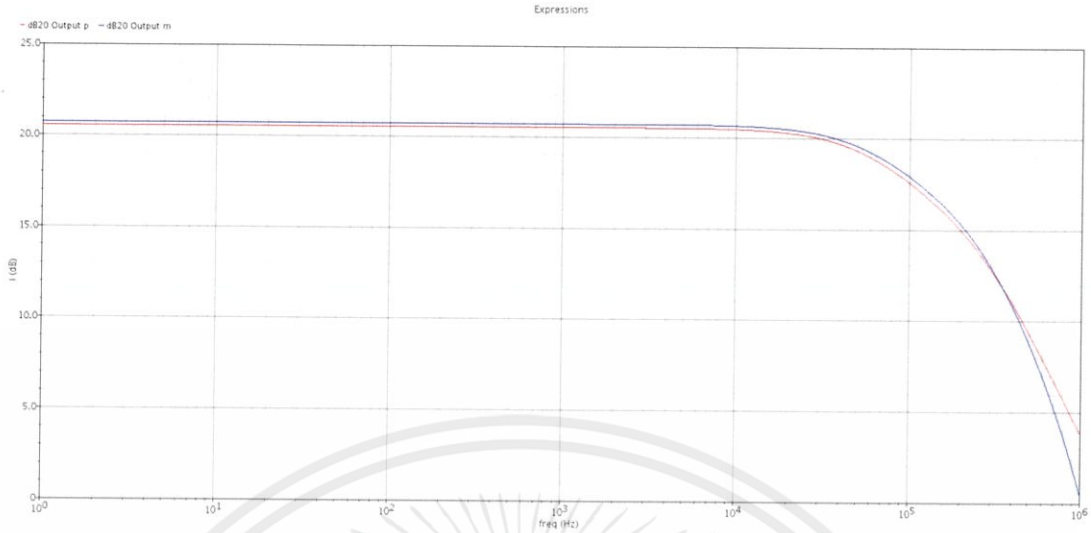
Sweep 100n – 400nA



รูปที่ 4.6 แสดงผลเอาต์พุตเมื่อจำลองทางเวลาที่อินพุตตั้งแต่ 1nA-400nA

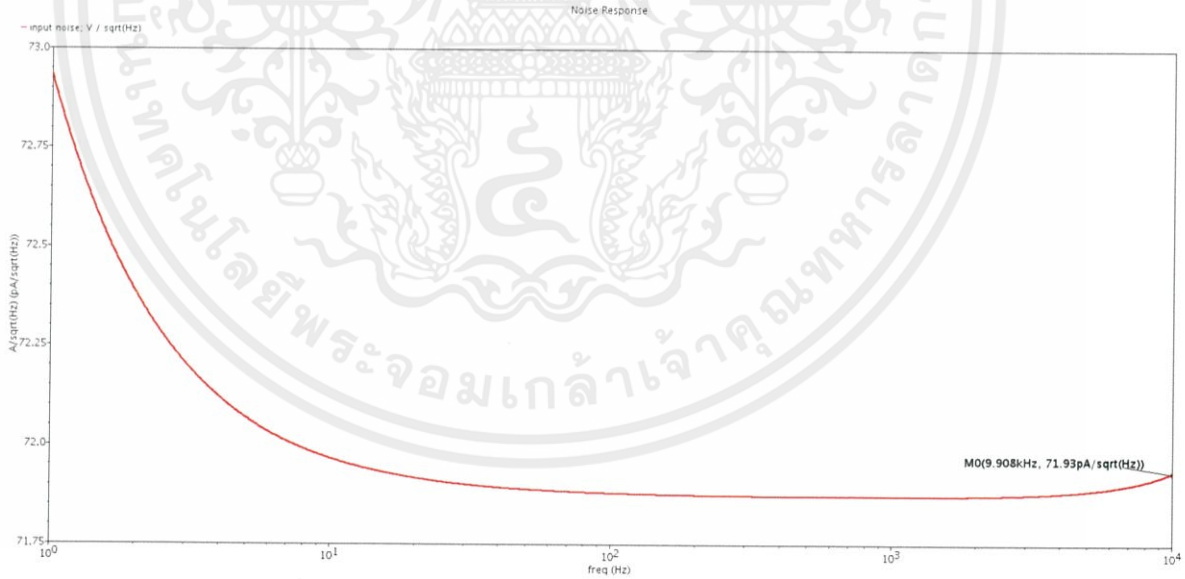
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC analysis : ทดสอบอัตราการขยายของวงจรที่ช่วงความถี่ต่างๆ ทั้งฝั่ง + และ -



รูปที่ 4.7 แสดงอัตราขยายและเฟสที่เอาต์พุตฝั่งบวก

Noise : ทดสอบขนาดของสัญญาณรบกวนในช่วงความถี่ใช้งาน



รูปที่ 4.8 แสดงผลการจำลองสัญญาณรบกวนฝั่งอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

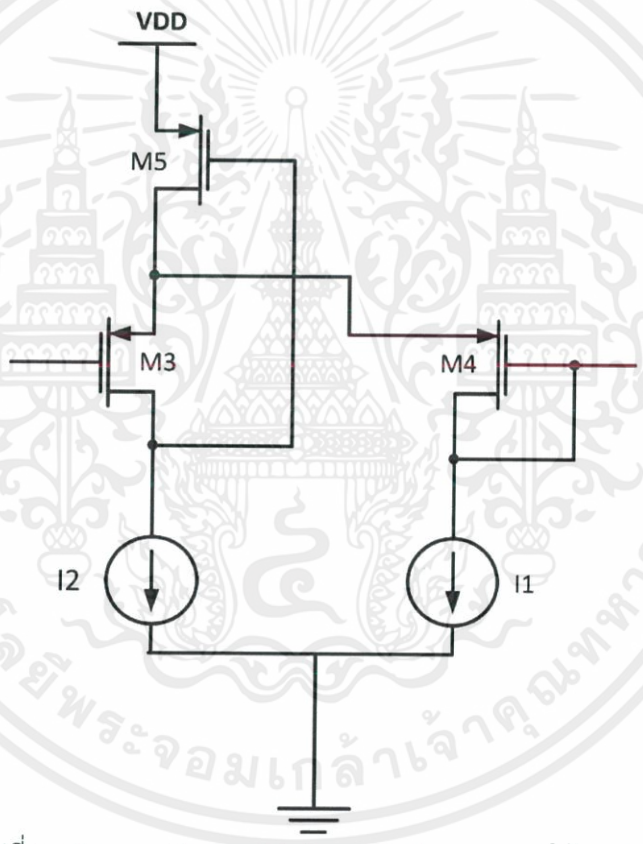
Device	Param	Noise Contribution	% Of Total
/MP2	id	1.41114e-10	0.01
/MN2	id	1.26447e-10	0.01
/MP3	id	1.08485e-10	0.01
/MN3	id	9.93095e-11	0.01
/M5	id	6.9834e-11	0.00

Integrated Noise Summary (in V) Sorted By Noise Contributors
Total Summarized Noise = 1.2877e-08
Total Input Referred Noise = 7.18891e-09
The above noise summary info is for noise data

รูปที่ 4.9 ผลการจำลองค่าสัญญาณรบกวนรวมที่ฝั่งอินพุตของวงจร

4.2.2 flipped voltage follower

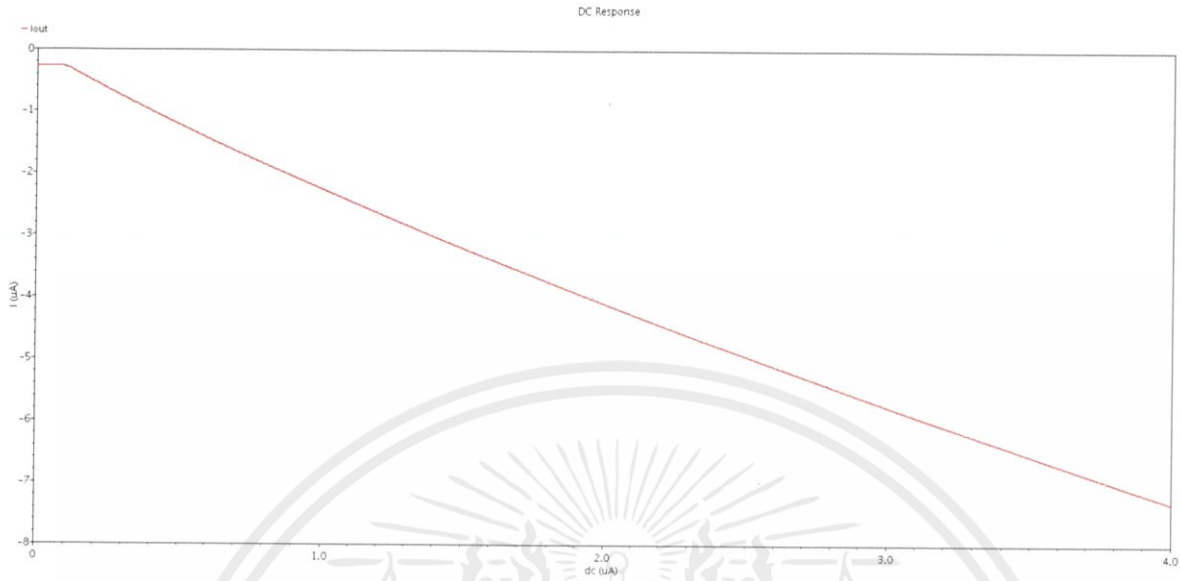
PMOS



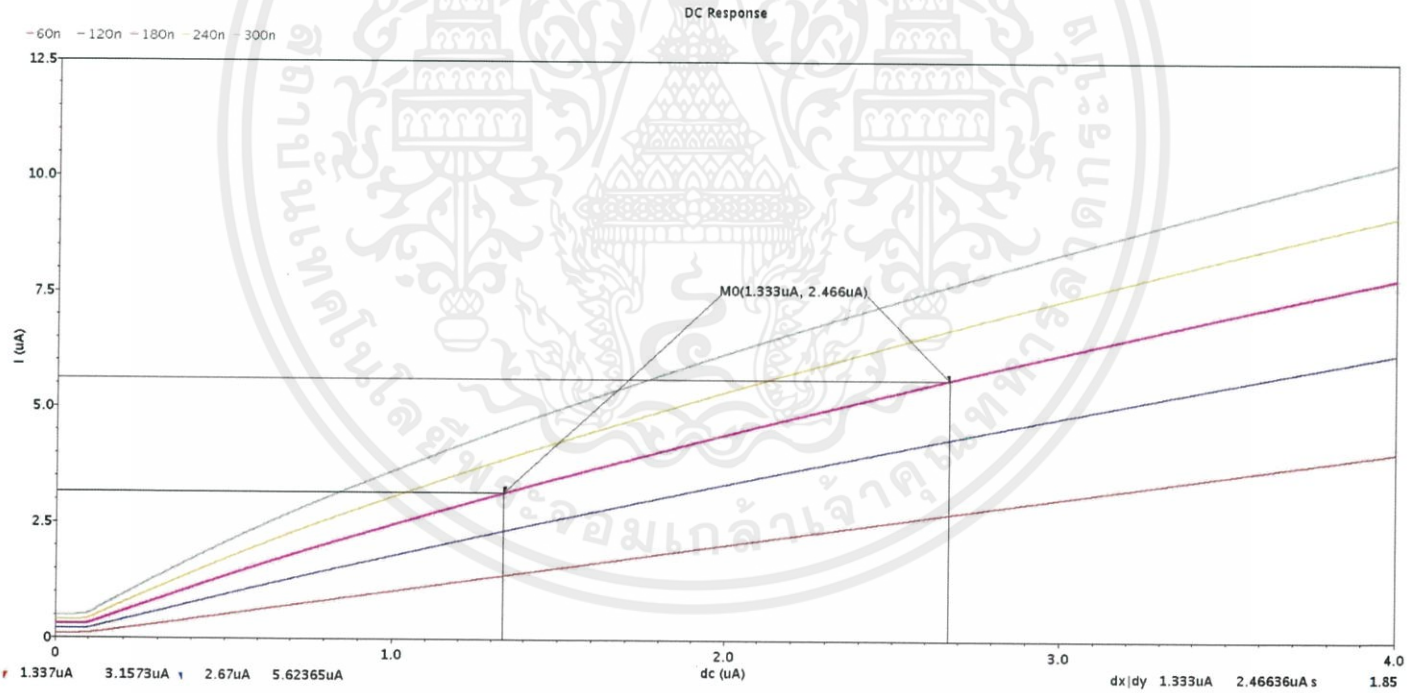
รูปที่ 4.10 วงจร Flipped Voltage Follower แบบใช้ PMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการจำลองส่วนวงจร Flipped Voltage Follower แบบใช้ PMOS

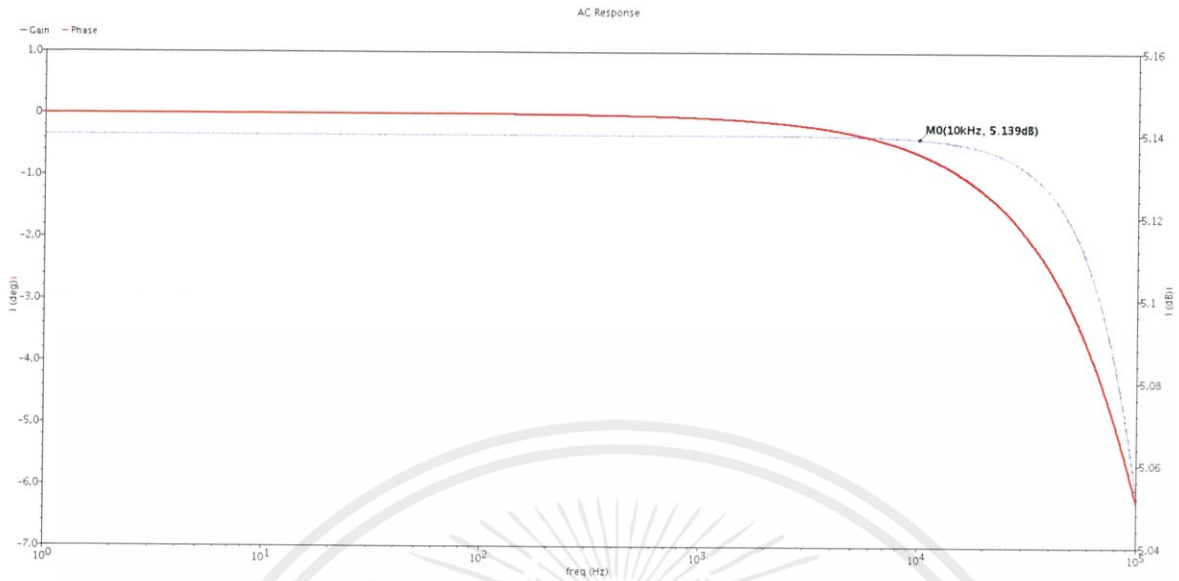


รูปที่ 4.11 แสดงอัตราขยายและเฟสของวงจร Flipped Voltage Follower แบบใช้ PMOS

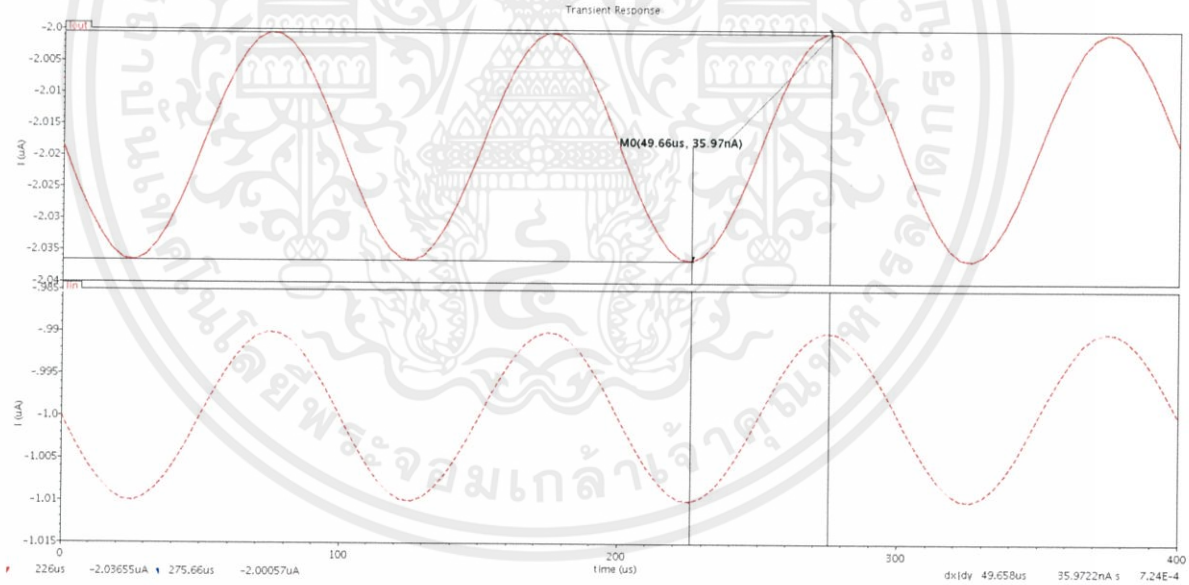


รูปที่ 4.12 แสดงความสัมพันธ์ระหว่างเอาต์พุตต่ออินพุตเมื่อมีการเปลี่ยนค่ากระแส Ib4

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



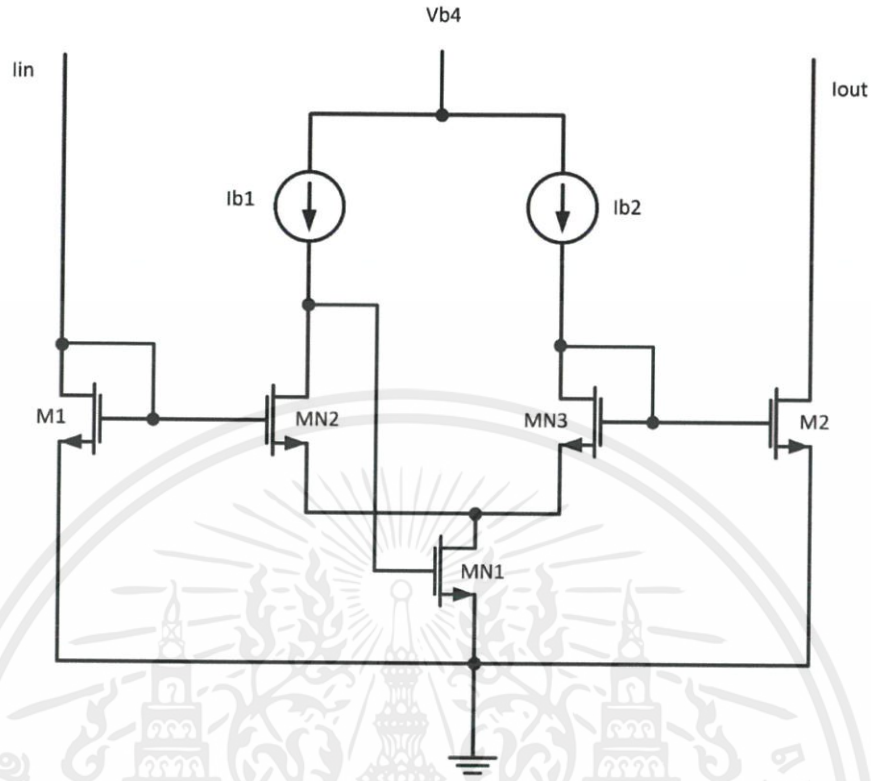
รูปที่ 4.13 แสดงผลเอาต์พุตเมื่อเปลี่ยนค่าไฟตรงที่อินพุตของวงจร Flipped Voltage Follower แบบใช้ PMOS



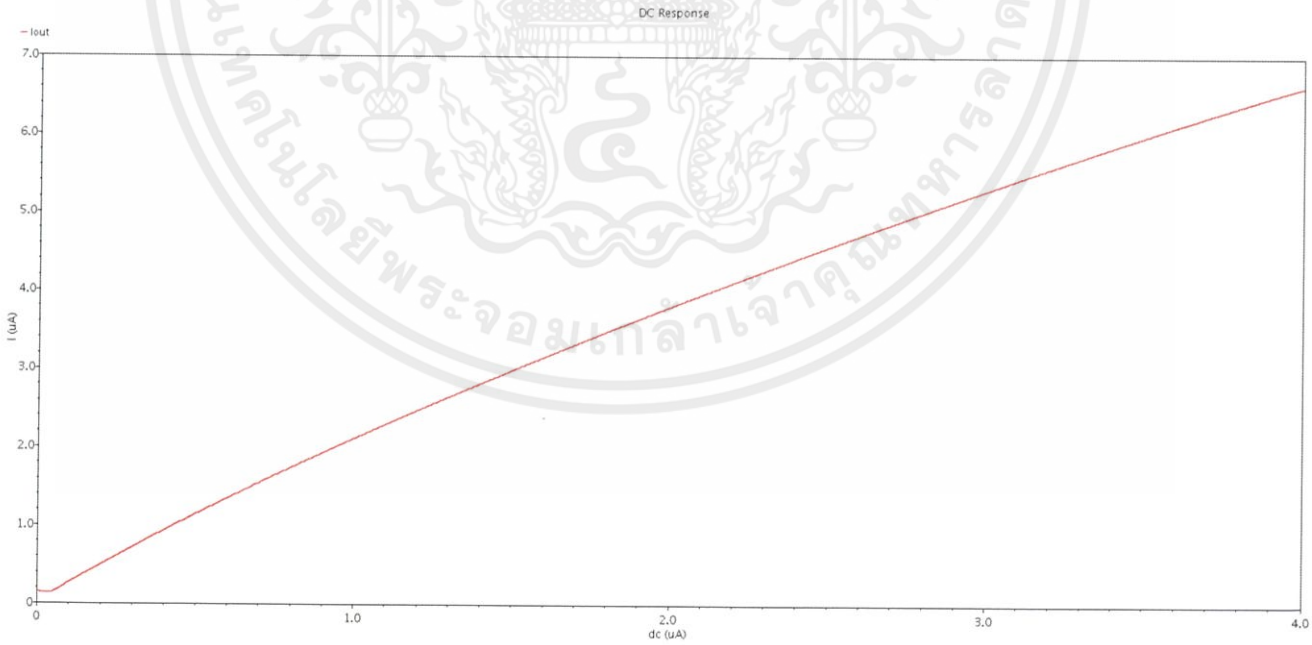
รูปที่ 4.14 แสดงผลการจำลองทางเวลาของเอาต์พุตเทียบอินพุต ของวงจร Flipped Voltage Follower แบบใช้ PMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

NMOS

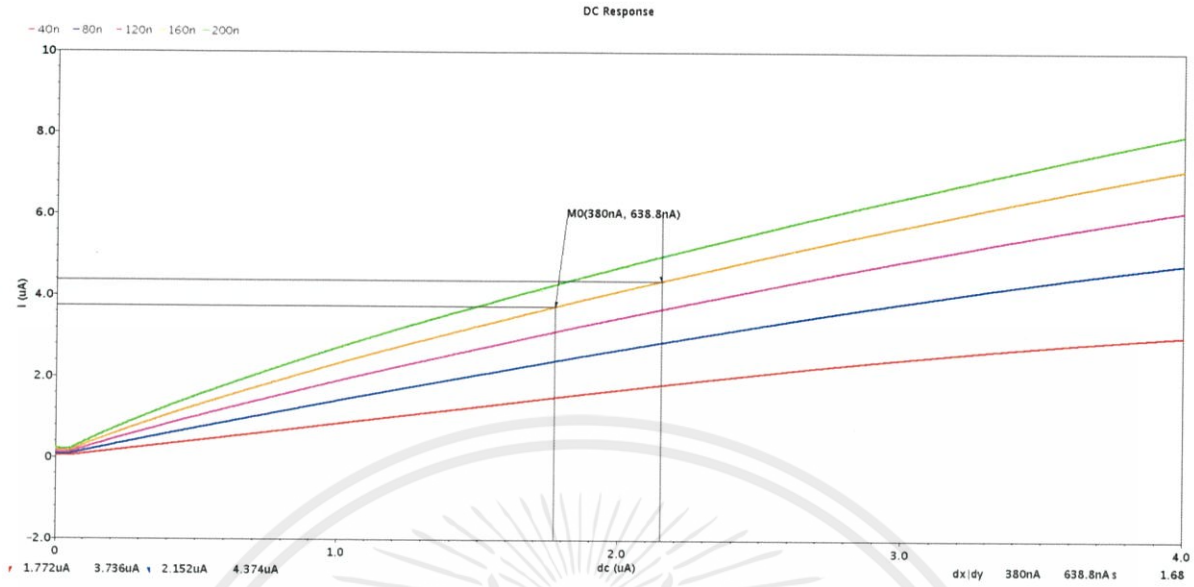


รูปที่ 4.15 วงจร Flipped Voltage Follower แบบใช้ NMOS

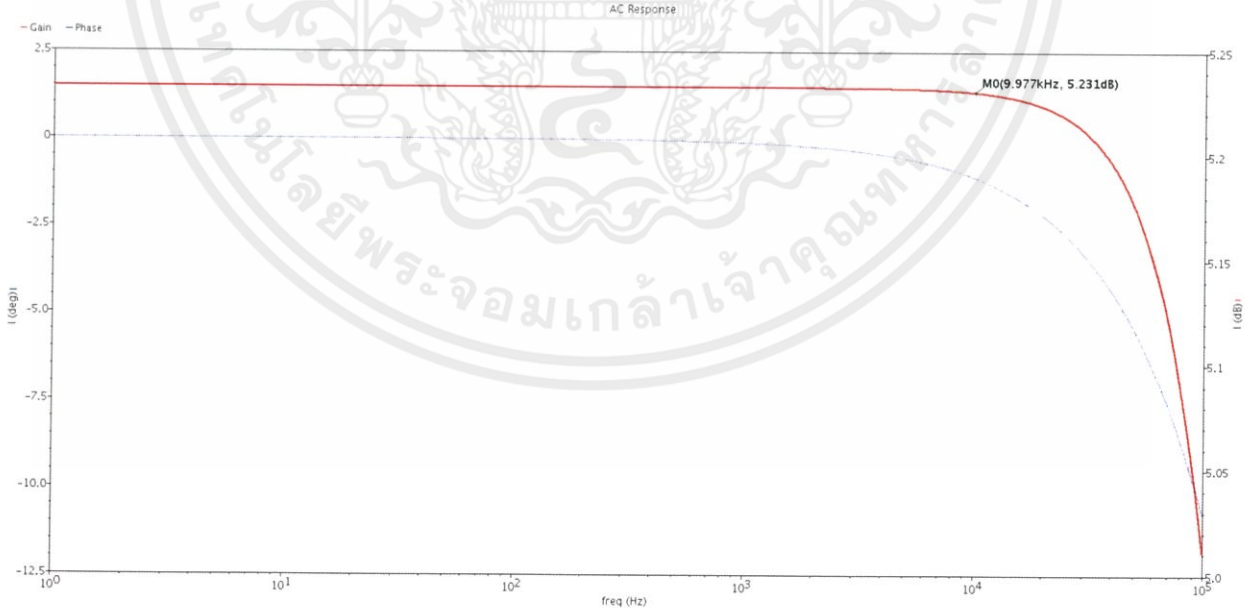


รูปที่ 4.16 แสดงผลเอาต์พุตเมื่อเปลี่ยนค่าไฟตรงที่อินพุตของวงจร Flipped Voltage Follower แบบใช้ NMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

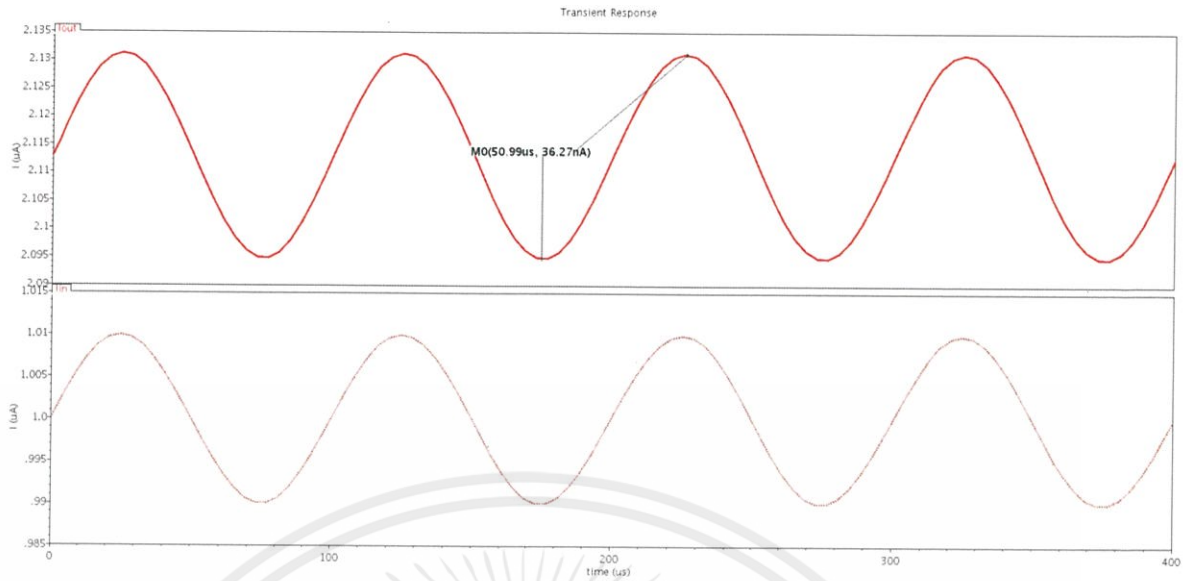


รูปที่ 4.17 แสดงความสัมพันธ์ระหว่างเอาต์พุตต่ออินพุตเมื่อมีการเปลี่ยนค่ากระแส Ib6



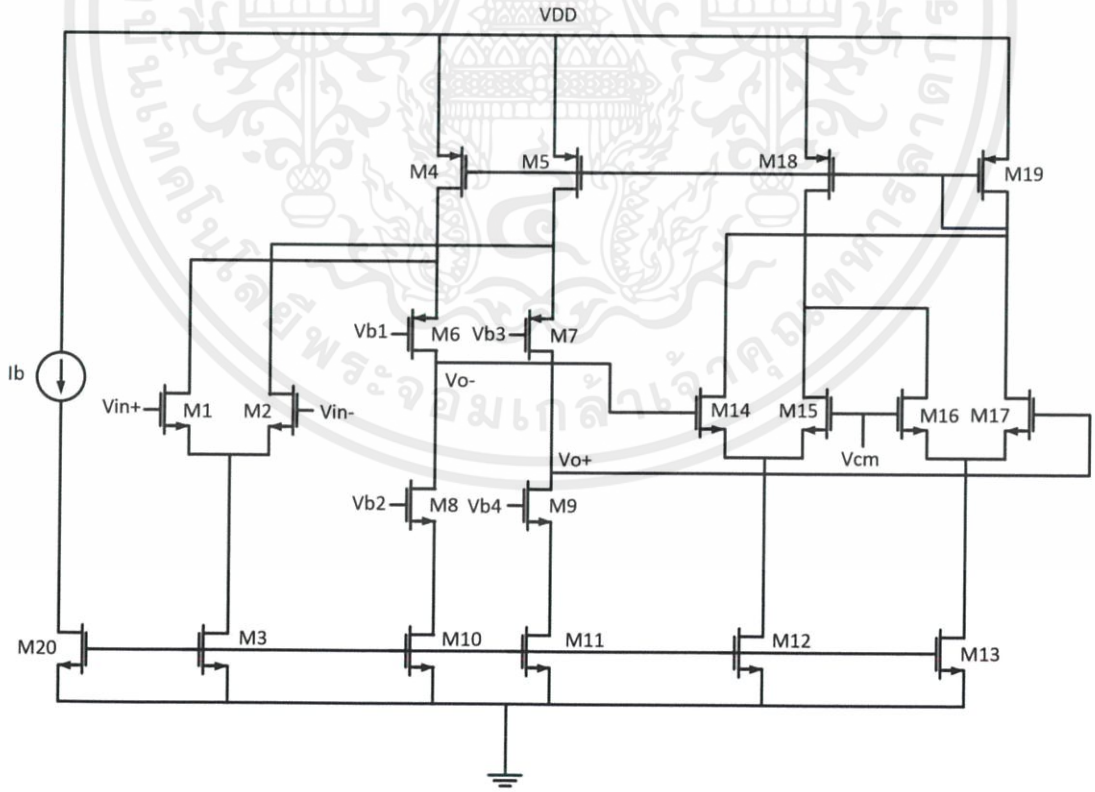
รูปที่ 4.18 แสดงอัตราขยายและเฟสของวงจร Flipped Voltage Follower แบบใช้ NMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.19 แสดงผลการจำลองทางเวลาของเอาต์พุตเทียบอินพุต ของวงจร Flipped Voltage Follower แบบใช้ NMOS

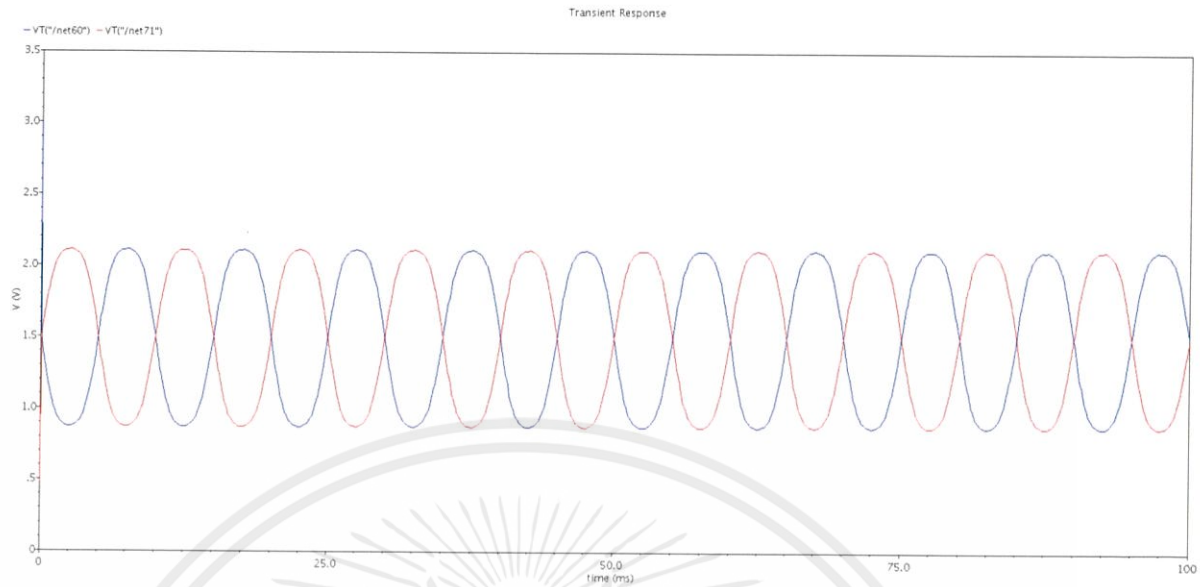
4.3 Fully Differential Folded Cascode Amplifier



รูปที่ 4.20 วงจร Fully Differential Folded Cascode Amplifier

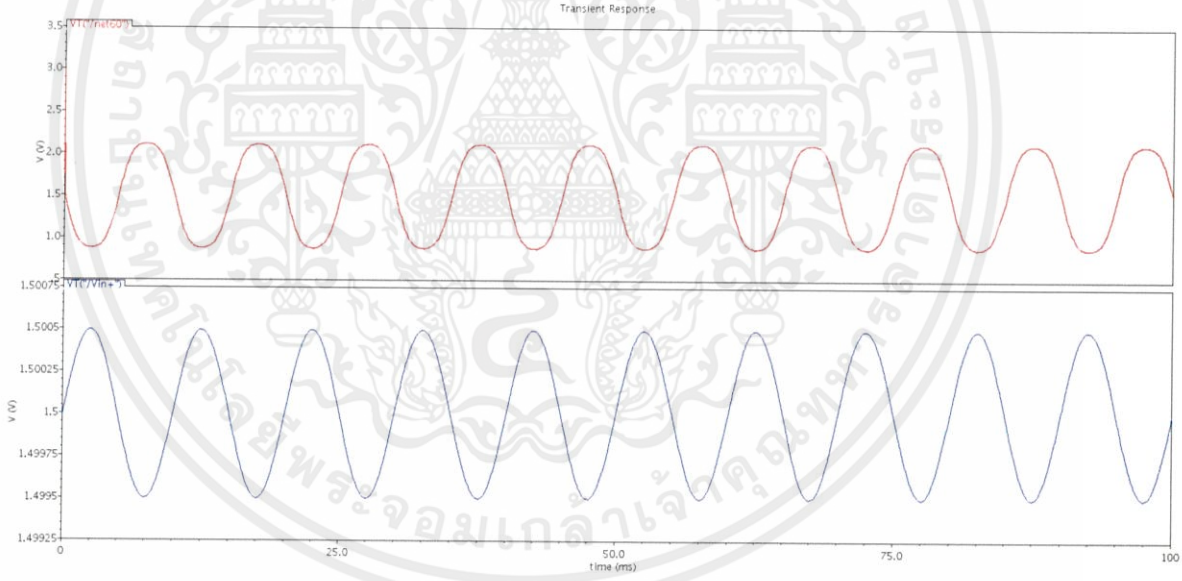
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Transient Analysis



Vout+, Vout-

รูปที่ 4.21 ผลการจำลองแบบทางเวลาของสัญญาณเอาต์พุตบวกและสัญญาณเอาต์พุตลบ

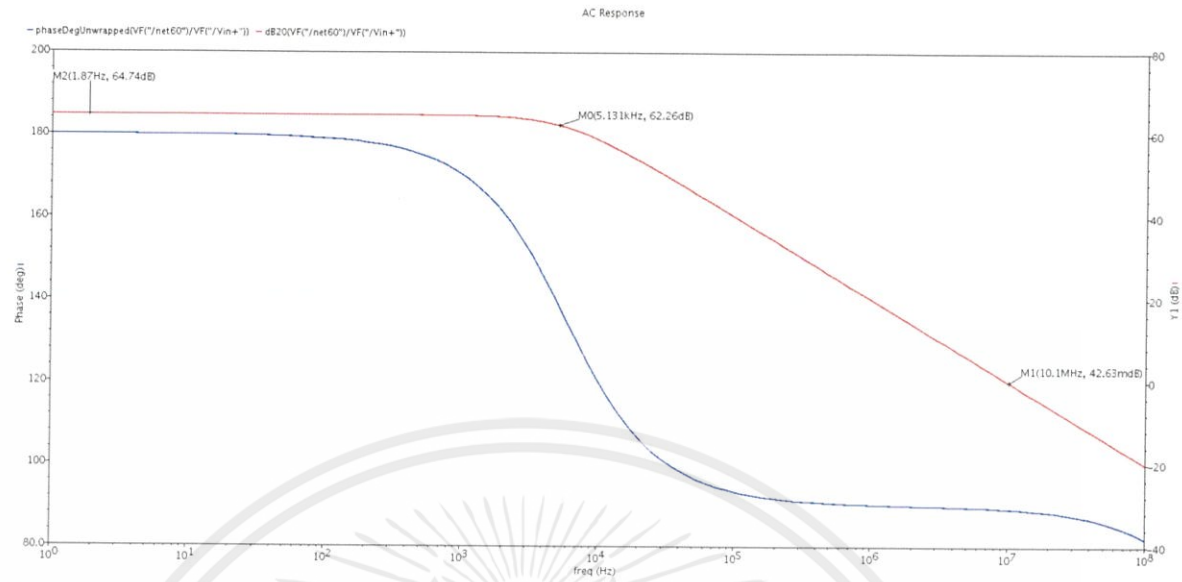


Vin+, Vin-

รูปที่ 4.22 ผลการจำลองทางเวลาระหว่างสัญญาณเอาต์พุตลบและสัญญาณอินพุตบวก (ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC analysis

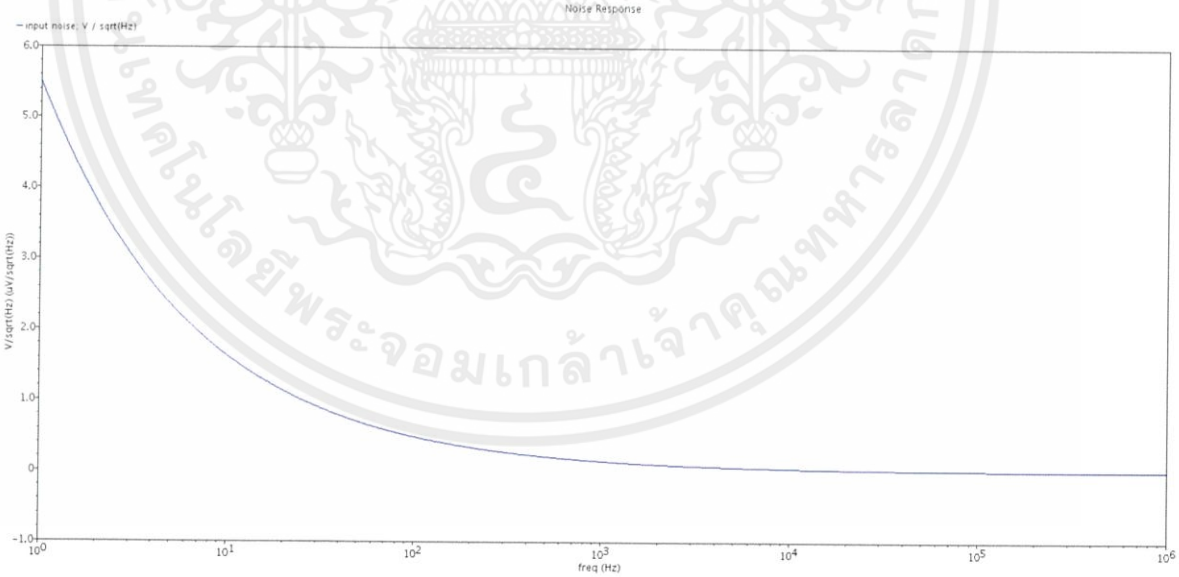


Gain, Phase

รูปที่ 4.23 กราฟอัตราขยายและเฟส

จากรูปที่ 4.25 เป็นการจำลองผลแบบ AC Analysis ระหว่างอัตราขยายและเฟสที่ Vo- และ Vin+ อัตราขยาย 65 dB และความถี่คัทออฟที่ 5 kHz

Noise



รูปที่ 4.24 ผลการจำลองสัญญาณรบกวนที่อินพุต

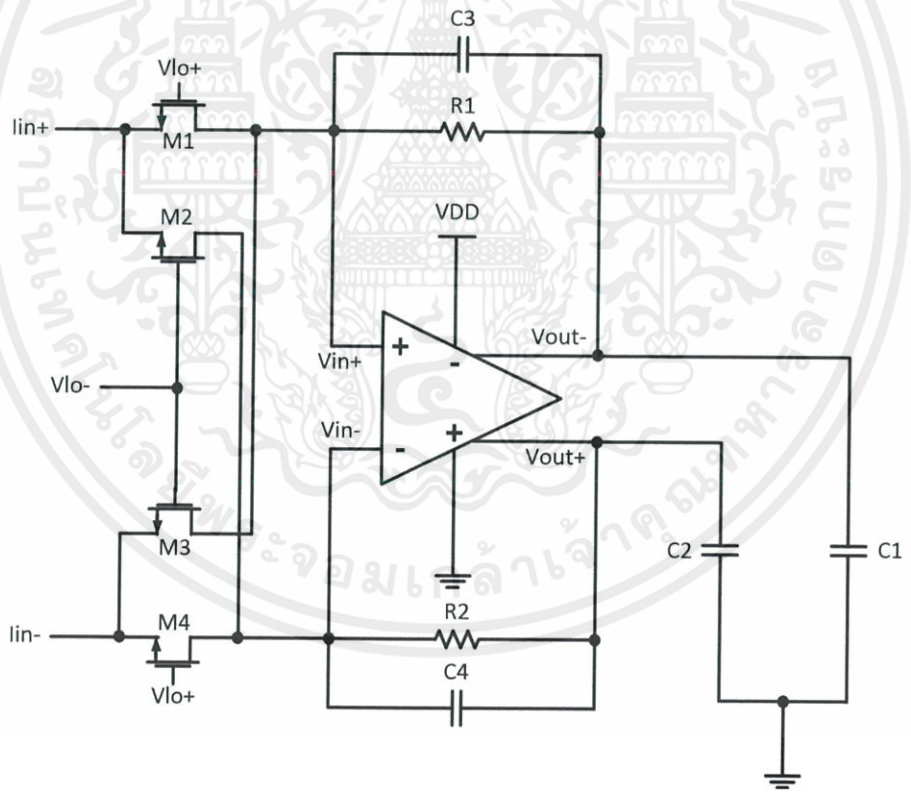
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Device	Param	Noise Contribution	% Of Total
/M3	fn	0.00369502	21.75
/M4	fn	0.00369477	21.75
/M13	fn	0.0033843	18.25
/M14	fn	0.00338406	18.24
/M1	fn	0.0024099	9.25
/M2	fn	0.0024099	9.25
/M7	fn	0.000588511	0.55
/M8	fn	0.000588478	0.55
/M1	id	0.000227209	0.08
/M2	id	0.000227209	0.08

Integrated Noise Summary (in V) Sorted By Noise Contributors
Total Summarized Noise = 0.00792294
Total Input Referred Noise = 9.89381e-06
The above noise summary info is for noise data

รูปที่ 4.25 ผลการจำลองค่าสัญญาณรบกวนรวมทางฝั่งอินพุตของวงจร

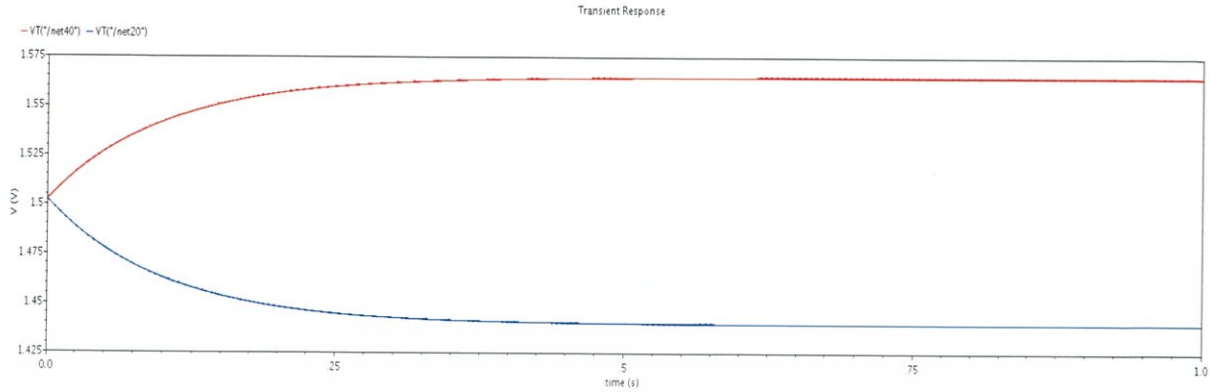
4.4 Differential Current Mode Passive Mixers



รูปที่ 4.26 Differential Current Mode Passive Mixers

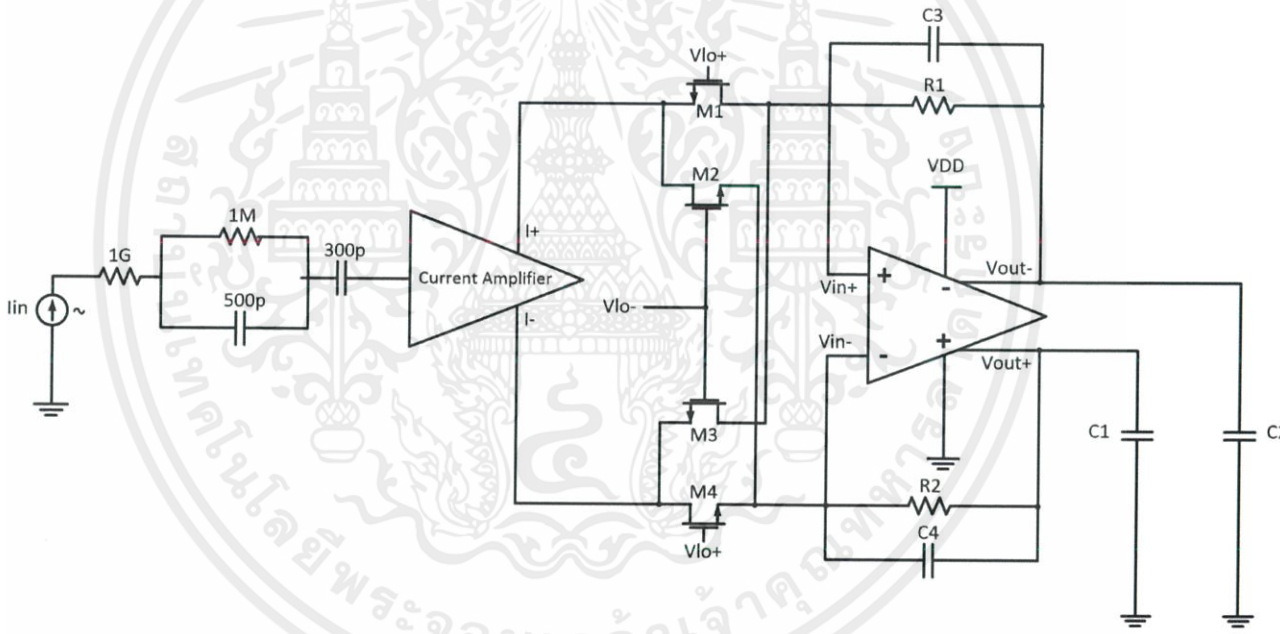
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Transient Analysis



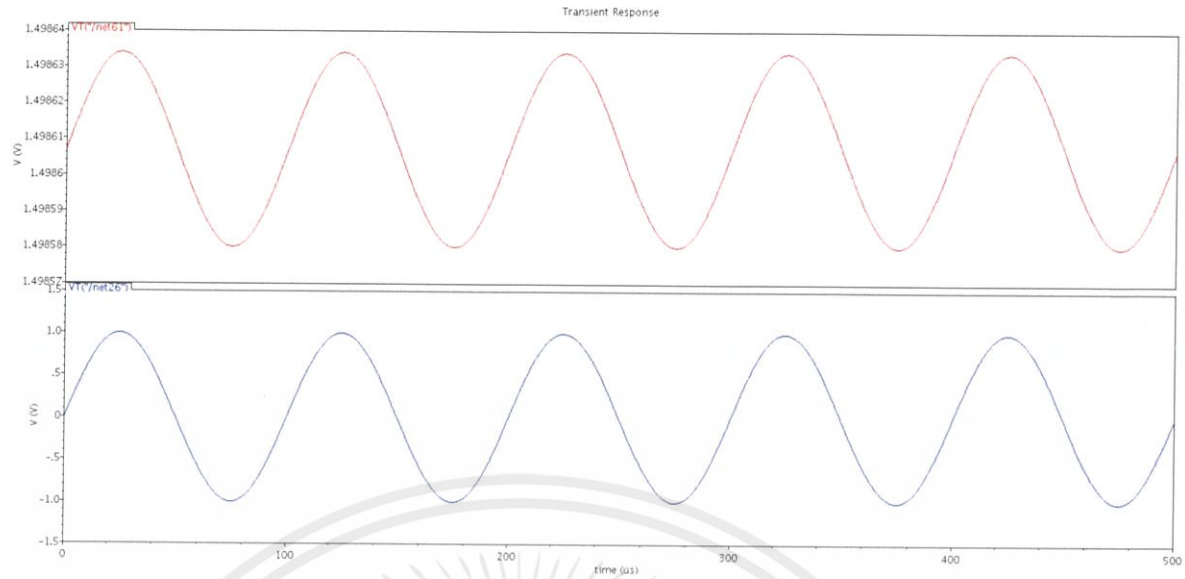
Vout-, Vout+

รูปที่ 4.27 ผลการจำลองทางเวลาของสัญญาณเอาต์พุตบวกและสัญญาณเอาต์พุตลบ



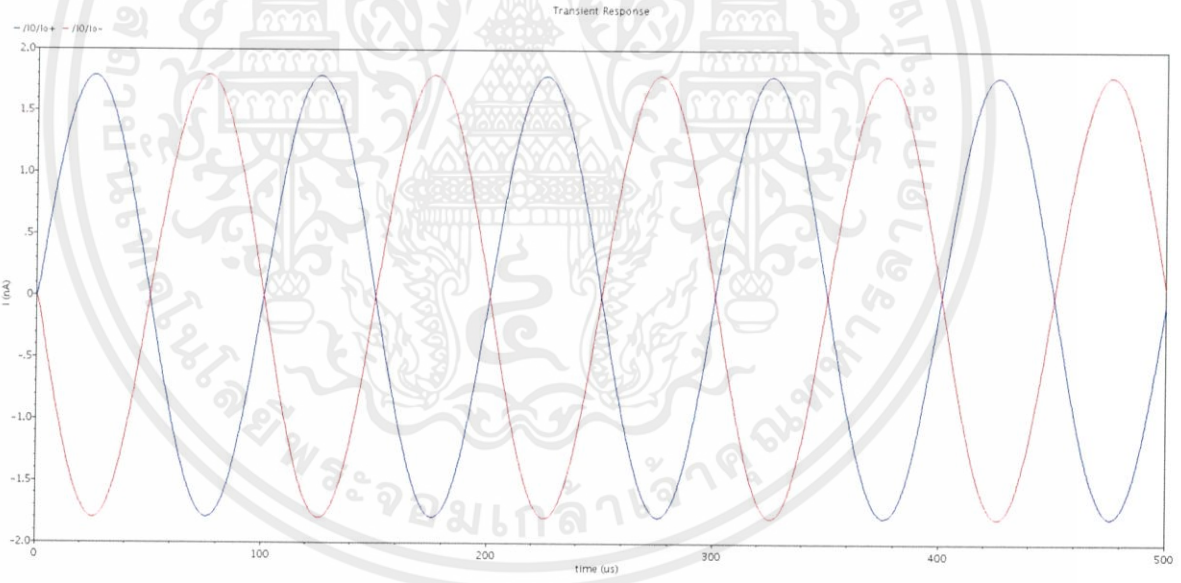
รูปที่ 4.28 วงจรรวมทั้งหมดที่ออกแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Vout, Vin

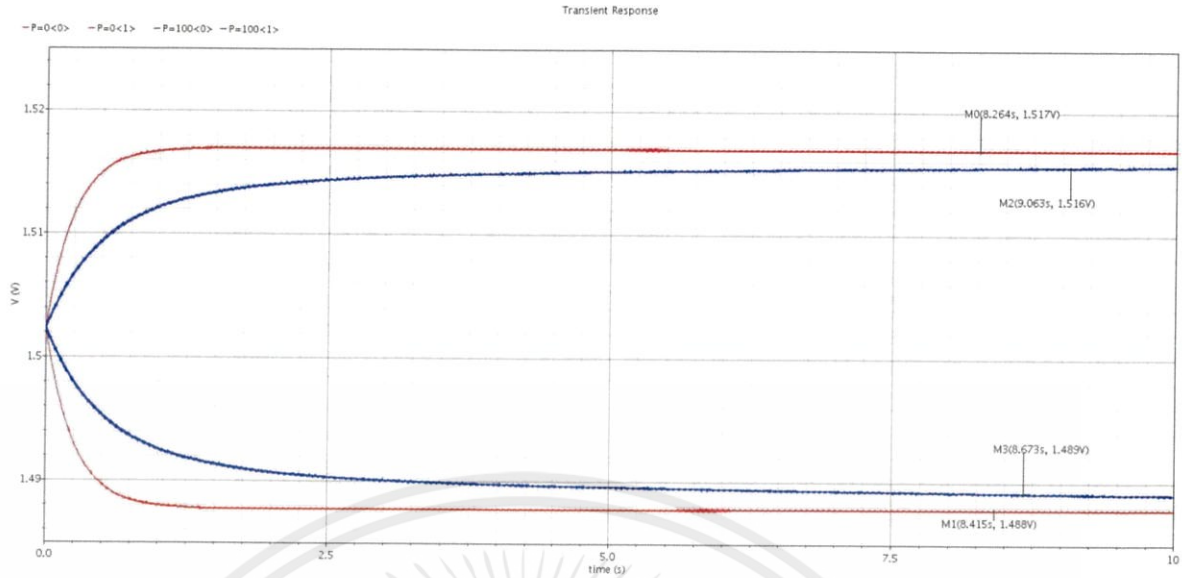
รูปที่ 4.29 แสดงผลเอาต์พุตและอินพุตเมื่อจำลองทางเวลาของของไบโอเซ็นเซอร์



$I_o(+)$, $I_o(-)$

รูปที่ 4.30 แสดงผลเอาต์พุตเมื่อจำลองทางเวลาของ Current Amplifier Class AB

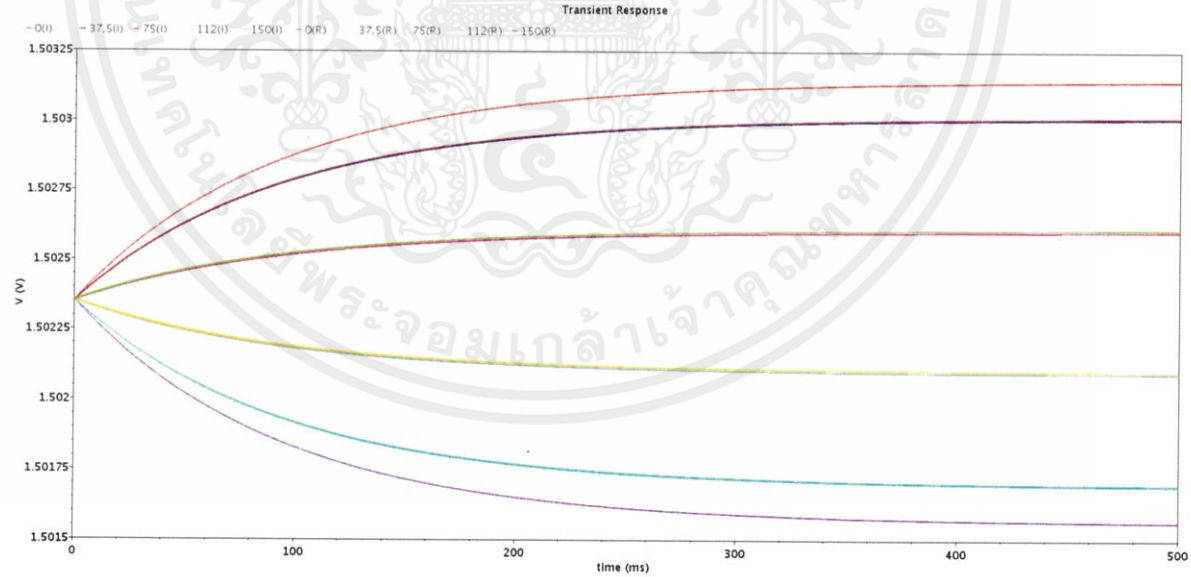
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Phase= 0, Phase=100

รูปที่ 4.31 แสดงผลเอาต์พุตเมื่อจำลองทางเวลาที่ Vout+ และ Vout-

จากรูปที่ 4.33 เป็นการจำลองทางเวลาที่ Vout+ และ Vout- สัญญาณจะถูกเปลี่ยนเป็นแรงดันไฟตรง สัญญาณอินพุตที่เฟสเท่ากับ 0 และ 100 องศา จะทำแรงดันเอาต์พุตมีขนาดเปลี่ยนไป

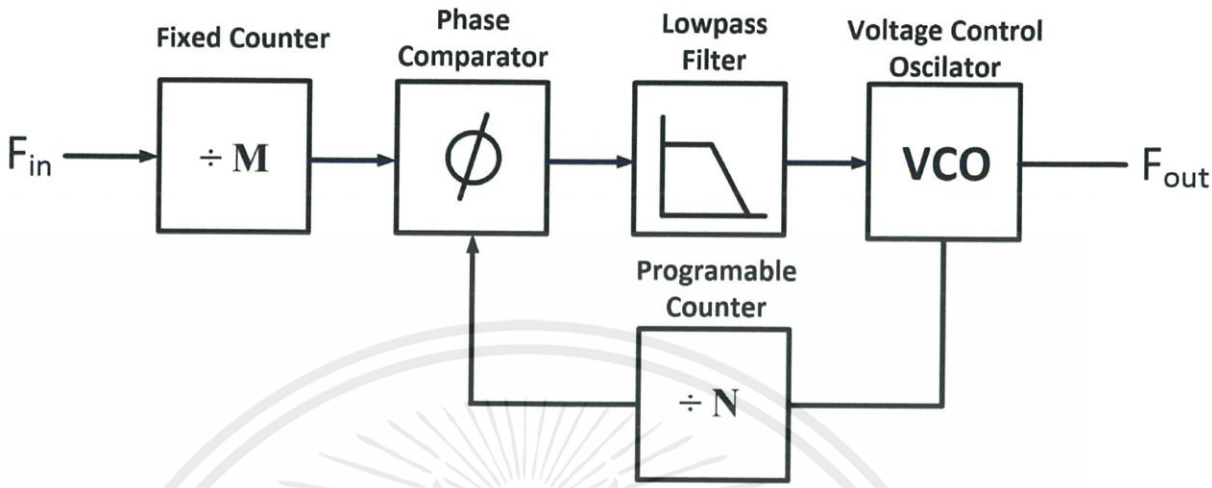


รูปที่ 4.32 ผลการจำลองวงจรโดยการเปลี่ยนเฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

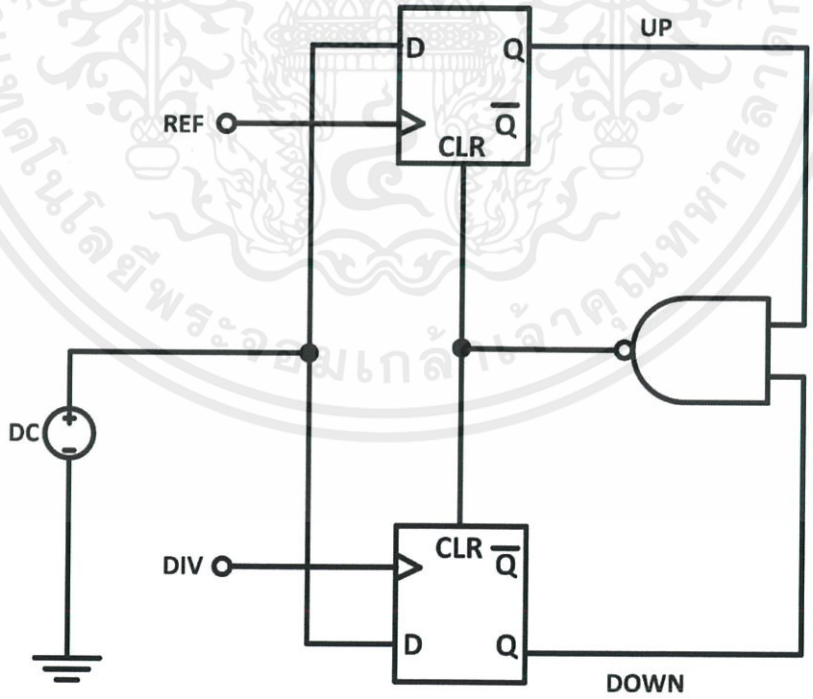
4.5 Phase Lock Loop

ออกแบบ PLL ที่สามารถ generate สัญญาณได้อยู่ในช่วง 100-10kHz ดังรูป 4.35



รูปที่ 4.33 Block Diagram ของ PLL

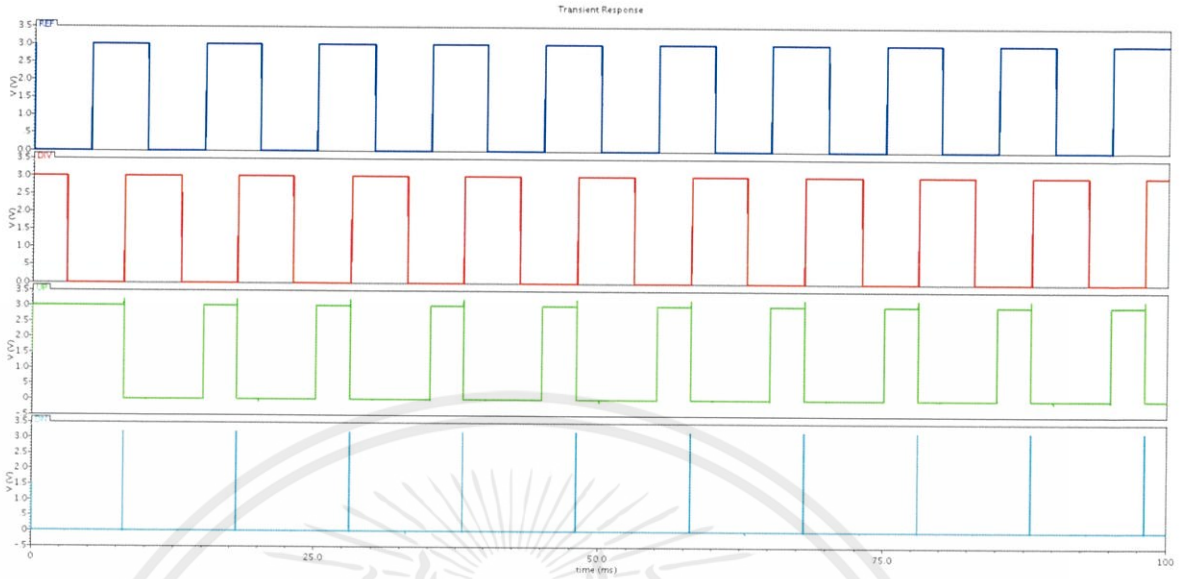
4.5.1 Phase Frequency Detector



รูปที่ 4.34 วงจร Phase Frequency Detector

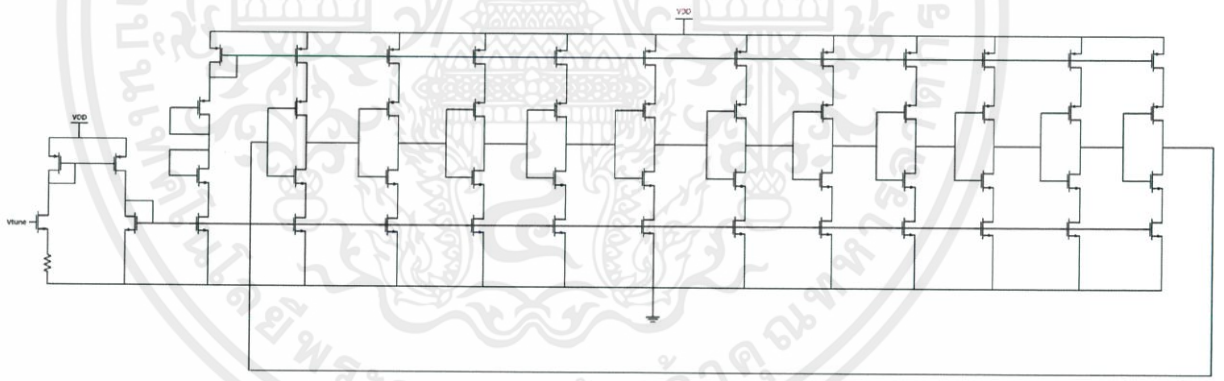
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Transien analysis เอาต์พุตที่ออกมาจาก Charge Pump



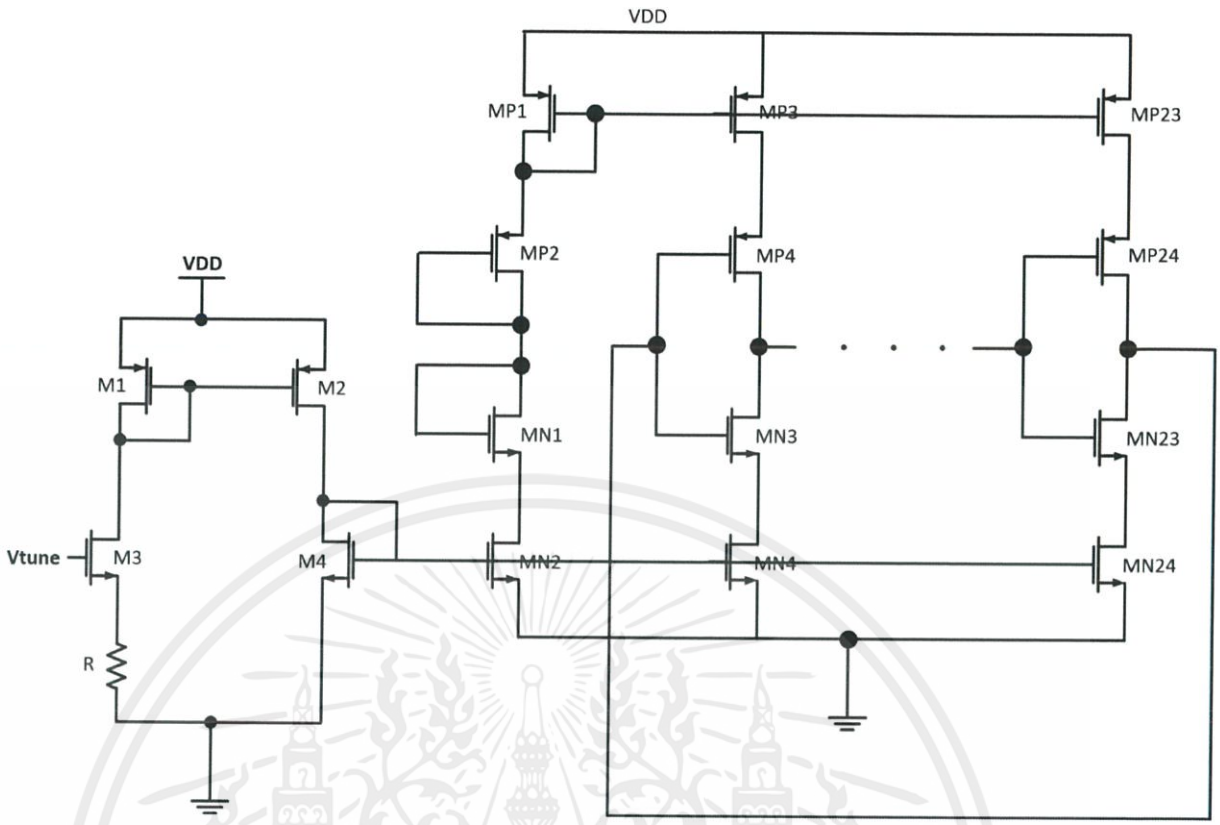
รูปที่ 4.35 กราฟแสดงผลทางเวลา ของสัญญาณ UP ,DOWN, REF และ DIV

4.5.4 Voltage Control Oscilator (VCO)



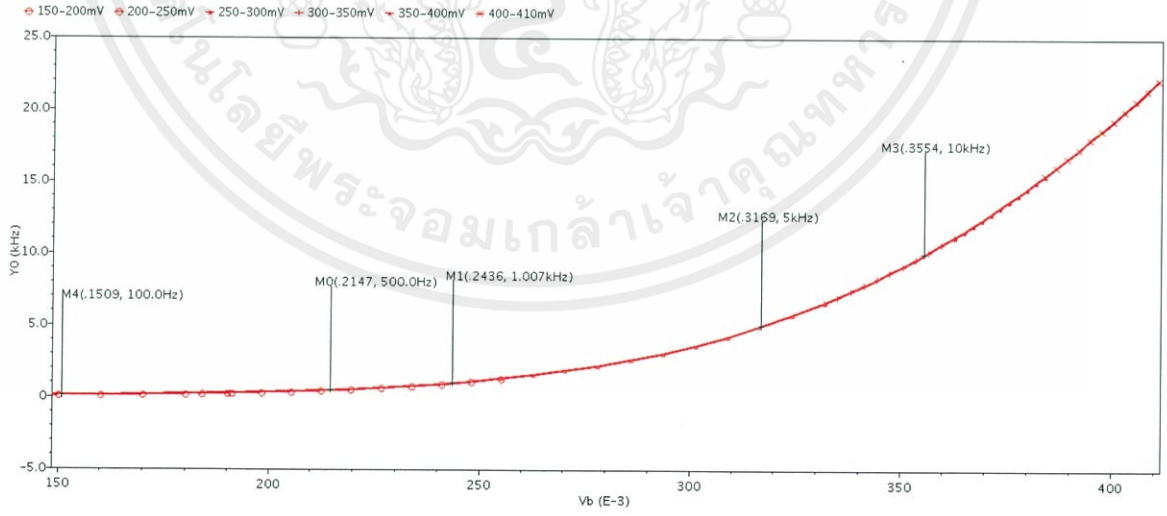
รูปที่ 4.36 Ring Oscillator

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.37 การเชื่อมต่อส่วนชุดไบอัสและสเตรทของ Ring Oscilator

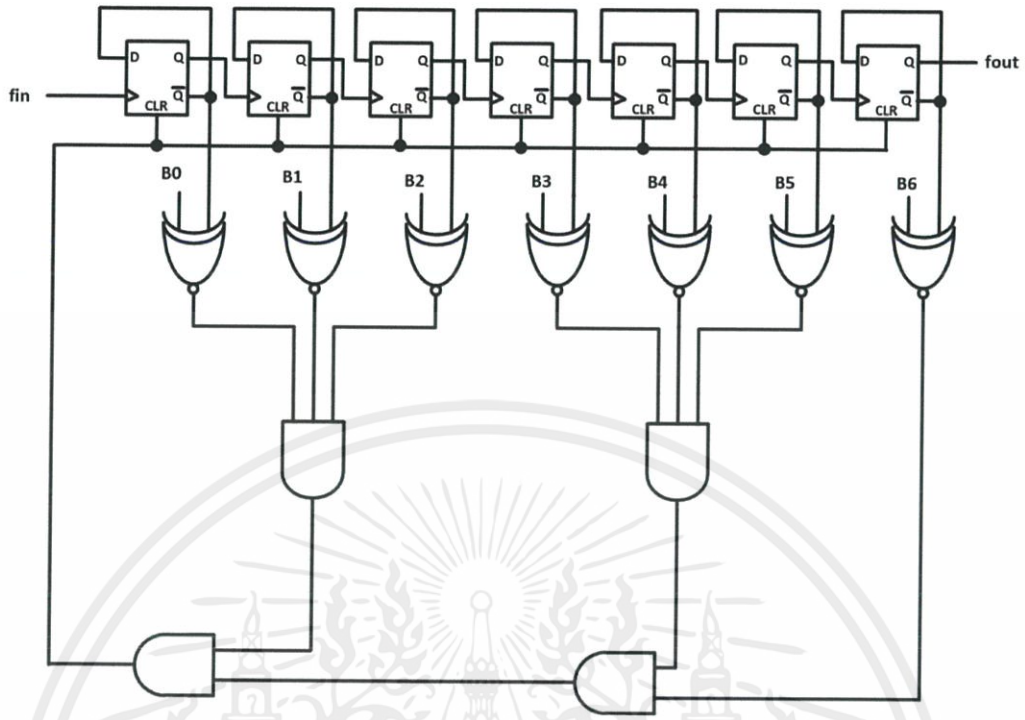
PSS analysis



รูปที่ 4.38 แสดงความเป็นเชิงเส้นของวงจร PLL

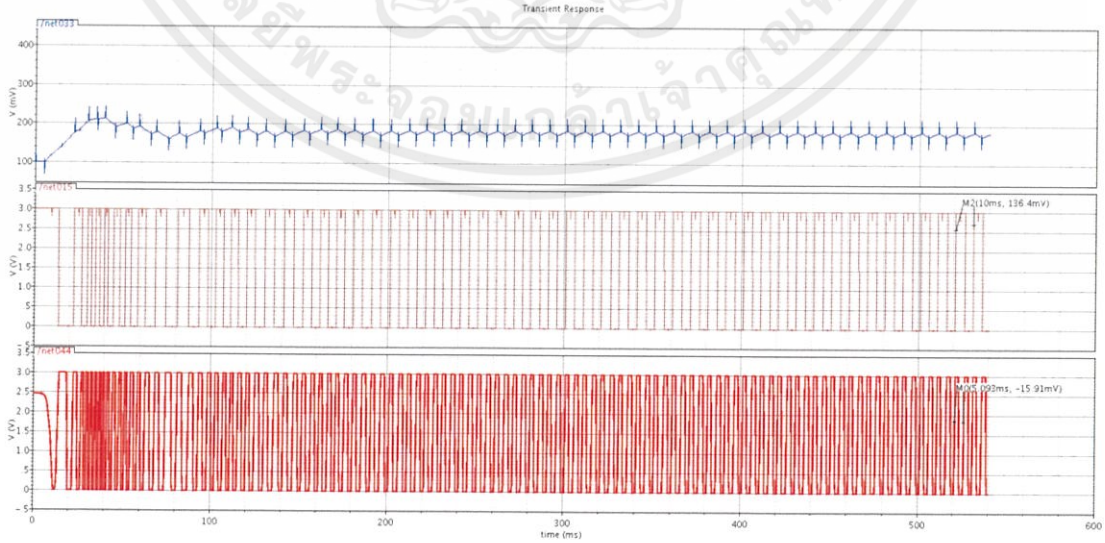
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.5 Programmable Counter



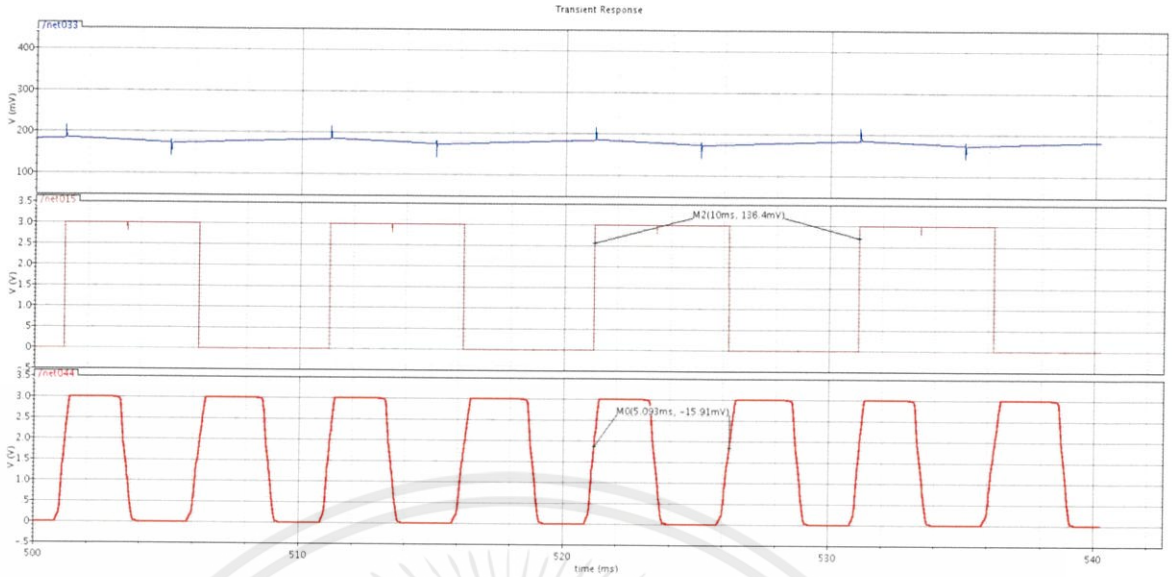
รูปที่ 4.39 Programmable Counter

4.5.6 ผลการ simulation วงจร PLL



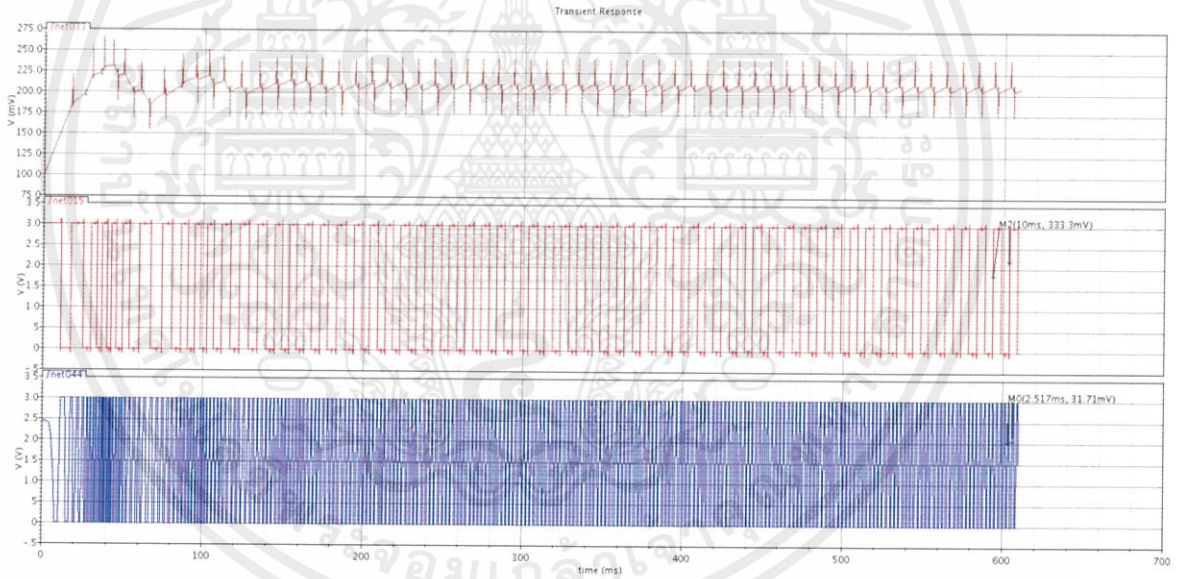
ก.

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



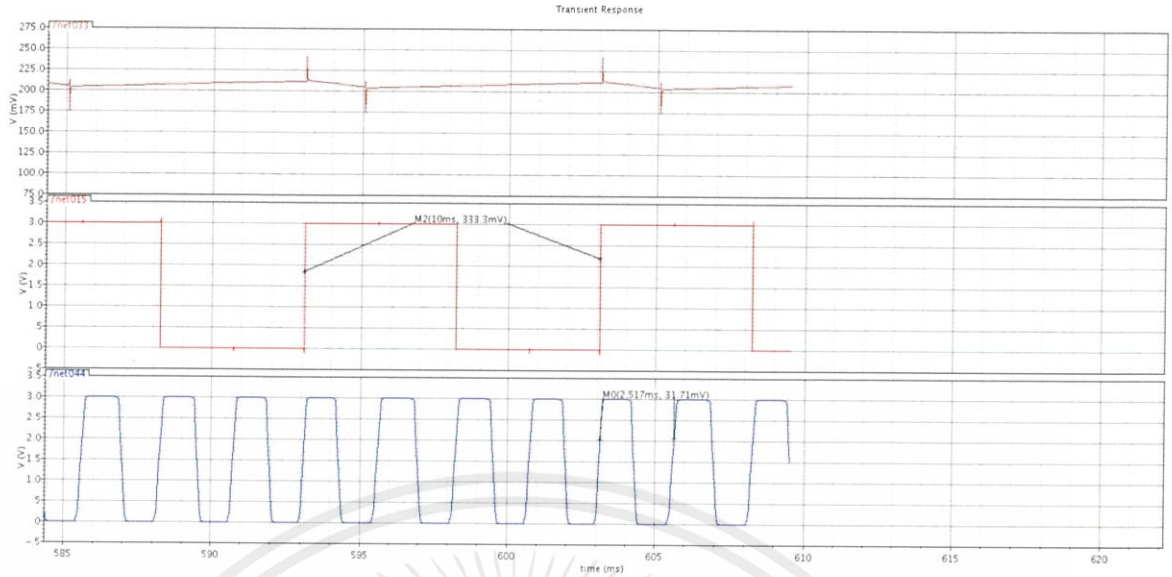
ข.

รูปที่ 4.40 การแสดงผลทางเวลาที่เอาท์พุตเมื่อหารด้วย 2



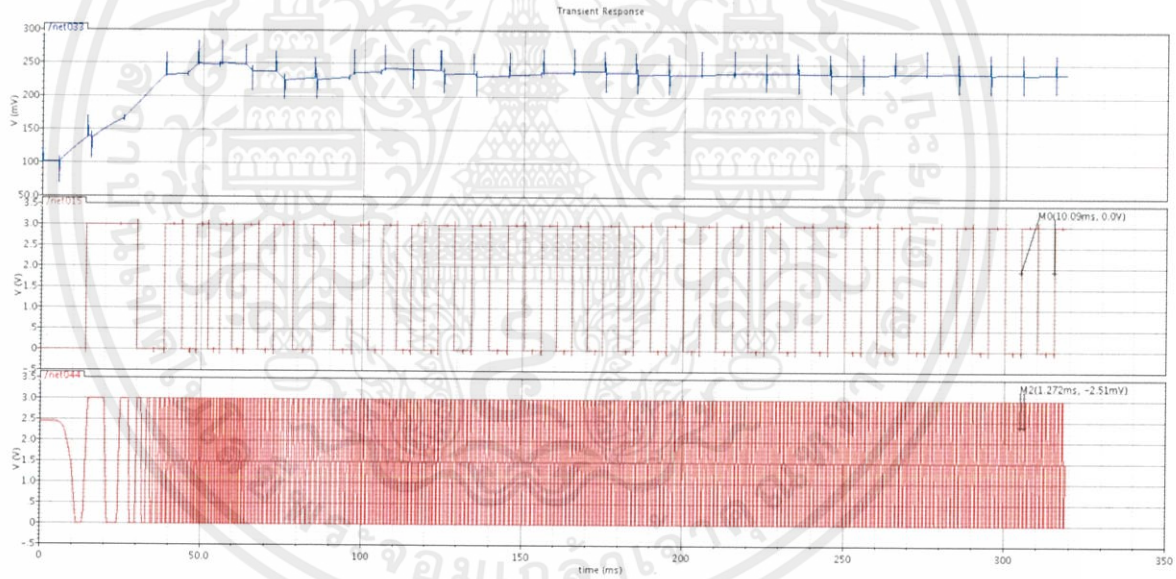
ก.

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



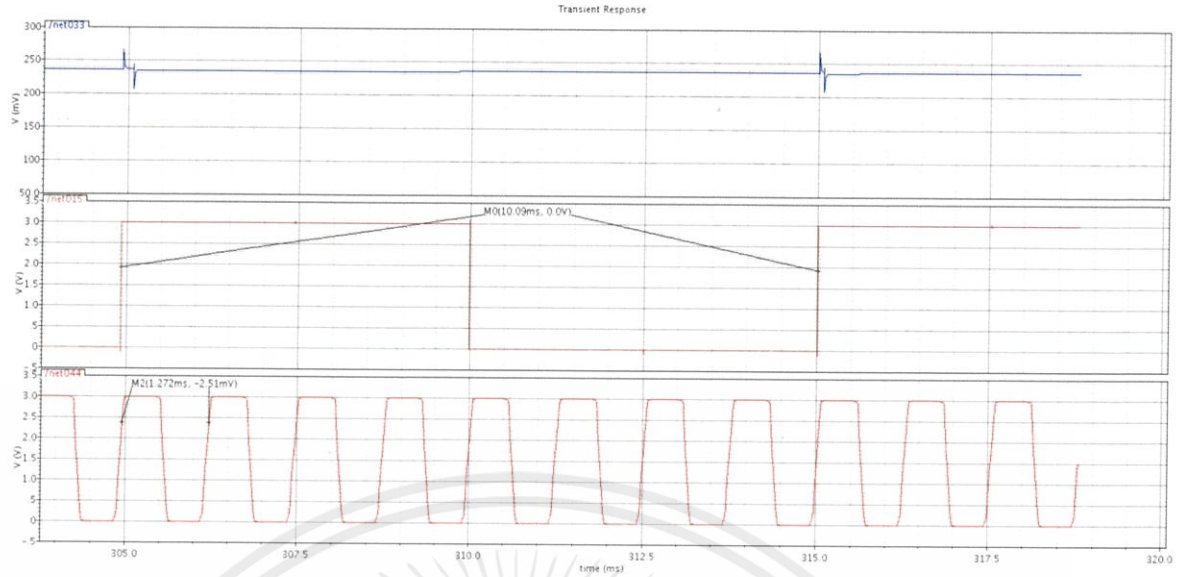
ข.

รูปที่ 4.41 การแสดงผลทางเวลาที่เอาท์พุตเมื่อหารด้วย 4



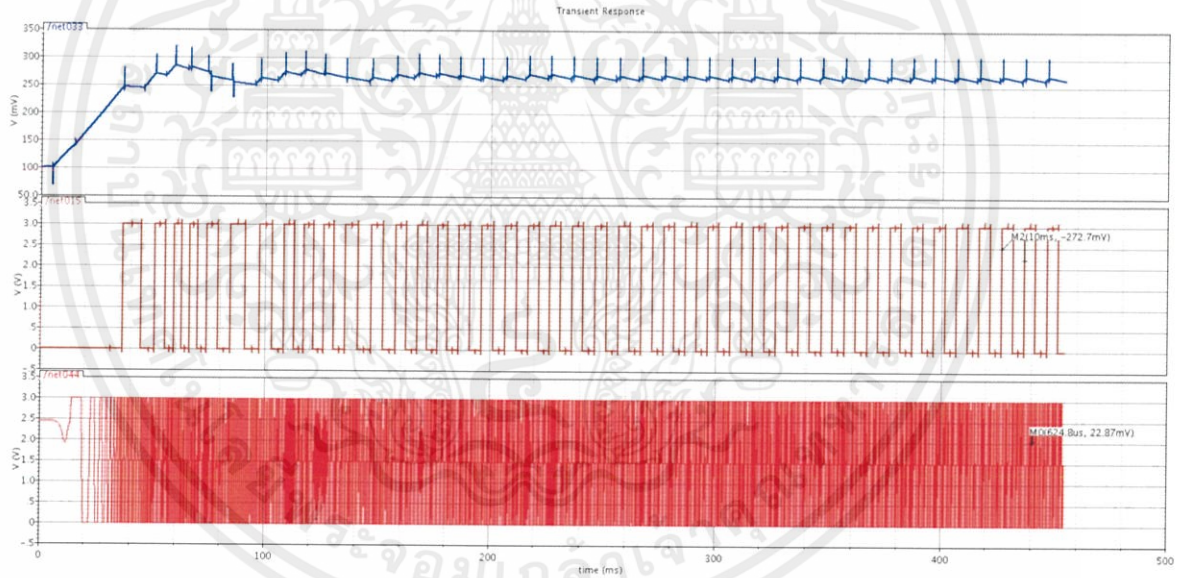
ก.

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



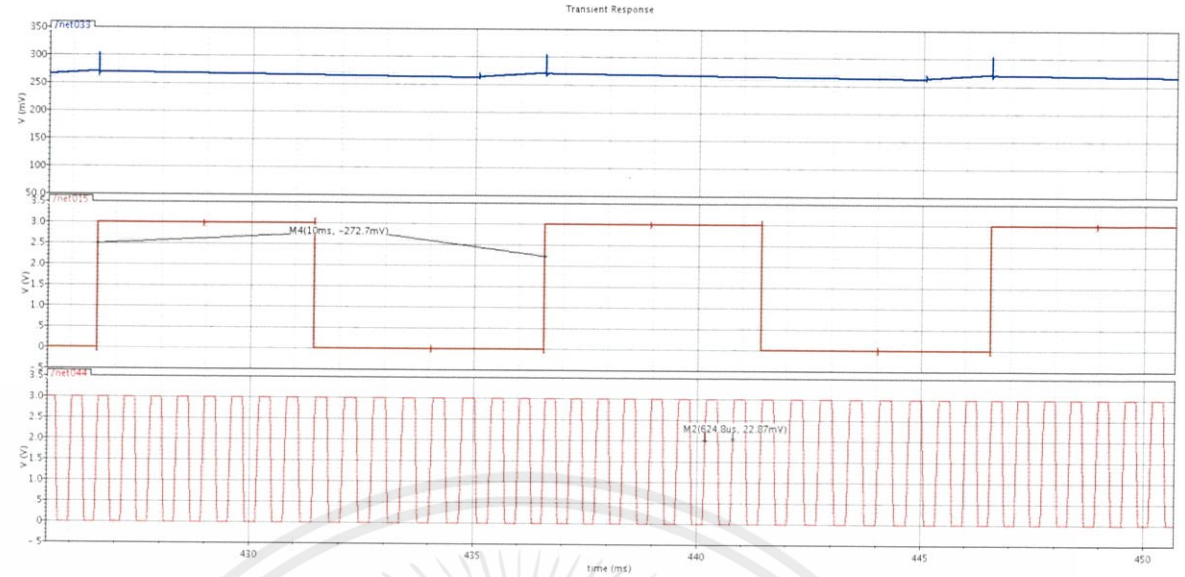
ข.

รูปที่ 4.42 การแสดงผลทางเวลาที่เอาท์พุตเมื่อหารด้วย 8



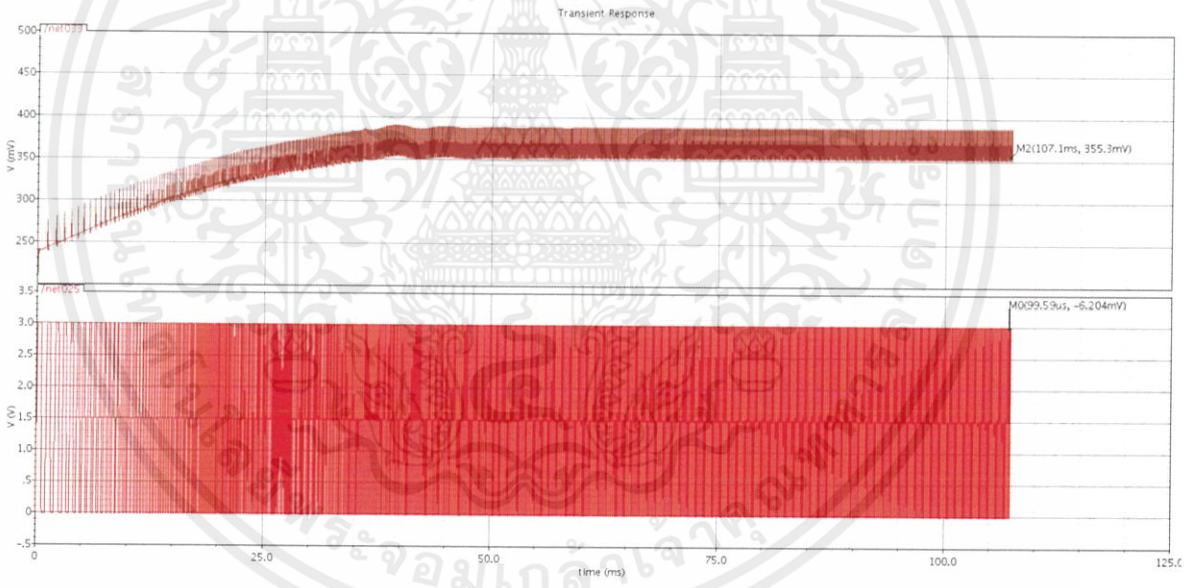
ก.

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



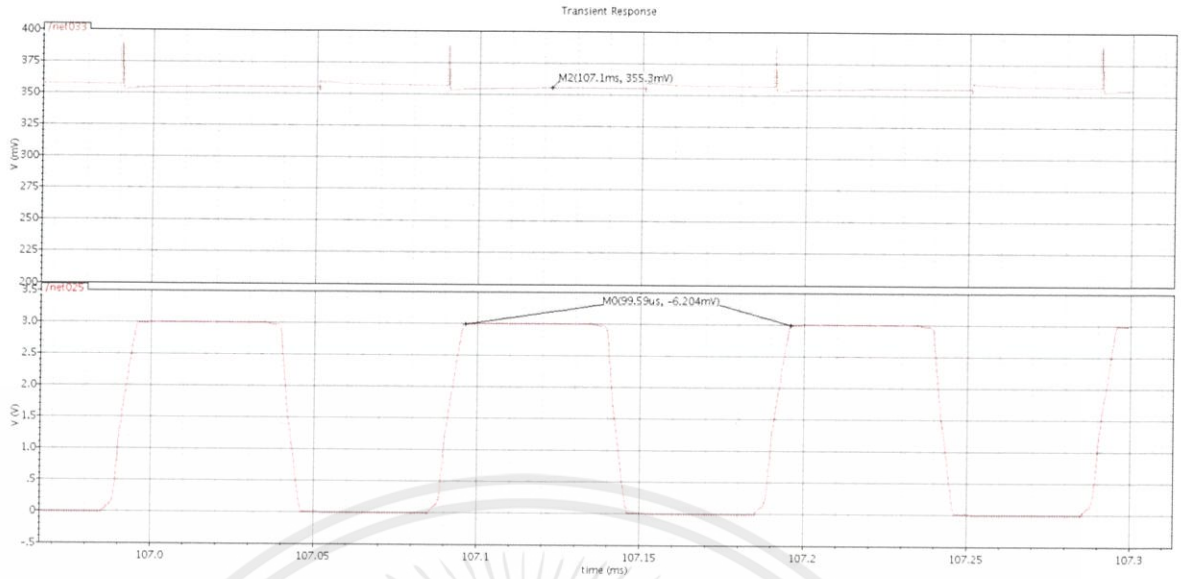
ข.

รูปที่ 4.43 การแสดงผลทางเวลาที่เอาท์พุตเมื่อหารด้วย 16



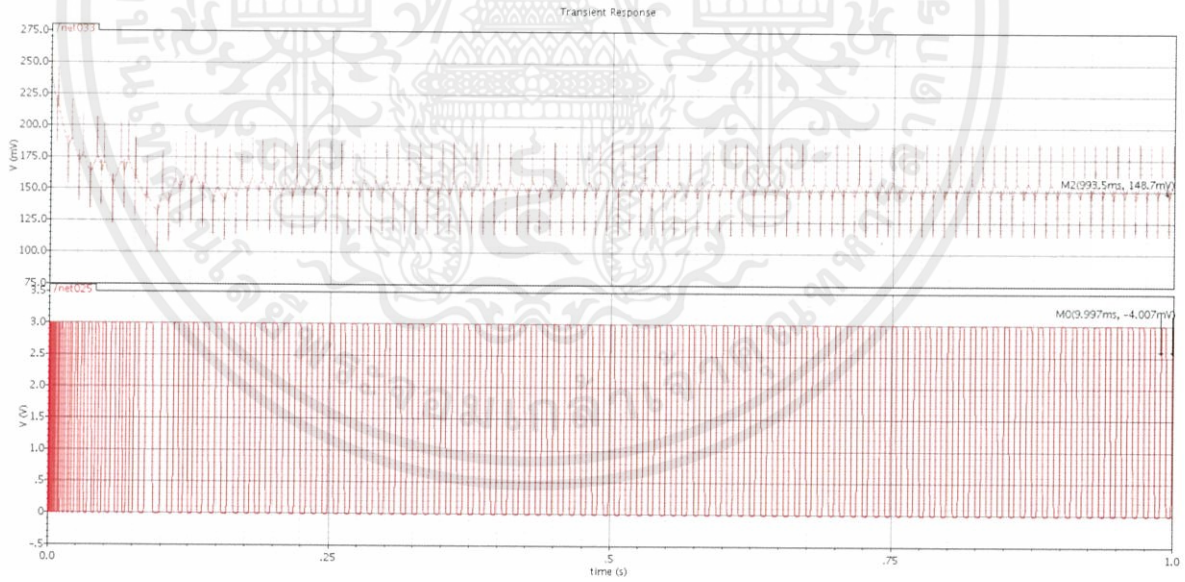
ก

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



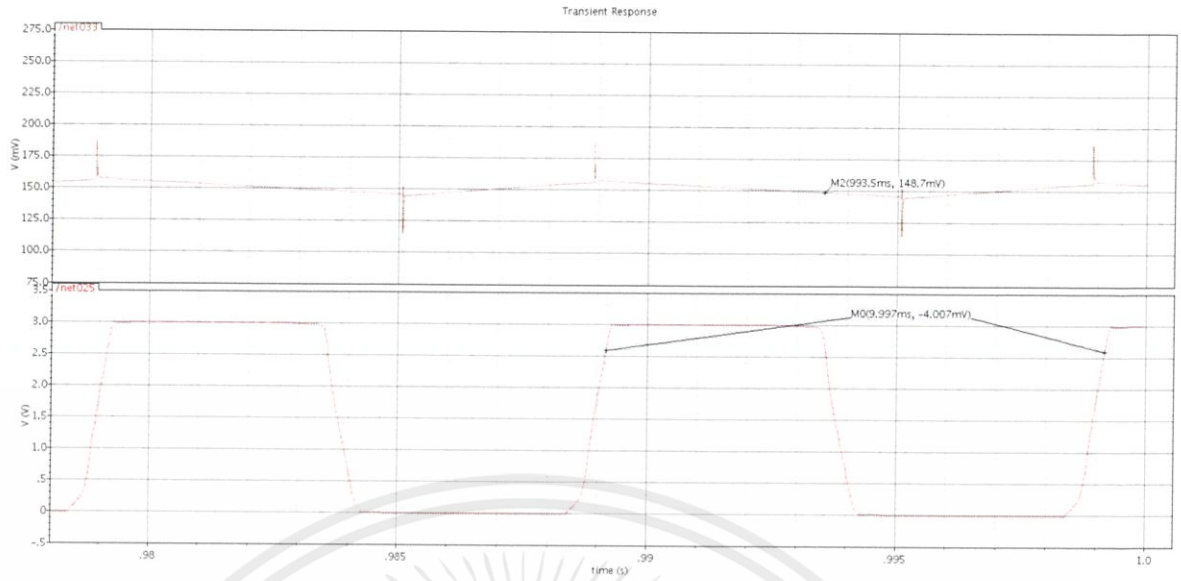
ข

รูปที่ 4.44 การแสดงผลทางเวลาที่เอาท์พุตเมื่อหารด้วย 100



ก.

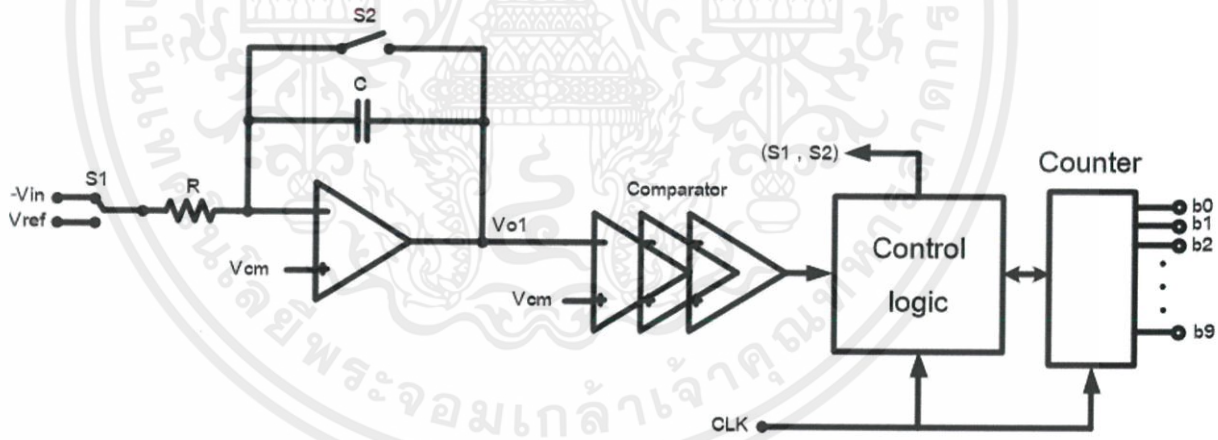
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ข

รูปที่ 4.45 การแสดงผลทางเวลาที่เอาท์พุต 100 Hz

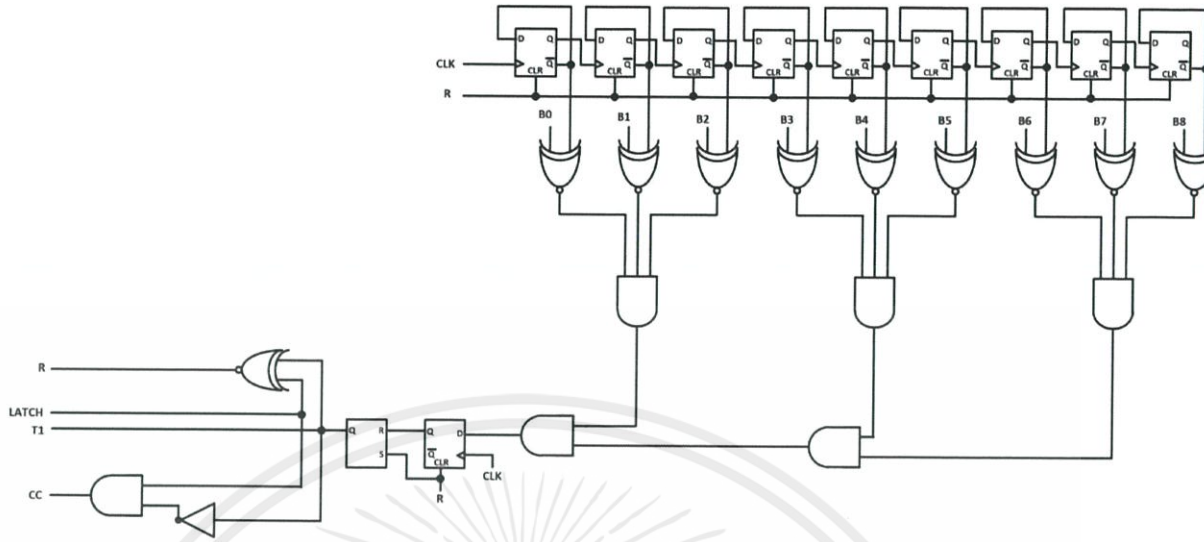
4.6 Dual-Slope ADC



รูปที่ 4.46 Dual-Slope ADC

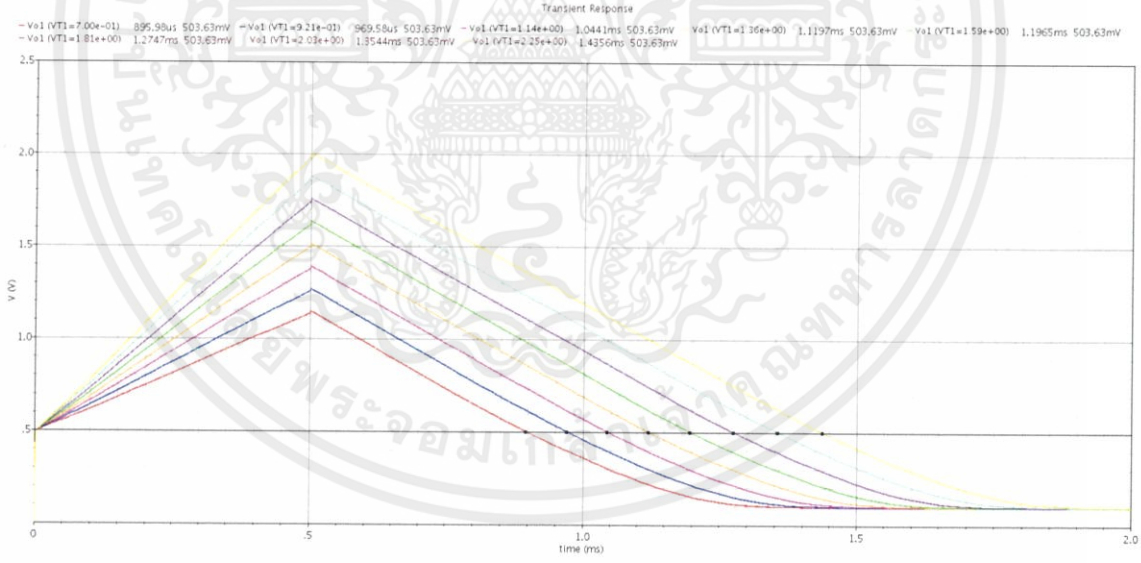
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.6.1 Control Logic



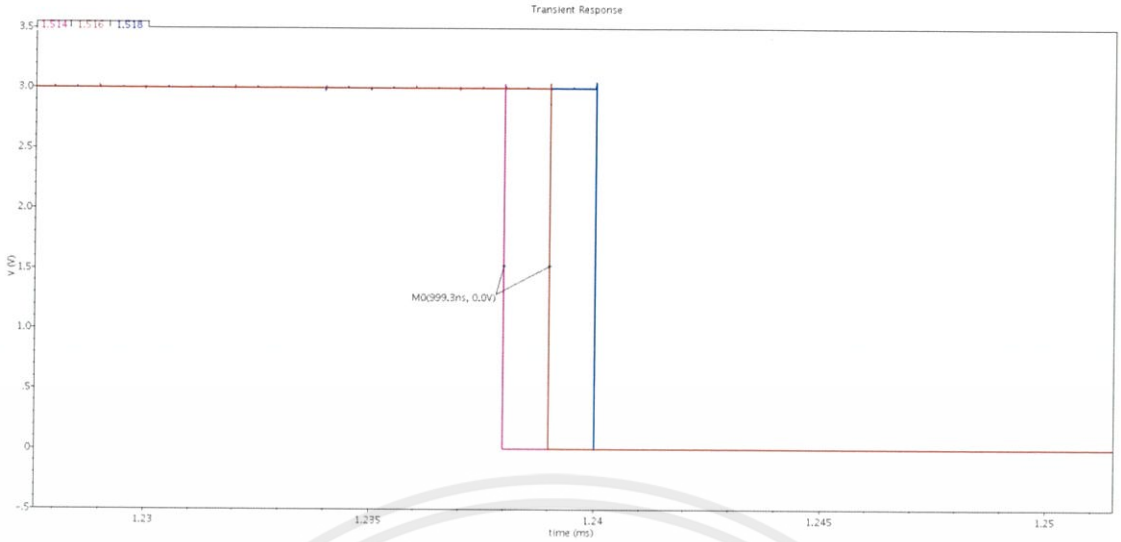
รูปที่ 4.47 Control Logic

4.6.2 ผลการ simulation วงจร Dual-Slope ADC

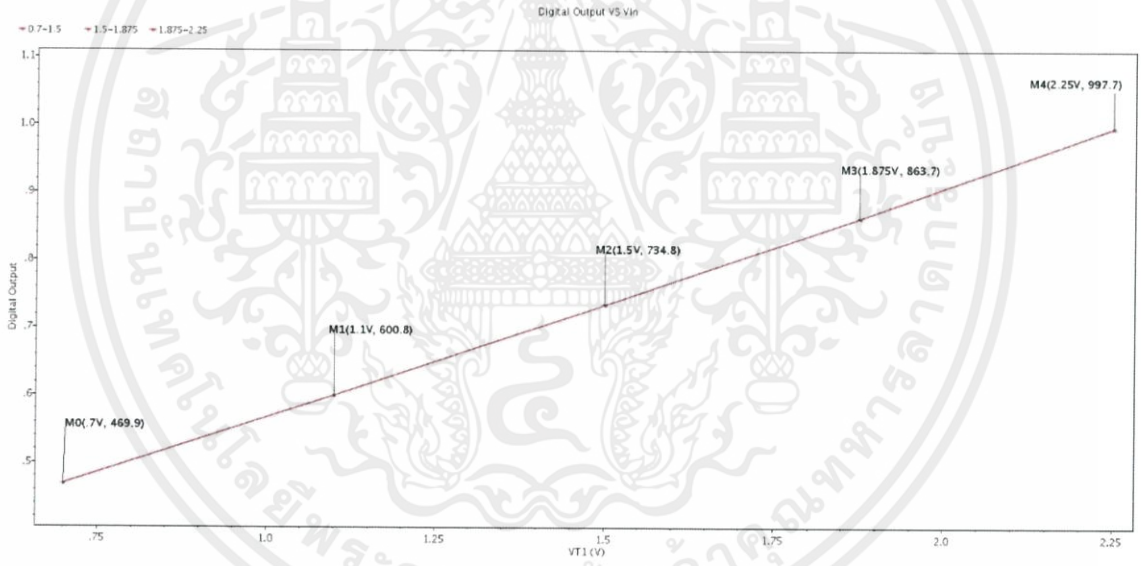


รูปที่ 4.48 ผลการ simulation วงจร Dual-Slope ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



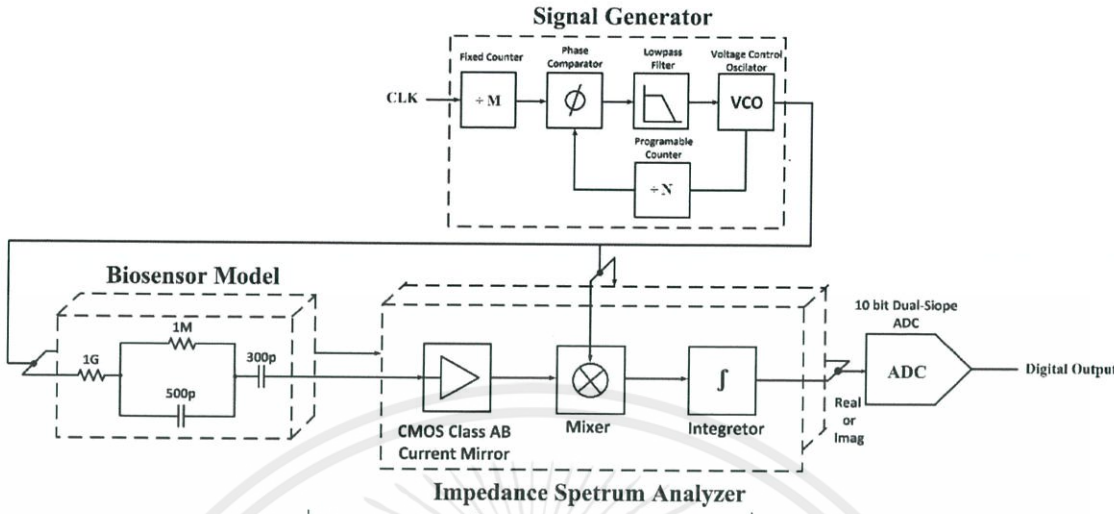
รูปที่ 4.49 เอาต์พุตของ Comparator



รูปที่ 4.50 กราฟระหว่างสัญญาณอนาล็อกอินพุต (Vin) และ ดิจิทัลเอาต์พุต

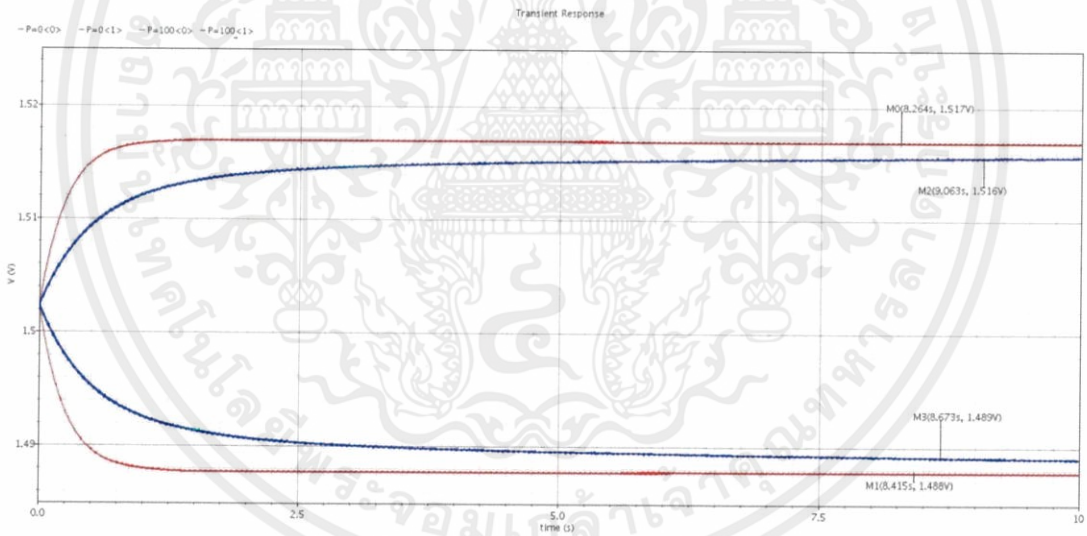
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 ผลการ simulation วงจรที่ออกแบบ



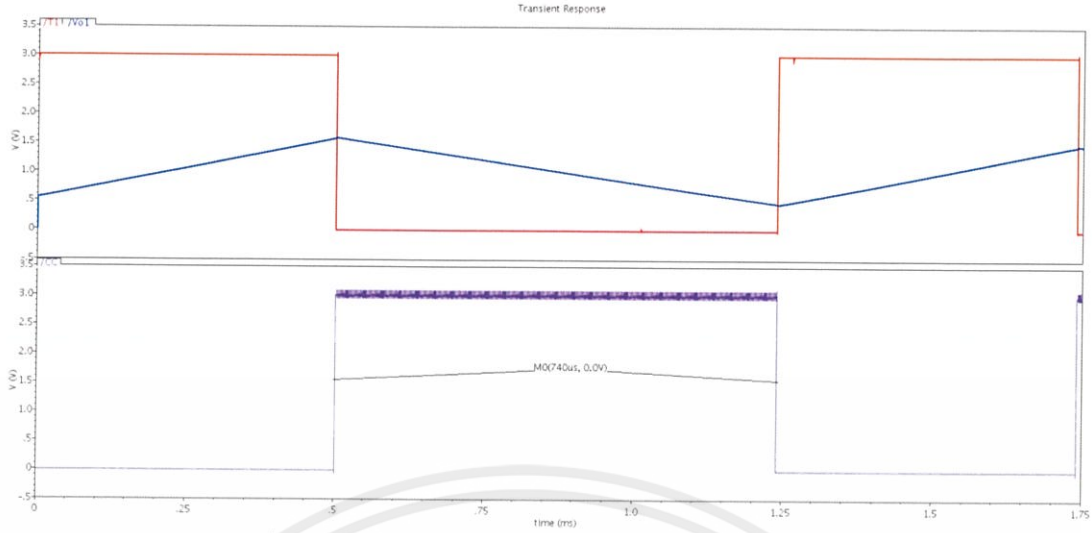
รูปที่ 4.51 แสดงบล็อกไดอะแกรมของวงจรที่ออกแบบ

4.7.1 ผลการจำลองวงจรเมื่อเฟสเปลี่ยนไป 100 องศา

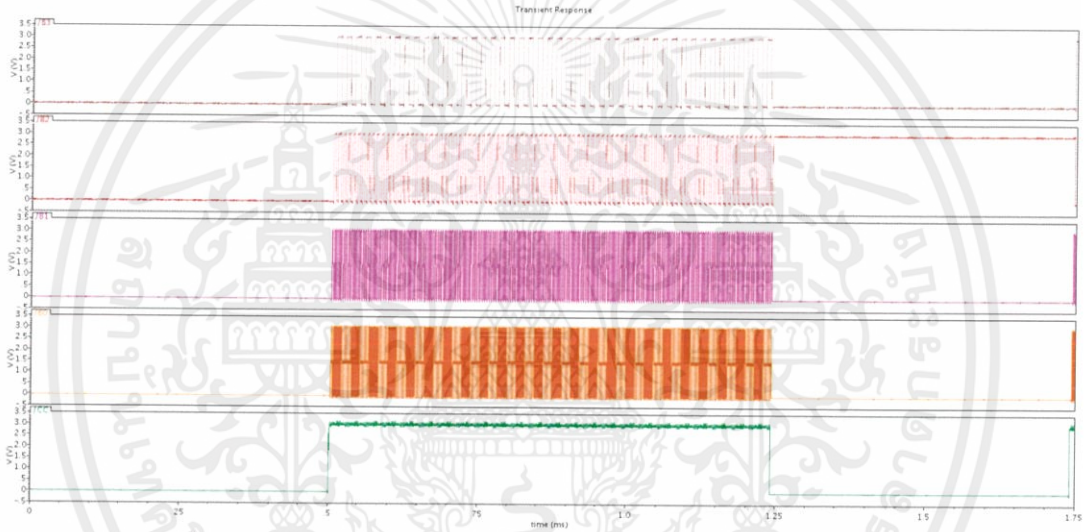


รูปที่ 4.52 แสดงผลเอาต์พุตเมื่อจำลองทางเวลาที่ Vout+ และ Vout- ของ Mixer

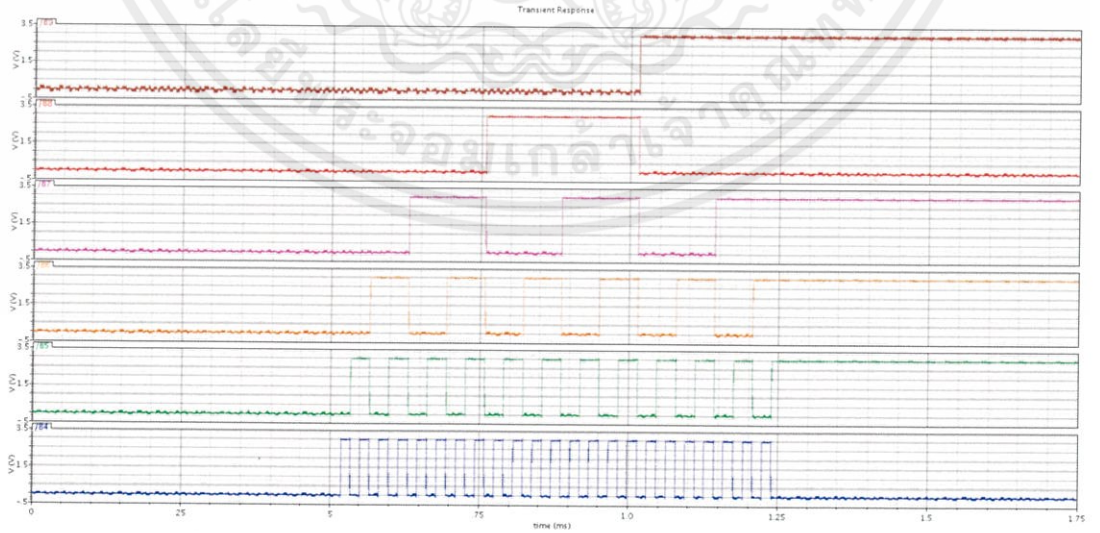
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.53 ช่วงเวลาในการนับของ Control Logic ที่ Vout-

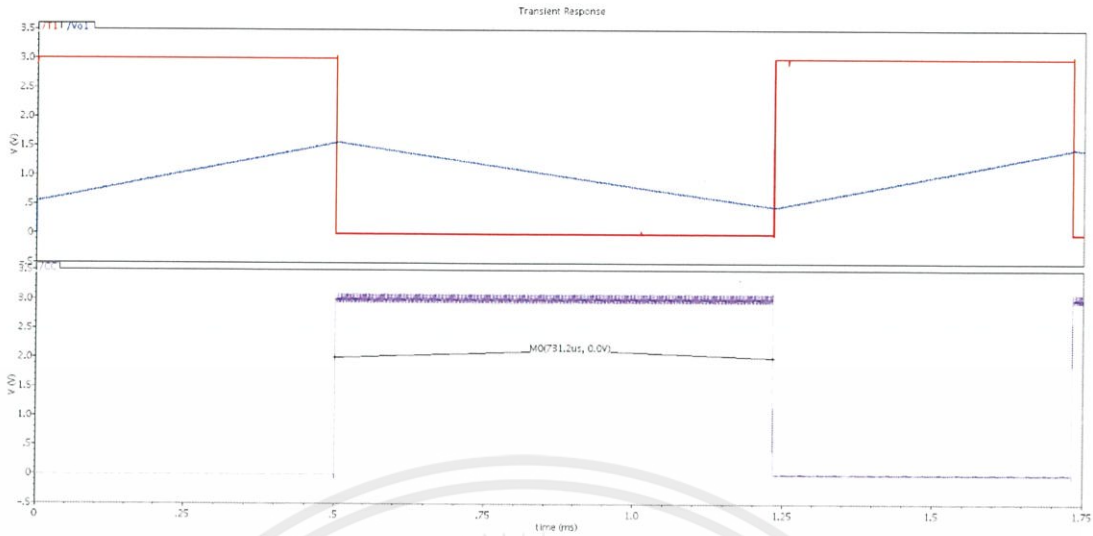


รูปที่ 4.54 สัญญาณดิจิทัลเอาต์พุตที่ ADC แสดงลอจิกต์ B0-B3 ที่ Vout-

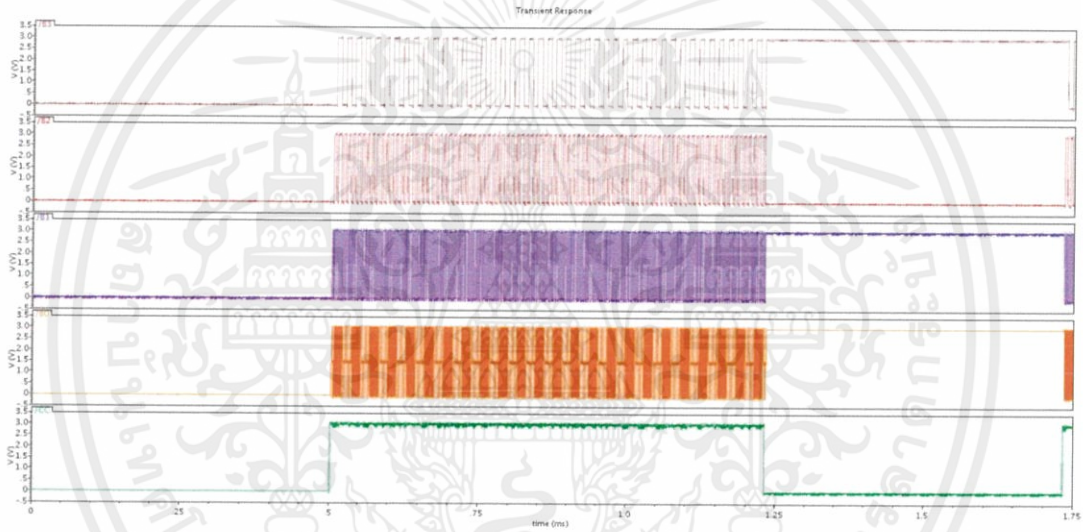


รูปที่ 4.55 สัญญาณดิจิทัลเอาต์พุตที่ ADC แสดงลอจิกต์ B4-B9 ที่ Vout-

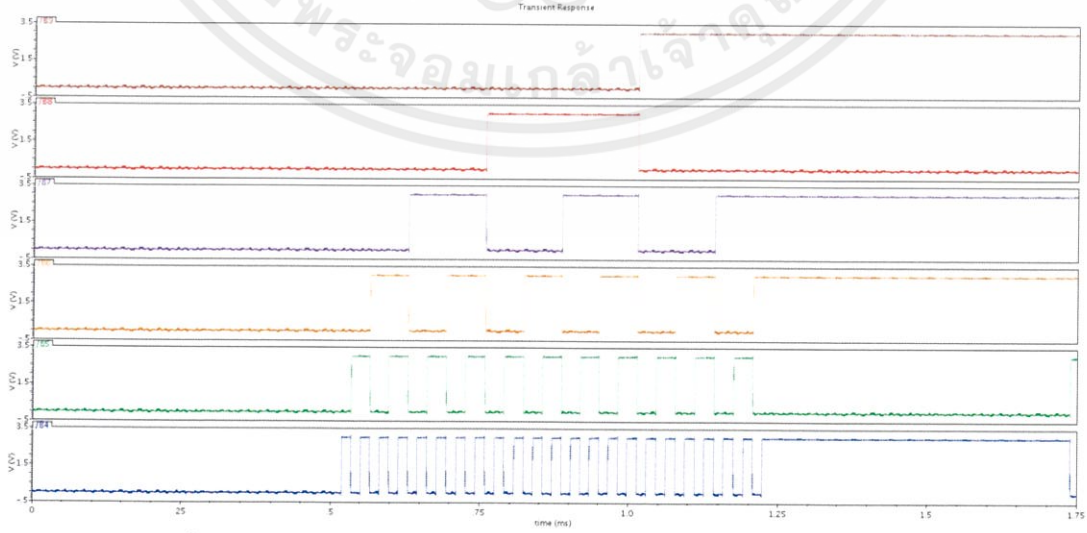
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.56 ช่วงเวลาในการนับของ Control Logic ที่ Vout+



รูปที่ 4.57 สัญญาณดิจิทัลเอาต์พุตที่ ADC แสดงลอจิกต์ B0-B3 ที่ Vout+



รูปที่ 4.58 สัญญาณดิจิทัลเอาต์พุตที่ ADC แสดงลอจิกต์ B4-B9 ที่ Vout+

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่5

สรุปผลการทดลองที่ออกแบบ ปัญหา และข้อเสนอแนะ

5.1 สรุปผลการทดลอง

จากการทดลองมุ่งเน้นไปที่การตรวจวัดค่าอิมพีแดนซ์ที่เปลี่ยนไป โดยใช้ PLL การจ่ายสัญญาณให้แก่ตัวเซ็นเซอร์ในช่วงความถี่ 100-10kHz จะสามรถแยกสัญญาณออกมาในรูปของจำนวนจริง และจำนวนจินตภาพ โดยวงจรที่ใช้ในการตรวจวัดค่าอิมพีแดนซ์ ได้แบ่งออกเป็น 3 ส่วน คือ โมเดลไบโอเซ็นเซอร์, CMOS Class AB Current Mirror และ Differential Current Mode Passive Mixers ในขั้นตอนของการจำลองเซ็นเซอร์โดยการออกแบบโมเดลเซ็นเซอร์ให้มีค่าอิมพีแดนซ์ที่เปลี่ยนไป เมื่อมีค่าสัญญาณขาเข้าที่เปลี่ยนไป จากนั้นจะถูกขยายด้วยวงจรขยายกระแสที่ทำให้ขยายของสัญญาณมีขนาดใหญ่ขึ้น ให้มีขนาดใหญ่เพียงพอต่อการผสมสัญญาณ หลักจากผสมสัญญาณด้วยความถี่ที่เท่ากัน สัญญาณจะถูกอินทิเกรต โดยวงจรอินทิเกรต ทำให้ได้สัญญาณขาออกเป็นค่าจำนวนจริง และจำนวนจินตภาพ และสุดท้ายสัญญาณที่ได้จะถูกแปลงจากสัญญาณอนาล็อกเป็นดิจิทัลด้วย Dual-Slope ADC

5.2 ปัญหา

ในการออกแบบวงจรในส่วน ชุดสร้างสัญญาณ มีการเปลี่ยนแผนไปใช้วงจร DDS ในตอนแรกแต่พบปัญหาในการ design ทำให้สุดท้ายตัดสินใจใช้ PLL ในการป้อนสัญญาณให้ Biosensor แทนการใช้ DDS จึงเกิดความล่าช้าในการออกแบบในช่วงแรก

ในการออกแบบวงจรรวมซีมอส ไบโอเซ็นเซอร์โดยเทคนิคอิมพีแดนซ์ สเปกโทรสโกปี เชิงไฟฟ้าเคมี มีความยุ่งยากซับซ้อนทำให้ในการหาข้อมูลเพื่อออกแบบให้มีประสิทธิภาพนั้นเป็นเรื่องที่ยาก ทำให้ในช่วงแรกมีการออกแบบที่ผิดพลาดไปในบางส่วนทำให้ต้องเปลี่ยนแผนการทำงานเกิดความล่าช้าในการทำงาน ในวงจรขยายกระแสพบว่ามีสัญญาณรบกวนขาเข้าที่มีค่ามากเกินไป อาจส่งผลทำให้ค่าที่อ่านได้จากโมเดลไบโอเซ็นเซอร์ผิดไปได้ ส่งผลต่อประสิทธิภาพการทำงานของวงจร

ในส่วนของ Differential Current Mode Passive Mixers นั้นใช้ตัวเก็บประจุป้อนกลับที่มีขนาดใหญ่เกินไม่สามารถนำมาไว้บนวงจรรวมได้ และในส่วนของ Fully Differential Folded-Cascode Amplifier นั้นใช้พลังงานสูงเกินไป

5.3 ข้อเสนอแนะ

ข้อเสนอแนะของผู้ที่จะพัฒนาโครงงานชิ้นนี้ต่อไป

- ออกแบบพัฒนาในแต่ละส่วนของวงจรมีสเป็คการทำงานที่ดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] Arun Manickam, Aaron Chevalier, Mark McDermott, Andrew D. Ellington, and Arjang Hassibi (2010) "A CMOS Electrochemical Impedance Spectroscopy (EIS) Biosensor Array" IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS, VOL. 4, NO. 6, DECEMBER 2010

[2] Chao Yang, Sachin R. Jadhav, R. Mark Worden, and Andrew J. Mason. (2009) "Compact Low-Power Impedance-to-Digital Converter for Sensor Array Microsystems" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 44, NO. 10, OCTOBER 2009

[3] Hamed Mazhab-Jafari. (2012) "16-Channel CMOS Impedance Spectroscopy DNA Analyzer With Dual-Slope Multiplying ADCs " IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS, VOL. 6, NO. 5, OCTOBER 2012

[4] Salvatore Pennisi (2001) "1-V CMOS Class AB Current Mirror' ECCTD'01" European Conference on Circuit Theory and Design, August 28-31, 2001

[5] SUDHIR M. bfALLY.4 and JOSEPH H. NEVIN. (1989) "Design Procedures for a Fully Differential Folded-Cascode CMOS Operational Amplifier" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL 24, NO. 6, DECEMBER 1989

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้