ระบบวงจรรวมซีมอสอิสเฟตสำหรับการตรวจวัดทางชีวเคมี
CMOS ISFET Array for Biochemical Sensing

กมลชนก แก้วสุวรรณ
Kamonchanok Kaewsuwan

ณัฐชัย ธีระวัฒน์สกุล
Natachai Terawatsakul

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
ภาควิชาวิศวกรรมอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2561

ระบบวงจรรวมซีมอสอิสเฟตสำหรับการตรวจวัดทางชีวเคมี

CMOS ISFET Array for Biochemical Sensing

โดย

กมลชนก แก้วสุวรรณ

ณัฐชัย ธีระวัฒน์สกุล

อาจารย์ที่ปรึกษา

ศาสตราจารย์ ดร.อภินันท์ ธนชยานนท์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

ภาควิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2561

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใบรับรองปริญญานิพนธ์

ปริญญานิพนธ์ปีการศึกษา 2561

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์

คณะ วิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบวงจรรวมซีมอสอิสเฟตสำหรับการตรวจวัดทางชีวเคมี

CMOS ISFET Array for Biochemical Sensing

ผู้จัดทำ นางสาว กมลชนก แก้วสุวรรณ รหัสประจำตัว 58010012

นาย ณัฐชัย ธีระวัฒน์สกุล รหัสประจำตัว 58010373

ปริญญานิพนธ์นี้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

(ศาสตราจารย์ ดร. อภินันท์ ธนชยานนท์)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	ระบบวงจรรวมซีมอสอิสเฟตสำหรับการตรวจวัดทางชีวเคมี
นักศึกษา	นางสาว กมลชนก แก้วสุวรรณ รหัสประจำตัว 58010012
	นาย ณัฐชัย ธีระวัฒน์สกุล รหัสประจำตัว 58010373
ปริญญา	วิศวกรรมศาสตร์บัณฑิต
ภาควิชา	วิศวกรรมอิเล็กทรอนิกส์
ปีการศึกษา	2561
อาจารย์ที่ปรึกษาโครงงาน	ศาสตราจารย์ ดร.อภินันท์ ธนชยานนท์

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ได้นำเสนอ ระบบวงจรรวมซีมอสอิสเฟตอาเรย์สำหรับการตรวจจับไอออน บนเทคโนโลยี 0.18um ซึ่งในอิสเฟตอาเรย์เซนเซอร์ประกอบไปด้วย โครงสร้างของพิกเซลที่ใช้หลักการป้อนกลับแบบตัวเก็บประจุร่วมกับการใช้สวิทช์ที่มีกระแสรั่วไหลต่ำ เพื่อหักล้างแรงดันออฟเซตที่ไม่ต้องการซึ่งเป็นผลจากความไม่เป็นอุดมคติออกไป ในขณะที่เอาท์พุตยังสามารถแสดงผลตามปฏิกิริยาทางเคมีที่เกิดขึ้นบนผิวสัมผัสได้ นอกจากนี้ยังนำเสนอระบบชดเชยอัตราขยายอัตโนมัติที่ออกแบบมาโดยเฉพาะสำหรับชดเชยอัตราขยายที่ไม่ตรงกันของแต่ละพิกเซลอันเนื่องมาจากความคลาดเคลื่อนของกระบวนการสร้าง เพื่อให้มีอัตราขยายที่ตรงกันทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	CMOS ISFET Array for Biochemical Sensing			
Students	Miss.Kamonchanok	Kaewsuwan	Student ID	58010012
	Mr.Natachai	Terawatsakul	Student ID	58010373
Degree	Bachelor of Engineering			
Program	Electronics Engineering			
Year	2018			
Thesis Advisor	Prof. Dr.Apinunt Thanachayanont			

ABSTRACT

The thesis presents a CMOS based ISFET array System-on-Chip for real-time ion-sensing. Implemented in a 0.18um CMOS technology, the ISFET array is based on a pixel topology which uses capacitive direct feedback to the floating gate and a low-leakage switch scheme, all unwanted factors are eliminated while the output is capable of tracking a chemical reaction which occurs at the sensing surface. An automatic gain calibration (AGC) is designed to compensate for the gain mismatches in the sensor array that guarantee all sensors have the same gain.

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพันธ์ “ระบบวงจรรวมซีมอสอิสเฟตสำหรับการตรวจวัดทางชีวเคมี” สำเร็จลุล่วงด้วยดีจากความช่วยเหลือและให้คำปรึกษาจาก ศาสตราจารย์ ดร. อภินันท์ ธนชยานนท์ อาจารย์ที่ปรึกษาที่คอยให้คำแนะนำช่วยเหลือแก้ไขปัญหาต่างๆ คณะผู้จัดทำโครงงานขอขอบพระคุณเป็นอย่างสูง

ขอขอบคุณ ดร.อมร จิรเสรีอมรกุล จากบริษัท ซิลิกอนคราฟ เทคโนโลยี จำกัด ที่คอยให้การช่วยเหลือ แนะนำ ช่วงฝึกงานภาคฤดูร้อน ในการศึกษาข้อมูล โครงสร้าง และหลักการทำงานของ ISFET รวมไปถึงวงจรอ่านค่า ISFET แบบพื้นฐาน ตลอดจนการใช้งานโปรแกรมออกแบบเบื้องต้น

ขอขอบพระคุณพ่อแม่ของคณะผู้จัดทำที่คอยเป็นกำลังใจหลัก รวมทั้งเพื่อนๆผู้เป็นกำลังหลักคอยช่วยเหลือให้คำแนะนำปัญหาที่เกิดขึ้นระหว่างการดำเนินโครงงานนี้ ในส่วนที่คณะผู้จัดทำไม่ถนัด เช่น การออกแบบทางดิจิตอล เป็นต้น เป็นผลให้โครงงานสำเร็จลุล่วงไปด้วยดี

กมลชนก แก้วสุวรรณ
ณัฐชัย ธีระวัฒน์สกุล

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VI
สารบัญรูป	VII
บทที่ 1 บทนำ	**1**
1.1 ที่มาและความสำคัญ	1
1.2 วัตถุประสงค์ของการศึกษา	1
1.3 ขอบเขตของการศึกษา	3
บทที่ 2 วงจรอ่านค่า ISFET โดยใช้หลักการป้อนกลับแบบตัวเก็บประจุ	**4**
2.1 ที่มาของวงจรอ่านค่า ISFET โดยใช้หลักการป้อนกลับแบบตัวเก็บประจุ	4
2.2 การวิเคราะห์ระบบ	4
2.3 โมเดลของ ISFET	5
2.4 การจำลองการทำงาน	7
2.5 การวิเคราะห์สัญญาณรบกวน	8
2.6 การวิเคราะห์ Leakage	8
2.7 Tradeoff ของการออกแบบ	9
2.8 สรุปผล	10
บทที่ 3 ระบบชดเชยอัตราขยายอัตโนมัติ	**11**
3.1 Variable Gain Amplifier	12
3.2 Sine wave extraction & Pre-amplification	16
3.3 Amplitude Detection	17
บทที่ 4 ระบบตรวจวัดทางชีวเคมีโดยใช้ ISFET	**21**
4.1 โครงสร้างระบบตรวจวัดทางชีวเคมี	21
4.2 Pixel array	22

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 Digital CDS 22
4.4 Instrumentation Amplifier 26
4.5 Analog to Digital Converter 27

บทที่ 5 สรุปผล **32**
5.1 สรุปผลจำลองการทำงาน 32

เอกสารอ้างอิง 34

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
ตารางที่ 1.1 แสดงปัญหาของการใช้งาน ISFET และผลที่ตามมา	1
ตารางที่ 2.1 แสดงผลสรุปของวงจรอ่านค่า ISFET ที่ได้จากออกแบบ	10
ตารางที่ 3.1 แสดงผลสรุปของ OTA1,2	14
ตารางที่ 3.2 แสดงผลสรุปของ OTA3	15
ตารางที่ 3.3 : แสดงผลสรุปของ VGA	15
ตารางที่ 3.4 แสดงผลสรุปของ Fully Differential Op-amp	17
ตารางที่ 3.5 แสดงผลสรุปของ V-I Converter	19
ตารางที่ 3.6 แสดงผลสรุปของ AGC	20
ตารางที่ 4.1 แสดงผลสรุปของ Instrumentation Amplifier	26
ตารางที่ 4.2 แสดงผลสรุปผลของ SAR ADC	31

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
รูปที่ 1.1 System architecture	2
รูปที่ 2.1 โครงสร้างวงจรอ่านค่า ISFET โดยใช้หลักการป้อนกลับแบบตัวเก็บประจุ	4
รูปที่ 2.2 โมเดลของ ISFET	6
รูปที่ 2.3 การจำลองการทำงาน	7
รูปที่ 2.4 โมเดลสำหรับใช้วิเคราะห์สัญญาณรบกวน	8
รูปที่ 2.5 tradeoff สำหรับการเลือกค่าตัวเก็บประจุ	9
รูปที่ 3.1 AGC Block Diagram	11
รูปที่ 3.2 ระบบชดเชยอัตราขยายอัตโนมัติ	12
รูปที่ 3.3 โครงสร้างของ VGA	12
รูปที่ 3.4 OTA Schematic ที่ใช้ใน VGA	14
รูปที่ 3.5 ผลแสดงการจำลองการทำงานระหว่าง $I_{b1,2}$ และ ΔV_{ctrl} ของ OTA3	15
รูปที่ 3.6 Sine wave extraction & Pre-amplification	16
รูปที่ 3.7 Fully Differential Op-amp	16
รูปที่ 3.8 Amplitude Detection	17
รูปที่ 3.9 V-I Converter	18
รูปที่ 3.10 การจำลองการทำงานของ V-I Converter	18
รูปที่ 3.11 Phase Generator	19
รูปที่ 3.12 6^{th}-order Gm-C Low pass filter	19
รูปที่ 3.13 การจำลองการทำงานของระบบ AGC	20
รูปที่ 4.1 System architecture	21
รูปที่ 4.2 โครงสร้าง Pixel array readout	22
รูปที่ 4.3 ภาพรวมระบบ Digital CDS	23
รูปที่ 4.4 Offset cancelation control system	23
รูปที่ 4.5 ผลจำลองการทำงานของ Offset cancelation control	24

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ หน้า

รูปที่ 4.6 6-bit Current-Steering DAC 25

รูปที่ 4.7 Binary-to-Thermometer code Decoder 25

รูปที่ 4.8 Unit Current Cell 25

รูปที่ 4.9 โครงสร้างของ Instrumentation Amplifier 26

รูปที่ 4.10 โครงสร้างของ SAR ADC 27

รูปที่ 4.11 โครงสร้างของ DAC และ SAR ADC 27

รูปที่ 4.12 โครงสร้างของ Comparator 28

รูปที่ 4.13 SAR logic 29

รูปที่ 4.14 โครงสร้าง D-flipflop 29

รูปที่ 4.15 ผลจำลองการทำงาน SAR logic 30

รูปที่ 4.16 ผลจำลองการทำงาน INL และ DNL ของ SAR ADC 30

รูปที่ 4.17 ผลจำลองการทำงานทั้งระบบ 33

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ที่มาและความสำคัญ

ISFET หรือ Ion-Sentivitive Field-Effect Transistor ถูกค้นพบขึ้นครั้งแรกในปี 1970 โดย Piet Bergveld เป็นอุปกรณ์สารกึ่งตัวนำที่ใช้สำหรับตรวจวัดระดับความเข้มข้นของไอออนทางชีวเคมี ซึ่งในปัจจุบันได้ถูกพัฒนาและนำมาใช้ในรูปแบบของ lab-on-chip และ แอปพลิเคชั่นเพื่อสุขภาพ [1][2] เนื่องด้วยพื้นฐานของมันที่สามารถผลิตได้ด้วยกระบวนการสร้างของ CMOS [3]

ในไม่กี่ปีที่ผ่านมาเริ่มมีการออกแบบพัฒนาวงจรรวมสำหรับการตรวจวัดทางชีวเคมี ที่ใช้ ISFET ในลักษณะของ array สำหรับการตรวจจับไอออน นอกจากนี้ในการสร้าง ISFET บนกระบวนการสร้างของ CMOS ได้รับผลประโยชน์จากการลดขนาดของอุตสาหกรรมสารกึ่งตัวนำ ตามกฎของมัวร์ ทำให้สามารถสร้างระบบที่มีความหนาแน่นสูงด้วยต้นทุนที่ต่ำได้ ทำให้เกิดผลดีต่อแอปพลิเคชั่นที่เฉพาะเจาะจงหลายๆอย่าง รวมไปถึงแอปพลิเคชั่นที่ใช้การตรวจจับไอออนเป็นหลัก เช่น การใช้สารกึ่งตัวนำในการตรวจหาลำดับ DNA [4] และการตรวจวินิจฉัยแบบ point-of-care [5] เป็นต้น

ทว่าการนำ ISFET มาใช้ในวงจรการตรวจวัดทางชีวเคมี ในปัจจุบันยังมีปัญหาหลายอย่างที่ต้องคำนึงถึง เช่น ปัญหาเรื่อง Offset ที่เกิดจากผลของ Trapped charge ปัญหาของ Sensitivity loss เนื่องจาก capacitive division และ ปัญหาของการ Drift ซึ่งผลโดยตรงของปัญหาเหล่านี้คือการทำให้ระบบของวงจรในการตรวจวัดนั้นมีประสิทธิภาพลดลง

ตารางที่ 1.1 แสดงปัญหาของการใช้งาน ISFET และผลที่ตามมา

ปัญหา	ผลที่ตามมา
Readout offset	ต้องการวงจร ADC ที่มีความละเอียดสูงขึ้น
Sensitivity loss	ต้องการวงจร Auxiliary overhead
Drift	ต้องการวงจร ADC ที่มีความละเอียดสูงขึ้น

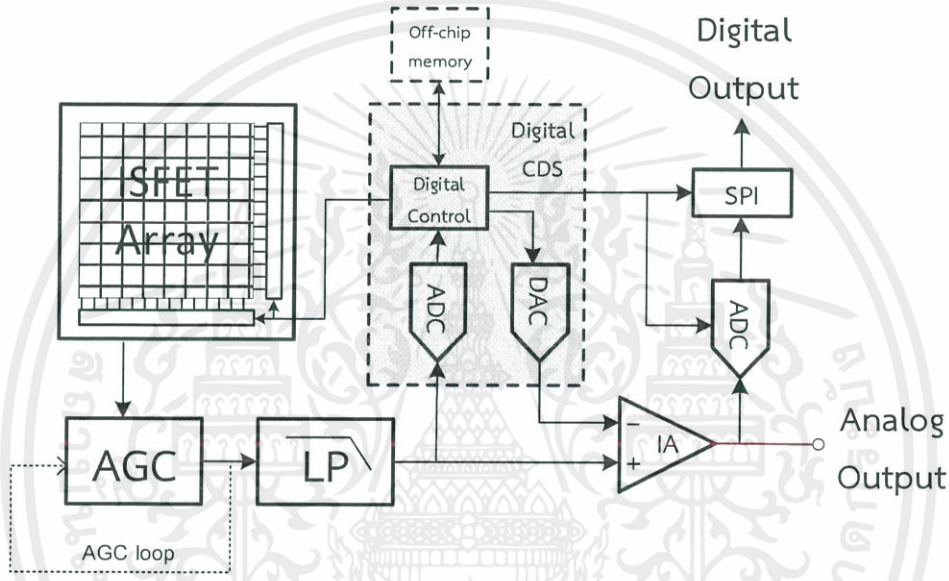
1.2 วัตถุประสงค์ของการศึกษา

ปริญญานิพนธ์ฉบับนี้มีจุดมุ่งหมายเพื่อศึกษา และแก้ไขปัญหาของการใช้ ISFET สำหรับการตรวจจับไอออน โดยเน้นไปที่การออกแบบวงจรที่สามารถแก้ไขข้อบกพร่องของการนำ ISFET มาใช้ในการตรวจจับ ดังที่ได้แสดงในตารางที่ 1.1 เช่น การDrift และ Trapped Charge เป็นต้น และเนื่องด้วยการใช้ ISFET ในลักษณะของ array ในการตรวจจับเพื่อให้สามารถใช้งานได้ในหลายๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอปพลิเคชั่นมากขึ้น ทำให้เกิดปัญหาในเรื่องของอัตราขยายแต่ละ pixel ใน array ไม่ตรงกัน อันเนื่องมาจากความคลาดเคลื่อนของตัวเก็บประจุในกระบวนการสร้าง ดังนั้นระบบ AGC(Automatic Gain Control) ที่ได้รับการออกแบบมาโดยเฉพาะสำหรับใช้ในการแก้ปัญหานี้ จึงเป็นอีกหนึ่งระบบที่จำเป็น

ภาพรวมระบบทั้งหมดของโครงงานนี้จะแสดงไว้ในรูปที่ 1.1 ซึ่งประกอบไปด้วย ISFET pixel Readout Circuit, Auto Gain Control System, Instrumentation Amplifier, ADC, Offset Cancelation และส่วนควบคุมทางดิจิตอล



รูปที่ 1.1 System architecture

โดยมีเป้าหมายดังนี้

- สามารถสร้างระบบการตรวจจับโดยใช้ ISFET ที่ไม่มีผลของความไม่เป็นอุดมคติ เช่น ผลของ Trapped charge, Capacitive Division และ Drift
- สามารถสร้างระบบ ISFET front-end ให้ใช้งานกับการตรวจจับแบบ array ขนาดใหญ่
- สามารถสร้างระบบ AGC สำหรับการตรวจจับทางชีวเคมีที่สามารถแก้ไขปัญหาเรื่องอัตราขยายไม่ตรงกันในแต่ละ pixel
- สามารถสร้างระบบ Offset cancelation สำหรับการแก้ไขปัญหาเรื่องแรงดัน offset ไม่ตรงกันในแต่ละ pixel

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 ขอบเขตของการศึกษา

ในปริญญานิพนธ์นี้ประกอบไปด้วย 3 หัวข้อหลัก ที่จะกล่าวดังต่อไปนี้

1.3.1 วงจรอ่านค่า ISFET ที่ใช้หลักการป้อนกลับแบบตัวเก็บประจุ

ใน ISFET Array จะประกอบไปด้วย pixel ของ ISFET จำนวนมาก ซึ่งในแต่ละ pixel ก็จะมีวงจรอ่านค่า ISFET สำหรับให้แรงดันเอาท์พุตที่มีค่าเปลี่ยนแปลงไปตามค่า pH ของสารละลายที่เปลี่ยนไป โดยการใช้เทคนิคการป้อนกลับแบบตัวเก็บประจุ เพื่อให้เกิดการแบ่งประจุระหว่างตัวเก็บประจุที่เกิดจากชั้น passivation ในโครงสร้างของ ISFET และตัวเก็บประจุที่ใช้ในการป้อนกลับร่วมกับการใช้ low-leakage switch ที่ถูกต่อขนานกับตัวเก็บประจุป้อนกลับเพื่อให้เกิดการทำงานสองช่วงที่แตกต่างกัน ซึ่งเป็นหลักการสำคัญในหัวข้อนี้ ในช่วงแรกขณะที่สวิทช์ปิดหรือช่วงของการรีเซ็ต ถูกใช้เพื่อรีเซ็ตให้ค่า DC ที่ไม่ต้องการให้ถูกกำจัดไป และเมื่อถึงช่วงของการตรวจจับหรือสวิทช์เปิด แรงดันเอาท์พุตจะแสดงผลตามการตอบสนองของ pH ที่เปลี่ยนไปเท่านั้น

1.3.2 ระบบชดเชยอัตราขยายอัตโนมัติ(AGC)

เนื่องด้วยวงจรอ่านค่า ISFET เป็นการใช้หลักการป้อนกลับแบบตัวเก็บประจุเพื่อให้เกิดอัตราขยายเป็นอัตราส่วนระหว่างตัวเก็บประจุที่เกิดจากชั้น passivation และตัวเก็บประจุที่ใช้ในการป้อนกลับ ซึ่งค่าความจุเหล่านี้อาจมีความผิดพลาดที่เกิดจากกระบวนการสร้าง เป็นผลทำให้อัตราขยายในแต่ละ pixel มีค่าไม่เท่ากัน จึงต้องมีระบบชดเชยอัตราขยายอัตโนมัติ

โดยระบบนี้มีหลักการทำงาน คือการป้อนสัญญาณรูปไซน์ความถี่สูงเข้ามายังที่อินพุต พร้อมกับสัญญาณที่เกิดจากการตอบสนองทางเคมีของ ISFET ผ่าน Variable Gain Amplifier(VGA) ที่ใช้ในการปรับอัตราขยายตามสัญญาณควบคุม ผ่านวงจรที่ทำหน้าที่แยกสัญญาณรูปไซน์ออกจากสัญญาณที่เกิดจากการตอบสนองทางเคมี เข้าสู่วงจรตรวจจับขนาดของสัญญาณและนำไปเปรียบเทียบกับแรงดันอ้างอิงซึ่งเป็นอัตราขยายที่ต้องการ จากนั้นป้อนกลับไปใช้เป็นสัญญาณควบคุม VGA เพื่อปรับอัตราขยายให้เป็นไปตามที่ต้องการ

1.3.3 ระบบ ISFET array สำหรับการตรวจวัดทางชีวเคมี

ในหัวข้อนี้ เป็นการศึกษาและออกแบบระบบ ISFET array สำหรับการตรวจวัดทางชีวเคมี โดยมีส่วนประกอบต่างๆ ดังรูปที่ 1.1 เนื่องด้วยการแสดงผลของปฏิกิริยาทางเคมีที่มีช่วงเวลานานจึงมีการใช้เทคนิค digital CDS(correlated double sampling) เพื่อใช้เก็บค่าดิจิตอลจำนวนมาก และ real time SPI(Serial Peripheral Interface) ถูกนำมาใช้สำหรับเก็บค่า offset เพื่อนำไปหักล้างใน Instrumentation Amplifier ต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

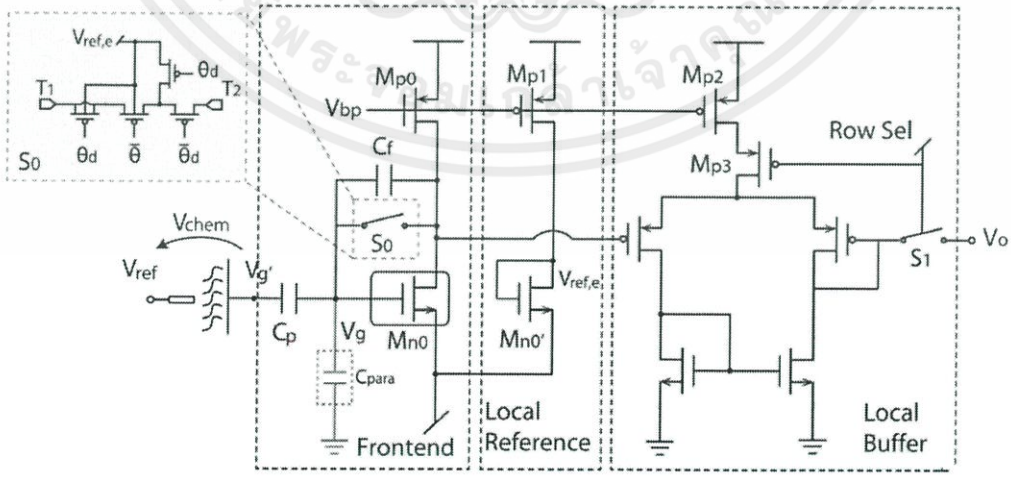
บทที่ 2
วงจรอ่านค่า ISFET โดยใช้หลักการป้อนกลับแบบตัวเก็บประจุ

2.1 ที่มาของวงจรอ่านค่า ISFET โดยใช้หลักการป้อนกลับแบบตัวเก็บประจุ

ดังที่ได้กล่าวไว้ในบทที่ 1 ที่มีความต้องการกำจัดผลของความไม่เป็นอุดมคติของการนำ ISFET มาใช้ออกไป ซึ่งในหลายปีที่ผ่านมามีการเสนอแนวทางในการกำจัดผลเหล่านี้ เช่น การใช้แสง UV [6][7] เป็นที่นิยมใช้กันอย่างแพร่หลาย แต่ต้องทำการชดเชยจากภายนอก การใช้ ADC ความละเอียดสูง [8] การใช้ Programmable-Gate [9][10] และการใช้วงจรอ่านค่าชนิด CVCC [11][12] อย่างไรก็ตามแนวทางเหล่านี้ล้วนแต่ต้องใช้วงจรอ่านค่าที่มีขนาดใหญ่ ซึ่งไม่เหมาะกับการใช้กับ ISFET ในรูปแบบของ array ในบทนี้จึงนำเสนอวงจรอ่านค่า ISFET ที่ใช้หลักการป้อนกลับแบบตัวเก็บประจุ ซึ่งเป็นวงจรที่มีขนาดเล็ก และเป็นอีกหนึ่งแนวทางในการกำจัดผลของความไม่เป็นอุดมคติออกไป

2.2 การวิเคราะห์ระบบ

ในหัวข้อนี้จะอธิบายถึงการทำงานและการออกแบบของระบบดังต่อไปนี้ ในรูปที่ 2.1 แสดงโครงสร้างของวงจรอ่านค่า ISFET โดย Mn0 คือ ISFET, Cp คือ ตัวเก็บประจุที่เกิดขึ้นในชั้น Passivation และ Cf คือตัวเก็บประจุที่ใช้ในการป้อนกลับ สวิทช์ S0 เป็นสวิทช์ที่มีกระแสรั่วไหลต่ำถูกนำมาใช้ในระบบเพื่อให้เกิด ช่วงของการรีเซ็ท และ ช่วงของการตรวจจับ ด้วยการใช้สวิทช์โครงสร้างดังรูปทำให้มีกระแสรั่วไหลเฉลี่ยอยู่ที่ประมาณ 30 aA [13] ในโครงสร้างสวิทช์นี้ กระแสรั่วใน Reverse-biased จากขาเดรนไปยังบัลก์จะถูกลดให้ต่ำที่สุด ด้วยการให้แรงดันที่ขาบัลก์และขาเดรนเท่ากัน นอกจากนี้ดัมมี่ทรานซิสเตอร์จะถูกเพิ่มเข้ามาเพื่อลดผลของ Charge injection



รูปที่ 2.1 โครงสร้างวงจรอ่านค่า ISFET โดยใช้หลักการป้อนกลับแบบตัวเก็บประจุ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลักการทำงานของระบบมีดังนี้ เนื่องจากแรงดันที่ขาเกตของ ISFET(Mn0) นั้นเป็นแรงดันที่มีค่าคงที่ตลอดเวลาและมีการเชื่อมต่อกับขาเดรนของ Mn0 ผ่านการป้อนกลับ ส่งผลให้เมื่อสวิทช์ S0 ถูกปิดลง ซึ่งหมายถึงเป็นช่วงของการรีเซ็ท สัญญาณที่เอาท์พุตจะถูกกำหนดด้วยแรงดันค่าหนึ่ง(Vref) โดยไม่คำนึงถึงปฏิกิริยาทางเคมีและประจุทั้งหมดบนตัวเก็บประจุที่เกิดจากชั้น Passivation(Cp) ที่เกิดจากผลของ Trapped Charge และในช่วงของการตรวจจับ สวิทช์ S0 จะถูกเปิดขึ้น ระบบการป้อนกลับจะถูกสร้างขึ้นด้วยตัวเก็บประจุที่ใช้ในการป้อนกลับ(Cf) ทำให้เกิดการแบ่งประจุระหว่าง Cp และ Cf เกิดเป็นอัตราขยายขึ้น ทำให้สัญญาณเอาท์พุตในช่วงของการตรวจจับนั้น จะแสดงผลตามปฏิกิริยาทางเคมี ส่วนของ Local Reference ถูกเพิ่มเข้ามาเพื่อสร้างแรงดันในการไบอัสสวิทช์ S0 และในวงจรนี้จะมีการใส่สัญญาณรูปไซน์ความถี่สูงเข้ามาสำหรับระบบ AGC ซึ่งเป็นบล๊อคถัดไป ดังนั้นเราจึงต้องการวงจรที่มีแบนด์วิทด์เพียงพอที่จะทำงานได้ นอกจากนี้ Local Buffer ถูกเพิ่มเข้ามาเป็นภาคเอาท์พุตเพื่อใช้ตัดการเชื่อมต่อเมื่อ pixel นั้นๆไม่ได้ถูกเลือกใช้งาน อัตราขยาย(DC gain) ที่เกิดขึ้นจากการแบ่งประจุสามารถหาได้จาก $\mathrm{Adc}=\frac{\mathrm{Cp}}{\mathrm{Cf}}$ ดังนั้นแรงดันเอาท์พุตจะสามารถหาได้ดังนี้

$$\mathrm{Vout} = \mathrm{Adc} \times \mathrm{Vchem} = \frac{\mathrm{Cp}}{\mathrm{Cf}} \times \mathrm{Vchem} \qquad (2.1)$$

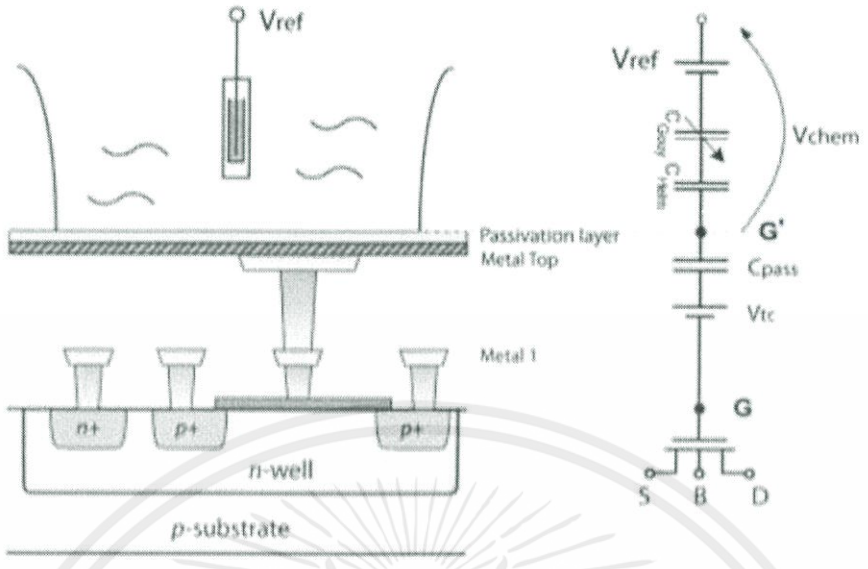
$$\Delta\mathrm{Vout} = \frac{\mathrm{Cp}}{\mathrm{Cf}} \times \frac{2.3\alpha kT}{q} \Delta\mathrm{pH} \qquad (2.2)$$

นอกจากนี้ เนื่องจากขาทั้งสี่ของ ISFET(Mn0) ถูกกำหนดไว้ด้วยค่าคงที่ ดังนั้นจะมีการทำงานในลักษณะที่คล้ายกับวงจรอ่านค่าแบบ Constant-Voltage-Constant-Current(CVCC) ที่ตัวเก็บประจุแฝงระหว่างขาเกตและขาซอร์ส(C_{gs}) ทำหน้าที่เป็น bootstrapped ทำให้ Capacitive division ถูกป้องกันจากผลของ Transconductance loss

2.3 โมเดลของ ISFET

แมคโครโมเดลของ ISFET ถูกแสดงไว้ในรูปที่ 2.2 ซึ่งประกอบไปด้วย MOSFET รวมกับ ตัวเก็บประจุในชั้น Passivation ที่เกิดจาก top metal contact ในชั้นการตรวจจับ กับ pH sensitive insulator (Si_3N_4 ในเทคโนโลยี CMOS) และยังมีค่าความจุที่เกิดขึ้นจากปฏิกิริยาทางเคมีผสมกับโครงสร้างของ ISFET อีกสองตัว คือ ค่าความจุของ Gouy-Chapman(C_{Gouy}) และ Helmholtz (C_{Helm}) [14] ผลของ Trapped Charge ใน Insulator หรือ floating gate ซึ่งทำให้เกิด offset voltage จะถูกโมเดลด้วย Vtc

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.2 โมเดลของ ISFET

(รูปภาพจาก https://www.researchgate.net/figure/a-CMOS-ISFET-Behavioural-macro-model)

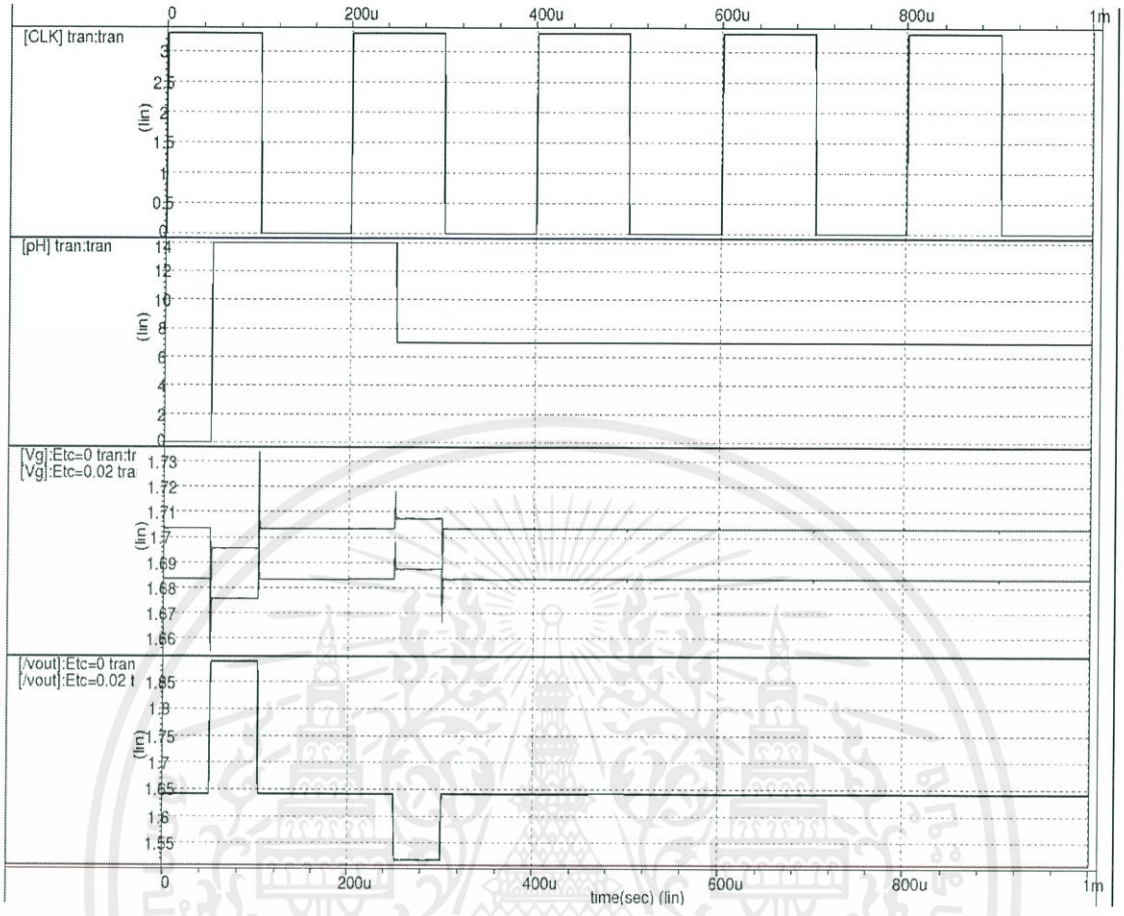
แรงดันตกคร่อมที่เกิดจากไฟฟ้าทางเคมีบนโครงสร้างของ ISFET (Vchem) รวมไปถึงแรงดันที่ขาเกตของ ISFET (V_G) สามารถอธิบายได้ดังสมการ

$$Vchem = \gamma + \frac{2.3\alpha kT}{q} pH \quad (2.3)$$

$$V_G = Vref - Vchem - Vtc \quad (2.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 การจำลองการทำงาน



รูปที่ 2.3 การจำลองการทำงาน

การทำงานของวงจรในระหว่างการตรวจจับปฏิกิริยาทางเคมีถูกแสดงดังรูปที่ 2.3 ซึ่งเราได้ใช้ข้อมูลปฏิกิริยาทางเคมีที่ได้จากเซนเซอร์ ISFET สองชุด ซึ่งแต่ละชุดถูกแยกด้วยการใส่ DC offset 20 mV อันเนื่องมาจากผลของ Trapped Charge ในช่วงของการรีเซ็ทเราจะเห็นว่า เอาท์พุตถูกกำหนดด้วยแรงดันอ้างอิงคงที่ 1.65 V จากนั้นในช่วงของการตรวจจับจะเห็นได้ว่า ISFET สองชุดสามารถตรวจจับตามปฏิกิริยาทางเคมีได้อย่างถูกต้อง โดยไม่มีผลของ DC offset ซึ่งเป็นของ Trapped Charge แต่อย่างใด

นอกจากนี้การใช้วงจรในรูปแบบของสวิทช์ เราสามารถรับประกันได้ว่าในช่วงของการรีเซ็ทสัญญาณที่เอาท์พุตจะเริ่มต้นจากแรงดันอ้างอิงเสมอ ซึ่งแสดงว่าวงจรนี้สามารถที่จะแก้ปัญหา offset ที่เปลี่ยนแปลงสะสมไปเรื่อยๆตามเวลาหรือที่เรียกว่า Voltage drift

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

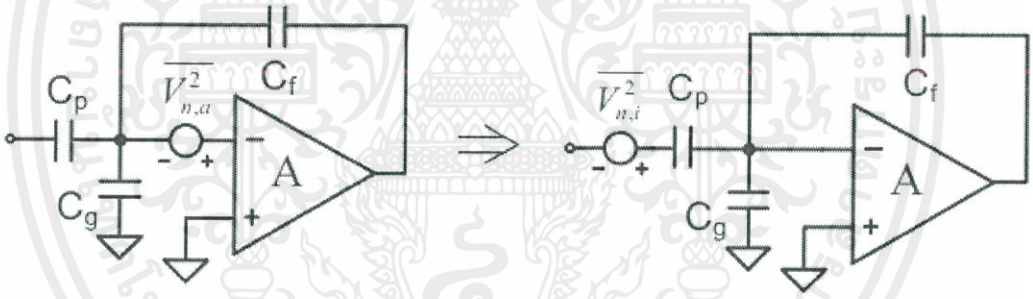
2.5 การวิเคราะห์สัญญาณรบกวน

ในการอธิบายสัญญาณรบกวนของระบบนี้ เราจะสนใจสัญญาณรบกวนทางไฟฟ้าเนื่องจากตัวเก็บประจุที่ใช้ในการป้อนกลับ(Cf) เป็นหลัก โมเดลสำหรับใช้วิเคราะห์สัญญาณรบกวนถูกแสดงไว้ดังรูปที่ 2.3 วงจรขยาย A แทนด้วยระบบทั้งหมดยกเว้นตัวเก็บประจุที่ใช้ในการป้อนกลับ(Cf) V^2n,a คือ equivalent input referred noise ของวงจรขยาย A ตามที่ปรากฏบน floating gate ของอุปกรณ์ ISFET V^2n,i คือ equivalent input referred noise ของระบบที่พิจารณาตัวเก็บประจุ Cp และ Cf

เนื่องจากตัวเก็บประจุนั้นไม่ได้ก่อให้เกิดสัญญาณรบกวน ดังนั้นสัญญาณรบกวนของวงจรนี้จะถูกกำหนดด้วยภาคของ ISFET เป็นหลัก Input referred noise สามารถหาได้ดังนี้

$$V^2n,o = V^2n,a\left(\frac{Cp+Cf+Cg}{Cf}\right)^2 = V^2n,i\left(\frac{Cp}{Cf}\right)^2 \qquad (2.5)$$

$$V^2n,i = \left(\frac{Cp+Cf+Cg}{Cf}\right)^2 V^2n,a \qquad (2.6)$$



รูปที่ 2.4 โมเดลสำหรับใช้วิเคราะห์สัญญาณรบกวน

2.6 การวิเคราะห์ Leakage

โดยสมมติว่าสวิทช์ที่ใช้ในวงจรเป็นสวิทช์ในอุดมคติ สัญญาณที่เอาท์พุตควรตอบสนองตามสัญญาณอินพุต ในอัตราส่วนของ Cp และ Cf อย่างไรก็ตามในความเป็นจริง กระแสที่รั่วไหลจากโหนดของขาเกตจะนำไปสู่การเปลี่ยนแปลงค่าของแรงดัน floating gate และทำให้แรงดันที่เอาท์พุตนั้นเกิดเปลี่ยนแปลงไป แรงดันขาเกตที่เกิดการเปลี่ยนแปลง เนื่องจากกระแสรั่วไหลสามารถอธิบายได้ดังสมการ

$$\Delta V_{g,leak} = \frac{\Delta Q}{C_{tot}} = \frac{I_{leak}\times\Delta t}{C_{tot}} \qquad (2.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และแรงดันเอาท์พุตที่เปลี่ยนไปสามารถหาได้ดังนี้

$$\Delta V_{out,leak} = \frac{C_{tot}}{C_f}\Delta V_{g,leak} = \frac{I_{leak}}{C_f}\Delta t \qquad (2.8)$$

โดย C_{tot} คือค่าความจุทั้งหมดรอบโหนดของขาเกต โดยเราสามารถหาค่า signal-to-(leakage) drift ratio(SDR) ได้ดังนี้

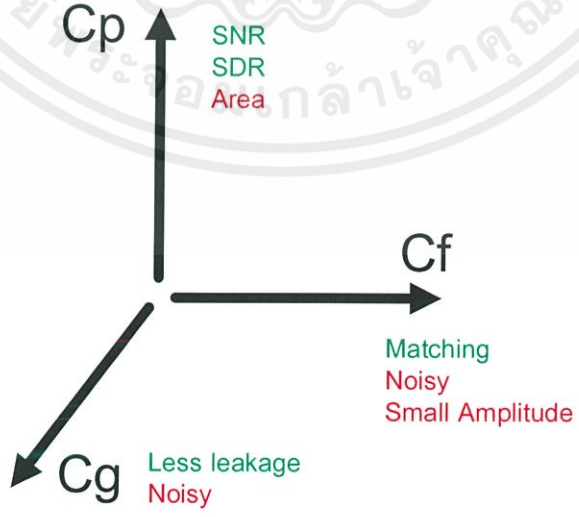
$$SDR = \frac{\Delta V_{out,sig}}{\Delta V_{out,leak}} = \frac{\Delta V_{in,sig} \times Adc}{\Delta V_{out,leak}} = \frac{C_p}{I_{leak}}\frac{\Delta V_{in,sig}}{\Delta t} \qquad (2.9)$$

2.7 Tradeoff ของการออกแบบ

ดังที่ได้อธิบายในหัวข้อก่อนหน้านี้ แสดงให้เห็นว่ามี tradeoff ในการเลือกใช้ขนาดของตัวเก็บประจุดังรูปที่ 2.5 เป็นปกติที่ตัวเก็บประจุขนาดใหญ่จะทำให้เปลืองพื้นที่ แต่ในทางกลับกันตัวเก็บประจุขนาดใหญ่จะทำให้มี matching ที่ดีด้วยเช่นกัน ตัวเก็บประจุ passivation(Cp) ควรที่จะสร้างให้ใหญ่ที่สุดเท่าที่เป็นไปได้ ขึ้นอยู่กับกระบวนการสร้าง

ในการเลือกตัวเก็บประจุที่ใช้ในการป้อนกลับ(Cf) ที่มีขนาดใหญ่ทำให้ส่งผลดีต่อการ matching ในขณะที่การเลือกขนาดเล็กจะส่งผลดีต่อสัญญาณรบกวนทางไฟฟ้า รวมไปถึงถ้าตัวเก็บประจุรอบโหนดขาเกตของ ISFET มีขนาดใหญ่ก็จะช่วยลดผลของ Charge injection แต่ก็จะเป็นการเพิ่มสัญญาณรบกวนทางไฟฟ้าด้วยเช่นกัน

อย่างไรก็ตามในการเลือกขนาดของตัวเก็บประจุ ควรจะขึ้นกับความต้องการของแอปพลิเคชั่นที่นำไปใช้



รูปที่ 2.5 tradeoff สำหรับการเลือกค่าตัวเก็บประจุ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 สรุปผล

ในบทที่ 2 นี้ได้กล่าวถึงการออกแบบวงจรอ่านค่า ISFET ที่ใช้หลักการป้อนกลับแบบตัวเก็บประจุ จากเอาท์พุตไปยังขาเกตของ ISFET เพื่อทำให้ค่า offset ต่างๆ ที่เกิดขึ้นจากผลของความไม่เป็นอุดมคติต่างๆ เช่น Trapped Charge และการ drift ซึ่งเป็นสิ่งที่ไม่ต้องการ ให้สามารถถูกกำจัดออกไปได้ โดยผลจำลองการทำงานของวงจรนี้จะถูกสรุปไว้ในตารางที่ 2.1

ตารางที่ 2.1 แสดงผลสรุปของวงจรอ่านค่า ISFET ที่ได้จากออกแบบ

Tech.	UMC-0.18um
Supply Voltage	3.3 V
Bias Current	4.833 uA
Power	15.95 uW
front-end Gain	≈ 0.58
Leakage current (Switch)	38.1 aA
pH sensitivity	17.14 mV/pH
Output noise (0.1-3.5Hz)	0.11mV

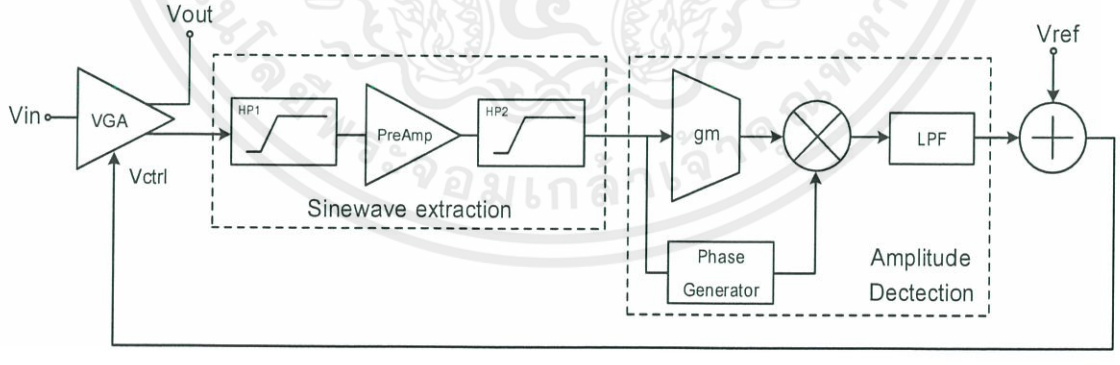
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ระบบชดเชยอัตราขยายอัตโนมัติ

การใช้วงจรอ่านค่า ISFET ที่มีการป้อนกลับแบบตัวเก็บประจุ ในรูปแบบของ array โดยปกติแล้วย่อมมีปัญหาในเรื่องของอัตราขยายที่ไม่ตรงกันในแต่ละพิกเซล ด้วยเหตุนี้ ระบบชดเชยอัตราขยายอัตโนมัติ(Auto Gain Control System) จึงถูกเพิ่มเข้ามาเพื่อแก้ไขปัญหาเหล่านี้

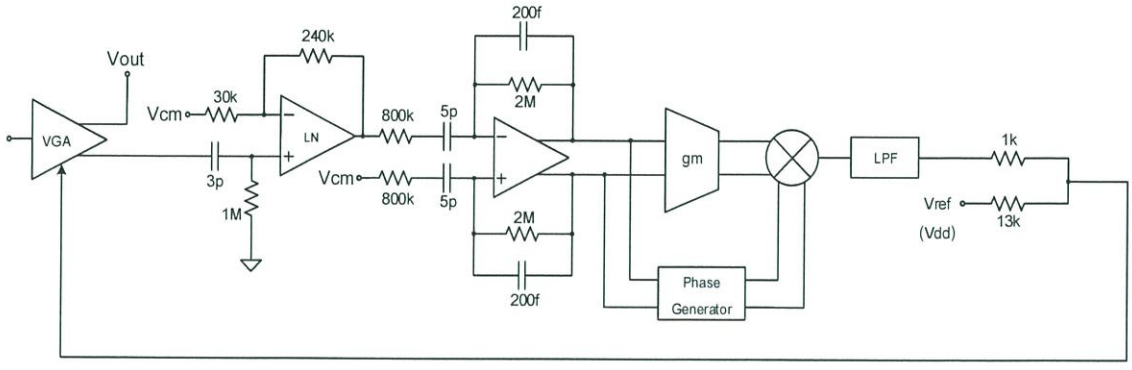
เมื่อพิจารณาช่วงของอัตราขยายที่ไม่ตรงกันของพิกเซล พบว่าระบบชดเชยอัตราขยายอัตโนมัติ ควรต้องมีในการชดเชยอัตราขยายในช่วง 80% ถึง 120% ให้มีความผิดพลาดที่น้อยกว่า 1% นอกจากนี้ Recovery time จะถูกกำหนดด้วย Front-end แบนด์วิทด์เป็นหลัก ซึ่งควรออกแบบให้เร็วที่สุดเท่าที่เป็นไปได้เพื่อเพิ่มความเร็วในการสวิตชิ่งของแต่พิกเซล เมื่อใช้งานในลักษณะของ array

บล๊อคไดอะแกรมของระบบชดเชยอัตราขยายอัตโนมัติ และระบบชดเชยอัตราขยายอัตโนมัติถูกแสดงไว้ดังรูปที่ 3.1 และ 3.2 ตามลำดับ สัญญาณอินพุตที่มาจากวงจรอ่านค่า ISFET จะประกอบไปด้วยสัญญาณที่เกิดจากปฏิกิริยาทางเคมี ซึ่งมีความถี่ที่ต่ำร่วมกับสัญญาณรูปไซน์ที่มีความถี่สูง ด้วยความแตกต่างกันของสองความถี่นี้ ทำให้สัญญาณทั้งสองสามารถถูกแยกออกจากกันด้วยวงจรกรองความถี่สูงผ่าน และเมื่อนำไปผ่านในส่วนของ Amplitude Detection ที่ใช้หลักการของวงจรเรียงกระแส จึงจะได้สัญญาณ dc ที่มีค่าเปลี่ยนแปลงไปตามแอมพลิจูดของสัญญาณอินพุต จากนั้นสัญญาณนี้จะถูกส่งไปรวมกับแรงดันอ้างอิงเพื่อนำไปใช้ในการปรับค่าอัตราขยายของ Variable Gain Amplifier(VGA)



รูปที่ 3.1 AGC Block Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



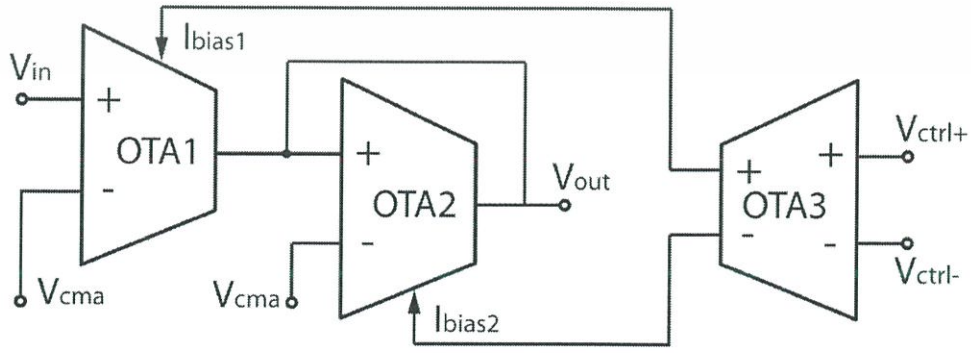
รูปที่ 3.2 ระบบชดเชยอัตราขยายอัตโนมัติ

3.1 Variable Gain Amplifier

หนึ่งในส่วนที่ยากและท้าทายที่สุดในการดำเนินงานนี้ คือการออกแบบ Variable Gain Amplifier(VGA) เนื่องด้วยกฎ square law บนเทคโนโลยี CMOS ทำให้เกิดการตอบสนองแบบเอ็กซ์โพเนนเชียลซึ่งเป็นสิ่งที่ไม่ต้องการใน VGA รวมไปถึงการทำงานในย่านผันกลับอ่อนนั้นยังไม่เหมาะสม เนื่องด้วยแบนด์วิทด์ที่ต่ำ อย่างไรก็ตาม โชคดีที่ไม่เหมือนกับ VGA ที่ถูกใช้ในระบบการสื่อสารด้วย tunable range ที่กว้าง(70dB) และแบนด์วิทด์ที่สูง [15][16] VGA ที่ถูกใช้ในระบบของเราสามารถใช้ tunable range และแบนด์วิทด์ที่ต่ำกว่านั้นได้

เป็นผลทำให้เราสามารถใช้ฟังก์ชั่น Pseudo-exponential ที่แสดงเป็น $e^x \approx (1+x)/(1-x)$ ได้ [17] นอกจากนั้นค่าเอาท์พุตที่ออกมาจากวงจร ISFET front-end อาจมีการเปลี่ยนแปลงตามกระแสไบอัส ค่าpH รวมไปถึงอุณหภูมิ ดังนั้น VGA ควรจะมีค่า CMRR ที่สูง และ input linear range ที่กว้าง

ในรูปที่ 3.3 ได้แสดงโครงสร้างของ VGA ซึ่งประกอบไปด้วย transconductors OTA1 และ 2 ซึ่งเป็นโครงสร้างที่นิยมใช้มากที่สุดของ VGA [18] โดย OTA2 จะทำหน้าที่สร้างโหลด 1/gm ให้กับ OTA1 ทำให้เกิดอัตราขยายที่เป็นอัตราส่วนของ gm ขึ้น และเราจะสามารถปรับอัตราขยายนี้ได้ด้วย fully differential transconductor OTA3 นั่นเอง



รูปที่ 3.3 โครงสร้างของ VGA

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยอัตราขยายของ VGA นี้สามารถนิยามได้ด้วย gm_1/gm_2 ซึ่งสามารถนำมาหาในรูปของกระแสไบอัสได้ดังนี้

$$\text{Gain} = \frac{I_{b1}(\frac{gm}{I_d})_1}{I_{b2}(\frac{gm}{I_d})_2} \tag{3.1}$$

สมมติให้เงื่อนไขทาง dc ของ transconductor ทั้งสอง OTA1,2 มีค่าเท่ากัน ส่งผลให้ $(\frac{gm}{I_d})_1$ และ $(\frac{gm}{I_d})_2$ มีค่าเท่ากัน ดังนั้นอัตราขยายโดยประมาณจะขึ้นกับกระแสไบอัสของทั้งสอง I_{b1}/I_{b2} และถ้าสมมติว่าแรงดันที่ใช้ควบคุม(V_{ctrl}) ที่อินพุตของ OTA3 ด้านขา+ และขา- ถูกปรับให้มีค่าต่างกัน เราสามารถหาความสัมพันธ์ระหว่างแรงดันควบคุมและอัตราขยายได้ดังนี้

$$\text{Gain} = \frac{I_{b1}}{I_{b2}} = \frac{I_{b1}+\Delta I}{I_{b2}-\Delta I} \approx \exp\left(\frac{\Delta I}{I_{dc}}\right) = \exp(\frac{gm_3}{I_{b3}}\Delta V_{ctrl}) \tag{3.2}$$

เมื่อเปรียบเทียบสมการที่ 3.1 และ 3.2 เราจะพบว่ามีค่าคงที่เป็น

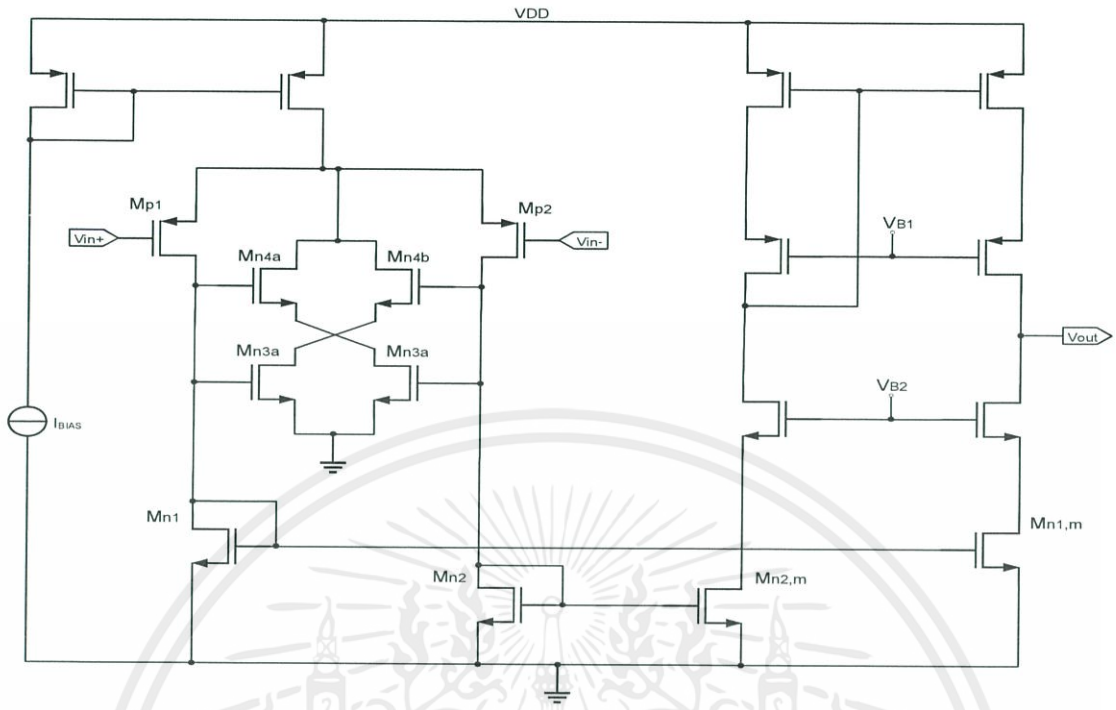
$$k_3 = \frac{gm_3}{I_{b3}} \tag{3.3}$$

3.1.1 OTA 1&2

เนื่องด้วย VGA นั้นเป็นบล๊อคแรกของระบบชดเชยอัตราขยายอัตโนมัติ(AGC) ดังนั้น OTA ที่เป็นส่วนประกอบใน VGA จึงต้องการสัญญาณรบกวนต่ำ และช่วง input linear range ที่กว้าง

จากที่กล่าวมาข้างต้น เพื่อที่จะเพิ่ม input linear range เราได้ใช้เทคนิค Bump Linearization [19] บน Current Mirror Op-amp ดังรูปที่ 3.4 เมื่อ W/L ของ Mn3 และ Mn4 เป็นสองเท่าของ Mn1 และ Mn2 พจน์กำลังสามในอนุกรมเทย์เลอร์ ของ OTA นี้จะถูกกำจัดออกไป ส่งผลให้วงจรมีความเป็นเชิงเส้นดีขึ้น ซึ่งเราได้มีการออกแบบให้ Mn3 และ Mn4 แบ่งออกเป็นสองกิ่งเพื่อให้เกิดความสมมาตรระหว่างอินพุตด้านบวกและด้านลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 OTA Schematic ที่ใช้ใน VGA

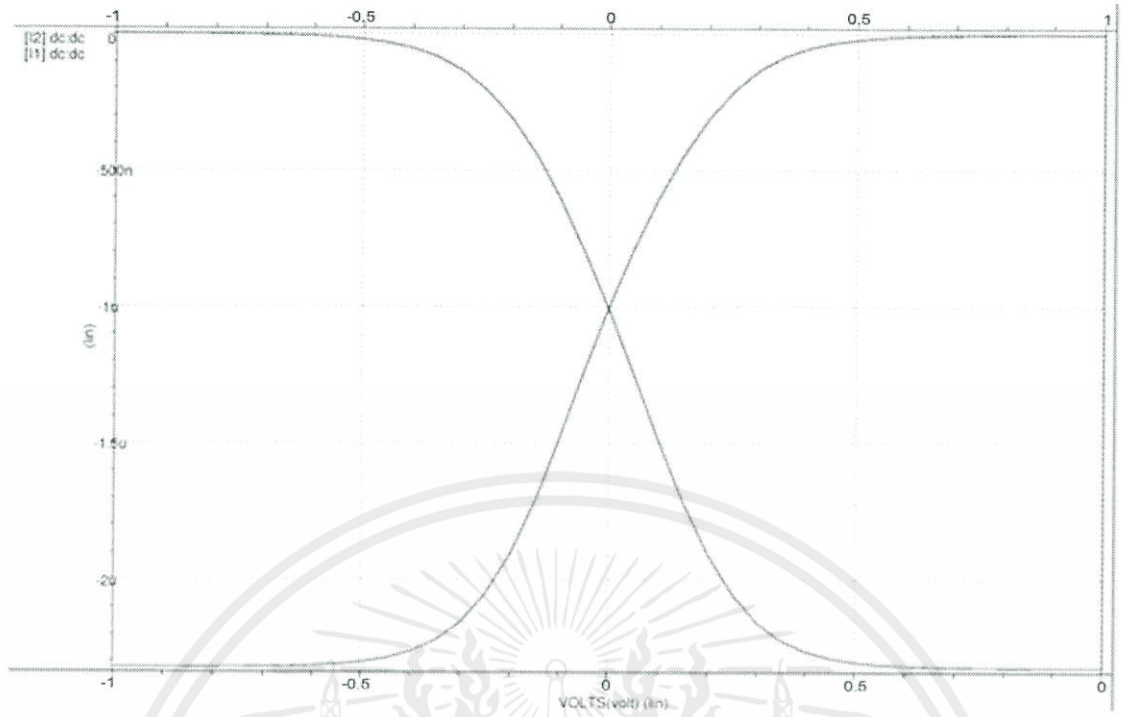
ตารางที่ 3.1 แสดงผลสรุปของ OTA1,2

Tech.	UMC-0.18um
Supply Voltage	3.3 V
Bias Current	1 uA
Gain	68.9 dB
Unity Gain Bandwidth	10 MHz
THD Fullswing @ 100kHz	-25.29 dB

3.1.2 OTA 3

ตามที่ได้วิเคราะห์ไปในหัวข้อก่อนหน้านี้ อัตราขยายและ sensitivity ของ VGA จะถูกควบคุมจาก OTA ตัวที่สามด้วยพจน์ของ $k_3 = \frac{gm_3}{I_{b3}}$ ซึ่ง OTA3 นั้นมีโครงสร้างและใช้เทคนิคเช่นเดียวกันกับ OTA1,2 เพียงแต่ให้เอาท์พุตเป็นกระแสเพื่อใช้ในการควบคุม OTA1 และ OTA2

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 ผลแสดงการจำลองการทำงานระหว่าง $I_{b1,2}$ และ ΔV_{ctrl} ของ OTA3

ตารางที่ 3.2 แสดงผลสรุปของ OTA3

Tech.	UMC-0.18um
Supply Voltage	3.3 V
Bias Current	2 uA
$k_3=\frac{gm_3}{I_{b3}}$	1.94
Vctrl+	1.65-1.67 V
Vctrl-	1.65-1.63 V
Iout+	1-1.4 uA
Iout-	1-0.6 uA

ตารางที่ 3.3 แสดงผลสรุปผลของ VGA

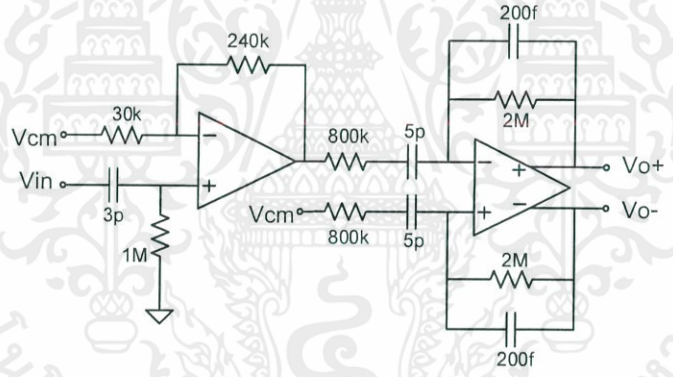
Tech.	UMC-0.18um
Supply Voltage	3.3 V
Idc @ 1uA OTA1,2 bias	11.32 uA
Gain/ΔVin	1.6 dB/0.1 V
Unity Gain Bandwidth	10 MHz
Input Noise (1kHz-1MHz)	24.58 uV

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

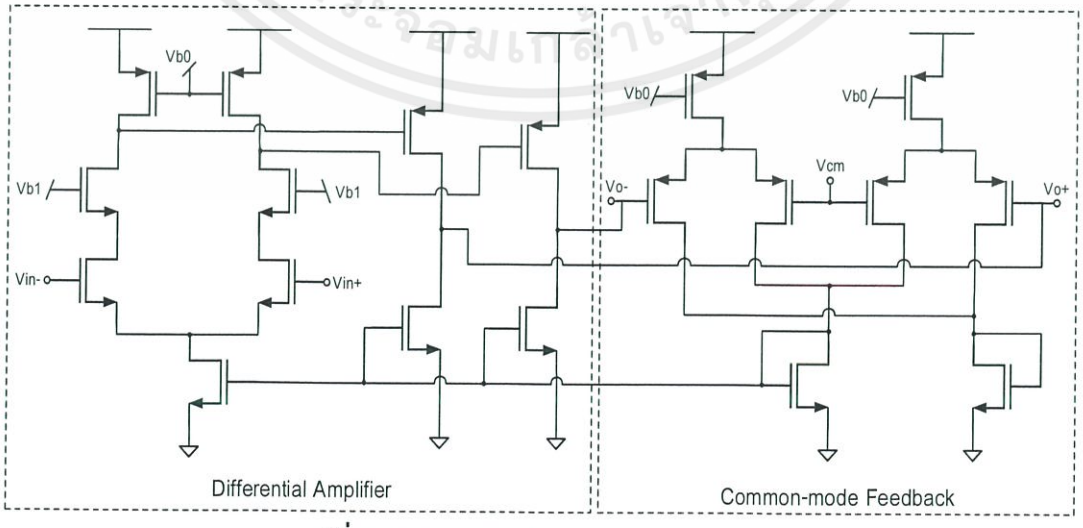
3.2 Sine wave extraction & Pre-amplification

วงจร Sine wave extraction & Pre-amplification ถูกแสดงดังรูปที่ 3.6 เนื่องจากสัญญาณรูปไซน์ความถี่ 100kHz ที่ถูกป้อนเข้ามา เมื่อเปรียบเทียบกับความถี่สัญญาณของปฏิกิริยาทางเคมีที่มีค่าค่อนข้างต่ำ ทำให้สามารถใช้วงจรกรองความถี่สูงผ่านในการแยกสัญญาณรูปไซน์ออกมาได้ และเมื่อพิจารณาถึงแรงดันออฟเซตเปรียบเทียบกับสัญญาณรูปไซน์(Kos < 4%Acali) ทำให้สัญญาณรูปไซน์นี้ควรมีขนาดอย่างน้อย 400mVpp อย่างไรก็ตามเนื่องด้วยขีดจำกัดทางด้าน input range จึงได้เลือกป้อนสัญญาณรูปไซน์ขนาด 100mVpp ซึ่งอยู่ในช่วงที่ยังรับได้

เนื่องด้วยช่วงความห่างของความถี่ระหว่างสัญญาณรูปไซน์และสัญญาณของปฏิกิริยาทางเคมีทำให้วงจรกรองความถี่ RC ภาคเดียวนั้นเพียงพอในการกรองสัญญาณออกจากกัน วงจรกรองความถี่ผ่านวงจรที่ 2 ถูกเพิ่มเข้ามาเพื่อใช้กำจัดแรงดันออฟเซตจากการขยายของ Op-amp อัตราขยายถูกกำหนดด้วยอัตราส่วนของตัวต้านทานไว้ที่ 8 เท่า ทำให้สัญญาณที่ออกจาก Op-amp มีขนาดที่ประมาณ 800mVpp และนำไปสู่การกำหนดความเป็นเชิงเส้นของวงจรในภาคถัดไป นอกจากนี้วงจรที่ใช้ในการแปลงสัญญาณ single-ended เป็นสัญญาณ fully differential ดังรูปที่ 3.7 ได้ถูกเพิ่มเข้ามาในส่วนนี้เช่นกัน



รูปที่ 3.6 Sine wave extraction & Pre-amplification



รูปที่ 3.7 Fully Differential Op-amp

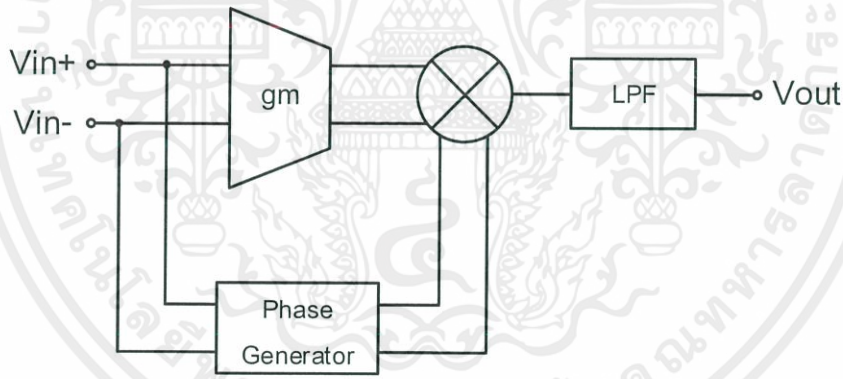
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.4 แสดงผลสรุปของ Fully Differential Op-amp

Tech.	UMC-0.18um
Supply Voltage	3.3 V
Bias Current	5.516 uA
Gain	56 dB
Bandwidth	325 kHz
Phase margin	41.2°
THD Fullswing @ 100kHz	0.956%
Output Noise (1kHz-1MHz)	0.407uV

3.3 Amplitude Detection

ในส่วนของ Amplitude Detection ที่ใช้หลักการของวงจรเรียงกระแส โดยใช้ Mixer เพื่อนำสัญญาณรูปไซน์คูณกับสัญญาณรูปสี่เหลี่ยมที่ความถี่เดียวกันทำให้เกิดการเรียงกระแส โดยโครงสร้างของส่วนนี้ถูกแสดงไว้ดังรูปที่ 3.8

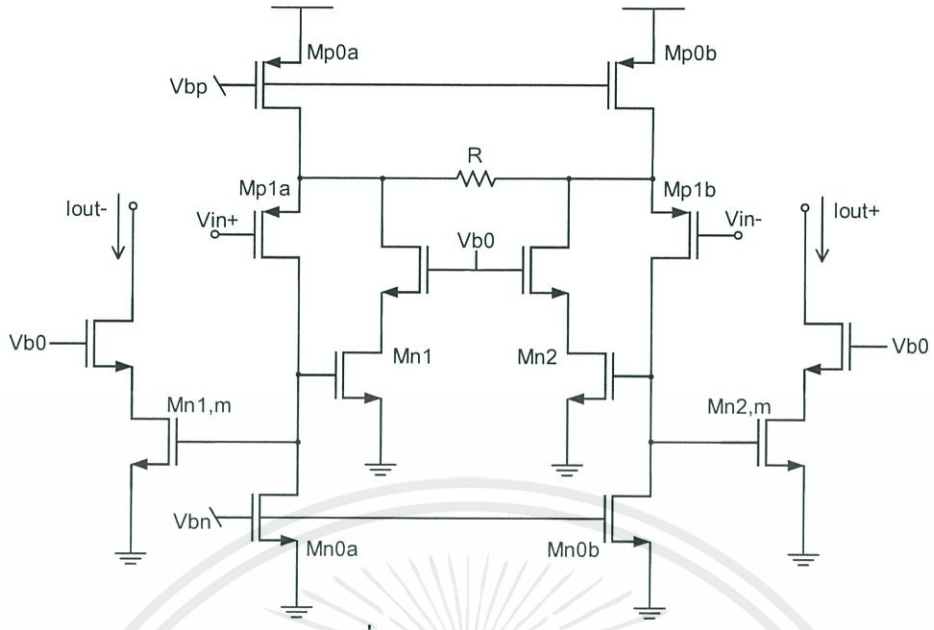


รูปที่ 3.8 Amplitude Detection

3.3.1 V-I Converter

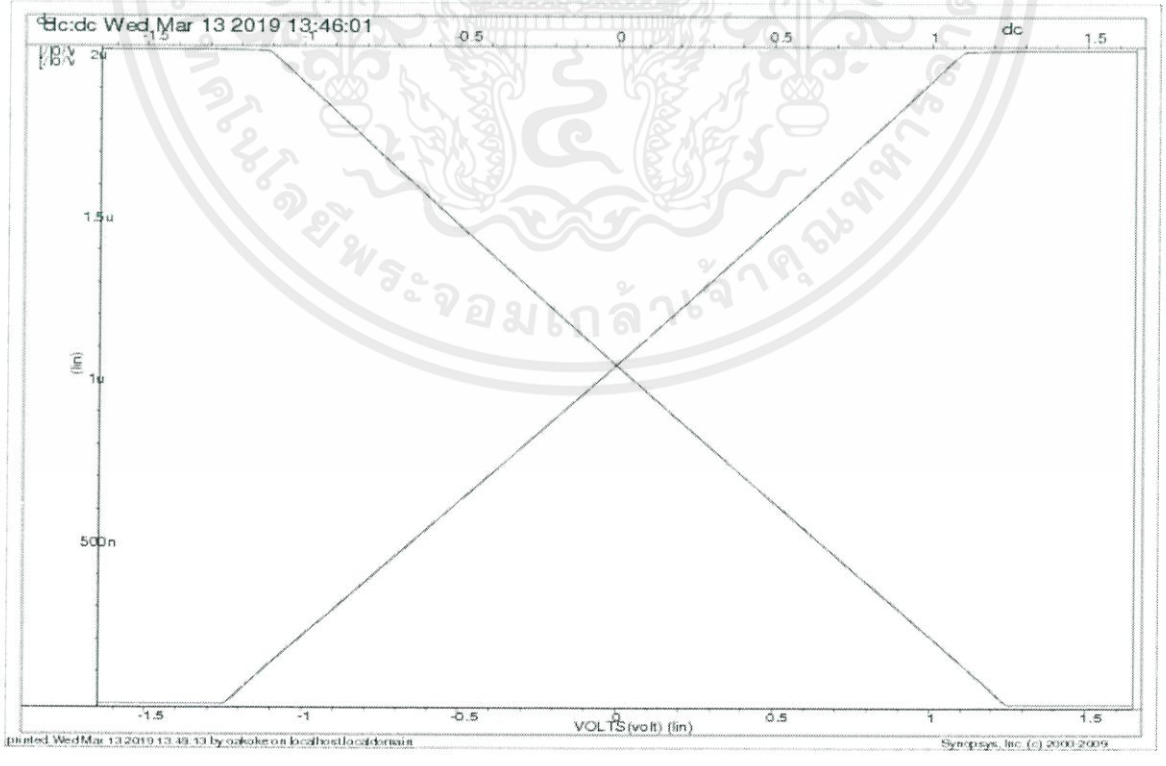
V-I Converter นี้ถูกนำมาใช้เพื่อแปลงจากแรงดันเป็นกระแสเพื่อที่จะผ่านไปยัง Mixer ต่อไป โดยความต้องการของวงจรนี้คือ gm ที่น้อยเพื่อหลีกเลี่ยงการใช้โหลดตัวเก็บประจุที่ใหญ่ ในขณะที่ต้องการ Linear input range ที่สามารถรับสัญญาณอินพุตขนาด 800mVpp ได้ และด้วยเหตุผลเหล่านี้จึงได้เลือกใช้ Resistive voltage to current converter ที่ใช้เทคนิค Active feedback ดังรูปที่ 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 V-I Converter

ในรูป 3.9 ทรานซิสเตอร์ Mn0 และ Mp0 มีกระแสไบอัสที่เท่ากันทั้งสองกิ่งและควร matched กันให้มากที่สุดเท่าที่เป็นไปได้เพื่อลดอินพุตออฟเซต คู่ Input differential Mp1 คือ Simply voltage shifter และกำหนดแรงดัน Input differential โดยขึ้นอยู่กับ R กระแสที่ไหลผ่านตัวต้านทานจะนำไปสู่กระแส differential ที่ไหลผ่าน Mn1 และ Mn2 โดยทรานซิสเตอร์ Mn1m และ Mn2m เป็นวงจรสะท้อนกระแสจาก Mn1 และ Mn2 ตามลำดับ



รูปที่ 3.10 การจำลองการทำงานของ V-I Converte

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.5 แสดงผลสรุปของ V-I Converter

Tech.	UMC-0.18um
Supply Voltage	3.3 V
Bias Current	18.6 uA
Gm	860u
Bandwidth	1.25 MHz
Linearity error	0.814%
THD Fullswing @ 100kHz	0.381%

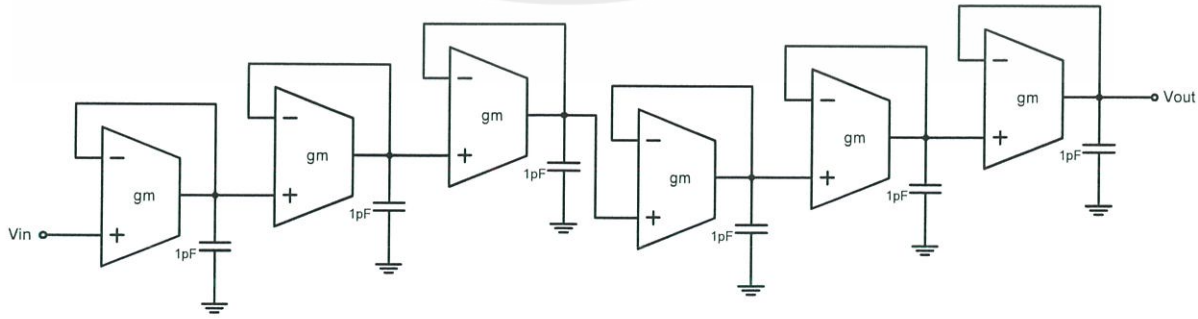
3.3.2 Phase Generator

Non-overlapping clock สองสัญญาณถูกสร้างจาก Inverter chain ดังรูปที่ 3.11

รูปที่ 3.11 Phase Generator

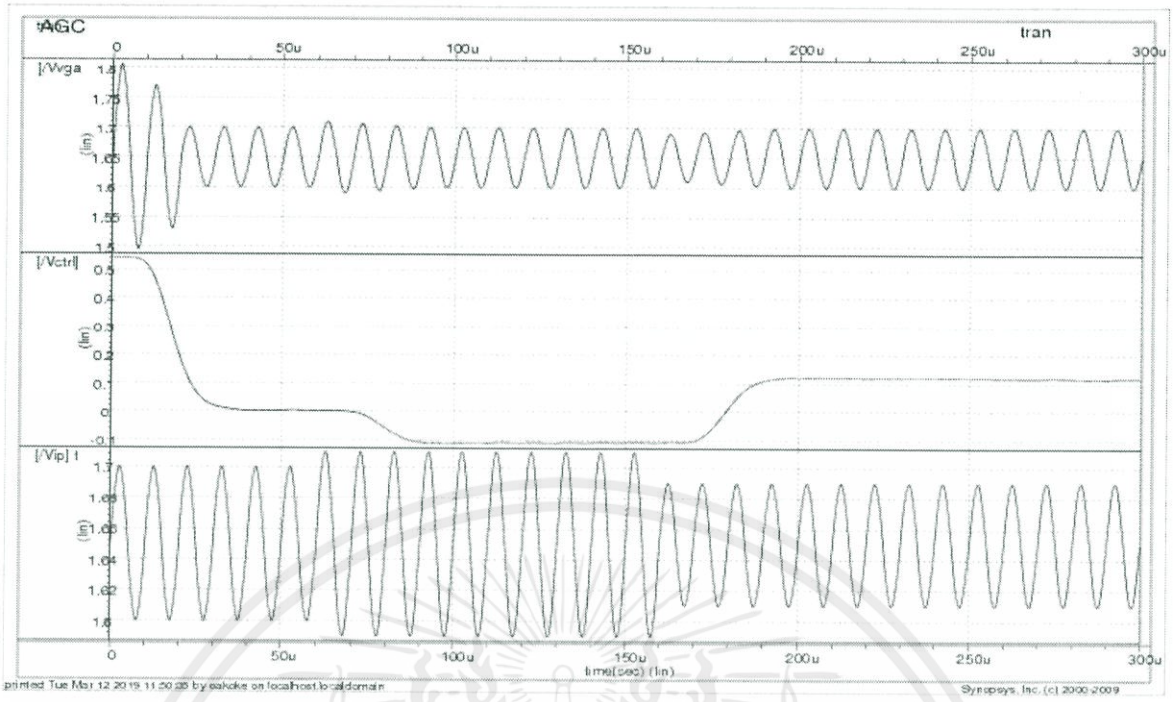
3.3.3 6th-order Low Pass Filter

V-I 1st-order Low Pass Filter ด้วยความถี่คัทออฟ 50 kHz นำ 6 วงจรมาต่อกันแบบอนุกรม ดังรูปที่ 3.12 และด้วยการกำหนดค่า gm = 290nA/V และ C = 1pF ทำให้มีการลดทอน 125dB ที่ความถี่ 100kHz



รูปที่ 3.12 6th-order Gm-C Low pass filter

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 การจำลองการทำงานของระบบ AGC

ตารางที่ 3.6 : สรุปผลของ AGC

Tech.	UMC-0.18um
Supply Voltage	3.3 V
Power Consumption	0.35 mW
SNR @ 100mV	36.2 dB
Recovery time	≈ 30.5 us

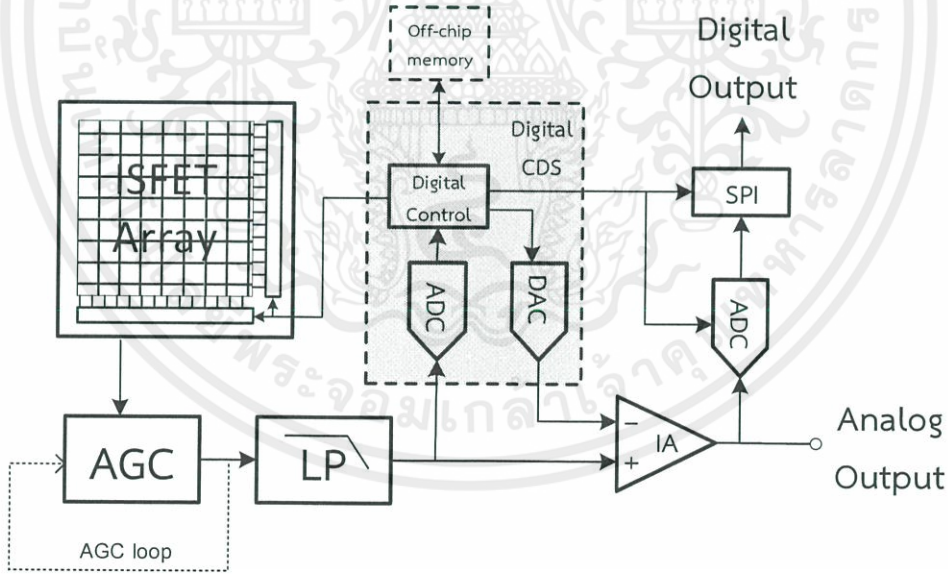
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ระบบตรวจวัดทางชีวเคมีโดยใช้ ISFET

4.1 โครงสร้างระบบตรวจวัดทางชีวเคมี

ในบทนี้นำเสนอภาพรวมทั้งหมดของระบบตรวจวัดทางชีวเคมีโดยใช้ ISFET ซึ่งถูกแสดงไว้ในรูปที่ 4.1 โดยในวิชา Project 2 จะศึกษาและออกแบบระบบในส่วนที่สัญญาณผ่านทั้งหมด โดยสมมติให้สัญญาณที่ผ่านนั้นไม่มีผลของอัตราขยายที่ไม่ตรงกันในแต่ละ pixel ประกอบไปด้วย ISFET pixel Readout Circuit , VGA(Variable Gain Amplifier) ซึ่งเป็นบล็อคแรกของระบบ AGC , Instrumentation Amplifier และวงจร ADC

โดยภาพรวมของระบบทั้งหมดในรูปที่ 4.1 เซนเซอร์แต่ละตัวใน array จะถูกควบคุมผ่าน multiplexing ซึ่งแต่ละเซนเซอร์ในพิกเซลจะถูกนำไปขยายอัตราขยายผ่านระบบขยายอัตราขยายอัตโนมัติ(AGC) นอกจากนี้เทคนิค digital CDS(Correlated Double Sampling) ถูกนำมาใช้ในการกำจัดค่า offset ในแต่ละพิกเซลออกไป โดยสัญญาณทางดิจิตอลทั้งหมดจะถูกควบคุมผ่านบล็อกควบคุมส่วนกลางหรือบล็อค Digital Control



รูปที่ 4.1 System architecture

โดยคาดว่าระบบที่ได้รับการออกแบบจะมีความสามารถดังนี้

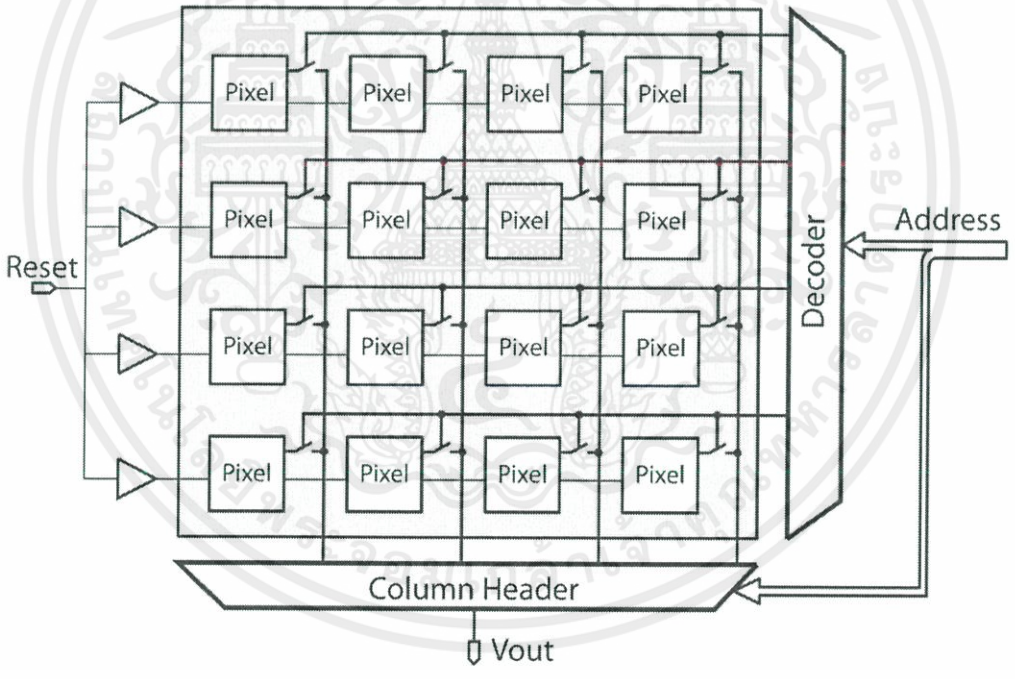
- ระบบการตรวจจับโดยใช้ ISFET สามารถกำจัดผลของความไม่เป็นอุดมคติออกไป เช่น ผลของTrapped charge, Capacitive Division, และ Drift

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ระบบ ISFET front-end ที่มีขนาดเล็กและการใช้กำลังงานต่ำ เพื่อให้เหมาะสมกับการตรวจจับแบบ array ขนาดใหญ่
- สามารถสร้างระบบ AGC สำหรับการตรวจจับทางชีวเคมีที่สามารถแก้ไขปัญหาเรื่องอัตราขยายไม่ตรงกันในแต่ละ pixel

4.2 Pixel array

รูปแบบของ Pixel array มีกลไกการทำงานคล้ายกับแรม(RAM) แต่ละพิกเซลจะถูกเลือกเป็นลำดับในลักษณะ row-by-row ด้วย address decoder และสัญญาณเอาท์พุตจะถูกเลือกด้วย column header ดังที่แสดงในรูปที่ 4.2 วงจรสะท้อนกระแสในทุกพิกเซลจะถูกไบอัสจากที่เดียวกันทั้งหมด ในขณะที่สัญญาณรีเซ็ทจะถูกขับผ่านบัฟเฟอร์ไปยังแต่ละแถวเพื่อให้มั่นใจว่าได้ slew rate ที่เร็วที่สุด



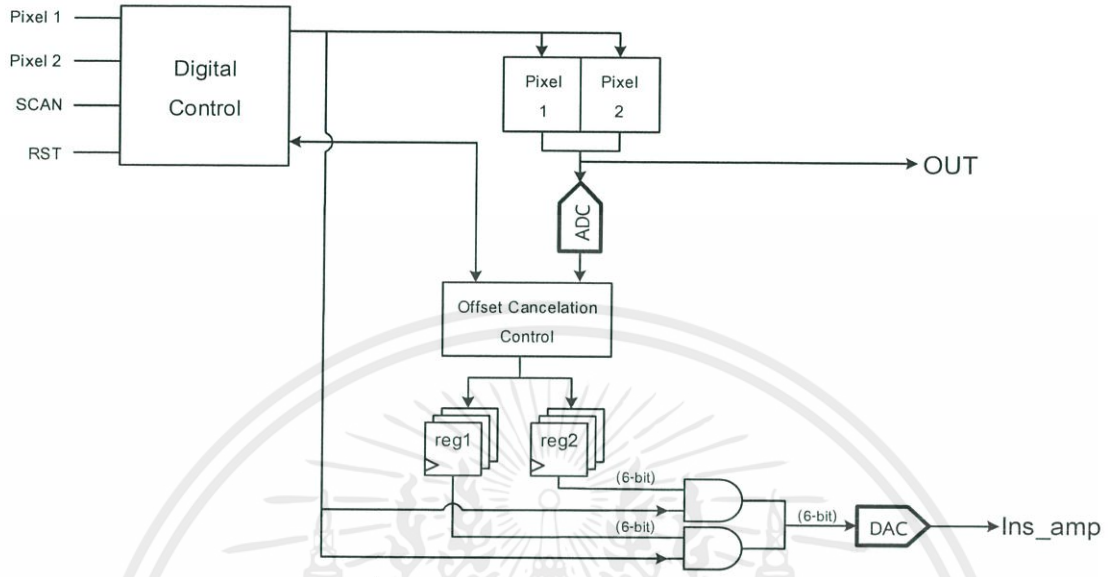
รูปที่ 4.2 โครงสร้าง Pixel array readout

4.3 Digital CDS

เนื่องด้วยการแสดงผลของปฏิกิริยาทางเคมีที่มีระยะเวลานาน ร่วมกับแรงดันออฟเซตในแต่ละพิกเซลมีค่าที่ไม่เท่ากัน จึงจำเป็นที่จะต้องใช้เทคนิค digital CDS(correlated double sampling)

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

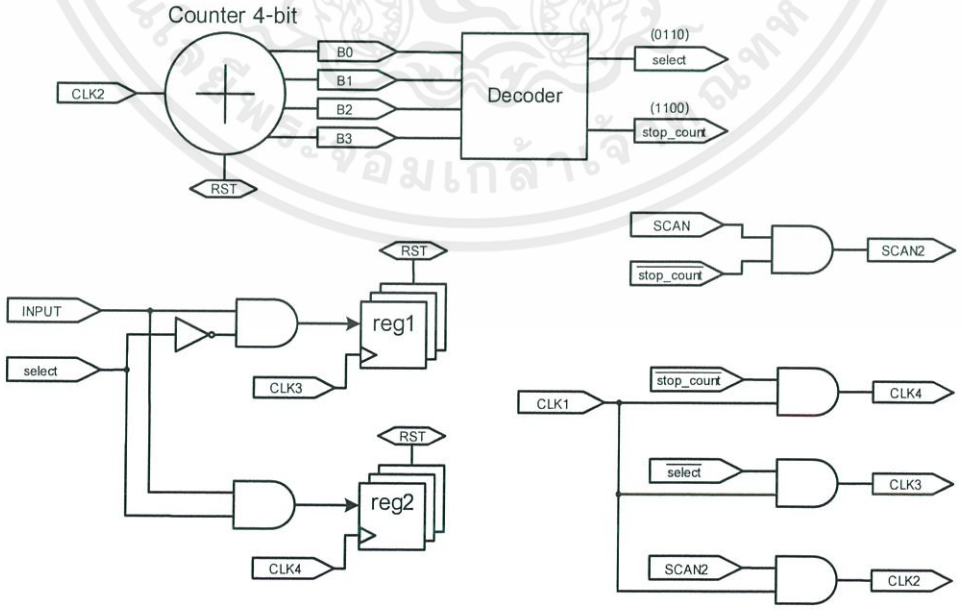
สำหรับใช้ในการหาค่าแรงดันออฟเซตในแต่ละพิกเซล จากนั้นจึงส่งไปเก็บยังหน่วยความจำเพื่อนำไปหักล้างใน Instrumentation Amplifier ในภายหลัง โดยภาพรวมของระบบถูกแสดงไว้ดังรูปที่ 4.3



รูปที่ 4.3 ภาพรวมระบบ Digital CDS

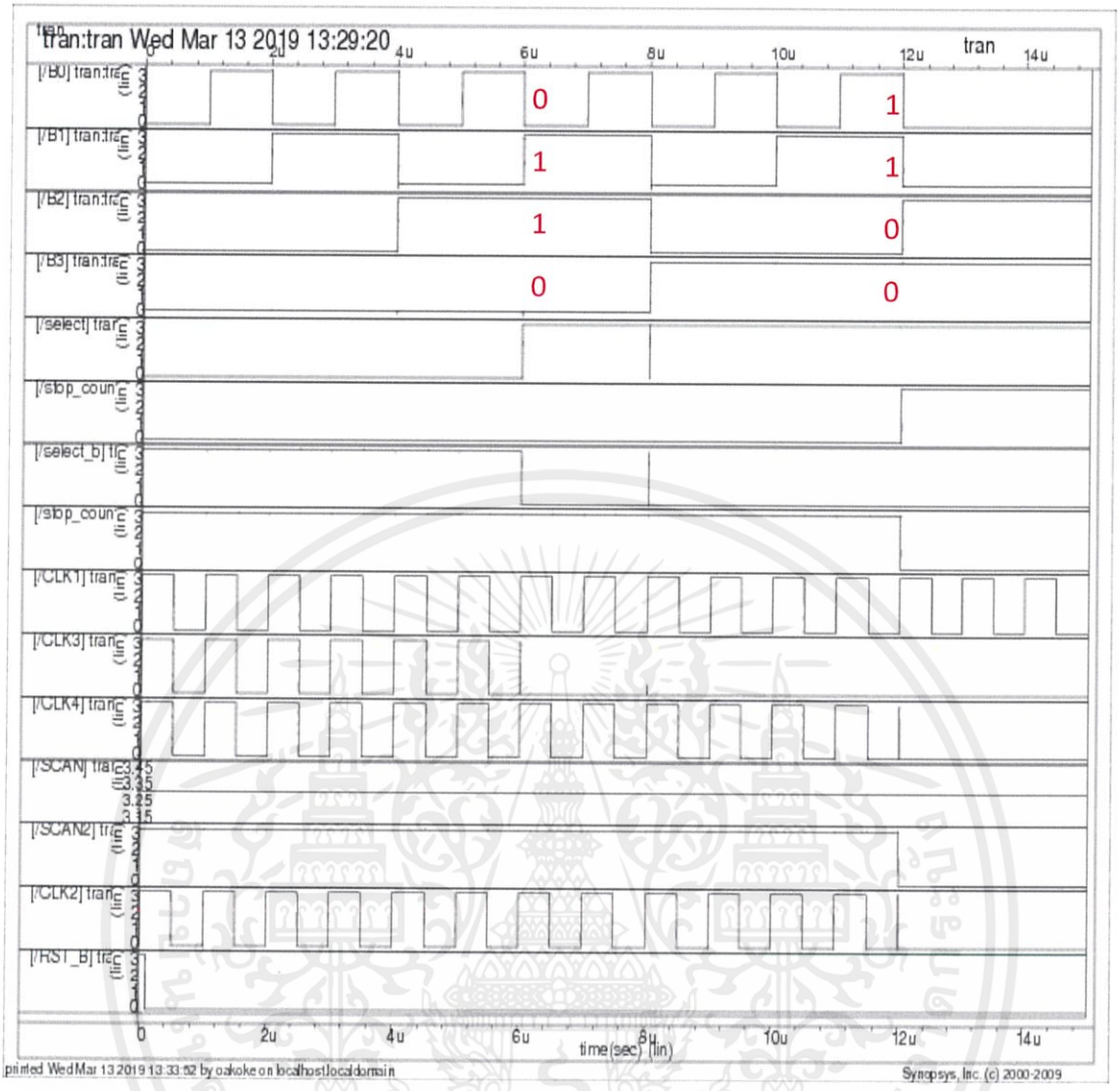
4.3.1 Offset Cancelation Control System

เมื่อมีการสั่ง SCAN เพื่อเก็บค่าแรงดันออฟเซตในแต่ละพิกเซลในส่วนควบคุมการทำงานดังรูปที่ 4.4 จะนำค่าดิจิตอลของแรงดันออฟเซตที่ผ่านวงจร ADC มานำไปเก็บยัง shift register แต่ละตัวตามพิกเซล



รูปที่ 4.4 Offset cancelation control system

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

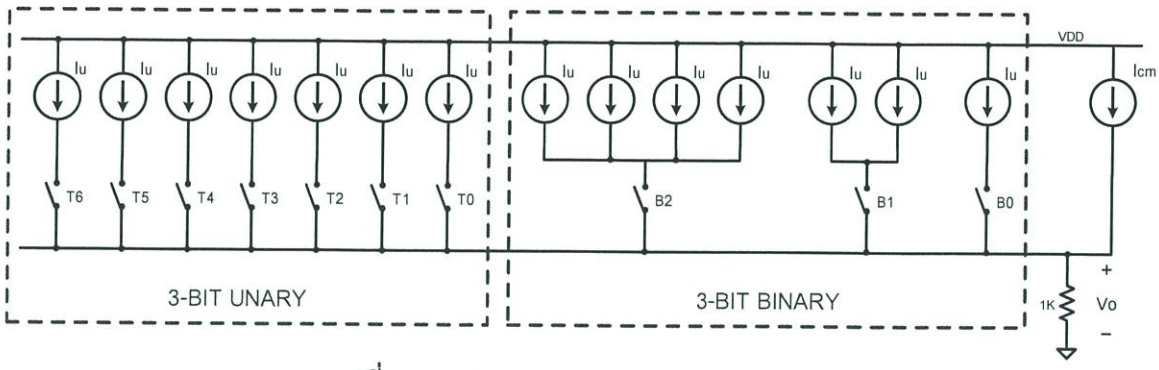


รูปที่ 4.5 ผลจำลองการทำงานของ Offset cancelation control

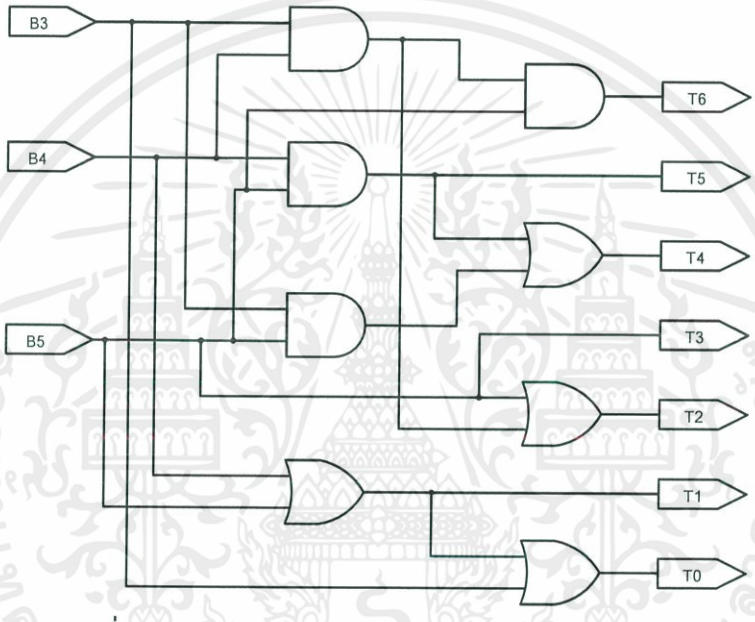
4.3.2 6-bit Current-Steering DAC

ส่วนสำคัญอีกหนึ่งส่วนที่จะขาดไปไม่ได้สำหรับระบบการหักล้างแรงดันออฟเซตคือ วงจรแปลงสัญญาณจากดิจิตอลกลับเป็นอนาล็อค สำหรับแปลงสัญญาณของแรงดันออฟเซตที่ส่งมาจากหน่วยความจำเพื่อใช้ในการหักล้างแรงดันออฟเซตที่ Instrumentation Amplifier โครงสร้างของ Current-Steering DAC ถูกแสดงไว้ดังรูปที่ 4.6 ซึ่งได้เลือกใช้ Unary Current Source สำหรับ MSB 3-bit และ Binary Current Source สำหรับ LSB 3-bit สุดท้าย

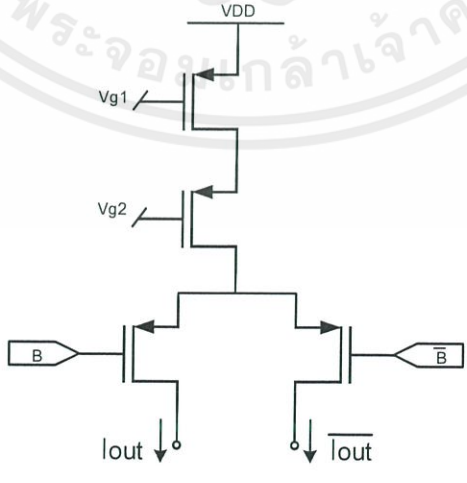
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 6-bit Current-Steering DAC



รูปที่ 4.7 Binary-to-Thermometer code Decoder



รูปที่ 4.8 Unit Current Cell

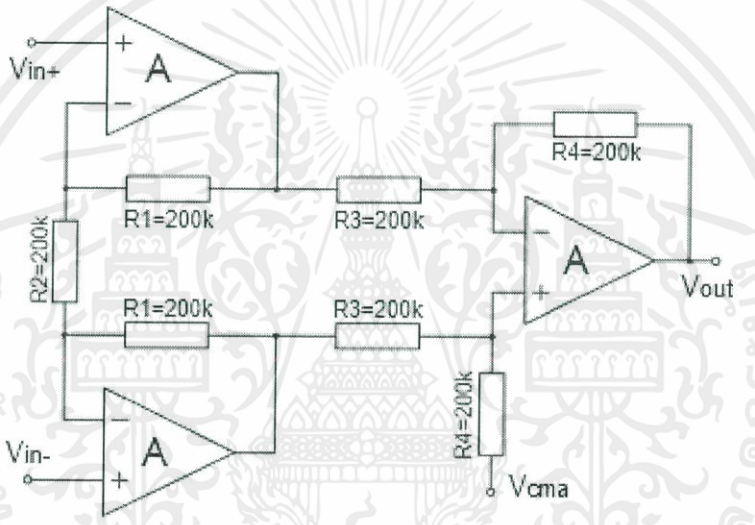
เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 Instrumentation Amplifier

โครงสร้างของ Instrumentation Amplifier(IA) ถูกแสดงไว้ในรูปที่ 4.9 ซึ่งเป็นบล็อกสุดท้ายก่อนส่งผ่านสัญญาณเข้าสู่ ADC ดังนั้นวงจรนี้จึงมีความต้องการ อัตราการกำจัดไฟเลี้ยง(PSRR) และอัตราการกำจัดโหมดร่วม(CMRR) ที่มีค่าสูง มีโครงสร้างเป็น OTA 3 ตัวประกอบกันเป็นโครงสร้างของ IA พื้นฐานทั่วไป ซึ่งจะสามารถคำนวณหาอัตราขยายได้ดังนี้

$$\text{Gain} = \frac{R_4}{R_3}\left(1+\frac{2R_1}{R_2}\right) \tag{3.4}$$

โดยกำหนดให้ตัวต้านทานทุกตัวมีค่า 200kΩ จะสามารถคำนวณอัตราขยายได้มีค่า 3 เท่า



รูปที่ 4.9 โครงสร้างของ Instrumentation Amplifier

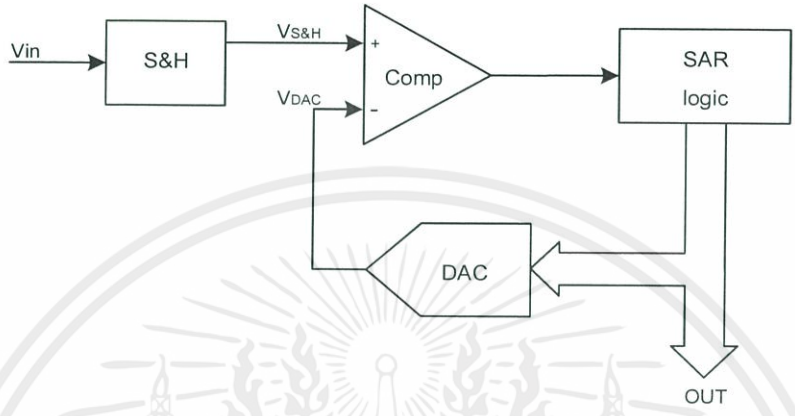
ตารางที่ 4.1 แสดงผลสรุปของ Instrumentation Amplifier

Tech.	UMC-0.18um
Supply Voltage	3.3 V
Idc	24.9 uA
power	82.2 uW
Gain	9.47 dB ≈ 3 เท่า
Unity Gain Bandwidth	3 MHz
CMRR	74.56 dB
PSRR	75.26 dB
Output Noise (0.1-10Hz)	36.36 uV

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 Analog to Digital Converter

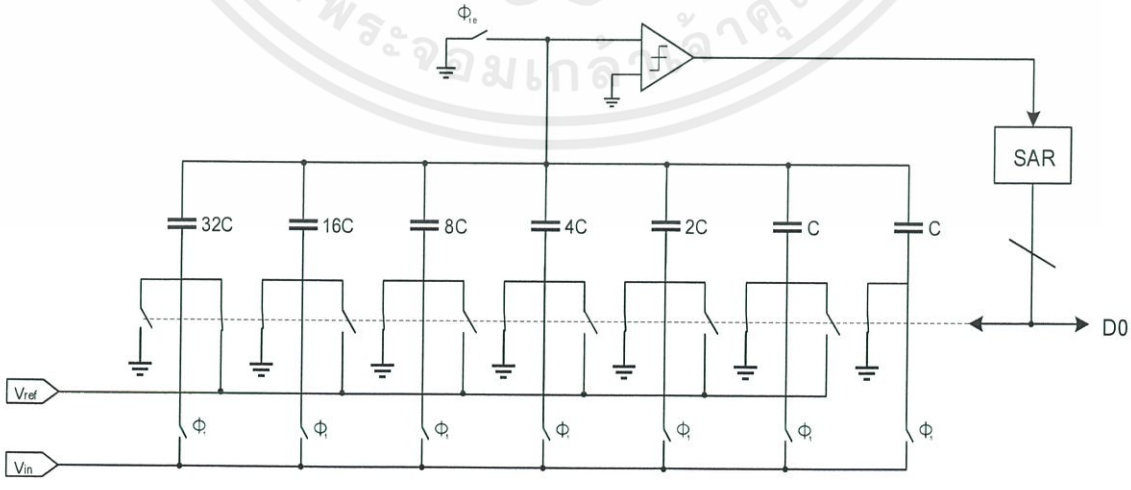
วงจร Analog to Digital Converter หรือ ADC ที่ถูกนำมาใช้เพื่อรับสัญญาณจาก Instrumentation Amplifier และยังเป็นบล็อคสุดท้ายก่อนส่งสัญญาณดิจิตอลไปยังเอาท์พุต ได้ดำเนินการออกแบบในโครงสร้าง 6-bit Successive Approximation (SAR) ADC ดังที่ได้แสดงดังรูปที่ 4.10



รูปที่ 4.10 โครงสร้างของ SAR ADC

4.5.1 Digital to Analog Converter(DAC)

ในปัจจุบัน binary-weighted capacitor DAC ดังที่แสดงในรูปที่ 4.11 ยังคงนิยมถูกนำมาใช้เป็น DAC ในการออกแบบ SAR ADC มากที่สุด [20] เนื่องจาก binary-weighted capacitor array ถูกประกอบขึ้นจากตัวเก็บประจุ จึงนำไปสู่การใช้กำลังงานที่ต่ำ และ matching ที่ดี อย่างไรก็ตาม ค่าที่น้อยที่สุดของตัวเก็บประจุแต่ละตัวจะถูกกำหนดด้วย ค่าความจุแฝงและ thermal noise ดังนั้น ในการเลือกใช้ค่าตัวเก็บประจุจึงจะต้องมีขนาดที่ใหญ่เพียงพอ เป็นผลให้ต้องใช้กำลังงานสูงขึ้นและ settling time ที่มากขึ้น



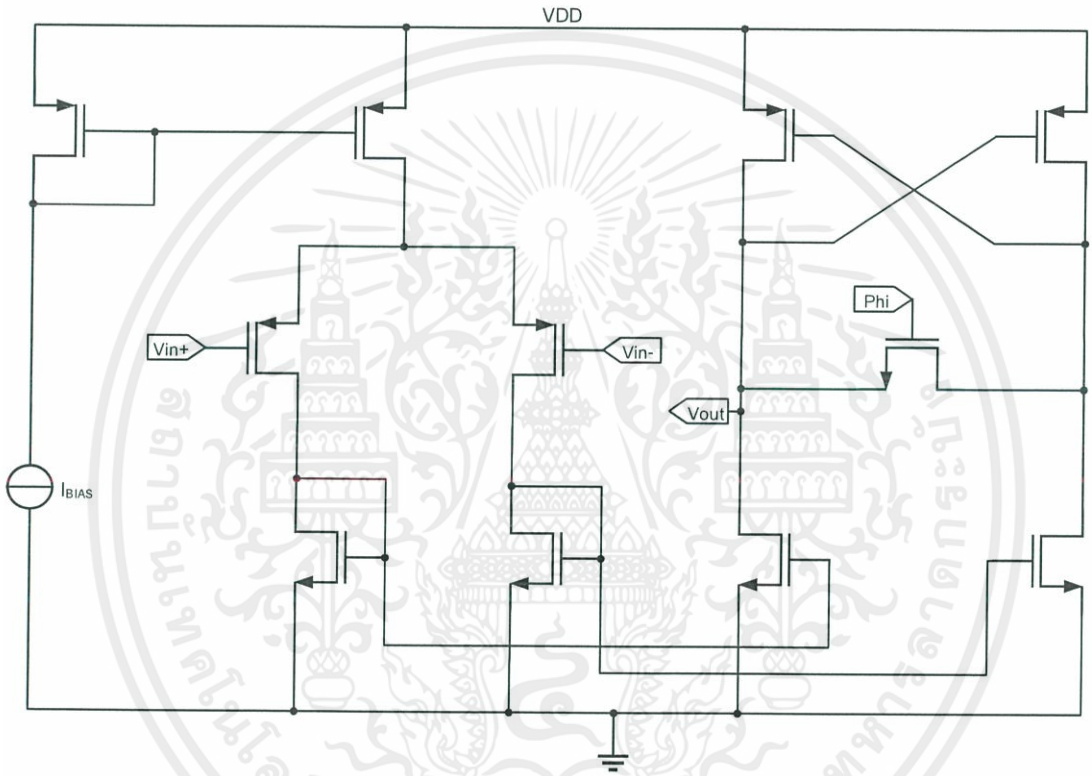
รูปที่ 4.11 โครงสร้างของ DAC และ SAR ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อที่จะเลือกค่าของ unit-capacitor ที่เหมาะสม จะต้องคำนึงถึงเรื่องดังที่ได้กล่าวไปข้างต้น ซึ่งในโครงงานนี้ได้เลือกใช้ค่าความจุที่ 1 pF

4.5.2 Comparator

PMOS input pair comparator ดังรูปที่ 3.5 ถูกนำมาใช้สำหรับเพิ่มช่วงเปรียบเทียบ ณ แรงดัน common mode ที่ต่ำ เพื่อให้มั่นใจว่าวงจร ADC จะสามารถให้สัญญาณดิจิตอลค่าน้อยๆได้อย่างถูกต้อง

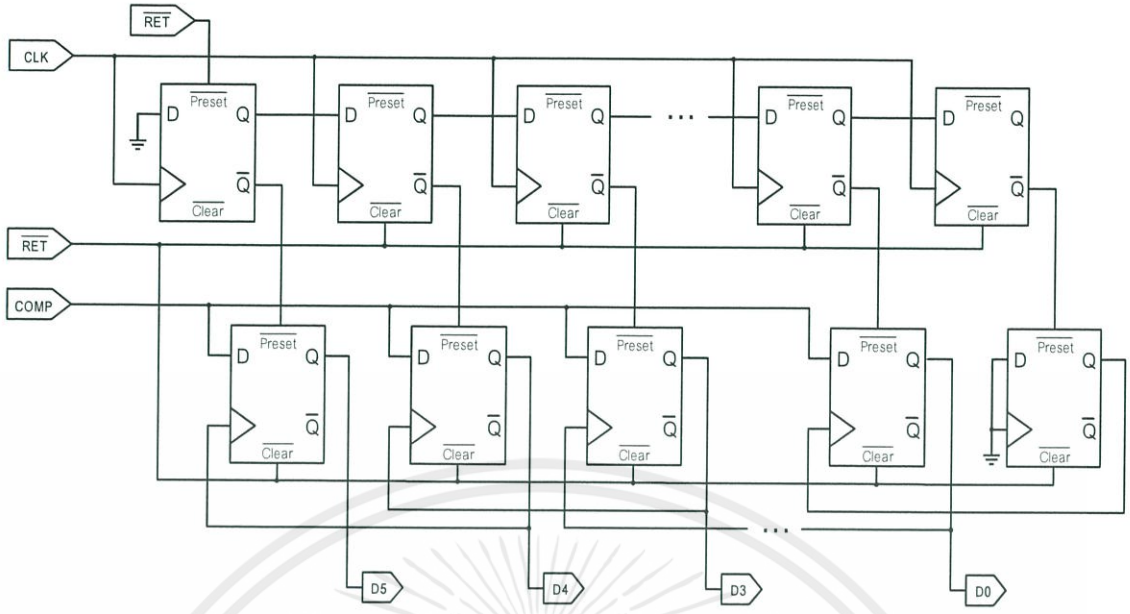


รูปที่ 4.12 โครงสร้างของ Comparator

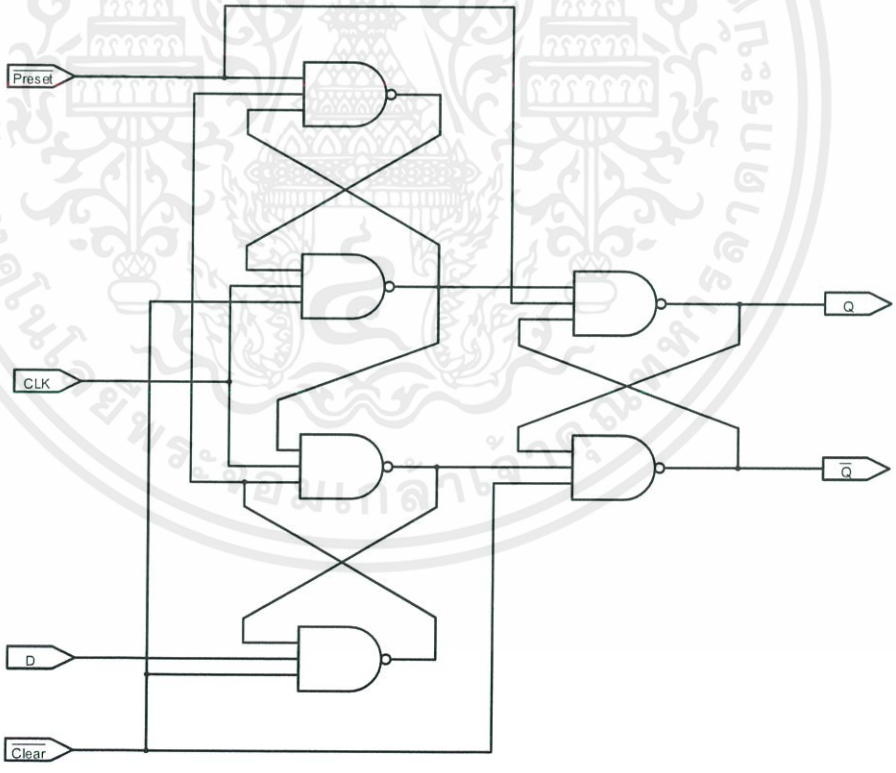
4.5.3 SAR logic

ในรูปที่ 4.12 ได้แสดง SAR controller ที่ประกอบไปด้วย register 2 ตัวคือ edge sensitive synchronous register และ level sensitive asynchronous register ซึ่งในแต่ละตัวจะประกอบไปด้วย 7 D-flipflop และด้วยโครงสร้างนี้จะสามารถให้เอาท์พุต 6 bit หลังจาก 7 CLK ดังรูปที่ 4.15

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

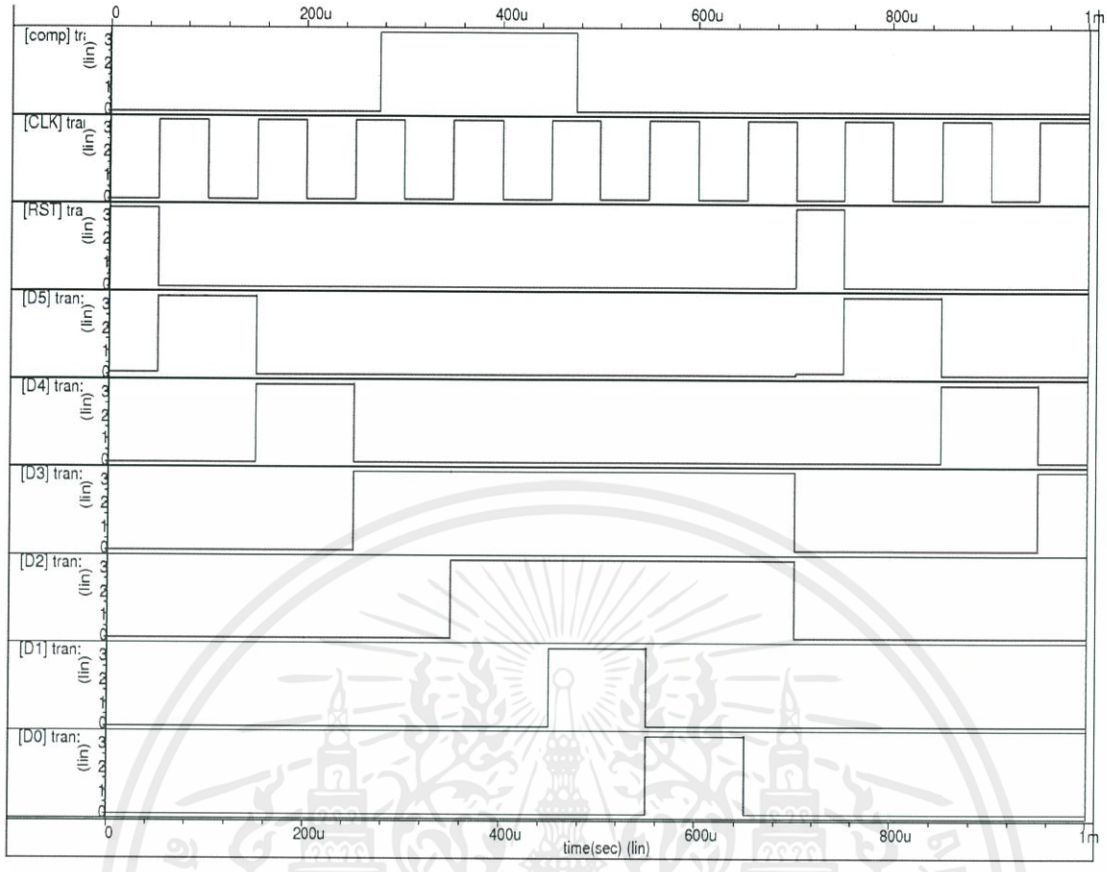


รูปที่ 4.13 SAR logic

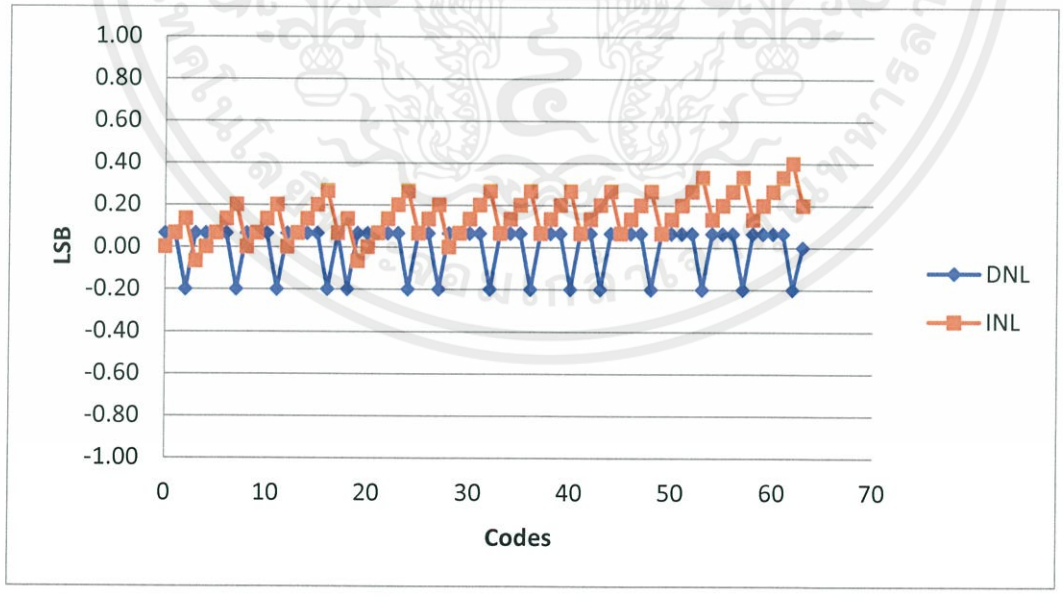


รูปที่ 4.14 โครงสร้าง D-flipflop

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 ผลจำลองการทำงาน SAR logic



รูปที่ 4.16 ผลจำลองการทำงาน INL และ DNL ของ SAR ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.4 สรุปผล SAR ADC

ตารางที่ 4.2 แสดงผลสรุปของ SAR ADC

Tech.	UMC-0.18um
Supply Voltage	3.3 V
Power	13.02 uW
Resolution	6 bit
Sampling Frequency	10kHz
INL	< 0.4 LSB
DNL	< 0.2 LSB
SNDR	37.22 dB
ENOB	5.89 bit
SFDR	48.66 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผล

5.1 สรุปผลจำลองการทำงาน

ดังที่ได้กล่าวไป ปริญญานิพนธ์ฉบับนี้มีจุดมุ่งหมายเพื่อศึกษาและแก้ไขปัญหา รวมไปถึงการออกแบบวงจรที่สามารถแก้ไขข้อบกพร่องของการนำ ISFET มาใช้ในการตรวจจับ ซึ่งในวิชา Project 1 จะศึกษาและออกแบบระบบในส่วนที่สัญญาณผ่านทั้งหมด โดยสมมติให้สัญญาณที่ผ่านนั้นไม่มีผลของอัตราขยายที่ไม่ตรงกันในแต่ละ pixel ประกอบไปด้วย ISFET pixel Readout Circuit, VGA (Variable Gain Amplifier), Instrumentation Amplifier และวงจร ADC

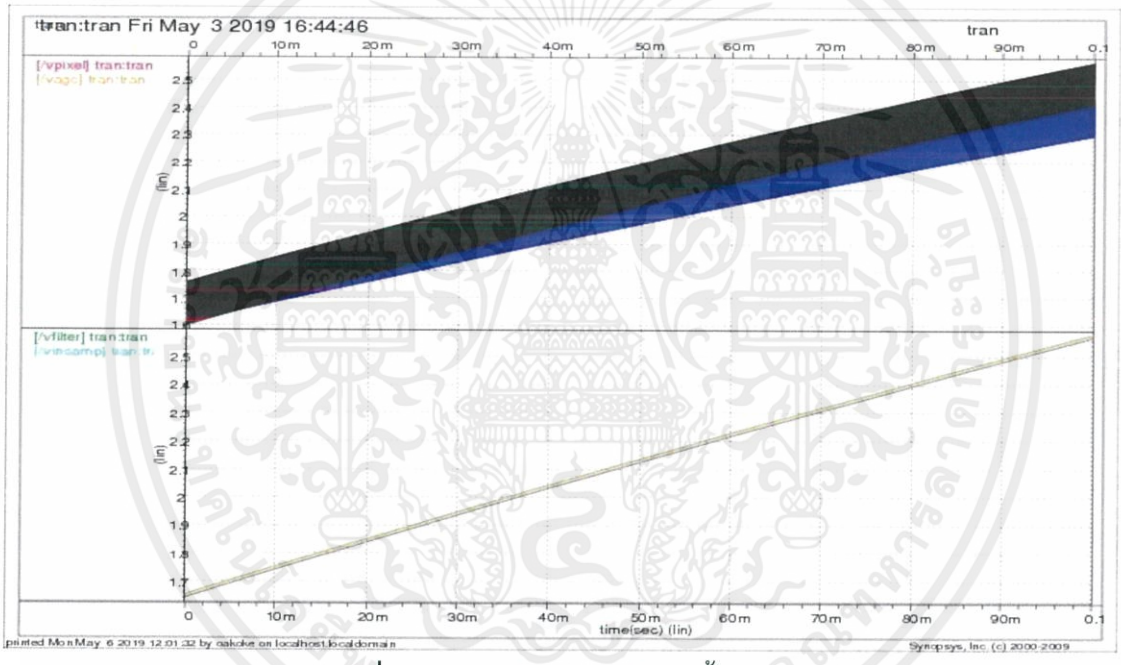
ในบทที่ 2 ได้กล่าวถึงการวิเคราะห์ ออกแบบ วงจรอ่านค่า ISFET ที่มีการใช้หลักการการป้อนกลับแบบตัวเก็บประจุ ร่วมกับการใช้ low-leakage switch ที่ถูกต่อขนานกับตัวเก็บประจุป้อนกลับ เพื่อทำให้ค่า offset ต่างๆที่เกิดขึ้นจากผลของความไม่เป็นอุดมคติต่างๆ เช่น Trapped Charge และการ drift ให้สามารถถูกกำจัดออกไปได้ และจากผลการจำลองการทำงานดังรูปที่ 2.3 แสดงให้เห็นว่าวงจรอ่านค่า ISFET สามารถตรวจจับตามปฏิกิริยาทางเคมีได้อย่างถูกต้อง โดยไม่มีผลของ DC offset ซึ่งเป็นของ Trapped Charge แต่อย่างใด นอกจากนี้การใช้วงจรในรูปแบบของสวิทช์ เราสามารถรับประกันได้ว่าในช่วงของการรีเซ็ท สัญญาณที่เอาท์พุตจะเป็นไปตามแรงดันอ้างอิง ซึ่งแสดงว่าวงจรนี้สามารถที่จะแก้ปัญหา offset ที่เปลี่ยนแปลงสะสมไปเรื่อยๆตามเวลาหรือที่เรียกว่า Voltage drift

ต่อไปในบทที่ 3 เป็นการนำเสนอระบบชดเชยอัตราขยายอัตโนมัติ เนื่องมาจากความผิดพลาดของอัตราขยายในแต่ละพิกเซลที่เกิดจากกระบวนการสร้าง หลักการทำงานของระบบนี้เริ่มต้นจากการป้อนสัญญาณรูปไซน์ความถี่สูงเข้ามาพร้อมกับสัญญาณจากปฏิกิริยาทางเคมีที่มีความถี่ต่ำ จากนั้นสัญญาณนี้จะผ่านวงจร Sine wave extraction เพื่อแยกสัญญาณความถี่สูงออกมา และนำสัญญาณที่ได้แยกออกมาไปผ่านวงจร Amplitude Detection ที่ใช้หลักการของวงจรเรียงกระแส หลังจากผ่านวงจรนี้จะทำให้ได้สัญญาณ dc ที่แปรผันตามขนาดของสัญญาณอินพุต สุดท้ายจึงใช้สัญญาณนี้ในการควบคุม VGA หรือ Variable Gain Amplifier เพื่อใช้ในการปรับอัตราขยายที่ผิดพลาด ซึ่ง VGA ถูกสร้างขึ้นจาก OTA 3 ตัวดังรูปที่ 3.3 โดย OTA2 จะทำหน้าที่สร้างโหลด 1/gm ให้กับ OTA1 ทำให้เกิดอัตราขยายที่เป็นอัตราส่วนของ gm ขึ้น และเราจะสามารถปรับอัตราขยายนี้ได้ด้วย OTA3 และจากผลจำลองการทำงานดังตารางที่ 3.3 พบว่าวงจร VGA สามารถทำงานได้อย่างถูกต้อง โดยสามารถปรับอัตราขยายได้ 1.6 dB ต่อแรงดันอินพุตที่ต่างกัน 0.1 V

สุดท้ายบทที่ 4 ได้นำเสนอภาพรวมทั้งหมดของระบบตรวจวัดทางชีวเคมีโดยใช้ ISFET ประกอบไปด้วย หนึ่งคือ ISFET pixel Readout Circuit ซึ่งมีกลไกการทำงานคล้ายกับแรม(RAM) แต่ละพิกเซลจะถูกเลือกเป็นลำดับในลักษณะ row-by-row ด้วย address decoder และสัญญาณเอาท์พุตจะถูกเลือกด้วย column header ต่อมาเป็นส่วนของ Instrumentation Amplifier ที่ทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าที่เป็นบล็อกสุดท้ายก่อนส่งผ่านสัญญาณเข้าสู่ ADC ดังนั้นวงจรนี้จึงมีความต้องการ อัตราการกำจัดไฟเลี้ยง(PSRR) และอัตราการกำจัดโหมดร่วม(CMRR) ที่มีค่าสูง ซึ่งจากผลจำลองการทำงานพบว่ามี CMRR มีค่า 74.56 dB และ PSRR มีค่า 75.26 dB และในส่วนสุดท้ายคือ วงจร Analog to Digital Converter หรือ ADC ที่ได้ดำเนินการออกแบบในโครงสร้าง 6-bit Successive Approximation(SAR) ADC ณ ความถี่ Sampling 10kHz จากผลจำลองการทำงานพบว่าคุณสมบัติต่างๆของวงจร ADC อยู่ในเกณฑ์ที่สามารถใช้งานได้ นอกจากนี้ยังนำเสนอระบบการหักล้างแรงดันออฟเซตในทางดิจิตอล โดยมีหลักการทำงานคือการแสกนค่าแรงออฟเซตในแต่ละพิกเซล เข้ามาเก็บยังหน่วยความจำ จากนั้นเมื่อต้องการใช้งานพิกเซลไหน ระบบควบคุมจะนำค่าแรงดันออฟเซตที่ถูกเก็บไว้ส่งออกมาหักล้างที่ Instrumentation Amplifier และจากการจำลองการทำงานพบว่าระบบสามารถทำงานได้อย่างถูกต้องดังรูปที่ 5.1



รูปที่ 4.17 ผลจำลองการทำงานทั้งระบบ

โดยระนาบด้านบนประกอบไปด้วยสองสัญญาณ สัญญาณสีน้ำเงินคือสัญญาณที่ออกมาจากแต่ละ pixel โดยสมมติว่ามีอัตราขยายที่ต่ำกว่าปกติ รวมทั้งมีแรงดันออฟเซตที่ 5 mV และสัญญาณเส้นสีดำคือสัญญาณที่ผ่านมาจากระบบชดเชยอัตราขยายอัตโนมัติ ซึ่งได้มีการปรับอัตราขยายให้เพิ่มขึ้นดังที่ได้แสดงในรูป ถัดมาในระนาบด้านล่าง สัญญาณสีเขียวและสีน้ำตาล คือสัญญาณที่ผ่านวงจรกรองความถี่เพื่อนำสัญญาณรูปไซน์ความถี่สูงออกไป และสัญญาณที่ได้หลังจากชดเชยแรงดันออฟเซตที่ Instrumentation Amplifier ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] P. Georgiou and C. Toumazou. (2007) : "A silicon pancreatic beta cell for diabetes", *IEEE Trans. Biomed. Circuits Syst.*, vol. 1, no. 1, pp. 39–49.

[2] P. Bergveld. (2003) : "Thirty years of ISFETOLOGY what happened in the past 30 years and what may happen in the next 30 years" *Sens. Actuators B, Chem.*, vol. 88, no.1, pp. 1–20.

[3] J. Bausells *et al.* (1999) : "Ion-sensitive field-effect transistors fabricated in a commercial CMOS technology" *Sens. Actuators B, Chem.*, vol. 57, no.1–3, pp. 56–62.

[4] J. M. Rothberg et al. (2011) : "An integrated semiconductor device enabling non-optical genome sequencing," Nature, vol. 475, no. 7356, pp. 348–352, Jul. 2011.

[5] C. Toumazou et al. (2013) : "Simultaneous DNA amplification and detection using a pH-sensing semiconductor system" Nature methods, vol. 10, no. 7, pp. 641–6.

[6] M. J. Milgrew et al. (2004) : "The development of scalable sensor arrays using standard CMOS technology" Sensors and Actuators B: Chemical, vol. 103, no. 1-2, pp. 37-42.

[7] M. J. Milgrew and D. R. S. Cumming. (2008) : "Matching the Transconductance Characteristics of CMOS ISFET Arrays by Removing Trapped Charge" pp. 1074-1079.

[8] D. M. Garner et al. (2010) : "A multichannel DNA SoC for rapid point-of-care gene detection" in Digest of Technical Papers - IEEE International Solid-State Circuits Conference, vol. 53, pp. 492-493.

[9] Y. Liu and C. Toumazou. (2010) : "An ISFET based sensing array with sensor offset compensation and pH sensitivity enhancement" in Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on, pp. 2283-2286.

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[10] C. Z. D. Goh et al. (2011) : "A CMOS-Based ISFET Chemical Imager With Auto-Calibration Capability," vol. 11, no. 12, pp. 3253-3260.

[11] L. Ravezzi and P. Conci. (1998) : "ISFET sensor coupled with CMOS read-out circuit microsystem" pp. 2234-2235.

[12] B. Palán et al. (1999) : "New ISFET sensor interface circuit for biomedical applications" Sensors and Actuators B: Chemical, vol. 57, no. 1-3, pp. 63-68.

[13] M. O'Halloran and R. Sarpeshkar. (2004) : "A 10-nW 12-bit accurate analog storage cell with 10-aA leakage" IEEE Journal of Solid-State Circuits, vol. 39, no. 11, pp. 1985-1996.

[14] P. Georgiou and C. Toumazou. (2009) : "ISFET characteristics in CMOS and their application to weak inversion operation" *Sens. Actuators B, Chem.*, vol. 143, no. 1, pp. 211–217.

[15] J.-h. Kim et al. (2006) : "A CMOS Variable Gain Amplifier with Wide Dynamic Range and Accurate dB-Linear Characteristic" 2006 8thInternational Conference Advanced Communication Technology, pp. 831-835.

[16] J. Cheng et al. (2009) : "A 1GHz CMOS variable gain amplifier with 70dB linear-in-magnitude controlled gain range for UWB systems" 2009 15thAsia-Pacific Conference on Communications, no. Apcc, pp. 195-198.

[17] R. Harjani. (1995) : "A low-power CMOS VGA for 50 Mb/s disk drive read channels" Circuits and Systems II : Analog and Digital Signal, vol. 42, no. 6.

[18] H. D. Lee et al. (2007) : "A Wideband CMOS Variable Gain Amplifier With an Exponential Gain Control" vol. 55, no. 6, pp. 1363-1373.

[19] V. Kalenteridis et al. (2013) : "A CMOS linear-in-dB VGA based on exponential current generator", pp. 2-5.

[20] C. Mangelsdorf. (2000) : "A variable gain CMOS amplifier with exponential gain control" 2000 Symposium on VLSI Circuits. Digest of Technical Papers (Cat. No.00CH37103),2000.

เอกสารนี้เป็นเอกสารที่สงวนไว้ สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใด ๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้