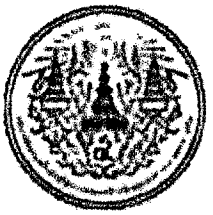
A.3.1



รายงานการวิจัยฉบับสมบูรณ์

การวิเคราะห์และออกแบบรหัสแอลดีพีซีแบบโปรดักส์

Analysis and Design of Product LDPC codes

ประเภททุน ทุนวิจัยเริ่มต้นสำหรับอาจารย์ใหม่ รหัสโครงการ KREF186002

นายเวธิต ภาคย์พิสุทธิ์

ได้รับทุนสนับสนุนวิจัยจากกองทุนวิจัย ประจำปี พ.ศ. 2560
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทที่ 1 ที่มาและความสำคัญ	1
1.1 วัตถุประสงค์ของการวิจัย	1
1.2 ขอบเขตของการวิจัย	2
1.3 วิธีดำเนินการวิจัย	2
1.4 ประโยชน์ที่คาดว่าจะได้รับ	2
บทที่ 2 ทฤษฎีและงานวิจัยที่เกี่ยวข้อง	3
2.1 ทฤษฎีที่เกี่ยวข้อง	3
2.2 งานวิจัยที่เกี่ยวข้อง	6
บทที่ 3 วิธีดำเนินการวิจัย	7
3.1 การข่าวสารร่วมของรหัสแอลดีพีซี	7
3.2 เอ็กซิทชาร์ทของรหัสแอลดีพีซี	10
บทที่ 4 ผลการวิจัย	12
4.1 อัตราบิตผิดพลาดของรหัสแอลดีพีซี	12
4.2 การแลกเปลี่ยนข่าวสารของรหัสแอลดีพีซีแบบโปรดักส์	12
4.3 การออกจำนวนเลขหนึ่งในเมทริกซ์พาริตี้เช็คของรหัสแอลดีพีซีแบบโปรดักส์	14
บทที่ 5 สรุปผลการวิจัยและข้อเสนอแนะ	15
5.1 สรุปผลการวิจัย	15
5.2 ข้อเสนอแนะ	15
บทที่ 6 สรุปผลผลิตงานวิจัย	16
เอกสารอ้างอิง	18
ภาคผนวก ก หลักฐานการสมัครทุนพัฒนาศักยภาพในการทำงานวิจัยของอาจารย์รุ่นใหม่ (MRG)	18
ภาคผนวก ข สรุปค่าใช้จ่ายการดำเนินงานโครงการวิจัย	20
ประวัตินักวิจัย	22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
ที่มาและความสำคัญ

ปัจจุบัน รหัสพาริตี้เช็คความหนาแน่นต่ำหรือรหัสแอลดีพีซีถูกนำมาใช้แก้ปัญหาบิตผิดในระบบสื่อสารและระบบบันทึกข้อมูล ตัวอย่างเช่น ระบบเครือข่ายไร้สาย ระบบโทรทัศน์ดิจิตอล อุปกรณ์จัดเก็บข้อมูลแบบฮาร์ดดิสก์และแฟลช เป็นต้น โดยสมรรถนะการแก้ไขบิตผิดของรหัสแอลดีพีซีจะเพิ่มขึ้นเมื่อข้อมูลที่นำมาเข้ารหัสในแต่ละครั้งมีจำนวนบิตมากขึ้น ปัจจุบันจำนวนบิตข้อมูลสูงสุดที่ใช้ระบบเครือข่ายไร้สายเท่ากับ 1,620 บิต โทรทัศน์ดิจิตอลเท่ากับ 54,000 บิต อุปกรณ์จัดเก็บข้อมูลแบบฮาร์ดดิสก์เท่ากับ 32,768 บิต ดังนั้น การเพิ่มสมรรถนะการแก้ไขบิตผิดของรหัสแอลดีพีซีสามารถทำได้โดยการเพิ่มจำนวนบิตข้อมูลดังกล่าว อย่างไรก็ตาม การเพิ่มจำนวนบิตข้อมูลส่งผลต่อความซับซ้อนในการออกแบบและการทำงานของวงจรเข้ารหัสและถอดรหัสในอุปกรณ์สื่อสาร ในการแก้ปัญหาความซับซ้อนดังกล่าว สามารถใช้รหัสแอลดีพีซีแบบโปรดักส์ซึ่งเป็นการนำบิตข้อมูลมาจัดวางแบบสองมิติ จากนั้นนำรหัสแอลดีพีซีที่ใช้อยู่ในปัจจุบันมาเข้ารหัสในแนวแถวและหลัก ทำให้สามารถเพิ่มจำนวนบิตข้อมูลที่ถูกเข้ารหัสโดยไม่เพิ่มความซับซ้อนของวงจรเข้ารหัสและถอดรหัส ปัจจุบัน องค์ความรู้ที่ใช้ในการวิเคราะห์และออกแบบรหัสแอลดีพีซีใช้สำหรับรหัสแอลดีพีซีแบบปรกติเท่านั้น ปราศจากองค์ความรู้ที่ใช้ออกแบบรหัสแอดีพีซีแบบโปรดักส์ ทำให้ โครงการวิจัยนี้จึงสนใจการวิเคราห์และออกแบบรหัสแอลดีพีซีแบบโปรดักส์ โดยการเทคนิคการวิเคราะห์และออกแบบรหัสที่นำเสนอในโครงการวิจัยนี้จะช่วยเพิ่มสมรรรถนะการแก้ไขบิตผิดของรหัสแอดดีพีซีแบบโปรดักส์

1.1 วัตถุประสงค์ของการวิจัย

1.1.1 นำเสนอการวิเคราะห์สมรรถนะทางทฤษฎีของรหัสแอลดีพีซีแบบโปรดักส์

1.1.2 เสนอการออกแบบรหัสแอลดีพีซีแบบโปรดักส์ที่ให้สมรรรถนะการแก้ไขบิตผิดพลาดสูง

1.2 ขอบเขตของการวิจัย

1.2.1 วิเคราะห์สมรรถนะทางทฤษฎีของรหัสแอลดีพีซีแบบโปรดักส์จะพิจารณาเฉพาะช่องสัญญาณรบกวนเกาส์เซียนแสงขาวแบบบวก

1.2.2 การออกแบบรหัสแอลดีพีซีแบบโปรดักส์จะพิจารณาเฉพาะช่องสัญญาณรบกวนเกาส์เซียนแสงขาวแบบบวก

1.2.3 สมรรถนะการแก้ไขบิตผิดของรหัสแอลดีพีซีแบบโปรดักส์จะจำลองโดยใช้ซอร์ฟแวร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 วิธีดำเนินการวิจัย

1.3.1 จำลองอัตราบิตผิดพลาดของรหัสแอลดีพีซีแบบโปรดักส์ที่ถูกนำเสนอในงานวิจัยที่เกี่ยวข้อง

1.3.2 ออกแบบรหัสแอลดีพีซีแบบโปรดักส์และจำลองอัตราบิตผิดพลาด

1.3.3 วิเคราะห์อัตราบิตผิดพลาดโดยใช้ EXIT chart

1.3.4 สรุปปัจจัยของเมทริกซ์พาริตีที่ส่งผลต่อรหัสแอลดีพีซีแบบโปรดักส์

1.4 ประโยชน์ที่คาดว่าจะได้รับ

1.4.1 แนวทางการออกแบบรหัสแอลดีพีซีแบบโปรดักส์

1.4.2 รหัสแอลดีพีซีแบบโปรดักส์ที่มีอัตราบิตผิดต่ำหรับช่องสัญญาณรบกวนเกาส์เซียนแสงขาวแบบบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

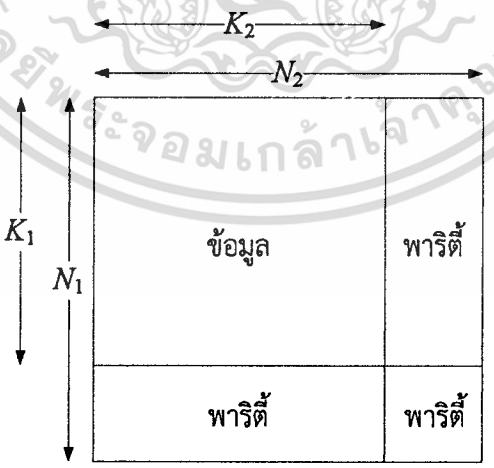
บทที่ 2
ทฤษฎีและงานวิจัยที่เกี่ยวข้อง

2.1 ทฤษฎีที่เกี่ยวข้อง

รหัสพาริตีเช็คความหนาแน่นต่ำหรือรหัสแอลดีพีซี (low-density parity-check codes, LDPC codes) จัดเป็นรหัสแก้ไขความผิดพลาดบิตชนิดหนึ่งในระบบสื่อสารดิจิตอลที่มีสมรรถนะเข้าใกล้ขีดจำกัดของแชนนอน (Shannon's limit) รหัสแอลดีพีซีจัดเป็นรหัสบล็อกเชิงเส้นชนิดหนึ่ง ซึ่งข้อมูลไบนารีถูกแบ่งออกเป็นบล็อกที่มีขนาดเท่ากัน โดยแต่ละบล็อกข้อมูลจะมีบิตข้อมูลเป็นจำนวน K บิต จากนั้นบล็อกข้อมูลซึ่งสามารถแสดงในรูปของเวกเตอร์ $\mathbf{u}=(u_1,u_2,\ldots,u_K)$ จะถูกเข้ารหัส เพื่อให้ได้ข้อมูลชุดใหม่เรียกว่าคำรหัส (codeword) ขนาด N บิต และสามารถเขียนในรูปของเวกเตอร์ได้เป็น $\mathbf{v}=(v_1,v_2,\ldots,v_N)$ คำรหัสนี้จะประกอบไปด้วยข้อมูลจำนวน K บิต และบิตพาริตี (parity bits) จำนวน $N-K$ บิต เนื่องจากคำรหัสขนาด N บิต จะมีข้อมูลจำนวน K บิต ดังนั้นปริมาณข้อมูลเฉลี่ยในคำรหัสหรืออัตรารหัส (code rate) มีค่าเท่ากับ

$$R=\frac{K}{N} \tag{2.1}$$

โดยอัตรารหัสจะมีค่าเป็น $0<R\leq 1$ เสมอ สำหรับรหัสแอลดีพีซีแบบโปรดักส์ข้อมูลไบนารีจะถูกนำมามาจัดวางแบบสองมิติดังรูปที่ 2.1 โดยบล็อกข้อมูลในแนวตั้งจะมีบิตข้อมูลเป็นจำนวน K_1 บิต เมื่อถูกเข้ารหัสแอลดีพีซีจะได้บิตคำรหัสเป็นจำนวน N_1 บิต และบล็อกข้อมูลในแนวนอนจะมีบิตข้อมูลเป็นจำนวน K_2 บิต เมื่อถูกเข้ารหัสแอลดีพีซีจะได้บิตคำรหัสเป็นจำนวน N_2 ทำให้จำนวนบิตข้อมูลที่นำมาเข้ารหัสเท่ากับ $K_1\times K_2$ บิต และจำนวนบิตคำรหัสที่ได้จากการเข้ารหัสเท่ากับ $N_1\times N_2$ บิต



รูปที่ 2.1 การเข้ารหัสแอลดีพีซีแบบโปรดักส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นปริมาณข้อมูลเฉลี่ยในคำรหัสหรืออัตรารหัส (code rate) มีค่าเท่ากับ

$$R = \frac{K_1 \times K_2}{N_1 \times N_2} \tag{2.2}$$

รหัสแอลดีพีซีจะมีเวกเตอร์ $\mathbf{g}$ ขนาด $1 \times N$ ที่อิสระต่อกันจำนวน K ชุด ได้แก่ $\mathbf{g}_1, \mathbf{g}_2, \ldots, \mathbf{g}_K$ โดยเวกเตอร์คำรหัส $\mathbf{v}$ สามารถคำนวณได้จากผลรวมเชิงเส้นของเวกเตอร์ $\mathbf{g}$ ดังสมการต่อไปนี้

$$\mathbf{v} = u_1\mathbf{g}_1 + u_2\mathbf{g}_2 + \cdots + u_K\mathbf{g}_K \tag{2.3}$$

สามารถเขียนเวกเตอร์ $\mathbf{g}_1, \mathbf{g}_2, \ldots, \mathbf{g}_K$ ในรูปของเมทริกซ์กำเนิด (generator matrix) $\mathbf{G}$ ขนาด $K \times N$ ดังนี้

$$\mathbf{G} = \begin{bmatrix} \mathbf{g}_1 \\ \mathbf{g}_2 \\ \vdots \\ \mathbf{g}_K \end{bmatrix} = \begin{bmatrix} g_{1,1} & g_{1,2} & \cdots & g_{1,N} \\ g_{2,1} & g_{2,2} & \cdots & g_{2,N} \\ \vdots & \vdots & \ddots & \vdots \\ g_{K,1} & g_{K,2} & \cdots & g_{K,N} \end{bmatrix} \tag{2.4}$$

ดังนั้น รหัสบล็อกเชิงเส้นใดๆ บล็อกข้อมูลในรูปเวกเตอร์ $\mathbf{u} = (u_1, u_2, \ldots, u_K)$ จะถูกเข้ารหัส ซึ่งจะได้คำรหัสในรูปเวกเตอร์ $\mathbf{v} = (v_1, v_2, \ldots, v_N)$ ตามสมการต่อไปนี้

$$\mathbf{v} = \mathbf{u} \cdot \mathbf{G} \tag{2.5}$$

รหัสบล็อกเชิงเส้นจะมีรหัสดูเอิล (dual code) ที่มีเวกเตอร์ $\mathbf{h}$ ขนาด $1 \times N$ ที่อิสระต่อกันจำนวน $N-K$ ชุด ได้แก่ $\mathbf{h}_1, \mathbf{h}_2, \ldots, \mathbf{h}_{N-K}$ เขียนอยู่ในรูปเมทริกซ์ได้ดังนี้

$$\mathbf{H} = \begin{bmatrix} \mathbf{h}_1 \\ \mathbf{h}_2 \\ \vdots \\ \mathbf{h}_{N-K} \end{bmatrix} = \begin{bmatrix} h_{1,1} & h_{1,2} & \cdots & h_{1,N} \\ h_{2,1} & h_{2,2} & \cdots & h_{2,N} \\ \vdots & \vdots & \ddots & \vdots \\ h_{N-K,1} & h_{N-K,2} & \cdots & h_{N-K,N} \end{bmatrix} \tag{2.6}$$

ในที่นี้จะเรียกเมทริกซ์ $\mathbf{H}$ ว่าเมทริกซ์พาริตีเช็ค (parity check matrix) ซึ่งคำรหัสทุกคำในรหัสดูเอิล (dual code) จะตั้งฉากกับคำรหัสทุกคำในรหัสบล็อกเชิงเส้นเสมอ ดังนั้น เมื่อนำเมทริกซ์กำเนิด $\mathbf{G}$ คูณกับเมทริกซ์พาริตีเช็ค $\mathbf{H}$ ในรูปทรานสโพสจะได้ $\mathbf{G} \cdot \mathbf{H}^{\mathrm{T}} = \mathbf{0}$ และถ้า $\mathbf{v}$ เป็นคำรหัสหนึ่งในรหัสบล็อกเชิงเส้นแล้ว $\mathbf{v}$ จะต้องตั้งฉากกับเวกเตอร์ $\mathbf{h}$ ทุกตัว นั่นคือ $\mathbf{v} \cdot \mathbf{H}^{\mathrm{T}} = \mathbf{0}$

โดยทั่วไปสามารถใช้กราฟอธิบายความสัมพันธ์ระหว่างเวกเตอร์คำรหัสกับเมทริกซ์พาริตีเช็ค นอกจากนี้ ยังสามารถนำไปใช้อธิบายกระบวนการถอดรหัสแอลดีพีซี โดยกราฟที่นำเสนอนี้ เรียกว่า กราฟแทนเนอร์ (Tanner Graph) ซึ่งจัดว่าเป็นกราฟไบพาร์ไทต์ (Bipartite Graph) ชนิดหนึ่ง ที่ประกอบด้วยกลุ่มโนดจำนวน 2 กลุ่มที่ใช้อธิบายความสัมพันธ์ของคำรหัสและเมทริกซ์พาริตีเช็ค $\mathbf{v} \cdot \mathbf{H}^{\mathrm{T}} = \mathbf{0}$ โดยกลุ่มโนดตัวแปร (variable node) ได้แก่ $v_1, v_2, \ldots, v_N$ เป็นตัวแทนของบิตคำรหัสจำนวน N บิต และกลุ่มโนดตรวจสอบ (check node) ได้แก่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

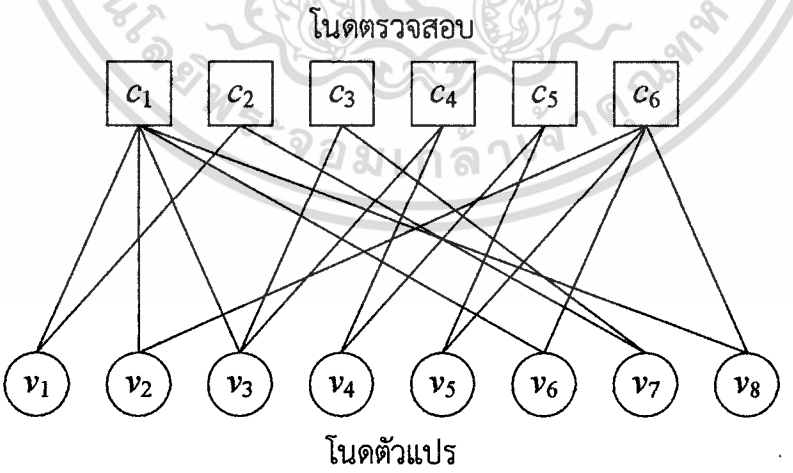
$c_1, c_2, \ldots, c_{N-K}$ เป็นตัวแทนของแถวในเมทริกซ์พาริตีเช็คจำนวน $N-K$ แถว กลุ่มโนดทั้งสองจะถูกเชื่อมเข้าด้วยกันตามความสัมพันธ์ของคำรหัสและ เมทริกซ์พาริตีเช็ค พิจารณาเมทริกซ์พาริตี้เช็คต่อไปนี้

$$\mathbf{H} = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 & 1 & 0 & 1 \\ 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 1 & 0 & 1 \end{bmatrix} \tag{2.7}$$

เมื่อกำหนดให้เวกเตอร์คำรหัสเท่ากับ $\mathbf{v} = [v_1, v_2, \ldots, v_8]$ ดังนั้น

$$\mathbf{H}.\mathbf{v}^T = \begin{bmatrix} v_1 + v_2 + v_3 + v_6 + v_8 \\ v_1 + v_7 \\ v_3 + v_7 \\ v_3 + v_4 \\ v_4 + v_5 \\ v_2 + v_5 + v_6 + v_8 \end{bmatrix} = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} \tag{2.8}$$

และสามารถเขียนกราฟแทนเนอร์ได้ดังรูปที่ 2.2 ซึ่งประกอบไปด้วยโนดตรวจสอบจำนวน 4 โนด ได้แก่ c_1, c_2, c_3, c_4 แทนแถวในเมทริกซ์พาริตีเช็คจำนวน 4 แถว และโนดตัวแปรจำนวน 8 โนด ได้แก่ $v_1, v_2, \ldots, v_8$ แทนบิตคำรหัสจำนวน 8 บิต นอกจากนี้ โนดตัวแปร v_1, v_3, v_4, v_8 มีเส้นเชื่อมไปยังโนดตรวจสอบ c_1 บ่งบอกถึงผลรวมของบิตคำรหัส v_1, v_3, v_4, v_8 จะมีค่าเท่ากับศูนย์ สอดคล้องกับสมการ $v_1 + v_3 + v_4 + v_8 = 0$ และเส้นเชื่อมจากโนดตรวจสอบ c_2 ไปยังโนดตัวแปร v_2, v_3, v_5, v_6, v_8 อธิบายสมการ $v_2 + v_3 + v_5 + v_6 + v_8 = 0$



รูปที่ 2.2 กราฟแทนเนอร์ของรหัสแอลดีพีซี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 งานวิจัยที่เกี่ยวข้อง

รหัสแอลดีพีซีแบบโปรดักส์ได้รับการศึกษาครั้งแรกในงานวิจัย [1] โดยงานวิจัยดังกล่าวแสดงให้เห็นว่ารหัสแอลดีพีซีแบบโปรดักส์ให้สมรรถนะการแก้ไขบิตผิดดีกว่ารหัสแอลดีพีซีแบบทั่วไปในช่องสัญญาณรบกวนเกาส์เซียนแสงขาวแบบบวก นอกจากนี้ ในงานวิจัย [2] ได้พบว่ารหัสแอลดีพีซีแบบโปรดักส์สามารถแก้ปัญหาบิตผิดพลาดแบบ Burst ได้ดีกว่ารหัสแอลดีพีซีแบบทั่วไป โดยงานวิจัยได้นำเสนอการออกแบบรหัสแอลดีพีซีแบบโปรดักส์ที่แก้ปัญหาบิตผิดพลาดแบบ Burst ในงานวิจัย [3] นำเสนอรูปแบบการเข้ารหัสแอลดีพีซีแบบโปรดักส์เพื่อแก้ปัญหาบิตผิดพลาดแบบ floor สำหรับรูปแบบการถอดรหัสแอลดีพีซีแบบโปรดักส์ได้รับการศึกษาในงานวิจัย [4] โดยพิจารณาช่องสัญญาณที่มีปัญหา ISI อยู่เป็นจำนวนมาก อย่างไรก็ตาม งานวิจัยที่กล่าวมา ไม่มีการศึกษาและวิเคราะห์ปริมาณเลข 1 ในเมทริกซ์พาริตี้เช็ค $\mathbf{H}$ ซึ่งส่งผลต่อสมรรถนะของรหัสแอลดีพีซีแบบโปรดักส์ ต่างจากรหัสแอลดีพีซีแบบปรกติที่มีการศึกษาปริมาณเลข 1 ในเมทริกซ์พาริตี้เช็ค $\mathbf{H}$ ตัวอย่างเช่น งานวิจัย [5] ได้นำเสนอการวิเคราะห์สมรรถนะทางทฤษฎีของรหัสแอลดีพีซีด้วยวิธีการ Density evolution โดยพบว่าเมื่อเมทริกซ์พาริตี้เช็ค $\mathbf{H}$ ของรหัสแอลดีพีซีมีจำนวนเลข 1 ในแต่ละหลักเท่ากับ 3 จะให้สมรรถนะการแก้ไขบิตผิดพลาดที่ดีสุดเมื่อเทียบกับเมทริกซ์พาริตี้เช็ค $\mathbf{H}$ ที่มีจำนวนเลข 1 ในแต่ละหลักมีค่าเป็นอื่นๆ นอกจากนี้ ยังนำเสนอการออกแบบรหัสแอลดีพีซีที่มีจำนวนเลข 1 ในแต่ละหลักมีค่าไม่เท่ากัน และเรียกรหัสแอลดีพีซีดังกล่าวว่า รหัสแอลดีพีซีแบบไม่คงที่ (irregular LDPC codes) โดยพบว่าการออกแบบรหัสแบบแอลดีพีซีไม่คงที่จะให้สมรรถนะการแก้ไขบิตผิดพลาดดีว่ารหัสแอลดีพีซีแบบคงที่ ในงานวิจัย [6] ได้นำเสนอการออกแบบรหัสแอลดีพีซีแบบไม่คงที่ สำหรับช่องสัญญาณสื่อสารไร้สายด้วยวิธีการ EXIT chart โดยเทคนิคดังกล่าวมีความซับซ้อนที่น้อยกว่าวิธีการ Density evolution

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
วิธีดำเนินการวิจัย

3.1 การข่าวสารร่วมของรหัสแอลดีพีซี

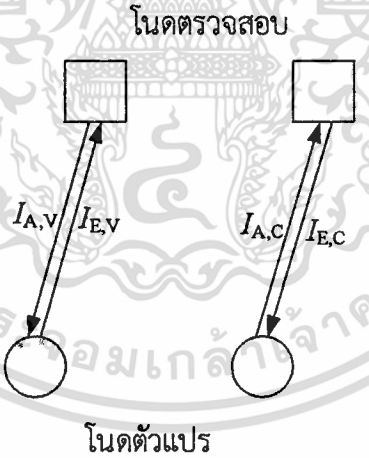
รหัสแอลดีพีซีนิยามด้วยเมทริกซ์พาริตีเช็คที่มีจำนวนเลขหนึ่งน้อยเมื่อเทียบกับขนาดของเมทริกซ์ โดยกำหนดให้จำนวนเลขหนึ่งในแต่ละแถวเท่ากับ d_c และจำนวนเลขหนึ่งในแต่ละหลักเท่ากับ d_v กำหนดให้เมทริกซ์พาริตีเช็คขนาด $M \times N$ เมื่อ $M = N - K$ ดังนั้น จำนวนเลขหนึ่งทั้งหมดในเมทริกซ์พาริตีเช็คจะมีค่าเท่ากับ

$$E_{\text{Total}} = Md_c = Nd_v \tag{3.1}$$

ดังนั้น อัตรารหัสของรหัสแอลดีพีซีแบบสม่ำเสมอสามารถคำนวณได้จาก

$$R = \frac{K}{N} = \frac{N-M}{N} = \frac{N - Nd_v / d_c}{N} = 1 - \frac{d_v}{d_c} \tag{3.2}$$

พิจารณาข่าวสารร่วมในรูปที่ 3.1 เมื่อ $I_{\text{A,V}}$ คือ ข่าวสารร่วมที่เข้าไปยังโนดตัวแปร และ $I_{\text{E,V}}$ คือ ข่าวสารร่วมที่ออกจากโนดตัวแปร และ $I_{\text{A,C}}$ คือ ข่าวสารร่วมที่เข้าไปยังโนดตรวจสอบ และ $I_{\text{E,C}}$ คือ ข่าวสารร่วมที่ออกจากโนดตรวจสอบ ในกระบวนการถอดรหัสแบบบวนซ้ำ ข่าวสารร่วมที่ออกจากโนดตัวแปรจะถูกส่งไปยังโนดตรวจสอบ หรือ $I_{\text{A,C}} = I_{\text{E,V}}$ และข่าวสารร่วมที่ออกจากโนดตรวจสอบจะถูกส่งไปยังโนดตัวแปร หรือ $I_{\text{A,V}} = I_{\text{E,C}}$



รูปที่ 3.1 ข่าวสารร่วมในกราฟแทนเนอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

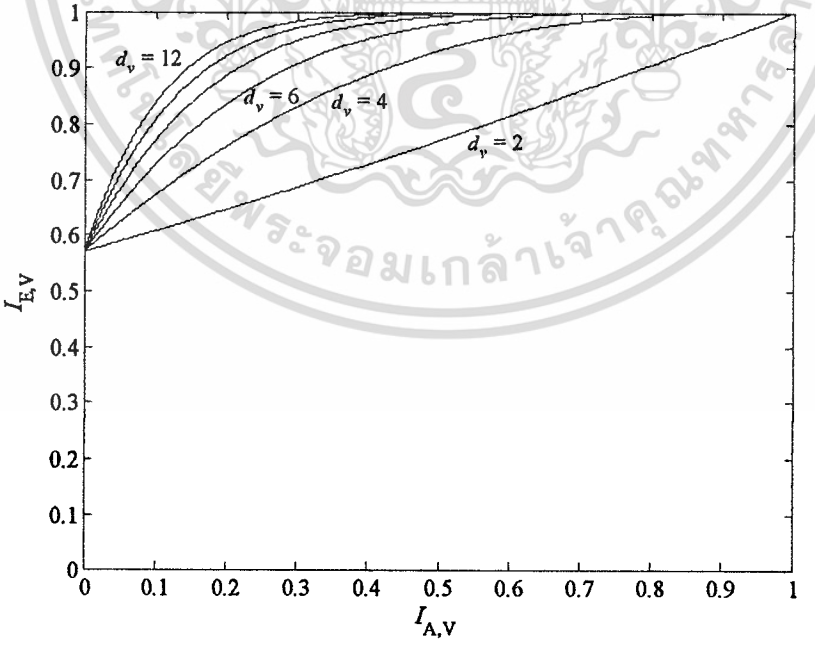
กำหนดให้ กราฟแทนเนอร์ของรหัสไบนารีแอลดีพีซีแบบสม่ำเสมอมีจำนวนเส้นเชื่อมกับโนดตัวแปรเท่ากับ d_v และโนดตรวจสอบเท่ากับ d_c ทำให้อัตรารหัสมีค่าเท่ากับ $R = 1 - d_v / d_c$ ข่าวสารในรูปอัตราส่วนความควรจะเป็นแบบล็อกที่ออกจากโนดตัวแปร คำนวณได้จากผลรวมของข่าวสารในรูปอัตราส่วนความควรจะเป็นแบบล็อกที่ได้รับจากช่องสัญญาณและโนดตรวจสอบจำนวน $d_v - 1$ โนด สมมุติให้กราฟแทนเนอร์ปราศจากวัฏจักร (cycle) และความยาวคำรหัสมีค่าเป็นอนันต์ ดังนั้นข่าวสารที่โนดตัวแปรได้รับจากโนดตรวจสอบจำนวน $d_v - 1$ โนด จะเป็นอิสระต่อกัน ทำให้ ข่าวสารที่ออกจากโนดตัวแปรจะมีความแปรปรวนเท่ากับ $\sigma^2 = \sigma_{\mathrm{CH}}^2 + (d_v - 1)\sigma_{\mathrm{A}}^2$ เมื่อ σ_{A}^2 คือ ความแปรปรวนของข่าวสารที่ได้รับจากโนดตรวจสอบ และ σ_{CH}^2 คือ ความแปรปรวนของข่าวสารที่ได้รับจากช่องสัญญาณ ดังนั้นข่าวสารร่วมที่ส่งออกจากโนดตัวแปรคำนวณได้จาก

$$I_{\mathrm{E,V}} = J(\sigma) = J\left(\sqrt{(d_v - 1)\sigma_{\mathrm{A}}^2 + \sigma_{\mathrm{CH}}^2}\right) \tag{3.3}$$

เมื่อ $J(.)$ คือฟังก์ชันข่าวสารร่วมใน [6] เนื่องจาก $\sigma_{\mathrm{A}} = J^{-1}(I_{\mathrm{A,V}})$ ดังนั้น

$$I_{\mathrm{E,V}} = J\left(\sqrt{(d_v - 1)[J^{-1}(I_{\mathrm{A,V}})]^2 + \sigma_{\mathrm{CH}}^2}\right) \tag{3.4}$$

รูปที่ 3.2 แสดงข่าวสารร่วม $I_{\mathrm{E,V}}$ ที่ออกจากโนดตัวแปร เมื่อจำนวนเส้นเชื่อมมีค่าเท่ากับ $d_v = 2,4,6,8,10,12$ และอัตราส่วนกำลังของสัญญาณส่งต่อกำลังของสัญญาณรบกวนหรือเอสเอ็นอาร์เท่ากับ 1.1 dB โดยจะสังเกตได้ว่า เมื่อข่าวสารร่วม $I_{\mathrm{A,V}} = 0$ หรือปราศจากข่าวสารจากโนดตรวจสอบ ข่าวสารร่วม $I_{\mathrm{E,V}}$ จะไม่เท่ากับศูนย์ เนื่องจากโนดตัวแปรยังคงได้รับข่าวสารจากช่องสัญญาณ และข่าวสารร่วม $I_{\mathrm{E,V}}$ จะมีค่าสูงขึ้นเมื่อค่าข่าวสารร่วม $I_{\mathrm{A,V}}$ และจำนวนเส้นเชื่อม d_v เพิ่มขึ้น



รูปที่ 3.2 ข่าวสารร่วมที่ออกจากโนดตัวแปร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

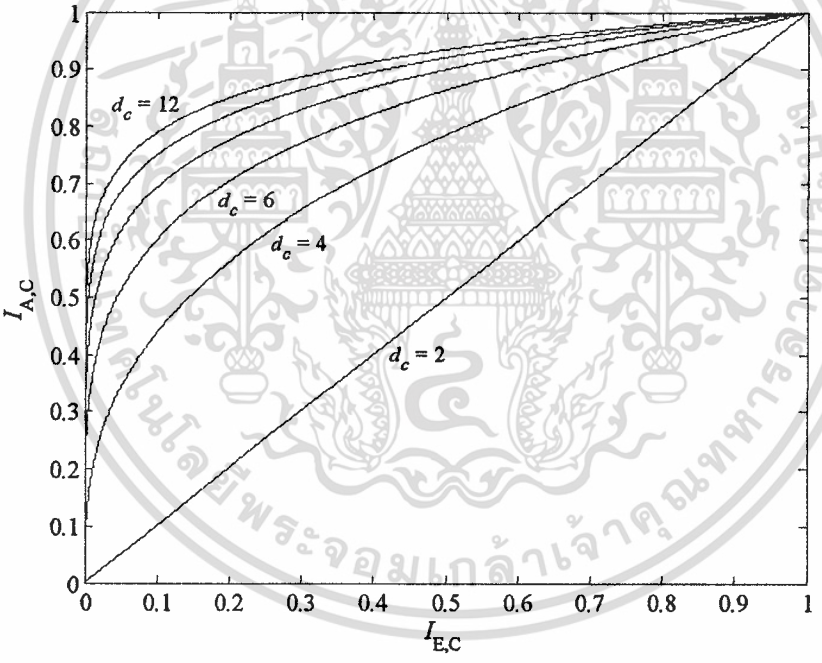
เนื่องจากข่าวสารร่วมระหว่างรหัสพาริตี้เช็คเดี่ยว (single parity-check code, SPC code) ความยาวคำรหัส d_c บิต และอัตรารหัสเท่ากับ $(d_c-1)/d_c$ กับรหัสทำซ้ำ (repetition code, REP code) ความยาวคำรหัส d_c บิต และอัตรารหัสเท่ากับ $1/d_c$ จะมีความสัมพันธ์ตามสมการต่อไปนี้

$$I_{\mathrm{E,SPC}}(I_{\mathrm{A}},d_c)=1-I_{\mathrm{E,REP}}(1-I_{\mathrm{A}},d_c) \tag{3.5}$$

โนดตรวจสอบและโนดตัวแปรของรหัสแอลดีพีซี สามารถพิจารณาได้เป็นรหัสพาริตี้เช็คเดี่ยวและรหัสทำซ้ำตามลำดับ ดังนั้น ข่าวสารร่วมที่ออกจากโนดตรวจสอบจะมีค่าเท่ากับ

$$I_{\mathrm{E,C}}\approx 1-J\left(\sqrt{(d_c-1)[J^{-1}(1-I_{\mathrm{A,C}})]^2}\right) \tag{3.6}$$

รูปที่ 3.3 แสดงข่าวสารร่วม $I_{\mathrm{E,C}}$ ที่ออกจากโนดตรวจสอบซึ่งแสดงในแนวแกนนอน เมื่อกำหนดให้ $I_{\mathrm{A,C}}$ ที่เข้าไปยังโนดตรวจสอบมีค่าใดๆ (แสดงในแกนตั้ง) โดยกำหนดให้โนดตรวจสอบมีจำนวนเส้นเชื่อมเท่ากับ $d_c=2,4,6,8,10,12$ จะสังเกตได้ว่าค่าข่าวสารร่วม $I_{\mathrm{E,C}}$ จะสูงขึ้นเมื่อค่าข่าวสารร่วม $I_{\mathrm{A,C}}$ และจำนวนเส้นเชื่อม d_c เพิ่มขึ้น

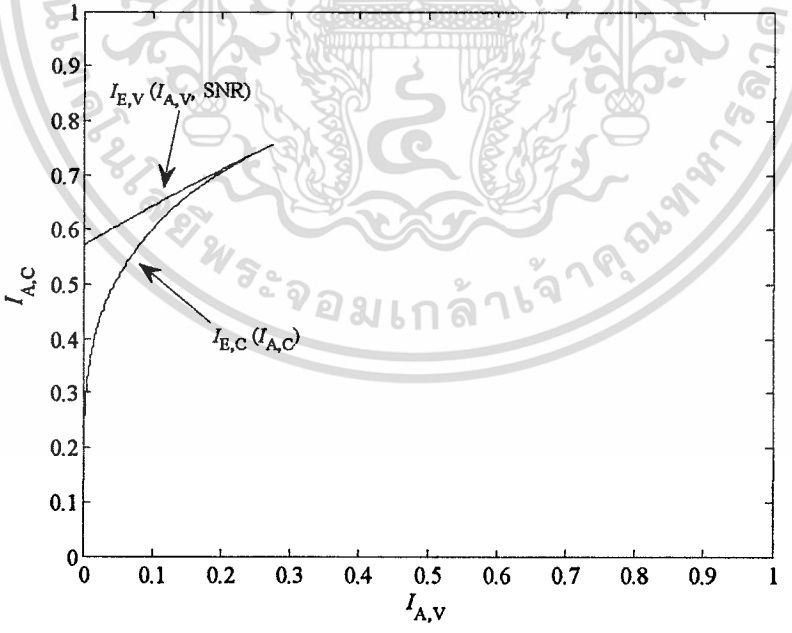


รูปที่ 3.3 ข่าวสารร่วมที่ออกจากโนดตรวจสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

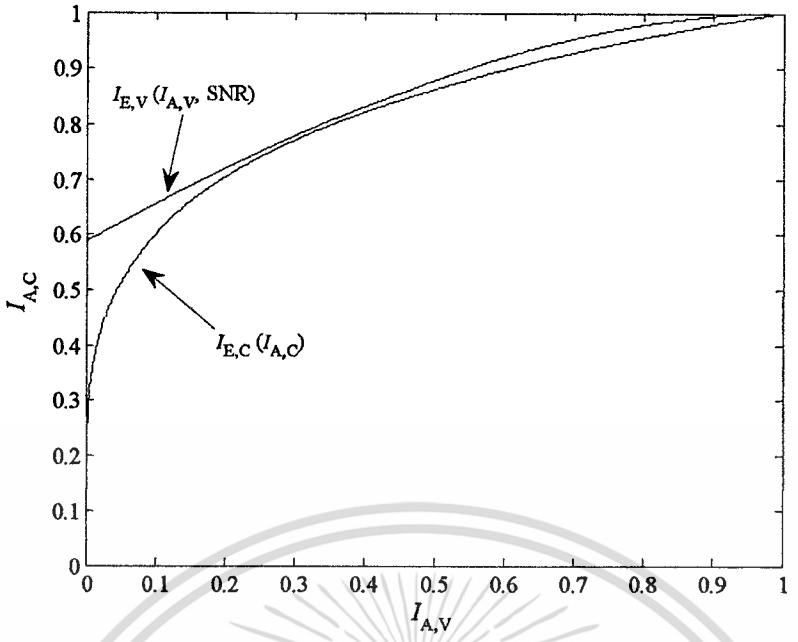
3.2 เอ็กซิทชาร์ทของรหัสแอลดีพีซี

กระบวนการถอดรหัสแอลดีพีซีเป็นการแลกเปลี่ยนข่าวสารในรูปอัตราส่วนความควรจะเป็นแบบล็อกระหว่างโนดตรวจสอบและโนดบิต ดังนั้น ข่าวสารร่วม $I_{E,V}$ ที่ออกจากโนดบิตจะกลายเป็นข่าวสารร่วม $I_{A,C}$ ที่เข้าไปยังโนดตรวจสอบ และข่าวสารร่วม $I_{E,C}$ ที่ออกจากโนดตรวจสอบจะกลายเป็นข่าวสารร่วม $I_{A,V}$ ที่เข้าไปยังโนดบิต ดังนั้น ข่าวสารร่วมในรูปที่ 3.2 และ 3.3 สามารถนำมาพิจารณาร่วมกัน (แสดงผลในรูปเดียวกัน) ทำให้ สามารถอธิบายการแลกเปลี่ยนข่าวสารของกระบวนการถอดรหัสแอลดีพีซี ผลลัพธ์ที่ได้จะเรียกว่า เอ็กซิทชาร์ท (extrinsic information transfer charts, EXIT charts) กำหนดให้ รหัสไบนารีแอลดีพีซีแบบสม่ำเสมอที่มีอัตรารหัสเท่ากับ $R=1/2$ จำนวนเส้นเชื่อมของโนดบิตและโนดตรวจสอบเท่ากับ $d_v=3$ และ $d_c=6$ ตามลำดับ เมื่อค่าเอสเอ็นอาร์เท่ากับ 1.1dB เอ็กซิทชาร์ทแสดงในรูปที่ 3.4 โดยจะสังเกตได้ว่า กราฟมาบรรจบกันเมื่อค่า $I_{A,V}$ และ $I_{A,C}$ เท่ากับ 0.27 และ 0.75 บิตต่อสัญลักษณ์ตามลำดับ หมายความว่า เมื่อทำการแลกเปลี่ยนข่าวสารระหว่างโนดบิตและโนดตรวจสอบไปตามจำนวนรอบของการถอดรหัสแอลดีพีซี ข่าวสารร่วม $I_{A,V}$ และ $I_{A,C}$ สูงสุดที่เป็นไปได้ จะมีค่าเท่ากับ 0.27 และ 0.75 ดังนั้น การถอดรหัสแอลดีพีซีจะไม่สามารถถอดรหัสได้อย่างถูกต้อง และเมื่อทำการเพิ่มค่าเอสเอ็นอาร์เท่ากับ 1.3 dB จะพบว่ากราฟบรรจบกันเมื่อค่า $I_{A,V}$ และ $I_{A,C}$ เท่ากับ 1 ดังรูปที่ 3.5 ในกรณีนี้รหัสแอลดีพีซีจะทำการถอดรหัสได้อย่างถูกต้อง สำหรับค่าเอสเอ็นอาร์น้อยสุด ซึ่งทำให้กราฟของเอ็กซิตชาร์ทบรรจบกันเมื่อข่าวสารร่วม $I_{A,V}$ และ $I_{A,C}$ มีค่าเท่ากับ 1 จะเรียกว่า เทรสโฮลด์ (threshold) ซึ่งนิยมใช้อธิบายสมรรถนะขีดสุดของรหัสแอลดีพีซี



รูปที่ 3.4 เอ็กซิทชาร์ทของรหัสแอลดีพีซีเมื่อค่าเอสเอ็นอาร์เท่ากับ 1.1 dB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 เอ็กซิทชาร์ทของรหัสแอลดีพีซีเมื่อค่าเอสเอ็นอาร์เท่ากับ 1.3 dB

ตารางที่ 3.1 แสดงค่าเทรสโฮลด์ของรหัสไบนารีแอลดีพีซี เมื่ออัตรารหัสเท่ากับ 1/2 จากตารางจะสังเกตได้ว่ารหัสแอลดีพีซีแบบสม่ำเสมอจะมีค่าเทรสโฮลด์ต่ำสุดเมื่อ $d_v = 3$ ซึ่งค่าเทรสโฮลด์ของรหัสแอลดีพีซีห่างจากขีดจำกัดของแชนนอน 0.914 dB

ตารางที่ 3.1 ค่าเทรสโฮลด์ของรหัสไบนารีแอลดีพีซีเมื่ออัตรารหัสเท่ากับ 1/2

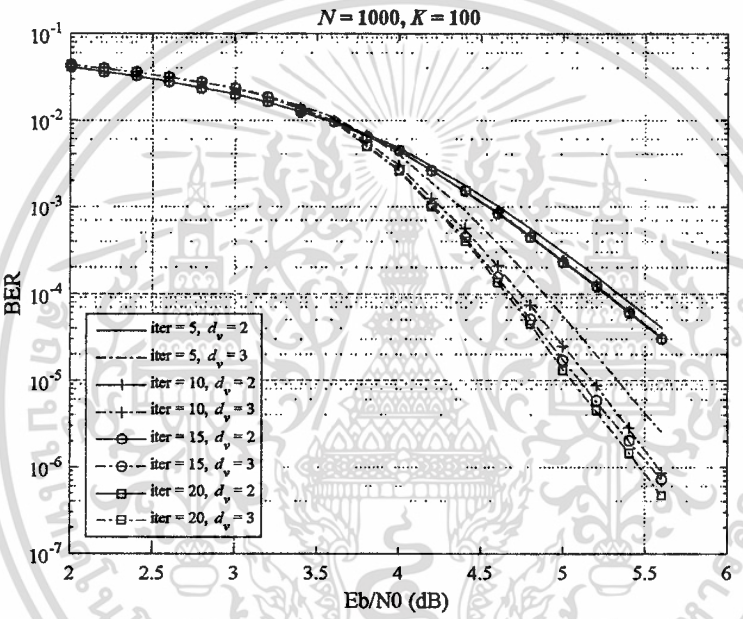
(d_v, d_c)	เทรสโฮลด์ (dB)	เทรสโฮลด์- ขีดจำกัดของแชนนอน (dB)
(2 , 4)	3.037	2.849
(3 , 6)	1.102	0.914
(4 , 8)	1.534	1.346
(5 , 10)	1.996	1.808

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการวิจัย

4.1 อัตราบิตผิดพลาดของรหัสแอลดีพีซี

ในงานวิจัยได้ทำการออกแบบรหัสแอลดีพีซีโดยกำหนดให้เมทริกซ์พาริตี้เช็ค $\mathbf{H}$ มีจำนวนเลข 1 ในแต่ละหลักเท่ากับ 2 และ 3 และกำหนดให้ความยาวของคำรหัส $K=100$ บิต ความยาวของบิตข้อมูล $N=1000$ บิต และใช้จำนวนการถอดรหัสแบบวนซ้ำจำนวน 5 10 15 และ 20 รอบ ซึ่งผลการจำลองอัตราบิตผิดพลาดในช่องสัญญาณรบกวนเกาส์แสงขาวแบบบวกแสดงในรูปที่ 4.1 ซึ่งพบว่ารหัสแอลดีพีซีที่เมทริกซ์พาริตี้เช็คมีจำนวนเลข 1 ในแต่ละหลักเท่ากับ 3 ให้อัตราบิตผิดพลาดที่ต่ำสุดสองคล้องกับผลการวิเคราะห์เอ็กซิทชาร์ทที่ได้อธิบายในบทก่อนหน้า

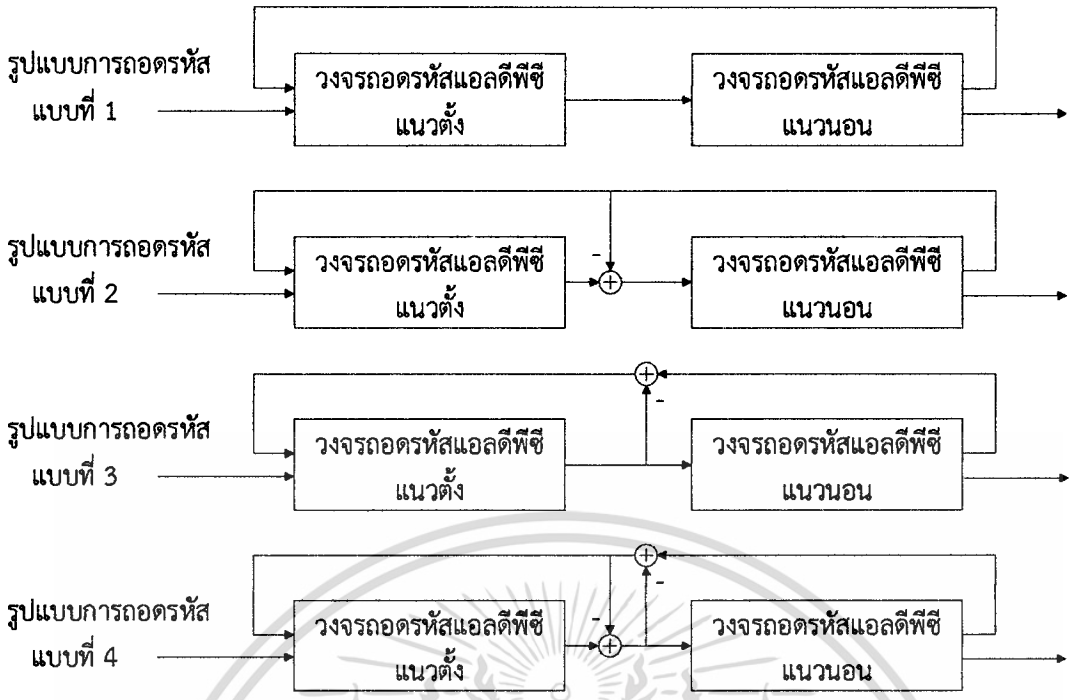


รูปที่ 4.1 อัตราบิตผิดพลาดของรหัสแอลดีพีซีที่มีจำนวนเลข 1 ในแต่ละหลักเท่ากับ 2 และ 3

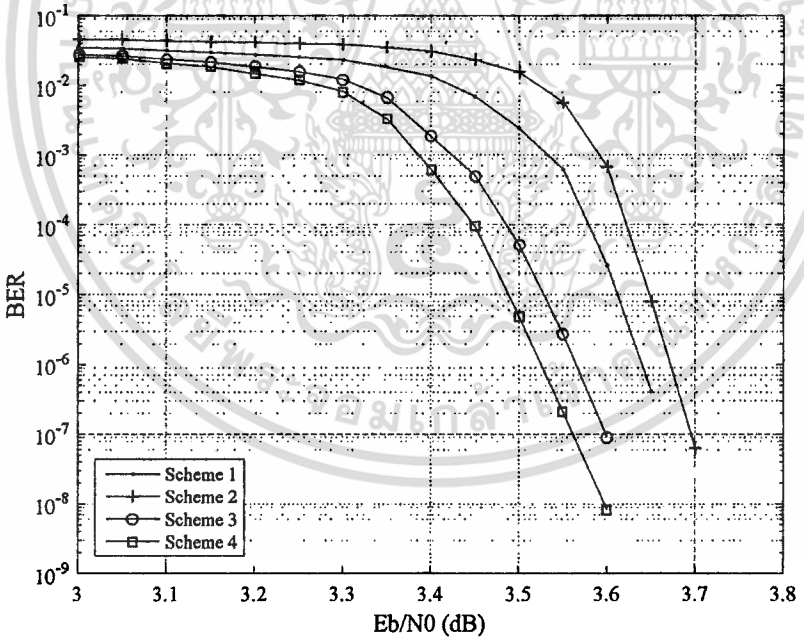
4.2 การแลกเปลี่ยนข่าวสารของรหัสแอลดีพีซีแบบโปรดักส์

เนื่องจากรหัสแอลดีพีซีแบบโปรดักส์ ข้อมูลถูกเข้ารหัสในแนวหลักและแถวดังที่รูปที่ 2.1 ดังนั้น การถอดรหัสแอลดีพีซีแบบโปรดักส์จำเป็นต้องนำคำรหัสในแต่ละหลักมาถอดรหัสเป็นอันดับแรก จากนั้นจึงนำคำรหัสในแต่ละแถวมาทำการถอดรหัสอีกครั้ง ในงานวิจัยนี้ ได้ศึกษารูปแบบการถอดรหัสแอลดีพีซีแบบโปรดักส์ โดยพบว่าการถอดรหัสแอลดีพีซีแบบโปรดักส์ สามารถทำได้ 4 รูปแบบดังรูปที่ 4.2 ซึ่งผลการจำลองอัตราบิตผิดพลาดเมื่อใช้การถอดรหัสรูปแบบต่าง ๆ แสดงดังรูปที่ 4.3 โดยพบว่ารูปแบบการถอดรหัสแบบที่ 4 ให้อัตราบิตผิดพลาดที่ต่ำสุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 วิธีการถอดรหัสแอลดีพีซีแบบโปรดักส์

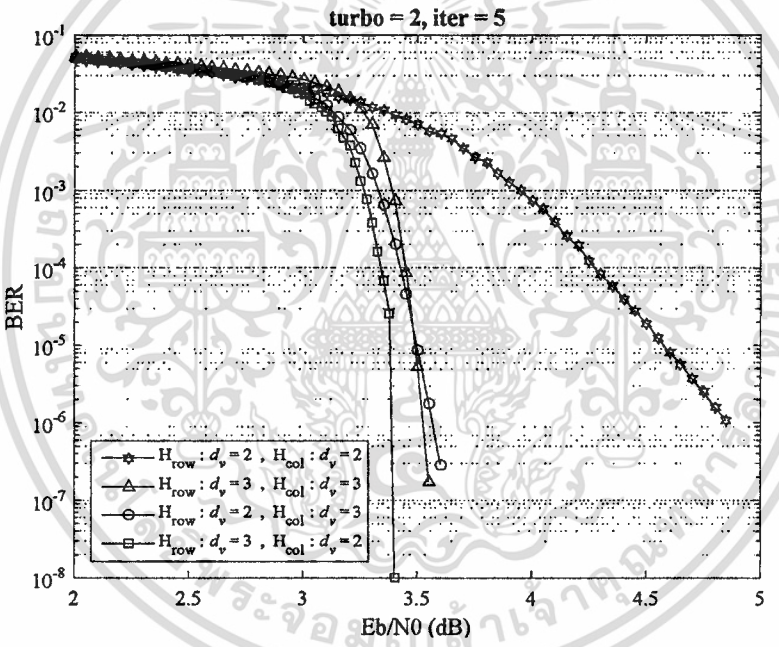


รูปที่ 4.3 อัตราบิตผิดพลาดของรหัสแอลดีพีซีแบบโปรดักส์เมื่อใช้รูปแบบการถอดรหัสต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การออกจำนวนเลขหนึ่งในเมทริกซ์พาริตี้เช็คของรหัสแอลดีพีซีแบบโปรดักส์

จากผลการจำลองอัตราบิตผิดพลาดของรหัสแอลดีพีซีในหัวข้อที่ 4.1 พบว่ารหัสแอลดีพีจะมีสมรรถนะดีสุดเมื่อจำนวนเลข 1 ในแต่ละหลักเท่ากับ 3 อย่างไรก็ตาม การใช้งานรหัสแอลดีพีซีแบบโปรดักส์จะทำให้จำนวนเส้นที่เชื่อมกับโนดตัวแปรเพิ่มสูงขึ้น ทำให้การใช้งานรหัสแอลดีพีซีแบบโปรดักส์ที่มีจำนวนเลข 1 ในแต่ละหลักเท่ากับ 3 อาจให้สมรรถนะที่ไม่ดีสุด รูปที่ 4.4 แสดงอัตราบิตผิดพลาดของรหัสแอลดีพีซีแบบโปรดักส์เมื่อจำนวนเลข 1 ในแต่ละหลักของวงจรถอดรหัสแอลดีพีซีในแนวตั้งและแนวนอนมีค่าเท่ากับ 2 และ 3 จากรูปจะพบว่าเมื่อวงจรถอดรหัสแอลดีพีซีในแนวตั้งและแนวนอนใช้จำนวนเลข 1 เท่ากับ 2 จะทำให้สมรรถนะของรหัสแอลดีพีซีแบบโปรดักส์มีค่าต่ำสุด และเมื่อเปลี่ยนจำนวนเลข 1 ในวงจรถอดรหัสแอลดีพีซีแบบโปรดักส์ให้มีค่าเท่ากับ 3 จะทำให้สมรรถนะของรหัสแอลดีพีซีแบบโปรดักส์เพิ่มสูงขึ้น กรณีที่ใช้จำนวนเลข 1 ในวงจรถอดรหัสแอลดีพีซีแบบโปรดักส์แนวตั้งและแนวนอนไม่เท่ากันพบว่า รหัสแอลดีพีซีแบบโปรดักส์ที่ใช้จำนวนเลข 1 เท่ากับ 2 ในวงจรถอดรหัสแบบแนวตั้งและใช้จำนวนเลข 1 เท่ากับ 3 ในวงจรถอดรหัสแบบแนวนอน จะให้อัตราบิตผิดพลาดต่ำสุด



รูปที่ 4.4 อัตราบิตผิดพลาดของรหัสแอลดีพีซีแบบโปรดักส์เมื่อจำนวนเลข 1 ในแต่ละหลักของวงจรถอดรหัสแอลดีพีซีในแนวตั้งและแนวนอนมีค่าเท่ากับ 2 และ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลการวิจัยและข้อเสนอแนะ

5.1 สรุปผลการวิจัย

ปัจจุบัน รหัสพาริตีเช็คความหนาแน่นต่ำหรือรหัสแอลดีพีซีถูกใช้อย่างแพร่หลาย เช่น ระบบสื่อสารไร้สายมาตรฐาน IEEE 802.11 และระบบบันทึกข้อมูลแบบแฟลช โดยทั่วไปการเพิ่มสมรรถนะของรหัสแอลดีพีซีสามารถทำได้โดยการเพิ่มจำนวนบิตข้อมูลที่นำมาเข้ารหัสแอดลีพีซี อย่างไรก็ตาม การเพิ่มจำนวนบิตข้อมูลทำให้ความซับซ้อนในการเข้ารหัสและถอดรหัสแอลดีซีเพิ่มขึ้น ในงานวิจัยนี้ จึงทำการศึกษารหัสแอลดีพีซีแบบโปรดักส์ซึ่งสามารถเพิ่มจำนวนบิตข้อมูลที่นำมาเข้ารหัสแอลดีพีซีแต่ยังคงใช้ความซับซ้อนในการเข้ารหัสเท่าเดิม โดยได้ศึกษาการออกแบบรหัสแอลดีพีซีโดยใช้เทคนิคเอ็กซิทชาร์ทซึ่งพบว่ารหัสแอลดีพีซีจะให้สมรรถนะที่ดีเมื่อจำนวนเลข 1 ในเมทริกซ์พาริตีเช็คมีค่าเท่ากับ 3 อย่างไรก็ตาม เมื่อทำการเข้ารหัสแอลดีพีซีในแนวแถวและหลักตามหลักการของรหัสแอลดีพีซีแบบโปรดักส์ ในงานวิจัยนี้พบว่ารหัสแอลดีพีซีจะให้สมรรถนะที่ดีเมื่อจำนวนเลข 1 ในเมทริกซ์พาริตีเช็คของวงจรถอดรหัสแอลดีพีซีในแนวแถวมีค่าเท่ากับ 3 และจำนวนเลข 1 ในเมทริกซ์พาริตีเช็คของวงจรถอดรหัสแอลดีพีซีในแนวหลักมีค่าเท่ากับ 2

5.2 ข้อเสนอแนะ

การศึกษาการออกแบบรหัสแอลดีพีซีแบบโปรดักส์ที่ใช้ในงานวิจัยนี้ จะสมมุติให้การถอดรหัสปราศจากวงจรสลับที่ (interleaver) ดังนั้น แนวทางศึกษาการออกรหัสแอลดีพีซีแบบโปรดักส์ในขั้นตอนต่อไปจะต้องทำการเพิ่มวงจรสลับที่เพื่อศึกษาผลกระทบก่อการออกแบบรหัสแอลดีพีซีแบบโปรดักส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
สรุปผลผลิตที่ได้จากงานวิจัย

1. ข้อเสนอโครงการวิจัยเพื่อขอทุนพัฒนาศักยภาพในการทำงานวิจัยของอาจารย์รุ่นใหม่ (MRG) ของสำนักงานกองทุนสนับสนุนการวิจัย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] Z. Qi and N. C. Sum, "LDPC product codes," in Proc. ICCS 2004.

[2] W. H. Fong, Q. Huang, S. Chang and S. Lin, "Multiple Phased-Burst Correcting Superposition Product LDPC Codes," in Proc. IEEE ICC 2011.

[3] D. A. Marero and M. R. Hueda, "Efficient Concatenated Coding Schemes for Error Floor Reduction of LDPC and Turbo Product Codes," in Proc. IEEE Globecom 2012.

[4] S. Jeong and J. Lee, "Iterative LDPC–LDPC Product Code for Bit Patterned Media," IEEE Transactions on Magnetics, vol. 53, Mar. 2017.

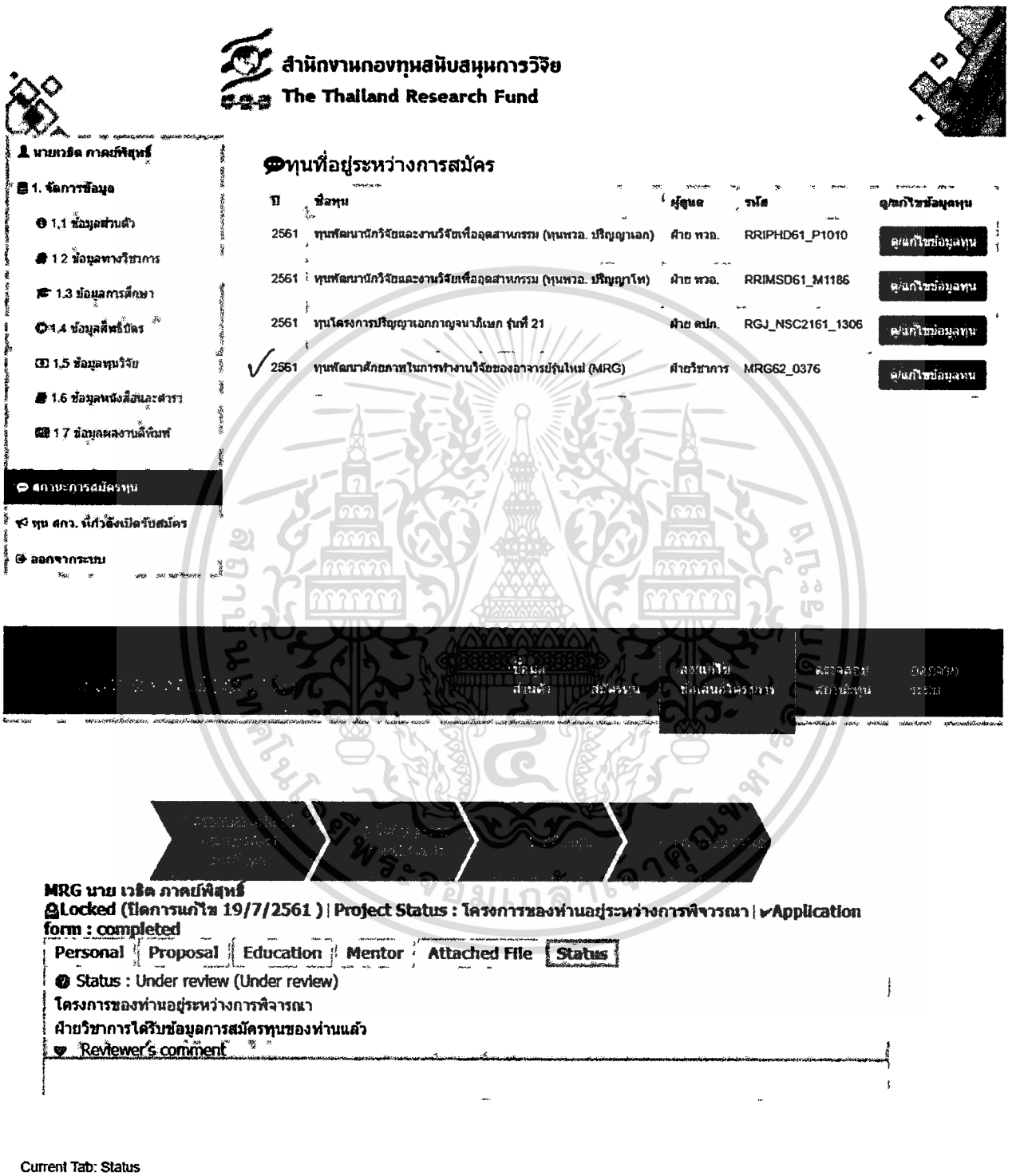
[5] T. J. Richardson, and R. Urbanke, "The capacity of low-density parity-check codes under message-passing decoding," IEEE Transactions on Information Theory, vol. 47, pp. 599-618, 2001

[6] S. ten Brink, G. Kramer, and A. Ashikhmin, "Design of low-density parity-check codes for modulation and detection," IEEE Transactions on Communications, vol. 52, pp. 670-678, Apr. 2004.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

หลักฐานการสมัครทุนพัฒนาศักยภาพในการทำงานวิจัยของอาจารย์รุ่นใหม่ (MRG)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Research Proposal

Research Grant for New Scholar

Part 1 (Limited to one A4 page)

Project title Efficient Design and Decoding of Polar Codes for Nonvolatile Memories

Project duration 2 years

Total budget 600,000 Baht

Principal Investigator / Department / Faculty / Institute
Dr. Watid Phakphisut
Telecommunications Engineering Department / Faculty of Engineering /
King Mongkut's Institute of Technology Ladkrabang

Abstract

Nonvolatile memory (NVM) is a promising technology to overcome the memory bottleneck of computer system. The NVMs have many desirable properties in terms of power consumption, write/read speed, endurance, and scalability. However, the NVMs still have many challenges that need to be tackled. Due to the process variation and thermal fluctuation, the NVMs cause the erroneous bits during the write operation. Moreover, the threshold voltage of NVMs can be incorrectly sensed causing the erroneous bits during the read operation. Therefore, it is important to develop the error-correction codes (ECCs) to improve the system reliability. Recently, the polar codes are theoretically proven to achieve the channel capacity. This research works will be toward the use of polar codes in NVMs. We propose the new design of polar codes when the threshold voltage of NVMs is obtained by multiple sensing. Furthermore, in order to mitigate the write errors of NVMs caused by process variations, we present the new decoding technique of polar codes.

Keywords (3-5 words)
Error Correction Codes, Polar codes, Nonvolatile Memories,

Research area / Sub area of this project
Communication Theory / Channel Coding

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

สรุปค่าใช้จ่ายการดำเนินงานโครงการวิจัย

สัญญาเลขที่ KREF186007

โครงการ การวิเคราะห์และออกแบบรหัสแอลดีพีซีแบบโปรดักส์

Analysis and Design of Product LDPC codes

รายงานสรุปการเงินรอบ 12 **เดือน**

ชื่อหัวหน้าโครงการวิจัย ผู้รับทุน ดร.เวฑิต ภาคย์พิสุทธิ์

รายงานในช่วงตั้งแต่วันที่ 1 สิงหาคม 2560 ถึงวันที่ 31 กรกฎาคม 2561

สรุปงบประมาณค่าใช้จ่ายที่ใช้นับตั้งแต่เริ่มทำการวิจัยถึงปัจจุบัน

หมวดค่าใช้จ่าย	งบประมาณรวมทั้งโครงการ	ค่าใช้จ่ายจากรายงานครั้งก่อน	ค่าใช้จ่ายงวดปัจจุบัน	รวมค่าใช้จ่ายสะสมถึงปัจจุบัน	คงเหลือ (หรือเกิน)
งบบุคลากร ค่าจ้างชั่วคราว	-	-	-	-	-
งบดำเนินงาน					
ค่าตอบแทน	-	-	-	-	-
ค่าใช้สอย	50,000	42,000	5,500	47,500	2,500
ค่าวัสดุ	50,000	47,500	-	47,500	2,500
ค่าสาธารณูปโภค	-	-	-	-	-
งบลงทุน ค่าครุภัณฑ์	-	-	-	-	-
รวม	100,000	89,500	5,500	95,000	5,000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำนวนเงินที่ได้รับและจำนวนเงินที่ใช้จ่าย

งวดเงินที่ได้รับ	จำนวนเงินที่ได้รับ(บาท)	เมื่อ (ระบุวัน เดือน ปี)
งวดที่ 1	95,000	15/09/17
งวดที่ 2	-	-
ดอกเบี้ย ครั้งที่ 1	93.01	25/12/17
ดอกเบี้ย ครั้งที่ 2		
รวม	95,093.01	❶ 95,093.01
งวดที่	**จำนวนเงินที่ใช้จ่าย (บาท)**	
งวดที่ 1	95,000	
งวดที่ 2	-	
ฯลฯ		
รวม	95,000	❷ 95,000

จำนวนเงินคงเหลือ ❶ - ❷ ..... 93.01 ..... **บาท**

....

(ดร.เวธิต ภาคย์พิสุทธิ์) (.....)

หัวหน้าโครงการวิจัยผู้รับทุน ลงนามเจ้าหน้าที่การเงินโครงการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัตินักวิจัย

ประวัติส่วนตัว

ชื่อ-สกุล ดร.เวธิต ภาคย์พิสุทธิ์

ตำแหน่ง อาจารย์

ประวัติการศึกษา

ชื่อย่อปริญญา	สาขา	สถาบันที่จบ	ปีที่จบ
วศ.ด.	วิศวกรรมไฟฟ้า	สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง	2558
วศ.ม.	เทคโนโลยีการบันทึกข้อมูล	สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง	2554
วศ.บ.	วิศวกรรมโทรคมนาคม	สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง	2552

ประสบการณ์วิจัยหรือสาขาที่ชำนาญ Error-correcting codes, Signal processing for data storage

รางวัลด้านวิชาการ/ด้านวิจัย/งานสร้างสรรค์ (ด้านศิลปะ หรืออื่นๆ) ที่ได้รับ

ปี พ.ศ.	ชื่อรางวัล	สถาบันที่ให้
2560	รางวัลวิทยานิพนธ์ระดับปริญญาเอกระดับดี	สภาวิจัยแห่งชาติ

ทุนการศึกษาและทุนวิจัยที่เคยได้รับ

ปี พ.ศ.	ทุนการศึกษาและทุนวิจัย	สถาบันที่ให้
2559	ทุนวิจัยสำหรับอาจารย์ โครงการปริญญาเอกกาญจนาภิเษก (คปก.) ต่อยอด	สกว.
2554	ทุนวิจัยระดับปริญญาเอก โครงการปริญญาเอกกาญจนาภิเษก (คปก.)	สกว.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลงานวิจัย/งานสร้างสรรค์ที่ตีพิมพ์เผยแพร่ (ระดับชาติและนานาชาติ)

ผลงานวิจัยที่ได้รับการตีพิมพ์ในวารสารวิชาการระดับนานาชาติ

1. S. Khittiwitchayakul, **W. Phakphisut** and P. Supnithi, "Reduced Complexity Window Decoding of Spatially Coupled LDPC Codes for Magnetic Recording Systems," IEEE Transaction on Magnetics, vol. 54, no. 11, Nov. 2018. (Impact factor = 1.467)
2. R. Wongsathan, **W. Phakphisut** and P. Supnithi, "The Performance of Hybrid MLPNN Based VE (MLP-VE) Equalizer for the Nonlinear Perpendicular Magnetic Recording Channels," AIP Advances, Jan. 2017. (Impact factor = 1.568)
3. **W. Phakphisut** and P. Supnithi, "Design of LDPC Codes for Unequal ISI Channels," IEEE Transaction on Magnetics, vol. 53, no. 11, Nov. 2017. (Impact factor = 1.243)
4. **W. Phakphisut**, P. Supnithi and N. Puttarak, "EXIT Chart Analysis of Nonbinary Protograph LDPC Codes for Partial Response Channels," IEEE Transaction on Magnetics, vol. 50, no. 11, Nov. 2014. (Impact factor = 1.386)
5. **W. Phakphisut**, P. Prompakdee and P. Supnithi, "Design of Quasi-Cyclic LDPC codes with Maximized Girth Property," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E96-A, no. 11, pp. 2128-2133, Nov. 2013. (Impact factor = 0.226)
6. P. Supnithi, W. Wiriya, **W. Phakphisut** and N. Puttarak, "LDPC Decoder using Pattern-Dependent Modified LLR for the Bit Patterned Media Storage with Written-in Errors," IEEE Transaction on Magnetics, vol. 48, no. 11, pp.4606-4609, Nov. 2012 (Impact factor = 1.422)
7. **W. Phakphisut**, P.Supnithi, T.Sopon and L.M.M. Myint, "Serial belief propagation for the high-rate LDPC decoders and performances in the bit patterned media systems with media noise," IEEE Transaction on Magnetics, vol. 47, no. 10, pp. 3562 - 3565, Oct. 2011. (Impact factor = 1.363)
8. P. Supnithi, **W. Phakphisut** and W. Singhaudom, "Structured LDPC Codes to Reduce Pseudo Cycles for Turbo Equalization in Perpendicular Magnetic Recording," IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol. E94-A, no. 6, pp. 1441-1448, Apr. 2011. (Impact factor = 0.226)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลงานวิจัยที่ได้รับการนำเสนอในงานประชุมวิชาการระดับนานาชาติ

1. N. Tongkasem, P. Supnithi and **W. Phakphisut**, "New Receiver Bias Calculation for Total Electron Content (TEC) in Bangkok, Thailand," The International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON), Chiang Rai, Thailand, July 18-21, 2018.
2. G. Srirungroj, **W. Phakphisut** and L. Wuttisittikulkij, "Performance of Polar Code on Cascaded BSC-AWGN channel," International Technical Conference on Circuits/Systems, Computers and Communication (ITC-CSCC), Bangkok, Thailand, July 4-7, 2018.
3. J. Budtho, N. Nilchan, N. Popaichit, N. Ngamprasert, **W. Phakphisut** and P. Supnithi, "The analysis of positioning accuracy from the usage of multi-constellation in single-frequency RTK technique in Bangkok," International Technical Conference on Circuits/Systems, Computers and Communication (ITC-CSCC), Bangkok, Thailand, July 4-7, 2018.
4. S. Khittiwitchayakul, **W. Phakphisut** and P. Supnithi, "Reduced Complexity Window Decoding of Spatially Coupled LDPC Codes for Magnetic Recording Systems," IEEE International Magnetics Conference (INTERMAG), Singapore, April 23-27, 2018.
5. R. Wongsathan, **W. Phakphisut** and P. Supnithi, "The Performance of Hybrid MLPNN Based VE (MLP-VE) Equalizer for the Nonlinear Perpendicular Magnetic Recording Channels," Conference on Magnetism and Magnetic Materials (MMM), Pittsburgh, USA, Nov. 6-10, 2017.
6. R. Wongsathan, **W. Phakphisut** and P. Supnithi, "Neural Networks Equalizers for Nonlinear Magnetic Recording Channels," The International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON), Phuket, Thailand, 2017.
7. A. Chiablaem, **W. Phakphisut** and P. Supnithi, "Study of GPS instrumental bias and TEC estimations from GPS stations in Thailand," The International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON), Phuket, Thailand, 2017.
8. **W. Phakphisut** and P. Supnithi, "Design of LDPC codes for unequal ISI channels," IEEE International Magnetics Conference (INTERMAG), Dublin, Ireland, April 24-28, 2017.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

9. C. Duangthong, **W. Phakphisut** and P. Supnithi, "Search Algorithm of Write Voltage Optimization in NAND Flash Memory," International Electrical Engineering Congress (IEECON), Pattaya, Thailand, March 8-10, 2017.
10. P. Thammavongsy, P. Supnithi, S. Klinngam, **W. Phakphisut**, K. Watthanasangmechai and T. Tsugawa, "Statistical Analysis of High Frequency Radio Parameters on St. Patrick's day in Thailand," International Electrical Engineering Congress (IEECON), Pattaya, Thailand, March 8-10, 2017.
11. T. Juthavantana, S. Nakpeerayuth, **W. Phakphisut** and L. Wuttisittikulkij, "Development of a teaching tool for learning spinal codes," International Technical Conference on Circuits/Systems, Computers and Communication (ITC-CSCC), Busan, Korea, July 2-5, 2017.
12. W. Wongtrairat, T. Sopon, S. Wongsuthavas, **W. Phakphisut** and P. Supnith, "A Reduced BER by Using Layered Decoding of LDPC Codes over HAMR System," Conference on Magnetism and Magnetic Materials (MMM), New Orleans, USA, October 31-4, 2016.
13. S. Khittiwitchayakul, **W. Phakphisut** and P. Supnithi, "Paged-Based Weighted Bit-Flipping Algorithm of Product LDPC Codes for Two-Dimensional Magnetic Recording," International Technical Conference on Circuits/Systems, Computers and Communication (ITC-CSCC), Okinawa, Japan, July 10-13, 2016.
14. G. Srirutchataboom, N. Tantibut, P. Kovintavewat, L. Wuttisittikulkij, K. Mamat and **W. Phakphisut**, "Construction of Column-Weight-Two Irregular LDPC codes with a Predetermined High Girth," International Technical Conference on Circuits/Systems, Computers and Communication (ITC-CSCC), Okinawa, Japan, July 10-13, 2016.
15. N. Tantibut, A. Bajpai, K. Mamat, T. Phromsa-ard, **W. Phakphisut**, P. Kovintavewat and L. Wuttisittikulkij, "BER Performance Study of Column Weight Two Non-Binary LDPC Codes with Predetermined Girth," International Technical Conference on Circuits/Systems, Computers and Communication (ITC-CSCC), Okinawa, Japan, July 10-13, 2016.
16. S. Khittiwitchayakul, **W. Phakphisut** and P. Supnithi, "Weighted Bit-Flipping Algorithm for Product LDPC Codes," The International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON), Chiang Mai, Thailand, June 28-1, 2016.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

17. **W. Phakphisut** and P. Supnithi, "Decoding Algorithm of LDPC codes for Cascaded BSC-AWGN channels," Asia-Pacific Signal and Information Processing Association Annual Summit and Conference (APSIPA ASC), Siem Reap, Cambodia, December 9-12, 2014.
18. **W. Phakphisut**, P. Supnithi and N. Puttarak, "EXIT Chart Analysis of Nonbinary Protograph LDPC Codes for Partial Response Channels," IEEE International Magnetics Conference (INTERMAG), Dresden, Germany, May 4-8, 2014.
19. **W. Phakphisut**, P. Prompakdee, P. L. Phong and P. Supnithi, "Design of Quasi-cyclic LDPC codes with maximized girth property," International Workshop on Smart Info-Media Systems in Asia (SISA), Bangkok, Thailand, Sep. 6–Sep. 8, 2012
20. **W. Phakphisut** and P.Supnithi, "Mixed-Scheduling Belief Propagation for LDPC Decoders in the Magnetic Recording Systems" International Symposium on Information Theory and its Applications (ISITA), Hawaii, USA, Oct. 28-31, 2012.
21. P. Supnithi, W. Wiriya, **W. Phakphisut** and N. Puttarak, "LDPC Decoder using Pattern-Dependent Modified LLR for the Bit Patterned Media Storage with Written-in Errors," IEEE International Magnetics Conference (INTERMAG), Vancouver, Canada, May 9-11, 2012.
22. **W. Phakphisut**, P. Supnithi and N. Puttarak, "Mixed-Scheduling Belief Propagation for LDPC Decoders in the Bit Patterned Media Storage," IEEE International Magnetics Conference (INTERMAG), Vancouver, Canada, May 9-11, 2012.
23. W. Wiriya, **W. Phakphisut** and P. Supnithi, "LDPC Decoder with Modified LLR for Bit Patterned Media with Write Errors," IEEE Intelligent Signal Processing and Communication Systems (ISPACS), Chiangmai, Thailand, December 7-9, 2011.
24. P. Prompakdee, **W. Phakphisut** and P. Supnithi, "Quasi-cyclic LDPC codes based on PEG algorithm with maximized girth property," IEEE Intelligent Signal Processing and Communication Systems (ISPACS), Chiangmai, Thailand, December 7-9, 2011.
25. **W. Phakphisut**, T. Sopon, P. Supnithi, L.M.M. Myint and A. Siritaratiwat, "Serial belief propagation for the high-rate LDPC decoders and performances in the bit patterned media systems with media noise," IEEE International Magnetics Conference (INTERMAG), Taipei, Taiwan, April 25-29, 2011.
26. P. Supnithi, **W. Phakphisut** and W. Singhaudom, "Construction of array codes with reduced pseudo cycles for perpendicular magnetic recording," International Technical Conference on

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Circuits/Systems, Computers and Communications (ITC-CSCC), Pataya, Thailand, July 4-7, 2010.

27. **W. Phakphisut** and P. Supnithi,. "Improving LDPC decoder via Layered Belief-Propagation in Perpendicular Magnetic Recording," Perpendicular Magnetic Recording Conference (PMRC), Sendai, Japan, May 17-19, 2010.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้