รายงานการวิจัยฉบับสมบูรณ์

การปรับปรุงเทคนิคการวิเคราะห์ผลผลิตด้านความบกพร่องแบบสุ่ม ของอุปกรณ์อิเล็กทรอนิกส์บนแผ่นซิลิคอน

Improvement in Random Defect Yield Analysis of Electronics Device on Silicon Wafer

นายวีระ เพ็งจันทร์

b00270397

ได้รับทุนสนับสนุนงานวิจัยจากเงินรายได้ ประจำปีงบประมาณ พ.ศ. 2558
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชื่อโครงการ (ภาษาไทย) การปรับปรุงเทคนิคการวิเคราะห์ผลผลิตด้านความบกพร่องแบบสุ่มของอุปกรณ์อิเล็กทรอนิกส์บนแผ่นซิลิคอน
แหล่งเงิน เงินรายได้
ประจำปีงบประมาณ 2558 จำนวนเงินที่ได้รับการสนับสนุน 50,000 บาท
ระยะเวลาทำการวิจัย 1 ปี ตั้งแต่ 1 ตุลาคม 2557 ถึง 30 กันยายน 2558
ชื่อ-สกุล หัวหน้าโครงการ นายวีระ เพ็งจันทร์
ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์

บทคัดย่อ

โครงการวิจัยนี้นำเสนอการปรับปรุงเทคนิคการวิเคราะห์ผลผลิตด้านความบกพร่องแบบสุ่มของอุปกรณ์อิเล็กทรอนิกส์บนแผ่นซิลิคอน ด้วยการวิเคราะห์ค่าผลผลิตโดยแบบจำลองค่าผลผลิตบนพื้นฐานการวิเคราะห์ความบกพร่องด้วยวิธีอนุพันธ์ ที่เกิดขึ้นในรอยต่อพีเอ็นที่สร้างจากเทคโนโลยีกระบวนการสร้างอุปกรณ์ทรานซิสเตอร์แบบซีมอสขนาด 0.8 ไมครอน บนแผ่นซิลิคอน โดยการวัดคุณสมบัติของกระแส-แรงดัน และค่าความจุไฟฟ้า-แรงดัน ที่แรงดันไบอัสตรง 0 - 0.5 โวลต์ อุณหภูมิ 300 เคลวิน จากนั้นนำมาวิเคราะห์หาค่าช่วงชีวิตการก่อเกิด และช่วงชีวิตการรวมตัวใหม่ของพาหะ จากนั้นนำผลที่ได้มาแสดงเป็นรูปแบบแผนภูมิ 3 มิติ ซึ่งแสดงให้เห็นว่า มีความบกพร่องเกิดขึ้นในโครงสร้างของแผ่นซิลิคอน และมีการกระจายตัวของความบกพร่องเกิดขึ้นอย่างไม่สม่ำเสมอตลอดทั้งแผ่น โดยค่าผลผลิตบนแผ่นซิลิคอนทั้งหมดพบว่ามีค่าร้อยละ 83.87 และจากการวิเคราะห์ความบกพร่องโดยวิธีอนุพันธ์ สามารถหาร้อยละของค่าผลผลิตได้สอดคล้องกับการวิเคราะห์ที่ได้จากแบบจำลองค่าผลผลิตทั้ง 3 รูปแบบ ซึ่งมีค่าความคลาดเคลื่อนอยู่ที่ประมาณร้อยละ 2 ที่จำนวนการสุ่ม 25 ชิป ซึ่งเป็นระดับความละเอียดสูงสุดตามมาตรฐาน ANSI/ASQC Z1.9 บนแผ่นซิลิคอน

คำสำคัญ : รอยต่อพี-เอ็น กระแสรั่วไหล ความบกพร่องของซิลิคอน ค่าช่วงชีวิตการก่อเกิดและการรวมตัวใหม่ เทคโนโลยีซีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Research Title: Improvement in Random Defect Yield Analysis of Electronics Device on Silicon Wafer

Researcher: Mr. Weera Pengchan

Faculty: Engineering **Department:** Electronics Engineering

ABSTRACT

This research presents Improvement in Random Defect Yield Analysis of Electronics Device on Silicon Wafe. Yield analysis by yield model based on the defect analysis with derivative method in P-N junction on the silicon wafer that was fabricated with 0.8 micron CMOS technology. The diode characteristics, current-voltage and capacitance-voltage will be measured at forward bias voltage from 0 to 0.5 V and temperature 300 K. The generation and recombination lifetime can be obtained, and can be presented as 3 dimensions graph. The result shows there are defects in the silicon wafer and the defect distribution is non-uniformity for entire of wafer. As a results, silicon wafer yield is 83.87%. And the defect analysis with derivative method can get the consistent value as yield model with the 2 % tolerance at sample size 25 chips that is the highest level in ANSI/ASQC Z1.9 standard.

Keywords : p-n junctions, leakage current, defects, generation and recombination lifetime, CMOS Technology

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

การวิจัยครั้งนี้ได้รับทุนสนับสนุนการวิจัยจากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง จากแหล่งทุน เงินรายได้ ประจำปีงบประมาณ พ.ศ. 2558

ขอขอบคุณ ดร.อัมพร โพธิ์ใย ผู้อำนวยการศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (TMEC) ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (NECTEC) กระทรวงวิทยาศาสตร์และเทคโนโลยี สำหรับคำปรึกษาที่มีประโยชน์และแนวทางในการแก้ปัญหาต่างๆ ในการทำวิจัยครั้งนี้ด้วย

ขอขอบคุณ คุณอนุชา เรืองพาณิชย์ ศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ (TMEC) ศูนย์เทคโนโลยีอิเล็กทรอนิกส์และคอมพิวเตอร์แห่งชาติ (NECTEC) กระทรวงวิทยาศาสตร์และเทคโนโลยี สำหรับคำปรึกษาด้านเทคนิคการวัด ข้อมูลการออกแบบและการจำลองแบบกระบวนการสร้าง

วีระ เพ็งจันทร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย I
บทคัดย่อภาษาอังกฤษ II
กิตติกรรมประกาศ III
สารบัญ IV
สารบัญตาราง VI
สารบัญรูป VII
บทที่ 1 บทนำ 1
1.1 ความเป็นมาและความสำคัญของอิเล็กทรอนิกส์ 1
1.2 วัตถุประสงค์ของโครงการวิจัย 3
1.3 ขอบเขตของโครงการวิจัย 3
1.4 ระเบียบวิธีวิจัย 3
1.5 ประโยชน์ที่คาดว่าจะได้รับของโครงการวิจัย 3
บทที่ 2 ทฤษฎีและหลักการที่เกี่ยวข้อง 4
2.1 รอยต่อพีเอ็น 4
2.1.1 คุณสมบัติรอยต่อพีเอ็นในภาวะสมดุล 5
2.1.2 คุณสมบัติรอยต่อพีเอ็นขณะได้รับแรงดันไบอัสตรง 8
2.2 ความบกพร่องที่เกิดขึ้นในสารกึ่งตัวนำ 11
2.2.1 ความบกพร่องแบบจุด (Point Defects) 12
2.2.2 ความบกพร่องแบบเส้น (line Defects) 12
2.2.3 ความบกพร่องเชิงพื้นที่ (Area Defects) 13
2.2.4 ความบกพร่องเชิงปริมาตร (Volume Defects) 13
2.3 การก่อเกิดและการรวมตัวใหม่ของพาหะ 13
2.3.1 แผนภาพการก่อเกิดและการรวมตัวใหม่ 13
2.3.2 ช่วงชีวิตของการก่อเกิดและการรวมตัวใหม่ 14
2.4 แบบจำลองค่าผลผลิต (Yield Model) 18
2.4.1 ค่าผลผลิต 18
2.4.2 รูปแบบของการแจกแจงความน่าจะเป็น (Probability Distribution) 18
2.4.3 แบบจำลองค่าผลผลิตที่ได้จากการแจกแจงความน่าจะเป็น 23
บทที่ 3 วิธีดำเนินการวิจัย 28
3.1 การออกแบบการทดลอง 28
3.2 กระบวนการสร้างอุปกรณ์อิเล็กทรอนิกส์ประเภทซีมอส 28
3.3 เครื่องมือและกระบวนการวัด 29
3.4 วิธีการวิเคราะห์ข้อมูลเชิงคณิตศาสตร์ที่เกี่ยวข้อง 29
3.4.1 การวิเคราะห์ค่าความหนาแน่นกระแสด้วยองค์ประกอบของกระแส 29
3.4.2 การวิเคราะห์ค่าความหนาแน่นกระแสในเนื้อสารด้านพื้นที่ 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

หน้า

บทที่ 4 ผลการทดลองและวิเคราะห์ผล 34
4.1 การวิเคราะห์องค์ประกอบของกระแสในไดโอด 34
4.2 การวิเคราะห์ค่าช่วงชีวิตในไดโอดด้วยเทคนิคอนุพันธ์ 36
4.3 การทดลองเปรียบเทียบร้อยละของค่าผลผลิตกับแบบจำลองค่าผลผลิตของปัวซอง 40
4.4 การทดลองเปรียบเทียบร้อยละของค่าผลผลิตกับแบบจำลองค่าผลผลิตของเมอร์ฟี 42
จากการแจกแจงความน่าจะเป็นแบบสามเหลี่ยม
4.5 การทดลองเปรียบเทียบร้อยละของค่าผลผลิตกับแบบจำลองค่าผลผลิตของเมอร์ฟี 43
จากการแจกแจงความน่าจะเป็นแบบคงที่หรือสี่เหลี่ยมผืนผ้า
4.6 การทดลองเปรียบเทียบค่าผลผลิตกับแบบจำลองค่าผลผลิตที่นำมาคำนวณ 44
บทที่ 5 สรุปและวิจารณ์ผลการทดลอง 45
5.1 สรุปและวิจารณ์ผลการทดลอง 45
5.2 ข้อเสนอแนะและแนวทางการทำวิจัย 46
เอกสารอ้างอิง 47
ภาคผนวก ก บทความตีพิมพ์วารสารระดับนานาชาติ 49
ประวัติคณะผู้วิจัย 55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ **หน้า**

1.1 ระดับขนาดและจำนวนของอุปกรณ์บนวงจรรวม..... 1

3.1 ข้อมูลทางเรขาคณิตของไดโอดแบบพื้นที่กว้างและไดโอดแบบคดเคี้ยว.....30

4.1 ค่าของ τ_r และค่า τ_s ของจุดตัวอย่างและค่าเฉลี่ย..... 39

4.2 Sample Size Code Letter ตามมาตรฐาน MIL STD 414 หรือ ANSI/ASQC Z1.9.....40

4.3 Master Table ตามมาตรฐาน MIL STD 414 หรือ ANSI/ASQC Z1.9..... 41

4.4 การหาค่าความหนาแน่นของความบกพร่องจากค่าจำนวนชิปที่สุ่ม..... 42

4.5 ค่าความคลาดเคลื่อนของค่าผลผลิตที่คำนวณได้จากแบบจำลองค่าผลผลิตของปัวซอง.....42
เปรียบเทียบกับค่าผลผลิตที่ได้จริง

4.6 ค่าความคลาดเคลื่อนของค่าผลผลิตที่คำนวณได้จากแบบจำลองค่าผลผลิตของเมอร์ฟี.....43
จากการแจกแจงความน่าจะเป็นแบบสามเหลี่ยม เปรียบเทียบกับค่าผลผลิตที่ได้จริง

4.7 ค่าความคลาดเคลื่อนของค่าผลผลิตที่คำนวณได้จากแบบจำลองค่าผลผลิตของเมอร์ฟี..... 43
ด้วยการแจกแจงความน่าจะเป็นแบบสี่เหลี่ยมผืนผ้า เปรียบเทียบกับค่าผลผลิตที่ได้จริง

4.8 ค่าความคลาดเคลื่อนเปรียบเทียบจากแบบจำลองค่าผลผลิต.....44

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ **หน้า**

2.1 รอยต่อพีเอ็นแบบรอยต่อของโลหะผสม 1
2.2 รอยต่อพีเอ็นแบบวิธีการแพร่สารเจือ 4
2.3 ปรากฏการณ์ที่เกิดขึ้นของรอยต่อพีเอ็นในภาวะสมดุล 5
2.4 การเปลี่ยนแปลงความหนาแน่นกระแสของพาหะที่ตำแหน่งต่างๆ ในขณะได้รับไบอัสตรง 10
2.5 แผนภาพโครงสร้างอะตอมและระดับพลังงานของซิลิคอนโดย ก) ผลึกสมบูรณ์ 11
และ ข) มีความบกพร่อง
2.6 ความบกพร่องในรูปแบบต่างๆ ก) Foreign interstitial ข) dislocation 12
ค) self-interstitial ฆ) precipitate ง) extrinsic stacking faults จ) foreign substitutionals
ฉ) vacancy ช) intrinsic stacking fault ซ) foreign substitutionals
2.7 แผนภาพระดับพลังงานของสารกึ่งตัวนำที่มีสารเจือระดับลึก และกระบวนการจับและ 14
ปล่อยของอิเล็กตรอน
2.8 กลไกกระบวนการรวมตัวใหม่ของพาหะส่วนเกิน โดย ก) การรวมตัวใหม่แบบมัลติโฟนอน 15
ข) การรวมตัวใหม่แบบแผ่รังสี และ ค) การรวมตัวใหม่แบบโอเจร์
2.9 กลไกกระบวนการก่อเกิดโดย ก) การก่อเกิดโดยโฟนอน ข) การก่อเกิดโดยใช้พลังงาน 17
โฟตอน ค) การก่อเกิดเนื่องจากการชน
2.10 เดลตาฟังก์ชัน 24
2.11 ฟังก์ชันของเกาส์เซียน 25
2.12 ฟังก์ชันของซิมป์สัน 25
2.13 ฟังก์ชันการแจกแจงแบบคงที่ 26
3.1 รูปทรงเรขาคณิตของไดโอดชนิด P^+-N_{well} ที่ใช้ในการทดลอง 28
4.1 องค์ประกอบของกระแสรั่วไหลในไดโอด 34
4.2 องค์ประกอบของกระแสรั่วไหลในไดโอดในเงื่อนไขไบอัสตรง 35
4.3 การเปรียบเทียบองค์ประกอบของความหนาแน่นของกระแส 36
4.4 ความสัมพันธ์ของความหนาแน่นกระแสอิ่มตัวด้านพื้นที่และแรงดันไบอัสตรง 37
4.5 ความสัมพันธ์ของค่า qn_iW_A/J_{abr0} และ $e^{(qV/2kT)}$ 39
4.6 การกระจายของค่าช่วงชีวิตการรวมตัวใหม่ 40

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของอิเล็กทรอนิกส์

อิเล็กทรอนิกส์เป็นวิทยาศาสตร์และเทคโนโลยีที่เกี่ยวกับการเคลื่อนที่ของประจุในก๊าซ ในสุญญากาศ หรือในสารกึ่งตัวนำ นับตั้งแต่การค้นพบอันยิ่งใหญ่ของนักวิทยาศาสตร์ ได้แก่ อังเดร มารี แอมแปร์ (Ampere) ชาร์ลส ออกัสติน เดอ คูลอมบ์ (Coulomb) ไมเคิล ฟาราเดย์ (Faraday) โยฮัน คาร์ล ฟรีดริช เกาส์ (Gauss) โจเซฟ เฮนรี (Henry) กุสสตาฟ โรเบิร์ต เคอร์ชอฟฟ์ (Kirchoff) เจมส์ เคลิก แม็กเวลล์ (Maxwell) และจอร์จ ไซมอน โอห์ม (Ohm) ซึ่งเป็นจุดเริ่มต้นของศาสตร์ทางด้านวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์ จนไปถึงการสร้างสิ่งประดิษฐ์ต่างๆที่เกี่ยวข้องกับอุปกรณ์อิเล็กทรอนิกส์ เมื่อปี ค.ศ. 1947 มีการสร้างทรานซิสเตอร์แบบจุดสัมผัสตัวแรกของวิลเลียม ช็อคเลย์ (Shockley) แต่ประสิทธิภาพยังไม่สูงนัก ช็อคเลย์ ซึ่งเป็นหัวหน้าทีมวิจัยในขณะนั้น พบว่าปัญหาของทรานซิสเตอร์ชนิดนี้เกิดที่จุดสัมผัส จึงต้องการที่จะพัฒนาทรานซิสเตอร์แบบรอยต่อ โดยรูปแบบของอุปกรณ์ตัวใหม่นี้ มีการทำงานที่ขึ้นอยู่กับพาหะของประจุทั้งสองชนิด และเมื่อให้ค่าแรงดันเพียงเล็กน้อย จะทำให้ค่าความหนาแน่นของกระแสเพิ่มขึ้นอย่างมาก จนกระทั่งในปี ค.ศ. 1950 ซึ่งเป็นทศวรรษแห่งการเปลี่ยนผ่านเทคโนโลยี จึงได้มีการผลิตทรานซิสเตอร์สู่ท้องตลาด ในปี ค.ศ. 1958 แจ็ค กิลล์บี (Kilby) ได้นำเสนอวงจรแบบผลึกเดี่ยว โดยใช้เพียงเยอรมาเนียมในการสร้างวงจร ขณะเดียวกัน โรเบิร์ต นอยซ์ (Noyce) ได้พัฒนาวงจรให้มีหลายๆอุปกรณ์อยู่บนซิลิคอนเพียงชิ้นเดียว ซึ่งต่อมาเรียกอุปกรณ์ลักษณะนี้ว่า วงจรรวม (Integrated Circuit: IC) และด้วยวิธีการนี้จึงสามารถลดขนาด น้ำหนัก และราคาของวงจรรวมได้ หลังจากนั้นในปี ค.ศ. 1961 บริษัท แฟร์ชายด์ (Fairchild) และ เท็กซัส อินสตรูเมนท์ (Texas Instrument) เป็นสองบริษัทแรกที่ได้มีการผลิตวงจรรวมในเชิงพาณิชย์ จนในปัจจุบันสามารถสร้างวงจรหรือระบบที่ใช้อุปกรณ์หลายพันตัวได้ด้วยการสร้างบนผลึกซิลิคอนชิป (Chip) เพียงชิ้นเดียว ด้วยเทคโนโลยีที่พัฒนาทั้งการออกแบบวงจรรวมที่เชื่อถือได้มากขึ้นจากการใช้คอมพิวเตอร์ช่วยในการออกแบบ และการพัฒนากระบวนการสร้าง ซึ่งทำให้อุปกรณ์มีขนาดเล็กลง มีจำนวนของอุปกรณ์ต่อชิปเพิ่มขึ้น และสามารถสร้างวงจรรวมที่ซับซ้อนมากขึ้น ดังแสดงในตารางที่ 1.1 ซึ่งเห็นได้ว่าเทคโนโลยีการสร้างวงจรรวม มีแนวโน้มระดับขนาดและจำนวนของอุปกรณ์บนวงจรรวมที่เพิ่มมากขึ้น

ตารางที่ 1.1 ระดับขนาดและจำนวนของอุปกรณ์บนวงจรรวม

ระดับของวงจรรวม	จำนวนอุปกรณ์ที่สร้างบนชิป
Small-scale integration : SSI	2 ถึง 50 ตัว
Medium-scale integration : MSI	50 ถึง 5,000 ตัว
Large-scale integration : LSI	5,000 ถึง 100,000 ตัว
Very Large-scale integration : VLSI	100,000 ถึง 10,000,000 ตัว
Ultra Large-scale integration : ULSI	10,000,000 ถึง 1,000,000,000 ตัว
Super Large-scale integration: SLSI	มากกว่า 1,000,000,000 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ทำซ้ำ ดัดแปลง เผยแพร่ หรือแสวงหาผลประโยชน์ทางการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกระบวนการสร้างวงจรรวมสารกึ่งตัวนำ มีอุปกรณ์หลายล้านตัวถูกสร้างพร้อมๆกันในกระบวนการที่ซับซ้อนหลายขั้นตอนบนแผ่นซิลิคอน จากนั้นแผ่นซิลิคอนจะถูกนำมาทดสอบการทำงานของแต่ละชิป ขั้นตอนการประกอบชิปที่ผ่านการทดสอบแล้วบรรจุลงบนตัวถัง และการทดสอบขั้นสุดท้ายในรูปของชิ้นงาน และส่งชิ้นงานที่ผ่านการทดสอบสู่ตลาด

วงจรรวมในปัจจุบันมีความซับซ้อนมากขึ้นจากการลดขนาดของอุปกรณ์ และการเพิ่มชั้น (Layer) ของแต่ละชิป ดังนั้นแผ่นซิลิคอนจะต้องผ่านขั้นตอนในกระบวนการผลิตมากมาย จนกระทั่งเสร็จสมบูรณ์ แต่เนื่องจากกระบวนการผลิตไม่สามารถควบคุมเงื่อนไขได้ทั้งหมด จึงเกิดสิ่งที่ไม่ต้องการขึ้นในกระบวนการผลิต ทำให้เกิดความไม่สมบูรณ์ขึ้นในแผ่นซิลิคอน ความไม่สมบูรณ์หรือความบกพร่องเหล่านั้น ทำให้วงจรรวมไม่สามารถใช้งานได้ หรือทำงานได้ไม่ตรงตามเงื่อนไขการทำงานของวงจรที่ต้องการ

ในการทดสอบคุณสมบัติของวงจรรวม แบ่งเป็น 3 ระดับ โดยในระดับแรกเป็นการวัดคุณสมบัติต่างๆซึ่งต้องรวดเร็วพอที่จะสามารถกลับไปตรวจสอบกระบวนการผลิตในขณะนั้นได้ ตัวแปรที่วัดอาจเป็นคุณสมบัติของแผ่นซิลิคอน เช่น ค่าความต้านทานจากการยิงฝังประจุ หรือจากตัวอุปกรณ์ เช่น แรงดันขีดเริ่มของมอสทรานซิสเตอร์แต่ละตัว ซึ่งผลลัพธ์ที่วัดได้จากการทดสอบระดับแรก แสดงให้เห็นได้จาก จำนวนของแผ่นซิลิคอนที่ผ่านการทดสอบตามเงื่อนไข หรือหมายถึงร้อยละของผลผลิตจากกระบวนการผลิต การทดสอบในระดับที่สอง เป็นการทดสอบทางไฟฟ้าของแต่ละอุปกรณ์บนแผ่นซิลิคอน โดยทดสอบการทำงานตามเงื่อนไขการทำงานของวงจร ซึ่งทำหลังจากที่ผ่านกระบวนการสร้างมาแล้ว เพื่อกำจัดตัวชิปที่มีแนวโน้มที่ไม่สมบูรณ์ออก และระดับสุดท้าย เป็นการทดสอบกับวงจรรวมที่ถูกบรรจุในตัวถังเรียบร้อยแล้ว ซึ่งการทดสอบที่ระดับนี้เพื่อให้แน่ใจว่าวงจรรวมทุกตัวผ่านเงื่อนไขตามข้อกำหนดของลูกค้า

ในอุปกรณ์สารกึ่งตัวนำโดยเฉพาะรอยต่อพีเอ็น ซึ่งในการทดสอบหาค่าความบกพร่องที่เกิดขึ้น มีตั้งแต่การหาค่าความเก็บประจุไฟฟ้า การวัดค่ากระแส การวัดค่าประจุ จนถึงการวัดแบบ Deep Level Transient Spectroscopy (DLTS) ที่ใช้ในการศึกษาหาความบกพร่องที่อยู่ในชั้นปลอดพาหะ

ในกระบวนการทดสอบวงจรรวม มีการคาดหวังค่าผลผลิตที่ได้จากการสร้างเท่ากับ 100% ซึ่งหมายความว่าชิปทุกตัวสามารถทำงานได้ โดยค่าผลผลิต (Yield) คืออัตราส่วนของจำนวนชิปที่ผ่านการทดสอบการทำงานตามเงื่อนไขของวงจร เทียบกับจำนวนชิปทั้งหมดบนแผ่นซิลิคอนนั้นๆ ดังนั้นผู้ผลิตอุปกรณ์สารกึ่งตัวนำจึงมักนำค่าผลผลิตมาเป็นตัวแปรหนึ่งที่ใช้ควบคุมกระบวนการผลิตเพื่อให้ได้มาตรฐานเดียวกัน

จากความเป็นมาและความสำคัญของปัญหาที่ได้กล่าวมาข้างต้น เมื่อศึกษาค้นคว้าปัจจัยที่เกี่ยวข้องพบว่า มีการศึกษาในประเด็นของการหาค่าผลผลิตของวงจรรวมจากกระบวนการสร้างในหลายแนวทาง ทั้งการหาค่าผลผลิตตั้งแต่ในรูปแบบของแผ่นซิลิคอน ไปจนถึงค่าผลผลิตในตัวถังที่บรรจุแล้ว ผู้วิจัยเห็นว่าปัญหานี้เป็นปัญหาหนึ่งที่มีผลกระทบต่อคุณภาพของกระบวนการผลิตวงจรรวมที่มีความสำคัญ ซึ่งสามารถแก้ไข และพัฒนาต่อไปได้ ในการวิจัยนี้จึงได้กำหนดปัญหาและค้นคว้าทบทวนวรรณกรรมที่เกี่ยวข้อง เพื่อหาแนวคิดในการหาค่าผลผลิตจากการวิเคราะห์หาความบกพร่องด้วยวิธีอนุพันธ์ ร่วมกับการใช้แบบจำลองค่าผลผลิต (Yield Model) ในรูปแบบต่างๆ เพื่อตรวจสอบความสอดคล้องกันระหว่างค่าผลผลิตของแผ่นซิลิคอนทั้งแผ่น และค่าผลผลิตของแผ่นซิลิคอนที่ได้จากการคำนวณในรูปแบบต่างๆ โครงการวิจัยนี้นำเสนอวิธีการทดสอบค่าคุณสมบัติต่างๆของชิปที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตำแหน่งต่างๆของแผ่นซิลิคอนแบบสุ่ม จากนั้นนำมาคำนวณเพื่อคาดเดาค่าผลผลิตที่ได้ และเปรียบเทียบกับค่าผลผลิตที่ได้จริง

1.2 วัตถุประสงค์ของโครงการวิจัย

1. เพื่อศึกษาและปรับปรุงเทคนิคการวิเคราะห์ผลผลิตด้านความบกพร่องแบบสุ่มของอุปกรณ์อิเล็กทรอนิกส์บนแผ่นซิลิคอน
2. เพื่อพัฒนาองค์ความรู้จากงานวิจัยและพัฒนาสู่ภาคอุตสาหกรรม
3. เพื่อเผยแพร่ผลงานวิชาการสู่สังคม

1.3 ขอบเขตของโครงการวิจัย

1. ผลการวิเคราะห์ที่ได้เป็นงานวิจัยที่วิเคราะห์ผลเชิงคณิตศาสตร์และไม่มีการเปรียบเทียบผลที่ได้กับเครื่องจักรมาตรฐานด้วยเงื่อนไขด้านการเงินและเวลา แต่โครงการวิจัยนี้มุ่งเน้นที่การประยุกต์ใช้ผลงานวิจัยเพื่อการทดลองใช้จริง และก่อให้เกิดประโยชน์ทางด้านการพัฒนาอุตสาหกรรมอิเล็กทรอนิกส์ภายในประเทศ

2. กระบวนการสร้างอุปกรณ์: ใช้มาตรฐานกระบวนการสร้างแบบซีมอส 0.8 ไมโครเมตร ที่พัฒนาขึ้นโดยศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์

3. สถานที่: กระบวนการสร้างและการวัดคุณสมบัติของอุปกรณ์ ทำที่ศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ อำเภอบางน้ำเปรี้ยว จังหวัดฉะเชิงเทรา

4. ระยะเวลา: เริ่ม 1 ตุลาคม 2557 ถึง 30 กันยายน 2558

1.4 ระเบียบวิธีวิจัย

- ศึกษาและออกแบบต้นแบบลวดลายอุปกรณ์ เพื่อจัดทำกระจกมาส์กต้นแบบ
- ทำการสร้างอุปกรณ์ด้วยกระบวนการสร้างมาตรฐานของซีมอส
- นำอุปกรณ์ที่สร้างเสร็จมาวัดคุณสมบัติทางไฟฟ้า
- วิเคราะห์ผลจากการวัดคุณสมบัติทางไฟฟ้าของอุปกรณ์
- สรุปผลการวิเคราะห์และเผยแพร่ผลงานในรูปบทความทางวิชาการ
- จัดทำรายงานสรุปโครงการแก่คณะฯ

1.5 ประโยชน์ที่คาดว่าจะได้รับของโครงการวิจัย

ภายหลังจบโครงการวิจัย สิ่งที่คาดว่าจะได้มีดังนี้

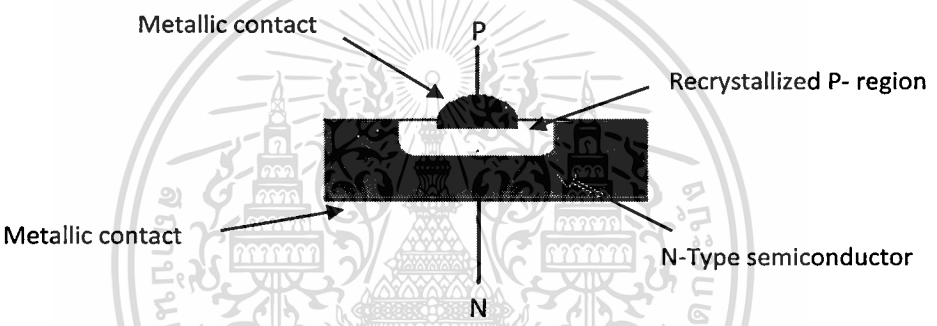
- มีเทคนิคการวิเคราะห์ผลผลิตด้านความบกพร่องแบบสุ่มของอุปกรณ์อิเล็กทรอนิกส์บนแผ่นซิลิคอน ซึ่งวิจัย และพัฒนาในประเทศ สามารถใช้ทดแทนเครื่องมือวิเคราะห์ราคาแพงจากต่างประเทศ
- เผยแพร่ผลงานในรูปแบบบทความฉบับสั้น (Short paper) ในวารสารวิชาการนานาชาติที่อยู่ใน ฐานข้อมูล ISI หรือ SJR หรือบทความในวารสารวิชาการนานาชาติที่ไม่อยู่ในฐานข้อมูล ISI หรือ SJR แต่ได้รับการยอมรับ เช่น Scopus หรือ TCI เป็นต้น อย่างน้อย 1 บทความ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการที่เกี่ยวข้อง

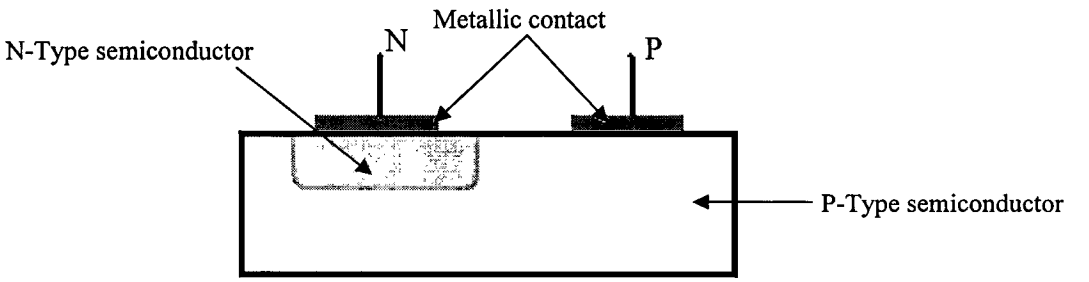
2.1 รอยต่อพีเอ็น

รอยต่อพีเอ็น (P-N Junction) หมายถึง รอยต่อระหว่างผลึกสารกึ่งตัวนำ ซึ่งด้านหนึ่งมีคุณสมบัติชนิดพี และอีกด้านหนึ่งมีคุณสมบัติชนิดเอ็น เป็นโครงสร้างพื้นฐานของอุปกรณ์สารกึ่งตัวนำเกือบทุกชนิด ลักษณะรอยต่อพีเอ็นในยุคแรก ใช้วิธีการแบบรอยต่อของโลหะผสม (Alloyed junction) โดยการใช้โลหะบางชนิดละลายเข้าสู่เนื้อสารกึ่งตัวนำชนิดเอ็น ทำให้บริเวณที่ละลายปนกันของโลหะกับสารชนิดเอ็นนั้นกลายเป็นบริเวณสารชนิดพี ดังรูปที่ 2.1 โลหะที่ทำหน้าที่เป็นขั้วพี ซึ่งบริเวณที่ละลายดังกล่าวภายหลังการตกผลึกใหม่ (Recrystallization) กลายเป็นบริเวณพีของรอยต่อพีเอ็น



รูปที่ 2.1 รอยต่อพีเอ็นแบบรอยต่อของโลหะผสม

ในปัจจุบัน ใช้วิธีการแพร่สารเจือภายใต้อุณหภูมิสูง เข้าสู่เนื้อสารเพื่อประดิษฐ์รอยต่อพีเอ็น ดังรูปที่ 2.2 ซึ่งเป็นการแพร่สารเจือปนเข้าสู่ก้อนสารกึ่งตัวนำชนิดพี จนกระทั่งทำให้บริเวณผิวกลายสภาพเป็นสารกึ่งตัวนำชนิดเอ็น และทำให้เกิดรอยต่อพีเอ็นขึ้นภายในเนื้อสารกึ่งตัวนำ

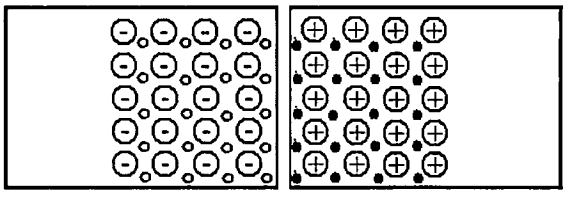


รูปที่ 2.2 รอยต่อพีเอ็นแบบวิธีการแพร่สารเจือ

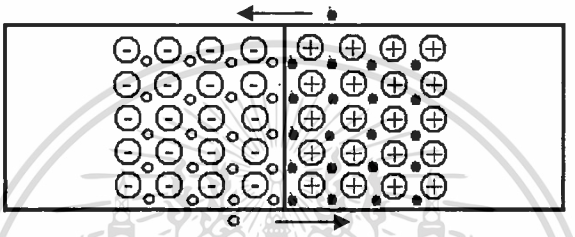
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1 คุณสมบัติรอยต่อพีเอ็นในภาวะสมดุล

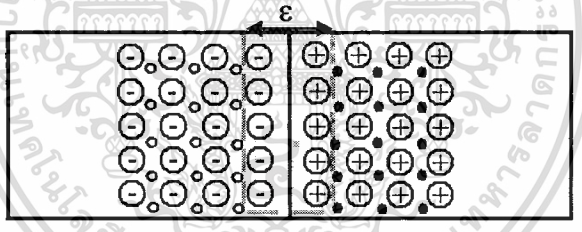
ในการพิจารณารอยต่อชนิดขั้นบันได สมมติการไหลของกระแสใน 1 มิติเฉพาะในทิศทางแกน x เท่านั้น ซึ่งกระแสมีทิศทางตั้งฉากกับพื้นที่หน้าตัดของรอยต่อที่มีขนาดสม่ำเสมอตลอดแนวแกน x โดยในความเป็นจริง ทิศทางการไหลของกระแสจะไปในทุกทิศทาง



ก. เนื้อสารกึ่งตัวนำชนิดพีและเอ็นก่อนเกิดรอยต่อพีเอ็น



ข. หลังจากเกิดรอยต่อพีเอ็น



ค. รอยต่อพีเอ็นในภาวะสมดุล

รูปที่ 2.3 ปรากฏการณ์ที่เกิดขึ้นของรอยต่อพีเอ็นในภาวะสมดุล

ในขณะที่รอยต่อพีเอ็นยังไม่ถูกสร้างขึ้น ซึ่งเนื้อสารกึ่งตัวนำชนิดพีและชนิดเอ็นแยกจากกันดังรูป 2.3ก โดยมีค่าความหนาแน่นของพาหะเท่ากับจำนวนไอออนที่ถูกไอออไนซ์ จึงทำให้แต่ละด้านมีสภาพเป็นกลางทางไฟฟ้า และเมื่อรอยต่อพีเอ็นถูกสร้างขึ้น เนื่องจากความหนาแน่นของพาหะทั้งสองไม่เท่ากัน ทำให้พาหะเคลื่อนที่แพร่ไปฝั่งตรงข้าม เพื่อให้พาหะทั้งสองด้านมีความหนาแน่นเท่ากันดังรูปที่ 2.3ข โดยการแพร่เกิดขึ้นที่บริเวณรอยต่อ ทำให้ไอออนอะตอมของผู้ให้ (Donor) และผู้รับ (Acceptor) แสดงประจุไฟฟ้าออกมา จึงทำให้เกิดสนามไฟฟ้าในรอยต่อที่เรียกว่า สนามไฟฟ้าภายใน (Built-in Electric Field) ดังรูปที่ 2.3ค ในช่วงแรก แรงจากสนามไฟฟ้ามีค่าน้อยกว่าแรงที่เกิดจากการแพร่ พาหะจึงสามารถข้ามรอยต่อได้ ทำให้สนามไฟฟ้าที่รอยต่อมีค่าเพิ่มขึ้นเรื่อยๆ ในขณะที่อัตราการแพร่มีค่าลดลง จนในที่สุด กระแสที่เกิดจากการแพร่ของพาหะ (Diffusion current) จะเท่ากับกระแสดริฟท์ของพาหะ (Drift current) หรือผลรวมของกระแสทั้งสองมีค่ารวมกันเป็นศูนย์ และเรียกสภาวะนี้ว่า ภาวะสมดุล (Equilibrium) โดยในบริเวณรอยต่อที่มีสนามไฟฟ้านั้นไม่มีพาหะปรากฏอยู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากผลของสนามไฟฟ้า จึงเรียกบริเวณนี้ว่า บริเวณปลอดพาหะ (Depletion region) และค่าความต่างศักย์ที่เกิดจากสนามไฟฟ้านี้เรียกว่า ศักย์ภายใน (Built-in potential - V_{bi}) โดยกระแสของโฮลในภาวะสมดุลสามารถอธิบายจากสมการ

$$J_{p(Diffusion)} + J_{p(Drift)} = 0 \tag{2.1}$$

และสำหรับกระแสของอิเล็กตรอน

$$J_{n(Diffusion)} + J_{n(Drift)} = 0 \tag{2.2}$$

หรือที่สภาวะสมดุล ผลลัพธ์รวมของกระแสโฮลและกระแสอิเล็กตรอน ที่ไหลข้ามรอยต่อมีค่าเท่ากับศูนย์ทั้งคู่ โดยสมการกระแสจากการแพร่ของโฮลจากทางด้านพีมีค่าเป็น

$$J_{p(Diffusion)} = -qD_p \frac{dp}{dx} \tag{2.3}$$

จากสนามไฟฟ้าที่รอยต่อที่เกิดขึ้น ทำให้เกิดกระแสดริฟท์ของโฮล

$$J_{p(Drift)} = pq\mu_p \tag{2.4}$$

ดังนั้นกระแสโฮลรวม หรือกระแสโฮลสุทธิที่ไหลผ่านรอยต่อคือ

$$\begin{aligned} J_p &= J_{p(Diffusion)} + J_{p(Drift)} \\ &= qD_p \frac{dp}{dx} - pq\mu_p \end{aligned} \tag{2.5}$$

และในกรณีของอิเล็กตรอนจากทางด้านเอ็น สามารถพิจารณาในทำนองเดียวกันกับกรณีของโฮล

$$\begin{aligned} J_n &= J_{n(Diffusion)} + J_{n(Drift)} \\ &= qD_n \frac{dn}{dx} + nq\mu_n \end{aligned} \tag{2.6}$$

โดยที่ $J_{p(Diffusion)}$ คือ ความหนาแน่นกระแสจากการแพร่ของโฮล (A/cm^2)

$J_{p(Drift)}$ คือ ความหนาแน่นกระแสจากผลของสนามไฟฟ้าของโฮล (A/cm^2)

$J_{n(Diffusion)}$ คือ ความหนาแน่นกระแสจากการแพร่ของอิเล็กตรอน (A/cm^2)

$J_{n(Drift)}$ คือ ความหนาแน่นกระแสจากผลของสนามไฟฟ้าจากอิเล็กตรอน (A/cm^2)

q คือ ประจุของพาหะ (1.62×10^{-19} คูลอมบ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

p, n คือ ความหนาแน่นของโฮล และอิเล็กตรอน (atoms/cm^3)

D_p, D_n คือ สัมประสิทธิ์การแพร่ของโฮล และอิเล็กตรอน ตามลำดับ (cm^2/s)

μ_p, μ_n คือ สภาพคล่องของโฮล และอิเล็กตรอน (cm^2/V-S)

ε คือ สนามไฟฟ้าภายในรอยต่อ (V/cm)

สำหรับสนามไฟฟ้าที่เกิดขึ้นในรอยต่อ การพิจารณาหาค่าสนามไฟฟ้าที่ตำแหน่งต่างๆบริเวณรอยต่อ สามารถหาได้โดยใช้ สมการปัวซอง ซึ่งแสดงความสัมพันธ์ระหว่างสนามไฟฟ้ากับความหนาแน่นของประจุไฟฟ้าที่ตำแหน่ง x ใดๆ โดยพิจารณาเพียง 1 มิติ จะได้

$$\frac{d\varepsilon(x)}{dx} = \frac{\rho(x)}{\varepsilon} = \frac{\rho(x)}{K_s \varepsilon_0} \tag{2.7}$$

โดยที่ $\varepsilon(x)$ คือ สนามไฟฟ้าที่ตำแหน่ง x ใดๆ

$\rho(x)$ คือ ความหนาแน่นของประจุไฟฟ้าที่ตำแหน่ง x ใดๆ

K_s คือ ค่าคงที่ไดอิเล็กตริกของสารกึ่งตัวนำ

ε_0 คือ ค่าเพอร์มิตติวิตี้ของสุญญากาศ

ε คือ ค่าเพอร์มิตติวิตี้ของสารกึ่งตัวนำ โดย $\varepsilon = K_s \varepsilon_0$

และเมื่อค่าสนามไฟฟ้าสูงสุด (ε_{max}) ที่ x= 0 จะได้

$$\varepsilon_{max} = -\frac{qN_A x_p}{\varepsilon} = -\frac{qN_D x_n}{\varepsilon} \tag{2.8}$$

สำหรับศักย์ไฟฟ้าภายในที่เกิดขึ้นในบริเวณรอยต่อที่ตำแหน่ง x ใดๆในบริเวณปลอดพาหะของรอยต่อในภาวะสมดุล สามารถพิจารณาได้จากสมการสนามไฟฟ้า

$$\varepsilon = -\frac{dV(x)}{dx}$$

$$V(x) = -\int \varepsilon(x)\,dx$$

$$\frac{qN_A x_p^2}{2\varepsilon} = V_{bi} - \frac{qN_D x_n^2}{2\varepsilon} \tag{2.9}$$

และความกว้างของชั้นปลอดพาหะมีค่าเป็น

$$W = \left[\frac{2\varepsilon}{q} \cdot \frac{kT}{q} \ln\left(\frac{N_A N_D}{n_i^2}\right) \cdot \left(\frac{1}{N_A} + \frac{1}{N_D}\right)\right]^{\frac{1}{2}} \tag{2.10}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ ε_{max} คือ ค่าสนามไฟฟ้าสูงสุด (V/cm)

N_A , N_D คือ ความเข้มข้นอะตอมสารเจือผู้รับ และผู้ให้ตามลำดับ (atom/cm^3)

x_p , x_n คือ ความกว้างชั้นปลอดพาหะในด้านพี และด้านเอ็นตามลำดับ (cm)

W คือ ความกว้างชั้นปลอดพาหะ (cm)

k คือ ค่าคงที่โบสต์มาน (8.62 x 10^{-5} eV/K)

T คือ อุณหภูมิองศาสมบูรณ์ (K)

n_i คือ ความหนาแน่นของประจุพาหะในสารกึ่งตัวนำบริสุทธิ์ (cm^{-3})

2.1.2 คุณสมบัติรอยต่อพีเอ็นขณะได้รับแรงดันไบอัสตรง

เมื่อรอยต่อพีเอ็นได้รับไบอัสตรง (Forward Bias) โดยให้ศักย์ไฟฟ้าด้านพีเป็นบวกเมื่อเทียบกับด้านเอ็น ถ้าแรงดันไฟฟ้าที่จ่ายให้มีค่าเท่ากับ V_A โดยแรงดันทั้งหมดตกคร่อมที่รอยต่อพีเอ็น และมีทิศทางที่ตรงกันข้ามกับศักย์ภายในที่รอยต่อ ทำให้เกิดการหักล้างของแรงดัน โดยศักย์ภายในมีค่าลดลงจากเดิมเป็น V_{bi} - V_A ทำให้โฮลส่วนหนึ่งจากด้านพี สามารถฉีดข้ามรอยต่อไปยังด้านเอ็น และอิเล็กตรอนส่วนหนึ่งจากด้านเอ็น สามารถฉีดข้ามรอยต่อไปยังด้านพี และผลจากที่มีพาหะข้ามรอยต่อจึงทำให้เกิดกระแสไฟฟ้าไหลในวงจรเรียกว่า กระแสไบอัสตรง (Forward Current) ซึ่งมีค่าเท่ากับกระแสของโฮลและอิเล็กตรอน และทำให้สนามไฟฟ้าที่รอยต่อ ความกว้างของบริเวณปลอดพาหะและประจุไฟฟ้าที่รอยต่อลดลงด้วย โดยมีค่าความกว้างของของบริเวณปลอดพาหะเป็น

$$W=\left[\frac{2\varepsilon}{q}\cdot\left(\frac{N_A+N_D}{N_AN_D}\right)\left(V_{bi}-V_A\right)\right]^{\frac{1}{2}} \tag{2.11}$$

การวิเคราะห์รอยต่อพีเอ็นในสภาวะไบอัสตรง พิจารณาจากพาหะที่ข้ามรอยต่อไปฝั่งตรงข้ามและกลายเป็นพาหะส่วนน้อย โดยปริมาณที่พาหะทั้งสองข้ามรอยต่อนั้นจะแปรผันอย่างเอกซ์โพเนนเชียลกับแรงดันไบอัสตรง ดังสมการที่ 2.12

$$\frac{p_{P0}}{p_{n0}}=e^{(qV_{bi}/kT)} \tag{2.12}$$

โดยที่ p_{p0} , p_{n0} คือ ความเข้มข้นของโฮลในเนื้อสารชนิดพี และชนิดเอ็นตามลำดับ (cm^{-3})

พิจารณาในกรณีของโฮลเมื่อได้รับแรงดันไบอัสตรง V_A

$$\frac{p_{p0}\left(-x_p\right)}{p_{n0}\left(x_n\right)}=e^{(q(V_{bi}-V_A)/kT)} \tag{2.13}$$

และจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$p(x_n) = p_{n0} e^{(qV_A/kT)} \tag{2.14}$$

เมื่อ $p(x_n)$ คือความหนาแน่นของโฮลที่ตำแหน่ง x_n ซึ่งเป็นขอบของบริเวณปลอดพาหะที่ติดกับด้านเอ็น เมื่อพิจารณาปริมาณของโฮลในส่วนที่เพิ่มขึ้น (Δp) ที่ตำแหน่ง x_n จะได้

$$\Delta p = p_{n0}\left(e^{qV_A/kT} - 1\right) \tag{2.15}$$

ในทำนองเดียวกัน กรณีของอิเล็กตรอนจะได้

$$n(-x_p) = n_{p0} e^{(qV_A/kT)} \tag{2.16}$$

เมื่อ $n(-x_p)$ คือความหนาแน่นของอิเล็กตรอนที่ตำแหน่ง x_p ซึ่งเป็นขอบของบริเวณปลอดพาหะที่ติดกับด้านพี เมื่อพิจารณาปริมาณของอิเล็กตรอนในส่วนที่เพิ่มขึ้น (Δn) ที่ตำแหน่ง x_p จะได้

$$\Delta n = n_{p0}\left(e^{qV_A/kT} - 1\right) \tag{2.17}$$

ซึ่งทั้งสองสมการ 2.14 และ 2.16 เรียกว่า สมการกฎของรอยต่อ (Law of Junction)

เนื่องจากการกระจายความหนาแน่นของพาหะซึ่งถูกฉีดข้ามรอยต่อ มีการกระจายอย่างไม่สม่ำเสมอ ดังนั้นความหนาแน่นกระแสการแพร่ของโฮลและอิเล็กตรอนหาได้จากสมการที่ 2.18 - 2.21

$$J_p(x') = q\frac{D_p}{L_p}\frac{n_i^2}{N_D}\left(e^{qV_A/kT} - 1\right)\cdot e^{-x'/L_p} \tag{2.18}$$

$$J_p(x = x_n) = J_p(x' = 0) = q\frac{D_p}{L_p}\frac{n_i^2}{N_D}\left(e^{qV_A/kT} - 1\right) \tag{2.19}$$

$$J_n(x'') = q\frac{D_n}{L_n}\frac{n_i^2}{N_A}\left(e^{qV_A/kT} - 1\right)\cdot e^{-x''/L_n} \tag{2.20}$$

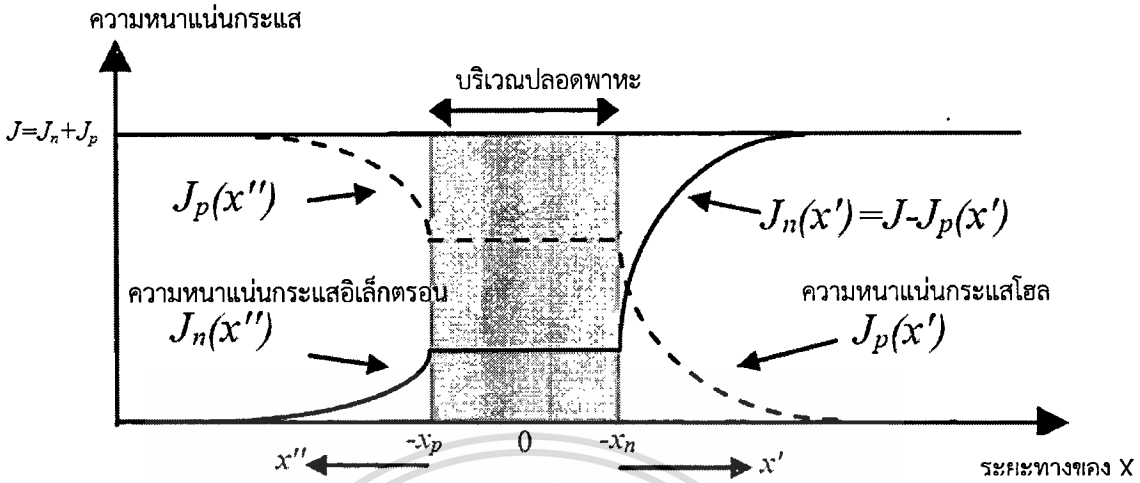
$$J_n(x = x_n) = J_n(x'' = 0) = q\frac{D_n}{L_n}\frac{n_i^2}{N_A}\left(e^{qV_A/kT} - 1\right) \tag{2.21}$$

โดยที่ J_p , J_n คือ ความหนาแน่นกระแสของโฮลและอิเล็กตรอนตามลำดับ (A/cm^2)

L_p , L_n คือ ระยะการแพร่ของโฮลและอิเล็กตรอนตามลำดับ (cm)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.4 แสดงให้เห็นถึงการเปลี่ยนแปลงความหนาแน่นกระแสของพาหะที่ตำแหน่งต่างๆ ในขณะได้รับไบอัสตรง



รูปที่ 2.4 การเปลี่ยนแปลงความหนาแน่นกระแสของพาหะที่ตำแหน่งต่างๆ ในขณะได้รับไบอัสตรง

ในช่วงบริเวณปลอดพาหะ ความหนาแน่นของกระแสโฮลและอิเล็กตรอนถูกพิจารณาว่ามีค่าคงที่ไม่เปลี่ยนแปลง ดังนั้นผลรวมของความหนาแน่นกระแสที่ไหลผ่านรอยต่อพีเอ็น (J) คือ ผลรวมของความหนาแน่นกระแสของอิเล็กตรอน และความหนาแน่นกระแสของโฮล ที่ไหลผ่านบริเวณปลอดพาหะ และสามารถเขียนเป็นผลรวมของความหนาแน่นกระแสได้ดังสมการที่ 2.22

$$J=J_n\left(-x_p\right)+J_p\left(x_n\right) \tag{2.22}$$

โดยสมการนี้มีค่าคงที่ทุกตำแหน่งภายในบริเวณปลอดพาหะของรอยต่อพีเอ็น ดังนั้นกระแสรวมทั้งหมด (I) ที่ไหลผ่านบริเวณปลอดพาหะของรอยต่อพีเอ็นจะมีค่าเป็น

$$I=AJ=qAn_i^2\left(\frac{D_n}{L_nN_A}+\frac{D_p}{L_pN_D}\right)\left(e^{qV_A/kT}-1\right) \tag{2.23}$$

$$I=I_0\left(e^{qV_A/kT}-1\right) \tag{2.24}$$

$$I_0=qAn_i^2\left(\frac{D_n}{L_nN_A}+\frac{D_p}{L_pN_D}\right) \tag{2.25}$$

โดยที่ A คือ พื้นที่หน้าตัดของรอยต่อพีเอ็น (cm^2)

I_0 คือ กระแสอิ่มตัวย้อนกลับ (A)

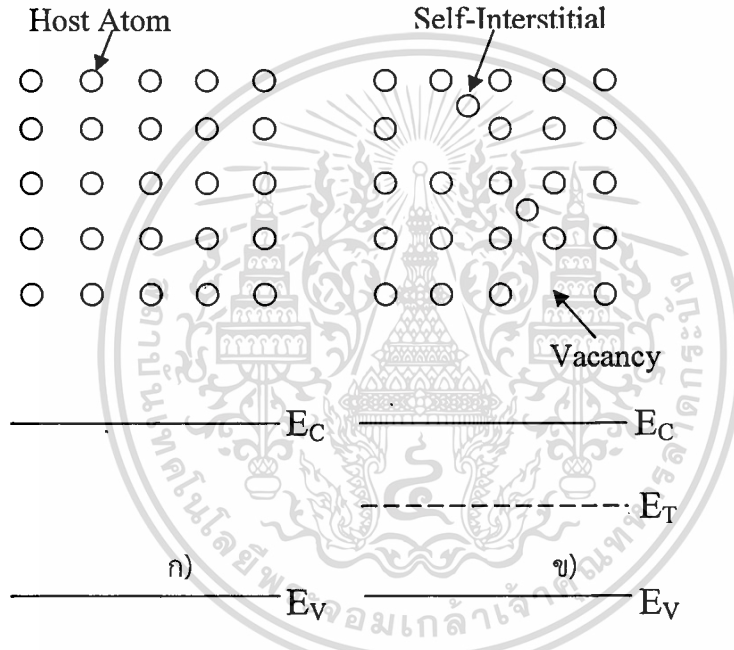
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งสมการที่ 2.24 นี้เรียกว่า สมการไดโอดในอุดมคติ (Ideal Diode's equation) หรือสมการของ ช็อคเลย์ (Shockley's Equation)

2.2 ความบกพร่องที่เกิดขึ้นในสารกึ่งตัวนำ

ในรูปแบบผลึกที่สมบูรณ์ดังรูปที่ 2.5ก อะตอมของสารตั้งต้นอยู่ในตำแหน่งที่เหมาะสมในผลึก และไม่มีอะตอมแปลกปลอมหรือโครงสร้างที่เกิดความบกพร่อง โดยไม่มีระดับพลังงานระหว่างแถบพลังงานวาเลนซ์และแถบพลังงานความนำไฟฟ้าในผลึกที่สมบูรณ์

แต่ในความเป็นจริงผลึกทั่วไปไม่มีรูปแบบเช่นนั้น โดยอาจมีผลมาจากอะตอมแปลกปลอมที่เกิดขึ้น หรือจากโครงสร้างผลึกที่ไม่สมบูรณ์ ซึ่งสามารถแสดงถึงรูปแบบอะตอมและระดับพลังงานที่เกิดขึ้นได้ดังรูป 2.5ข



รูปที่ 2.5 แผนภาพโครงสร้างอะตอมและระดับพลังงานของซิลิคอนโดย ก) ผลึกสมบูรณ์ และ ข) มีความบกพร่อง

กล่าวได้ว่าอุปกรณ์สารกึ่งตัวนำทุกชนิดมีความบกพร่อง โดยอาจเกิดจากอะตอมแปลกปลอมหรือความบกพร่องทางโครงสร้างของผลึก ในส่วนอะตอมของสารแปลกปลอมที่ตั้งใจทำให้เกิดอาจเรียกได้อีกอย่างว่า อะตอมของสารเจือ (ในกรณีเจือระดับต่ำ) หรือศูนย์กลางการรวมตัวใหม่ (ในการเจือระดับลึก) เพื่อลดค่าของช่วงชีวิตของพาหะในอุปกรณ์ หรือเพิ่มความต้านทานของฐานรอง ในบางครั้งสารแปลกปลอมที่ไม่ได้ตั้งใจให้เกิดนั้น อาจเกิดจากกระบวนการปลูกผลึกหรือกระบวนการผลิตอุปกรณ์สารกึ่งตัวนำ โดยรูปแบบของความบกพร่องนั้นสามารถแสดงให้เห็นดังรูปที่ 2.6 และสามารถแบ่งได้เป็น

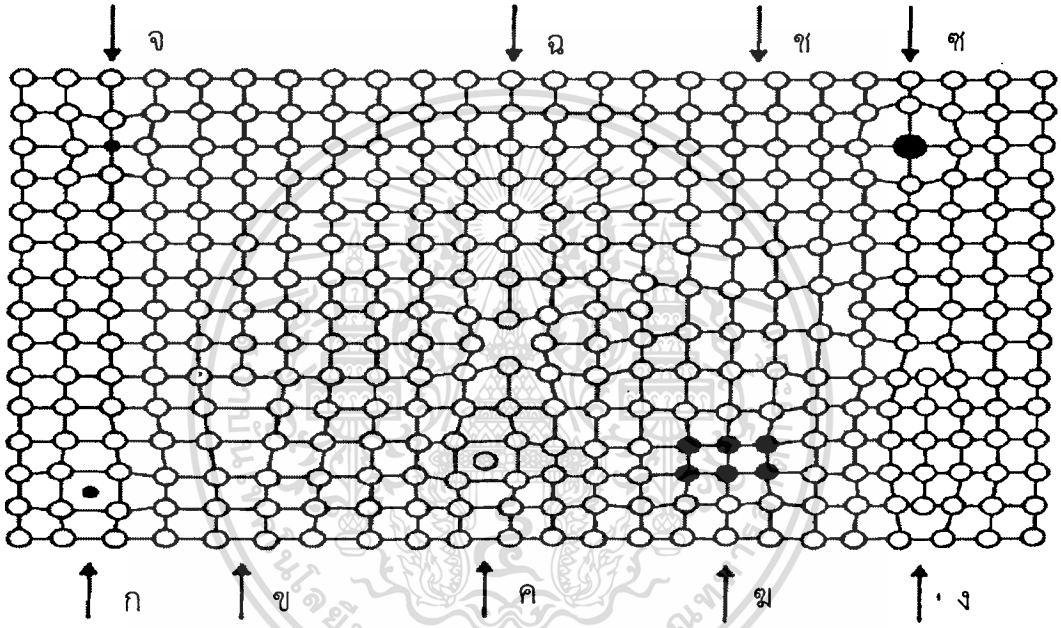
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.1 ความบกพร่องแบบจุด (Point Defects)

- อะตอมแปลกปลอมแทรกอยู่ระหว่างพันธะของอะตอมหลัก โดยไม่สร้างพันธะเพิ่ม (Foreign interstitials) : อะตอมของสารแปลกปลอมเข้าแทรกอยู่ระหว่างช่องว่างของอะตอมหลักมีผลทำให้โครงสร้างบิดเบี้ยว ดังรูปที่ 2.6ก.

- อะตอมของสารหลักแทรกอยู่ระหว่างพันธะ (Self- interstitials) : ในทำนองเดียวกับ Foreign interstitials แต่อะตอมที่ไปแทรกนั้นเป็นอะตอมหลักเอง ดังรูป 2.6ค.

- อะตอมแปลกปลอมไปแทนที่อะตอมหลัก (Foreign substitutionals) : อะตอมของสารแปลกปลอมเข้าไปแทนที่ของอะตอมเดิมในผลึก โดยอะตอมที่มาแทนที่มีขนาดใหญ่หรือเล็กกว่าอะตอมเดิม จะทำให้โครงสร้างของผลึกบิดเบี้ยว ดังรูป 2.6จ.



รูปที่ 2.6 ความบกพร่องในรูปแบบต่างๆ ก) Foreign interstitial ข) dislocation ค) self-interstitial ฆ) precipitate ง) extrinsic stacking faults จ) foreign substitutionals ฉ) vacancy ช) intrinsic stacking fault ซ) foreign substitutionals

- อะตอมพันธะว่างหรือขาดหายไป (Vacancies) : เกิดการสูญหายของอะตอมในโครงสร้าง หากขนาดของที่ว่างไม่เท่ากับขนาดของอะตอมที่หายไป อะตอมรอบๆเคลื่อนตัวเข้ามาใกล้กับที่ว่าง และทำให้โครงสร้างโครงสร้างบิดเบี้ยวไปจากเดิม ดังรูป 2.6ฉ.

2.2.2 ความบกพร่องแบบเส้น (line Defects)

- แถวของอะตอมขาดหายไปหลายๆอะตอมทำให้โครงสร้างผิดรูป (Dislocations) : มีการขาดหายของอะตอมซึ่งอะตอมเหล่านี้เรียงชิดเป็นแนวเส้น เกิดตำหนิเป็นแนวยาวและโครงสร้างบิดเบี้ยวไปจากแนวปกติ ดังรูปที่ 2.6ข.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.3 ความบกพร่องเชิงพื้นที่ (Area Defects)

- การที่ระนาบของอะตอมขาดหายไปทำให้การเรียงแถวของอะตอมไม่สมบูรณ์ (Stacking Faults) ดังรูป 2.6ง.

2.2.4 ความบกพร่องเชิงปริมาตร (Volume Defects)

- กลุ่มก้อนหรือตะกอนที่ไม่เกี่ยวข้องกันเข้าไปแทรกในโครงสร้างของผลึก (Precipitates) ดังรูป 2.6ฆ.

2.3 การก่อเกิดและการรวมตัวใหม่ของพาหะ

การก่อเกิดของพาหะ (Carrier Generation) หมายถึง กระบวนการซึ่งทำให้มีพาหะเกิดขึ้นใหม่ โดยจะเป็นการเกิดของคู่อิเล็กตรอน-โฮล

การรวมตัวใหม่ของพาหะ (Carrier Recombination) หมายถึง กระบวนการตรงข้ามหรือย้อนกลับกับการก่อเกิด เป็นการรวมตัวของอิเล็กตรอนอิสระกับโฮล ทำให้พาหะทั้งสองลดลงหรือหายไป

โดยกระบวนการทั้งสองนี้เกิดขึ้นในสารกึ่งตัวนำในเวลาเดียวกัน โดยในสภาวะสมดุลความร้อน อัตราการก่อเกิดและการรวมตัวใหม่ต้องมีค่าเท่ากัน ในกรณีที่สารกึ่งตัวนำนั้นถูกรบกวนจากพลังงานภายนอก ความหนาแน่นของพาหะเปลี่ยนแปลง และระบบพยายามกลับสู่ภาวะสมดุลโดยทำให้อัตราการรวมตัวใหม่มีค่ามากกว่าอัตราการก่อเกิด เมื่อระบบเข้าสู่สภาวะสมดุลแล้ว ค่าอัตราทั้งสองกลับมาเท่ากันอีกครั้ง

2.3.1 แผนภาพการก่อเกิดและการรวมตัวใหม่

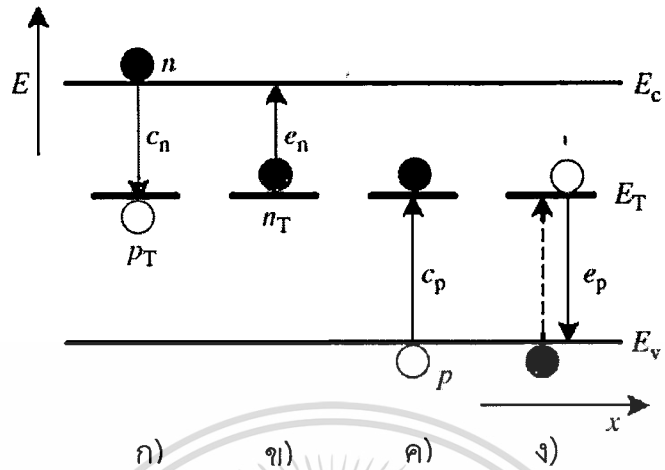
รูปแบบระดับพลังงานของผลึกที่สมบูรณ์ประกอบด้วยแถบวาเลนซ์และแถบความนำ ซึ่งถูกแยกด้วยช่องว่างพลังงานที่ไม่มีระดับพลังงานในช่องว่างนั้น เมื่อผลึกเชิงเดี่ยวถูกรบกวนด้วยอะตอมแปลกปลอมหรือความบกพร่องจากโครงสร้าง ทำให้เกิดระดับพลังงานต่างๆในช่องว่างพลังงาน ซึ่งแทนด้วยเส้น E_T ดังรูป 2.7 แต่ละเส้นแทนด้วยจุดบกพร่องแต่ละจุด ซึ่งอาจเรียกว่า ศูนย์กลางการก่อเกิดและการรวมตัวใหม่ หรือ แทรป (Trap) ซึ่งศูนย์กลางการก่อเกิดและการรวมตัวใหม่อยู่ในช่องว่างระดับพลังงาน และถูกเรียกว่าระดับพลังงานของสารเจือระดับลึก ซึ่งเป็นศูนย์กลางการรวมตัวใหม่เมื่อมีพาหะส่วนเกินในสารกึ่งตัวนำ และเป็นศูนย์กลางการก่อเกิดเมื่อความหนาแน่นของพาหะน้อยกว่าจุดสมดุลในบริเวณปลอดพาหะ

สำหรับสารกึ่งตัวนำชนิดผลึกเดี่ยว เช่น ซิลิคอน เยอรมาเนียม หรือแกลเลียมอาร์เซไนด์ สารเจือระดับลึกมักเป็นสารเจือโลหะ แต่ก็อาจเกิดจากความไม่สมบูรณ์ในผลึกด้วย ซึ่งเป็นสิ่งที่ไม่พึงประสงค์ แต่บางทีจะปรากฏในรูปแบบของค่าคุณสมบัติที่ต่างออกไป ในสารกึ่งตัวนำบางชนิดสารเจือในระดับลึกมีผลทำให้ค่าความต้านทานสูงขึ้น สำหรับผลึกสารกึ่งตัวนำที่ไม่มีรูปร่าง ความบกพร่องส่วนใหญ่จะเกิดจากความไม่สมบูรณ์ในโครงสร้างผลึก

พิจารณาสารเจือระดับลึกในรูปที่ 2.7 โดยมีศูนย์กลางการก่อเกิด-รวมตัวใหม่ E_T และความหนาแน่นของสารเจือ N_T ตัวต่อลบ.ซม. โดยมีอิเล็กตรอนจำนวน n ตัวในแถบความนำ และโฮล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำนวน p ตัวในแถบวาเลนซ์โดยสารเจือระดับต่ำ เพื่อแสดงถึงกระบวนการจับและการปล่อย กำหนดให้จุดศูนย์กลางจับอิเล็กตรอนจากแถบความนำดังรูป 2.7ก หลังจากที่อิเล็กตรอนถูก จับที่



รูปที่ 2.7 แผนภาพระดับพลังงานของสารกึ่งตัวนำที่มีสารเจือระดับลึก และกระบวนการจับและปล่อยของอิเล็กตรอน

ศูนย์กลาง สามารถปล่อยอิเล็กตรอนกลับไปที่แถบความนำดังรูป 2.7ข หรือจับโฮลจากแถบวาเลนซ์ ดังรูปที่ 2.7ค หลังจากสองเหตุการณ์นี้ ได้ศูนย์กลางที่มีโฮลหรือปล่อยโฮลกลับแถบวาเลนซ์ ดังรูป 2.7ง หรือจับอิเล็กตรอนดังรูป 2.7ก ซึ่งจะมีเพียง 4 เหตุการณ์ที่เกิดขึ้นระหว่างแถบความนำ ระดับพลังงานของสารเจือ และ แถบวาเลนซ์ สำหรับเหตุการณ์ดังรูป 2.7ง สามารถแสดงได้ว่า อิเล็กตรอนออกมาจากแถบวาเลนซ์ดังรูปลูกศรเส้นประ จากรูปกระบวนการรวมตัวใหม่เป็นไปตามรูปที่ 2.7ก และ 2.7ค และกระบวนการก่อเกิดจะเป็นไปตามรูปที่ 2.7ง และ 2.7ข

2.3.2 ช่วงชีวิตของการก่อเกิดและการรวมตัวใหม่

สามารถแบ่งค่าของช่วงชีวิตของพาหะได้ 2 ประเภทคือ ช่วงชีวิตการรวมตัวใหม่ (Recombination Lifetime) และช่วงชีวิตการก่อเกิด (Generation Lifetime)

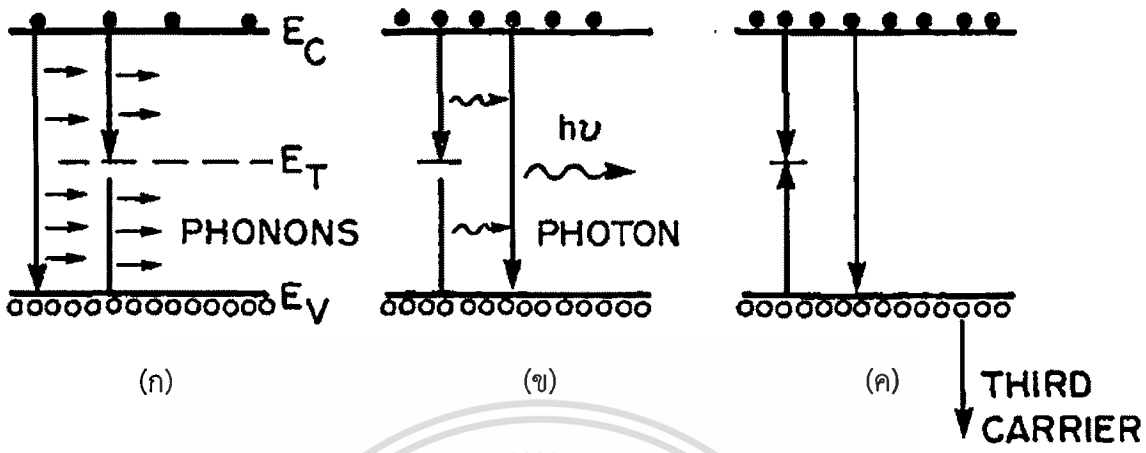
2.3.2.1 ช่วงชีวิตการรวมตัวใหม่

เป็นช่วงเวลาเฉลี่ยที่พาหะคู่อิเล็กตรอน-โฮล ส่วนเกินคงอยู่ โดยค่าช่วงชีวิตนี้กล่าวถึงช่วงชีวิตของพาหะส่วนน้อย เมื่อเกิดการรวมตัวใหม่ของพาหะส่วนน้อยในการฉีดระดับต่ำโดยที่ความหนาแน่นของพาหะส่วนน้อยมีค่าน้อยกว่าความหนาแน่นของพาหะส่วนมากที่ภาวะสมดุล สำหรับการฉีดระดับสูง เป็นการรวมตัวใหม่ของพาหะส่วนมากกับพาหะส่วนน้อย

การเกิดขึ้นของคู่อิเล็กตรอน-โฮลต้องใช้พลังงานเท่ากับช่องว่างพลังงาน เมื่อคู่พาหะส่วนเกินรวมตัวกันจะให้พลังงานกลับคืนในหลายรูปแบบ โดยมี 3 กลไก ดังรูปที่ 2.8 ในกลไกแรก พลังงานถูกออกมาในรูปของโฟนอน (Phonon) หรือการสั่นสะเทือนของแลททิซ ซึ่งแสดงดังลูกศรเล็ก โดย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เรียกกลไกดังกล่าวว่า การรวมตัวใหม่แบบมัลติโฟนอน (Multi-Phonon) ในการรวมตัวนี้เกิดจากการที่อิเล็กตรอนจากแถบความนำลงมารวมตัวกับโฮลที่แถบวาเลนซ์โดยตรง หรือที่ศูนย์กลางการรวมตัว ดังแสดงในรูปที่ 2.8ก



รูปที่ 2.8 กลไกกระบวนการรวมตัวใหม่ของพาหะส่วนเกิน โดย ก) การรวมตัวใหม่แบบมัลติโฟนอน ข) การรวมตัวใหม่แบบแผ่รังสี และ ค) การรวมตัวใหม่แบบโอเจร์

โดยจำนวนโฟนอนที่ใช้สำหรับการรวมตัวจากแถบพลังงานแบบไดเร็ก มีมากกว่าที่ใช้ในการรวมตัวระหว่างแถบความนำกับศูนย์กลางการรวมตัว แต่สุดท้ายแล้วพลังงานที่ใช้ทั้งสองจะมีค่าเท่ากัน โดยการรวมตัวที่ศูนย์กลางการรวมตัวมักเกิดในสารกึ่งตัวนำแบบอินไดเร็ก และการรวมตัวแบบนี้มีชื่ออีกอย่างว่า shockley-read-hall หรือ SRH โดยมีค่าเท่ากับ

$$\tau_{SRH} = \frac{\left[\tau_{p0}\left(n_0 + n_1 + \Delta n\right) + \tau_{n0}\left(p_0 + p_1 + \Delta p\right)\right]}{p_0 + n_0 + \Delta n} \tag{2.39}$$

โดยที่

$$\tau_{p0} = \frac{1}{\sigma_p v_p N_T} \tag{2.40}$$

$$\tau_{n0} = \frac{1}{\sigma_n v_n N_T} \tag{2.41}$$

σ_p และ σ_n เป็นค่า capture cross-section ของโฮล และอิเล็กตรอน ตามลำดับ ในทำนองเดียวกัน v_p และ v_n คือค่า thermal velocity ของโฮล และอิเล็กตรอน ตามลำดับ N_T คือค่าความเข้มข้นของศูนย์กลางการก่อเกิด-การรวมตัวใหม่ p_0, n_0 คือค่าความเข้มข้นของโฮลและอิเล็กตรอนที่ภาวะสมดุล และค่าของ p_1 และ n_1 หาได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$p_1 = n_i e^{\frac{-(E_T - E_i)}{kT}} \tag{2.42}$$

$$n_1 = n_i e^{\frac{(E_T - E_i)}{kT}} \tag{2.43}$$

โดย E_i คือระดับพลังงานเฟอร์มิของสารกึ่งตัวนำแบบบริสุทธิ์

ในกลไกที่สอง เมื่อพลังงานจากคู่อิเล็กตรอน-โฮล ถูกปล่อยออกมาเป็นโฟตอน ดังรูปที่ 2.8ข กลไกที่เกิดขึ้นเรียกว่า radiative recombination ซึ่งเกิดกับสารกึ่งตัวนำที่มีแถบพลังงานแบบไดเร็ก เช่น GaAs หรือสารอื่นๆที่นำมาสร้างไดโอดเปล่งแสง รวมถึง แสงเลเซอร์ โดยมีค่าช่วงชีวิตเป็น

$$\tau_{rad} = \frac{1}{B\left(p_0 + n_0 + \Delta n\right)} \tag{2.44}$$

โดย B คือ ค่าสัมประสิทธิ์การรวมตัวใหม่

รูปแบบที่สามของกระบวนการรวมตัวใหม่เป็นดังรูปที่ 2.8ค พลังงานจากคู่อิเล็กตรอน-โฮล ถูกถ่ายทอดไปให้อิเล็กตรอนตัวอื่นในแถบความนำหรือโฮลในแถบวาเลนซ์ ซึ่งเรียกกระบวนการนี้ว่า auger recombination โดยมีค่าช่วงชีวิตเป็น

$$\tau_{Auger} = \frac{1}{C_p\left(p_0^2 + 2p_0\Delta n + \Delta n^2\right) + C_n\left(n_0^2 + 2n_0\Delta n + \Delta n^2\right)} \tag{2.45}$$

โดยที่ C_p และ C_n เป็นค่าสัมประสิทธิ์ของการรวมตัวใหม่ของโฮลและอิเล็กตรอนตามลำดับ

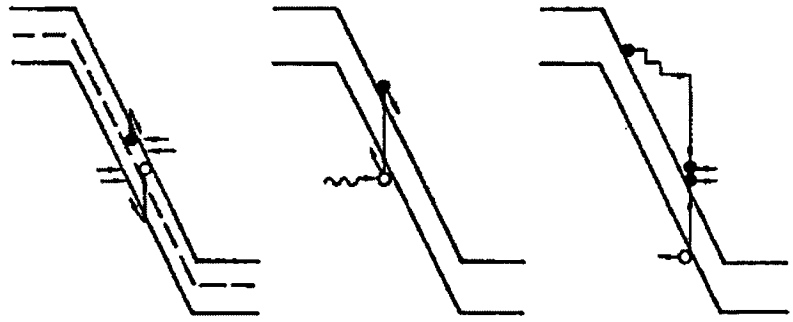
ดังนั้นช่วงชีวิตการรวมตัวใหม่ สามารถเขียนได้เป็น

$$\tau_r = \frac{1}{\frac{1}{\tau_{SRH}} + \frac{1}{\tau_{rad}} + \frac{1}{\tau_{Auger}}} \tag{2.46}$$

2.3.2.2 ช่วงชีวิตการก่อเกิด

จากรูปแบบของการรวมตัวใหม่ของพาหะที่ได้กล่าวไว้แล้ว พบว่ามีกระบวนการก่อเกิด ซึ่งเกิดขึ้นไปพร้อมกัน โดยรูปที่ 2.9 แสดงกระบวนการตรงข้ามกันกับการรวมตัวใหม่ ซึ่งการก่อเกิดโดยใช้กระบวนการกระตุ้นด้วยอุณหภูมิ ดังรูปที่ 2.9ก อิเล็กตรอนจะถูกกระตุ้นจากจุดศูนย์กลางการก่อเกิดและการรวมตัวใหม่ไปที่แถบความนำ และโฮลจะถูกกระตุ้นไปที่แถบวาเลนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) (ข) (ค)

รูปที่ 2.9 กลไกกระบวนการก่อเกิดโดย ก) การก่อเกิดโดยโฟนอน ข) การก่อเกิดโดยใช้พลังงานโฟตอน ค) การก่อเกิดเนื่องจากการชน

กระบวนการตรงข้ามของการรวมตัวใหม่ระหว่างระดับพลังงานคือ การดูดกลืนพลังงานโฟตอน เพื่อสร้างคู่อิเล็กตรอน-โฮล ดังรูปที่ 2.9ข ซึ่งเป็นกระบวนการในการสร้างโฟโตไดโอดหรือตัวนำทางแสง โดยเกิดคู่อิเล็กตรอน-โฮลจากโฟตอนที่มากระตุ้น ส่วนกระบวนการตรงกันข้ามของกระบวนการโอเจร์ เป็นการก่อเกิดเนื่องจากการชนในรูปที่ 2.9ค

โดยคุณลักษณะที่สำคัญในการก่อเกิดแบบ SRH คือ การกระตุ้นจากความร้อน ในขณะที่กระบวนการรวมตัวใหม่ไม่มีการกระตุ้นจากความร้อนเข้ามา โดยกระบวนการกระตุ้นด้วยพลังงานความร้อนขึ้นอยู่กับอุณหภูมิและพลังงานกระตุ้น โดยสามารถหาได้จากการคำนวณค่าอัตราการก่อเกิดแบบ SRH (G) ซึ่งทำให้เกิดคู่อิเล็กตรอน-โฮล ดังสมการ

$$G=\frac{n_i^2-pn}{\tau_{p0}\left(n+n_1\right)+\tau_{n0}\left(p+p_1\right)} \tag{2.47}$$

โดยที่ G มีค่าเป็นศูนย์ที่ภาวะสมดุล หรือ $n_i^2=pn$ เมื่อรอยต่อไม่อยู่ในภาวะสมดุลจะทำให้ $n_i^2>pn$ ซึ่งมีผลให้มีกระบวนการก่อเกิดขึ้น จากนั้นสร้างคู่อิเล็กตรอน-โฮลเพื่อให้เข้าสู่ภาวะสมดุล

ในกรณีที่มีการไบอัสกลับ ซึ่งมีผลทำให้ $n_i^2>pn$ สามารถเขียนอัตราการก่อเกิดได้เป็น

$$G\approx\frac{n_i^2}{\tau_{p0}n_1+\tau_{n0}p_1} \tag{2.48}$$

หรือ

$$G=\frac{n_i^2}{\tau_g} \tag{2.49}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ τ_g คือค่าช่วงชีวิตการก่อเกิด ซึ่งแสดงถึงค่าเฉลี่ยของเวลาที่เกิดคู่อิเล็กตรอน-โฮล โดยอ้างอิงจากสมการที่ 2.42 - 2.43 จะได้

$$\tau_g = \tau_{p0} \cdot e^{\left[\frac{(E_T - E_i)}{kT}\right]} + \tau_{n0} \cdot e^{\left[\frac{-(E_T - E_i)}{kT}\right]} \tag{2.50}$$

2.4 แบบจำลองค่าผลผลิต (Yield Model)

2.4.1 ค่าผลผลิต

ในการผลิตหรือสร้างวงจรรวม อุปกรณ์อิเล็กทรอนิกส์ชนิดสารกึ่งตัวนำจำนวนมากถูกสร้างขึ้นเป็นวงจรรวม ซึ่งถูกจัดกลุ่มอยู่ภายในพื้นที่ชิป และมีการทำงานเฉพาะอย่างในการนำไปใช้ในวงจรอิเล็กทรอนิกส์ตามที่ได้ออกแบบไว้ โอกาสที่อุปกรณ์อิเล็กทรอนิกส์ทุกตัวและจุดเชื่อมต่อทุกจุดนั้นจะทำงานได้อย่างปกติ ขึ้นอยู่กับการควบคุมกระบวนการผลิตสารกึ่งตัวนำ

ผู้ผลิตวงจรรวมชนิดสารกึ่งตัวนำที่ประสบความสำเร็จ ควรมุ่งเน้นและจัดการในเรื่องการควบคุมปัจจัยที่เกี่ยวข้องในกระบวนการผลิต ตัวอย่างเช่น เวลาที่ใช้ในหนึ่งรอบกระบวนการ (Cycle Time) อัตราของงานที่ต้องกลับมาทำซ้ำ (Rework Rate) การควบคุมกระบวนการเชิงสถิติ (Statistical Process Control : SPC) โดยหนึ่งในปัจจัยหลักที่สามารถนำมาวัดความสำเร็จของกระบวนการสร้างวงจรรวมชนิดสารกึ่งตัวนำ คือ ค่าผลผลิตหรือจำนวนชิปที่ทำงานได้ต่อจำนวนชิปทั้งหมดบนแผ่นซิลิคอนหนึ่งแผ่น

2.4.1.1 ความบกพร่องที่เด่นชัด

ค่าผลผลิตที่เด่นชัด โดยทั่วไปเกิดจากกระบวนการผลิตที่ผิดพลาด และทำให้ชิปบางส่วนที่อยู่บนแผ่นซิลิคอนนั้นไม่สามารถทำงานได้ ในการผลิตอุปกรณ์สารกึ่งตัวนำ เช่น ทรานซิสเตอร์ชนิดไบโพลาร์ หรือทรานซิสเตอร์ชนิดสนามไฟฟ้า ซึ่งเป็นหัวใจหลักในการผลิตวงจรรวม โดยคุณสมบัติของอุปกรณ์อิเล็กทรอนิกส์เหล่านี้ขึ้นอยู่กับกระบวนการสร้าง เช่น การแพร่สารเจือ การยิงฝังประจุ การปลูกผลึกซิลิคอน หรือแม้แต่กระบวนการสร้างชั้นฉนวน โดยที่ค่าเงื่อนไขในกระบวนการสร้างที่มากหรือน้อยเกินไป มีผลทำให้อุปกรณ์แสดงคุณสมบัติที่ไม่ถูกต้อง เช่น อัตราขยาย ค่าแรงดันพังทลาย ค่าความต้านทาน เป็นต้น อุปกรณ์อิเล็กทรอนิกส์ในวงจรรวมบนแผ่นซิลิคอนอาจเสียทั้งหมดหรือเสียเพียงบางส่วน เนื่องจากกระบวนการสร้างไม่ถูกต้องตามเงื่อนไข โดยความบกพร่องเหล่านี้ไม่ได้ทำให้เกิดความบกพร่องที่เป็นรูปแบบสุ่ม แต่มีผลต่อการทำงานของอุปกรณ์อย่างชัดเจน

2.4.1.2 ความบกพร่องแบบสุ่ม

การหาสาเหตุที่อุปกรณ์สารกึ่งตัวนำ เช่น ไดโอด ทรานซิสเตอร์ชนิดไบโพลาร์ และทรานซิสเตอร์ชนิดสนามไฟฟ้าไม่ทำงาน นิยมใช้การวิเคราะห์หาความบกพร่องของแต่ละตัว และนำมาหาค่าผลผลิตที่ได้ ซึ่งเป็นวิธีที่ใช้กันอยู่ถึงปัจจุบัน แต่วิธีนี้มีข้อจำกัดเมื่อการผลิตวงจรรวมในปัจจุบันมีความซับซ้อนมากขึ้น ผู้ผลิตสารกึ่งตัวนำจึงพยายามหาวิธีตรวจสอบ และนำข้อมูลที่ได้ไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประมาณค่าของผลผลิตที่ได้ และเนื่องจากรูปแบบของความบกพร่องแบบสุ่มนั้นมีความซับซ้อน จึงเป็นไปได้ยากที่สามารถตรวจสอบได้จากการตรวจสอบด้วยสายตา

ปัญหานี้ได้ถูกแก้ไขด้วยรูปแบบความบกพร่อง โดยบอกถึงความน่าจะเป็นที่ความบกพร่องนั้นมีผลเสียต่ออุปกรณ์ ซึ่งเรียกว่า ความน่าจะเป็นของความบกพร่อง (Probability of failure) โดยนำมาใช้ร่วมกับค่าจำนวนของความบกพร่อง เพื่อหาค่าความหนาแน่นของความบกพร่องเฉลี่ยต่อหนึ่งชิป รูปแบบของความบกพร่องแบบสุ่มนี้ สามารถแบ่งได้เป็นสองประเภท

2.4.1.2.1 ค่าเฉลี่ยของความบกพร่อง (Average of Defect)

ค่าเฉลี่ยของอุปกรณ์ที่เสียที่เกิดขึ้นจากความบกพร่องหรือความไม่สมบูรณ์ โดยรูปแบบที่นำมาใช้คำนวณค่าเฉลี่ยของความบกพร่องแสดงดังสมการ

$$\lambda = AD \tag{2.51}$$

โดยที่ λ คือค่าเฉลี่ยของความบกพร่องหรืออุปกรณ์ที่เสียต่อชิป ที่เกิดจากความไม่สมบูรณ์ A เป็นพื้นที่ของชิป และ D คือความหนาแน่นของความบกพร่อง ซึ่งมีหน่วยเป็นจำนวนความบกพร่องต่อหนึ่งหน่วยพื้นที่

2.4.1.2.2 ฟังก์ชันของแบบจำลองค่าผลผลิต

โดยทั่วไปแบบจำลองค่าผลผลิตเป็นฟังก์ชันของความหนาแน่นของความบกพร่องต่อหนึ่งหน่วยพื้นที่ (D) กับ พื้นที่ของชิป (A) ในบางครั้งอาจมีการเพิ่มค่าตัวคูณประกอบ C

$$Y = f(A, D, C) \tag{2.52}$$

จากค่าร้อยละของค่าผลผลิตสามารถคำนวณได้จาก การหาค่าอัตราส่วนของจำนวนชิ้นงานหรือชิปที่สามารถใช้งานได้กับจำนวนชิ้นงานทั้งหมด และยังสามารถคาดเดาได้จากความน่าจะเป็นที่ชิ้นงานนั้นไม่มีความบกพร่องจากโอกาสทั้งหมด ซึ่งวิธีนี้กล่าวถึงวิธีการใช้ความน่าจะเป็นและสถิติในการคาดเดาร้อยละของค่าผลผลิต โดยอ้างอิงการแจกแจงความน่าจะเป็นแบบทวินาม ปัวซอง สามเหลี่ยมหรือซิมป์สัน และแบบสี่เหลี่ยม

2.4.2 รูปแบบของการแจกแจงความน่าจะเป็น (Probability Distribution)

ในการทดลอง มีค่าตัวแปรที่ต้องการวัดซึ่งมีค่าไม่คงที่หรือเปลี่ยนแปลงไปในแต่ละการวัด เรียกว่า ตัวแปรสุ่ม ตัวอย่างของตัวแปรสุ่ม เช่น ค่ากระแสที่วัดได้ในลวดทองแดงจากการทดลอง โดยที่การแจกแจงความน่าจะเป็นของตัวแปรสุ่ม เป็นฟังก์ชันที่แสดงว่าตัวแปรสุ่มมีค่าเท่ากับ ค่าใดค่าหนึ่งใน Sample Space ด้วยความน่าจะเป็น

ซึ่งประเภทของการแจกแจง สามารถแบ่งเป็น 2 ชนิดตามชนิดของตัวแปรสุ่มคือ การแจกแจงแบบต่อเนื่อง และแบบไม่ต่อเนื่อง โดยมีรูปแบบต่างกันไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2.1 การแจกแจงแบบทวินาม (Binomial Distribution)

สมมติถ้ามีการโยนเหรียญ และให้ความน่าจะเป็นที่ได้ด้านหัว มีค่าเท่ากับ p และในทำนองเดียวกันให้ q เป็นความน่าจะเป็นของอีกกรณีหรือด้านก้อย เนื่องจากความน่าจะเป็นในการโยนเหรียญมีได้เพียง 2 ค่านี้เท่านั้น จึงสามารถเขียนเป็นสมการได้เป็น

$$p+q=1 \tag{2.53}$$

และในการโยนเหรียญหลายๆครั้งโดยความน่าจะเป็นที่จะได้ ด้านหัว หรือ ด้านก้อย อย่างน้อยหนึ่งครั้ง ยังมีค่าเท่าเดิม ดังนั้น

$$(p+q)^N=1 \tag{2.54}$$

หรืออีกนัยหนึ่ง $q=1-p$ ดังนั้นสมการที่ 2.54 สามารถเขียนได้เป็น

$$(p+q)^N=\sum_{k=0}^{N}\frac{N!}{k!(N-k)!}\cdot p^k(1-p)^{N-k} \tag{2.55}$$

ซึ่งเป็นสมการการแจกแจงความน่าจะเป็นแบบทวินาม เมื่อโยนเหรียญจำนวน N ครั้ง และได้จำนวนครั้งที่ออกหน้า หัว เป็น k โดยที่ k เป็นค่าจำนวนเต็มตั้งแต่ 0 ถึง N ดังนั้น ความน่าจะเป็นที่ได้จำนวนครั้งที่ออกหัว เป็น n และก้อย N-n ครั้งเป็น

$$P(n;N,p)=\frac{N!}{n!(N-n)!}\times p^n(1-p)^{N-n} \tag{2.56}$$

2.4.2.2 การแจกแจงแบบปัวซอง (Poisson Distribution)

สมมติให้เหตุการณ์ที่สนใจเกิดขึ้นตลอดช่วง (Interval) หรือพื้นที่ที่กำหนด ถ้าช่วงสามารถแบ่งได้เป็นช่วงย่อย (Subinterval) โดยที่

- ความน่าจะเป็นของเหตุการณ์ที่เกิดขึ้นมากกว่าหนึ่งเหตุการณ์ในช่วงย่อยๆนั้นเป็นศูนย์
- ความน่าจะเป็นของเหตุการณ์หนึ่งในแต่ละช่วงย่อยมีค่าเท่ากัน และเป็นสัดส่วนกันกับความยาวของช่วงนั้น และ
- การเกิดขึ้นของเหตุการณ์นั้นเป็นอิสระต่อกันในแต่ละช่วงย่อย

โดยเรียกกระบวนการแบบนี้ว่าเป็นกระบวนการแบบปัวซอง (Poisson Process) โดยถ้าค่าเฉลี่ยของเหตุการณ์นั้นหรือ λ มีค่ามากกว่า 0 ตัวแปรสุ่ม n หมายถึงจำนวนของเหตุการณ์ที่เกิดขึ้นในช่วงนั้น มีการแจกแจงแบบปัวซอง (Poisson distribution) โดยมีค่าเป็น

$$P(n;\lambda)=\frac{e^{-\lambda}\lambda^n}{n!} \tag{2.57}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2.3 การแจกแจงแบบปัวซองจากการประมาณค่าของการแจกแจงแบบทวินาม

จากตัวอย่างที่ได้กล่าวมาในการโยนเหรียญ เมื่อจำนวนในการทดสอบ(หรือโยน) N มีจำนวนมากครั้งและความน่าจะเป็นของ p มีค่าน้อยมาก และกำหนดให้

$$\lambda = Np \tag{2.58}$$

สมมติให้การโยนเหรียญทุกครั้งไม่ขึ้นด้านหัวเลย ซึ่งสามารถเขียนได้เป็น $(1-p)^N$ หรือ $P(0;N,p)$ ทำให้ได้

$$P(0;N,p)=\left(1-\frac{\lambda}{N}\right)^N \tag{2.59}$$

ทำการใส่ฟังก์ชันลอการิทึมทั้งสองฝั่ง และใช้อนุกรมเทย์เลอร์ (Taylor Series) เข้ามาแทนที่สมการที่ 2.59 มีค่าเป็น

$$ln\,P(0;N,p)=N\,ln\left(1-\frac{\lambda}{N}\right)=-\lambda-\frac{\lambda^2}{2N}-\ldots \tag{2.60}$$

เมื่อทราบว่า N มีค่าสูงมาก ดังนั้นค่าที่ตามมาในพจน์ที่สองเป็นต้นไปจึงมีค่าน้อยมาก และไม่นำมาคิด ทำให้ได้สมการ

$$P(0;N,p)\approx e^{-\lambda} \tag{2.61}$$

ซึ่งเป็นความน่าจะเป็นที่โยนเหรียญแล้วไม่ออกด้านหัว

ต่อมานำสมการ $P(0;N,p)$ ไปหารออกด้วยความน่าจะเป็น $P(n-1;N,p)$ และอ้างถึงสมการที่ 2.59 และ 2.61 จะได้

$$\frac{P(0;N,p)}{P(n-1;N,p)}=\frac{Np-(n-1)p}{n(1-p)}\approx\frac{\lambda}{n} \tag{2.62}$$

เมื่อ N มีค่ามากกว่า n มาก และ p มีค่าน้อยมากพอที่จะไม่นำมาคิด จากสมการนี้สามารถหาค่าความน่าจะเป็นที่ได้ ด้านหัว อย่างน้อย 1 ครั้งเป็น

$$P(1;N,p)=\frac{\lambda}{1!}P(0;N,p)=\lambda e^{-\lambda} \tag{2.63}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความน่าจะเป็นที่จะได้ ด้านหัว 2 ครั้งเป็น

$$P(2;N,p)=\frac{\lambda^2}{2!}e^{-\lambda} \tag{2.64}$$

และเมื่อ n ครั้ง

$$P(n;N,p)=\frac{\lambda^n}{n!}e^{-\lambda} \tag{2.65}$$

เป็นสมการของปัวซอง ซึ่งประมาณจากการแจงแจงความน่าจะเป็นแบบทวินาม โดยจำนวนของเหตุการณ์นั้นเกิดขึ้นแบบสุ่มและเหตุการณ์ที่เกิดขึ้นเป็นอิสระต่อกัน ความน่าจะเป็นที่จะได้จำนวนเหตุการณ์ n ในช่วงที่กำหนดคือ

$$P(n;\lambda)=\frac{\lambda^n}{n!}e^{-\lambda} \tag{2.66}$$

2.4.2.4 การแจกแจงแบบสามเหลี่ยมหรือซิมป์สัน (Simpson's Distribution)

เป็นรูปแบบการแจกแจงของความน่าจะเป็นที่มีการกระจายของข้อมูลเป็นรูปแบบสามเหลี่ยม ที่มีค่าอยู่ในช่วงของข้อมูลต่ำสุด a และสูงสุด b โดยมีค่าความน่าจะเป็นสูงสุดที่จุด m ซึ่งสามารถเสมือนแบบจำลองของการกระจายแบบปกติ โดยมีรูปแบบของสมการเป็น

$$P(x)=\begin{cases}\dfrac{2(x-a)}{(b-a)(m-a)} & ;\ a\le x\le m\\[2ex] \dfrac{2(b-x)}{(b-a)(b-m)} & ;\ m\le x\le b\\[2ex] 0 & ;\ otherwise\end{cases} \tag{2.67}$$

2.4.2.5 การแจกแจงแบบคงที่หรือสี่เหลี่ยม (Uniform Distribution)

เป็นรูปแบบการแจกแจงอย่างง่ายที่สุดรูปแบบหนึ่ง โดยมีการกระจายของข้อมูลเป็นรูปสี่เหลี่ยมผืนผ้า ที่มีความน่าจะเป็นของการเกิดเหตุการณ์เท่าๆกัน และมีการกำหนดช่วงของข้อมูลจากค่าต่ำสุด a ถึงค่าสูงสุด b ซึ่งพื้นที่ใต้กราฟหรือค่าความน่าจะเป็นทั้งหมดมีค่าเป็น 1 โดยมีรูปแบบของสมการเป็น

$$P(x)=\frac{1}{b-a} \tag{2.68}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2.6 การแจกแจงแบบปกติ (Normal Distribution)

เป็นรูปแบบการแจกแจงความน่าจะเป็นที่นิยมใช้ และเป็นที่ยอมรับอย่างกว้างขวาง ซึ่งได้จากการเก็บข้อมูลจำนวนหนึ่งหลายๆชุดข้อมูล โดยมีการกระจายของชุดข้อมูลทั้งหมดเป็นรูปกราฟระฆังคว่ำแบบสมมาตร (Bell Shape) โดยมีรูปแบบของสมการเป็น

$$P(x)=\frac{1}{\sqrt{2\pi\sigma}}e^{\frac{-(x-\mu)^2}{2\sigma^2}} \tag{2.69}$$

โดยที่ค่า μ และ σ^2 เป็นค่าเฉลี่ยและค่าความแปรปรวนของข้อมูลของตัวแปรสุ่ม x ตามลำดับ โดยสามารถแปลงข้อมูลเป็น การแจกแจงแบบเส้นโค้งปกติมาตรฐานของตัวแปรสุ่ม Z ที่มีค่าเฉลี่ยเป็น 0 และความแปรปรวนเป็น 1

2.4.3 แบบจำลองค่าผลผลิตที่ได้จากการแจกแจงความน่าจะเป็น

พิจารณาจากการแจกแจงความน่าจะเป็นของความหนาแน่นของความบกพร่องแต่ละรูปแบบในหัวข้อที่ 2.4.2 ที่กล่าวมา สามารถแบ่งได้เป็น

2.4.3.1 แบบจำลองค่าผลผลิตของปัวซอง (Poisson Yield Model)

จากการแจกแจงความน่าจะเป็นของปัวซอง เมื่อค่าความน่าจะเป็นของการพบความบกพร่องบนชิปมีค่าเท่ากันตลอดทั้งแผ่น จากสมการของการแจกแจงความน่าจะเป็นของปัวซอง จะได้

$$P(n;\lambda)=\frac{\lambda^n}{n!}e^{-\lambda} \tag{2.70}$$

โดยที่ $\lambda = AD$ เป็นค่าของความบกพร่องต่อชิปหนึ่งตัว D คือความหนาแน่นของความบกพร่อง และ A คือ พื้นที่ของชิป ดังนั้น ความน่าจะเป็นที่จะพบชิปที่ไม่มีความบกพร่อง หรือเปอร์เซ็นต์ของผลผลิต จะเป็น

$$Y=P(0;\lambda)=e^{-\lambda} \tag{2.71}$$

ซึ่งสมการดังกล่าวนี้เป็นแบบจำลองค่าผลผลิตของปัวซอง โดยมีสมมติฐานที่ว่าค่าความบกพร่อง D หรือ λ นั้นจะมีการกระจายอย่างสม่ำเสมอบนแผ่นซิลิคอนทั้งแผ่น และมีค่าคงที่ตลอดทุกแผ่นทุกกลุ่มที่ทำการผลิต

โดยแบบจำลองค่าผลผลิตของปัวซองเป็นที่นิยมในขณะที่พื้นที่ของชิปมีขนาดประมาณ 0.25 ตารางเซนติเมตร และพบว่ามีการเพิ่มตัวคูณประกอบเพื่อให้การใช้แบบจำลองค่าผลผลิตสมบูรณ์ยิ่งขึ้น แต่เมื่อขนาดพื้นที่ของชิปมีขนาดเพิ่มขึ้นเรื่อยๆ ทำให้พบข้อจำกัดในการใช้งานว่า เมื่อขนาดของพื้นที่มีค่ามากขึ้น หรือค่าของความหนาแน่นเฉลี่ยต่อชิปมีค่ามากกว่า 1 ($\lambda > 1$) ค่าร้อยละของค่าผลผลิตที่ได้จะมีค่าไม่แม่นยำ โดยจะคำนวณร้อยละของค่าผลผลิตได้ต่ำกว่าความเป็นจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.3.2 แบบจำลองค่าผลผลิตของปัวซองที่มีการปรับปรุง

จากแบบจำลองค่าผลผลิตของปัวซองในหัวข้อ 2.4.3.1 ที่มีการใช้งานและพบว่าได้ค่าผลผลิตต่ำกว่าความเป็นจริง ในปี 1964 เมอร์ฟี (B.T.Murphy) เสนอความคิดเห็นว่า ค่าความหนาแน่นของความบกพร่องมีค่าไม่คงที่ตลอดทั้งแผ่นซิลิคอน แต่มีการกระจายเป็นกลุ่มในบริเวณใดบริเวณหนึ่งบนแผ่นซิลิคอน และมีค่าต่างกันในแต่ละชุดการผลิต เพื่อคำนวณให้ได้ใกล้เคียงความเป็นจริง จึงได้นำรูปแบบสมการของปัวซองมาประกอบกับฟังก์ชันของการกระจายของความบกพร่อง $f(D)$ ทำให้ความน่าจะเป็นของการพบความบกพร่องบนชิป มีสมการเป็น

$$P(n;AD)=\int f(D)\frac{AD^n}{n!}e^{-AD}dD \tag{2.72}$$

ซึ่งทำให้แบบจำลองค่าผลผลิตเป็น

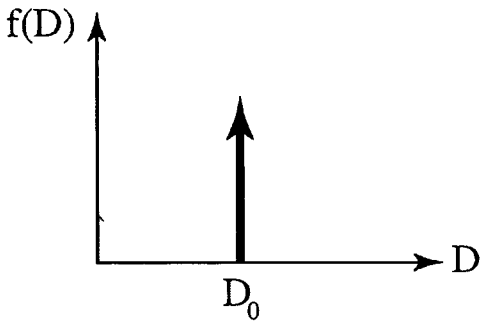
$$Y=P(0;AD)=\int f(D)e^{-AD}dD \tag{2.73}$$

จากสมการที่ 2.73 เมื่อพิจารณาฟังก์ชันของการกระจายของความบกพร่อง $f(D)$ เนื่องจากยังไม่ทราบรูปแบบของฟังก์ชันของการกระจายของความบกพร่อง จึงมีการสร้างสมมติฐานในรูปแบบต่างๆ โดยพบว่ามีผู้ที่พยายามนำเสนอฟังก์ชันนี้ในรูปแบบต่างๆกัน

2.4.3.3 แบบจำลองค่าผลผลิตจากการแจกแจงของเดลตาฟังก์ชัน

จากสมการที่ 2.72 เมื่อสมมติให้การกระจายของความบกพร่องนั้นเป็นแบบสุ่มและมีค่าคงที่ตลอดแผ่นซิลิคอน ดังนั้นค่าฟังก์ชันของความหนาแน่นของความบกพร่องสามารถมีค่าเดียวคือ D_0 ซึ่งเป็นค่าเฉลี่ยของความหนาแน่นของความบกพร่อง ในกรณีนี้ สามารถเขียนฟังก์ชันการกระจายความหนาแน่นของความบกพร่อง ($f(D)$) เป็น เดลตาฟังก์ชัน (Delta Function) ดังสมการที่ 2.74 และแสดงได้ดังรูปที่ 2.10

$$f(D)=\delta(D-D_0) \tag{2.74}$$



รูปที่ 2.10 เดลตาฟังก์ชัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

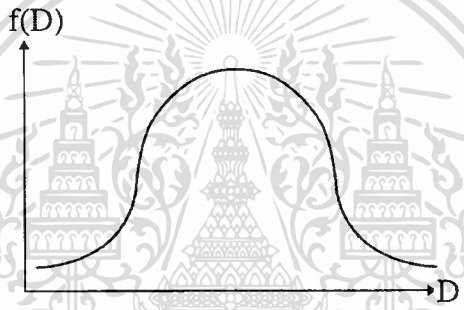
โดยเป็นฟังก์ชันที่มีค่าเพียงจุดเดียวที่ $D = D_0$ เท่านั้น จากนั้นนำสมการไปแทนค่า ทำให้ได้แบบจำลองค่าผลผลิตเป็น

$$Y = \int \delta(D - D_0) e^{-AD} dD = e^{-AD} \tag{2.75}$$

ซึ่งมีค่าเท่ากับแบบจำลองค่าผลผลิตของปัวซอง ดังที่ได้กล่าวไว้ในสมการที่ 2.71

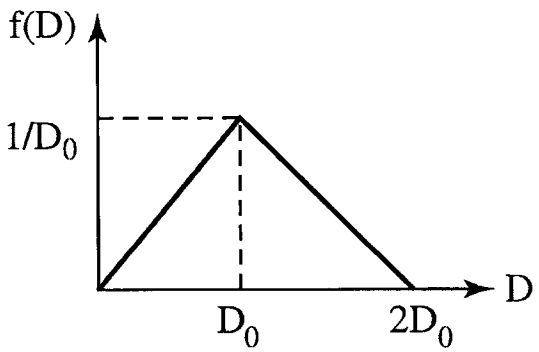
2.4.3.4 แบบจำลองค่าผลผลิตของเมอร์ฟีจากการแจกแจงแบบสามเหลี่ยม

จากการพิจารณาค่าฟังก์ชันความหนาแน่นของความบกพร่อง โดยเมอร์ฟีได้เสนอว่ารูปแบบของฟังก์ชันการกระจาย ควรใช้การกระจายแบบเส้นโค้งปกติหรือเกาส์เซียน (Gaussian distribution) ที่แผ่นซิลิคอนส่วนใหญ่มีค่าความหนาแน่นของความบกพร่องเท่ากับค่าเฉลี่ยของค่าความหนาแน่น และมีบางแผ่นมีค่าที่มากกว่าหรือน้อยกว่าค่าเฉลี่ยดังรูปที่ 2.11



รูปที่ 2.11 ฟังก์ชันของเกาส์เซียน

แต่พบว่าในการอินทิเกรตหรือปริพันธ์ของสมการเกาส์เซียนนั้น ไม่สามารถแก้สมการที่มีความซับซ้อนออกมาได้อย่างโดยง่าย จึงมีการประมาณฟังก์ชันดังกล่าวโดยใช้ฟังก์ชันการกระจายสามเหลี่ยมของซิมป์สันดังรูปที่ 2.12



รูปที่ 2.12 ฟังก์ชันของซิมป์สัน

ซึ่งสมการจากรูปที่ 2.12 มีค่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f(D) = \begin{cases} \dfrac{D}{D_0^2} & ; 0 \le D \le D_0 \\ \dfrac{1}{D_0}\left(2 - \dfrac{D}{D_0}\right) & ; D_0 \le D \le 2D_0 \\ 0 & ; elsewhere \end{cases} \quad (2.76)$$

ทำให้ได้แบบจำลองค่าผลผลิตจากการกระจายความหนาแน่นของความบกพร่องแบบสามเหลี่ยมเป็น

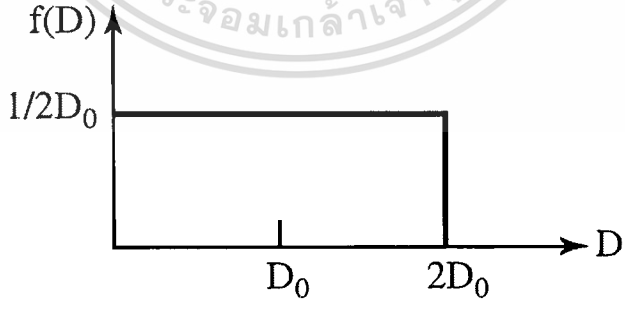
$$Y = \int_0^{D_0} \frac{D}{D_0^2} e^{-AD} dD + \int_{D_0}^{2D_0} \frac{1}{D_0}\left(2 - \frac{D}{D_0}\right) e^{-AD} dD$$

$$Y = \left(\frac{1 - e^{-AD_0}}{AD_0}\right)^2 \quad (2.77)$$

โดยสมการที่ 2.77 เป็นที่ยอมรับและใช้กันอย่างกว้างขวางในปัจจุบัน เพื่อตรวจสอบผลกระทบจากความหนาแน่นของความบกพร่องที่เกิดขึ้นในกระบวนการผลิต

2.4.3.3 แบบจำลองค่าผลผลิตของเมอร์ฟีจากการแจกแจงแบบคงที่หรือสี่เหลี่ยม

เมื่อกำหนดฟังก์ชันความหนาแน่นของความบกพร่อง เป็นรูปแบบการแจกแจงแบบคงที่หรือแบบสี่เหลี่ยมผืนผ้า โดยให้ความหนาแน่นของความบกพร่องนั้นกระจายแบบคงที่หรือมีค่าเท่าๆกันถึงค่า $2D_0$ โดยไม่มีค่าใดที่สูงกว่ากัน ดังรูปที่ 2.13 ซึ่งเป็นการประมาณค่าของเกาส์เซียนอย่างหยาบ



รูปที่ 2.13 ฟังก์ชันการแจกแจงแบบคงที่

ซึ่งมีการแจกแจงดังสมการ

$$f(D) = \begin{cases} \dfrac{1}{2D_0} & ; 0 \le D \le 2D_0 \\ 0 & ; elsewhere \end{cases} \quad (2.78)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำให้ได้แบบจำลองของค่าผลผลิตจากการกระจายความบกพร่องแบบคงที่เป็น

$$Y = \int_0^{2D_0} \frac{1}{2D_0} e^{-AD} dD$$

$$Y = \left(\frac{1 - e^{-2AD_0}}{2AD_0} \right) \qquad (2.79)$$

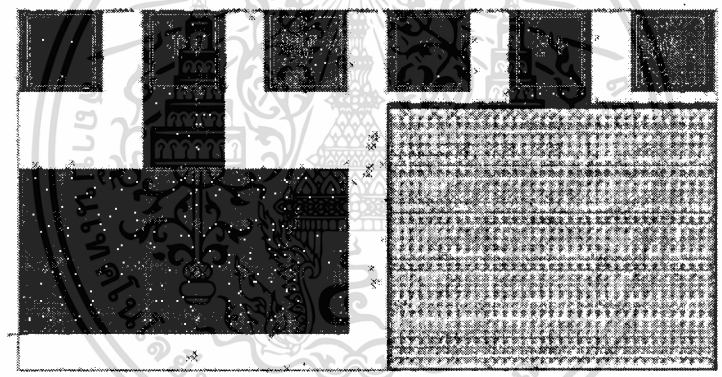
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
วิธีดำเนินการวิจัย

3.1 การออกแบบการทดลอง

การวิจัยครั้งนี้ใช้อุปกรณ์ไดโอดในการศึกษา โดยโครงสร้างไดโอดเมื่อแบ่งตามชนิดของรูปทรงเรขาคณิต มี 2 โครงสร้างได้แก่

- ไดโอดแบบพื้นที่กว้าง (Large Area Diode) มีรูปทรงเป็นพื้นที่สี่เหลี่ยมโดยมีพื้นที่ขนาดกว้าง 200 ไมโครเมตร ยาว 400 ไมโครเมตร และมีความยาวรอบรูปเป็น 1,200 ไมโครเมตร ดังแสดงดังรูปที่ 3.1 ก
- ไดโอดแบบคดเคี้ยว (Meander Diode) มีรูปทรงเป็นพื้นที่คดเคี้ยว มีพื้นที่ขนาดกว้าง 2 ไมโครเมตร ยาว 400 ไมโครเมตร จำนวน 100 แถบ ความยาวรอบรูป 80,400 ไมโครเมตร ดังแสดงในรูปที่ 3.1 ข



ก) ข)

รูปที่ 3.1 รูปทรงเรขาคณิตของไดโอดชนิด P^{+}-N_{well} ที่ใช้ในการทดลอง

3.2 กระบวนการสร้างอุปกรณ์อิเล็กทรอนิกส์ประเภทซีมอส

สำหรับอุปกรณ์ไดโอดที่ใช้ในการศึกษา ถูกสร้างขึ้นด้วยกระบวนการสร้างที่เป็นมาตรฐานสำหรับอุปกรณ์อิเล็กทรอนิกส์ประเภทซีมอสขนาด 0.8 ไมโครเมตร ที่ศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ โดยมีขั้นตอนดังนี้

1) สร้างแผ่นฐานรองซิลิคอนชนิดพี ระนาบ (100) พิกัดความต้านทาน 5 Ω-cm สร้างชั้นซิลิคอนไดออกไซด์หนา 25 นาโนเมตร
2) สร้างชั้นซิลิคอนไนไตรด์ หนา 150 นาโนเมตรบนชั้นซิลิคอนไดออกไซด์
3) ปิดช่องซิลิคอนไนไตรด์ เพื่อสร้างบริเวณบ่อแยกชนิดเอ็น จากนั้นทำการยิงฝังประจุฟอสฟอรัส ด้วยพลังงาน 140 กิโลอิเล็กตรอนโวลต์ ด้วยปริมาณของสารเจือ $7x10^{12}$ ion/cm^2
4) สร้างชั้นซิลิคอนไดออกไซด์ พร้อมขับลึกสารเจือฟอสฟอรัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5) สร้างชั้นซิลิคอนไนไตร์ต หนา 150 นาโนเมตร เพื่อเป็นพื้นที่สร้างอุปกรณ์
6) สร้างชั้นซิลิคอนไดออกไซด์หนา หนา 650 นาโนเมตร
7) สกัดชั้นซิลิคอนไนไตร์ตออก ทำการสร้างลวดลายน้ำยาไวแสง เพื่อกำหนดบริเวณที่จะสร้างขั้ว n+ หลังจากนั้นทำการยิงฝังประจุอาซินิค (As) ด้วยพลังงาน 50 กิโลอิเล็กตรอนโวลต์ ปริมาณสารเจือ $50x10^{15}$ ion/cm^2
8) ทำการสร้างลวดลายน้ำยาไวแสง เพื่อกำหนดบริเวณที่จะสร้างขั้ว p+ หลังจากนั้นทำการยิงฝังประจุโบรอน (B) ด้วยพลังงาน 40 กิโลอิเล็กตรอนโวลต์ ปริมาณสารเจือ $3x10^{15}$ ions/cm^2
9) สร้างชั้นซิลิคอนไดออกไซด์ พร้อมกับขับลึกสารเจืออาซินิคและสารเจือโบรอน
10) สร้างชั้นซิลิคอนไดออกไซด์ชนิด TEOS เพื่อเป็นฉนวนป้องกันอุปกรณ์
ทำการสร้างลวดลายน้ำยาไวแสง เพื่อกำหนดบริเวณที่จะสร้างช่องสำหรับขั้วโลหะ
11) ทำการสร้างชั้นโลหะ Ti/TiN และ AlCuSi ด้วยกระบวนการสปัตเตอริง
12) ทำการสร้างลวดลายน้ำยาไวแสง เพื่อกำหนดบริเวณที่จะสร้างขั้วโลหะและสกัดชั้นโลหะ Ti/TiN และ AlCuSi เพื่อให้ได้ลวดลายโลหะ

3.3 เครื่องมือและกระบวนการวัด

หลังจากที่เสร็จสิ้นจากกระบวนการสร้าง ทำการวัดคุณสมบัติทางไฟฟ้าของไดโอด ได้แก่ คุณสมบัติกระแส-แรงดัน และคุณสมบัติค่าความจุไฟฟ้า-แรงดัน ซึ่งวัดเฉพาะช่วงแรงดันไบอัสตรง โดยใช้เครื่องมือวิเคราะห์คุณสมบัติอุปกรณ์ของสารกึ่งตัวนำ (Semiconductor Device Analyzer) ของบริษัท Agilent Technologies รุ่น B1500A และตู้มืดพร้อมแท่นวัดคุณสมบัติของอุปกรณ์ (Black Box & Probe Station)

ในการวัดค่าคุณสมบัติกระแส-แรงดันของไดโอดที่มีรูปทรงเรขาคณิตแบบต่างๆกันบนแผ่นฐานรองซิลิคอน ทำโดยการให้ค่าแรงดันไบอัสตรงเป็นช่วง 0 ถึง 0.5 โวลต์ ช่วงละ 0.01 โวลต์ โดยที่จ่ายแรงดันให้กับบ่อแยกเอ็น และทำการวัดกระแสที่ขั้วพี ซึ่งควบคุมอุณหภูมิที่ 27 องศาเซลเซียส หรือ 300 เคลวิน (K) ในตู้มืดพร้อมกับแท่นวัดคุณสมบัติอุปกรณ์

สำหรับคุณสมบัติค่าความจุไฟฟ้า-แรงดัน กระทำกับไดโอดแบบเดียวกันด้วยความถี่ 100 กิโลเฮิรตซ์ ที่อุณหภูมิ 27 องศาเซลเซียส ความกว้างของชั้นปลอดพาหะของพื้นที่ในบ่อแยกชนิดเอ็นสามารถคำนวณหาค่าจากคุณสมบัติค่าความจุไฟฟ้า-แรงดัน

3.3 วิธีการวิเคราะห์ข้อมูลเชิงคณิตศาสตร์ที่เกี่ยวข้อง

3.3.1 การวิเคราะห์ค่าความหนาแน่นกระแสด้วยองค์ประกอบของกระแส

ในการหาค่าความหนาแน่นกระแสสามารถหาได้ด้วยการวิเคราะห์องค์ประกอบของกระแสรวมที่ได้จากอุปกรณ์ไดโอด ซึ่งข้อมูลทางรูปทรงเรขาคณิตของอุปกรณ์ไดโอด สามารถแสดงได้ดังตารางที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 ข้อมูลทางเรขาคณิตของไดโอดแบบพื้นที่กว้างและไดโอดแบบคดเคี้ยว

ประเภทของไดโอด	พื้นที่ (ตารางเซนติเมตร)	เส้นรอบรูป (เซนติเมตร)
แบบพื้นที่กว้าง	$8x10^{-4}$	0.12
แบบคดเคี้ยว	$8x10^{-4}$	8.04

องค์ประกอบรวมของกระแสรวมสำหรับไดโอดพื้นที่กว้าง $I_{(LA)}$ และไดโอดรูปคดเคี้ยว $I_{(ME)}$ แสดงได้ดังสมการที่ 3.1 และ 3.2

$$I_{(LA)} = I_{A(LA)} + I_{P(LA)} \tag{3.1}$$

$$I_{(ME)} = I_{A(ME)} + I_{P(ME)} \tag{3.2}$$

โดยที่ I_A คือกระแสทางด้านพื้นที่ และ I_P คือกระแสทางด้านเส้นรอบรูป จากสมการทั้ง 2 สามารถเปลี่ยนรูปใหม่ในรูปของความหนาแน่นกระแสดังสมการที่ 3.3 และ 3.4

$$I_{(LA)} = A_{LA}J_A + P_{LA}J_P \tag{3.3}$$

$$I_{(ME)} = A_{ME}J_A + P_{ME}J_P \tag{3.4}$$

โดยที่ J_A และ J_P คือค่าความหนาแน่นกระแสด้านพื้นที่และด้านเส้นรอบรูปของไดโอดตามลำดับ A_{LA} และ A_{ME} คือขนาดของพื้นที่ของไดโอดทั้งสองชนิด P_{LA} และ P_{ME} คือความยาวเส้นรอบรูปของไดโอดทั้งสองชนิด จากข้อมูลในตารางที่ 3.1 เราสามารถแทนค่าพื้นที่และความยาวเส้นรอบรูปของไดโอดในสมการที่ 3.3 และ 3.4 ตามลำดับ ทำให้ได้

$$I_{(LA)} = 8x10^{-4}J_A + 0.12J_P \tag{3.5}$$

$$I_{(ME)} = 8x10^{-4}J_A + 8.04J_P \tag{3.6}$$

ค่าความหนาแน่นกระแสด้านเส้นรอบรูปของไดโอด สามารถหาได้จากความสัมพันธ์ของสมการที่ 3.5 และ สมการที่ 3.6

$$J_P = \frac{(I_{ME} - I_{LA})}{7.92} \tag{3.7}$$

และค่าความหนาแน่นกระแสด้านพื้นที่ของไดโอด สามารถหาได้จากความสัมพันธ์ของสมการที่ 3.5 และสมการที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$J_A = \frac{\left(I_{LA} - 0.12J_P\right)}{8x10^{-4}} \tag{3.8}$$

3.3.2 การวิเคราะห์ค่าความหนาแน่นกระแสในเนื้อสารด้านพื้นที่

จากทฤษฎีของ Shockley-Read-Hall สำหรับการรวมตัวใหม่ระดับเดียว พบว่าอัตราการรวมตัวใหม่ แสดงดังสมการ

$$U = \frac{\sigma_p \sigma_n v_{th} N_T \left(pn - n_i^2\right)}{\sigma_n \left[n + n_i e^{\left(\frac{E_T - E_i}{kT}\right)}\right] + \sigma_p \left[p + n_i e^{\left(-\frac{E_T - E_i}{kT}\right)}\right]} \tag{3.9}$$

และ ผลคูณของพี-เอ็น เป็น

$$pn = n_i^2 e^{\left(\frac{q\left(\phi_p - \phi_n\right)}{kT}\right)} \tag{3.10}$$

$$n = n_i e^{\left(\frac{E_F - E_i}{kT}\right)} \equiv n_i e^{\left(\frac{\psi - \phi}{kT}\right)} \tag{3.11}$$

$$p = n_i e^{\left(\frac{E_i - E_F}{kT}\right)} \equiv n_i e^{\left(\frac{\phi - \psi}{kT}\right)} \tag{3.12}$$

โดยที่ ϕ_p และ ϕ_n เป็นระดับ quasi-fermi สำหรับอิเล็กตรอนและโฮลตามลำดับ

ในกรณีไบอัสตรง $\phi_p - \phi_n$, $pn > n_i^2$ และความแตกต่างศักย์ไฟฟ้าสถิตตกคร่อมรอยต่อ $V = \phi_p - \phi_n$

แทนค่าสมการที่ 3.10 ในสมการที่ 3.9 จะได้

$$U = \frac{\sigma_p \sigma_n v_{th} N_T n_i^2 \left(e^{\left(\frac{qV}{kT}\right)} - 1\right)}{\sigma_n \left[n + n_i e^{\left(\frac{E_T - E_i}{kT}\right)}\right] + \sigma_p \left[p + n_i e^{\left(-\frac{E_T - E_i}{kT}\right)}\right]} \tag{3.13}$$

เมื่อกำหนดให้ $\sigma_p = \sigma_n = \sigma$ และแทนค่า n และ p จากสมการที่ 3.11 และสมการที่ 3.12 ในสมการที่ 3.13 ทำให้อัตราการรวมตัวใหม่มีค่าเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$U=\frac{\sigma v_{th}N_T n_i^2\left(e^{\left(\frac{qV}{kT}\right)}-1\right)}{\left[e^{\left(\frac{q(\psi-\phi_n)}{kT}\right)}+e^{\left(\frac{q(\phi_p-\psi)}{kT}\right)}\right]+\left[e^{\left(\frac{E_T-E_i}{kT}\right)}+e^{\left(-\frac{E_T-E_i}{kT}\right)}\right]} \quad (3.14)$$

โดยค่าสูงสุดของอัตราการรวมตัวใหม่ในบริเวณปลอดพาหะ เมื่อ $2\psi=\phi_p+\phi_n$ และ $2\cosh(x)=e^x+e^{-x}$

และในกรณีของการฉีดพาหะในระดับต่ำ $\left(\tau_r\approx\tau_{SRH}(ll)\approx\tau_n=\frac{1}{\sigma v_{th}N_T}\right)$ ทำให้สมการที่ 3.14 เปลี่ยนเป็น

$$U=\frac{1}{2\tau_r}\frac{n_i\left(e^{\left(\frac{qV}{kT}\right)}-1\right)}{\left[e^{\left(\frac{qV}{2kT}\right)}+cosh\left(\frac{E_T-E_i}{kT}\right)\right]} \quad (3.15)$$

เมื่อพิจารณาขั้นตอนการก่อเกิด-การรวมตัวใหม่ของพาหะ กระแสจากแรงดันไบอัสตรงและไบอัสกลับ ไม่เพียงประกอบด้วยกระแสที่เกิดขึ้นเนื่องจากปรากฏการณ์ที่ศูนย์กลางการก่อเกิด-การรวมตัวใหม่ของพาหะ ซึ่งเป็นกระแสภายในความกว้างชั้นปลอดพาหะของเนื้อสาร โดยในกรณีกระแสจากแรงดันตรง เมื่อพิจารณากระแสการรวมตัวพบว่า

$$JrbA=\int_0^{W_A}qU\,dx \quad (3.16)$$

ดังนั้นค่าสูงสุดของความหนาแน่นกระแสการรวมตัวใหม่ในเนื้อสารด้านพื้นที่ (J_{rbA}) เป็น

$$J_{rbA}=\frac{qn_iW_A}{2\tau_r}\frac{\left(e^{\left(\frac{qV}{kT}\right)}-1\right)}{\left[e^{\left(\frac{qV}{2kT}\right)}+cosh\left(\frac{E_T-E_i}{kT}\right)\right]} \quad (3.17)$$

จากค่าอัตราส่วนของ τ_g/τ_r สำหรับการฉีดพาหะระดับต่ำ สามารถแสดงดังสมการที่ 3.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{\tau_g}{\tau_r} = 2\sqrt{\frac{\tau_{p0}}{\tau_{n0}}}\cosh\left[\left(\frac{E_T - E_i}{kT}\right) + 0.5ln\left(\frac{\tau_{p0}}{\tau_{n0}}\right)\right] \tag{3.18}$$

เมื่อค่า thermal velocity ของพาหะทั้งสองมีค่าเท่ากันทำให้ $\tau_{p0}/\tau_{n0} = \sigma_n/\sigma_p$ โดยทั่วไปค่าของ σ_n/σ_p มีค่าระหว่าง 0.01 – 100 ซึ่งทำให้อัตราส่วนของ τ_{p0}/τ_{n0} ในสมการที่ 3.18 มีผลน้อยมาก ดังนั้นสมการที่ 3.18 สามารถเขียนเป็นรูปอย่างง่ายดังสมการที่ 3.19

$$\frac{\tau_g}{\tau_r} \approx \cosh\left(\frac{E_T - E_i}{kT}\right) \tag{3.19}$$

โดยการแทนค่าสมการที่ 3.19 ลงในสมการที่ 3.17 ทำให้ได้

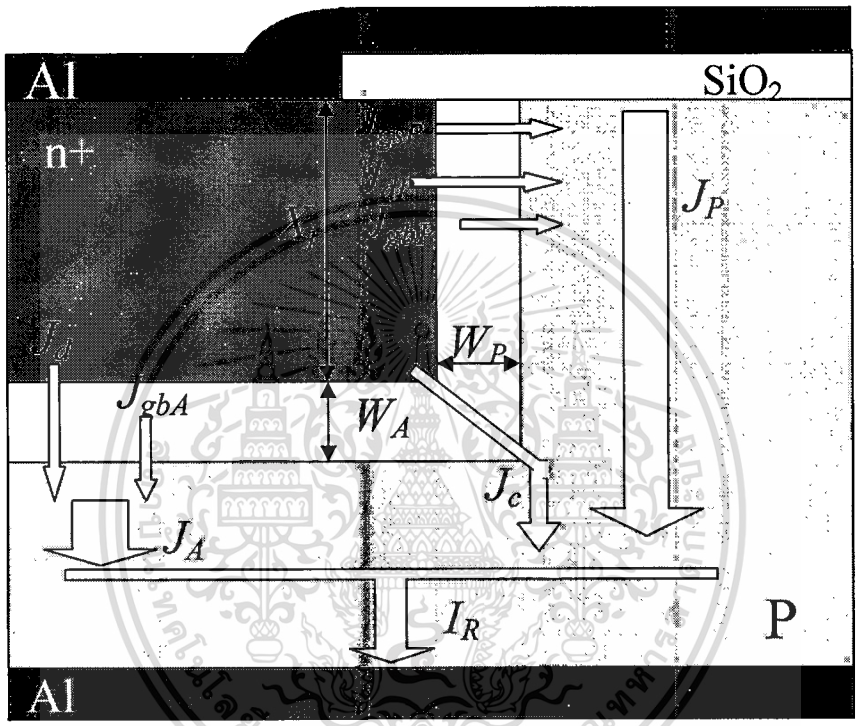
$$J_{rbA} = \frac{qn_iW_A}{2\tau_r e^{\left(\frac{qV}{2kT}\right)} + \tau_g}\left(e^{\left(\frac{qV}{kT}\right)} - 1\right) \tag{3.20}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4
ผลการทดลองและวิเคราะห์ผล

4.1 การวิเคราะห์องค์ประกอบของกระแสในไดโอด

ในการวิเคราะห์กระแสรั่วไหลที่ไหลผ่านรอยต่อของไดโอด สามารถพิจารณาได้จากรูปที่ 4.1



รูปที่ 4.1 องค์ประกอบของกระแสรั่วไหลในไดโอด

องค์ประกอบรวมของกระแสรั่วไหล (I_R) เกิดจากลักษณะการกระจายตัวทางกายภาพของกระแสในแต่ละส่วนที่ต่างกัน เช่น กระแสรั่วไหลด้านพื้นที่ (I_A) กระแสรั่วไหลด้านเส้นรอบรูป (I_P) กระแสรั่วไหลที่มุม (I_C) และกระแสรั่วไหลแฝง (I_{par}) ซึ่งสามารถเขียนในรูปสมการที่ 4.1

$$I_R = I_A + I_P + I_C + I_{Par} \tag{4.1}$$

แต่จากการวิเคราะห์พบว่า $I_A + I_P \square\ I_C + I_{Par}$ ดังนั้นสามารถเขียนสมการที่ 4.1 ใหม่เป็น

$$I_R = I_A + I_P \tag{4.2}$$

หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_R = AJ_A + PJ_P \tag{4.3}$$

โดยที่ J_A เป็นค่าความหนาแน่นของกระแสด้านพื้นที่โดยเป็นสัดส่วนกับพื้นที่ J_P เป็นค่าความหนาแน่นของกระแสด้านเส้นรอบรูปที่เป็นสัดส่วนกับเส้นรอบรูป ซึ่งสามารถแยกองค์ประกอบย่อยเป็น ความหนาแน่นกระแสการก่อเกิดด้านพื้นที่ (J_{gA}) ความหนาแน่นกระแสการก่อเกิดด้านเส้นรอบรูป (J_{gP}) ความหนาแน่นกระแสการแพร่ด้านพื้นที่ (J_{dA}) ความหนาแน่นกระแสการแพร่ด้านเส้นรอบวง (J_{dP}) ความหนาแน่นกระแสการก่อเกิดที่พื้นผิวด้านเส้นรอบรูป (J_{rA}) ดังสมการ

$$J_A = J_{gA} + J_{dA} \tag{4.4}$$

$$J_P = J_{gP} + J_{dP} + J_{gsP} \tag{4.5}$$

รูปที่ 4.2 องค์ประกอบของกระแสรั่วไหลในไดโอดในเงื่อนไขไบอัสตรง

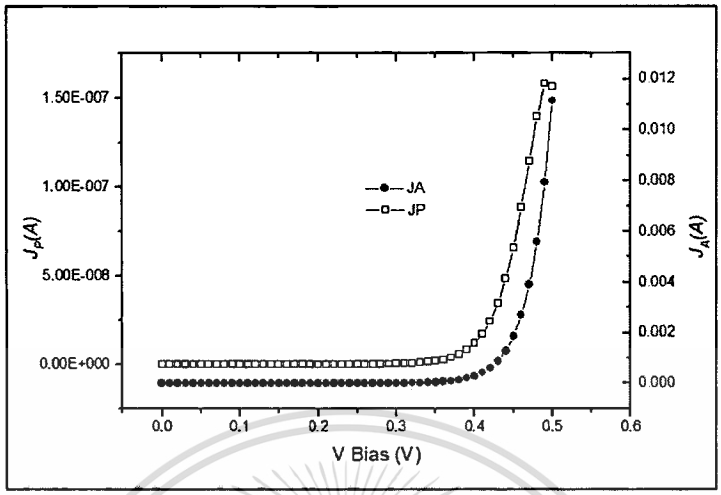
ในการวิเคราะห์กระแสที่ไหลผ่านรอยต่อของไดโอดภายใต้เงื่อนไขการไบอัสตรง ดังรูปที่ 4.2 ซึ่งเป็นองค์ประกอบกระแสการรวมตัวใหม่ ทำให้ J_{gA} J_{gP} เปลี่ยนรูปใหม่เป็น J_{rA} J_{rP} ตามลำดับ ซึ่ง J_{rA} เป็นความหนาแน่นกระแสการรวมตัวใหม่ด้านพื้นที่ และ J_{rP} เป็นความหนาแน่นกระแสการรวมตัวใหม่ด้านเส้นรอบวง ดังนั้น สมการที่ 4.4 และ 4.5 สามารถเขียนใหม่ภายใต้เงื่อนไขของการไบอัสตรงได้เป็น

$$J_A = J_{rA} + J_{dA} \tag{4.6}$$

$$J_P = J_{rbP} + J_{dP} + J_{rsP} \tag{4.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และจากการทดลองพบว่าค่าความหนาแน่นของกระแสด้านพื้นที่มีค่ามากกว่าความหนาแน่นของกระแสด้านเส้นรอบวงอย่างมีนัยสำคัญ ดังรูปที่ 4.3 จึงถือว่าค่าของความหนาแน่นของกระแสทั้งหมดขึ้นกับความหนาแน่นของกระแสด้านพื้นที่เป็นองค์ประกอบหลัก



รูปที่ 4.3 การเปรียบเทียบองค์ประกอบของความหนาแน่นของกระแส

4.2 การวิเคราะห์ค่าช่วงชีวิตในไดโอดด้วยเทคนิคอนุพันธ์

ในกรณีที่ไดโอดแบบพื้นที่กว้างและไดโอดแบบคดเคี้ยว มีขนาดพื้นที่เท่ากัน ค่า J_A และ J_P สามารถคำนวณได้จาก

$$J_A = \frac{I_{FLA} - P_{LA} J_P}{A_{LA}} \tag{4.8}$$

โดยที่ I_{FLA} และ I_{FME} เป็นค่ากระแสช่วงแรงดันไบอัสตรงของไดโอดแบบพื้นที่กว้าง และแบบคดเคี้ยวตามลำดับ

P_{LA} และ P_{ME} เป็นความยาวเส้นรอบรูปของไดโอดแบบพื้นที่กว้าง และแบบคดเคี้ยวตามลำดับ

A_{LA} เป็นขนาดพื้นที่ของไดโอดแบบพื้นที่กว้าง

ค่า J_A สามารถแยกองค์ประกอบเป็นความหนาแน่นกระแสการรวมตัวใหม่ในเนื้อสารด้านพื้นที่ (J_{rbA}) และ ความหนาแน่นกระแสการแพร่ด้านพื้นที่ (J_{dA}) ดังความสัมพันธ์ในสมการ 4.9

$$J_A = J_{dA} + J_{rbA} \tag{4.9}$$

จากสมการไดโอดในอุดมคติหรือสมการของช็อคเลย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

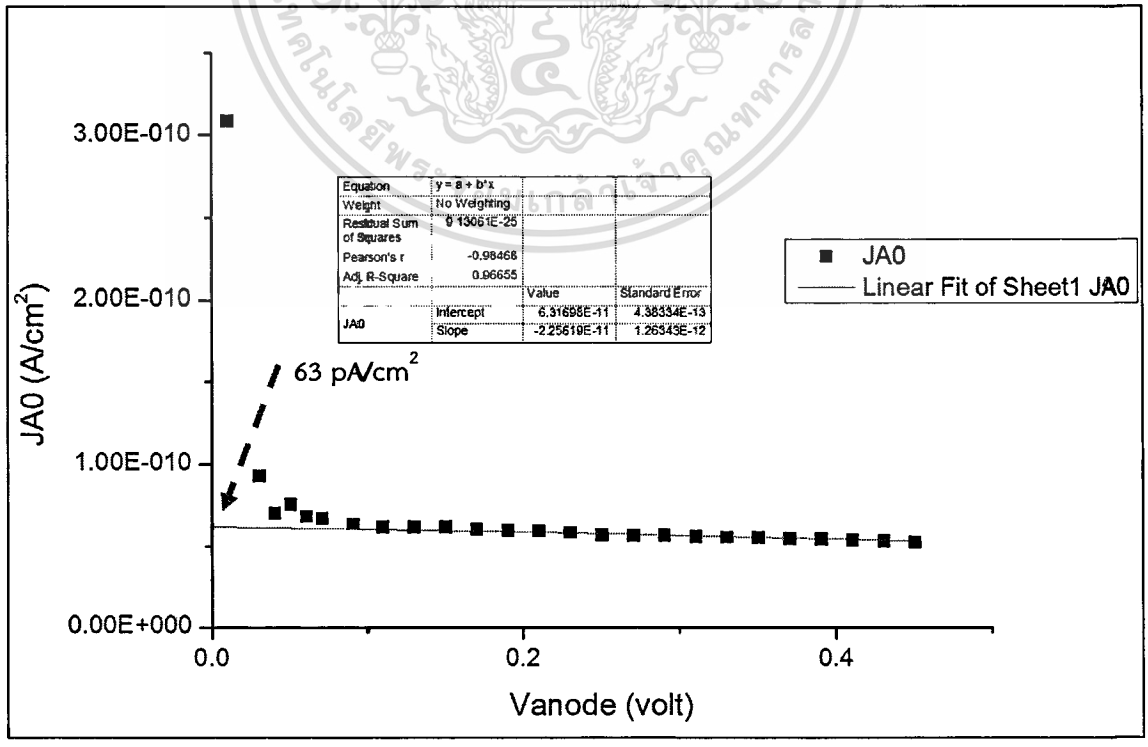
$$I = I_0\left[e^{(qV/kT)} - 1\right] \tag{4.10}$$

โดยที่ I_0 เป็นค่ากระแสอิ่มตัว
Q เป็นประจุอิเล็กตรอน
k เป็นค่าคงที่ของโบลต์มานน์
T เป็นอุณหภูมิสัมบูรณ์

จากสมการข้างต้น แทนค่าด้วยค่าความหนาแน่นกระแสด้านพื้นที่ ทำให้ได้ค่าความหนาแน่นกระแสอิ่มตัวด้านพื้นที่ ดังแสดงในสมการ 4.11

$$J_{A0} = \frac{J_A}{\left[e^{(qV/kT)} - 1\right]} \tag{4.11}$$

จากความสัมพันธ์ของสมการที่ 4.11 สามารถหาความสัมพันธ์ของความหนาแน่นกระแสอิ่มตัวด้านพื้นที่และแรงดันไบอัสตรงดังรูปที่ 4.4 และพบว่าที่แรงดันที่ค่าต่ำๆ ค่า J_{A0} ถูกควบคุมด้วยกระแสการรวมตัวใหม่ และเมื่อแรงดันไบอัสมีค่า 0.2 โวลต์ถึง 0.4 โวลต์ ค่า J_{A0} ขึ้นกับความหนาแน่นกระแสการแพร่ด้านพื้นที่ ดังนั้นจึงทำการอนุมานค่าของ J_{A0} จากค่าที่แรงดันไบอัสเป็นศูนย์ จากการประมาณค่าของ J_{dA} เป็นเชิงเส้นในช่วง 0.2 โวลต์ถึง 0.4 โวลต์ที่ V = 0 จะพบว่า J_{dA} มีค่าเท่ากับ 63 pA/cm^2



รูปที่ 4.4 ความสัมพันธ์ของความหนาแน่นกระแสอิ่มตัวด้านพื้นที่และแรงดันไบอัสตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยทั่วไปค่าของ J_A สามารถเขียนให้อยู่ในรูป

$$J_A = J_{dA} + \left[\frac{qn_iW_A}{2\tau_r e^{\left(\frac{qV}{2kT}\right)} + \tau_g}\right] \cdot \left[e^{\left(\frac{qV}{kT}\right)} - 1\right] \qquad (4.12)$$

ซึ่งค่า n_i เป็นค่าความหนาแน่นของประจุพาหะในสารกึ่งตัวนำบริสุทธิ์ (cm^{-3}) และค่า W_A เป็นความกว้างของชั้นปลอดพาหะด้านพื้นที่ (cm)

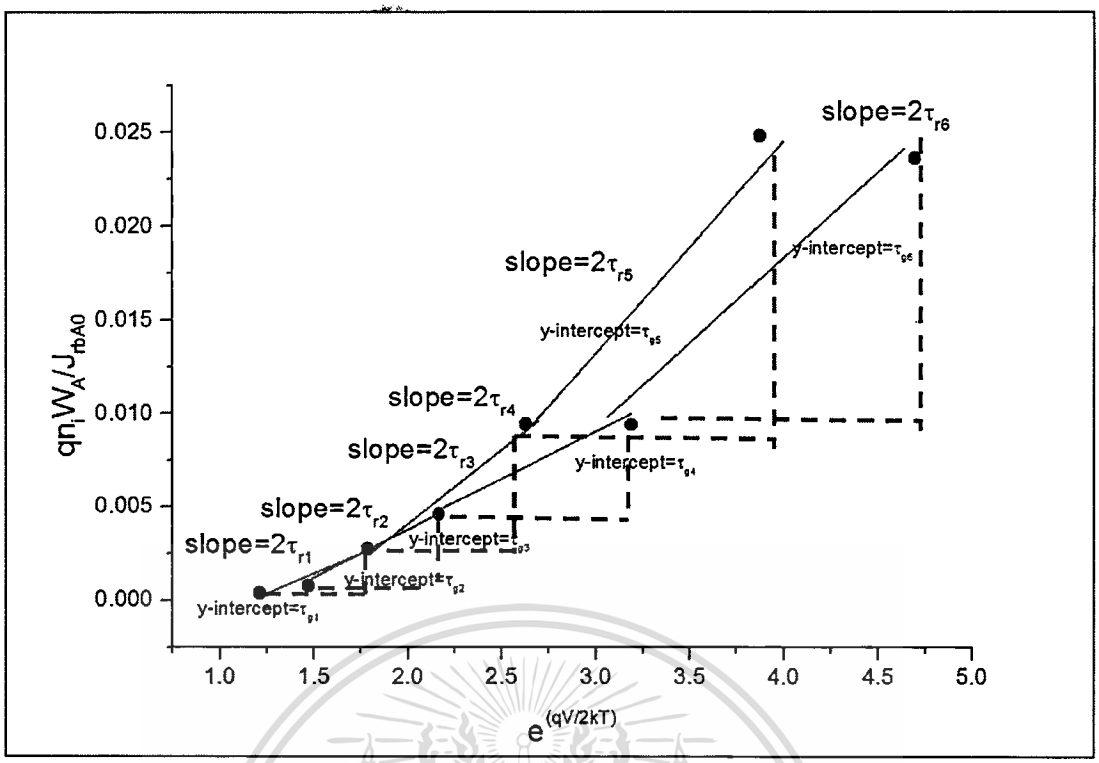
พบว่าค่าความหนาแน่นกระแสด้านพื้นที่ขึ้นอยู่กับค่าความกว้างชั้นปลอดพาหะด้านพื้นที่และการแสการแพร่ด้านพื้นที่ ดังนั้นการคำนวณหาค่า τ_r และ τ_g จะกล่าวถึงในลำดับต่อไป

จากสมการที่ 4.12 พบว่าค่าความหนาแน่นของกระแสอิ่มตัวของการรวมตัวใหม่ในเนื้อสารด้านพื้นที่ J_{rbA0} เท่ากับ $J_{A0} - J_{dA}$ ซึ่งสามารถคำนวณหาได้จากสมการที่ 4.12 และผลลัพธ์ภายหลังการจัดเรียงรูปใหม่แสดงได้ดังสมการ

$$\frac{qn_iW_A}{J_{rbA0}} = 2\tau_r e^{\left(\frac{qV}{2kT}\right)} + \tau_g \qquad (4.13)$$

สามารถแสดงความสัมพันธ์ของค่า qn_iW_A / J_{rbA0} กับค่า $e^{(qV/2kT)}$ ได้ดังรูปที่ 4.5 โดยค่า τ_r สามารถหาได้จากการคำนวณการถดถอยเชิงเส้นของ 3 จุดที่ต่อเนื่องกัน เพื่อประมาณค่าความชัน และค่า τ_g สามารถคำนวณได้จากการประมาณจุดตัดบนแกน Y ที่ค่า $qn_iW_A / J_{rbA0} = 0$ ตามลำดับ โดยจากรูปสามารถประมาณค่าของความชัน และจุดตัดแกน Y ได้ทั้งหมด 6 ค่าซึ่งจะนำค่าเหล่านี้ไปประมวลผล โดยเป็นค่าที่เก็บได้จากชิปตัวอย่างบนแผ่นซิลิคอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 ความสัมพันธ์ของค่า qn_iW_A/J_{abr0} และ $e^{(qV/2kT)}$

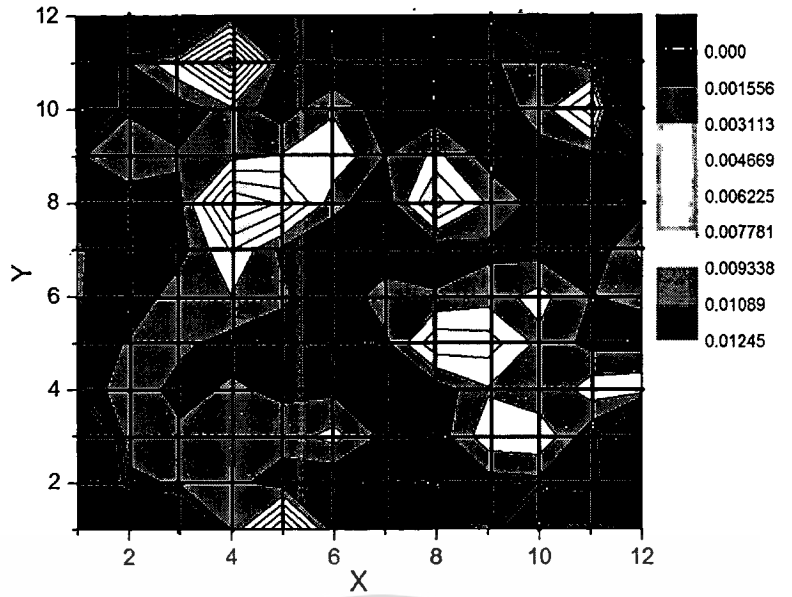
ตารางที่ 4.1 ค่าของ τ_r และค่า τ_g ของจุดตัวอย่างและค่าเฉลี่ย

ข้อมูลลำดับที่	τ_r (s)	τ_g (s)
1	0.004232	0.005012
2	0.005513	0.007258
3	0.007994	0.011947
4	0.004505	0.004183
5	0.012777	0.026722
6	0.00904	0.016155
ค่าเฉลี่ย	0.003672	0.011879

หลังจากที่ได้ค่า τ_r และค่า τ_g ของแต่ละจุดบนกราฟแล้ว นำมาคำนวณโดยการใช้ค่าเฉลี่ยเพื่อหาค่ากลางของข้อมูล ตารางที่ 4.1 แสดงถึงค่าช่วงชีวิตการรวมตัวใหม่ และค่าช่วงชีวิตการก่อเกิดของแต่ละจุด และค่าเฉลี่ยที่ได้มาจากการคำนวณ

หลังจากที่ได้คำนวณหาค่าช่วงชีวิตการก่อเกิดและการรวมตัวใหม่แล้ว นำมาแสดงผลเป็นรูป 2 มิติดังรูปที่ 4.6 โดยแสดงการกระจายของค่าช่วงชีวิตการรวมตัวใหม่ ซึ่งทำให้เห็นตำแหน่งพิกัดที่เกิดความบกพร่องบนแผ่นซิลิคอน มีตำแหน่งที่พบความบกพร่อง 20 ตำแหน่ง จึงสามารถหาค่าผลผลิตได้เป็น 83.87% ซึ่งได้มาจาก (124-20)/124

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 การกระจายของค่าช่วงชีวิตการรวมตัวใหม่

4.3 การทดลองเปรียบเทียบร้อยละของค่าผลผลิตกับแบบจำลองค่าผลผลิตของปัวซอง

การทดลองนี้ จำเป็นต้องหาค่าจำนวนของชิปที่ทำการสุ่มเพื่อคาดคะเนเปอร์เซ็นต์ของผลผลิต โดยนำมาตรฐาน MIL STD 414 หรือ ANSI/ASQC Z1.9 มาใช้ ซึ่งเป็นมาตรฐานหนึ่งที่ใช้ในการควบคุมคุณภาพของกระบวนการผลิตด้วยกระบวนการทางสถิติ โดยมาตรฐาน MIL STD 414 หรือ ANSI/ASQC Z1.9 นี้ คือมาตรฐานวิธีการเลือกจำนวนที่จะนำมาสุ่มเพื่อช่วยในการตัดสินใจต่อชิ้นงานทั้งกลุ่มโดยมีถึง 5 ระดับตั้งแต่ระดับที่ 1 (I) ถึงระดับที่ 5 (V) และแสดงข้อมูลบางส่วนดังตารางที่ 4.2 และ 4.3

โดยตารางที่ 4.2 จะแสดงค่า Lot Size หรือจำนวนงานทั้งกลุ่มที่ต้องการทดสอบตั้งแต่จำนวน 3. ชิ้นขึ้นไป ในการใช้งานจะต้องหาจำนวนงานทั้งกลุ่ม เพื่อเลือก Sample Size Code Letter ตัวอย่างเช่น ที่ชิ้นงานทั้งหมด 5 ชิ้น จะสามารถหาค่า Sample Size Code Letter ในแต่ละระดับได้เป็น B, B, B, B และ C ตามลำดับ และนำตัวอักษรไปหาค่าจำนวนสุ่มในตารางที่ 4.3 ต่อไป

ตารางที่ 4.2 Sample Size Code Letter ตามมาตรฐาน MIL STD 414 หรือ ANSI/ASQC Z1.9

Lot Size	Inspection Levels				
	I	II	III	IV	V
3 to 8	B	B	B	B	C
9 to 15	B	B	B	B	D
16 to 25	B	B	B	C	E
26 to 40	B	B	B	D	F
41 to 65	B	B	C	E	G
66 to 110	B	B	D	F	H
111 to 180	B	C	E	G	I

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2 (ต่อ)

Lot Size	Inspection Levels				
	I	II	III	IV	V
181 to 300	B	D	F	H	J
301 to 500	C	E	G	I	K
501 to 800	D	F	H	J	L
801 to 1300	E	G	I	K	L
1301 to 3200	F	H	J	L	M

ตารางที่ 4.3 Master Table ตามมาตรฐาน MIL STD 414 หรือ ANSI/ASQC Z1.9

Sample size code letter	Number of Sample
B	3
C	4
D	5
E	7
F	10
G	15
H	20
I	25
J	30
K	35
L	40
M	50

เนื่องจากแผ่นซิลิคอนแผ่นนี้ถูกทดสอบเพื่อวิเคราะห์ความบกพร่องและมีค่าร้อยละของค่าผลผลิตมาแล้วในหัวข้อที่ 4.4 จึงให้สมมติว่าแผ่นซิลิคอนแผ่นนี้ยังไม่เคยถูกทดสอบมาก่อน จากตารางที่ 4.2 และ 4.3 เมื่อจำนวนชิปบนแผ่นซิลิคอนเท่ากับ 124 ชิป จะได้ตัว Sampling size code letter แต่ละระดับเป็น B, C, E, G และ I ตามลำดับ ซึ่งแต่ละตัวอักษรนำไปหาค่าจำนวนที่ใช้สุ่ม ในตารางที่ 4.3 ได้เป็น 3, 4, 7, 15 และ 25 ชิปตามลำดับ โดยจำนวนเหล่านี้คือจำนวนของชิปที่ทำการสุ่มทดสอบในแต่ละครั้งซึ่งจะมีการกำหนดตำแหน่งบนแผ่นซิลิคอนแบบสุ่ม

จากนั้นทำการนับชิปที่มีความบกพร่องและคำนวณค่าของความหนาแน่นของความบกพร่อง ($\lambda = AD$) ได้จากอัตราส่วนของจำนวนชิปที่มีความบกพร่องกับจำนวนของชิปที่ทำการสุ่ม ดังตารางที่ 4.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.4 การหาค่าความหนาแน่นของความบกพร่องจากค่าจำนวนชิปที่สุ่ม

จำนวนชิปที่ทำการสุ่ม	จำนวนชิปที่มีความบกพร่อง	ความหนาแน่นของความบกพร่อง
3	0	0
4	2	0.5
7	2	0.2857
15	4	0.2667
25	4	0.16

จากนั้นนำค่าความหนาแน่นของความบกพร่องที่ได้นี้ไปแทนค่าในแบบจำลองค่าผลผลิตของปัวซอง ในสมการที่ 4.14 ซึ่งจะได้ค่าเปอร์เซ็นต์ของค่าผลผลิตในแต่ละจำนวนการสุ่ม

$$Y = e^{-\lambda} \tag{4.14}$$

และทำการเปรียบเทียบระหว่างร้อยละของค่าผลผลิตที่แท้จริง (ที่ได้คำนวณไว้ก่อนหน้า) กับร้อยละของค่าผลผลิตจากแบบจำลองค่าผลผลิตจากสมการที่ 4.16 ภายใต้เงื่อนไขจำนวนของชิปที่ทำการสุ่มที่จำนวนต่างๆกัน ดังตารางที่ 4.5

ตารางที่ 4.5 ค่าความคลาดเคลื่อนของค่าผลผลิตที่คำนวณได้จากแบบจำลองค่าผลผลิตของปัวซองเปรียบเทียบกับค่าผลผลิตที่ได้จริง

จำนวนชิปที่ทำการสุ่ม	ค่าผลผลิตจากการคำนวณ(%)	ค่าผลผลิตที่ได้จริง (%)	ค่าความคลาดเคลื่อน (%)
3	100	83.87	19.2321
4	60.65	83.87	27.6820
7	75.15	83.87	10.3998
15	76.59	83.87	8.67672
25	85.21	83.87	1.60293

จากตารางที่ 4.5 พบว่า เมื่อค่าจำนวนชิปที่ทำการสุ่มเพิ่มขึ้น ค่าความคลาดเคลื่อนของค่าผลผลิตที่คำนวณได้ กับร้อยละของค่าผลผลิตที่ได้จริง มีแนวโน้มลดลง

4.4 การทดลองเปรียบเทียบร้อยละของค่าผลผลิตกับแบบจำลองค่าผลผลิตของเมอร์ฟีจากการแจกแจงความน่าจะเป็นแบบสามเหลี่ยม

จากข้อมูลของการทดลองที่กล่าวไว้ในตารางที่ 4.4 ได้ค่าความหนาแน่นของความบกพร่องเฉลี่ยต่อชิป ที่ขึ้นอยู่กับจำนวนชิปที่ทำการสุ่ม โดยการทดลองนี้ได้นำข้อมูลค่าความหนาแน่นของความบกพร่องมาแทนค่าในสมการที่ 4.15 ซึ่งเป็นแบบจำลองค่าผลผลิตของเมอร์ฟีจากการแจกแจง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความน่าจะเป็นแบบสามเหลี่ยม เพื่อหาค่าร้อยละของค่าผลผลิต และหาความคลาดเคลื่อนที่ได้ สรุปออกมาเป็นตารางที่ 4.6

$$Y = \left(\frac{1 - e^{-\lambda}}{\lambda} \right)^2 \tag{4.15}$$

ตารางที่ 4.6 ค่าความคลาดเคลื่อนของค่าผลผลิตที่คำนวณได้จากแบบจำลองค่าผลผลิตของเมอร์ฟีจากการแจกแจงความน่าจะเป็นแบบสามเหลี่ยม เปรียบเทียบกับค่าผลผลิตที่ได้จริง

จำนวนชิปที่ทำการสุ่ม	ค่าผลผลิตจากการคำนวณ(%)	ค่าผลผลิตที่ได้จริง(%)	ค่าความคลาดเคลื่อน (%)
3	100	83.87	19.2321
4	60.65	83.87	26.1628
7	75.15	83.87	9.7873
15	76.59	83.87	8.1372
25	85.21	83.87	1.8137

จากตารางที่ 4.6 พบว่า เมื่อค่าจำนวนชิปที่ทำการสุ่มเพิ่มขึ้น ค่าความคลาดเคลื่อนของค่าผลผลิตที่คำนวณได้ กับร้อยละของค่าผลผลิตที่ได้จริง มีแนวโน้มลดลง

4.5 การทดลองเปรียบเทียบร้อยละของค่าผลผลิตกับแบบจำลองค่าผลผลิตของเมอร์ฟีจากการแจกแจงความน่าจะเป็นแบบคงที่หรือสี่เหลี่ยมผืนผ้า

ในทำนองเดียวกับการทดลองที่ 4.6 โดยนำค่าความหนาแน่นของความบกพร่องเฉลี่ยต่อชิปมาแทนค่าในสมการที่ 4.16 ซึ่งเป็นแบบจำลองค่าผลผลิตของเมอร์ฟีจากการแจกแจงความน่าจะเป็นแบบคงที่หรือสี่เหลี่ยมผืนผ้า เพื่อหาร้อยละของค่าผลผลิต และเปรียบเทียบความคลาดเคลื่อนที่ได้ลงในตารางที่ 4.7

$$Y = \left(\frac{1 - e^{-2\lambda}}{2\lambda} \right) \tag{4.16}$$

ตารางที่ 4.7 ค่าความคลาดเคลื่อนของค่าผลผลิตที่คำนวณได้จากแบบจำลองค่าผลผลิตของเมอร์ฟีด้วยการแจกแจงความน่าจะเป็นแบบสี่เหลี่ยมผืนผ้า เปรียบเทียบกับค่าผลผลิตที่ได้จริง

จำนวนชิปที่ทำการสุ่ม	ค่าผลผลิตจากการคำนวณ(%)	ค่าผลผลิตที่ได้จริง (%)	ค่าความคลาดเคลื่อน(%)
3	100	83.87	19.2321
4	61.93	83.87	24.6309
7	75.66	83.87	9.1745
15	77.04	83.87	7.5933
25	85.39	83.87	2.0370

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ ดัดแปลง ทำซ้ำ ก่อนการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 4.7 พบว่า เมื่อค่าจำนวนชิปที่ทำการสุ่มเพิ่มขึ้น ค่าความคลาดเคลื่อนของค่าผลผลิตที่คำนวณได้ กับร้อยละของค่าผลผลิตที่ได้จริง มีแนวโน้มลดลง

4.6 การทดลองเปรียบเทียบค่าผลผลิตกับแบบจำลองค่าผลผลิตที่นำมาคำนวณ

จากการทดลองที่ 4.5 – 4.7 นำค่าที่ได้จากทั้งสามการทดลองมาเปรียบเทียบความคลาดเคลื่อน ดังในตารางที่ 4.8

ตารางที่ 4.8 ค่าความคลาดเคลื่อนเปรียบเทียบจากแบบจำลองค่าผลผลิต

จำนวนชิปที่ทำการสุ่ม	ค่าความคลาดเคลื่อน(%)		
	ปัวซอง	เมอร์ฟี (สามเหลี่ยม)	เมอร์ฟี (สี่เหลี่ยม)
3	19.2321	19.2321	19.2321
4	27.6820	26.1628	24.6309
7	10.3998	9.7873	9.1745
15	8.67672	8.1372	7.5933
25	1.60293	1.8137	2.0370

จากตารางที่ 4.8 นำไปวาดกราฟเพื่อเปรียบเทียบ ค่าความคลาดเคลื่อนจากแบบจำลองค่าผลผลิตแบบต่างๆ พบว่าที่จำนวนชิปที่ทำการสุ่มมีค่าน้อย ตั้งแต่ 3 ถึง 15 ชิป พบว่าค่าความคลาดเคลื่อนของแบบจำลองค่าผลผลิตของปัวซองมีความคลาดเคลื่อนมากที่สุด ในขณะที่แบบจำลองค่าผลผลิตของเมอร์ฟีจากการแจกแจงแบบสี่เหลี่ยมมีค่าความคลาดเคลื่อนน้อยที่สุด แต่เมื่อจำนวนชิปที่ทำการสุ่มมีค่ามากขึ้นที่ 25 ชิป แบบจำลองค่าผลผลิตของปัวซองกลับมีค่าความคลาดเคลื่อนน้อยที่สุด ในขณะที่แบบจำลองค่าผลผลิตของเมอร์ฟีจากการแจงแจงแบบสี่เหลี่ยมมีความคลาดเคลื่อนมากที่สุด อย่างไรก็ตามโดยภาพรวม แบบจำลองค่าผลผลิตทั้งสามรูปแบบ มีค่าความคลาดเคลื่อนที่ใกล้เคียงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์ผลการทดลอง

5.1 สรุปและวิจารณ์ผลการทดลอง

โครงการวิจัยนี้นำเสนอการปรับปรุงเทคนิคการวิเคราะห์ผลผลิตด้านความบกพร่องแบบสุ่มของอุปกรณ์อิเล็กทรอนิกส์บนแผ่นซิลิคอน ด้วยการวิเคราะห์หาความบกพร่องที่เกิดขึ้นในรอยต่อพีเอ็นในอุปกรณ์ประเภทซีมอสชนิด P^{+}-N_{Well} โดยถูกสร้างจากเทคโนโลยีกระบวนการสร้างอุปกรณ์ทรานซิสเตอร์แบบซีมอสขนาด 0.8 ไมโครเมตร นำมาหาค่าคุณสมบัติทางไฟฟ้าของไดโอดในช่วงแรงดันไบอัสตรง ที่อุณหภูมิ 27 องศาเซลเซียส หรือ 300 เคลวิน จากนั้นนำไปวิเคราะห์หาค่าช่วงชีวิตการก่อเกิดและช่วงชีวิตการรวมตัวใหม่ ด้วยเทคนิคการวิเคราะห์ความบกพร่องด้วยวิธีอนุพันธ์ ทำให้ได้ความสัมพันธ์ขององค์ประกอบของกระแสรั่วไหล กับค่าช่วงชีวิตการก่อเกิดและช่วงชีวิตการรวมตัวใหม่ ซึ่งหมายถึงความบกพร่องที่เกิดขึ้นบริเวณปลอดพาหะในรอยต่อพีเอ็น จากนั้นนำผลที่ได้มาคิดเป็นร้อยละของค่าผลผลิตที่แท้จริง แล้วนำมาเปรียบเทียบกับแบบจำลองค่าผลผลิตทั้ง 3 สมการ ได้แก่ แบบจำลองค่าผลผลิตของปัวซอง แบบจำลองค่าผลผลิตของเมอร์ฟีจากการแจกแจงความน่าจะเป็นแบบสามเหลี่ยม และแบบจำลองค่าผลผลิตของเมอร์ฟีจากการแจกแจงความน่าจะเป็นแบบสี่เหลี่ยม โดยการใช้มาตรฐานการสุ่ม ANSI/ASQC Z1.9 เพื่อหาร้อยละของค่าผลผลิตที่ได้ในแต่ละรูปแบบของแบบจำลองค่าผลผลิต และหาจำนวนการสุ่มที่สามารถคาดเดาร้อยละของค่าผลผลิตในแต่ละรูปแบบที่ใกล้เคียงกับร้อยละของค่าผลผลิตที่แท้จริง

ส่วนของการวิเคราะห์ความบกพร่องโดยวิธีอนุพันธ์ จากการสร้างไดโอดทั้งสองแบบ คือ แบบพื้นที่กว้าง และแบบคดเคี้ยว บนแผ่นซิลิคอน ตามมาตรฐานการสร้างอุปกรณ์อิเล็กทรอนิกส์ประเภทซีมอส จากศูนย์เทคโนโลยีไมโครอิเล็กทรอนิกส์ โดยการทดลองนี้มุ่งเน้นเฉพาะไดโอดที่เป็นชนิดรอยต่อแบบ P^{+}- N_{well} เพื่อศึกษาผลของอะตอมสารเจือฟอสฟอรัสจากการยิงฝังประจุที่สร้างเป็นบ่อแยกชนิดเอ็น ภายหลังจากกระบวนการสร้างไดโอด ได้ทำการวัดค่าคุณสมบัติทางไฟฟ้าของไดโอด ทั้งคุณสมบัติกระแส-แรงดัน และค่าความจุไฟฟ้า–แรงดัน ในช่วงแรงดันไบอัสตรง นำค่าที่ได้มาวิเคราะห์หาค่าองค์ประกอบของกระแส ค่าช่วงชีวิตการก่อเกิดและช่วงชีวิตการรวมตัวใหม่ ด้วยวิธีอนุพันธ์ บนแต่ละชิปที่อยู่บนแผ่นซิลิคอน จากนั้นนำผลที่ได้มาแสดงเป็นรูปแบบแผนภูมิ 3 มิติ ซึ่งแสดงให้เห็นว่ามีความบกพร่องเกิดขึ้นในโครงสร้างของแผ่นซิลิคอน และมีการกระจายตัวของความบกพร่องเกิดขึ้นอย่างไม่สม่ำเสมอตลอดทั้งแผ่น โดยค่าผลผลิตบนแผ่นซิลิคอนทั้งหมดพบว่ามีค่าร้อยละ 83.87

และส่วนการวิเคราะห์ร้อยละของค่าผลผลิตเปรียบเทียบด้วยแบบจำลองค่าผลผลิตแบบต่างๆ เมื่อนำผลลัพธ์จากแบบจำลองค่าผลผลิตทั้งสามรูปแบบ ได้แก่ แบบจำลองของปัวซอง แบบจำลองของเมอร์ฟีจากการแจกแจงแบบสามเหลี่ยม และแบบจำลองของเมอร์ฟีจากการแจกแจงแบบสี่เหลี่ยม มาเปรียบเทียบกับร้อยละของค่าผลผลิตที่ได้จากการวิเคราะห์ความบกพร่องโดยวิธีอนุพันธ์ พบว่าการวิเคราะห์ความบกพร่องโดยวิธีอนุพันธ์ สามารถหาร้อยละของค่าผลผลิตได้สอดคล้องกับการวิเคราะห์ที่ได้จากแบบจำลองค่าผลผลิตทั้ง 3 รูปแบบ ซึ่งมีค่าความคลาดเคลื่อนอยู่ที่ประมาณร้อยละ 2 ที่จำนวนการสุ่ม 25 ชิป ซึ่งเป็นระดับความละเอียดสูงสุดตามมาตรฐาน ANSI/ASQC Z1.9 บนแผ่นซิลิคอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยภาพรวมอาจสรุปว่า วิธีการการวิเคราะห์ความบกพร่องโดยวิธีอนุพันธ์ สามารถวิเคราะห์หาความบกพร่องที่เกิดขึ้นในโครงสร้างของแผ่นซิลิคอน และแสดงให้เห็นถึงการกระจายตัวของความบกพร่องที่เกิดขึ้นอย่างไม่สม่ำเสมอตลอดทั้งแผ่น โดยที่แบบจำลองค่าผลผลิตทั้ง 3 รูปแบบไม่สามารถแสดงได้ และยังสามารถหาค่าร้อยละของค่าผลผลิตได้ใกล้เคียงกับแบบจำลองค่าผลผลิตทั้งสามรูปแบบ ที่จำนวนการสุ่มที่ระดับความละเอียดสูงสุด

5.2 ข้อเสนอแนะและแนวทางการทำวิจัย

เนื่องจากการวิจัยครั้งนี้ได้ใช้แผ่นซิลิคอนเพียงแผ่นเดียว ในการเปรียบเทียบร้อยละค่าผลผลิตที่ได้จากแบบจำลองค่าผลผลิตทั้งสามรูปแบบกับการวิเคราะห์โดยวิธีอนุพันธ์ ทำให้อาจมีความคลาดเคลื่อนจากการวัดและวิเคราะห์ค่าความบกพร่อง ดังนั้นในการศึกษาวิจัยครั้งต่อไป จึงควรทำการวัดเปรียบเทียบจำนวนแผ่นให้มากขึ้น

นอกจากแบบจำลองค่าผลผลิตที่ได้นำเสนอ ยังมีแบบจำลองค่าผลผลิตอีกหลายรูปแบบ เช่น แบบจำลองค่าผลผลิตของมัวร์ (Moore) ซึ่งผู้ที่จะทำการวิจัยเรื่องแบบจำลองค่าผลผลิต สามารถนำแบบจำลองค่าผลผลิตรูปแบบอื่น มาใช้ในการศึกษาวิจัยในครั้งต่อไปได้

ในกระบวนการวัดและเก็บข้อมูลมีการใช้เครื่องมือวัดที่มีความละเอียดสูง ดังนั้นการตั้งค่าหรือสอบเทียบของเครื่องมือวัดก่อนนำมาใช้งานเป็นสิ่งที่จำเป็นเพื่อให้ได้ค่าที่เที่ยงตรงและแม่นยำ

วิธีการวัดวิเคราะห์หาความบกพร่องที่เกิดขึ้นในรอยต่อพีเอ็น ทำให้พบว่ามีความบกพร่องเกิดขึ้นบนแผ่นซิลิคอนจากกระบวนการสร้าง แต่ไม่ได้หมายความว่าไดโอดรอยต่อนี้ไม่สามารถใช้งานได้ จึงอาจต้องพิจารณาในปัจจัยอื่นๆต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

[1] Jacob Millman and Arvin Grabel. **Microelectronics.** Singapore : McGraw-Hill, Inc. 1987.

[2] Albert V. Ferris-Prabhu. **Introduction to Semiconductor Device Yield Modeling.** USA : Artech House, Inc. 1992.

[3] Chistopher Hess. "Extraction of Wafer-Level Defect Density Distributions to Improve Yield Prediction", **IEEE Transaction on Semiconductor Manufacturing.** Vol. 12. No 2. 1999.

[4] Mark Burns and Gordon W. Roberts. **An Introduction to Mixed-Signal IC Test and Measurement.** USA : Oxford University Press. 2001.

[5] W.R. Runan and K.E.Bean. **Semiconductor Integrated Circuit Processing Technology.** USA : Addison-Wesley Publishing Company, Inc. 1990

[6] Dieter K. Schroder. **Semiconductor Material and Device Characterization.** USA : John Wiley & Sons, Inc. 2006

[7] Poyai, A. **"Defect Assessment in Advanced Semiconductor Materials and Devices".** Ph.D. Thesis of Catholic University Leuven, Belgium. 2002.

[8] วีระ เพ็งจันทร์. **"เทคนิคการวิเคราะห์ความบกพร่องแบบใหม่โดยวิธีอนุพันธ์ในรอยต่อพีเอ็น".** วิทยานิพนธ์ วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2556

[9] สิทธิชัย โภไคยอุดม. **อุปกรณ์สารกึ่งตัวนำสำหรับวงจรรวมยุคใหม่.** พิมพ์ครั้งที่ 1 มหาวิทยาลัยเทคโนโลยีมหานคร. 2551.

[10] สมเกียรติ ศุภเดช. **เซมิคอนดัคเตอร์ดีไวซ์.** พิมพ์ครั้งที่4. สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2551.

[11] William C. O'Mara, Robert B. Herring and Lee P. Hunt. **Handbook of semiconductor silicon technology.** USA : Noyes Publications. 1990.

[12] สมเกียรติ ศุภเดช. **เซมิคอนดัคเตอร์ฟิสิกส์.** พิมพ์ครั้งที่5. สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2551.

[13] Charles H. Stapper, Frederick M. Armstrong and Kiyotaka Saji. "Integrated circuit yield statistics". **Proceeding of IEEE.** Vol. 71. No. 4. 1983.

[14] James Cunningham. "The Use and Evaluation of Yield Models in Integrated Circuit Manufacturing". **IEEE transaction on Semiconductor Manufacturing,** Vol 3, No. 2. 1990.

[15] Douglas C. Montgomery, George C. Runger and Norma Faris. **Engineering Statistics.** USA : John Wiley & Son, Inc. 2007.

[16] Douglas A. Lind, William G. Marchal and Samuel A. Wathen. **Statistical Techniques in Business & Economics.** USA : McGraw-Hill, Inc. 2015.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[17] Dewitt G. O. **Modern MOS Technology: Process, Devices, and Design**. McGraw-hill, Inc. 1984.

[18] Timothy L. Michalka, Ramesh C. Varshney and James D. Meindl. "A Disscussion of Yield Modeling with Defect Clustering, Circuit Repair, and Circuit Redndancy". **IEEE transaction on Semiconductor Manufacturing**. Vol 3. No. 3. 1990.

[19] B. T. Murphy. "Cost-Size Optima of Monolithic Integrated Circuits". **Proceeding of IEEE**. Vol 52. No. 12. 1964.

[20] Charles H. Strapper. "On Murphy's Yield Integral". **IEEE transaction on Semiconductor Manufacturing**. Vol 4. No. 4. 1991.

[21] Gary S. May and Costas J. Spanos. **Fundamentals of Semiconductor Manufacturing and Process Control**. USA : John Wiley & Sons, Inc. 2007.

[22] Stefano Meroli. **Two growth techniques for mono-crystalline silicon : Czochralski vs Float Zone.** [Online]. Available : http://meroli.web.cern.ch/meroli/Lecture_silicon_floatzone_czochralski. 2012.

[23] คณะวิชาช่างไฟฟ้าและอิเล็กทรอนิกส์ วิทยาลัยเทคนิคสิงห์บุรี แห่งที่ 1. **การสร้างวงจรบนแผ่นเวเฟอร์ (Wafer Fabrication)**. [Online]. Available : http://sanong2003.tripod.com/icm1-03.htm.

[24] Bhargav Veepuri. **8.1. Microtect ion implant,1,2.** [Online]. Available : http://www.slideshare.net/bhargavveepuri/81-microtech-ion-implant12. 2013.

[25] Douglas C. Montgomery. **Introduction to Statistic Quality Control**. USA : John Wiley & sons, Inc. 2009.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

บทความตีพิมพ์วารสารระดับนานาชาติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Applied Mechanics and Materials Vol. 781 (2015) pp 160-163
© (2015) Trans Tech Publications, Switzerland
doi:10.4028/www.scientific.net/AMM.781.160

Submitted: 2014-10-13
Revised: 2015-03-30
Accepted: 2015-04-06
Online: 2015-08-03

Yield analysis based on the Defect Analysis with Derivative Method

W. Praepattharapisut[1,a], W. Pengchan[1,b *], T. Phetchakul[1] and A. Poyai[2]

[1]Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand

[2]National Electronics and Computer Technology Center, Chanchoengsao, Thailand

[a]warakorn40@gmail.com, [b]kpweera@kmitl.ac.th

Keywords: Defect, Yield Model, P-N junction, Generation and Recombination lifetime, CMOS Technology.

Abstract. This paper presented the correspondence between the yield prediction from Poisson's and Murphy's yield equation, with wafer actual yield on the silicon wafer with 0.8 μm CMOS technology. The defect analysis with derivative method, current - voltage and capacitance-voltage of diode characteristic measurement, is used to define the defect in p-n junction on silicon wafer. The different sampling numbers of chips are used to calculate the yield. Finally the calculated data and actual would be compared and found that at sampling number is 25, the tolerance from actual yield is less than 3%.

Introduction

Currently, one of the efficiency parameter in manufacturing that need to be developed and improved for the semiconductor manufacturer is wafer yield. Yield can be defined by a ratio of the number of good units after tested, and the number of overall tested units[1]. As a result, the higher yield is one way for chips cost reduction, since the cost per wafer is constant for each technology[2].

Yields loss mechanism can be extracted into two categories. The first is gross defect, these are caused by process error that made circuit or chip cannot function properly. The second is random defect. It is the defect that has chance to occurring. And can be obtain from yield model or yield equation to determine the probability of failure[3].

The defects are defined as physical anomaly which makes the circuit fault. Since the complexities of chips are increased and the wafers are processed more than 100 steps, undesired layout object can occur during the manufacturing process. There are some papers describe the yield equation in many solutions[4]. In this paper, the defect analysis with the derivative method is used to explain defect distribution, and the predicted yield is obtained from the yield equation. Finally all data will to be compared.

Theory

Yield Equation.

For wafer yield calculation, yield(Y) can be defined as the function of the average number of defect per unit area (D_0) and chip area (A). Sometimes include empirical correction factor (C). So, the yield equation will be

$$Y = \int e^{-DA} f(D) dD \tag{1}$$

Where $f(D)$ is the defect density function on the wafer, which D is the mean value. In the past, the defect density is constant on the entire of wafer, the value will be D and $f(D) = \delta(D-D_0)$ is the Dirac delta function. So, $\int f(D) dD = 1$, and yield equation will be

$$Y \quad e^{-DA_0}. \tag{2}$$

This model is well known as Poisson yield equation for calculate the wafer yield. Typically, $f(D)$ is not known, and was assumed to be Gaussian distribution function. But since it's hard for deriving

All rights reserved. No part of contents of this paper may be reproduced or transmitted in any form or by any means without the written permission of Trans Tech Publications, www.ttp.net. (ID: 161.246.28.138, King Mongkut's Institute of Technology Ladkrabang, Ladkrabang, Thailand-20/10/15,10:30:21)

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

the equation, Simpson's distribution (or triangle distribution) and uniform (rectangle distribution) will be used instead. So, we can get the Murphy's yield equation as see in Eq. (3) and Eq. (4)

$$Y=\left(\frac{1-e^{-AD_0}}{AD_0}\right)^2 \tag{3}$$

$$Y=\left(\frac{1-e^{-2AD_0}}{2AD_0}\right). \tag{4}$$

Defect Analysis with Derivative Method.

This method is used to describe the defect that occurred in the P-N junction semiconductor[5]. The data will be derived from the diode characteristic at forward bias. They are current-voltage (*I-V*) and capacitance-voltage (*C-V*), then analyzed with derivative method. Finally, The generation and recombination lifetime were obtained.

Consider the forward bias current. The area current density consist of the area diffusion current density (J_{dA}) and the area generation current density (J_{rbA})

$$J_A=J_{dA}+J_{rbA} \tag{5}$$

And

$$J_A=J_{dA}+\left[\frac{qn_iW_A}{2\tau_r\exp(qV/2kT)+\tau_g}\right]\left[\exp(qV/kT)-1\right] \tag{6}$$

where q is the electron charge (1.602×10^{-19} C), n_i is the charge carrier density in intrinsic semiconductor(cm^{-3}), T is the absolute temperature(K), k is Boltzmann's constant(8.617×10^{-5}eV/K), W_A is the depletion region width (cm). Finally the generation (τ_g) and recombination lifetime (τ_r) will be obtained from equation Eq. (7)

$$\frac{qn_iW_A}{J_{rbA0}}=2\tau_r\exp(qV/2kT)+\tau_g. \tag{7}$$

Experiment

Preparation.

In this study, we use the standard diode which is made from 0.8 micron CMOS technology was fabricated on 5 Ω-cm of p-silicon substrate. N-well was built from phosphorus implantation at 4×10^{12} ion/cm^2. For p^+ region was obtained by boron 3×10^{15} ion/cm^2. Finally, the junction was connected to the aluminum metal. The basic structures according to the geometry of diode are below

- Large Area Diode, with the rectangular shape. The area is 200 μm x400 μm and perimeter 1,200 μm. As show in Fig. 1(a).
- Meander Diode, the area is 4 μm x 400 μm x 50 strips. The perimeter is 40,400 μm. As show in Fig 1(b).

Measurement Method

- The current-voltage characteristics (I-V) of each diode used at forward bias from 0-1 volt with 0.01 volt step. The voltage applies on n-well and measure current at p+. This measurement was controlled at 300 K in the black box.
- The capacitance – voltage characteristic (C-V) used the same diode with 100 kHz signal at 300 K in the black box.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Result and Discussion

Defect analysis[6]

From Eq. (6), it is the linear equation between qn_iW_A/J_{rbA0} and $exp(qV/2kT)$ with slope ($2\tau_r$) and y-intercept (τ_g). Once we gathered the I-V and C-V data at forward bias, and derived from Eq. (5) to Eq. (7). Finally, the distribution of the generation and recombination lifetime will be shown in .Fig. 1 and Fig. 2 respectively.

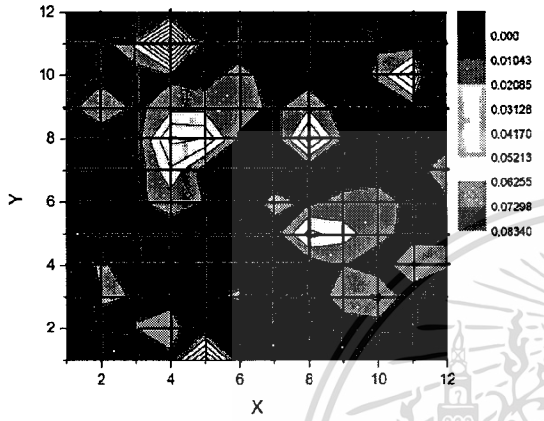


Fig. 1. The distribution of generation lifetime

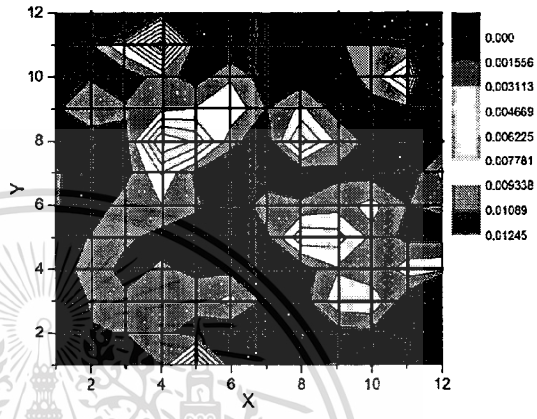


Fig. 2. The distribution of recombination lifetime

From Fig. 1 and Fig. 2, the distribution of the generation and the recombination lifetime are not the same level for the entire wafer or called non-uniformity defect distribution. The each spikes or higher value means the leakage current is higher than normal value. The spikes on the distribution graph of the τ_r were rejected amount 20 chips from 124 chips. So, the yield of wafer will be 83.87%.

Prediction with classical Poisson yield equation.

Assume that the silicon wafer is not tested before the prediction. The MIL STD 414 (or ANSI/ASQC Z1.9) standard will be used for this experiment[7]. The ANSI/ASQC Z1.9 is a lot-by-lot sampling plan, which has 5 levels for inspection. Table 1 and Table 2 are the part of sample size code letter and master table (from MIL STD 414 standard)

TABLE 1. Sample Size Code Letter.

Lot Size	Inspection Levels				
	I	II	III	IV	V
111 to 180	B	C	E	G	I

TABLE 2. Master Table.

Sample size code letter	Number of Sample
B	3
C	4
E	7
G	15
I	25

From the Table 1 and Table 2, lot size is 124 chips, so the sampling size code letters (for I-V level) are B, C, E, G and I. And they are 3, 4, 7, 15 and 25 samples respectively. Then, use the sample size number to count the rejected or defect chips. After that the average number of defect per chip will be calculated from number of defect divide by number of sample chip and defined as λ_0, that is product of the area and defect density($\lambda_0 = AD$), to calculate the yield with yield equation. Finally these yield data would be compared with actual yield. These sample chips were placed randomly on the wafer.

After located the sample location, number of defect were counted and defect density were calculated with yield equation to calculate the yield. As shown in Table 3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 3. Defect Density, Yield and Tolerance for each sample.

Number of Samples	Number of Defect	Defect Per Chip	Poisson Yield, Eq. (2) (%)	Murphy Yield, Eq. (3) (%)	Murphy Yield, Eq. (4) (%)	%Tolerance Poisson(Eq. 2) /Actual	%Tolerance Murphy(Eq.3) /Actual	%Tolerance Murphy(Eq.4) /Actual
3	0	0	100	100	100	19.2321	19.2321	19.2321
4	2	0.5	60.65	61.93	63.21	27.6820	26.1628	24.6309
7	2	0.2857	75.15	75.66	76.18	10.3998	9.7873	9.1745
15	4	0.2667	76.59	77.04	77.50	8.6767	8.1372	7.5933
25	4	0.16	85.21	85.39	85.58	1.6029	1.8137	2.0370

Conclusion

This paper presented the combination using yield equation and defect analysis with derivative method to define the defect density. The number of sample plan is used because if we do all chips on the silicon wafer, it would take more times, resource, man power. Then cost will be increased. So, the number of sampling plans is referred from ANSI/ASQC Z1.9 standard.

From the result, yield calculation will be obtained, and compared with actual yield. At the number of sample is 25 chips can predict yield with tolerance less than 3%, but use number of chip only 20% from all. As a result, the derivative method is effective way to define the defect on the semiconductor and can predict the yield.

Acknowledgement

The authors need to thanks for the supporting and helping from Anucha Ruangpanit from Thailand Microelectronics Center (TMEC), National Electronic and Computer Technology Center, Thailand.

References

[1] Albert V. Ferris-Prabhu, "Introduction to Semiconductor Device Yield modeling," Norwood, MA: Artech House Inc., 1992

[2] DeWitt G. OngJ. Clerk Maxwell, "Modern MOS Technology : Process, Device and Design," Texas: Mcgraw-Hill, 1984.

[3] Charles H. Strapper, Frederick M, Kiyotaka S.,"Integrated Circuit Yield Statistics," Procedding IEEE, Vol. 71, p.453-470,1983.

[4] James A. cunningham, "The Use and Evaluation of Yield models in Integrated Circuit Manufacturing," IEEE Transcation on Semiconductor Manufacturing, Vol. 3, p.60-71,1990.

[5] W. Praepattharapisut, W. Pengchan, T. Phetchakul, Amporn Poyai,"Defect Distribution analysis by derivative technique for P-N junction," The 36th Electrical Engineeering Conference (EECON-36), Vol. 2, pp 665-668, 2013.

[6] Weera pengchan, Toempong Petchakul, Amporn Poyai, "The Local gerenation and Recombination lifetime based on forward diode characteristic diagnostics," Journal of crystal growth, Vol 362, pp 300-303, 2013.

[7] Douglas C. montgomery, "Introduction to Statistic Quality Control," John Wiley & Sons Inc., 2009.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Advanced Engineering Research
10.4028/www.scientific.net/AMM.781

Yield Analysis Based on the Defect Analysis with Derivative Method
10.4028/www.scientific.net/AMM.781.160

DOI References

[3] Charles H. Strapper, Frederick M, Kiyotaka S., Integrated Circuit Yield Statistics, Procedding IEEE, Vol. 71, pp.453-470, (1983).
http://dx.doi.org/10.1109/PROC.1983.12619
[4] James A. cunningham, The Use and Evaluation of Yield models in Integrated Circuit Manufacturing, IEEE Transcation on Semiconductor Manufacturing, Vol. 3, pp.60-71, (1990).
http://dx.doi.org/10.1109/66.53188
[6] Weera pengchan, Toempong Petchakul, Amporn Poyai, The Local gerenation and Recombination lifetime based on forward diode characteristic diagnostics, Journal of crystal growth, Vol 362, pp.300-303, (2013).
http://dx.doi.org/10.1016/j.jcrysgro.2011.11.087

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติคณะผู้วิจัย

1. **ชื่อ - นามสกุล (ภาษาไทย)** ดร. วีระ เพ็งจันทร์
   ชื่อ - นามสกุล (ภาษาอังกฤษ) Dr. Weera Pengchan
2. **หน่วยงานและสถานที่อยู่ที่ติดต่อได้สะดวก พร้อมหมายเลขโทรศัพท์ โทรสาร และไปรษณีย์อิเล็กทรอนิกส์ (e-mail)**

ภาควิชา วิศวกรรมอิเล็กทรอนิกส์ คณะ วิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
โทรศัพท์ 023298000 ต่อ 3377 โทรสาร 023298346
E-mail: weera.pe@kmitl.ac.th

3. **ประวัติการศึกษา**

ปริญญา/วุฒิการศึกษา	ปีสำเร็จ	สถานศึกษา
ปริญญาเอก /วศ.ด. (วิศวกรรมไฟฟ้า)	2556	สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปริญญาโท /วศ.ม. (วิศวกรรมไฟฟ้า)	2541	สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปริญญาตรี / วศ.บ. (วัสดุศาสตร์)	2533	มหาวิทยาลัยเชียงใหม่

4. **ประสบการณ์งานวิจัยที่เกี่ยวข้อง และ/หรือที่ผ่านมา ทั้งภายในและภายนอกประเทศ โดยระบุสถานภาพในการทำวิจัยว่าเป็นผู้อำนวยการแผนงานวิจัย หัวหน้าโครงการวิจัย หรือผู้ร่วมวิจัยในแต่ละข้อเสนอการวิจัย**

ผู้วิจัย มีประสบการณ์ในวิจัยทางด้านอุปกรณ์สารกึ่งตัวนำและเทคโนโลยีกระบวนการสร้างวงจรรวมแบบซีมอส มากว่า 20 ปี ซึ่งตลอด 7 ปีที่ผ่านมา (พ.ศ. 2550-2557) ผู้วิจัยได้วิจัยทางด้านการวิเคราะห์จุดบกพร่องจากกระบวนการสร้างบนแผ่นฐานรองซิลิคอน และมีบทความวิจัยที่นำเสนอในการประชุมวิชาการระดับนานาชาติ ดังนี้

- ชื่อบทความ "Yield analysis based on the Defect Analysis with Derivative Method" Applied Mechanics and Materials Vol. 781 (2015) pp 160-163.
- ชื่อบทความ "Yield Analysis by Poisson Yield Model based on the Defect Analysis with Derivative Method" International Conference on Electrical Engineering/Electronics, Computer, Telecommunications, and Information Technology (ECTI-CON), 14-17 May 2014, Nakhon Ratchasima, Thailand.
- ชื่อบทความ "Defect Distribution and Yield Analysis Technique on Silicon Wafer" Journal of Advanced Materials Research, Vols. 911 (2014), pp.271-275.
- ชื่อบทความ "Power loss Analysis based on Leakage Currentin PN junctions" Journal of Advanced Materials Research, Vols. 739 (2013), pp.90-93.
- ชื่อบทความ "Local Generation and Recombination Lifetime based on Forward Diode Characteristics Diagnostics" Journal of Crystals Growth, Vols.362, 1 January 2013, pp.300-303.
- ชื่อบทความ "Improved extraction of the local carrier generation lifetime from forward diode characteristics" International Conference on Applied Materials and Electronics Engineering (AMEE 2012), 18-19 January 2012, Hong Kong, China.

เอกสารนี้ใช้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ชื่อบทความ "The Generation and Recombination Lifetime based on Forward Diode Characteristics Diagnostics" International Conference on Materials for Advanced Technologies (ICMAT2011), 26 June -1 July 2011, Singapore.
- ชื่อบทความ "Non-uniform Defects Assessment by I-V and C-V characteristics of p-n junction" International Conference on Defects in Semiconductors (ICDS-2011), 17-22 July 2011, Nelson, New Zealand.
- ชื่อบทความ "The Defects Analysis in CMOS Fabrication By Arrhenius Activation Energy Technique" the IEEE International Conference on Nano/Micro Engineered and Molecular Systems (IEEE-NEM2011), 20-23 February 2011, Kaohsiung, Taiwan.
- ชื่อบทความ "Introducing TCAD Tools in an Undergraduate Level in Electronics Laboratory" PSU-UNS International Conference on Engineering and Technology (ICET), 2-3 May 2011, Merlin Beach Resort Hotel, Tritrang Beach, Phuket, Thailand.
- ชื่อบทความ "Diagnostics of Ion Implantation with 0.8 micron CMOS Technology based on TCAD Simulation" Annual National Symposium on Computational Science and Engineering (ANSCSE) 23-26 March 2010, Mae Fah Luang University, Chiang Rai, Thailand.
- ชื่อบทความ "The Defect Generated in PN Junction Analysis by the Arrhenius Activation Energy Techique" Annual National Symposium on Computational Science and Engineering (ANSCSE) 23-26 March 2010, Mae Fah Luang University, Chiang Rai, Thailand.
- ชื่อบทความ "Optimization of Geometry of LOCOS Isolation in Sub micrometer CMOS by TCAD Tools" International Annual Symposium on Computational Science and Engineering (ANSCSE) 23-26 March 2010, Mae Fah Luang University, Chiang Rai, Thailand.
- ชื่อบทความ "Activation Energy Diagnostics of Implantation-induced Defects" International Conference on Materials for Advanced Technologies (ICMAT2009), 28 June-3July 2009, Singapore.
- ชื่อบทความ "Implantation-induced Defects Analysis Based on Activation Energy Diagnostics" International Symposium on Integrated Circuits (ISIC-2009), 14-16 December 2009, Singapore.
- ชื่อบทความ "Study of defect generated in PN Junction for 0.8 μm CMOS Fabrication" International Conference on Electrical Engineering/Electronics, Computer, Telecommunications, and Information Technology (ECTI - CON 2008), 14-17 May 2008, Kabi, Thailand.
- ชื่อบทความ "The Leakage Current of Doping Silicon effects on the Generation Lifetime Profile" International Conference on Materials Processing for Properties and Performance (MP3-2008), 5-7 November 2008, Singapore.

ประสบการณ์ในการทำโครงการวิจัย

ปี	ชื่อโครงการวิจัย	หัวหน้าโครงการวิจัย
2557	เทคนิคการวิเคราะห์ผลผลิตด้านความบกพร่องของอุปกรณ์อิเล็กทรอนิกส์บนแผ่นซิลิคอน Defect and Yield Analysis of Electronics Devices on Silicon Wafer	ดร.วีระ เพ็งจันทร์
2556	โครงการถ่ายทอดเทคโนโลยี : เทคนิคการวิเคราะห์หาความสม่ำเสมอของสารเจือจากกระบวนการสร้างบนแผ่นซิลิคอน Technology Transfer Project : Analysis Technique for the Doping Uniformity of Fabrication Process on Silicon wafer	ดร.วีระ เพ็งจันทร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้