

การสังเคราะห์และออกแบบวงจรกำเนิดสัญญาณไซน์ที่ให้เอาต์พุต  
ควอดเรเจอร์ในโหมดแรงดันและโหมดกระแสที่ควบคุมขนาดสัญญาณได้  
โดยใช้ VDCC

SYNTHESIS AND DESIGN OF SINUSOIDAL OSCILLATOR WITH VOLTAGE-  
MODE QUADRATURE OUTPUT AND CONTROLLABILITY CURRENT-MODE  
OUTPUTS USING VDCCs



เลขทะเบียน... 146402  
ใบเสร็จที่ 19 พ.ค. 2560

b. 12849401  
i. ....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาครุศาสตรบัณฑิต  
สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร  
คณะครุศาสตรบัณฑิต  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
พ.ศ. 2559

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในเท่านั้น กรุณาอย่าเผยแพร่โดยไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**SYNTHESIS AND DESIGN OF SINUSOIDAL OSCILLATOR WITH  
VOLTAGE-MODE QUADRATURE OUTPUT AND CONTROLLABILITY  
CURRENT-MODE OUTPUTS USING VDCCS**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT  
OF THE REQUIREMENTS FOR THE DEGREE OF  
MASTER OF SCIENCE IN INDUSTRIAL EDUCATION  
IN ELECTRICAL COMMUNICATIONS ENGINEERING  
FACULTY OF INDUSTRIAL EDUCATION  
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG  
2016**

**KMITL-2016-ED-M-231-101**  
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2016

FACULTY OF INDUSTRIAL EDUCATION

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์การเชิงงานเพื่อการศึกษาเท่านั้น เมื่อผู้ใดให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะครุศาสตร์อุตสาหกรรม  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง  
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์

การสังเคราะห์และออกแบบวงจรกำเนิดสัญญาณไซน์ที่ให้เอาต์พุต  
ควอดเรเจอร์ในโหมดแรงดันและโหมดกระแสที่ควบคุมขนาด  
สัญญาณได้โดยใช้ VDCC

Synthesis and Design of Sinusoidal Oscillator with  
Voltage-Mode Quadrature Output and Controllability  
Current-Mode Outputs Using VDCCs

นักศึกษา

นางสาวเกษิณี สามารถ

รหัสประจำตัว

56603279

ปริญญา

ครุศาสตร์อุตสาหกรรมมหาบัณฑิต

สาขาวิชา

วิศวกรรมไฟฟ้าสื่อสาร

อาจารย์ที่ปรึกษาวิทยานิพนธ์

ผศ.ดร.วินัย ใจกล้า

อาจารย์ที่ปรึกษาวิทยานิพนธ์ร่วม

รศ.ดร.พีระวุฒิ สุวรรณจันทร์

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
รศ.ดร.วิสุทธิ	สุนทรกนกพงศ์	
ผศ.ดร.วินัย	ใจกล้า	
รศ.ดร.พีระวุฒิ	สุวรรณจันทร์	
รศ.ปิยะ	ศุภวราสุวัฒน์	
ผศ.ดร.ศุภวัฒน์	ลาวัณย์วิสุทธิ	

วัน / เดือน / ปี ที่สอบ

11 กรกฎาคม 2559 เวลา 10.00 น. เป็นต้นไป

สถานที่สอบ

ณ ห้องเรียนปริญญาเอก คณะครุศาสตร์อุตสาหกรรม

คณะครุศาสตร์อุตสาหกรรมรับรองแล้ว



(รองศาสตราจารย์ ดร.กิติพงศ์ มะโน)

คณบดี คณะครุศาสตร์อุตสาหกรรม

วันที่ 19 เดือน 7 พ.ศ. 2559

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์

การสังเคราะห์และออกแบบวงจรถูกกำเนิดสัญญาณไซน์ที่  
ให้เอาต์พุตควอเดรเจอร์รีโนโหมดแรงดันและโหมดกระแส  
ที่ควบคุมขนาดสัญญาณได้โดยใช้ VDCC

นักศึกษา

นางสาวเกษิณี สามารถ

รหัสประจำตัว

56603279

ปริญญา

ครุศาสตร์อุตสาหกรรมมหาบัณฑิต

สาขาวิชา

วิศวกรรมไฟฟ้าสื่อสาร

พ.ศ.

2559

อาจารย์ที่ปรึกษาวิทยานิพนธ์

ผศ.ดร.วินัย ใจกล้า

อาจารย์ที่ปรึกษาวิทยานิพนธ์ร่วม

รศ.ดร.พีระวุฒิ สุวรรณจันทร์

### บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอการสังเคราะห์และออกแบบวงจรถูกกำเนิดสัญญาณไซน์ ที่สามารถ  
ให้สัญญาณเอาต์พุตแบบควอเดรเจอร์รีโนโหมดแรงดัน ( $V_{o1}$  และ  $V_{o2}$ ) และสัญญาณเอาต์พุตสอง  
สัญญาณที่สามารถควบคุมขนาดของสัญญาณได้ ( $I_{o1}$  และ  $I_{o2}$ ) นอกจากนี้สัญญาณทั้ง 2 ภายในโหมด  
กระแสจะมีความต่างเฟส 180 องศา และมีความต้านทานเอาต์พุตสูง วงจรถูกกำเนิดสัญญาณไซน์ที่  
นำเสนอใช้วงจรถูกจ่ายพานกระแสผลต่างแรงดัน (Voltage Differencing Current Conveyor  
VDCC) ต่อร่วมกับตัวต้านทานและตัวเก็บประจุลงกราวด์อย่างละสองตัว วงจรถูกกำเนิดสัญญาณไซน์  
แบบควอเดรเจอร์สามารถปรับเงื่อนไขการกำเนิดสัญญาณได้โดยไม่ส่งผลกระทบต่อความถี่ในการ  
กำเนิดสัญญาณและปรับเงื่อนไขในการกำเนิดสัญญาณแบบอเล็กทรอนิกส์ ภายในวิทยานิพนธ์มีการ  
ยืนยันผลการทำงานของวงจรถูกจ่ายพานกระแสผลต่างแรงดัน VDCC ที่มีโครงสร้างเป็น  
CMOS เทคโนโลยี 0.18  $\mu\text{m}$  TSMC และการต่อวงจรถูกจ่ายพานกระแสผลต่างแรงดันโดยอาศัยการทำงานจากไอซีเบอร์ LT1228  
และ AD844 เป็นโครงสร้างการทำงานของ VDCC โดยผลการทดสอบการทำงานของวงจรถูกกำเนิด  
สัญญาณไซน์เป็นไปตามที่ได้วิเคราะห์ไว้ในทางทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

<b>Thesis</b>	Synthesis and design of sinusoidal oscillator with voltage-mode quadrature output and controllability current-mode outputs using VDCCs
<b>Student</b>	Miss Kasinee Samart
<b>Student ID.</b>	56603279
<b>Degree Program</b>	Master of Science in Industrial Education Electrical Communication Engineering
<b>Year</b>	2016
<b>Thesis Advisor</b>	Asst. Prof. Dr. Winai Jaikla
<b>Thesis Co-advisor</b>	Assoc. Prof. Dr. Peerawut Suwanjan

## ABSTRACT

This thesis presents the synthesis and design of a sinusoidal oscillator. It can generate quadrature voltage-mode output and two current-mode outputs with amplitude controllability. Also, the two current-mode outputs with high impedance are 180 degree phase difference. The proposed sinusoidal oscillator employs two voltage differencing current conveyors (VDCCs), two grounded capacitors and two grounded resistors. The tuning of frequency of oscillation (FO) and condition of oscillation (CO) can be done independently and electronically. The performances of the proposed oscillator are verified via PSPICE simulation using CMOS VDCC in 0.18  $\mu\text{m}$  TSMC technology and experiment using VDCC constructed from commercially available ICs, LT1228 and AD844. The simulation and experimental results agree well with theoretical analysis.

## กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้ได้สำเร็จลุล่วงไปด้วยดี ด้วยอนุเคราะห์และความช่วยเหลืออย่างดียิ่งจากอาจารย์ที่ปรึกษาและอาจารย์ที่ปรึกษาร่วม ผศ.ดร.วินัย ใจกล้า และ รศ.ดร.พีระวุฒิ สุวรรณจันทร์ ได้มอบโอกาสและความรู้เมื่อผู้วิจัยมีความสนใจในเนื้อหาด้านการสังเคราะห์และออกแบบวงจร ซีพียู และอธิบายข้อบกพร่องต่างๆ รวมทั้งให้คำแนะนำในการปรับปรุงผลงาน ขอบพระคุณคณะกรรมการสอบวิทยานิพนธ์ ผศ.ดร.ศุภวัฒน์ ลาวังวิสุทธิ คณะเทคโนโลยีอุตสาหกรรม มหาวิทยาลัยราชภัฏเทพสตรี คณาจารย์ประจำสาขาวิศวกรรม รศ.ดร.วิสุทธิ สุนทรกนกพงศ์ รศ.ปิยะ ศุภวารสุวัฒน์ คณะครุศาสตร์อุตสาหกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ให้ความกรุณา สั่งสอน ตรวจสอบ ซึ่งแนะจุดที่บกพร่องวิทยานิพนธ์ฉบับนี้ให้มีความถูกต้องสมบูรณ์

ข้าพเจ้าขอกราบขอบพระคุณ บิดา นายจำเริญ สามารถ มารดา นางอมรรัตน์ สามารถ ที่ได้ให้ชีวิต ให้กำลังใจ และที่ขาดไม่ได้ให้การส่งเสริม ให้ข้าพเจ้าได้มีโอกาสได้รับการศึกษา หากความรู้แล้วยังคอยอบรมสั่งสอนข้าพเจ้ามาจนถึงทุกวันนี้ รวมถึงผู้ที่มีพระคุณทุกท่านที่คอยเป็นกำลังใจให้แก่ข้าพเจ้ามาโดยตลอดจนสำเร็จการศึกษา

ท้ายนี้ขอบคุณเพื่อน ๆ นักศึกษาสาขาวิศวกรรมไฟฟ้าสื่อสาร รุ่น 19 และเพื่อน ๆ ครุศาสตร์วิศวกรรม 5 ปี รุ่น 30 และที่คอยให้คำปรึกษา ข้อคิดเห็น ตลอดจนคอยให้กำลังใจ และเป็นแรงผลักดันให้แก่ข้าพเจ้า และข้าพเจ้าหวังเป็นอย่างยิ่งว่าวิทยานิพนธ์ฉบับนี้จะเป็นประโยชน์ต่อการศึกษาด้านการสังเคราะห์และออกแบบวงจรกำเนิดสัญญาณ หากมีข้อผิดพลาดประการใด ข้าพเจ้าขออภัยมา ณ ที่นี้ด้วย

เกษิณี สามารถ

# สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 วัตถุประสงค์ของการวิจัย.....	2
1.3 กรอบแนวคิดที่ใช้ในการวิจัย.....	2
1.4 ขอบเขตการวิจัย.....	3
1.5 นิยามศัพท์เฉพาะที่ใช้ในการวิจัย.....	4
บทที่ 2 เอกสารและงานวิจัยที่เกี่ยวข้อง.....	5
2.1 หลักการทั่วไปของวงจรกำเนิดสัญญาณไซน์.....	5
2.2 เทคนิคการออกแบบวงจรกำเนิดสัญญาณไซน์สำหรับวงจรรวม.....	8
2.3 หลักการทั่วไปของวงจรสายพานกระแสผลต่างแรงดัน (VDCC).....	14
2.4 งานวิจัยที่เกี่ยวข้อง.....	16
บทที่ 3 วิธีดำเนินการวิจัย.....	27
3.1 การสังเคราะห์วงจรกำเนิดสัญญาณไซน์.....	28
3.2 การวิเคราะห์วงจรกำเนิดสัญญาณไซน์ในทางทฤษฎี.....	34
3.3 การวิเคราะห์วงจรกำเนิดสัญญาณไซน์ในทางปฏิบัติ.....	37
บทที่ 4 ผลการวิจัยและวิเคราะห์ข้อมูล.....	49
4.1 ผลการจำลองการทำงานของวงจรกำเนิดสัญญาณไซน์ด้วยโปรแกรม PSPICE.....	49
4.2 ผลการทำงานของวงจรกำเนิดสัญญาณไซน์ที่นำเสนอด้วยการต่อวงจรจริง.....	56
4.3 ผลการออกแบบวงจรกำเนิดสัญญาณไซน์.....	62
บทที่ 5 สรุปผล อภิปรายผลและข้อเสนอแนะ.....	64
5.1 สรุปผลการวิจัย.....	64
5.2 อภิปรายผลการวิจัย.....	65
5.3 ข้อเสนอแนะในงานวิจัยนี้และงานวิจัยครั้งต่อไป.....	67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญ (ต่อ)

	หน้า
บรรณานุกรม.....	68
ภาคผนวก.....	71
ภาคผนวก ก คุณสมบัติ ไอซี LT1228.....	72
ภาคผนวก ข คุณสมบัติ ไอซี AD844.....	81
ภาคผนวก ค พารามิเตอร์ที่ใช้ในการจำลองการทำงานของวงจรที่นำเสนอ.....	94
ประวัติผู้เขียน.....	97



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญตาราง

ตารางที่	หน้า
4.1 ค่าความกว้างและความยาวของช่องทางเดินกระแสของอุปกรณ์ PMOS และ NMOS ทรานซิสเตอร์ ภายในวงจรรำเนิดสัญญาณไซน์ที่นำเสนอ.....	49
4.2 การกำหนดอุปกรณ์ภายในวงจรรำเนิดสัญญาณไซน์ที่ใช้ในการทดลองผ่านโปรแกรม PSPICE..	51
4.3 ค่าความจุและความต้านทานแฝงแต่ละขั้วของอุปกรณ์ VDCC.....	56
4.4 ค่าพารามิเตอร์แฝงของอุปกรณ์มอสทรานซิสเตอร์.....	56
5.1 การเปรียบเทียบคุณสมบัติของวงจรรำเนิดสัญญาณที่ได้ศึกษา.....	66
ค.1 พารามิเตอร์ที่ใช้ในการจำลองการทำงานของวงจรรำเนาเสนอ.....	95



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# สารบัญรูป

รูปที่	หน้า
1.1 บล็อกไดอะแกรมวงจรกำเนิดสัญญาณไซน์ที่สร้างจากวงจรอินทิเกรเตอร์.....	3
2.1 องค์ประกอบของวงจรกำเนิดสัญญาณ.....	6
2.2 บล็อกไดอะแกรมวงจรกำเนิดสัญญาณที่มีการป้อนกลับแบบบวก.....	7
2.3 ความหมายเงื่อนไขบาร์คูลูเซ่น.....	8
2.4 บล็อกไดอะแกรมวงจรกำเนิดสัญญาณไซน์แบบควอดเรเจอร์ที่สร้างจากวงจรกรองผ่านทุกความถี่อันดับหนึ่งกับวงจรอินทิเกรเตอร์.....	9
2.5 บล็อกไดอะแกรมวงจรกำเนิดสัญญาณไซน์ที่สร้างจากวงจรอินทิเกรเตอร์.....	10
2.6 วงจรกำเนิดสัญญาณไซน์ที่สร้างจากตัวต้านทานแบบลบ.....	12
2.7 บล็อกไดอะแกรมวงจรกำเนิดสัญญาณไซน์ที่สร้างจากสมการอันดับสาม.....	13
2.8 สัญลักษณ์โครงสร้างวงจรสายพานกระแผลผลต่างแรงดัน.....	14
2.9 โครงสร้างภายในของวงจรสายพานกระแผลผลต่างแรงดัน.....	15
2.10 วงจรกำเนิดสัญญาณที่ใช้ CDTA จำนวน 3 ตัว.....	16
2.11 วงจรกำเนิดสัญญาณที่ใช้ CDTA จำนวน 3 ตัว.....	17
2.12 วงจรกำเนิดสัญญาณที่ใช้ DVCCTA จำนวน 1 ตัว ใช้งานร่วมกับอุปกรณ์พาสซีฟจำนวน 4 ตัว.....	18
2.13 วงจรกำเนิดสัญญาณที่ใช้ DVCCTA จำนวน 1 ตัว ใช้งานร่วมกับอุปกรณ์พาสซีฟจำนวน 3 ตัว.....	19
2.14 วงจรกำเนิดสัญญาณที่ใช้ MCBTA จำนวน 1 ตัว.....	20
2.15 วงจรกำเนิดสัญญาณที่ใช้ DVCC จำนวน 1 ตัว.....	21
2.16 วงจรกำเนิดสัญญาณที่ใช้ CCCCTA จำนวน 1 ตัว.....	22
2.17 วงจรกำเนิดสัญญาณที่ใช้ VDTA จำนวน 2 ตัว.....	23
2.18 วงจรกำเนิดสัญญาณที่ใช้ CFOA จำนวน 2 ตัว.....	24
2.19 วงจรกำเนิดสัญญาณที่ใช้ CCCDTA จำนวน 2 ตัว.....	25
2.20 วงจรกำเนิดสัญญาณที่ใช้ DDCC จำนวน 3 ตัว.....	26
3.1 ขั้นตอนการดำเนินภายในวิทยานิพนธ์.....	27
3.2 บล็อกไดอะแกรมวงจรกำเนิดสัญญาณไซน์ที่สร้างจากวงจรอินทิเกรเตอร์.....	28
3.3 บล็อกไดอะแกรมวงจรอินทิเกรเตอร์ที่มีการสูญเสีย.....	29
3.4 วงจรอินทิเกรเตอร์ที่มีการสูญเสีย โดยใช้ VDCC.....	30
3.5 บล็อกไดอะแกรมวงจรอินทิเกรเตอร์ที่ไม่มีการสูญเสีย.....	32
3.6 วงจรอินทิเกรเตอร์ที่ไม่มีการสูญเสียโดยใช้ VDCC.....	32
3.7 วงจรกำเนิดสัญญาณไซน์โดยใช้ VDCC.....	34
3.8 วงจรเทียบเคียงอุปกรณ์ VDCC เมื่อมีความจุและความต้านทานแฝง.....	37
3.9 วงจรกำเนิดสัญญาณไซน์แบบควอดเรเจอร์ในกรณีที่มีผลกระทบจากความต้านทานและความจุแฝงในตัวอุปกรณ์ VDCC.....	38

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์อื่นใดเป็นการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## สารบัญรูป (ต่อ)

รูปที่	หน้า
3.10 วงจรกำเนิดสัญญาณไซน์แบบควอเตรเจอร์ในกรณีที่ไม่มีผลกระทบจากความต้านทานและความจุแฝงในตัวอุปกรณ์ VDCC เมื่อแทนตัวอุปกรณ์ในวงจรด้วยแอดมิแตนซ์.....	39
4.1 วงจรกำเนิดสัญญาณไซน์ที่ใช้ในการทดลองผ่านโปรแกรม PSPICE.....	50
4.2 ผลการจำลองการทำงานของวงจรถูกกำเนิดสัญญาณไซน์โหมดแรงดันในสภาวะเริ่มต้น.....	51
4.3 ผลการจำลองการทำงานของวงจรถูกกำเนิดสัญญาณไซน์โหมดแรงดัน.....	52
4.4 สเปกตรัมของสัญญาณ $V_{O1}$ และ $V_{O2}$ มีความถี่ในการกำเนิดสัญญาณเท่ากับ 3.22 MHz.....	52
4.5 ผลการจำลองการทำงานของวงจรถูกกำเนิดสัญญาณไซน์โหมดกระแสในสภาวะเริ่มต้น.....	52
4.6 ผลการจำลองการทำงานของวงจรถูกกำเนิดสัญญาณไซน์โหมดกระแส.....	53
4.7 สเปกตรัมของสัญญาณ $I_{O1}$ และ $I_{O2}$ มีความถี่ในการกำเนิดสัญญาณเท่ากับ 3.22 MHz.....	53
4.8 การปรับขนาดของสัญญาณเอาต์พุตโหมดกระแสโดยการปรับ $R_2$ .....	54
4.9 ผลการจำลองความถี่ในการกำเนิดสัญญาณโดยการปรับค่า $R_1$ .....	54
4.10 กราฟแสดงค่าผิดพลาดเฟสรวมของสัญญาณเอาต์พุต $V_{O1}$ , $V_{O2}$ , $I_{O1}$ และ $I_{O2}$ .....	55
4.11 ขนาดของสัญญาณเอาต์พุต $V_{O1}$ , $V_{O2}$ , $I_{O1}$ และ $I_{O2}$ เมื่อปรับค่า $R_1$ .....	55
4.12 โครงสร้างภายในของ VDCC โดยใช้ไอซีเบอร์ LT1228 และไอซีเบอร์ AD844.....	57
4.13 วงจรกำเนิดสัญญาณไซน์ที่นำเสนอด้วยการต่อวงจรจริง.....	57
4.14 ผลการทำงานของวงจรถูกกำเนิดสัญญาณไซน์โหมดแรงดัน.....	58
4.15 สเปกตรัมของสัญญาณ $V_{O1}$ มีความถี่เท่ากับ 10.27 kHz.....	59
4.16 สเปกตรัมของสัญญาณ $V_{O2}$ มีความถี่เท่ากับ 10.20 kHz.....	59
4.17 ผลการทำงานของวงจรถูกกำเนิดสัญญาณไซน์โหมดกระแส.....	60
4.18 สเปกตรัมของสัญญาณ $I_{O1}$ มีความถี่ในการกำเนิดสัญญาณเท่ากับ 9.32 kHz.....	60
4.19 สเปกตรัมของสัญญาณ $I_{O2}$ มีความถี่ในการกำเนิดสัญญาณเท่ากับ 9.32 kHz.....	60
4.20 การปรับขนาดของสัญญาณเอาต์พุตโหมดกระแส ( $I_{pp}$ ) โดยปรับค่า $R_2$ ในวงจรจริง.....	61
4.21 ผลทดสอบการปรับความถี่.....	62
4.22 ผลการทดสอบการออกแบบวงจรถูกกำเนิดสัญญาณภายในวงจรจริง.....	63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# บทที่ 1

## บทนำ

### 1.1 ความเป็นมาและความสำคัญของปัญหา

ตั้งแต่อดีตถึงปัจจุบันมนุษย์ได้คิดค้นและพัฒนาอุปกรณ์อิเล็กทรอนิกส์ เพื่อนำไปสู่นวัตกรรมและเทคโนโลยีใหม่ๆ ที่ทันสมัยและสะดวกสบายต่อการดำรงชีวิตในปัจจุบัน ซึ่งการพัฒนาอุปกรณ์อิเล็กทรอนิกส์จะมีพื้นฐานสำคัญมาจากวงจรอิเล็กทรอนิกส์ที่อยู่ภายในอุปกรณ์ดังกล่าวเนื่องจากวงจรอิเล็กทรอนิกส์จะเป็นหัวใจสำคัญในการทำงานของอุปกรณ์ วงจรอิเล็กทรอนิกส์สามารถแบ่งประเภทออกเป็น 2 ส่วนคือ วงจรอนาล็อก และวงจรดิจิทัล ตัวอย่างอุปกรณ์อิเล็กทรอนิกส์ที่มีการนำวงจรอิเล็กทรอนิกส์เป็นส่วนประกอบของการทำงาน ได้แก่ อุปกรณ์สื่อสาร อาทิ โทรศัพท์ เครื่องรับวิทยุ เครื่องมือวัด รวมถึงเครื่องใช้ไฟฟ้าต่างๆ โดยเฉพาะอย่างยิ่งในส่วนของอุปกรณ์ด้านการสื่อสารล้วนมีพื้นฐานมาจากการสื่อสารระบบอนาล็อกหรือวงจรอนาล็อก อาทิเช่นระบบการสื่อสารบนเครื่องรับวิทยุ ระบบเครื่องมือวัด เช่นอุปกรณ์กำเนิดสัญญาณ (Vector generators) จะมีการทำงานจากวงจรถ่ายสัญญาณหรือที่เรียกว่าวงจรถ่ายสัญญาณที่อยู่ในอุปกรณ์ (Chandee, et. al. 2014: 1-4; Prasad, et. al. 2013: 169-172; Jin and Wang, 2012: 291-300; Grigorescu, et. al. 2008: 140-150; Chien and Wang, 2013: 216-224; Lahiri, 2012: 303-311)

ปัจจุบันวงจรถ่ายสัญญาณไซน์ที่ได้รับความนิยม คือ วงจรถ่ายสัญญาณไซน์ที่มีสัญญาณขาออก (เอาต์พุต) มากกว่าหนึ่งสัญญาณที่มีความต่างเฟสกัน เช่น วงจรถ่ายสัญญาณไซน์แบบควอดเรเจอร์ คือ วงจรถ่ายสัญญาณที่ให้กำเนิดสัญญาณ 2 สัญญาณที่ต่างเฟส 90 องศา มีการนำไปใช้งานในระบบการมอดูเลตทางขนาดและเฟส (Quadrature Amplitude Modulation : QAM) การมอดูเลตเชิงขนาดแบบแถบข้างเดี่ยว (Single Sideband: SSB) (นเรศรัชต์ ไทยแท้ และคณะ, 2553: 95-100) และวงจรถ่ายสัญญาณที่ให้กำเนิดสัญญาณ 2 สัญญาณที่ต่างเฟส 180 องศา เป็นต้น ปัจจุบันการสังเคราะห์และออกแบบวงจรถ่ายสัญญาณไซน์จะนิยมใช้งานร่วมกับอุปกรณ์แอคทีฟ (Active Building Block) เนื่องจากการทำงานของอุปกรณ์แอคทีฟแต่ละชนิด สามารถลดข้อจำกัดของวงจรถ่ายสัญญาณได้ อาทิ การพัฒนาขนาดของวงจรถ่ายสัญญาณให้มีขนาดเล็กลงสามารถปรับเงื่อนไขและความถี่ในกำเนิดสัญญาณจากกระแสไบอัสภายนอกแทนการปรับจากอุปกรณ์ตัวต้านทานหรือตัวเก็บประจุ

จากการศึกษางานวิจัยที่มีการนำเสนอการออกแบบวงจรถ่ายสัญญาณไซน์ โดยอาศัยการทำงานหลักจากอุปกรณ์แอคทีฟ เช่น อุปกรณ์ Current Differencing Transconductance Amplifier (CDTA) (Jin and Wang, 2012: 291-300; Tangsrirat and Tanjaroen, 2010: 363-366) อุปกรณ์ Voltage Differencing Transconductance Amplifier (VDTA) (Chandee, et. al. 2014: 1-4; Prasad, et. al. 2013: 169-172; Prasad, et. al. 2013: 169-172; Srivastava, et. al. 2014: 1501 – 1507; Channumsin and Jantakun, 2014: 4-7; Herencsar, et. al. 2013: 87-90) อุปกรณ์ Current-Feedback Operational Amplifiers (CFOA) (Bhaskar and Senani, 2014: 2014-2021; Chen, et. al. 2014: 470-473) อุปกรณ์ Differential Voltage Current Conveyor (DVCC) (Chien, 2013: 395-404) และ อุปกรณ์ Modified Current Backward

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่สงวนลิขสิทธิ์ในการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Transconductance Amplifier (MCBTA) (Herencsar, et. al. 2011: 41-44) เป็นต้น จากการศึกษาพบว่าในการสังเคราะห์และออกแบบวงจรกำเนิดสัญญาณไซน์ บางวงจรยังมีข้อจำกัดดังนี้ (ก) ไม่สามารถออกแบบให้ควบคุมแบบอิเล็กทรอนิกส์ได้ (Saied, et. al. 2011: 269-273; Chen, et. al. 2014: 470-473) (ข) วงจรกำเนิดสัญญาณไซน์ไม่สามารถให้กำเนิดไซน์แบบควอดเรเจอร์ได้ (Chien. 2013: 395-404; Bhaskar and Senani, 2014: 2014-2021; Chien and Chen, 2014: 226-238; Herencsar, et. al. 2011: 41-44) (ค) ไม่สามารถปรับเงื่อนไขการกำเนิดสัญญาณอิสระจากความถี่ในการกำเนิดสัญญาณ (Chien and Chen, 2014: 226-238) (ง) ใช้งานอุปกรณ์แอกทีฟจำนวนมากกว่า 2 ตัว (Tangsrirat and Tanjaroen, 2010: 363-366) จะทำให้เกิดข้อจำกัดในการพัฒนาต่อเพื่อการสร้างวงจรรวม (จ) ใช้งานตัวเก็บประจุและตัวต้านทานจำนวนมาก (Herencsar, et. al. 2011: 41-44) (ฉ) ไม่สามารถปรับขนาดของสัญญาณไซน์ได้ (Tangsrirat and Tanjaroen, 2010: 363-366; Prasad, et. al. 2013: 169-172; Bhaskar and Senani, 2014: 2014-2021; Chien and Chen, 2014: 226-238; (Herencsar, et. al. 2011: 41-44)

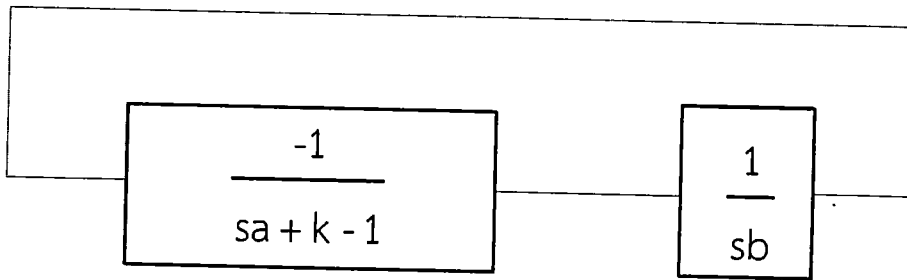
จากหลักการที่ได้กล่าวมาข้างต้นวิทยานิพนธ์ฉบับนี้มีความประสงค์จะสังเคราะห์และออกแบบวงจรกำเนิดสัญญาณไซน์แบบควอดเรเจอร์ โดยพัฒนาเพื่อลดข้อจำกัดเรื่องออกแบบให้ควบคุมแบบอิเล็กทรอนิกส์ได้ สามารถปรับความถี่ได้โดยไม่มีผลกระทบต่อการทำงานของวงจรกำเนิดสัญญาณ การปรับขนาดของสัญญาณไซน์ และ โครงสร้างที่มีการต่อใช้งานอุปกรณ์แอกทีฟไม่เกิน 2 ตัว โดยอาศัยการทำงานจากอุปกรณ์แอกทีฟ คือ วงจรสายพานกระแสผลต่างแรงดัน (Voltage Differencing Current Conveyors: VDCC) ต่อกับตัวต้านทานและตัวเก็บประจุ

## 1.2 วัตถุประสงค์ของการวิจัย

- 1.2.1 เพื่อสังเคราะห์และออกแบบวงจรกำเนิดสัญญาณไซน์โดยใช้วงจรสายพานกระแสผลต่างแรงดัน
- 1.2.2 เพื่อวิเคราะห์สมรรถนะวงจรกำเนิดสัญญาณไซน์โดยใช้วงจรสายพานกระแสผลต่างแรงดัน
- 1.2.3 เพื่อทดสอบสมรรถนะวงจที่ได้สังเคราะห์และออกแบบด้วยโปรแกรม PSPICE และการต่อวงจรจริง

## 1.3 กรอบแนวคิดที่ใช้ในการวิจัย

แนวความคิดในการสังเคราะห์วงจรกำเนิดสัญญาณไซน์แบบควอดเรเจอร์ภายในวิทยานิพนธ์ฉบับนี้สร้างจากวงจรรวมอินทิเกรเตอร์ (Integrator) ดังรูปที่ 1.1 ประกอบด้วยวงจรรวมอินทิเกรเตอร์ 2 ส่วน คือ วงจรรวมอินทิเกรเตอร์แบบมีการสูญเสีย (Lossy Integrator) และวงจรรวมอินทิเกรเตอร์แบบไม่มีการสูญเสีย (Lossless Integrator)



รูปที่ 1.1 บล็อกไดอะแกรมวงจรถ้าเนิดสัญญาณไซน์ที่สร้างจากวงจรถออินทิเกรเตอร์

จากรูปที่ 1.1 จะได้สมการลักษณะสมบัติ ดังสมการที่ (1.1)

$$s^2ab + sb(k-1) + 1 = 0 \quad (1.1)$$

จากสมการลักษณะสมบัติ สมการที่ (1.1) สามารถหาเงื่อนไขและความถี่ในการกำเนิดสัญญาณตามสมการที่ (1.2) และ (1.3) ตามลำดับ

$$k = 1 \quad (1.2)$$

และ

$$\omega = \sqrt{\frac{1}{ab}} \quad (1.3)$$

จากสมการที่ (1.2) และสมการที่ (1.3) จะเห็นว่าสามารถปรับค่าพารามิเตอร์เงื่อนไขและความถี่ในการกำเนิดสัญญาณได้อิสระจากกัน อย่างไรก็ตามในการปรับเงื่อนไขตามสมการที่ (1.2) ในทางปฏิบัติจะต้องมีการปรับค่า  $k$  ให้มีค่าน้อยกว่า 1 เล็กน้อย

#### 1.4 ขอบเขตของการวิจัย

1.4.1 วงจรถ้าเนิดสัญญาณไซน์สามารถให้กำเนิดสัญญาณไซน์ได้ 2 สัญญาณ ที่ต่างเฟสกัน 90 องศา ในโหมดแรงดัน

1.4.2 วงจรถ้าเนิดสัญญาณไซน์สามารถให้กำเนิดสัญญาณไซน์ได้ 2 สัญญาณ ที่ต่างเฟสกัน 180 องศา ในโหมดกระแส

1.4.3 วงจรถ้าเนิดสัญญาณไซน์แบบควอเดรเจอร์ที่ใช้งานวงจรถ้ายพานกระแสผลต่างแรงดัน จำนวน 2 ตัว

1.4.4 วงจรถ้าเนิดสัญญาณไซน์แบบควอเดรเจอร์สามารถปรับเงื่อนไขการกำเนิดสัญญาณได้โดยไม่ส่งผลกระทบต่อความถี่ในการกำเนิดสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4.5 วงจรกำเนิดสัญญาณไซน์แบบควอดเรเจอร์ใช้ตัวต้านทานและตัวเก็บประจุต่อลงกราวนด์

## 1.5 นิยามศัพท์เฉพาะที่ใช้ในการวิจัย

1.5.1 วงจรกำเนิดสัญญาณไซน์แบบควอดเรเจอร์ (Sinusoidal Quadrature Oscillator) คือวงจรอิเล็กทรอนิกส์ที่สามารถให้กำเนิดสัญญาณไซน์ จำนวนสองสัญญาณ โดยสัญญาณทั้งสองมีความต่างเฟสเท่ากับ 90 องศา

1.5.2 วงจรสายพานกระแสผลต่างแรงดัน (Voltage Differencing Current Conveyors : VDCC) คือวงจรรวมที่มีโครงสร้างมาจากอุปกรณ์ PMOS และ NMOS ทรานซิสเตอร์ อยู่ภายในจำนวนทั้งสิ้น 22 ตัว และมีพื้นฐานการทำงานมาจากวงจรขยายความนำถ่ายโอน และวงจรสายพานกระแสยุคที่สอง

1.5.3 อุปกรณ์แอคทีฟ (Active Building Block : ABB) คือ อุปกรณ์อิเล็กทรอนิกส์ที่มีขั้วอินพุตและเอาต์พุตอยู่ในวงจร สามารถนำมาออกแบบและสังเคราะห์เป็นวงจรต่างๆ ซึ่งมีพื้นฐานการทำงานจากอุปกรณ์ประเภททรานซิสเตอร์หรืออุปกรณ์แอคทีฟ

1.5.4 ควบคุมแอมพลิจูดของสัญญาณไซน์ คือ การปรับขนาดความกว้าง (Amplitude) ของสัญญาณไซน์

1.5.5 ควบคุมแบบอิเล็กทรอนิกส์ คือ การควบคุมเงื่อนไขหรือความถี่ในการกำเนิดสัญญาณจากกระแสไปอัส

1.5.6 วงจรรวม (Integrated Circuit : IC) คือ วงจรอิเล็กทรอนิกส์ที่สร้างเป็นชิ้นส่วนอิเล็กทรอนิกส์โดยภายในมีพื้นฐานการทำงานมาจาก ทรานซิสเตอร์ ไดโอด ประกอบเข้าด้วยกัน มีจำหน่ายในเชิงพาณิชย์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 2

# เอกสารและงานวิจัยที่เกี่ยวข้อง

ภายในบทที่ 2 จะกล่าวถึงทฤษฎีพื้นฐานและวิทยานิพนธ์ที่เกี่ยวข้องวงจรกำเนิดสัญญาณไซน์ โดยจะประกอบด้วยหัวข้อดังต่อไปนี้

- 2.1 หลักการทั่วไปของวงจรกำเนิดสัญญาณไซน์
- 2.2 เทคนิคการออกแบบวงจรกำเนิดสัญญาณไซน์สำหรับวงจรรวม
- 2.3 หลักการทั่วไปของวงจรสายพานกระแสผลต่างแรงดัน (VDCC)
- 2.4 งานวิจัยที่เกี่ยวข้อง

### 2.1 หลักการทั่วไปของวงจรกำเนิดสัญญาณไซน์

จีสุดา เกษร (2542: 28) อธิบายว่าวงจรกำเนิดสัญญาณหรือวงจรออสซิลเลเตอร์ (Oscillator circuit หรือ Waveform generator) เป็นวงจรที่มีบทบาทสำคัญมากต่อการทำงานของอุปกรณ์อิเล็กทรอนิกส์โดยเฉพาะในด้านการสื่อสาร มีหน้าที่หลักคือให้กำเนิดสัญญาณขาออก (Output) มีหลักการการทำงานของวงจรคือสามารถให้กำเนิดสัญญาณทางด้านขาออก โดยที่ไม่มีการป้อนสัญญาณเข้าไป (Input signal) ซึ่งจะเป็นสัญญาณไซน์ในคาบเวลา (Pulse period time) ตัวอย่างการนำวงจรกำเนิดสัญญาณไซน์ไปประยุกต์ใช้งานสามารถพบเจอในชีวิตประจำวัน เช่น ระบบวิทยุ โดยการนำไปสร้างคลื่นพาห์ (Carrier signal) สำหรับการมอดูเลตระหว่างสัญญาณคลื่นพาห์ และสัญญาณคลื่นข่าวสารเข้าด้วยกัน เป็นต้น ซึ่งภายในวิทยานิพนธ์นี้จะเป็นการนำเสนอวงจรกำเนิดสัญญาณรูปไซน์ (Sinusoidal oscillator)

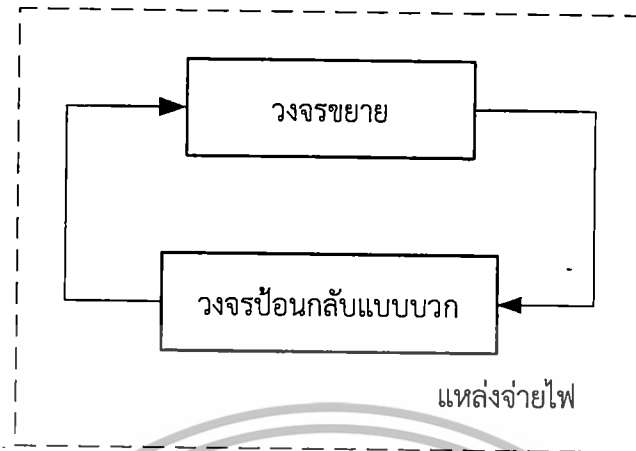
การสร้างและออกแบบวงจรกำเนิดสัญญาณไซน์ ตั้งแต่อดีตจนถึงปัจจุบันมีการนำอุปกรณ์อิเล็กทรอนิกส์มาใช้งาน เช่น วงจรกำเนิดสัญญาณที่สร้างจากอุปกรณ์พาสซีฟ (Oscillator using paralleled RLC) วงจรกำเนิดสัญญาณแบบคริสตัล (Crystal oscillator) วงจรกำเนิดสัญญาณแบบเลื่อนเฟส (Phase shift oscillator) วงจรกำเนิดสัญญาณแบบวินบริดจ์ (Wien-bridge oscillator) วงจรกำเนิดสัญญาณแบบโคลพิทซ์ (Colpitts oscillator) วงจรกำเนิดสัญญาณแบบฮาร์ทลีย์ (Heartlet oscillator) เป็นต้น ซึ่งการออกแบบวงจรกำเนิดสัญญาณนั้นจำเป็นต้องวิเคราะห์หาค่าพารามิเตอร์ต่างๆ ในวงจรกำเนิดสัญญาณนั้น คือการหาสมการลักษณะสมบัติ เงื่อนไขในการกำเนิดสัญญาณ และความถี่ในการกำเนิดสัญญาณ โดยจะกล่าวในหัวข้อที่ 2.2

#### 2.1.1 พื้นฐานการทำงานของวงจรกำเนิดสัญญาณไซน์

การทำงานของวงจรกำเนิดสัญญาณไซน์มีพื้นฐานการทำงานมาจากวงจรขยาย (Amplifier Circuit) ต่อร่วมกับวงจรป้อนกลับแบบบวก (Feedback Circuit) ทำงานร่วมกัน โดยวงจรขยายจะทำหน้าที่กำหนดเงื่อนไขการกำเนิดสัญญาณเพื่อให้สามารถดำรงการกำเนิดสัญญาณไว้ได้ และชดเชยพลังงานที่สูญเสียภายในจากวงจรกำเนิดสัญญาณ ส่วนวงจรป้อนกลับจะเป็นวงจรที่นำสัญญาณจากด้านขาออกจากวงจรขยาย ป้อนกลับไปยังด้านขาเข้าของวงจรขยายและทำหน้าที่กำหนดความถี่ภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งยังมีให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร นอกจากนี้ในการทำงานของวงจรจะต้องมีตัวกำเนิดพลังงาน จ่ายไฟเลี้ยง (Energy Source) ให้กับอุปกรณ์ต่างๆ ตามรูปที่ 2.1 (จิรสุตา เกษร. 2542: 28)



รูปที่ 2.1 องค์ประกอบของวงจรถูกกำเนิดสัญญาณ

### 2.1.2 สถานะการทำงานของวงจรถูกกำเนิดสัญญาณ

จิรสุตา เกษร (2542: 28) อธิบายหลักการทำงานของวงจรถูกกำเนิดสัญญาณไว้ว่า วงจรถูกกำเนิดสัญญาณสามารถแบ่งสถานะการทำงานออกเป็น 3 สถานะ คือ สถานะเริ่มต้นการทำงานของวงจร (First Turn-On) สถานะการสร้างสัญญาณ (Signal Build Up) และสถานะรักษาการสร้างสัญญาณ (Sustained Oscillation) โดยมีรายละเอียดแต่ละสถานะดังนี้

#### 2.1.2.1 สถานะเริ่มต้นการทำงานของวงจร (First Turn-On)

เป็นสถานะเริ่มแรกตั้งแต่การได้รับกำลังงานจากแหล่งจ่ายภายนอกเข้ามายังวงจร ทำให้เกิดสถานะเปลี่ยนย้าย (Transition) ทำให้เกิดการกระจายของสเปกตรัมขึ้น แต่ภายในวงจรถูกกำเนิดสัญญาณแต่ละวงจรจะมีวงจรถูกกำหนดความถี่อยู่ใน ทำให้มีเพียงความถี่ที่โดดเด่นแค่ความถี่เดียว และความถี่นั้นจะถูกป้อนกลับในวงจรถูกป้อนกลับ ด้วยเหตุนี้จึงมีความถี่สัญญาณที่ออกจากวงจรเป็นสัญญาณขาออกของวงจร

#### 2.1.2.2 สถานะการสร้างสัญญาณ (Signal Build Up)

เมื่อผ่านสถานะเริ่มต้นนั้นแสดงว่าวงจรได้ถูกกำหนดความถี่แล้วสัญญาณด้านขาออกจะถูกป้อนกลับไปยังขาเข้าของวงจร ซึ่งในสถานะการสร้างสัญญาณวงจรจะจัดเฟสสัญญาณให้ตรงกันเพื่อเพิ่มกำลังให้สัญญาณ

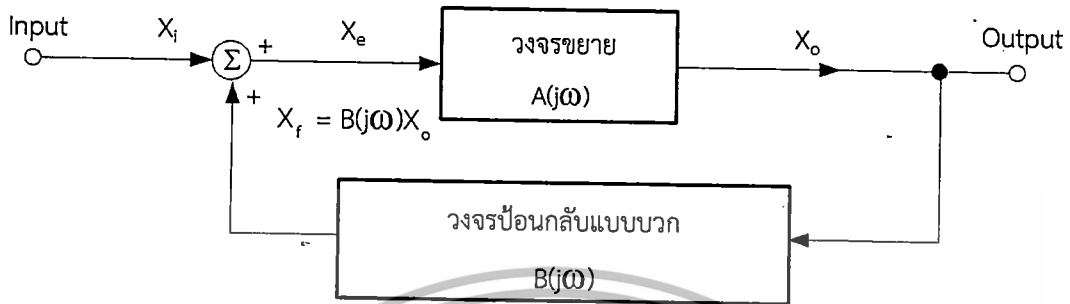
#### 2.1.2.2 สถานะรักษาการสร้างสัญญาณ (Sustained Oscillation)

อ้างอิงเงื่อนไขของบาร์คัส เช่น คือ “ผลคูณอัตราขยายของวงจรขยายและวงจรถูกป้อนกลับจะต้องมีค่าเท่ากับหนึ่ง” แต่หากในทางปฏิบัติแล้วผลคูณอัตราขยายควรมีค่ามากกว่าหนึ่งเล็กน้อยในสถานะเริ่มแรก จากเงื่อนไขดังกล่าวจะเป็นการรักษาการสร้างสัญญาณให้คงอยู่ และขดเคียวการลดทอนสัญญาณที่เกิดขึ้นในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 2.1.3 เงื่อนไขการกำเนิดสัญญาณของวงจร

วงจรถ่ายสัญญาณถือว่าเป็นวงจรถ่ายแบบป้อนกลับ (Feedback network) แบบหนึ่งซึ่งมีการป้อนกลับแบบบวก สามารถแสดงบล็อกไดอะแกรมของวงจรถ่ายสัญญาณได้ดังรูปที่ 2.2



รูปที่ 2.2 บล็อกไดอะแกรมวงจรถ่ายสัญญาณที่มีการป้อนกลับแบบบวก

สัญลักษณ์ต่างๆ จากรูปที่ 2.2 มีความหมายดังต่อไปนี้

- $X_i$  คือ สัญลักษณ์ทางด้านขาเข้าของวงจรถ่าย
- $X_o$  คือ สัญลักษณ์ทางด้านขาออกของวงจรถ่าย
- $X_e$  คือ สัญลักษณ์ผลรวมระหว่าง  $X_i$  และ  $X_f$  มีค่าเท่ากับ  $X_i + X_f$
- $X_f$  คือ สัญลักษณ์ป้อนกลับ
- $A(j\omega)$  คือ อัตราการขยายของวงจรถ่าย
- $B(j\omega)$  คือ อัตราการขยายของวงจรถ่ายป้อนกลับแบบบวก

จากบล็อกไดอะแกรมวงจรถ่ายสัญญาณที่มีการป้อนกลับแบบบวก ตามรูปที่ 2.2 สามารถหาผลรวม ( $\Sigma$ ) จากสัญญาณขาออกที่มีการป้อนกลับไปที่สัญญาณขาเข้า ดังนี้

$$X_e = X_i + X_f \quad (2.1)$$

เมื่อ

$$X_o = X_e A(j\omega) \quad (2.2)$$

แทนค่า  $X_e = X_i + X_f$  และ  $X_f = B(j\omega) X_o$  ลงในสมการที่ (2.2) จะได้

$$X_o = [X_i + B(j\omega) X_o] A(j\omega) \quad (2.3)$$

และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$X_o (1 - A(j\omega)B(j\omega)) = X_i A(j\omega) \quad (2.4)$$

เมื่อจัดรูปสมการที่ (2.4) จะได้

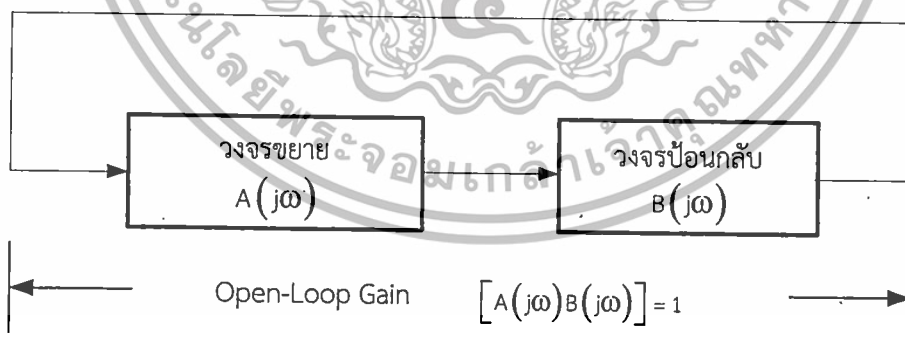
$$\frac{X_o}{X_i} = \frac{A(j\omega)}{1 - A(j\omega)B(j\omega)} \quad (2.5)$$

เนื่องจากวงจรถูกกำเนิดสัญญาณจะไม่มีป้อนสัญญาณขาเข้า ( $X_i = 0$ ) ดังนั้นสมการที่ (2.5) จะเป็นจริงเมื่อ ใช้เกณฑ์ของบาร์คฮูเซน (Barkhausen Criterion) เป็นเกณฑ์การตรวจสอบที่รู้จักกันอย่างแพร่หลายในการออกแบบเพื่อสร้างวงจรถูกกำเนิดสัญญาณอัตราขยายดังกล่าวสามารถกล่าวได้โดยสรุปดังนี้ วงจรถูกกำเนิดสัญญาณที่สามารถกำเนิดสัญญาณได้อย่างต่อเนื่องนั้นต้องมีอัตราขยายแบบลูปเปิด (Open-Loop gain) เป็นค่าจริงเท่ากับหนึ่ง จะได้เงื่อนไขในการกำเนิดสัญญาณแยกออกเป็นสองเงื่อนไขที่เกิดพร้อมกัน จะได้เป็นสมการที่ (2.6)

$$[A(j\omega)B(j\omega)] = 1 \quad (2.6)$$

ทั้งนี้ในการรักษาค่าอัตราขยายแบบลูปเปิดของวงจรให้มีค่าเท่ากับหนึ่งนั้น เพื่อให้รักษาการกำเนิดสัญญาณให้คงที่ตลอดไป ความหมายเงื่อนไขแสดงได้ดังรูปที่ 2.3

ดังนั้นเงื่อนไขที่สำคัญในการออกแบบสร้างวงจรถูกกำเนิดสัญญาณ เกณฑ์ดังกล่าวสามารถกล่าวโดยสรุปดังนี้ คือ “วงจรถูกกำเนิดสัญญาณที่จะสามารถกำเนิดสัญญาณได้อย่างต่อเนื่องนั้นจะต้องมีอัตราขยายแบบลูปเปิด (Open-Loop gain) เป็นค่าจริงเท่ากับหนึ่ง”



รูปที่ 2.3 ความหมายเงื่อนไขบาร์คฮูเซน

## 2.2 เทคนิคการออกแบบวงจรถูกกำเนิดสัญญาณไซน์สำหรับวงจรรวม

ในการสังเคราะห์ออกแบบวงจรถูกกำเนิดสัญญาณไซน์โดยอาศัยวงจรรวม ปัจจุบันมีผู้ศึกษาจำนวนมากขึ้น โดยเฉพาะวงจรถูกกำเนิดสัญญาณไซน์ที่สามารถให้กำเนิดสัญญาณได้ 2 สัญญาณ และมีความต่างเฟสเท่ากับ 90 องศา หรือ เรียกว่าวงจรถูกกำเนิดสัญญาณแบบควอดเรเจอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การหาค่าพารามิเตอร์ต่างๆ ในวงจรกำเนิดสัญญาณ เพื่อการออกแบบและสังเคราะห์วงจร คือ สมการลักษณะสมบัติ เพื่อวิเคราะห์เงื่อนไขในการกำเนิดสัญญาณและความถี่ในการกำเนิดสัญญาณ ซึ่งภายในวิทยานิพนธ์นี้จะยกตัวอย่างเทคนิคการออกแบบวงจรกำเนิดสัญญาณไซน์ ทั้งสิ้น 4 รูปแบบ ดังนี้

2.2.1 วงจรกำเนิดสัญญาณไซน์แบบควอดเรเจอร์ที่สร้างจากวงจรกรองผ่านทุกความถี่อันดับหนึ่งกับวงจรอินทิเกรเตอร์ (Quadrature oscillator based on first order all-pass filter and lossless integrator)

2.2.2 วงจรกำเนิดสัญญาณไซน์ที่สร้างจากวงจรอินทิเกรเตอร์ (Oscillator based on integrators)

2.2.3 วงจรกำเนิดสัญญาณไซน์ที่สร้างจากตัวต้านทานแบบลบ (Oscillator using paralleled RLC and negative R)

2.2.4 วงจรกำเนิดสัญญาณไซน์ที่สร้างจากสมการอันดับสาม (Oscillator based on third order)

โดยมีรายละเอียดแต่ละรูปแบบดังนี้

2.2.1 วงจรกำเนิดสัญญาณไซน์แบบควอดเรเจอร์ที่สร้างจากวงจรกรองผ่านทุกความถี่อันดับหนึ่งกับวงจรอินทิเกรเตอร์

จากรูปที่ 2.4 บล็อกไดอะแกรมวงจรกำเนิดสัญญาณไซน์แบบควอดเรเจอร์ที่สร้างจากวงจรกรองผ่านทุกความถี่อันดับหนึ่งกับวงจรอินทิเกรเตอร์ สามารถหาค่าพารามิเตอร์ในวงจรกำเนิดสัญญาณ (อดิเรก จันตะคุณ และ วินัย ใจกล้า 2554: 70-80)



รูปที่ 2.4 บล็อกไดอะแกรมวงจรกำเนิดสัญญาณไซน์แบบควอดเรเจอร์ที่สร้างจากวงจรกรองผ่านทุกความถี่อันดับหนึ่งกับวงจรอินทิเกรเตอร์

จากรูปที่ 2.4 สามารถหาสมการลักษณะสมบัติได้ดังนี้

$$\left( \frac{-s+a}{s+a} \right) \left( \frac{-b}{s} \right) = 1 \quad (2.7)$$

หรือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ในการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.8) จะได้สมการลักษณะสมบัตินี้ ดังสมการที่ (2.9)

$$s^2 + (a - b)s + ab = 0 \quad (2.9)$$

เมื่อ  $s = j\omega$  นำไปแทนค่า  $s$  ในสมการที่ (2.9) เพื่อพิจารณาหาเงื่อนไขและความถี่ในการกำเนิดสัญญาณจะได้

$$(j\omega)^2 + (a - b)j\omega + ab = 0 \quad (2.10)$$

จากสมการที่ (2.10) พิจารณาในส่วนจินตภาพ (Imaginary part) จะได้เงื่อนไขในการกำเนิดสัญญาณสมการที่ (2.11)

$$a = b \quad (2.11)$$

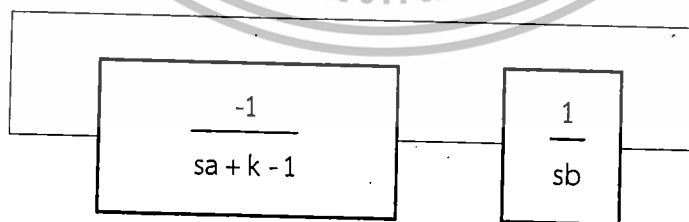
และจากสมการที่ (2.10) พิจารณาในส่วนจำนวนจริง (Real part) จะได้ความถี่ในการกำเนิดสัญญาณสมการที่ (2.12)

$$\omega = \sqrt{ab} \quad (2.12)$$

จากสมการที่ (2.11) และสมการที่ (2.12) จะเห็นว่าไม่สามารถปรับค่าพารามิเตอร์ระหว่างเงื่อนไขและความถี่ในการกำเนิดสัญญาณให้อิสระจากกัน

### 2.2.2 วงจรกำเนิดสัญญาณไซน์ที่สร้างจากวงจรอินทิเกรเตอร์

มีหลักการทำงานของวงจรกำเนิดสัญญาณไซน์ตามรูปที่ 2.3 บล็อกไดอะแกรมวงจรกำเนิดสัญญาณไซน์ที่สร้างจากวงจรอินทิเกรเตอร์



รูปที่ 2.5 บล็อกไดอะแกรมวงจรกำเนิดสัญญาณไซน์ที่สร้างจากวงจรอินทิเกรเตอร์

จากรูปที่ 2.2 บล็อกไดอะแกรมวงจรกำเนิดสัญญาณไซน์ที่สร้างจากวงจรอินทิเกรเตอร์สามารถหาค่าพารามิเตอร์ในวงจรกำเนิดสัญญาณได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left(\frac{-1}{sa + k - 1}\right)\left(\frac{1}{sb}\right) = 1 \quad (2.13)$$

จากสมการที่ (2.13) จะได้สมการลักษณะสมบัติ ดังสมการที่ (2.14)

$$s^2 ab + sb(k - 1) + 1 = 0 \quad (2.14)$$

เมื่อ  $s = j\omega$  จากสมการที่ (2.14) เพื่อพิจารณาหาเงื่อนไขในการกำเนิดสัญญาณ และความถี่ในการกำเนิด  
จะได้

$$(j\omega)^2 ab + (j\omega)b(k-1) + 1 = 0 \quad (2.15)$$

จากสมการที่ (2.15) พิจารณาในส่วนจินตภาพ (Imaginary part) จะได้เงื่อนไขในการกำเนิดสัญญาณ  
สมการที่ (2.16)

$$k=1$$

(2.16)

จากสมการที่ (2.15) พิจารณาในส่วนจำนวนจริง (Real part) จะได้ความถี่ในการกำเนิดสัญญาณ  
สมการที่ (2.17)

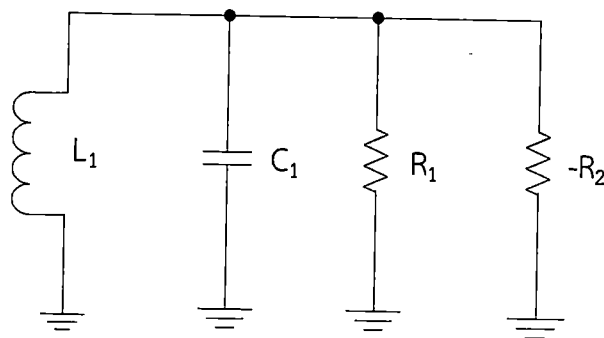
$$\omega = \sqrt{\frac{1}{ab}}$$

(2.17)

จากสมการเงื่อนไขในการกำเนิดสัญญาณ สมการที่ (2.16) และความถี่ในการกำเนิด  
สัญญาณ สมการที่ 2.17 จะเห็นว่าสามารถปรับค่าพารามิเตอร์ได้อิสระจากกัน

### 2.2.3 วงจรกำเนิดสัญญาณไซน์ที่สร้างจากตัวต้านทานแบบลบ

มีหลักการทำงานของวงจรกำเนิดสัญญาณไซน์ตามรูปที่ 2.6 วงจรกำเนิดสัญญาณไซน์ที่  
สร้างจากตัวต้านทานแบบลบ (อดิเรก จันตะคุณ และ วินัย ใจกล้า 2554: 70-80)



รูปที่ 2.6 วงจรกำเนิดสัญญาณไซน์ที่สร้างจากตัวต้านทานแบบลบ

จากรูปที่ 2.6 วงจรกำเนิดสัญญาณไซน์ที่สร้างจากตัวต้านทานแบบลบ สามารถหาค่าพารามิเตอร์ในวงจรกำเนิดสัญญาณ โดยใช้หลักการวิเคราะห์วงจร KCL

$$|L_1 + |C_1 + |R_1 + |R_2 = 0 \quad (2.18)$$

เมื่อแทนค่าความต้านทานเชิงเหนี่ยวนำและความต้านทานเชิงความจุเป็น  $X_L = \frac{1}{sL}$  และ  $X_C = sC$  จะได้

$$s^2 + \left( \frac{1}{R_1} - \frac{1}{R_2} \right) \frac{s + 1}{C_1 - L_1 C_1} = 0 \quad (2.19)$$

เมื่อ  $s = j\omega$  จากสมการที่ (2.19) เพื่อพิจารณาหาเงื่อนไขในการกำเนิดสัญญาณ และความถี่ในการกำเนิด จะได้

$$(j\omega)^2 + \left( \frac{1}{R_1} - \frac{1}{R_2} \right) \frac{j\omega + 1}{C_1 - L_1 C_1} = 0 \quad (2.20)$$

จากสมการที่ (2.20) พิจารณาในส่วนจินตภาพ (Imaginary part) จะได้เงื่อนไขในการกำเนิดสัญญาณสมการที่ (2.21)

$$R_1 = R_2 \quad (2.21)$$

จากสมการที่ (2.20) พิจารณาในส่วนจำนวนจริง (Real part) จะได้ความถี่ในการกำเนิดสัญญาณสมการที่ (2.22)

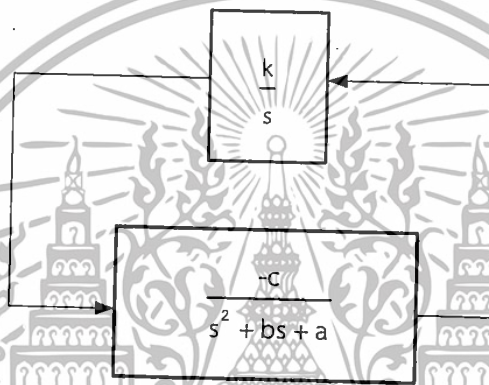
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega = \frac{1}{\sqrt{L_1 C_1}} \quad (2.22)$$

จากสมการเงื่อนไขในการกำเนิดสัญญาณ สมการที่ (2.21) และความสัมพันธ์ในการกำเนิดสัญญาณ สมการที่ (2.22) จะเห็นว่าสามารถปรับค่าพารามิเตอร์ได้อิสระจากกันและ จากรูปที่ 2.4 จะเห็นว่าวงจรมีอุปกรณ์พาสซีฟทำงานเป็นหลักซึ่งจะง่ายต่อการออกแบบวงจร

#### 2.2.4 วงจรกำเนิดสัญญาณไซน์ที่สร้างจากสมการอันดับสาม

วงจรถูกกำเนิดสัญญาณไซน์ที่สร้างจากสมการอันดับสามมีหลักการทำงานตามรูปที่ 2.7 บล็อกไดอะแกรมวงจรถูกกำเนิดสัญญาณไซน์ที่สร้างจากสมการอันดับสาม (อดิเรก จันตะคุณ และ วินัย ใจกล้า 2554: 70-80)



รูปที่ 2.7 บล็อกไดอะแกรมวงจรถูกกำเนิดสัญญาณไซน์ที่สร้างจากสมการอันดับสาม

จากรูปที่ 2.7 สามารถสมการลักษณะสมบัติ ค่าพารามิเตอร์เงื่อนไขและความถี่ในการกำเนิดสัญญาณ โดยมีสมการลักษณะสมบัติ ดังสมการที่ (2.23)

$$s^3 + bs^2 + as + ck = 0 \quad (2.23)$$

เมื่อ  $s = j\omega$  จากสมการที่ (2.23) เพื่อพิจารณาหาเงื่อนไขในการกำเนิดสัญญาณ และความถี่ในการกำเนิด จะได้

$$(j\omega)^3 + b(j\omega)^2 + a(j\omega) + ck = 0 \quad (2.24)$$

จากสมการที่ (2.24) พิจารณาในส่วนจินตภาพ (Imaginary part) จะได้เงื่อนไขในการกำเนิดสัญญาณ สมการที่ (2.25)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$ab = ck \quad (2.25)$$

จากสมการที่ (2.24) พิจารณาในส่วนจำนวนจริง (Real part) จะได้ความถี่ในการกำเนิดสัญญาณ สมการที่ (2.26)

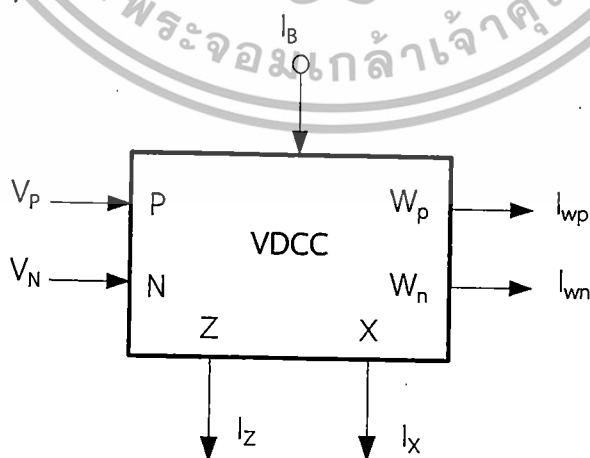
$$\omega = \sqrt{a} \quad (2.26)$$

จากสมการเงื่อนไขในการกำเนิดสัญญาณ สมการที่ (2.25) และความถี่ในการกำเนิดสัญญาณ สมการที่ (2.26) จะเห็นว่าสามารถปรับได้อิสระจากกันแต่จะมีเงื่อนไขในการปรับเงื่อนไขในการกำเนิดสัญญาณ นอกจากนี้วงจรสามารถให้กำเนิดสัญญาณไซน์ที่มีค่าความผิดเพี้ยนทางฮาร์โมนิก (THD) ที่น้อยกว่าวงจรกำเนิดสัญญาณไซน์อันดับสอง (Jiun-Wei. 2009: 1-5)

### 2.3 หลักการทั่วไปของวงจรสายพานกระแสผลต่างแรงดัน (VDCC)

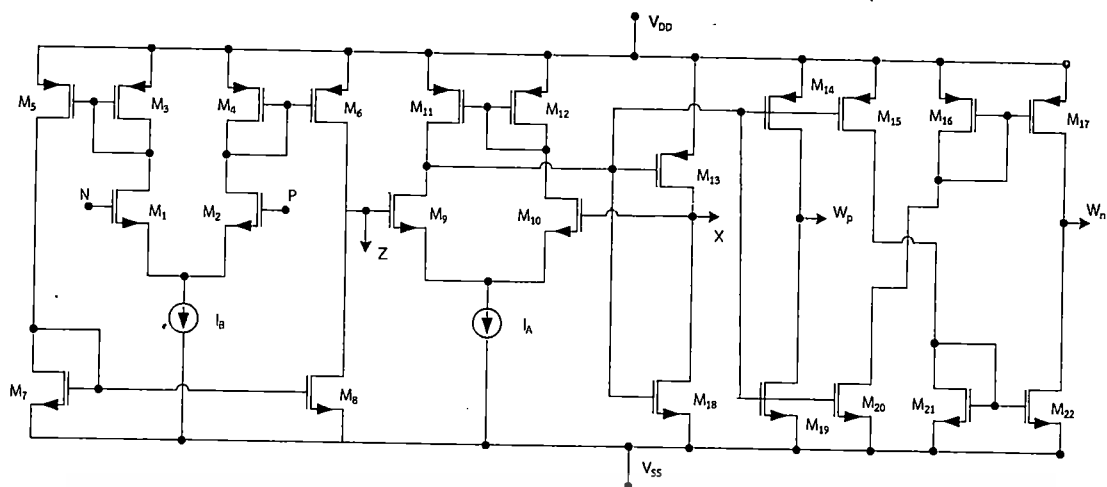
วงจรสายพานกระแสผลต่างแรงดัน (Voltage Differencing Current Conveyors) หรือเรียกว่า VDCC เป็นอุปกรณ์แอกทีฟหลักในการออกแบบวงจรกำเนิดสัญญาณไซน์ภายในวิทยานิพนธ์ฉบับนี้ มีพื้นฐานการทำงานมาจากวงจรขยายความนำถ่ายโอน (Operational transconductance amplifier: OTA) และวงจรสายพานกระแสยุคที่สอง (Second generation current conveyor: CCII) เป็นอุปกรณ์อิเล็กทรอนิกส์โหนดแรงดันและกระแส

อุปกรณ์ VDCC จะประกอบด้วย 6 ขั้ว โดยขั้วแรงดันขาเข้า 2 ขั้วคือ P และ N มีค่าอิมพีแดนซ์สูง ขั้วกระแสขาออก 3 ขั้ว คือ Z,  $W_p$  และ  $W_n$  มีค่าอิมพีแดนซ์สูง ขั้วแรงดันขาออก คือขั้ว X มีค่าอิมพีแดนซ์ต่ำ และขั้วกระแสควบคุม คือ  $I_B$  จะสามารถควบคุมอัตราขยายความนำได้ด้วยการปรับกระแสจากภายนอก มีสัญลักษณ์โครงสร้างอุปกรณ์ตามรูปที่ 2.8 และโครงสร้างภายในของอุปกรณ์ VDCC ตามรูปที่ 2.9 (Kacar, et. al. 2014: 73-78)



รูปที่ 2.8 สัญลักษณ์โครงสร้างวงจรสายพานกระแสผลต่างแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.9 โครงสร้างภายในของวงจรสายพานกระแสผลต่างแรงดัน

วงจรสายพานกระแสผลต่างแรงดัน หรืออุปกรณ์ VDCC มีโครงสร้างภายในที่ประกอบด้วย อุปกรณ์มอสทรานซิสเตอร์ คือ PMOS และ NMOS ทรานซิสเตอร์ ประกอบเข้าด้วยกันมีหลายขั้ว ตามรูปที่ 2.9 โดยความสัมพันธ์ระหว่างกระแสและแรงดันของอุปกรณ์ VDCC ดังสมการที่ (2.27)

$$\begin{bmatrix} I_N \\ I_P \\ I_Z \\ V_X \\ I_{vp} \\ I_{vn} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ g_m & -g_m & 0 & 0 \\ 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ 0 & 0 & 0 & -1 \end{bmatrix} \begin{bmatrix} V_P \\ V_N \\ V_Z \\ I_X \end{bmatrix} \quad (2.27)$$

จากสมการ (2.27) มีค่าความนำภายใน ดังสมการที่ (2.28)

$$g_m = \sqrt{I_B \mu_n C_{ox} \left( \frac{W}{L} \right)} \quad (2.28)$$

$\mu_n$  คือ ค่าความคล่องตัวในการเคลื่อนที่ของประจุพาหะ (Mobility of the carrier for NMOS transistors)

$C_{ox}$  คือ ค่าความจุไฟฟ้าที่เกิดจาก  $\text{SiO}_2$  ระหว่างเกตกับช่องทางเดินกระแสต่อหน่วยพื้นที่ ( $\text{F/m}^2$ ) (Gate-oxide capacitance/area)

$W$  คือ ความกว้างของช่องทางเดินกระแส (Effective channel width)

$L$  คือ ความยาวของช่องทางเดินกระแส (Effective channel Length)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

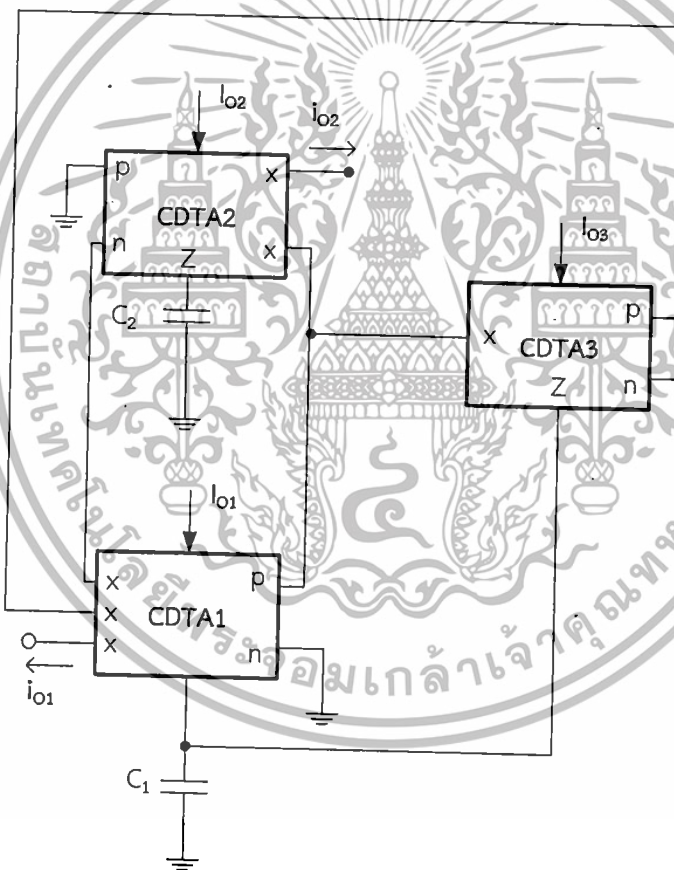
จากสมการที่ (2.28) จะเห็นว่าอุปกรณ์ VDCC สามารถควบคุมแบบอิเล็กทรอนิกส์ได้ โดยควบคุมด้วยกระแสไบอัส

## 2.4 งานวิจัยที่เกี่ยวข้อง

จากการศึกษางานวิจัยที่เกี่ยวข้องกับวงจรกำเนิดสัญญาณไซน์ แต่ละงานวิจัยจะมีจุดเด่นและข้อจำกัดที่แตกต่างกัน โดยมีรายละเอียดดังนี้

### 2.4.1 วงจรกำเนิดสัญญาณที่ใช้ CDTA จำนวน 3 ตัว

วงจรกำเนิดสัญญาณที่ใช้อุปกรณ์แอคทีฟ คือ CDTA จำนวน 3 ตัว (Tangsrirat and Tanjaroen. 2010: 363-366) มีลักษณะการเชื่อมต่อวงจรดังรูปที่ 2.10 จะเห็นว่าใช้งานอุปกรณ์ CDTA จำนวน 3 ตัว และตัวเก็บประจุต่อลงกราวด์จำนวน 2 ตัว



รูปที่ 2.10 วงจรกำเนิดสัญญาณที่ใช้ CDTA จำนวน 3 ตัว

เงื่อนไขในการกำเนิดสัญญาณคือสมการที่ (2.29)

$$S_{m1} = S_{m3} \quad (2.29)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

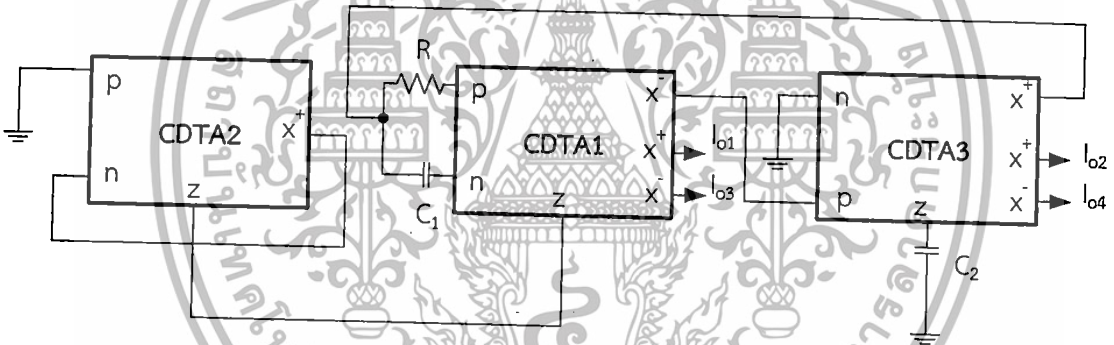
ความถี่ในการกำเนิดสัญญาณคือสมการที่ (2.30)

$$\omega = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \quad (2.30)$$

จุดเด่นของวงจรคือ สามารถให้กำเนิดสัญญาณไซน์แบบควอเตรเจอร์ สามารถปรับเฟสและความถี่ได้แบบอิเล็กทรอนิกส์ สามารถปรับเฟสและความถี่ได้อย่างอิสระ และความต้านทานเอาต์พุตสูง แต่มีจุดด้อยคือ ใช้งานอุปกรณ์แอกทีฟมากกว่า 2 ตัว และไม่สามารถควบคุมแอมพลิจูดของสัญญาณไซน์ได้

#### 2.4.2 วงจรกำเนิดสัญญาณที่ใช้ CDTA จำนวน 3 ตัว

Jin and Wang (2012: 291–300) ได้นำแสดงวงจรกำเนิดสัญญาณที่ใช้อุปกรณ์แอกทีฟ คือ CDTA จำนวน 3 ตัว ในการออกแบบวงจรกำเนิดสัญญาณที่อาศัยการทำงานจากอุปกรณ์ CDTA ใช้งานร่วมกับตัวต้านทานจำนวน 1 ตัว และตัวเก็บประจุต่อลงกราวด์จำนวน 2 ตัว มีลักษณะการเชื่อมต่อวงจรดังรูปที่ 2.11



รูปที่ 2.11 วงจรกำเนิดสัญญาณที่ใช้ CDTA จำนวน 3 ตัว

เงื่อนไขในการกำเนิดสัญญาณมีค่าเท่ากับสมการที่ (2.31)

$$g_{m2}C_2 = g_{m1}g_{m3}C_1R \quad (2.31)$$

ความถี่ในการกำเนิดสัญญาณมีค่าเท่ากับสมการที่ (2.32)

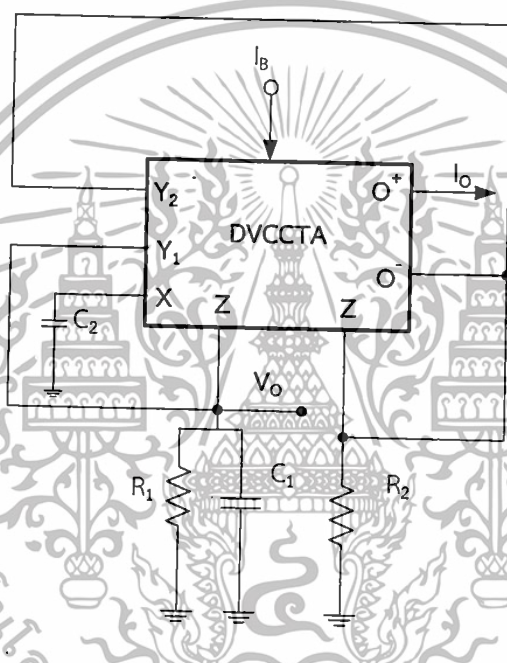
$$\omega = \sqrt{\frac{g_{m1}g_{m3}}{g_{m2}RC_1C_2}} \quad (2.32)$$

จากรูปที่ 2.11 วงจรกำเนิดสัญญาณที่ใช้ CDTA จำนวน 3 ตัว มีจุดเด่นคือสามารถปรับความถี่และเฟสได้แบบอิเล็กทรอนิกส์ ให้กำเนิดสัญญาณไซน์แบบควอเตรเจอร์ นอกจากนี้สามารถปรับค่าเอกสารเป็นเอกสารที่ส่งแรงสั่นไหวสำหรับการใช้ในเพิกอร์ นอกจากนี้สามารถปรับค่าเอกสารได้ทั้งสลับ อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้กำเนิดสัญญาณไซน์ต่างเฟส 180 องศา แต่วงจรดังกล่าวยังมีจุดด้อยคือไม่สามารถปรับเงื่อนไขและความถี่ได้อิสระจากกันและ ไม่สามารถควบคุมแอมพลิจูดของสัญญาณไซน์ได้

### 2.4.3 วงจรกำเนิดสัญญาณที่ใช้ DVCCTA จำนวน 1 ตัว

วงจรกำเนิดสัญญาณที่ใช้อุปกรณ์แอกทีฟ คือ DVCCTA (Differential Voltage Current Conveyor Transconductance Amplifier) จำนวน 1 ตัว (Chien and Chen, 2014: 226–238) ภายในงานวิจัยดังกล่าวได้ออกแบบวงจรจำนวน 2 วงจร คือ วงจรกำเนิดสัญญาณที่ใช้ DVCCTA จำนวน 1 ตัว ใช้งานร่วมกับอุปกรณ์พาสซีฟจำนวน 4 ตัว ประกอบด้วยตัวต้านทานและตัวเก็บประจุอย่างละ 2 ตัว แสดงอยู่ในรูปที่ 2.12 และวงจรกำเนิดสัญญาณที่ใช้ DVCCTA จำนวน 1 ตัว ใช้งานร่วมกับอุปกรณ์พาสซีฟจำนวน 3 ตัว ประกอบด้วยตัวต้านทาน 1 ตัว และ ตัวเก็บประจุ 2 ตัว แสดงอยู่ในรูปที่ 2.13



รูปที่ 2.12 วงจรกำเนิดสัญญาณที่ใช้ DVCCTA จำนวน 1 ตัว ใช้งานร่วมกับอุปกรณ์พาสซีฟจำนวน 4 ตัว

เงื่อนไขในการกำเนิดสัญญาณมีค่าเท่ากับสมการที่ (2.33)

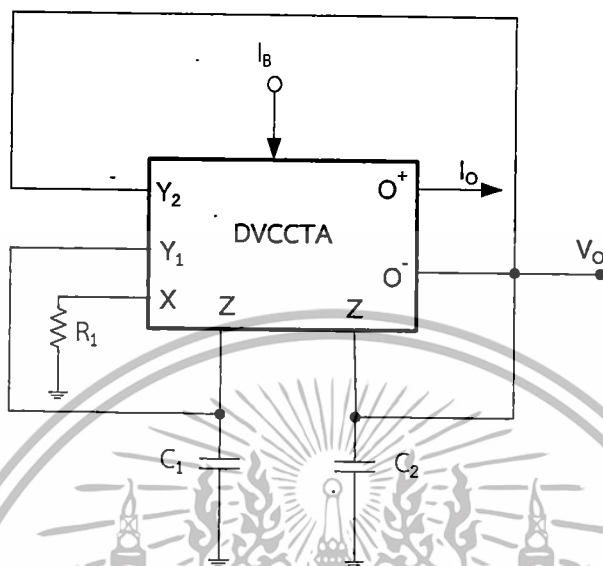
$$g_m = \frac{1}{R_2} \quad (2.33)$$

ความถี่ในการกำเนิดสัญญาณค่าเท่ากับสมการที่ (2.34)

$$\omega = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} \quad (2.34)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.33) และ (2.34) จะเห็นว่าวงจรกำเนิดสัญญาณดังกล่าวมีจุดเด่นคือ มีการใช้งานอุปกรณ์แอกทีฟเพียงตัวเดียว สามารถปรับเงื่อนไขในการกำเนิดสัญญาณแบบอเล็กทรอนิกส์ได้ และสามารถปรับเงื่อนไขและความถี่ได้อิสระจากกัน แต่วงจรดังกล่าวยังไม่สามารถปรับความถี่ในการกำเนิดสัญญาณแบบอเล็กทรอนิกส์ได้และไม่สามารถให้กำเนิดสัญญาณไซน์แบบควอเดรเจอร์ได้



รูปที่ 2.13 วงจรกำเนิดสัญญาณที่ใช้ DVCCTA จำนวน 1 ตัว ใช้งานร่วมกับ อุปกรณ์พาสซีฟจำนวน 3 ตัว

เงื่อนไขในการกำเนิดสัญญาณมีค่าเท่ากับสมการที่ (2.35)

$$C_1 = C_2 \quad (2.35)$$

ความถี่ในการกำเนิดสัญญาณมีค่าเท่ากับสมการที่ (2.36)

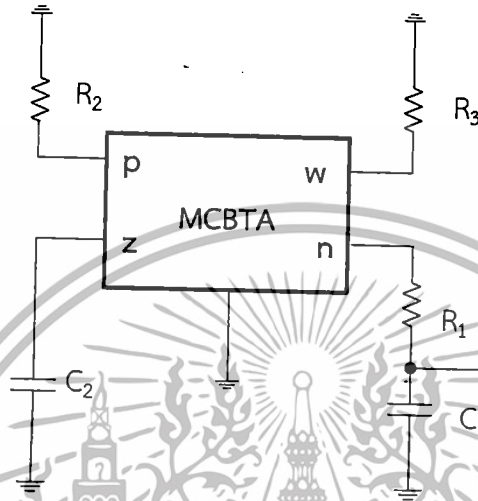
$$\omega = \sqrt{\frac{g_m}{R_1 C_1 C_2}} \quad (2.36)$$

วงจรกำเนิดสัญญาณที่ใช้ DVCCTA สามารถทำงานโดยที่ใช้งานอุปกรณ์แอกทีฟ 1 ตัว และจากสมการที่ (2.35) และ (2.36) จะเห็นว่าวงจรกำเนิดสัญญาณดังกล่าวมีจุดเด่นคือ สามารถปรับความถี่ในการกำเนิดสัญญาณแบบอเล็กทรอนิกส์ได้ และสามารถปรับเงื่อนไขและความถี่ได้อิสระจากกันแบบมีเงื่อนไข แต่วงจรดังกล่าวยังไม่สามารถปรับเงื่อนไขในการกำเนิดสัญญาณแบบอเล็กทรอนิกส์ได้และไม่สามารถให้กำเนิดสัญญาณไซน์แบบควอเดรเจอร์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### 2.4.4 วงจรกำเนิดสัญญาณที่ใช้ MCBTA จำนวน 1 ตัว

วงจรถ่ายกำเนิดสัญญาณที่ใช้อุปกรณ์แอกทีฟ คือ MCBTA (Differential Voltage Current Conveyor Transconductance Amplifier) จำนวน 1 ตัว (Herencsar, et. al. 2011: 41-44) วงจรถ่ายกำเนิดสัญญาณมีลักษณะการเชื่อมต่อตามรูปที่ 2.14 ภายในวงจรถ่ายจะประกอบด้วยอุปกรณ์ MCBTA เชื่อมต่อกับอุปกรณ์พาสซีฟจำนวน 5 ตัว แบ่งเป็นตัวต้านทานจำนวน 3 ตัว และตัวเก็บประจุจำนวน 2 ตัว



รูปที่ 2.14 วงจรถ่ายกำเนิดสัญญาณที่ใช้ MCBTA จำนวน 1 ตัว

เงื่อนไขในการกำเนิดสัญญาณมีค่าเท่ากับสมการที่ (2.37)

$$R_1 = R_2 \quad (2.37)$$

ความถี่ในการกำเนิดสัญญาณมีค่าเท่ากับสมการที่ (2.38)

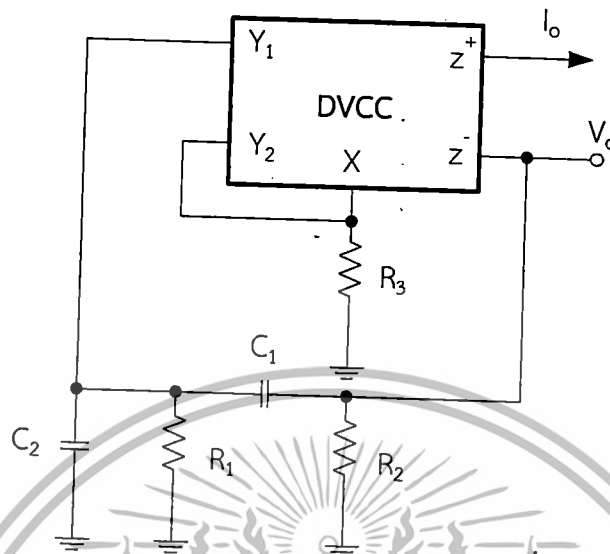
$$\omega = \sqrt{\frac{g_m}{C_1 C_2 R_3}} \quad (2.38)$$

จากรูปที่ 2.14 วงจรถ่ายกำเนิดสัญญาณที่ใช้ MCBTA จำนวน 1 ตัว มีจุดเด่นคือสามารถปรับเงื่อนไขและความถี่ได้อย่างอิสระจากกัน และสามารถปรับความถี่ได้แบบอเล็กทรอนิกส์ แต่วงจรถ่ายดังกล่าวยังมีจุดด้อยคือ ใช้งานอุปกรณ์พาสซีฟจำนวนมากกว่า 4 ตัว และไม่สามารถปรับเงื่อนไขได้แบบอเล็กทรอนิกส์ ไม่สามารถให้กำเนิดสัญญาณไซน์แบบควอดเรเจอร์ได้ และไม่สามารถควบคุมแอมพลิจูดของสัญญาณไซน์ได้

#### 2.4.5 วงจรถ่ายกำเนิดสัญญาณที่ใช้ DVCC จำนวน 1 ตัว

Hung-Chun Chien (2013: 395–404) ได้นำเสนอวงจรถ่ายกำเนิดสัญญาณที่ใช้อุปกรณ์แอกทีฟเพียง 1 ตัว คือ DVCC (Differential Voltage Current Conveyor) ใช้งานร่วมกับตัวต้านทานต่อเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น เมื่อผู้ดูแลระบบพบการละเมิดการนำเอกสารนี้ไปใช้ในการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลงกราวด์ จำนวน 3 ตัว ตัวเก็บประจุต่อลงกราวด์จำนวน 1 ตัว และตัวเก็บประจุแบบลอยจำนวน 1 ตัว ตามรูปที่ 2.15



รูปที่ 2.15 วงจรกำเนิดสัญญาณที่ใช้ DVCC จำนวน 1 ตัว

เงื่อนไขในการกำเนิดสัญญาณมีค่าเท่ากับสมการที่ (2.39)

$$R_3 = \frac{R_2}{2 \left( 1 + \frac{R_2}{R_1} + \frac{C_2}{C_1} \right)} \tag{2.39}$$

ความถี่ในการกำเนิดสัญญาณมีค่าเท่ากับสมการที่ (2.40)

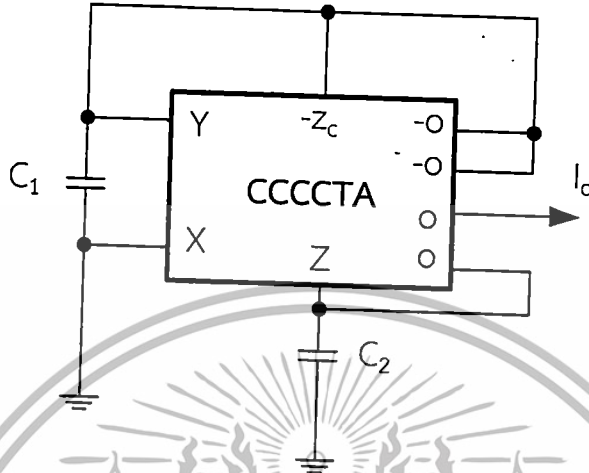
$$\omega = \sqrt{\frac{1}{R_1 R_2 C_1 C_2}} \tag{2.40}$$

จากรูปที่ 2.15 วงจรกำเนิดสัญญาณที่ใช้ DVCC จำนวน 1 ตัว สามารถให้กำเนิดสัญญาณไซน์ได้ทั้งในโหมดแรงดัน และโหมดกระแส และอาศัยการทำงานจากอุปกรณ์แอกทีฟเพียง 1 ตัว แต่วงจรดังกล่าวยังไม่สามารถให้กำเนิดสัญญาณไซน์แบบควอดเรเจอร์ได้ นอกจากนี้ไม่สามารถปรับเงื่อนไขและความถี่ได้อิสระจากกันและการปรับแบบอิเล็กทรอนิกส์ ไม่สามารถควบคุมแอมพลิจูดของสัญญาณไซน์ได้ และโครงสร้างวงจรยังมีการใช้งานตัวเก็บประจุแบบลอย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.6 วงจรกำเนิดสัญญาณที่ใช้ CCCCTA จำนวน 1 ตัว

Phanikhom and Jantakun 2014: 4-7 ได้มีการนำเสนอวงจรกำเนิดสัญญาณไซน์ที่ใช้ อุปกรณ์ CCCCTA จำนวน 1 ตัว มีการใช้งานร่วมกับอุปกรณ์พาสซีฟจำนวนทั้งสิ้น 2 ตัว มีลักษณะ การเชื่อมต่อวงจรดังรูปที่ 2.16



รูปที่ 2.16 วงจรกำเนิดสัญญาณที่ใช้ CCCCTA จำนวน 1 ตัว

เงื่อนไขในการกำเนิดสัญญาณมีค่าเท่ากับสมการที่ (2.41) โดย  $R_x$  คือ ค่าต้านทานที่ขั้ว X ภายใน อุปกรณ์ CCCCTA

$$C_2 = R_x g_m C_1 \tag{2.41}$$

ความถี่ในการกำเนิดสัญญาณมีค่าเท่ากับสมการที่ (2.42)

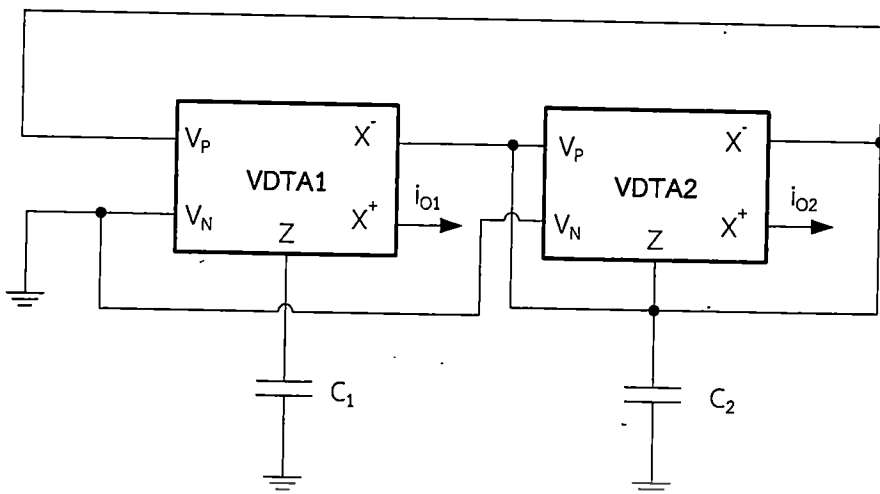
$$\omega = \sqrt{\frac{g_m}{R_x C_1 C_2}} \tag{2.42}$$

จุดเด่นของวงจรกำเนิดสัญญาณที่ใช้ CCCCTA จำนวน 1 ตัวคือมีการใช้งานอุปกรณ์ทั้งสิ้น ไม่เกิน 3 ตัว จากสมการที่ (2.41) และ (2.42) จะเห็นว่าสามารถปรับเงื่อนไขและความถี่แบบ อิเล็กทรอนิกส์ได้ แต่วงจรยังมีจุดด้อยคือ วงจรไม่สามารถปรับเงื่อนไขและความถี่ได้อิสระจากกัน นอกจากนี้วงจรยังไม่สามารถให้กำเนิดสัญญาณไซน์แบบควอดเรเจอร์ได้

2.4.7 วงจรกำเนิดสัญญาณที่ใช้ VDTA จำนวน 2 ตัว

วงจรกำเนิดสัญญาณที่ใช้อุปกรณ์แอคทีฟ คือ VDTA จำนวน 2 ตัว (Prasad, et. al. 2013: 169–172) มีลักษณะการเชื่อมต่อวงจรดังรูปที่ 2.17 จะเห็นว่าใช้งานอุปกรณ์ VDTA จำนวน 2 ตัว และตัวเก็บประจุต่อลงกราวด์จำนวน 2 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 วงจรกำเนิดสัญญาณที่ใช้ VDTA จำนวน 2 ตัว

เงื่อนไขในการกำเนิดสัญญาณคือสมการที่ (2.43)

$$g_{m4} = g_{m3}$$

(2.43)

ความถี่ในการกำเนิดสัญญาณคือสมการที่ (2.44)

$$\omega = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}}$$

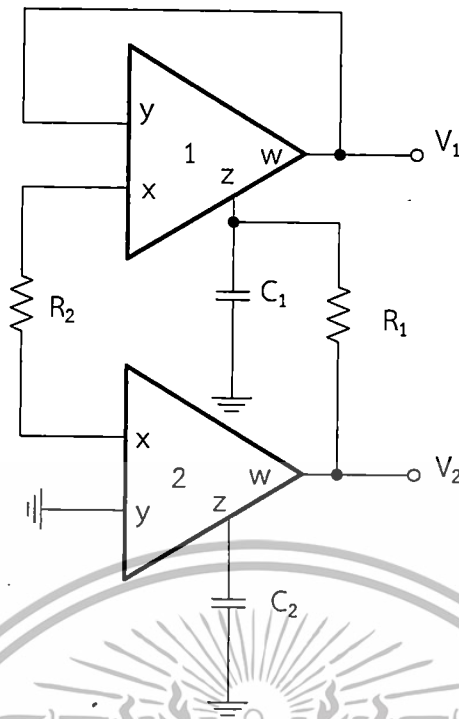
(2.44)

จุดเด่นของวงจรคือ สามารถให้กำเนิดสัญญาณไซน์แบบควอดเรเจอร์ สามารถปรับเงื่อนไขและความถี่ได้แบบอิเล็กทรอนิกส์ สามารถปรับเงื่อนไขและความถี่ได้อย่างอิสระ และความต้านทานเอาต์พุตสูง แต่มีจุดด้อยคือไม่สามารถควบคุมแอมพลิจูดของสัญญาณไซน์ได้

#### 2.4.8 วงจรกำเนิดสัญญาณที่ใช้ CFOA จำนวน 2 ตัว

วงจรถูกกำเนิดสัญญาณที่ใช้อุปกรณ์แอกทีฟ คือ CFOA (current-feedback operational amplifiers) จำนวน 2 ตัว (Chen, et. al. 2014: 470-473) ภายในวงจรถูกกำเนิดสัญญาณไซน์มีลักษณะการเชื่อมต่อวงจรดังรูปที่ 2.18 จะเห็นว่าใช้งานอุปกรณ์ CFOA จำนวน 2 ตัว ใช้งานร่วมกับอุปกรณ์พาสซีฟ 4 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.18 วงจรกำเนิดสัญญาณที่ใช้ CFOA จำนวน 2 ตัว

เงื่อนไขในการกำเนิดสัญญาณมีค่าเท่ากับสมการที่ (2.45)

$$R_2 = R_1$$

(2.45)

ความถี่ในการกำเนิดสัญญาณค่าเท่ากับสมการที่ (2.46)

$$\omega = \frac{1}{\sqrt{C_1 C_2 R_1 R_2}}$$

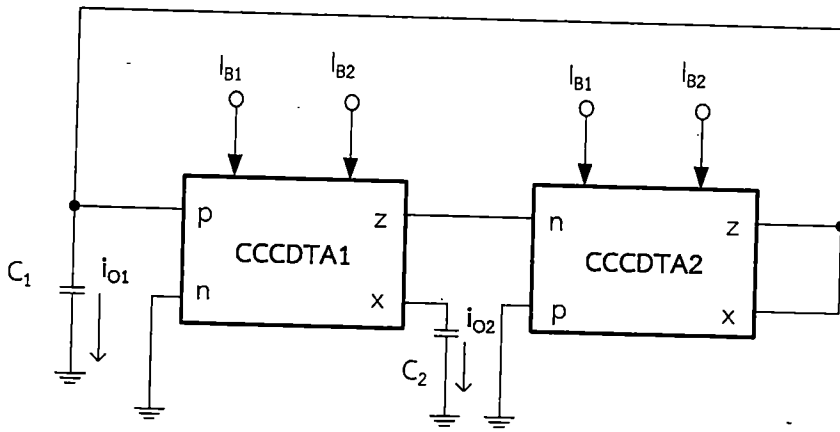
(2.46)

จุดเด่นของวงจรคือวงจรสามารถให้กำเนิดสัญญาณไซน์แบบควอเทรเจอร์ได้ สามารถปรับเงื่อนไขและความถี่ได้อย่างอิสระแต่เป็นแบบมีเงื่อนไข และ ความต้านทานเอาต์พุตต่ำ นอกจากนี้ วงจรดังกล่าวยังมีจุดด้อยคือ ไม่สามารถปรับเงื่อนไขและความถี่ได้แบบอิเล็กทรอนิกส์และ ไม่สามารถควบคุมแอมพลิจูดของสัญญาณไซน์ได้

#### 2.4.9 วงจรกำเนิดสัญญาณที่ใช้ CCCDTA จำนวน 2 ตัว

ภมร ศิลาพันธ์ และคณะ (2549: 43-48) ได้มีการนำเสนอวงจรกำเนิดสัญญาณที่อาศัยการทำงานจากอุปกรณ์ CCCDTA (Current Controlled Current Transconductance Amplifiers) จำนวน 2 ตัว และอุปกรณ์พาสซีฟ จำนวน 2 ตัว แสดงรูปโครงสร้างวงจรถูกกล่าวดังรูปที่ 2.19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 วงจรกำเนิดสัญญาณที่ใช้ CCCDTA จำนวน 2 ตัว

เงื่อนไขในการกำเนิดสัญญาณมีค่าเท่ากับสมการที่ (2.47)

$$\frac{1}{R_{p1}} = g_{m2} \tag{2.47}$$

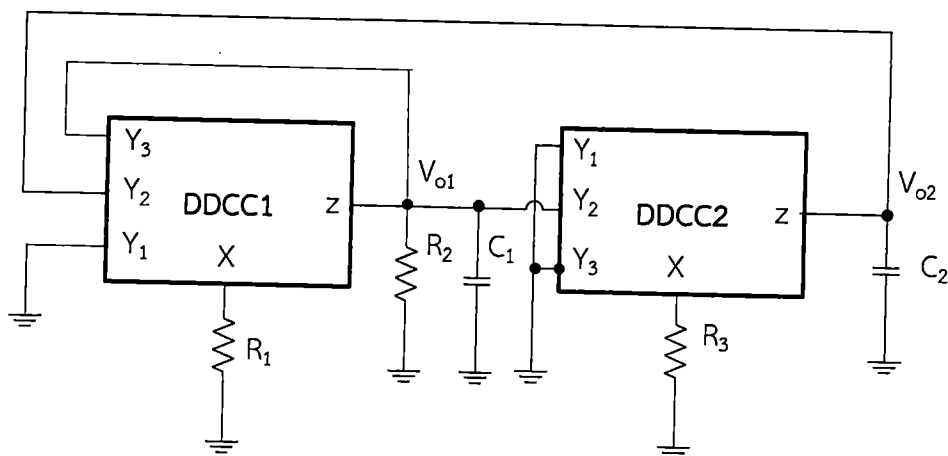
ความถี่ในการกำเนิดสัญญาณมีค่าเท่ากับสมการที่ (2.48)

$$\omega = \frac{g_{m1}}{\sqrt{C_1 C_2 R_{p1}}} \tag{2.48}$$

จุดเด่นของวงจรกำเนิดสัญญาณในรูปที่ 2.19 คือ สามารถปรับเงื่อนไขและความถี่ในการกำเนิดสัญญาณได้อิสระจากกันโดยใช้วิธีการปรับแบบอิเล็กทรอนิกส์ ตัวเก็บประจุต่อลงกราวด์ทุกตัว อีกทั้งยังให้กำเนิดสัญญาณไซน์แบบควอดเรเจอร์ในโหมดกระแส แต่พบว่าวงจรยังไม่สามารถให้กำเนิดสัญญาณไซน์แบบควอดเรเจอร์ในโหมดแรงดันได้ และไม่สามารถปรับขนาดของสัญญาณไซน์ได้

#### 2.4.10 วงจรกำเนิดสัญญาณที่ใช้ DDCC จำนวน 3 ตัว

วงจรกำเนิดสัญญาณไซน์ที่ใช้อุปกรณ์แอกทีฟ คือ DDCC (Differential Difference Current Conveyors) จำนวน 3 ตัว (Kumngern, 2011: 44-47) แสดงลักษณะการเชื่อมต่อดังรูปที่ 2.20 ซึ่งจะเห็นว่ามีการใช้งานร่วมกับตัวต้านทานทั้งสิ้น 3 ตัว และตัวเก็บประจุ 2 ตัว



รูปที่ 2.20 วงจรกำเนิดสัญญาณที่ใช้ DDCC จำนวน 3 ตัว

เงื่อนไขในการกำเนิดสัญญาณมีค่าเท่ากับสมการที่ (2.49)

$$\frac{R_1}{R_2} = 1 \quad (2.49)$$

ความถี่ในการกำเนิดสัญญาณมีค่าเท่ากับสมการที่ (2.50)

$$\omega = \sqrt{\frac{1}{C_1 C_2 R_1 R_3}} \quad (2.50)$$

วงจรกำเนิดสัญญาณที่ใช้ DDCC จำนวน 3 ตัว มีจุดเด่นที่สามารถให้กำเนิดสัญญาณแบบค  
วอเตรเจอร์โนโหมดแรงดันและสามารถปรับเงื่อนไขและความถี่ได้อิสระโดยมีเงื่อนไข แต่วงจรยังมีจุด  
ด้อยคือมีการใช้งานอุปกรณ์รวมทั้งสิ้น 8 ตัว ตามรูปที่ 2.20 นอกจากนี้วงจรยังไม่สามารถปรับความถี่  
และเงื่อนไขแบบอิเล็กทรอนิกส์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 3 วิธีดำเนินการวิจัย

จากการศึกษาทฤษฎีพื้นฐานของวงจรกำเนิดสัญญาณไซน์ หลักการทำงานของวงจรสายพานกระแสผลต่างแรงดัน (VDCC) และงานวิจัยที่เกี่ยวข้องตามที่ได้กล่าวไว้ในบทที่ 2 เป็นความรู้พื้นฐานที่นำมาใช้ในการสังเคราะห์และการออกแบบวงจรกำเนิดสัญญาณไซน์ ดังนั้นในบทที่ 3 จะกล่าวถึงการสังเคราะห์และการออกแบบวงจรกำเนิดสัญญาณไซน์แบบควอเดรเจอร์ โดยอาศัยการทำงานหลักของวงจรสายพานกระแสผลต่างแรงดัน (VDCC) มีขั้นตอนการดำเนินงานภายในวิทยานิพนธ์ ตามแผนผังการดำเนินงานแสดงในรูปที่ 3.1



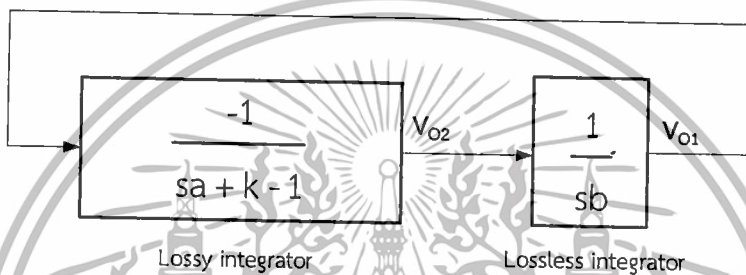
รูปที่ 3.1 ขั้นตอนการดำเนินงานภายในวิทยานิพนธ์ฉบับนี้

จากรูปที่ 3.1 จะเห็นว่ามีการเริ่มต้นศึกษาค้นคว้าข้อมูลพื้นฐานและงานวิจัยที่เกี่ยวข้องกับวงจรถูกกำเนิดสัญญาณไซน์ เพื่อให้ทราบถึงวิธีการสังเคราะห์และออกแบบวงจรถูกกำเนิดสัญญาณไซน์ นอกจากนี้ได้ศึกษาจุดเด่นและข้อจำกัดของงานวิจัยที่ผ่านมา โดยมีการดำเนินการภายในบทที่ 2 ดังนั้นภายในบทที่ 3 จะเสนอการดำเนินการสังเคราะห์และออกแบบวงจรถูกกำเนิดสัญญาณไซน์แบบ-  
เอกสารนี้เป็นเอกสารที่สงวนเวลาสำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อผู้ใดเห็นประโยชน์ในการนำ  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควอเดรเจอร์ ประกอบด้วยการสังเคราะห์และออกแบบวงจรกำเนิดสัญญาณไซน์ การวิเคราะห์วงจรกำเนิดสัญญาณไซน์กรณีอุดมคติ และกรณีไม่อุดมคติ ในส่วนของผลการทดสอบสมรรถนะของวงจรทั้งหมดจะแสดงในบทที่ 4 และบทที่ 5 จะเป็นการสรุปผลการวิจัย

### 3.1 การสังเคราะห์วงจรกำเนิดสัญญาณไซน์

การสังเคราะห์วงจรกำเนิดสัญญาณไซน์ภายในวิทยานิพนธ์ฉบับนี้ ได้แนวความคิดพื้นฐานมาจากวงจรอินทิเกรเตอร์ (Integrator) ตามที่ได้กล่าวเบื้องต้นภายในบทที่ 1 ซึ่งมีหลักการทำงานของวงจรกำเนิดสัญญาณไซน์ตามรูปที่ 2.2 บล็อกไดอะแกรมวงจรกำเนิดสัญญาณไซน์ที่สร้างจากวงจรอินทิเกรเตอร์



รูปที่ 3.2 บล็อกไดอะแกรมวงจรกำเนิดสัญญาณไซน์ที่สร้างจากวงจรอินทิเกรเตอร์

จากรูปที่ 3.2 บล็อกไดอะแกรมวงจรกำเนิดสัญญาณไซน์ที่สร้างจากวงจรอินทิเกรเตอร์ สามารถหาค่าพหุนามดีเทอร์มิแนนต์ของวงจรกำเนิดสัญญาณได้ดังนี้

$$\left( \frac{-1}{sa + k - 1} \right) \left( \frac{1}{sb} \right) = 1 \quad (3.1)$$

จากสมการที่ (3.1) จะได้สมการลักษณะสมบัติ ดังสมการที่ (3.2)

$$s^2 ab + sb(k - 1) + 1 = 0 \quad (3.2)$$

เมื่อ  $s = j\omega$  จากสมการที่ (3.2) เพื่อพิจารณาหาเงื่อนไขในการกำเนิดสัญญาณ และความถี่ในการกำเนิด จะได้

$$(j\omega)^2 ab + (j\omega)b(k - 1) + 1 = 0 \quad (3.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.3) พิจารณาในส่วนจินตภาพ (Imaginary part) จะได้เงื่อนไขในการกำเนิดสัญญาณสมการที่ (3.4)

$$k=1 \quad (3.4)$$

จากสมการที่ (3.3) พิจารณาในส่วนจำนวนจริง (Real part) จะได้ความถี่ในการกำเนิดสัญญาณสมการที่ (3.5)

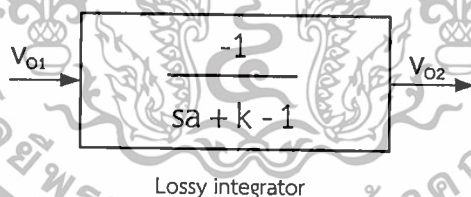
$$\omega = \sqrt{\frac{1}{ab}} \quad (3.5)$$

จากสมการเงื่อนไขในการกำเนิดสัญญาณ (CO) ตามสมการที่ (3.4) และความถี่ในการกำเนิดสัญญาณ (FO) ตามสมการที่ (3.5) จะเห็นว่าสามารถปรับค่าพารามิเตอร์ได้อิสระจากกัน โดยการปรับค่า  $k$  ภายในเงื่อนไขในการกำเนิดสัญญาณซึ่งไม่มีผลกระทบต่อความถี่ในการกำเนิดสัญญาณ และในทางปฏิบัติควรปรับค่า  $k$  ให้มีค่าน้อยกว่า 1 เล็กน้อย

จากบล็อกไดอะแกรมวงจรถ่ายโอนสัญญาณไซน์ที่สร้างจากวงจรรวมอินทิเกรเตอร์ รูปที่ 3.2 สามารถนำอุปกรณ์ VDCC มาสังเคราะห์เป็นวงจรถ่ายโอนสัญญาณไซน์ได้ โดยพิจารณาออกเป็น 2 ส่วน คือ

- 3.1.1 การสังเคราะห์วงจรรวมอินทิเกรเตอร์ที่มีการสูญเสีย (Lossy integrator)
- 3.1.2 การสังเคราะห์วงจรรวมอินทิเกรเตอร์ที่ไม่มีการสูญเสีย (Lossless integrator)

3.1.1 การสังเคราะห์วงจรรวมอินทิเกรเตอร์ที่มีการสูญเสีย

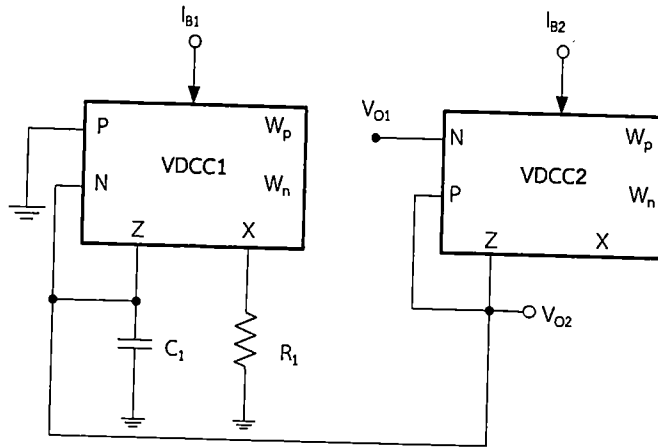


รูปที่ 3.3 บล็อกไดอะแกรมวงจรรวมอินทิเกรเตอร์ที่มีการสูญเสีย

จากรูปที่ 3.3 สามารถหาสมการถ่ายโอนฟังก์ชัน (Transfer Function) ของวงจรรวมอินทิเกรเตอร์ที่มีการสูญเสีย ตามรูปที่ 3.3 ได้ตามสมการที่ (3.6)

$$\frac{V_{o2}}{V_{o1}} = \frac{-1}{sa + k - 1} \quad (3.6)$$

จากกรอบแนวคิดวงจรรวมอินทิเกรเตอร์ที่มีการสูญเสีย ตามรูปที่ 3.3 สามารถสังเคราะห์วงจรถ่ายโอนสัญญาณไซน์โดยใช้ VDCC ตามรูปที่ 3.4 มีการใช้งานอุปกรณ์ VDCC 2 ตัว ตัวเก็บประจุและตัวต้านทานต่อลงกราวด์ทั้งหมด การใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.4 วงจรอินทิเกรเตอร์ที่มีการสูญเสีย โดยใช้ VDCC

จากรูปที่ 3.4 พิจารณาวงจรอินทิเกรเตอร์ที่มีการสูญเสีย บนอุปกรณ์ VDCC2 โดยวิเคราะห์ โหนด  $V_{O2}$  เพื่อหาสมการขาออก  $V_{O2}$  เทียบกับรูปที่ 3.3 โดยใช้หลักการของ KCL จะได้

$$I_{Z2} - I_{P2} + I_{Z1} - I_{C1} - I_{N1} = 0 \quad (3.7)$$

และ

$$I_{Z2} + I_{Z1} = I_{C1} \quad (3.8)$$

จากคุณสมบัติของ VDCC เมื่อ  $I_Z = g_m (V_P - V_N)$  และ

$$g_{m2} (V_{P2} - V_{N2}) + g_{m1} (V_{P1} - V_{N1}) = V_{C1} sC_1 \quad (3.9)$$

จากรูปที่ 3.4 ตามกฎแรงดันไฟฟ้าแทนค่า  $V_{P1} = 0$ ,  $V_{O1} = V_{N2}$  และ  $V_{O2} = V_{P1} = V_{P2} = V_{N1}$  จะได้สมการที่ (3.10)

$$g_{m2} (V_{O2} - V_{O1}) - g_{m1} V_{O2} = V_{O2} sC_1 \quad (3.10)$$

จัดรูปแบบสมการที่ (3.10) จะได้

$$g_{m2} V_{O2} - g_{m2} V_{O1} - g_{m1} V_{O2} = V_{O2} sC_1 \quad (3.11)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดึงตัวประกอบร่วม  $V_{O2}$  และจัดรูปแบบเพื่อหาสมการถ่ายโอนฟังก์ชัน จะได้ตามสมการที่ (3.12) และสมการที่ (3.13) ตามลำดับ

$$V_{O2} (g_{m2} - g_{m1} - sC_1) = g_{m2} V_{O1} \quad (3.12)$$

และ

$$\frac{V_{O2}}{V_{O1}} = \frac{g_{m2}}{(g_{m2} - g_{m1} - sC_1)} \quad (3.13)$$

จากสมการที่ (3.13) จัดรูปแบบสมการจะได้สมการถ่ายโอนฟังก์ชันของวงจรรินทิงเจอร์ที่การสูญเสีย ตามรูปที่ 3.4 ได้ตามสมการที่ (3.14)

$$\frac{V_{O2}}{V_{O1}} = \frac{-g_{m2}}{(sC_1 + g_{m1} - g_{m2})} \quad (3.14)$$

จากสมการที่ (3.14) คูณด้วย  $g_{m2}$  ทั้งสมการ จะได้

$$\frac{V_{O2}}{V_{O1}} = \frac{-1}{\left( \frac{sC_1}{g_{m2}} + \frac{g_{m1}}{g_{m2}} - 1 \right)} \quad (3.15)$$

จากการเทียบค่าสัมประสิทธิ์ ระหว่างสมการที่ (3.15) และ สมการที่ (3.6) สามารถทราบค่าตัวแปรดังนี้

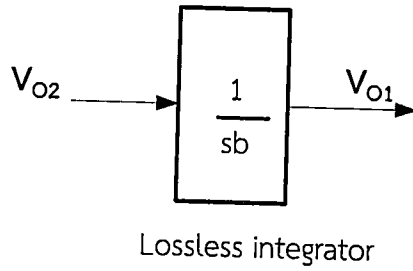
$$a = \frac{C_1}{g_{m2}} \quad (3.16)$$

และ

$$k = \frac{g_{m1}}{g_{m2}} \quad (3.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.2 การสังเคราะห์วงจรอินทิเกรเตอร์ที่ไม่มีการสูญเสีย



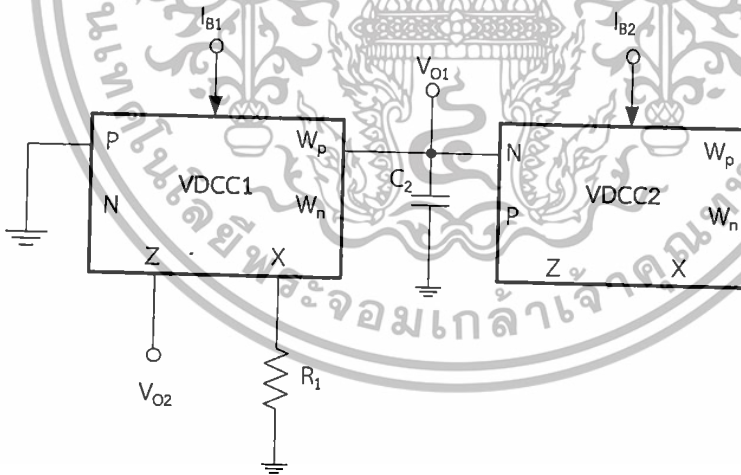
รูปที่ 3.5 บล็อกไดอะแกรมวงจรอินทิเกรเตอร์ที่ไม่มีการสูญเสีย

จากรูปที่ 3.5 สามารถหาสมการถ่ายโอนฟังก์ชันของวงจรอินทิเกรเตอร์ที่ไม่มีการสูญเสีย (Lossless integrator) ตามรูปที่ 3.5 ได้ตามสมการที่ (3.18)

$$\frac{V_{O1}}{V_{O2}} = \frac{1}{sb} \tag{3.18}$$

รูปที่ 3.6

จากกรอบแนวคิด ตามรูปที่ 3.5 สามารถเขียนวงจรกำเนิดสัญญาณไซน์โดยใช้ VDCC ตาม



รูปที่ 3.6 วงจรอินทิเกรเตอร์ที่ไม่มีการสูญเสียโดยใช้ VDCC

พิจารณาวงจรอินทิเกรเตอร์ที่ไม่มีการสูญเสีย ตามรูปที่ 3.6 วิเคราะห์โหนด  $V_{O1}$  โดยใช้หลักการของ KCL จะได้

$$I_{Wp1} - I_{N2} - I_{C2} = 0 \tag{3.19}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ

$$I_{WP1} = I_{C2} \quad (3.20)$$

จากคุณสมบัติของ VDCC เมื่อ  $I_{WP} = I_X$  และกฎแรงดันไฟฟ้า จะได้

$$I_{X1} = V_{O1} s C_2 \quad (3.21)$$

จะได้

$$\frac{V_{O2}}{R_1} = V_{O1} s C_2 \quad (3.22)$$

พิจารณาค่า  $V_{O1}$  จากสมการที่ (3.22) โดยการแยกข้างของสมการจะได้

$$V_{O1} = \frac{V_{O2}}{s C_2 R_1} \quad (3.23)$$

จากสมการที่ (3.23) จัดรูปแบบสมการจะได้สมการหาสมการถ่ายโอนฟังก์ชันของวงจรอินทิเกรเตอร์ที่ไม่มีการสูญเสีย (Lossless integrator) ตามรูปที่ 3.6 ได้ตามสมการที่ (3.24)

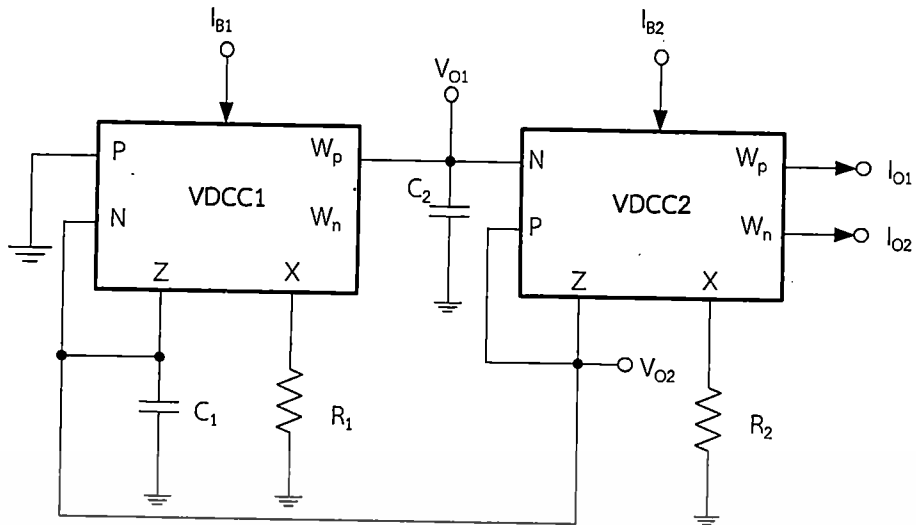
$$\frac{V_{O1}}{V_{O2}} = \frac{1}{s C_2 R_1} \quad (3.24)$$

จากสมการที่ (3.24) สามารถเทียบค่าสัมประสิทธิ์ระหว่างสมการที่ (3.18) จะได้ค่าตัวแปร  $b$  ดังนี้

$$b = C_2 R_1 \quad (3.25)$$

จากรูปที่ 3.4 และ รูปที่ 3.6 สามารถเขียนกำเนิดสัญญาณไซน์โดยใช้ VDCC แสดงในรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจรกำเนิดสัญญาณไซน์โดยใช้ VDCC

จากรูปที่ 3.7 จะพบว่าวงจรกำเนิดสัญญาณไซน์สามารถทำงานได้โดยมีโครงสร้างการทำงานจากอุปกรณ์ VDCC จำนวน 2 ตัว มาเชื่อมต่อร่วมกับตัวต้านทาน จำนวน 2 ตัว และ ตัวเก็บประจุ จำนวน 2 ตัว วงจรกำเนิดสัญญาณไซน์มีการทำงานคือ อุปกรณ์ VDCC2 ทำหน้าที่เป็นวงจรอินทิเกรเตอร์แบบสูญเสีย และอุปกรณ์ VDCC1 ทำหน้าที่เป็นวงจรอินทิเกรเตอร์แบบไม่มีการสูญเสีย เมื่อเทียบหลักการทำงานจากรูปที่ 3.2 อุปกรณ์ VDCC2 จะมีสัญญาณเอาต์พุตโหมดแรงดัน  $V_{O2}$  ป้อนเข้าอุปกรณ์ VDCC1 จากนั้น VDCC1 ทำหน้าที่ป้อนกลับสัญญาณเอาต์พุต  $V_{O1}$  ไปยัง VDCC2 ตัว โดยมี  $I_{B1}$  และ  $I_{B2}$  เป็นกระแสไบอัสที่ควบคุมการทำงานของวงจรถูกให้กับ VDCC1 และ VDCC2 ตามลำดับ

วงจรกำเนิดสัญญาณไซน์สามารถให้กำเนิดสัญญาณประกอบด้วยจุดเอาต์พุตสี่จุด ดังนี้ โหมดแรงดันคือ  $V_{O1}$  และ  $V_{O2}$  ซึ่งเอาต์พุตสามารถกำเนิดสัญญาณไซน์ได้สองสัญญาณมีความต่างเฟส 90 องศา หรือเรียกว่วงจรกำเนิดสัญญาณไซน์แบบควอดเรเจอร์ โหมดกระแสคือ  $I_{O1}$  และ  $I_{O2}$  ซึ่งเอาต์พุตสามารถกำเนิดสัญญาณไซน์ได้สองสัญญาณมีความต่างเฟส 180 องศา นอกจากนี้ยังสามารถปรับขนาดของสัญญาณเอาต์พุต  $I_{O1}$  และ  $I_{O2}$  ได้

### 3.2 การวิเคราะห์ห้วงจรกำเนิดสัญญาณไซน์ในทางทฤษฎี

จากการสังเคราะห์ห้วงจรกำเนิดสัญญาณไซน์ ตามหัวข้อที่ 3.1 สามารถหาสมการลักษณะสมบัติของวงจรถูกกำเนิดสัญญาณไซน์แบบควอดเรเจอร์ เงื่อนไขและความถี่ในการกำเนิดสัญญาณ ได้ดังนี้

จากสมการลักษณะสมบัติ ภายในสมการที่ (3.2) แทนค่าตัวแปร  $a$ ,  $b$  และ  $k$  จากสมการที่ (3.16) สมการที่ (3.17) และสมการที่ (3.25) ตามลำดับจะได้สมการลักษณะคุณสมบัติของวงจรถูกกำเนิดสัญญาณไซน์แบบควอดเรเจอร์ ตามสมการที่ (3.26)

$$s^2 C_1 C_2 R_1 + s C_2 R_1 (g_{m1} - g_{m2}) + g_{m2} = 0 \quad (3.26)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ  $s = j\omega$  จากสมการที่ (3.26) สามารถหาเงื่อนไขและความถี่ในการกำเนิดสัญญาณได้ดังนี้

$$(j\omega)^2 C_1 C_2 R_1 + j\omega C_2 R_1 (g_{m1} - g_{m2}) + g_{m2} = 0 \quad (3.27)$$

จากสมการที่ (3.27) พิจารณาในส่วนจำนวนจริง (Real part) จะได้ความถี่ในการกำเนิดสัญญาณ

$$\omega = \sqrt{\frac{g_{m2}}{C_1 C_2 R_1}} \quad (3.28)$$

จากสมการที่ (3.27) พิจารณาในส่วนจินตภาพ (Imaginary part) จะได้เงื่อนไขในการกำเนิดสัญญาณ

$$g_{m1} = g_{m2} \quad (3.29)$$

หรือ

$$\frac{g_{m1}}{g_{m2}} = 1 \quad (3.30)$$

การปรับเงื่อนไขในการกำเนิดสัญญาณ จากสมการที่ (3.29) และสมการที่ (3.30) ในทางปฏิบัติควรปรับค่า  $g_{m1}$  ให้มีค่าน้อยกว่า  $g_{m2}$  เล็กน้อย สอดคล้องตามสมการที่ (3.4)

เมื่อแทนค่า  $g_{mi} = \sqrt{|b_{i2}| \mu_n C_{ox} \left(\frac{W}{L}\right)}$  จะได้ความถี่และเงื่อนไขในการกำเนิดสัญญาณดังนี้

$$\omega = \sqrt{\frac{\left[|b_{22}| \mu_n C_{ox} \left(\frac{W}{L}\right)\right]^2}{C_1 C_2 R_1}} \quad (3.31)$$

และ

$$|b_{11}| = |b_{22}| \quad (3.32)$$

พิจารณาสมาการความถี่ในการกำเนิดสัญญาณ (FO) ตามสมการที่ (3.28) และเงื่อนไขในการกำเนิดสัญญาณ (CO) ตามสมการที่ (3.30) พบว่าวงจรกำเนิดสัญญาณที่นำเสนอสามารถปรับความถี่ในการกำเนิดสัญญาณ ( $\omega$ ) ไม่ส่งผลต่อการปรับเงื่อนไขในการกำเนิดสัญญาณ โดยการปรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่ในการกำเนิดสัญญาณด้วยการปรับค่า  $R_1$  และปรับเงื่อนไขในการกำเนิดสัญญาณภายในค่า  $I_{B1}$  ซึ่งจะอิสระจากกัน ซึ่งทางปฏิบัติควรปรับค่า  $I_{B1}$  ให้น้อยกว่า  $I_{B2}$  เล็กน้อย

เมื่อพิจารณาหาความสัมพันธ์ของเอาต์พุตจากรูปที่ 3.7 จะได้สมการถ่ายโอนฟังก์ชันภายใน โหมดแรงดัน ( $V_{O1}$ ,  $V_{O2}$ ) ดังสมการที่ (3.33)

$$\frac{V_{O2}}{V_{O1}} = sC_2R_1 \quad (3.33)$$

จากสมการที่ (3.33) นำมาวิเคราะห์หาความต่างเฟสของสัญญาณ  $V_{O1}$  และ  $V_{O2}$  โดยใช้หลักการจำนวนเชิงซ้อน โดย  $j\omega C_2R_1$  เป็นจำนวนจินตภาพ และจำนวนจริง คือ 0 สามารถเขียนแทนในรูปแบบ  $\tan^{-1}$  ได้ตามสมการที่ (3.34)

$$\theta_{\frac{V_{O2}}{V_{O1}}} = \tan^{-1} \frac{j\omega C_2R_1}{0} \quad (3.34)$$

จะได้

$$\theta_{\frac{V_{O2}}{V_{O1}}} = 90^\circ \quad (3.35)$$

เมื่อพิจารณาสมการที่ (3.35) พบความสัมพันธ์ของเอาต์พุตโหมดแรงดันคือ สัญญาณ  $V_{O1}$  และ  $V_{O2}$  มีเฟสต่างกัน 90 องศา โดยสัญญาณ  $V_{O2}$  จะนำหน้า และสัญญาณ  $V_{O1}$  ถ้าหลังอยู่ 90 องศา หากพิจารณาหาความสัมพันธ์ของเอาต์พุตโหมดกระแส ( $I_{O1}$ ,  $I_{O2}$ ) จากรูปที่ 3.7 จะได้

$$I_{O1} = \frac{V_{O2}}{R_2} \quad (3.36)$$

และ

$$I_{O2} = -\frac{V_{O2}}{R_2} \quad (3.37)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อบริการสามารถให้กำเนิดสัญญาณโหมดแรงดันได้ที่  $V_{o2}$  จากนั้นมีการเชื่อมต่อตัวต้านทาน  $R_2$  เข้าไปจะทำให้วงจรสามารถให้กำเนิดสัญญาณได้ในโหมดกระแส และสามารถปรับขนาดของสัญญาณได้ที่  $R_2$  ตามสมการที่ (3.36) และสมการที่ (3.37)

ดังนั้นจะได้สมการถ่ายโอนฟังก์ชันภายใต้สมการที่ (3.38)

$$\frac{I_{o2}}{I_{o1}} = -1 \quad (3.38)$$

จะได้

$$\theta_{\frac{I_{o2}}{I_{o1}}} = 180^\circ \quad (3.39)$$

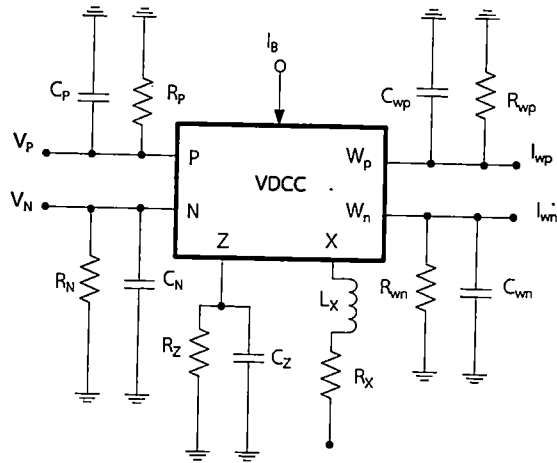
จากสมการที่ (3.40) พบว่าพบว่าสัญญาณ  $I_{o1}$  และ  $I_{o2}$  มีเฟสต่างกัน 180 องศา สามารถปรับขนาดของสัญญาณไซน์ได้จากเอาต์พุตกระแส  $I_{o1}$  และ  $I_{o2}$  จากการปรับที่อุปกรณ์  $R_2$

### 3.3 การวิเคราะห์วงจรกำเนิดสัญญาณไซน์ในทางปฏิบัติ

นอกจากวิเคราะห์วงจรกำเนิดสัญญาณไซน์กรณีอุดมคติแล้วภายในวิทยานิพนธ์จะกล่าวถึงการวิเคราะห์วงจรกำเนิดสัญญาณไซน์ในทางปฏิบัติ เพื่อหาสมรรถนะของวงจรและสิ่งที่จะส่งผลกระทบต่อวงจรกำเนิดสัญญาณไซน์ในทางปฏิบัติ จากการออกแบบและนำเสนอไปในหัวข้อที่ 3.2 โดยในการวิเคราะห์ให้หัวข้อที่ 3.3 จะประกอบด้วยการวิเคราะห์ผลกระทบจากความจุและความต้านทานแฝง (Parasitic elements) และการวิเคราะห์ผลกระทบจากความผิดพลาดในการส่งผ่านกระแสและแรงดันจากอินพุตไปยังเอาต์พุต (Voltage and current tracking errors)

#### 3.3.1 การวิเคราะห์ผลกระทบจากความจุ และความต้านทานแฝง

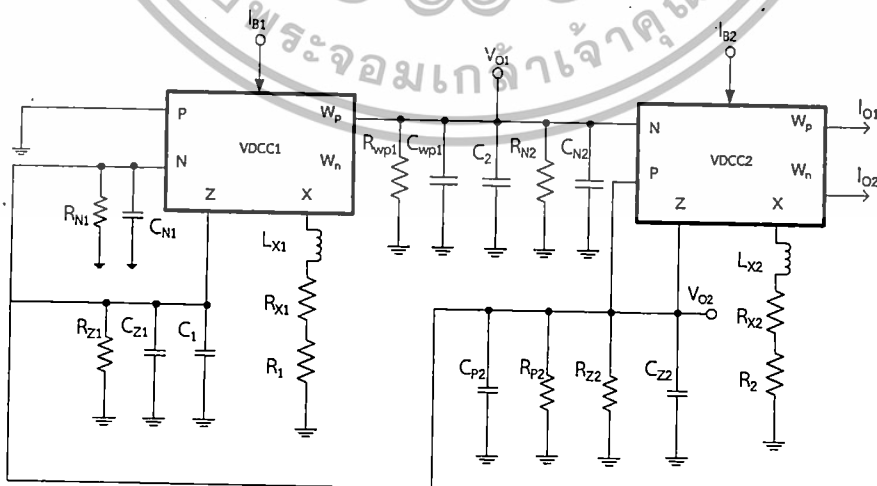
เนื่องจากภายในอุปกรณ์แอกทีฟจะมีความจุ และความต้านทานแฝงอยู่แต่ละขั้วของอุปกรณ์ ซึ่งจะมีผลกระทบต่อการทำงานของวงจร จากการใช้งานอุปกรณ์ VDCC สามารถเขียนวงจรเทียบเคียงเมื่อมีความจุ และความต้านทานแฝง ตามรูปที่ 3.8



รูปที่ 3.8 วงจรเทียบเคียงอุปกรณ์ VDCC เมื่อมีความจุและความต้านทานแฝง

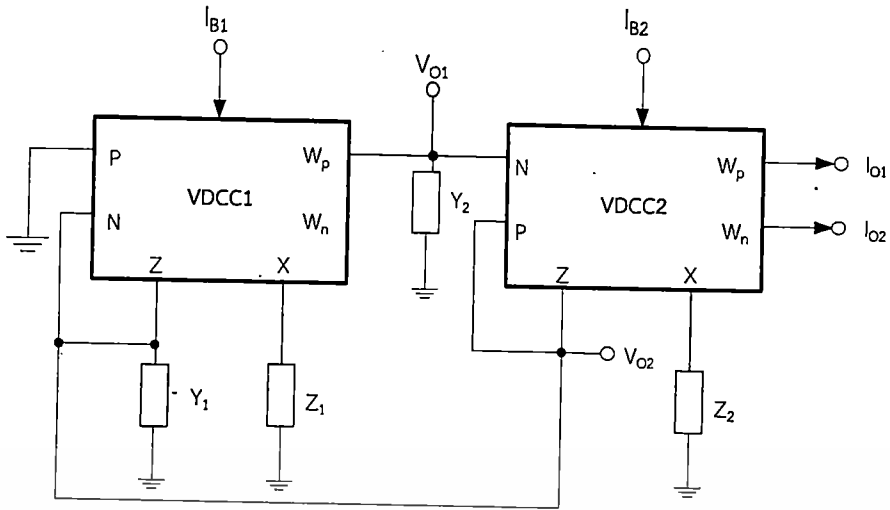
จากรูปที่ 3.8 วงจรเทียบเคียงอุปกรณ์ VDCC จะเห็นว่ามีค่าความจุ และค่าความต้านทานแฝงขนานกันอยู่ที่ขั้วของอุปกรณ์ที่มีความต้านทานสูง และมีค่าต้านทานอนุกรมกับตัวเหนี่ยวนำที่ขั้วของอุปกรณ์ที่มีความต้านทานต่ำ โดยแต่ละขั้วมีค่าความจุ (C) ค่าความต้านทานแฝง (R) และตัวเหนี่ยวนำ (L) ดังนี้ ขั้ว P จะประกอบด้วย ค่าความจุ ( $C_P$ ) ค่าความต้านทานแฝง ( $R_P$ ) ขั้ว N จะประกอบด้วย ค่าความจุ ( $C_N$ ) ค่าความต้านทานแฝง ( $R_N$ ) ขั้ว Z จะประกอบด้วย ค่าความจุ ( $C_Z$ ) ค่าความต้านทานแฝง ( $R_Z$ ) ขั้ว X จะประกอบด้วย ตัวเหนี่ยวนำ ( $L_X$ ) ค่าความต้านทานแฝง ( $R_X$ ) ขั้ว  $W_P$  จะประกอบด้วย ค่าความจุ ( $C_{WP}$ ) ค่าความต้านทานแฝง ( $R_{WP}$ ) และขั้ว  $W_N$  จะประกอบด้วย ค่าความจุ ( $C_{WN}$ ) ค่าความต้านทานแฝง ( $R_{WN}$ )

ดังนั้นสามารถเขียนวงจรกำเนิดสัญญาณไซน์แบบควอดเรเจอร์ในกรณีที่มีผลกระทบจากความต้านทาน และความจุแฝงในตัวอุปกรณ์ VDCC ตามรูปที่ 3.9 และวงจรกำเนิดสัญญาณไซน์ควอดเรเจอร์ในกรณีที่มีผลกระทบจากความต้านทานและความจุแฝงในอุปกรณ์ VDCC เมื่อแทนตัวอุปกรณ์ในวงจรด้วยแอดมิแตนซ์ ตามรูปที่ 3.10



รูปที่ 3.9 วงจรกำเนิดสัญญาณไซน์แบบควอดเรเจอร์ในกรณีที่มีผลกระทบจากความต้านทาน และความจุแฝงในตัวอุปกรณ์ VDCC

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์เพื่อการนำเสนอเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 วงจรกำเนิดสัญญาณไซน์แบบควอเทรเจอร์ในกรณีที่มีผลกระทบจากความต้านทาน และความจุแฝงในตัวอุปกรณ์ VDCC เมื่อแทนตัวอุปกรณ์ในวงจรด้วยแอดมิแทนซ์

จากรูปที่ 3.9 สามารถเขียนให้อยู่ในรูปค่าแอดมิแทนซ์ (Y) และค่าอิมพีแดนซ์ (Z) แต่ละขั้วได้ โดยการยุบรวมค่าความต้านทานแฝงและค่าความจุแฝงเพื่อให้สามารถนำไปวิเคราะห์วงจรดังกล่าวได้ง่ายขึ้น ตามรูปที่ 3.10

จากรูปที่ 3.10 พิจารณาค่าแอดมิแทนซ์เมื่อใช้งานอุปกรณ์ VDCC จะประกอบด้วยค่า  $Y_1$  และ  $Y_3$  พิจารณาค่า  $Y_1$  โดยกำหนดให้  $G_{N1} = \frac{1}{R_{N1}}, G_{Z1} = \frac{1}{R_{Z1}}, G_{P2} = \frac{1}{R_{P2}}$  และ  $G_{Z2} = \frac{1}{R_{Z2}}$  สามารถเขียนค่า  $Y_1$  ได้ตามสมการที่ (3.40)

$$Y_1 = s(C_{N1} + C_{Z1} + C_1 + C_{P2} + C_{Z2}) + G_{N1} + G_{Z1} + G_{P2} + G_{Z2} \quad (3.40)$$

โดยกำหนดให้ค่า  $C_N$  และ  $G_N$  ตามสมการที่ (3.41) และ (3.42) ตามลำดับ

$$C_N = C_{N1} + C_{Z1} + C_1 + C_{P2} + C_{Z2} \quad (3.41)$$

และ

$$G_N = G_{N1} + G_{Z1} + G_{P2} + G_{Z2} \quad (3.42)$$

ดังนั้นค่า  $Y_1$  ตามสมการที่ (3.43)

$$Y_1 = sC_N + G_N \quad (3.43)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาหาค่า  $Z_1$  จากรูปที่ 3.10 เมื่อพิจารณาว่าความเหนียวน้ำ ( $L_{x1}$ ) มีค่าน้อยมาก ดังนั้นสามารถเขียนค่า  $Z_1$  ตามสมการที่ (3.44)

$$Z_1 = R'_{x1} = R_{x1} + R_1 \quad (3.44)$$

พิจารณาหาค่า  $Y_1$  โดยกำหนดให้  $G_{wp1} = \frac{1}{R_{wp1}}$  และ  $G_{N2} = \frac{1}{R_{N2}}$  สามารถเขียนค่า  $Y_1$  ได้ตามสมการที่ (3.45)

$$Y_1 = s(C_{wp1} + C_2 + C_{N2}) + G_{wp1} + G_{N2} \quad (3.45)$$

โดยกำหนดให้ค่า  $C_M$  และ  $G_M$  ตามสมการที่ (3.46) และ (3.47) ตามลำดับ

$$C_M = C_{wp1} + C_2 + C_{N2} \quad (3.46)$$

และ

$$G_M = G_{wp1} + G_{N2} \quad (3.47)$$

ดังนั้นค่า  $Y_1$  ตามสมการที่ (3.48)

$$Y_1 = sC_M + G_M \quad (3.48)$$

พิจารณาหาค่า  $Z_2$  จากรูปที่ 3.10 เมื่อพิจารณาว่าความเหนียวน้ำ ( $L_{x2}$ ) มีค่าน้อยมาก ดังนั้นสามารถเขียนค่า  $Z_2$  ตามสมการที่ (3.49)

$$Z_2 = R'_{x2} = R_{x2} + R_2 \quad (3.49)$$

จากการหาค่าแอดมิแตนซ์และค่าอิมพีแดนซ์ของอุปกรณ์ VDCC เพื่อให้ง่ายต่อการหาสมการลักษณะสมบัติของวงจรกำเนิดสัญญาณไซน์แบบควอดเรเจอร์ในทางปฏิบัติ โดยอาศัยหลักการของ KCL ดังนี้

พิจารณาโหนด  $V_{Y3}$  ตามรูปที่ 3.10 และตามคุณสมบัติของ VDCC สามารถเขียนสมการกระแสได้ดังนี้

$$I_{wp1} - I_{N2} - I_{Y3} = 0 \quad (3.50)$$

พิจารณาหาค่า  $I_{wp1}$  ได้ดังสมการที่ (3.51)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{WP} = I_{Y3} \quad (3.51)$$

จากคุณสมบัติของ VDCC เมื่อ  $I_{WP} = I_X$  จะได้สมการที่ (3.52)

$$I_X = V_{Y2} Y_2 \quad (3.52)$$

พิจารณาค่า  $V_{Y2}$  โดยใช้กฎของโอห์ม ได้ดังสมการที่ (3.53)

$$V_{Y2} = \frac{V_{Z1}}{Y_2 Z_1} \quad (3.53)$$

เมื่อแทนค่า  $Y_2 = sC_M + G_M$  และ  $Z_1 = R'_{x1}$  จะได้ตามสมการที่ (3.54)

$$V_{Y2} = \frac{V_{Z1}}{(sC_M + G_M) R'_{x1}} = \frac{V_{Z1}}{sC_M R'_{x1} + G_M R'_{x1}} \quad (3.54)$$

พิจารณาโหนดที่  $V_{Y1}$  ตามรูปที่ 3.10 และอาศัยคุณสมบัติของ VDCC สามารถเขียนสมการกระแสดังนี้

$$I_{Z2} - I_{P2} + I_{Z1} - I_{Y1} - I_{N1} = 0 \quad (3.55)$$

และ

$$I_{Z2} + I_{Z1} = I_{Y1} \quad (3.56)$$

จากคุณสมบัติของ VDCC เมื่อ  $I_Z = g_m (V_P - V_N)$  จะได้สมการที่ (3.57)

$$g_{m2} (V_{P2} - V_{N2}) + g_{m1} (V_{P1} - V_{N1}) = V_{Y1} Y_1 \quad (3.57)$$

จากกฎแรงดันไฟฟ้าและคุณสมบัติของ VDCC เมื่อ  $V_X = V_Z$  จะได้สมการที่ (3.58)

$$g_{m2} V_{Z1} - g_{m2} V_{Y3} - g_{m1} V_{Z1} - V_{Z1} Y_1 = 0 \quad (3.58)$$

จะได้

$$V_{Z1} (g_{m2} - g_{m1} - Y_1) = g_{m2} V_{Y3} \quad (3.59)$$

แทนค่า  $V_{Y2}$  จากสมการที่ (3.54) แทนลงในสมการที่ (3.59) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{z_1}(g_{m_2} - g_{m_1} - Y_1) = g_{m_2} \left( \frac{V_{z_1}}{Y_2 Z_1} \right) \quad (3.60)$$

นำ  $\frac{Y_2 Z_1}{V_{z_1}}$  คูณทั้งสมการที่ (3.60) จะได้สมการที่ (3.61)

$$Y_2 Z_1 (g_{m_2} - g_{m_1} - Y_1) = g_{m_2} \quad (3.61)$$

จะได้

$$-Y_1 Y_2 Z_1 + Y_2 Z_1 (g_{m_2} - g_{m_1}) - g_{m_2} = 0 \quad (3.62)$$

จากสมการที่ (3.62) จะได้สมการลักษณะคุณสมบัติตั้งสมการที่ (3.63)

$$Y_1 Y_2 Z_1 + Y_2 Z_1 (g_{m_1} - g_{m_2}) + g_{m_2} = 0 \quad (3.63)$$

แทนค่า  $Y_1 = sC_N + G_N$  และ  $Z_1 Y_2 = sR'_{x1}(C_M + G_M)$  ลงในสมการที่ (3.63) จะได้

$$\left[ (sC_N + G_N)(sC_M R'_{x1} + G_M R'_{x1}) \right] + \left[ sC_M R'_{x1} + G_M R'_{x1}(g_{m_1} - g_{m_2}) \right] + g_{m_2} = 0 \quad (3.64)$$

และ

$$\left[ \begin{aligned} & s^2 C_N C_M R'_{x1} + sR'_{x1} (C_N G_M + C_M G_N) + G_N G_M R'_{x1} \\ & + sR'_{x1} (C_M + G_M)(g_{m_1} - g_{m_2}) + g_{m_2} \end{aligned} \right] = 0 \quad (3.65)$$

จากสมการที่ (3.65) สามารถจัดรูปแบบได้ตามสมการที่ (3.66)

$$\left[ \begin{aligned} & s^2 C_N C_M R'_{x1} + sR'_{x1} \left[ (C_N G_M + C_M G_N) + (C_M + G_M)(g_{m_1} - g_{m_2}) \right] \\ & + G_N G_M R'_{x1} + g_{m_2} \end{aligned} \right] = 0 \quad (3.66)$$

เมื่อ  $s = j\omega$  จากสมการที่ (3.66) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left[ \begin{array}{l} j\omega^2 C_N C_M R'_{x1} + j\omega R'_{x1} \left[ (C_N G_M + C_M G_N) + (C_M + G_M)(g_{m1} - g_{m2}) \right] \\ + G_N G_M R'_{x1} + g_{m2} \end{array} \right] = 0 \quad (3.67)$$

จากสมการที่ (3.67) พิจารณาในส่วนจำนวนจริง (Real part) จะได้ความถี่ในการกำเนิดสัญญาณ

$$\left[ -\omega^2 C_N C_M R'_{x1} + G_N G_M R'_{x1} \right] + g_{m2} = 0 \quad (3.68)$$

จะได้

$$\omega^2 C_N C_M R'_{x1} = G_N G_M R'_{x1} + g_{m2} \quad (3.69)$$

และ

$$\omega = \sqrt{\frac{G_N G_M R'_{x1} + g_{m2}}{C_N C_M R'_{x1}}} \quad (3.70)$$

จากสมการที่ (3.70) เมื่อแทนค่า  $C_N$  จากสมการที่ (3.41) ค่า  $C_M$  จากสมการที่ (3.46) ค่า  $G_N$  จากสมการที่ (3.42) ค่า  $G_M$  จากสมการที่ (3.47) และ  $R'_{x1} = R_{x1} + R_1$  จะได้ความถี่ในการกำเนิดสัญญาณตามสมการที่ (3.71)

$$\omega = \sqrt{\frac{\left[ (G_{N1} + G_{z1} + G_{p2} + G_{z2})(G_{wp1} + G_{N2})(R_{x1} + R_1) \right] + g_{m2}}{(C_{N1} + C_{z1} + C_1 + C_{p2} + C_{z2})(C_{wp1} + C_2 + C_{N2})(R_{x1} + R_1)}} \quad (3.71)$$

จากสมการที่ (3.66) พิจารณาในส่วนจินตภาพ (Imaginary part) จะได้เงื่อนไขในการกำเนิดสัญญาณ

$$j\omega R'_{x1} \left[ (C_N G_M + C_M G_N) + (C_M + G_M)(g_{m1} - g_{m2}) \right] = 0 \quad (3.72)$$

จะได้

$$\left[ (C_N G_M + C_M G_N) + (C_M + G_M)(g_{m1} - g_{m2}) \right] = 0 \quad (3.73)$$

เมื่อทำการจัดรูปแบบสมการที่ (3.72) จะได้สมการที่ (3.73)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_N G_M + C_M G_N + C_M g_{m1} + G_M g_{m1} = C_M g_{m2} + G_M g_{m2} \quad (3.74)$$

จากสมการที่ (3.74) เมื่อแทนค่า  $C_N$  จากสมการที่ (3.41) ค่า  $C_M$  จากสมการที่ (3.46) ค่า  $G_N$  จากสมการที่ (3.42) ค่า  $G_M$  จากสมการที่ (3.47) และ  $R'_{x1} = R_{x1} + R_1$  จะได้เงื่อนไขในการกำเนิดสัญญาณตามสมการที่ (3.75)

$$\begin{bmatrix} (C_{N1} + C_{Z1} + C_1 + C_{P2} + C_{Z2})(G_{wp1} + G_{N2}) + \\ (C_{wp1} + C_2 + C_{N2})(G_{N1} + G_{Z1} + G_{P2} + G_{Z2}) \\ + g_{m1}(C_{wp1} + C_2 + C_{N2}) + g_{m1}(G_{wp1} + G_{N2}) \end{bmatrix} = \begin{bmatrix} g_{m2}(C_{wp1} + C_2 + C_{N2}) \\ + g_{m2}(G_{wp1} + G_{N2}) \end{bmatrix} \quad (3.75)$$

จากการวิเคราะห์วงจรกำเนิดสัญญาณไซน์แบบควอเดรเจอร์ในกรณีที่มีผลกระทบจากความต้านทาน และความจุแฝงในตัวอุปกรณ์ VDCC พิจารณาสมการที่ (3.71) ความถี่ในการกำเนิดสัญญาณ และสมการที่ (3.75) เงื่อนไขในการกำเนิดสัญญาณ จะเห็นว่าสมการทั้งสองมีค่าพารามิเตอร์ที่เป็นผลจากค่าความต้านทานและค่าความจุแฝงในตัวมอสทรานซิสเตอร์ที่ใช้ภายในวงจร ซึ่งส่งผลกระทบต่อวงจรกำเนิดสัญญาณในทางปฏิบัติ

### 3.3.2 การวิเคราะห์ผลกระทบจากความผิดพลาดในการส่งผ่านกระแสและแรงดันจากอินพุตไปยังเอาต์พุตภายในอุปกรณ์ VDCC

การใช้งานอุปกรณ์ VDCC จำเป็นที่จะต้องวิเคราะห์ผลกระทบความผิดพลาดในการส่งผ่านกระแสและแรงดันจากอินพุตไปยังเอาต์พุต เนื่องจากอุปกรณ์ VDCC เป็นวงจรรวมที่มีพื้นฐานการทำงานมาจากอุปกรณ์มอสทรานซิสเตอร์ ในการวิเคราะห์สามารถเขียนค่าพารามิเตอร์แฝงของอุปกรณ์มอสทรานซิสเตอร์ได้ตามสมการที่ (3.76)

$$\begin{bmatrix} I_N \\ I_p \\ I_z \\ V_x \\ I_{wp} \\ I_{wn} \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ \alpha_p g_m & -\alpha_n g_m & 0 & 0 \\ 0 & 0 & \beta_z & 0 \\ 0 & 0 & 0 & \gamma_p \\ 0 & 0 & 0 & -\gamma_n \end{bmatrix} \begin{bmatrix} V_p \\ V_N \\ V_z \\ I_x \end{bmatrix} \quad (3.76)$$

เมื่อกำหนดให้  $\alpha_p, \alpha_n, \beta_z, \gamma_p$  และ  $\gamma_n$  เป็นค่าส่งผ่านที่สามารถเบี่ยงเบนเข้าใกล้ค่าหนึ่งเกิดจากความไม่เป็นอุดมคติของอุปกรณ์มอสทรานซิสเตอร์ภายในอุปกรณ์ VDCC ที่ใช้ในวงจรกำเนิดสัญญาณไซน์ เมื่อ

$\alpha_p$  คือ ความผิดพลาดในการส่งผ่านแรงดัน  $V_p$  ไปยังกระแส  $I_z$

$\alpha_n$  คือ ความผิดพลาดในการส่งผ่านแรงดัน  $V_N$  ไปยังกระแส  $I_z$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- $\beta_z$  คือ ความผิดพลาดในการส่งผ่านแรงดัน  $V_z$  ไปยังแรงดัน  $V_x$   
 $\gamma_p$  คือ ความผิดพลาดในการส่งผ่านกระแส  $I_x$  ไปยัง กระแส  $I_{wp}$   
 $\gamma_n$  คือ ความผิดพลาดในการส่งผ่านกระแส  $I_x$  ไปยัง กระแส  $I_{vn}$

พิจารณาโหนดที่ 1 ตามรูปที่ 3.7 เมื่อคำนึงค่าผิดพลาดตามสมการที่ (3.76) สามารถเขียนสมการกระแสดังนี้

$$I_{WP1} - I_{N2} - I_{C2} = 0 \quad (3.77)$$

พิจารณาหาค่า  $I_{WP1}$  ได้ตั้งสมการที่ (3.78)

$$I_{WP1} = I_{C2} \quad (3.78)$$

จากคุณสมบัติของ VDCC เมื่อ  $I_{WP1} = \gamma_p I_{x1}$  จะได้สมการที่ (3.79)

$$\gamma_p I_{x1} = V_{C2} s C_2 \quad (3.79)$$

พิจารณาหาค่า  $V_{C2}$  โดยใช้กฎของโอห์ม ได้ตั้งสมการที่ (3.80)

$$\frac{\gamma_p \beta_z V_{z1}}{R_1} = V_{C2} s C_2 \quad (3.80)$$

จะได้

$$V_{C2} = \frac{\beta_z \gamma_p V_{z1}}{s C_2 R_1} \quad (3.81)$$

พิจารณาโหนดที่ 2 ตามรูปที่ 3.7 และอาศัยคุณสมบัติของ VDCC สามารถเขียนสมการกระแสดังนี้

$$I_{z2} - I_{p2} + I_{z1} - I_{C1} - I_{N1} = 0 \quad (3.82)$$

และ

$$I_{z2} + I_{z1} = I_{C1} \quad (3.83)$$

จากคุณสมบัติของ VDCC ตามสมการที่ (3.76) จะได้  $I_z = g_m (\alpha_p V_p - \alpha_n V_n)$  เมื่อแทนลงในสมการที่ (3.83) จะได้สมการที่ (3.84)

$$g_{m2} (\alpha_{p2} V_{p2} - \alpha_{n2} V_{n2}) + g_{m1} (\alpha_{p1} V_{p1} - \alpha_{n1} V_{n1}) = V_{C1} s C_1 \quad (3.84)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.84) โดยตัดเทอมของขั้ว  $V_{P1}$  ออกเนื่องจากต่อลงกราวด์ และกฎแรงดันไฟฟ้าและคุณสมบัติของ VDCC เมื่อ  $V_X = \beta_Z V_Z$  จะได้สมการที่ (3.85)

$$g_{m2} \alpha_{P2} \beta_Z V_{Z1} - g_{m2} \alpha_{N2} V_{C2} - g_{m1} \alpha_{N1} \beta_Z V_{Z1} - \beta_Z V_{Z1} s C_1 = 0 \quad (3.85)$$

จะได้

$$\beta_Z V_{Z1} (g_{m2} \alpha_{P2} - g_{m1} \alpha_{N1} - s C_1) = g_{m2} \alpha_{N2} V_{C2} \quad (3.86)$$

จากสมการที่ (3.81) แทนลงในสมการที่ (3.86) จะได้

$$\beta_Z V_{Z1} (g_{m2} \alpha_{P2} - g_{m1} \alpha_{N1} - s C_1) = g_{m2} \alpha_{N2} \left( \frac{\beta_Z \gamma_p V_{Z1}}{s C_2 R_1} \right) \quad (3.87)$$

นำ  $\left( \frac{s C_2 R_1}{\beta_Z \gamma_p V_{Z1}} \right)$  คูณทั้งสมการที่ (3.87) จะได้สมการที่ (3.88)

$$(g_{m2} \alpha_{P2} - g_{m1} \alpha_{N1} - s C_1) \left( \frac{s C_2 R_1}{\beta_Z} \right) = g_{m2} \alpha_{N2} \quad (3.88)$$

$$\frac{s^2 C_1 C_2 R_1}{\beta_Z} + \frac{s C_2 R_1}{\beta_Z} (g_{m2} \alpha_{P2} - g_{m1} \alpha_{N1}) + g_{m2} \alpha_{N2} = 0 \quad (3.89)$$

จะได้สมการลักษณะคุณสมบัติตั้งสมการที่ (3.90)

$$\frac{s^2 C_1 C_2 R_1}{\beta_Z} + \frac{s C_2 R_1}{\beta_Z} (g_{m1} \alpha_{N1} - g_{m2} \alpha_{P2}) + g_{m2} \alpha_{N2} = 0 \quad (3.90)$$

เมื่อ  $s = j\omega$  จากสมการที่ (3.90) จะได้

$$\frac{j\omega^2 C_1 C_2 R_1}{\beta_Z} + \frac{j\omega C_2 R_1}{\beta_Z} (g_{m1} \alpha_{N1} - g_{m2} \alpha_{P2}) + g_{m2} \alpha_{N2} = 0 \quad (3.91)$$

จากสมการที่ (3.91) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\frac{-\omega^2 C_1 C_2 R_1}{\beta_z} + \frac{j\omega C_2 R_1}{\beta_z} (g_{m1} \alpha_{N1} - g_{m2} \alpha_{P2}) + g_{m2} \alpha_{N2} = 0 \quad (3.92)$$

จากสมการที่ (3.92) พิจารณาความถี่ในการกำเนิดสัญญาณ จะได้

$$\frac{-\omega^2 C_1 C_2 R_1}{\beta_z} + g_{m2} \alpha_{N2} = 0 \quad (3.93)$$

และ

$$\omega = \sqrt{\frac{g_{m2} \alpha_{N2} \beta_z}{C_1 C_2 R_1}} \quad (3.94)$$

จากสมการที่ (3.91) พิจารณาในส่วนจินตภาพ (Imaginary part) จะได้เงื่อนไขในการกำเนิดสัญญาณ

$$\frac{j\omega C_2 R_1}{\beta_z} (g_{m1} \alpha_{N1} - g_{m2} \alpha_{P2}) = 0 \quad (3.95)$$

จะได้

$$g_{m1} \alpha_{N1} = g_{m2} \alpha_{P2} \quad (3.96)$$

เมื่อพิจารณาหาความสัมพันธ์ของเอาต์พุตจากรูปที่ 3.7 จะได้สมการถ่ายโอนฟังก์ชันของ  $V_{O1}$  และ  $V_{O2}$  ดังสมการที่ (3.97)

$$\frac{V_{O2}}{V_{O1}} = \frac{sC_2 R_1}{\beta_z \gamma_p} \quad (3.97)$$

พิจารณาสมการที่ (3.97) ในทางไม่เป็นอุดมคติพบว่า  $V_{O1}$  และ  $V_{O2}$  มีเฟสต่างกันดังสมการที่ (3.98)

$$\theta_{\frac{V_{O2}}{V_{O1}}} = 90^\circ \quad (3.98)$$

หากพิจารณาหาความสัมพันธ์ของเอาต์พุตโหมตกระแส ( $I_{O1}$ ,  $I_{O2}$ ) จากรูปที่ 3.7 จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{o1} = \frac{\gamma_p V_{O2}}{R_2} \quad (3.99)$$

และ

$$I_{o2} = -\frac{\gamma_p V_{O2}}{R_2} \quad (3.100)$$

ดังนั้นจะได้สมการถ่ายโอนฟังก์ชันภายใต้สมการที่ (3.101)

$$\theta_{\frac{I_{o2}}{I_{o1}}} = 180^\circ \quad (3.101)$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 4

# ผลการวิจัยและวิเคราะห์ข้อมูล

การทดสอบสมรรถนะของวงจรถูกกำเนิดสัญญาณไซน์จากการสังเคราะห์และออกแบบภายใน บทที่ 3 ภายในวิทยานิพนธ์นั้น มีผลการทดสอบสมรรถนะการทำงานของวงจรถูกโปรแกรม PSPICE และการต่อวงจรจริง พร้อมอภิปรายผลการทดสอบเปรียบเทียบกับผลการวิเคราะห์วงจรถูกกำเนิดสัญญาณ ไซน์ในทางทฤษฎี โดยมีรายละเอียดดังนี้

4.1 ผลการจำลองการทำงานของวงจรถูกกำเนิดสัญญาณไซน์ด้วยโปรแกรม PSPICE

4.2 ผลการจำลองการทำงานของวงจรถูกกำเนิดสัญญาณไซน์ด้วยการต่อวงจรจริง

### 4.1 ผลการจำลองการทำงานของวงจรถูกกำเนิดสัญญาณไซน์ด้วยโปรแกรม PSPICE

การใช้งานโปรแกรม PSPICE เพื่อทำการจำลองการทำงานของวงจรถูกกำเนิดสัญญาณไซน์ ที่อาศัยการทำงานหลักจากวงจรสายพานกระแสผลต่างแรงดัน (VDDC) มีโครงสร้างภายใน ตามรูปที่ 2.9 ซึ่งประกอบด้วยอุปกรณ์ PMOS และ NMOS ทรานซิสเตอร์ อาศัยการใช้เทคโนโลยี มอสทรานซิสเตอร์ (CMOS technology) 0.18  $\mu\text{m}$  ของ TSMC มีค่าความกว้างและความยาวของ ช่องทางเดินกระแส (Kacar, et. al. 2014: 73-78) แสดงภายในตารางที่ 4.1 และพารามิเตอร์ที่ใช้ใน การจำลองการทำงานของวงจรที่น่าเสนอ แสดงภายในภาคผนวก

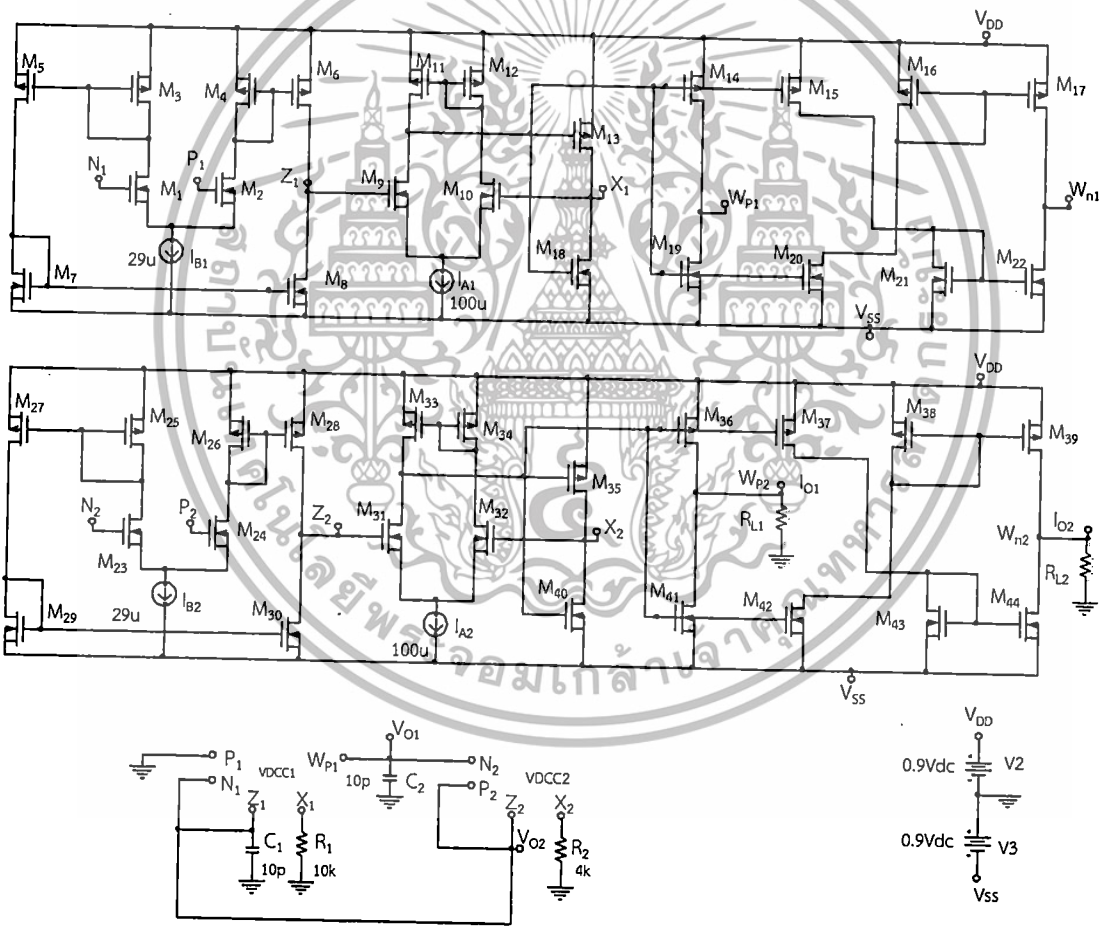
ตารางที่ 4.1 ค่าความกว้างและความยาวของช่องทางเดินกระแสของอุปกรณ์ PMOS และ NMOS ทรานซิสเตอร์ ภายในอุปกรณ์ VDDC

ทรานซิสเตอร์	ชนิดของ MOS	ความกว้าง W ( $\mu\text{m}$ )	ความยาว L ( $\mu\text{m}$ )
M <sub>1</sub>	NMOS	3.6	1.8
M <sub>2</sub>	NMOS	3.6	1.8
M <sub>3</sub>	PMOS	3.6	1.8
M <sub>4</sub>	PMOS	3.6	1.8
M <sub>5</sub>	PMOS	7.2	1.8
M <sub>6</sub>	PMOS	7.2	1.8
M <sub>7</sub>	NMOS	2.4	1.8
M <sub>8</sub>	NMOS	2.4	1.8
M <sub>9</sub>	NMOS	3.06	0.72
M <sub>10</sub>	NMOS	3.06	0.72
M <sub>11</sub>	PMOS	9	0.72
M <sub>12</sub>	PMOS	9	0.72
M <sub>13</sub>	PMOS	14.4	0.72

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 (ต่อ)

ทรานซิสเตอร์	ชนิดของ MOS	ความกว้าง W (μm)	ความยาว L (μm)
M <sub>14</sub>	PMOS	14.4	0.72
M <sub>15</sub>	PMOS	14.4	0.72
M <sub>16</sub>	PMOS	14.4	0.72
M <sub>17</sub>	PMOS	14.4	0.72
M <sub>18</sub>	NMOS	0.72	0.72
M <sub>19</sub>	NMOS	0.72	0.72
M <sub>20</sub>	NMOS	0.72	0.72
M <sub>21</sub>	NMOS	0.72	0.72
M <sub>22</sub>	NMOS	0.72	0.72



รูปที่ 4.1 วงจรกำเนิดสัญญาณไซน์ที่ใช้ในการทดลองผ่านโปรแกรม PSPICE

จากรูปที่ 4.1 วงจรกำเนิดสัญญาณไซน์ที่ได้นำเสนอใช้งานแหล่งจ่าย  $\pm 0.9$  โวลต์ ต่อใช้งานกับวงจรสายพานกระแสผลต่างแรงดัน (VDCC) จำนวน 2 ตัว ร่วมกับตัวต้านทานและตัวเก็บประจุอย่างละ 2 ตัว ซึ่งต่อลงกราวด์ทั้งหมด มี  $I_{B1}$  ทำหน้าที่เป็นกระแสไบอัสควบคุมการทำงานของเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VDCC1 และ  $I_{B2}$  หน้าที่เป็นกระแสไบอัสควบคุมการทำงานของ VDCC2 ในเบื้องต้นมีการกำหนดค่าตัวต้านทานและตัวเก็บประจุ ตามตารางที่ 4.2 และแสดงผลการจำลองการทำงานของวงจรกำเนิดสัญญาณไซน์ในโหมดแรงดันและกระแส ดังนี้

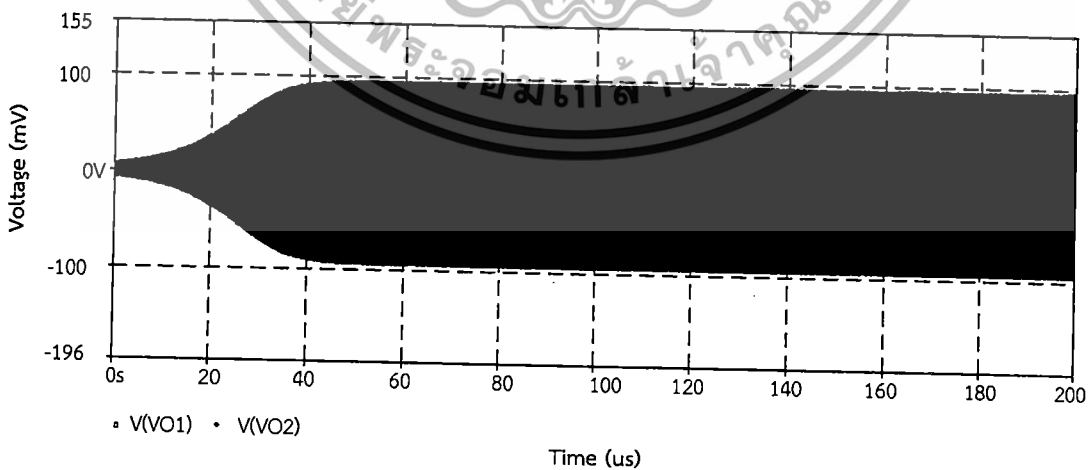
ตารางที่ 4.2 การกำหนดค่าอุปกรณ์ภายในวงจรกำเนิดสัญญาณไซน์ที่ใช้ในการทดลองผ่านโปรแกรม PSPICE

อุปกรณ์	ค่าที่กำหนด
$C_1$	10pF
$C_2$	10pF
$R_1$	5 k $\Omega$
$R_2$	4 k $\Omega$
$I_{B1}$	29 $\mu$ A
$I_{B2}$	29 $\mu$ A

#### 4.1.1 ผลการจำลองการทำงานของวงจรกำเนิดสัญญาณไซน์แบบควอเดรเจอร์ในโหมดแรงดัน

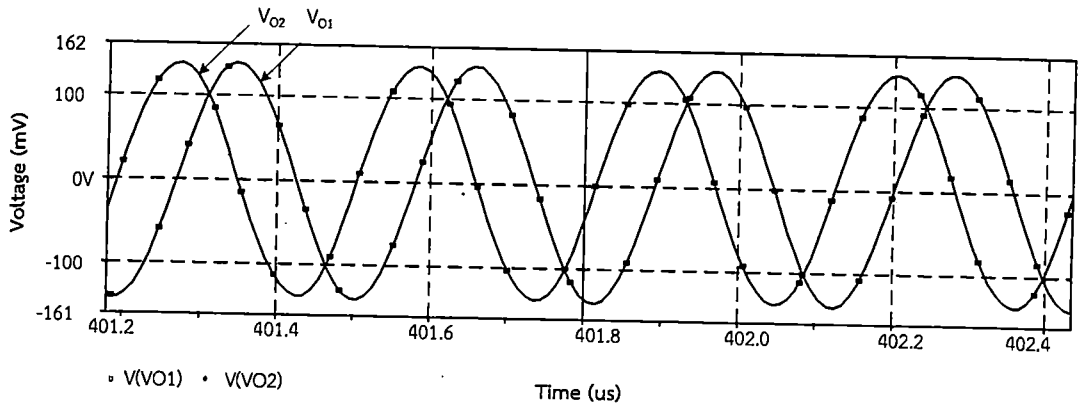
เมื่อกำหนดค่าของอุปกรณ์ ตามตารางที่ 4.2 จะได้ผลการจำลองการทำงานในสภาวะเริ่ม (Initial state) ของวงจรกำเนิดสัญญาณไซน์ในโหมดแรงดันแสดงในรูปที่ 4.2 และผลการจำลองการทำงานในอิมิตัว (Steady state) แสดงในรูปที่ 4.3

จากรูปที่ 4.3 พบว่ามีแรงดันเอาต์พุต 2 สัญญาณ คือ  $V_{O1}$  และ  $V_{O2}$  มีความต่างเฟสเท่ากับ 90 องศา โดยที่  $V_{O1}$  ล้าหลัง  $V_{O2}$  จะเห็นว่าสอดคล้องกับสมการที่ (3.35) ฟังก์ชันอินฮัยยาภายในโหมดแรงดัน มีการแสดงสเปกตรัมของสัญญาณ  $V_{O1}$  และ  $V_{O2}$  ตามรูปที่ 4.4 โดยความถี่ในการกำเนิดสัญญาณเท่ากับ 3.22 MHz และค่าผิดเพี้ยนทางฮาร์โมนิกสรรวม (Total Harmonic Distortion: THD) ของ  $V_{O1}$  และ  $V_{O2}$  เท่ากับ 0.75% และ 1.48% ตามลำดับ

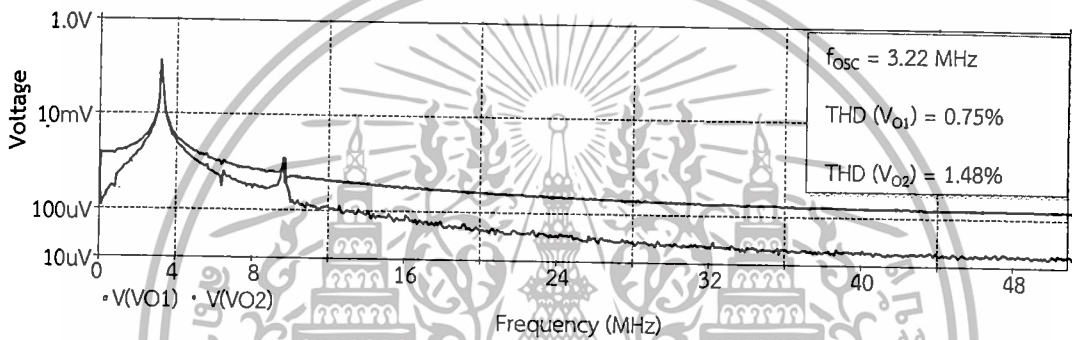


#### รูปที่ 4.2 ผลการจำลองการทำงานของวงจรกำเนิดสัญญาณไซน์ในโหมดแรงดันในสภาวะเริ่มต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



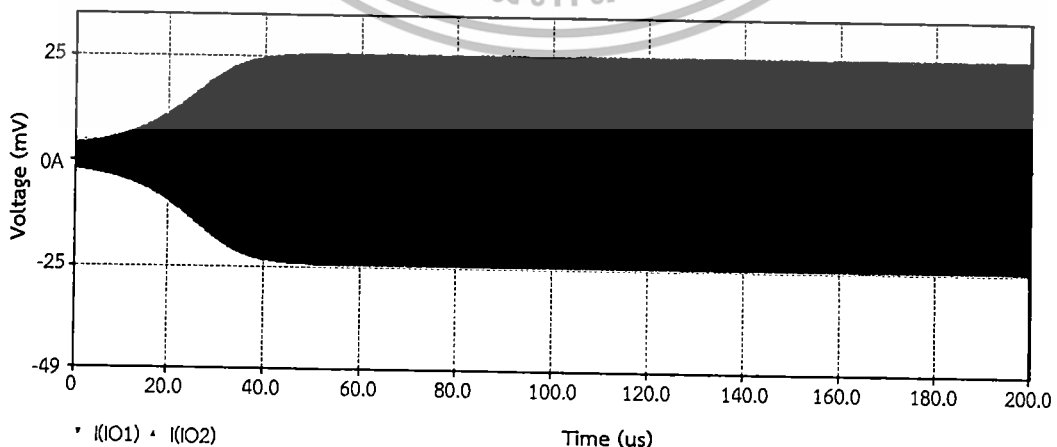
รูปที่ 4.3 ผลการจำลองการทำงานของวงจรถ่ายสัญญาณไซน์โหมดแรงดัน



รูปที่ 4.4 สเปกตรัมของสัญญาณ  $V_{O1}$  และ  $V_{O2}$  มีความถี่ในการกำเนิดสัญญาณเท่ากับ 3.22 MHz

4.1.2 ผลการจำลองการทำงานของวงจรถ่ายสัญญาณไซน์ในโหมดกระแส

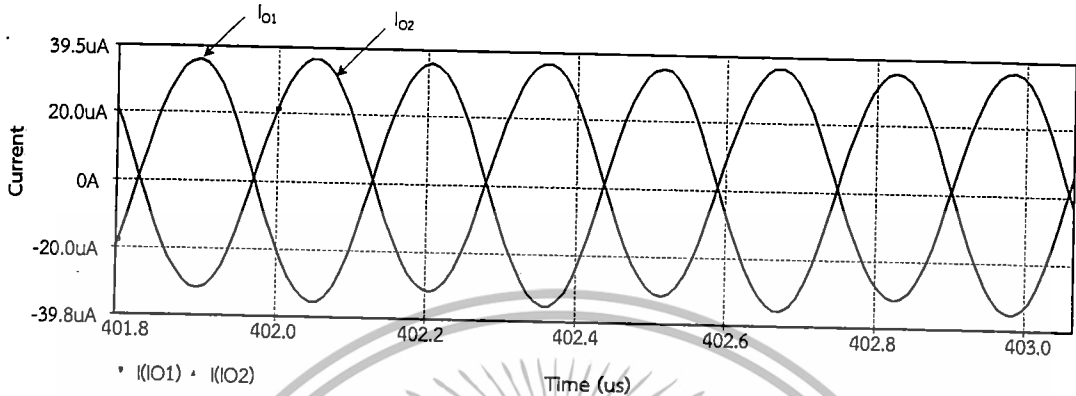
เมื่อกำหนดค่าของอุปกรณ์ ตามตารางที่ 4.2 จะได้ผลการจำลองการทำงานในสภาวะเริ่ม (Initial state) ของวงจรถ่ายสัญญาณไซน์ในโหมดกระแสแสดงในรูปที่ 4.5 และผลการจำลองการทำงานในอิมิตัว (Steady state) แสดงในรูปที่ 4.6



รูปที่ 4.5 ผลการจำลองการทำงานของวงจรถ่ายสัญญาณไซน์โหมดกระแสในสภาวะเริ่มต้น

เอกสารนี้เป็นเอกสารที่สงวนเวลาสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่สามารถนำข้อมูลไปใช้ในการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.6 พบว่ามีกระแสเอาต์พุต 2 สัญญาณ คือ  $I_{O1}$  และ  $I_{O2}$  ซึ่งสัญญาณทั้งสองต่างเฟสเท่ากับ 180 องศา โดยที่  $I_{O1}$  และ  $I_{O2}$  จะเห็นว่าสอดคล้องกับสมการที่ (3.40) มีการแสดงสเปกตรัมของสัญญาณ  $I_{O1}$  และ  $I_{O2}$  ตามรูปที่ 4.7 มีค่าผิดเพี้ยนทางฮาร์มอนิกส์รวม (Total Harmonic Distortion: THD) ของ  $I_{O1}$  และ  $I_{O2}$  เท่ากับ 1.48% และ 1.50% ตามลำดับ



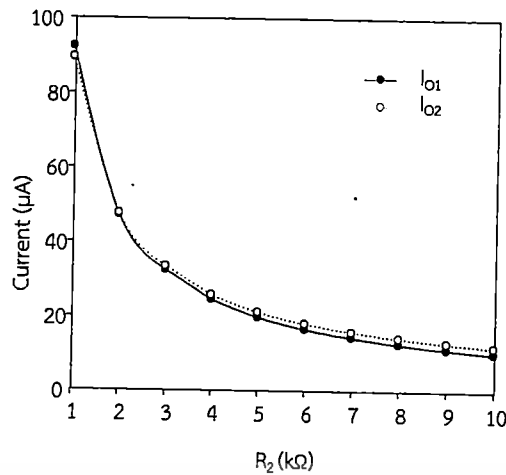
รูปที่ 4.6 ผลการจำลองการทำงานของวงจรถักกำเนิดสัญญาณไซน์โหมดกระแส



รูปที่ 4.7 สเปกตรัมของสัญญาณ  $I_{O1}$  และ  $I_{O2}$  มีความถี่ในการกำเนิดสัญญาณเท่ากับ 3.22 MHz

นอกจากนี้วงจรถักกำเนิดสัญญาณไซน์โหมดกระแสสามารถควบคุมขนาดสัญญาณได้ โดยการปรับค่าตัวต้านทาน ( $R_2$ ) แสดงผลการปรับค่า  $R_2$  ภายในรูปที่ 4.8

จากรูปที่ 4.8 ผู้วิจัยได้ทำการทดสอบความสามารถในการปรับขนาดของสัญญาณเอาต์พุต  $I_{O1}$  และ  $I_{O2}$  โดยกำหนดค่าของอุปกรณ์ตามตารางที่ 4.3 จากนั้นทำการปรับค่าตัวต้านทาน ( $R_2$ ) เริ่มต้นที่ 1 k $\Omega$  ถึง 10 k $\Omega$  พบว่าวงจรถักกำเนิดสัญญาณไซน์สามารถปรับขนาดของสัญญาณเอาต์พุต  $I_{O1}$  และ  $I_{O2}$  ได้ โดยมีความสัมพันธ์กับการปรับค่าตัวต้านทาน ( $R_2$ ) คือ เมื่อกำหนดค่า  $R_2$  เพิ่มขึ้น ความสูงของสัญญาณเอาต์พุต  $I_{O1}$  และ  $I_{O2}$  จะลดลง ซึ่งในการควบคุมขนาดสัญญาณจะไม่มีผลกระทบต่อความถี่และเงื่อนไขการกำเนิดสัญญาณ ซึ่งสอดคล้องกับสมการที่ (3.29) และสมการที่ (3.30)

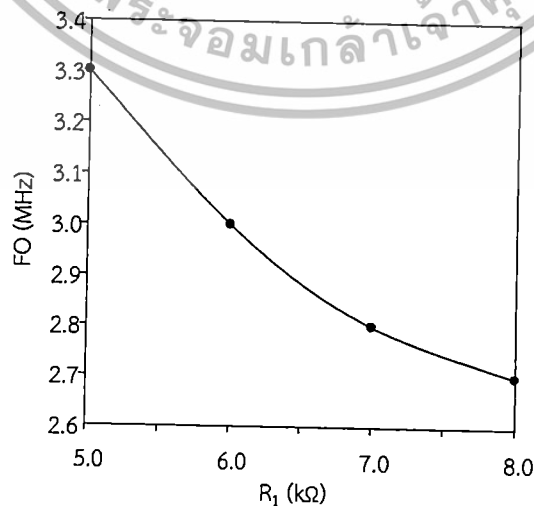


รูปที่ 4.8 การปรับขนาดของสัญญาณเอาต์พุตโหมดกระแสโดยการปรับ  $R_2$

#### 4.1.3 ผลการทดสอบการปรับค่าความถี่ในการกำเนิดสัญญาณ

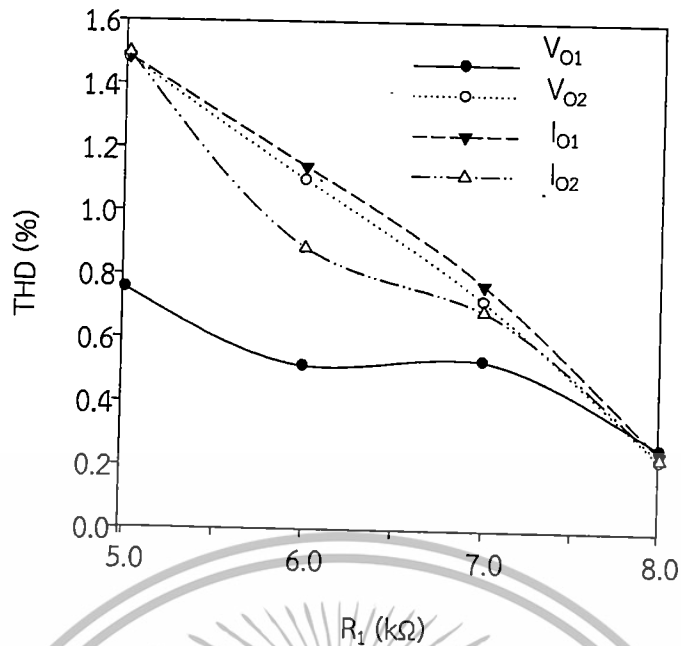
ในการวิเคราะห์ห้วงจรกำเนิดสัญญาณไซน์ในทางทฤษฎี ซึ่งได้กล่าวภายในบทที่ 3 วงจรกำเนิดสัญญาณไซน์แบบควอเดรเจอร์ที่นำเสนอ นั้น สามารถปรับความถี่ในการกำเนิดสัญญาณ ( $\omega$ ) ได้อย่างอิสระจากการปรับเฟสในการกำเนิดสัญญาณ (CO) โดยการปรับค่า  $R_1$  ซึ่งจะอิสระจากกระแสไบอัส  $I_{B1}$  และ  $I_{B2}$  ตามสมการที่ (3.26) ดังนั้นผู้วิจัยได้ดำเนินการทดสอบความสัมพันธ์ค่าความถี่ในการกำเนิดสัญญาณระหว่างการปรับค่า  $R_1$

จากการปรับค่า  $R_1$  จะได้ผลการจำลองความถี่ในการกำเนิดสัญญาณแสดงภายในรูปที่ 4.9 โดยเริ่มต้นปรับค่า  $R_1$  จาก 5 k $\Omega$  ถึง 8 k $\Omega$  มีช่วงของความถี่ในการกำเนิดสัญญาณที่ได้รับ เริ่มต้นจาก 3.22 MHz ถึง 2.65 MHz ซึ่งความถี่ที่ได้จากการควบคุมผ่านอุปกรณ์  $R_1$  จะไม่มีผลกระทบต่อเฟสในการกำเนิดสัญญาณ (CO) มีค่าผิดเพี้ยนทางฮาร์มอนิกสรวม (Total Harmonic Distortion: THD) ของสัญญาณเอาต์พุต  $V_{01}$ ,  $V_{02}$ ,  $I_{01}$  และ  $I_{02}$  มีค่าไม่เกิน 1.5% ตามรูปที่ 4.10



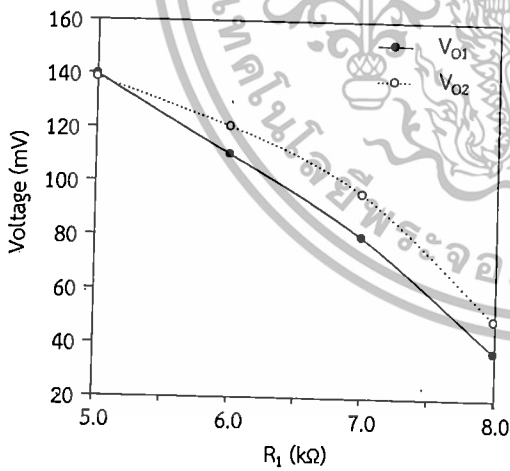
รูปที่ 4.9 ผลการจำลองความถี่ในการกำเนิดสัญญาณโดยการปรับค่า  $R_1$

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

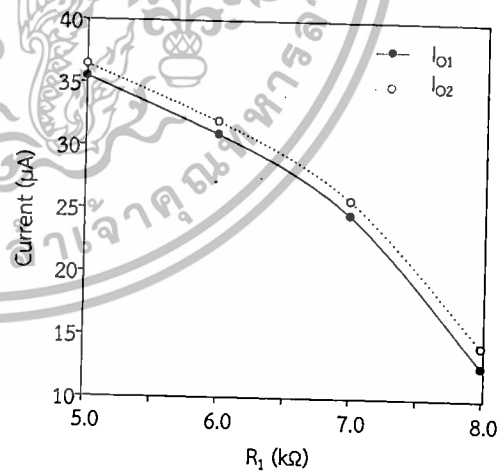


รูปที่ 4.10 กราฟแสดงค่าผิดเพี้ยนทางฮาร์มอนิกสรวม ของสัญญาณเอาต์พุต  $V_{01}$ ,  $V_{02}$ ,  $I_{01}$  และ  $I_{02}$

ในการทดสอบผลการจำลองความถี่ในการกำเนิดสัญญาณโดยการปรับค่า  $R_1$  จะส่งผลถึงขนาดของสัญญาณเอาต์พุต  $V_{01}$ ,  $V_{02}$ ,  $I_{01}$  และ  $I_{02}$  แสดงดังรูปที่ 4.11 (ก) ขนาดของสัญญาณเอาต์พุต  $V_{01}$  และ  $V_{02}$  และรูปที่ 4.11 (ข) ขนาดของสัญญาณเอาต์พุต  $I_{01}$  และ  $I_{02}$



(ก) ขนาดของสัญญาณเอาต์พุต  $V_{01}$  และ  $V_{02}$



(ข) ขนาดของสัญญาณเอาต์พุต  $I_{01}$  และ  $I_{02}$

รูปที่ 4.11 ขนาดของสัญญาณเอาต์พุต  $V_{01}$ ,  $V_{02}$ ,  $I_{01}$  และ  $I_{02}$  เมื่อปรับค่า  $R_1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.4 ผลการทดสอบผลกระทบจากความจุและความต้านทานแฝง และผลการทดสอบผลกระทบจากความผิดพลาดในการส่งผ่านกระแสและแรงดันจากอินพุตไปยังเอาต์พุตภายในอุปกรณ์ VDCC

การทดสอบหาค่าความจุแฝง (C) และค่าความต้านทานแฝง (R) ภายในอุปกรณ์ VDCC ตามโครงสร้างภายในรูปที่ 3.8 โดยใช้โปรแกรม PSPICE มีค่า  $I_{A1} = 100 \mu A$  และ  $I_{B1} = 29 \mu A$  จะได้ค่าต่างๆ ตามตารางที่ 4.3

ตารางที่ 4.3 ค่าความจุและความต้านทานแฝงแต่ละขั้วของอุปกรณ์ VDCC

ขั้วอุปกรณ์ VDCC	ความต้านทานแฝง	ความจุแฝง
ขั้ว P	$\infty$	0.027 pF
ขั้ว N	$\infty$	0.027 pF
ขั้ว Z	526.68 k $\Omega$	0.016 pF
ขั้ว X	40.92 $\Omega$	-
ขั้ว W <sub>P</sub>	152.526 k $\Omega$	0.01 pF
ขั้ว W <sub>N</sub>	147.036 k $\Omega$	0.01 pF

ต่อมาคือผลการทดสอบผลกระทบจากความผิดพลาดในการส่งผ่านกระแสและแรงดันจากอินพุตไปยังเอาต์พุตภายในอุปกรณ์ VDCC ซึ่งจะได้ค่าต่างๆ ตามตารางที่ 4.4

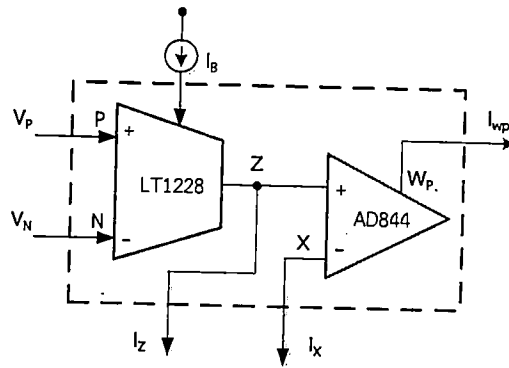
ตารางที่ 4.4 ค่าพารามิเตอร์แฝงของอุปกรณ์มอสทรานซิสเตอร์

สัญลักษณ์	รายละเอียด	มีค่าเท่ากับ
$\alpha_p$	ความผิดพลาดในการส่งผ่านแรงดัน $V_p$ ไปยังกระแส $I_z$	1.945
$\alpha_n$	ความผิดพลาดในการส่งผ่านแรงดัน $V_n$ ไปยังกระแส $I_z$	1.945
$\beta_z$	ความผิดพลาดในการส่งผ่านแรงดัน $V_z$ ไปยังแรงดัน $V_x$	0.0237
$\gamma_p$	ความผิดพลาดในการส่งผ่านกระแส $I_x$ ไปยัง กระแส $I_{wp}$	0.998
$\gamma_n$	ความผิดพลาดในการส่งผ่านกระแส $I_x$ ไปยัง กระแส $I_{wn}$	0.959

## 4.2 ผลการทำงานของวงจรถ่ายสัญญาณที่นำเสนอด้วยการต่อวงจรจริง

ภายในวิทยานิพนธ์ได้นำเสนอการทดสอบสมรรถนะของวงจรถ่ายสัญญาณด้วยการต่อวงจรจริง เพื่อตรวจสอบผลการทำงานของวงจรถ่ายสัญญาณไซน์ในโหมดแรงดัน และโหมดกระแส ในทางปฏิบัติโดยโครงสร้างอุปกรณ์ VDCC ใช้งานไอซีเบอร์ LT1228 และไอซีเบอร์ AD844 มีรูปแบบวงจรตามรูปที่ 4.12

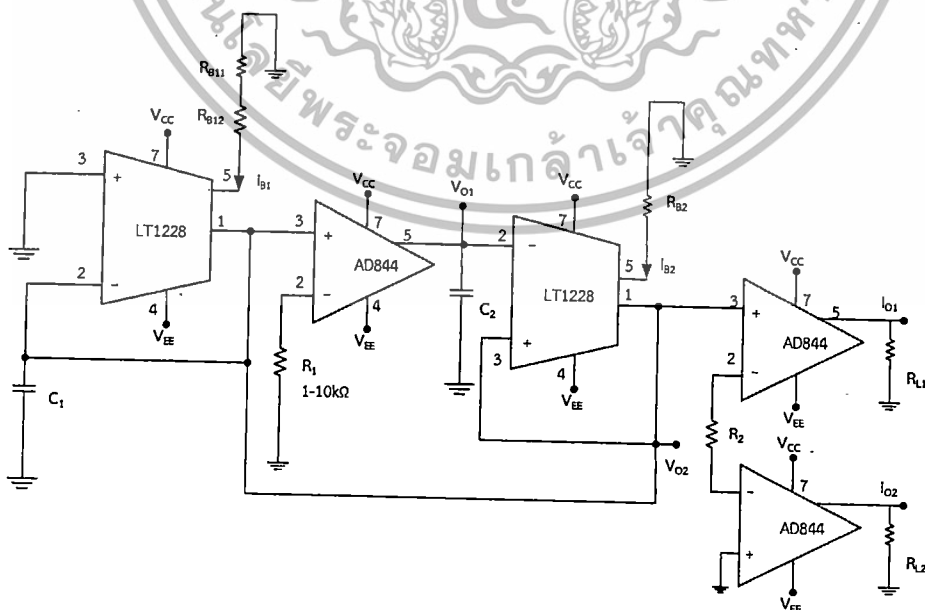
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 โครงสร้างภายในของ VDCC โดยใช้ไอซีเบอร์ LT1228 และไอซีเบอร์ AD844

วงจรกำเนิดสัญญาณไซน์ที่นำเสนอภายในวิทยานิพนธ์ฉบับนี้ จะเห็นว่าอาศัยการทำงานหลักจากอุปกรณ์ VDCC จำนวน 2 ตัว ตามที่ได้กล่าวภายในบทที่ 3 ในการต่อวงจรจริงอุปกรณ์ VDCC จะใช้งานไอซีเบอร์ LT1228 และไอซีเบอร์ AD844 อย่างละ 1 ตัว ต่อร่วมกันเป็นอุปกรณ์ VDCC ซึ่งไอซีทั้งสองจะรับไฟเลี้ยงกระแสตรงเท่ากับ  $\pm 5V_{dc}$

จากรูปที่ 3.7 สามารถต่อวงจรจริงตามรูปที่ 4.13 ในการทดสอบการทำงานของวงจรกำเนิดสัญญาณไซน์จะแบ่งเป็น 4 ช่วงความถี่ เพื่อที่จะเปรียบเทียบผลความถี่ที่ได้จากวงจรจริงกับผลการคำนวณความถี่ ตามสมการที่ (3.29) ในแต่ละช่วงความถี่ โดยกำหนดค่าตัวเก็บประจุดังนี้  $C_1 = C_2 = 100 \text{ nF}$ ,  $C_1 = C_2 = 33 \text{ nF}$ ,  $C_1 = C_2 = 10 \text{ nF}$  และ  $C_1 = C_2 = 1 \text{ nF}$  จากนั้นทำการบันทึกผลการปรับความถี่ ( $f_{osc}$ ) ของวงจรจริงโดยการปรับค่า  $R_1$  จากค่า  $1 - 10 \text{ k}\Omega$  นำมาวิเคราะห์ผลการกำเนิดสัญญาณไซน์จากวงจรจริงเปรียบเทียบกับผลการคำนวณ ตามสมการที่ (3.28) และการปรับขนาดของสัญญาณเอาต์พุต  $I_o$  โดยกำหนดค่าตัวต้านทาน  $R_2$  จากค่า  $10 - 20 \text{ k}\Omega$



รูปที่ 4.13 วงจรกำเนิดสัญญาณไซน์ที่นำเสนอด้วยการต่อวงจรจริง

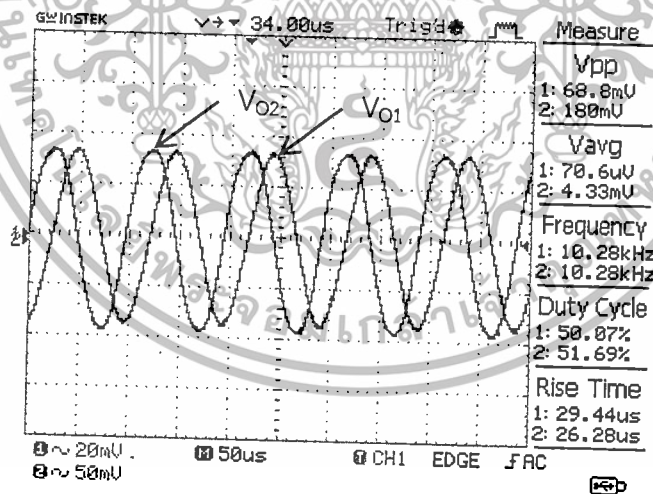
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.13 มีการใช้ตัวต้านทานปรับค่า 3 ตัว คือ  $R_1$  สำหรับการปรับความถี่ในการกำเนิดสัญญาณ  $R_2$  สำหรับการปรับขนาดสัญญาณโหมตกระแส ( $I_{O1}$  และ  $I_{O2}$ ) โดยการปรับเงื่อนไขในการกำเนิดสัญญาณให้  $R_{B12}$  ทำหน้าที่ปรับกระแสไบอัส  $I_{B1}$  ใช้งานตัวต้านทานคงที่  $R_{B11}$  และ  $R_{B2}$  สำหรับการการต่อโหลด (Load) ให้  $I_{B1}$  และ  $I_{B2}$  ตามลำดับ

ในเบื้องต้นเลือกใช้งานตัวเก็บประจุ  $C_1 = C_2 = 10$  nF ใช้งานตัวต้านทาน  $R_1 = 4$  k $\Omega$ ,  $R_2 = 20$  k $\Omega$  และปรับค่ากระแส  $I_{B1} = 176.61$   $\mu$ A และ  $I_{B2} = 183.50$   $\mu$ A เพื่อแสดงผลการทำงานของวงจรกำเนิดสัญญาณไซน์ พบว่าวงจรกำเนิดสัญญาณไซน์สามารถให้กำเนิดสัญญาณไซน์ในโหมตแรงดันคือ  $V_{O1}$  และ  $V_{O2}$  ภายในโหมตกระแสสามารถให้กำเนิดสัญญาณไซน์  $I_{O1}$  และ  $I_{O2}$  โดยการใช้งาน  $R_{L1}$   $R_{L2} = 10$  k $\Omega$

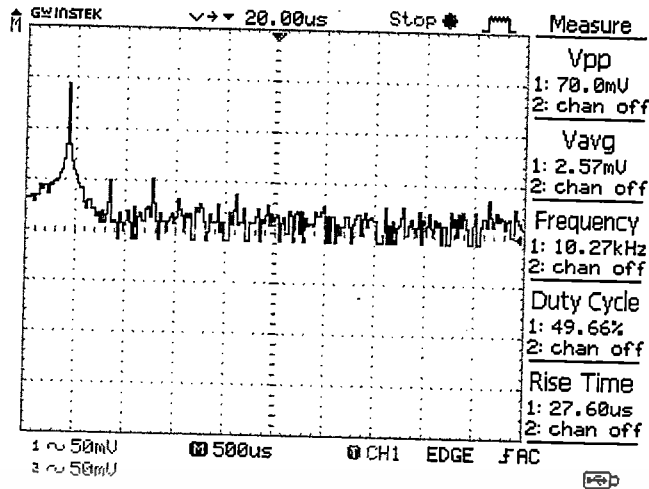
#### 4.2.1 ผลการทำงานของวงจรจริงของวงจรกำเนิดสัญญาณไซน์แบบควอเดรเจอร์ในโหมตแรงดัน

ผลการทดสอบสมรรถนะของวงจรกำเนิดสัญญาณไซน์ในโหมตแรงดัน จากรูปที่ 4.13 มีการกำหนดค่าในเบื้องต้น และใช้งานเครื่องวัดสัญญาณดิจิทัลออสซิลอโคปวัดสัญญาณเอาต์พุตจุด  $V_{O1}$  และ  $V_{O2}$  ตามรูปที่ 4.14 พบว่ามีแรงดันเอาต์พุต  $V_{O1}$  และ  $V_{O2}$  มีความต่างเฟสเท่ากับ 90 องศา โดยที่  $V_{O1}$  ล้าหลัง  $V_{O2}$  จะเห็นผลทางวงจรจริงจะสอดคล้องกับสมการที่ (3.35) ฟังก์ชันโอนย้ายภายในโหมตแรงดัน มีการแสดงสเปกตรัมของสัญญาณ  $V_{O1}$  และ  $V_{O2}$  ตามรูปที่ 4.15 และรูปที่ 4.16 ตามลำดับ โดยความถี่ในการกำเนิดสัญญาณเท่ากับ 10.27 kHz เมื่อคำนวณความถี่ตามสมการที่ (3.29) จะได้ความถี่เท่ากับ 10.78 kHz มีค่าเบี่ยงเบนเท่ากับ 0.36 ซึ่งส่งผลมาจากค่าความจุและความต้านทานแฝงแต่ละขาของอุปกรณ์ VDCC

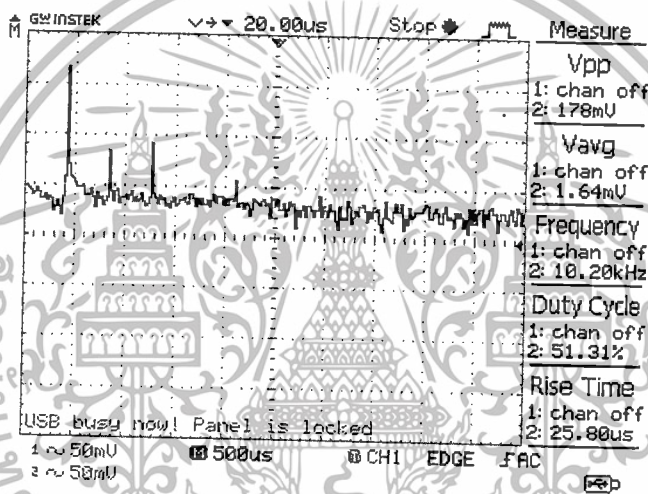


รูปที่ 4.14 ผลการทำงานของวงจรกำเนิดสัญญาณไซน์โหมตแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 สเปกตรัมของสัญญาณ  $V_{01}$  มีความถี่เท่ากับ 10.27 kHz



รูปที่ 4.16 สเปกตรัมของสัญญาณ  $V_{02}$  มีความถี่เท่ากับ 10.20 kHz

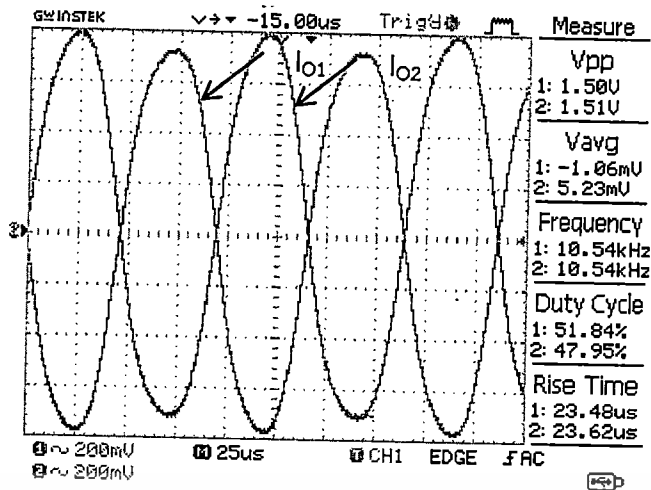
#### 4.2.2 ผลการทำงานวงจรจริงของวงจรถ่ายสัญญาณไซน์แบบควอดเรเจอร์ในโหมด

##### กระแส

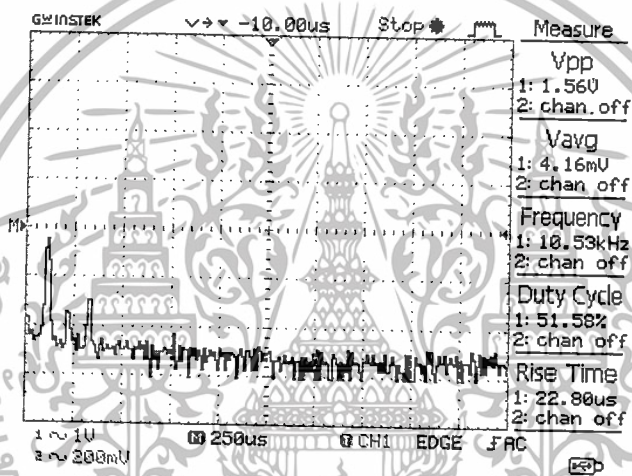
ผลการทดสอบสมรรถนะของวงจรถ่ายสัญญาณไซน์ในโหมดกระแส จากรูปที่ 4.13 ใช้งานเครื่องวัดสัญญาณดิจิทัลลอจิสติกส์โคปวัดสัญญาณเอาต์พุตจุด  $l_{01}$  และ  $l_{02}$  โดยนำตัวต้านทานค่า 10 k $\Omega$  ต่อลงกราวด์เพื่อวัดสัญญาณเอาต์พุตทั้ง 2 จุด และการกำหนดค่าในเบื้องต้น โดยปรับ  $R_2 = 20$  k $\Omega$  พบว่าสัญญาณเอาต์พุต  $l_{01}$  และ  $l_{02}$  มีความต่างเฟสเท่ากับ 180 องศา ตามรูปที่ 4.17 และแสดงสเปกตรัมของสัญญาณ  $l_{01}$  และ  $l_{02}$  ตามรูปที่ 4.18 และรูปที่ 4.19 ตามลำดับ โดยความถี่ในการกำเนิดสัญญาณเท่ากับ 10.54 kHz

การปรับขนาดของสัญญาณเอาต์พุต  $l_{01}$  และ  $l_{02}$  นั้น สามารถปรับได้ที่ตัวต้านทาน  $R_2$  ซึ่งไม่ส่งผลกระทบต่อความถี่และเงื่อนไขการกำเนิดสัญญาณ ตามรูปที่ 4.20 ได้ทดสอบการปรับค่า  $R_2$  เริ่มต้นที่ 1 – 10 k $\Omega$  พบว่าขนาดของสัญญาณเอาต์พุต  $l_{01}$  และ  $l_{02}$  จะลดลง จะเห็นว่าสอดคล้องกับสมการที่ 3.37

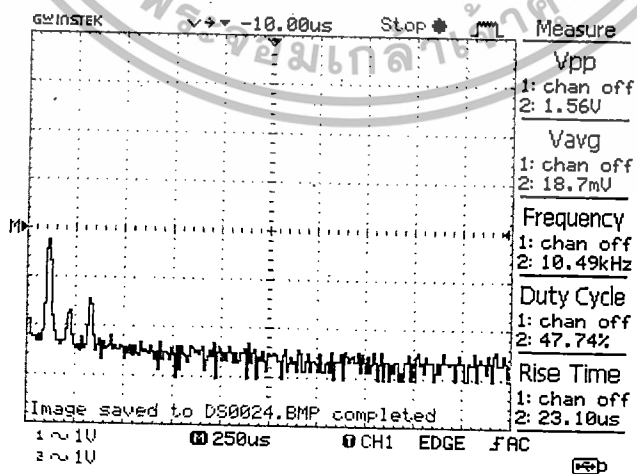
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 ผลการทำงานของวงจรกำเนิดสัญญาณไซน์โหมดกระแส

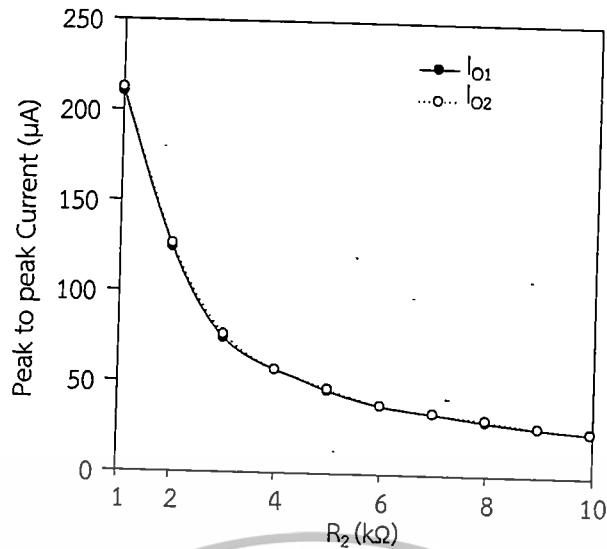


รูปที่ 4.18 สเปกตรัมของสัญญาณ  $lo_1$  มีความถี่ในการกำเนิดสัญญาณเท่ากับ 10.53 kHz



รูปที่ 4.19 สเปกตรัมของสัญญาณ  $lo_2$  มีความถี่ในการกำเนิดสัญญาณเท่ากับ 10.49 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.20 การปรับขนาดของสัญญาณเอาต์พุตใหม่กระแสโดยปรับค่า  $R_2$  ในวงจรจริง

#### 4.2.3 ผลการทดสอบการปรับค่าความถี่ในการกำเนิดสัญญาณของวงจรจริง

ในการทดสอบการปรับค่าความถี่แต่ละช่วง ได้มีการเลือกใช้งานตัวเก็บประจุจำนวน 4 ค่า คือ 100nF, 33nF, 10nF และ 1nF นำมาเปรียบเทียบความถี่ได้จากการคำนวณทางทฤษฎีและค่าความถี่ที่ได้จากการทดสอบ เพื่อให้สามารถปรับค่าความถี่และเงื่อนไขการกำเนิดสัญญาณได้อิสระจากกัน กำหนดใช้งาน  $R_{B2} = 20 \text{ k}\Omega$  ใช้งานดีจิตอลมัลติมิเตอร์วัดแรงดันตกคร่อม  $R_{B2}$  มีค่าเท่ากับ 3.67 V จะได้ค่า  $I_{B2} = 183.50 \text{ }\mu\text{A}$

เมื่อต้องการคำนวณความถี่การกำเนิดสัญญาณทางทฤษฎี อ้างถึงสมการที่ (3.29) แทนค่า  $\omega = 2\pi f$  จะได้ ความถี่การกำเนิดสัญญาณ สมการที่ (4.3)

$$f_{\text{osc}} = \frac{1}{2\pi \sqrt{C_1 C_2 R_1}} \sqrt{g_{m2}} \quad (4.3)$$

กำหนดใช้งาน  $C_1 = C_2 = 100 \text{ nF}$  ปรับเงื่อนไขการกำเนิดสัญญาณผ่าน  $I_{B1}$  ให้สอดคล้องกับเงื่อนไขตามสมการที่ (3.30) จะได้  $I_{B1} = 176.61 \text{ }\mu\text{A}$  และปรับช่วงความถี่ผ่าน  $R_1$  จากค่า 1 – 10 kΩ พบว่าช่วงความถี่ในการกำเนิดสัญญาณเท่ากับ 691 Hz - 2.129 kHz แสดงดังรูปที่ 4.20

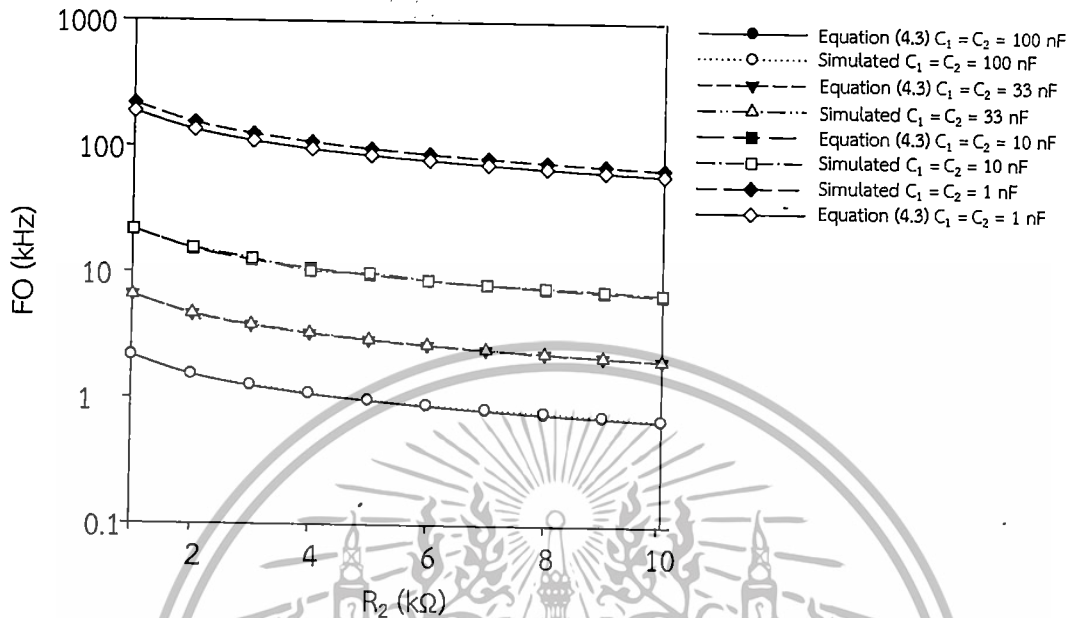
กำหนดใช้งาน  $C_1 = C_2 = 33 \text{ nF}$  พบว่าช่วงความถี่ในการกำเนิดสัญญาณเท่ากับ 2.063 - 6.519 kHz

กำหนดใช้งาน  $C_1 = C_2 = 10 \text{ nF}$  พบว่าช่วงความถี่ในการกำเนิดสัญญาณเท่ากับ 6.981 - 21.6 kHz

กำหนดใช้งาน  $C_1 = C_2 = 1 \text{ nF}$  พบว่าช่วงความถี่ในการกำเนิดสัญญาณเท่ากับ 61.27 - 185.9 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.21 จะแสดงผลของการปรับความถี่แต่ละช่วงตามการเลือกใช้งานตัวเก็บประจุ จากนั้นปรับค่าตัวต้านทาน  $R_2$  ในการปรับความถี่ ซึ่งมีการเปรียบเทียบผลที่ได้ระหว่างค่าความถี่จากการคำนวณและการบันทึกจากวงจรจริง



รูปที่ 4.21 ผลทดสอบการปรับความถี่

### 4.3 ผลการออกแบบวงจรกำเนิดสัญญาณไซน์

ในการออกแบบวงจรกำเนิดสัญญาณไซน์จะยกตัวอย่างการออกแบบวงจรให้สามารถกำเนิดสัญญาณที่มีความถี่ เท่ากับ 160 kHz โดยอ้างอิงจากการทดสอบสมรรถนะของวงจรกำเนิดสัญญาณไซน์ที่วิเคราะห์ภายในบทที่ 3 เพื่อหาค่าอุปกรณ์ทดสอบการใช้งานให้ได้ผลของความถี่ที่ต้องการ

จากสมการที่ (4.3) สมการความถี่ในการกำเนิดสัญญาณ และสมการที่ (3.33) สมการเงื่อนไขในการกำเนิดสัญญาณ ในเบื้องต้นกำหนดให้  $I_{B1} = I_{B2} = 183.50$   $\mu$ A เมื่อ  $g_m = 10I_B$  และใช้งานตัวเก็บประจุที่สามารถหาซื้อได้ทั่วไปคือ  $C_1 = C_2 = 1$  nF สามารถหาค่า  $R_1$  ได้จากสมการที่ (4.4)

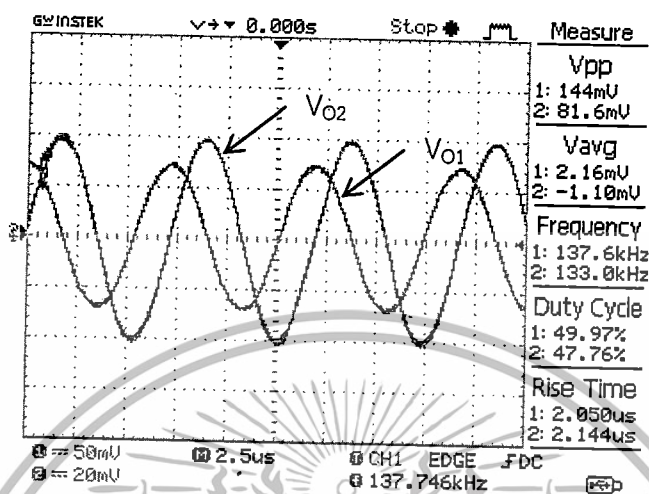
$$R_1 = \frac{g_{m2}}{(2\pi f_{osc})^2 C_1 C_2} \quad (4.4)$$

แทนค่าความถี่ที่ต้องการและการกำหนดค่า  $g_{m2}$ ,  $C_1$  และ  $C_2$  ภายในสมการที่ (4.4)

$$R_1 = \frac{10(183.50 \times 10^{-6})}{(160 \times 10^3)^2 (39.4384)(10 \times 10^{-9})(10 \times 10^{-9})} \quad (4.5)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อต้องการวางจรรยาเกณฑ์สัญญาณไซน์ที่สามารถให้ความถี่เท่ากับ 160 kHz จะต้องปรับค่า  $R_1$  เท่ากับ 1817.51  $\Omega$  หรือประมาณ 1.82 k $\Omega$  ถ้าต้องการปรับเงื่อนไขในการกำเนิดสัญญาณสามารถปรับที่กระแสไบอัส  $I_{B1}$  ให้ต่ำกว่า  $I_{B2}$  โดย  $I_{B1} = 176.61 \mu\text{A}$  เมื่อนำไปทดสอบผลภายในวงจรจริงแสดงนำตามรูปที่ 4.21



รูปที่ 4.22 ผลการทดสอบการออกแบบวงจรกำเนิดสัญญาณภายในวงจรจริง

จากรูปที่ 4.22 จะเห็นว่าวงจรกำเนิดสัญญาณไซน์สามารถกำเนิดสัญญาณที่มีความถี่เท่ากับ 137.6 kHz ซึ่งจะน้อยกว่าความถี่ที่ต้องการออกแบบ เป็นผลมาจากความจุและความต้านทานแฝง สมการที่ (3.72) และผลกระทบจากความผิดพลาดในการส่งผ่านกระแสและแรงดันจากอินพุตไปยังเอาต์พุตภายในอุปกรณ์ VDC สมการที่ (3.95) มีค่าความผิดพลาดเท่ากับ 14%

จากสมการที่ (3.72) พบว่าเมื่อความจุแฝง ความต้านทานแฝง มีค่าเพิ่มขึ้น ความถี่ที่วงจรกำเนิดสัญญาณจะต่ำลง ดังนั้นเมื่อต้องการความถี่ 160 kHz จะต้องปรับค่า  $R_1$  น้อยลง

## สรุปผล อภิปรายผลและข้อเสนอแนะ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอการสังเคราะห์และออกแบบวงจรกำเนิดสัญญาณไซน์ที่ให้เอาต์พุตควอดเรเจอร์ในโหมดแรงดันและโหมดกระแสที่ควบคุมขนาดสัญญาณได้โดยใช้ VDCC ซึ่งวงจรกำเนิดสัญญาณไซน์ดังกล่าวผู้วิจัยได้แนวความคิดมาจากวงจรกิจกำเนิดสัญญาณไซน์ที่สร้างจากวงจรถอบอินทิเกรเตอร์ (Integrator) ประกอบด้วยวงจรถอบอินทิเกรเตอร์ 2 ส่วน คือ วงจรถอบอินทิเกรเตอร์แบบมีการสูญเสีย (Lossy Integrator) และวงจรถอบอินทิเกรเตอร์แบบไม่มีการสูญเสีย (Lossless Integrator) ใช้งานร่วมกับวงจรรวม

การสังเคราะห์และออกแบบวงจรกำเนิดสัญญาณไซน์ที่นำเสนอได้นำอุปกรณ์แอคทีฟ VDCC จำนวน 2 ตัว เป็นอุปกรณ์หลักในการทำงาน เชื่อมต่อกับตัวต้านทานและตัวเก็บประจุภายในวงจร อย่างละ 2 ตัว ต่อดังกล่าวทั้งหมด ในการดำเนินการวิจัยได้เริ่มต้นจากการศึกษา ค้นคว้า ข้อมูลพื้นฐานที่เกี่ยวข้องกับวงจรกิจกำเนิดสัญญาณไซน์ ข้อมูลคุณสมบัติของอุปกรณ์ VDCC รวมถึงงานวิจัยที่เกี่ยวข้อง เพื่อนำข้อมูลดังกล่าวมาใช้ในการสังเคราะห์และออกแบบวงจรกำเนิดสัญญาณไซน์โดยใช้อุปกรณ์ VDCC จากนั้นดำเนินการวิเคราะห์หาสมรรถนะของวงจรถอบอินทิเกรเตอร์ที่ได้ออกแบบ จึงได้วงจรกิจกำเนิดสัญญาณไซน์ที่สามารถให้สัญญาณเอาต์พุตได้ 2 เอาต์พุต แบบเอาต์พุตควอดเรเจอร์ในโหมดแรงดัน และสัญญาณเอาต์พุต 2 เอาต์พุต ที่ต่างเฟส  $180^\circ$  ในโหมดกระแส ซึ่งสามารถควบคุมขนาดสัญญาณเอาต์พุตในโหมดกระแส และควบคุมเงื่อนไขการกำเนิดสัญญาณได้อิสระจากความถี่การกำเนิดสัญญาณ

นอกจากนี้ภายในวิทยานิพนธ์จะวิเคราะห์สมรรถนะของวงจรกิจกำเนิดสัญญาณไซน์ในทางทฤษฎีและทางปฏิบัติ ในการทดสอบสมรรถนะมีการจำลองการทำงานภายในโปรแกรม PSPICE และต่อวงจรจริง นำผลที่ได้จากโปรแกรม PSPICE มาวิเคราะห์ถึงความสอดคล้องของสมรรถนะของวงจรเมื่อมีการต่อวงจรจริงนำผลที่ได้นั้นมาเปรียบเทียบสมรรถนะของวงจรกิจกำเนิดสัญญาณไซน์ในทางทฤษฎีและทางปฏิบัติ ดังนั้นจึงขอสรุปผล อภิปรายผลและข้อเสนอแนะภายในวิทยานิพนธ์ฉบับนี้ ดังนี้

### 5.1 สรุปผลการวิจัย

วงจรกิจกำเนิดสัญญาณไซน์ที่ให้เอาต์พุตควอดเรเจอร์ในโหมดแรงดันและโหมดกระแสที่ควบคุมขนาดสัญญาณได้โดยใช้ VDCC โดยอุปกรณ์ VDCC สามารถควบคุมแบบอิเล็กทรอนิกส์ได้ผ่าน  $I_{B1}$  บนอุปกรณ์ VDCC1 และ  $I_{B2}$  บนอุปกรณ์ VDCC2 ซึ่งเป็นกระแสไบอัสสำหรับการควบคุมวงจร ในการปรับความถี่การกำเนิดสัญญาณที่  $R_1$  จะไม่มีผลกระทบต่อเงื่อนไขการกำเนิดสัญญาณ และสามารถปรับเงื่อนไขการกำเนิดสัญญาณด้วยวิธีทางอิเล็กทรอนิกส์

การทดสอบสมรรถนะของวงจรกิจกำเนิดสัญญาณไซน์ผ่านโปรแกรม PSPICE อาศัยเทคโนโลยี MOSFET (CMOS technology)  $0.18 \mu\text{m}$  ของ TSMC ใช้งานแหล่งจ่าย  $\pm 0.9$  โวลต์ และดึงกำลังงานรวม  $1.77\text{mW}$  เมื่อกำหนดค่า  $R_2 = 4 \text{ k}\Omega$ ,  $C_1 = C_2 = 10\text{pF}$  และ  $I_{B1} = I_{B2} = 29 \mu\text{A}$  และปรับ  $R_1 = 5 - 8 \text{ k}\Omega$  มีช่วงความถี่ในการกำเนิดสัญญาณที่ได้รับคือ  $3.22 - 2.65 \text{ MHz}$  ซึ่งความถี่

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์เพื่อการใช้ในเชิงวิชาการเท่านั้น เพื่อการเผยแพร่ในวงวิชาการ  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ได้จากการควบคุมผ่านอุปกรณ์  $R_1$  จะไม่มีผลกระทบต่อเงื่อนไขในการกำเนิดสัญญาณ ในช่วงความถี่ มีค่าเปอร์เซ็นต์ความผิดพลาดทางฮาร์มอนิกส์ (Total Harmonic Distortion : THD) ต่ำสุดคือช่วงความถี่ 2.65 MHz โดย  $V_{o1}$ ,  $V_{o2}$ ,  $I_{o1}$  และ  $I_{o2}$  มีค่าเท่ากับ 0.26%, 0.23%, 0.25% และ 0.24% ตามลำดับ และสูงสุดคือช่วงความถี่ 3.22 MHz โดย  $V_{o1}$ ,  $V_{o2}$ ,  $I_{o1}$  และ  $I_{o2}$  มีค่าเท่ากับ 0.75%, 1.48%, 1.48% และ 1.50% ตามลำดับ

การทดสอบสมรรถนะของวงจรถูกกำเนิดสัญญาณไซน์ด้วยการต่อวงจรจริง ใช้งานไอซีเบอร์ LT1228 และไอซีเบอร์ AD844 เป็นโครงสร้างอุปกรณ์ VDCC ใช้งานแหล่งจ่าย  $\pm 5$  โวลต์ เมื่อกำหนดค่า  $I_{b2} = 183.50$   $\mu$ A ปรับช่วงความถี่โดยกำหนดให้  $C_1 = C_2 = 100$  nF, 33 nF, 10 nF และ 1 nF ทั้งสิ้น 4 ช่วงความถี่ ปรับกระแสไบอัส  $I_{b1}$  ให้สอดคล้องต่อเงื่อนไขการกำเนิดสัญญาณ ตามสมการที่ (3.33) โดยใช้งาน  $I_{b1} = 176.61$   $\mu$ A ทดสอบการปรับ  $R_1 = 1 - 10$  k $\Omega$  มีช่วงความถี่ในการกำเนิดสัญญาณที่ได้รับดังนี้  $C_1 = C_2 = 100$  nF ได้ช่วงความถี่ 691 Hz - 2.129 kHz เมื่อ  $C_1 = C_2 = 33$  nF ได้ช่วงความถี่ 2.063k - 6.519kHz เมื่อ  $C_1 = C_2 = 10$  nF ได้ช่วงความถี่ 6.981 - 21.6 kHz,  $C_1 = C_2 = 1$  nF ได้ช่วงความถี่ 61.27 - 185.9 kHz นำผลความถี่จากวงจรจริงที่ได้เปรียบเทียบกับ การคำนวณภายในสมการที่ (4.3) พบว่ามีความผิดพลาดจากผลการคำนวณในทางทฤษฎีช่วงความถี่ต่ำที่ใช้งานตัวเก็บประจุเท่ากับ 100 nF, 33 nF และ 10 nF ความถี่ช่วง 691 Hz - 21.6 kHz จะมีค่าความผิดพลาดเท่ากับ 1% ซึ่งสรุปได้ว่าช่วงความถี่ต่ำจะมีผลความแตกต่างกันเล็กน้อย และช่วงความถี่สูงที่ใช้งานตัวเก็บประจุ (C) เท่ากับ 1 nF ความถี่ช่วง 61.27 - 185.9 kHz จะมีค่าความผิดพลาดเท่ากับ 11.40% ซึ่งค่อนข้างมีผลความแตกต่างกัน เกิดขึ้นจากผลกระทบจากความต้านทานและความจุแฝงในตัว VDCC มีผลสอดคล้องกับสมการที่ (3.72)

เมื่อทดสอบผลการปรับขนาดของสัญญาณเอาต์พุต  $I_o$  โดยปรับค่าตัวต้านทาน ( $R_2$ ) ในวงจรจริง ทดสอบที่ความถี่ในการกำเนิดสัญญาณเท่ากับ 10.42 kHz ปรับค่า  $R_2$  เริ่มจาก 10 - 20 k $\Omega$  พบว่า เมื่อมีการปรับค่า  $R_2$  เพิ่มขึ้นส่งผลให้ขนาดเอาต์พุต  $I_o$  ลดลง ซึ่งสอดคล้องกับสมการที่ (3.37)

การทดสอบผลการออกแบบวงจรถูกกำเนิดสัญญาณไซน์ตามที่ได้กล่าวภายในบทที่ 4 วงจรกำหนดความถี่ที่ต้องการได้ จากการยืนยันผลที่ได้จริง โดยการออกแบบสามารถเลือกค่าตัวเก็บประจุที่หาได้ง่าย นำมาหาค่า  $R_1$  ซึ่งสอดคล้องกับสมการที่ (4.4)

ดังนั้นสามารถกล่าวได้ว่าวงจรถูกกำเนิดสัญญาณไซน์ที่ได้นำเสนอขึ้นนี้มีสมรรถนะสอดคล้องกับการวิเคราะห์วงจรถูกกำเนิดสัญญาณไซน์ทั้งในทางทฤษฎีและปฏิบัติจริง สามารถยืนยันผลได้จากการทดสอบผ่านโปรแกรม PSPICE และการต่อวงจรจริง

## 5.2 อภิปรายผลการวิจัย

วงจรถูกกำเนิดสัญญาณไซน์ที่ให้เอาต์พุตควอเตรเจอร์ในโหมดแรงดันและโหมดกระแสที่ควบคุมขนาดสัญญาณได้โดยใช้ VDCC มีโครงสร้างในการทำงานจากอุปกรณ์แอคทีฟ VDCC ที่สามารถควบคุมการทำงานจากกระแสไบอัส ( $I_b$ ) และใช้งานอุปกรณ์พาสซีฟต่อลงกราวด์ทั้งหมดจำนวน 4 ตัว มีจุดเอาต์พุต 4 จุด แบ่งเป็นโหมดแรงดัน 2 เอาต์พุตแบบควอเตรเจอร์และโหมดกระแส 2 เอาต์พุตที่ต่างเฟส 180 องศา นอกจากนี้การสามารถปรับขนาดของสัญญาณได้โดยไม่มีผลกระทบต่อเงื่อนไขและความถี่ในการกำเนิดสัญญาณ ง่ายต่อการวางจรถูกกำเนิดสัญญาณไซน์เนื่องจากการปรับเงื่อนไขและความถี่จะอิสระจากการแบบมีเงื่อนไข

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการศึกษางานวิจัยที่เกี่ยวข้องทำให้ทราบถึงข้อกำหนดของวงจรถูกกำเนิดสัญญาณไซน์ที่ผ่านมา โดยมีการเปรียบเทียบคุณสมบัติของวงจรถูกกำเนิดสัญญาณที่ได้ศึกษา ตามตารางที่ 5.1 การนำเสนอวิทยานิพนธ์ครั้งนี้จึงมีจุดประสงค์ที่จะพัฒนาวงจรถูกกำเนิดสัญญาณไซน์ให้สามารถลดข้อจำกัดดังนี้

5.2.1 สามารถควบคุมเงื่อนไขการกำเนิดสัญญาณแบบอิเล็กทรอนิกส์ได้ ซึ่งจะมีจุดเด่นมากกว่าวงจรถูกกำเนิดสัญญาณลำดับที่ (4), (5), (9) และลำดับที่ (11)

5.2.2 วงจรถูกกำเนิดสัญญาณไซน์สามารถให้กำเนิดไซน์แบบควอดเรเจอร์ได้มีผลการทำงานดีกว่าวงจรถูกกำเนิดสัญญาณลำดับที่ (3), (4), (5), (6) และลำดับที่ (7)

5.2.3 สามารถปรับเงื่อนไขการกำเนิดสัญญาณโดยไม่ส่งผลกระทบต่อความถี่ในการกำเนิดสัญญาณ เป็นจุดเด่นกว่าวงจรถูกกำเนิดสัญญาณลำดับที่ (2), (6) และลำดับที่ (7)

5.2.4 ใช้งานอุปกรณ์แอกทีฟ VDCC ไม่เกิน 2 ตัว มีจุดเด่นของโครงสร้างดีกว่าวงจรถูกกำเนิดสัญญาณลำดับที่ (1), (2), และลำดับที่ (11)

5.2.5 ใช้งานตัวเก็บประจุและตัวต้านทานรวมทั้งสิ้นไม่เกิน อย่างละ 2 ตัว และต่อลงกราวด์ทั้งหมด ดังนั้นโครงสร้างวงจรถูกกำเนิดสัญญาณจะดีกว่าวงจรถูกกำเนิดสัญญาณในลำดับที่ (5), (6) และลำดับที่ (11)

5.2.6 สามารถปรับขนาดของสัญญาณไซน์ได้ในโหมดกระแส ซึ่งมีจุดเด่นมากกว่าวงจรถูกกำเนิดสัญญาณลำดับที่ (1) ถึงลำดับที่ (11)

5.2.7 ใช้อุปกรณ์ค่าความต้านทานเอาต์พุตสูง จะดีกว่าวงจรถูกกำเนิดสัญญาณลำดับที่ (3), (4), (5), (6), (7), (9), (10) และลำดับที่ (11)

ซึ่งจากการผลการทดสอบสมรรถนะของวงจรถูกกำเนิดสัญญาณไซน์ จะสามารถยืนยันได้ว่าวงจรถูกนำเสนอสามารถลดข้อจำกัดดังกล่าวได้จริง และจะเป็นประโยชน์หากนำไปพัฒนาขนาดของวงจรถูกกำเนิดสัญญาณให้มีขนาดเล็กลง

ตารางที่ 5.1 การเปรียบเทียบคุณสมบัติของวงจรถูกกำเนิดสัญญาณที่ได้ศึกษา

ลำดับ	ปีที่น่าเสนอ	อุปกรณ์แอกทีฟ	จำนวนอุปกรณ์แอกทีฟ	จำนวน R+C	กำเนิดสัญญาณไซน์แบบควอดเรเจอร์	ปรับความถี่โดยไม่กระทบต่อเงื่อนไขการกำเนิดสัญญาณ	ควบคุม CO แบบอิเล็กทรอนิกส์	ควบคุม FO แบบอิเล็กทรอนิกส์	R+C ต่อลงกราวด์	ความต้านทานเอาต์พุตสูง	ปรับขนาดของสัญญาณไซน์ได้
1	2010	CDTA	3	0+2	√	√	√	√	√	√	×
2	2012	CDTA	3	1+2	√	×	√	√	√	√	×
3	2014	DVCCTA	1	2+2	×	√	√	×	√	×	×
4	2014	DVCCTA	1	1+2	×	√	×	√	√	×	×
5	2011	MCBTA	1	3+2	×	√	×	√	×	×	×
6	2013	DVCC	1	3+2	×	×	√	×	×	×	×
7	2014	CCCCTA	1	0+2	×	×	√	√	√	×	×
8	2013	VDTA	2	0+2	√	√	√	√	√	√	×
9	2014	CFOA	2	2+2	√	√	×	×	×	×	×
10	2006	CCCCTA	2	0+2	√	√	√	√	√	×	×
11	2011	DDCC	3	3+2	√	√	×	×	√	×	×
วงจรถูกนำเสนอ	2016	VDCC	2	2+2	√	√	√	√	√	√	√

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 5.3 ข้อเสนอแนะในงานวิจัยนี้และงานวิจัยครั้งต่อไป

จากการอภิปรายผลการวิจัยของวงจรกำเนิดสัญญาณไซน์ที่ให้เอาต์พุตควอดเรเจอร์ในโหมดแรงดันและโหมดกระแสที่ควบคุมขนาดสัญญาณได้โดยใช้ VDCC วงจรสามารถปรับเงื่อนไขได้โดยไม่ส่งผลกระทบต่อความถี่ในการกำเนิดสัญญาณ โดยปรับเงื่อนไขบน  $I_{b1}$  และปรับความถี่ในการกำเนิดสัญญาณบน  $R_2$  ซึ่งยังไม่สามารถปรับแบบอิเล็กทรอนิกส์ได้ นอกจากนี้ในส่วนของการต่อวงจรจริงอุปกรณ์ VDCC จะใช้งานโครงสร้างจากไอซีที่มีจำหน่ายคือ LT1228 และ AD844 ทำให้ใช้งานอุปกรณ์หลายตัว ส่งผลให้ยากต่อการนำไปพัฒนาให้วงจรมีขนาดเล็กลง เนื่องจากวงจรมีการใช้งานอุปกรณ์ VDCC มากกว่า 1 ตัว ทำให้สมรรถนะของวงจรได้รับผลกระทบจากความต้านทานและความจุแฝงและความผิดพลาดในการส่งผ่านแรงดันจากอินพุตไปยังเอาต์พุตของ VDCC

ดังนั้นเมื่อมีการวิจัยวงจรกำเนิดสัญญาณไซน์ต่อไป ควรที่จะพัฒนาให้วงจรสามารถปรับเงื่อนไขและความถี่ในการกำเนิดสัญญาณอิสระจากกัน และปรับความถี่แบบอิเล็กทรอนิกส์ได้ นอกจากนี้จะเป็นในส่วนของการพัฒนาเพื่อแก้ไขข้อจำกัดของวงจรเมื่อมีการใช้งานที่ความถี่สูง เพื่อลดผลกระทบดังกล่าวอาจจะพัฒนาการสร้างวงจรโดยอาศัยอุปกรณ์ VDCC ที่น้อยลง ซึ่งจะส่งผลดีทั้งในด้านของโครงสร้างวงจรและสมรรถนะอีกด้วย

ทั้งนี้หวังเป็นอย่างยิ่งว่าวิทยานิพนธ์ฉบับนี้จะเป็นประโยชน์ในการพัฒนางานวิจัยกำเนิดสัญญาณไซน์ในภาคการศึกษาและอุตสาหกรรม และเป็นแหล่งอ้างอิงความรู้เรื่องวงจรกำเนิดสัญญาณไซน์และอุปกรณ์ VDCC



## บรรณานุกรม

- จิรสุดา เกษร. 2542. “วงจรรองความถี่และวงจรรอสซิลเลเตอร์ที่ควบคุมได้ในเชิงอิเล็กทรอนิกส์.” วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า. วิศวกรรมศาสตร์, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.
- นเรศเรษฐ์ ไทยแท้, ทศพล บำรุงโชค และวินัย ใจกล้า. 2553. “วงจรกำเนิดสัญญาณควอเดรเจอร์โหมดกระแสที่ใช้ CCCCTA จำนวนหนึ่งตัวร่วมกับอุปกรณ์ที่ต่อลงกราวด์.” หน้า 95-100. ในการประชุมวิชาการมหาวิทยาลัยเทคโนโลยีราชมงคล ครั้งที่ 3. กรุงเทพฯ : ศูนย์ประชุมสถาบันวิจัยจุฬาภรณ์.
- ภมร ศิลาพันธ์, ธนันต์ ศรีสกุล, วินัย ใจกล้า และมนตรี ศิริปรัชญานันท์. 2549. “วงจรกำเนิดสัญญาณแบบควอเดรเตอร์และวงจรรองความถี่โหมดกระแสแบบหลายหน้าที่โดยใช้ CDTA ที่ควบคุมด้วยกระแส.” วารสารวิชาการพระจอมเกล้าพระนครเหนือ. 16(2) : 43-48.
- อดิเรก จันตะคุณ และวินัย ใจกล้า. 2554. “เทคนิคการออกแบบวงจรกำเนิดสัญญาณไซน์สำหรับวงจรรวม.” วารสารวิศวกรรมศาสตร์ มหาวิทยาลัยสยาม. 12(2) : 70-80.
- Bhaskar, D., and Senani, R. 2014. “New CFOA-Based Single-Element-Controlled Sinusoidal Oscillators.” *IEEE Transactions on Instrumentation and Measurement*. 55(6) : 2014-2021.
- Biolek, D., Senani, R., Biolkova, V., and Kolka, Z., 2008. “Active elements for analog signal processing: Classification, review, and new proposals.” *Radioengineering*. 17(4) : 15-32.
- Chandee, S., Jaikla, W., Suwanjan, P., Pookrongtong, N., and Kwawsibsam, A., 2014. “New Quadrature Sinusoidal Oscillator with Amplitude Controllability.” *Information and Communication Technology, Electronic and Electrical Engineering (JICTEE)*. 1 : 1-4.
- Channumsin, O. and Jantakun, A., 2014. “Third-order Sinusoidal Oscillator using VDTAs and Grounded Capacitors with Amplitude Controllability.” *Information and Communication Technology, Electronic and Electrical Engineering (JICTEE)*. 1 : 4-7.
- Chen, H.P., Hsieh, M.Y., Lin, C.C., and Huang, W.Y., 2014. “CFOA-based quadrature oscillator employing grounded capacitors.” *2014 International Conference on Information Science, Electronics and Electrical Engineering*. 1(1) : 470-473.
- Chien, H.C., 2013. “Voltage- and Current-Modes Sinusoidal Oscillator Using a Single Differential Voltage Current Conveyor.” *Journal of Applied Science and Engineering*. 16(4) : 395-404.
- Chien, H.C. and Chen, C.Y., 2014. “CMOS realization of single-resistance-controlled and variable frequency dual-mode sinusoidal oscillators employing a single
- เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- DVCCTA with all-grounded passive components." *Microelectronics Journal*. 45(2) : 226-238.
- Chien, H.C. and Wang, J.M., 2013. "Dual-mode resistorless sinusoidal oscillator using single CCCDTA." *Microelectronics Journal*. 44(3) : 216-224.
- Grigorescu, L., Diaconescu, I., and Oproescu, G., 2008. "About theoretical and practical aspects of current mode RC oscillators design." *International Journal of Circuits, Systems and Signal processing*. 2(2) : 140-150.
- Herencsar, N., Koton, J., Vrba, K., Lahiri, A., Ayten, U.E., and Sagbas, M., 2011. "A new compact CMOS realization of sinusoidal oscillator using a single modified CBTA." *Proceedings of 21st International Conference, Radioelektronika*. 21(1) : 41-44.
- Herencsar, N., Sotner, R., Koton, J., Misurec, J., Vrba, K., and Republic, C., 2013. "New Compact VM Four-Phase Oscillator Employing Only Single Z-Copy VDTA and All Grounded Passive Elements." *Elektronika ir Elektrotechnika*. 19(10) : 87-90.
- Jin, J. and Wang, C., 2012. "Current-Mode Four-Phase Quadrature Oscillator Using Current Differencing Transconductance Amplifier Based First-Order Allpass Filter." *Électrotechnique Et Énergétique*, 57(3) : 291-300.
- Jiun-Wei, H., 2009. "Current-Mode Third-Order Quadrature Oscillator Using CDTAs." *Active and Passive Electronic Components* : 1-5.
- Kaçar, F., Yeşil, A., Minaei, S., and Kuntman, H., 2014. "Positive/negative lossy/lossless grounded inductance simulators employing single VDCC and only two passive elements." *AEU-International Journal of Electronics and Communications*. 68(1) : 73-78.
- Kumngern, M., 2011. "Versatile voltage-mode quadrature oscillator circuit using DDCCs." *2011 IEEE Symposium on Wireless Technology and Applications (ISWTA)*. (2) : 44-47.
- Lahiri, A., 2012. "Current-mode variable frequency quadrature sinusoidal oscillators using two CCs and four passive components including grounded capacitors." *Analog Integrated Circuits and Signal Processing*. 71(2) : 303-311.
- Prasad, D., Srivastava, M., and Bhaskar, D.R., 2013. "Electronically Controllable Fully-Uncoupled Explicit Current-Mode Quadrature Oscillator Using VDTAs and Grounded Capacitors." *Circuits and Systems*. (4) : 169-172.
- Saied, A.B, Salem, S.B., and Masmoudi, D.S., 2011. "A New CMOS Current Controlled Quadrature Oscillator Based on a MCCII." *Circuits and Systems*. 2(4) : 269-273.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- Srivastava, M., Prasad, D., and Bhaskar, D.R., 2014. "Voltage Mode Quadrature Oscillator Employing Single VDTA and Grounded Passive Elements." *Contemporary Engineering Sciences*. 7(27) : 1501-1507.
- Suphaphorn, P. and Adirek, J., 2014. "Simple Current-mode Sinusoidal Oscillator using Single CCCCTA and Grounded Capacitors." *The 4th Joint International Conference on Information and Communication Technology, Electronic and Electrical Engineering (JICTEE-2014)*. 4(1) : 4-7.
- Tangsrirat, W. and Tanjaroen, W., 2010. "Current-mode sinusoidal quadrature oscillator with independent control of oscillation frequency and condition using CDTAs" *Indian Journal of Pure and Applied Physics*. 48(5) : 363-366.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ก  
คุณสมบัติ ไอซี LT1228

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# คุณสมบัติ ไอซี LT1228



LT1228

## 100MHz Current Feedback Amplifier with DC Gain Control

### FEATURES

- Very Fast Transconductance Amplifier  
Bandwidth: 75MHz  
 $g_m = 10 \times I_{SET}$   
Low THD: 0.2% at 30mV<sub>RMS</sub> Input  
Wide  $I_{SET}$  Range: 1 $\mu$ A to 1mA
- Very Fast Current Feedback Amplifier  
Bandwidth: 100MHz  
Slew Rate: 1000V/ $\mu$ s  
Output Drive Current: 30mA  
Differential Gain: 0.04%  
Differential Phase: 0.1°  
High Input Impedance: 25M $\Omega$ , 6pF
- Wide Supply Range:  $\pm 2V$  to  $\pm 15V$
- Inputs Common Mode to Within 1.5V of Supplies
- Outputs Swing Within 0.8V of Supplies
- Supply Current: 7mA
- Available in 8-Lead PDIP and SO Packages

### APPLICATIONS

- Video DC Restore (Clamp) Circuits
- Video Differential Input Amplifiers
- Video Keyer/Fader Amplifiers
- AGC Amplifiers
- Tunable Filters
- Oscillators

LT, LT, LTC, LTM, Linear Technology and the Linear logo are registered trademarks of Linear Technology Corporation. All other trademarks are the property of their respective owners.

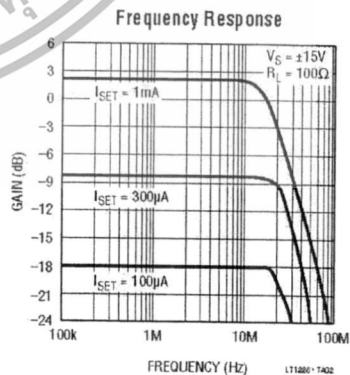
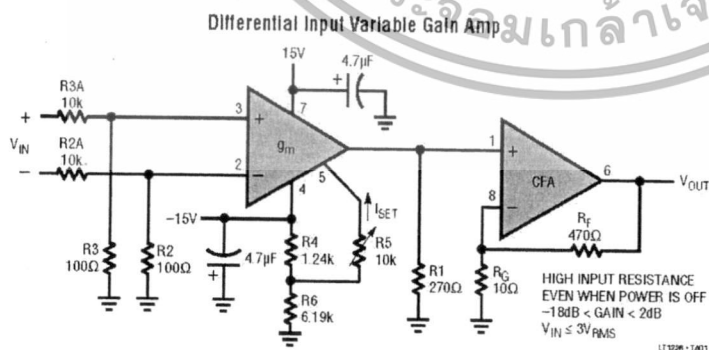
### DESCRIPTION

The LT<sup>®</sup>1228 makes it easy to electronically control the gain of signals from DC to video frequencies. The LT1228 implements gain control with a transconductance amplifier (voltage to current) whose gain is proportional to an externally controlled current. A resistor is typically used to convert the output current to a voltage, which is then amplified with a current feedback amplifier. The LT1228 combines both amplifiers into an 8-pin package, and operates on any supply voltage from 4V ( $\pm 2V$ ) to 30V ( $\pm 15V$ ). A complete differential input, gain controlled amplifier can be implemented with the LT1228 and just a few resistors.

The LT1228 transconductance amplifier has a high impedance differential input and a current source output with wide output voltage compliance. The transconductance,  $g_m$ , is set by the current that flows into Pin 5,  $I_{SET}$ . The small signal  $g_m$  is equal to ten times the value of  $I_{SET}$  and this relationship holds over several decades of set current. The voltage at Pin 5 is two diode drops above the negative supply, Pin 4.

The LT1228 current feedback amplifier has very high input impedance and therefore it is an excellent buffer for the output of the transconductance amplifier. The current feedback amplifier maintains its wide bandwidth over a wide range of voltage gains making it easy to interface the transconductance amplifier output to other circuitry. The current feedback amplifier is designed to drive low impedance loads, such as cables, with excellent linearity at high frequencies.

### TYPICAL APPLICATION



1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

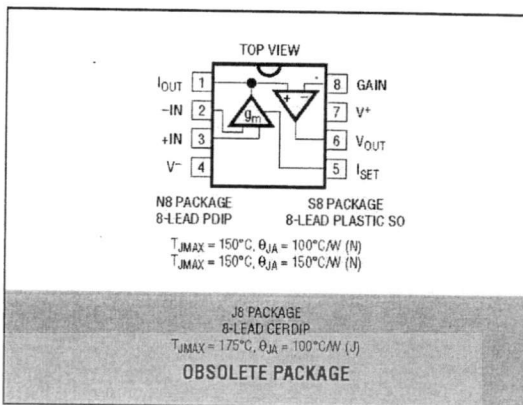
## LT1228

## ABSOLUTE MAXIMUM RATINGS

(Note 1)

Supply Voltage.....	±18V
Input Current, Pins 1, 2, 3, 5, 8 (Note 8).....	±15mA
Output Short Circuit Duration (Note 2).....	Continuous
Operating Temperature Range	
LT1228C.....	0°C to 70°C
LT1228I.....	-40°C to 85°C
LT1228M (OBSOLETE).....	-55°C to 125°C
Storage Temperature Range.....	-65°C to 150°C
Junction Temperature	
Plastic Package.....	150°C
Ceramic Package (OBSOLETE).....	175°C
Lead Temperature (Soldering, 10 sec).....	300°C

## PIN CONFIGURATION



## ORDER INFORMATION

LEAD FREE FINISH	TAPE AND REEL	PART MARKING	PACKAGE DESCRIPTION	TEMPERATURE RANGE
LT1228CN8#PBF	LT1228CN8#TRPBF	LT1228CN8	8-Lead Plastic DIP	0°C to 70°C
LT1228IN8#PBF	LT1228IN8#TRPBF	LT1228IN8	8-Lead Plastic DIP	-40°C to 85°C
LT1228CS8#PBF	LT1228CS8#TRPBF	1228	8-Lead Plastic SO	0°C to 70°C
LT1228IS8#PBF	LT1228IS8#TRPBF	1228I	8-Lead Plastic SO	-40°C to 85°C
OBSOLETE PACKAGE				
LT1228MJ8	LT1228MJ8#TRPBF	LT1228MJ8	8-Lead CERDIP	-55°C to 125°C
LT1228CJ8	LT1228CJ8#TRPBF	LT1228CJ8	8-Lead CERDIP	0°C to 70°C

Consult LTC Marketing for parts specified with wider operating temperature ranges.

Consult LTC Marketing for information on nonstandard lead-based finish parts.

For more information on lead free part marking, go to: <http://www.linear.com/leadfree/>For more information on tape and reel specifications, go to: <http://www.linear.com/tapeandreel/>

## ELECTRICAL CHARACTERISTICS

The • denotes the specifications which apply over the full operating temperature range, otherwise specifications are at  $T_A = 25^{\circ}\text{C}$ . Current Feedback Amplifier, Pins 1, 6, 8.  $\pm 5\text{V} \leq V_S \leq \pm 15\text{V}$ ,  $I_{SET} = 0\mu\text{A}$ ,  $V_{CM} = 0\text{V}$  unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$V_{OS}$	Input Offset Voltage	$T_A = 25^{\circ}\text{C}$	•	±3	±10	mV
	Input Offset Voltage Drift		•	10	±15	$\mu\text{V}/^{\circ}\text{C}$
$I_{IN}^{+}$	Noninverting Input Current	$T_A = 25^{\circ}\text{C}$	•	±0.3	±3	$\mu\text{A}$
			•		±10	$\mu\text{A}$
$I_{IN}^{-}$	Inverting Input Current	$T_A = 25^{\circ}\text{C}$	•	±10	±65	$\mu\text{A}$
			•		±100	$\mu\text{A}$
$e_n$	Input Noise Voltage Density	$f = 1\text{kHz}$ , $R_F = 1\text{k}$ , $R_G = 10\Omega$ , $R_S = 0\Omega$		6		$\text{nV}/\sqrt{\text{Hz}}$
$i_n$	Input Noise Current Density	$f = 1\text{kHz}$ , $R_F = 1\text{k}$ , $R_G = 10\Omega$ , $R_S = 10\text{k}$		1.4		$\text{pV}/\sqrt{\text{Hz}}$

1228Id

2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**ELECTRICAL CHARACTERISTICS**

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at  $T_A = 25^\circ\text{C}$ . Current Feedback Amplifier, Pins 1, 6, 8.  $\pm 5\text{V} \leq V_S \leq \pm 15\text{V}$ ,  $I_{SET} = 0\mu\text{A}$ ,  $V_{CM} = 0\text{V}$  unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$R_{IN}$	Input Resistance	$V_{IN} = \pm 13\text{V}$ , $V_S = \pm 15\text{V}$ $V_{IN} = \pm 3\text{V}$ , $V_S = \pm 5\text{V}$	● 2 ● 2	25 25		M $\Omega$ M $\Omega$
$C_{IN}$	Input Capacitance (Note 3)	$V_S = \pm 5\text{V}$		6		pF
	Input Voltage Range	$V_S = \pm 15\text{V}$ , $T_A = 25^\circ\text{C}$ $V_S = \pm 5\text{V}$ , $T_A = 25^\circ\text{C}$	● $\pm 13$ ● $\pm 12$	$\pm 13.5$		V V
CMRR	Common Mode Rejection Ratio	$V_S = \pm 15\text{V}$ , $V_{CM} = \pm 13\text{V}$ , $T_A = 25^\circ\text{C}$ $V_S = \pm 15\text{V}$ , $V_{CM} = \pm 12\text{V}$ $V_S = \pm 5\text{V}$ , $V_{CM} = \pm 3\text{V}$ , $T_A = 25^\circ\text{C}$ $V_S = \pm 5\text{V}$ , $V_{CM} = \pm 2\text{V}$	● 55 ● 55 ● 55 ● 55	69 69		dB dB dB dB
	Inverting Input Current Common Mode Rejection	$V_S = \pm 15\text{V}$ , $V_{CM} = \pm 13\text{V}$ , $T_A = 25^\circ\text{C}$ $V_S = \pm 15\text{V}$ , $V_{CM} = \pm 12\text{V}$ $V_S = \pm 5\text{V}$ , $V_{CM} = \pm 3\text{V}$ , $T_A = 25^\circ\text{C}$ $V_S = \pm 5\text{V}$ , $V_{CM} = \pm 2\text{V}$	●	2.5 2.5	10 10 10	$\mu\text{A/V}$ $\mu\text{A/V}$ $\mu\text{A/V}$
PSRR	Power Supply Rejection Ratio	$V_S = \pm 2\text{V}$ to $\pm 15\text{V}$ , $T_A = 25^\circ\text{C}$ $V_S = \pm 3\text{V}$ to $\pm 15\text{V}$	● 60 ● 60	80		dB dB
	Noninverting Input Current Power Supply Rejection	$V_S = \pm 2\text{V}$ to $\pm 15\text{V}$ , $T_A = 25^\circ\text{C}$ $V_S = \pm 3\text{V}$ to $\pm 15\text{V}$	●	10	50 50	nA/V nA/V
	Inverting Input Current Power Supply Rejection	$V_S = \pm 2\text{V}$ to $\pm 15\text{V}$ , $T_A = 25^\circ\text{C}$ $V_S = \pm 3\text{V}$ to $\pm 15\text{V}$	●	0.1	5 5	$\mu\text{A/V}$ $\mu\text{A/V}$
$A_v$	Large-Signal Voltage Gain	$V_S = \pm 15\text{V}$ , $V_{OUT} = \pm 10\text{V}$ , $R_{LOAD} = 1\text{k}\Omega$ $V_S = \pm 5\text{V}$ , $V_{OUT} = \pm 2\text{V}$ , $R_{LOAD} = 150\Omega$	● 55 ● 55	65 65		dB dB
$R_{OL}$	Transresistance; $\Delta V_{OUT}/\Delta I_{IN}$	$V_S = \pm 15\text{V}$ , $V_{OUT} = \pm 10\text{V}$ , $R_{LOAD} = 1\text{k}\Omega$ $V_S = \pm 5\text{V}$ , $V_{OUT} = \pm 2\text{V}$ , $R_{LOAD} = 150\Omega$	● 100 ● 100	200 200		k $\Omega$ k $\Omega$
$V_{OUT}$	Maximum Output Voltage Swing	$V_S = \pm 15\text{V}$ , $R_{LOAD} = 400\Omega$ , $T_A = 25^\circ\text{C}$ $V_S = \pm 5\text{V}$ , $R_{LOAD} = 150\Omega$ , $T_A = 25^\circ\text{C}$	● $\pm 12$ ● $\pm 10$	$\pm 13.5$		V V
			● $\pm 3$ ● $\pm 2.5$	$\pm 3.7$		V V
$I_{OUT}$	Maximum Output Current	$R_{LOAD} = 0\Omega$ , $T_A = 25^\circ\text{C}$	● 30 ● 25	65	125 125	mA mA
$I_S$	Supply Current	$V_{OUT} = 0\text{V}$ , $I_{SET} = 0\text{V}$	●	6	11	mA
SR	Slew Rate (Notes 4 and 6)	$T_A = 25^\circ\text{C}$		300	500	V/ $\mu\text{s}$
SR	Slew Rate	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 400\Omega$ $T_A = 25^\circ\text{C}$			3500	V/ $\mu\text{s}$
$t_r$	Rise Time (Notes 5 and 6)	$T_A = 25^\circ\text{C}$		10	20	ns
BW	Small-Signal Bandwidth	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 100\Omega$		100		MHz
$t_r$	Small-Signal Rise Time	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 100\Omega$		3.5		ns
	Propagation Delay	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 100\Omega$		3.5		ns
	Small-Signal Overshoot	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 100\Omega$		15		%
$t_s$	Settling Time	0.1%, $V_{OUT} = 10\text{V}$ , $R_F = 1\text{k}$ , $R_G = 1\text{k}$ , $R_L = 1\text{k}$		45		ns
	Differential Gain (Note 7)	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 1\text{k}$		0.01		%
	Differential Phase (Note 7)	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 1\text{k}$		0.01		DEG
	Differential Gain (Note 7)	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 150\Omega$		0.04		%
	Differential Phase (Note 7)	$V_S = \pm 15\text{V}$ , $R_F = 750\Omega$ , $R_G = 750\Omega$ , $R_L = 150\Omega$		0.1		DEG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## LT1228

**ELECTRICAL CHARACTERISTICS**

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at  $T_A = 25^\circ\text{C}$ . Transconductance Amplifier, Pins 1, 2, 3, 5.  $\pm 5\text{V} \leq V_S \leq \pm 15\text{V}$ ,  $I_{SET} = 100\mu\text{A}$ ,  $V_{CM} = 0\text{V}$  unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
$V_{OS}$	Input Offset Voltage	$I_{SET} = 1\text{mA}$ , $T_A = 25^\circ\text{C}$	●	±0.5	±5	mV	
	Input Offset Voltage Drift	●	●	10	±10	mV/°C	
$I_{OS}$	Input Offset Current	$T_A = 25^\circ\text{C}$	●	40	200	nA	
			●		500	nA	
$I_B$	Input Bias Current	$T_A = 25^\circ\text{C}$	●	0.4	1	μA	
$e_n$	Input Noise Voltage Density	$f = 1\text{kHz}$	●		5	μA	
$R_{IN}$	Input Resistance-Differential Mode	$V_{IN} \approx \pm 30\text{mV}$	●	20		nV/√Hz	
	Input Resistance-Common Mode	$V_S = \pm 15\text{V}$ , $V_{CM} = \pm 12\text{V}$ $V_S = \pm 5\text{V}$ , $V_{CM} = \pm 2\text{V}$	●	30	200	kΩ	
$C_{IN}$	Input Capacitance		●	50	1000	MΩ	
	Input Voltage Range	$V_S = \pm 15\text{V}$ , $T_A = 25^\circ\text{C}$ $V_S = \pm 15\text{V}$ $V_S = \pm 5\text{V}$ , $T_A = 25^\circ\text{C}$ $V_S = \pm 5\text{V}$	●	50	1000	MΩ	
CMRR	Common Mode Rejection Ratio	$V_S = \pm 15\text{V}$ , $V_{CM} = \pm 13\text{V}$ , $T_A = 25^\circ\text{C}$	●	3		pF	
		$V_S = \pm 15\text{V}$ , $V_{CM} = \pm 12\text{V}$	●	±13	±14	V	
		$V_S = \pm 5\text{V}$ , $V_{CM} = \pm 3\text{V}$ , $T_A = 25^\circ\text{C}$	●	±12		V	
		$V_S = \pm 5\text{V}$ , $V_{CM} = \pm 2\text{V}$	●	±3	±4	V	
PSRR	Power Supply Rejection Ratio	$V_S = \pm 15\text{V}$ , $V_{CM} = \pm 13\text{V}$ , $T_A = 25^\circ\text{C}$	●	60	100	dB	
		$V_S = \pm 15\text{V}$ , $V_{CM} = \pm 12\text{V}$	●	60	100	dB	
		$V_S = \pm 5\text{V}$ , $V_{CM} = \pm 3\text{V}$ , $T_A = 25^\circ\text{C}$	●	60	100	dB	
gm	Transconductance	$V_S = \pm 5\text{V}$ , $V_{CM} = \pm 2\text{V}$	●	60	100	dB	
		$V_S = \pm 2\text{V}$ to $\pm 15\text{V}$ , $T_A = 25^\circ\text{C}$	●	60	100	dB	
$I_{OUT}$	Maximum Output Current	$V_S = \pm 3\text{V}$ to $\pm 15\text{V}$	●	0.75	1.00	1.25	μA/mV
		$I_{SET} = 100\mu\text{A}$ , $I_{OUT} = \pm 30\mu\text{A}$ , $T_A = 25^\circ\text{C}$	●				%/°C
$I_{OL}$	Output Leakage Current	$I_{SET} = 100\mu\text{A}$	●	-0.33			
		$I_{SET} = 0\mu\text{A}$ (+ $I_{IN}$ of CFA), $T_A = 25^\circ\text{C}$	●	70	100	130	μA
$V_{OUT}$	Maximum Output Voltage Swing	$V_S = \pm 15\text{V}$ , $R_1 = \infty$	●	0.3	3	10	μA
		$V_S = \pm 5\text{V}$ , $R_1 = \infty$	●	±13	±14		V
$R_O$	Output Resistance	$V_S = \pm 15\text{V}$ , $V_{OUT} = \pm 13\text{V}$	●	±3	±4		V
		$V_S = \pm 5\text{V}$ , $V_{OUT} = \pm 3\text{V}$	●	2	8		MΩ
$I_S$	Supply Current, Both Amps	$V_S = \pm 5\text{V}$ , $V_{OUT} = \pm 3\text{V}$	●	2	8		MΩ
		$V_S = \pm 5\text{V}$	●	2	8		MΩ
THD	Total Harmonic Distortion	$I_{SET} = 1\text{mA}$	●	6	15	pF	
BW	Small-Signal Bandwidth	$I_{SET} = 1\text{mA}$	●	9	15	mA	
$t_r$	Small-Signal Rise Time	$V_{IN} = 30\text{mV}_{RMS}$ at 1kHz, $R_1 = 100\text{k}$	●	0.2		%	
Propagation Delay	Propagation Delay	$R_1 = 50\Omega$ , $I_{SET} = 500\mu\text{A}$	●	80		MHz	
		$R_1 = 50\Omega$ , $I_{SET} = 500\mu\text{A}$ , 10% to 90%	●	5		ns	
		$R_1 = 50\Omega$ , $I_{SET} = 500\mu\text{A}$ , 50% to 50%	●	5		ns	

**Note 1:** Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. Exposure to any Absolute Maximum Rating condition for extended periods may affect device reliability and lifetime.

**Note 2:** A heat sink may be required depending on the power supply voltage.

**Note 3:** This is the total capacitance at Pin 1. It includes the input capacitance of the current feedback amplifier and the output capacitance of the transconductance amplifier.

**Note 4:** Slew rate is measured at  $\pm 5\text{V}$  on a  $\pm 10\text{V}$  output signal while operating on  $\pm 15\text{V}$  supplies with  $R_F = 1\text{k}$ ,  $R_G = 110\Omega$  and  $R_L = 400\Omega$ . The slew rate is much higher when the input is overdriven, see the Applications Information section.

**Note 5:** Rise time is measured from 10% to 90% on a  $\pm 500\text{mV}$  output signal while operating on  $\pm 15\text{V}$  supplies with  $R_F = 1\text{k}$ ,  $R_G = 110\Omega$  and  $R_L = 100\Omega$ . This condition is not the fastest possible, however, it does guarantee the internal capacitances are correct and it makes automatic testing practical.

**Note 6:** AC parameters are 100% tested on the ceramic and plastic DIP packaged parts (J and N suffix) and are sample tested on every lot of the SO packaged parts (S suffix).

**Note 7:** NTSC composite video with an output level of 2V.

**Note 8:** Back to back 6V Zener diodes are connected between Pins 2 and 3 for ESD protection.

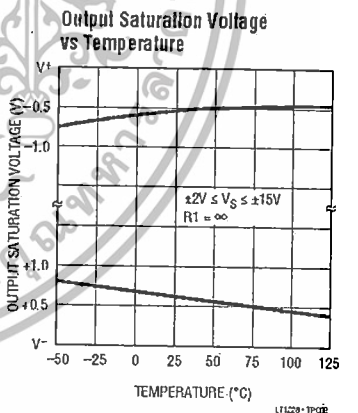
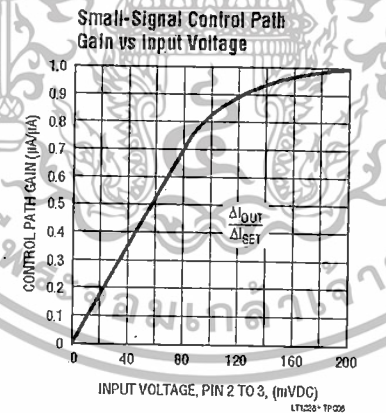
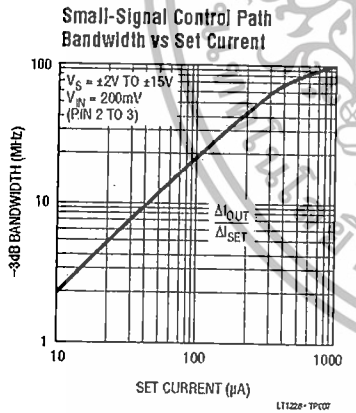
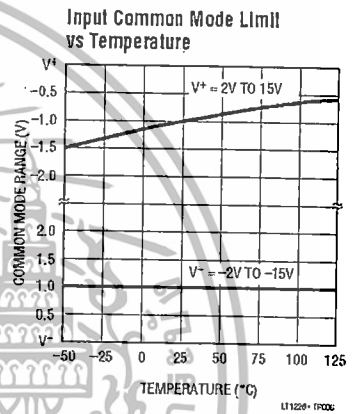
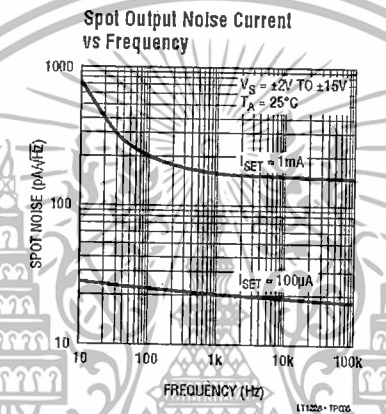
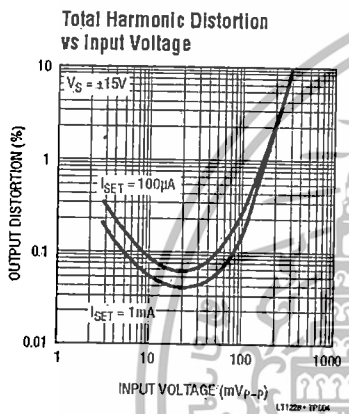
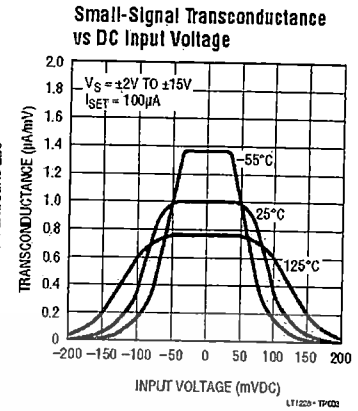
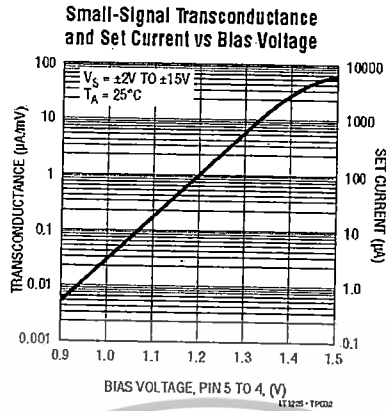
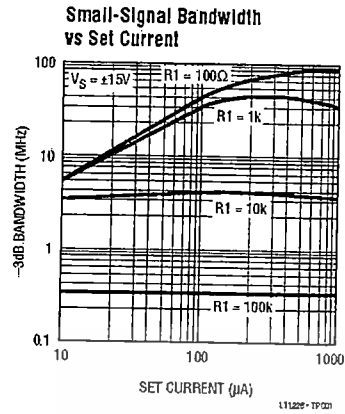
1228Id

4



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

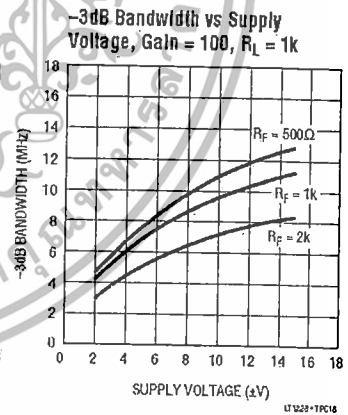
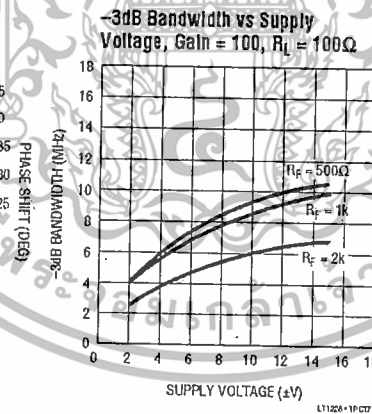
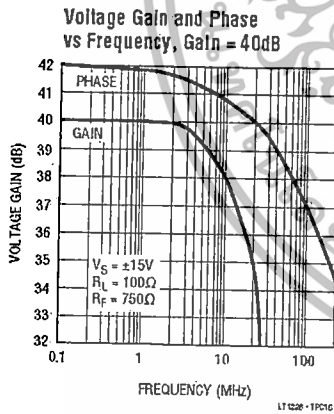
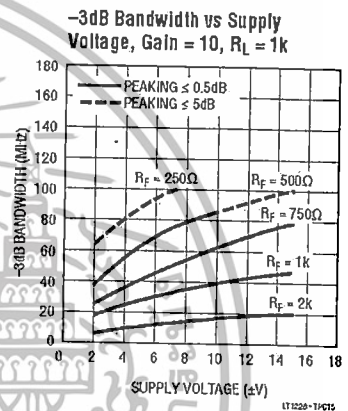
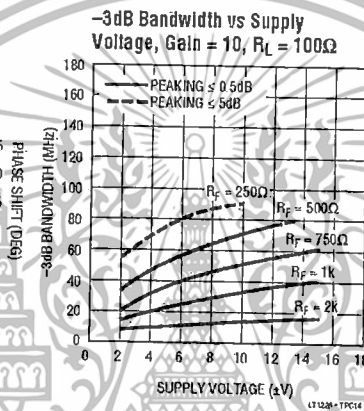
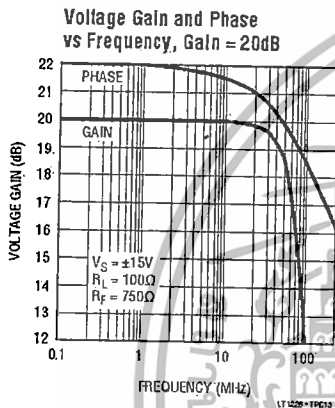
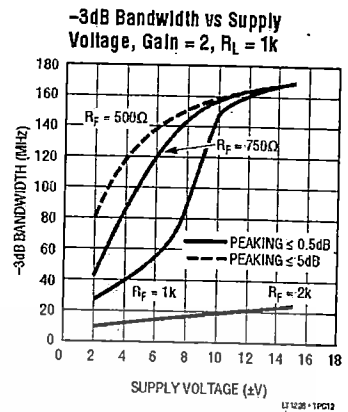
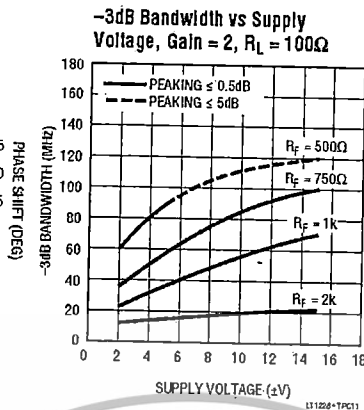
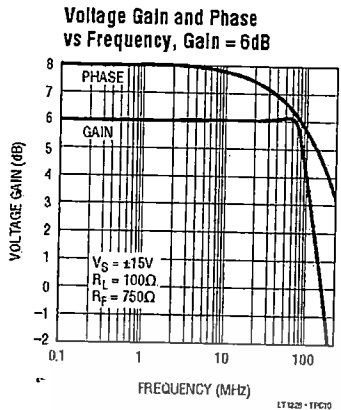
# TYPICAL PERFORMANCE CHARACTERISTICS Transconductance Amplifier, Pins 1, 2, 3, 5



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# LT1228

## TYPICAL PERFORMANCE CHARACTERISTICS Transconductance Amplifier, Pins 1, 6, 8

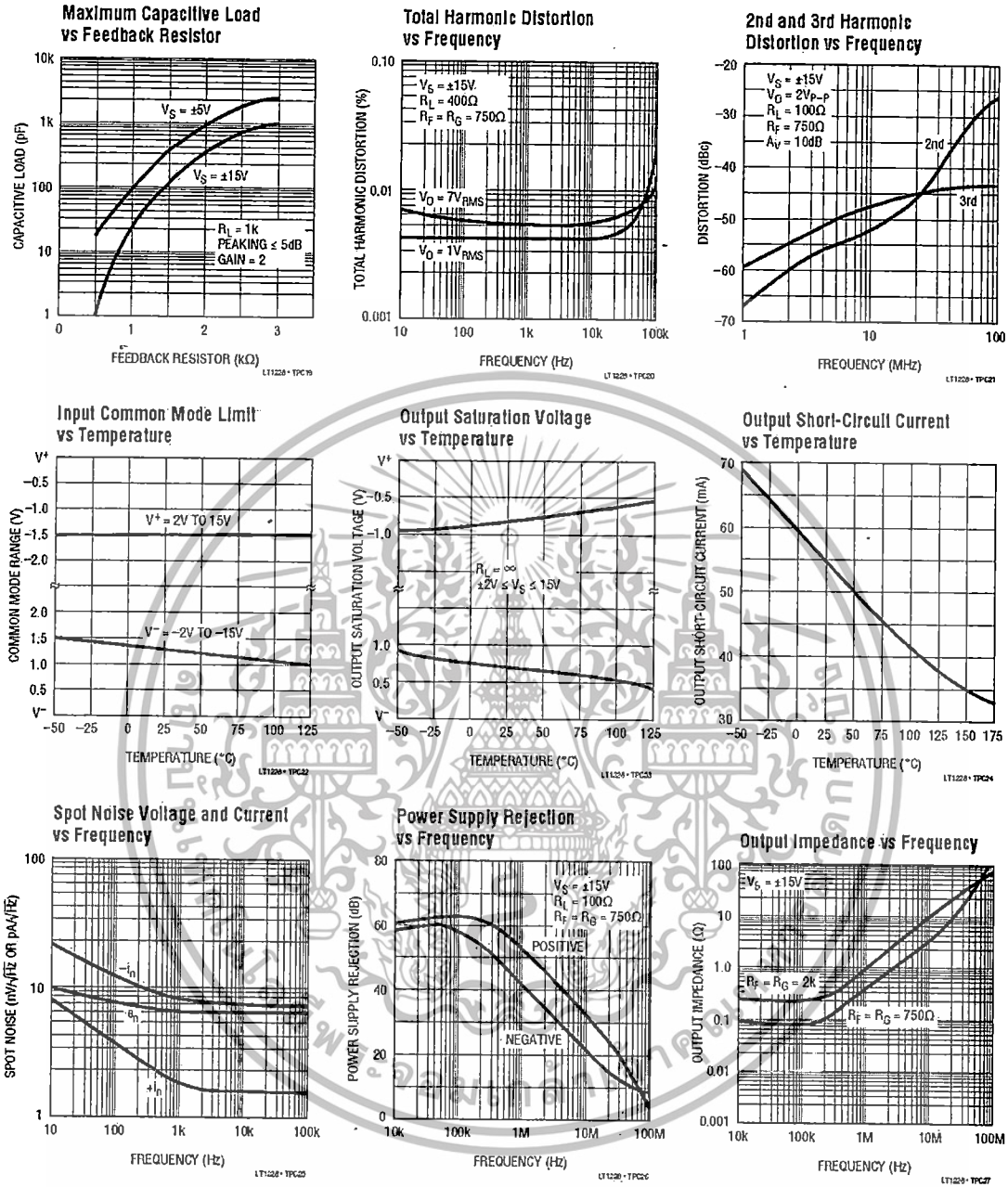


1228ld



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# TYPICAL PERFORMANCE CHARACTERISTICS Transconductance Amplifier, Pins 1, 6, 8



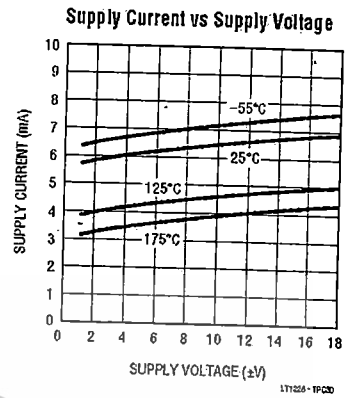
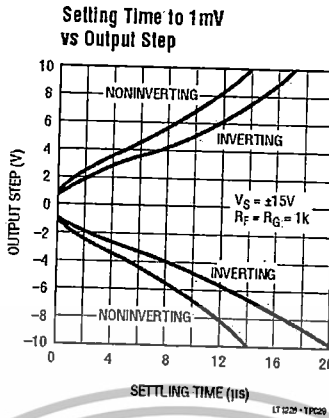
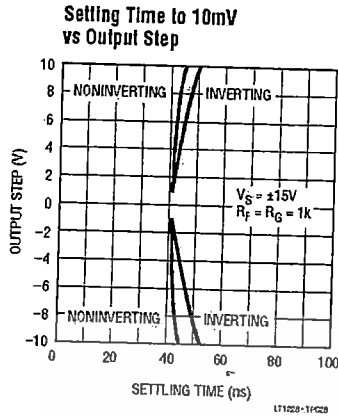
1228fd



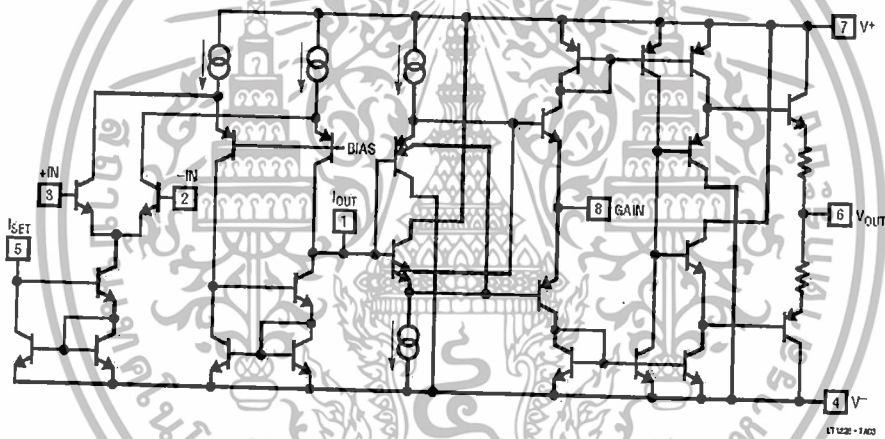
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# LT1228

## TYPICAL PERFORMANCE CHARACTERISTICS Current Feedback Amplifier, Pins 1, 6, 8



## SIMPLIFIED SCHEMATIC



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



# 60 MHz, 2000 V/ $\mu$ s Monolithic Op Amp

## AD844

### FEATURES

Wide Bandwidth: 60 MHz at Gain of  $-1$   
33 MHz at Gain of  $-10$   
Very High Output Slew Rate: Up to 2000 V/ $\mu$ s  
20 MHz Full Power Bandwidth, 20 V pk-pk,  $R_L = 500 \Omega$   
Fast Settling: 100 ns to 0.1% (10 V Step)  
Differential Gain Error: 0.03% at 4.4 MHz  
Differential Phase Error: 0.15° at 4.4 MHz  
High Output Drive:  $\pm 50$  mA into 50  $\Omega$  Load  
Low Offset Voltage: 150  $\mu$ V max (B Grade)  
Low Quiescent Current: 6.5 mA  
Available in Tape and Reel in Accordance with  
EIA-481A Standard

### APPLICATIONS

Flash ADC Input Amplifiers  
High Speed Current DAC Interfaces  
Video Buffers and Cable Drivers  
Pulse Amplifiers

### PRODUCT DESCRIPTION

The AD844 is a high speed monolithic operational amplifier fabricated using Analog Devices' junction isolated complementary bipolar (CB) process. It combines high bandwidth and very fast large signal response with excellent dc performance. Although optimized for use in current to voltage applications and as an inverting mode amplifier, it is also suitable for use in many non-inverting applications.

The AD844 can be used in place of traditional op amps, but its current feedback architecture results in much better ac performance, high linearity and an exceptionally clean pulse response.

This type of op amp provides a closed-loop bandwidth which is determined primarily by the feedback resistor and is almost independent of the closed-loop gain. The AD844 is free from the slew rate limitations inherent in traditional op amps and other current-feedback op amps. Peak output rate of change can be over 2000 V/ $\mu$ s for a full 20 V output step. Settling time is typically 100 ns to 0.1%, and essentially independent of gain. The AD844 can drive 50  $\Omega$  loads to  $\pm 2.5$  V with low distortion and is short circuit protected to 80 mA.

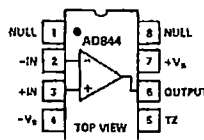
The AD844 is available in four performance grades and three package options. In the 16-pin SOIC (R) package, the AD844J is specified for the commercial temperature range of 0°C to +70°C. The AD844A and AD844B are specified for the industrial temperature range of -40°C to +85°C and are available in the cerdip (Q) package. The AD844A is also available in an 8-pin plastic mini-DIP (N). The AD844S is specified over the military temperature range of -55°C to +125°C. It is available in the 8-pin cerdip (Q) package. "A" and "S" grade chips and devices processed to MIL-STD-883B, REV. C are also available.

### REV. C

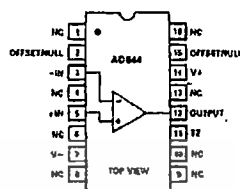
Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

### CONNECTION DIAGRAMS

3-Pin Plastic (N),  
and Cerdip (Q) Packages



16-Pin SOIC  
(R) Package



### PRODUCT HIGHLIGHTS

1. The AD844 is a versatile, low cost component providing an excellent combination of ac and dc performance. It may be used as an alternative to the EL2020 and CLC400/1.
2. It is essentially free from slew rate limitations. Rise and fall times are essentially independent of output level.
3. The AD844 can be operated from  $\pm 4.5$  V to  $\pm 18$  V power supplies and is capable of driving loads down to 50  $\Omega$ , as well as driving very large capacitive loads using an external network.
4. The offset voltage and input bias currents of the AD844 are laser trimmed to minimize dc errors;  $V_{OS}$  drift is typically 1  $\mu$ V/ $^{\circ}$ C and bias current drift is typically 9 nA/ $^{\circ}$ C.
5. The AD844 exhibits excellent differential gain and differential phase characteristics, making it suitable for a variety of video applications with bandwidths up to 60 MHz.
6. The AD844 combines low distortion, low noise and low drift with wide bandwidth, making it outstanding as an input amplifier for flash A/D converters.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 617/329-4700 Fax: 617/326-8703

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# AD844—SPECIFICATIONS (@ $T_A = +25^\circ\text{C}$ and $V_S = \pm 15\text{ V}$ dc, unless otherwise noted)

Model	Conditions	AD844JA			AD844B			AD844S			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
<b>INPUT OFFSET VOLTAGE<sup>1</sup></b>											
$T_{\text{MIN}}-T_{\text{MAX}}$ vs. Temperature	5 V–18 V	50	300		50	150		50	300		$\mu\text{V}$
vs. Supply		75	500		75	200		125	500		$\mu\text{V}$
Initial		1			1	5		1	5		$\mu\text{V}/^\circ\text{C}$
$T_{\text{MIN}}-T_{\text{MAX}}$ vs. Common Mode	$V_{\text{CM}} = \pm 10\text{ V}$	4	20		4	10		4	20		$\mu\text{V}/\text{V}$
Initial		4			4	10		4	20		$\mu\text{V}/\text{V}$
$T_{\text{MIN}}-T_{\text{MAX}}$		10	35		10	20		10	35		$\mu\text{V}/\text{V}$
<b>INPUT BIAS CURRENT</b>											
<b>-Input Bias Current<sup>1</sup></b>											
$T_{\text{MIN}}-T_{\text{MAX}}$ vs. Temperature	5 V–18 V	200	450		150	250		200	450		nA
vs. Supply		800	1500		750	1100		1900	2500		nA
Initial		9			9	15		20	30		$\text{nA}/^\circ\text{C}$
$T_{\text{MIN}}-T_{\text{MAX}}$ vs. Common Mode	$V_{\text{CM}} = \pm 10\text{ V}$	175	250		175	200		175	250		$\text{nA}/\text{V}$
Initial		220			220	240		320	300		$\text{nA}/\text{V}$
$T_{\text{MIN}}-T_{\text{MAX}}$		90	160		90	110		90	160		$\text{nA}/\text{V}$
<b>+Input Bias Current<sup>1</sup></b>											
$T_{\text{MIN}}-T_{\text{MAX}}$ vs. Temperature	5 V–18 V	110			110	150		120	200		$\text{nA}/\text{V}$
vs. Supply		150	400		100	200		100	400		nA
Initial		350	700		300	500		800	1300		$\text{nA}/^\circ\text{C}$
$T_{\text{MIN}}-T_{\text{MAX}}$ vs. Common Mode	$V_{\text{CM}} = \pm 10\text{ V}$	80	150		80	100		80	150		$\text{nA}/\text{V}$
Initial		100			100	120		120	200		$\text{nA}/\text{V}$
$T_{\text{MIN}}-T_{\text{MAX}}$		90	150		90	120		90	150		$\text{nA}/\text{V}$
<b>INPUT CHARACTERISTICS</b>											
<b>Input Resistance</b>											
-Input		50	65		50	65		50	65		$\Omega$
+Input		7	10		7	10		7	10		$\text{M}\Omega$
<b>Input Capacitance</b>											
-Input		2			2			2			pF
+Input		2			2			2			pF
<b>Input Voltage Range</b>											
Common Mode		$\pm 10$			$\pm 10$			$\pm 10$			V
<b>INPUT VOLTAGE NOISE</b>											
	$f \geq 1\text{ kHz}$		2			2			2		$\text{nV}/\sqrt{\text{Hz}}$
<b>INPUT CURRENT NOISE</b>											
-Input	$f \geq 1\text{ kHz}$		10			10			10		$\text{pA}/\sqrt{\text{Hz}}$
+Input	$f \geq 1\text{ kHz}$		12			12			12		$\text{pA}/\sqrt{\text{Hz}}$
<b>OPEN LOOP TRANSRESISTANCE</b>											
	$V_{\text{OUT}} = \pm 10\text{ V}$ $R_{\text{LOAD}} = 500\ \Omega$										
$T_{\text{MIN}}-T_{\text{MAX}}$ Transcapacitance		2.2	3.0		2.8	3.0		2.2	3.0		$\text{M}\Omega$
		1.3	2.0		1.6	2.0		1.3	1.6		$\text{M}\Omega$
			4.5			4.5			4.5		pF
<b>DIFFERENTIAL GAIN ERROR<sup>2</sup></b>											
	$f = 4.4\text{ MHz}$		0.03			0.03			0.03		%
<b>DIFFERENTIAL PHASE ERROR<sup>2</sup></b>											
	$f = 4.4\text{ MHz}$		0.15			0.15			0.15		Degrees
<b>FREQUENCY RESPONSE</b>											
<b>Small Signal Bandwidth</b>											
<sup>1</sup> Gain = -1			60			60			60		MHz
<sup>1</sup> Gain = -10			33			33			33		MHz
<b>TOTAL HARMONIC DISTORTION</b>											
	$f = 100\text{ kHz}$ , 2 V rms <sup>3</sup>		0.005			0.005			0.005		%
<b>SETTLING TIME</b>											
<b>10 V Output Step</b>											
Gain = -1, to 0.1% <sup>3</sup>	$\pm 15\text{ V}$ Supplies		100			100			100		ns
Gain = -10, to 0.1% <sup>4</sup>				100			100			100	ns
<b>2 V Output Step</b>											
Gain = -1, to 0.1% <sup>3</sup>	$\pm 5\text{ V}$ Supplies		110			110			110		ns
Gain = -10, to 0.1% <sup>4</sup>				100			100			100	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AD844

Model	Conditions	AD844J/A			AD844B			AD844S			Units
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
OUTPUT SLEW RATE	Overdriven Input	1200	2000		1200	2000		1200	2000		V/μs
FULL POWER BANDWIDTH $V_{OUT} = 20\text{ V p-p}^5$ $V_{OUT} = 2\text{ V p-p}^5$	$V_S = \pm 15\text{ V}$ $V_S = \pm 5\text{ V}$ THD = 3%		20			20			20		MHz MHz
OUTPUT CHARACTERISTICS Voltage Short Circuit Current $T_{MIN}-T_{MAX}$ Output Resistance	$R_{LOAD} = 500\ \Omega$   Open Loop	10	11		10	11		10	11		$\pm\text{V}$ mA mA $\Omega$
POWER SUPPLY Operating Range Quiescent Current $T_{MIN}-T_{MAX}$		$\pm 4.5$	$\pm 18$		$\pm 4.5$	$\pm 18$		+4.5	$\pm 18$		V mA mA

NOTES

- <sup>1</sup>Rated performance after a 5 minute warmup at  $T_A = 25^\circ\text{C}$ .
- <sup>2</sup>Input signal 285 mV p-p carrier (40 IRE) riding on 0 mV to 642 mV (90 IRE) ramp.  $R_L = 100\ \Omega$ ;  $R_1, R_2 = 300\ \Omega$ .
- <sup>3</sup>Input signal 0 dBm,  $C_L = 10\ \text{pF}$ ,  $R_L = 500\ \Omega$ ,  $R_1 = 500\ \Omega$ ,  $R_2 = 500\ \Omega$  in Figure 26.
- <sup>4</sup>Input signal 0 dBm,  $C_L = 10\ \text{pF}$ ,  $R_L = 500\ \Omega$ ,  $R_1 = 500\ \Omega$ ,  $R_2 = 50\ \Omega$  in Figure 26.
- <sup>5</sup> $C_L = 10\ \text{pF}$ ,  $R_L = 500\ \Omega$ ,  $R_1 = 1\ \text{k}\Omega$ ,  $R_2 = 1\ \text{k}\Omega$  in Figure 26.
- <sup>6</sup> $C_L = 10\ \text{pF}$ ,  $R_L = 500\ \Omega$ ,  $R_1 = 500\ \Omega$ ,  $R_2 = 50\ \Omega$  in Figure 26.

Specifications subject to change without notice. All min and max specifications are guaranteed. Specifications shown in boldface are tested on all production units at final electrical test.

ABSOLUTE MAXIMUM RATINGS<sup>1</sup>

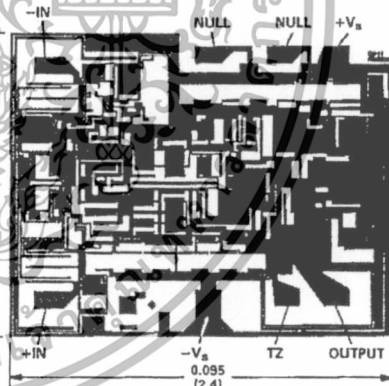
Supply Voltage	$\pm 18\text{ V}$
Power Dissipation <sup>2</sup>	1.1 W
Output Short Circuit Duration	Indefinite
Common-Mode Input Voltage	$\pm V_S$
Differential Input Voltage	6 V
Inverting Input Current	
Continuous	5 mA
Transient	10 mA
Storage Temperature Range (Q)	$-65^\circ\text{C}$ to $+150^\circ\text{C}$
(N, R)	$-65^\circ\text{C}$ to $+125^\circ\text{C}$
Lead Temperature Range (Soldering 60 sec)	$+300^\circ\text{C}$
ESD Rating	1000 V

NOTES

- <sup>1</sup>Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.
- <sup>2</sup>28-Pin Plastic Package:  $\theta_{JA} = 100^\circ\text{C/Watt}$
- 8-Pin Cerdip Package:  $\theta_{JA} = 110^\circ\text{C/Watt}$
- 16-Pin SOIC Package:  $\theta_{JA} = 100^\circ\text{C/Watt}$

METALIZATION PHOTOGRAPH

Contact factory for latest dimensions.  
Dimension shown in inches and (mm).



SUBSTRATE CONNECTED TO  $+V_S$

ORDERING GUIDE

Model	Temperature Range	Package Option*
AD844JR	$0^\circ\text{C}$ to $+70^\circ\text{C}$	R-16
AD844JR-REEL	$0^\circ\text{C}$ to $+70^\circ\text{C}$	Tape and Reel
AD844AN	$-40^\circ\text{C}$ to $+85^\circ\text{C}$	N-8
AD844AQ	$-40^\circ\text{C}$ to $+85^\circ\text{C}$	Q-8
AD844BQ	$-40^\circ\text{C}$ to $+85^\circ\text{C}$	Q-8
AD844SQ	$-55^\circ\text{C}$ to $+125^\circ\text{C}$	Q-8
AD844SQ/883B	$-55^\circ\text{C}$ to $+125^\circ\text{C}$	Q-8
5962-8964401PA	$-55^\circ\text{C}$ to $+125^\circ\text{C}$	Q-8
AD844A Chips	$-40^\circ\text{C}$ to $+85^\circ\text{C}$	Die
AD844S Chips	$-55^\circ\text{C}$ to $+125^\circ\text{C}$	Die

\*N = Plastic DIP; Q = Cerdip; R = Small Outline IC (SOIC).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**AD844—Typical Characteristics** ( $T_A = +25^\circ\text{C}$  and  $V_S = \pm 15\text{ V}$ , unless otherwise noted)

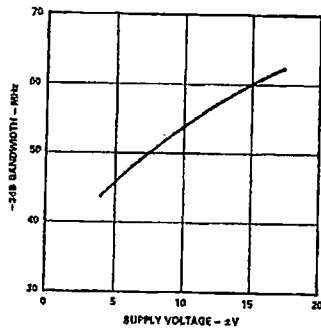


Figure 1. -3 dB Bandwidth vs. Supply Voltage  $R_1 = R_2 = 500\ \Omega$

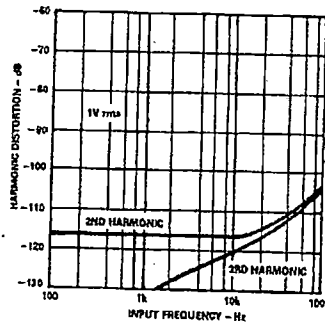


Figure 2. Harmonic Distortion vs. Frequency,  $R_1 = R_2 = 1\ \text{k}\Omega$

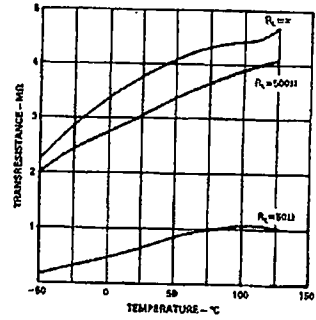


Figure 3. Transresistance vs. Temperature

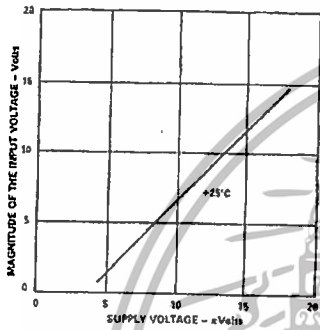


Figure 4. Noninverting Input Voltage Swing vs. Supply Voltage

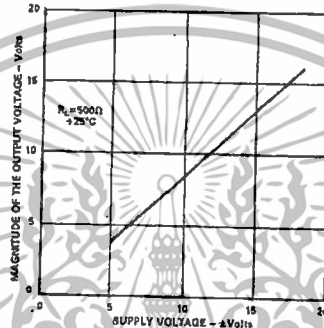


Figure 5. Output Voltage Swing vs. Supply Voltage

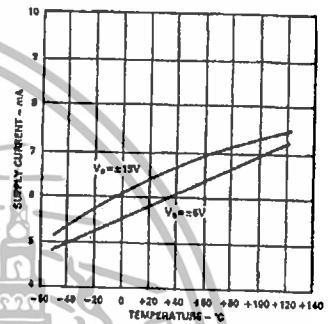


Figure 6. Quiescent Supply Current vs. Temperature and Supply Voltage

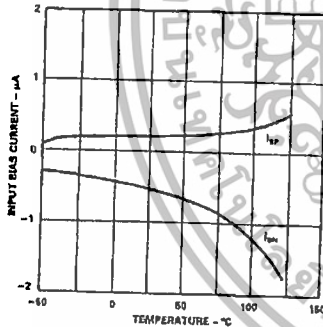


Figure 7. Inverting Input Bias Current ( $I_{BN}$ ) and Noninverting Input Bias Current ( $I_{BP}$ ) vs. Temperature

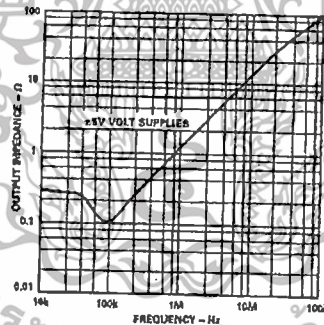


Figure 8. Output Impedance vs. Frequency, Gain = -1,  $R_1 = R_2 = 1\ \text{k}\Omega$

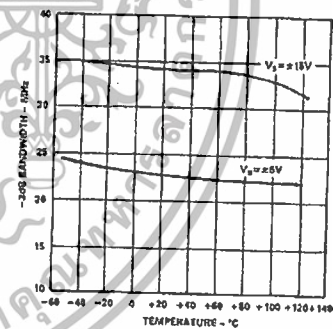


Figure 9. -3 dB Bandwidth vs. Temperature, Gain = -1,  $R_1 = R_2 = 1\ \text{k}\Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AD844

Inverting Gain of 1 AC Characteristics

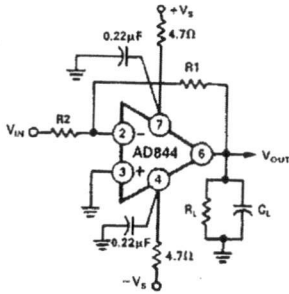


Figure 10. Inverting Amplifier, Gain of -1 ( $R_1 = R_2$ )

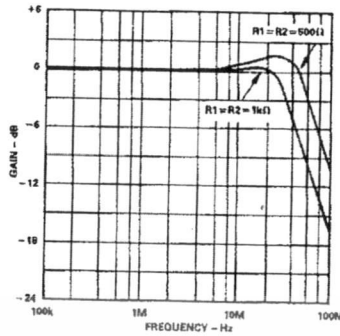


Figure 11. Gain vs. Frequency for Gain = -1,  $R_L = 500\ \Omega$ ,  $C_L = 0\ \text{pF}$

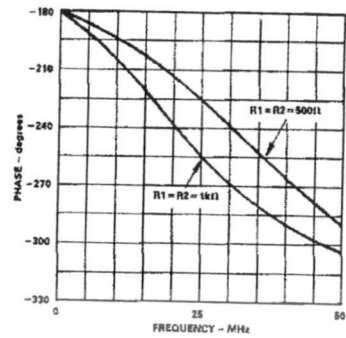


Figure 12. Phase vs. Frequency Gain = -1,  $R_L = 500\ \Omega$ ,  $C_L = 0\ \text{pF}$

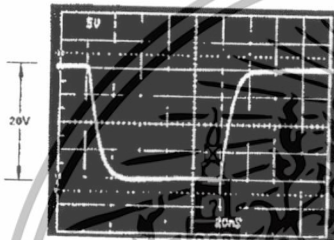


Figure 13. Large Signal Pulse Response, Gain = -1,  $R_1 = R_2 = 1\ \text{k}\Omega$

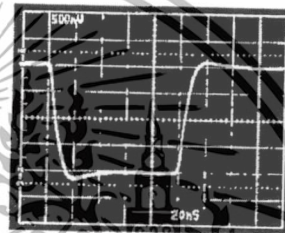


Figure 14. Small Signal Pulse Response, Gain = -1,  $R_1 = R_2 = 1\ \text{k}\Omega$

Inverting Gain of 10 AC Characteristics

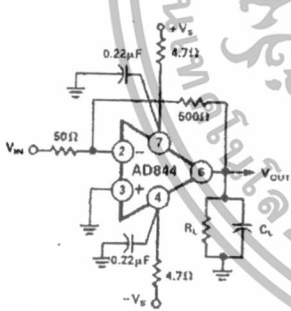


Figure 15. Gain of -10 Amplifier

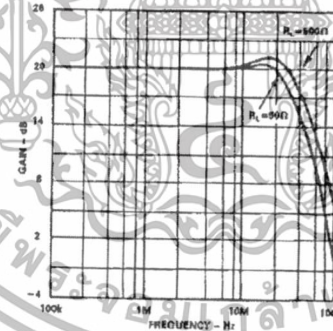


Figure 16. Gain vs. Frequency, Gain = -10

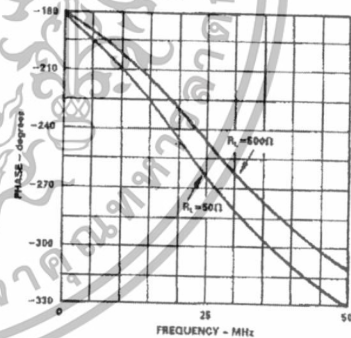


Figure 17. Phase vs. Frequency, Gain = -10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AD844

Inverting Gain of 10 Pulse Response

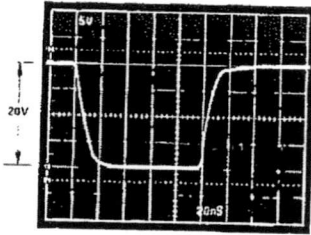


Figure 18. Large Signal Pulse Response, Gain = -10,  $R_L = 500 \Omega$

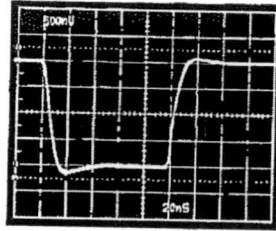


Figure 19. Small Signal Pulse Response, Gain = -10,  $R_L = 500 \Omega$

Noninverting Gain of 10 AC Characteristics

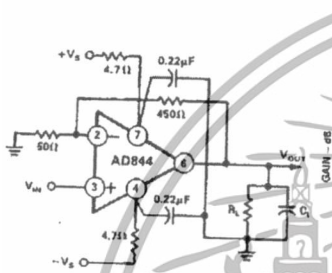


Figure 20. Noninverting Gain of +10 Amplifier

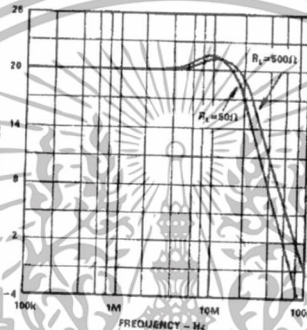


Figure 21. Gain vs. Frequency, Gain = +10

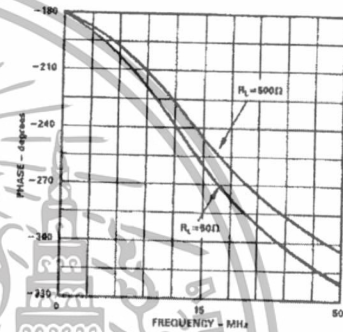


Figure 22. Phase vs. Frequency, Gain = +10

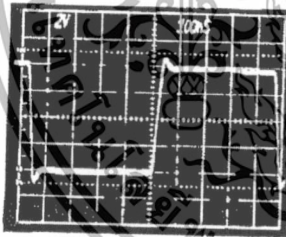


Figure 23. Noninverting Amplifier Large Signal Pulse Response, Gain = +10,  $R_L = 500 \Omega$

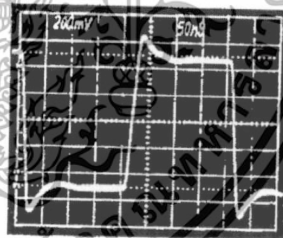


Figure 24. Small Signal Pulse Response, Gain = +10,  $R_L = 500 \Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AD844

UNDERSTANDING THE AD844

The AD844 can be used in ways similar to a conventional op amp while providing performance advantages in wideband applications. However, there are important differences in the internal structure which need to be understood in order to optimize the performance of the AD844 op amp.

Open Loop Behavior

Figure 25 shows a current feedback amplifier reduced to essentials. Sources of fixed dc errors such as the inverting node bias current and the offset voltage are excluded from this model and are discussed later. The most important parameter limiting the dc gain is the transresistance,  $R_t$ , which is ideally infinite. A finite value of  $R_t$  is analogous to the finite open loop voltage gain in a conventional op amp.

The current applied to the inverting input node is replicated by the current conveyor so as to flow in resistor  $R_t$ . The voltage developed across  $R_t$  is buffered by the unity gain voltage follower. Voltage gain is the ratio  $R_t / R_{IN}$ . With typical values of  $R_t = 3 \text{ M}\Omega$  and  $R_{IN} = 50 \Omega$ , the voltage gain is about 60,000. The open loop current gain is another measure of gain and is determined by the beta product of the transistors in the voltage follower stage (see Figure 28); it is typically 40,000.

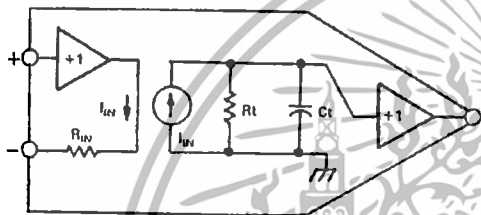


Figure 25. Equivalent Schematic

The important parameters defining ac behavior are the transcapacitance,  $C_t$ , and the external feedback resistor (not shown). The time constant formed by these components is analogous to the dominant pole of a conventional op amp, and thus cannot be reduced below a critical value if the closed loop system is to be stable. In practice,  $C_t$  is held to as low a value as possible (typically 4.5 pF) so that the feedback resistor can be maximized while maintaining a fast response. The finite  $R_{IN}$  also affects the closed loop response in some applications as will be shown.

The open loop ac gain is also best understood in terms of the transimpedance rather than as an open loop voltage gain. The open loop pole is formed by  $R_t$  in parallel with  $C_t$ . Since  $C_t$  is typically 4.5 pF, the open loop corner frequency occurs at about 12 kHz. However, this parameter is of little value in determining the closed loop response.

Response as an Inverting Amplifier

Figure 26 shows the connections for an inverting amplifier. Unlike a conventional amplifier the transient response and the small signal bandwidth are determined primarily by the value of the external feedback resistor,  $R_1$ , rather than by the ratio of  $R_1/R_2$  as is customarily the case in an op amp application. This is a direct result of the low impedance at the inverting input. As with conventional op amps, the closed loop gain is  $-R_1/R_2$ .

The closed loop transresistance is simply the parallel sum of  $R_1$  and  $R_t$ . Since  $R_1$  will generally be in the range 500  $\Omega$  to 2 k $\Omega$  and  $R_t$  is about 3 M $\Omega$  the closed loop transresistance will be only 0.02% to 0.07% lower than  $R_1$ . This small error will often be less than the resistor tolerance.

When  $R_1$  is fairly large (above 5 k $\Omega$ ) but still much less than  $R_t$ , the closed loop HF response is dominated by the time constant  $R_1 C_t$ . Under such conditions the AD844 is over-damped and will provide only a fraction of its bandwidth potential. Because of the absence of slew rate limitations under these conditions, the circuit will exhibit a simple single pole response even under large signal conditions.

In Figure 26,  $R_3$  is used to properly terminate the input if desired.  $R_3$  in parallel with  $R_2$  gives the terminated resistance. As  $R_1$  is lowered, the signal bandwidth increases, but the time constant  $R_1 C_t$  becomes comparable to higher order poles in the closed loop response. Therefore, the closed loop response becomes complex, and the pulse response shows overshoot. When  $R_2$  is much larger than the input resistance,  $R_{IN}$ , at Pin 2, most of the feedback current in  $R_1$  is delivered to this input; but as  $R_2$  becomes comparable to  $R_{IN}$ , less of the feedback is absorbed at Pin 2, resulting in a more heavily damped response. Consequently, for low values of  $R_2$  it is possible to lower  $R_1$  without causing instability in the closed loop response. Table I lists combinations of  $R_1$  and  $R_2$  and the resulting frequency response for the circuit of Figure 26. Figure 13 shows the very clean and fast  $\pm 10 \text{ V}$  pulse response of the AD844.

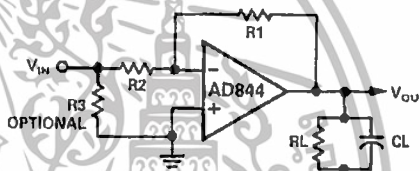


Figure 26. Inverting Amplifier

Table I.

Gain	R1	R2	BW (MHz)	GBW (MHz)
-1	1 k $\Omega$	1 k $\Omega$	35	35
-1	500 $\Omega$	500 $\Omega$	60	60
-2	2 k $\Omega$	1 k $\Omega$	15	30
-2	1 k $\Omega$	500 $\Omega$	30	60
-5	5 k $\Omega$	1 k $\Omega$	5.2	26
-5	500 $\Omega$	100 $\Omega$	49	245
-10	1 k $\Omega$	100 $\Omega$	23	230
-10	500 $\Omega$	50 $\Omega$	33	330
-20	1 k $\Omega$	50 $\Omega$	21	420
-100	5 k $\Omega$	50 $\Omega$	3.2	320
+100	5 k $\Omega$	50 $\Omega$	9	900

## AD844

### Response as an I-V Converter

The AD844 works well as the active element in an operational current to voltage converter, used in conjunction with an external scaling resistor,  $R_1$ , in Figure 27. This analysis includes the stray capacitance,  $C_s$ , of the current source, which might be a high speed DAC. Using a conventional op amp, this capacitance forms a "nuisance pole" with  $R_1$  which destabilizes the closed loop response of the system. Most op amps are internally compensated for the fastest response at unity gain, so the pole due to  $R_1$  and  $C_s$  reduces the already narrow phase margin of the system. For example, if  $R_1$  were 2.5 k $\Omega$  a  $C_s$  of 15 pF would place this pole at a frequency of about 4 MHz, well within the response range of even a medium speed operational amplifier. In a current feedback amp this nuisance pole is no longer determined by  $R_1$  but by the input resistance,  $R_{IN}$ . Since this is about 50  $\Omega$  for the AD844, the same 15 pF forms a pole 212 MHz and causes little trouble. It can be shown that the response of this system is:

$$V_{OUT} = -I_{sig} \frac{K R_1}{(1 + sT_d)(1 + sT_n)}$$

where  $K$  is a factor very close to unity and represents the finite dc gain of the amplifier,  $T_d$  is the dominant pole and  $T_n$  is the nuisance pole:

$$K = \frac{R_t}{R_t + R_1}$$

$$T_d = KR_1C_s$$

$$T_n = R_{IN}C_s \quad (\text{assuming } R_{IN} \ll R_1)$$

Using typical values of  $R_1 = 1$  k $\Omega$  and  $R_t = 3$  M $\Omega$ ,  $K$  is 0.9997; in other words, the "gain error" is only 0.03%. This is much less than the scaling error of virtually all DACs and can be absorbed, if necessary, by the trim needed in a precise system.

In the AD844,  $R_t$  is fairly stable with temperature and supply voltages, and consequently the effect of finite "gain" is negligible unless high value feedback resistors are used. Since that would result in slower response times than are possible, the relatively low value of  $R_1$  in the AD844 will rarely be a significant source of error.

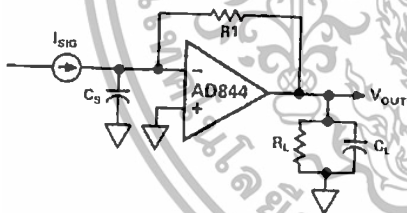


Figure 27. Current to Voltage Converter

### Circuit Description of the AD844

A simplified schematic is shown in Figure 28. The AD844 differs from a conventional op amp in that the signal inputs have radically different impedance. The noninverting input (Pin 3) presents the usual high impedance. The voltage on this input is transferred to the inverting input (Pin 2) with a low offset volt-

age, ensured by the close matching of like polarity transistors operating under essentially identical bias conditions. Laser trimming nulls the residual offset voltage, down to a few tens of microvolts. The inverting input is the common emitter node of a complementary pair of grounded base stages and behaves as a current summing node. In an ideal current feedback op amp the input resistance would be zero. In the AD844 it is about 50  $\Omega$ .

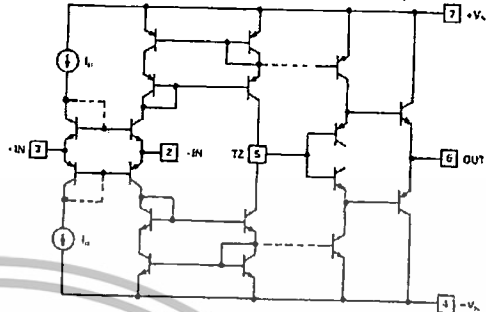


Figure 28. Simplified Schematic

A current applied to the inverting input is transferred to a complementary pair of unity-gain current mirrors which deliver the same current to an internal node (Pin 5) at which the full output voltage is generated. The unity-gain complementary voltage follower then buffers this voltage and provides the load driving power. This buffer is designed to drive low impedance loads such as terminated cables, and can deliver  $\pm 50$  mA into a 50  $\Omega$  load while maintaining low distortion, even when operating at supply voltages of only  $\pm 6$  V. Current limiting (not shown) ensures safe operation under short circuited conditions.

It is important to understand that the low input impedance at the inverting input is locally generated, and does not depend on feedback. This is very different from the "virtual ground" of a conventional operational amplifier used in the current summing mode which is essentially an open circuit until the loop settles. In the AD844, transient current at the input does not cause voltage spikes at the summing node while the amplifier is settling. Furthermore, all of the transient current is delivered to the slewing (TZ) node (Pin 5) via a short signal path (the grounded base stages and the wideband current mirrors):

The current available to charge the capacitance (about 4.5 pF) at TZ node, is *always proportional to the input error current*, and the slew rate limitations associated with the large signal response of op amps do not occur. For this reason, the rise and fall times are almost independent of signal level. In practice, the input current will eventually cause the mirrors to saturate. When using  $\pm 15$  V supplies, this occurs at about 10 mA (or  $\pm 2200$  V/ $\mu$ s). Since signal currents are rarely this large, classical "slew rate" limitations are absent.

This inherent advantage would be lost if the voltage follower used to buffer the output were to have slew rate limitations. The AD844 has been designed to avoid this problem, and as a result the output buffer exhibits a clean large signal transient response, free from anomalous effects arising from internal saturation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Applying the AD844

### Response as a Noninverting Amplifier

Since current feedback amplifiers are asymmetrical with regard to their two inputs, performance will differ markedly in noninverting and inverting modes. In noninverting modes, the large signal high speed behavior of the AD844 deteriorates at low gains because the biasing circuitry for the input system (not shown in Figure 28) is not designed to provide high input voltage slew rates.

However, good results can be obtained with some care. The noninverting input will not tolerate a large transient inputs it must be kept below  $\pm 1$  V for best results. Consequently this mode is better suited to high gain applications (greater than  $\times 10$ ). Figure 20 shows a noninverting amplifier with a gain of 10 and a bandwidth of 30 MHz. The transient response is shown in Figures 23 and 24. To increase the bandwidth at higher gains, a capacitor can be added across R2 whose value is approximately the ratio of R1 and R2 times Ct.

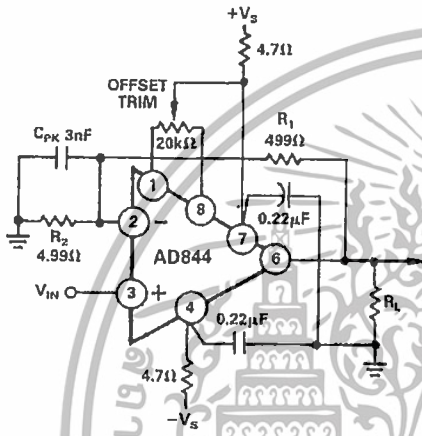


Figure 29. Noninverting Amplifier Gain = 100, Optional Offset Trim Is Shown

### Noninverting Gain of 100

The AD844 provides very clean pulse response at high noninverting gains. Figure 29 shows a typical configuration providing a gain of 100 with high input resistance. The feedback resistor is kept as low as practicable to maximize bandwidth, and a peaking capacitor (C<sub>PK</sub>) can optionally be added to further extend the bandwidth. Figure 30 shows the small signal response with C<sub>PK</sub> = 3 nF, R<sub>L</sub> = 500 Ω and supply voltages of either  $\pm 5$  V or  $\pm 15$  V. Gain bandwidth products of up to 900 MHz can be achieved in this way.

The offset voltage of the AD844 is laser trimmed to the 50  $\mu$ V level and exhibits very low drift. In practice, there is an additional offset term due to the bias current at the inverting input (I<sub>BI</sub>) which flows in the feedback resistor (R1). This can optionally be nulled by the trimming potentiometer shown in Figure 29.

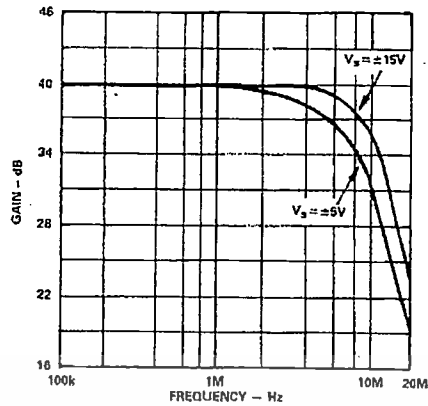


Figure 30. AC Response for Gain = 100, Configuration Shown in Figure 29

### USING THE AD844

#### Board Layout

As with all high frequency circuits considerable care must be used in the layout of the components surrounding the AD844. A ground plane, to which the power supply decoupling capacitors are connected by the shortest possible leads, is essential to achieving clean pulse response. Even a continuous ground plane will exhibit finite voltage drops between points on the plane, and this must be kept in mind in selecting the grounding points. Generally speaking, decoupling capacitors should be taken to a point close to the load (or output connector) since the load currents flow in these capacitors at high frequencies. The +In and -In circuits (for example, a termination resistor and Pin 3) must be taken to a common point on the ground plane close to the amplifier package.

Use low impedance capacitors (AVX SR305C224KAA or equivalent) of 0.22  $\mu$ F wherever ac coupling is required. Include either ferrite beads and/or a small series resistance (approximately 4.7  $\Omega$ ) in each supply line.

#### Input Impedance

At low frequencies, negative feedback keeps the resistance at the inverting input close to zero. As the frequency increases, the impedance looking into this input will increase from near zero to the open loop input resistance, due to bandwidth limitations, making the input seem inductive. If it is desired to keep the input impedance flatter, a series RC network can be inserted across the input. The resistor is chosen so that the parallel sum of it and R2 equals the desired termination resistance. The capacitance is set so that the pole determined by this RC network is about half the bandwidth of the op amp. This network is not important if the input resistor is much larger than the termination used, or if frequencies are relatively low. In some cases, the small peaking that occurs without the network can be of use in extending the -3 dB bandwidth.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# AD844

## Driving Large Capacitive Loads

Capacitive drive capability is 100 pF without an external network. With the addition of the network shown in Figure 31, the capacitive drive can be extended to over 10,000 pF, limited by internal power dissipation. With capacitive loads, the output speed becomes a function of the overdriven output current limit. Since this is roughly  $\pm 100$  mA, under these conditions, the maximum slew rate into a 1000 pF load is  $\pm 100$  V/ $\mu$ s. Figure 32 shows the transient response of an inverting amplifier ( $R_1 = R_2 = 1$  k $\Omega$ ) using the feed forward network shown in Figure 31, driving a load of 1000 pF.

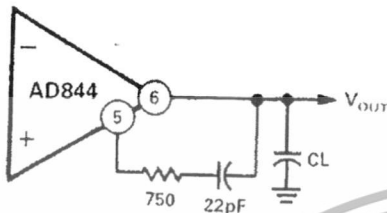


Figure 31. Feed Forward Network for Large Capacitive Loads

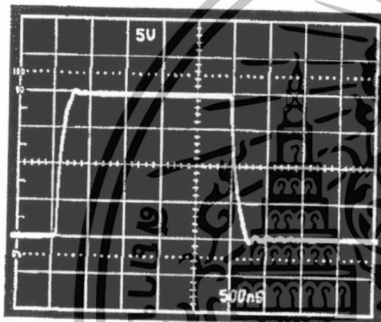
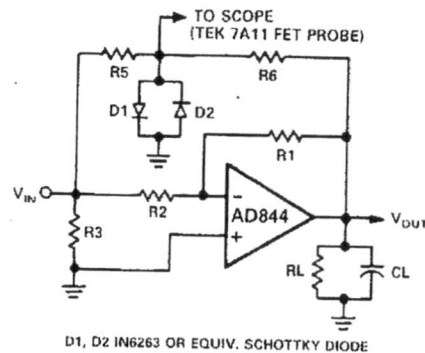


Figure 32. Driving 1000 pF  $C_L$  with Feed Forward Network of Figure 31

### Settling Time

Settling time is measured with the circuit of Figure 33. This circuit employs a false summing node, clamped by the two Schottky diodes, to create the error signal and limit the input signal to the oscilloscope. For measuring settling time, the ratio of  $R_6/R_5$  is equal to  $R_1/R_2$ . For unity gain,  $R_6 = R_5 = 1$  k $\Omega$ , and  $R_L = 500$   $\Omega$ . For the gain of  $-10$ ,  $R_5 = 50$   $\Omega$ ,  $R_6 = 500$   $\Omega$ , and  $R_L$  was not used since the summing network loads the output with approximately 275  $\Omega$ . Using this network in a unity-gain configuration, settling time is 100 ns to 0.1% for a  $-5$  V to  $+5$  V step with  $C_L = 10$  pF.



D1, D2 IN6263 OR EQUIV. SCHOTTKY DIODE

Figure 33. Settling Time Test Fixture

### DC Error Calculation

Figure 34 shows a model of the dc error and noise sources for the AD844. The inverting input bias current,  $I_{BN}$ , flows in the feedback resistor.  $I_{BP}$ , the noninverting input bias current, flows in the resistance at Pin 3 ( $R_P$ ), and the resulting voltage (plus any offset voltage) will appear at the inverting input. The total error,  $V_O$ , at the output is:

$$V_O = (I_{BP} R_P + V_{OS} + I_{BN} R_{IN}) \left( 1 + \frac{R_1}{R_2} \right) + I_{BN} R_1$$

Since  $I_{BN}$  and  $I_{BP}$  are unrelated both in sign and magnitude, inserting a resistor in series with the noninverting input will not necessarily reduce dc error and may actually increase it.

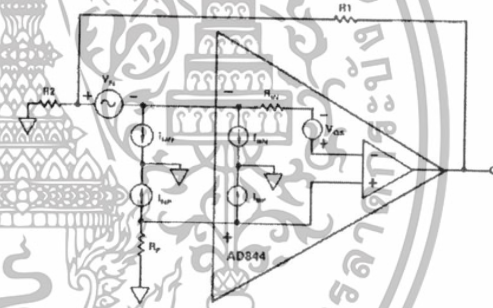


Figure 34. Offset Voltage and Noise Model for the AD844

### Noise

Noise sources can be modeled in a manner similar to the dc bias currents, but the noise sources are  $I_{nn}$ ,  $I_{np}$ ,  $V_n$ , and the amplifier induced noise at the output,  $V_{ON}$ , is:

$$V_{ON} = \sqrt{((I_{np} R_P)^2 + V_n^2) \left( 1 + \frac{R_1}{R_2} \right)^2 + (I_{nn} R_1)^2}$$

Overall noise can be reduced by keeping all resistor values to a minimum. With typical numbers,  $R_1 = R_2 = 1$  k,  $R_P = 0$ ,  $V_n = 2$  nV/ $\sqrt{\text{Hz}}$ ,  $I_{np} = 10$  pA/ $\sqrt{\text{Hz}}$ ,  $I_{nn} = 12$  pA/ $\sqrt{\text{Hz}}$ ,  $V_{ON}$  calculates to 12 nV/ $\sqrt{\text{Hz}}$ . The current noise is dominant in this case, as it will be in most low gain applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการทำงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## Applications—AD844

### Video Cable Driver Using $\pm 5$ Volt Supplies

The AD844 can be used to drive low impedance cables. Using  $\pm 5$  V supplies, a 100  $\Omega$  load can be driven to  $\pm 2.5$  V with low distortion. Figure 35a shows an illustrative application which provides a noninverting gain of 2, allowing the cable to be reverse-terminated while delivering an overall gain of +1 to the

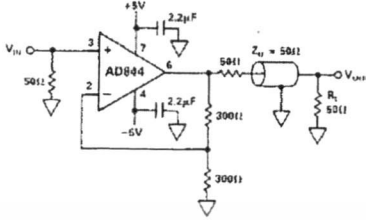


Figure 35a. The AD844 as a Cable Driver

load. The  $-3$  dB bandwidth of this circuit is typically 30 MHz. Figure 35b shows a differential gain and phase test setup. In video applications, differential-phase and differential-gain characteristics are often important. Figure 35c shows the variation in phase as the load voltage varies. Figure 35d shows the gain variation.

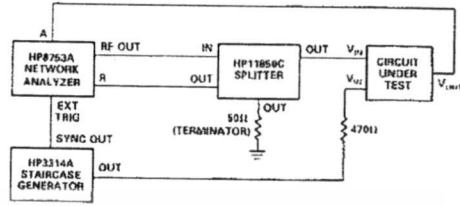


Figure 35b. Differential Gain/Phase Test Setup

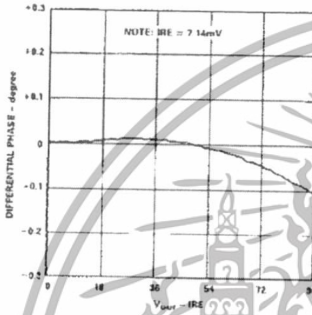


Figure 35c. Differential Phase for the Circuit of Figure 35a

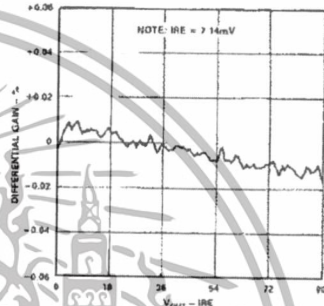


Figure 35d. Differential Gain for the Circuit of Figure 35a

### High Speed DAC Buffer

The AD844 performs very well in applications requiring current-to-voltage conversion. Figure 36 shows connections for use with the AD568 current output DAC. In this application the bipolar offset is used so that the full-scale current is  $\pm 5.12$  mA, which generates an output of  $\pm 5.12$  V using the 1 k $\Omega$  application resistor on the AD568. Figure 37 shows the full-scale transient response. Care is needed in power supply

decoupling and grounding techniques to achieve the full 12-bit accuracy and realize the fast settling capabilities of the system. The unmarked capacitors in this figure are 0.1  $\mu$ F ceramic (for example, AVX Type SR305C104KAA), and the ferrite inductors should be about 2.5  $\mu$ H (for example, Fair-Rite Type 2743002122). The AD568 data sheet should be consulted for more complete details about its use.

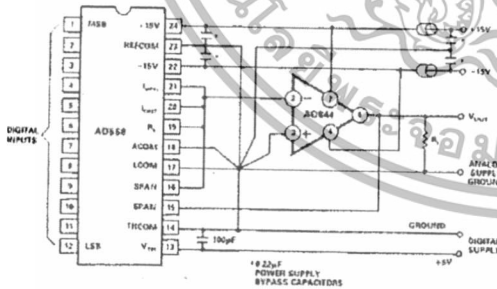


Figure 36. High Speed DAC Amplifier

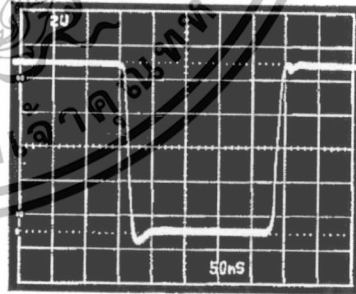


Figure 37. DAC Amplifier Full-Scale Transient Response

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# AD844

## 20 MHz Variable Gain Amplifier

The AD844 is an excellent choice as an output amplifier for the AD539 multiplier, in all of its connection modes. (See AD539 data sheet for full details.) Figure 38 shows a simple multiplier providing the output:

$$V_{out} = -\frac{V_X V_Y}{2 V}$$

where  $V_X$  is the "gain control" input, a positive voltage of from 0 V to +3.2 V (max) and  $V_Y$  is the "signal voltage", nominally  $\pm 2$  V FS but capable of operation up to  $\pm 4.2$  V. The peak output in this configuration is thus  $\pm 6.7$  V. Using all four of the internal application resistors provided on the AD539 in parallel results in a feedback resistance of 1.5 k $\Omega$ , at which value the bandwidth of the AD844 is about 22 MHz, and is essentially independent of  $V_X$ . The gain at  $V_X = 3.16$  V is +4 dB.

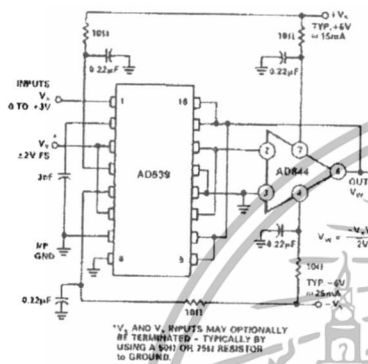


Figure 38. 20 MHz VGA Using the AD539

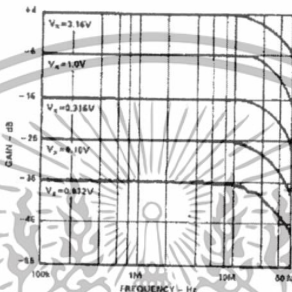


Figure 39. VGA AC Response

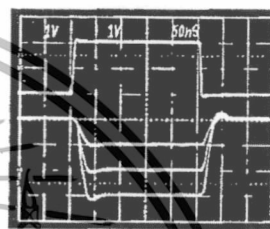
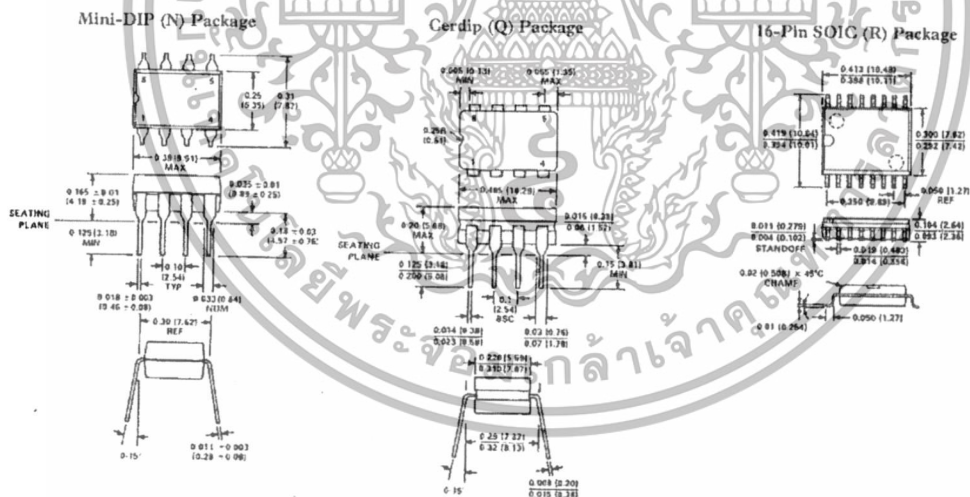


Figure 40. VGA Transient Response with  $V_X = 1$  V, 2 V, and 3 V

## OUTLINE DIMENSIONS

Dimensions shown in inches and (mm).



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ค  
พารามิเตอร์ที่ใช้ในการจำลองการทำงานของวงจรที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตาราง ค.1 พารามิเตอร์ที่ใช้ในการจำลองการทำงานของวงจรถูกนำเสนอ

ค่า PMOS	ค่า NMOS
LEVEL=7, L=0.0001, W=0.0001,	LEVEL=7, L=1.00E-04, W=1.00E-04,
VTO=-0.370804, KP=0.000517972,	VTO=0.366265, KP=5.18E-04, GAMMA=0,
GAMMA=0, LAMBDA=0, RSH=7.5,	LAMBDA=0, RSH=6.6, IS=1.00E-15,
IS=1E-15, JS=0.0001, PB=0.844426,	JS=1.00E-04, PB=0.8, PBSW=0.8,
PBSW=0.8, CJ=0.001157423,	CJ=9.90E-04, CJSW=2.39E-10,
CJSW=1.90246E-10, MJ=0.406393,	MJ=0.373689, MJSW=0.153789,
MJSW=0.355079, CGSO=6.52E-10,	CGSO=8.06E-10, CGDO=8.06E-10,
CGDO=6.52E-10, CGBO=1E-12,	CGBO=1.00E-12, TOX=4.00E-09,
TOX=0.000000004, XJ=0.0000001,	XJ=1.00E-07, UCRIT=1.00E+04,
UCRIT=10000, DELTA=0.01, DIOMOD=2,	DELTA=0.01, DIOMOD=2, K1=0.580275,
K1=0.589547, K2=0.023595, LETA=0,	K1=3.12E-03, LETA=0, WETA=0,
WETA=0, U0=103.0478, XPART=0.5,	U0=265.1889, XPART=0.5,
VTH0=-0.370804, K3=0, W0=0.000001,	VTH0=0.366265, K3=1.00E-03,
NLX=1.5172E-07, DVT0=0.788509,	W0=1.00E-07, NLX=1.77E-07,
DVT1=0.256458, UA=1.04931E-09,	DVT0=1.231242, DVT1=0.384984,
UB=2.54576E-21, UC=-1E-10,	UA=-1.51E-09, UB=2.49E-18,
VSAT=164511.4, RDSW=306.579,	UC=5.62E-11, VSAT=1.02E+05136.5583,
VOFF=-0.086701, NFACTOR=2,	VOFF=-0.094802, NFACTOR=2.186007,
PCLM=1.328107, PDIBL1=0.002394169,	PCLM=0.660212, PDIBL1=0.160533,
PDIBL2=-3.2559E-06, DROUT=0,	PDIBL2=3.29E-03, DROUT=0.791781,
PSCBE1=48819330000, PSCBE2=5E-10,	PSCBE1=6.42E+09, PSCBE2=4.12E-09,
A0=1.627879, A1=0.444901, A2=0.3,	A0=2, A1=1.16E-03, A2=1,
NPEAK=4.1589E+17, LDD=0,	NPEAK=2.35E+17, LDD=0, LITL=3.46E-08,
LITL=3.4641E-08, UC1=-5.6E-11,	UC1=-5.60E-11, PVAG=0.034717,
PVAG=2.093262, KETA=0.029616,	KETA=-0.012771, ETA0=3.34E-03,
ETA0=0.001018318, ETAB=-0.00032063,	ETAB=6.03E-05, K3B=3.388687,
K3B=13.8642, DVT2=0.1,	DVT2=0.016135, DSUB=0.021478,
DSUB=0.001094521, AGS=0.32955,	AGS=0.454312, DVT1W=0, DVT2W=0,
DVT1W=0, DVT2W=0, PRWG=0.5,	PRWG=0.5, PRWB=-0.2, PDIBLCB=-0.1,
PRWB=0.5, PDIBLCB=-0.001,	DWG=-4.2116E-09, DWB=1.10772E-08,
DWG=-2.4339E-08, DWB=-9.3465E-11,	B0=3.43349E-07, B1=0.000005,
B0=5.2077E-07, B1=1.37087E-06,	LINT=1.70242E-08, DLC=1.70242E-08,
LINT=2.76103E-08, DLC=2.76103E-08,	DWC=0, CF=0, NOIA=1E+20,
DWC=0, CF=0, NOIA=9.90E+18,	NOIB=50000, NOIC=-1.4E-12,

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ตาราง ค.1 (ต่อ)

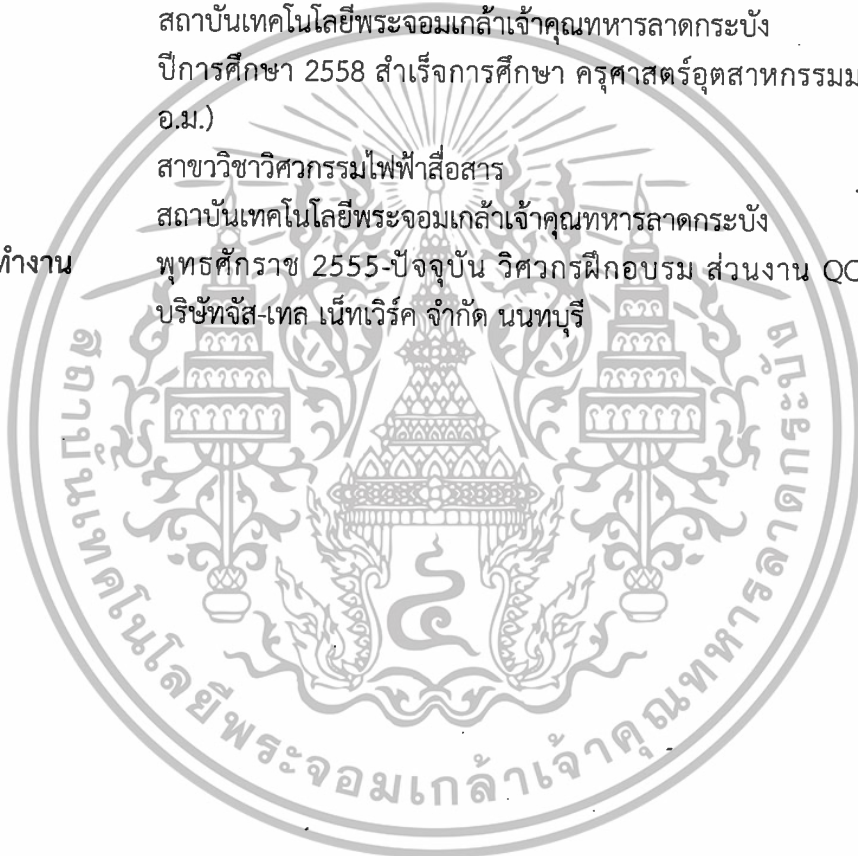
ค่า PMOS	ค่า NMOS
PKETA=-6.74E-03, PVTH0=1.44E-03, PUA=-4.35E-11, PUB=1.00E-21, PU0=-0.976962, PRDSW=0.507341, PETA0=1.00E-04, PK2=2.19E-03, VTM=0.025864, PBSWG=0.8, MJSWG=0.355079 และ CJSWG=4.22E-10	WKETA=0.001601517, PVSAT=1686.297, PKETA=-0.00203953, PVTH0=-0.00173163, PUA=1.58432E-12, PUB=7.44614E-25, PU0=5.202447, PRDSW=-1.417355, PETA0=0.000100159, PK2=0.001600729, VTM=0.025864, PBSWG=0.8, MJSWG=0.153789 และ CJSWG=3.3E-10



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ประวัติผู้เขียน

ชื่อ-สกุล	นางสาวเกษิณี สามารถ
วัน-เดือน-ปีเกิด	8 พฤศจิกายน 2532
สถานที่เกิด	จังหวัด นครศรีธรรมราช
ที่อยู่ปัจจุบัน	26/1 หมู่ 9 ตำบลท่าซิ่น อำเภอท่าศาลา จังหวัดนครศรีธรรมราช 80160
ประวัติการศึกษา	ปีการศึกษา 2550 สำเร็จการศึกษาระดับมัธยมศึกษาตอนปลาย โรงเรียนท่าศาลาประสิทธิ์ศึกษา จังหวัดนครศรีธรรมราช ปีการศึกษา 2555 สำเร็จการศึกษา ครุศาสตร์อุตสาหกรรมบัณฑิต(ค.อ.บ.) สาขาวิชาครุศาสตร์วิศวกรรม วิศวกรรมโทรคมนาคม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปีการศึกษา 2558 สำเร็จการศึกษา ครุศาสตร์อุตสาหกรรมมหาบัณฑิต(ค.อ.ม.) สาขาวิชาวิศวกรรมไฟฟ้าสื่อสาร สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ประวัติการทำงาน	พุทธศักราช 2555-ปัจจุบัน วิศวกรฝึกอบรม ส่วนงาน QC&Training บริษัทจัส-เทล เน็ทเวิร์ค จำกัด นนทบุรี



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้