

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรรานสลิเนียร์ผสมที่มีช่วงการทำงานที่
เป็นเชิงเส้นกว้าง และการประยุกต์ใช้งาน

A WIDE LINEAR RANGE MIXED TRANSLINEAR CELL
AND ITS APPLICATIONS



นฤมล เมฆ
NARUEMOL MERZ

รพ.
ร. 276
2057

เลขหมู่.....
เลขทะเบียน..... **139546**
วัน,เดือน,ปี..... **110 7 10 2558**

๑. 1222339

.b.....
.i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2557
KMITL-2014-EN-D-018-160

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**A WIDE LINEAR RANGE MIXED TRANSLINEAR CELL
AND ITS APPLICATIONS**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2014
KMITL-2014-EN-D-018-160**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2014

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ วงจรทรานสลิเนียร์ผสมที่มีช่วงการทำงานที่เป็นเชิงเส้นกว้าง และการประยุกต์ใช้งาน
Thesis Title A Wide Linear Range Mixed Translinear Cell and its Applications
นักศึกษา นางนฤมล เมฆ
รหัสประจำตัว 49060019
ปริญญา วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.จรียา วงศ์เตชธรรม
อาจารย์ที่ปรึกษาวิทยานิพนธ์ (ร่วม) ศ.ดร.วิวัฒน์ กิรานนท์
หมายเลขวิทยานิพนธ์ KMITL-2014-EN-D-018-160

| คณะกรรมการสอบวิทยานิพนธ์ | | ลายมือชื่อ |
|--------------------------|-------------|-------------------|
| รศ.ดร.ปราโมทย์ | วาดเขียน | พทีมภพ |
| รศ.ดร.จิรสุดา | โกษิยาภรณ์ | Thonuyapone |
| รศ.ดร.อธิคม | ฤกษ์บุตร | |
| รศ.ดร.ไกรสิน | สงวัฒนา | ทศพร |
| รศ.ดร.จรียา | วงศ์เตชธรรม | จรียา วงศ์เตชธรรม |

วัน / เดือน / ปี ที่สอบ วันพฤหัสบดีที่ 22 พฤษภาคม พ.ศ. 2557 เวลา 12.00-14.00 น.
สถานที่สอบ ณ อาคาร A ชั้น 3 ห้องประชุม 5

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(ศาสตราจารย์ ดร.สุชชีวีร์ สุวรรณสวัสดิ์)

คณบดี คณะวิศวกรรมศาสตร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
วันที่ 22 พฤษภาคม พ.ศ. 2557
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

| | |
|---------------------------------|---|
| หัวข้อวิทยานิพนธ์ | วงจรถานสลิเนียร์ผสมที่มีช่วงการทำงานที่เป็นเชิงเส้นกว้าง และการประยุกต์ใช้งาน |
| นักศึกษา | นางนฤมล เมช |
| รหัสประจำตัว | 49060019 |
| ปริญญา | วิศวกรรมศาสตรดุษฎีบัณฑิต |
| สาขาวิชา | วิศวกรรมไฟฟ้า |
| พ.ศ. | 2557 |
| อาจารย์ที่ปรึกษาวิทยานิพนธ์ | รศ.ดร.จรรยา วงศ์เดชธรรม |
| อาจารย์ที่ปรึกษาวิทยานิพนธ์ร่วม | ศ.ดร.วิวัฒน์ กิรานนท์ |

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวิธีการขยายย่านการทำงานที่เป็นเชิงเส้นให้กับวงจรถานสลิเนียร์ผสม [1] ด้วยเทคนิคการจับโอสแบบใหม่ เพื่อทำให้ทรานซิสเตอร์ภายในลูบมีช่วงการนำกระแสที่กว้างขึ้นเมื่อเปรียบเทียบกับวงจรถานสลิเนียร์เดิม [1] โดยการเพิ่มวงจรถานคอมมอนเอาโนดเข้าไปในลูบทรานซิสเตอร์ ส่งผลให้ทรานซิสเตอร์ในลูบมีช่วงการนำกระแสที่กว้างขึ้น สำหรับเทคนิคที่นำเสนอนี้จะมีข้อดีคือ วงจรมีโครงสร้างที่เรียบง่าย เนื่องจากเพิ่มทรานซิสเตอร์เพียงสี่ตัวเท่านั้น จึงเหมาะสำหรับการนำไปสร้างในวงจรรวม นอกจากนี้ค่าความผิดเพี้ยนของสัญญาณกระแสเอาต์พุตที่เกิดจากค่าความถี่ฮาร์โมนิกที่สามสามารถปรับให้ลดลงได้ ด้วยวิธีการจัดอัตราส่วนของกระแสโอสในวงจรถานสลิเนียร์ที่เหมาะสมกับค่าอัตราขยายกระแสของทรานซิสเตอร์ที่นำมาประกอบในวงจรถานสลิเนียร์นั้น ได้นำเอาวงจรถานสลิเนียร์ที่นำเสนอไปประกอบเป็นวงจรถานความต้านทาน และนำไปสร้างเป็นวงจรถานขยายกระแสรุ่นที่สอง เพื่อประกอบเป็นวงจรถานขยายเครื่องมือวัด ผลที่ได้จากการเลียนแบบการทำงานด้วยโปรแกรมคอมพิวเตอร์ แสดงให้เห็นว่าช่วงการทำงานที่เป็นเชิงเส้นของวงจรถานสลิเนียร์ที่นำเสนอเพิ่มขึ้นจากวงจรถานเดิมก่อนหน้ามากกว่าสองเท่า โดยที่กำลังงานสูญเสียในวงจรถานสลิเนียร์เพิ่มขึ้นจากวงจรถานเดิมเพียงเล็กน้อย และเมื่อนำไปประยุกต์สร้างเป็นวงจรถานความต้านทาน และวงจรถานขยายเครื่องมือวัด มีผลทำให้ช่วงการทำงานที่เป็นเชิงเส้นของวงจรถานทั้งสองกว้างขึ้นจากเดิมอย่างเห็นได้ชัด เมื่อเปรียบเทียบกับการใช้วงจรถานสลิเนียร์ผสม [1] เดิมก่อนหน้ามาประกอบในวงจรถาน

นอกจากนี้ในวิทยานิพนธ์นี้ยังได้นำเสนอวงจรถานคู่สัญญาณสี่ควอดแดรนต์อีกสองวงจรถาน ซึ่งเป็นวงจรถานที่ประกอบขึ้นจากมอสเฟตทรานซิสเตอร์ โดยมีข้อดีคือเป็นวงจรถานที่ใช้แหล่งจ่ายไฟเลี้ยงวงจรถานต่ำ และมีกำลังงานสูญเสียในวงจรถานน้อย ซึ่งผลที่ได้จากการจำลองการทำงานพบว่าวงจรถานทั้งสองมีช่วงการทำงานที่เป็นเชิงเส้นประมาณ $\pm 0.4V$ และมีกำลังงานสูญเสียในระดับต่ำ ทำให้เหมาะสำหรับการนำไปประยุกต์ใช้ในวงจรถานที่ต้องการไฟเลี้ยงต่ำ และมีกำลังงานสูญเสียในวงจรถานน้อย

| | |
|--------------------------|--|
| Thesis | A Wide Linear Range Mixed Translinear Cell and Its Applications |
| Student | Ms. Naruemol Merz |
| Student ID. | 49060019 |
| Degree | Doctor of Engineering |
| Program | Electrical Engineering |
| Year | 2014 |
| Thesis Advisor | Assoc.Prof.Dr. Chariya Wongtachathum |
| Thesis Co-Advisor | Prof. Dr. Wiwat Kiranon |

ABSTRACT

In this thesis, an approach to extend the linear operation range of a sinh mixed translinear cell [1] is presented. It consists of common-anode-connected pairs inserted into the mixed translinear cell so as to provide a biasing current for the transistors in the loop. In the proposed circuit, there is only slight increases of the chip area and power consumption at the expense of four additional transistors. Owing to the simple structure with only active components, the proposed circuits are attractive for IC production.

Strategies to reduce the nonlinearity which results from the third-order harmonics are shown by adjustments of the ratio of bias current. Simulation results confirm that the linearity of the proposed translinear cell is improved compared to the previous cell [1]. The simulation results show that the linear input range is increased more than twice as many as that of the previous cell with a slight increase of the power consumption. Finally, the proposed cell is applied to the construction of a floating resistor and a CCCII in the design of an instrumentation amplifier. It is noted that, the linear input voltage range is also increasingly improved in both applications.

Additionally, two circuits of low voltage four-quadrant analog multipliers are also presented. The proposed circuits are composed of MOSFETs with the advantages of being compact and operating under low voltage supplies. Simulation results show that the linear range of both multiplier circuits is approximately $\pm 0.4V$ and the circuits consume low power. Thus the circuits are suitable for low voltage, low power applications.

กิตติกรรมประกาศ

ผู้เขียนขอกราบขอบพระคุณ ศาสตราจารย์ ดร. วิวัฒน์ กิรานนท์ ผู้ซึ่งเป็นอาจารย์ที่ปรึกษา โดยท่านได้ให้ความเมตตากรุณา อบรมสั่งสอน และประสิทธิ์ประสาทความรู้ทางวิชาการ และทาง ศิลธรรม ให้แก่ผู้เขียนมาตั้งแต่เมื่อครั้งที่ยังเป็นนักศึกษาในระดับปริญญาโท ต่อเนื่องจนถึงปริญญา เอก นับได้ว่าเป็นความโชคดีของผู้เขียนที่ได้มีโอกาสมาเป็นลูกศิษย์อาจารย์ จึงได้รับทั้งความรู้ทาง วิชาการ และความรู้ทางศีลธรรม ซึ่งสามารถนำไปเป็นหลักเพื่อการดำเนินชีวิตในแนวทางที่ดี

ผู้เขียนขอขอบพระคุณ รศ. ดร. จรียา วงศ์เดชธรรม ผู้ที่ให้ความเมตตาเป็นอาจารย์ที่ปรึกษาต่อ จาก ศ. ดร. วิวัฒน์ กิรานนท์ รวมทั้ง รศ. ดร. ปราโมทย์ วาดเขียน และ รศ. ดร. วิภา แสงพิสิทธิ์ โดย อาจารย์ทุกท่านได้คอยให้คำปรึกษา กำลังใจ และความช่วยเหลือในด้านต่างๆ ตลอดเวลาที่ผู้เขียนได้ ศึกษาอยู่ รวมทั้งผู้เขียนต้องขอขอบพระคุณมากเป็นพิเศษกับ ผศ. วิภาวัลย์ นาคทรัพย์ อาจารย์ ประจำภาควิชาวิศวกรรมไฟฟ้า มหาวิทยาลัยเทคโนโลยีสยาม และ ผศ. ดร. ประจวบ ปวรังกูร อาจารย์ประจำภาควิชาวิศวกรรมอิเล็กทรอนิกส์ มหาวิทยาลัยเทคโนโลยีมหานคร โดยที่ทั้งสองได้ให้ ความช่วยเหลือในทุกๆ เรื่อง ในขณะที่ผู้เขียนได้อาศัยอยู่ต่างประเทศ ซึ่งเป็นส่วนหนึ่งที่ทำให้ผู้เขียน สามารถทำให้วิทยานิพนธ์นี้สำเร็จลุล่วงไปได้ด้วยดี รวมทั้งขอขอบคุณ คุณวิจิตรา เพ็ชรกิจ คุณวินัย ศิลารวม คุณวรรณญา งามขำ คุณอนุรี หล่อสวัสดิ์ศิริ คุณแสงระวี บัวแก้ว และ คุณจกฤตฤกษ์ อาทิตยตั้ง ผู้ซึ่งเป็นพี่ เพื่อน และน้อง ในห้องวิจัยที่ได้ให้กำลังใจ และความช่วยเหลือต่างๆ โดยตลอด มา

ผู้เขียนขอขอบคุณ คณะวิศวกรรมศาสตร์มหาวิทยาลัยเทคโนโลยีมหานคร ที่ได้ให้ทุน สนับสนุนการศึกษาบางส่วน รวมทั้งเพื่อนร่วมงานทุกท่านที่ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ โดยเฉพาะ ดร. ชูธรรม สาวิกันย์ ผู้ที่สนับสนุนให้ผู้เขียนทำงานวิจัยอย่างต่อเนื่อง จนกระทั่งได้ศึกษา ต่อในระดับปริญญาเอก รวมถึงการแนะนำแนวทางในการแก้ไขปัญหาต่างๆ รวมทั้งขอขอบคุณ ดร. พิชาภักดิ์ บวรรัตนเศรษฐ์ (สิริพร จิวริยเวชช์) สำหรับความช่วยเหลือเรื่องการวิเคราะห์สมการ

ผู้เขียนขอขอบพระคุณเป็นอย่างยิ่ง ดร. โรมัน เมฆ ผู้ที่คอยให้กำลังใจ แนะนำแนวทางการ แก้ปัญหาต่างๆ ตั้งแต่การทาบทความ และวิทยานิพนธ์นี้ ตลอดถึงความช่วยเหลืออื่นๆ อย่างมากมาย เพื่อให้ผู้เขียนได้ทำวิทยานิพนธ์นี้สำเร็จ รวมทั้งนางมารลิส และนายโฮชน เมฆ ที่ช่วยเหลือย ดุ ดช. มอริส ปัญญา เมฆ เป็นอย่างดี ซึ่งทำให้ผู้เขียนมีเวลาในการทำวิทยานิพนธ์นี้ ตลอดจนคอยให้ กำลังใจเพื่อให้ผู้เขียนประสบความสำเร็จในการศึกษานี้

สุดท้ายนี้ขอกราบขอบพระคุณบิดา มารดา และน้องๆ ที่รักทุกคน ที่ได้ให้การสนับสนุนแก่ ผู้เขียนในทุกๆ ด้าน ซึ่งเป็นสิ่งสำคัญที่ทำให้ผู้เขียนประสบความสำเร็จในการศึกษานี้

คุณประโยชน์อันใดที่เกิดจากวิทยานิพนธ์นี้ ผู้เขียนขอมอบให้กับบิดา มารดา ตลอดจนครู อาจารย์ของผู้เขียนทุกท่าน

นฤมล เมฆ

สารบัญ

| | หน้า |
|--|------|
| บทคัดย่อภาษาไทย..... | I |
| บทคัดย่อภาษาอังกฤษ..... | II |
| กิตติกรรมประกาศ..... | III |
| สารบัญ | IV |
| สารบัญรูป..... | VII |
| | |
| บทที่ 1 บทนำ..... | 1 |
| 1.1 ความเป็นมา และความสำคัญของปัญหา..... | 1 |
| 1.2 ความมุ่งหมาย และวัตถุประสงค์ของการศึกษา | 2 |
| 1.3 สมมติฐานของการศึกษา..... | 3 |
| 1.4 ขอบเขตของการวิจัย..... | 3 |
| 1.5 โครงประกอบของวิทยานิพนธ์ | 4 |
| | |
| บทที่ 2 วงจรทรานสลิเนียร์ | 5 |
| 2.1 ความเป็นมา และหลักการของวงจรทรานสลิเนียร์ | 5 |
| 2.2 วงจรทรานสลิเนียร์ผสมที่นำเสนอโดย Fabre A. [1]..... | 9 |
| 2.2.1 ความสัมพันธ์ระหว่างแรงดันที่ขั้ว Y และขั้ว X..... | 11 |
| 2.2.2 ความต้านทานอินพุตที่ขั้ว Y | 12 |
| 2.2.3 ค่ากระแสเอาต์พุต I_X | 13 |
| 2.2.4 ค่าความต้านทานอินพุตที่ขั้ว X | 19 |
| 2.3 สรุป..... | 20 |
| | |
| บทที่ 3 วงจรทรานสลิเนียร์ผสมที่มีช่วงการทำงานเชิงเส้นกว้าง..... | 21 |
| 3.1 บทนำ..... | 21 |
| 3.2 หลักการขยายช่วงการทำงานที่เป็นเชิงเส้นของวงจรทรานสลิเนียร์ผสมที่นำเสนอ | 22 |
| 3.3 วงจรรูปทรานสลิเนียร์ผสมที่มีช่วงการทำงานที่เป็นเชิงเส้นกว้าง | 25 |
| 3.3.1 การวิเคราะห์กระแสเอาต์พุต I_{xN} | 27 |
| 3.3.2 ความสัมพันธ์ระหว่างแรงดันที่ขั้ว Y_N และขั้ว X_N | 35 |

สารบัญ (ต่อ)

| | หน้า |
|--|-----------|
| 3.4 การวิเคราะห์ค่าพารามิเตอร์ K_1 และ K_2 เพื่อลดความเพี้ยนของสัญญาณเอาต์พุต..... | 37 |
| 3.5 การวิเคราะห์ช่วงการทำงานที่เป็นเชิงเส้นของวงจรที่นำเสนอ | 38 |
| 3.6 ค่าความต้านทานแฝงที่ขั้ว X_N | 42 |
| 3.7 การจำลองการทำงานของวงจรที่นำเสนอ | 42 |
| 3.8 สรุปผลการจำลองการทำงานของวงจรรูปทรานสลิเนียร์ผสมที่นำเสนอ | 52 |
| 3.9 สรุป | 53 |
| บทที่ 4 การประยุกต์ใช้งานวงจรรานสลิเนียร์ผสม..... | 54 |
| 4.1 บทนำ | 54 |
| 4.2 วงจรความต้านทาน..... | 55 |
| 4.2.1 การจำลองการทำงานของวงจรความต้านทาน..... | 58 |
| 4.3 วงจรสายพานกระแสที่สองที่ควบคุมด้วยกระแส (CCCII)..... | 63 |
| 4.4 วงจรขยายเครื่องมือวัด..... | 65 |
| 4.4.1 การจำลองการทำงานของวงจรมือวัด..... | 68 |
| 4.5 สรุป | 74 |
| บทที่ 5 วงจรคุณสมบัติสัญญาณ..... | 75 |
| 5.1 บทนำ | 75 |
| 5.2 วงจรคุณสมบัติสัญญาณที่ใช้ไฟเลี้ยงต่ำ | 76 |
| 5.3 การจำลองการทำงานของวงจรมือวัดสัญญาณที่ใช้ไฟเลี้ยงต่ำ | 79 |
| 5.4 วงจรคุณสมบัติสัญญาณขนาดเล็ก..... | 81 |
| 5.5 การจำลองการทำงานของวงจรมือวัดสัญญาณขนาดเล็ก..... | 85 |
| 5.5 สรุป | 87 |
| บทที่ 6 บทสรุป | 88 |
| 6.1 สรุป | 88 |
| 6.2 ปัญหาและแนวทางแก้ปัญหา | 90 |

สารบัญ (ต่อ)

| | หน้า |
|--|------|
| เอกสารอ้างอิง | 92 |
| ภาคผนวก ก การประมาณฟังก์ชันเอกโพเนนเชียลให้เป็นฟังก์ชันเชิงเส้น..... | 97 |
| ภาคผนวก ข ขนาดของฮาร์โมนิกส์ที่สาม และฮาร์โมนิกส์ที่ห้าที่ส่งผลต่อสัญญาณเอาต์พุต | 99 |
| ภาคผนวก ค สมการกระแสเอาต์พุตของวงจรถานสลีเนียร์ที่นำเสนอ..... | 102 |
| ภาคผนวก ง การจำลองการทำงานเพื่อหาค่าอัตราขยายกระแส(β) ของทรานซิสเตอร์..... | 106 |
| ภาคผนวก จ ผลงานที่ได้รับการตีพิมพ์ระหว่างการศึกษา | 108 |
| ประวัติผู้เขียน | 130 |



สารบัญรูป

| รูปที่ | หน้า |
|--|------|
| 2.1 หลักการของวงจรรูปทรานสลิเนียร์ | 7 |
| 2.2 วงจรทรานสลิเนียร์ผสมที่นำเสนอโดย A. Fabre [1]..... | 10 |
| 2.3 วงจรประกอบการวิเคราะห์คุณสมบัติของวงจรทรานสลิเนียร์ผสม..... | 11 |
| 2.4 กราฟเปรียบเทียบระหว่างกระแส I_x และ I_{x_L} | 17 |
| 2.5 เปอร์เซนต์ความผิดพลาดในการประมาณกระแส I_x ด้วยกระแส I_{x_L} | 18 |
| 3.1 วงจรทรานสลิเนียร์ผสม [1] | 23 |
| 3.2 กราฟคุณสมบัติการส่งผ่านกระแสเมื่อแรงดันอินพุตเปลี่ยนแปลงของ Q_2 และ Q_4 | 24 |
| 3.3 วงจรทรานสลิเนียร์ผสมที่มีช่วงการทำงานที่เป็นเชิงเส้นกว้าง | 25 |
| 3.4 ความสัมพันธ์ระหว่างแรงดัน V_{yxN} และกระแส I_{xN} เมื่อแยกพล็อตทั้ง 3 เทอม..... | 35 |
| 3.5 กราฟความสัมพันธ์ระหว่างแรงดัน และกระแสของวงจรที่นำเสนอ กับวงจรเดิม [1]เปรียบเทียบ กับกระแสเชิงเส้นทางทฤษฎี เมื่อพล็อตด้วยโปรแกรมทางคณิตศาสตร์ | 40 |
| 3.6 กราฟเปรียบเทียบค่าความผิดพลาดในการประมาณฟังก์ชัน sinh ให้เป็นฟังก์ชันเชิงเส้นระหว่าง วงจรที่นำเสนอ กับวงจรเดิม [1]..... | 41 |
| 3.7 วงจรจำลองการทำงานของวงจรทรานสลิเนียร์ผสม [1] | 43 |
| 3.8 วงจรจำลองการทำงานของวงจรทรานสลิเนียร์ผสมที่นำเสนอ..... | 43 |
| 3.9 กราฟคุณสมบัติการส่งผ่านกระแสเมื่อแรงดันอินพุตเปลี่ยนแปลงของ Q_4 และ Q_8 | 44 |
| 3.10 กราฟความสัมพันธ์ระหว่างกระแส I_x และแรงดัน V_{yx} ของวงจรที่นำเสนอ และวงจรเดิม [1] เปรียบเทียบกับค่าทางทฤษฎี | 46 |
| 3.11 ค่า G_M ของวงจรที่นำเสนอเปรียบเทียบ กับวงจรเดิม [1] | 48 |
| 3.12 ค่า THD ของวงจรทรานสลิเนียร์ที่นำเสนอ กับวงจรเดิม [1] เมื่อให้สัญญาณอินพุตไซน์ที่ความถี่ 100 kHz โดยมีแอมพลิจูดขนาดต่าง ๆ..... | 49 |
| 3.13 ผลตอบสนองทางเวลาของวงจรทรานสลิเนียร์ที่นำเสนอ กับวงจรเดิม [1] | 50 |
| 3.14 ผลตอบสนองทางความถี่ของวงจรทรานสลิเนียร์ที่นำเสนอ กับวงจรเดิม [1]..... | 51 |
| 4.1 วงจรความต้านทานแบบลอยตัวที่นำเสนอในบทความ [12]..... | 55 |
| 4.2 ความต้านทานแบบลอยตัวที่นำเสนอเพื่อขยายช่วงการทำงานที่เป็นเชิงเส้น..... | 57 |
| 4.3 เปรียบเทียบกราฟ V-I characteristic และค่าความต้านทานของวงจรความต้านทาน | 60 |
| 4.4 เปรียบเทียบผลตอบสนองทางเวลาของวงจรความต้านทานทั้งสอง..... | 61 |

สารบัญรูป (ต่อ)

| รูปที่ | หน้า |
|---|------|
| 4.5 เปรียบเทียบผลตอบสนองทางความถี่ของวงจรรวมต้านทาน..... | 62 |
| 4.6 สัญลักษณ์ และวงจรถูก CCCII [4] | 64 |
| 4.7 วงจรถูก CCCII เมื่อใช้วงจรถูกทรานสลิเนียร์ผสมที่นำเสนอเป็นภาคอินพุต | 65 |
| 4.8 สัญลักษณ์วงจรถูกขยายเครื่องมือวัดที่นำเสนอในบทความที่ [33]..... | 66 |
| 4.9 วงจรถูกขยายเครื่องมือวัดเมื่อออกแบบด้วยวงจรถูก CCCII [4]..... | 68 |
| 4.10 วงจรถูกขยายเครื่องมือวัดเมื่อออกแบบด้วยวงจรถูก CCCII ที่นำเสนอ | 68 |
| 4.11 เปรียบเทียบแรงดันเอาต์พุต V_{out} ของวงจรถูกขยายเครื่องมือวัดทั้งสอง | 70 |
| 4.12 เปรียบเทียบผลตอบสนองทางเวลาของวงจรถูกขยายเครื่องมือวัดทั้งสอง | 71 |
| 4.13 ผลตอบสนองทางความถี่ของวงจรถูกขยายเครื่องมือวัดทั้งสอง | 72 |
| 4.14 แรงดันเอาต์พุต v_{out} ของวงจรถูกขยายเครื่องมือวัดทั้งสอง เมื่อปรับอัตราขยายของวงจรถูกโดยการปรับค่ากระแสไบอัส..... | 73 |
| 5.1 วงจรถูกของทรานซิสเตอร์ชนิดพีเอ็มอส..... | 76 |
| 5.2 วงจรถูก Flipped Voltage Follower (FVF)..... | 77 |
| 5.3 วงจรถูกคุณสมบัติการส่งผ่านของวงจรถูกคุณสมบัติการใช้แหล่งจ่ายไฟเลี้ยงต่ำ | 78 |
| 5.4 กราฟคุณสมบัติการส่งผ่านของวงจรถูกคุณสมบัติการใช้แหล่งจ่ายไฟเลี้ยงต่ำ | 79 |
| 5.5 กราฟผลตอบสนองทางความถี่ของวงจรถูกคุณสมบัติการใช้แหล่งจ่ายไฟเลี้ยงต่ำ | 80 |
| 5.6 ผลตอบสนองทางเวลาของวงจรถูกคุณสมบัติการใช้แหล่งจ่ายไฟเลี้ยงต่ำ | 80 |
| 5.7 หลักการออกแบบวงจรถูกคุณสมบัติขนาดเล็ก..... | 81 |
| 5.8 วงจรถูกทรานซิสเตอร์สอง..... | 83 |
| 5.9 วงจรถูกคุณสมบัติขนาดเล็ก | 84 |
| 5.10 กราฟคุณสมบัติการส่งผ่านของวงจรถูกคุณสมบัติเล็ก..... | 86 |
| 5.11 ผลตอบสนองทางเวลาของวงจรถูกคุณสมบัติเล็ก | 86 |
| 5.12 ผลตอบสนองทางความถี่ของวงจรถูกคุณสมบัติเล็ก..... | 87 |

บทที่ 1

บทนำ

1.1 ความเป็นมา และความสำคัญของปัญหา

ตั้งแต่ที่ได้มีการนำเสนอวงจรรูปทรานสลิเนียร์ผสมโดย A. Fabre ในปี ค.ศ. 1983 [1] ซึ่งต่อมาเขาได้นำเสนอการประยุกต์ใช้งานโดยการสร้างเป็นวงจรตามแรงดันสำหรับวงจรสายพานกระแส (Current Conveyor) [2-4] รวมทั้งการนำมาประยุกต์ใช้เป็นอุปกรณ์แอกทีฟ เพื่อออกแบบเป็นวงจรต่างๆ ในบทความที่ [5] ก็ทำให้วงจรรูปทรานสลิเนียร์ผสม และวงจรสายพานกระแสแบบทรานสลิเนียร์ (Translinear conveyor) ได้รับความสนใจในการนำไปใช้ประกอบเป็นวงจรต่าง ๆ ในงานวิจัยที่ผ่านมาเป็นจำนวนมาก [6-15] ซึ่งเป็นผลมาจากการที่เมื่อออกแบบโดยใช้วงจรรูปทรานสลิเนียร์ผสม หรือวงจรสายพานกระแสแบบทรานสลิเนียร์ จะส่งผลทำให้วงจรทำงานได้ที่มีความถี่สูงขึ้น และพลังงานสูญเสีย (Power dissipation) ในวงจรลดลง เมื่อเปรียบเทียบกับกรนำออปแอมป์ (Op-Amp) มาประกอบในวงจร [4] นอกจากนี้วงจรรูปทรานสลิเนียร์ผสมยังมีความต้านทานแฝงที่สามารถปรับค่าได้ด้วยการปรับกระแสไบอัสของวงจร ซึ่งเมื่อนำมาประกอบเป็นวงจรสายพานกระแสรุ่นที่สองที่ควบคุมได้ด้วยกระแส (Second-generation current controlled conveyor: CCCII) [4] จะทำให้การแปลงสัญญาณแรงดันให้เป็นสัญญาณกระแส (Voltage-to-Current converter) สามารถทำได้โดยง่าย นอกจากนี้ยังมีข้อดีคือค่าทรานสคอนดักแตนซ์ (Transconductance: G_m) สามารถปรับค่าได้ด้วยการปรับกระแสไบอัสของวงจร ซึ่งเมื่อนำไปประยุกต์ใช้ในวงจรต่างๆ จะทำให้วงจรเหล่านั้นมีคุณสมบัติข้อหนึ่งที่ดี คือค่าพารามิเตอร์ของวงจรสามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ส่งผลทำให้สะดวกต่อการนำไปใช้งาน

เนื่องจากการใช้วงจร CCCII ให้ทำหน้าที่เป็นวงจรทรานสคอนดักเตอร์นั้นทำได้โดยง่าย และยังสามารถนำไปประยุกต์ใช้ในการออกแบบวงจรเพื่อให้ทำงานในโหมดกระแส หรือแรงดัน (current/voltage mode) จึงทำให้วงจรนี้ได้รับความนิยมเป็นอย่างมาก ในการนำไปประกอบเป็นวงจรต่างๆ โดยเฉพาะวงจรกรองสัญญาณ (Filter) และวงจรออสซิลเลเตอร์ (Oscillator) [16-20] ซึ่งมีผลทำให้การออกแบบวงจรทำได้ง่ายขึ้น ส่วนมากจะได้วงจรที่ประกอบไปด้วยวงจร CCCII และตัวเก็บประจุเท่านั้น โดยไม่จำเป็นต้องใช้ตัวต้านทานเลย เนื่องจากได้อาศัยประโยชน์จากความต้านทานแฝงของวงจรรูปทรานสลิเนียร์ผสมที่ประกอบเป็นวงจร CCCII มาใช้งานเป็นตัวต้านทาน ส่งผลให้วงจรมีโครงสร้างที่เรียบง่าย และยังคงพบได้มากในการนำไปออกแบบวงจรจำลองการทำงานของอุปกรณ์พาสซีฟ เช่นตัวต้านทาน ตัวเหนี่ยวนำ และวงจรกลับค่าอิมพีแดนซ์ (Impedance converter) [21-26] ซึ่งจะได้อุปกรณ์ที่มีคุณสมบัติเด่นคือสามารถปรับค่าอิมพีแดนซ์ได้ด้วยวิธีการทางอิเล็กทรอนิกส์ ทำให้สะดวกในการนำไปประยุกต์ใช้งานมากยิ่งขึ้น นอกจากนี้ยังมีการนำไปประยุกต์สร้างเป็นวงจร

คุณสัญญาณ [27] ซึ่งเป็นวงจรหนึ่งที่มีความสำคัญในการประมวลสัญญาณ โดยวงจรคุณสัญญาณนั้นสามารถที่จะสังเคราะห์วงจรได้หลากหลายวิธี เช่นการสังเคราะห์วงจรด้วยทรานซิสเตอร์มอสเฟต [28-29] ซึ่งจะมีข้อดีคือวงจรสามารถทำงานได้ที่แหล่งจ่ายไฟเลี้ยงต่ำกว่าการสังเคราะห์วงจรด้วยทรานซิสเตอร์ไบโพลาร์ โดยในวิทยานิพนธ์นี้ได้นำเสนอวงจรคุณสองวงจร ดังมีรายละเอียดในบทที่ 5

อย่างไรก็ตามคุณสมบัติข้อหนึ่งที่สำคัญมากสำหรับการออกแบบวงจรมอดูเลเตอร์เพื่อประมวลสัญญาณก็คือช่วงการทำงานที่เป็นเชิงเส้นของวงจร เนื่องจากจะเป็นตัวแปรที่สำคัญในการทำให้งานทำงานได้ถูกต้อง แม่นยำ ตามทฤษฎีที่ได้ออกแบบไว้ และจากการพิจารณาช่วงการทำงานที่เป็นเชิงเส้น (Linear range) ของวงจรรูปทรานสลิเนียร์ผสมแล้ว ได้พบว่ามีช่วงการทำงานที่ไม่กว้างนัก ทั้งนี้เนื่องมาจากความสัมพันธ์ระหว่างกระแส และแรงดัน ($V-I$ characteristic) ของวงจรรูปในรูปของไซน์ไฮเพอร์โบลิกฟังก์ชัน (Sine hyperbolic function: \sinh) [30] ซึ่งเป็นฟังก์ชันที่ไม่เป็นเชิงเส้น ดังนั้นเมื่อนำไปประกอบในวงจรมอดูเลเตอร์ประเภทเชิงเส้น จึงส่งผลทำให้ช่วงการทำงานที่เป็นเชิงเส้นของวงจรเหล่านั้นค่อนข้างแคบไปด้วย และจากการศึกษาวิจัยพบว่า การนำเสนอเทคนิคการขยายช่วงการทำงานที่เป็นเชิงเส้นให้กับวงจรรูปทรานสลิเนียร์ผสมยังไม่เป็นที่แพร่หลายนัก โดยในบทความที่ [31] ได้พยายามขยายช่วงการทำงานที่เป็นเชิงเส้นของวงจรด้วยเทคนิคที่เรียกว่า “Multi-sinh” ซึ่งช่วงการทำงานที่เป็นเชิงเส้นที่กว้างขึ้นจะขึ้นอยู่กับจำนวนของไดโอดที่ต่อเพิ่มเข้าไป แต่อย่างไรก็ตามในการเพิ่มไดโอดเข้าไปในวงจรจะส่งผลทำให้พื้นที่ และแหล่งจ่ายไฟเลี้ยงของวงจรเพิ่มขึ้น มีผลทำให้กำลังงานสูญเสียในวงจรเพิ่มขึ้น ด้วยเหตุนี้ในวิทยานิพนธ์นี้ จึงได้นำเสนอเทคนิคใหม่ เพื่อปรับปรุงให้งานทรานสลิเนียร์ผสมมีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นกว่าเดิม ด้วยเทคนิคการจัดไบอัสให้กับทรานซิสเตอร์ภายในรูป ให้มีช่วงการนำกระแสกว้างขึ้นจากวงจรเดิม ซึ่งสามารถทำได้โดยการต่อคู่คอมมอนแอนอด (Common-anode-connected pairs) เพิ่มเข้าไปในรูปทรานสลิเนียร์ผสม มีผลทำให้ทรานซิสเตอร์ภายในรูปยังคงนำกระแสเมื่อแรงดันอินพุตมีขนาดใหญ่ขึ้น ด้วยเทคนิคที่นำเสนอนี้จะไม่ทำให้การออกแบบวงจรมีความยุ่งยากซับซ้อนจนเกินไป เนื่องจากได้เพิ่มทรานซิสเตอร์เพียงสี่ตัวเท่านั้น ทำให้งานที่ออกแบบมีความเรียบง่าย เหมาะสำหรับการนำไปสร้างเป็นวงจรรวม และประกอบร่วมกับวงจรอื่นๆ โดยรายละเอียดจะได้นำเสนอในวิทยานิพนธ์นี้ต่อไป

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

ในการทำวิทยานิพนธ์นี้มีจุดมุ่งหมาย และวัตถุประสงค์ของการศึกษาคือ นำเสนอวิธีการขยายช่วงการทำงานที่เป็นเชิงเส้นให้กับวงจรทรานสลิเนียร์ผสม [1] ด้วยวิธีการเพิ่มคู่คอมมอนแอนอดสองคู่ หรือกล่าวคือได้เพิ่มทรานซิสเตอร์สี่ตัวเข้าไปในรูปทรานสลิเนียร์เดิม เพื่อทำหน้าที่จัดไบอัสให้กับทรานซิสเตอร์ในรูปทรานสลิเนียร์ให้มีช่วงการนำกระแสที่กว้างขึ้นกว่าวงจรเดิม ดังนั้นจึงช่วยลดความเพี้ยนของสัญญาณเอาต์พุตได้ และส่งผลทำให้ช่วงการทำงานที่เป็นเชิงเส้นของวงจรมอดูเลเตอร์กว้างขึ้นมากเมื่อเปรียบเทียบกับวงจรเดิม โดยที่ กำลังงานสูญเสีย และพื้นที่ในวงจรรวมเพิ่มขึ้นเพียงเล็กน้อย

ด้วยเทคนิคที่นำเสนอนี้จะได้วงจรที่มีโครงสร้างไม่ซับซ้อน และไม่จำเป็นต้องใช้อุปกรณ์พาสซีฟเลย โดยวงจรที่นำเสนอนี้ยังคงมีลักษณะเป็นวงจรรูปทรานสลิเนียร์ผสมอยู่ จึงเหมาะสำหรับการนำไปสร้างเป็นวงจรรวม และประกอบร่วมกับวงจรอื่นๆ

1.3 สมมติฐานของการศึกษา

เนื่องจากวงจรขยายกำลังคลาสเอบี (Class AB) มีหลักในการลดความเพี้ยนของสัญญาณเอาต์พุตที่เกิดขึ้นในวงจรโดยการไบอัสให้ทรานซิสเตอร์ในวงจรมีการนำกระแสอย่างอ่อน ๆ ตลอดเวลา [32] ซึ่งวงจรทรานสลิเนียร์ผสมก็เป็นวงจรหนึ่งที่มีการทำงานในลักษณะของคลาสเอบี และจากการศึกษากราฟคุณสมบัติการส่งผ่านระหว่างแรงดัน และกระแสของวงจรรูปทรานสลิเนียร์ผสมก็พบว่า ในช่วงการทำงานที่เป็นเชิงเส้นนั้นทรานซิสเตอร์ภายในรูปทรานสลิเนียร์จะทำงาน และนำกระแสทุกตัว ส่วนในช่วงการทำงานที่ไม่เป็นเชิงเส้นนั้นจะมีทรานซิสเตอร์บางตัวในรูปที่นำกระแสน้อยมาก หรือเกือบไม่นำกระแสเลย ดังนั้นจึงมีความคิดว่าถ้าสามารถจัดไบอัสให้ทรานซิสเตอร์ในรูปทรานสลิเนียร์ทำงาน และมีช่วงการนำกระแสกว้างขึ้นเมื่อเปรียบเทียบกับวงจรเดิม น่าจะส่งผลทำให้ช่วงการทำงานที่เป็นเชิงเส้นของวงจรกว้างมากขึ้นได้ จากความคิดดังกล่าว จึงได้เพิ่มวงจรคอมมอนเอานโนดสองคู่เข้าไปในรูปของทรานสลิเนียร์ผสมเดิม เพื่อทำหน้าที่ไบอัสกระแสให้กับทรานซิสเตอร์ภายในรูป และมีผลทำให้ช่วงการนำกระแสของทรานซิสเตอร์เพิ่มขึ้นจากวงจรเดิม ซึ่งน่าจะส่งผลทำให้ช่วงการทำงานที่เป็นเชิงเส้นของวงจรทรานสลิเนียร์ผสมที่ได้ปรับปรุง และนำเสนอในวิทยานิพนธ์นี้กว้างขึ้นเมื่อเปรียบเทียบกับวงจรเดิม

1.4 ขอบเขตของการวิจัย

วิทยานิพนธ์นี้ได้นำเสนอหลักการขยายย่านการทำงานที่เป็นเชิงเส้นของวงจรรูปทรานสลิเนียร์ผสม [1] ด้วยเทคนิคการไบอัสกระแสให้กับทรานซิสเตอร์ภายในรูปเพื่อให้ยังคงนำกระแสเมื่อสัญญาณแรงดันอินพุตมีขนาดใหญ่ขึ้น ส่งผลทำให้กระแสเอาต์พุตของวงจรมีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้น พร้อมทั้งได้วิเคราะห์การทำงานของวงจร และแสดงวิธีการลดความเพี้ยนของสัญญาณเอาต์พุตที่เกิดจากความถี่ฮาร์โมนิกที่สาม (Third harmonics distortion) โดยการจัดอัตราส่วนของกระแสไบอัสของวงจรที่ได้นำเสนอ จากนั้นได้มีการเลียนแบบการทำงานของวงจรด้วยโปรแกรมคอมพิวเตอร์ เพื่อตรวจสอบคุณสมบัติพื้นฐานของวงจรที่นำเสนอ นอกจากนี้เพื่อทดสอบประสิทธิภาพของวงจร และการประยุกต์ใช้งานวงจรที่ได้นำเสนอ จึงได้นำไปประกอบเป็นวงจรความต้านทานแบบลอยตัว (Floating resistance) [12] และวงจรขยายเครื่องมือวัด (Instrumentation amplifier) [33] ซึ่งวงจรทั้งสองนี้ได้มีผู้นำเสนอไว้ก่อนหน้านี้แล้ว ด้วยการใช้วงจรรูปทรานสลิเนียร์ผสม [1] มาประกอบเป็นวงจร ดังนั้นเมื่อเปลี่ยนมาใช้วงจรรูปทรานสลิเนียร์ผสมที่ได้นำเสนอมาประกอบเป็นวงจรมีผลทำให้วงจรมีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นเมื่อเปรียบเทียบกับวงจรเดิม

1.5 โครงประกอบของวิทยานิพนธ์

ในวิทยานิพนธ์นี้ได้แบ่งเนื้อหาออกเป็น 6 บท พร้อมทั้งภาคผนวก โดยมีรายละเอียดในบทต่างๆ ดังต่อไปนี้

บทที่ 1 จะเป็นการกล่าวถึงความเป็นมา และความสำคัญของปัญหา ความมุ่งหมายและวัตถุประสงค์ของการศึกษา สมมติฐานของการศึกษา ทฤษฎีหรือแนวความคิดที่ใช้ในการทำวิจัย ขั้นตอนของการศึกษา และขอบเขตของการศึกษาวิจัย

บทที่ 2 กล่าวถึงทฤษฎีพื้นฐานเกี่ยวกับหลักการของวงจรทรานซิสเนียร์ และวงจรทรานซิสเนียร์ผสมที่นำเสนอโดย A. Fabre [1] โดยได้แสดงการวิเคราะห์คุณสมบัติพื้นฐานของวงจร และสมการความสัมพันธ์ระหว่างแรงดันอินพุต และกระแสเอาต์พุตของวงจรที่อยู่ในรูปแบบของโซนิไฮเปอร์โบลิกฟังก์ชันซึ่งเป็นฟังก์ชันที่ไม่เป็นเชิงเส้น ซึ่งเป็นเหตุให้วิทยานิพนธ์นี้ได้นำเสนอเทคนิคการปรับปรุงวงจร เพื่อให้วงจรมีช่วงการทำงานที่เป็นเชิงเส้นกว้างมากขึ้นจากเดิม

บทที่ 3 ได้กล่าวถึงหลักการขยายย่านการทำงานของวงจรรูปทรานซิสเนียร์ผสม ด้วยเทคนิคการไบอัสให้ทรานซิสเตอร์ในวงจรมีช่วงการนำกระแสเพิ่มขึ้นเมื่อเปรียบเทียบกับวงจรเดิม โดยได้แสดงการวิเคราะห์วงจร การปรับอัตราส่วนของกระแสไบอัสของวงจรทรานซิสเนียร์ที่นำเสนอให้เหมาะสมกับค่าอัตราขยายของทรานซิสเตอร์ที่นำมาประกอบในวงจร เพื่อให้สัญญาณเอาต์พุตมีความผิดเพี้ยนลดลง ส่งผลทำให้วงจรมีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้น โดยได้ตรวจสอบหลักการที่ได้ออกแบบด้วยโปรแกรมคำนวณทางคณิตศาสตร์ และจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE เพื่อยืนยันว่าวงจรสามารถทำงานได้ตามหลักการที่ได้ออกแบบไว้

บทที่ 4 เป็นบทที่แสดงความสามารถในการปฏิบัติงานของวงจรทรานซิสเนียร์ผสมที่ได้นำเสนอในวิทยานิพนธ์นี้ โดยได้นำมาประยุกต์ใช้สร้างเป็นวงจรความต้านทานแบบลอยตัว [12] และประกอบเป็นวงจรสายพานกระแสรุ่นที่สองที่ควบคุมได้ด้วยกระแส (CCCI) [4] เพื่อสร้างเป็นวงจรขยายเครื่องมือวัด [33] ซึ่งมีผู้นำเสนอไว้ก่อนหน้านี้แล้ว โดยได้ทดสอบประสิทธิภาพของวงจรด้วยการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE และเปรียบเทียบช่วงการทำงานที่เป็นเชิงเส้นของวงจรทั้งสอง เมื่อประกอบขึ้นจากวงจรรูปทรานซิสเนียร์ที่นำเสนอ และจากวงจรรูปทรานซิสเนียร์เดิม [1] ที่ได้นำเสนอในบทความ [12], [33] เพื่อเป็นการยืนยันว่าวงจรทรานซิสเนียร์ที่ได้นำเสนอนั้นมีช่วงการทำงานที่กว้างขึ้นกว่าวงจรเดิม

บทที่ 5 ในบทนี้จะนำเสนอวงจรคุณสัญญาณ ซึ่งเป็นส่วนหนึ่งของงานวิจัยในการศึกษา โดยวงจรที่ออกแบบจะเป็นวงจรที่ใช้ไฟเลี้ยงวงจรต่ำ นอกจากนี้กำลังงานสูญเสียในวงจรยังต่ำด้วย

บทที่ 6 จะเป็นการสรุปและวิจารณ์ผลงานวิจัยของวิทยานิพนธ์นี้ทั้งหมด

สำหรับในภาคผนวกนั้น ได้รวบรวมการวิเคราะห์ต่างๆ ที่เกี่ยวกับวงจรทรานซิสเนียร์ที่ได้นำเสนอ รวมทั้งส่วนของผลงานวิจัยที่ได้รับการตีพิมพ์ในระหว่างการศึกษา และท้ายสุดของวิทยานิพนธ์นี้จะเป็นประวัติของผู้เขียน

บทที่ 2

วงจรถานสลิเนียร์

เนื่องจากวิทยานิพนธ์นี้มีจุดมุ่งหมายในการศึกษาค้นคว้า วิจัยเพื่อปรับปรุงช่วงการทำงานที่เป็นเชิงเส้นของวงจรถานสลิเนียร์ผสมที่น่าเสนอโดย Fabre A. [1] ซึ่งเป็นวงจรถานหนึ่งที่ได้รับ ความสนใจ และนิยมนำมาประกอบในวงจรต่างๆ มากมาย ดังที่ได้กล่าวไปแล้วในบทนำ ดังนั้นในบทนี้จะ ได้กล่าวถึงความเป็นมาของหลักการวงจรถานสลิเนียร์ และทฤษฎีของวงจรถานสลิเนียร์ที่ประกอบขึ้น จากทรานซิสเตอร์ชนิดไบโพลาร์ ต่อจากนั้นจะได้กล่าวถึงวงจรถานสลิเนียร์ผสม [1] ซึ่งเป็นวงจรถาน หลักที่วิทยานิพนธ์นี้ได้นำเสนอเทคนิคการขยายช่วงการทำงานที่เป็นเชิงเส้นให้กว้างขึ้น โดยจะได้ แสดงการวิเคราะห์คุณสมบัติพื้นฐานของวงจร และความสัมพันธ์ที่ไม่เป็นเชิงเส้นระหว่างกระแส และ แรงดัน ($V-I$ characteristic) ภายในวงจร เพื่อจะได้เป็นพื้นฐานพอสังเขปก่อนการนำไปสู่การ วิเคราะห์วงจรที่ได้ปรับปรุงในบทต่อไป

2.1 ความเป็นมา และหลักการของวงจรถานสลิเนียร์

หลักการของวงจรถานสลิเนียร์ ได้ถูกนำเสนอขึ้นครั้งแรกโดย B. Gilbert ในปี 1975 [34] โดย Gilbert ได้สังเกตเห็นคุณสมบัติความเป็นเชิงเส้นระหว่างค่าทรานคอนดักแตนซ์ (g_m) ของ ไบโพลาร์ทรานซิสเตอร์ (Bipolar transistor : BJT) ที่เป็นเชิงเส้นกับกระแสคอลเลกเตอร์ ซึ่งเป็นที่มา ของคำว่าทรานสลิเนียร์ด้วย [35] ต่อมาเมื่อ Gilbert ได้นำเสนอหลักการนี้ในบทความ [34] จากนั้น หลักการนี้ก็ได้รับความสนใจในการนำไปประยุกต์สร้างวงจรต่างๆ มากมาย โดยเฉพาะอย่างยิ่งวงจรที่ ทำงานทางด้านฟังก์ชันคณิตศาสตร์ เช่น วงจรคูณ หาร สัญญาณ วงจรยกกำลัง สัญญาณ และ วงจร เวกเตอร์ [35] ทั้งนี้เนื่องจากการออกแบบวงจรที่ใช้หลักการทรานสลิเนียร์นั้น ช่วยให้การออกแบบ วงจรไม่ยุ่งยากซับซ้อน สามารถทำความเข้าใจได้ง่าย อีกทั้งเมื่อสร้างขึ้นเป็นวงจรถานก็มีจำนวน ทรานซิสเตอร์ที่ไม่มากนัก นอกจากนี้ยังกล่าวได้ว่าวงจรถานสลิเนียร์นั้นมีคุณสมบัติการทำงานเข้า ใกล้โหมตกระแส เนื่องจากสัญญาณอินพุต และเอาต์พุตของวงจรอยู่ในรูปของสัญญาณกระแส ทำให้ ในการออกแบบวงจรไม่ต้องคำนึงถึงขนาดของสัญญาณแรงดันเลย [35] แต่อย่างไรก็ตามเมื่ วงจร ทำงานจะเกิดการเปลี่ยนแปลงของกระแสคอลเลกเตอร์ ซึ่งส่งผลให้แรงดันเบส-อิมิตเตอร์เปลี่ยนแปลง ตามไปด้วย ซึ่งแรงดันนี้จะเปลี่ยนแปลงไม่มากนัก ดังนั้นโดยส่วนใหญ่แล้ววงจรถานสลิเนียร์จะมี าน การตอบสนองความถี่ที่กว้าง เมื่อเปรียบเทียบกับ การออกแบบวงจรโดยใช้ ออปแอมป์ สำหรับ หลักการทรานสลิเนียร์นั้นสามารถใช้ได้กับอุปกรณ์ทรานซิสเตอร์ชนิดไบโพลาร์ (BJT) และ ซีมอส (CMOS) ซึ่งในการเลือกใช้ทรานซิสเตอร์ชนิดใดจะส่งผลให้ได้ความสัมพันธ์ของกระแสภายในลูป เปลี่ยนไป กล่าวคือถ้าใช้ทรานซิสเตอร์ชนิดไบโพลาร์จะได้ความสัมพันธ์ของกระแสภายในลูปอยู่ใน

ฟังก์ชันของผลคูณของกระแสคอลเล็กเตอร์ (I_C) ส่วนในกรณีที่ใช้ทรานซิสเตอร์ซิมอสจะได้รับความสัมพันธ์ของกระแสภายในรูปอยู่ในฟังก์ชันของผลรวมของรากที่สองของกระแสตรง (I_D) [36] ทั้งนี้เป็นผลมาจากความสัมพันธ์ระหว่างกระแส และแรงดันของอุปกรณ์ทั้งสองชนิดนั้นต่างกั้นนั่นเอง สำหรับในวิทยานิพนธ์นี้จะได้กล่าวเฉพาะในส่วนของหลักการออกแบบวงจรทรานซิสเตอร์โดยใช้ทรานซิสเตอร์ชนิดไบโพลาร์ เพื่อเป็นพื้นฐานนำไปสู่วงจรทรานซิสเตอร์ผสม [1] ที่ประกอบไปด้วยทรานซิสเตอร์ชนิดไบโพลาร์ และเป็นวงจรหลักที่จะนำเสนอในวิทยานิพนธ์นี้ โดยรายละเอียดของหลักการวงจรทรานซิสเตอร์จะแสดงได้ดังนี้

เริ่มจากการพิจารณาความสัมพันธ์ระหว่างกระแสคอลเล็กเตอร์ (I_C) และแรงดันเบส-อิมิตเตอร์ (V_{be}) ของทรานซิสเตอร์ไบโพลาร์เมื่อถูกไบอัสตรง โดยไม่คิดผลของแรงดันเออร์ลีย์ (Early's effect) ซึ่งจะแสดงสมการของกระแสคอลเล็กเตอร์ได้ดังนี้ [32]

$$I_C = I_S \exp\left(\frac{V_{be}}{V_T}\right) \quad (2.1)$$

เมื่อ I_S คือ ค่ากระแสอิ่มตัวย้อนกลับ (Reverse saturation current)

V_T คือ แรงดันเชิงอุณหภูมิ (Thermal voltage) มีค่าเท่ากับ KT/q

K คือ ค่าคงที่โบลท์มานน์ (Boltzmann's constant) มีค่า 1.38×10^{-23}

T คือ อุณหภูมิในหน่วยเคลวิน

q คือ ค่าเก็บประจุไฟฟ้าของอิเล็กตรอนมีค่าเท่ากับ 1.602×10^{-23} คูลอมป์

สำหรับค่าทรานคอนดักแตนซ์ของทรานซิสเตอร์ไบโพลาร์หาได้จากการทำการอนุพันธ์ของกระแสคอลเล็กเตอร์เทียบกับแรงดันเบส-อิมิตเตอร์ ดังนั้นจากสมการ (2.1) จะได้ว่า

$$\frac{\partial I_C}{\partial V_{be}} = \frac{I_C}{V_T} \exp\left(\frac{V_{be}}{V_T}\right) \quad (2.2)$$

เมื่อแทนค่าสมการ (2.1) ลงในสมการ (2.2) และจัดรูปสมการจะได้ค่าดังนี้

$$g_m = \frac{I_C}{V_T} \quad (2.3)$$

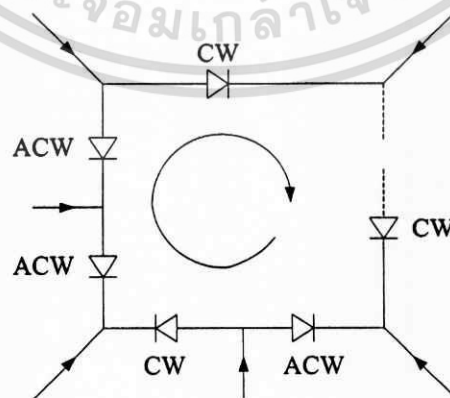
จากสมการ (2.3) จะเห็นได้ว่าค่าทรานคอนดักแตนซ์ (g_m) ของไบโพลาร์ทรานซิสเตอร์แปรผันอย่างเป็นเชิงเส้นกับค่ากระแสคอลเล็กเตอร์ โดยมี $1/V_T$ เป็นค่าคงที่ของความสัมพันธ์

สำหรับหลักการออกแบบวงจรทรานซิสลีนีร์นั้นสามารถทำได้โดยการนำเอาไบโพลาร์ ทรานซิสเตอร์มาต่อเรียงกันในลักษณะลูปปิด และมีการจัดไบอัสไปข้างหน้า (Forward bias) ให้กับ รอยต่อเบส-อิมิตเตอร์จนมีกระแสไหลผ่านรอยต่อ โดยที่กระแสที่ไหลผ่านรอยต่อของทรานซิสเตอร์ สามารถไหลได้ทั้งในทิศทางตามเข็มนาฬิกา (Clockwise: CW) และทิศทางทวนเข็มนาฬิกา (Anticlockwise: ACW) ซึ่งจะเป็นทิศทางใดนั้นให้พิจารณาตามทิศทางของกระแสที่ไหลผ่านรอยต่อ [34] โดยทรานซิสเตอร์ที่นำมาประกอบในลูปปิดนี้ ใช้ได้ทั้งทรานซิสเตอร์ชนิดพีเอ็นพี (PNP) และชนิด เอ็นพีเอ็น (NPN) ซึ่งจะเป็นลูปทรานซิสลีนีร์ได้นั้นจะต้องมีคุณสมบัติดังนี้

1. จำนวนของรอยต่อเบส-อิมิตเตอร์ของทรานซิสเตอร์ NPN ในทิศทางตามเข็มนาฬิกา จะต้องเท่ากับ จำนวนของรอยต่อเบส-อิมิตเตอร์ของทรานซิสเตอร์ NPN ในทิศทางทวนเข็มนาฬิกา
2. จำนวนของรอยต่อเบส-อิมิตเตอร์ของทรานซิสเตอร์ PNP ในทิศทางตามเข็มนาฬิกา จะต้องเท่ากับ จำนวนของรอยต่อเบส-อิมิตเตอร์ของทรานซิสเตอร์ PNP ในทิศทางทวนเข็มนาฬิกา

เมื่อพิจารณาคุณสมบัติทั้งสองข้อดังกล่าวแล้ว จะพบว่าจำนวนของทรานซิสเตอร์ภายในลูป จะต้องเป็นจำนวนคู่เท่านั้น และจำนวนของทรานซิสเตอร์ในทิศทางตามเข็มนาฬิกาจะต้องเท่ากับ จำนวนของทรานซิสเตอร์ในทิศทางทวนเข็มนาฬิกา เพื่อให้ง่ายในการทำความเข้าใจ รูปที่ (2.1) ได้ แสดงหลักการพื้นฐานของวงจรลูปทรานซิสลีนีร์ และเพื่อความสะดวกในการวิเคราะห์วงจรได้ กำหนดให้สัญลักษณ์ j คือจำนวนรอยต่อเบส-อิมิตเตอร์ของทรานซิสเตอร์ชนิด NPN และ k คือ จำนวนรอยต่อเบส-อิมิตเตอร์ของทรานซิสเตอร์ชนิด PNP ซึ่งจากรูปที่ 2.1 เมื่อพิจารณาผลรวมของ แรงดันเบส-อิมิตเตอร์ภายในลูปปิดตามกฎของเคอร์ชอฟฟ์ (Kirchhoff's Laws) จะได้ความสัมพันธ์ ของรอยต่อเบส-อิมิตเตอร์ในทิศทางตามเข็มนาฬิกาและทวนเข็มนาฬิกา ดังนี้

$$\sum_{CW_j} V_{be_j} + \sum_{ACW_k} V_{be_k} = \sum_{ACW_j} V_{be_j} + \sum_{CW_k} V_{be_k} \quad (2.4)$$



รูปที่ 2.1 หลักการของวงจรลูปทรานซิสลีนีร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (2.4) เมื่อแสดงให้อยู่ในรูปของกระแส I_C จะได้ว่า

$$\sum_{CW_j} V_T \ln \frac{I_{c_j}}{I_{S_n}} + \sum_{CW_k} V_T \ln \frac{I_{c_k}}{I_{S_p}} = \sum_{ACW_j} V_T \ln \frac{I_{c_j}}{I_{S_n}} + \sum_{ACW_k} V_T \ln \frac{I_{c_k}}{I_{S_p}} \quad (2.5)$$

เมื่อกำหนดให้

I_{c_j} คือกระแสคอลเล็กเตอร์ที่ไหลผ่านรอยต่อเบส-อิมิตเตอร์ของทรานซิสเตอร์ชนิด NPN

I_{c_k} คือกระแสคอลเล็กเตอร์ที่ไหลผ่านรอยต่อเบส-อิมิตเตอร์ของทรานซิสเตอร์ชนิด PNP

I_{S_n} คือค่ากระแสอิ่มตัวย้อนกลับ (Reverse saturation current) ของทรานซิสเตอร์ชนิด NPN

I_{S_p} คือค่ากระแสอิ่มตัวย้อนกลับ (Reverse saturation current) ของทรานซิสเตอร์ชนิด PNP

จากสมการ (2.5) ภายใต้เงื่อนไขที่ว่าทรานซิสเตอร์ทุกตัวภายในลูบมีการทำงานที่อุณหภูมิเดียวกัน ดังนั้นจะทำให้ V_T เกิดการหักล้างกันเองจนหมด ทำให้ไม่มีผลของอุณหภูมิเข้ามาเกี่ยวข้อง ดังนั้นเมื่อจัดแสดงความสัมพันธ์ในรูปแบบของความหนาแน่นกระแส (J_S) จะได้ความสัมพันธ์ดังนี้

$$\sum_{CW_j} \ln \left(\frac{I_{c_j}}{J_{S_n} A_j} \right) + \sum_{CW_k} \ln \left(\frac{I_{c_k}}{J_{S_p} A_k} \right) = \sum_{ACW_j} \ln \left(\frac{I_{c_j}}{J_{S_n} A_j} \right) + \sum_{ACW_k} \ln \left(\frac{I_{c_k}}{J_{S_p} A_k} \right) \quad (2.6)$$

เมื่อ A_j และ A_k คือพื้นที่อิมิตเตอร์ของไบโพลาร์ทรานซิสเตอร์ชนิด NPN และชนิด PNP ตามลำดับ และจากสมการ (2.6) สามารถแสดงให้อยู่ในรูปของผลคูณของกระแสคอลเล็กเตอร์ภายในลูบปิดได้ดังนี้

$$\prod_{CW_{j,k}} \frac{I_{c_j} I_{c_k}}{J_{S_n} A_j J_{S_p} A_k} = \prod_{ACW_{j,k}} \frac{I_{c_j} I_{c_k}}{J_{S_n} A_j J_{S_p} A_k} \quad (2.7)$$

เมื่อสมมติให้ทรานซิสเตอร์ทั้งหมดถูกสร้างขึ้นจากกระบวนการผลิตที่ทำในเวลาเดียวกัน และมีความสมพ้องกันทุกประการ ส่งผลให้ความหนาแน่นกระแส (J_S) และพื้นที่ของอิมิตเตอร์ (A) ของทรานซิสเตอร์ทุกตัวมีค่าเท่ากัน ดังนั้น J_S และ $A_{j,k}$ ในสมการ (2.7) จะถูกขจัดออกไป ดังนั้นจะได้ผลลัพธ์คือ

$$\prod_{CW_{j,k}} I_{c_j} I_{c_k} = \prod_{ACW_{j,k}} I_{c_j} I_{c_k} \quad (2.8)$$

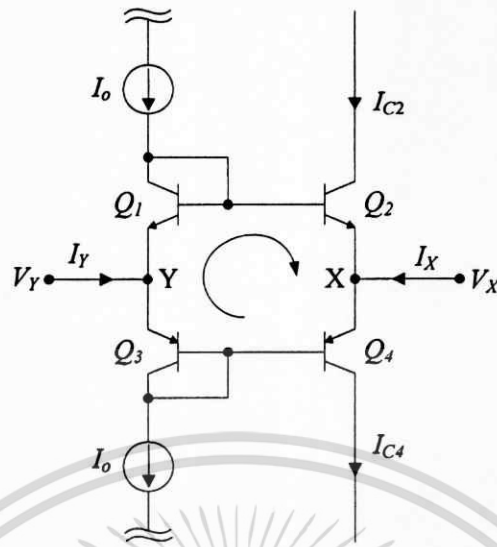
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (2.8) จะเห็นได้อย่างชัดเจนว่าการนำเอาทรานซิสเตอร์ไบโพลาร์มาต่อเรียงกันเป็นลูปปิดตามหลักการของวงจรถานสลิเนียร์ จะได้ผลลัพธ์คือฟังก์ชันของผลคูณของกระแสคอลเลกเตอร์ที่มีทิศการไหลของกระแสในทิศทางตามเข็มนาฬิกาเท่ากับผลคูณของกระแสคอลเลกเตอร์ที่มีทิศการไหลของกระแสในทิศทางทวนเข็มนาฬิกา ซึ่งจากผลลัพธ์ที่ได้นี้ จะเห็นได้ว่าวงจรถานสลิเนียร์ที่ออกแบบโดยใช้ทรานซิสเตอร์ชนิดไบโพลาร์ เหมาะสำหรับการนำไปประยุกต์สร้างเป็นวงจรถูกและหารสัญญาณ [37] โดยจะช่วยให้การออกแบบวงจรมุ่งง่าย ชับซ้อนจนเกินไป และจะสังเกตเห็นได้ว่าผลคูณนี้มีได้ขึ้นอยู่กับอุณหภูมิและขบวนการผลิตแต่ประการใด ซึ่งเป็นคุณสมบัติที่ดีสำหรับการนำไปประยุกต์ใช้งาน สิ่งสำคัญสำหรับวงจรถานสลิเนียร์ก็คือทรานซิสเตอร์ที่นำมาประกอบในลูปควรมีความสมพงษ์กันทุกประการ

จากที่กล่าวมาจะเห็นได้ว่าหลักการทรานสลิเนียร์นั้นสามารถทำความเข้าใจได้ง่าย เหมาะสำหรับการนำไปออกแบบวงจรถานสลิเนียร์ที่ทำงานทางด้านฟังก์ชันคณิตศาสตร์ ซึ่งทำให้ลดจำนวนอุปกรณ์ภายในวงจรลงไปได้มาก นอกจากนี้วงจรยังมีผลตอบสนองทางความถี่ที่กว้างขึ้นด้วย ในส่วนต่อไปจะได้กล่าวถึงวงจรถานสลิเนียร์ผสมที่นำเสนอโดย Fabre A. [1] เพื่อเป็นพื้นฐานก่อนนำไปสู่วงจรถานสลิเนียร์ที่ได้นำเสนอ เพื่อปรับปรุงให้วงจรถานสลิเนียร์ผสมมีช่วงการทำงานที่เป็นเชิงเส้นเพิ่มขึ้นในบทต่อไป

2.2 วงจรถานสลิเนียร์ผสมที่นำเสนอโดย Fabre A. [1]

วงจรถานสลิเนียร์ผสมที่นำเสนอโดย Fabre A. [1] นั้น แสดงได้ดังรูปที่ 2.2 นับได้ว่าเป็นวงจรถานสลิเนียร์ที่มีความน่าสนใจ และสามารถนำมาประยุกต์ใช้สังเคราะห์ในวงจรต่างๆ ได้อย่างมากมาย ทั้งนี้เนื่องจากวงจรถานสลิเนียร์ผสมที่ได้นำเสนอนี้สามารถทำงานได้ทั้งในโหมดกระแส และแรงดัน มีผลตอบสนองทางความถี่ที่กว้าง นอกจากนี้ยังมีความต้านทานภายในที่สามารถปรับค่าได้ด้วยกระแสไบอัสของวงจรถานสลิเนียร์ [4] ซึ่งสามารถนำไปประยุกต์ใช้ในวงจรที่ต้องการปรับค่าพารามิเตอร์ต่างๆ ด้วยความต้านทาน โดยที่ผ่านมาได้รับความนิยมนำมาสังเคราะห์ในวงจรกรองความถี่ (Filter) [15-18] วงจรออสซิลเลเตอร์ (Oscillator) [10-11, 19] นอกจากนี้ก็มีการประยุกต์ใช้งานที่พบได้บ่อยคือนำมาใช้เป็นวงจรถานสลิเนียร์ผสมตามแรงดันในวงจรถานสลิเนียร์ผสมรุ่นที่สองที่ควบคุมด้วยกระแส (Second-generation current controlled conveyor: CCCII) [4] ซึ่งส่งผลให้วงจรถานสลิเนียร์ผสมมีผลตอบสนองทางความถี่ที่กว้างกว่าวงจรถานสลิเนียร์แบบธรรมดาที่สร้างขึ้นจากออปแอมป์ และยังใช้อุปกรณ์น้อยกว่า ดังนั้นจึงทำให้วงจรถานสลิเนียร์ผสม CCCII นี้ได้ถูกนำไปประยุกต์ใช้ประกอบเป็นวงจรถานสลิเนียร์ผสมต่างๆ ในงานวิจัยที่ผ่านมาเป็นจำนวนมาก [38-47] สำหรับการวิเคราะห์คุณสมบัติต่างๆ ของวงจรถานสลิเนียร์ผสม [1] จะแสดงได้ดังต่อไปนี้



รูปที่ 2.2 วงจรทรานซิสเตอร์ผสมที่นำเสนอโดย A. Fabre [1]

จากวงจรรูปที่ 2.2 จะเห็นได้ว่าวงจรทรานซิสเตอร์ผสมประกอบไปด้วยทรานซิสเตอร์ NPN (Q_1 - Q_2) และ PNP (Q_3 - Q_4) ต่อเรียงกันเป็นลูปปิดตามหลักการของทรานซิสเตอร์ดังที่ได้กล่าวไว้ในหัวข้อที่ 2.1 โดยมีแหล่งจ่ายกระแสไฟตรง I_0 ไบอัสให้กับวงจรโดยต่อเข้ากับขาคอลเล็กเตอร์ของทรานซิสเตอร์ Q_1 และ Q_3 เนื่องจากทรานซิสเตอร์ Q_1 และ Q_3 นั้นขาคอลเล็กเตอร์ และขาเบสจะถูกเชื่อมต่อเข้าด้วยกัน ดังนั้นทรานซิสเตอร์ Q_1 และ Q_3 จะประประพกดตัวเป็นเสมือนไดโอด (Diode-connected transistor) เมื่อให้กระแสไบอัส I_0 จะส่งผลให้เกิดแรงดันตกคร่อมขาเบส และขาอีมีเตอร์ของทรานซิสเตอร์ Q_1 และ Q_3 ซึ่งแรงดันนี้จะไปตกคร่อมขาเบส และขาอีมีเตอร์ของทรานซิสเตอร์ Q_2 และ Q_4 ด้วย จึงมีผลทำให้ทรานซิสเตอร์ Q_2 และ Q_4 ทำงานด้วย สำหรับการวิเคราะห์วงจรในรูปที่ 2.2 จะเริ่มจากการพิจารณาผลรวมของแรงดัน V_{be} ภายในลูปปิดตามกฎของเคอร์ชอฟฟ์ ซึ่งจะได้ความสัมพันธ์ของ (V_{be}) ในทิศทางตามเข็มนาฬิกา และทวนเข็มนาฬิกา ดังนี้

$$V_{be1} + V_{be3} = V_{be2} + V_{be4} \quad (2.9)$$

จากสมการ (2.9) เมื่อแสดงในรูปของกระแสคอลเล็กเตอร์ I_C จะได้ว่า

$$V_{T1} \ln \left(\frac{I_{c1}}{I_{S1}} \right) + V_{T3} \ln \left(\frac{I_{c3}}{I_{S3}} \right) = V_{T2} \ln \left(\frac{I_{c2}}{I_{S2}} \right) + V_{T4} \ln \left(\frac{I_{c4}}{I_{S4}} \right) \quad (2.10)$$

โดยที่ V_T คือแรงดันเชิงอุณหภูมิซึ่งมีค่าประมาณ 26 mV ที่อุณหภูมิ 27 °C

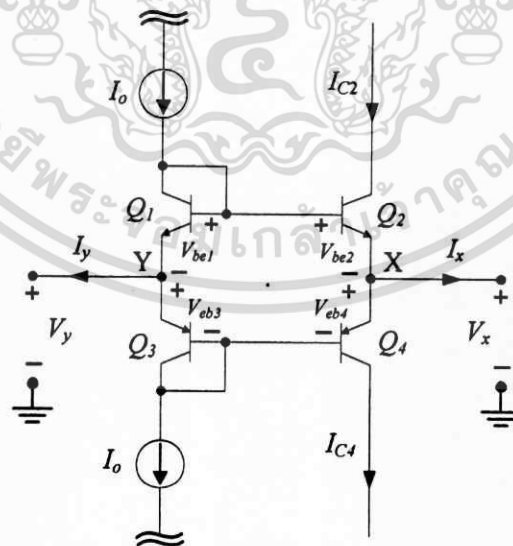
เพื่อความง่ายในการวิเคราะห์วงจรจะสมมติให้ทรานซิสเตอร์ทั้งหมด (Q_1-Q_4) มีความสมพงษ์กันทุกประการ ทำงานที่สภาวะอุณหภูมิแวดล้อมเดียวกัน ($V_{T1} = V_{T2} = V_{T3} = V_{T4}$) และมีกระแสอิ่มตัวย้อนกลับเท่ากัน ($I_{S1} = I_{S2} = I_{S3} = I_{S4}$) ซึ่งจากการสมมติดังกล่าวจะทำให้ V_T และ I_S ในสมการ (2.10) ถูกขจัดออกไป ดังนั้นจะได้ความสัมพันธ์ของกระแสคอลเลกเตอร์ดังนี้

$$I_{c1}I_{c3} = I_{c2}I_{c4} \quad (2.11)$$

จากสมการ (2.11) จะเห็นได้ว่าผลรวมของแรงดันระหว่างเบส-อิมิตเตอร์ของทรานซิสเตอร์ภายในลูป ส่งผลให้เกิดเป็นผลคูณของกระแสคอลเลกเตอร์ในทิศทางตามเข็มนาฬิกา ($I_{c2}I_{c4}$) เท่ากับกระแสคอลเลกเตอร์ในทิศทางทวนเข็มนาฬิกา ($I_{c1}I_{c3}$) ซึ่งได้เป็นไปตามหลักการของวงจรทรานสลิเนียร์ สำหรับการวิเคราะห์คุณสมบัติต่างๆ ของวงจรจะได้กล่าวถึงในหัวข้อถัดไป

2.2.1 ความสัมพันธ์ระหว่างแรงดันที่ขั้ว Y และขั้ว X

จากรูปที่ 2.2 จะได้แสดงการวิเคราะห์หาค่าความสัมพันธ์ระหว่างแรงดัน และกระแส ($V-I$ characteristic) ภายในวงจร เพื่อความสะดวกในการกล่าวถึงเมื่อวิเคราะห์วงจร จะได้กำหนดให้จุดต่อระหว่างขาอิมิตเตอร์ของทรานซิสเตอร์ Q_1 และ Q_3 เป็นขั้ว Y และจุดต่อระหว่างขาอิมิตเตอร์ของทรานซิสเตอร์ Q_2 และ Q_4 เป็นขั้ว X โดยในการวิเคราะห์จะเริ่มจากการหาค่าความสัมพันธ์ระหว่างแรงดันที่ขั้ว Y และขั้ว X ของวงจรถ้าก่อนเป็นอันดับแรก โดยจะสมมติว่าได้ป้อนสัญญาณอินพุต V_y เข้าที่ขั้ว Y และได้สัญญาณเอาต์พุต V_x ออกมาที่ขั้ว X ซึ่งแสดงรูปวงจรได้ในรูปที่ 2.3



รูปที่ 2.3 วงจรประกอบการวิเคราะห์คุณสมบัติของวงจรทรานสลิเนียร์ผสม

จากวงจรในรูปที่ 2.3 เมื่อพิจารณาหาผลรวมของแรงดันจากขั้ว Y ถึงขั้ว X จะได้

$$-V_y - V_{be1} + V_{be2} + V_x = 0 \quad (2.12)$$

และ

$$-V_y + V_{eb3} - V_{eb4} + V_x = 0 \quad (2.13)$$

จากวงจรในรูปที่ 2.3 จะเห็นได้ว่าทรานซิสเตอร์ Q_1 และ Q_3 ถูกไบอัสด้วยกระแสไฟตรงคงที่เท่ากับ I_o ทั้งคู่ เมื่อสมมติให้อัตราขยายกระแสของทรานซิสเตอร์มีค่ามาก ($\beta \gg 1$) จนละเลยผลของกระแสเบสได้ ดังนั้นกระแสคอลเล็กเตอร์ของทรานซิสเตอร์ Q_1 และ Q_3 จะมีค่าคงที่ไม่เปลี่ยนแปลง ซึ่งส่งผลทำให้แรงดันตกคร่อมขาเบส-อิมิตเตอร์ของทรานซิสเตอร์ Q_1 และ Q_3 มีค่าเท่ากัน ($V_{be1} = V_{eb3}$) และคงที่ไม่เปลี่ยนแปลง โดยแรงดัน V_{be1} และ V_{eb3} นี้จะไปตกคร่อมขาเบส-อิมิตเตอร์ของทรานซิสเตอร์ Q_2 และ Q_4 ด้วย และจากสมการ (2.12) และ (2.13) จะได้ว่า $V_{be2} = V_{be4}$ ซึ่งจะได้ความสัมพันธ์ระหว่างแรงดันอินพุต V_y และแรงดันเอาต์พุต V_x มีค่าดังนี้

$$V_y = V_x \quad (2.14)$$

จากสมการ (2.14) จะเห็นได้ว่าแรงดันที่ขั้ว Y (V_y) มีค่าเท่ากับแรงดันที่ขั้ว X (V_x) ซึ่งแสดงว่าวงจรรูปทรานซิสลีนีร์นี้มีคุณสมบัติเป็นวงจรตามแรงดันที่ขั้ว Y และ X ดังที่ได้กล่าวไปแล้วว่าในวงจรสายพานกระแสรุ่นที่สองที่ควบคุมได้ด้วยกระแส (CCCI) ได้ใช้วงจรนี้ทำหน้าที่เป็นวงจรตามแรงดัน ซึ่งเป็นตัวอย่างหนึ่งในการนำไปประยุกต์ใช้งาน

2.2.2 ความต้านทานอินพุตที่ขั้ว Y

จากการวิเคราะห์วงจรในหัวข้อที่ผ่านมาจะเห็นได้ว่า ความสัมพันธ์ระหว่างแรงดันที่ขั้ว Y และ X จะมีคุณสมบัติเป็นวงจรตามแรงดัน โดยมีขั้ว Y เป็นขั้วอินพุต และขั้ว X เป็นขั้วเอาต์พุต ซึ่งคุณสมบัติหนึ่งที่สำคัญของวงจรตามแรงดันก็คือ ค่าความต้านทานอินพุตของวงจรควรมีค่าสูงๆ ดังนั้นในการวิเคราะห์ที่สำคัญลำดับต่อมาที่จะได้กล่าวถึงในหัวข้อนี้ก็คือการหาค่าความต้านทานอินพุตที่ขั้ว Y จากรูปที่ 2.3 เมื่อพิจารณาผลรวมของกระแสไฟตรงที่ขั้ว Y จะมีค่าดังนี้

$$I_y = I_{e1} - I_{e3} \quad (2.15)$$

เมื่อ $I_E = I_C \left(1 + \frac{1}{\beta}\right)$ โดย β คืออัตราขยายไฟตรงของทรานซิสเตอร์ (Current gain)

เมื่อสมมติให้ β ของทรานซิสเตอร์มีค่ามากๆ จะสามารถละเลยผลของกระแสเบส I_B ของทรานซิสเตอร์ได้ ดังนั้นจึงประมาณได้ว่ากระแส $I_E \approx I_C$ และจากรูปวงจรที่ 2.3 เมื่อไม่คิดผลของกระแสเบส จะพบว่ากระแสคอลเลกเตอร์ และกระแสอีมีตเตอร์ของทรานซิสเตอร์ Q_1 และ Q_3 มีค่าเท่ากัน คือเท่ากับกระแสไบอัส I_o ทั้งคู่ ดังนั้นจากสมการ (2.15) จะได้ว่ากระแส $I_y = 0$ ($I_{e1} = I_{e3} = I_o$) ซึ่งหมายความว่าไม่มีกระแสไหลผ่านเข้าไปที่ขั้ว Y หรือกล่าวได้ว่าความต้านทานที่มองเข้าไปที่ขั้ว Y มีค่าสูงเป็นอนันต์ (∞) ซึ่งเป็นคุณสมบัติที่เหมาะสมสำหรับการนำไปประยุกต์ใช้เป็นวงจรตามแรงดัน ซึ่งเมื่อให้สัญญาณอินพุตในรูปของแรงดันเข้าที่ขั้ว Y จะไม่เกิดการโหลดสัญญาณที่เข้ามา (Loading effect)

2.2.3 ค่ากระแสเอาต์พุต I_x

ในหัวข้อที่ผ่านมาได้วิเคราะห์ความต้านทานอินพุตที่ขั้ว Y โดยได้แสดงให้เห็นว่าค่าความต้านทานอินพุตที่ขั้ว Y มีค่าเป็นอนันต์ ซึ่งในอีกความหมายหนึ่งก็คือ $I_y = 0$ สำหรับในหัวข้อนี้จะได้กล่าวถึงการวิเคราะห์หาค่ากระแสที่ขั้ว X (I_x) ของวงจรทรานซิสลีนีเยร์ผสม ซึ่งมีความสำคัญมากเนื่องจากเป็นกระแสที่ถูกนำไปประยุกต์ใช้งานในวงจรต่างๆ เช่นในวงจร CCCII ได้นำกระแสนี้สะท้อนไปที่ขั้ว Z ซึ่งเป็นขั้วเอาต์พุต เป็นต้น ดังนั้นจะได้แสดงการวิเคราะห์วงจรโดยละเอียด

จากวงจรรูปที่ 2.3 เมื่อคิดผลรวมของกระแสที่ขั้ว X จะได้

$$I_x = I_{c2} - I_{c4} \quad (2.16)$$

ซึ่งค่ากระแส I_{c2} และ I_{c4} จะหาค่าได้ดังนี้ เริ่มจากการพิจารณาวงจรจะพบว่าแรงดันตกคร่อมระหว่างขาเบส-อีมีตเตอร์ของทรานซิสเตอร์ Q_2 มีค่า

$$V_{be2} = V_{be1} + V_{yx} \quad (2.17)$$

เมื่อกำหนดให้ $V_{yx} = V_y - V_x$

เมื่อสมมติให้ β ของทรานซิสเตอร์มีค่ามากๆ จนสามารถละเลยผลของกระแสเบส (I_B) จะทำให้ประมาณได้ว่ากระแส $I_{c1} = I_o$ ดังนั้นเมื่อแสดงแรงดัน V_{be1} ในรูปของกระแสคอลเลกเตอร์ จะมีค่าดังนี้

$$V_{be1} = V_T \ln \left(\frac{I_o}{I_S} \right) \quad (2.18)$$

ซึ่งเมื่อแทนค่าสมการ (2.18) ลงในสมการ (2.17) จะได้

$$V_{be2} = V_T \ln \left(\frac{I_o}{I_S} \right) + V_{yx} \quad (2.19)$$

จากสมการ (2.19) จะหาค่ากระแส I_{c2} ได้ดังนี้

$$\begin{aligned} I_{c2} &= I_S \exp \left(\frac{V_{be2}}{V_T} \right) \\ &= I_S \exp \left\{ \frac{V_T \ln \left(\frac{I_o}{I_S} \right) + V_{yx}}{V_T} \right\} \\ &= I_S \exp \left\{ \ln \left(\frac{I_o}{I_S} \right) \right\} \exp \left\{ \frac{V_{yx}}{V_T} \right\} \\ &= I_o \exp \left(\frac{V_{yx}}{V_T} \right) \end{aligned} \quad (2.20)$$

ในการทำงานเดียวกันสำหรับค่ากระแส I_{c4} จากวงจรรูปที่ 2.3 จะได้ความสัมพันธ์ของแรงดันตกคร่อมระหว่างขาเบส-อีมีตเตอร์ของทรานซิสเตอร์ Q_4 มีค่า

$$V_{eb4} = V_{eb3} - V_{yx} \quad (2.21)$$

เนื่องจาก $V_{eb3} = V_T \ln \left(\frac{I_o}{I_S} \right)$ ดังนั้นจะหาค่ากระแส I_{c4} ได้ดังนี้

$$\begin{aligned}
 I_{c4} &= I_S \exp\left(\frac{V_{eb4}}{V_T}\right) \\
 &= I_S \exp\left\{\frac{V_T \ln\left(\frac{I_o}{I_S}\right) - V_{yx}}{V_T}\right\} \\
 &= I_S \exp\left\{\ln\left(\frac{I_o}{I_S}\right)\right\} \exp\left\{\frac{-V_{yx}}{V_T}\right\} \\
 &= I_o \exp\left(\frac{-V_{yx}}{V_T}\right)
 \end{aligned} \tag{2.22}$$

เมื่อนำสมการ (2.20) และ (2.22) แทนค่าลงในสมการ (2.16) จะได้ว่า

$$\begin{aligned}
 I_x &= I_o \exp\left(\frac{V_{yx}}{V_T}\right) - I_o \exp\left(\frac{-V_{yx}}{V_T}\right) \\
 &= I_o \left\{ \exp\left(\frac{V_{yx}}{V_T}\right) - \exp\left(\frac{-V_{yx}}{V_T}\right) \right\}
 \end{aligned} \tag{2.23}$$

โดยอาศัยความสัมพันธ์ของไซน์ไฮเปอร์โบลิกฟังก์ชัน [48] ที่ว่า $\left(\sinh x = \frac{e^x - e^{-x}}{2}\right)$ ดังนั้นกระแส I_x ในสมการ (2.23) สามารถแสดงให้อยู่ในรูปแบบของไซน์ไฮเปอร์โบลิกฟังก์ชันได้ดังนี้

$$I_x = 2I_o \sinh\left(\frac{V_{yx}}{V_T}\right) \tag{2.24}$$

จากสมการ (2.24) จะเห็นได้ว่าความสัมพันธ์ระหว่างกระแส I_x และแรงดัน V_{yx} นั้นอยู่ในรูปแบบของฟังก์ชันไซน์ไฮเปอร์โบลิก ซึ่งฟังก์ชันนี้เป็นฟังก์ชันที่ไม่เป็นเชิงเส้น แต่อย่างไรก็ตามภายใต้เงื่อนไข $V_{yx} \ll V_T$ เราสามารถประมาณความสัมพันธ์ระหว่างกระแส I_x และแรงดัน V_{yx} ให้เป็นเชิงเส้นได้ ซึ่งอธิบายได้โดยอาศัยอนุกรมเทย์เลอร์ (Taylor's Series) [48] ของฟังก์ชันไซน์ไฮเปอร์โบลิกที่ว่า

$$\sinh x = x + \frac{x^3}{3!} + \frac{x^5}{5!} + \frac{x^7}{7!} + \dots \quad ; -\infty < x < \infty \quad (2.25)$$

จากอนุกรมเทย์เลอร์ของ $\sinh x$ ในสมการ (2.25) จะเห็นได้ว่า ถ้ากำหนดให้ $x \ll 1$ จะทำให้เทอมที่มีกำลังมากกว่าหนึ่งของ $\sinh x$ นั้นมีค่าน้อยมากๆ เมื่อเปรียบเทียบกับเทอมแรก ดังนั้นจึงสามารถละทิ้งเทอมที่มีกำลังมากกว่าหนึ่งได้ มีผลทำให้ประมาณได้ว่า $\sinh x \cong x$ และจากสมการ (2.24) เมื่อพิจารณาประกอบกับสมการ (2.25) เราจะสามารถแสดงกระแส I_x ในรูปแบบของอนุกรมเทย์เลอร์ได้ดังนี้

$$I_x = 2I_o \left\{ \frac{V_{yx}}{V_T} + \frac{1}{3!} \left(\frac{V_{yx}}{V_T} \right)^3 + \frac{1}{5!} \left(\frac{V_{yx}}{V_T} \right)^5 + \frac{1}{7!} \left(\frac{V_{yx}}{V_T} \right)^7 + \dots \right\} \quad (2.26)$$

จากสมการ (2.26) จะเห็นได้อย่างชัดเจนว่าถ้า $\frac{V_{yx}}{V_T} \ll 1$ หรือค่า $V_{yx} \ll V_T$ มากๆ จะทำให้เทอมที่มีกำลังมากกว่าหนึ่งมีค่าน้อยมาก เมื่อเปรียบเทียบกับเทอมแรก ดังนั้นจึงละทิ้งเทอมที่มีกำลังมากกว่าหนึ่งของอนุกรม $\sinh x$ ในสมการ (2.26) ได้ และทำให้ประมาณได้ว่า

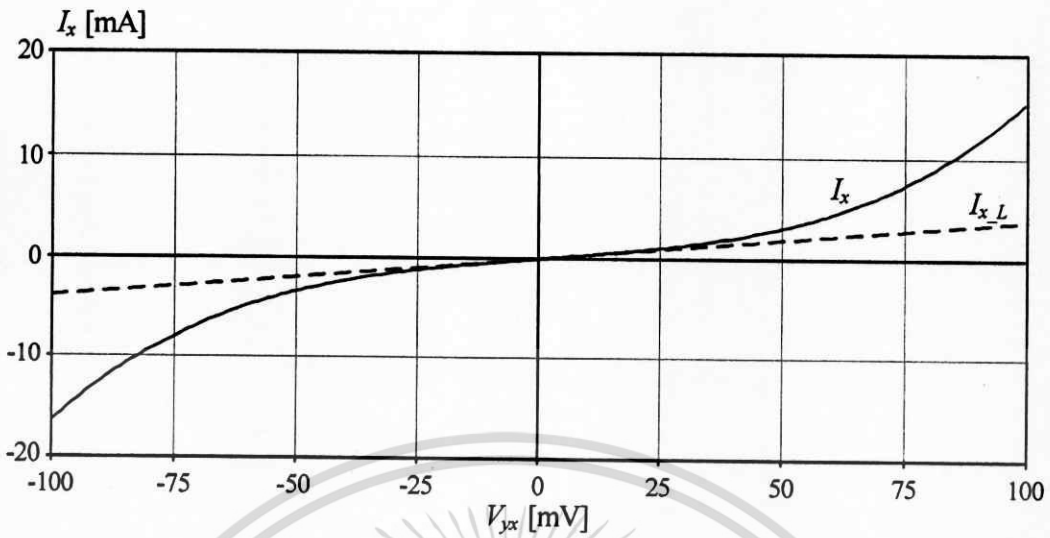
$$\sinh \left(\frac{V_{yx}}{V_T} \right) \cong \frac{V_{yx}}{V_T} \quad (2.27)$$

จากการประมาณค่าในสมการ (2.27) เมื่อแทนค่าลงในสมการ (2.24) จะได้ว่า

$$I_{x-L} = 2I_o \frac{V_{yx}}{V_T} \quad (2.28)$$

เมื่อกำหนดให้ I_{x-L} คือกระแส I_x ที่เป็นเชิงเส้น

จากสมการ (2.28) จะเห็นได้ว่ากระแส I_x และแรงดัน V_{yx} ($V - I$ characteristic) นั้นมีความสัมพันธ์ในรูปแบบของฟังก์ชันเชิงเส้น ซึ่งทั้งนี้อยู่ภายใต้เงื่อนไขคือ $V_{yx} \ll V_T$ ดังนั้นเมื่อนำไปใช้งานถ้าแรงดัน V_{yx} มีค่ามากกว่าแรงดัน $V_T \approx 26\text{mV}$ จะทำให้การประมาณ $\sinh x \cong x$ มีความคลาดเคลื่อนไปจากค่าที่แท้จริงมาก เพื่อแสดงให้เห็นอย่างชัดเจนจะได้พล็อตกราฟกระแส I_x ในสมการ (2.24) เปรียบเทียบกับกระแส I_{x-L} ในสมการ (2.28) เมื่อแรงดัน V_{yx} มีการเปลี่ยนแปลง



รูปที่ 2.4 กราฟเปรียบเทียบระหว่างกระแส I_x และ $I_{x,L}$

โดยได้กำหนดให้กระแสไบอัส $I_0 = 500 \mu A$ และแรงดัน $V_T = 26 mV$ ซึ่งผลจากการพล็อตกราฟ แสดงได้ดังรูปที่ 2.4

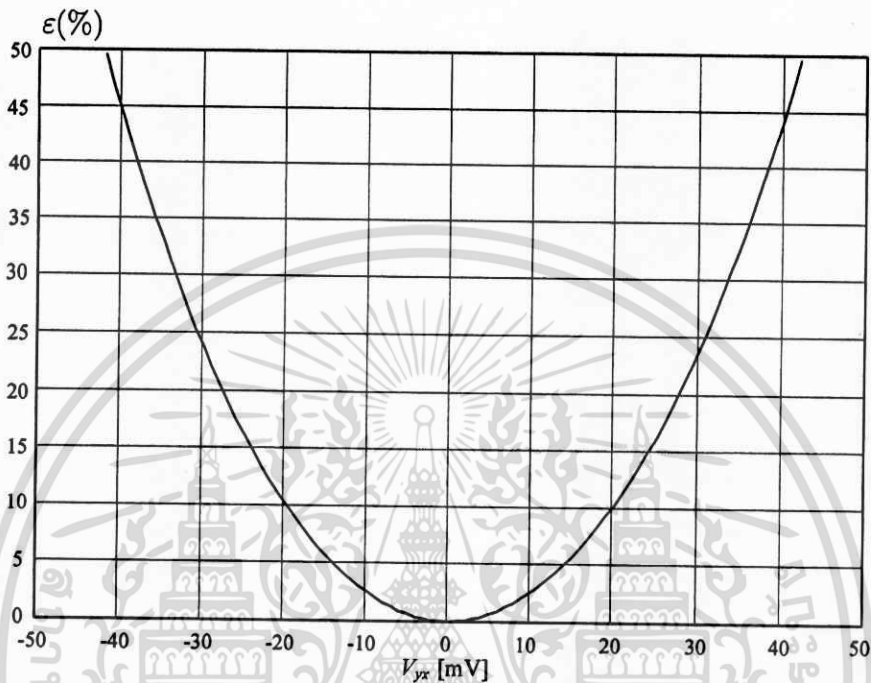
จากกราฟรูปที่ 2.4 จะเห็นได้อย่างชัดเจนว่ากระแส I_x ซึ่งอยู่ในรูปแบบของฟังก์ชัน sinh จะสามารถประมาณให้เป็นเชิงเส้นได้ในช่วง $V_{yx} \ll V_T$ เท่านั้น สังเกตได้ว่ากราฟทั้งสองนั้นทับกันสนิท แต่เมื่อ $V_{yx} > V_T$ จะทำให้การประมาณว่าเป็นเชิงเส้นนั้นผิดพลาดไปจากค่าที่เป็นจริงมาก ซึ่งจะเห็นได้จากการที่เส้นกราฟทั้งสองเริ่มที่จะแยกจากกันมากขึ้นเรื่อยๆ ในการหาค่าความผิดพลาดในการประมาณกระแส I_x ด้วยกระแส $I_{x,L}$ จะแสดงได้โดยการหาค่าเปอร์เซ็นต์ความผิดพลาดในการประมาณดังนี้

$$\varepsilon (\%) = \left| \frac{I_{x,L} - I_x}{I_{x,L}} \right| 100 \quad (2.29)$$

จากสมการ (2.29) เมื่อนำมาพล็อตกราฟโดยให้แรงดัน V_{yx} มีการเปลี่ยนแปลง จะแสดงค่าเปอร์เซ็นต์ความผิดพลาด (ε) ในการประมาณกระแส I_x ด้วยกระแส $I_{x,L}$ ได้ดังรูปที่ 2.5

จากรูปที่ 2.5 จะเห็นได้อย่างชัดเจนว่าค่าเปอร์เซ็นต์ความผิดพลาดจะมีค่ามากขึ้นเมื่อแรงดัน V_{yx} มีค่าเพิ่มขึ้น จากกราฟจะเห็นว่าค่าเปอร์เซ็นต์ความผิดพลาดมีค่ามากกว่า 15% ที่แรงดัน $V_{yx} \cong \pm V_T$ ซึ่งเมื่อนำวงจรรูปทรานซิสเตอร์สมนี้ไปสังเคราะห์เป็นวงจรประมวลสัญญาณที่เป็นเชิงเส้นแล้วก็จะทำให้เกิดความคลาดเคลื่อนในการทำงานขึ้นมา ซึ่งถ้าต้องการให้วงจรมีความเป็นเชิงเส้นสูงขนาดของแรงดันอินพุต V_{yx} ก็จะต้องถูกจำกัดให้มีขนาดที่เล็กมากๆ (Small signal) $|V_{yx}| \ll V_T$

ดังนั้นจึงเป็นปัญหาที่น่าสนใจในการหาทางปรับปรุงวงจรให้มีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้น ซึ่งในวิทยานิพนธ์นี้ได้นำเสนอเทคนิคที่จะขยายย่านการทำงานที่เป็นเชิงเส้นให้กับวงจรนี้ให้กว้างขึ้นกว่าแรงดัน V_T



รูปที่ 2.5 เปอร์เซ็นต์ความผิดพลาดในการประมาณกระแส I_x ด้วยกระแส $I_{x,L}$

สำหรับในกรณีที่ให้กระแส (I_x) เป็นสัญญาณอินพุต ขนาดของสัญญาณกระแส I_x ก็จะส่งผลต่อความเป็นเชิงเส้นของวงจรเช่นกัน ซึ่งสามารถอธิบายได้ดังนี้

จากสมการ (2.24) เมื่อจัดรูปสมการใหม่จะได้

$$V_{yx} = V_T \sinh^{-1} \left(\frac{I_x}{2I_0} \right) \quad (2.30)$$

จากสมการ (2.30) จะเห็นได้ว่าความสัมพันธ์ระหว่างแรงดัน V_{yx} และกระแส I_x จะอยู่ในรูปของอินเวอร์สฟังก์ชันไฮเพอร์โบลิก ซึ่งจากอนุกรมของ Taylor's Series [48] จะได้ดังนี้

$$\sinh^{-1}(x) = x - \frac{(1)}{(2)} \frac{x^3}{3} + \frac{(1.3)}{(2.4)} \frac{x^5}{5} - \frac{(1.3.5)}{(2.4.6)} \frac{x^7}{7} + \dots \quad ; |x| < 1 \quad (2.31)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (2.30) เมื่อพิจารณาประกอบกับสมการ (2.31) จะสามารถแสดงความสัมพันธ์ของแรงดัน V_{yx} และกระแส I_x ในรูปแบบของอนุกรมเทย์เลอร์ได้ดังนี้

$$V_{yx} = V_T \left\{ \left(\frac{I_x}{2I_0} \right) - \left(\frac{1}{6} \right) \left(\frac{I_x}{2I_0} \right)^3 + \left(\frac{3}{40} \right) \left(\frac{I_x}{2I_0} \right)^5 - \left(\frac{15}{336} \right) \left(\frac{I_x}{2I_0} \right)^7 + \dots \right\} \quad (2.32)$$

จากสมการ (2.32) จะเห็นได้ว่าถ้าค่าของ $\frac{I_x}{2I_0} \ll 1$ จะส่งผลให้เทอมที่มีกำลังมากกว่าหนึ่งมีค่าน้อยมากจนสามารถละทิ้งได้ ดังนั้นจึงประมาณได้ว่า

$$\sinh^{-1} \left(\frac{I_x}{2I_0} \right) \cong \frac{I_x}{2I_0} \quad (2.33)$$

จากการประมาณในสมการ (2.33) ดังนั้นจะสามารถแสดงความสัมพันธ์ระหว่างแรงดัน V_{yx} และกระแส I_x ในสมการ (2.30) ได้ดังนี้

$$V_{yx} = V_T \left(\frac{I_x}{2I_0} \right) \quad (2.34)$$

จากสมการ (2.34) จะเห็นได้ว่าความสัมพันธ์ระหว่างแรงดัน V_{yx} และกระแส I_x นั้นเป็นเชิงเส้น ทั้งนี้ขึ้นอยู่กับเงื่อนไขคือ $I_x \ll 2I_0$ ดังนั้นถ้าวงจรต้องการคุณสมบัติความเป็นเชิงเส้นสูง ขนาดของสัญญาณกระแสอินพุต I_x ควรจะต้องมีขนาดเล็กๆ

จากการวิเคราะห์วงจรที่ผ่านมาจะเห็นได้ว่าที่ขั้ว X นี้เป็นขั้วที่สำคัญ กล่าวคือขนาดของกระแส และแรงดันที่เปลี่ยนแปลงที่ขั้วนี้จะส่งผลต่อความเป็นเชิงเส้นของวงจร ซึ่งจากการวิเคราะห์จะเห็นได้ว่าถ้าต้องการความเป็นเชิงเส้นของวงจรสูง ขนาดของแรงดัน V_{yx} และกระแส I_x ควรจะมีขนาดเล็กๆ คือ $V_{yx} \ll V_T$ และ $I_x \ll 2I_0$ ซึ่งทำให้เป็นข้อจำกัดในการนำไปประยุกต์ใช้งาน ดังนั้นในวิทยานิพนธ์นี้ได้พยายามลดข้อจำกัดดังกล่าว ซึ่งจะได้นำเสนอในบทต่อไป

2.2.4 ค่าความต้านทานอินพุตที่ขั้ว X

สำหรับในหัวข้อนี้จะได้กล่าวถึงการวิเคราะห์หาค่าความต้านทานภายในที่ขั้ว X (R_x) ซึ่งความต้านทาน R_x นี้เป็นความต้านทานที่น่าสนใจ เนื่องจากสามารถปรับค่าได้ด้วยกระแสไบอัส I_0 ของวงจร ทำให้เป็นที่นิยมนำไปประยุกต์ใช้ในวงจรต่างๆ มากมาย ดังที่ได้กล่าวไปบ้างแล้วในบทนำ สำหรับการวิเคราะห์นั้นจะกำหนดให้ขั้ว Y ถูกต่อลงกราวด์ และให้สัญญาณแรงดันอินพุตเข้าที่ขั้ว X โดยขนาดของแรงดันอินพุต $V_x \ll V_T$ ดังนั้นจึงสามารถประมาณได้ว่าความสัมพันธ์

ระหว่างแรงดัน V_x และกระแส I_x ของวงจรมันเป็นเชิงเส้นตามสมการ (2.28) ซึ่งจะได้ค่าความต้านทานที่ขั้ว X ดังนี้

$$\frac{V_x}{I_x} = R_x = \frac{V_T}{2I_o} \quad (2.35)$$

จากสมการ (2.35) จะเห็นได้ว่าค่าความต้านทานภายในที่ขั้ว X นี้จะมีค่าแปรตามพารามิเตอร์สองตัวคือ V_T และ I_o โดยจะแปรผันตรงตามแรงดันเชิงอุณหภูมิ V_T และแปรผกผันกับกระแสไบอัส I_o ของวงจรถัดไป เนื่องจากแรงดัน V_T นั้นเป็นแรงดันที่มีค่าเปลี่ยนแปลงตามอุณหภูมิซึ่งไม่สามารถปรับเปลี่ยนหรือควบคุมได้ง่าย ดังนั้นในการปรับเปลี่ยนค่าความต้านทาน R_x นี้จะทำได้โดยการปรับค่ากระแสไบอัส I_o ของวงจรถัดไป ซึ่งเป็นวิธีการที่สามารถทำได้ง่าย ๆ ดังนั้นจึงมีประโยชน์อย่างมากสำหรับวงจรถัดไปที่ต้องอาศัยค่าความต้านทานในการปรับค่าพารามิเตอร์ เช่น วงจรรองสัญญาณ วงจรขยายสัญญาณ และวงจรถอดสปีดสัญญาณ เนื่องจากช่วยลดตัวต้านทานพาสซีฟภายนอกทำให้ลดพื้นที่ในวงจรรวมลงไปได้มาก นอกจากนี้ยังสะดวกในการปรับเปลี่ยนค่าความต้านทานแต่อย่างไรก็ตามช่วงการทำงานที่เป็นเชิงเส้นของความต้านทานนั้นมีค่าที่ไม่กว้างนัก ซึ่งทำให้เป็นข้อจำกัดอย่างหนึ่งสำหรับการนำไปประยุกต์ใช้งานในวงจรถัดไป

2.3 สรุป

เนื้อหาในบทนี้จะประกอบไปด้วยสองส่วนหลัก กล่าวคือส่วนแรกได้กล่าวถึงหลักการของวงจรถานสลิเนียมที่ออกแบบโดยใช้ไบโพลาร์ทรานซิสเตอร์ (BJT) โดยได้กล่าวถึงที่มาของหลักการทรานสลิเนียม และแสดงสมการทั่วไปที่ได้จากวงจรถานสลิเนียม เพื่อเป็นพื้นฐานนำไปสู่เนื้อหาในส่วนที่สอง คือการวิเคราะห์วงจรถานสลิเนียมผสมซึ่งออกแบบโดย Fabre A. [1] โดยได้แสดงการวิเคราะห์คุณสมบัติต่างๆ ที่สำคัญของวงจรถัดไป ซึ่งประกอบไปด้วยความสัมพันธ์ระหว่างแรงดันที่ขั้ว Y และ X การวิเคราะห์หาค่ากระแส และค่าความต้านทานภายในที่ขั้ว Y และ X ผลจากการวิเคราะห์จะพบว่าความสัมพันธ์ของกระแส I_x และแรงดัน V_x จะอยู่ในรูปของฟังก์ชันไซน์ไฮเปอร์โบลิก ซึ่งเป็นฟังก์ชันที่ไม่เป็นเชิงเส้น แต่สามารถประมาณให้เป็นเชิงเส้นได้เมื่อกำหนดให้ $V_x \ll V_T$ และ $I_x \ll 2I_o$ ซึ่งเป็นข้อจำกัดในการนำไปใช้งาน ดังนั้นในวิทยานิพนธ์นี้จึงได้นำเสนอเทคนิคการขยายช่วงการทำงานที่เป็นเชิงเส้นของวงจรถัดไป ซึ่งจะได้นำเสนอการปรับปรุงวงจรถัดไป

บทที่ 3

วงจรถานสลิเนียร์ผสมที่มีช่วงการทำงานเชิงเส้นกว้าง

ในบทที่ผ่านมาได้กล่าวถึงหลักการของวงจรถานสลิเนียร์ และวงจรถานสลิเนียร์ผสม [1] โดยได้อธิบายทฤษฎีพื้นฐานของการทำงานของวงจรถานสลิเนียร์ จะสังเกตเห็นได้ว่าหลักการของวงจรถานสลิเนียร์เป็นหลักการที่สามารถทำความเข้าใจได้ง่าย เมื่อนำมาออกแบบเป็นวงจรถานสลิเนียร์ที่มีโครงสร้างที่เรียบง่าย และการทำงานของวงจรถานสลิเนียร์ก็ไม่มีสลับซับซ้อนนัก ดังนั้นจึงเป็นที่นิยมในการนำไปสังเคราะห์เป็นวงจรถานสลิเนียร์ผสมอนาล็อกประเภทต่างๆ อย่างมากมาย สำหรับในวิทยานิพนธ์นี้ ได้ให้ความสนใจในวงจรถานสลิเนียร์ผสมที่นำเสนอโดย Fabre A. [1] ซึ่งที่ผ่านมาได้มีการนำไปประยุกต์สร้างเป็นวงจรถานสลิเนียร์ต่างๆ ตามที่ได้กล่าวไปแล้วในบทที่ผ่านมา แต่อย่างไรก็ตามเมื่อพิจารณาช่วงการปฏิบัติงานที่เป็นเชิงเส้นของวงจรถานสลิเนียร์ จะพบว่าในช่วงการทำงานที่ค่อนข้างแคบ (ประมาณ $V_T \approx 26mV$) [49] จึงเป็นข้อจำกัดข้อหนึ่งสำหรับการนำไปประยุกต์ใช้งานในวงจรถานสลิเนียร์เชิงเส้น ดังนั้นในวิทยานิพนธ์ฉบับนี้จึงมุ่งหมายที่จะนำเสนอเทคนิคสำหรับการขยายช่วงการทำงานที่เป็นเชิงเส้นของวงจรถานสลิเนียร์ผสม [1] ให้กว้างขึ้นจากเดิม ซึ่งทำได้โดยการออกแบบให้ทรานซิสเตอร์ในรูปมีช่วงการนำกระแสกว้างขึ้น ด้วยเทคนิคที่นำเสนอจะไม่ทำให้การออกแบบวงจรมีความยุ่งยากซับซ้อนจนเกินไป และผลที่ได้จากการปรับปรุงวงจรถานสลิเนียร์ คือช่วงการปฏิบัติงานที่เป็นเชิงเส้นของวงจรถานสลิเนียร์ผสมที่กว้างขึ้นกว่าวงจรถานสลิเนียร์เดิมอย่างน่าพอใจ ซึ่งรายละเอียดของการออกแบบวงจรถานสลิเนียร์ผสมได้กล่าวถึงในลำดับต่อไป

3.1 บทนำ

นับตั้งแต่ที่ได้มีการนำเสนอวงจรถานสลิเนียร์ผสมโดย Fabre A. ในปี 1983 [1] ต่อมาได้มีผู้เสนองานวิจัยที่นำเอาวงจรถานสลิเนียร์ไปประยุกต์ใช้สร้างเป็นวงจรถานสลิเนียร์ต่างๆ อย่างมากมาย [2-26] ซึ่งน่าจะเป็นผลมาจากคุณสมบัติที่เป็นเอกลักษณ์เฉพาะของวงจรถานสลิเนียร์ที่สามารถนำไปใช้ออกแบบวงจรถานสลิเนียร์ให้ทำงานได้ทั้งในโหมดกระแส และแรงดัน จึงทำให้เป็นที่สนใจในการนำไปประยุกต์สร้างเป็นวงจรถานสลิเนียร์ต่างๆ อาทิเช่น วงจรถานสลิเนียร์ผสม [15-18] วงจรถานสลิเนียร์ผสมที่ใช้ทรานซิสเตอร์ชนิด CMOS เช่นตัวต้านทาน [6] ขดลวดเหนี่ยวนำ [26] และวงจรถานสลิเนียร์ผสมสำหรับวงจรถานสลิเนียร์ผสมแบบสองที่ควบคุมได้ด้วยกระแส (CCCI) [4] โดยก่อนหน้านี้นักวิจัยต่างๆ เหล่านี้มักจะออกแบบโดยอาศัยอุปกรณ์ออปแอมป์มาประกอบในวงจรถานสลิเนียร์ผสม [1] มาประกอบในวงจรถานสลิเนียร์ผสมมีผลทำให้วงจรถานสลิเนียร์ผสมมีความถี่สูงขึ้น และมีกำลังงานสูญเสียลดลง [4] นอกจากนี้วงจรถานสลิเนียร์ผสมยังมีความต้านทานแฝงที่สามารถปรับค่าได้ด้วยการปรับค่ากระแสไบอัสของวงจรถานสลิเนียร์ผสม ซึ่งเมื่อนำมาประยุกต์ใช้ในวงจรถานสลิเนียร์ผสมจะทำให้ไม่ต้องอาศัยตัวต้านทานในการประกอบ

วงจรเลย จึงเหมาะสำหรับการนำไปสร้างเป็นวงจรรวม เนื่องจากช่วยลดพื้นที่ในวงจรรวมไปได้มาก อย่างไรก็ตามเมื่อพิจารณาขบวนการทำงานที่เป็นเชิงเส้นของวงจรนี้ จะพบว่ามีความถี่ในช่วงประมาณ $\pm V_T$ เท่านั้น จึงเป็นข้อจำกัดอย่างหนึ่งในการนำไปใช้งาน ซึ่งวิธีการที่สามารถขยายช่วงการทำงานที่เป็นเชิงเส้นของวงจรนี้ที่ง่ายที่สุดคือการต่อตัวต้านทานแบบพาสซีฟที่ขั้ว X ของวงจร [47] แต่อย่างไรก็ตามการใช้วิธีการนี้มีผลทำให้สิ้นเปลืองพื้นที่ในวงจรรวม ซึ่งจากการศึกษาที่ผ่านมาได้พบว่าในบทความที่ [31] ได้พยายามปรับปรุงช่วงการทำงานของวงจรนี้ให้กว้างขึ้น โดยใช้เทคนิคที่เรียกว่า “Multi-sinh” ซึ่งช่วงการปฏิบัติงานที่เป็นเชิงเส้นของวงจรที่เพิ่มขึ้นจะขึ้นอยู่กับจำนวนของทรานซิสเตอร์ที่ต่อคาสโคดกัน ดังนั้นเทคนิคนี้จะมีข้อเสียคือพื้นที่ในวงจรรวม แหล่งจ่ายไฟเลี้ยงจะเพิ่มขึ้น และกำลังงานสูญเสียในวงจรจะเพิ่มขึ้นด้วย

จากสาเหตุดังกล่าว จึงได้เกิดแนวความคิดที่จะปรับปรุงวงจรทรานสลิเนียร์ผสม [1] โดยมีจุดมุ่งหมายเพื่อที่จะขยายช่วงการทำงานที่เป็นเชิงเส้นของวงจร ซึ่งวงจรที่ได้ปรับปรุงจะอาศัยหลักการจัดไบอัสให้กับทรานซิสเตอร์ในวงจรทรานสลิเนียร์เดิมใหม่ เพื่อให้ทรานซิสเตอร์ในลูบยังคงนำกระแสได้ในช่วงที่แรงดันอินพุตมีขนาดใหญ่ขึ้น ซึ่งทำได้โดยการต่อวงจรคู่คอมมอนแอนอด (Common-anode-connected pairs) เพิ่มเข้าไปในลูบ ผลที่ได้คือทรานซิสเตอร์ในลูบจะมีช่วงการนำกระแสกว้างขึ้นเมื่อเปรียบเทียบกับวงจรเดิม ด้วยเทคนิคใหม่ที่ได้นำเสนอจะไม่ทำให้การออกแบบวงจรยุ่งยากซับซ้อนจนเกินไป เนื่องจากมีการใช้ทรานซิสเตอร์เพิ่มเติมขึ้นอีกเพียง 4 ตัวเท่านั้น ด้วยวิธีการนี้จะทำให้กำลังงานสูญเสียในวงจรเพิ่มขึ้นเพียงเล็กน้อย เมื่อเปรียบเทียบกับวงจรเดิม ในขณะที่ช่วงการปฏิบัติงานที่เป็นเชิงเส้นได้กว้างขึ้นกว่าเดิมมาก นอกจากนี้วงจรที่ได้ปรับปรุงจะประกอบด้วยทรานซิสเตอร์เท่านั้น จึงทำให้ประหยัดพื้นที่ในวงจรรวม และเหมาะสำหรับการนำไปประกอบร่วมกับวงจรอื่นๆ ด้วย

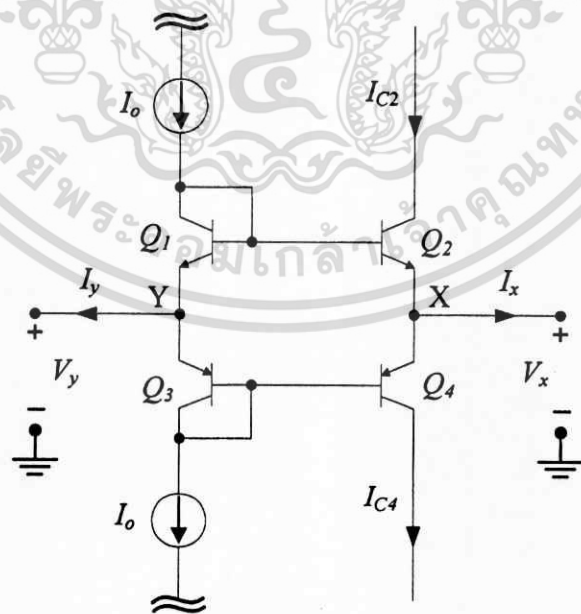
ในหัวข้อต่อไปจะเป็นการกล่าวถึงหลักการที่ใช้ในการออกแบบวงจร เพื่อขยายช่วงการทำงานที่เป็นเชิงเส้นของวงจรทรานสลิเนียร์ผสม [1] ให้กว้างขึ้นกว่าวงจรเดิม หลังจากนั้นจะเป็นการวิเคราะห์วงจร รวมทั้งจะได้แสดงการวิเคราะห์สมการเพื่อทำให้ความเพี้ยนของสัญญาณเอาต์พุตที่เกิดจากความถี่ฮาร์โมนิกที่สาม (Third harmonic distortion) มีค่าลดลง ด้วยวิธีการจัดอัตราส่วนของกระแสไบอัสของวงจรที่นำเสนอให้เหมาะสมกับค่า β ของทรานซิสเตอร์ที่ใช้ประกอบในวงจร พร้อมทั้งเสนอให้เห็นถึงผลการเลียนแบบการทำงานของวงจร โดยใช้โปรแกรมคอมพิวเตอร์ และสุดท้ายจะได้สรุปผลงานที่ได้นำเสนอมา

3.2 หลักการขยายช่วงการทำงานที่เป็นเชิงเส้นของวงจรทรานสลิเนียร์ผสมที่นำเสนอ

หลักการปรับปรุงวงจรทรานสลิเนียร์ผสม [1] ให้มีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นที่นำเสนอในวิทยานิพนธ์นี้มีแนวคิดริเริ่มมาจากการสังเกตเห็นว่ากระแสเอาต์พุต (I_x) ของวงจรมันเกิดมาจากผลต่างระหว่างกระแสคอลเล็กเตอร์ I_{c2} และ I_{c4} และเพื่อความสะดวกในการกล่าวอ้างอิง

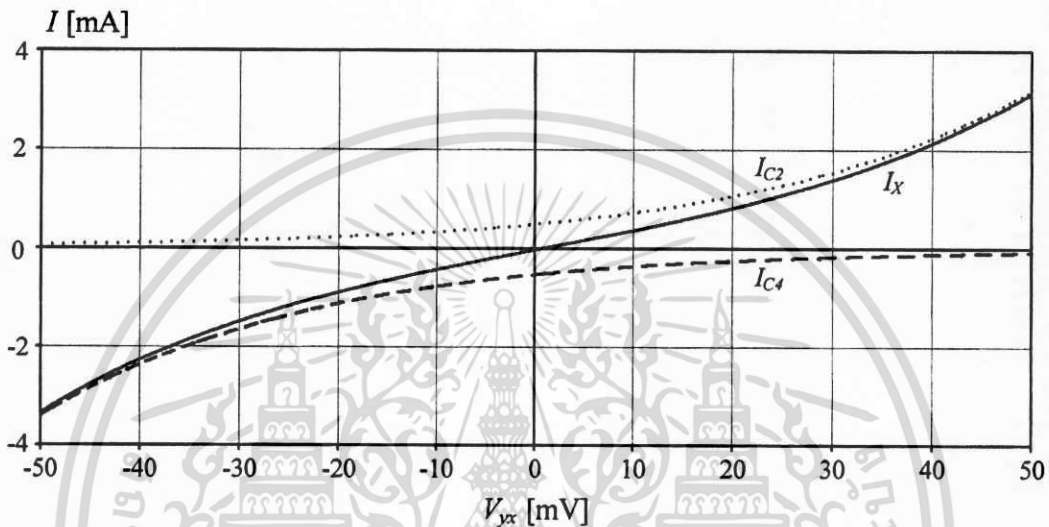
จึงได้แสดงรูปวงจรที่ 2.3 อีกครั้งตามรูปที่ 3.1 โดยในขณะที่แรงดันอินพุตมีขนาดเล็กๆ นั้น กล่าวคือ $V_{yx} \ll |V_T|$ ได้สังเกตเห็นว่าทรานซิสเตอร์ Q_2 และ Q_4 ทำงาน และนำกระแส ซึ่งในบทที่ผ่านมา ได้แสดงการวิเคราะห์ห้วงจร และพบว่ากระแสคอลเลกเตอร์ I_{c2} และ I_{c4} จะอยู่ในรูปแบบของฟังก์ชันเอกซ์โพเนนเชียล (exponential) ของแรงดันอินพุต V_{yx} ดังแสดงในสมการ (2.20) และ (2.22) ตามลำดับ โดยเราสามารถประมาณได้ว่ากระแสคอลเลกเตอร์ I_{c2} และ I_{c4} ที่อยู่ในฟังก์ชันเอกซ์โพเนนเชียลนั้นเป็นเชิงเส้นได้ เมื่อแรงดันอินพุตมีขนาดเล็กๆ ซึ่งสามารถอธิบายได้โดยอาศัยอนุกรมเทย์เลอร์ ($e^x \approx 1 + x$) (รายละเอียดจะได้แสดงไว้ในภาคผนวก ก) ดังนั้นเราจึงประมาณได้ว่ากระแสเอาต์พุต I_x เป็นเชิงเส้น แต่เมื่อแรงดันอินพุตมีขนาดใหญ่ขึ้น ได้สังเกตเห็นว่าทรานซิสเตอร์ Q_2 และ Q_4 จะนำกระแสเพียงตัวใดตัวหนึ่งเท่านั้น และการประมาณสมการเอกซ์โพเนนเชียลให้เป็นสมการเชิงเส้นจะมีความคลาดเคลื่อนไปจากค่าที่แท้จริงมากยิ่งขึ้น ทำให้ไม่สามารถประมาณว่ากระแสเอาต์พุต I_x เป็นเชิงเส้นได้อีกต่อไป

จากจุดอ่อนของวงจรดังที่ได้อธิบายข้างต้น จึงทำให้เกิดแนวความคิดในวิทยานิพนธ์นี้ว่า ถ้าออกแบบให้ทรานซิสเตอร์ทั้งสอง (Q_2 และ Q_4) ทำงาน และมีกระแสไหลในช่วงที่แรงดันอินพุตมีขนาดใหญ่ มีความน่าจะเป็นไปได้ที่จะเกิดการหักล้างกันเองของฟังก์ชันเอกซ์โพเนนเชียล ($I_x = I_{c2} - I_{c4}$) ซึ่งมีผลทำให้เกิดการลดทอนความไม่เป็นเชิงเส้นที่มาจากฟังก์ชันเอกซ์โพเนนเชียลกันเอง และจากแนวความคิดดังกล่าวนี้ ทำให้มีความพยายามที่จะเพิ่มช่วงการทำงานให้กับทรานซิสเตอร์ Q_2 และ Q_4 เพื่อให้ทรานซิสเตอร์ทั้งสองมีช่วงการนำกระแสที่กว้างขึ้น ซึ่งจะส่งผลให้ช่วงการปฏิบัติงานที่เป็นเชิงเส้นของวงจรทรานสลิเนียร์ผสมกว้างมากขึ้นจากวงจรเดิม [1] ด้วย



รูปที่ 3.1 วงจรทรานสลิเนียร์ผสม [1]

จากแนวคิดดังกล่าวเมื่อพิจารณากราฟคุณสมบัติการส่งผ่าน (DC transfer characteristic) ของวงจรทรานซิสเตอร์ผสมในรูปที่ 3.1 ระหว่างกระแสคอลเลกเตอร์ (I_{c2}, I_{c4}) ของทรานซิสเตอร์ทั้งสองคือ Q_2 และ Q_4 กับกระแสเอาต์พุต I_x เมื่อแรงดันอินพุต V_{yx} มีการเปลี่ยนแปลง โดยได้จำลองการทำงานของวงจรด้วยโปรแกรม PSPICE เมื่อกำหนดให้กระแสไบอัส $I_o = 500\mu A$ ซึ่งผลที่ได้จากการจำลองการทำงานแสดงได้ในรูปที่ 3.2



รูปที่ 3.2 กราฟคุณสมบัติการส่งผ่านกระแสเมื่อแรงดันอินพุตเปลี่ยนแปลงของ Q_2 และ Q_4

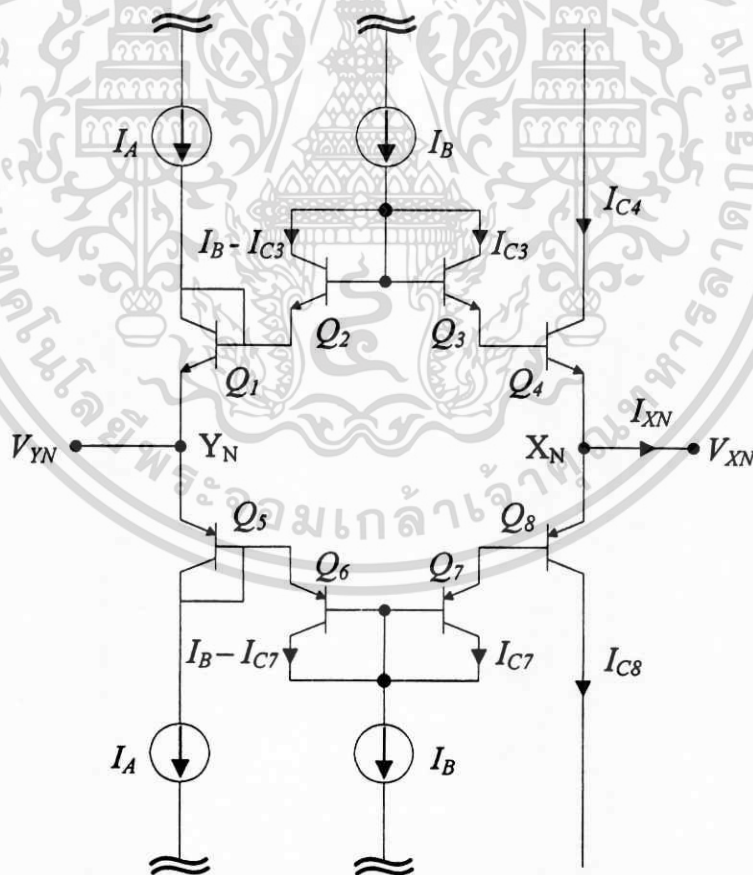
จากรูปที่ 3.2 เมื่อพิจารณาในช่วงการทำงานที่สามารถประมาณให้วงจรทรานซิสเตอร์ผสมทำงานเป็นเชิงเส้นได้คือ $V_{yx} \ll |V_T|$ ($V_T \approx 26mV$ ที่อุณหภูมิห้อง $27^\circ C$) จะเห็นได้ว่ากระแสเอาต์พุต I_x ซึ่งเป็นผลต่างระหว่างกระแสคอลเลกเตอร์ I_{c2} และ I_{c4} ค่อนข้างที่จะเป็นเชิงเส้น และจะสังเกตเห็นได้ว่าทรานซิสเตอร์ Q_2 และ Q_4 ทำงาน โดยมีกระแสไหลอยู่ตลอดเวลา ซึ่งในทางทฤษฎีเราสามารถประมาณให้กระแสเอาต์พุต I_x เป็นฟังก์ชันเชิงเส้นได้ในช่วงที่แรงดันอินพุต $V_{yx} \ll |V_T|$ แต่สำหรับช่วงที่ไม่เป็นเชิงเส้นหรือ $V_{yx} \gg |V_T|$ จะเห็นได้ว่ากระแส I_x ซึ่งเกิดจากผลต่างระหว่างกระแสคอลเลกเตอร์ I_{c2} และ I_{c4} จะมีค่าใกล้เคียงกับกระแสคอลเลกเตอร์ I_{c2} หรือ I_{c4} ทั้งนี้เนื่องมาจากทรานซิสเตอร์ Q_2 หรือ Q_4 จะมีการนำกระแสเพียงตัวใดตัวหนึ่งเท่านั้น โดยทรานซิสเตอร์ตัวที่เหลือเกือบจะไม่มีกระแสไหลเลย ดังนั้นเมื่อแรงดันอินพุตมีค่ามากขึ้นจะทำให้กระแสเอาต์พุต I_x ไม่เป็นเชิงเส้นมากขึ้นด้วย

จากที่กล่าวมาจึงเป็นเหตุให้เกิดความคิดที่จะทำให้ทรานซิสเตอร์ Q_2 และ Q_4 ทำงานและมีกระแสไหลในช่วงที่อินพุตเปลี่ยนแปลงกว้างขึ้น ด้วยจุดประสงค์ดังกล่าว จึงเป็นแรงจูงใจให้คิดวิธีการที่จะจัดไบอัสให้กับทรานซิสเตอร์ Q_2 และ Q_4 ในรูปแบบใหม่ที่มีความพิเศษเฉพาะตัว คือการเพิ่มคู่

คอมมอนแอนโอดทรานซิสเตอร์ (Common-anode-connected pairs) เข้าไปในรูป ด้วยวิธีการที่ได้ นำเสนอนี้วงจรจะยังคงมีคุณสมบัติตามหลักการของวงจรทรานสลิเนียร์ ซึ่งจากการจำลองการทำงาน พบว่าช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นกว่าวงจรถัดมากอย่างน่าพอใจ ในขณะที่กำลังงานสูญเสียในวงจรเพิ่มขึ้นจากเดิมเพียงเล็กน้อย นอกจากนี้วงจรยังมีโครงสร้างที่เรียบง่าย ไม่ซับซ้อนโดยจะ ประกอบไปด้วยอุปกรณ์ชนิดแอกทิฟเท่านั้น ดังนั้นจึงเหมาะสำหรับการนำไปออกแบบในวงจรรวม สำหรับรายละเอียดของการออกแบบจะนำเสนอในหัวข้อต่อไป

3.3 วงจรทรานสลิเนียร์ผสมที่มีช่วงการทำงานที่เป็นเชิงเส้นกว้าง

หัวข้อที่ผ่านมาได้กล่าวถึงปัญหา และแรงจูงใจในการคิดปรับปรุงวงจรทรานสลิเนียร์ผสม [1] โดยมีจุดประสงค์เพื่อให้วงจรมีช่วงปฏิบัติงานที่เป็นเชิงเส้นกว้างขึ้น ซึ่งเทคนิคที่ได้นำเสนอคือการ พยายามทำให้ทรานซิสเตอร์ Q_2 และ Q_4 ของวงจรในรูปที่ 3.1 มีช่วงการนำกระแสที่กว้างขึ้นกว่าเดิม ซึ่งตอบสนองต่อแนวความคิดในการปรับปรุงจุดอ่อนของวงจรรูปแบบเดิมดังกล่าวข้างต้น โดยวงจรที่ นำเสนอแสดงได้ดังรูปที่ 3.3



รูปที่ 3.3 วงจรทรานสลิเนียร์ผสมที่มีช่วงการทำงานที่เป็นเชิงเส้นกว้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรถานสลิเนียร์ผสมที่นำเสนอเพื่อปรับปรุงให้มีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นดังที่แสดงในรูปที่ 3.3 นั้น จะเห็นได้ว่าวงจรถานประกอบไปด้วยทรานซิสเตอร์ $Q_1 - Q_8$ ต่อเรียงกันเป็นลูปปิดตามหลักการของวงจรถานสลิเนียร์ โดยที่ทรานซิสเตอร์ $Q_1 - Q_4$ เป็นทรานซิสเตอร์ชนิด NPN และ $Q_5 - Q_8$ เป็นทรานซิสเตอร์ชนิด PNP และมีแหล่งจ่ายกระแส I_A และ I_B จ่ายกระแสไบอัสให้กับวงจรถาน จากรูปวงจรถานจะเห็นได้อย่างชัดเจนว่าวงจรถานที่ปรับปรุงนั้นมีความแตกต่างจากวงจรถานเดิมเพียงเล็กน้อย กล่าวคือได้มีการเพิ่มทรานซิสเตอร์ 4 ตัว คือ $Q_2 - Q_3$ และ $Q_6 - Q_7$ เข้าไปในวงจรถานเดิมโดยทรานซิสเตอร์ทั้ง 4 ตัวนี้ได้มีการเชื่อมต่อขาคอลเลกเตอร์และขาเบสเข้าด้วยกัน และเพื่อความสะดวกในการกล่าวถึงเมื่ออธิบายวงจรถานจะเรียกทรานซิสเตอร์ที่เพิ่มเข้าไปว่า คู่คอมมอนแอนโอดทรานซิสเตอร์ ($Q_2 - Q_3$ และ $Q_6 - Q_7$) เมื่อเปรียบเทียบกับวงจรถานสลิเนียร์เดิมในรูปที่ 3.1 อาจจะสามารถกล่าวได้ว่าทรานซิสเตอร์ Q_4 และ Q_8 ในรูปที่ 3.2 นั้นทำหน้าที่เหมือนกับทรานซิสเตอร์ Q_2 และ Q_4 ของวงจรถานในรูปที่ 3.1 ตามลำดับ ซึ่งจุดประสงค์ในการเพิ่มคู่คอมมอนแอนโอดทรานซิสเตอร์เข้ามาในวงจรถานก็เพื่อจัดไบอัสให้กับทรานซิสเตอร์ Q_4 และ Q_8 ให้มีช่วงการนำกระแสที่กว้างขึ้น เมื่อเปรียบเทียบกับทรานซิสเตอร์ Q_2 และ Q_4 ในวงจรถานเดิม (รูปที่ 3.1) เพื่อความสะดวก และชัดเจนในการอธิบายวงจรถานจะกำหนดให้จุดต่อระหว่างขาอีมิเตอร์ของทรานซิสเตอร์ Q_1 และ Q_5 เป็นขั้ว Y_N และจุดต่อระหว่างขาอีมิเตอร์ของทรานซิสเตอร์ Q_4 และ Q_8 เป็นขั้ว X_N

สำหรับการวิเคราะห์ห้วงจรถานในรูปที่ 3.3 จะเริ่มจากการพิจารณาผลรวมของแรงดันเบส-อีมิเตอร์ (V_{be}) ภายในลูปปิดตามกฎของเคอร์ชอฟฟ์ ซึ่งจะได้ความสัมพันธ์ของรอยต่อเบส - อีมิเตอร์ในทิศทางตามเข็มนาฬิกา และทวนเข็มนาฬิกาดังนี้

$$V_{be3} + V_{be4} + V_{be7} + V_{be8} = V_{be1} + V_{be2} + V_{be5} + V_{be6} \quad (3.1)$$

จากความสัมพันธ์ระหว่างแรงดันเบส-อีมิเตอร์ (V_{be}) และกระแสคอลเลกเตอร์ (I_c) ของทรานซิสเตอร์ จะแสดงสมการ (3.1) ในรูปของฟังก์ชันกระแสคอลเลกเตอร์ได้ดังนี้

$$V_{T3} \ln \left(\frac{I_{c3}}{I_{S3}} \right) + V_{T4} \ln \left(\frac{I_{c4}}{I_{S4}} \right) + V_{T7} \ln \left(\frac{I_{c7}}{I_{S7}} \right) + V_{T8} \ln \left(\frac{I_{c8}}{I_{S8}} \right) = V_{T1} \ln \left(\frac{I_{c1}}{I_{S1}} \right) + V_{T2} \ln \left(\frac{I_{c2}}{I_{S2}} \right) + V_{T5} \ln \left(\frac{I_{c5}}{I_{S5}} \right) + V_{T6} \ln \left(\frac{I_{c6}}{I_{S6}} \right) \quad (3.2)$$

โดยที่ V_T คือแรงดันเชิงอุณหภูมิซึ่งมีค่าประมาณ 26 mV ที่อุณหภูมิ 27 °C

จากสมการ (3.2) เมื่อสมมติให้ทรานซิสเตอร์ทั้งหมด ($Q_1 - Q_8$) มีความสมพงษ์กันทุกประการที่อุณหภูมิแวดล้อมเดียวกัน และมีกระแสอิมิตวย้อนกลับเท่ากัน จากการสมมติดังกล่าวจะมีผล

ทำให้ V_T และ I_S ในสมการ (3.2) ถูกจัดออกไป ดังนั้นจะได้ความสัมพันธ์ของกระแสคอลเล็กเตอร์ในรูปทรานสลิเนียร์ดังนี้

$$I_{c3}I_{c4}I_{c7}I_{c8} = I_{c1}I_{c2}I_{c5}I_{c6} \quad (3.3)$$

จากสมการ (3.3) จะเห็นได้ว่าวงจรทรานสลิเนียร์ผสมที่นำเสนอในรูปที่ 3.3 ยังคงมีคุณสมบัติเป็นไปตามหลักการของวงจรทรานสลิเนียร์ กล่าวคือผลรวมของแรงดันเบส-อิมิตเตอร์ของทรานซิสเตอร์ภายในรูป จะส่งผลให้เกิดเป็นผลคูณของกระแสคอลเล็กเตอร์ในทิศทางตามเข็มนาฬิกา ($I_{c3}I_{c4}I_{c7}I_{c8}$) เท่ากับผลคูณของกระแสคอลเล็กเตอร์ในทิศทางทวนเข็มนาฬิกา ($I_{c1}I_{c2}I_{c5}I_{c6}$) สำหรับการวิเคราะห์คุณสมบัติต่างๆ ของวงจรจะได้นำเสนอในหัวข้อถัดไป

3.3.1 การวิเคราะห์กระแสเอาต์พุต I_{xN}

จากการวิเคราะห์วงจรทรานสลิเนียร์ผสม [1] ในบทที่ผ่านมามีได้พบว่าความสัมพันธ์ระหว่างกระแส I_x และแรงดัน V_{yx} ของวงจรจะอยู่ในรูปแบบของฟังก์ชัน sinh ซึ่งสามารถประมาณให้เป็นเชิงเส้นได้ในช่วงที่แรงดัน $|V_{yx}| \ll V_T$ ดังนั้นเมื่อนำไปประยุกต์ใช้งานในวงจรที่เป็นเชิงเส้น ถ้าสัญญาณแรงดันอินพุตมีขนาดใหญ่ จะมีผลทำให้สัญญาณเอาต์พุตมีความผิดเพี้ยนสูง ซึ่งเป็นข้อจำกัดที่สำคัญข้อหนึ่งของวงจรมี ดังนั้นในวิทยานิพนธ์นี้จึงได้นำเสนอเทคนิคการปรับปรุงวงจร เพื่อขยายช่วงการทำงานที่เป็นเชิงเส้นของวงจรมีให้กว้างมากขึ้น ซึ่งวงจรมีที่ได้ปรับปรุงแสดงได้ดังรูปที่ 3.3

สำหรับการวิเคราะห์วงจรเพื่อหาค่าความสัมพันธ์ระหว่างกระแส I_{xN} และแรงดัน V_{yxN} ($V-I$ characteristic) ของวงจรจะเริ่มจากการหาค่ากระแส I_{c4} และ I_{c8} ก่อน ซึ่งจากการพิจารณาผลรวมของแรงดันจากขั้ว Y_N ถึงขั้ว X_N จะได้ความสัมพันธ์ของแรงดันดังนี้

$$V_{yxN} = V_{be3} + V_{be4} - V_{be1} - V_{be2} \quad (3.4)$$

$$\text{เมื่อกำหนดให้ } V_{yxN} = V_{yN} - V_{xN}$$

ทั้งนี้ในวิทยานิพนธ์นี้จะวิเคราะห์วงจรโดยอาศัยหลักการตามมาตรฐานการวิเคราะห์วงจรตามปกติทั่วไป กล่าวคือจะไม่คิดผลของแรงดันเออร์ลีย์ และสมมติให้ทรานซิสเตอร์ชนิด NPN และชนิด PNP มีอัตราขยายไฟตรงเท่ากัน ($\beta_n = \beta_p$) และมามีค่าสูงมากๆ จนสามารถละเลยผลของกระแสเบสได้ ดังนั้นจากสมการ (3.4) เมื่อแสดงในรูปฟังก์ชันของกระแสคอลเล็กเตอร์จะได้นี้

$$V_{yxN} = V_T \ln \left(\frac{I_{C3}}{I_S} \right) + V_T \ln \left(\frac{\beta_n I_{C3}}{I_S} \right) - V_T \ln \left(\frac{I_A + I_B - I_{C3}}{I_S} \right) - V_T \ln \left(\frac{I_B - I_{C3}}{I_S} \right) \quad (3.5)$$

เมื่อสมมติให้ทรานซิสเตอร์ทุกตัวทำงานที่อุณหภูมิเดียวกัน และมีกระแสอิมิต์วย้อนกลับเท่ากัน ดังนั้นจะแสดงสมการได้ว่า

$$\frac{V_{yxN}}{V_T} = \ln \left(\frac{(I_{C3})(\beta_n I_{C3})}{(I_A + I_B - I_{C3})(I_B - I_{C3})} \right) \quad (3.6)$$

จากสมการ (3.6) เมื่อจัดรูปสมการจะแสดงได้ใหม่ดังนี้

$$\exp \left(\frac{V_{yxN}}{V_T} \right) = \frac{\beta_n I_{C3}^2}{I_{C3}^2 - I_{C3}(I_A + 2I_B) + (I_B^2 + I_A I_B)} \quad (3.7)$$

และจะได้ว่า

$$\left[I_{C3}^2 - I_{C3}(I_A + 2I_B) + (I_B^2 + I_A I_B) \right] \exp \left(\frac{V_{yxN}}{V_T} \right) - \beta_n I_{C3}^2 = 0 \quad (3.8)$$

จากสมการ (3.8) เมื่อจัดให้อยู่ในรูปของสมการควอดราติก (quadratic equation: $ax^2 + bx + c = 0$) จะได้ดังนี้

$$I_{C3}^2 \left(\exp \left(\frac{V_{yxN}}{V_T} \right) - \beta_n \right) - (I_{C3}(I_A + 2I_B)) \exp \left(\frac{V_{yxN}}{V_T} \right) + (I_B^2 + I_A I_B) \exp \left(\frac{V_{yxN}}{V_T} \right) = 0 \quad (3.9)$$

เพื่อความสะดวกในการวิเคราะห์สมการ จะกำหนดให้ $K_1 = I_A + 2I_B$ และ $K_2 = I_B^2 + I_A I_B$ ดังนั้นเมื่อแทนค่าตัวแปร K_1 และ K_2 ลงในสมการ (3.9) จะได้ว่า

$$I_{C3}^2 \left(\exp \left(\frac{V_{yxN}}{V_T} \right) - \beta_n \right) - I_{C3} K_1 \exp \left(\frac{V_{yxN}}{V_T} \right) + K_2 \exp \left(\frac{V_{yxN}}{V_T} \right) = 0 \quad (3.10)$$

จากสมการควอดราติก (3.10) เมื่อพิจารณาจะพบว่าในการหาคำตอบของสมการสามารถแยกได้เป็นสองกรณีคือ

1. เมื่อ $\exp\left(\frac{V_{yxN}}{V_T}\right) = \beta_n$ หรือก็คือเมื่อ $V_{yxN} = V_T \ln(\beta_n)$ จะมีผลทำให้สมการ (3.10) กลายเป็นสมการเชิงเส้น ซึ่งในกรณีนี้จะพบว่ากระแส I_{C3} จะมีค่าดังนี้

$$I_{C3} = \frac{K_2}{K_1} = \frac{I_B^2 + I_A I_B}{I_A + 2I_B} \quad (3.11)$$

จากสมการ (3.11) จะเห็นได้ว่ากระแส I_{C3} จะมีค่าขึ้นอยู่กับกระแสไบอัส I_A และ I_B เท่านั้น โดยจะไม่เปลี่ยนแปลงตามแรงดันอินพุต V_{yxN} เลย

2. เมื่อกำหนดให้แรงดันอินพุตมีค่าอยู่ในช่วง $-V_T \ln(\beta_p) \ll V_{yxN} \ll V_T \ln(\beta_n)$ ซึ่งภายใต้เงื่อนไขดังกล่าวจะทำให้สัมประสิทธิ์ของ I_{C3}^2 มีค่าไม่เท่ากับศูนย์ $\left(\exp\left(\frac{V_{yxN}}{V_T}\right) - \beta_n \neq 0\right)$ และเมื่อหาคำตอบของสมการควอดราติกจากสูตร $x = \frac{-b \pm \sqrt{b^2 - 4ac}}{2a}$ [48] จะแสดงได้ว่า

$$I_{C3} = \frac{K_1 \exp\left(\frac{V_{yxN}}{V_T}\right) \pm \sqrt{\left[-K_1 \exp\left(\frac{V_{yxN}}{V_T}\right)\right]^2 - 4 \left(\exp\left(\frac{V_{yxN}}{V_T}\right) - \beta_n\right) \left(K_2 \exp\left(\frac{V_{yxN}}{V_T}\right)\right)}{2 \left(\exp\left(\frac{V_{yxN}}{V_T}\right) - \beta_n\right)} \quad (3.12)$$

จากสมการ (3.12) เมื่อจัดรูปสมการใหม่ จะได้ว่า

$$I_{C3} = \frac{K_1 \pm \sqrt{K_1^2 + 4K_2 \left(\beta_n e^{\left(\frac{V_{yxN}}{V_T}\right)} - 1\right)}}{2 \left(1 - \beta_n e^{\left(\frac{V_{yxN}}{V_T}\right)}\right)} \quad (3.13)$$

จากสมการ (3.13) เมื่อเลือกเฉพาะคำตอบที่ให้ค่ากระแส I_{C3} ที่มีค่าเป็นบวกจะแสดงค่าได้ดังนี้

$$I_{C3} = \frac{K_1 - \sqrt{K_1^2 + 4K_2 \left(\beta_n e^{\left(\frac{V_{yxN}}{V_T}\right)} - 1\right)}}{2 \left(1 - \beta_n e^{\left(\frac{V_{yxN}}{V_T}\right)}\right)} \quad (3.14)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (3.14) จะเห็นได้ว่ากระแส I_{C3} จะมีค่าเปลี่ยนแปลงตามแรงดันอินพุต V_{yxN} ถึงแม้ว่าสมการจะยังไม่ได้จัดให้อยู่ในรูปที่ง่าย ซึ่งในการวิเคราะห์วงจรจะพิจารณาคำตอบที่ได้จากสมการ (3.14) นี้

จากวงจรในรูปที่ 3.3 จะเห็นได้ว่า $I_{C4} = \beta_n I_{C3}$ ดังนั้นกระแส I_{C4} จะมีค่าแสดงได้ดังนี้

$$I_{C4} = \beta_n \left[\frac{K_1 - \sqrt{K_1^2 + 4K_2 \left(\beta_n e^{\left(\frac{V_{yxN}}{V_T} \right)} - 1 \right)}}{2 \left(1 - \beta_n e^{\left(\frac{V_{yxN}}{V_T} \right)} \right)} \right] \quad (3.15)$$

จากสมการ (3.15) เมื่อพิจารณาให้แรงดันอินพุตอยู่ในช่วง $-\ln(\beta_n)V_T \ll V_{yxN} \ll \ln(\beta_n)V_T$ จะสามารถประมาณได้ว่า $\beta_n e^{\left(\frac{V_{yxN}}{V_T} \right)} \gg 1$ ดังนั้นเพื่อความสะดวกในการวิเคราะห์สมการจะทำการประมาณดังกล่าว ดังนั้นกระแส I_{C4} จะมีค่าดังนี้

$$I_{C4} = \beta_n \left[\frac{K_1 - \sqrt{K_1^2 + 4K_2 \beta_n e^{\left(\frac{V_{yxN}}{V_T} \right)}}}{-2\beta_n e^{\left(\frac{V_{yxN}}{V_T} \right)}} \right] \quad (3.16)$$

จากสมการ (3.16) เมื่อจัดรูปสมการใหม่จะได้ว่า

$$I_{C4} = -\frac{K_1}{2} e^{\left(\frac{V_{yxN}}{V_T} \right)} + \frac{\sqrt{K_1^2 + 4K_2 \beta_n e^{\left(\frac{V_{yxN}}{V_T} \right)}}}{2} e^{\left(\frac{V_{yxN}}{V_T} \right)} \quad (3.17)$$

จากสมการ (3.17) เมื่อพิจารณาประกอบกับอนุกรมเทย์เลอร์ของ $\sqrt{c+x}$ [48] (รายละเอียดได้นำเสนอไว้ในภาคผนวก ค) จะแสดงสมการกระแส I_{C4} ได้ดังนี้

$$I_{C4} = -\frac{K_1}{2} e^{\left(\frac{V_{yxN}}{V_T} \right)} + \sqrt{K_2 \beta_n} e^{\left(\frac{1}{2} \frac{V_{yxN}}{V_T} \right)} + \frac{K_1^2}{8\sqrt{K_2 \beta_n}} e^{\left(\frac{3}{2} \frac{V_{yxN}}{V_T} \right)} - \frac{K_1^4}{128\sqrt{(K_2 \beta_n)^3}} e^{\left(\frac{5}{2} \frac{V_{yxN}}{V_T} \right)} + \dots \quad (3.18)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทำงานเดียวกันสำหรับกระแส I_{c8} จากการพิจารณาผลรวมของแรงดันจากขั้ว Y_N ถึงขั้ว X_N จะได้ความสัมพันธ์ของแรงดันดังนี้

$$-V_{yzN} = -V_{eb5} - V_{eb6} + V_{eb7} + V_{eb8} \quad (3.19)$$

จากสมการ (3.19) เมื่อแสดงในรูปของกระแสคอลเลกเตอร์จะได้ว่า

$$-V_{yzN} = -V_T \ln \left(\frac{I_A + I_B - I_{C7}}{I_S} \right) - V_T \ln \left(\frac{I_B - I_{C7}}{I_S} \right) + V_T \ln \left(\frac{I_{C7}}{I_S} \right) + V_T \ln \left(\frac{\beta_p I_{C7}}{I_S} \right) \quad (3.20)$$

เนื่องจากการสมมติให้ทรานซิสเตอร์ทุกตัวทำงานที่อุณหภูมิเดียวกัน และมีกระแสอิมิตัวย้อนกลับเท่ากัน ดังนั้นจะได้ว่า

$$\frac{V_{yzN}}{V_T} = \ln \left(\frac{(I_{C7})(\beta_p I_{C7})}{(I_A + I_B - I_{C7})(I_B - I_{C7})} \right) \quad (3.21)$$

จากสมการ (3.21) เมื่อจัดรูปสมการจะแสดงได้ดังนี้

$$\exp \left(\frac{V_{yzN}}{V_T} \right) = \frac{\beta_p I_{C7}^2}{I_{C7}^2 - I_{C7}(I_A + 2I_B) + (I_B^2 + I_A I_B)} \quad (3.22)$$

และจะได้ว่า

$$\left[I_{C7}^2 - I_{C7}(I_A + 2I_B) + (I_B^2 + I_A I_B) \right] \exp \left(-\frac{V_{yzN}}{V_T} \right) - \beta_p I_{C7}^2 = 0 \quad (3.23)$$

จากสมการ (3.23) เมื่อจัดให้อยู่ในรูปของสมการควอดราติกจะได้ว่า

$$I_{C7}^2 \left(\exp \left(-\frac{V_{yzN}}{V_T} \right) - \beta_p \right) - I_{C7}(I_A + 2I_B) \exp \left(-\frac{V_{yzN}}{V_T} \right) + (I_B^2 + I_A I_B) \exp \left(-\frac{V_{yzN}}{V_T} \right) = 0 \quad (3.24)$$

ดังนั้นเมื่อแทนค่าตัวแปร K_1 และ K_2 ลงในสมการ (3.24) จะได้ว่า

$$I_{C7}^2 \left(\exp\left(-\frac{V_{yzN}}{V_T}\right) - \beta_p \right) - I_{C7} K_1 \exp\left(-\frac{V_{yzN}}{V_T}\right) + K_2 \exp\left(-\frac{V_{yzN}}{V_T}\right) = 0 \quad (3.25)$$

ในทำนองเดียวกันจากสมการ (3.25) เมื่อพิจารณาจะพบว่าในการหาคำตอบของสมการสามารถแยกได้เป็นสองกรณีคือ

1. เมื่อ $\exp\left(-\frac{V_{yzN}}{V_T}\right) = \beta_p$ หรือเมื่อ $V_{yzN} = -V_T \ln(\beta_p)$ จะมีผลทำให้สมการ (3.25) เป็นสมการเชิงเส้น ซึ่งในกรณีนี้จะพบว่ากระแส I_{C7} จะมีค่าตามสมการ (3.11) เช่นเดียวกับกระแส I_{C3} และค่าของกระแสจะไม่เปลี่ยนแปลงตามแรงดันอินพุต V_{yzN} แต่จะมีค่าขึ้นอยู่กับกระแสไบอัส I_A และ I_B เท่านั้น

2. ภายใต้เงื่อนไขแรงดันอินพุตมีค่าอยู่ในช่วง $-V_T \ln(\beta_p) \ll V_{yzN} \ll V_T \ln(\beta_n)$ จะมีผลทำให้สัมประสิทธิ์ของ I_{C7}^2 มีค่าไม่เท่ากับศูนย์ $\left(\exp\left(-\frac{V_{yzN}}{V_T}\right) - \beta_p \neq 0 \right)$ ซึ่งจะหาคำตอบของสมการได้จาก

$$I_{C7} = \frac{K_1 \exp\left(-\frac{V_{yzN}}{V_T}\right) \pm \sqrt{\left[-K_1 \exp\left(-\frac{V_{yzN}}{V_T}\right)\right]^2 - 4 \left(\exp\left(-\frac{V_{yzN}}{V_T}\right) - \beta_p\right) \left(K_2 \exp\left(-\frac{V_{yzN}}{V_T}\right)\right)}{2 \left(\exp\left(-\frac{V_{yzN}}{V_T}\right) - \beta_p\right)} \quad (3.26)$$

เมื่อจัดรูปสมการ (3.26) ใหม่ เพื่อให้อยู่ในรูปที่ง่ายขึ้น จะได้ว่า

$$I_{C7} = \frac{K_1 \pm \sqrt{K_1^2 + 4K_2 \left(\beta_p e^{\left(\frac{V_{yzN}}{V_T}\right)} - 1\right)}}{2 \left(1 - \beta_p e^{\left(\frac{V_{yzN}}{V_T}\right)}\right)} \quad (3.27)$$

จากสมการ (3.27) เมื่อเลือกเอาเฉพาะคำตอบที่ทำให้ค่ากระแส I_{C7} มีค่าเป็นบวกจะได้ดังนี้

$$I_{C7} = \frac{K_1 - \sqrt{K_1^2 + 4K_2 \left(\beta_p e^{\left(\frac{V_{yzN}}{V_T}\right)} - 1\right)}}{2 \left(1 - \beta_p e^{\left(\frac{V_{yzN}}{V_T}\right)}\right)} \quad (3.28)$$

จากสมการ (3.28) จะเห็นได้ว่ากระแส I_{C7} จะมีค่าเปลี่ยนแปลงตามแรงดันอินพุต V_{yzN} ซึ่งในการวิเคราะห์วงจรจะพิจารณาคำตอบที่ได้จากสมการ (3.28) นี้ และจากวงจรรูปที่ 3.2 จะพบว่า $I_{C8} = \beta_p I_{C7}$ ดังนั้นจะได้ค่ากระแส I_{C8} ดังนี้

$$I_{C8} = \beta_p \frac{\left(K_1 - \sqrt{K_1^2 + 4K_2 \left(\beta_p e^{\left(\frac{V_{yzN}}{V_T} \right)} - 1 \right)} \right)}{2 \left(1 - \beta_p e^{\left(\frac{V_{yzN}}{V_T} \right)} \right)} \quad (3.29)$$

จากสมการ (3.29) เมื่อประมาณให้ $\beta_p e^{\left(\frac{V_{yzN}}{V_T} \right)} \gg 1$ ดังนั้นจะได้ว่า

$$I_{C8} = \beta_p \frac{\left(K_1 - \sqrt{K_1^2 + 4K_2 \beta_p e^{\left(\frac{V_{yzN}}{V_T} \right)}} \right)}{-2\beta_p e^{\left(\frac{V_{yzN}}{V_T} \right)}} \quad (3.30)$$

จากสมการ (3.30) เมื่อจัดรูปสมการใหม่ จะได้ว่า

$$I_{C8} = -\frac{K_1}{2} e^{\left(-\frac{V_{yzN}}{V_T} \right)} + \frac{\sqrt{K_1^2 + 4K_2 \beta_p e^{\left(\frac{V_{yzN}}{V_T} \right)}}}{2} e^{\left(-\frac{V_{yzN}}{V_T} \right)} \quad (3.31)$$

จากสมการ (3.31) เมื่ออาศัยความสัมพันธ์ของอนุกรมเทย์เลอร์ของ $\sqrt{c+x}$ จะแสดงสมการกระแส I_{C8} ได้ใหม่ดังนี้

$$I_{C8} = -\frac{K_1}{2} e^{\left(-\frac{V_{yzN}}{V_T} \right)} + \sqrt{K_2 \beta_p} e^{\left(-\frac{1V_{yzN}}{2V_T} \right)} + \frac{K_1^2}{8\sqrt{K_2 \beta_p}} e^{\left(-\frac{3V_{yzN}}{2V_T} \right)} - \frac{K_1^4}{128\sqrt{(K_2 \beta_p)^3}} e^{\left(-\frac{5V_{yzN}}{2V_T} \right)} + \dots \quad (3.32)$$

เมื่อพิจารณาวงจรในรูปที่ 3.3 จะพบว่ากระแส I_{xN} มีค่าเท่ากับ

$$I_{xN} = I_{C4} - I_{C8} \quad (3.33)$$

ดังนั้นเมื่อนำค่ากระแส I_{C4} และ I_{C8} ในสมการ (3.18) และ (3.32) มาแทนค่าลงในสมการ (3.33) โดยสมมติให้ $\beta_n = \beta_p$ เมื่อพิจารณาประกอบกับความสัมพันธ์ของไซน์ไฮเปอร์โบลิกฟังก์ชันที่ว่า $\left(\sinh x = \frac{e^x - e^{-x}}{2}\right)$ ดังนั้นจะแสดงกระแส I_{xN} ได้ดังนี้

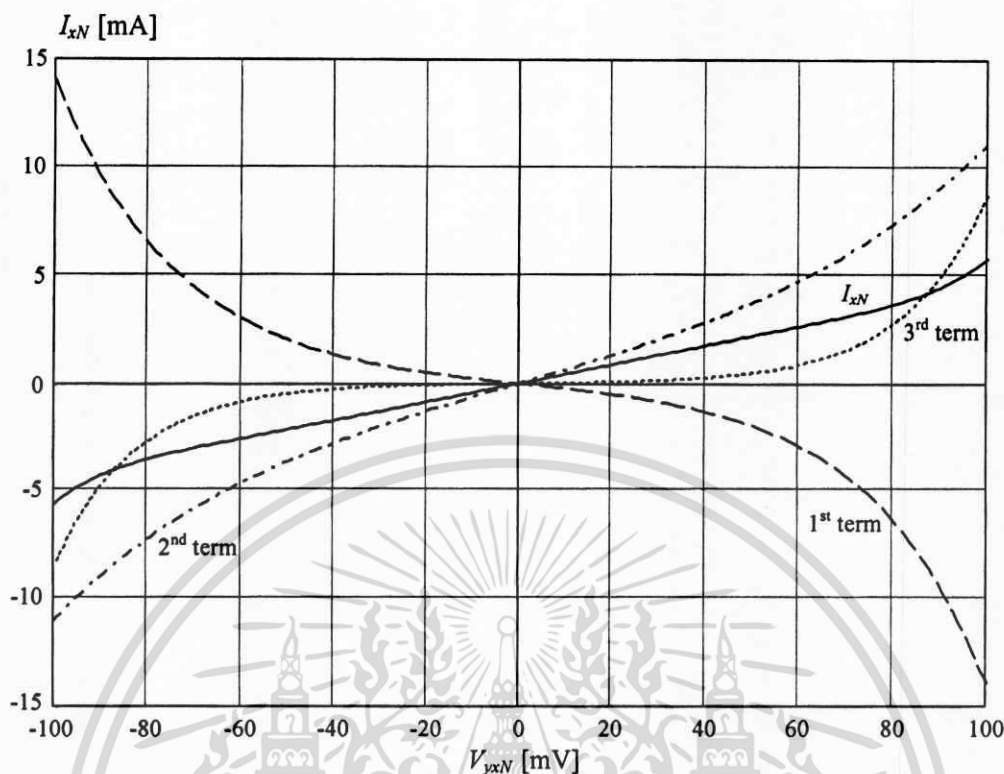
$$I_{xN} = \underbrace{-K_1 \sinh\left(\frac{V_{yxN}}{V_T}\right)}_{1st\ term} + \underbrace{2\sqrt{K_2\beta} \sinh\left(\frac{V_{yxN}}{2V_T}\right)}_{2nd\ term} + \underbrace{\frac{K_1^2}{4\sqrt{K_2\beta}} \sinh\left(\frac{3}{2} \frac{V_{yxN}}{V_T}\right)}_{3rd\ term} - \dots \quad (3.34)$$

จากสมการ (3.34) จะเห็นได้ว่าความสัมพันธ์ระหว่างแรงดัน V_{yxN} และกระแส I_{xN} จะประกอบไปด้วยอนุกรมผลต่างของ sinh ที่เป็นฟังก์ชันของ V_{yxN} โดยมีค่า K_1 และ K_2 เป็นค่าสัมประสิทธิ์ ซึ่งจะแตกต่างจากวงจรทรานซิสลิเนียน์ผสมเดิมในรูปที่ 3.1 ที่ประกอบไปด้วยฟังก์ชัน sinh เพียงเทอมเดียว เมื่อพิจารณาในช่วงที่แรงดันอินพุตมีค่า $|V_{yxN}| < V_T \ln \beta$ จะพบว่าเทอมที่ 1 และเทอมที่ 2 จะมีขนาดใหญ่กว่าเทอมที่ 3 และเทอมที่มีกำลังมากกว่าหนึ่งมากๆ ซึ่งสามารถแสดงให้เห็นได้อย่างชัดเจน โดยการพล็อตกราฟในสมการ (3.33) ด้วยโปรแกรมคำนวณทางคณิตศาสตร์ โดยการแยกพล็อตทั้ง 3 เทอม ดังนั้นเมื่อกำหนดให้ $\beta = 100$, $V_T = 26mV$, $I_A = 500\mu A$ และ $I_B = 50\mu A$ จะได้ผลจากการพล็อตกราฟดังแสดงในรูปที่ 3.4

จากกราฟรูปที่ 3.4 จะเห็นได้อย่างชัดเจนว่า เมื่อนำอนุกรมของ sinh ในสมการ (3.34) ทั้ง 3 เทอมมาแยกพล็อตกราฟ และพิจารณาในช่วงที่แรงดันอินพุตมีค่าอยู่ในช่วง $|V_{yxN}| < V_T \ln \beta$ ($V_T \ln \beta = 120mV$ เมื่อ $\beta = 100$) จะเห็นได้ว่าเทอมที่ 3 จะมีขนาดเล็กกว่าเทอมที่ 1 และ 2 มาก ดังนั้นเพื่อความสะดวกในการวิเคราะห์วงจรจะไม่คิดผลของเทอมที่ 3 ซึ่งจะแสดงความสัมพันธ์ระหว่างแรงดัน V_{yxN} และกระแส I_{xN} ในสมการ (3.34) ได้ใหม่ดังนี้

$$I_{xN} = \underbrace{2\sqrt{K_2\beta} \sinh\left(\frac{V_{yxN}}{2V_T}\right)}_{positive\ sinh} - \underbrace{K_1 \sinh\left(\frac{V_{yxN}}{V_T}\right)}_{negative\ sinh} \quad (3.35)$$

เมื่อไม่คิดผลของอนุกรม sinh ในเทอมที่ 3 ของสมการ (3.34) จะเห็นได้ว่าความสัมพันธ์ระหว่างแรงดัน V_{yxN} และกระแส I_{xN} จะประกอบไปด้วยฟังก์ชัน sinh ที่มีค่าเป็นบวก และลบ ดังที่ได้แสดงในสมการ (3.35) ซึ่งจะแตกต่างจากความสัมพันธ์ระหว่างแรงดัน V_{yx} และกระแส I_x ของวงจรทรานซิสลิเนียน์ผสมในรูปที่ 3.1 ที่อยู่ในรูปของฟังก์ชัน sinh เพียงเทอมเดียว ดังนั้นความเป็นสมการผลต่างของฟังก์ชัน sinh จะส่งผลทำให้ความไม่เป็นเชิงเส้นของฟังก์ชัน sinh เกิดการหักล้างกันเอง ซึ่งมีผลทำให้กระแส I_{xN} มีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นกว่าวงจรเดิม



รูปที่ 3.4 ความสัมพันธ์ระหว่างแรงดัน V_{yxN} และกระแส I_{xN} เมื่อแยกพล็อตทั้ง 3 เทอม

จากกราฟในรูปที่ 3.4 เมื่อเปรียบเทียบกับกราฟในรูปที่ 3.2 จะสังเกตเห็นได้อย่างชัดเจนว่า กระแส I_{xN} ในรูปที่ 3.4 มีความเป็นเชิงเส้นกว้างกว่ากระแส I_x ในรูปที่ 3.2 เป็นอย่างมาก ทั้งนี้เป็นผลมาจากการที่มีการหักล้างกันระหว่างความไม่เป็นเชิงเส้นของฟังก์ชัน \sinh ในเทอมที่ 1 และเทอมที่ 2 ในสมการ (3.35) มีผลให้กระแส I_{xN} มีช่วงที่เป็นเชิงเส้นกว้างขึ้น

3.3.2 ความสัมพันธ์ระหว่างแรงดันที่ขั้ว Y_N และขั้ว X_N

จากวงจรรูปทรานสลิเนียร์ผสมที่ได้นำเสนอในรูปที่ 3.3 จะได้แสดงการวิเคราะห์ความสัมพันธ์ระหว่างแรงดันที่ขั้ว Y_N และขั้ว X_N ของวงจร โดยจะสมมติว่าได้ให้แรงดันอินพุต V_{yN} เข้าที่ขั้ว Y_N และได้สัญญาณเอาต์พุต V_{xN} ออกมาที่ขั้ว X_N ซึ่งเมื่อพิจารณาผลรวมของแรงดันจากขั้ว Y_N ถึงขั้ว X_N จะได้ความสัมพันธ์ของแรงดันดังนี้

$$-V_{yN} - V_{be1} - V_{be2} + V_{be3} + V_{be4} + V_{xN} = 0 \quad (3.36)$$

และ

$$-V_{yN} + V_{eb5} + V_{eb6} - V_{eb7} - V_{eb8} + V_{xN} = 0 \quad (3.37)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรในรูปที่ 3.3 จะเห็นว่าทั้งทรานซิสเตอร์ Q_1 และ Q_5 จะถูกไบแอสด้วยกระแสไฟตรงคงที่ I_A ในขณะที่คู่คอมมอนอนาไดทรานซิสเตอร์คือ $Q_2 - Q_3$ และ $Q_6 - Q_7$ จะถูกไบแอสด้วยกระแสไฟตรงคงที่ I_B สำหรับการวิเคราะห์ท่วงจรจะสมมติให้ทรานซิสเตอร์ $Q_1 - Q_8$ มีคุณสมบัติเหมือนกันทุกประการ และมีอัตราขยายกระแสไฟตรงมากๆ ($\beta \gg 1$) จนสามารถละเลยผลของกระแสเบสได้ (I_B) ซึ่งเมื่อพิจารณาวงจรจะเห็นว่าทรานซิสเตอร์ $Q_1 - Q_2$ จะมีการเชื่อมต่อขาคอลเล็กเตอร์และขาเบสเข้าด้วยกัน (Diode-connected transistor) ซึ่งมีผลทำให้ค่าความต้านทานอินพุตทางด้าน $Q_1 - Q_2$ มีค่าต่ำกว่าทรานซิสเตอร์ทางด้าน $Q_3 - Q_4$ ดังนั้นกระแส I_{c2} จะมีค่ามากกว่ากระแส I_{c3} และในทำนองเดียวกันสำหรับทรานซิสเตอร์ $Q_5 - Q_6$ ค่าความต้านทานอินพุตจะมีค่าต่ำกว่าทรานซิสเตอร์ทางด้าน $Q_7 - Q_8$ ดังนั้นจึงมีผลทำให้กระแส I_{c6} มีค่ามากกว่ากระแส I_{c7} และจากการสมมติให้ทรานซิสเตอร์มีคุณสมบัติเหมือนกันทุกประการ และทำงานที่อุณหภูมิเดียวกัน ดังนั้น $I_{c1} + I_{c2} = I_{c5} + I_{c6}$ และ $I_{c3} + I_{c4} = I_{c7} + I_{c8}$ ซึ่งทำให้ได้ว่า

$$V_{be1} + V_{be2} = V_{eb5} + V_{eb6} \quad (3.38)$$

และ

$$V_{be3} + V_{be4} = V_{eb7} + V_{eb8} \quad (3.39)$$

จากสมการ (3.38) และ (3.39) เมื่อแทนค่าลงในสมการ (3.37) จะได้ว่า

$$-V_{yN} + V_{be1} + V_{be2} - V_{be3} - V_{be4} + V_{xN} = 0 \quad (3.40)$$

เมื่อนำสมการ (3.36) บวกด้วยสมการ (3.40) จะได้ความสัมพันธ์ระหว่างแรงดันที่ขั้ว Y_N และขั้ว X_N ดังนี้

$$V_{yN} = V_{xN} \quad (3.41)$$

จากสมการ (3.41) จะเห็นว่าแรงดันอินพุตที่ป้อนเข้าที่ขั้ว Y_N จะถูกส่งผ่านไปยังขั้วเอาต์พุต X_N โดยมีอัตราขยายแรงดันเท่ากับหนึ่ง ซึ่งจะเห็นว่าวงจรรูปทรานซิสลีนีร์ผสมที่ได้นำเสนอ นั้น ความสัมพันธ์ระหว่างขั้ว Y_N และ X_N จะมีคุณสมบัติเป็นวงจรตามแรงดัน

3.4 การวิเคราะห์ค่าพารามิเตอร์ K_1 และ K_2 เพื่อลดความเพี้ยนของสัญญาณเอาต์พุต

เนื่องจากความสัมพันธ์ระหว่างแรงดัน V_{yxN} และกระแส I_{xN} ของวงจรถูทรานสลิเนียร์ผสมที่ได้ปรับปรุงดังที่แสดงวงจรในรูปที่ 3.3 จะประกอบไปด้วยฟังก์ชัน sinh ที่มีค่าเป็นบวก และลบตามสมการ (3.35) ซึ่งจะแตกต่างจากวงจรเดิมที่ประกอบไปด้วยฟังก์ชัน sinh เพียงเทอมเดียว ดังนั้นจึงเกิดการลดทอนความไม่เป็นเชิงเส้นกันเองระหว่างฟังก์ชัน sinh ที่มีค่าเป็นบวก และ sinh ที่มีค่าเป็นลบ ส่งผลให้วงจรที่ได้ปรับปรุงมีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นกว่าวงจรถูทรานสลิเนียร์เดิม [1]

เมื่อพิจารณาสมการความสัมพันธ์ระหว่างแรงดัน V_{yx} และกระแส I_x ของวงจรถูทรานสลิเนียร์ผสมเดิมในรูปที่ 3.1 ดังที่ได้แสดงในสมการ (2.24) และทำการกระจายฟังก์ชัน sinh ด้วยอนุกรมเทย์เลอร์ (Taylor's series) จะพบว่า

$$I_x = 2I_o \left(\frac{V_{yx}}{V_T} \right) + \frac{2I_o}{6} \left(\frac{V_{yx}}{V_T} \right)^3 + \frac{2I_o}{120} \left(\frac{V_{yx}}{V_T} \right)^5 + \dots \quad (3.42)$$

จากอนุกรมกำลังของฟังก์ชัน sinh ดังสมการ (3.42) จะเห็นได้ว่าฟังก์ชัน sinh จะไม่มีอนุกรมกำลังคู่เลย ดังนั้นเมื่อพิจารณาในช่วงที่สัญญาณอินพุตมีขนาด $|V_{yx}| < \sqrt{20}V_T$ (รายละเอียดได้แสดงไว้ในภาคผนวก ข) จะพบว่าผลของค่าความถี่ฮาร์โมนิกส์ที่สาม จะส่งผลต่อความผิดเพี้ยนของสัญญาณเอาต์พุตมากกว่าผลของค่าความถี่ฮาร์โมนิกส์ที่มีกำลังสูงๆ

เมื่อมาพิจารณาความสัมพันธ์ระหว่างแรงดัน V_{yxN} และกระแส I_{xN} ของวงจรถูทรานสลิเนียร์ผสมที่ได้นำเสนอตั้งที่แสดงในสมการ (3.35) จะเห็นได้ว่าสมการจะประกอบไปด้วยฟังก์ชัน sinh ที่มีค่าเป็นบวกโดยมีพารามิเตอร์ K_2 เป็นค่าสัมประสิทธิ์ และฟังก์ชัน sinh ที่มีค่าเป็นลบโดยมีพารามิเตอร์ K_1 เป็นค่าสัมประสิทธิ์ ดังนั้นจึงมีความเป็นไปได้ที่จะลดผลของความเพี้ยนของสัญญาณเอาต์พุตซึ่งเกิดจากค่าความถี่ฮาร์โมนิกส์ที่สาม โดยการปรับค่าพารามิเตอร์ K_1 และ K_2 เพื่อให้ผลของค่าความถี่ฮาร์โมนิกส์ที่สามระหว่างฟังก์ชัน sinh ที่มีค่าเป็นบวก และ sinh ที่มีค่าเป็นลบเกิดการหักล้างกันเอง ดังนั้นจึงได้ทำการกระจายฟังก์ชัน sinh ในเทอมที่มีค่าเป็นบวก และเทอมที่มีค่าเป็นลบด้วยอนุกรมเทย์เลอร์ เพื่อหาสัมประสิทธิ์ของอนุกรมกำลังสามของฟังก์ชัน sinh ทั้งสองซึ่งจะได้ว่า

$$I_{xN_pos} = \sqrt{K_2\beta} \left(\frac{V_{yxN}}{V_T} \right) + \frac{\sqrt{K_2\beta}}{24} \left(\frac{V_{yxN}}{V_T} \right)^3 + \frac{\sqrt{K_2\beta}}{1920} \left(\frac{V_{yxN}}{V_T} \right)^5 + \dots \quad (3.43)$$

และ

$$I_{xN_neg} = K_1 \left(\frac{V_{yxN}}{V_T} \right) + \frac{K_1}{6} \left(\frac{V_{yxN}}{V_T} \right)^3 + \frac{K_1}{120} \left(\frac{V_{yxN}}{V_T} \right)^5 + \dots \quad (3.44)$$

เมื่อกำหนดให้ I_{xN_pos} คือกระแส I_{xN} ของเทอมที่มีค่าเป็นบวกในสมการ 3.35

I_{xN_neg} คือกระแส I_{xN} ของเทอมที่มีค่าเป็นลบในสมการ 3.35

จากสมการ (3.43) และ (3.44) จะพบว่าเมื่อทำการกระจายอนุกรมกำลังของฟังก์ชัน sinh ในเทอมที่มีค่าเป็นบวก และเทอมที่มีค่าเป็นลบ จะเห็นได้ว่ามีความเป็นไปได้ที่จะทำให้สัมประสิทธิ์ของเทอมที่มีกำลังอันดับสามระหว่างฟังก์ชัน sinh ที่มีค่าเป็นบวก และ sinh ที่มีค่าเป็นลบเกิดการหักล้างกันเองจนหมดไป โดยการทำให้สัมประสิทธิ์ทั้งสองมีค่าเท่ากันดังนี้

$$\frac{\sqrt{K_2\beta}}{24} = \frac{K_1}{6} \quad (3.45)$$

ซึ่งเมื่อแทนค่าพารามิเตอร์ K_1 และ K_2 และเลือกคำตอบของสมการทำให้ได้กระแสเป็นบวกจะได้ว่า

$$I_A = I_B \frac{(\beta - 64) + \sqrt{\beta(\beta - 64)}}{32} \quad (3.46)$$

จากคำตอบที่ได้ในสมการ (3.46) จะเป็นแนวทางสำหรับการปรับค่ากระแสไอส์ I_A และ I_B ให้เหมาะสมกับค่า β ของทรานซิสเตอร์ที่นำมาประกอบในวงจร ซึ่งจะส่งผลทำให้ความเพี้ยนของสัญญาณเอาต์พุตที่เกิดจากความถี่ฮาร์โมนิกส์ที่สามลดน้อยลง ยกตัวอย่างเช่น ถ้า $\beta = 150$ อัตราส่วนของกระแสไอส์ I_A และ I_B ที่เหมาะสมกับค่า β คือ $I_A = 6.24I_B$ ซึ่งจากการกำหนดค่ากระแสไอส์ตามสมการ (3.46) จะส่งผลทำให้ความเพี้ยนของสัญญาณเอาต์พุตที่เกิดจากค่าความถี่ฮาร์โมนิกส์ที่สามสามารถลดทอนได้ ดังนั้นความสัมพันธ์ระหว่างแรงดัน V_{yzN} และกระแส I_{xN} ของวงจรรูปทรานสลิเนียร์ผสมที่ได้นำเสนอจะมีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นกว่าวงจรเดิม และสัญญาณเอาต์พุตจะมีความเพี้ยนลดลง

3.5 การวิเคราะห์ช่วงการทำงานที่เป็นเชิงเส้นของวงจรที่นำเสนอ

ในการทำงานเดียวกันกับวงจรเดิม เมื่อวิเคราะห์สมการภายใต้เงื่อนไข $|V_{yzN}| \ll V_T$ ประกอบกับอนุกรมเทย์เลอร์ของฟังก์ชัน sinh ดังที่ได้แสดงในสมการ 2.25 เราสามารถประมาณความความสัมพันธ์ระหว่างแรงดัน V_{yzN} และกระแส I_{xN} ในสมการ (3.35) ซึ่งอยู่ในรูปของผลต่างของฟังก์ชัน sinh ให้เป็นเชิงเส้นได้ดังนี้

$$I_{xN_L} = (\sqrt{K_2\beta} - K_1) \frac{V_{yzN}}{V_T} \quad (3.47)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อกำหนดให้ I_{xN_L} คือกระแส I_{xN} ที่เป็นเชิงเส้นของวงจรรูปที่ 3.3 ภายใต้เงื่อนไข $|V_{yxN}| \ll V_T$ และเมื่อแทนค่าตัวแปร K_1 และ K_2 จะแสดงได้ดังนี้

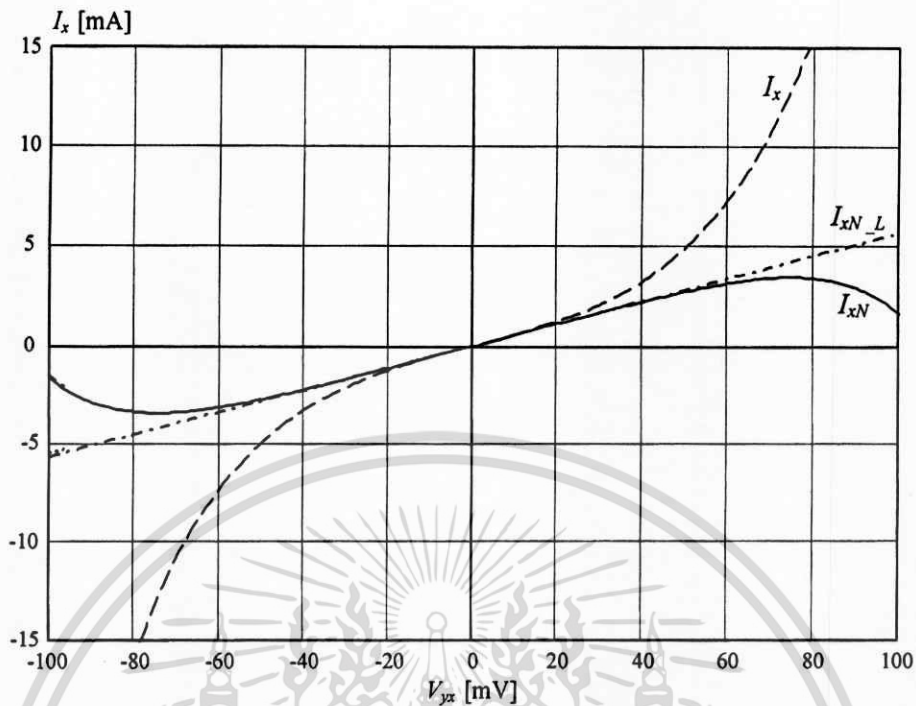
$$I_{xN_L} = \left[\sqrt{(I_B^2 + I_A I_B) \beta} - (I_A + 2I_B) \right] \frac{V_{yxN}}{V_T} \quad (3.48)$$

จากความสัมพันธ์ที่เป็นเชิงเส้นระหว่างแรงดัน V_{yxN} และกระแส I_{xN} ที่แสดงในสมการ (3.48) จะถูกนำมาใช้เป็นกระแสเชิงเส้นทางทฤษฎี เพื่อการเปรียบเทียบความเป็นเชิงเส้นของวงจรรูปที่ได้ออกแบบในรูปที่ 3.3 กับวงจรถัดในรูปที่ 3.1 ซึ่งสามารถทำได้โดยการจัดให้กระแส I_{x_L} ในสมการ (2.28) มีค่าเท่ากับกระแส I_{xN_L} ในสมการ (3.48) ด้วยวิธีการเลือกค่ากระแสไบอัส I_A , I_B และ I_o เพื่อให้สมการทั้งสองมีค่าเท่ากัน และผลจากการคำนวณจะได้ว่า

$$I_o = \frac{\sqrt{(I_B^2 + I_A I_B) \beta} - (I_A + 2I_B)}{2} \quad (3.49)$$

สมการ (3.49) จะแสดงค่ากระแสไบอัส I_o ของวงจรถัดในรูปที่ 3.1 ที่ทำให้กระแสที่ประมาณได้ว่าเป็นเชิงเส้นมีค่าเท่ากับกระแสที่ประมาณว่าเป็นเชิงเส้นของวงจรถัดที่นำเสนอ ($I_{xN_L} = I_{x_L}$) นั่นคือวงจรถัดทั้งสองมีกระแสเชิงเส้นทางทฤษฎีเท่ากัน ซึ่งจะทำให้การเปรียบเทียบความเป็นเชิงเส้นระหว่างวงจรถัดทั้งสองมีความชัดเจน และง่ายต่อการทำความเข้าใจ

เพื่อแสดงให้เห็นถึงช่วงการทำงานที่เป็นเชิงเส้นซึ่งกว้างขึ้นของวงจรถัดที่นำเสนอ จะได้พล็อตกราฟความสัมพันธ์ระหว่างแรงดัน และกระแสของวงจรถัดที่นำเสนอในสมการ (3.35) กับวงจรถัดในสมการ (2.24) ด้วยโปรแกรมคำนวณทางคณิตศาสตร์ และเพื่อความชัดเจนจะได้เปรียบเทียบกับกระแสเชิงเส้นทางทฤษฎี (I_{xN_L}) ในสมการ (3.48) ด้วย ซึ่งในการพล็อตกราฟจะได้กำหนดให้ $\beta = 175$ และกระแสไบอัส $I_B = 50 \mu A$ และเพื่อให่วงจรถัดที่นำเสนอมีช่วงการทำงานที่เป็นเชิงเส้นกว้าง กระแสไบอัส I_A จะถูกกำหนดตามสมการ (3.46) ซึ่งจากการคำนวณจะได้ค่ากระแสไบอัส $I_A = 390 \mu A$ สำหรับค่ากระแสไบอัส I_o ของวงจรถัดจะถูกกำหนดตามสมการ (3.49) ทั้งนี้เพื่อให้กระแสเชิงเส้น $I_{xN_L} = I_{x_L}$ ซึ่งจากการคำนวณจะได้ว่า $I_o = 736 \mu A$ และผลจากการพล็อตกราฟด้วยโปรแกรมคำนวณทางคณิตศาสตร์จะแสดงได้ดังรูปที่ 3.5



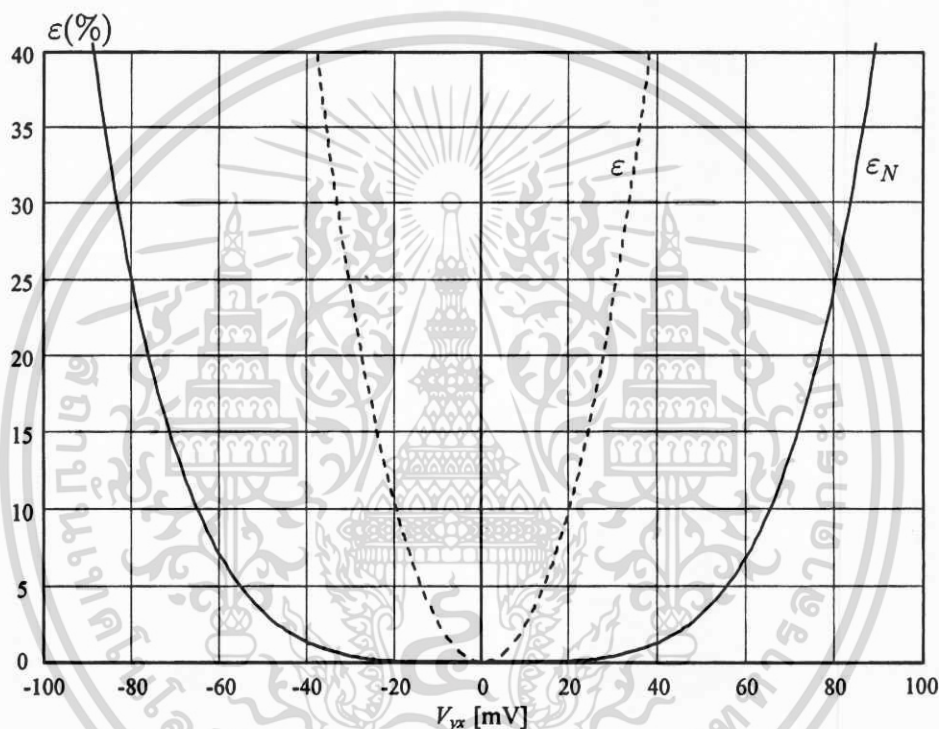
รูปที่ 3.5 กราฟความสัมพันธ์ระหว่างแรงดัน และกระแสของวงจรถ่านนำเสนอกับวงจรถ่านเดิม [1] เปรียบเทียบกับกระแสเชิงเส้นทางทฤษฎี เมื่อพล็อตด้วยโปรแกรมคำนวณทางคณิตศาสตร์

จากกราฟรูปที่ 3.5 ซึ่งแสดงความสัมพันธ์ระหว่างแรงดัน V_{yx} และกระแส I_x ของวงจรถ่านนำเสนอในรูปที่ 3.3 กับวงจรถ่านเดิมในรูปที่ 3.1 จะเห็นได้ว่าช่วงการทำงานที่เป็นเชิงเส้นของวงจรถ่านนำเสนอกว้างกว่าวงจรถ่านเดิมอย่างเห็นได้ชัด โดยจะสังเกตได้จากการที่กราฟของกระแส I_{xN} ของวงจรถ่านนำเสนอกับกันสนิทกับกราฟของกระแสเชิงเส้น I_{xN_L} ในช่วงที่แรงดันอินพุตมีการเปลี่ยนแปลงได้กว้างกว่ากระแส I_x ของวงจรถ่านสลิเบียร์ผสมเดิม [1] ซึ่งจากการสังเกตจากกราฟจะสามารถประมาณได้ว่าช่วงการทำงานที่เป็นเชิงเส้นของวงจรถ่านนำเสนอกจะอยู่ในช่วงที่แรงดันอินพุตมีขนาดไม่เกิน 50 mV ในขณะที่วงจรถ่านเดิมมีค่าประมาณไม่เกิน 20 mV ซึ่งจากผลของการพล็อตกราฟจะเห็นได้ว่ามีความสอดคล้องเป็นไปตามทฤษฎีที่ได้กล่าวไว้เบื้องต้น

สำหรับการแสดงให้เห็นถึงช่วงการทำงานที่เป็นเชิงเส้นของวงจรถ่านนำเสนอกอีกวิธีหนึ่งคือการแสดงผลของค่าความผิดพลาดในการประมาณฟังก์ชัน sinh ในสมการ (3.35) ให้เป็นฟังก์ชันเชิงเส้นในสมการ (3.48) โดยค่าความผิดพลาดในการประมาณจะคำนวณจาก

$$\varepsilon_N(\%) = \left| \frac{I_{xN_L} - I_{xN}}{I_{xN_L}} \right| 100 \quad (3.50)$$

จากสมการ (3.50) ซึ่งแสดงค่าเปอร์เซ็นต์ความผิดพลาด (ϵ_N) ในการประมาณฟังก์ชัน sinh ในสมการ (3.35) ให้เป็นฟังก์ชันเชิงเส้นในสมการ (3.48) ของวงจรถูกนำเสนอในรูปที่ 3.3 เพื่อความชัดเจนในการแสดงช่วงการทำงานที่เป็นเชิงเส้นของวงจรถูกนำเสนอซึ่งกว้างขึ้นกว่าวงจรถูกนำเสนอเดิมในรูปที่ 3.1 จะได้เปรียบเทียบค่า ϵ_N ของวงจรถูกนำเสนอ กับค่า ϵ ของวงจรถูกนำเสนอเดิมในสมการ (2.29) โดยการพล็อตกราฟค่าเปอร์เซ็นต์ความผิดพลาดของวงจรถูกนำเสนอทั้งสองด้วยโปรแกรมคำนวณทางคณิตศาสตร์ โดยที่ค่ากระแสไบอัสสำหรับวงจรถูกนำเสนอทั้งสองยังคงมีค่าตามการพล็อตกราฟรูปที่ 3.5 ผลที่ได้จากการพล็อตกราฟแสดงได้ดังรูปที่ 3.6



รูปที่ 3.6 กราฟเปรียบเทียบค่าความผิดพลาดในการประมาณกระแสฟังก์ชัน sinh ให้เป็นกระแสเชิงเส้นระหว่างวงจรถูกนำเสนอกับวงจรถูกนำเสนอเดิม [1]

จากกราฟรูปที่ 3.6 ซึ่งแสดงค่าความผิดพลาดในการประมาณฟังก์ชัน sinh ให้เป็นฟังก์ชันเชิงเส้นของวงจรถูกนำเสนอทั้งสอง จะเห็นได้อย่างชัดเจนว่าเมื่อเปรียบเทียบที่แรงดันอินพุตมีขนาดเท่ากันค่าความผิดพลาด ϵ_N ของวงจรถูกนำเสนอจะมีค่าน้อยกว่าค่าความผิดพลาด ϵ ของวงจรถูกนำเสนอเดิมก่อนหน้าเป็นอย่างมาก ตัวอย่างเช่นเมื่อแรงดันอินพุตมีค่าประมาณ 20 mV ค่าเปอร์เซ็นต์ความผิดพลาดในการประมาณกระแสฟังก์ชัน sinh ให้เป็นกระแสเชิงเส้นของวงจรถูกนำเสนอเดิมจะมีค่าประมาณ 10% ในขณะที่ของวงจรถูกนำเสนอจะมีค่าเพียง 0.1% เท่านั้น ซึ่งแสดงให้เห็นว่าช่วงการทำงานที่เป็นเชิงเส้นของวงจรถูกนำเสนอกว้างขึ้นจากวงจรถูกนำเสนอเดิมอย่างชัดเจน

3.6 ค่าความต้านทานแฝงที่ขั้ว X_N

ในทำนองเดียวกับวงจรรูปทรานซิสเตอร์ผสมในรูปที่ 3.1 ซึ่งมีค่าความต้านทานแฝงที่ขั้ว X ซึ่งสามารถนำไปใช้ให้เป็นประโยชน์ได้อย่างมากมายในการออกแบบวงจรต่างๆ ดังที่ได้กล่าวไปแล้วในบทที่ผ่านมา สำหรับวงจรทรานซิสเตอร์ที่ได้ปรับปรุงดังที่แสดงในรูปที่ 3.3 เมื่อพิจารณาจากสมการ (3.48) จะพบว่าค่าความต้านทานแฝงที่ขั้ว X_N ของวงจรมีค่าเท่ากับ

$$R_{xN} = \frac{V_{yxN}}{I_{xN-L}} = \frac{V_T}{\sqrt{(I_B^2 + I_A I_B)\beta} - (I_A + 2I_B)} \quad (3.51)$$

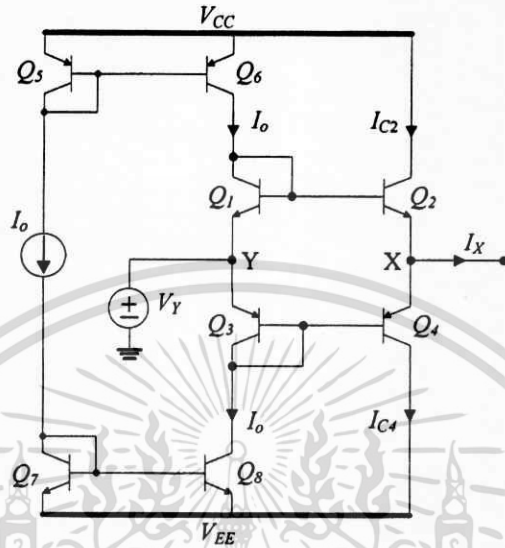
จากสมการ (3.51) จะเห็นได้ว่าค่าความต้านทานภายในที่ขั้ว X_N นี้จะมีค่าแปรตามพารามิเตอร์คือ แรงดันเชิงอุณหภูมิ (V_T) และกระแสไบอัส I_A และ I_B และเนื่องจากพารามิเตอร์ V_T นั้น เราไม่สามารถปรับเปลี่ยนค่าได้ เนื่องจากค่าแรงดันจะมีค่าแปรผันตามอุณหภูมิขณะทำงาน ดังนั้นในการปรับค่าความต้านทานจึงทำได้โดยการปรับค่ากระแสไบอัส I_A และ I_B ของวงจรทรานซิสเตอร์ผสมที่น่าเสนอ ซึ่งการปรับเปลี่ยนค่านั้นทำได้โดยง่าย ดังนั้นความต้านทานแฝงนี้จึงมีประโยชน์อย่างมากในการนำไปประยุกต์ใช้งานในวงจรที่ต้องการปรับค่าพารามิเตอร์ในวงจรด้วยตัวต้านทาน เนื่องจากจะทำให้ไม่จำเป็นต้องใช้ความต้านทานที่เป็นอุปกรณ์พาสซีฟเลย อีกทั้งยังสามารถปรับค่าได้ด้วยวิธีการทางอิเล็กทรอนิกส์ คือการปรับค่ากระแสไบอัส I_A และ I_B ของวงจรมันเอง

3.7 การจำลองการทำงานของวงจรที่น่าเสนอ

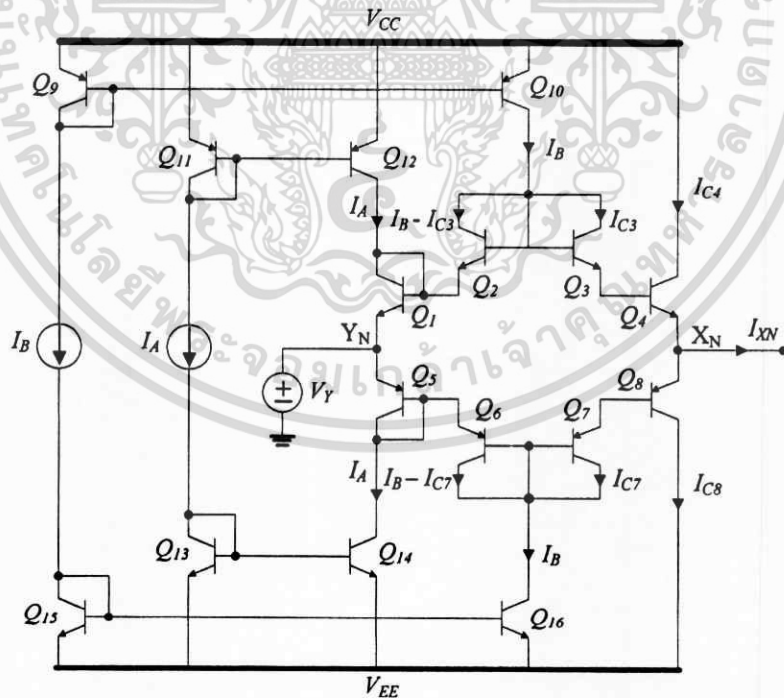
เพื่อตรวจสอบผลการดำเนินงานของวงจรรูปทรานซิสเตอร์ผสมที่ได้นำเสนอในรูปที่ 3.3 จึงได้จำลองการทำงานของวงจรด้วยโปรแกรม PSPICE โดยกำหนดสภาวะของการทำงานที่อุณหภูมิ 27°C และใช้ทรานซิสเตอร์ชนิด NPN เบอร์ 2N3904 ชนิด PNP เบอร์ 2N3906 โดยให้วงจรมีไฟเลี้ยงเท่ากับ $\pm 2\text{V}$ และเนื่องจากค่าอัตราขยายกระแส (β) ของทรานซิสเตอร์ที่ประกอบในวงจรจะมีส่วนสำคัญเป็นอย่างมากในการกำหนดค่ากระแสไบอัส I_A และ I_B ของวงจรรูปทรานซิสเตอร์ผสมที่น่าเสนอ เพื่อลดความเพี้ยนของสัญญาณเอาต์พุต ดังนั้นในภาคผนวก ง จะได้แสดงการหาค่า β ของทรานซิสเตอร์ที่ใช้ในการจำลองการทำงาน และจากการจำลองการทำงานจะพบว่าค่า β ของทรานซิสเตอร์ที่ใช้จะมีค่าอยู่ในช่วงประมาณ 160-180

ในการจำลองการทำงานเพื่อความชัดเจนในการแสดงให้เห็นช่วงการทำงานที่เป็นเชิงเส้นของวงจรที่น่าเสนอซึ่งกว้างขึ้นกว่าวงจรถัดไป จะได้เปรียบเทียบการทำงานของวงจรทรานซิสเตอร์ผสมที่นำเสนอในรูปที่ 3.3 กับวงจรถัดไปก่อนหน้านี้ในรูปวงจรที่ 3.1 โดยที่แหล่งจ่ายกระแสไบอัสในวงจรทั้งสอง จะถูกแทนด้วยวงจรสะท้อนกระแสอย่างง่าย ซึ่งแสดงรูปวงจรที่ใช้ในการจำลองการทำงานแสดงได้ดังรูปที่ 3.7 และ 3.8 ตามลำดับ โดยได้กำหนดค่ากระแสไบอัส I_A , I_B และ I_O เพื่อให้วงจรมี

ทั้งสองมีค่ากระแสเชิงเส้น I_x ตามสมการ (2.28) และสมการ (3.48) เท่ากัน ($I_{x_L} = I_{xN_L}$) ซึ่งจะทำให้การเปรียบเทียบช่วงการทำงานที่เป็นเชิงเส้นสะดวก และมีความชัดเจนในการเปรียบเทียบ



รูปที่ 3.7 วงจรจำลองการทำงานของวงจรทรานซิสเตอร์ผสม [1]

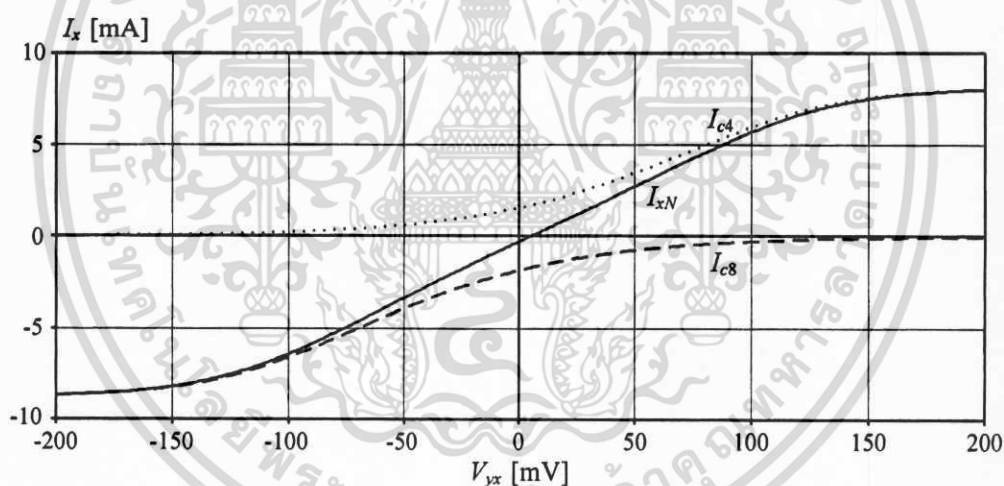


รูปที่ 3.8 วงจรจำลองการทำงานของวงจรทรานซิสเตอร์ผสมที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการจำลองการทำงานจะกำหนดให้กระแสไบอัสของวงจรที่นำเสนอในรูปที่ 3.3 มีค่า ดังนี้ $I_B = 50\mu A$ เพื่อลดความเพี้ยนของสัญญาณเอาต์พุตกระแสไบอัส I_A จะถูกคำนวณตามสมการ (3.46) ซึ่งเมื่อกำหนดให้ $\beta = 175$ จะได้กระแส $I_A = 390\mu A$ ($7.8I_B$) และเพื่อทำให้กระแส I_x ที่เป็นเชิงเส้นของวงจรทั้งสองมีค่าเท่ากัน ดังนั้นกระแสไบอัส I_o ของวงจรทรานซิสเตอร์เดิมในรูปที่ 3.1 จะได้จากการคำนวณตามสมการ (3.49) ซึ่งจะได้ว่า $I_o = 737\mu A$

ในการจำลองการทำงานของวงจรจะเริ่มจากการตรวจสอบค่าพลังงานสูญเสียในวงจรก่อนซึ่งจากการจำลองการทำงานจะพบว่าค่าพลังงานสูญเสียในกรณีที่ไม่มีสัญญาณอินพุตของวงจรทรานซิสเตอร์ผสมที่นำเสนอรูปที่ 3.8 จะมีค่าประมาณเท่ากับ 8.6 mW ในขณะที่ของวงจรเดิมในรูปที่ 3.7 จะมีค่าประมาณเท่ากับ 6 mW ซึ่งจะเห็นได้ว่าเพิ่มขึ้นจากวงจรเดิมเพียงเล็กน้อย ลำดับต่อมาได้จำลองการทำงานเพื่อดูกราฟคุณสมบัติการส่งผ่านระหว่างกระแส และ แรงดัน (DC transfer characteristic) ของวงจรที่ได้นำเสนอในรูปที่ 3.3 ด้วยการพล็อตกราฟของกระแส I_{c4} , I_{c8} และ กระแสเอาต์พุต I_{xN} เมื่อแรงดันอินพุต V_{yxN} มีการเปลี่ยนแปลง เพื่อตรวจสอบการนำกระแสของทรานซิสเตอร์ Q_4 และ Q_8 ที่ได้ออกแบบเพื่อให้มีช่วงการนำกระแสที่กว้างขึ้น



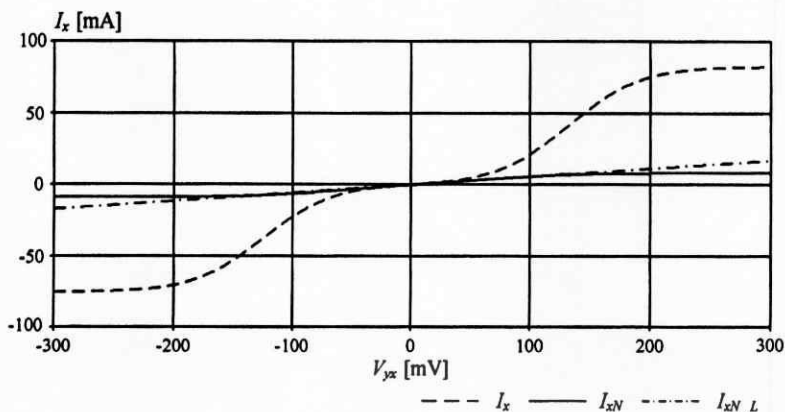
รูปที่ 3.9 กราฟคุณสมบัติการส่งผ่านกระแสเมื่อแรงดันอินพุตเปลี่ยนแปลงของ Q_4 และ Q_8

จากกราฟคุณสมบัติการส่งผ่านระหว่างกระแสคอลเลกเตอร์ และ แรงดันอินพุตของวงจรที่นำเสนอ ซึ่งได้จากการจำลองการทำงานดังแสดงในรูปที่ 3.9 เมื่อพิจารณาประกอบกับผลที่ได้จากการจำลองการทำงานของวงจรทรานซิสเตอร์ผสมเดิมดังแสดงในรูปที่ 3.2 จะเห็นได้อย่างชัดเจนว่าในขณะที่แรงดันอินพุตมีการเปลี่ยนแปลง ช่วงการนำกระแสของทรานซิสเตอร์ Q_4 และ Q_8 จะกว้างกว่าช่วงการนำกระแสของทรานซิสเตอร์ Q_2 และ Q_4 เป็นอย่างมาก ซึ่งจะสังเกตได้จากการที่กระแส I_{c4} และ I_{c8} มีค่ามากกว่าศูนย์ในช่วงที่แรงดันอินพุตมีการเปลี่ยนแปลงประมาณ ± 100 mV ในขณะที่ของ

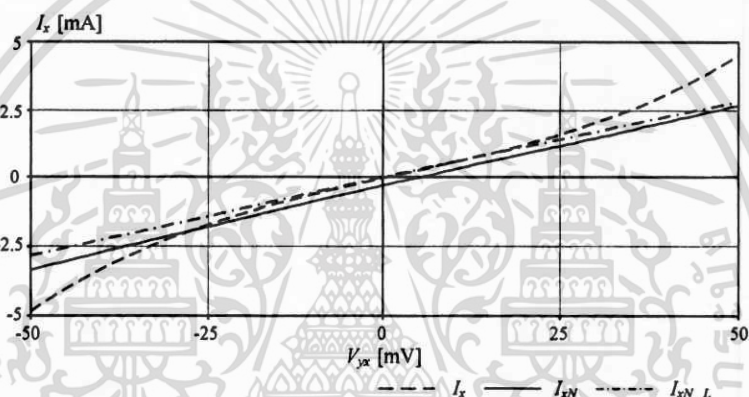
วงจรถานสลิเนียร์เต็มกระแส I_{c2} และ I_{c4} มีค่ามากกว่าศูนย์ในช่วงที่แรงดันอินพุตมีการเปลี่ยนแปลงประมาณ ± 50 mV นอกจากนี้จะเห็นได้ว่ากระแสเอาต์พุต (I_{xN}) ของวงจรถานสลิเนียร์ที่นำเสนอนี้ ซึ่งเป็นผลต่างระหว่างกระแสคอลเลกเตอร์ I_{c4} และ I_{c8} จะมีช่วงการทำงานเป็นเชิงเส้นกว้างกว่าวงจรถานสลิเนียร์ผสมเต็ม [1] อย่างชัดเจน ทั้งนี้เป็นผลมาจากความไม่เป็นเชิงเส้นระหว่างกระแส I_{c4} และ I_{c8} เกิดการหักล้างกันเอง ซึ่งจากผลการจำลองการทำงานที่ได้ จะเห็นได้ว่ามีความสอดคล้องเป็นไปตามหลักการที่ได้ออกแบบวงจรทางทฤษฎี

ต่อมาในการจำลองการทำงานได้ทำการตรวจสอบความสัมพันธ์ระหว่างกระแส I_x และแรงดัน V_{yx} ของวงจรถานสลิเนียร์ทั้งสอง โดยได้ให้แรงดันอินพุตไฟตรงซึ่งค่าของแรงดันมีการเปลี่ยนแปลงตั้งแต่ -300 mV ไปจนถึง 300 mV เข้าที่ขั้ว Y ของวงจรถานสลิเนียร์ทั้งสอง และที่ขั้ว X ได้ต่อลงกราวด์ จากนั้นได้ทำการตรวจวัดกระแสเอาต์พุต I_x ที่ขั้ว X ของวงจรถานสลิเนียร์ทั้งสอง และเปรียบเทียบผลที่ได้จากการจำลองการทำงาน กับกระแสเชิงเส้น I_{xN_L} ซึ่งคำนวณตามสมการ (3.48) ผลที่ได้จากการจำลองการทำงาน แสดงได้ดังรูปที่ 3.10

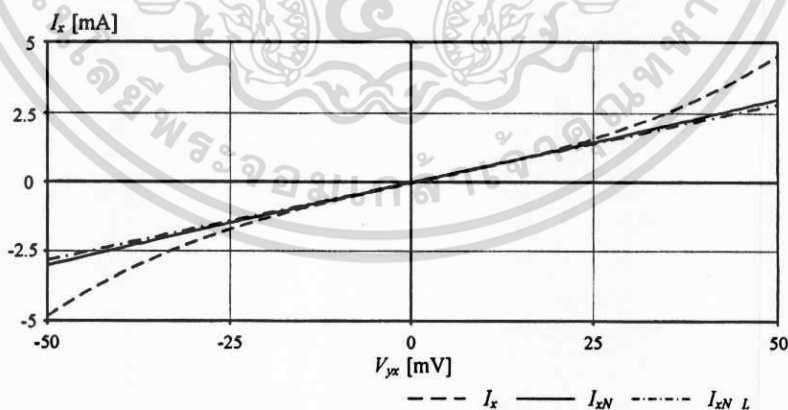
จากผลการจำลองการทำงานในรูปที่ 3.10 (ก) ซึ่งแสดงความสัมพันธ์ระหว่างกระแส I_x และแรงดัน V_{yx} ของวงจรถานสลิเนียร์ที่นำเสนอนี้ในรูปที่ 3.8 กับวงจรถานสลิเนียร์เต็มในรูปที่ 3.7 เปรียบเทียบกับกระแสเชิงเส้น I_{xN_L} จะเห็นได้ว่าช่วงการทำงานที่เป็นเชิงเส้นของวงจรถานสลิเนียร์ที่นำเสนอนี้กว้างกว่าวงจรถานสลิเนียร์เต็มอย่างเห็นได้ชัด ซึ่งสังเกตได้จากการที่กราฟกระแส I_{xN} มีช่วงการทับสนิทกับกราฟกระแสเชิงเส้น I_{xN_L} กว้างกว่ากราฟกระแส I_x ของวงจรถานสลิเนียร์เต็มอย่างชัดเจน และเมื่อพิจารณาจากรูป 3.10 (ข) ในขณะที่แรงดันอินพุตมีการเปลี่ยนแปลงในช่วงประมาณ ± 50 mV จะเห็นได้ว่ากระแส I_{xN} จะมีค่าใกล้เคียงกับกระแส I_{xN_L} มากกว่ากระแส I_x เช่นกัน โดยจะสังเกตได้จากระยะห่างระหว่างกราฟกระแส I_{xN_L} กับกราฟกระแส I_{xN} จะน้อยกว่ากราฟกระแส I_x แต่อย่างไรก็ตามจะพบว่ากราฟกระแส I_{xN} ของวงจรถานสลิเนียร์ที่ได้นำเสนอนี้จะมีค่าแรงดันออฟเซต (Offset voltage) มากกว่ากระแส I_x ของวงจรถานสลิเนียร์เต็ม ทั้งนี้เมื่อทำการวัดจะพบว่าค่าแรงดันออฟเซตของวงจรถานสลิเนียร์เต็มมีค่าประมาณเท่ากับ 700 μ V ในขณะที่วงจรถานสลิเนียร์ที่นำเสนอนี้จะมีค่าประมาณเท่ากับ 5 mV ทั้งนี้เป็นผลมาจากการที่ค่า β ของทรานซิสเตอร์ชนิด NPN และชนิด PNP ที่ประกอบในวงจรถานสลิเนียร์เต็มมีค่าไม่เท่ากัน ($\beta_n \neq \beta_p$) ซึ่งความผันแปรของ β จะส่งผลต่อวงจรถานสลิเนียร์ที่นำเสนอนี้มากกว่าวงจรถานสลิเนียร์เต็มก่อนหน้านี้ สำหรับการแก้ปัญหาดังกล่าว สามารถทำได้โดยการเลือกทรานซิสเตอร์ชนิด NPN และชนิด PNP ที่มีความสมพงษ์กันมากที่สุดเท่าที่จะเป็นไปได้ หรือถ้าไม่สามารถทำได้ในทางปฏิบัติ การปรับลดค่าแรงดันออฟเซตอีกวิธีหนึ่งที่สามารถทำได้คือการให้แรงดันอินพุตไฟตรงซึ่งมีขนาดเท่ากับแรงดันออฟเซตที่วัดได้เพิ่มไปกับสัญญาณอินพุต ซึ่งจากการจำลองการทำงานเมื่อแรงดันอินพุตไฟตรงซึ่งมีค่าเท่ากับ 5 mV เพิ่มไปกับสัญญาณอินพุตที่ขั้ว Y_N ของวงจรถานสลิเนียร์ที่นำเสนอนี้ในรูปที่ 3.8 เมื่อจำลองการทำงานจะได้ผลดังแสดงในรูปที่ 3.10 (ค) โดยจะเห็นได้ว่าค่าแรงดันออฟเซตมีค่าลดลง และจากการวัดจะพบว่าค่าลดลงเหลือประมาณ 250 μ V



(ก) เมื่อแรงดันอินพุต V_{yx} มีการเปลี่ยนแปลงตั้งแต่ -300 mV ไปจนถึง 300 mV



(ข) ค่าแรงดันออฟเซต เมื่อแรงดัน V_{yx} มีการเปลี่ยนแปลงตั้งแต่ -50 mV ไปจนถึง 50 mV



(ค) เมื่อปรับลดค่าแรงดันออฟเซต

รูปที่ 3.10 กราฟความสัมพันธ์ระหว่างกระแส I_x และแรงดัน V_{yx} ของวงจรที่นำเสนอ และวงจรเดิม [1] เปรียบเทียบกับค่าทางทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

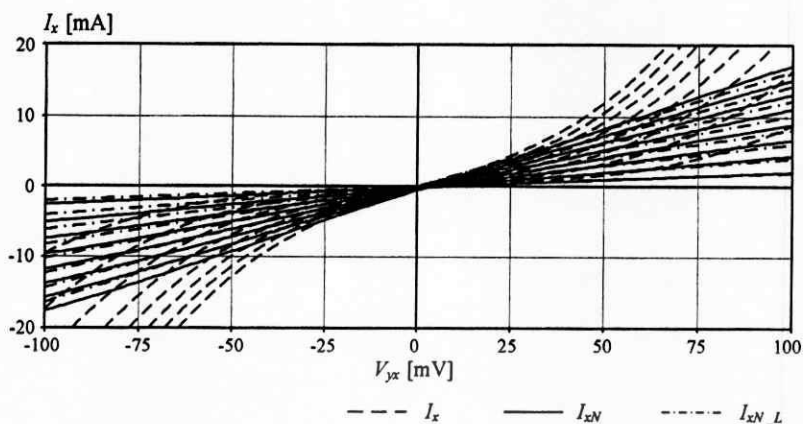
ต่อมาในการจำลองการทำงานได้ทดลองปรับค่ากระแสไบอัส I_B ของวงจรถูกนำเสนอให้มีค่าต่างๆ เพื่อทดสอบคุณสมบัติในการปรับเปลี่ยนค่าความนำ (Transconductance : G_M) ของวงจรถูกนำเสนอ และเพื่อลดความเพี้ยนของสัญญาณเอาต์พุต กระแสไบอัส I_A ยังคงมีค่าเปลี่ยนแปลงตามกระแสไบอัส I_B ดังสมการ (3.46) และจะได้เปรียบเทียบค่า G_M ของวงจรถูกนำเสนอในรูปที่ 3.8 กับวงจรถูกนำเสนอเดิมในรูปที่ 3.7 โดยการกำหนดให้กระแสไบอัส I_o ของวงจรถูกนำเสนอเดิมมีค่าแปรเปลี่ยนตามกระแสไบอัส I_A และ I_B ดังสมการ (3.49) ทั้งนี้เพื่อให้ค่า G_M ของวงจรถูกนำเสนอทั้งสองมีค่าเท่ากัน ในช่วงที่แรงดันอินพุตมีค่าเท่ากับศูนย์ ($V_{yx} = 0$) ดังนั้นเมื่อกำหนดให้กระแสไบอัส I_B มีขนาดเปลี่ยนแปลงตั้งแต่ $20\mu A - 200\mu A$ โดยมีค่าเพิ่มขึ้นครั้งละ $20\mu A$ จากสมการ (3.49) จะได้ว่ากระแสไบอัส I_o ของวงจรถูกนำเสนอเดิมจะมีค่าเปลี่ยนแปลงตั้งแต่ $294\mu A - 2.9mA$ โดยมีค่าเพิ่มขึ้นครั้งละ $294\mu A$ และผลที่ได้จากการจำลองการทำงานแสดงได้ดังรูปที่ 3.11

จากผลการจำลองการทำงานในรูปที่ 3.11 (ก) ซึ่งแสดงความสัมพันธ์ระหว่างกระแส I_x และแรงดัน V_{yx} ของวงจรถูกนำเสนอทั้งสอง เมื่อปรับให้ค่ากระแสไบอัสวงจรถูกนำเสนอ I_A, I_B และ I_o มีค่าต่างๆ จะเห็นได้ว่าค่ากระแส I_x ของวงจรถูกนำเสนอทั้งสอง จะมีค่าเปลี่ยนแปลงตามกระแสไบอัสของวงจรถูกนำเสนอ และจากรูปที่ 3.11 (ข) ซึ่งแสดงค่า G_M ของวงจรถูกนำเสนอทั้งสอง จะพบว่าค่าเปลี่ยนแปลงตามกระแสไบอัสวงจรถูกนำเสนอเช่นกัน นอกจากนี้จะเห็นได้ว่าค่า G_M ของวงจรถูกนำเสนอจะมีช่วงการทำงานที่เป็นเชิงเส้นกว้างกว่าค่า G_M ของวงจรถูกนำเสนอเดิม โดยสังเกตได้จากกราฟรูปที่ 3.11 (ค) ซึ่งกราฟ G_M ของวงจรถูกนำเสนอจะมีค่าใกล้เคียงกับค่า G_M ในทางทฤษฎีมากกว่าค่า G_M ของวงจรถูกนำเสนอเดิม ในช่วงที่แรงดันอินพุตมีการเปลี่ยนแปลงกว้างกว่า

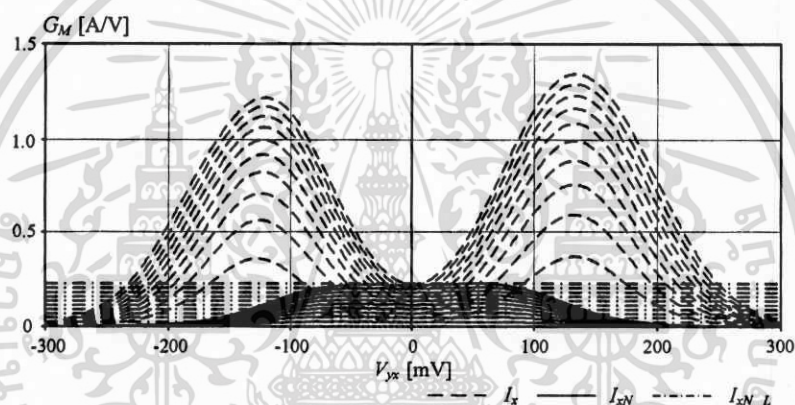
นอกจากนี้ในการแสดงให้เห็นถึงช่วงการทำงานที่กว้างขึ้นของวงจรถูกนำเสนออีกวิธีหนึ่งคือการทดสอบค่าความผิดเพี้ยนของสัญญาณเอาต์พุตด้วยวิธีการหาค่า Total Harmonic distortion (THD) ซึ่งวิธีการวัดค่า THD ของสัญญาณเอาต์พุตนั้นเป็นวิธีการที่นิยมทำกันมากวิธีหนึ่งเนื่องจากเป็นวิธีการที่สะดวก ให้ผลแม่นยำ และทดลองได้ง่ายโดยการป้อนสัญญาณไซน์ที่มีเพียงความถี่เดียวเข้าที่ขั้วอินพุตของวงจรถูกนำเสนอ และวัดค่าฮาร์โมนิก (Harmonic) ของสัญญาณเอาต์พุตที่เกิดขึ้นที่ความถี่ตำแหน่งต่างๆ ซึ่งค่า THD นี้สามารถคำนวณได้โดยอาศัยสมการดังนี้

$$THD = \frac{\sqrt{A_{2f}^2 + A_{3f}^2 + \dots + A_{nf}^2}}{A_f} \quad (3.52)$$

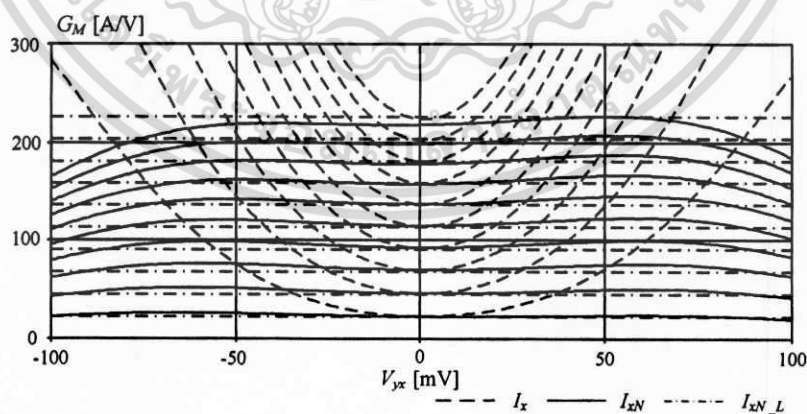
โดยที่ A_{nf} คือขนาดของฮาร์โมนิกที่ความถี่ (nf) ต่างๆ ของสัญญาณเอาต์พุต



(ก) กระแส I_x ของวงจรถึงสอง เมื่อปรับให้กระแส I_A , I_B และ I_o มีค่าต่างๆ



(ข) เปรียบเทียบค่า G_M ของวงจรถึงสองเมื่อแรงดันอินพุตมีค่าอยู่ในช่วง $|V_{yx}| = 300mV$

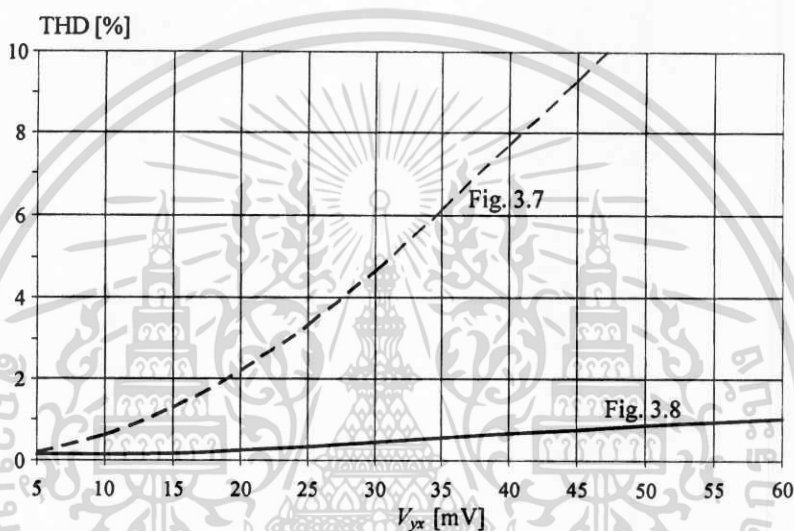


(ค) เปรียบเทียบค่า G_M ของวงจรถึงสอง เมื่อแรงดันอินพุตมีค่าอยู่ในช่วง $|V_{yx}| = 100mV$

รูปที่ 3.11 ค่า G_M ของวงจรถึงสอง เปรียบเทียบกับวงจรถึงเดิม [1]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

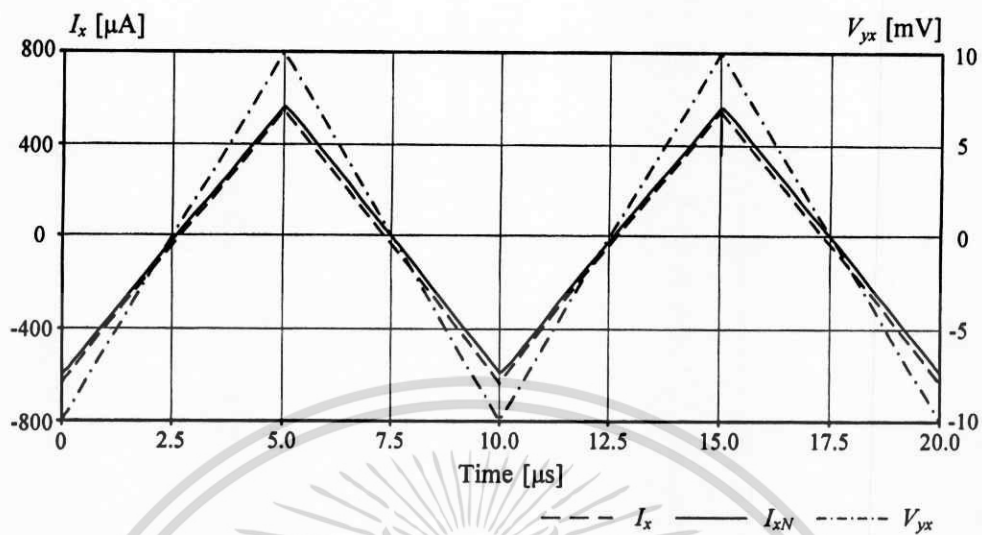
จากสมการ (3.52) จะสังเกตได้ว่าเมื่อค่าแอมพลิจูดของฮาร์โมนิกต่างๆ มีค่าสูง จะส่งผลทำให้ค่า THD มีค่าสูง ดังนั้นจึงอาจกล่าวได้ว่าถ้าค่า THD มีค่าสูง สัญญาณเอาต์พุตก็必将มีความผิดเพี้ยนมากเช่นกัน สำหรับการจำลองการทำงานนั้นจะได้เปรียบเทียบค่า THD ที่ได้จากวงจรทรานสลิเนียร์ผสมที่นำเสนอในรูปที่ 3.8 กับวงจรทรานสลิเนียร์ผสมเดิมก่อนหน้าในรูปที่ 3.7 โดยกระแสไบอัสของวงจรทั้งสองยังคงมีค่าเท่ากับ $I_B = 50\mu A$, $I_A = 390\mu A$ ($7.8I_B$) และ $I_o = 737\mu A$ และได้ให้สัญญาณอินพุตไซน์ V_{ix} ที่มีความถี่เท่ากับ 100 kHz โดยขนาดของแอมพลิจูดมีการเปลี่ยนแปลงตั้งแต่ 5 mV ถึง 70 mV ให้กับวงจรทรานสลิเนียร์ทั้งสอง ผลจำลองการทำงานแสดงได้ดังรูปที่ 3.12



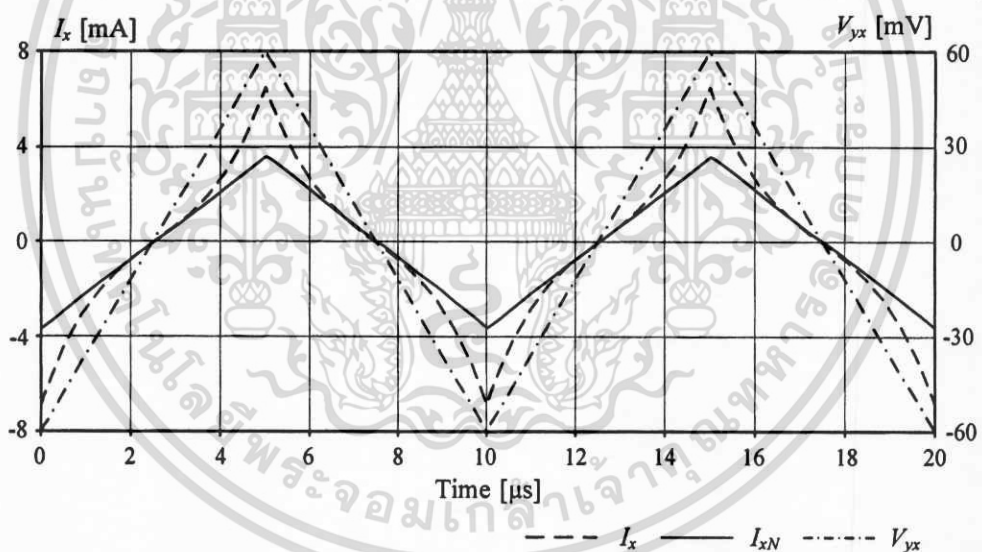
รูปที่ 3.12 ค่า THD ของวงจรทรานสลิเนียร์ที่นำเสนอ กับวงจรเดิม [1] เมื่อให้สัญญาณอินพุตไซน์ที่มีความถี่ 100 kHz โดยมีแอมพลิจูดขนาดต่างๆ

จากผลการจำลองการทำงานในรูปที่ 3.12 เมื่อเส้นทึบจะเป็นผลที่ได้จากวงจรที่นำเสนอในรูปที่ 3.8 ส่วนเส้นประจะเป็นผลที่ได้จากวงจรเดิมในรูปที่ 3.7 จะเห็นได้ว่าค่า THD ของวงจรที่นำเสนอจะมีค่าต่ำกว่าค่า THD ของวงจรเดิมเป็นอย่างมาก โดยเมื่อวัดที่ค่า THD มีค่าประมาณ 1% จะเห็นได้ว่าขนาดของสัญญาณอินพุตของวงจรที่นำเสนอจะมีค่าประมาณ 60 mV ในขณะที่ของวงจรเดิมขนาดของสัญญาณอินพุตจะมีค่าไม่เกิน 15 mV จากค่า THD ที่ได้จากการจำลองการทำงานนั้น จะเห็นได้ว่าให้ผลสอดคล้องกับการทดลองก่อนหน้าไปในแนวทางเดียวกัน

สำหรับผลการจำลองการทำงานในรูปที่ 3.13 (ก) และ (ข) นั้นจะเป็นผลตอบสนองทางเวลาของสัญญาณเอาต์พุตกระแส I_x ของวงจรทั้งสอง โดยการให้สัญญาณแรงดันอินพุตรูปสามเหลี่ยมที่มีความถี่ 100 kHz เข้าที่ขั้ว Y ของวงจร โดยที่ขนาดแอมพลิจูดของสัญญาณมีค่าเท่ากับ 10 mV และ 60 mV ตามลำดับ



(ก) เมื่อสัญญาณแรงดันอินพุต V_{yx} มีแอมพลิจูดเท่ากับ 10 mV



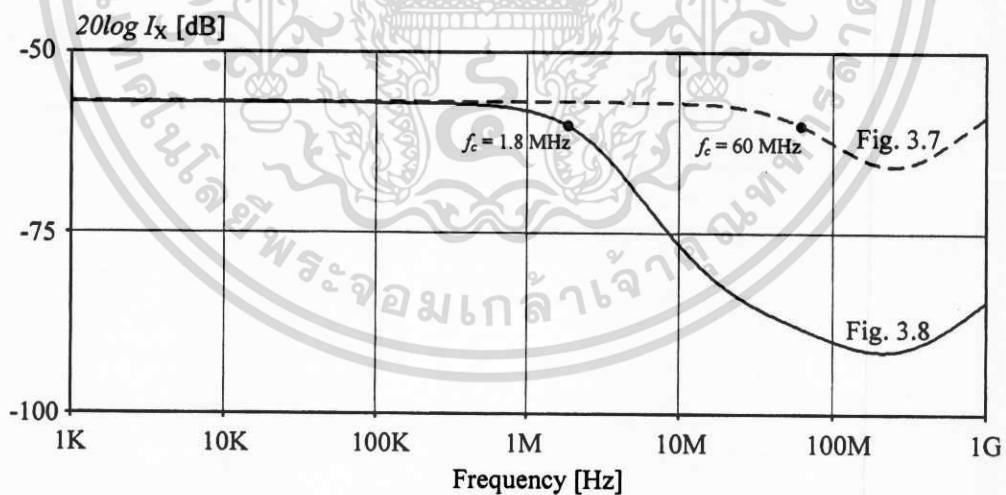
(ข) เมื่อสัญญาณแรงดันอินพุต V_{yx} มีแอมพลิจูดเท่ากับ 60 mV

รูปที่ 3.13 ผลตอบสนองทางเวลาของวงจรทรานสลิเนียร์ที่นำเสนอกับวงจรเดิม [1]

จากรูปที่ 3.13 (ก) จะเห็นได้ว่าเมื่อแรงดันอินพุตมีขนาดแอมพลิจูดเท่ากับ 10 mV สัญญาณกระแส I_{xN} และสัญญาณกระแส I_x จะมีขนาด และรูปสัญญาณสามเหลี่ยมที่ใกล้เคียงกัน แต่เมื่อสัญญาณอินพุตมีขนาดแอมพลิจูดเท่ากับ 60 mV จะเห็นได้อย่างชัดเจนว่าสัญญาณกระแส I_x จะเป็น

สัญญาณรูปสามเหลี่ยมที่มีการผิดเพี้ยนไปในช่วงที่แอมพลิจูดของสัญญาณอินพุตสูงมากๆ ในขณะที่ผลตอบสนองของกระแส I_{xN} ที่ได้จากวงจรที่นำเสนอมีรูปร่างของสัญญาณแทบจะไม่เปลี่ยนแปลงไปจากสัญญาณอินพุตแต่ประการใดเลย ซึ่งจากผลการทดลองนี้จะเป็นการยืนยันได้อีกประการหนึ่งว่า วงจรลูปทรานสลิเนียร์ที่นำเสนอจะมีช่วงการทำงานที่เป็นเชิงเส้นต่อสัญญาณอินพุตที่ค่อนข้างกว้างกว่าวงจรเดิม

สำหรับผลตอบสนองต่อความถี่ (frequency response) ของวงจรทรานสลิเนียร์ทั้งสองจะแสดงได้ดังรูปที่ 3.14 ซึ่งจากผลจำลองการทำงานจะเห็นได้ว่าเมื่อพิจารณาในช่วงความถี่ที่ใช้งานขนาดของกระแสที่ได้จากวงจรทั้งสองมีขนาดที่ใกล้เคียงกัน แต่เมื่อพิจารณาความถี่ที่ใช้งานได้สูงสุดจะพบว่าช่วงความถี่ของวงจรที่นำเสนอในรูปที่ 3.8 จะมีค่าประมาณ 1.8 MHz และสำหรับวงจรทรานสลิเนียร์เดิมในรูปที่ 3.7 จะมีค่าประมาณ 60 MHz โดยช่วงความถี่ที่ใช้งานของวงจรที่นำเสนอจะมีค่าต่ำกว่าวงจรเดิมอยู่มากพอสมควร ทั้งนี้เนื่องมาจากมีจำนวนทรานซิสเตอร์ที่เพิ่มขึ้น จึงส่งผลให้วงจรที่นำเสนอมีตัวเก็บประจุแฝง และตัวต้านทานแฝงที่มีขนาดใหญ่กว่าวงจรเดิม และเมื่อพิจารณาที่ตำแหน่งความถี่อินพุตของวงจรมีค่ามากขึ้นกว่าความถี่ใช้งานดังกล่าว อิทธิพลตัวเก็บประจุแฝง และตัวต้านทานแฝงของวงจรทั้งสองเริ่มที่จะปรากฏผลที่เด่นชัดมากขึ้น จึงทำให้ผลตอบสนองทางขนาดของวงจรทั้งสองเริ่มที่จะลดน้อยลงไปในลักษณะเดียวกัน และเมื่อพิจารณาที่ความถี่ที่สูงมากๆ ($f \gg 100\text{MHz}$) ตัวต้านทาน และตัวเก็บประจุจะมีคุณสมบัติคล้ายกับตัวเหนี่ยวนำจึงทำให้ผลตอบสนองทางขนาดเริ่มที่จะมีขนาดมากขึ้นอีก



รูปที่ 3.14 ผลตอบสนองทางความถี่ของวงจรทรานสลิเนียร์ที่นำเสนอ กับวงจรเดิม [1]

3.8 สรุปผลการจำลองการทำงานของวงจรรูปทรานสลิเนียร์ผสมที่นำเสนอ

จากการจำลองการทำงานของวงจรรูปทรานสลิเนียร์ผสมที่นำเสนอในรูปที่ 3.9 - 3.14 ได้แสดงให้เห็นว่าวงจรทรานสลิเนียร์ที่นำเสนอในวิทยานิพนธ์นี้มีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นกว่าวงจรทรานสลิเนียร์ผสมเดิม [1] อย่างเห็นได้ชัด โดยที่พลังงานสูญเสียในวงจรมีค่าเพิ่มขึ้นเพียงเล็กน้อย (ประมาณ 1.4 เท่า) และจากหลักการออกแบบให้ทรานซิสเตอร์ Q_4 และ Q_8 มีช่วงการนำกระแสที่กว้างขึ้น ดังที่แสดงกราฟกระแส I_{c4} และ I_{c8} ในรูปที่ 3.9 พบว่าส่งผลให้วงจรมีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นจากวงจรทรานสลิเนียร์ผสมเดิม ตามที่ได้ตั้งสมมติฐานไว้ (ประมาณ 3-4 เท่า) และจากกราฟความสัมพันธ์ระหว่างกระแส I_x และแรงดัน V_{yx} ในรูปที่ 3.10 จะเห็นได้ว่าวงจรที่นำเสนอกำหนดของกระแส I_{xN} จะเป็นเชิงเส้นในช่วงที่แรงดันอินพุตมีการเปลี่ยนแปลงได้กว้างกว่ากราฟของกระแส I_x ของวงจรเดิม แต่อย่างไรก็ตามความไม่เท่ากันระหว่าง β_n และ β_p จะส่งผลต่อแรงดันออฟเซตของวงจรที่นำเสนอมากกว่าวงจรเดิมก่อนหน้า ดังแสดงในรูปที่ 3.10 (ข) ซึ่งในการแก้ปัญหาดังกล่าว สามารถทำได้โดยการให้ค่าแรงดันไฟตรงซึ่งมีค่าเท่ากับแรงดันออฟเซตเพิ่มไปกับสัญญาณอินพุตของวงจร ซึ่งผลที่ได้จากการจำลองการทำงานแสดงได้ดังรูปที่ 3.10 (ค) นอกจากนี้ในรูปที่ 3.11 (ก) - (ค) ได้แสดงค่า G_M ของวงจรทั้งสองเปรียบเทียบกัน จะเห็นได้ว่าค่า G_M ของวงจรทรานสลิเนียร์ที่นำเสนอสามารถปรับเปลี่ยนค่าได้โดยการปรับค่ากระแสไบอัส I_A และ I_B ของวงจร ในทำนองเดียวกับวงจรทรานสลิเนียร์ผสมเดิมซึ่งสามารถปรับค่า G_M ของวงจรได้โดยการปรับค่ากระแสไบอัส I_0 และจากรูป 3.11 (ค) จะเห็นได้ว่าค่า G_M ของวงจรที่นำเสนอมีค่าใกล้เคียงกับค่าที่ได้จากการคำนวณทางทฤษฎีในช่วงที่แรงดันอินพุตมีการเปลี่ยนแปลงได้กว้างกว่าค่า G_M ที่ได้จากวงจรเดิม สำหรับรูปที่ 3.12 ได้แสดงค่า THD ของวงจรรูปทรานสลิเนียร์ที่นำเสนอบริียบเทียบกับวงจรเดิม ซึ่งจากผลการจำลองการทำงานแสดงให้เห็นว่าค่า THD ของวงจรที่ได้ออกแบบมีค่าต่ำกว่าวงจรเดิมอย่างชัดเจนตลอดช่วงการเปลี่ยนแปลงของแรงดันอินพุต V_{yx} และเมื่อดูผลตอบสนองทางเวลาในรูปที่ 3.13 จะพบว่าเมื่อให้สัญญาณอินพุต V_{yx} ซึ่งมีรูปแบบเป็นสัญญาณสามเหลี่ยม โดยเมื่อ V_{yx} มีขนาดเล็ก เช่น 10 mV ดังแสดงในรูปที่ 3.11 (ก) สัญญาณกระแสเอาต์พุต I_x ของวงจรทั้งสองจะมีค่าใกล้เคียงกัน และยังคงมีรูปแบบเป็นสัญญาณสามเหลี่ยม เหมือนสัญญาณอินพุต แต่เมื่อสัญญาณอินพุตมีขนาดใหญ่ขึ้น คือ $V_{yx} = 60mV$ ดังแสดงในรูปที่ 3.11 (ข) จะเห็นได้อย่างชัดเจนว่าสัญญาณกระแส I_x ของวงจรเดิมก่อนหน้า จะเป็นรูปสามเหลี่ยมที่มีการผิดเพี้ยนไปในขณะที่แอมพลิจูดของสัญญาณอินพุตสูงมากๆ ในขณะที่กระแส I_{xN} ที่ได้จากวงจรที่นำเสนอมีรูปร่างแทบจะไม่เปลี่ยนแปลงไปจากสัญญาณอินพุต อย่างไรก็ตามเมื่อพิจารณาผลตอบสนองทางความถี่ของวงจรทรานสลิเนียร์ทั้งสองดังแสดงในรูปที่ 3.14 จะเห็นได้ว่าช่วงความถี่ที่ใช้งานได้ของวงจรทรานสลิเนียร์ที่นำเสนอมีค่าต่ำกว่าวงจรทรานสลิเนียร์เดิมอยู่พอสมควร ทั้งนี้เนื่องมาจากตัวต้านทานแฝง และตัวเก็บประจุแฝงของวงจรที่นำเสนอมีค่ามากกว่าวงจรเดิม

จากผลการทดลองทั้งหมดที่ได้นำเสนอจะเห็นได้ว่าให้ผลสอดคล้องเป็นไปในแนวทางเดียวกัน และเป็นการยืนยันได้ว่าวงจรทรานสลิเนียร์ที่นำเสนอในรูปที่ 3.8 จะมีช่วงการทำงานที่เป็นเชิงเส้นต่อ สัญญาณอินพุตกว้างกว่าวงจรทรานสลิเนียร์เดิมในรูปที่ 3.7 เป็นอย่างมาก

3.9 สรุป

สำหรับเนื้อหาสาระสำคัญในบทนี้ ได้นำเสนอหลักการปรับปรุงวงจรทรานสลิเนียร์ผสมที่นำเสนอในบทความ [1] ให้มีช่วงการทำงานที่เป็นเชิงเส้นที่กว้างขึ้น โดยการเพิ่มวงจรคู่คอมมอนเอา โนทรานซิสเตอร์เข้าไปในวงจรทรานสลิเนียร์ผสมเดิม เพื่อให้ทรานซิสเตอร์ในรูปมีช่วงการ นำกระแสที่กว้างขึ้นกว่าวงจรมีก่อนหน้า ซึ่งส่งผลให้กระแสเอาต์พุต I_x มีช่วงการทำงานที่เป็นเชิง เส้นที่กว้างขึ้น ทั้งนี้เป็นผลมาจากความไม่เป็นเชิงเส้นของกระแสเกิดการหักล้างกันเอง และจากการ วิเคราะห์วงจรจะได้ว่าความสัมพันธ์ระหว่างกระแส และแรงดันของวงจรที่ได้นำเสนอ จะอยู่ในรูปของ อนุกรมผลต่างของฟังก์ชัน sinh ดังแสดงในสมการ (3.35) ดังนั้นจึงสามารถที่จะลดผลของความเพี้ยน ของสัญญาณเอาต์พุตที่เกิดจากค่าความถี่ฮาร์โมนิกที่สามได้ โดยการจัดให้สัมประสิทธิ์ของเทอมที่มี กำลังอันดับที่สามระหว่างฟังก์ชัน sinh ที่มีค่าเป็นบวก และฟังก์ชัน sinh ที่มีค่าเป็นลบ มีค่าเท่ากัน ซึ่งผลจากการจำลองการทำงานด้วยโปรแกรม PSPICE ที่ผ่านมาได้แสดงให้เห็นว่าหลักการที่นำเสนอ นี้สามารถขยายช่วงการทำงานที่เป็นเชิงเส้นของวงจรทรานสลิเนียร์ผสมเดิม [1] ได้เป็นอย่างดี ตามหลักการที่ได้ตั้งสมมติฐานในภาคทฤษฎี นอกจากนี้แล้วเมื่อทดสอบพลังงานที่สูญเสียในวงจรจะ พบว่าวงจรที่ได้ออกแบบจะมีพลังงานสูญเสียมากกว่าวงจรมีก่อนหน้าเพียงเล็กน้อย คือประมาณ 1.4 เท่า ในขณะที่ช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นกว่าวงจรมีก่อนหน้าถึงประมาณ 4 เท่า เมื่อทดสอบที่ค่า $THD \approx 1\%$ สำหรับในบทต่อไปจะได้นำเสนอถึงการนำเอาวงจรทรานสลิเนียร์ที่นำเสนอไป ประยุกต์ใช้งานเป็นวงจรความต้านทาน และวงจรขยายเครื่องมือวัด

บทที่ 4

การประยุกต์ใช้งานวงจรทรานสลิเนียร์ผสม

จากการนำเสนอหลักการในการขยายช่วงการทำงานที่เป็นเชิงเส้นของวงจรทรานสลิเนียร์ผสม [1] ให้กว้างขึ้นในบทที่ผ่านมา ด้วยเทคนิคการจัดไบอัสให้กับทรานซิสเตอร์ในรูปทรานสลิเนียร์เดิมใหม่ เพื่อให้ทรานซิสเตอร์ในรูปมีช่วงการนำกระแสที่กว้างขึ้น จากการทดสอบการทำงานของวงจรโดยการจำลองการทำงานด้วยโปรแกรม PSPICE ผลที่ได้จากการจำลองการทำงานนั้นให้ผลสอดคล้องกับหลักการทางทฤษฎีที่ได้ออกแบบไว้เป็นอย่างดี โดยช่วงการทำงานที่เป็นเชิงเส้นของวงจรกว้างขึ้นจากเดิมประมาณ 3-4 เท่า นอกจากนี้เมื่อวิเคราะห์วงจรจะพบว่า การปรับอัตราส่วนระหว่างค่ากระแสไบอัส I_A และ I_B ให้เหมาะสมกับค่าอัตราขยายกระแสของทรานซิสเตอร์ (β) ที่นำมาประกอบในวงจร จะช่วยลดความเพี้ยนของสัญญาณเอาต์พุตได้ ดังนั้นจะเห็นได้ว่าวงจรที่ได้นำเสนอนั้นสามารถทำงานได้ตามที่ออกแบบไว้อย่างน่าพอใจ

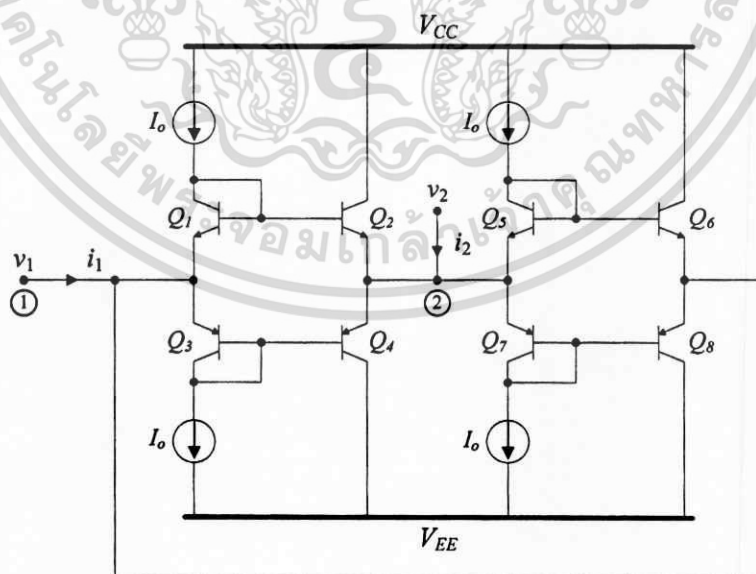
4.1 บทนำ

เพื่อเป็นการช่วยเน้นย้ำถึงประสิทธิภาพของวงจรที่นำเสนอ สาระสำคัญในบทนี้จะได้นำเสนอตัวอย่างการประยุกต์ใช้งานวงจรทรานสลิเนียร์ผสมที่ได้นำเสนอในวิทยานิพนธ์นี้ โดยจะนำมาประกอบเป็นวงจรความต้านทาน (Resistor) [12] และวงจรตามแรงดันสำหรับวงจรสายพานกระแสรุ่นที่สองที่ควบคุมด้วยกระแส (Second-generation current controlled conveyor: CCCII) [4] เพื่อนำเอาวงจร CCCII มาออกแบบเป็นวงจรขยายเครื่องมือวัด (Instrumentation Amplifier) [33] ซึ่งก่อนหน้านี้ได้มีผู้นำเสนอวงจรความต้านทาน และวงจรขยายเครื่องมือวัดไว้แล้ว ซึ่งเมื่อประกอบขึ้นจากวงจรทรานสลิเนียร์ที่นำเสนอในบทความที่ [1] จะพบว่าช่วงการทำงานที่เป็นเชิงเส้นของวงจรทั้งสองจะไม่กว้างนัก ($V_{yz} \ll V_T$) ดังนั้นเพื่อขยายช่วงการทำงานที่เป็นเชิงเส้นของวงจรทั้งสอง วิธีหนึ่งที่สามารถทำได้คือ การนำเอาวงจรทรานสลิเนียร์ที่นำเสนอในรูปที่ 3.3 มาประกอบเป็นวงจร ซึ่งเมื่อเปลี่ยนมาใช้วงจรทรานสลิเนียร์ผสมที่นำเสนอในวิทยานิพนธ์นี้ จะส่งผลทำให้ช่วงการทำงานที่เป็นเชิงเส้นของวงจรทั้งสองกว้างขึ้น โดยที่วงจรยังคงมีคุณสมบัติในการปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์เหมือนเดิม และเพื่อแสดงให้เห็นถึงช่วงการทำงานที่เป็นเชิงเส้นที่ได้ปรับปรุงให้กว้างขึ้น จะได้จำลองการทำงานวงจรความต้านทานทั้งสอง และเปรียบเทียบช่วงการทำงานที่เป็นเชิงเส้นของวงจรความต้านทานที่ประกอบขึ้นจากวงจรทรานสลิเนียร์ที่นำเสนอ กับวงจรที่ประกอบขึ้นจากวงจรทรานสลิเนียร์เดิม [1] ก่อนหน้า ทั้งนี้เพื่อจะให้เห็นถึงช่วงการทำงานที่เป็นเชิงเส้นที่ได้ปรับปรุงให้กว้างขึ้นอย่างชัดเจน

4.2 วงจรความต้านทาน

อุปกรณ์พื้นฐานอย่างหนึ่งที่สำคัญสำหรับวงจรอิเล็กทรอนิกส์ต่างๆ คือตัวต้านทาน ซึ่งมักจะทำหน้าที่ในการปรับค่าพารามิเตอร์ต่างๆ ของวงจร เช่นอัตราขยาย (Gain) ค่าความถี่ตัดในวงจรกรอง (Cut-off frequency) และการปรับค่ากระแสในวงจรสะท้อนกระแส เป็นต้น อย่างไรก็ตามในการสร้างตัวต้านทานในวงจรรวม (Integrated Circuit : IC) นั้น จะใช้พื้นที่ในวงจรรวมค่อนข้างมาก [50] ดังนั้นจึงได้มีการวิจัยเพื่อออกแบบวงจรที่ทำหน้าที่เลียนแบบการทำงานของตัวต้านทานขึ้นมามากมาย [51-56] โดยวงจรความต้านทานที่ได้จะมีทั้งวงจรที่เป็นความต้านทานแบบลอยตัว (Floating resistor) และความต้านทานที่ถูกต้องกับกราวด์แล้ว (Grounded resistor) ซึ่งในการนำไปประยุกต์ใช้งานในวงจรต่างๆ นั้น วงจรความต้านทานแบบต่อลงกราวด์แล้วจะมีข้อจำกัดในการใช้งานมากกว่าวงจรความต้านทานชนิดลอยตัว นอกจากนี้แล้ววงจรความต้านทานบางวงจรสามารถที่จะให้ค่าความต้านทานที่มีค่าเป็นลบได้ [57-60] ซึ่งความต้านทานที่มีค่าเป็นลบนั้นมีประโยชน์เป็นอย่างมากสำหรับวงจรถ่ายสัญญาณ (Oscillator) เนื่องจากจะถูกนำไปใช้เพื่อหักล้างกับความต้านทานแฝงในวงจร ซึ่งจะทำให้วงจรเกิดการออสซิลเลต เป็นต้น

อย่างไรก็ตาม เนื่องจากในวิทยานิพนธ์นี้ต้องการแสดงให้เห็นถึงการประยุกต์ใช้งานวงจรทรานซิสเตอร์ผสมที่ได้นำเสนอในรูปที่ 3.3 ดังนั้นวงจรความต้านทานที่จะนำเสนอจะ เป็นวงจรความต้านทานที่ออกแบบโดยใช้วงจรทรานซิสเตอร์ผสมเดิมในรูปที่ 3.1 [1] มาประกอบสร้างขึ้นเป็นวงจรความต้านทานแบบลอยตัวซึ่งได้ถูกนำเสนอในบทความที่ [12] โดยได้นำเอาวงจรทรานซิสเตอร์ผสมในรูปที่ 3.1 มาต่อเรียงกัน 2 วงจรดังที่แสดงในรูปที่ 4.1



รูปที่ 4.1 วงจรความต้านทานแบบลอยตัวที่นำเสนอในบทความ [12]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.1 ซึ่งแสดงวงจรความต้านทานแบบลอยตัวที่นำเสนอในบทความ [12] จะเห็นว่า วงจรจะประกอบไปด้วยวงจรทรานซิสเตอร์ผสม 2 วงจร (Q_1-Q_4) และ (Q_5-Q_8) ต่อขนานกันแบบ หลังขนาหลัง (Parallel-back-to-back) สำหรับการวิเคราะห์ทั้งวงจรนั้น จะสมมติให้ทรานซิสเตอร์ทุกตัว มีความสมพงษ์กันทุกประการ ดังนั้นเมื่อพิจารณาประกอบกับค่ากระแส I_o ของวงจรทรานซิสเตอร์ผสมดังแสดงในสมการ (2.24) จะได้ว่า

$$i_1 = -i_2 = 2I_o \sinh\left(\frac{v_{12}}{V_T}\right) \quad (4.1)$$

เมื่อกำหนดให้กระแส i_1 , i_2 และแรงดัน $v_{12} = v_1 - v_2$ คือกระแส และผลต่างของแรงดันที่ ขั้ว 1 และขั้ว 2 ของวงจรในรูปที่ 4.1 ตามลำดับ

จากสมการ (4.1) จะเห็นได้ว่าความสัมพันธ์ระหว่างกระแส i_1, i_2 และแรงดันผลต่าง v_{12} จะ อยู่ในฟังก์ชัน sinh ซึ่งเป็นฟังก์ชันที่ไม่เป็นเชิงเส้น อย่างไรก็ตามเมื่อกำหนดเงื่อนไขให้ $|v_{12}| \ll V_T$ จะทำให้สามารถประมาณฟังก์ชัน $\sinh\left(\frac{v_{12}}{V_T}\right) \cong \frac{v_{12}}{V_T}$ ได้ ดังนั้นกระแสในสมการ (4.1) จะแสดง ได้ใหม่ดังนี้

$$i_1 = -i_2 = 2I_o \left(\frac{v_{12}}{V_T}\right) \quad (4.2)$$

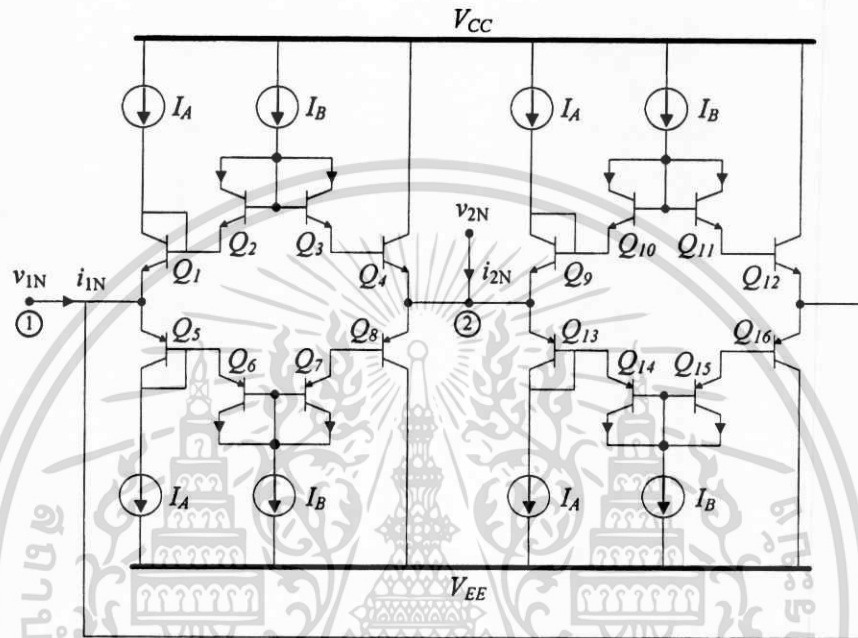
จากความสัมพันธ์ระหว่างกระแส i_1, i_2 และแรงดัน v_{12} ในสมการ (4.2) จะทำให้ได้ความ ต้านทานระหว่างขั้ว 1 และขั้ว 2 ของวงจรมีค่าดังนี้

$$R_{12} = \frac{v_1 - v_2}{i_1} = \frac{V_T}{2I_o} \quad (4.3)$$

เมื่อกำหนดให้ R_{12} คือความต้านทานระหว่างขั้ว 1 และขั้ว 2 ของวงจรในรูปที่ 4.1

จากสมการ (4.3) จะเห็นได้ว่าค่าความต้านทานของวงจรความต้านทานในรูปที่ 4.1 สามารถที่จะปรับค่าได้ด้วยการปรับกระแสไบอัส I_o ของวงจร และจะสังเกตเห็นได้ว่าถ้าขั้ว 1 หรือขั้ว 2 ของ วงจรถูกต่อลงกราวด์จะทำให้วงจรเกิดการช้ำกัน ดังนั้นสมการที่จะลดวงจรทรานซิสเตอร์ผสมให้ เหลือเพียง 1 วงจรได้ ซึ่งในกรณีนี้จะได้เป็นวงจรความต้านทานที่ต่อลงกราวด์แล้ว ซึ่งได้มีผู้นนำเสนอไว้ แล้วในบทความที่ [61] และเมื่อพิจารณาวงจรจะเห็นได้ว่าวงจรความต้านทานแบบลอยตัวในรูปที่ 4.1 นี้จะเป็นการนำเอาความต้านทานแฝงที่ขั้ว X ของวงจรทรานซิสเตอร์ผสมในรูปที่ (3.1) มาประยุกต์ใช้

งานให้เป็นประโยชน์ อย่างไรก็ตามช่วงการทำงานที่เป็นเชิงเส้นของความต้านทานจะไม่กว้างนัก เนื่องจาก $|v_{12}| \ll V_T$ ดังนั้นเพื่อให้วงจรนี้มีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้น วิธีหนึ่งที่สามารถทำได้โดยไม่ยุ่งยากคือ การนำเอาวงจรถานสลีเนียร์ผสมที่นำเสนอในรูปที่ (3.3) มาแทนที่วงจรถานสลีเนียร์ผสมเดิม ซึ่งจะแสดงวงจรถานสลีเนียร์ได้ดังนี้



รูปที่ 4.2 ความต้านทานแบบลอยตัวที่นำเสนอเพื่อขยายช่วงการทำงานที่เป็นเชิงเส้น

จากรูปที่ 4.2 จะเห็นว่าวงจรมีลักษณะเหมือนเดิม เพียงแต่เปลี่ยนวงจรถานสลีเนียร์ผสมที่ใช้ประกอบในวงจรเป็นวงจรถานสลีเนียร์ผสมที่นำเสนอในวิทยานิพนธ์นี้ (Q_1-Q_8) และ (Q_9-Q_{16}) สำหรับการวิเคราะห์วงจรจะยังคงเป็นไปในทำนองเดียวกัน คือการสมมติให้ทรานซิสเตอร์ทุกตัวในวงจรมีความสมพงษ์กันทุกประการ และมีค่า $\beta \gg 1$ จนสามารถละเลยผลของกระแสเบสได้ ดังนั้นเมื่อพิจารณาประกอบกับสมการกระแส I_{2N} ของวงจรถานสลีเนียร์ผสมที่นำเสนอในสมการ (3.35) จะได้ว่า

$$i_{1N} = -i_{2N} = 2\sqrt{(I_B^2 + I_A I_B)} \beta \sinh\left(\frac{v_{12N}}{2V_T}\right) - (I_A + 2I_B) \sinh\left(\frac{v_{12N}}{V_T}\right) \quad (4.4)$$

เมื่อกำหนดให้กระแส i_{1N} , i_{2N} และแรงดัน $v_{12N} = v_{1N} - v_{2N}$ คือกระแส และแรงดันที่ขั้ว 1 และขั้ว 2 ของวงจรในรูปที่ 4.2 ตามลำดับ

จากสมการ (4.4) จะได้ว่าความสัมพันธ์ระหว่างกระแส i_{1N}, i_{2N} และแรงดัน v_{12N} ของวงจรรความต้านทานในรูปที่ 4.2 จะอยู่ในรูปของสมการผลต่างของฟังก์ชัน sinh ดังนั้นความไม่เป็นเชิงเส้นของฟังก์ชัน sinh บางส่วนจะเกิดการหักล้างกันเอง ส่งผลทำให้ช่วงการทำงานที่เป็นเชิงเส้นของวงจรรความต้านทานกว้างขึ้นได้ และในทำนองเดียวกันกับวงจรที่ 4.1 เมื่อกำหนดให้ $|v_{12N}| \ll V_T$ จะทำให้สามารถประมาณฟังก์ชัน sinh ในสมการ (4.4) ให้เป็นสมการเชิงเส้นได้ ดังนั้นจะได้ว่า

$$i_{1N} = -i_{2N} = \left[\sqrt{(I_B^2 + I_A I_B) \beta} - (I_A + 2I_B) \right] \left(\frac{v_{12N}}{V_T} \right) \quad (4.5)$$

จากความสัมพันธ์ระหว่างกระแส i_{1N}, i_{2N} และแรงดัน $v_{12N} = v_{1N} - v_{2N}$ ในสมการ (4.5) จะทำให้ได้ความต้านทานระหว่างขั้ว 1 และขั้ว 2 ของวงจรในรูปที่ 4.2 ดังนี้

$$R_{12N} = \left(\frac{v_{1N} - v_{2N}}{i_{1N}} \right) = \frac{V_T}{\sqrt{(I_B^2 + I_A I_B) \beta} - (I_A + 2I_B)} \quad (4.6)$$

เมื่อกำหนดให้ R_{12N} คือความต้านทานระหว่างขั้ว 1 และขั้ว 2 ของวงจรในรูปที่ 4.2

จากสมการ (4.6) จะเห็นได้ว่าความต้านทานของวงจรในรูปที่ 4.2 สามารถปรับค่าได้ด้วยการปรับค่ากระแสไบอัส I_A และ I_B จะสังเกตเห็นได้ว่าค่าความต้านทาน R_{12N} จะมีค่าเท่ากับค่าความต้านทานแฝงที่ขั้ว X_N ของวงจรรูปทรานซิสเตอร์ผสมที่นำเสนอในสมการ (3.51) อย่างไรก็ตามสำหรับการปรับค่าความต้านทานนั้น กระแสไบอัส I_A จะมีค่าแปรตามกระแสไบอัส I_B ดังแสดงในสมการ (3.46) ทั้งนี้เพื่อให้สัญญาณเอาต์พุตมีความผิดเพี้ยนลดลง

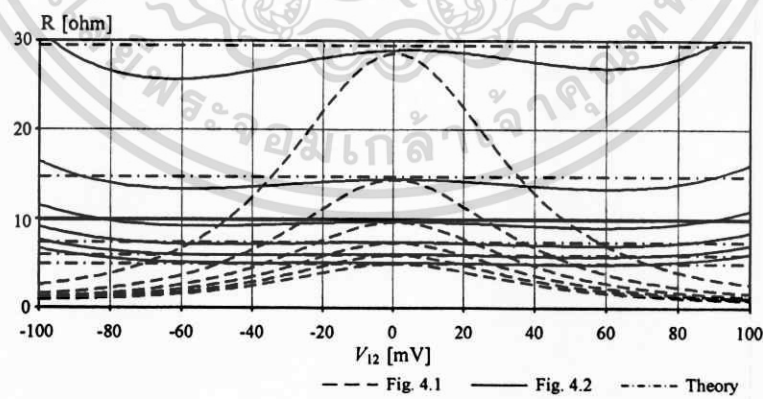
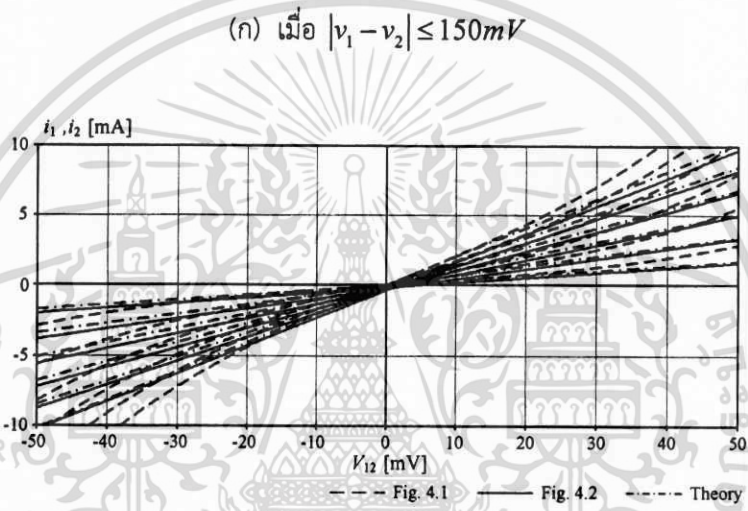
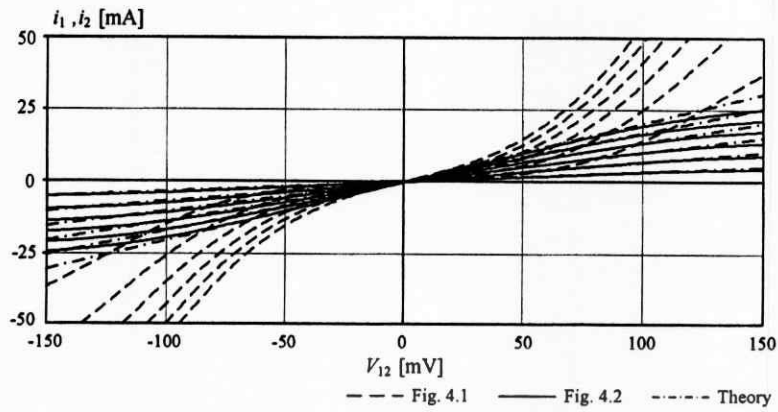
4.2.1 การจำลองการทำงานของวงจรรความต้านทาน

เพื่อตรวจสอบการทำงานของวงจรรความต้านทานแบบลอยตัวที่นำเสนอในรูปที่ 4.2 จึงได้จำลองการทำงานของวงจรด้วยโปรแกรม PSPICE โดยกำหนดสภาวะของการทำงานที่อุณหภูมิ 27°C และใช้ทรานซิสเตอร์ชนิด NPN เบอร์ 2N3904 และชนิด PNP เบอร์ 2N3906 โดยให้วงจรทั้งสองมีไฟเลี้ยงเท่ากับ $\pm 2\text{V}$ เช่นเดียวกับการจำลองการทำงานในบทที่ผ่านมา เพื่อลดความเพี้ยนของสัญญาณเอาต์พุตค่ากระแสไบอัส I_A จะถูกคำนวณตามสมการ (3.46) ซึ่งเมื่อกำหนดให้ $\beta = 175$ จะได้กระแสไบอัส $I_A = (7.8I_B)$ และเพื่อความชัดเจนในการแสดงให้เห็นถึงช่วงการทำงานที่เป็นเชิงเส้นที่กว้างขึ้นของวงจรรความต้านทานที่ได้นำเสนอ จะได้เปรียบเทียบผลการทำงานที่เป็นเชิงเส้นระหว่างวงจรรความต้านทานในรูปที่ 4.1 และรูปที่ 4.2 ทั้งนี้เพื่อความสะดวกในการเปรียบเทียบจะได้กำหนดให้ค่าความต้านทานทางทฤษฎีที่ได้จากสมการ (4.3) และ (4.6) มีค่าเท่ากัน กล่าวคือ

$R_{12} = R_{12N}$ ซึ่งสามารถทำได้ด้วยการเลือกค่ากระแสไบอัส I_A , I_B และ I_o ของวงจรถังสองที่มีผลทำให้ค่าความต้านทานที่คำนวณได้มีค่าเท่ากัน

สำหรับในการจำลองการทำงานของวงจรถะแทนที่แหล่งจ่ายกระแสอิสระด้วยวงจรถะสะท้อนกระแสอย่างง่าย (current mirror) และจะเริ่มการจำลองการทำงานด้วยการตรวจสอบหาความสัมพันธ์ระหว่างกระแสที่ไหลผ่านวงจรถะต้านทาน (i_1, i_2) กับแรงดันที่ตกคร่อมตัวต้านทาน ($v_1 - v_2$) ของวงจรถังสองก่อน (V-I characteristic) โดยได้ให้แรงดันอินพุตไฟตรงเข้าที่ขั้ว 1 ของวงจรถะต้านทานทั้งสอง ซึ่งค่าของแรงดันมีการเปลี่ยนแปลงตั้งแต่ -150mV ไปจนถึง 150mV และวัดกระแสที่ไหลผ่านวงจรถะต้านทานที่ขั้ว 2 ซึ่งกระแสไบอัส I_B ในวงจรถะรูปที่ 4.2 จะมีค่าเปลี่ยนแปลงตั้งแต่ 30 μ A - 180 μ A และมีค่าเพิ่มขึ้นครั้งละ 30 μ A โดยที่กระแสไบอัส I_A ของวงจรถะจะมีค่าเปลี่ยนแปลงตามกระแสไบอัส I_B เช่นกัน ตามสมการ $I_A = (7.8I_B)$ ในส่วนของวงจรถะต้านทานในรูปที่ 4.1 จะกำหนดให้กระแสไบอัส I_o มีค่าเปลี่ยนแปลงตั้งแต่ 440 μ A - 2.6mA โดยมีค่าเพิ่มขึ้นครั้งละ 440 μ A ซึ่งจากการกำหนดค่ากระแสไบอัสดังกล่าวจะมีผลทำให้ค่าความต้านทานของวงจรถังสองมีค่าเท่ากัน ($R_{12} = R_{12N}$) สำหรับผลจากการจำลองการทำงานแสดงได้ดังรูปที่ 4.3

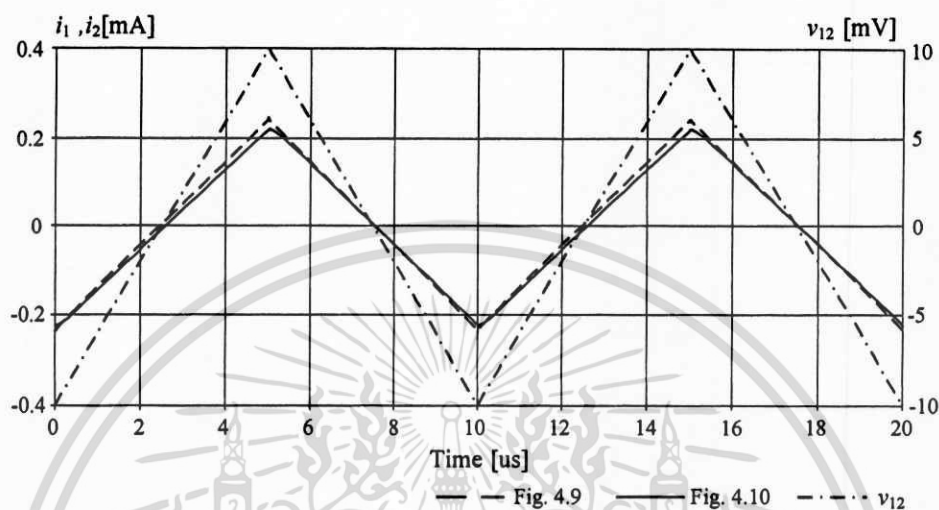
จากผลจำลองการทำงานในรูปที่ 4.3 (ก) จะเห็นได้ว่าค่าความต้านทานของวงจรถังสองสามารถที่จะปรับค่าได้ด้วยการปรับกระแสไบอัสของวงจรถะ และจากรูป 4.2 (ข) จะเห็นได้อย่างชัดเจนว่าเมื่อแรงดันตกคร่อมตัวต้านทาน (v_{12}) มีค่าเพิ่มขึ้น กระแสของวงจรถะต้านทานในรูปที่ 4.2 จะมีค่าใกล้เคียงกับกระแสที่คำนวณได้ทางทฤษฎีมากกว่ากระแสในวงจรถะต้านทานรูปที่ 4.1 ซึ่งกล่าวได้ว่าวงจรถะต้านทานที่ได้ปรับปรุงด้วยการนำเอาวงจรถะทรานสลิเนียน์ผสมที่นำเสนอในวิทยานิพนธ์นี้มาประกอบเป็นวงจรถะจะมีช่วงการทำงานที่เป็นเชิงเส้นกว้างกว่าวงจรถะต้านทานเดิมเป็นอย่างมาก และจากรูปที่ 4.3 (ค) ซึ่งได้แสดงค่าของความต้านทานเมื่อแรงดันตกคร่อมตัวต้านทาน v_{12} มีค่าเปลี่ยนแปลง จะเห็นได้ว่าค่าความต้านทานของวงจรถังสองมีค่าที่ใกล้เคียงกับค่าที่คำนวณได้ทางทฤษฎี เมื่อแรงดัน $v_{12} = 0$ แต่เมื่อขนาดของแรงดันตกคร่อมตัวต้านทานมากขึ้น จะพบว่าค่าความต้านทานของวงจรถะในรูปที่ 4.1 จะมีความคลาดเคลื่อนไปจากค่าที่คำนวณได้ทางทฤษฎีค่อนข้างมาก ในขณะที่ค่าของความต้านทานของวงจรถะที่นำเสนอในรูปที่ 4.2 จะยังคงมีค่าใกล้เคียงกับค่าที่คำนวณได้ทางทฤษฎีในช่วงที่แรงดันอินพุตเปลี่ยนแปลงได้กว้างกว่า



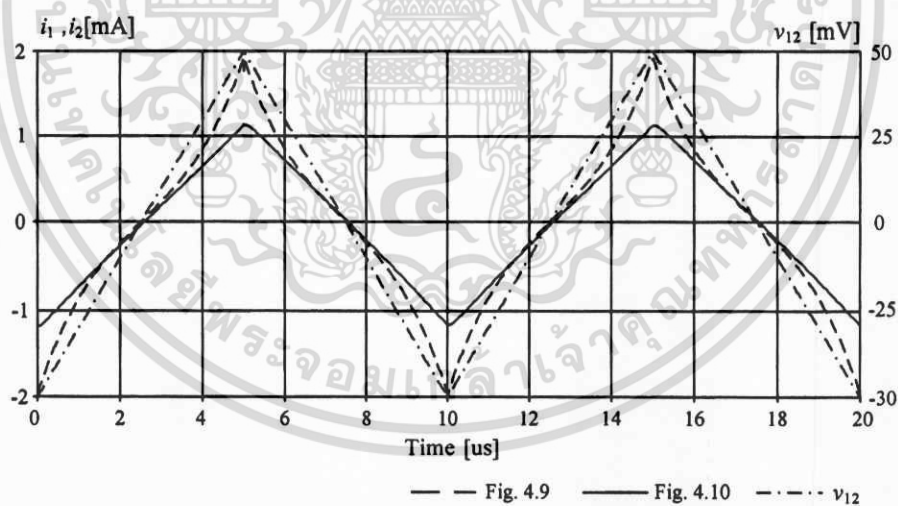
รูปที่ 4.3 เปรียบเทียบกราฟ V-I characteristic และค่าความต้านทานของวงจรความต้านทาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับผลตอบสนองทางเวลาของวงจรความต้านทานนั้น ได้แสดงในรูปที่ 4.4 (ก) - (ข) ซึ่งในการจำลองการทำงานได้ให้สัญญาณแรงดันตกคร่อมตัวต้านทานทั้งสอง (v_{12}) มีลักษณะเป็นรูปสามเหลี่ยมที่มีความถี่ 100 kHz โดยขนาดแอมพลิจูดมีค่าเท่ากับ 10mV และ 50mV ตามลำดับ



(ก) เมื่อขนาดแอมพลิจูดของแรงดัน $v_{12} = 10mV_p$



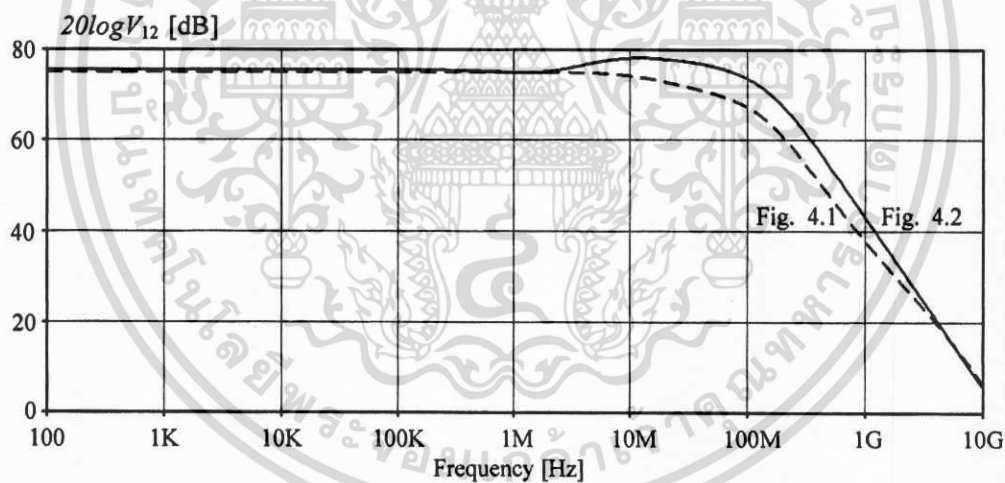
(ข) เมื่อขนาดแอมพลิจูดของแรงดัน $v_{12} = 50mV_p$

รูปที่ 4.4 เปรียบเทียบผลตอบสนองทางเวลาของวงจรความต้านทานทั้งสอง

จากผลการจำลองการทำงานในรูปที่ 4.4 (ก) จะเห็นได้ว่าเมื่อแรงดันตกคร่อมตัวต้านทาน v_{12} มีขนาดแอมพลิจูดเท่ากับ 10mV กระแสที่ไหลผ่านตัวต้านทาน (i_1, i_2) ของวงจรความต้านทาน

ทั้งสองจะมีขนาด และรูปสัญญาณสามเหลี่ยมที่ใกล้เคียงกัน แต่เมื่อให้แรงดันตกคร่อมตัวต้านทานมีขนาดแอมพลิจูดที่มากขึ้นคือ $|v_{12}| = 50\text{mV}$ ผลที่ได้จากการจำลองการทำงานในรูปที่ 4.4 (ข) แสดงให้เห็นว่าวงจรรวมความต้านทานในรูปที่ 4.2 ที่ประกอบด้วยวงจรรวมสลีเนียน์ผสมที่นำเสนอในวิทยานิพนธ์นี้ จะมีช่วงการทำงานที่เป็นเชิงเส้นกว้างกว่าวงจรรวมความต้านทานในรูปที่ 4.1 ซึ่งสามารถยืนยันได้จากการที่สัญญาณกระแสที่ไหลผ่านวงจรรวมความต้านทานในรูปที่ 4.2 (i_1, i_2) จะยังคงมีลักษณะเป็นสัญญาณรูปสามเหลี่ยมเหมือนกับสัญญาณแรงดันตกคร่อมตัวต้านทาน v_{12} ซึ่งจะต่างจากสัญญาณกระแส (i_1, i_2) ในวงจรรูปที่ 4.1 ที่สัญญาณกระแสจะมีลักษณะเป็นรูปสามเหลี่ยมที่ผิดเพี้ยนไปในช่วงที่แอมพลิจูดของแรงดันที่ตกคร่อมตัวต้านทานมีค่าสูงมาก

สำหรับผลตอบสนองทางความถี่ของวงจรรวมความต้านทานทั้งสองแสดงได้ดังรูปที่ 4.5 โดยได้ให้กระแสไหลผ่านตัวต้านทานที่มีค่าความถี่เปลี่ยนแปลงตั้งแต่ 100 Hz จนถึง 10 GHz จากนั้นจึงวัดค่าแรงดันที่ตกคร่อมวงจรรวมความต้านทานทั้งสอง (v_{12}) จากผลจำลองการทำงานจะเห็นได้ว่าช่วงความถี่ที่ใช้งานได้สำหรับวงจรรวมความต้านทานในรูปที่ 4.1 นั้นจะมีค่าประมาณ 28 MHz ในขณะที่วงจรรวมความต้านทานในรูปที่ 4.2 ช่วงความถี่ที่ใช้งานได้จะมีค่าประมาณ 120 MHz จะเห็นได้ย่านความถี่ที่ใช้งานได้ของวงจรรวมความต้านทานที่นำเสนอจะกว้างกว่าวงจรรวมเดิม



รูปที่ 4.5 เปรียบเทียบผลตอบสนองทางความถี่ของวงจรรวมความต้านทาน

เมื่อพิจารณาถึงกำลังงานสูญเสีย (Power dissipation) ในวงจรรวมความต้านทานทั้งสอง ในการจำลองการทำงานจะได้กำหนดให้กระแสไบอัส I_A , I_B และ I_o มีค่าที่ทำให้ความต้านทานของทั้งสองวงจรมีค่าเท่ากัน กล่าวคือ $R_{12} = R_{12N}$ ดังนั้นสำหรับวงจรรวมความต้านทานในรูปที่ 4.2 จะกำหนดให้กระแสไบอัส $I_B = 20\mu\text{A}$ และกระแสไบอัส $I_A = (7.8I_B) = 156\mu\text{A}$ ในส่วนของวงจรรวมความต้านทานในรูปที่ 4.1 ได้กำหนดให้กระแสไบอัส $I_o = 295\mu\text{A}$ ดังนั้นจะได้ค่าความต้านทานของ

วงจรทั้งสองมีค่าเท่ากันคือ $R_{12} = R_{12N} = 44\Omega$ โดยวงจรทั้งสองมีไฟเลี้ยงเท่ากับ $\pm 2V$ ซึ่งผลจากการจำลองการทำงานจะพบว่ากำลังงานสูญเสียในวงจรความต้านทานรูปที่ 4.1 จะมีค่าประมาณ 6mW และสำหรับวงจรรูปที่ 4.2 จะมีค่าประมาณ 7mW ซึ่งจะเห็นได้ว่ากำลังงานสูญเสียในวงจรความต้านทานที่นำเสนอจะมีค่าเพิ่มขึ้นเพียงเล็กน้อย ในขณะที่ช่วงการทำงานที่เป็นเชิงเส้นนั้นกว้างขึ้นจากวงจรเดิมอย่างมาก

จากผลการจำลองการทำงานของวงจรความต้านทานทั้งสอง ได้แสดงให้เห็นอย่างชัดเจนว่า วงจรความต้านทานที่ประกอบขึ้นจากวงจรทรานสลิเนียร์ผสมที่นำเสนอในวิทยานิพนธ์นี้ ดังแสดงในรูปที่ 4.2 นั้น จะมีช่วงการทำงานที่เป็นเชิงเส้นกว้างกว่าวงจรความต้านทานที่ประกอบไปด้วยวงจรทรานสลิเนียร์ผสมเดิมในรูปที่ 4.1 เป็นอย่างมาก ซึ่งเป็นการยืนยันถึงประสิทธิภาพของวงจร ทรานสลิเนียร์ที่ได้นำเสนอเป็นอย่างดี

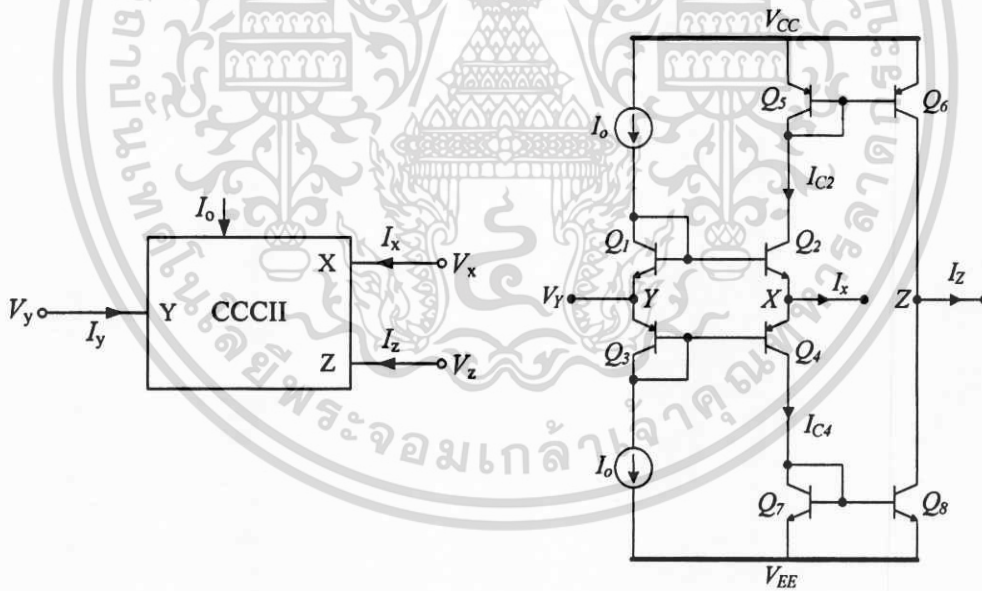
4.3 วงจรสายพานกระแสรุ่นที่สองที่ควบคุมด้วยกระแส (CCCI)

ดังที่ได้กล่าวไปข้างแล้วว่าวงจรรูปทรานสลิเนียร์ผสมในรูปที่ 3.1 [1] ได้ถูกนำไปประยุกต์ใช้เป็นวงจรตามแรงดันสำหรับวงจรสายพานกระแสรุ่นที่สอง (CCII) โดยวงจรสายพานกระแสที่ออกแบบด้วยการนำเอาวงจรทรานสลิเนียร์ผสมมาสร้างเป็นวงจรตามแรงดันนี้ ได้ถูกนำเสนอโดย Fabre A. และคณะ [3] ซึ่งสัญลักษณ์ และรูปวงจรแสดงได้ในรูปที่ 4.6 จากวงจรจะเห็นได้ว่ากระแสที่เข้า X ของวงจร CCCII ก็คือกระแส I_x ของวงจรทรานสลิเนียร์นั่นเอง ซึ่งกระแส I_x นี้จะถูกสะท้อนไปที่เข้า Z ด้วยวงจรสะท้อนกระแสซึ่งประกอบไปด้วยทรานซิสเตอร์ Q_5-Q_6 และ Q_7-Q_8 สำหรับค่าของกระแส $I_x = I_z$ นี้จะมีค่าดังที่แสดงไว้ในสมการ (2.24) ซึ่งจะเห็นได้ว่าความสัมพันธ์ระหว่างกระแส I_x และแรงดัน V_{yx} นี้จะอยู่ในรูปของฟังก์ชัน sinh ซึ่งไม่เป็นเชิงเส้น อย่างไรก็ตามสามารถที่จะประมาณให้เป็นเชิงเส้นได้เมื่อ $V_{yx} \leq V_T$

ต่อมา Fabre A. และคณะ ได้วิเคราะห์วงจรทรานสลิเนียร์ที่เป็นภาคอินพุตของวงจร CCII ดังกล่าว แล้วพบว่าวงจร CCII แบบทรานสลิเนียร์นี้มีความต้านทานแฝงปรากฏขึ้นที่เข้า X (R_x) ของวงจร โดยค่าความต้านทานแฝงนี้สามารถที่จะควบคุมค่าได้ด้วยกระแสไบอัส I_0 ของวงจรทรานสลิเนียร์ ($R_x = V_T/2I_0$) ดังนั้น Fabre A. จึงได้กำหนดนิยามของวงจรสายพานกระแสชนิดนี้ว่าเป็นวงจรสายพานกระแสรุ่นที่สองที่ควบคุมด้วยกระแส (Second-generation current controlled conveyor: CCCII) [4] หลังจากนั้นจึงได้มีการนำเอาวงจร CCCII นี้ไปประยุกต์ใช้งานอย่างมากมาย โดยส่วนใหญ่จะใช้ประโยชน์จากความต้านทานแฝง (R_x) ของวงจรด้วย ซึ่งส่งผลทำให้วงจรที่ออกแบบไม่ต้องใช้ตัวต้านทานแบบพาสซีฟเลย อย่างไรก็ตามจะเห็นได้ว่าความต้านทานแฝงนี้เป็นผลมาจากการประมาณความสัมพันธ์ระหว่างกระแส I_x และแรงดัน V_{yx} ที่อยู่ในรูปแบบของฟังก์ชัน sinh ให้เป็นเชิงเส้น ($V_{yx} \leq V_T$) ดังนั้นจึงทำให้ช่วงการทำงานที่เป็นเชิงเส้นของความต้านทานแฝง R_x นี้ มีค่าไม่กว้างนัก ซึ่งเป็นข้อจำกัดข้อหนึ่งในการนำไปใช้งานในวงจรต่างๆ

เมื่อพิจารณาวงจรทรานสลิเนียร์ผสมที่นำเสนอในวิทยานิพนธ์นี้ ดังแสดงในรูปที่ 3.3 จะเห็นได้ว่าสามารถนำมาประยุกต์ใช้เป็นวงจรรภาคินพุตของวงจร CCCII ได้เช่นกัน ซึ่งจะได้วงจรใหม่ดังแสดงในรูปที่ 4.7

จากรูปที่ 4.7 จะเห็นได้ว่าในส่วนที่เป็นวงจรรูปทรานสลิเนียร์ผสม ซึ่งทำหน้าที่เป็นวงจรตามแรงดันของวงจร CCCII นั้น จะถูกแทนที่ด้วยวงจรรูปทรานสลิเนียร์ผสมที่นำเสนอในรูปที่ 3.3 ดังนั้นกระแส I_x ของวงจร CCCII ที่นำเสนอในรูปที่ 4.7 จะมีค่าตามสมการ (3.35) โดยกระแส I_x นี้จะเป็นฟังก์ชันผลต่างของ $\sinh(V_{yx})$ ซึ่งในบทที่ผ่านมาได้แสดงให้เห็นว่าความไม่เป็นเชิงเส้นของฟังก์ชัน \sinh สามารถที่จะลดทอนลงได้ เนื่องจากมีการหักล้างกันเองของความไม่เป็นเชิงเส้นระหว่างฟังก์ชัน \sinh ที่มีค่าเป็นบวก และลบ ดังนั้นจึงส่งผลทำให้ความสัมพันธ์ระหว่างกระแส I_x และแรงดัน V_{yx} ของวงจร CCCII ที่นำเสนอในรูปที่ 4.7 มีช่วงการทำงานที่กว้างขึ้นกว่าวงจร CCCII ในรูปที่ 4.6 หรือในอีกทางหนึ่งก็คือค่าความต้านทานแฝงที่ขั้ว X (R_{xN}) ของวงจรในรูปที่ 4.7 จะมีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นด้วยนั่นเอง เพื่อแสดงให้เห็นถึงประสิทธิภาพของวงจร CCCII ที่ได้นำเสนอในรูปที่ 4.7 จะได้นำไปประยุกต์สร้างเป็นวงจรเครื่องมือวัด ซึ่งมีผู้นำเสนอไว้แล้วในบทความ [33] โดยรายละเอียดของวงจรจะแสดงในหัวข้อต่อไป

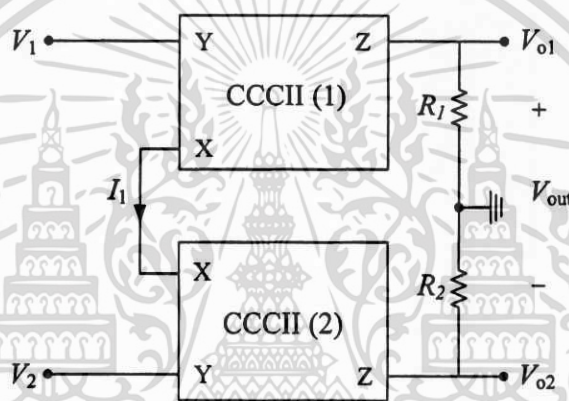


(ก) สัญลักษณ์

(ข) วงจร CCCII [4]

รูปที่ 4.6 สัญลักษณ์ และวงจร CCCII [4]

CCII นั้นสามารถทำได้หลากหลายวิธี สำหรับในวิทยานิพนธ์นี้ได้เลือกใช้วงจร CCII ซึ่งออกแบบโดย Fabre A. [4] และเรียกว่าวงจร CCCII เนื่องจากวงจร CCCII ดังกล่าวจะมีความต้านทานแฝงที่ขั้ว X ซึ่งเมื่อนำมาประยุกต์ใช้ในวงจรเครื่องมือวัด จะมีผลทำให้ลดอุปกรณ์ตัวต้านทานพาสซีฟของวงจรลงไปได้ นอกจากนี้ยังจะได้แสดงให้เห็นถึงการประยุกต์ใช้งานวงจรทรานสลิเนียร์ที่ได้นำเสนอด้วย โดยจะได้แสดงช่วงการทำงานที่เป็นเชิงเส้นของวงจรขยายเครื่องมือวัดเมื่อออกแบบโดยใช้วงจร CCCII ในรูปที่ 4.6 เปรียบเทียบกับวงจรขยายเครื่องมือวัดที่ออกแบบโดยใช้วงจร CCCII ที่นำเสนอในวิทยานิพนธ์นี้ในรูปที่ 4.7 สำหรับรูปวงจขยายเครื่องมือวัดที่นำเสนอในบทความที่ [33] จะแสดงสัญลักษณ์ของวงจรได้ดังรูปที่ 4.8



รูปที่ 4.8 สัญลักษณ์วงจขยายเครื่องมือวัดที่นำเสนอในบทความที่ [33]

สำหรับสมการความสัมพันธ์ของแรงดัน และกระแสที่ขั้วต่าง ๆ ของวงจร CCCII จะแสดงได้ ในรูปของสมการเมตริกซ์ดังสมการ (4.7)

$$\begin{bmatrix} I_y \\ V_x \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 \\ 1 & R_x & 0 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} V_y \\ I_x \\ V_z \end{bmatrix} \quad (4.7)$$

โดยที่ R_x คือ ค่าความต้านทานแฝงที่ขั้ว X และมีค่าเท่ากับ $V_T / 2I_0$ [4]

ในการวิเคราะห์วงจรเครื่องมือวัดในรูปที่ 4.8 จะทำได้ง่ายขึ้น ด้วยการอาศัยสมการเมตริกซ์ ในสมการ (4.7) มาประกอบในการวิเคราะห์วงจร ซึ่งจากการวิเคราะห์วงจรจะได้ว่า

$$I_1 = \frac{V_1 - V_2}{2R_X} \quad (4.8)$$

เนื่องจากกระแส I_x จะมีค่าเท่ากับกระแส I_x ดังนั้นจะได้ว่า

$$V_{o1} = \frac{R_1}{2R_X}(V_1 - V_2) \quad (4.9)$$

และ

$$V_{o2} = \frac{R_2}{2R_X}(V_2 - V_1) \quad (4.10)$$

จากวงจรจะเห็นได้ว่าแรงดันเอาต์พุต V_{out} มีค่าเท่ากับ

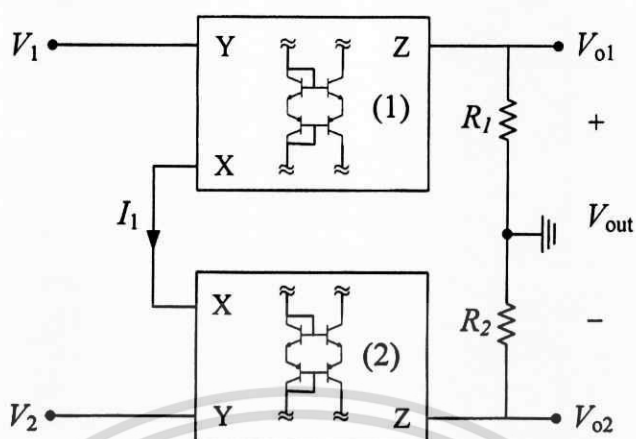
$$V_{out} = V_{o1} - V_{o2} \quad (4.11)$$

เมื่อนำสมการ (4.9) และ (4.10) แทนค่าลงในสมการ (4.11) และกำหนดให้ $R_1 = R_2$ ดังนั้นจะแสดงสมการแรงดันเอาต์พุต V_{out} ได้ดังนี้

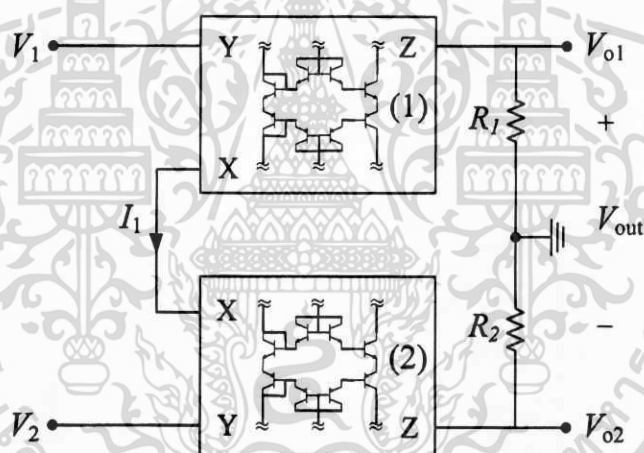
$$V_{out} = \frac{R_1}{R_X}(V_1 - V_2) \quad (4.12)$$

จากสมการ (4.12) จะเห็นได้อย่างชัดเจนว่าถ้าแรงดันอินพุต $V_1 = V_2$ แรงดันเอาต์พุตจะมีค่าเป็นศูนย์ ซึ่งค่าที่ได้ไม่ขึ้นกับค่าความต้านทานในวงจรเลย นั่นคือการกำจัดสัญญาณโหมดร่วม (Common-mode rejection ratios) ของวงจรไม่ขึ้นอยู่กับความสมพียงกันของตัวต้านทานภายนอกเลย [33] ซึ่งเป็นข้อดีสำหรับวงจรเครื่องมือวัด นอกจากนี้จะเห็นได้ว่าอัตราขยาย (Gain) ของวงจรสามารถปรับค่าได้ด้วยการปรับค่าความต้านทาน R_1 หรือ R_X ซึ่งถ้าปรับด้วยความต้านทาน R_X จะทำได้ง่ายด้วยการปรับค่ากระแสไบอัสของวงจรทรานซิสเลียร์ผสมที่นำมาประกอบในวงจร โดยเรียกว่าการปรับค่าด้วยวิธีการทางอิเล็กทรอนิกส์ (Electronically tunable) ซึ่งจะมีความสะดวกสำหรับการใช้งาน มากกว่าการเลือกปรับค่าอัตราขยายด้วยความต้านทาน R_1

ในหัวข้อต่อไปจะเป็นการจำลองการทำงาน เพื่อเปรียบเทียบช่วงการทำงานที่เป็นเชิงเส้นของวงจรเครื่องมือวัดในรูปที่ 4.8 ระหว่างวงจรที่ออกแบบด้วยวงจร CCCII ในรูปที่ 4.6 ซึ่งได้แสดงสัญลักษณ์ของวงจรในรูปที่ 4.9 และเมื่อเปลี่ยนมาใช้วงจร CCCII ที่นำเสนอในรูปที่ 4.7 ซึ่งได้แสดงสัญลักษณ์ของวงจรในรูปที่ 4.10



รูปที่ 4.9 วงจรขยายเครื่องมือวัดเมื่อออกแบบด้วยวงจร CCCII [4]



รูปที่ 4.10 วงจรขยายเครื่องมือวัดเมื่อออกแบบด้วยวงจร CCCII ที่นำเสนอ

4.4.1 การจำลองการทำงานของวงจรถยายเครื่องมือวัด

เพื่อตรวจสอบการทำงานของวงจรถยายเครื่องมือวัดในรูปที่ 4.9 และ 4.10 จะได้จำลองการทำงานของวงจรด้วยโปรแกรม PSPICE โดยกำหนดสภาวะการทำงานที่อุณหภูมิ 27°C สำหรับทรานซิสเตอร์ชนิด NPN ในวงจรจะใช้เบอร์ 2N3904 และชนิด PNP จะใช้เบอร์ 2N3906 โดยให้วงจรทั้งสองมีไฟเลี้ยงเท่ากับ $\pm 2\text{V}$ และสำหรับแหล่งจ่ายกระแสอิสระในวงจรจะถูกแทนที่ด้วยวงจรสะท้อนกระแส เพื่อลดความเพี้ยนของสัญญาณเอาต์พุตในวงจรรูปทรานสิเยอร์ผสมที่นำเสนอ ค่ากระแสไบอัส I_A จะถูกคำนวณตามสมการ (3.46) ซึ่งเมื่อกำหนดให้ $\beta = 175$ จะได้กระแสไบอัส $I_A = (7.8I_B)$ ทั้งนี้เพื่อความสะดวกในการเปรียบเทียบช่วงการทำงานที่เป็นเชิงเส้นของวงจร

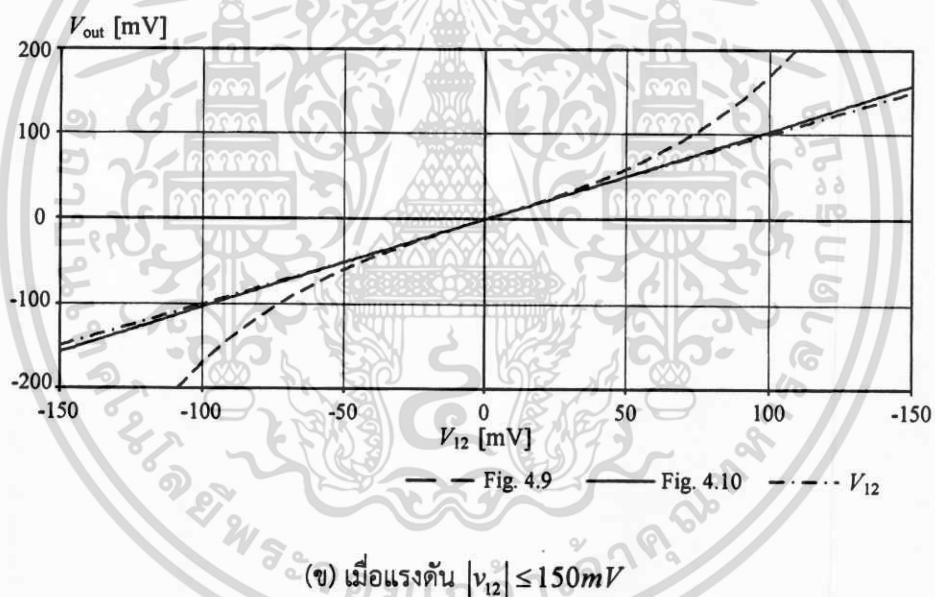
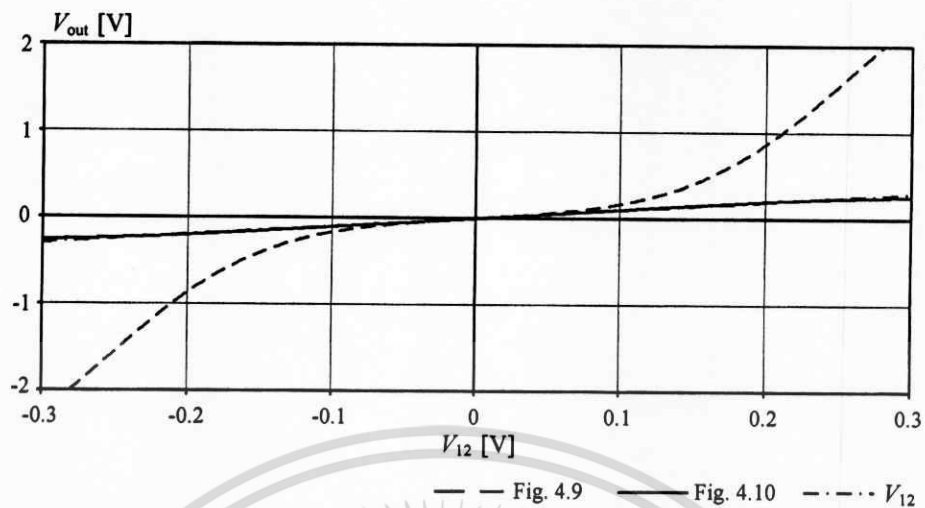
เครื่องมือวัดทั้งสอง จะได้กำหนดให้ค่าอัตราขยายของวงจรเครื่องมือวัดในรูปที่ 4.9 และ ในรูปที่ 4.10 มีค่าเท่ากัน ซึ่งทำได้โดยการกำหนดให้ค่าความต้านทาน R_i และ R_x ของวงจรทั้งสองมีค่าเท่ากัน โดยค่าความต้านทานแฝงที่ขั้ว X (R_x) ของวงจรทรานสลิเนียร์ทั้งสองนั้น สามารถทำให้มีค่าเท่ากันได้ ด้วยการกำหนดค่ากระแสไบอัส I_A , I_B และ I_o เพื่อให้ $R_x = R_{xN}$

สำหรับวงจรขยายเครื่องมือวัดในรูปที่ 4.10 กระแสไบอัส I_A และ I_B ของวงจรทรานสลิเนียร์ผสมที่นำเสนอในรูปที่ 4.7 นั้น จะกำหนดดังนี้คือ กระแสไบอัส I_B มีค่าเท่ากับ $20 \mu A$ ดังนั้น จะได้กระแสไบอัส $I_A = 156 \mu A$ ($I_A = 7.8I_B$) และในส่วนของวงจรขยายเครื่องมือวัดในรูปที่ 4.9 กระแสไบอัส I_o ของวงจรทรานสลิเนียร์ผสมในรูปที่ 4.6 จะกำหนดให้เท่ากับ $294 \mu A$ ซึ่งจากการกำหนดค่ากระแสไบอัสดังกล่าว จะมีผลทำให้วงจรทั้งสองมีค่าความต้านทานภายในที่ขั้ว X เท่ากันคือ $R_x = R_{xN} \approx 44 \Omega$ และเพื่อความสะดวกในการเปรียบเทียบผลจากการจำลองการทำงาน จะได้กำหนดให้อัตราขยายของวงจรเครื่องมือวัดทั้งสองมีค่าเท่ากับ 1 ดังนั้นความต้านทาน R_i จะถูกกำหนดให้มีค่าเท่ากับ $R_i = 44 \Omega$ ด้วยเช่นกัน ซึ่งค่าที่กำหนดนี้จะใช้ในการจำลองการทำงานตั้งแต่รูปที่ 4.11 - 4.13

ในการตรวจสอบการทำงานของวงจรขยายเครื่องมือวัดในรูปที่ 4.9 และ 4.10 นั้น จะเริ่มจากการตรวจสอบคุณสมบัติการส่งผ่านระหว่างแรงดันผลต่างอินพุต (v_{i2}) และแรงดันเอาต์พุต ($v_{o1} - v_{o2}$) ของวงจรทั้งสองก่อน โดยได้ให้แรงดันผลต่างอินพุตไฟตรง (v_{i2}) มีการเปลี่ยนแปลงตั้งแต่ -300 mV ไปจนถึง 300 mV และวัดแรงดันเอาต์พุต (V_{out}) ของวงจรทั้งสอง ผลที่ได้จากการจำลองการทำงานแสดงได้ดังรูปที่ 4.11

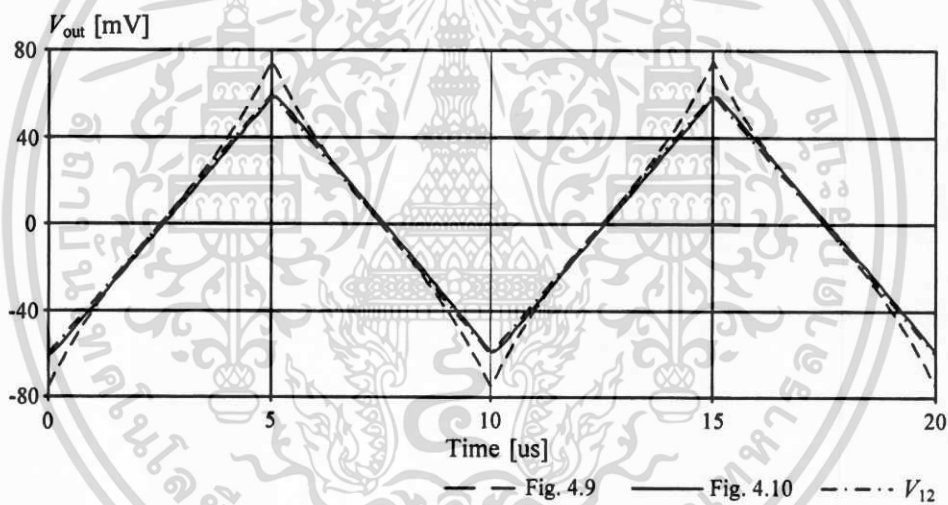
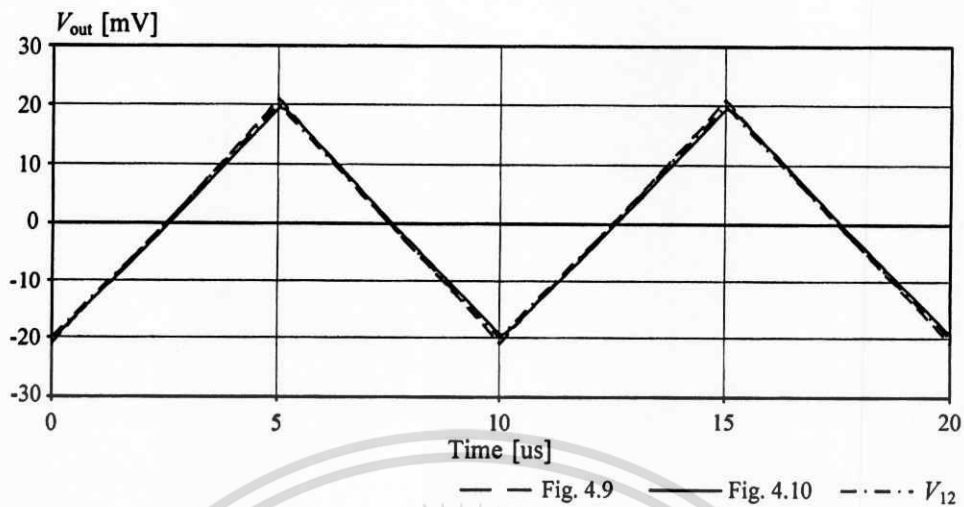
จากผลการทดลองในรูปที่ 4.11 (ก) เนื่องจากกำหนดให้อัตราขยายของวงจรขยายเครื่องมือวัดมีค่าเท่ากับ 1 มีผลทำให้สะดวกในการเปรียบเทียบช่วงการทำงานที่เป็นเชิงเส้นระหว่างวงจรเครื่องมือวัดในรูปที่ 4.9 และ รูปที่ 4.10 ซึ่งจากผลการทดลองจะเห็นได้อย่างชัดเจนว่าแรงดันเอาต์พุต (V_{out}) ของวงจรขยายเครื่องมือวัดในรูปที่ 4.10 จะมีค่าตามแรงดันผลต่างอินพุต v_{i2} ได้กว้างกว่าวงจรในรูปที่ 4.9 และเมื่อพิจารณาจากรูปที่ 4.11 (ข) จะประมาณได้ว่าแรงดันเอาต์พุตของวงจรในรูปที่ 4.9 จะมีค่าตามแรงดันอินพุต v_{i2} ในช่วงที่แรงดัน $|v_{i2}| \leq 25 \text{ mV}$ สำหรับวงจรรูปที่ 4.10 นั้น แรงดันเอาต์พุตของวงจรจะมีค่าตามแรงดันอินพุต v_{i2} ในช่วงที่แรงดัน $|v_{i2}| \leq 60 \text{ mV}$

ซึ่งจากผลการจำลองการทำงานได้แสดงให้เห็นอย่างชัดเจนว่าวงจรขยายเครื่องมือวัดที่ประกอบไปด้วยวงจรทรานสลิเนียร์ผสมที่นำเสนอในวิทยานิพนธ์นี้ ดังแสดงในรูปที่ 4.10 นั้น จะมีช่วงการทำงานที่เป็นเชิงเส้นกว้างกว่าวงจรขยายเครื่องมือวัดที่สร้างด้วยวงจร CCCII ที่ประกอบไปด้วยวงจรรูปทรานสลิเนียร์ผสมเดิม ในรูปที่ 4.9 ซึ่งเป็นการยืนยันถึงประสิทธิภาพของวงจรที่ได้ออกแบบเป็นอย่างดี



รูปที่ 4.11 เปรียบเทียบแรงดันเอาต์พุต V_{out} ของวงจรขยายเครื่องมือวัดทั้งสอง

เมื่อพิจารณาผลตอบสนองทางเวลาของวงจรขยายเครื่องมือวัดทั้งสอง ซึ่งได้จำลองการทำงาน ด้วยการให้สัญญาณแรงดันผลต่างอินพุต v_{12} รูปสามเหลี่ยมที่มีความถี่ 100 kHz โดยที่ขนาดแอมพลิจูดของสัญญาณมีค่าเท่ากับ 10 mV และ 60 mV ตามลำดับ ผลจากการจำลองการทำงาน แสดงได้ดังรูปที่ 4.12

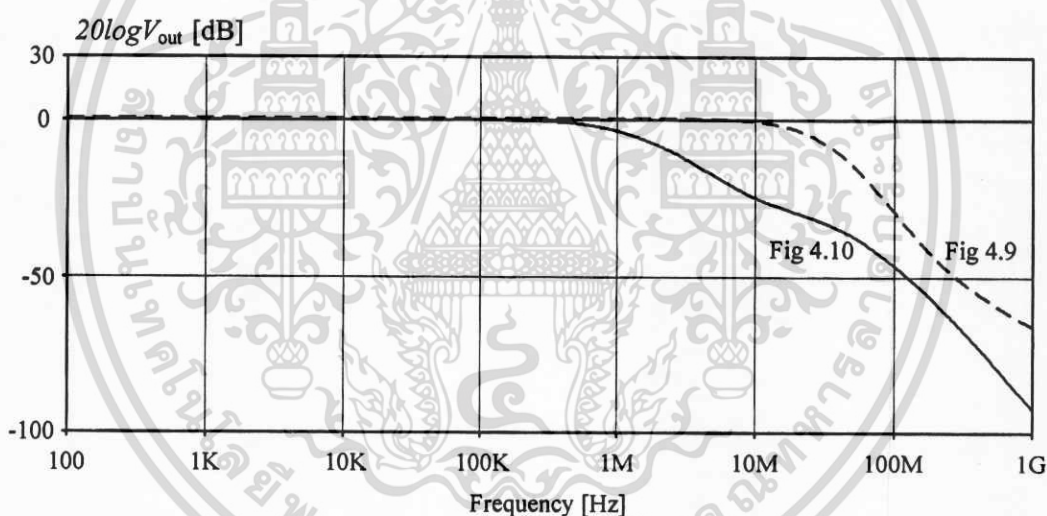


รูปที่ 4.12 เปรียบเทียบผลตอบสนองทางเวลาของวงจรขยายเครื่องมือวัดทั้งสอง

จากรูปที่ 4.12 ซึ่งเป็นผลตอบสนองทางเวลาของแรงดันเอาต์พุต (V_{out}) ของวงจรขยายเครื่องมือวัดทั้งสอง จากรูปที่ 4.12(ก) จะเห็นได้ว่าเมื่อแรงดันอินพุต v_{12} มีขนาดแอมพลิจูดเท่ากับ 20mV สัญญาณแรงดัน V_{out} ของวงจรขยายเครื่องมือวัดทั้งสอง จะมีขนาด และรูปสัญญาณสามเหลี่ยมที่ใกล้เคียงกัน เมื่อพิจารณาในรูปที่ 4.12 (ข) ซึ่งสัญญาณอินพุต v_{12} มีขนาดแอมพลิจูดเท่ากับ 60mV จะเห็นได้อย่างชัดเจนว่าสัญญาณแรงดัน V_{out} ของวงจรเครื่องมือวัดในรูปที่ 4.9 จะ

เป็นสัญญาณรูปสามเหลี่ยมที่มีการผิดเพี้ยนไปในช่วงที่แอมพลิจูดของสัญญาณอินพุต v_{12} สูงมากๆ ในขณะที่แรงดัน V_{out} ของวงจรเครื่องมือวัดในรูปที่ 4.10 มีรูปร่างสัญญาณแทบจะไม่เปลี่ยนแปลงไปจากสัญญาณอินพุตแต่ประการใดเลย ซึ่งจากผลการทดลองนี้จะเป็นการยืนยันได้อีกประการหนึ่งว่าการใช้วงจรลูปทรานสลิเนียร์ที่น่าเสนอมาประกอบเป็นวงจร CCCII จะส่งผลทำให้วงจรมีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นจากเดิม

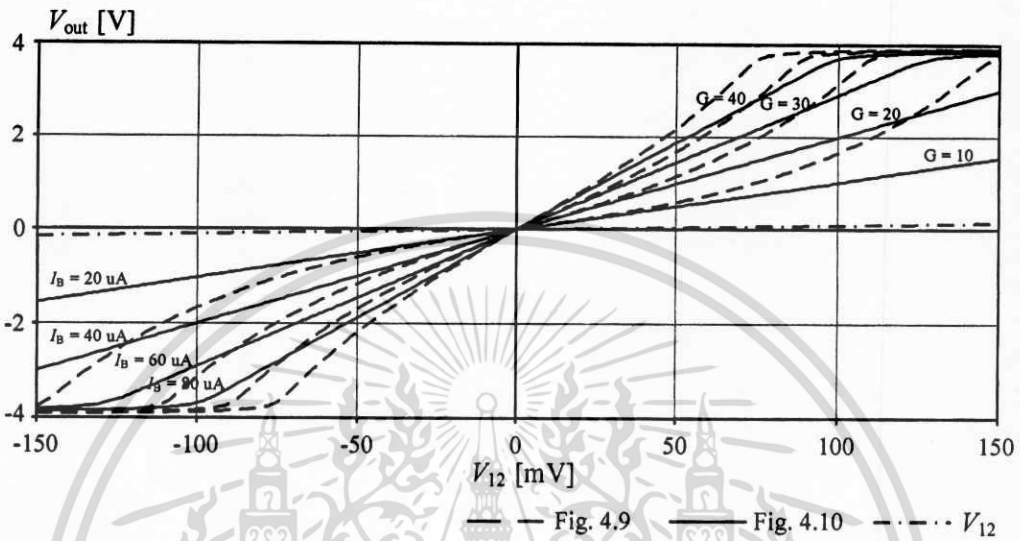
สำหรับผลตอบสนองทางความถี่ของวงจรจะแสดงได้ดังรูปที่ 4.13 โดยการปรับค่าความถี่ของสัญญาณผลต่างอินพุต v_{12} ให้มีค่าตั้งแต่ 100 Hz และเพิ่มไปจนถึง 1 GHz จากนั้นจึงวัดค่าแรงดันเอาต์พุต V_{out} ของวงจรขยายเครื่องมือวัดทั้งสอง สำหรับผลจากการจำลองการทำงาน แสดงได้ดังรูปที่ 4.12 ซึ่งจะเห็นได้ว่าช่วงความถี่ที่ใช้งานได้สำหรับวงจรเครื่องมือวัดในรูปที่ 4.9 นั้นจะมีค่าประมาณ 19 MHz ในขณะที่วงจรเครื่องมือวัดในรูปที่ 4.10 ช่วงความถี่ที่ใช้งานได้จะมีค่าประมาณ 1 MHz จะเห็นได้ว่ามีค่าต่ำกว่าวงจรในรูปที่ 4.9 มากพอสมควร ทั้งนี้เป็นผลมาจากอิทธิพลของตัวเก็บประจุแฝงและตัวต้านทานแฝงของวงจรทรานสลิเนียร์ที่น่าเสนอจะมีค่ามากกว่าวงจรทรานสลิเนียร์เดิม



รูปที่ 4.13 ผลตอบสนองทางความถี่ของวงจรขยายเครื่องมือวัดทั้งสอง

เนื่องจากการปรับให้ค่าอัตราขยายของวงจรขยายเครื่องมือวัดนั้น สามารถปรับได้โดยการปรับค่าความต้านทานแฝงที่ขั้ว X ของวงจรลูปทรานสลิเนียร์ผสมในรูปที่ 4.6 (R_x) และรูปที่ 4.7 (R_{xN}) ซึ่งสามารถทำได้ง่าย ด้วยการปรับค่ากระแสไบอัส I_o , I_A และ I_B ของวงจร ดังนั้นในการจำลองจึงได้ทดลองปรับให้กระแสไบอัส I_B มีค่าเปลี่ยนแปลงตั้งแต่ 20 μA - 100 μA และมีค่าเพิ่มขึ้นครั้งละ 20 μA โดยที่กระแสไบอัส I_A ของวงจรจะมีค่าเปลี่ยนแปลงตามกระแสไบอัส I_B เช่นกันโดย $I_A = (7.8I_B)$ สำหรับกระแสไบอัส I_o จะมีค่าเปลี่ยนแปลงตั้งแต่ 294 μA - 1.47 mA และมีค่าเพิ่มขึ้นครั้งละ 294 μA ซึ่งจากการกำหนดค่ากระแสไบอัสดังกล่าวจะมีผลทำให้อัตราขยาย

ของวงจรเครื่องมือวัดในรูปที่ 4.9 และรูปที่ 4.10 มีค่าเท่ากัน สำหรับค่าความต้านทาน R_1 จะถูกกำหนดให้มีค่าเท่ากับ $R_1 = 440\Omega$ ซึ่งเมื่อคำนวณค่าอัตราขยายของวงจรจะมีค่าเท่ากับ 10-40 เท่า โดยมีค่าเพิ่มขึ้นครั้งละ 10 เท่า โดยผลที่ได้จากการจำลองการทำงานแสดงได้ดังรูปที่ 4.14



รูปที่ 4.14 แรงดันเอาต์พุต v_{out} ของวงจรรขยายเครื่องมือวัดทั้งสอง เมื่อปรับอัตราขยายของวงจรโดยการปรับค่ากระแสไบอัส

จากรูปที่ 4.14 จะเห็นได้ว่าอัตราขยายของวงจรรขยายเครื่องมือวัดสามารถปรับค่าได้ด้วยการปรับค่ากระแสไบอัส I_o , I_A และ I_B ของวงจรรูปทรานสลิเนียร์ผสม และจากผลการจำลองการทำงานแสดงให้เห็นว่าช่วงการทำงานที่เป็นเชิงเส้นของวงจรรขยายเครื่องมือวัดในรูปที่ 4.10 จะมีค่ากว้างกว่าวงจรรูปที่ 4.9 ที่อัตราขยายต่างๆ ซึ่งจะเห็นได้ว่าสอดคล้องกับหลักการทางทฤษฎีที่ได้กล่าวไว้ข้างต้นเป็นอย่างดี

สำหรับกำลังงานสูญเสีย (Power dissipation) ในวงจรรขยายเครื่องมือวัดทั้งสองนั้น ได้ทดสอบโดยการกำหนดให้อัตราขยายของวงจรรขยายเครื่องมือวัดมีค่าเท่ากับ 1 และจากการกำหนดให้กระแสไบอัสของวงจรรานสลิเนียร์ที่นำเสนอในวงจรเครื่องมือวัดรูปที่ 4.10 มีค่า $I_B = 20\mu A$ และกระแสไบอัส $I_A = (7.8I_B) = 156\mu A$ ดังนั้นสำหรับวงจรรานสลิเนียร์ในวงจรรูปเครื่องมือวัดรูปที่ 4.9 จะคำนวณกระแสไบอัสได้ว่า $I_o = 295\mu A$ ซึ่งจากการกำหนดค่ากระแสไบอัสดังกล่าวจะทำให้ค่าความต้านทานแฝงที่ขั้ว X ของวงจรรานสลิเนียร์ทั้งสองมีค่าเท่ากันคือ $R_x = R_{xN} = 44\Omega$ และในการจำลองการทำงานได้กำหนดให้วงจรทั้งสองมีไฟเลี้ยงเท่ากับ $\pm 2V$ ในส่วนของความต้านทานของวงจรรขยายเครื่องมือวัดได้กำหนดให้ $R_1 = R_2 = 44\Omega$ เช่นกัน เพื่อให้อัตราขยาย

ของวงจรมีค่าเท่ากับ 1 ซึ่งผลจากการจำลองการทำงานจะพบว่ากำลังงานสูญเสียในวงจรขยาย เครื่องมือวัดรูปที่ 4.9 จะมีค่าประมาณ 8.3 mW และสำหรับวงจรรูปที่ 4.10 จะมีค่าประมาณ 12.4 mW ซึ่งจะเห็นได้ว่ากำลังงานสูญเสียในวงจรขยายเครื่องมือวัดที่นำเสนอจะมีค่าเพิ่มขึ้นเพียงเล็กน้อย ในขณะที่ช่วงการทำงานที่เป็นเชิงเส้นนั้นกว้างขึ้นจากวงจรเดิมอย่างมาก

4.5 สรุป

สาระในบทนี้ได้นำเสนอการประยุกต์ใช้งานวงจรทรานสลิเนียร์ที่นำเสนอในวิทยานิพนธ์นี้ โดยนำมาประกอบเป็นวงจรความต้านทาน วงจรตามแรงดันสำหรับวงจร CCCII เพื่อนำไปประกอบเป็นวงจรขยายเครื่องมือวัด โดยผลที่ได้จากการจำลองการทำงานของวงจรความต้านทาน และวงจรขยายเครื่องมือวัดนั้น ได้ยืนยันเป็นอย่างดีว่าเมื่อนำเอาวงจรทรานสลิเนียร์ที่นำเสนอมาประกอบในวงจรจะส่งผลทำให้ช่วงการทำงานที่เป็นเชิงเส้นของวงจรมีความกว้างขึ้นกว่าการใช้วงจรทรานสลิเนียร์ [1] เดิมเป็นอย่างมาก นอกจากนี้เมื่อพิจารณาถึงกำลังงานสูญเสียในวงจรแล้วจะพบว่ามีค่าเพิ่มขึ้นจากวงจรเดิมเพียงเล็กน้อยเท่านั้น



บทที่ 5

วงจรรคูณสัญญาณ

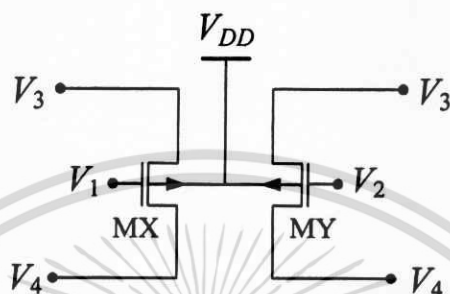
วงจรรคูณสัญญาณอนาล็อก (Analog multiplier) เป็นวงจรพื้นฐานวงจรหนึ่งที่มีความสำคัญเป็นอย่างมากในงานด้านการประมวลสัญญาณ และการสื่อสาร เช่นในวงจรมอดูเลต (Modulator) วงจรรคูณความถี่ (Frequency multiplier) และวงจรรหาค่าของสัญญาณ (Absolute value) ซึ่งในการออกแบบวงจรประเภทนี้คุณสมบัติอย่างหนึ่งที่สำคัญก็คือ วงจรควรมีกำลังงานสูญเสียต่ำ ดังนั้นในปัจจุบันนี้จึงได้มีงานวิจัยต่างๆ อย่างมากมาย ที่พยายามออกแบบให้วงจรรคูณสัญญาณมีกำลังงานสูญเสียในวงจรต่ำ รวมถึงการทำให้วงจรมีไฟเลี้ยงวงจรที่ต่ำด้วย ซึ่งโดยส่วนใหญ่แล้วนั้นมักจะใช้ทรานซิสเตอร์ชนิดมอสเฟต (MOSFET) ทั้งที่ออกแบบให้ทำงานในย่านไตรโอด (Triode region) และในย่านอิ่มตัว (Saturation region) โดยวงจรรคูณสัญญาณที่ออกแบบให้มอสเฟตทำงานในย่านไตรโอดนั้นจะมีข้อดีคือมีความเป็นเชิงเส้นสูง และใช้ไฟเลี้ยงวงจรต่ำ และในส่วนของวงจรรคูณสัญญาณที่ออกแบบให้มอสเฟตทำงานในย่านอิ่มตัวนั้นจะนิยมนำไปใช้งานมากกว่า (practical) [62] อย่างไรก็ตามหลักการในการออกแบบวงจรรคูณนั้นสามารถสังเคราะห์ได้หลากหลายวิธีการ [63] สำหรับในวิทยานิพนธ์นี้จะได้นำเสนอวงจรรคูณสัญญาณทั้งสองแบบ คือวงจรรคูณสัญญาณที่ออกแบบให้มอสเฟตทำงานในย่านไตรโอด และในย่านอิ่มตัว โดยมีรายละเอียดดังต่อไปนี้

5.1 บทนำ

วงจรรคูณสัญญาณเป็นวงจรหนึ่งที่มีความสำคัญในระบบการสื่อสารเป็นอย่างมาก ส่งผลให้ในปัจจุบันนี้มีการวิจัยอย่างมากมายที่เกี่ยวกับการออกแบบวงจรรคูณสัญญาณ ซึ่งโดยส่วนใหญ่ได้พยายามออกแบบให้วงจรรคูณสัญญาณมีกำลังงานสูญเสียในวงจรต่ำ เนื่องจากจะทำให้เหมาะในการนำไปประยุกต์ใช้กับอุปกรณ์สื่อสารพกพาชนิดต่างๆ สำหรับในวิทยานิพนธ์นี้ก็ได้นำเสนอวงจรรคูณสัญญาณสองวงจรที่มีคุณสมบัติคือใช้แหล่งจ่ายไฟเลี้ยงวงจรต่ำ และกำลังงานสูญเสียในวงจรมีค่าต่ำด้วย ด้วยการใช้อุปกรณ์ทรานซิสเตอร์ชนิดมอสเฟตเป็นอุปกรณ์หลักในการทำงาน โดยในวงจรแรกนั้นได้ออกแบบให้มอสเฟตทำงานในย่านไตรโอด ซึ่งทำให้วงจรใช้แหล่งจ่ายไฟเลี้ยงประมาณ 1.5V เท่านั้น นอกจากนี้ความสัมพันธ์ระหว่างกระแสเดรน (I_D) และแรงดันเกต-ซอร์ส (V_{GS}) ของมอสเฟตในย่านไตรโอดนั้นเป็นฟังก์ชันเชิงเส้น จึงทำให้วงจรรคูณสัญญาณที่ได้มีความเป็นเชิงเส้นสูง และสำหรับในส่วนของวงจรรคูณสัญญาณแบบที่สองได้ออกแบบให้มอสเฟตทำงานในย่านอิ่มตัวซึ่งความสัมพันธ์ระหว่างกระแสเดรน และแรงดันเกต-ซอร์ส จะเป็นฟังก์ชันกำลังสอง (Square law) ดังนั้นเมื่อนำไปประกอบกับวงจรออดราก็สอง จึงทำให้วงจรรคูณที่ได้มีขนาดเล็กและมีความเป็นเชิงเส้นสูง สำหรับรายละเอียดของวงจรรคูณสัญญาณทั้งสองจะได้นำเสนอในหัวข้อต่อไป

5.2 วงจรคุณสมบัติที่ใช้แหล่งจ่ายไฟเลี้ยงวงจรต่ำ

ในหัวข้อนี้จะกล่าวถึงหลักการออกแบบวงจรคุณสมบัติไฟเลี้ยงต่ำที่ได้นำเสนอในวิทยานิพนธ์นี้ โดยได้จัดไบอัสเพื่อให้มอสเฟตทำงานในย่านไตรโอด ซึ่งวงจรหลักที่ใช้ในการออกแบบวงจรจะแสดงได้ดังรูปที่ 5.1



รูปที่ 5.1 วงจรคู่ของทรานซิสเตอร์ชนิดพีมอส

จากรูปที่ 5.1 จะเห็นได้ว่าวงจรคุณสมบัติไฟเลี้ยงต่ำจะประกอบไปด้วยทรานซิสเตอร์มอสเฟตชนิดพีมอส (PMOS) 2 ตัวคือทรานซิสเตอร์ MX และ MY โดยที่ขาบอดี้ (Body terminal) ของมอสเฟตทั้งสองจะถูกต่อเข้ากับแหล่งจ่ายไฟเลี้ยงวงจร (V_{DD}) จากการต่อในลักษณะดังกล่าวจะทำให้ทรานซิสเตอร์ PMOS มีโครงสร้างที่สมมาตร จึงส่งผลให้กระแสทรานซิสเตอร์สามารถไหลได้ทั้งสองทิศทางกล่าวคือ จากขาคาเทรนไปยังขาซอร์ส (Drain terminal to Source terminal) และจากขาซอร์สไปยังคาเทรน (Source terminal to Drain terminal) โดยจะไหลในทิศทางใดนั้นจะขึ้นอยู่กับความแตกต่างของแรงดัน (Voltage) ระหว่างคาเทรนและขาซอร์สของมอสเฟต จากวงจรในรูปที่ 5.1 ภายใต้เงื่อนไขที่ทำให้ PMOS ทำงานในย่านไตรโอด [32] กล่าวคือ

$$V_{SG} > |V_{tp}| \quad (5.1)$$

และ

$$V_{SD} < V_{SG} - |V_{tp}| \quad (5.2)$$

เมื่อกำหนดให้ V_{tp} คือศักดาขีดเริ่ม (Threshold voltage) ของทรานซิสเตอร์ PMOS, V_{SG} คือแรงดันระหว่างขาซอร์ส และคาเทรน (Gate terminal) และ V_{SD} คือแรงดันระหว่างขาซอร์ส และคาเทรน

เมื่อพิจารณาวงจรในรูปที่ 5.1 จะเห็นได้ว่าแรงดัน $V_{SD} = V_3 - V_4$, $V_{SGX} = V_3 - V_1$ และ $V_{SGY} = V_3 - V_2$ ดังนั้นกระแสทรานซิสเตอร์ของมอสเฟตเมื่อทำงานในย่านไตรโอด [32] จะมีค่าดังนี้

$$I_{DX} = \beta_X (2V_{31}V_{34} - 2|V_p|V_{34} - V_{34}^2) \quad (5.3)$$

และ

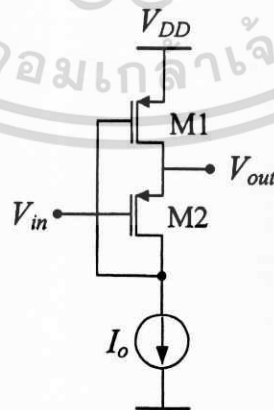
$$I_{DY} = \beta_Y (2V_{32}V_{34} - 2|V_p|V_{34} - V_{34}^2) \quad (5.4)$$

เมื่อกำหนดให้ $\beta_i = 0.5\mu_p C_{ox} (W/L)$ คือค่าทรานคอนดักแตนซ์พารามิเตอร์ของ PMOS ซึ่งมีค่าขึ้นอยู่กับขบวนการผลิต (Process transconductance parameter)

ในการออกแบบวงจรคุณสมบัตินั้นจะได้กำหนดให้ขนาดของ PMOS ทั้งสอง (MX และ MY) มีค่าตรงตามเงื่อนไขคือ $\beta_X = \beta_Y = \beta$ ดังนั้นจากสมการที่ (5.3) และ (5.4) จะได้ผลต่างของกระแส I_{DX} และ I_{DY} ดังนี้คือ

$$I_{out} = I_{DX} - I_{DY} = 2\beta V_{12}V_{34} \quad (5.5)$$

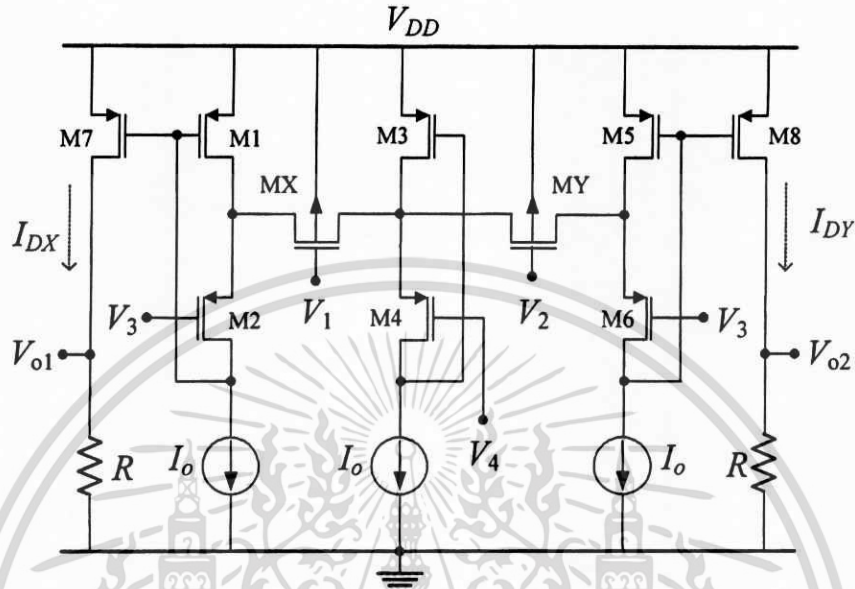
จากสมการ (5.5) จะเห็นได้ว่ากระแสเอาต์พุต I_{out} ของวงจร ซึ่งเป็นผลต่างระหว่างกระแส I_{DX} และ I_{DY} นั้น จะเป็นฟังก์ชันของผลคูณแรงดันอินพุตระหว่างแรงดัน V_{12} และ V_{34} แล้ว อย่างไรก็ตามเนื่องจากค่าความต้านทานอินพุตที่ขาเดรน และขาซอร์สของมอสเฟตมีค่าค่อนข้างต่ำ ดังนั้นจึงไม่สามารถต่อแรงดันอินพุตเข้าไปได้โดยตรง เนื่องจากจะเกิดการลดทอนของสัญญาณอินพุต (Loading effect) เพื่อหลีกเลี่ยงปัญหาดังกล่าว และเพื่อให้วงจรใช้แหล่งจ่ายไฟเลี้ยงต่ำได้ จึงนำวงจร Flipped Voltage Follower (FVF) [64] ที่แสดงในรูปที่ 5.2 มาทำหน้าที่เป็นวงจรถูกกันชน (Buffering) ซึ่งวงจร FVF นี้เป็นวงจรหนึ่งที่ยอมรับนำมาประยุกต์ใช้กับวงจรที่ต้องการไฟเลี้ยงต่ำ



รูปที่ 5.2 วงจร Flipped Voltage Follower (FVF)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเมื่อนำเอาวงจร FVF ที่แสดงในรูปที่ 5.2 มาประกอบกับวงจรคู่ทรานซิสเตอร์ PMOS ที่แสดงในรูปที่ 5.1 จะได้เป็นวงจรคุณสมบัติไฟเลี้ยงต่ำ ซึ่งแสดงวงจรได้ดังรูปที่ 5.3



รูปที่ 5.3 วงจรคุณสมบัติไฟเลี้ยงต่ำที่ใช้แหล่งจ่ายไฟเลี้ยงต่ำ

จากรูปที่ 5.3 จะเห็นได้ว่าการประกอบวงจร FVF ที่แสดงในรูปที่ 5.2 เข้าไปที่ขาทรานและขาซอร์สของทรานซิสเตอร์พีมอส MX และ MY ซึ่งเป็นขาที่มีความต้านทานด้านเข้าต่ำ โดยวงจร FVF นั้นนอกจากทำหน้าที่เป็นวงจรกันชนสำหรับแรงดันอินพุตแล้ว ยังทำหน้าที่สะท้อนกระแส I_{DX} และ I_{DY} ไปยังความต้านทาน R ด้วย โดยกระแสที่ไหลผ่านความต้านทานจะถูกแสดงในรูปของสัญญาณแรงดัน ซึ่งจากวงจรจะได้ผลต่างของแรงดันของวงจรคุณสมบัติไฟเลี้ยงต่ำนี้

$$V_{out} = V_{o1} - V_{o2} = R(I_{DX} - I_{DY}) \tag{5.6}$$

เมื่อแทนค่าสมการ (5.5) ลงในสมการ (5.6) จะได้ว่า

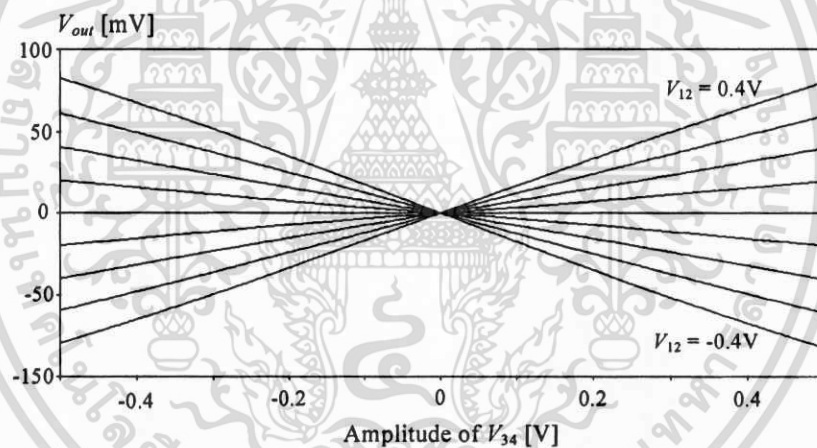
$$V_{out} = 2\beta R V_{12} V_{34} \tag{5.7}$$

จากสมการ (5.7) จะเห็นได้ว่าแรงดันเอาต์พุต (V_{out}) จะเป็นผลคูณระหว่างแรงดันอินพุต V_{12} และ V_{34} โดยที่อัตราขยายของวงจรจะสามารถปรับค่าได้โดยการปรับค่าความต้านทาน R และขนาดของทรานซิสเตอร์พีมอสโดยผ่านทางค่าทรานคอนดักแตนซ์พารามิเตอร์ (β)

5.2 การจำลองการทำงานของวงจรรkundสัญญาณที่ใช้ไฟเลี้ยงต่ำ

เพื่อทดสอบการทำงานของวงจรรkundสัญญาณในรูปที่ 5.3 จึงได้จำลองการทำงานของวงจรรด้วยโปรแกรม PSPICE โดยใช้ซิมอส (CMOS) เทคโนโลยี $0.35\mu\text{m}$ โดยมีแรงดันขีดเริ่มของมอสเฟตดังนี้ $V_m \cong 0.55\text{V}$ และ $V_p \cong -0.71\text{V}$ สำหรับกระแสไบอัส I_0 ของวงจรร FVF กำหนดให้มีค่าเท่ากับ $5\mu\text{A}$ แหล่งจ่ายไฟเลี้ยงวงจรร V_{DD} และแรงดันโหมตร่วมของอินพุตได้กำหนดให้มีค่าเท่ากับ 1.5V และ 0.1V ตามลำดับ สำหรับความต้านทาน R มีค่าเท่ากับ $50\text{k}\Omega$ ในส่วนของขนาด (W/L) ของทรานซิสเตอร์ที่ใช้ในวงจรรจะมีค่าดังนี้ M_X และ M_Y มีขนาดเท่ากับ $2/6 [\mu\text{m}/\mu\text{m}]$, M_1 - M_6 มีขนาดเท่ากับ $15/1 [\mu\text{m}/\mu\text{m}]$ และ M_7 - M_8 มีขนาดเท่ากับ $10/1 [\mu\text{m}/\mu\text{m}]$

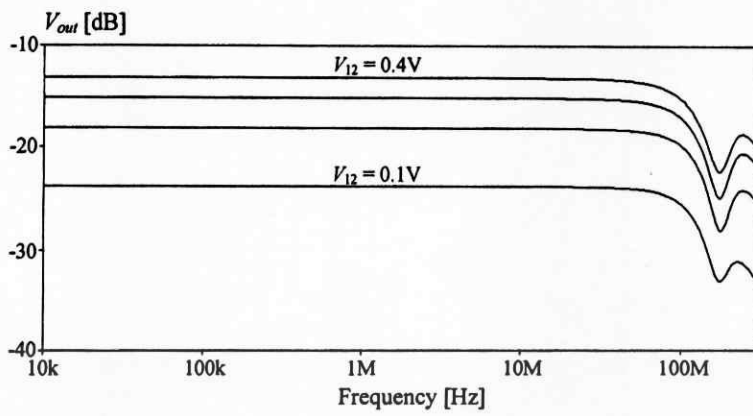
ในการจำลองการทำงานจะเริ่มจากการทดสอบเพื่อดูกราฟคุณสมบัติการส่งผ่านของวงจรรkundสัญญาณในรูปที่ 5.3 ก่อน โดยได้กำหนดให้แรงดันอินพุต V_{34} มีค่าเปลี่ยนแปลงจาก -400mV - 400mV ในขณะที่เดียวกันกับที่แรงดันอินพุต V_{34} จะเปลี่ยนแปลงจาก -400mV - 400mV ด้วยเช่นกัน โดยมีค่าเพิ่มขึ้นครั้งละ 100mV ผลที่ได้จากการจำลองการทำงานแสดงได้ดังรูปที่ 5.4



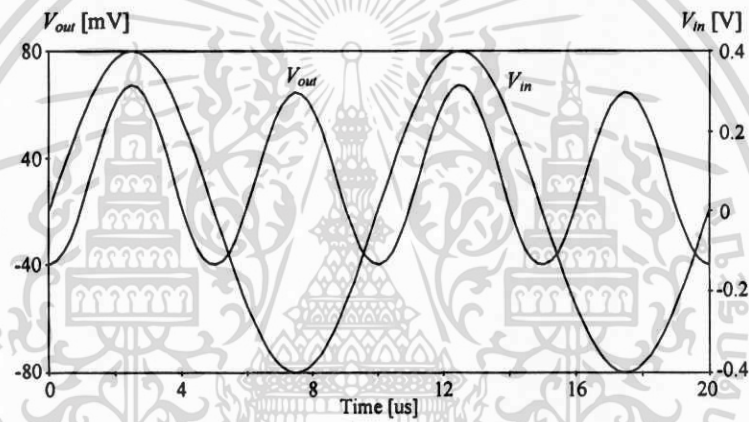
รูปที่ 5.4 กราฟคุณสมบัติการส่งผ่านของวงจรรkundสัญญาณที่ใช้แหล่งจ่ายไฟเลี้ยงต่ำ

จากกราฟรูปที่ 5.4 จะเห็นได้ว่าแรงดันเอาต์พุต (V_{out}) ของวงจรรkundสัญญาณจะมีช่วงการทำงานที่เป็นเชิงเส้นอยู่ในช่วงประมาณ $\pm 400\text{mV}$ สำหรับในรูปที่ 5.5 ได้แสดงผลตอบสนองทางความถี่ของวงจรร โดยได้ปรับให้แรงดันอินพุต V_{12} มีค่าเปลี่ยนแปลงจาก 100mV - 400mV โดยมีค่าเพิ่มขึ้นครั้งละ 100mV จากผลตอบสนองทางความถี่จะเห็นได้ว่าวงจรรมีช่วงความถี่ที่ใช้งานได้ (Bandwidth) ประมาณ 95MHz ที่อัตราขยายค่าต่างๆ

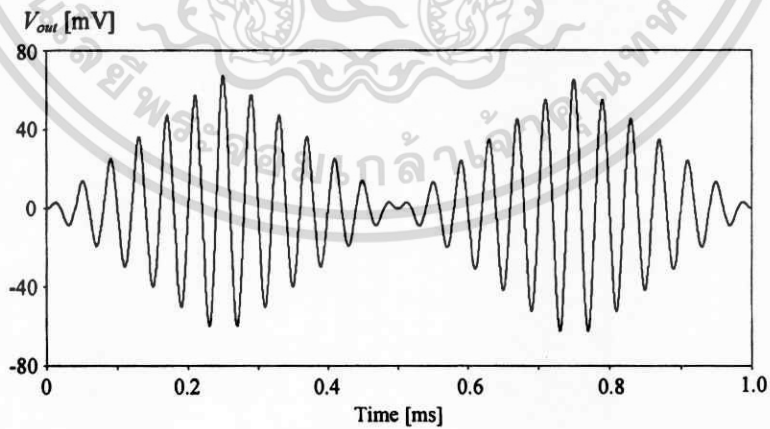
ต่อมาได้นำวงจรรkundสัญญาณมาทดสอบให้ทำหน้าที่เป็นวงจรรkundสัญญาณ และวงจรรมอดดูเลตสัญญาณ ซึ่งผลที่ได้จากการจำลองการทำงานแสดงได้ดังรูปที่ 5.6



รูปที่ 5.5 กราฟผลตอบสนองทางความถี่ของวงจรคูณสัญญาณที่ใช้ไฟแหล่งจ่ายเลี้ยงต่ำ



(ก) วงจรคูณความถี่สัญญาณ



(ข) วงจรมอดดูเลตสัญญาณ

รูปที่ 5.6 ผลตอบสนองทางเวลาของวงจรคูณสัญญาณที่ใช้ไฟแหล่งจ่ายเลี้ยงต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 5.6 (ก) เป็นผลจำลองการทำงานที่นำเอาวงจรมอดูลสัญญาณในรูป 5.3 มาทดสอบใช้ เป็นวงจรมอดูลสัญญาณความถี่ โดยได้ให้แรงดันอินพุตทั้งสองคือ V_{12} และ V_{34} เป็นสัญญาณรูปไซน์ซึ่งมีขนาดสัญญาณเท่ากับ 400mV ที่ความถี่ 100kHz

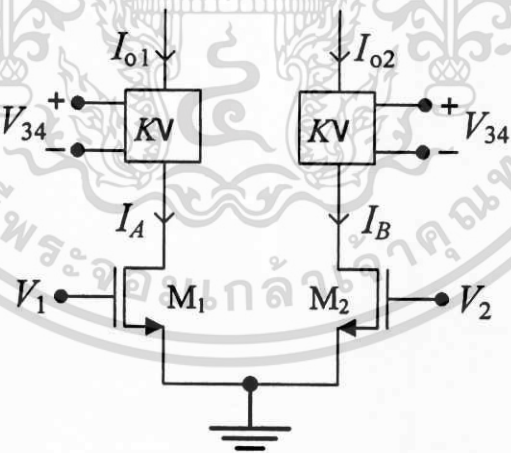
สำหรับในรูปที่ 5.6 (ข) จะเป็นการนำเอาวงจรมอดูลสัญญาณมาทำหน้าที่เป็นวงจรมอดูลสัญญาณ โดยได้ให้แรงดันอินพุต V_{12} เป็นสัญญาณรูปสามเหลี่ยมมีขนาดเท่ากับ 400mV โดยมีความถี่เท่ากับ 1kHz และแรงดันอินพุต V_{34} เป็นสัญญาณรูปไซน์ โดยมีความถี่เท่ากับ 25kHz

จากผลจำลองการทำงานที่ได้ในรูปที่ 5.6 จะเห็นได้ว่าวงจรมอดูลสัญญาณในรูปที่ 5.3 สามารถทำหน้าที่เป็นวงจรมอดูลสัญญาณ และวงจรมอดูลสัญญาณได้เป็นอย่างดี

จากผลจำลองการทำงานในรูปที่ 5.4-5.6 จะเห็นได้ว่าวงจรมอดูลสัญญาณไฟเลี้ยงต่ำที่ได้ นำเสนอในรูปที่ 5.3 นั้นสามารถทำงานเป็นวงจรมอดูลสัญญาณได้ดีตามที่ได้ออกแบบไว้ นอกจากนี้เมื่อ ทดสอบกำลังงานสูญเสียของวงจรโดยการจำลองการทำงานพบว่ามีความค่าประมาณ $46.4\mu W$ ซึ่งจะเห็น ได้ว่าวงจรมอดูลกำลังงานสูญเสียค่อนข้างต่ำ จึงทำให้เหมาะสำหรับการนำไปประยุกต์ใช้งานกับวงจร ทางด้านการสื่อสาร ซึ่งส่วนใหญ่ต้องการให้วงจรมอดูลกำลังงานสูญเสียต่ำ

5.3 วงจรมอดูลสัญญาณขนาดเล็ก

ในหัวข้อนี้จะนำเสนอวงจรมอดูลสัญญาณขนาดเล็ก โดยได้จัดไบอัสให้มอสเฟตทำงานในย่าน อิ่มตัว โดยหลักการออกแบบวงจรมอดูลนั้น สามารถแสดงได้ดังวงจรรูปที่ 5.7



รูปที่ 5.7 หลักการออกแบบวงจรมอดูลสัญญาณขนาดเล็ก

จากวงจรรูปที่ 5.7 จะเห็นได้ว่าวงจรมอดูลสัญญาณขนาดเล็กจะประกอบไปด้วยวงจรมอดูลขยายคอมมอนซอร์ส (Common source amplifier) คือมอสเฟตทรานซิสเตอร์ (NMOS) M_1 และ M_2 ซึ่งทำหน้าที่เสมือนเป็นภาคอินพุตของวงจร โดยจะให้กระแสเอาต์พุต I_A และ I_B ที่เป็นฟังก์ชันของกำลัง

สองของแรงดันอินพุต V_1 และ V_2 โดยกระแส I_A และ I_B นี้จะถูกส่งต่อไปยังวงจรถอดรากลที่สอง (square root block) ที่ควบคุมด้วยแรงดัน V_{34} ดังนั้นจึงส่งผลให้กระแสเอาต์พุต I_{o1} และ I_{o2} เป็นเชิงเส้น และเมื่อนำผลต่างระหว่าง I_{o1} และ I_{o2} จะทำให้ได้กระแสเอาต์พุตที่เป็นฟังก์ชันของผลคูณของแรงดัน V_{12} และ V_{34} สำหรับการวิเคราะห์ห้วงจรจะแสดงได้ดังนี้

สมมติให้มอสเฟต M_1 และ M_2 ถูกไบอัสในย่านอิ่มตัว (Saturation region) และไม่คิดผลของความยาวมอดดูเลชัน (Channel length modulation effect: λ) ดังนั้นจะวิเคราะห์หาค่ากระแส I_A และ I_B ได้ดังนี้

$$I_A = \beta_n (V_1 - V_m)^2 \quad (5.8)$$

และ

$$I_B = \beta_n (V_2 - V_m)^2 \quad (5.9)$$

เมื่อ $\beta_n = 0.5\mu_n C_{ox} (W/L)$ คือค่าทรานคอนดักแตนซ์พารามิเตอร์ซึ่งมีค่าขึ้นอยู่กับขบวนการผลิต

จากสมการ (5.8) และ (5.9) จะแสดงความสัมพันธ์ระหว่างผลต่างของกระแส I_A และ I_B และแรงดัน $V_{12} = V_1 - V_2$ ได้ดังนี้

$$\sqrt{I_A} - \sqrt{I_B} = V_{12} \sqrt{\beta_n} \quad (5.10)$$

จากสมการ (5.10) จะเห็นได้ว่ากระแส I_A และ I_B จะเป็นกระแสที่เป็นฟังก์ชันรากที่สอง ซึ่งกระแสนี้จะถูกจ่ายให้กับวงจรถอดรากลที่สองที่ควบคุมด้วยแรงดัน V_{34} ดังนั้นจะได้ว่า

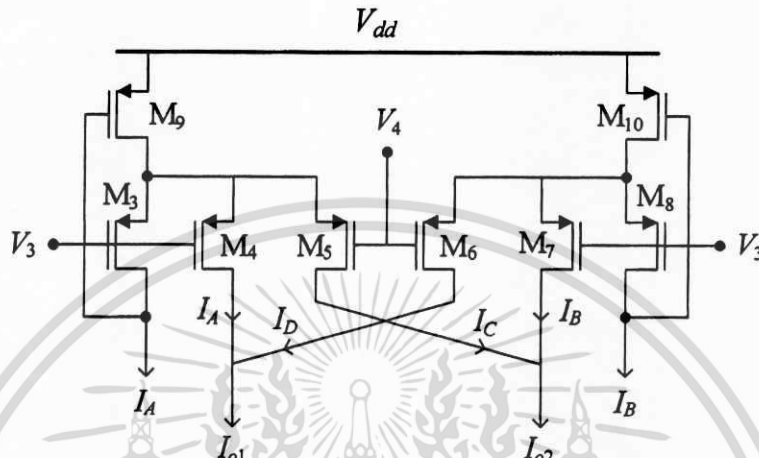
$$I_{out} = I_{o1} - I_{o2} = KV_{34} (\sqrt{I_A} - \sqrt{I_B}) \quad (5.11)$$

เมื่อกำหนดให้ K คือค่าอัตราขยายของวงจรถอดรากลที่สอง

เมื่อนำค่ากระแสในสมการที่ (5.10) แทนค่าลงในสมการ (5.11) จะได้ว่า

$$I_{out} = K\sqrt{\beta_n} V_{12} V_{34} \quad (5.12)$$

จากสมการ (5.12) จะเห็นได้ว่ากระแสเอาต์พุต (I_{out}) จะเป็นฟังก์ชันผลคูณระหว่างแรงดันอินพุต V_{12} และ V_{34} ซึ่งก็คือวงจรคูณสัญญาณนั่นเอง สำหรับวงจรถอดรากที่สองที่จะนำไปประกอบกับวงจรคอมมอนซอร์ส นั้น สามารถแสดงวงจรได้ดังรูปที่ 5.8



รูปที่ 5.8 วงจรถอดรากที่สอง

สำหรับวงจรถอดรากที่สองที่แสดงในรูปที่ 5.8 นั้น จะออกแบบให้มอสเฟตทำงานในย่านอิ่มตัว และกำหนดให้มอสเฟต M3-M8 มีคุณสมบัติเหมือนกันทุกประการ ดังนั้นจะวิเคราะห์หาค่ากระแส I_C และ I_D ได้ดังนี้

$$I_C = \beta_p \left(V_{34} + \sqrt{\frac{I_A}{\beta_p}} \right)^2 \tag{5.13}$$

และ

$$I_D = \beta_p \left(V_{34} + \sqrt{\frac{I_B}{\beta_p}} \right)^2 \tag{5.14}$$

เมื่อ $\beta_p = 0.5\mu_p C_{ox} (W/L)$ คือทรานคอนดักแตนซ์พารามิเตอร์ซึ่งมีค่าขึ้นอยู่กับขบวนการผลิต และแรงดัน $V_{34} = V_3 - V_4$

เมื่อพิจารณาวงจรในรูปที่ 5.8 จะเห็นได้ว่ากระแส $I_{o1} = I_A + I_D$ และกระแส $I_{o2} = I_B + I_C$ ดังนั้นจะแสดงสมการได้ดังนี้

$$I_{o1} = \beta_p V_{34}^2 + 2V_{34} \sqrt{\beta_p} \sqrt{I_A} + I_A + I_B \quad (5.15)$$

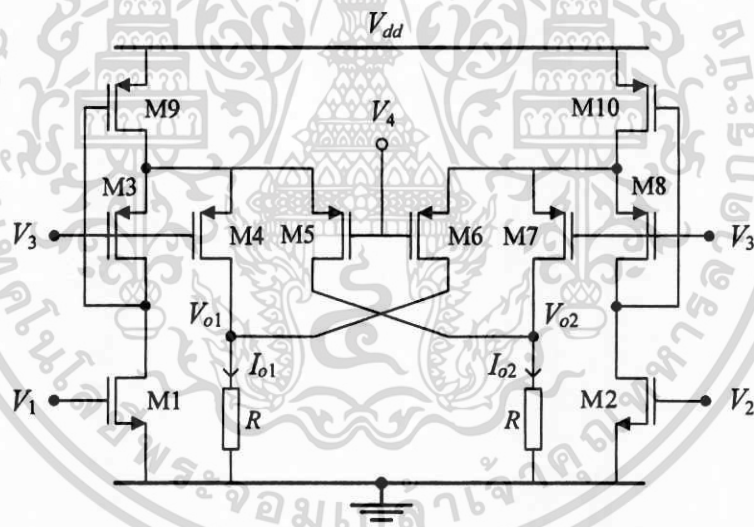
และ

$$I_{o2} = \beta_p V_{34}^2 + 2V_{34} \sqrt{\beta_p} \sqrt{I_B} + I_A + I_B \quad (5.16)$$

เมื่อนำสมการ (5.15) ลบด้วยสมการ (5.16) จะได้ว่า

$$I_{out} = I_{o1} - I_{o2} = 2V_{34} \sqrt{\beta_p} (\sqrt{I_A} - \sqrt{I_B}) \quad (5.17)$$

จากสมการ (5.17) จะเห็นได้อย่างชัดเจนว่ากระแสเอาต์พุต (I_{out}) จะเป็นฟังก์ชันรากที่สองของกระแสอินพุต I_A และ I_B โดยที่อัตราขยายของวงจรนั้นสามารถปรับค่าได้โดยการปรับค่าแรงดัน V_{34} และค่า β_p ดังนั้นเมื่อนำเอาวงจรถอดรากที่สองในรูปที่ 5.8 ไปแทนที่ลงในวงจรถอดรากที่สองในวงจรรูปที่ 5.7 จะได้วงจรคุณสมบัติขนาดเล็กดังแสดงในรูปที่ 5.9



รูปที่ 5.9 วงจรคุณสมบัติขนาดเล็ก

จากวงจรรูปที่ 5.9 เมื่อวิเคราะห์หาค่าแรงดันผลต่างระหว่าง V_{o1} และ V_{o2} จะได้ว่า

$$V_{out} = V_{o1} - V_{o2} = R(I_{o1} - I_{o2}) \quad (5.18)$$

เมื่อนำสมการ (5.17) มาแทนค่าในสมการ (5.18) จะได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{out} = 2RV_{34}\sqrt{\beta_p}(\sqrt{I_A} - \sqrt{I_B}) \quad (5.19)$$

ดังนั้นเมื่อนำสมการ (5.10) มาแทนค่าในสมการ (5.19) จะได้

$$V_{out} = 2R\sqrt{\beta_n\beta_p}V_{12}V_{34} \quad (5.20)$$

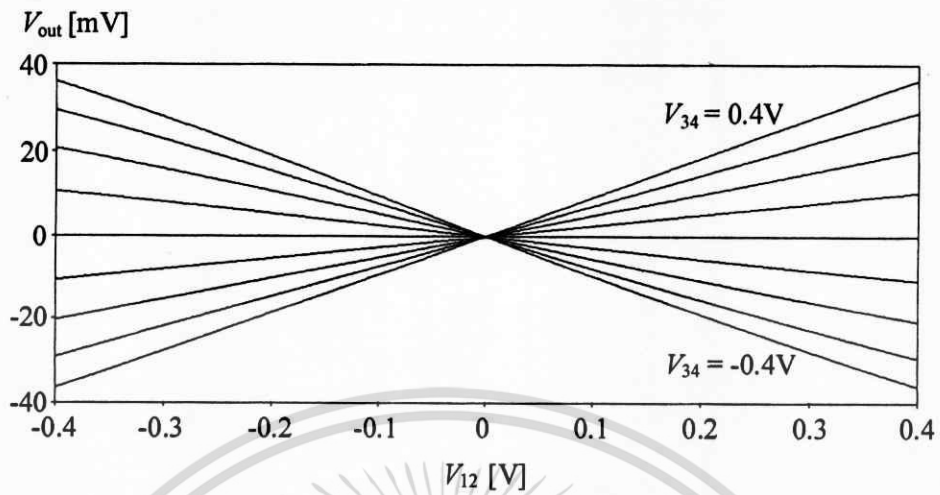
จากสมการ (5.20) จะเห็นได้ว่าแรงดันเอาต์พุตของวงจรในรูปที่ 5.9 นั้น จะเป็นฟังก์ชันผลคูณระหว่างแรงดันอินพุต V_{12} และ V_{34} โดยอัตราขยายของวงจรคุณสมบัตินั้นสามารถปรับค่าได้ โดยการปรับค่าความต้านทาน R และการปรับขนาดของมอสเฟต

5.4 การจำลองการทำงานของวงจรคุณสมบัตินขนาดเล็ก

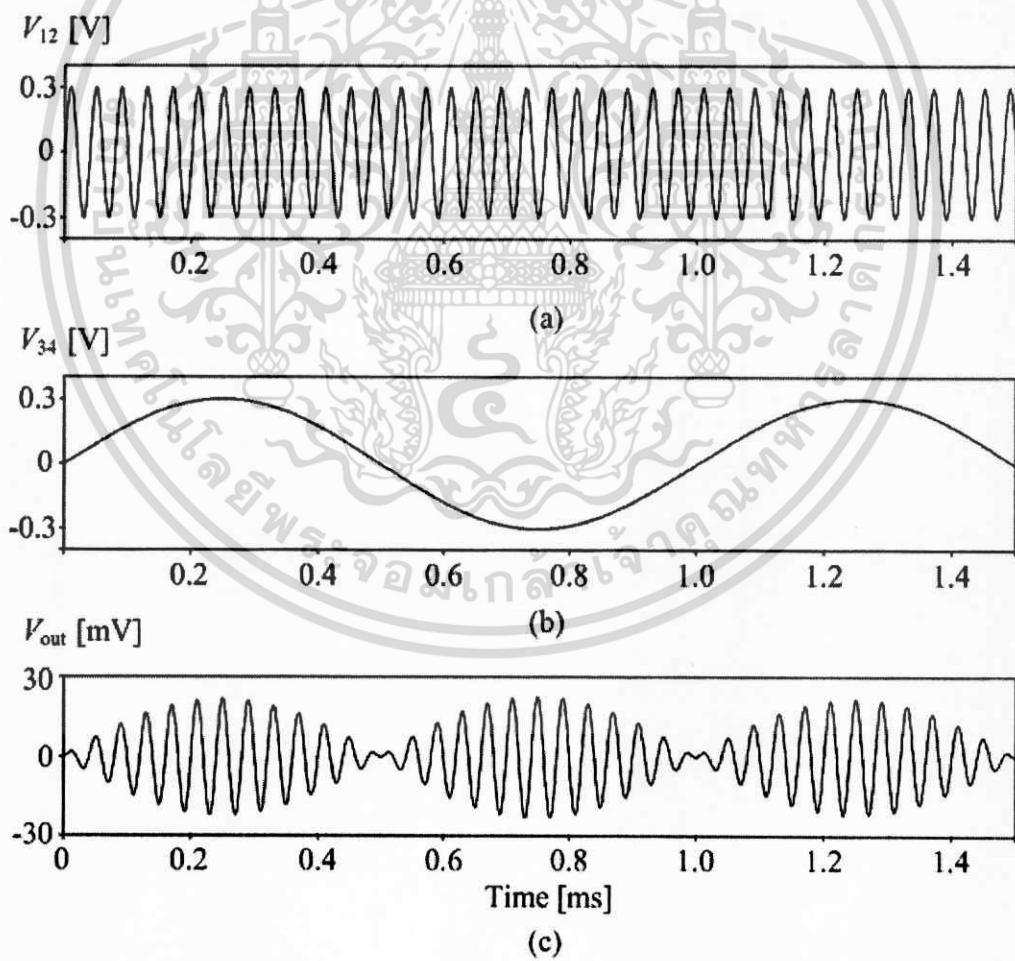
เพื่อทดสอบการทำงานของวงจรคุณสมบัตินในรูปที่ 5.9 จึงได้จำลองการทำงานของวงจรด้วยโปรแกรม PSPICE โดยใช้ซีมอส (CMOS) เทคโนโลยี 0.35 μ โดยมีแรงดันขีดเริ่มของมอสเฟตดังนี้ $V_m \cong 0.51V$ และ $V_p \cong -0.66V$ สำหรับแรงดันอินพุต V_{12} และ V_{34} จะเป็นแรงดันแบบสมมาตร โดยมีสัญญาณแรงดันโหมตร่วม $V_{o1} = 1V$ และ $V_{o2} = 0.2V$ ตามลำดับ แหล่งจ่ายไฟเลี้ยงวงจร V_{DD} กำหนดให้มีค่าเท่ากับ 1.8V ความต้านทาน R มีค่าเท่ากับ 2.5k Ω สำหรับขนาด (W/L) ของทรานซิสเตอร์ที่ใช้ในวงจรจะมีค่าดังนี้ M_1 และ M_2 มีขนาดเท่ากับ $1/1 [\mu m/\mu m]$, M_3 - M_8 มีขนาดเท่ากับ $3.5/1 [\mu m/\mu m]$ และ M_9 - M_{10} มีขนาดเท่ากับ $40/1 [\mu m/\mu m]$

ในการจำลองการทำงานจะเริ่มจากการหากราฟคุณสมบัติการส่งผ่านของวงจรคุณสมบัตินขนาดเล็กในรูปที่ 5.9 ก่อน โดยได้กำหนดให้แรงดันอินพุต V_{12} มีค่าเปลี่ยนแปลงจาก -400mV - 400mV ในขณะเดียวกันแรงดันอินพุต V_{34} จะเปลี่ยนแปลงจาก -400mV - 400mV โดยมีค่าเพิ่มขึ้นครั้งละ 100mV ผลที่ได้จากการจำลองการทำงานแสดงได้ดังรูปที่ 5.10

จากกราฟคุณสมบัติการส่งผ่านของแรงดันในรูปที่ 5.10 จะเห็นได้ว่าวงจรคุณสมบัตินในรูปที่ 5.9 จะมีช่วงการทำงานที่เป็นเชิงเส้นอยู่ในช่วงประมาณ $\pm 0.4V$ สำหรับผลตอบสนองทางเวลาได้ทดลองให้วงจรทำหน้าที่เป็นวงจรมอดูเลตสัญญาณ โดยการให้สัญญาณอินพุต V_{12} เป็นสัญญาณรูปไซน์ที่มีขนาดเท่ากับ 0.4V ที่ความถี่เท่ากับ 25kHz และอินพุต V_{34} เป็นสัญญาณรูปไซน์เช่นกันโดยมีขนาดเท่ากับ 0.4V ที่ความถี่เท่ากับ 1kHz ซึ่งผลที่ได้จากการจำลองการทำงานแสดงได้ดังรูปที่ 5.11



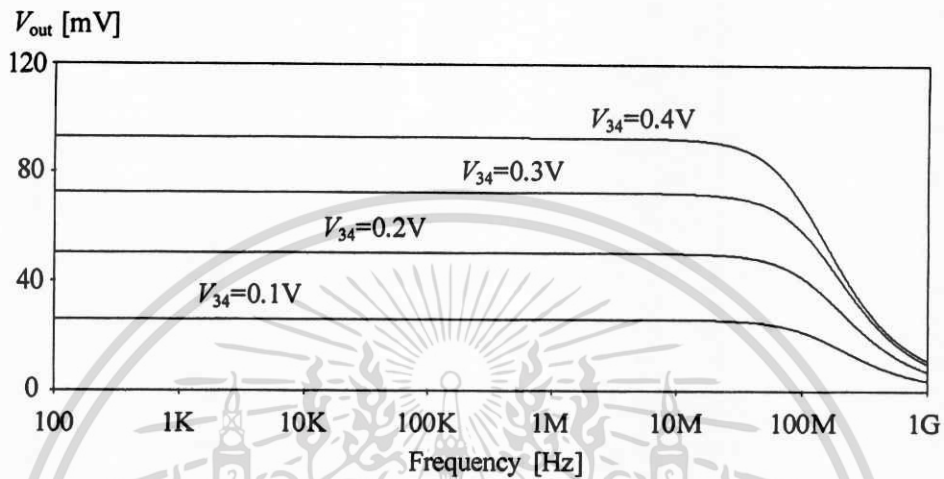
รูปที่ 5.10 กราฟคุณสมบัติการส่งผ่านของวงจรคุณสัญญาณเล็ก



รูปที่ 5.11 ผลตอบสนองทางเวลาของวงจรคุณสัญญาณเล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับผลตอบสนองทางความถี่ของวงจรคุณสัญญาณขนาดเล็กแสดงได้ดังรูปที่ 5.12 โดยได้ทดสอบให้วงจรมีอัตราขยายค่าต่างๆ ดังนั้นจึงได้ปรับให้แรงดันอินพุต V_{34} มีค่าเปลี่ยนแปลงจาก 0.1V - 0.4V โดยมีค่าเพิ่มขึ้นครั้งละ 0.1V



รูปที่ 5.12 ผลตอบสนองทางความถี่ของวงจรคุณสัญญาณเล็ก

จากผลตอบสนองทางความถี่ในรูปที่ 5.12 จะเห็นได้ว่าวงจรจะมีย่านความถี่ในการใช้งาน ประมาณ 110 MHz ที่อัตราขยายทุกค่า นอกจากนี้เมื่อทดสอบกำลังงานสูญเสียในวงจรได้พบว่ามีค่าประมาณ $165 \mu W$

จากผลจำลองการทำงานในรูปที่ 5.10-5.12 จะเห็นได้ว่าวงจรคุณสัญญาณขนาดเล็กที่ได้นำเสนอในรูปที่ 5.9 นั้นสามารถทำงานเป็นวงจรคุณสัญญาณได้ดีตามที่ได้ออกแบบไว้ นอกจากนี้วงจรยังมีกำลังงานสูญเสียค่อนข้างต่ำ

5.5 สรุป

จากผลจำลองการทำงานของวงจรคุณสัญญาณทั้งสองวงจรที่ได้นำเสนอในวิทยานิพนธ์นี้ จะเห็นได้ว่าให้ผลสอดคล้องกับทฤษฎีที่ได้กำหนดไว้เป็นอย่างดี โดยจะเห็นได้ว่าวงจรทั้งสองมีโครงสร้างวงจรที่เรียบง่าย มีขนาดเล็ก และใช้แหล่งจ่ายไฟเลี้ยงวงจรที่ต่ำ โดยช่วงการทำงานที่เป็นเชิงเส้นของวงจรทั้งสองจะมีค่าอยู่ในช่วงประมาณ $\pm 0.4V$ โดยวงจรคุณสัญญาณที่นำเสนอทั้งสองวงจรมีกำลังงานสูญเสียในระดับไมโครวัตต์ (μW) ดังนั้นจึงเหมาะสำหรับการนำไปประยุกต์ใช้กับวงจรสื่อสารที่ส่วนใหญ่ต้องการให้วงจรมีกำลังงานสูญเสียต่ำ

บทที่ 6

บทสรุป

ในวิทยานิพนธ์นี้ได้นำเสนอวิธีการขยายช่วงการทำงานที่เป็นเชิงเส้นให้กับวงจรทรานสลิเนียร์ผสม [1] ด้วยวิธีการจัดไบอัสแบบใหม่ให้กับทรานซิสเตอร์ในลูปรานสลิเนียร์ผสมเดิม เพื่อให้ทรานซิสเตอร์ในลูปมีช่วงการนำกระแสที่กว้างมากขึ้น ด้วยเทคนิคที่นำเสนอนี้จะทำให้ได้วงจรที่มีโครงสร้างที่เรียบง่าย และประกอบไปด้วยอุปกรณ์แอกทีฟเท่านั้น กล่าวคือจะเพิ่มเพียงวงจรถูกคอมมอนแอนดสองคู่เข้าไปในลูปรานสลิเนียร์ผสมเดิม กล่าวคือมีการเพิ่มทรานซิสเตอร์ 4 ตัวเข้าไปในวงจรเดิม ซึ่งผลที่ได้จากการปรับปรุงวงจรคือช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นจากวงจรทรานสลิเนียร์ผสมเดิม [1] มากกว่าสองเท่า โดยที่กำลังงานสูญเสียในวงจรมีค่าเพิ่มขึ้นเพียงเล็กน้อย เมื่อเปรียบเทียบกับวงจรทรานสลิเนียร์เดิม และเนื่องจากวงจรทรานสลิเนียร์ที่ได้ปรับปรุงนี้จะประกอบขึ้นจากทรานซิสเตอร์ชนิดไบโพลาร์ ดังนั้นจึงเหมาะสำหรับการนำไปประยุกต์ใช้ในวงจรที่ต้องการค่าทรานสคอนดักแตนซ์สูงๆ เนื่องจากค่าทรานสคอนดักแตนซ์ของทรานซิสเตอร์ชนิดไบโพลาร์จะมีค่าสูงกว่าทรานซิสเตอร์มอสเฟต เมื่อเปรียบเทียบกับที่กระแสคอลเลกเตอร์ (I_C) และกระแสเดรน (I_D) ที่มีค่าเท่ากัน

นอกจากการนำเสนอวิธีการขยายช่วงการทำงานที่เป็นเชิงเส้นให้กับวงจรทรานสลิเนียร์ผสม [1] แล้ว ในวิทยานิพนธ์นี้ยังได้นำเสนอวงจรคุณสัญญาณสองวงจร ซึ่งได้นำเสนอรายละเอียดไว้ในบทที่ 5 โดยวงจรคุณสัญญาณที่นำเสนอ นั้นจะมีข้อดีคือวงจรมีขนาดเล็ก และใช้แหล่งจ่ายไฟเลี้ยงวงจรต่ำ โดยประกอบขึ้นจากทรานซิสเตอร์ชนิดมอสเฟต ซึ่งวงจรคุณสัญญาณทั้งสองจะมีกำลังงานสูญเสียในระดับไมโครวัตต์ (μW) เท่านั้น จึงมีความน่าสนใจในการนำไปประยุกต์ใช้กับวงจรต่างๆ ที่ต้องการให้วงจรมีกำลังงานสูญเสียต่ำ

6.1 สรุป

สำหรับการสรุปเนื้อหาในวิทยานิพนธ์นี้ จะได้สรุปเนื้อหาในแต่ละบทแยกกัน เพื่อให้สะดวกต่อการทำความเข้าใจ โดยมีรายละเอียดดังนี้

บทที่ 1 ได้กล่าวถึงความเป็นมา และความน่าสนใจของวงจรทรานสลิเนียร์ผสม [1] ซึ่งเมื่อพิจารณาถึงช่วงการทำงานที่เป็นเชิงเส้นของวงจร ได้พบว่าถูกจำกัดให้มีค่าไม่เกินแรงดันเชิงอุณหภูมิ (V_T) ซึ่งเป็นข้อจำกัดข้อหนึ่งที่สำคัญในการนำไปประยุกต์ใช้งานในวงจรประมวลสัญญาณเชิงเส้น และเป็นเหตุจูงใจให้เกิดการค้นคว้าวิจัย เพื่อหาวิธีการขยายช่วงการทำงานที่เป็นเชิงเส้นของวงจรที่ได้นำเสนอในวิทยานิพนธ์นี้

บทที่ 2 ได้กล่าวถึงทฤษฎีเบื้องต้นของหลักการวงจรทรานสลิเนียร์ ซึ่งเป็นหลักการที่ช่วยทำให้การออกแบบวงจรประมวลสัญญาณทางคณิตศาสตร์ เช่น วงจรคูณ ทหารสัญญาณ วงจรยกกำลัง และวงจรถอดรหัสดิจิทัลทำได้ง่ายขึ้น [37] ซึ่งนับว่ามีประโยชน์อย่างมากสำหรับวงจรรอนาลอก โดยรายละเอียดของหลักการนั้นได้เน้นไปที่วงจรทรานสลิเนียร์ที่ประกอบขึ้นจากทรานซิสเตอร์ชนิดไบโพลาร์ เพื่อให้เป็นพื้นฐานพอสังเขปสำหรับการทำความเข้าใจ และวิเคราะห์วงจรทรานสลิเนียร์ผสม [1] ซึ่งได้นำเสนอในลำดับต่อมา และจากการวิเคราะห์วงจรทรานสลิเนียร์ผสมจะเห็นได้ว่าความสัมพันธ์ระหว่างกระแสเอาต์พุต (I_x) และแรงดันอินพุต (V_{yz}) จะอยู่ในรูปของฟังก์ชันไฮเพอร์โบลิก (Sine hyperbolic : sinh) ซึ่งเป็นฟังก์ชันที่ไม่เป็นเชิงเส้น ดังนั้นจึงทำให้ช่วงการทำงานที่เป็นเชิงเส้นของวงจรถูกจำกัดให้ไม่กว้างนัก และเป็นข้อจำกัดข้อหนึ่งในการนำไปประกอบในวงจรเชิงเส้น ด้วยเหตุนี้จึงเกิดความคิดที่จะปรับปรุงวงจรทรานสลิเนียร์ผสม เพื่อให้มีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้น ซึ่งจะทำให้วงจรมีความน่าสนใจในการนำไปประยุกต์ใช้งานต่อไป

บทที่ 3 จะเป็นบทที่มีความสำคัญบทหนึ่งในวิทยานิพนธ์นี้ เนื่องจากได้กล่าวถึงหลักการที่ใช้ในการขยายช่วงการทำงานที่เป็นเชิงเส้นให้กับวงจรทรานสลิเนียร์ผสม โดยการใช้เทคนิคการจับโอสให้กับทรานซิสเตอร์ในรูปเดิมใหม่ เพื่อทำให้ทรานซิสเตอร์ในรูปทรานสลิเนียร์มีช่วงการนำกระแสที่กว้างขึ้นกว่าวงจรถิม ซึ่งสามารถทำได้โดยการเพิ่มวงจรคู่คอมมอนแอนดสองคู่ให้กับวงจรถิมเท่านั้น ด้วยเทคนิคดังกล่าวจะทำให้วงจรที่ได้ปรับปรุงนี้มีโครงสร้างที่เรียบง่าย นอกจากนี้กำลังงานสูญเสียในวงจรได้เพิ่มขึ้นเพียงเล็กน้อยเมื่อเปรียบเทียบกับวงจรถิม [1]

จากการวิเคราะห์วงจรที่ได้นำเสนอตามหลักการดังกล่าวได้พบว่าความสัมพันธ์ระหว่างกระแสเอาต์พุต (I_{xN}) และแรงดันอินพุต (V_{yzN}) ของวงจรที่นำเสนอเป็นสมการที่มีความน่าสนใจเป็นอย่างยิ่ง กล่าวคือจะอยู่ในรูปของผลต่างของอนุกรมฟังก์ชัน sinh (รายละเอียดได้แสดงในภาคผนวก ค) ซึ่งในบทที่ 3 นั้นได้แสดงเพียงแค่ 2-3 เทอมแรกเท่านั้น ทั้งนี้เพื่อความง่ายในการวิเคราะห์วงจร โดยจะสังเกตเห็นได้ว่าของวงจรถิมจะประกอบไปด้วยฟังก์ชัน sinh เพียงเทอมเดียว และเนื่องจากเป็นสมการอนุกรมผลต่างของฟังก์ชัน sinh จึงทำให้ความไม่เป็นเชิงเส้นระหว่างฟังก์ชัน sinh ที่มีค่าเป็นบวก และลบเกิดการหักล้างกันเอง ซึ่งส่งผลทำให้วงจรที่นำเสนอมีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นจากวงจรทรานสลิเนียร์เดิมเป็นอย่างมาก

นอกจากนี้เมื่อกระจายอนุกรมของกระแสเอาต์พุตที่อยู่ในฟังก์ชัน sinh ด้วย Taylor series จะพบว่าฟังก์ชัน sinh จะไม่มีพจน์ที่ยกกำลังคู่เลย และเมื่อพิจารณาแรงดันอินพุตที่ค่าอยู่ในช่วง $|V_{yz}| < \sqrt{20}V_T$ จะพบว่าผลของความถี่ฮาร์โมนิกที่สาม จะส่งผลต่อความผิดเพี้ยนของสัญญาณเอาต์พุตมากกว่าผลของความถี่ฮาร์โมนิกที่มีกำลังสูงๆ แต่อย่างไรก็ตามเนื่องจากกระแสเอาต์พุตของวงจรที่นำเสนอจะอยู่ในรูปแบบของสมการผลต่างของฟังก์ชัน sinh จึงทำให้สามารถลดความเพี้ยนของสัญญาณเอาต์พุตที่เกิดมาจากค่าความถี่ฮาร์โมนิกที่สามได้ ด้วยการจัดค่าสัมประสิทธิ์ของฟังก์ชัน sinh ที่มีค่าเป็นบวกและลบของอนุกรมที่มีกำลังอันดับที่สามของฟังก์ชัน sinh ให้มีค่าเท่ากัน

เพื่อทำให้เกิดการหักล้างกันเองของความถี่ฮาร์โมนิกส์ที่สาม โดยค่าสัมประสิทธิ์ของฟังก์ชัน sinh ที่มีค่าเป็นบวก และลบนั้นสามารถที่จะปรับให้มีค่าเท่ากันได้โดยการปรับค่ากระแสไบอัส I_A และ I_B ของวงจร อย่างไรก็ตามค่าสัมประสิทธิ์นี้จะมีค่าขึ้นอยู่กับอัตราขยายไฟตรงของทรานซิสเตอร์ (β) ด้วย ซึ่งทำให้ในการนำไปใช้งานจะไม่สะดวกนัก

สำหรับผลที่ได้จากการจำลองการทำงานก็เป็นไปในแนวทางที่สนับสนุนว่าวงจรทรานซิลีเนียร์ที่นำเสนอ นั้น มีการทำงานสอดคล้องกับหลักการทางทฤษฎีที่ได้ออกแบบไว้เป็นอย่างดี และเมื่อเปรียบเทียบผลการจำลองการทำงานของวงจรทรานซิลีเนียร์ที่นำเสนอ กับวงจรทรานซิลีเนียร์เดิม [1] สามารถยืนยันได้เป็นอย่างดีว่าวงจรที่นำเสนอจะมีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นจากวงจรเดิมเป็นอย่างมาก เช่นเมื่อเปรียบเทียบที่ค่า $THD \approx 1\%$ จะพบว่าขนาดของแรงดันอินพุตของวงจรถูกนำเสนอจะมีค่าประมาณ 60 mV ในขณะที่ของวงจรเดิมจะมีค่าประมาณ 15 mV ซึ่งจะเห็นได้ว่าช่วงการทำงานที่เป็นเชิงเส้นของวงจรที่นำเสนอจะกว้างกว่าวงจรเดิมประมาณ 3-4 เท่า และเมื่อพิจารณาถึงกำลังงานสูญเสียในวงจรเมื่อให้วงจรทั้งสองมีค่าทรานสคอนดักเตอร์เท่ากัน จะพบว่ากำลังงานสูญเสียของวงจรที่นำเสนอจะมีค่าเพิ่มขึ้นจากวงจรเดิมเพียงเล็กน้อยคือประมาณ 1.5 เท่า

บทที่ 4 จะเป็นการนำเอาวงจรทรานซิลีเนียร์ที่ได้นำเสนอในวิทยานิพนธ์นี้ไปประยุกต์สร้างเป็นวงจรความต้านทาน [12] และวงจร CCCII [4] เพื่อนำไปประกอบเป็นวงจรขยายเครื่องมือวัด [30] ซึ่งวงจรความต้านทาน และวงจรขยายเครื่องมือวัดนี้ได้มีผู้นำเสนอไว้ก่อนหน้านี้แล้ว ซึ่งเมื่อนำเอาวงจรทรานซิลีเนียร์ที่นำเสนอมาประกอบในวงจร ส่งผลทำให้ช่วงการทำงานที่เป็นเชิงเส้นของวงจรถูกนำเสนอมากขึ้นมาก เมื่อเปรียบเทียบกับการประกอบวงจรทั้งสองด้วยวงจรทรานซิลีเนียร์เดิม ซึ่งเป็นการช่วยเน้นย้ำถึงประสิทธิภาพของวงจรที่ได้ออกแบบ

บทที่ 5 จะเป็นการนำเสนอวงจรคุณสมบัติขนาดเล็กที่ใช้แหล่งจ่ายไฟเลี้ยงวงจรต่ำสองวงจร เนื่องจากวงจรคุณสมบัติทั้งสองนั้นจะประกอบขึ้นจากทรานซิสเตอร์มอสเฟต ดังนั้นจึงสามารถออกแบบให้แหล่งจ่ายไฟเลี้ยงวงจรมีค่าต่ำได้ ซึ่งจากผลจำลองการทำงานพบว่าวงจรคุณสมบัติทั้งสองจะมีช่วงการทำงานที่เป็นเชิงเส้นประมาณ $\pm 0.4V$ และเมื่อทดสอบให้ทำหน้าที่เป็นวงจรคุณสมบัติ และวงจรมอดดูเลตสัญญาณ ผลที่ได้จากการจำลองการทำงานได้สอดคล้องกับทฤษฎีเป็นอย่างดี ในส่วนของกำลังงานสูญเสียในวงจรพบว่ามีความไม่โครวัตต์เท่านั้น จึงทำให้วงจรทั้งสองมีความน่าสนใจในการนำไปประยุกต์ใช้งานกับวงจรทางด้านกรีสือสาร

6.2 ปัญหา และข้อเสนอแนะ

สำหรับปัญหาของวงจรที่นำเสนอ นั้น โดยประเด็นหลักๆ คือการที่ความสัมพันธ์ระหว่างกระแส และแรงดันของวงจรจะมีค่าขึ้นอยู่กับ β ของทรานซิสเตอร์ที่นำมาประกอบในวงจรด้วย ซึ่งค่า β นี้จะเป็นตัวแปรที่มีความผันแปรสูง ดังนั้นจะทำให้เมื่อนำไปประยุกต์ใช้งานอาจจะทำให้เกิดค่าความคลาดเคลื่อนจากค่าที่คำนวณไว้ทางทฤษฎีไว้ได้ ดังนั้น ปัญหาความคลาดเคลื่อนเนื่องจาก

ประเด็นนี้จะสามารถถูกกำจัดให้หมดไปหรืออย่างน้อยจะทุเลาลงโดยอาศัยพัฒนาการของเทคโนโลยีการผลิตทรานซิสเตอร์ที่ทำให้ค่า β คงที่ในช่วงการทำงานแบบแอคทีฟโหมด (Active mode) นอกจากนี้ความไม่สมพ้องกัน (Mismatching) ของทรานซิสเตอร์ชนิด PNP และชนิด NPN ที่ใช้ประกอบในวงจรจะส่งผลทำให้กระแสเอาต์พุตมีค่าออฟเซตเกิดขึ้น ดังนั้นวิธีการแก้ปัญหานี้คือพยายามเลือกใช้ทรานซิสเตอร์ที่มีความสมพ้อง (Matching) กันมากที่สุด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- [1] Fabre A. "Dual translinear voltage/current converter." **Electron. Lett.**, vol. 19, no. 24, 1983. pp. 1030-1031
- [2] Fabre A. "Translinear current conveyors implementation." **Int. J. Electron.**, vol. 59, 1985. pp. 619-623
- [3] Fabre A., Saaid O., Wiest F. and Boucheron C. "Current controlled bandpass filter based on translinear conveyors." **Electron. Lett.**, vol. 31, 1995. pp. 1727-1728
- [4] , Saaid O., Wiest F. and Boucheron C. "High frequency applications based on a new current controlled conveyor." **IEEE Trans. Cir. & Syst. I**, vol. 43, 1996. pp. 82-91
- [5] Fabre A. and Alami M. "A versatile translinear cell-library to implement high performance analog ASICS." **Proc. IEEE EUROASIC.**, 1990. pp. 89-94
- [6] Pawarangkoon P. and Kiranon W. "Electronically tunable floating resistor." **Int. J. Electron.**, vol. 91, 2004. pp. 665-673
- [7] Abuelma'atti M. T. and Abed S. M. "A new current-controlled multiple-output current-conveyor." **Proc. IEEE Int. Symp. Cir. & Syst.**, 1997. pp. 961-964
- [8] Minaei S. , Yuce E. and Cicekoglul O. "A Versatile Active Circuit for Realising Floating Inductance, Capacitance, FDNr and Admittance Converter." **Analog Integrated Circuit and Signal Processing.**, vol 47, 2006. pp. 199-202
- [9] Fabre A., Saaid O., Wiest F. and Boucheron C. "High-frequency high-Q BiCMOS current-mode bandpass filter and mobile communication application." **IEEE J. Solid-State Cir.**, vol. 33, 1998. pp. 614-625
- [10] Kiranon W., Kerson J. and Wardkein P. "Current controlled oscillator based on translinear conveyors." **Electron. Lett.**, vol. 32, 1996. pp. 1330-1331
- [11] Kiranon W., Kerson J., Sangpisit W. and Kamprasert N. "Electronically tunable multifunctional translinear-C filter and oscillator." **Electron. Lett.**, vol. 33, 1997. pp. 573-574
- [12] Senani R., Singh Abdhesh K. and Singh Vinod K., "A New Floating Current-Controlled Positive Resistance Using Mixed Translinear Cells," **IEEE Trans on Circuits and Systems —II: Express Briefs**, vol. 51, no.7, 2004. pp. 374-377

- [13] Fabre A. and Barthelemy H. "Composite second-generation current conveyor with reduced parasitic resistance." **Electron. Lett.**, vol. 30, 1994. pp. 377-378
- [14] Fabre A. and Mimeche N. "Class A/AB second-generation current conveyor with controlled current gain." **Electron. Lett.**, vol. 30, 1994. pp. 1267-1269
- [15] Tongkulboriboon S., Petchakit V. and Kiranon W. "Electronically tunable current mode high Q-bandpass filter." **Proc. ICCAS.**, 2005. pp. 237-240
- [16] Pawarangkoon P. and Kiranon W. "Current mode universal filter with three inputs and one output using CCII+s." **Proc. 2001 IEEJ Int. Analog VLSI Workshop.**, 2001. pp. 103-106
- [17] Tongkulboriboon S., Pawarangkoon P., Petchakit V. and Kiranon W. "Electronically current mode all-pass filter with only one grounded capacitor." **Proc. IEEE TENCON**, 2005.
- [18] Tongkulboriboon S., Pawarangkoon P., Petchakit V. and Kiranon W. "A novel high Q-bandpass filter employing a few grounded passive components." **Proc. ICICS**, 2005. pp. 964-968
- [19] Papazoglou C. A. and Karybakas C. A. "An electronically tunable oscillator suitable for high frequencies operation based on a single dual-output variable-gain CCII." **Analog Integrated Circuits and Signal Processing**, vol. 23, 2000. pp. 31-44
- [20] Seguin F. and Fabre A. "New second generation conveyor with reduced parasitic resistance and bandpass filter application." **IEEE Trans. Cir. & Syst. I**, vol. 48, 2001. pp. 781-785
- [21] Pawarangkoon P., Intaudom V. and Kiranon W. "Electronically tunable floating impedance multiplier." **Proc. The 2005 ECTI Int. Con.**, 2005. pp. 649-652
- [22] Pawarangkoon P., Intaudom V. and Kiranon W. "Electronically tunable floating resistor." **Proc. IEEE TENCON**, 2004. pp. 372-375
- [23] Soliman A. M. "Active RC realization of current transfer functions using voltage generalised-immittance converters." **Int. J. Electron.**, vol. 33, 1972. pp. 273-280
- [24] Vrba K., Cajka J. and Zeman V. "Floating RC networks using current conveyors." **Radioengineering**, vol. 5, no. 2, 1996. pp. 8-11
- [25] Higashimura M. and Fukui Y. "Realization of impedance function using current conveyors." **Int. J. Electron.**, vol. 65, 1988. pp. 223-231

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [26] Kiranon W. and Pawarangkoon P. "Floating inductance simulation based on current conveyors." **Electron. Lett.**, vol. 33, no. 21, 1997. pp. 1748-1749
- [27] พลลภ พันธุปรัชารัตน์, ปราโมทย์ วาดเขียน และ วิวัฒน์ กิรานนท์ 2540. "วงจรรคูณและหารสัญญาณโดยใช้หลักการของวงจรสายพานกระแส." หน้า 60-65. ใน **การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 20**. คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย.
- [28] Kiatwarin N., Sawigun C. and Kiranon W. "A Low Voltage Four-Quadrant Analog Multiplier Using Triode-MOSFETs" **Proc. ISCIT2006.**, 2006. pp. F3D-4
- [29] Kiatwarin N., Ngamkham W. and Kiranon W. "A Compact Low Voltage CMOS Four-Quadrant Analog Multiplier" **Proc. ECTI-CON2007.**, 2007. pp. 17-20
- [30] Mahattanakul J. and Toumazou C. "Instantaneous Companding Current-Mode Oscillator Based on Class AB Transconductor." **Analog Integrated Circuits and Signal Processing**, vol. 23, 2000. pp. 57-64
- [31] Bozomitu R. G., Cehan V. and Popa V. "A New Linearization Technique Using "Multi-sinh" Doublet." **Advances in Electrical and Computer Engineering**, vol. 9, 2009. pp. 45-57
- [32] Sedra A. S. and Smith K. C. **Microelectronic Circuits**. Oxford University Press, Inc. 1991.
- [33] B. Wilson, "Universal conveyor instrumentation amplifier" **Electron. Lett.**, vol. 25, pp. 470-471
- [34] B. Gilbert, "Translinear circuits : A proposed classification" **Electron. Lett.**, vol. 11, 1975. pp. 14-16
- [35] C. Toumazou, F. J. Lidgley and D. G. Haigh, **Analog IC Design: The Current Mode Approach**. London : Peter Peregrinus. 1990.
- [36] Seevinck E. and Wiegink R. J. "Generalized Translinear Circuit Principle," **IEEE J. Solid-State Cir.**, vol. 26, 1991. pp. 1098-1102
- [37] Christos Papavassiliou, 2013. Translinear Circuits [Online]
Available <http://cas.ee.ic.ac.uk/people/dario/files/E416/translinear-lores.pdf>
- [38] Pawarangkoon P., Intaudom V. and Kiranon W. "Four-quadrant current-mode divider based on current conveyors." **Proc. IEEE TENCON**, 2004. pp. 380-383
- [39] ประจวบ ปวรังกูร และ วิวัฒน์ กิรานนท์. "วงจรรองความถี่หลายหน้าที่โดยใช่วงจรสายพานกระแสแบบสองเอาต์พุต." **วิศวกรรมลาดกระบัง**, ปีที่ 18, ฉบับที่ 1, มีนาคม 2544. หน้า 30-34

- [40] วิจิตรา เพ็ชรกิจ, วิวัฒน์ กิรานนท์, จริญญา เลิศจรัสอร่ามดี และ อัจฉรารวรรณ เนิ่งนิตย. “วงจรกรองความถี่ชนิดโบริคควอดที่มีสามอินพุตและหนึ่งเอาต์พุต.” วิศวกรรมลาดกระบัง, ปีที่ 18, ฉบับที่ 1, มีนาคม 2544. หน้า 35-40
- [41] อัจฉรารวรรณ เนิ่งนิตย, แสงระวี ตั้งกุลบริบูรณ์, วิจิตรา เพ็ชรกิจ และ วิวัฒน์ กิรานนท์. “วงจรกรองความถี่ชนิดโบริคควอดโหมดกระแสโดยใช้ CCIIs.” วิศวกรรมลาดกระบัง, ปีที่ 18, ฉบับที่ 3, กันยายน 2544. หน้า 129-133
- [42] ประจวบ ปวรังกูร, แสงระวี ตั้งกุลบริบูรณ์ และ วิวัฒน์ กิรานนท์. 2548. “วงจรมายกระแสที่ปรับค่าอัตราขยายให้เป็นบวกหรือลบได้.” หน้า 1277-1280. ใน การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 28. คณะวิศวกรรมศาสตร์ มหาวิทยาลัยธรรมศาสตร์.
- [43] จีรสุดา เกษร. “วงจรกรองความถี่และวงจรรอสซิลเลเตอร์ที่ควบคุมได้ในเชิงอิเล็กทรอนิกส์.” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2542.
- [44] แสงระวี ตั้งกุลบริบูรณ์. “วงจรมายกำเนิดสัญญาณไซน์หลายเฟสที่ปรับค่าได้ด้วยวิธีการอิเล็กทรอนิกส์.” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2545.
- [45] อัจฉรารวรรณ เนิ่งนิตย. “วงจรกรองความถี่หลายหน้าที่โหมดกระแสที่มีสามอินพุตหนึ่งเอาต์พุตโดยใช้ CCIIs.” วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2546.
- [46] ประจวบ ปวรังกูร และ วิวัฒน์ กิรานนท์. 2539. “วงจรมายสัญญาณเชิงล็อกแบบขดเชยอุณหภูมิในโหมดกระแส.” หน้า 128-131. ใน การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 19. คณะวิศวกรรมศาสตร์ มหาวิทยาลัยขอนแก่น.
- [47] ประจวบ ปวรังกูร. “วงจรมายค่าอิมพีแดนซ์ที่ปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์.” วิทยานิพนธ์วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2549.
- [48] Spiegel M. R. and Liu J. Mathematical, Handbook of Formulas and Tables. Singapore. McGraw-Hill. 1999.
- [49] แสงระวี ตั้งกุลบริบูรณ์. “วงจรมายกระแสที่มีพฤติกรรมความเป็นเชิงเส้นภายนอก และการประยุกต์ใช้งาน” วิทยานิพนธ์วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2552.
- [50] Gray P. R. and Meyor R. G. 1993. Analysis and Design of Analog Integrated Circuits. John Wiley & Sons, Inc.

- [51] Elwan H. O., Mahmoud S. A. and Soliman A. M. "CMOS voltage controlled floating resistor." *Int. J. Electron.*, vol. 81, 1996. pp. 471-476
- [52] Wilson G. and Chan P. K. "Floating CMOS resistor." *Electron. Lett.*, vol. 29, 1993. pp. 306-307
- [53] Senani R. "Realisation of linear voltage-controlled resistance in floating form." *Electron. Lett.*, vol. 30, 1994. pp. 1909-1910
- [54] Al-Ruwaihi K. M. "A floating voltage-controlled resistor and its application to active RC filters." *Int. J. Electron.*, vol. 82, 1997. pp. 483-498
- [55] Khan I. A. and Ahmed M. T. "Realization of tunable floating resistors." *Electron. Lett.*, vol. 22, 1986. pp. 799-800
- [56] Tekin S. A., Ercan H. and Alci M. "Novel Low Voltage CMOS Current Controlled Floating Resistor Using Differential Pair." *Radioengineering*, vol. 22, 2013. pp. 428-433
- [57] Lehovec K. and Zuleeg R. "Negative resistance of a modified insulated-gate field-effect transistor." *Proc. IEEE*, vol. 62, 1974. pp. 1163-1165
- [58] Takagi H. and Kano G. "Complementary n-JFET negative resistance devices." *IEEE J. Solid-State Cir.*, vol. 10, 1975. pp. 509-515
- [59] Chu L. O. "Bipolar-JFET-MOSFET negative resistance devices." *IEEE Trans. Cir. & Syst.*, vol. 32, 1985. pp. 46-61
- [60] Kiranon W., Loescharataramdee C., Kiatwarin N. and Wardkein P. "Electronically controlled negative resistance based on translinear circuits." *ISPACS'99, Phuket, Thailand*, 1999. pp.645-648
- [61] Saaid O. and Fabre A., "Class AB current-controlled resistor for high performance current-mode applications" *Electron. Lett.*, vol. 32, 1996. pp. 4-5
- [62] Maundy B. and Maini M., "A Comparison of Three Multiplier Based on the V_{gs}^2 Technique for Low-Voltage Applications" *IEEE Trans. Circuits Syst. I*, vol. 50, no.7, 2003, pp.937-940
- [63] Han G. and Sanchez-Sinencio E., "CMOS Transconductance Multipliers: A Tutorial", *IEEE Trans. Circuits Syst. II*, vol.45, no.12, 1998, pp.1550-1563
- [64] Angulo J.R., Carvajal R.G., Torralba A., Galan J., Vega-Leal A.P. and Tombs J., "The Flipped Voltage Follower: A useful cell for low-voltage low-power circuit design," *IEEE ISCAS'02, Scottsdale*, vol. III, 2002, pp. 615-618

ภาคผนวก ก

การประมาณฟังก์ชันเอกซ์โพเนนเชียลให้เป็นฟังก์ชันเชิงเส้น

เนื่องจากกระแสคอลเลกเตอร์ I_{c2} และ I_{c4} ของวงจรถรทรานสลิเนียร์ผสม [1] นั้นจะมีความสัมพันธ์กับแรงดันอินพุต V_{yx} ในรูปแบบของฟังก์ชันเอกซ์โพเนนเชียล (Exponential function) ดังสมการ (ก.1) และ (ก.2) ตามลำดับ

$$I_{c2} = I_o \exp\left(\frac{V_{yx}}{V_T}\right) \quad (\text{ก.1})$$

และ

$$I_{c4} = I_o \exp\left(-\frac{V_{yx}}{V_T}\right) \quad (\text{ก.2})$$

เมื่อพิจารณาการกระจาย Taylor's Series ของฟังก์ชันเอกซ์โพเนนเชียลจะได้ว่า

$$e^x = 1 + \frac{x}{1!} + \frac{x^2}{2!} + \frac{x^3}{3!} + \dots; \quad -\infty < x < \infty \quad (\text{ก.3})$$

ดังนั้นจะแสดงกระแสคอลเลกเตอร์ I_{c2} และ I_{c4} ในรูปของอนุกรมเทย์เลอร์ (Taylor's Series) ของฟังก์ชันเอกซ์โพเนนเชียลได้ดังนี้

$$I_{c2} = I_o \left[1 + \left(\frac{V_{yx}}{V_T}\right) + \frac{1}{2!} \left(\frac{V_{yx}}{V_T}\right)^2 + \frac{1}{3!} \left(\frac{V_{yx}}{V_T}\right)^3 + \dots \right] \quad (\text{ก.4})$$

และ

$$I_{c4} = I_o \left[1 + \left(-\frac{V_{yx}}{V_T}\right) + \frac{1}{2!} \left(-\frac{V_{yx}}{V_T}\right)^2 + \frac{1}{3!} \left(-\frac{V_{yx}}{V_T}\right)^3 + \dots \right] \quad (\text{ก.5})$$

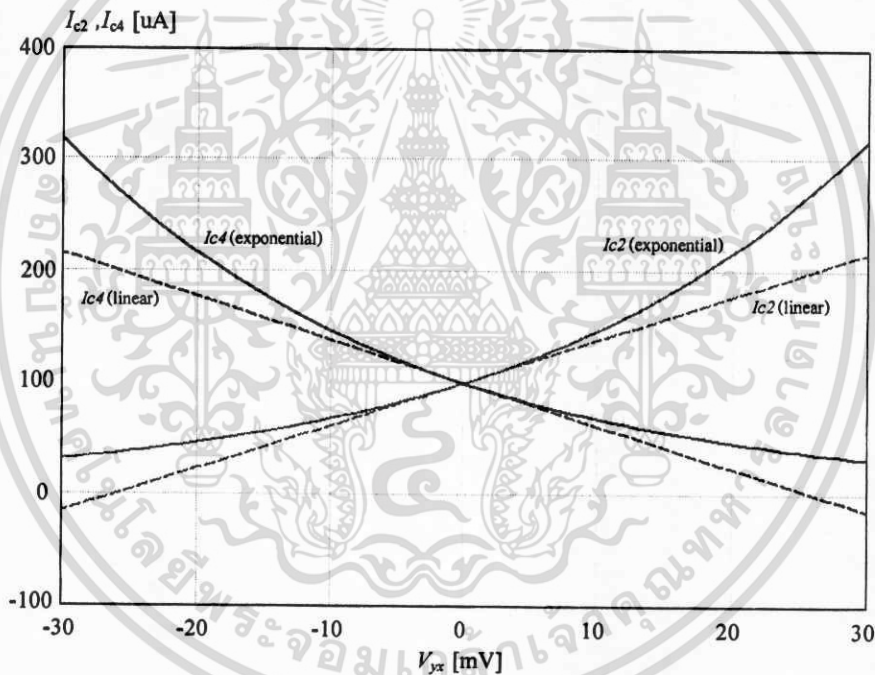
จากสมการ (ก.4) และ (ก.5) จะเห็นได้ว่า ถ้าค่า $V_{yx} \ll V_T$ มากๆ แล้วจะทำให้เทอมที่มีกำลังมากกว่าหนึ่งมีค่าน้อยมากเมื่อเทียบกับพจน์แรก จึงสามารถละทิ้งเทอมที่มีกำลังมากกว่าหนึ่งของอนุกรมได้ทำให้ประมาณได้ว่า $\exp\left(\frac{V_{yx}}{V_T}\right) \approx 1 + \left(\frac{V_{yx}}{V_T}\right)$ ซึ่งจะประมาณกระแส I_{c2} และ I_{c4} ได้ว่า

$$I_{c2} = I_o + I_o \left(\frac{V_{yx}}{V_T} \right) \quad (ก.6)$$

และ

$$I_{c4} = I_o + I_o \left(-\frac{V_{yx}}{V_T} \right) \quad (ก.7)$$

จากสมการ (ก.6) และ (ก.7) จะเห็นได้ว่ากระแสคอลเลกเตอร์ I_{c2} และ I_{c4} จะเป็นฟังก์ชันเชิงเส้น และมีค่าแปรผันตามแรงดัน V_{yx} เพื่อความชัดเจนจะได้พล็อตกราฟของกระแส I_{c2} และ I_{c4} ในสมการ (ก.1) และ (ก.2) เปรียบเทียบกับสมการ (ก.6) และ (ก.7) ด้วยโปรแกรมคำนวณทางคณิตศาสตร์ โดยกำหนดให้กระแส $I_o = 100\mu A$ และ $V_T = 26mV$ ผลจากการพล็อตกราฟแสดงได้ดังรูป ก.1



รูปที่ ก.1 เปรียบเทียบกระแสคอลเลกเตอร์ในสมการเอกซ์โพเนนเชียลกับสมการเชิงเส้น

จากรูป ก.1 จะเห็นได้อย่างชัดเจนว่าสามารถประมาณกระแสคอลเลกเตอร์ I_{c2} และ I_{c4} ว่าเป็นเชิงเส้นได้เมื่อแรงดันอินพุต $V_{yx} \ll 26mV$ สังเกตได้จากการที่กราฟกระแสของ I_{c2} และ I_{c4} (exponential) ทับสนิทกับกราฟกระแส I_{c2} และ I_{c4} (linear) ดังนั้นกระแสเอาต์พุตของวงจรทรานซิสเตอร์ผสมซึ่งมีค่าเท่ากับ $I_x = I_{c2} - I_{c4}$ จะเป็นเชิงเส้นในช่วงที่แรงดันอินพุตมีค่า $V_{yx} \ll V_T$ เช่นกัน ซึ่งจะเห็นได้ว่าเป็นช่วงการทำงานที่ไม่กว้างนัก

ภาคผนวก ข
ขนาดของฮาร์โมนิกส์ที่สาม และฮาร์โมนิกส์ที่ห้า
ที่ส่งผลต่อสัญญาณเอาต์พุต

เมื่อพิจารณาความสัมพันธ์ระหว่างแรงดัน V_{yx} และกระแส I_x ของวงจรถูปรานสลิเนียร์ ผสม [1] จะแสดงได้ดังนี้คือ

$$I_x = 2I_o \sinh\left(\frac{V_{yx}}{V_T}\right) \quad (\text{ข.1})$$

จากสมการ (ข.1) เมื่อทำการกระจายฟังก์ชัน \sinh ด้วยอนุกรมเทย์เลอร์จะได้ว่า

$$I_x = 2I_o \left(\frac{V_{yx}}{V_T}\right) + \frac{2I_o}{6} \left(\frac{V_{yx}}{V_T}\right)^3 + \frac{2I_o}{120} \left(\frac{V_{yx}}{V_T}\right)^5 + \dots \quad (\text{ข.2})$$

เมื่อพิจารณาสมการ (ข.2) จะเห็นได้ว่าเมื่อแรงดันอินพุต $V_{yx} \ll V_T$ จะทำให้เทอมที่มีกำลังสูงๆ มีค่าน้อยมาก จนสามารถละทิ้งได้ ซึ่งทำให้สามารถประมาณกระแส I_x ให้เป็นฟังก์ชันเชิงเส้นได้ แต่เมื่อแรงดันอินพุต $V_{yx} > V_T$ จะส่งผลทำให้เทอมที่มีกำลังอันดับสามขึ้นไปมีค่ามาก จึงทำให้ไม่สามารถประมาณกระแส I_x ให้เป็นฟังก์ชันเชิงเส้นได้อีกต่อไป และจะสังเกตเห็นได้ว่าฟังก์ชัน \sinh จะไม่มีเทอมที่ยกกำลังคู่เลย ดังนั้นความผิดเพี้ยนของสัญญาณเอาต์พุตจะเกิดจากผลของอนุกรม \sinh กำลังคี่เท่านั้น ซึ่งโดยส่วนใหญ่การวิเคราะห์ความเพี้ยนของสัญญาณเอาต์พุตที่เกิดจากเทอมที่มีกำลังอันดับที่สาม ก็เพียงพอที่จะเห็นภาพของความไม่เป็นเชิงเส้นที่เกิดขึ้นกับกระแส I_x แล้ว อย่างไรก็ตามควรจะระบุช่วงแรงดันอินพุตด้วย เนื่องจากเมื่อแรงดันอินพุตมีขนาดใหญ่ขึ้นจะส่งผลทำให้เทอมที่มีกำลังสูงๆ นั้นมีขนาดที่ใหญ่มากกว่าเทอมที่มีกำลังอันดับที่สามด้วย

ดังนั้นจากสมการ (ข.2) เพื่อตรวจสอบหาช่วงแรงดันอินพุต (V_{yx}) ที่ส่งผลให้เทอมกำลังอันดับที่ห้าขึ้นไปมีค่ามากกว่าเทอมที่มีกำลังอันดับที่สาม ซึ่งในการวิเคราะห์จะเริ่มจากการหาค่าแรงดันอินพุต (V_{yx}) ที่ทำให้เทอมกำลังอันดับที่ห้ามีค่าเท่ากับเทอมที่มีกำลังอันดับที่สาม ซึ่งจากสมการ (ข.2) จะแสดงการวิเคราะห์ที่ได้ดังนี้

$$\frac{2I_o}{6} \left(\frac{V_{yx}}{V_T}\right)^3 = \frac{2I_o}{120} \left(\frac{V_{yx}}{V_T}\right)^5 \quad (\text{ข.3})$$

จากสมการ (ข.3) เมื่อหารทั้งสองข้างของสมการด้วย $\left(\frac{V_{yx}}{V_T}\right)^3$ จะได้ว่า

$$\frac{2I_o}{6} = \frac{2I_o}{120} \left(\frac{V_{yx}}{V_T}\right)^2 \quad (\text{ข.4})$$

จากสมการ (ข.4) จะได้ค่าของแรงดันอินพุต (V_{yx}) ที่ทำให้เทอมกำลังอันดับที่ห้ามีค่าเท่ากับ เทอมที่มีกำลังอันดับที่สามดังนี้คือ

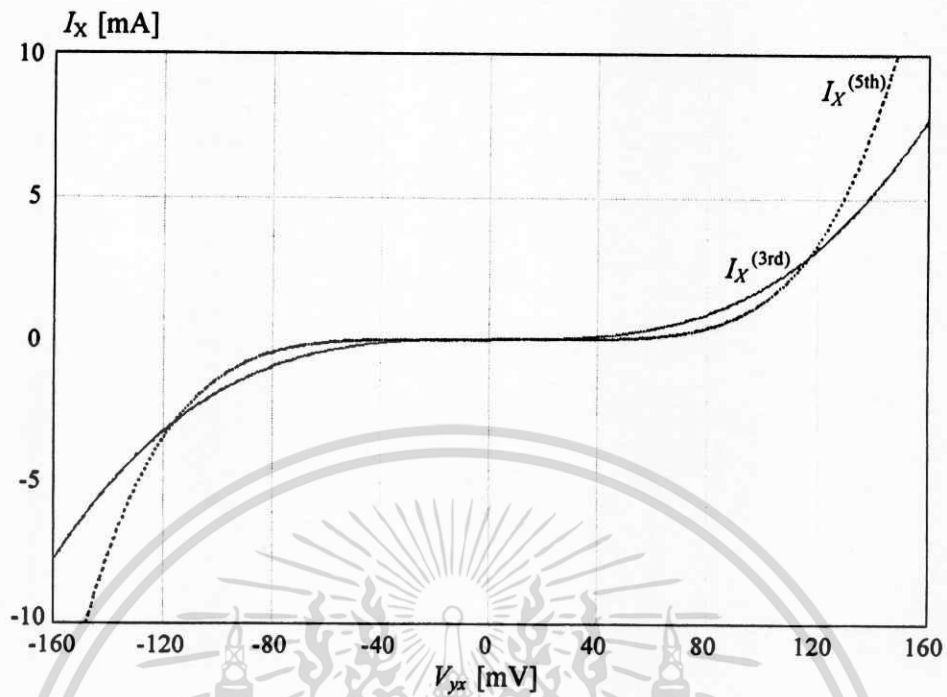
$$|V_{yx}| = \sqrt{20}V_T \quad (\text{ข.5})$$

จากสมการ (ข.5) ได้แสดงค่าของแรงดันอินพุตที่ทำให้ขนาดของฮาร์โมนิกส์ที่สามมีค่าเท่ากับขนาดของฮาร์โมนิกส์ที่ห้า ดังนั้นช่วงแรงดันอินพุต (V_{yx}) ที่ทำให้ขนาดของฮาร์โมนิกส์ที่ห้ามีค่ามากกว่าขนาดของฮาร์โมนิกส์ที่สามคือ

$$|V_{yx}| > \sqrt{20}V_T \quad (\text{ข.6})$$

จากสมการ (ข.6) ดังนั้นจะสามารถกล่าวได้ว่าเมื่อกำหนดให้ขนาดของแรงดันอินพุต $|V_{yx}| < \sqrt{20}V_T$ จะทำให้ขนาดของฮาร์โมนิกส์ที่สามมีค่ามากกว่าขนาดของฮาร์โมนิกส์ที่ห้า ซึ่งโดยทั่วไปค่าของแรงดัน V_T จะมีค่าประมาณ 26 mV ดังนั้นจะได้ว่าขนาดของแรงดันอินพุตที่ทำให้ผลของค่าความถี่ฮาร์โมนิกส์ที่สามส่งผลต่อความผิดเพี้ยนของสัญญาณเอาต์พุตมากกว่าผลของความถี่ฮาร์โมนิกส์ที่มีกำลังสูงๆ จะมีค่าอยู่ในช่วงประมาณเท่ากับ $|V_{yx}| < 116\text{mV}$ ซึ่งเป็นช่วงแรงดันอินพุตที่กว้างมากพอสำหรับการทำงานของวงจรทรานซิสลีนีร์ผสม

เพื่อให้มองเห็นภาพอย่างคร่าวๆ และง่ายต่อการทำความเข้าใจ จะได้พล็อตกราฟเปรียบเทียบเทอมที่มีกำลังอันดับที่สาม และเทอมที่มีกำลังอันดับที่ห้าของสมการ (ข.2) เมื่อให้แรงดันอินพุต (V_{yx}) มีค่าเปลี่ยนแปลงไป ด้วยโปรแกรมคำนวณทางคณิตศาสตร์ โดยกำหนดให้ $I_o = 100\mu\text{A}$ และ $V_T = 26\text{mV}$ ซึ่งแสดงกราฟได้ดังรูป ข.1



รูปที่ ข.1 เปรียบเทียบเทอมกำลังอันดับที่สาม และเทอมกำลังอันดับที่ห้าของกระแส I_x

ผลจากกราฟในรูป ข.1 จะเห็นได้ว่าขนาดของเทอมที่มีกำลังอันดับสามจะมีค่ามากกว่าเทอมที่มีกำลังอันดับห้าเมื่อ $|V_{yx}| < 116\text{mV}$ และเมื่อ $|V_{yx}| > 116\text{mV}$ จะเห็นได้อย่างชัดเจนว่าเทอมที่มีกำลังอันดับห้าจะมีค่ามากกว่าเทอมที่มีกำลังอันดับสาม ซึ่งผลที่ได้สอดคล้องกับทฤษฎีที่ได้กล่าวไว้เป็นอย่างดี

ภาคผนวก ค

สมการกระแสเอาต์พุตของวงจรทรานสลิเนียร์ที่นำเสนอ

เนื่องจากวงจรทรานสลิเนียร์ที่นำเสนอในวิทยานิพนธ์นี้นั้น เมื่อทำการวิเคราะห์วงจรได้พบว่าความสัมพันธ์ระหว่างกระแสเอาต์พุต I_{xN} และแรงดันอินพุต (V_{yxN}) ของวงจรที่นำเสนอ เป็นสมการที่มีความน่าสนใจเป็นอย่างยิ่ง กล่าวคือจะอยู่ในรูปของผลต่างของอนุกรมฟังก์ชัน sinh ซึ่งในบทที่ 3 นั้นได้แสดงเพียงแค่ 2-3 เทอมแรกเท่านั้น ทั้งนี้เพื่อความง่ายในการวิเคราะห์วงจร ดังนั้นในภาคผนวก ค นี้จะได้แสดงการวิเคราะห์โดยละเอียด

จากการวิเคราะห์วงจรทรานสลิเนียร์ที่นำเสนอดังแสดงในรูปที่ 3.3 จะได้สมการกระแสคอลเลกเตอร์ I_{c4} และ I_{c8} ของวงจรดังนี้

$$I_{c4} = -\frac{K_1}{2} e^{\left(\frac{V_{yxN}}{V_T}\right)} + \frac{\sqrt{K_1^2 + 4K_2\beta_n} e^{\left(\frac{V_{yxN}}{V_T}\right)}}{2} e^{\left(\frac{V_{yxN}}{V_T}\right)} \quad (\text{ค.1})$$

และ

$$I_{c8} = -\frac{K_1}{2} e^{\left(-\frac{V_{yxN}}{V_T}\right)} + \frac{\sqrt{K_1^2 + 4K_2\beta_p} e^{\left(\frac{V_{yxN}}{V_T}\right)}}{2} e^{\left(-\frac{V_{yxN}}{V_T}\right)} \quad (\text{ค.2})$$

เมื่อกำหนดให้ $K_1 = I_A + 2I_B$ และ $K_2 = I_B^2 + I_A I_B$

โดยกระแสเอาต์พุตของวงจรมีค่า

$$I_{xN} = I_{c4} - I_{c8} \quad (\text{ค.3})$$

ซึ่งเมื่อแทนค่ากระแส ในสมการ (ค.1) และ (ค.2) ลงในสมการ (ค.3) จะได้ว่า

$$I_{xN} = -K_1 \sinh\left(\frac{V_{yxN}}{V_T}\right) + \left\{ \frac{\sqrt{K_1^2 + 4K_2\beta_n} e^{\left(\frac{V_{yxN}}{V_T}\right)}}{2} e^{\left(\frac{V_{yxN}}{V_T}\right)} - \frac{\sqrt{K_1^2 + 4K_2\beta_p} e^{\left(\frac{V_{yxN}}{V_T}\right)}}{2} e^{\left(-\frac{V_{yxN}}{V_T}\right)} \right\} \quad (\text{ค.4})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (ค.4) แสดงกระแสเอาต์พุต I_{xN} ซึ่งเป็นผลมาจากผลต่างของกระแส I_{c4} และ I_{c8} จะเห็นได้ว่าการวิเคราะห์ความสัมพันธ์ระหว่างแรงดันจะทำได้ยาก ดังนั้นในเทอมที่สองซึ่งอยู่ในรูปของรากที่สอง (square root) จะอาศัยการกระจายฟังก์ชันรากที่สองด้วยอนุกรมเทย์เลอร์ เมื่อพิจารณาอนุกรมเทย์เลอร์สำหรับสมการทั่วไปจะได้ว่า

$$f(x) = f(a) + f'(a)(x-a) + \frac{f''(a)}{2!}(x-a)^2 + \frac{f'''(a)}{3!}(x-a)^3 + \dots + \frac{f^{(n)}(a)}{n!}(x-a)^n + \dots \quad (\text{ค.5})$$

จากสมการ (ค.5) ได้แสดงอนุกรมกำลังรอบจุด a ของฟังก์ชัน $f(x)$ ซึ่งเมื่อแสดงให้อยู่ในรูปของสมการผลรวมจะได้ว่า

$$f(x) = \sum_{n=0}^{\infty} \frac{f^{(n)}(a)}{n!} (x-a)^n \quad (\text{ค.6})$$

จากสมการ (ค.6) เมื่อพิจารณาให้ $a = 0$ เราจะเรียกใหม่ว่าอนุกรมแมคลอริน (Maclaurin series) เมื่อการกระจายฟังก์ชันรากที่สอง $\sqrt{c+x}$ ด้วยอนุกรมแมคลอรินจะได้

$$\sqrt{c+x} = \sqrt{c} \left(1 + \frac{1}{2c}x - \frac{1}{8c^2}x^2 + \frac{1}{16c^3}x^3 - \frac{5}{128c^4}x^4 + \frac{7}{256c^5}x^5 - \frac{21}{1024c^6}x^6 + \frac{33}{2048c^7}x^7 \dots \right) \quad (\text{ค.7})$$

เมื่อกระจายอนุกรมของฟังก์ชันรากที่สองในสมการ (ค.1) และ (ค.2) ด้วยอนุกรมแมคลอริน ดังนั้นจะแสดงกระแส I_{c4} และ I_{c8} ได้ใหม่ดังนี้

$$I_{c4} = -\frac{K_1}{2} e^{\frac{V_{gsN}}{V_T}} + \sqrt{K_2\beta} e^{\frac{1}{2} \frac{V_{gsN}}{V_T}} + \frac{K_1^2}{8\sqrt{K_2\beta}} e^{\frac{3}{2} \frac{V_{gsN}}{V_T}} - \frac{K_1^4}{128\sqrt{(K_2\beta)^3}} e^{\frac{5}{2} \frac{V_{gsN}}{V_T}} + \frac{K_1^6}{1024\sqrt{(K_2\beta)^5}} e^{\frac{7}{2} \frac{V_{gsN}}{V_T}} - \frac{5K_1^8}{32768\sqrt{(K_2\beta)^7}} e^{\frac{9}{2} \frac{V_{gsN}}{V_T}} + \dots \quad (\text{ค.8})$$

และ

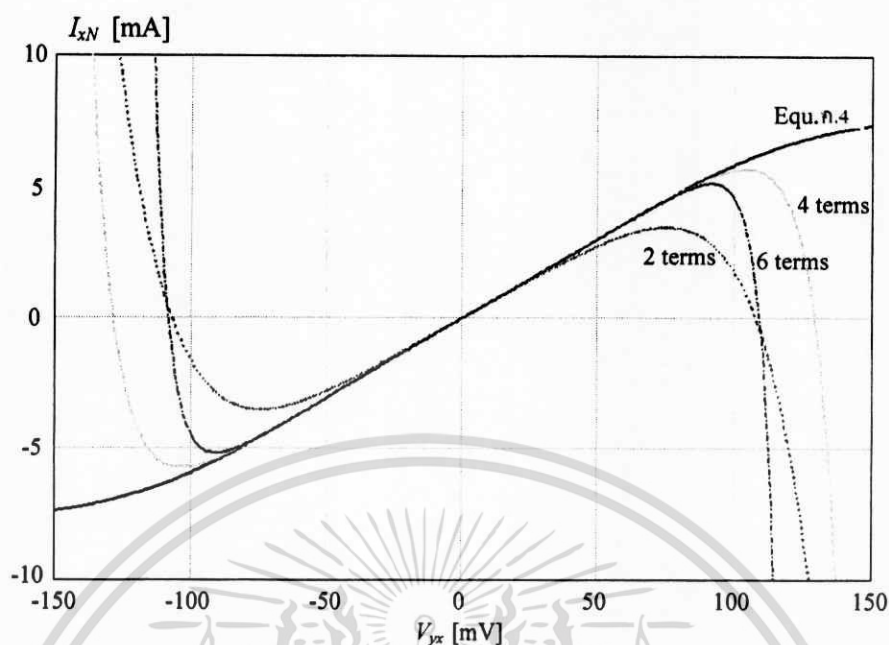
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 I_{c8} = & -\frac{K_1}{2} e^{-\frac{V_{yzN}}{V_T}} + \sqrt{K_2\beta} e^{-\frac{1V_{yzN}}{2V_T}} + \frac{K_1^2}{8\sqrt{K_2\beta}} e^{-\frac{3V_{yzN}}{2V_T}} - \frac{K_1^4}{128\sqrt{(K_2\beta)^3}} e^{-\frac{5V_{yzN}}{2V_T}} \\
 & + \frac{K_1^6}{1024\sqrt{(K_2\beta)^5}} e^{-\frac{7V_{yzN}}{2V_T}} - \frac{5K_1^8}{32768\sqrt{(K_2\beta)^7}} e^{-\frac{9V_{yzN}}{2V_T}} + \dots
 \end{aligned} \tag{ค.9}$$

ดังนั้นเมื่อนำสมการกระแส I_{c4} และ I_{c8} ในสมการ (ค.8) และ (ค.9) แทนค่าลงในสมการ (ค.3) และจัดรูปให้อยู่ในฟังก์ชัน sinh จะได้กระแสเอาต์พุต I_{xN} ดังนี้

$$\begin{aligned}
 I_{xN} = & -K_1 \sinh\left(\frac{V_{yzN}}{V_T}\right) + 2\sqrt{K_2\beta} \sinh\left(\frac{1V_{yzN}}{2V_T}\right) + \frac{K_1^2}{4\sqrt{K_2\beta}} \sinh\left(\frac{3V_{yzN}}{2V_T}\right) \\
 & - \frac{K_1^4}{64\sqrt{(K_2\beta)^3}} \sinh\left(\frac{5V_{yzN}}{2V_T}\right) + \frac{K_1^6}{512\sqrt{(K_2\beta)^5}} \sinh\left(\frac{7V_{yzN}}{2V_T}\right) \\
 & - \frac{5K_1^8}{1638\sqrt{(K_2\beta)^7}} \sinh\left(\frac{9V_{yzN}}{2V_T}\right) + \dots
 \end{aligned} \tag{ค.10}$$

จากสมการ (ค.9) จะเห็นได้อย่างชัดเจนว่ากระแสเอาต์พุต I_{xN} จะประกอบไปด้วยผลต่างของอนุกรม sinh ซึ่งมีผลทำให้ความไม่เป็นเชิงเส้นในฟังก์ชัน sinh มีการหักล้างกันเอง และส่งผลทำให้วงจรถานสลีเนียร์ที่นำเสนอมีช่วงการทำงานที่เป็นเชิงเส้นกว้างขึ้นจากวงจรถานเดิมมาก และเพื่อความชัดเจนจะได้พล็อตกราฟของกระแส I_{xN} ที่ประกอบไปด้วยอนุกรมผลต่างของฟังก์ชัน sinh ในสมการ (ค.10) เมื่อประกอบไปด้วย 2 เทอม 4 เทอม และ 6 เทอม โดยจะได้เปรียบเทียบกับสมการ (ค.4) ซึ่งเป็นสมการต้นแบบที่ประกอบไปด้วยเทอมรากที่สอง สำหรับในการพล็อตกราฟได้กำหนดให้ $\beta = 175$ และกระแสไบอัส $I_B = 50\mu A$ และกระแสไบอัส I_A จะถูกกำหนดตามสมการ (3.46) ซึ่งจากการคำนวณจะได้ค่ากระแสไบอัส $I_A = 390\mu A$ ผลที่ได้จากการพล็อตกราฟแสดงได้ดังรูปที่ ค.1



รูปที่ ค.1 เปรียบเทียบกราฟกระแส I_{xN} ที่ประกอบไปด้วยอนุกรมผลต่างของฟังก์ชัน sinh ในสมการ (ค.10) ที่มี 2 เทอม 4 เทอม และ 6 เทอม กับฟังก์ชันต้นในสมการ (ค.4)

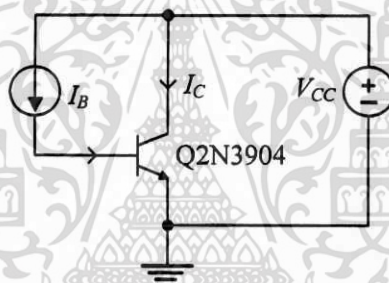
ผลจากการพล็อตกราฟกระแส I_{xN} ในรูปที่ (ค.1) จะเห็นได้ว่ากระแส I_{xN} ในสมการ (ค. 4) จะค่อนข้างเป็นเชิงเส้น ซึ่งทำให้วงจรทรานสลิเนียร์ที่นำเสนอในวิทยานิพนธ์นี้มีช่วงการทำงานที่เป็นเชิงเส้นกว้างกว่าวงจรถัดไป และจากการพิจารณากราฟกระแส I_{xN} ในสมการ (ค.10) เมื่อพล็อตเพียง 2 เทอม 4 เทอม และ 6 เทอม จะเห็นได้ว่าในช่วงที่แรงดันอินพุต $|V_{yxN}| \cong 0V$ กราฟกระแส I_{xN} ที่ประกอบไปด้วย 6 เทอมดังแสดงในสมการ (ค.10) จะมีการทับสนิทกับกระแสต้นแบบ I_{xN} ในสมการ (ค. 4) ได้ดีกว่ากรณีที่ประกอบไปด้วย 2 เทอม และ 4 เทอม แต่เมื่อพิจารณาในช่วงที่ $|V_{yxN}| \gg 0V$ จะเห็นได้ว่ากรณีที่กระแส I_{xN} ประกอบไปด้วย 6 เทอม จะมีการลู่เข้าสู่ค่าอนันต์ได้เร็วกว่ากรณี 4 เทอม ทั้งนี้เป็นผลมาจากกำลังที่มีอันดับสูงๆ ส่งผลต่อสมการมากขึ้น อย่างไรก็ตามในกรณีที่การลู่เข้าสู่อนันต์ของกระแส I_{xN} ประกอบไปด้วย 2 เทอมนั้นเร็ว เนื่องจากในเทอมแรกขนาดของแรงดัน $|V_{yxN}|$ มีค่าค่อนข้างใหญ่ เมื่อเปรียบเทียบกับเทอมที่สอง

อย่างไรก็ตามจะเห็นได้ว่าเมื่อกระแส I_{xN} ประกอบขึ้นจากอนุกรม sinh เพียง 2 เทอมแรก การทับสนิทกับกระแสต้นแบบ I_{xN} ในสมการ (ค. 4) จะอยู่ในช่วงที่แรงดันอินพุต $|V_{yxN}| < 50mV$ ซึ่งเป็นช่วงแรงดันที่เพียงพอสำหรับการวิเคราะห์ และทำให้การวิเคราะห์วงจรถ่างง่ายขึ้นจากเดิมมาก

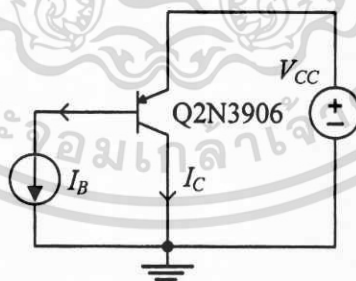
ภาคผนวก ง

การจำลองการทำงานเพื่อหาค่าอัตราขยายกระแส (β) ของทรานซิสเตอร์

เนื่องจากค่าอัตราขยายกระแส (β) ของทรานซิสเตอร์ที่นำมาใช้ประกอบในวงจรจะมีส่วนสำคัญเป็นอย่างมากต่อการปรับค่าอัตราส่วนระหว่างกระแสไอส์ I_C และ I_B ของวงจรทรานซิสลิเนียร์ที่ได้นำเสนอในวิทยานิพนธ์นี้ ทั้งนี้เพื่อให้ผลของความเพี้ยนของสัญญาณเอาต์พุตที่เกิดจากความถี่ฮาร์โมนิกส์ที่สามของวงจรทรานซิสลิเนียร์ผสมที่ได้นำเสนอในรูปที่ 3.3 มีค่าลดลง ดังนั้นจึงได้ทดลองหาค่าอัตราขยายกระแสของทรานซิสเตอร์ที่ใช้ประกอบในวงจรคือ ชนิด NPN เบอร์ 2N3904 และชนิด PNP เบอร์ 2N3906 โดยการต่อวงจรเพื่อจำลองการทำงานด้วยโปรแกรม PSPICE ดังแสดงในรูปที่ ง.1 สำหรับทรานซิสเตอร์ชนิด NPN เบอร์ 2N3904 และรูปที่ ง.2 สำหรับทรานซิสเตอร์ชนิด PNP เบอร์ 2N3906



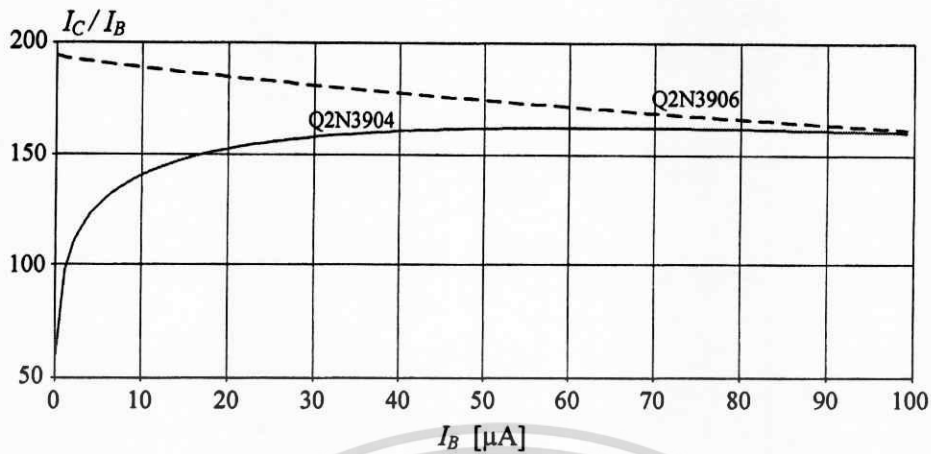
รูปที่ ง.1 วงจรจำลองการทำงานเพื่อหาค่า β ของทรานซิสเตอร์ NPN



รูปที่ ง.2 วงจรจำลองการทำงานเพื่อหาค่า β ของทรานซิสเตอร์ PNP

จากรูปที่ ง.1 และ ง.2 ได้กำหนดให้แรงดัน $V_{CC} = 2V$ และกระแส I_B มีค่าเปลี่ยนแปลงตั้งแต่ $1\mu A - 10\mu A$ และวัดผลของอัตราส่วนระหว่างกระแส I_C และ I_B ($\beta = \frac{I_C}{I_B}$) ผลที่ได้จากการจำลองการทำงานแสดงได้ดังรูปที่ ง.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 ค่า β ของทรานซิสเตอร์ชนิด NPN และ PNP ที่ได้จากการจำลองการทำงาน

จากผลจำลองการทำงานที่แสดงในรูป 3.3 จะเห็นได้ว่าค่า β ของทรานซิสเตอร์ทั้งสองจะมีค่าเปลี่ยนตามกระแส I_B โดยที่ทรานซิสเตอร์ชนิด NPN (β_n) จะมีค่าประมาณ 150-160 ในขณะที่ของทรานซิสเตอร์ชนิด PNP (β_p) มีค่าประมาณ 160-200 ซึ่งจากกราฟจะเห็นได้ว่าค่า β ของทรานซิสเตอร์ชนิด NPN จะมีการเปลี่ยนแปลงน้อยกว่าของทรานซิสเตอร์ชนิด PNP นอกจากนี้จะสังเกตเห็นได้ว่าค่า β ของทรานซิสเตอร์ชนิด NPN และชนิด PNP นั้นมีค่าไม่เท่ากัน ซึ่งเป็นสาเหตุหนึ่งที่ทำให้วงจรทรานซิสเตอร์ที่นำเสนอมีค่าแรงดันออฟเซตเกิดขึ้น ดังแสดงในรูปที่ 3.10 (ข)

เนื่องจากกระแสเบส (I_B) ที่ใช้ในวงจรทรานซิสเตอร์ที่นำเสนอได้กำหนดให้มีค่าเปลี่ยนแปลงอยู่ในช่วง $10\mu A - 100\mu A$ ดังนั้นในการจำลองการทำงานจึงได้ประมาณให้ค่า β ที่ใช้ในการจำลองการทำงานสำหรับชนิด NPN และ PNP มีค่าประมาณ 175 เท่า

ภาคผนวก จ
ผลงานวิชาการที่ได้รับการตีพิมพ์ระหว่างการศึกษา

International Symposium on Communications and Information Technologies 2006

ISCIT 2006

October 18-20, 2006
Grand Mercure Fortune Hotel, Bangkok, Thailand

TOP CCKEETING COMMITTEE SCHEDULE PROGRAM ABSTRACT AUTHOR'S INDEX

IEEE
International Symposium on Communications
and Information Technologies 2006
(ISCIT 2006)

October 18-20, 2006
Grand Mercure Fortune Hotel, Bangkok, Thailand

Office WEB site: www.international-symposium.com

ACCESS

Sponsored by:
NECTEC, Thailand
ECTI, Thailand
King Mongkut's Institute of Technology Ladkrabang, Thailand
IEEE Circuits and Systems Society

Technical Sponsored by: IEICE, Japan

©2006 IEEE. Partial use of this material is permitted. However, permission to reprint or publish this material for advertising or promotional purposes, for creating new collective works, for resale, or redistribution to servers or lists, or to reuse any copyrighted component parts in other works, must be obtained from the IEEE.

IEEE Catalog Number: PC06019 ISBN: 0-7803-9741-X Library of Congress: 2006027941

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A Low Voltage Four-Quadrant Analog Multiplier Using Triode-MOSFETs

N. Kiatwarin*, C. Sawigun** and W. Kiranon*

* Department of Telecommunication Engineering, Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang, THAILAND
Tel: (662) 9883655 Ext. 239, Email: narumol@mut.ac.th

**Department of Electronic Engineering
Mahanakorn University of Technology
51 Chueam Samphan Rd. Nong-Chok Bangkok 10530, THAILAND
Tel: (662) 9883655 Ext. 239, Email: chotharn@mut.ac.th

Abstract— A low voltage four-quadrant analog multiplier circuit is presented. Based on triode region operation of MOSFET, the multiplier circuit can be simply realized by connecting a pair of PMOS with three flipped voltage follower circuits. As a result, the proposed circuit is compact and can be operated under low voltage supply. Circuit simulation using SPICE with 0.35 micron CMOS model parameter shows that under 1.5V single supply the proposed multiplier provides linear range of more than 50% of voltage supply (measured from THD less than 1%) and small signal bandwidth is higher than 95MHz while the entire circuit consumes 46.4 μ W of electrical power.

I. INTRODUCTION

An analog multiplier is widely used in many signal processing applications such as modulator, frequency doublers, absolute value circuit, and etc. These applications are required to operate in low voltage environment for consolidating their power efficiency and incorporating with modern digital systems. For this reason, circuit architectures for the analog multiplier also need to be developed to operate in the reduced voltage supply while their performances are still maintained [1].

Using MOSFET in triode region is considered as a good candidate for realizing the analog multiplier due to high linearity and low level of bias voltage. Therefore several architectures of the triode-multiplier have been proposed [2]-[5]. Under ± 1.5 V supply, [3] proposed a compact structure for a triode-multiplier using source follower with local negative feedback [6]. The multiplier circuit provides wide input linear range but unfortunately a threshold mismatch problem is occurred. Trying to solve the mismatched problem, the triode-multiplier using regulated cascade circuits [7], to coupling input signal, has been presented in [4]. Although the mismatched problem is successfully eliminated, the overall circuit requires a voltage supply higher than ± 3 V which is unsuitable for a current trend of low voltage design.

In this paper, trying to reduce minimum voltage supply requirement, we proposed a new compact multiplier circuit which is based on a similar principle used in [3] and [4]. The

proposed circuit is realized by using a low voltage circuit cell called "flipped voltage follower," which has been employed in [5] and can be operated under 1.5V supply, to coupling input signal into the low impedance node of the multiplier core for avoiding loading effect. We then obtain a four quadrant analog multiplier without any mismatched problem and can be properly operated under low voltage supply. In order to confirm the validation of the proposed circuit, we have simulated the proposed multiplier in PSPICE using model parameter for 0.35 micron CMOS process and a good agreement between the proposed concept and simulation results is achieved.

This paper is organized as follows, basic circuits which are employed to realize our proposed circuit including a PMOS pair which is stated as a core circuit used to realize the multiplication function and a basic operation of the flipped voltage follower circuit are described. Next, the proposed multiplier circuit with a first order analysis detail will be presented in Section III. In addition, simulation results and conclusion are shown in Section IV and V, respectively.

II. REALIZING MULTIPLICATION FUNCTION USING TRIODE-MOSFETs

The main circuit which is used for realizing a four quadrant analog multiplier is shown in Fig. 1. It comprises a pair of PMOS transistors (MX and MY). Their body terminals are connected to V_{DD} results in balanced physical structure. Thus, the drain current can flow in bi-direction either from drain to source or from source to drain terminals. Usually the directions of the current depend on a potential of voltage between each terminal. Considering the circuit in Fig. 1, under the condition that [8]-[10]

$$V_{SG} > |V_{tp}| \quad (1a)$$

and

$$V_{SD} < V_{SG} - |V_{tp}| \quad (1b)$$

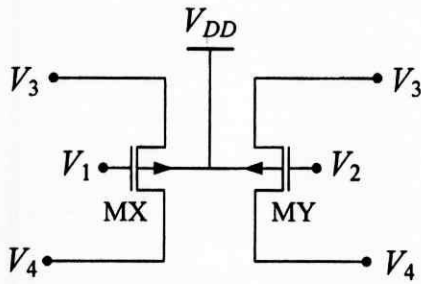


Fig. 1 A pair of PMOS transistor biased in triode region

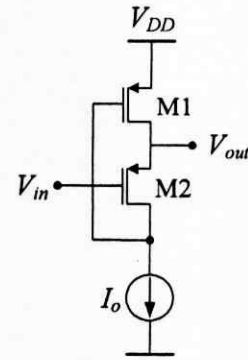


Fig. 2 Flipped voltage follower

,where V_{tp} is the threshold voltage of PMOS transistor, V_{SG} is the different voltage between source and gate terminals and V_{SD} is the different voltage between source and drain terminals. Referring to Fig. 1, it is obvious that $V_{SD} = V_3 - V_4$, $V_{SGX} = V_3 - V_1$ and $V_{SGY} = V_3 - V_2$. Then drain current of each transistor can be expressed as

$$I_{DX} = \beta_x (2V_{31}V_{34} - 2|V_{tp}|V_{34} - V_{34}^2) \quad (2)$$

and

$$I_{DY} = \beta_y (2V_{32}V_{34} - 2|V_{tp}|V_{34} - V_{34}^2) \quad (3)$$

,where $\beta_i = 0.5\mu_p C_{ox} (W/L)$ is the process transconductance parameter.

Realizing multiplication function can be done by setting dimension of each transistor to satisfy the condition that $\beta_x = \beta_y = \beta$ and subtracting the drain currents in (2) and (3) yields

$$I_{out} = I_{DX} - I_{DY} = 2\beta V_{12}V_{34} \quad (4)$$

It can be seen that the output current appeared in (4) is in from of a multiplication function between V_{12} and V_{34} .

However, since while the currents are conducting impedances at the source-drain terminals become low, the signals V_3 and V_4 cannot be directly applied. For avoiding loading effect and trying to reduce voltage supply, a Flipped Voltage Follower (FVF) [11] is employed for buffering. The operating principle of FVF will be briefly described as follows.

A circuit cell which is known as Flipped Voltage Follower (FVF) is shown in Fig. 2. It consists of PMOS transistors M1 and M2 which are biased by a constant current source I_o . From the circuit arrangement, it is evident that this circuit can be operated under a supply voltage of $V_{SG} + V_{SD(sat)}$ such that it is popularly used in low voltage applications. Since an inherent feedback loop contained in the circuit structure, output impedance of this circuit is forced to be very low as $1/g_{m1}g_{m2}r_{o2}$, typically is in the order of ten ohms.

III. PROPOSED CIRCUIT

Fig. 3 shows the proposed circuit which is constituted by connecting a pair of PMOS in Fig. 1 to the FVF cell (M1-M6) in Fig. 2. The FVFs are used here for two functions, first for buffering voltages V_3 and V_4 to the source and drain terminals of MX and MY, respectively. Second, sensing the drain current I_{DX} and I_{DY} and copying them to be output currents pass through unity gain current mirrors M1, M7 and M5, M8. Both drain currents are converted to be a differential output voltage by load resistors R in form of the relation that

$$V_{out} = V_{o1} - V_{o2} = R(I_{DX} - I_{DY}) \quad (5)$$

Substituting (4) into (5) yields

$$V_{out} = 2\beta R V_{12}V_{34} \quad (6)$$

Here, an offset-free four quadrant analog multiplier is obtained. Its gain of the circuit can be adjusted by the load resistor R and the dimensions of each MOS via the process transconductance parameter β .

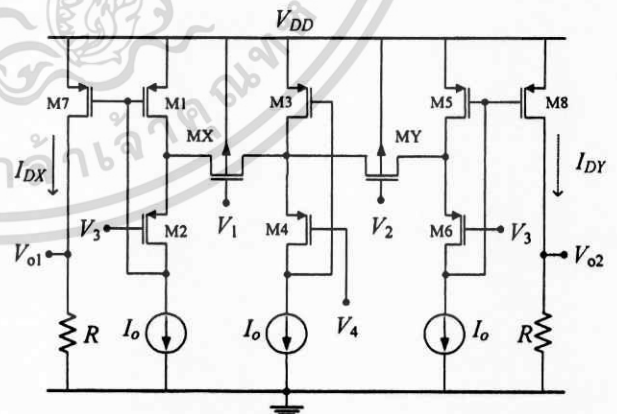


Fig. 3 The proposed four quadrant analog multiplier circuit

IV. SIMULATION RESULTS

To verify the proposed concept, the multiplier circuit in Fig. 3 was designed and simulated using PSPICE for 0.35 micron CMOS process parameter with main parameters of $V_{tn} \cong 0.55V$ and $V_{tp} \cong -0.71V$. The constant current sources I_o are replaced by simple current mirrors circuits and set to be $5\mu A$ for biasing all FVF circuits. Dimensions of all MOSFETs show in table I and the load resistors were set to be $50\text{ k}\Omega$. Supply voltage V_{DD} and an input common mode voltage were set to be, $1.5V$, and $0.1V$, respectively. Quiescent power consumption of an overall multiplier circuit is $46.4\ \mu W$.

Fig. 4 shows simulated DC transfer characteristics of the proposed multiplier, when V_{34} was varied from -400 mV to 400 mV by sweeping V_{12} from -400 mV to 400 mV with 100 mV step size. Similar results were obtained by interchanging V_{12} and V_{34} . It can be observed that the linear range of V_{34} is approximately $\pm 400\text{ mV}$.

Fig. 5 shows simulated AC responses of the multiplier for various gains set by sweeping V_{12} from 100 mV to 400 mV with 100 mV step size. It can be seen that the bandwidth is higher than 95 MHz for all gains.

Time domain representations of the multiplier which was applied as frequency doublers and amplitude modulator are shown in Fig. 6. For the frequency doublers, both input were applied by 400 mV , 100 kHz -sinusoidal signal and the result has shown in Fig. 6(a). For amplitude modulation, a $0.4V$, 1 kHz -triangular modulating V_{12} and 400 mV , 25 kHz -sinusoidal carrier signal V_{34} were applied at the inputs, the result shows in Fig. 6 (b).

The linearity of the multiplier is estimated by total harmonic distortion (THD). By fixing V_{12} at 500 mV and applying V_{34} as a 25 kHz sinusoidal signal with various amplitudes, the resulted THD is displayed in Fig.7. It can be seen that the maximum amplitude of V_{34} with the THD appeared below 1% is higher than 400 mV .

For the sake of convenient and clarity, some simulated performances of the proposed analog multiplier are also concluded in table II.

TABLE I
Dimensions of MOSFETs

| MOSFETs | W/L [$\mu\text{m}/\mu\text{m}$] |
|---------|-----------------------------------|
| MX, MY | 2/6 |
| M1- M6 | 15/1 |
| M7-M8 | 10/1 |

TABLE II
Simulated performance summary of the proposed multiplier

| | |
|-----------------------|---------------------|
| Power supply | 1.5 V |
| THD | $\leq 1\%$ |
| Input operating swing | $\pm 400\text{ mV}$ |
| Power consumption | $46.4\ \mu W$ |
| -3 dB Bandwidth | $> 95\text{ MHz}$ |

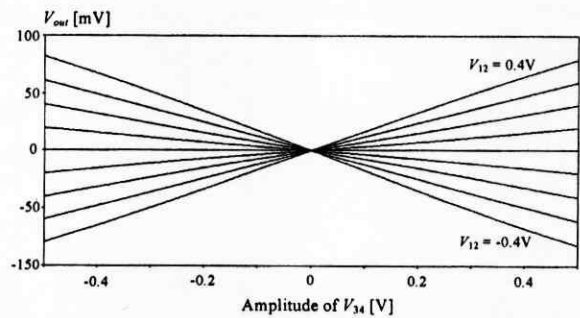


Fig. 4 DC transfer characteristic of the multiplier

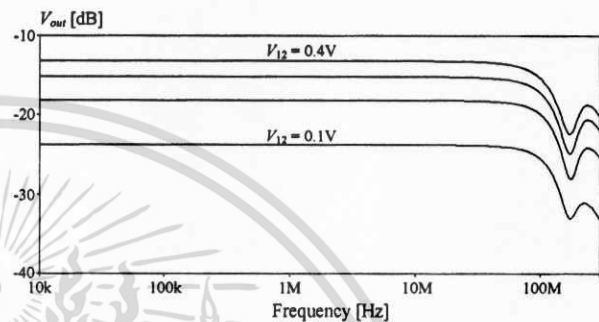


Fig. 5 Frequency response of the multiplier

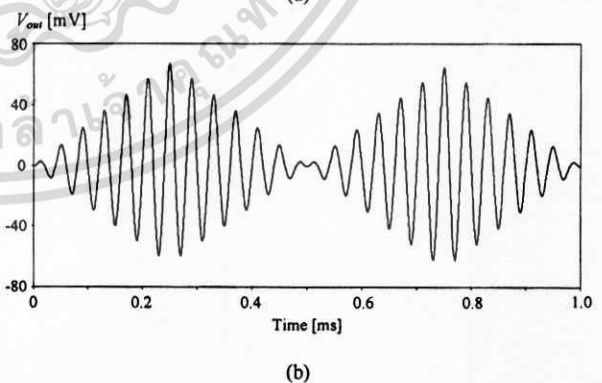
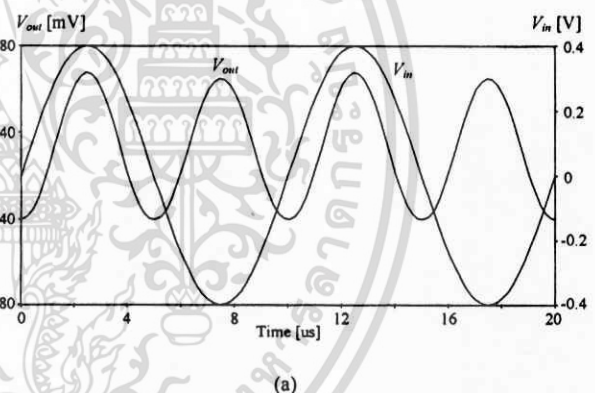


Fig. 6 Simulated output waveform of the multiplier
(a) Frequency doublers (b) an amplitude modulator

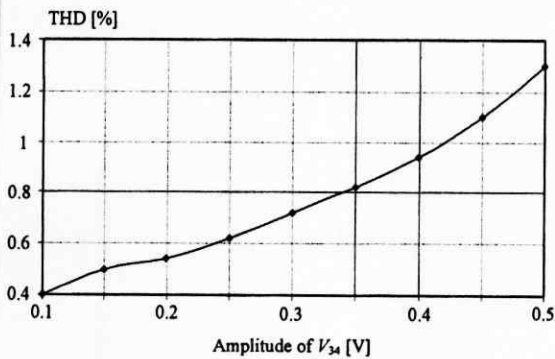


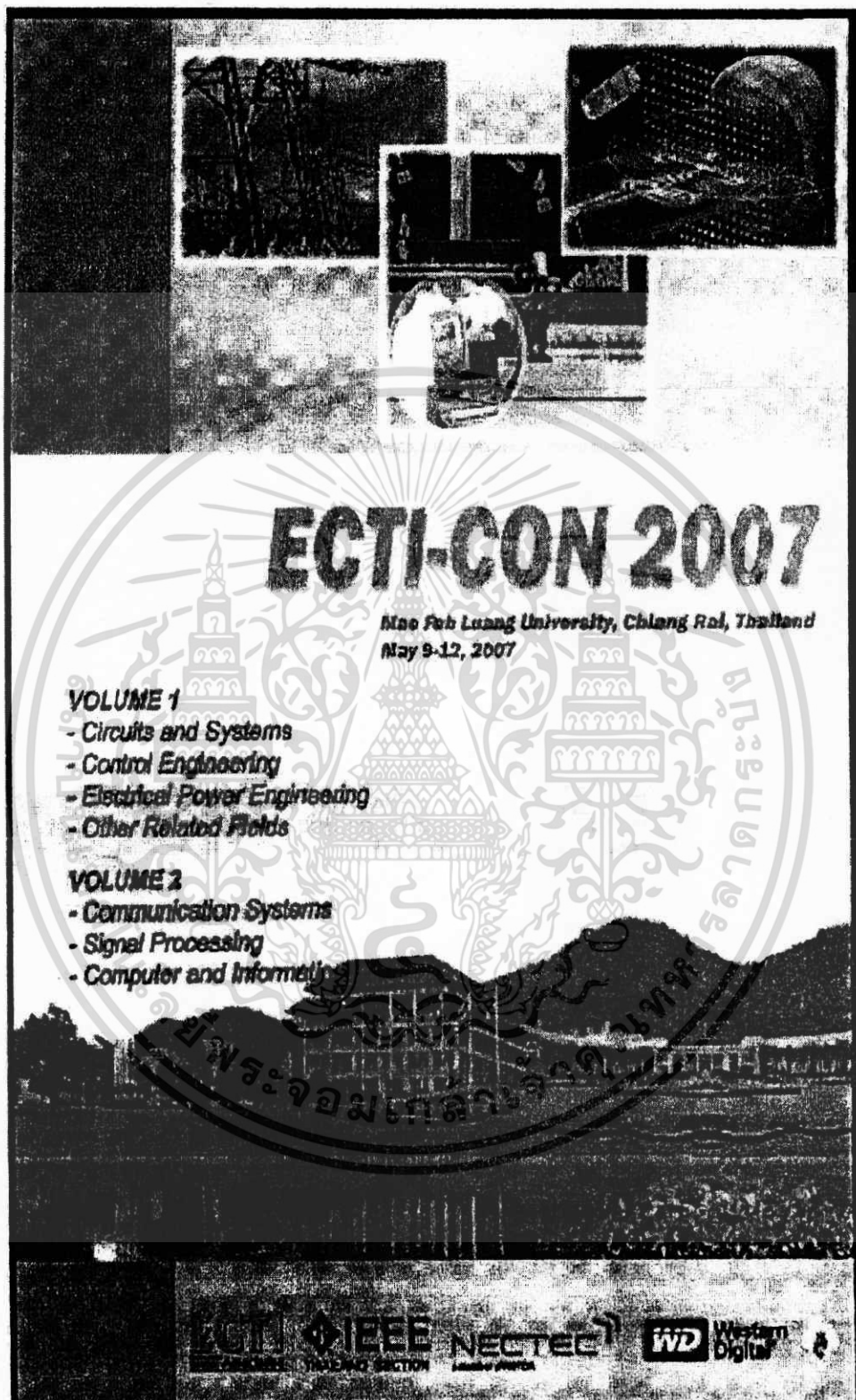
Fig. 7 Simulated THD with fixed V_{12} at 0.5V

V. CONCLUSIONS

A low voltage four-quadrant analog multiplier using MOSFETs operating in triode region has been presented. The proposed circuit can be simply realized by coupling an input signals in to the multiplier core (PMOS pair) pass through the low voltage buffers (FVF circuits). As a result, the circuit complexity and supply voltage requirement are reduced to be lower than that of the previously established circuits. For this reason, the proposed multiplier is suitable for low voltage low power applications confirmed by SPICE Simulations.

REFERENCES

- [1] S. Yan and E. Sanchez-Sinencio, "Low Voltage Analog Circuit Design Techniques: A Tutorial," *IEICE Trans. Analog Integrated Circuits and Systems*, vol. E00-A, no. 2, pp. 1-8, Feb. 2000.
- [2] G. Han and E. Sanchez-Sinencio, "CMOS Transconductance Multipliers: A Tutorial," *IEEE Trans. on Cir. & Sys. II*, vol.45, no. 12, pp. 1550-1563, Dec. 1998.
- [3] S.-I. Liu, "Low voltage CMOS four-quadrant multiplier," *Electronics Letters*, vol. 30, no. 25, pp. 2125-2126, Dec. 1994.
- [4] J.-H. Tsay, S.-I. Lui, J.-J. Chen and Y.-P. Wu, "CMOS four-quadrant multiplier using triode transistors based on regulated cascade," *Electronics Letters*, vol. 31, no. 12, pp. 962-963, Jun. 1995.
- [5] J. Ramirez Angulo, S. Thoutham, A. Lopez-Martin and R.G. Carvajal, "Low-voltage CMOS analogue four quadrant multiplier based on flipped voltage followers," *Electronics Letters*, vol. 39, no. 25, pp. 1771-1772, Dec. 2003.
- [6] T. Lakshmi Viswanathan, "CMOS Transconductance Element," *Proc. IEEE*, vol. 74, no.1, pp. 222-224, Jan. 1986.
- [7] E. Sackinger and W. Guggenbuhl, "A High-Swing, High-Impedance MOS Cascode Circuit," *IEEE J. Solid-State Circuits*, vol. 25, no. 1, pp. 289-298, Feb. 1990.
- [8] Adel S. Sedra and Kenneth C. Smith, *Microelectronics circuit*, Oxford University Press, Inc., 1991, ch. 5.
- [9] Paul R. Gray and Robert G. Meyer, *Analysis and Design of Analog Integrated Circuit*, John Wiley & Sons, Inc., 1997, ch. 1.
- [10] Phillip E. Allen and Douglas R. Holberg, *CMOS Analog Circuit Design*, Oxford University Press, 1987, ch. 3.
- [11] J. Ramirez Angulo, R.G. Carvajal, A. Torralba, J. Galan, A.P. Vega-Leal and J. Tombs, "The Flipped Voltage Follower: A useful cell for low-voltage low-power circuit design," *IEEE ISCAS'02*, Scottsdale, vol. III, pp. 615-618, May 2002.



The poster features a collage of images at the top: a forest, a globe, a satellite dish, and a person. The central text is 'ECTI-CON 2007' in large, bold letters. Below it, the location and dates are given: 'Mae Fah Luang University, Chiang Rai, Thailand' and 'May 9-12, 2007'. The poster is divided into two volumes of topics. A large, faint watermark of the Mae Fah Luang University seal is visible in the background. At the bottom, there are logos for IEEE, NECTEC, and WD (Western Digital).

ECTI-CON 2007
 Mae Fah Luang University, Chiang Rai, Thailand
 May 9-12, 2007

VOLUME 1

- Circuits and Systems
- Control Engineering
- Electrical Power Engineering
- Other Related Fields

VOLUME 2

- Communication Systems
- Signal Processing
- Computer and Information

IEEE NECTEC WD Western Digital

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

A Compact Low Voltage CMOS Four-Quadrant Analog Multiplier

N. Kiatwarin*, W. Ngamkham** and W. Kiranon*

* Department of Telecommunication Engineering, Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang, THAILAND
Tel: (662) 9883655 Ext. 239, Email: narumol@mut.ac.th

**Department of Control and Instrumentation Engineering
Mahanakorn University of Technology
51 Chuem Samphan Rd. Nong-Chok Bangkok 10530, THAILAND
Tel: (662) 9883655 Ext. 239, Email: wanaya@mut.ac.th

Abstract-In this paper, a compact low-voltage CMOS four-quadrant analog multiplier is proposed. The proposed circuit is obtained by rearranging circuit topology of a recently reported multiplier which is unpractical since the circuit topology itself needs an ideal voltage reference to form a multiplication function. By doing so, the ideal voltage reference is no longer required leading to achieve a new multiplier circuit with real compactness. Simulated results using PSPICE for 0.35 μ m CMOS process show that main performances of the proposed multiplier, including linearity, bandwidth and power consumption, are successfully improved.

In this paper, we propose a new multiplier circuit which is based on a similar technique to [8] but an arrangement of the circuit in transistor level is improved such that the extra voltage reference becomes redundant and can be eliminated. We then obtain a four quadrant analog multiplier with real compact structure. Therefore, some circuit performances of the proposed multiplier are successfully improved. In order to validate the circuit performances, the proposed multiplier has been simulated in PSPICE by using model parameter for 0.35 micron CMOS process. The results show that bandwidth, linearity and power consumption of the proposed circuit are better than those of the circuit in [8].

I. INTRODUCTION

Analog multipliers are found in many applications such as modulator, frequency doublers, absolute value circuit, and etc. These applications are required to operate in low voltage environment for improving their power efficiency and incorporating with mixed signal systems to be used in portable applications [1]. A number of circuit techniques for realizing a CMOS analog multiplier had been collected and systematically evaluated by G. Han and E. Sanchez-Sinencio [2].

According to [2], there are several means to realize a four quadrant analog multiplier and it is also suggested by [3] that using saturated MOSFET in strong inversion is more practical than any other means. Recently, based on a square-law relation of saturated MOSFET, various compact multiplier architectures which are constituted by a circuit cell called a "flipped voltage follower: FVF" [4], have been chronologically proposed in [5]-[8]. Most of them feature wide input range, high operating frequency and low power consumption which are resulted from excellent manipulations of the square-law function in high compactness structures.

Focusing on the latest version in [8], which is seemed to be the most compact circuit, it is found that the overall multiplier circuit can not be called compact since it requires an extra voltage reference connected between the resistive loads. To generate the extra voltage reference, more power consumption and circuit complexity are unavoidable.

The remaining of this paper is organized in the following sections, a basic concept for realizing the analog multiplier is introduced in Section II. Next, a modification of square rooting circuit used to form an analog multiplier is described in Section III. The proposed multiplier circuit is illustrated in Section IV. In addition, simulated results of the proposed multiplier and conclusion are presented in Section V and VI, respectively.

II. BASIC CONCEPT

Realizing a proposed analog multiplier and the multiplier in [8] is based on a similar approach showing in Fig. 1. It comprises a pair of common source amplifier (M1 and M2), which acts as input transistors to provide output currents in term of squaring functions of input voltages (V_1 and V_2), and two identical voltage controlled square root blocks which operate as non-linear cancellation paths. Injecting the output currents of the input transistors into the square root blocks, a differential output current of the overall circuit will become a multiplication function of two input signals V_{12} and V_{34} . More detail of mathematical analysis using square-law relation of saturated MOSFET in strong inversion will be shown in the paragraph below.

Assuming the MOSFET M1 and M2 are biased in active region and neglecting channel length modulation effect, the current I_A and I_B can be respectively found as

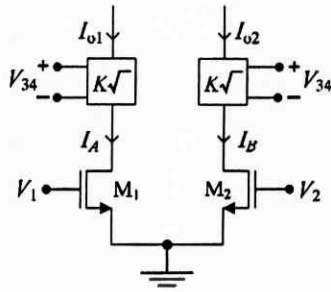


Figure 1. Basic concept for realizing a four quadrant analog multiplier.

$$I_A = \beta_n (V_1 - V_m)^2 \quad (1)$$

and

$$I_B = \beta_n (V_2 - V_m)^2, \quad (2)$$

where $\beta_n = 0.5\mu_n C_{ox}(W/L)$ is a transconductance parameter of each MOSFET and V_m is the threshold voltage of NMOS transistor.

From (1) and (2), the relationship between the current I_A and I_B and the differential input voltage $V_{12} = V_1 - V_2$ can be given by

$$\sqrt{I_A} - \sqrt{I_B} = V_{12} \sqrt{\beta_n} \quad (3)$$

The drain currents I_A and I_B are fed into the square root blocks controlled by V_{34} , results in

$$I_{out} = I_{o1} - I_{o2} = KV_{34}(\sqrt{I_A} - \sqrt{I_B}) \quad (4)$$

where K is the gain of the square root blocks.

Substituting (3) into (4), yields

$$I_{out} = K\sqrt{\beta_n} V_{12} V_{34} \quad (5)$$

It can be seen that an output current appeared in (5) is in form of a multiplication function between two input signals V_{12} and V_{34} .

Based on this approach, both linear transconductor [9] and four-quadrant analog multiplier [10] have been proposed. Unfortunately, the early works in [9] and [10] require more than 3V for supply voltage which is not sufficiently low for modern analog design. Subsequently, a new square rooting circuit operated under 1.5V single supply was proposed in [11] which can be applied as a compact four quadrant analog multiplier as well [8]. However, the multiplier in [8] is not practical since it requires an ideal voltage reference to create the multiplication function.

In the next section, the improved square root circuit which is more suitable for realizing an analog multiplier will be described.

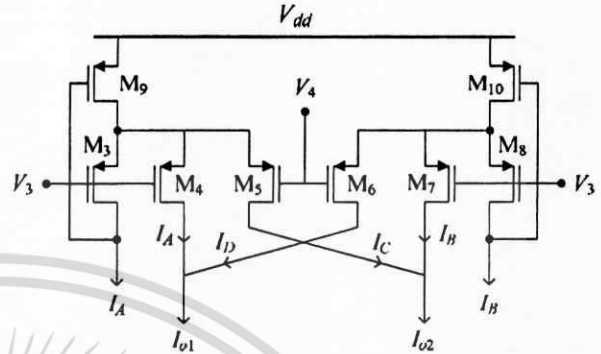


Figure 2. The proposed square rooting circuit.

III. SQUARE ROOTING CIRCUIT

A proposed square rooting circuit which is improved from [11] is shown in Fig.2. Using square-law relation of saturated MOSFET in strong inversion and setting M3-M8 to be identical, the currents I_C and I_D are found to be

$$I_C = \beta_p \left(V_{34} + \sqrt{\frac{I_A}{\beta_p}} \right)^2 \quad (6)$$

and

$$I_D = \beta_p \left(V_{34} + \sqrt{\frac{I_B}{\beta_p}} \right)^2, \quad (7)$$

where $\beta_p = 0.5\mu_p C_{ox}(W/L)$ is a transconductance parameter of each PMOS transistor and $V_{34} = V_3 - V_4$ is a differential control voltage.

Considering (6) and (7) in conjunction with the fact that $I_A + I_D = I_{o1}$ and $I_B + I_C = I_{o2}$ leading to

$$I_{o1} = \beta_p V_{34}^2 + 2V_{34} \sqrt{\beta_p} \sqrt{I_A} + I_A + I_B \quad (8)$$

and

$$I_{o2} = \beta_p V_{34}^2 + 2V_{34} \sqrt{\beta_p} \sqrt{I_B} + I_A + I_B \quad (9)$$

Subtracting (8) and (9), results in

$$I_{out} = I_{o1} - I_{o2} = 2V_{34} \sqrt{\beta_p} (\sqrt{I_A} - \sqrt{I_B}) \quad (10)$$

It is obvious that the output current of the improved square root circuit is a function of a square root of I_A and I_B and its gain can be adjusted by the voltage V_{34} and transconductance parameter β_p .

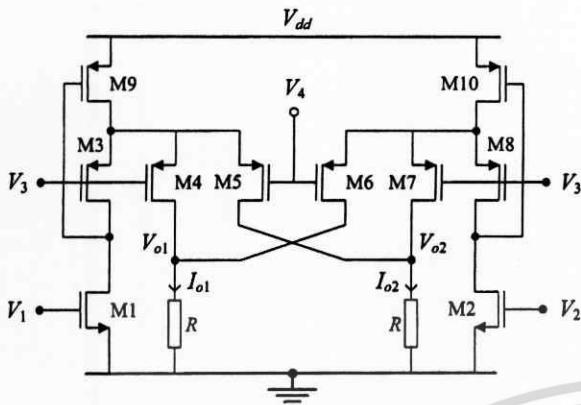


Figure 3. The proposed four quadrant analog multiplier circuit.

IV. PROPOSED MULTIPLIER CIRCUIT

Fig.3 shows the proposed multiplier circuit which is constituted by substituting the square rooting circuit in Fig. 2 into the square root blocks of Fig.1. Focusing on the differential output voltage we have found that

$$V_{out} = V_{o1} - V_{o2} = R(I_{o1} - I_{o2}), \quad (11)$$

Substituting (10) into (11), differential output voltage can be found as

$$V_{out} = 2RV_{34}\sqrt{\beta_p}\left(\sqrt{I_A} - \sqrt{I_B}\right) \quad (12)$$

Finally, substituting (3) into (12) yields

$$V_{out} = 2R\sqrt{\beta_n\beta_p}V_{12}V_{34} \quad (13)$$

Now, we have an output offset-free four quadrant analog multiplier and its gain can be adjusted by the load resistor R and the dimensions of each MOSFET.

V. SIMULATION RESULTS

The multiplier circuit in Fig. 3 was designed and simulated by using PSPICE for 0.35 micron CMOS process parameter with main parameters $V_m \cong 0.51$ and $V_p \cong -0.66$. The input voltage V_{12} and V_{34} are set to be balance with common mode voltages of $V_{C1} = 1V$ and $V_{C2} = 0.2V$, respectively and supply voltage V_{DD} is set at 1.8V. Transistor dimensions are listed in Table 1. Trying to avoid channel length modulation and short channel effects, the channel lengths of all transistors are set to be two times longer than 0.35 micron. The load resistors R are chosen to be 2.5 k Ω . At the quiescent point, power consumption of the proposed multiplier is 165 μW .

Fig. 4 shows simulated DC transfer characteristics of the proposed multiplier, when V_{12} was swept continuously from -0.4V to 0.4V while V_{34} was varied from -0.4V to 0.4V with

0.1V step size. It can be observed that the linear range of V_{12} is approximately $\pm 0.4V$.

Transient response of the multiplier operated as amplitude modulator is shown in Fig. 5. A 0.4V, 25 kHz sinusoidal carrier signal V_{12} shown in Fig. 5(a) was multiplied by a 0.4V, 1 kHz sinusoidal modulating signal V_{34} shown in Fig. 5(b). A resulting waveform is shown in Fig. 5(c).

Frequency response of the multiplier for various gains was set by sweeping V_{34} from 0.1V to 0.4V with 0.1V step size as the same condition of DC sweep and the results show in Fig. 6 demonstrating that bandwidth of the proposed circuit is higher than 110 MHz for all gains.

Circuit linearity is examined by simulated total harmonic distortion (THD), when V_{34} was fixed at 0.4V and applying various amplitudes of 25 kHz sinusoidal V_{12} . The result is displayed in Fig. 7 that less than 0.6% THD is achieved for V_{12} amplitude about 0.4V.

Comparative results of the simulated performances between this work and [8] are shown in table II.

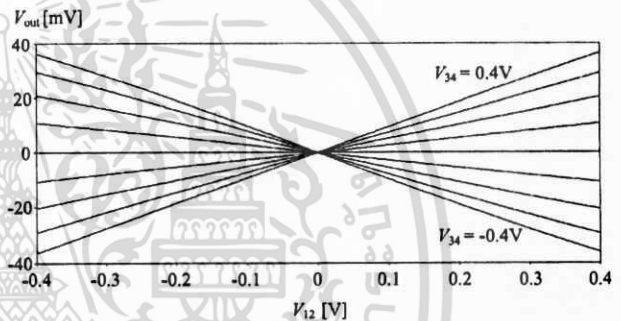


Figure 4. DC transfer characteristics.

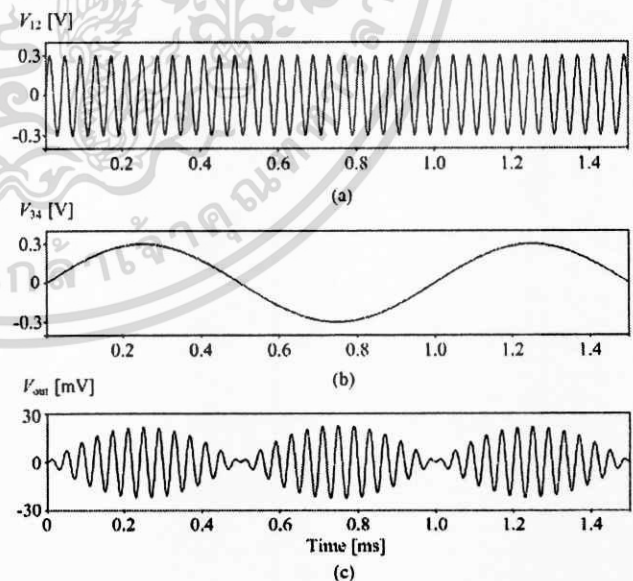


Figure 5. Output waveforms
(a) V_{12} sinusoidal carrier signal (b) V_{34} sinusoidal modulating signal
(c) Output waveform of amplitude modulator

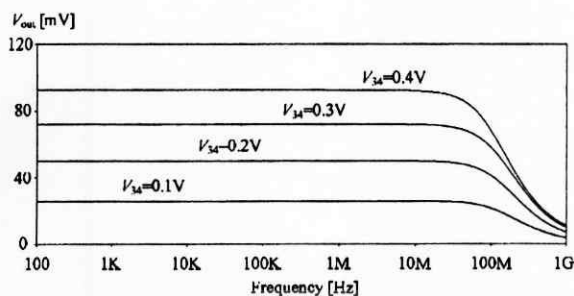


Figure 6. Frequency response.

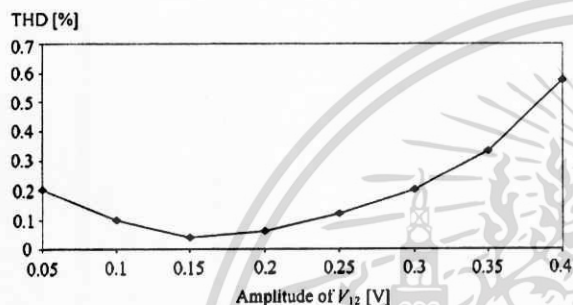


Figure 7. Simulated total harmonic distortion.

TABLE I
TRANSISTOR DIMENSION

| Transistor | W [μm] | L [μm] |
|------------|---------------------|---------------------|
| M1-M2 | 1 | 1 |
| M3-M8 | 3.5 | 1 |
| M9-M10 | 40 | 1 |

TABLE II

Comparison of simulated characteristics between the proposed multiplier and the multiplier in [8]

| Multiplier characteristic | Proposed | Ref. [8] |
|---|-------------|-------------|
| Power consumption [μW] | 165 | 200 |
| THD [%] | $\cong 0.6$ | $\cong 0.8$ |
| -3 dB Bandwidth [MHz] | >110 | >10 |
| Total physical area [μm^2]** | 103 | 672 |

* V_{S4} was fixed at 0.4V and V_{12} is a 25 kHz sinusoidal signal with amplitude of 0.4V

** roughly estimated from transistor dimensions

VI. CONCLUSION

A new square rooting circuit can be used for realizing a CMOS four-quadrant analog multiplier has been presented. The resulting multiplier circuit is improved to be more compact than the previous work. The extra voltage reference is not required for the proposed circuit. As a result, the proposed multiplier provides high bandwidth, high linearity and low static power consumption. Simulation results are given to verify the multiplier circuit performances.

ACKNOWLEDGMENT

The authors would like to thank C. Sawigun for useful suggestion and discussion.

REFERENCES

- [1] S. Yan and E. Sanchez-Sinencio, "Low Voltage Analog Circuit Design Techniques: A Tutorial," *IEICE Trans. Analog Integrated Circuits and Systems*, vol. E00-A, no. 2, pp. 1-8, Feb. 2000.
- [2] G. Han and E. Sanchez-Sinencio, "CMOS Transconductance Multipliers: A Tutorial," *IEEE Trans. Circuits Syst. II*, vol. 45, no. 12, pp. 1550-1563, Dec. 1998.
- [3] B. Maundy and M. Maini, "A Comparison of Three Multiplier Based on the V_{gs}^2 Technique for Low-Voltage Applications," *IEEE Trans. Circuits Syst. I*, vol. 50, no. 7, pp. 937-940, Jul. 2003.
- [4] R. G. Cavajal, J. Ramirez-Angulo, A. J. Lopez Matin, A. Torralba, J. A. Gomez Galan, A. Carlosena, and F. M. Chavero, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design," *IEEE Trans. Circuits Syst. I*, 2005, 52,(7), pp. 1276-1291.
- [5] J. Ramirez-Angulo, R.G. Carvajal, and J. Martinez-Heredia, "1.4V supply, wide swing, high-frequency CMOS analogue multiplier with high current efficiency," *Proc IEEE ISCAS*, May 2000, Geneva Switzerland, Vol. V, pp. 553-536.
- [6] A. Demosthenous, and M. Panovic, "Low voltage MOS linear transconductor/squarer and four-quadrant multiplier for analog VLSI," *IEEE Trans on Cir. and Syst. I: Regular paper*, vol. 52, no. 9, pp. 1721-1731, 2005.
- [7] C. Sawigun, and J. Mahattanakul, "A low voltage CMOS linear transconductor suitable for analog multiplier application," *Proc IEEE ISCAS'06*, pp. 1543-1546, KOS, Greece, 2006.
- [8] C. Sawigun and A. Demosthenous, "Compact low voltage CMOS four quadrant analog multiplier," *Electronics Letters*, vol. 39, no. 25, pp. 1771-1772, Sep. 2006.
- [9] J. Mahattanakul and C. Toumazou, "Independent control of transconductance gain and input linear range in a MOS linear transconductance amplifier," *Electronics Letters*, vol. 32, no. 18, pp. 1629-1630, Aug. 1996.
- [10] A. Hyogo, Y. Fukutomi and K. Sekine, "Low voltage four quadrant analog multiplier using square-root circuit based on CMOS pair," *Proc. of IEEE ISCAS'99*, pp. II 274-277, 1999.
- [11] C. Sawigun, N. Kiatwarin and W. Ngamkham, "A low voltage MOS linear transconductor with constant input linear range," *ECTI 2006*, vol. 1, pp. 167-170, Ubon Ratchathani, Thailand, 2006.

Contents continued from the front cover

| | |
|---|----------|
| Dual-Mode Dual-Band Microstrip Bandpass Filter Based on Fourth Iteration T-Square Fractal and Shorting Pin, <i>E. S. Ahmed</i> | 617 |
| Hybrid Coding Technique for Pulse Detection in an Optical Time Domain Reflectometer, <i>S. S. Muhammad, H. Mehmood, A. Naseem, A. Abbas</i> | 624 |
| Noise Parameters of CW Radar Sensors Used in Active Defense Systems, <i>V. Jenik, P. Hudec, P. Panek</i> | 632 |
| Wall Compensation for Ultra Wideband Applications, <i>A. H. Muqabel, N. M. Iya, U. M. Johar</i> | 640 |
| Universality and Realistic Extensions to the Semi-Analytic Simulation Principle in GNSS Signal Processing, <i>O. Jakubov, P. Kacmarik, P. Kovar, F. Vejrazka</i> | 647 |
| Cross-Correlation-Function-Based Multipath Mitigation Method for Sine-BOC Signals, <i>H. H. Chen, W. M. Jia, M. L. Yao</i> | 659 |
| The Model of the Low Rate Telemetry Communication System for Matlab-Simulink, <i>J. Spacek, M. Kasal</i> | 666 |
| Improving Link Reliability through Network Coding in Cooperative Cellular Networks, <i>Zs. A. Polgar, M. P. Stef, Zs. I. Kiss, A. Hosu, V. Bota</i> | 673 |
| Achievable Outage Rates in Cognitive Radio Networks under Imperfect Spectrum Sensing, <i>N. Tafaghodi Khajavi, S. M.-S. Sadough</i> | 683 |
| Time-Scale Domain Characterization of Time-Varying Ultrawideband Infostation Channel, <i>U.A.K. Chude-Okonkwo, R. Ngah, C.Y. Leow, T.A. Rahman</i> | 694 |
| High Dynamic Range RF Front End with Noise Cancellation and Linearization for WiMAX Receivers, <i>J.-M. Wu, C.-H. Yeh, C.-J. Chuang</i> | 704 |
| Linear Phase Second Order Recursive Digital Integrators and Differentiators, <i>M. Jain, M. Gupta, N. Jain</i> | 712 |
| A CMOS DCCII with a Grounded Capacitor Based Cascadable All-Pass Filter Application, <i>B. Metin, N. Herencsar, K. Vrba</i> | 718 |
| Low-Voltage Ultra-Low-Power Current Conveyor Based on Quasi-Floating Gate Transistors, <i>F. Khatib, N. Khatib, D. Kubánek</i> | 725 |
| A Modified Bipolar Translinear Cell with Improved Linear Range and Its Applications, <i>N. Merz, W. Kiranon, C. Wongtachathum, P. Pawarangkoon, W. Narksarp</i> | 736 |
| Third-Order Intermodulation Reduction in Mobile Power Amplifiers by the First Stage Bias Control, <i>J. H. Jung, C. H. Kwak, J. S. Lee</i> | 746 |
| Design of a 2.4 GHz High-Performance Up-Conversion Mixer with Current Mirror Topology, <i>Q.Z. Wan, C.H. Wang, F. Yu</i> | 752 |
| A Novel JPEG Steganography Method Based on Modulus Function with Histogram Analysis, <i>V. Banoci, G. Bugar, D. Levicky, Z. Klenovicova</i> | 758 |
| Watermarking FPGA Bitfile for Intellectual Property Protection, <i>J. Zhang, Y. Lin, Q. Wu, W. Che</i> | 764 |
| Downlink Video Streaming for Users Non-Equidistant from Base Station, <i>S. Pejowski, V. Kafedziski</i> | 772 |
| Information: | |
| Reviewers | 604, 711 |
| Communication Systems for Emerging Frequency Bands (KOSY) | 781 |
| Wireless Communication Teams (WICOMT) | 783 |
| Research Centre of Sensor, Information and Communication Technologies (SIX) | 784 |

A Modified Bipolar Translinear Cell with Improved Linear Range and Its Applications

Naruemol MERZ¹, Wiwat KIRANON², Chariya WONGTACHATHUM¹,
Prajub PAWARANGKOON³, Wipavan NARKSARP⁴

¹Faculty of Engineering, King Mongkuts Institute of Technology Ladkrabang, Thailand

²Department of Telecommunication Engineering, Faculty of Engineering
Mahanakorn University of Technology, Bangkok, Thailand

³Department of Electronics Engineering, Faculty of Engineering
Mahanakorn University of Technology, Bangkok, Thailand

⁴Department of Electrical Engineering, Faculty of Engineering
Siam University, Bangkok, Thailand

mouyja@gmail.com, wipavan.nar@siam.edu

Abstract. This paper presents a technique to extend the linear input voltage range of a sinh mixed translinear cell proposed by Fabre [1]. This technique extends the linear operation range of the circuit by inserting common-anode-connected pairs into the mixed translinear cell. Then the relationship between the output current and the input voltage is developed to be linear. The transconductance gain can be adjusted electronically while keeping its linearity. The performance of the proposed circuit is verified by mathematical analysis and by SPICE simulations. Finally, applications of the proposed cell in a floating resistor and a CCCII for designing an instrumentation amplifier are presented.

Keywords

Analog Integrated Circuit, Translinear Circuit, Linearization, Transconductance.

1. Introduction

The sinh mixed translinear cell [1] as described in Fig. 1 is a useful function block for analog signal processing since it is a combined voltage/current mode device which can be used to realize tunable transconductors without additive resistances. One familiar application is used for input front end of a second-generation current controlled conveyor (CCCII) [2] and an operational transconductance amplifier (OTA) [3], [4]. It can also be used as current controlled floating and/or grounded resistor [5], [6], [7] to help setting the operating condition in an electronic circuit such as oscillatory conditions in an oscillator circuit. However, the voltage-to-current characteristic (V - I characteristic) of this circuit is expressed as a hyperbolic sine function [8]. Thus the linear operation range is quite narrow. One of the technique to improve V - I characteristic is the multi-sinh technique [9]. The

main disadvantage of this technique is that the linear operation range increases with the number of series connected diodes which increases the chip area and the power consumption. Hence, in this paper, we propose a novel technique to extend the linear operating range of the sinh mixed translinear cell by adding common-anode-connected pairs into translinear circuits in order to provide a biasing current for transistors. This technique requires additional chip area for four additional transistors and increase the power consumption slightly. The proposed circuit is suitable for IC implementation and its electronically tunable features make it appealing for practical applications. Simulation results obtained confirm the validity of the theoretical analysis of the proposed design, in particular that the proposed principle improves the linearity of the sinh mixed translinear cell.

The organization of this paper is as follows. A review of mixed translinear cell is described in Section 2. In Section 3, the proposed mixed translinear cell with additional common-anode-connected pairs into the translinear loop is shown. First, the extended linear input range is derived using mathematical approaches. The theoretical results are then verified using simulations. The outcomes of the simulations are shown in Section 4. In Section 5, a floating resistor and the CCCII for design an instrumentation amplifier are demonstrated as an example of applications for the proposed mixed translinear cell. Finally, our work is concluded in Section 6.

2. Review of Mixed Translinear Cells

The schematic of the mixed translinear cell as proposed in [1] is shown in Fig. 1. For a small difference of input voltage, for example $|V_{YX}| < V_T$, where $V_T \approx 26$ mV is the thermal voltage at 27°C, all BJT transistors ($Q_1 - Q_4$) are conducting. In this range, the V - I characteristic of the mixed translinear cell is nearly linear. However, for $|V_{YX}| \gg V_T$, one

transistor becomes nearly non-conducting (Q_2 or Q_4). Consequently, the V - I characteristic in this range is non-linear.

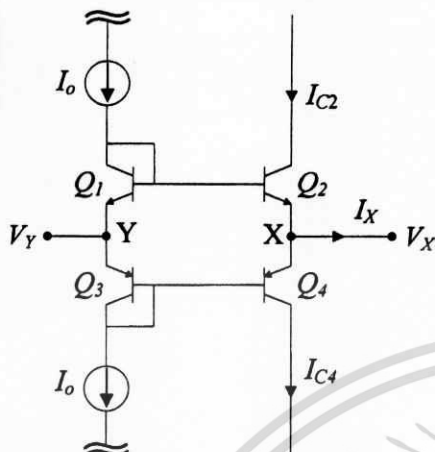


Fig. 1. Schematic of the mixed translinear cell [1].

From Fig. 1, by neglecting base currents, Early effect and parasitic capacitances of all transistors, the output current I_X which is composed of two exponential currents I_{C2} and I_{C4} can be expressed as

$$I_X = I_{C2} - I_{C4} = 2I_0 \sinh\left(\frac{V_{YX}}{V_T}\right) \quad (1)$$

where I_0 is the bias current, $V_T \approx 26$ mV is the thermal voltage at 27°C, and $V_{YX} = V_Y - V_X$ is differential input voltage.

The sinh function of (1) can be expressed using a Taylor series for a zero voltage input ($V_{YX} \approx 0$) as

$$I_X = 2I_0 \frac{V_{YX}}{V_T} + \frac{2I_0}{6} \left(\frac{V_{YX}}{V_T}\right)^3 + \frac{2I_0}{120} \left(\frac{V_{YX}}{V_T}\right)^5 + \dots \quad (2)$$

Equation (2) confirms that the input voltage swing should be limited to V_T for linear V - I characteristic. If this is not the case the higher order terms become non negligible. The ideal linear V - I characteristic can be obtained by considering the first terms of (2) only,

$$I_{X,L} = 2I_0 \frac{V_{YX}}{V_T} \quad (3)$$

where $I_{X,L}$ is defined as an ideal linear V - I characteristic of the output current I_X .

The V - I characteristic as noted in (1) and its linearized version in (3) are plotted in Fig. 3.

In this paper, we propose a novel approach to improve the linear input voltage range for the sinh mixed translinear cell. The schematic of the proposed circuit is shown in Fig. 2. The circuit contains four NPN transistors (Q_1 to Q_4) and four PNP transistors (Q_5 to Q_8). The constant current sources I_A and I_B provide the bias currents for the mixed translinear cell. In order to extend the linear operating range of the mixed translinear cell, we insert the common-anode-connected pairs (Q_2 - Q_3 and Q_6 - Q_7) into the mixed

translinear cell. The main objective is to use the additional transistors to provide a biasing current for the transistors Q_4 and Q_8 , such that both of them remain conducting. By this mean, it is expected that the non-linear exponential currents between I_{C4} and I_{C8} are cancelled and the linearity of the current I_{XN} of the proposed mixed translinear will be improved. We will verify this expected result by a mathematical derivation and simulations. Note that we define the output current of the proposed circuit as I_{XN} in order to difference from the previous cell.

3. Proposed Mixed Translinear Cell

3.1 Theory

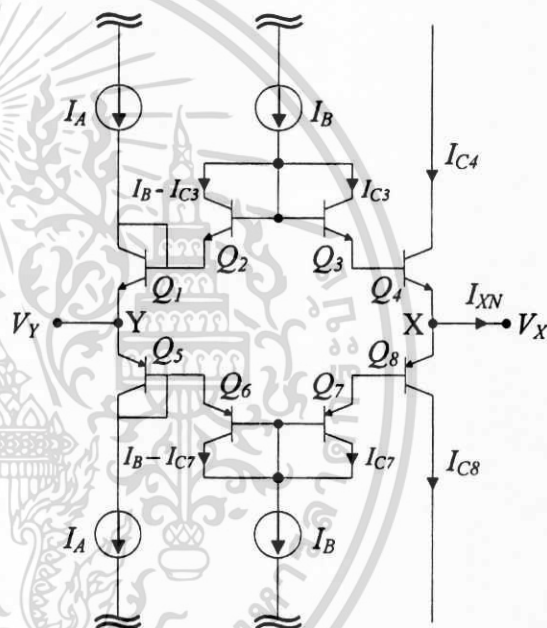


Fig. 2. Schematic of the proposed mixed translinear cell.

From Fig. 2, the voltage difference between nodes Y and X is given by the following sum

$$V_{YX} = V_{BE3} + V_{BE4} - V_{BE1} - V_{BE2}. \quad (4)$$

For simplification, we neglect the Early effect and the base currents (assuming sufficiently high current amplification β_N) for all the transistors. Also, we assume that the emitter areas of all NPN transistors (Q_1 to Q_4) are identical (resulting in an identical reverse saturation current I_S) and all the transistors are at the same temperature hence have the same thermal voltage V_T . With these assumptions, (4) can be expressed in function of the bias currents I_A and I_B and the (not yet known) current I_{C3} as

$$V_{YX} = V_T \ln\left(\frac{I_{C3}}{I_S}\right) + V_T \ln\left(\frac{\beta_N I_{C3}}{I_S}\right) - V_T \ln\left(\frac{I_A + I_B - I_{C3}}{I_S}\right) - V_T \ln\left(\frac{I_B - I_{C3}}{I_S}\right) \quad (5)$$

where β_N is the current gain of NPN transistor. Equation (5) can be expressed as

$$\frac{V_{YX}}{V_T} = \ln \left(\frac{(I_{C3})(\beta_N I_{C3})}{(I_A + I_B - I_{C3})(I_B - I_{C3})} \right) \quad (6)$$

and finally as a quadratic equation for the current I_{C3}

$$I_{C3}^2 (e^{V_{YX}/V_T} - \beta_N) - I_{C3}(I_A + 2I_B)e^{V_{YX}/V_T} + (I_B^2 + I_A I_B)e^{V_{YX}/V_T} = 0. \quad (7)$$

To solve (7) for the current I_{C3} , we limit the input voltage such that $-\ln(\beta_P)V_T \ll V_{YX} \ll \ln(\beta_N)V_T$. Given this condition, the quadratic coefficient $e^{V_{YX}/V_T} - \beta_N$ is non-zero. The positive collector current I_{C3} is hence given by

$$I_{C3} = \frac{K_1 - \sqrt{K_1^2 + 4K_2(\beta_N e^{-V_{YX}/V_T} - 1)}}{2(1 - \beta_N e^{-V_{YX}/V_T})} \quad (8)$$

where $K_1 = I_A + 2I_B$ and $K_2 = I_B^2 + I_A I_B$. Considering Fig. 2, it can be seen that $I_{C4} = \beta_N I_{C3}$. Noted that $\beta_N e^{-V_{YX}/V_T} \gg 1$ and considering (8), the current I_{C4} is given by

$$I_{C4} = \beta_N \left(\frac{K_1 - \sqrt{K_1^2 + 4K_2\beta_N e^{-V_{YX}/V_T}}}{-2\beta_N e^{-V_{YX}/V_T}} \right) \quad (9)$$

Equation (9) can be rewritten by using a Taylor series for $\sqrt{a+x}$ and becomes

$$I_{C4} = -\frac{K_1}{2} e^{V_{YX}/V_T} + \sqrt{K_2\beta_N} e^{\frac{1}{2}V_{YX}/V_T} + \frac{K_1^2}{8\sqrt{K_2\beta_N}} e^{\frac{3}{2}V_{YX}/V_T} - \frac{K_1^4}{128\sqrt{(K_2\beta_N)^3}} e^{\frac{5}{2}V_{YX}/V_T} + \dots \quad (10)$$

Likewise, the current I_{C8} is given by

$$I_{C8} = -\frac{K_1}{2} e^{-V_{YX}/V_T} + \sqrt{K_2\beta_P} e^{-\frac{1}{2}V_{YX}/V_T} + \frac{K_1^2}{8\sqrt{K_2\beta_P}} e^{-\frac{3}{2}V_{YX}/V_T} - \frac{K_1^4}{128\sqrt{(K_2\beta_P)^3}} e^{-\frac{5}{2}V_{YX}/V_T} + \dots \quad (11)$$

where β_P is the current gain of PNP transistor.

From Fig. 2, the current at the X terminal is given by the difference of the currents I_{C4} and I_{C8} ,

$$I_{XN} = I_{C4} - I_{C8}. \quad (12)$$

Assuming that $\beta_N = \beta_P = \beta$, substituting (10) and (11) into (12) and rewriting the exponentials as sinh, then the current I_{XN} becomes

$$I_{XN} = \underbrace{-K_1 \sinh \left(\frac{V_{YX}}{V_T} \right)}_{1st \text{ term}} + \underbrace{2\sqrt{K_2\beta} \sinh \left(\frac{V_{YX}}{2V_T} \right)}_{2nd \text{ term}} + \underbrace{\frac{K_1^2}{4\sqrt{K_2\beta}} \sinh \left(\frac{3V_{YX}}{2V_T} \right)}_{3rd \text{ term}} - \dots \quad (13)$$

It is noted that for $|V_{YX}| < V_T \ln(\beta)$ the third and higher order terms in (13) are smaller than the first and the second one. Hence, in this case, (13) can be simplified to

$$I_{XN} \approx \underbrace{2\sqrt{K_2\beta} \sinh \left(\frac{V_{YX}}{2V_T} \right)}_{\text{positive sinh}} - \underbrace{K_1 \sinh \left(\frac{V_{YX}}{V_T} \right)}_{\text{negative sinh}} \quad (14)$$

From (14), we see that the V - I characteristic of the proposed mixed translinear cell is composed of a positive term and a negative term of hyperbolic sine function, thus it is possible that the non-linear term will be reduced because of a summing of the positive term and negative term of hyperbolic sine function.

3.2 Optimal Parameters for Linear Operation

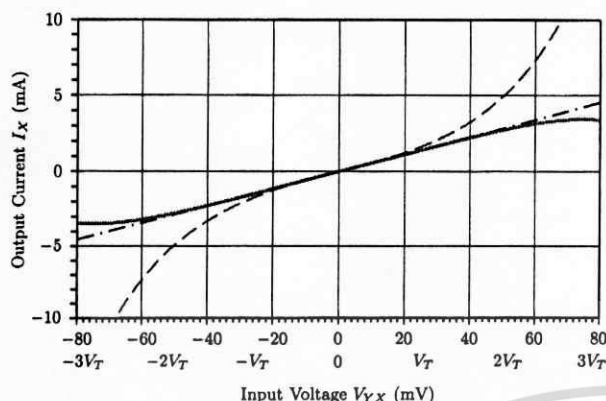
As shown in (1), the mixed translinear cell in Fig. 1 contains a single hyperbolic sine function so that the linear input voltage range is quite narrow. According to (14), we can see that the V - I characteristic of the proposed mixed translinear cell is formed by two hyperbolic sine functions composed of a positive term and a negative term. Because of the positive and the negative signs of the two terms in (14), it is possible to reduce the non-linearity which results from the third-order harmonics by adjusting the parameters K_1 and K_2 . In order to find the optimal parameters K_1 and K_2 to minimize the non-linearity coming from the third-order harmonics terms of output current I_{XN} , we expand the positive and the negative contributions of (14) with Taylor series and set the terms corresponding to the third-order harmonics as equal. When substituting K_1 and K_2 with the currents I_A and I_B , the optimal parameters for a linear operation are given by

$$\frac{\sqrt{(I_B^2 + I_A I_B)\beta}}{24} = \frac{(I_A + 2I_B)}{6} \quad (15)$$

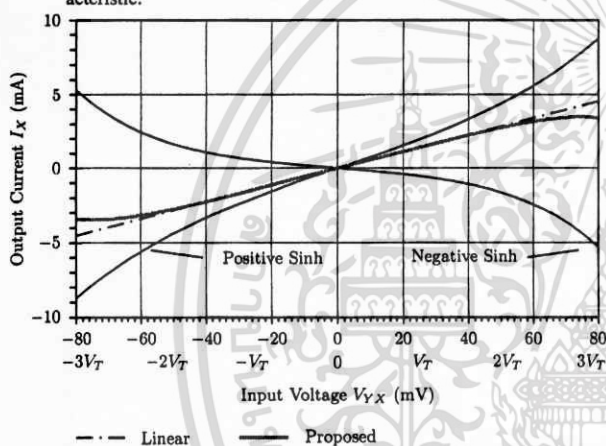
Equation (15) can be solved for a positive current I_A and becomes linear to the current I_B ,

$$I_A = I_B \frac{(\beta - 64) + \sqrt{\beta(\beta - 64)}}{32} \quad (16)$$

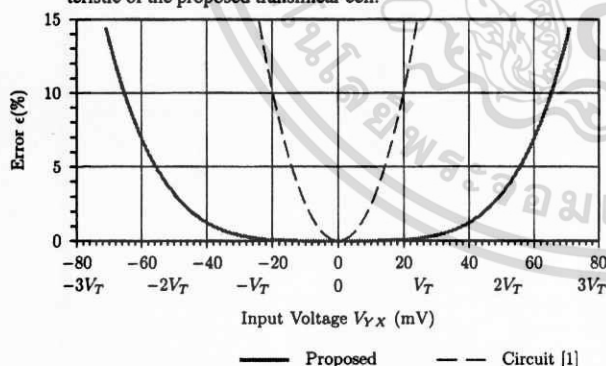
Equation (16) provides a simple mean to estimate the relation of the bias currents I_A and I_B which minimizes the third-order harmonic term of current I_{XN} when the β is given. For example, for $\beta = 100$, it is expected that the optimal linearity is obtained for $I_A = 3I_B$.



(a) The V-I characteristic of the mixed translinear cell [1] and the proposed translinear cell compared to their ideal linear V-I characteristic.



(b) Plot of the positive and negative sinh terms with the V-I characteristic of the proposed translinear cell.



(c) The non-linearity error.

Fig. 3. Comparative plot of V-I characteristics between the mixed translinear cell [1] and the proposed translinear cell, as well as their non-linearity errors.

We have shown the ideal linear V-I characteristic of the mixed translinear cell (Fig. 1) in (3). Now, we calculate the ideal linear V-I characteristic for the proposed translinear cell. Again expanding (14) with Taylor series for $|V_{YX}| \ll V_T$, the ideal linear V-I characteristic of the proposed circuit can

be expressed as

$$I_{XNL} = \left[\sqrt{(I_B^2 + I_A I_B)} \beta - (I_A + 2I_B) \right] \frac{V_{YX}}{V_T} \quad (17)$$

where I_{XNL} is defined as the ideal linear V-I characteristic of the output current I_{XN} .

This linear V-I characteristic will be used for two reasons. First, it allows to select the bias currents for the mixed translinear cell in Fig. 1 and the proposed translinear cell such that the ideal linear V-I characteristics are the same value. Second, the linear V-I characteristic serves as a reference to estimate the non-linearity error (ϵ) as

$$\epsilon(\%) = \left| \frac{I_{XN} - I_{XNL}}{I_{XNL}} \right| 100. \quad (18)$$

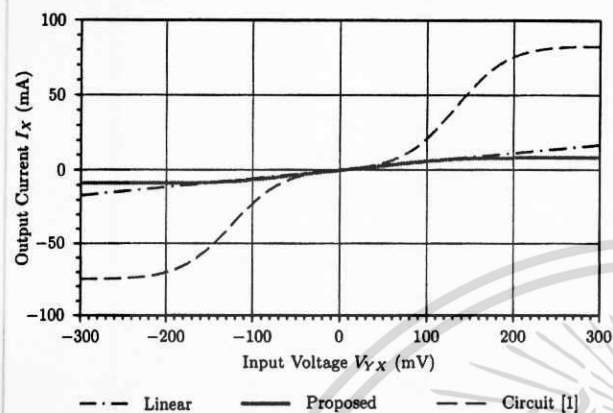
To demonstrate the improvement of the linear range of the proposed translinear cell, the V-I characteristics of the mixed translinear cell in Fig. 1 and the proposed translinear cells will be compared. To provide a numerical example, shown in Fig. 3, we select $\beta = 175$ and $I_B = 50 \mu A$, to maximize the linear input range according to (16), resulting in $I_A = 390 \mu A$ ($I_A = 7.8I_B$). To compare with the mixed translinear cell in Fig. 1, its bias current I_0 is set such that the ideal linearized V-I characteristic is the same value. Comparing (17) and (3), it is noted that this happens when $2I_0 = \sqrt{(I_B^2 + I_A I_B)} \beta - (I_A + 2I_B)$. For the numerical example, this results in $I_0 = 736 \mu A$. In Fig. 3a, the ideal linear V-I characteristics (3) and (17) are shown together with the non-linear ones as given in (1) and (14). For clarity, the positive sinh and negative sinh (14) are plotted individually in Fig. 3b. It can be seen that the linear input range of the proposed translinear cell is improved significantly compared to the mixed translinear cell in Fig. 1. This is confirmed by the non-linearity error as defined in (18) which is shown in Fig. 3c. As expected, the error for the proposed translinear cell is smaller than the mixed translinear cell in Fig. 1. For example, at $V_{YX} = 20$ mV, the error of the mixed translinear cell in Fig. 1 is about 10 % while the proposed translinear cell smaller than 0.1 %.

4. Simulation Results

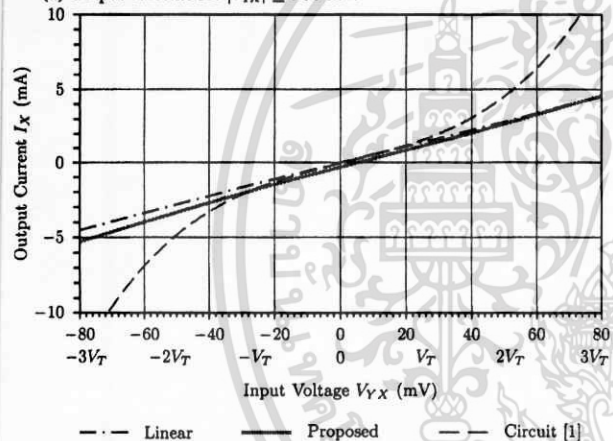
To verify the validity of the theoretical derivations for the circuit operation, the mixed translinear cell in Fig. 1 and the proposed translinear cell in Fig. 2 are simulated by PSPICE. Therefore, the general purpose bipolar transistors 2N3904 (NPN) and 2N3906 (PNP) are used with a symmetric supply voltage of $V_{CC} = -V_{EE} = 2$ V. In the PSPICE simulation, the current gain (β) of transistor is approximately 175. As shown in (16), the best linearity is expected for the bias currents with a relation of $I_A = 7.8I_B$ ($\beta = 175$). For simulation, we select the current $I_B = 50 \mu A$ thus $I_A = 390 \mu A$.

To have a fair comparison between the two translinear cells, the bias currents of both circuits are set such that the

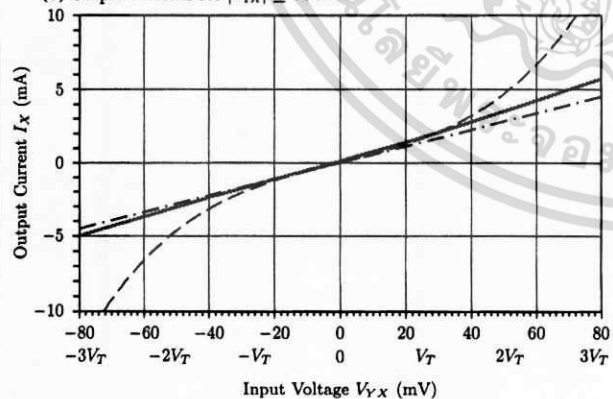
ideal linearized is the same value, the same transconductance (G_M), results in (3) and (17). As shown in Section 3.2, this results in a bias current $I_0 = 736 \mu\text{A}$. It is noted that the bias currents for the PSPICE values are identical to the ones selected during the theoretical estimations.



(a) Output currents for $|V_{YX}| \leq 300 \text{ mV}$.



(b) Output currents for $|V_{YX}| \leq 80 \text{ mV}$.



(c) Output currents for bias currents I_A and I_B adjusted to remove offset voltage.

Fig. 4. Comparison V - I characteristic of the mixed translinear cell [1] and proposed mixed translinear cell.

As a first simulation, the power consumption at a quiescent point is estimated. The mixed translinear cell in Fig. 1

and the proposed mixed translinear cell uses approximately 6 mW and 8.6 mW, respectively. As expected, the power consumption of the proposed cell has increased slightly.

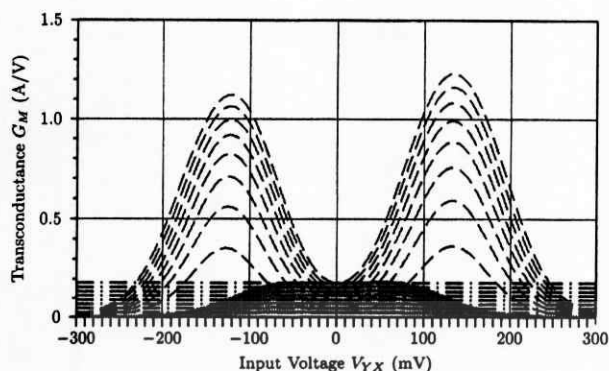
Fig. 4a shows a comparison of the large signal V - I characteristics of the mixed translinear cell in Fig. 1 and the proposed cell for V_{YX} between -0.3 V and 0.3 V and node X connected to ground. Again, it is noted that the deviation of the V - I characteristic from the ideal linear V - I characteristic is smaller for the proposed circuit than the mixed translinear cell in Fig. 1.

Fig. 4b illustrates again that the linear input range of the proposed mixed translinear cell is increased compared to the mixed translinear cell in Fig. 1. It is noted that the offset voltage of the mixed translinear cell in Fig. 1 is approximately $700 \mu\text{V}$ while the proposed circuit has approximately 5 mV , because the proposed circuit is affected by the difference of the current gains (β) between the PNP and NPN transistors. To minimize the offset voltage, matched transistor pairs may be used. If it is not practical to match the β of the transistors, the offset can also be adjusted by setting a different bias current I_A and I_B for the PNP transistors and for the NPN transistors. In the example shown in Fig. 4c, the bias current I_B for the transistors Q_2 and Q_3 are $59 \mu\text{A}$ and the bias current I_A of transistor Q_1 is $460 \mu\text{A}$. The bias currents for Q_5 to Q_7 have not been changed and are still $I_B = 50 \mu\text{A}$ and $I_A = 390 \mu\text{A}$. It is noted that, the ratio between I_A and I_B is given by $I_A = 7.8 I_B$ to minimize the non-linearity. From the simulation result, the offset voltage of the proposed circuit is approximately $100 \mu\text{V}$ when adjusted the bias current I_A and I_B for the transistors Q_1 - Q_3 .

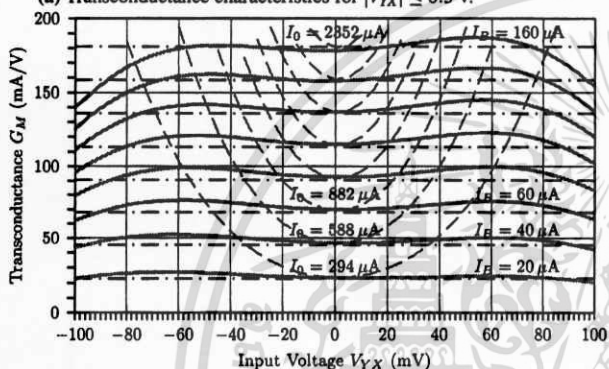
Furthermore, Fig. 5 shows the tuning ability of the transconductance of the mixed translinear cell in Fig. 1 and the proposed mixed translinear cell when varying the bias currents. To compare the two architectures, the bias currents are selected such that G_M are approximately the same value for a zero input voltage. In the simulations, this has been achieved by varying the bias current I_0 from $294 \mu\text{A}$ to 2.35 mA with $294 \mu\text{A}$ steps for the mixed translinear cell in Fig. 1 and the bias current I_B from $20 \mu\text{A}$ to $160 \mu\text{A}$ with $20 \mu\text{A}$ steps for the proposed translinear cell. Note that the bias current I_A is always set to $7.8 I_B$.

Fig. 5a shows the characteristic of the simulated transconductances (G_M) of the mixed translinear cell in Fig. 1 and the proposed mixed translinear cell when varying their bias currents I_0 , I_A and I_B . For the proposed translinear cell, the transconductance G_M is nearly independent of the input voltage V_{YX} over a large range.

Fig. 5b shows the transconductance G_M of the proposed mixed translinear cell and the mixed translinear cell in Fig. 1. It is noted that the G_M of the proposed mixed translinear cell is closer to a constant value than the mixed translinear cell in Fig. 1. Again, this confirms the improved linearity of the proposed translinear cell when compared to the mixed translinear cell in Fig. 1.



(a) Transconductance characteristics for $|V_{YX}| \leq 0.3$ V.



(b) Transconductance characteristics for $|V_{YX}| \leq 0.1$ V.

Fig. 5. Tuning behavior of G_M comparison between the mixed translinear cell [1] and proposed mixed translinear cell. The G_M is shown for different bias currents I_A and I_B .

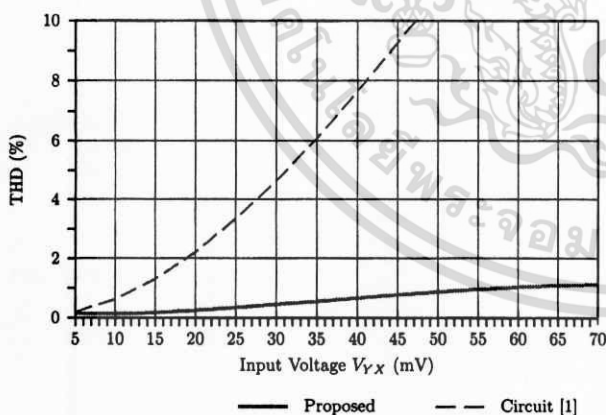


Fig. 6. Total harmonic distortion as a function of the input amplitude of a 100 kHz sinusoidal signal, for the mixed translinear cell [1] and the proposed mixed translinear cell.

To validate the linearity performance of the proposed circuit, total harmonic distortion (THD) of the proposed mixed translinear cell is also simulated. The bias current of the mixed translinear cell in Fig. 1 is set to $I_0 = 736 \mu\text{A}$ and the bias currents I_B and I_A of the proposed cell to $50 \mu\text{A}$ and

$390 \mu\text{A}$, respectively. Again, this results in the same value G_M at zero input voltage. The THD is calculated for a sinusoidal signal at V_{YX} at 100 kHz with varying amplitude. The simulation result is displayed in Fig. 6. It is noted that the maximum amplitude of V_{YX} for the THD below 1% is approximately 60 mV for the proposed mixed translinear cell and lower than 15 mV for the mixed translinear cell in Fig. 1.

Comparative results of the simulated performances between the proposed circuit and the mixed translinear cell in Fig. 1 are shown in Tab. 1. It can be seen that the linear input range is increased more than by a factor 4 with a moderate increase of the power consumption (factor 1.4).

| | Circuit [1] | Proposed |
|--|----------------|-----------------|
| Input operating swing ($\epsilon(\%) = 1\%$) | ≈ 7 mV | ≈ 40 mV |
| THD $\leq 1\%$ | 15 mV | 60 mV |
| Power consumption | 6 mW | 8.6 mW |

Tab. 1. Comparison of the performances for the mixed translinear cell [1] and the proposed mixed translinear cell with approximately the same G_M .

5. Selected Applications

5.1 Floating Resistor

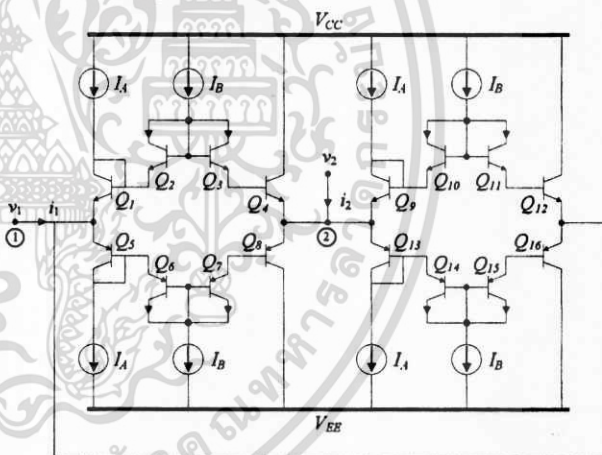


Fig. 7. Floating resistance circuit.

To demonstrate an application that benefits from the increased linear input range of the proposed mixed translinear cell, a floating resistor as proposed in [6] is realized by using the proposed mixed translinear cell. The circuit is shown in Fig. 7. It consists of two of the proposed mixed translinear cells by a parallel-back-to-back connection. Assuming that all transistors are matched and the current gains (β) of all transistors are greater than unit, then relations of the current and voltage of the floating resistor can be found as

$$i_1 = -i_2 = 2\sqrt{K_2\beta} \sinh\left(\frac{v_1 - v_2}{2V_T}\right) - K_1 \sinh\left(\frac{v_1 - v_2}{V_T}\right). \quad (19)$$

The equivalent resistance between port 1 and 2, when $|v_{12}| \ll V_T$, is the inverse of the transconductance G_M cal-

culated in (17) and is given by

$$R_{12} = \frac{V_T}{\sqrt{(I_B^2 + I_A I_B)\beta} - (I_A + 2I_B)} \quad (20)$$

The above equation shows that the floating resistance can be tuned by adjusting the bias current I_A or I_B . However, in order to reduce the third order harmonics distortion, the relation between the current I_A and I_B have to set accordingly to (16). When port 2 is connected to ground, the circuit becomes a grounded resistance. In this case, the transistors Q_9 to Q_{16} can be removed while the relation between the current and voltage of the resistor remains as written in (20). For the floating resistance realized by the mixed translinear cell in Fig. 1 as proposed in [6], the value of resistance between port 1 and port 2 is $R_{12} = V_T/2I_0$ [6] and it can be adjusted by the bias current I_0 . To show the increased linear input range of the floating resistance when use the proposed mixed translinear cell. The floating resistance in Fig. 7 realized by the proposed translinear cell has been simulated in PSPICE and compared with the floating resistance realized by the mixed translinear cell in Fig. 1.

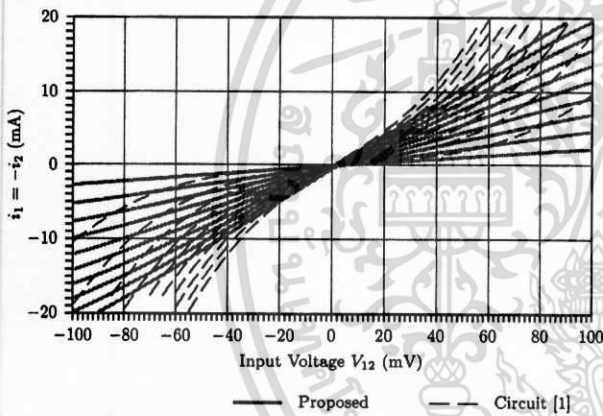


Fig. 8. Comparison of the DC transfer characteristics of the floating resistor realized by the mixed translinear cell [1] and the proposed translinear cells.

For simulation, we use the general purpose bipolar transistors 2N3904 (NPN) and 2N3906 (PNP) with a supply voltage of $V_{CC} = -V_{EE} = 2$ V. Because the current gain (β) of the transistors in PSPICE is approximately 175, the relation between the bias currents I_A and I_B of the proposed translinear cell is set to $I_A = 7.8I_B$. For comparison, the bias currents of both circuits are set for the same value of resistance as (20). Fig. 8 shows a simulated comparison of V - I characteristics of the floating resistance using the proposed mixed translinear cell and the mixed translinear cell in Fig. 1, when the bias current I_0 was varied from 294 μ A to 2.94 mA with 294 μ A step size while the bias currents I_B was varied from 20 μ A to 200 μ A with 20 μ A step size. The bias current I_A always set to 7.8 I_B . It can be seen that the relation between the currents $i_1 = -i_2$ and the input voltage v_{12} of the floating resistance using the proposed translinear cell is very close to linear – the same V - I characteristic as for an ideal resistor that follows Ohms law than the floating resistance realized by the

mixed translinear cell in Fig. 1. Furthermore, the slope of the V - I characteristic can be adjusted using the bias currents I_A and I_B . Hence, the simulation results as shown in Fig. 8 confirm that the circuit presented in Fig. 7 provides a floating electronically controllable resistor and the linear range is approximately 100 mV. Fig. 9 shows a value of the floating resistance as a function of their bias currents for both circuits. From the simulation results, it can be seen that the value of the resistance realized by the mixed translinear cell in Fig. 1 and the proposed resistance are nearly the same and both are in good agreement with the theoretical results in (20) calculated for $\beta = 175$.

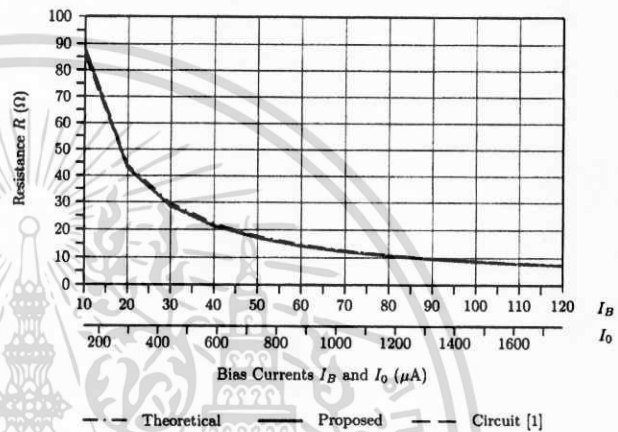


Fig. 9. Magnitude of floating resistance as a function of I_B and I_0 .

5.2 Instrumentation Amplifier

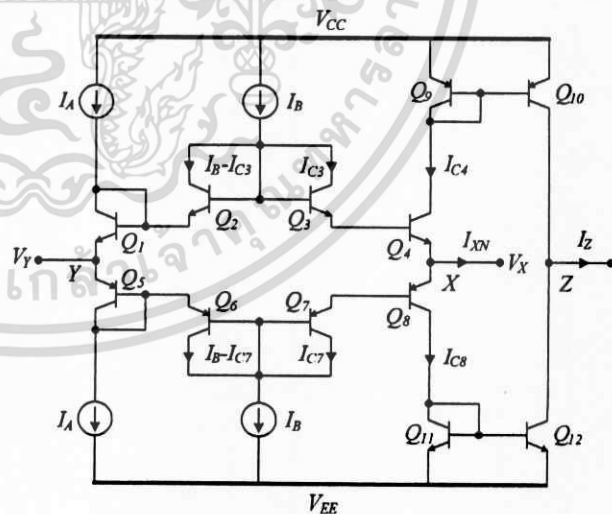


Fig. 10. Schematic of a CCCII using the proposed mixed translinear cell as an input front end.

As mentioned above, the mixed translinear cell can be used as an input front end for the second-generation current-controlled conveyor (CCCII). Thus, to implement the CCCII by using the proposed mixed translinear cell can be easily done by adding two complementary current mirrors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

to duplicate the current from port X to port Z as shown in Fig. 10. The relationship between the output current I_Z and input voltage V_{YX} of the proposed CCCII in Fig. 10 is given by (14) and for the CCCII based on the mixed translinear cell in Fig. 1 has the V - I characteristic as shown in (1).

We will show the increased linearity at the example of an instrumentation amplifier as proposed in [10]. The instrument amplifier consists of two CCCIIs connected as shown in Fig. 11.

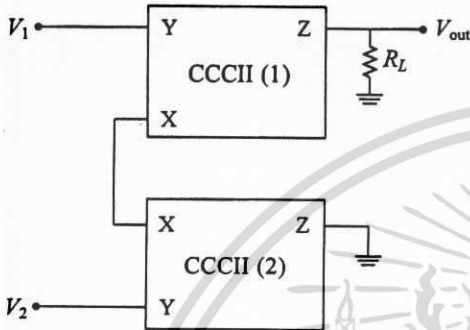


Fig. 11. Instrumentation amplifier proposed in [10].

The output voltage of the instrumentation amplifier in Fig. 11 is related to the parasitic resistance (R_X) at the port X of the CCCII and the input voltages V_1 and V_2 by [10]

$$\frac{V_{out}}{V_1 - V_2} = \frac{R_L}{2R_X} \quad (21)$$

Therefore, the output voltage gain can be adjusted by R_X of the mixed translinear cell. For the CCCII implemented by the mixed translinear cell in Fig. 1, the parasitic resistance R_X is adjusted by the bias current I_0 as $R_X \approx V_T/2I_0$ when $V_{YX} \ll V_T$ [2]. This means that the gain of the instrumentation amplifier is controlled by the current I_0 . However, when the input voltage comes close (or exceeds) the thermal voltage, the parasitic resistance cannot be considered as linear anymore. Thus, the linear input range of the instrumentation amplifier is also limited. For increasing the input linear range of the instrumentation amplifier, the proposed CCCII as shown in Fig. 10 will be used to realize the instrumentation amplifier.

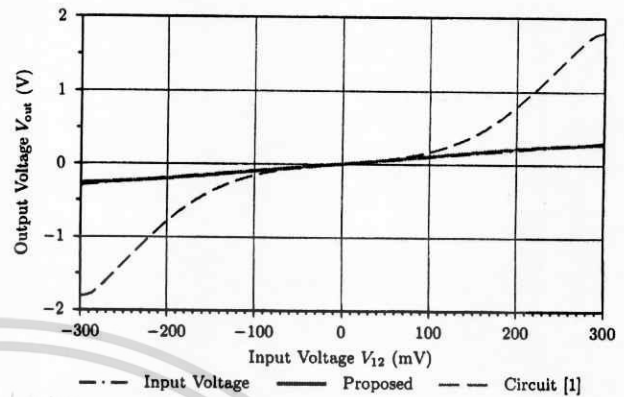
The parasitic resistance at port X of the proposed CCCII in Fig. 10 is defined as (R_{XN}) and the value of the resistance is the inverse of the transconductance G_M which has been calculated in (17). Hence, the R_{XN} of the proposed CCCII in Fig. 10 is given as

$$R_{XN} = \frac{V_T}{\sqrt{(I_B^2 + I_A I_B)\beta} - (I_A + 2I_B)} \quad (22)$$

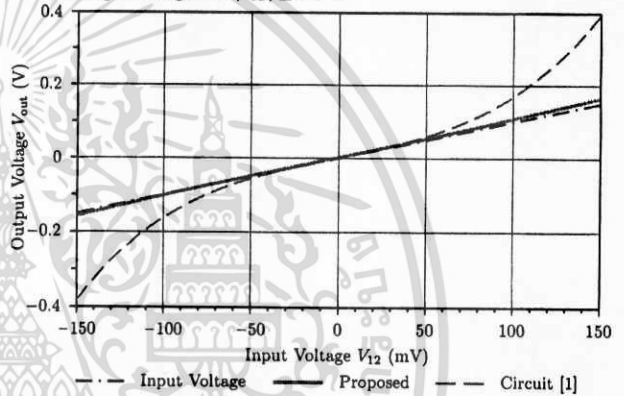
where R_{XN} is the parasitic resistance at port X of the proposed CCCII in Fig. 10.

From (22), it can be seen that the value of R_{XN} can be adjusted by the bias currents I_A or I_B . It should be noted that, for suppression the third-order harmonic term, the relation

between the bias current I_A and I_B should be set according to (16).



(a) Output voltages for $|V_{12}| \leq 0.3$ V.



(b) Output voltages for $|V_{12}| \leq 0.15$ V.

Fig. 12. Comparison of the V - I characteristics of the instrumentation amplifier realized from the mixed translinear cell [1] and the proposed mixed translinear cell at unity gain.

To demonstrate the improvement of the linear input range, the instrumentation amplifier realized by the proposed CCCII is simulated in PSPICE and the results are compared to the instrumentation amplifier realized by the CCCII based on the mixed translinear cell in Fig. 1. For simplification of comparison, the gain of the instrumentation amplifier is set to unity. The resistive load was set to 50Ω and the supply voltage is $V_{CC} = -V_{EE} = 2$ V. Again, the bias currents are set to $I_A = 7.8I_B$ to minimize the third order harmonics for $\beta = 175$. To obtain the unity gain, the $R_{XN} \approx 25 \Omega$, then the current I_A and I_B are set to $273 \mu A$ and $35 \mu A$, respectively. For the CCCII based on the mixed translinear cell in Fig. 1, the bias current $I_0 = 514.5 \mu A$ for $R_X \approx 25 \Omega$ also.

Fig. 12a shows a comparison of a large signal V - I characteristic of the instrumentation amplifier as demonstrated in Fig. 11 when implementing with the CCCII based on the mixed translinear cell in Fig. 1 and the proposed CCCII in Fig. 10. The input differential voltage ($V_{12} = V_1 - V_2$) was swept continuously from -0.3 V to 0.3 V. From Fig. 12b, it is obvious that the linear input range (V_{12}) of the instrumentation amplifier employing the proposed CCCII is wider than using the CCCII based on the mixed translinear cell in Fig. 1.

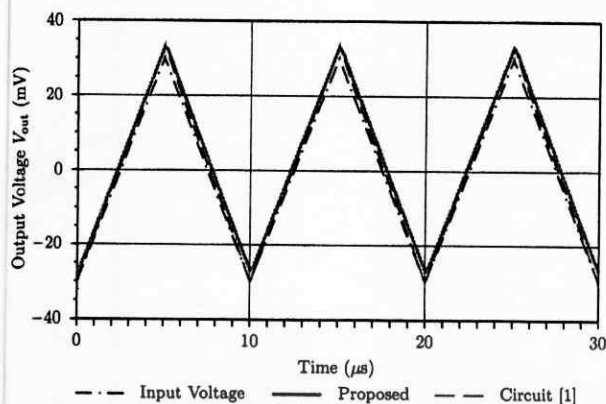
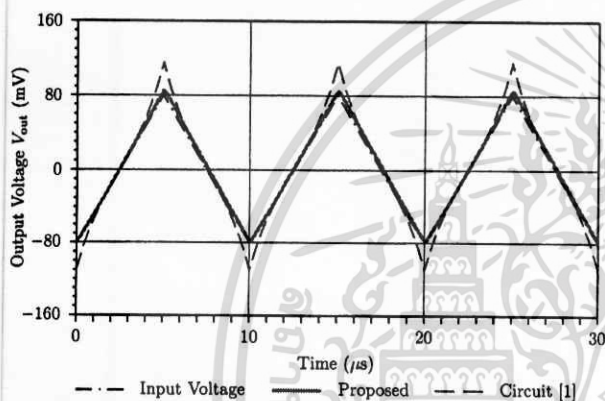
(a) Amplitude of $V_{12} = 30$ mV.(b) Amplitude of $V_{12} = 80$ mV.

Fig. 13. Comparison of the transient response of the instrumentation amplifier at unity gain.

Fig. 13 shows a time domain representation of the output voltage (V_{out}) of the instrumentation amplifier in Fig. 11 when a triangle signal at a frequency of 100 kHz is applied. The input amplitudes are $V_{12} = 30$ mV for Fig. 13a and 80 mV for Fig. 13b. It can be seen that for a small input voltage (V_{12}), the output voltage of both instrumentation amplifier can follow the input voltage as shown in Fig. 13a. However, for a large input voltage, the output voltage of the instrumentation amplifier using the proposed CCCII follows the input voltage while the instrumentation amplifier using the CCCII based on the mixed translinear cell in Fig. 1 deviates from the input voltage as shown in Fig. 13b. In this representation, the reduced distortion of V_{out} of the instrumentation amplifier can be seen best at the shape of the edges of the triangular signal.

6. Summary

A new compact architecture for improving the linear input voltage range of the sinh mixed translinear cell has

been presented. The proposed circuit adds common-anode-connected pairs into the sinh mixed translinear cell to provide the bias current to the transistors such that they remain conducting, thus extending its linear operation range. Explicit equations are given and used to minimize the third-order harmonic term. The proposed circuit is suitable for implementation in integrated circuits, since it does not require external resistors or other passive components. Simulation outcomes, which are in excellent agreement with the theoretical results, confirm that the linearity of the proposed cell is improved compared to the mixed translinear cell in Fig. 1.

Acknowledgments

The authors are grateful to the Siam University, Bangkok, for supporting this work and the partial funding of the research. We also thank the anonymous reviewers for their useful comments during preparation of the manuscript, and the editor-in-chief, Dr. Tomas Kratochvil, for his valuable work.

References

- [1] FABRE, A. Dual translinear voltage/current converter. *Electronics Letters*, 1983, vol. 19, no. 24, p. 1030 - 1031.
- [2] FABRE, A., SAAID O., WIEST F., BOUCHERON C. High frequency applications based on a new current controlled conveyor. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 1996, vol. 43, no. 2, p. 82 - 91.
- [3] FABRE, A., ALAMI, M. A versatile translinear cell-library to implement high performance analog asics. In *Euro ASIC '90*. Paris (France), 1990, p. 89 - 94.
- [4] MINAEI, S., CICEKOGLU, O. A resistorless realization of the first-order all-pass filter. *International Journal of Electronics*, 2006, vol. 93, no. 3, p. 173 - 183.
- [5] SAAID O., FABRE A. Class ab current-controlled resistor for high performance current-mode applications. *Electronics Letters*, 1996, vol. 32, no. 1, p. 4 - 5.
- [6] SENANI, R., SINGH, A., SINGH, V. A new floating current-controlled positive resistance using mixed translinear cells. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2004, vol. 51, no. 7, p. 374 - 377.
- [7] PAWARANGKON, P., KIRANON, W. Electronically tunable floating resistor. *International Journal of Electronics*, 2004, vol. 91, p. 665 - 673.
- [8] MAHATTANAKUL, J., TOUMAZOU, C. Instantaneous companding current-mode oscillator based on class ab transconductor. *Analog Integrated Circuits and Signal Processing*, 2000, vol. 23, p. 57 - 64.
- [9] BOZOMITU, R., CEHAN, V., POPA, V. A new linearization technique using "multi-sinh" doublet. *Advances in Electrical and Computer Engineering*, 2009, vol. 9, no. 2, p. 45 - 57.
- [10] WILSON, B. Universal conveyor instrumentation amplifier. *Electronics Letters*, 1989, vol. 25, no. 7, pp. 470 - 471.

About Authors ...

Naruemol MERZ was born in Bangkok. She received her M.Eng. degree in Electrical Engineering from Faculty of Engineering, King Mongkuts Institute of Technology Ladkrabang, Bangkok, Thailand, in 2001. She has been with the Department of Electronics engineering, Mahanakorn University of Technology, Thailand, from 1995 until 2010. She is currently working towards her Ph.D. at the King Mongkuts Institute of Technology Ladkrabang. Her research interests include analog integrated circuits and current-mode circuits.

Wiwat KIRANON was born in Bangkok. He received his B.Eng. degree from King Mongkuts Institute of Technology Ladkrabang, Bangkok, Thailand, in 1971 and the D.Eng. degree from Tokai University, Japan, in 1982. Since 1978, he is with the Department of Telecommunication, King Mongkuts Institute of Technology Ladkrabang, where he currently has a part-time position. Since 1990, he is also with the faculty of engineering, Mahanakorn University of Technology, Thailand. His research interests are in the areas of circuit theory, integrated circuit design, and signal processing.

Chariya WONGTACHATHUM was born in Bangkok. She received the B.Eng. and M.Eng. degrees from King Mongkuts Institute of Technology Ladkrabang, Bangkok,

Thailand, in 1988 and 1991, respectively, and the M.S. and Ph.D. degrees from the Wichita state University, Wichita, KS, USA, in 1993 and 1997, respectively. She has been with the Department of Electronics, King Mongkuts Institute of Technology Ladkrabang, since 1997. Her research interests are in the areas of circuit theory, integrated circuit design, and signal processing.

Prajuab PAWARANGKOON was born in Bangkok. He received the B.Eng. degree from Rangsit University, Thailand, in 1993, the M.Eng. degree from Mahanakorn University of Technology, Thailand, in 1998 and the D.Eng. degree from King Mongkuts Institute of Technology Ladkrabang, Thailand, in 2005. He has been with the Department of Electronics Engineering, Mahanakorn University of Technology, since 1996. His research interests are in the areas of circuit theory, integrated circuit design, and signal processing.

Wipavan NARKSARP was born in Nongkhai. She received her B.Eng. and M.Eng. degree in Instrumentation Engineering and Electrical Engineering from Faculty of Engineering, King Mongkuts Institute of Technology Ladkrabang, Bangkok, Thailand, in 1992 and 2001, respectively. Currently, she is an Assistant Professor in electrical engineering at Siam University and studying her Ph.D. at the King Mongkuts Institute of Technology Ladkrabang. Her research interests are in the areas of analog and digital circuit design.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

- ชื่อ นามสกุล** นางนฤมล เมฆ
- ภูมิลำเนาเดิม** กรุงเทพมหานคร
- อาชีพ** อาจารย์ประจำมหาวิทยาลัย ตั้งแต่ปี พ.ศ. 2538-2553
- สถานที่ทำงาน** ภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเทคโนโลยีมหานคร
- ประวัติการศึกษา** ระดับปริญญาโท (วิศวกรรมศาสตรมหาบัณฑิต : วศ.ม.)
สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง
ปีการศึกษา 2545
ระดับปริญญาตรี (วิศวกรรมศาสตรบัณฑิต : วศ.บ.)
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์
มหาวิทยาลัยเทคโนโลยีมหานคร
ปีการศึกษา 2538
- งานวิจัยที่สนใจ** การออกแบบวงจรทางด้านแอนะล็อก (Analog circuit design)
- ผลงานที่ได้รับการตีพิมพ์**
- [1] N. Merz, W. Kiranon, C. Wongtachathum, P. Pawarangkoon and W. Narksarp, "A Modified Bipolar Translinear Cell with Improved Linear Range and Its Applications", Radioengineering, vol. 21, no. 2, June 2012.
- [2] W. Ngamkham, N. Kiatwarin, W. Narksap, W. Sangpisit and W. Kiranon, "A Linearized Source-Couple Pair Transconductor Using a Low-Voltage Square Root Circuit", Proc. ECTICON2008, Kra-Bi, Thailand, pp. II-701- II-704, May 2008.
- [3] N. Kiatwarin, W. Ngamkham and W. Kiranon, "A Compact Low Voltage CMOS Four-Quadrant Analog Multiplier" Proc. ECTICON2007, Chiang Rai, Thailand, pp. 17-20, May 2007.
- [4] A. Loasawadsiri, W. Silaruam, N. Kiatwarin, W. Ngamkham and J. Wongtachathum, "An Instantaneous Frequency Detector for Sinusoidal Signal" EECON-30, Kanjanaburi, Thailand, pp. 881-884, Oct. 2007,
- [5] N. Kiatwarin, C. Sawigun, and W. Kiranon, "A low voltage four quadrant analog multiplier using triode MOSFETs," Proc. ISCIT2006, Bangkok, Thailand, pp. F3D-4, Oct 2006.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [6] C. Sawigun, N. Kiatwarin and W. Ngamkhum, "A Low Voltage MOS Linear Transconductor with Constant Input Linear Range," Proc. ECTICON2006, Ubonrajathanee, Thailand, pp. 167-170, May 2006
- [7] C. Sawigun, N. Kiatwarin and W. Ngamkham, "A Novel Technique for Driving Capability Improvement of a Class-AB CMOS Voltage Buffer," Proc. ECTICON2005, Pattaya, Thailand, pp. 518-521, 2005 (Best paper award)
- [8] C.Sawigun and N. Kiatwarin, "A Design Technique for Very Large Output Current Bipolar Voltage Follower", EECON-28, pp. 1197-1200, Oct. 2005, Phuket, Oct. 2005.
- [9] C.Sawigun, N. Kiatwarin and J. Mahattanakul, "A Wide Linear Range CMOS Current Control Conveyor", EECON-26, Cha-Um, Thailand, pp. 1309-1312, Nov 2003.
- [10] N. Kiatwarin, C. Thongchoi and W. Kiranon, "Temperature Compensation for Transconductor Circuit", EECON-25, Songkla, Thailand, pp. 31-35, Nov 2002.
- [11] W. Kiranon, C. Loescharataramdee, N. Kiatwarin and P. Wardkein, "Electronically controlled negative resistance based on translinear circuits", ISPACS'99, Phuket, Thailand, pp.645-648, Dec 1999.
- [12] J. Mahattanakul and N. Kiatwarin, "Multi-input/output GM-C filter" EECON-21, Bangkok, Thailand, Dec 1998.