

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรบวกที่มีตัวทดที่ใช้กำลังงานต่ำ
LOW POWER FULL ADDER CIRCUIT DESIGN



T138756



กท.

๐357ก
2558

เลขหมู่

เลขทะเบียน 138756

วันเดือนปี 16 ต.ค. 2558

b.....
i.....

12717733

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2558
KMITL-2015-EN-M-010-069

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรบวกที่มีตัวทดที่ใช้กำลังงานต่ำ



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2558
KMITL-2015-EN-M-010-069

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOW POWER FULL ADDER CIRCUIT DESIGN



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2015
KMUTL-2015-EN-M-010-069

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2015

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบวงจรบวกที่มีตัวตดที่ใช้กำลังงานต่ำ
Thesis Title Low Power Full Adder Circuit Design
นักศึกษา นายอรุณพล สุดสาคร
รหัสประจำตัว 53611404
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมโทรคมนาคม
อาจารย์ที่ปรึกษาวิทยานิพนธ์ ผศ.ดร.สิรภพ ตูประกาย
หมายเลขวิทยานิพนธ์ KMITL-2015-EN-M-010-069

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
ผศ.ดร.ศรวัฒน์	ชีวปรีชา	
ผศ.ดร.มนตรี	คำเงิน	
รศ.ดร.มนตรี	ศิริปรัชญานันท์	
ผศ.ดร.สมเกียรติ	ฤกษ์วีรณูญ	
ผศ.ดร.สิรภพ	ตูประกาย	

วัน / เดือน / ปี ที่สอบ วันอังคารที่ 14 กรกฎาคม พ.ศ. 2558 เวลา 15.00-17.00 น.
สถานที่สอบ ณ อาคารเฉลิมพระเกียรติใหม่ ห้อง HM-306

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร. คมสัน มาลีสี)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 14 กรกฎาคม พ.ศ. 2558

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรบวกที่มีตัวทดที่ใช้กำลังงานต่ำ
นักศึกษา	นายอรรถพล สุดสาคร
รหัสประจำตัว	53611404
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2558
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ผศ.ดร. สิริภพ ตู่ประกาย

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้ ได้นำเสนอการออกแบบวงจรบวกที่มีตัวทดที่ใช้กำลังงานต่ำ ที่แรงดันแหล่งจ่ายต่ำ โดยวงจรบวกที่มีตัวทดที่นำเสนอนี้เป็นวงจรบวกที่ใช้ทรานซิสเตอร์จำนวน 14 ทรานซิสเตอร์ ซึ่งประยุกต์ใช้งานวงจรซีมอสทรานซิสเตอร์ XOR และ XNOR แบบ 6 ทรานซิสเตอร์ และวงจรซีมอสมีลติเพล็กซ์ ซึ่งวงจรที่นำเสนอมีประสิทธิภาพสูงกว่าวงจรที่ได้นำมาเปรียบเทียบ ผลการจำลองการทำงานด้านการหน่วงเวลาและการสูญเสียกำลังงาน จำลองด้วยโปรแกรม HSpice โดยใช้เทคโนโลยี CMOS 22 nm



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Low Power Full Adder Circuit Design
Student Mr. Attapon Sudsakron
Student ID. 53611405
Degree Master of Engineering
Program Telecommunications Engineering
Year 2015
Thesis Advisor Assist. Prof. Dr. Siraphop Tooprakai

ABSTRACT

This thesis presents a low power CMOS full adder circuit design at low supply voltage. The proposed full adder circuit uses 14 transistor application of CMOS transistors XOR and XNOR as 6 transistor circuit and CMOS multiplex circuit. The proposed circuit is more efficiency than the previous circuits. All simulation results have been carried out by using HSpice program simulator based on 22nm. CMOS technology.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ขอกราบขอบพระคุณบิดา มารดา ที่ให้การสนับสนุนและให้กำลังใจตลอดการศึกษา ผู้วิจัยขอขอบพระคุณ ผศ.ดร. สิริภพ ตู้ประกาย ที่ให้คำแนะนำและช่วยเหลือสนับสนุนที่เป็นประโยชน์ต่อการทำวิจัยและทำให้วิทยานิพนธ์นี้สำเร็จลุล่วงได้ ขอขอบพระคุณพี่ๆ น้องๆ และเพื่อนๆ ที่ให้การช่วยเหลือ ให้คำปรึกษาต่างๆที่เกี่ยวกับการทำวิทยานิพนธ์ฉบับนี้ ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากท่านและขอกราบขอบพระคุณเป็นอย่างสูง

อรรถพล สุตสาคร



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และไม่ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ที่มาของงานวิจัย.....	1
1.3 วัตถุประสงค์ของการทำวิจัย.....	2
1.4 รายละเอียดในวิทยานิพนธ์.....	2
บทที่ 2 ทฤษฎีซีมอสลอจิกเกท.....	3
2.1 คอมพลีเมนต์ทรีลอจิก.....	3
2.2 มอสสวิตช์.....	4
2.2.1 เอ็นสวิตช์.....	4
2.2.2 พีสวิตช์.....	5
2.3 ลอจิกมอสเทียม (Pseudo MOS Logic).....	6
2.4 วงจร 3 สถานะ (Tri-state Output Circuit).....	7
2.5 ไดนามิกซีมอสลอจิก (Dynamic CMOS Logic).....	8
2.5.1 ปัญหาของไดนามิกซีมอส.....	9
2.6 ซีมอสโดมิโนลอจิก (CMOS Domino Logic).....	10
2.7 ลอจิกแบบวงจรเงาสะท้อน (Mirror Circuit logic).....	10
2.8 ลอจิกเส้นทางคู่ (Dual-rail logic).....	11
2.9 การหาค่าหน่วงเวลา.....	14
2.10 การหาค่ากำลังงานสูญเสีย.....	16
2.11 การจำลองวิธีการวัดกำลังงานที่สูญเสียของวงจร.....	20
2.12 การหาค่า Power delay product.....	22
บทที่ 3 ทฤษฎีการทำงานของวงจรวกที่มีตัวทด.....	23

สารบัญ (ต่อ)

	หน้า
3.1 บทนำ.....	23
3.2 วงจรบวกหนึ่งบิต.....	23
3.2.1 วงจรบวกที่ไม่มีตัวทด.....	24
3.2.2 วงจรบวกที่มีตัวทด.....	25
3.3 วงจรบวกแบบใช้ตัวทดชนิดซีมอส.....	26
3.3.1 วงจรบวกแบบใช้ตัวทดพื้นฐาน.....	26
3.3.2 วงจรบวกที่มีตัวทดแบบ TGFA.....	27
3.3.3 วงจรบวกที่มีตัวทดแบบ hybrid logic.....	27
3.3.4 วงจรบวกที่มีตัวทดแบบ PLT/TG.....	29
บทที่ 4 ผลการจำลองการทำงาน.....	30
4.1 การออกแบบวงจรถูกแบบใช้ตัวทดแบบใหม่.....	30
4.2 วงจรบวกแบบใช้ตัวทดที่นำเสนอ.....	33
4.1.1 การทำงานของวงจรถูก.....	33
4.2 ผลการจำลองการทำงาน.....	35
บทที่ 5 สรุปผลการวิจัย.....	44
เอกสารอ้างอิง.....	46
ภาคผนวก.....	48
ภาคผนวก ก. ค่าพารามิเตอร์ของ 22 nm CMOS.....	59
ภาคผนวก ข โปรแกรม HSpice ที่ใช้ในการวิเคราะห์ที่วิทยาลัย.....	52
ภาคผนวก ค. ผลงานทางวิชาการที่ได้รับการตีพิมพ์.....	77
ประวัติผู้เขียน.....	82

สารบัญตาราง

ตารางที่	หน้า
3.1 ตารางแสดงค่าความจริงวงจรวกที่ไม่มีตัวทด.....	23
3.2 ตารางแสดงค่าความจริงวงจรวกที่ไม่มีตัวทด.....	24
5.1 เปรียบเทียบประสิทธิภาพของวงจรวกที่มีตัวทดและ ค่า Power delay product.....	23



สารบัญรูป

รูปที่	หน้า
รูปที่ 2.1 วงจรคอมพรีเมนทารี.....	3
รูปที่ 2.2 เอ็นมอสสวิตช์.....	4
รูปที่ 2.3 พีมอสสวิตช์.....	5
รูปที่ 2.4 มอสคอมพลีเมนต์สวิตช์หรือทรานสมิซชันเกท.....	5
รูปที่ 2.5 วงจรซีมอสลอจิกเทียม.....	7
รูปที่ 2.6 วงจร 3 สถานะแบบกลับสัญญาณ (Tri-state Inverter).....	8
รูปที่ 2.7 หลักการของวงจรไดนามิกซีมอส.....	9
รูปที่ 2.8 ตัวอย่างวงจรไดนามิกซีมอส.....	9
รูปที่ 2.9 วงจรพื้นฐานของโดมิโนซีมอสลอจิก.....	10
รูปที่ 2.10 วงจร XOR เกท.....	11
รูปที่ 2.11 วงจรพื้นฐานของ CVSL.....	12
รูปที่ 2.12 วงจร CVSL ของวงจรแอนด์/แนนด์.....	12
รูปที่ 2.13 วงจร CVSL ของวงจร ออร์/นอร์.....	13
รูปที่ 2.14 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตของวงจรมอสอินเวอร์เตอร์ และนิยามค่าหน่วงเวลาต่างๆ โดยที่สัญญาณทางอินพุตเป็นสัญญาณสี่เหลี่ยมในทางทฤษฎี.....	14
รูปที่ 2.15 ช่วงเวลาขาขึ้นและขาลงของแรงดันเอาต์พุต.....	15
รูปที่ 2.16 วงจรซีมอสอินเวอร์เตอร์ ที่ใช้ในการวิเคราะห์หา Dynamic Power Dissipation.....	16
รูปที่ 2.17 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตและรูปคลื่นกระแสของคาปาซิเตอร์ระหว่างการสวิตช์ของวงจรมอสอินเวอร์เตอร์.....	18
รูปที่ 2.18 วงจรซีมอส Logic โดยทั่วไป.....	18
รูปที่ 2.19 วงจรวัดกำลังงานที่นำมาใช้ในการจำลองการทำงาน เพื่อหาค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจร.....	20
รูปที่ 3.1 ไดอะแกรมของวงจรบวกที่ไม่มีตัวทด.....	23
รูปที่ 3.2 ไดอะแกรมของวงจรบวกที่มีตัวทด.....	24
รูปที่ 3.3 โครงสร้างพื้นฐานของวงจรบวกแบบใช้ตัวทด.....	25
รูปที่ 3.4 วงจรบวกที่มีตัวทดแบบพื้นฐาน.....	26
รูปที่ 3.5 วงจรบวกที่มีตัวทดแบบ TGFA.....	27
รูปที่ 3.6 วงจรบวกที่มีตัวทดแบบ hybrid logic.....	28
รูปที่ 3.7 วงจรบวกที่มีตัวทดแบบ PLT/TG.....	29

สารบัญรูป(ต่อ)

รูปที่	หน้า
รูปที่ 4.1 บล็อกไดอะแกรมของวงจรบวกแบบใช้ตัวทวดที่นำเสนอ.....	30
รูปที่ 4.2 วงจรเอ็กซ์คูซิเนอร์เกตและเอ็กซ์คูซิเนอร์เกตทรานซิเตอร์.....	31
รูปที่ 4.3 วงจรเอาท์พุตผลรวม.....	32
รูปที่ 4.4 วงจรเอาท์พุตตัวทวด (Carry output).....	32
รูปที่ 4.5 รูปสัญญาณอินพุตและสัญญาณเอาท์พุตของวงจรบวกที่มีตัวทวดที่ออกแบบใหม่ ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ที่ 500 MHz.....	35
รูปที่ 4.6 รูปแบบสัญญาณอินพุตของวงจร.....	36
รูปที่ 4.7 รูปสัญญาณอินพุตและสัญญาณเอาท์พุตของวงจรบวกที่มีตัวทวดแบบพื้นฐาน[14] ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ที่ 500 MHz.....	36
รูปที่ 4.8 รูปสัญญาณ อินพุตและสัญญาณเอาท์พุตของวงจรบวกที่มีตัวทวดแบบ TGFA[15] ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ที่ 500 MHz.....	37
รูปที่ 4.9 รูปสัญญาณอินพุตและสัญญาณเอาท์พุตของวงจรบวกที่มีตัวทวดแบบ hybrid logic[16] ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ที่ 500 MHz.....	37
รูปที่ 4.10 รูปสัญญาณอินพุตและสัญญาณเอาท์พุตของวงจรบวกที่มีตัวทวดแบบPLT/TG[17] ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ที่ 500 MHz.....	38
รูปที่ 4.11 รูปคลื่นสัญญาณเอาต์พุตผลรวมของวงจรบวกที่มีตัวทวดที่นำเสนอ ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ 500Hz เมื่อเปลี่ยนค่าโหลดคาปาซิแตนซ์.....	39
รูปที่ 4.12 รูปคลื่นสัญญาณเอาต์พุตตัวทวดของวงจรบวกที่มีตัวทวดที่นำเสนอ ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ 500 MHz เมื่อเปลี่ยนค่าโหลดคาปาซิแตนซ์.....	39
รูปที่ 4.13 การเปรียบเทียบค่าหน่วยเวลากับโหลดคาปาซิแตนซ์ของสัญญาณผลรวม ที่แหล่งจ่ายไฟ 1.2 โวลต์.....	40
รูปที่ 4.14 การเปรียบเทียบค่าหน่วยเวลากับโหลดคาปาซิแตนซ์ของสัญญาณเอาท์พุตตัวทวด ที่แหล่งจ่ายไฟ 1.2 โวลต์.....	40
รูปที่ 4.15 การเปรียบเทียบค่าหน่วยเวลากับแหล่งจ่ายไฟ ของสัญญาณเอาท์พุตผลรวม ที่แหล่งจ่ายไฟ 1.2 โวลต์.....	41
รูปที่ 4.16 การเปรียบเทียบค่าหน่วยเวลากับแหล่งจ่ายไฟ ของสัญญาณเอาท์พุตตัวทวด ที่แรงดันแหล่งจ่ายไฟ 1.2 โวลต์.....	41
รูปที่ 4.17 การเปรียบเทียบค่ากำลังงานที่สูญเสียของวงจรบวกที่มีตัวทวด กับโหลดคาปาซิแตนซ์ ที่แรงดันแหล่งจ่ายไฟ 1.2 โวลต์.....	42
รูปที่ 4.18 การเปรียบเทียบค่ากำลังงานที่สูญเสียของวงจรบวกที่มีตัวทวดกับแหล่งจ่ายไฟ.....	42

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญ

ในปัจจุบันเทคโนโลยีด้านวงจรรวมได้มีการพัฒนาไปอย่างรวดเร็ว ทำให้เทคโนโลยีการออกแบบพัฒนาตามไปด้วย ในการออกแบบวงจรรวมทางดิจิทัลนิยมพัฒนาในรูปแบบวงจรรวม (IC : Integrated Circuit) [1-2] และการใช้เทคโนโลยี (VLSI : Very Large Scale Integration) [3] ในการออกแบบวงจรรวม จะทำให้ชิปมีขนาดเล็กลงอย่างมาก และการออกแบบวงจรรวมโดยใช้เทคโนโลยีซีมอสเป็นที่นิยมอย่างมากในปัจจุบัน ข้อดีของการออกแบบโดยใช้เทคโนโลยีซีมอสในการออกแบบ จะทำให้วงจรรวมที่มีการสูญเสียกำลังงานต่ำ มีอินพุตอิมพีแดนซ์สูง และสามารถทำงานได้ที่แหล่งจ่ายแรงดันไฟเลี้ยงที่ต่ำ สามารถลด Noise Margin และมีความสามารถในการสร้างวงจรมีฟังก์ชันที่มีความซับซ้อนมากขึ้นได้ โดยที่ความเร็วของวงจรรวมยังคงเท่าเดิม นอกจากนี้ในการสร้างวงจรรวมด้วยเทคโนโลยีซีมอส ยังมีข้อดีอีกอย่างคือ High packing density ถ้ามอสทรานซิสเตอร์เป็นชนิดเดียวกัน ก็สามารถสร้างใน well เดียวกันได้ ซึ่งทำให้ระยะห่างของทรานซิสเตอร์สั้นมาก เพื่อไม่ให้เกิด Field Oscillation Pitch และ งานในขั้นตอนการสร้างวงจรรวม

ในปัจจุบันการศึกษาและพัฒนา วงจรรวมดิจิทัลโดยใช้เทคโนโลยีซีมอสอย่างต่อเนื่อง เพื่อพัฒนาวงจรรวมดิจิทัลให้สามารถทำงานความเร็วสูง และสามารถทำงานได้ดีที่ระดับแรงดันไฟเลี้ยงที่ต่ำๆ ได้อย่างมีประสิทธิภาพ เนื่องจากต้องการลดความสูญเสียพลังงานของระบบลง เพื่อให้ระบบสามารถทำงานได้ยาวนานขึ้นด้วย

1.2 ที่มาของงานวิจัย

ในปัจจุบันการออกแบบวงจรรวมดิจิทัลจะให้ความสำคัญเรื่องการสิ้นเปลืองพลังงาน และความเร็วในการประมวลผลเป็นหลัก ทั้งนี้เนื่องจากการใช้อุปกรณ์อิเล็กทรอนิกส์ประเภทพกพา เช่น คอมพิวเตอร์พกพา โทรศัพท์มือถือ อุปกรณ์ไร้สายขนาดเล็ก ซึ่งต้องการความเร็วในการประมวลผลสูง และสิ้นเปลืองพลังงานต่ำที่สุด วงจรบวกที่มีตัวทวดถือเป็นส่วนหนึ่งขององค์ประกอบหลักๆ ของการประมวลผลผลลัพธ์ที่ต้องการและรวดเร็ว เพื่อเพิ่มประสิทธิภาพในการออกแบบและพัฒนาตัวประมวลผลสัญญาณทางด้านดิจิทัล (Digital Signal Processor : DSP) ในส่วนการประมวลผลข้อมูลภาพ (Image Processing) ในส่วนการคำนวณผลทางคณิตศาสตร์ (Arithmetic Logic Unit : ALU) โดยการออกแบบวงจรรวมดิจิทัลที่ผ่านมา ได้ให้ความสำคัญกับความเร็วในการทำงาน และการสูญเสียกำลังงานของวงจรรวมเป็นหลัก [4-6] แต่ยังคงมีปัญหาเรื่องการสูญเสียแรงดันเทรชโฮลด์ (threshold voltage loss)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 วัตถุประสงค์ของการวิจัย

ปัญหาการนำวงจรบวกที่มีตัวทวดชนิดซีมอสมาใช้ในการออกแบบวงจรรวมขนาดใหญ่คือขนาดของวงจร และจำนวนทรานซิสเตอร์ ที่มีผลต่อความเร็วและขนาดของวงจร ทำให้วงจรรวมไม่สามารถทำงานที่ไฟเลี้ยงต่ำได้ เมื่อทำการคำนวณจะเกิด การสูญเสียแรงดันเทรชโฮลด์ (Threshold Voltage Loss) ดังนั้นจึงจำเป็นต้องออกแบบเพื่อแก้ปัญหาที่เกิดขึ้น เพื่อให้วงจรรวมที่ออกแบบสามารถทำงานที่ศักดาไฟเลี้ยงต่ำและความถี่สูงได้อย่างมีประสิทธิภาพ

1.4 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้แบ่งออกเป็น 5 บทโดยในบทที่ 1 จะเป็นการกล่าวถึงที่มาของงานวิจัย วัตถุประสงค์และรายละเอียดในวิทยานิพนธ์

บทที่ 2 จะกล่าวถึง ทฤษฎีซีมอสลอคจิกเกท วงจรซีมอสแบบต่างๆ

บทที่ 3 จะกล่าวถึง หลักการของวงจรบวกที่มีตัวทวด และการออกแบบวงจรบวกที่มีตัวทวด

บทที่ 4 จะกล่าวถึง วงจรบวกแบบใช้ตัวทวดที่เสนอและผลการทดสอบเปรียบเทียบคุณสมบัติต่างๆของวงจรที่นำเสนอ

บทที่ 5 เป็นส่วนการสรุปผลการวิจัย

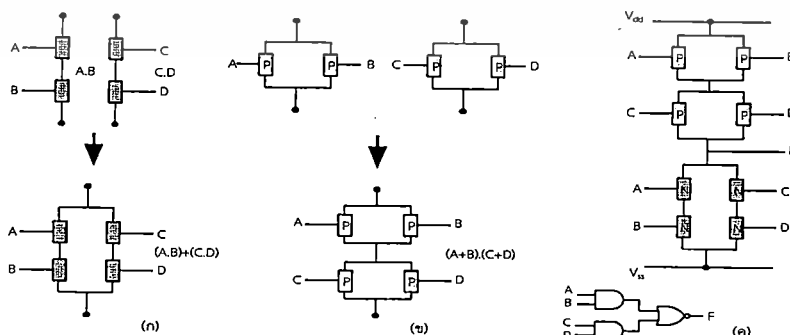
บทที่ 2

ทฤษฎีซีมอสลอจิกเกต

วงจรถลอจิกแบบซีมอสแบ่งเป็น 2 ประเภท คือวงจรถแบบสแตติกและแบบไดนามิก แต่เนื่องจากแบบสแตติกเกตนั้นมีข้อดีหลายข้อจึงทำให้มีการเลือกใช้เกตต่างๆมาแทนที่ โดยในการเลือกใช้ลจิกประเภทต่างๆ เรามักจะคิดถึงควมประหยัดพลังงาน ความเร็วในการทำงาน ปกติแล้วการใช้พื้นที่ซิลิกอนของวงจรถจะเป็นสัดส่วนโดยตรงกับจำนวนของทรานซิสเตอร์อยู่แล้ว แต่ก็ขึ้นอยู่กับความยุ่งยากในการออกแบบลวดลายและชนิดของเกตด้วย ซึ่งปกติแล้วซีมอสจะสิ้นเปลืองพื้นที่มากกว่าเอ็นมอสประมาณ 20-30% และโดยปกติแล้วลจิกบล็อกล็กเล็ๆ มักจะออกแบบในรูปแบบของสแตติกซีมอส แต่ถ้าหากเป็นวงจรถลอจิกขนาดใหญ่ที่อนุกรมกันก็ควรจะปรับปรุงเป็นไดนามิกลจิกหรือโดมิโนลจิก

2.1 คอมพลิเมนต์ารีลจิก

คอมพลิเมนต์ารีลจิก[7] เป็นวงจรถลอจิกที่ต้องใช้พีมอสและเอ็นมอสทำงานร่วมกัน วงจรถนี้จึงเป็นวงจรถพื้นฐานของการใช้งานซีมอส สัญญาณอินพุต 1 เส้นจะต้องต่อกับมอสทรานซิสเตอร์อย่างน้อย 2 ตัวเสมอ การต่ออนุกรมกันในกลุ่มเอ็นมอส (คือฟังก์ชันแอนด์) จะคู่ควบกับการต่อขนานในกลุ่มพีมอส (คือฟังก์ชันออร์) หรือในทำนองเดียวกัน การต่อขนานในกลุ่มเอ็นมอสก็คู่ควบกับการต่ออนุกรมในกลุ่มพีมอส วงจรถอินเวอร์เตอร์ แนนด์เกต และนอร์เกต การใช้วิธี decomposite function ดังตัวอย่างต่อไปนี้ จะเป็นวิธีการที่ง่ายแบบหนึ่งในการสร้างวงจรถลอจิกแบบนี้ ลองพิจารณาตัวอย่างกำหนด $F = \overline{(AB + CD)}$ ให้แบ่ง F เป็น 2 ส่วนคือ Univeter Expression คือ $AB + CD$ นำไปสร้างเป็นวงจรถของเอ็นมอสที่ข้างหนึ่งต่อกับกราวด์หรือ V_{ss} และส่วนของ Inverted Expression คือ $(\overline{A+B})(\overline{C+D})$ นำไปสร้างเป็นวงจรถของพีมอสที่ข้างหนึ่งต่อกับไฟเลี้ยงหรือ V_{dd} จากนั้นนำข้างที่เหลือของทั้งชุดของพีมอส และชุดของเอ็นมอสมาต่อกัน โดยเอาท์พุต (F) ต่อกับส่วนที่ต่อกันนี้ แสดงดังรูปที่ 2.1



รูปที่ 2.1 วงจรถคอมพลิเมนต์ารีลจิก ก) $AB + CD$ ข) $(\overline{A+B})(\overline{C+D})$ ค) $F = \overline{(AB + CD)}$

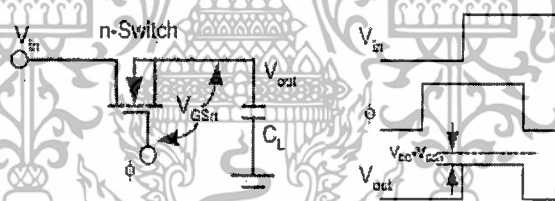
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีอย่างประการของวงจรมอสคอมพลิเมนต์คือการออกแบบสแตติกเกตแต่ละครั้งมักจะมีความซ้ำซ้อนอยู่ด้วยเสมอ เพราะว่าถ้าเอ็นทรานซิสเตอร์มีลักษณะเป็น แอนด์ ฟิทรานซิสเตอร์ก็จะมีลักษณะเป็นออร์ และถ้าหากมีหลายอินพุตก็จะต่อขยายกันออกไปจะเป็นสาเหตุหนึ่งของการเสียเวลาในการออกแบบและสิ้นเปลืองเนื้อที่บนแผ่นซิลิกอน ประสบปัญหาความยุ่งยากในการออกแบบ โดยเฉพาะอย่างยิ่งแล้วการออกแบบลวดลายจะทำให้ลำบากมากขึ้น เพราะว่าแต่ละอินพุตจะแยกเป็น 2 ทางเสมอ ทางหนึ่งจะเป็นอินพุตของเอ็นมอสและอีกทางหนึ่งจะเป็นอินพุตของพีมอส เนื่องจากอินพุตต้องแยกเป็น 2 ทาง คือเป็นอินพุตของเอ็นมอสและของพีมอสนี้เอง ถ้าหากให้ความจุไฟฟ้าต่อหน่วยของเกตเป็น C_g แล้วแต่ละอินพุตจะมีค่าความจุไฟฟ้าปรากฏอยู่ $2C_g$ เสมอ จึงทำให้เกตประเภทนี้มีความเร็วไม่สูงกว่าโครงสร้างแบบอื่นบางประเภท

2.2 มอสสวิทช์

จากคุณสมบัติของมอสทรานซิสเตอร์ที่สามารถใช้ค่าแรงดันที่เกตควบคุมกระแสที่ไหลระหว่างเดรนและซอสได้ จึงมีการประยุกต์ใช้ตัวทรานซิสเตอร์เป็นสวิทช์ที่ควบคุมด้วยแรงดันที่เกต โดยจะมีทั้งเอ็นสวิทช์และพีสวิทช์ ขึ้นอยู่กับชนิดของตัวทรานซิสเตอร์

2.2.1 เอ็นสวิทช์

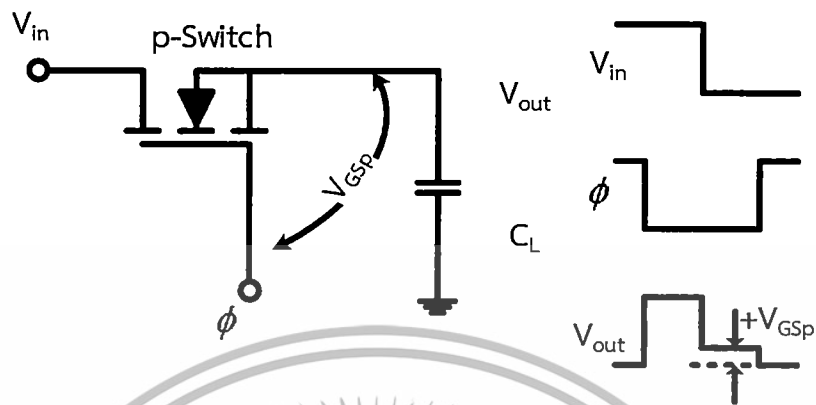


รูปที่ 2.2 เอ็นมอสสวิทช์

จากรูปที่ 2.2 เป็นเอ็นมอส โดยสัญญาณควบคุม ϕ มีค่าลอจิก "0" หรือ "1" ปลายด้านหนึ่งต่อสัญญาณ V_{in} อีกด้านต่อกับตัวเก็บประจุ C_L (เป็นโหลด) สังเกตว่าจะไม่ระบุขาคูเดรนหรือซอส ทั้งนี้เพราะว่าโครงสร้าง MOS จะสมมาตรกัน ดังนั้นเดรนและซอส อาจจะสลับกันไปมาได้ขึ้นอยู่กับศักดาขณะนั้นตอนแรก C_L ไม่มีประจุใดๆอยู่ ดังนั้น $V_{out} = 0$ เมื่อให้ค่า $\phi = 0$ ไม่ว่า $V_{in} = 1$ หรือ 0 ก็ไม่สามารถจะทำให้มอสนำกระแสได้ ดังนั้นสวิทช์จะอยู่ในลักษณะเปิดวงจรเมื่อ $\phi = 1$ และ $V_{in} = 0$ ศักดาที่เกตจะสูงกว่า V_{out} ดังนั้นขาคูด้าน V_{out} จะเป็นเสมือนขาคู source ทำให้ $V_{GS} - V_{Tn} > 0$ สวิทช์จะอยู่ในลักษณะ "on" แต่ $V_{in} = 0$ ดังนั้น $V_{out} = 0$ ต่อมาให้ $\phi = 1$ และ $V_{in} = 1$ ศักดาที่เกตจะสูงกว่าที่ V_{out} ตอนนี้นี้ด้าน V_{out} จะเสมือนขาคู source ทำให้ $V_{GS} - V_{Tn} > 0$ สวิทช์จะอยู่ในลักษณะ "on" กระแสจะไหลจากทางซ้ายไปขวาประจุ C_L จน $V_{out} = V_{DD} - V_{Tn}$ ทำให้เอ็นมอสหยุดนำกระแสหรือสวิทช์ "off" อีกครั้ง

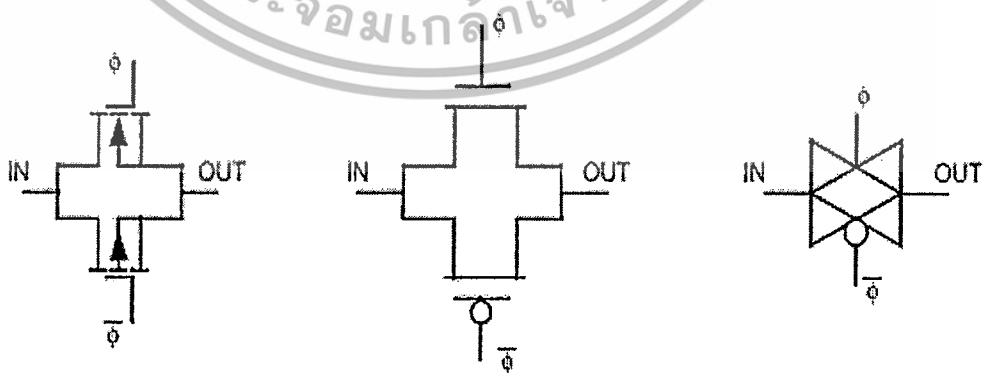
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.2 พีเอสวีทซ์



รูปที่ 2.3 พีเอสวีทซ์

จากรูป 2.3 ที่ขาเกต เพื่อให้รู้ว่าเป็นพีเอสวีทซ์ ซึ่งจะทำงานเมื่อได้สัญญาณ "0" ตอนแรก C_L ไม่มีประจุใดๆ ดังนั้น $V_{out} = 0$ เมื่อให้ $\phi = 1$ ไม่ว่า $V_{in} = 1$ หรือ 0 พีเอสวีทซ์จะยังคง "off" ต่อมาให้ $\phi = 0$ ถ้า $V_{in} = 1$ ขาด้าน V_{in} จะเสมือนเป็นขาซอส มอสสวีทซ์จะ "on" กระแสไหลจาก ข่ายไปขาประจุ C_L จนกระทั่ง $V_{out} = V_{DD}$ เมื่อ $\phi = 0$ และ $V_{out} = 1$ แต่ $V_{in} = 0$ ตอนนี้ขาด้าน V_{out} จะเสมือนขาซอส ดังนั้นมอสสวีทซ์จะ "on" C_L จะคายประจุ กระแสไหลจากขามาเข้าขา จนกระทั่ง $V_{out} = |V_{Tpl}|$ ทำให้พีเอสวีทซ์หยุดนำกระแสหรือสวีทซ์ "off" อีกครั้ง จะเห็นได้ว่าได้ว่าพีเอสวีทซ์ทำงานเมื่อลอจิกที่ควบคุมเป็นสถานะ "0" และสวีทซ์นี้ดีสำหรับผ่านสัญญาณ "1" เพื่อชดเชยข้อต่อของสวีทซ์แต่ละชนิดคอมพลิเมนต์สวีทซ์ หรือทรานสมิซชันเกต สร้างขึ้นด้วยการนำพีเอสวีทซ์และเอ็นสวีทซ์มาต่อขนานกัน โดยการควบคุมให้สวีทซ์ทั้งคู่ "on" และ "off" พร้อมกัน คือต่อสัญญาณ ϕ และ $\bar{\phi}$ ที่เกตของเอ็นมอสและพีเอสตามลำดับ ดังรูปที่ 2.4



รูปที่ 2.4 มอสคอมพลิเมนต์สวีทซ์ หรือทรานสมิซชันเกต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

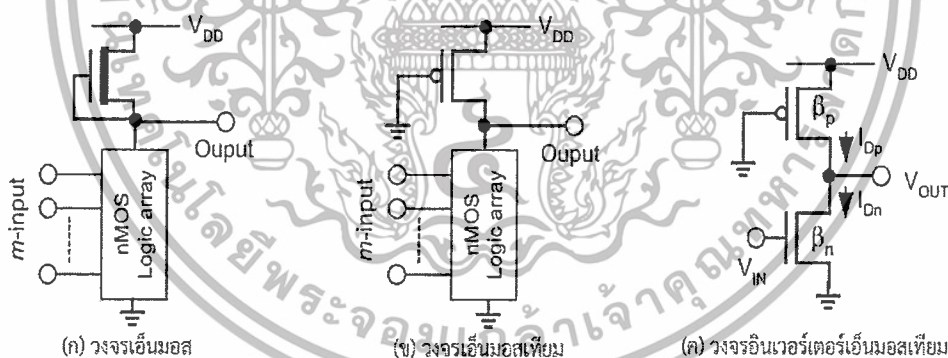
ซึ่งเป็นการนำข้อดีของพีสวิตช์และเอ็นสวิตช์มาใช้ร่วมกัน กล่าวคือให้เอ็นสวิตช์ "on" เพื่อผ่านสัญญาณ "0" และพีสวิตช์ "on" เพื่อผ่านสัญญาณ "1" คุณสมบัติโดยสรุปคือ

$$s=0, \bar{\phi}=1 \quad \begin{cases} \text{nMOS} = \text{OFF} \\ \text{pMOS} = \text{OFF} \\ V_{in} = 0, V_{out} = Z \\ V_{in} = 1, V_{out} = Z \end{cases} \quad \phi=1, \bar{\phi}=0 \quad \begin{cases} \text{nMOS} = \text{ON} \\ \text{pMOS} = \text{ON} \\ V_{in} = 0, V_{out} = 0 \\ V_{in} = 1, V_{out} = 1 \end{cases}$$

Z หมายถึงสภาวะ high impedance

2.3 ลอจิกมอสเทียม

วงจรถอจิกมอสเทียม (Pseudo MOS Logic) [9] นี้สามารถสร้างขึ้นได้จากทรานซิสเตอร์เพียงชนิดเดียวพีมอสทรานซิสเตอร์หรือเอ็นทรานซิสเตอร์ก็ได้และจะใช้ทรานซิสเตอร์ชนิดตรงกันข้ามมาทำเป็นโหลดเอ็นมอสเทียม (Pseudo-nMOS) จะได้รับความนิยมสูงกว่าพีมอสเทียมทั้งนี้เพราะวงจรถอจิกมอสทรานซิสเตอร์ล้วนๆ ได้รับความนิยมมาก่อนวงจรถอจิกพีมอสทรานซิสเตอร์แต่วงจรถอจิกเอ็นมอสจะใช้ดีพลีชันมอสเป็นโหลดแสดงดังรูปที่ 2.5ก ทำให้สิ้นเปลืองพลังงานมากและขนาดของตัวอุปกรณ์จะต้องคำนวณให้สอดคล้องกับระดับแรงดันของลอจิก



รูปที่ 2.5 วงจรถอจิกมอสเทียม

วงจรถอจิกเอ็นมอสเทียม มีพีมอสทรานซิสเตอร์ที่เกทลงกราวด์ทำหน้าที่เป็นโหลดให้กับวงจรถอจิกที่ 2.5ข ซึ่งถ้าหากเอ็นมอสทรานซิสเตอร์ตัวใดตัวหนึ่งหรือหลายตัวนำกระแสปริมาณกระแสระหว่าง V_{DD} กับกราวด์จะกำหนดได้โดย พีมอสทรานซิสเตอร์เท่านั้น ในกลุ่มของเอ็นมอสทรานซิสเตอร์อาจต่อกันอย่างไรก็ได้ขึ้นกับฟังก์ชันลอจิกที่ต้องการ การต่ออนุกรมกันหลายตัวจะส่งผลกับแรงดันสถานะลอจิกต่ำทางเอาต์พุตลอง พิจารณาตัวอย่างง่ายๆ เช่นอินเวอร์เตอร์แสดงในรูปที่ 2.5ค เนื่องจาก $V_{GSP} = V_{DD}$ พีมอสทรานซิสเตอร์จึงทำงานในย่านอิ่มตัว เมื่อให้ลอจิกสูงที่อินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะถือว่าเอ็นมอสทรานซิสเตอร์ ทำงานในช่วงเชิงเส้นและแรงดันทางเอาต์พุตเป็นแรงดันลอจิกต่ำ ดังนี้

$$\frac{\beta_p}{2}(V_{DD} - |V_{Tp}|)^2 = \frac{\beta_n}{2}\{2(V_{DD} - V_{Tn})V_{OL} - V_{OL}^2\} \quad (2.1)$$

ซึ่งเป็นสมการกำลังสอง แก้สมการหาค่า V_{OL}

$$V_{OL} = (V_{DD} - V_{Tn}) - \sqrt{(V_{DD} - V_{Tn})^2 - \frac{\beta_p}{\beta_n}(V_{DD} - |V_{Tp}|)^2} \quad (2.2)$$

β_p = ค่า transient rise time

β_n = ค่า transient fall time

V_{Tp} = ศักดาเริ่มต้นของพีมอส (pMOS Threshold Voltage)

V_{Tn} = ศักดาเริ่มต้นของเอ็นมอส (nMOS Threshold Voltage)

V_{DD} = แรงดันที่แหล่งจ่าย

V_{OL} = แรงดันเอาต์พุตที่ระดับต่ำ

V_{OH} = แรงดันเอาต์พุตที่ระดับสูง

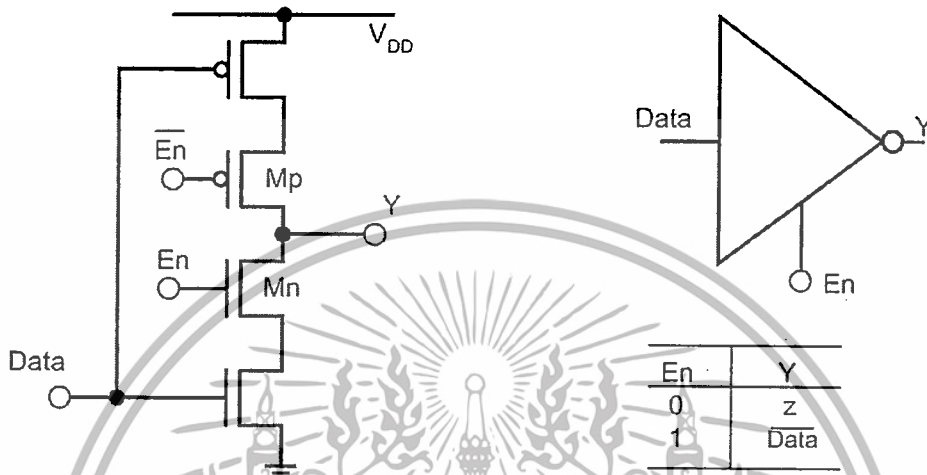
วงจรมอสเทียมมีลักษณะเหมือนวงจรมอสปกติทุกประการ แตกต่างกันว่า ตัวโหลด แทนที่จะเป็นเอ็นมอสทรานซิสเตอร์ ก็จะเป็นพีมอสทรานซิสเตอร์เพียงตัวเดียวที่ต่อเกทลงกราวด์ จะทำหน้าที่ให้กับวงจรมอส วงจรของพีมอสเทียมจะมีลักษณะที่ตรงกันข้ามกับวงจรมอสเทียม วงจรแบบนี้จะต้องคำนวณขนาดของตัวอุปกรณ์เพื่อให้ระดับลอจิกที่ถูกต้อง (สแตติกซีมอสไม่จำเป็นต้องคำนึงในข้อนี้) ปัญหาหลักของวงจรมอสเทียมคือการสูญเสียพลังงานมาก เพราะอุปกรณ์ที่เป็น โหลดจะนำกระแสตลอดเวลา ทั้งยังเป็นสาเหตุให้แรงดันเอาต์พุตลอจิก "0" ไม่สามารถที่จะเป็น ศูนย์ โวลต์ได้ ข้อดีของเกทแบบนี้ก็คือ สามารถประหยัดพื้นที่ได้มากกว่าสแตติกเกท

2.4 วงจร 3 สถานะ

วงจรถอจิก 3 สถานะ (Tri-state Output Circuit) [8] วงจรถอจิกปกตินั้นจะมีแค่ 2 สถานะ คือสถานะแรงดันต่ำหรือลอจิก "0" และสถานะแรงดันสูงหรือลอจิก "1" แต่ วงจรถอจิก 3 สถานะจะมี สถานะเพิ่มเข้ามาคือ "High impedance" หรือ "Hi-Z" สถานะดังกล่าว ไม่สามารถที่จ่ายหรือรับ กระแสใดๆได้ ทำให้เหมาะสมในการแยกวงจรออกจากวงจรส่วนอื่นๆ ขณะทำงานวงจรถอจิก 3 สถานะนิยม ใช้สำหรับปล่อยสัญญาณลงสู่บัส ที่มีสถานะภาพเป็นทั้งอินพุตและเอาต์พุตส่วนใหญ่ก็จะ เป็นวงจรถอจิกด้วย (จ่ายกระแสได้มาก) มีทั้งแบบกลับสัญญาณ (Inverting) และไม่กลับสัญญาณ (Non-inverting) รูปที่ 2.6 แสดงวงจรถอจิก 3 สถานะแบบกลับสัญญาณโดยที่สัญญาณ En (Enable) จะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำหน้าที่เป็นสัญญาณควบคุมหากสัญญาณ En เป็น High วงอินเวอร์เตอร์ก็จะทำงานเหมือนวงจรอินเวอร์เตอร์ปกติหากสัญญาณ En เป็น Low ทางเอาต์พุตก็จะปรากฏค่าเป็นความต้านทานสูงโดยไม่ขึ้นกับสถานะทางอินพุตเลยทั้งนี้เพราะพีมอสทรานซิสเตอร์ (Mp) และเอ็นมอสทรานซิสเตอร์ (Mn) อยู่ในสถานะ "off" หรือไม่นำกระแส

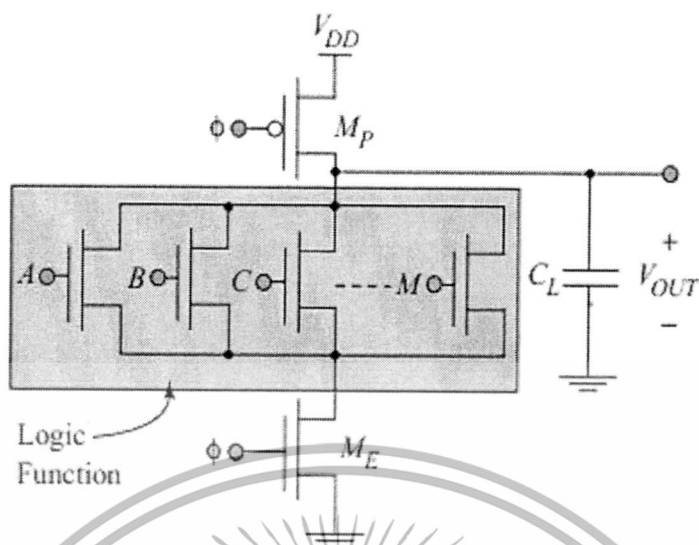


รูปที่ 2.6 วงจร 3 สถานะแบบกลับสัญญาณ(Tri-state Inverter)

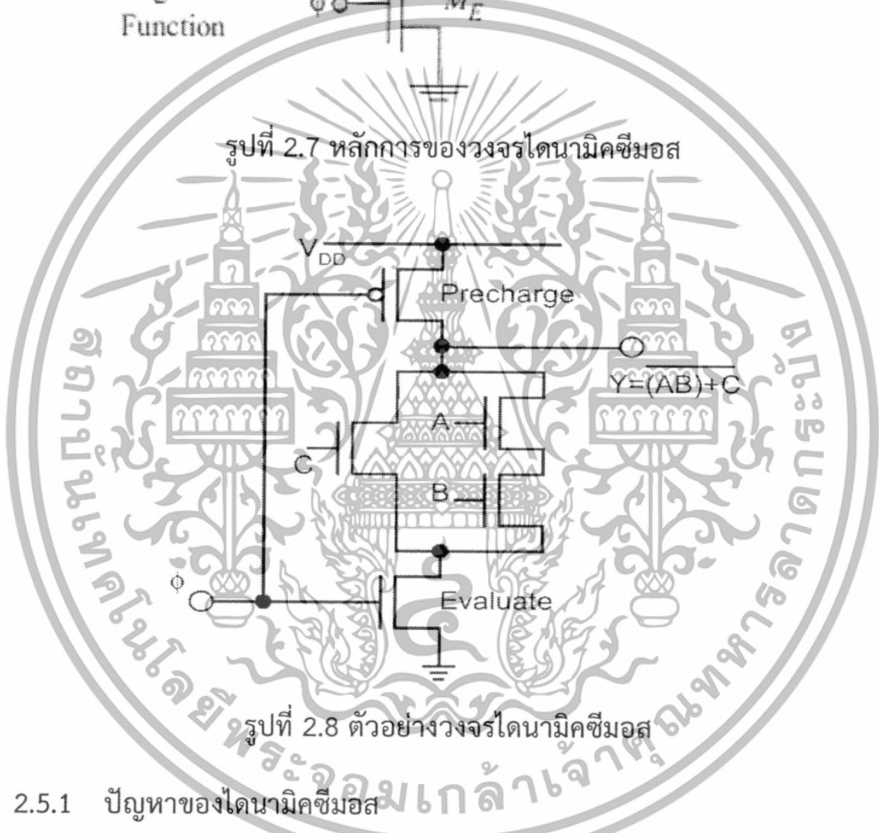
2.5 ไดนามิกซีมอสลोजิก

ลักษณะของวงจรลोजิกแบบไดนามิก (Dynamic CMOS) [9] แสดงในรูปที่ 2.7 ต้องการซิงโครไนส์ในการอ่านสถานะเอาต์พุต วงจรจะมีช่วงการเปลี่ยนแปลงอินพุตเฉพาะเมื่อสัญญาณนาฬิกามีสถานะเป็น "0" เท่านั้นช่วงนี้จะเรียกว่า Precharge และเมื่อสัญญาณนาฬิกามีสถานะเป็น "1" ก็ส่งผลของลोजิกออกจากเอาต์พุตช่วงนี้จะเรียกว่าช่วง Evaluate ลักษณะวงจรพื้นฐานของไดนามิกซีมอสจะประกอบด้วยวงจรของเอ็นมอสทรานซิสเตอร์ที่จะให้ลोजิกฟังก์ชันโดยเอาต์พุตไหนจะถูก Precharge สู่ V_{DD} โดยพีมอสทรานซิสเตอร์ในขณะเดียวกันเอ็นมอสทรานซิสเตอร์จะทำหน้าที่ Evaluate แสดงในรูปที่ 2.8 สัญญาณนาฬิกาที่ใช้เป็นเฟสเดียวในช่วง Precharge $\phi = "0"$ และอยู่ในช่วง Evaluate เมื่อ $\phi = "1"$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.7 หลักการของวงจรถอยนาไมคซีมอส



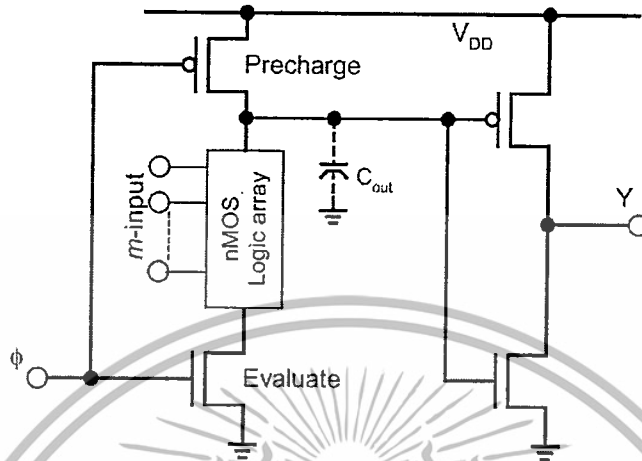
รูปที่ 2.8 ตัวอย่างวงจรถอยนาไมคซีมอส

2.5.1 ปัญหาของไดนามิคซีมอส

สัญญาณอินพุตจะเปลี่ยนแปลงได้เฉพาะในช่วง Precharge เท่านั้นมิฉะนั้นแล้วสัญญาณเอาต์พุตอาจจะผิดพลาดได้ ปัญหาที่เกิดขึ้นอีกเรื่องหนึ่งก็คือ การต่ออนุกรมกันของไดนามิคเกตหลายๆชุด เมื่อเกตถูก Precharge สัญญาณที่โหนดเอาต์พุตจะถูก Precharge สู่ V_{DD} แต่ในช่วง Evaluate เอาต์พุตของเกตชุดแรกจะเปลี่ยนแปลงตามเงื่อนไขของอินพุต ถ้าหากว่ามีกรณีเลยในช่วงนี้ (ซึ่งจะเป็นอินพุตของเกตชุดที่ 2) จะทำให้เกตชุดที่ 2 ประเมินค่าผิดพลาดการแก้ปัญหาดังกล่าวอาจจำเป็นต้องใช้สัญญาณนาฬิกาหลายเฟสคาบเวลาของสัญญาณนาฬิกา จะต้องมีความเพียงพอที่จะให้การประเมินค่าของเกตชุดที่ช้าที่สุดเป็นไปอย่างสมบูรณ์เสียก่อน ลักษณะของวงจบบางแบบจะทำให้เกิดปัญหาเรื่องค่าความจุไฟฟ้าแอบแฝงทำให้แรงดันลอคจิกคลาดเคลื่อนได้ (Charge sharing problem) ปกติแล้วจะต้องให้ค่าตัวเก็บประจุ C_{out} มีค่ามากกว่าตัวเก็บประจุอื่นในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6 ซีมอสโดมิโนลอจิก



รูปที่ 2.9 วงจรพื้นฐานของโดมิโนซีมอสลอจิก

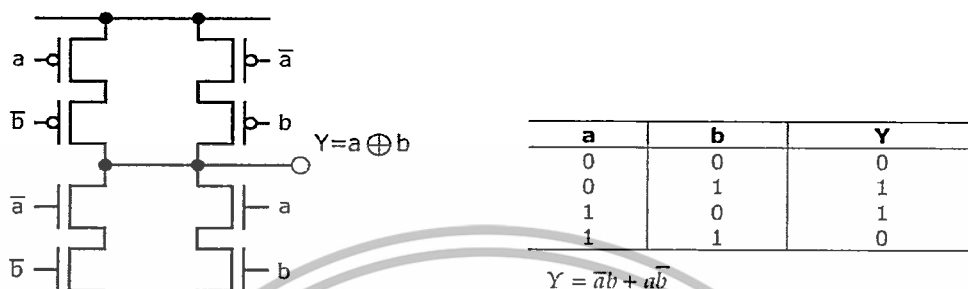
โครงสร้างพื้นฐานของโดมิโนลอจิก[10] จะประกอบด้วยวงจร 2 ส่วน คือส่วนแรกจะเป็นไดนามิกซีมอสที่ทำงานด้วยสัญญาณนาฬิกาชุดเดียว คือ Precharge และ Evaluate และวงจรส่วนที่ 2 จะเป็นซีมอสอินเวอร์เตอร์ดังแสดงในรูปที่ 2.9 ในช่วง Precharge สัญญาณเอาต์พุตของวงจรไดนามิกจะ Precharge สู่ V_{DD} และที่สัญญาณเอาต์พุตของอินเวอร์เตอร์มีสถานะเป็น “0” เมื่อสัญญาณนาฬิกาเปลี่ยนจาก “0” เป็น “1” (ช่วงนี้จะประเมินค่า) Precharge ทรานซิสเตอร์จะหยุดทำงาน และทรานซิสเตอร์ Evaluate จะทำงานแทนในช่วง Evaluate โดมิโนลอจิกจะเปลี่ยนค่าเฉพาะเมื่อมีการเปลี่ยนสถานะจาก “0” เป็น “1” เท่านั้น

โดมิโนลอจิกจะประกอบด้วยส่วนของวงจรซึ่งเป็นอินพุต Precharge ทรานซิสเตอร์ Evaluate ทรานซิสเตอร์และเอาต์พุตอินเวอร์เตอร์อีก 1 ชุดดังนั้นโดมิโนลอจิก m อินพุตจะมีทรานซิสเตอร์ $m + 4$ ตัว เป็นวงจรที่มีการสูญเสียต่ำ เพราะจะไม่มีกระแสเฉื่อยในวงจรเลยปกติ แล้วพีมอสทรานซิสเตอร์จะเสียพื้นที่มากกว่าเอ็นมอสทรานซิสเตอร์ โดมิโนลอจิกมีทรานซิสเตอร์ส่วนใหญ่เป็นเอ็นมอสทรานซิสเตอร์จึงให้ความจุของอุปกรณ์ต่อพื้นที่ที่ดีขึ้น ในขณะที่ความยุ่งยากในการออกแบบลวดลายก็ลดลง

2.7 ลอจิกแบบวงจรเงาสสะท้อน

วงจรลอจิกแบบเงาสสะท้อน (Mirror Circuit logic)[11] มีรูปแบบคล้ายวงจรซีมอสคอมพลีเมนต์มาตรฐาน คือมีส่วนของพีมอสทรานซิสเตอร์และเอ็นมอสทรานซิสเตอร์ แต่วงจรมีสองด้านซ้ายและขวาเหมือนกัน วงจรเส้นทางคู่วงจรด้านซ้ายและขวานี้สะท้อนซึ่งกันและกันในรูปแบบของคอมพลีเมนต์ ลักษณะเช่นนี้ลองพิจารณาวงจรของ XOR ซึ่ง $Y = a \oplus b = \bar{a}b + a\bar{b}$ จากคณิตศาสตร์บูลีนเราจะเห็นว่า $\bar{a}b + a\bar{b} = \overline{ab + \bar{a}\bar{b}}$ ซึ่งสามารถเขียนเป็นวงจรได้ดังรูปที่ 2.10 จะสังเกตเห็นว่าเอ็นเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยามให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มอสทรานซิสเตอร์จะทำงานเพื่อให้สัญญาณเอาต์พุตมีสถานะเป็น "0" ในขณะที่พีมอสทรานซิสเตอร์จะทำงาน เพื่อให้สัญญาณเอาต์พุตมีสถานะเป็น "1" จำนวนทรานซิสเตอร์ที่ใช้ในวงจรแม้จะเท่ากับ วงจรคอมพลิเมนต์ซีมอส แต่ลักษณะเส้นทางวงจรจะง่ายกว่า และวงจร XNOR ก็สามารถใช้ ออกแบบได้ในลักษณะเดียวกัน



รูปที่ 2.10 วงจร XOR เกท

2.8 ลอจิกเส้นทางคู่

วงจรลอจิกเส้นทางคู่ (Dual-rail logic)[12] จะใช้ทั้ง x และ \bar{x} พร้อมกันในรูปแบบที่เป็นเชิงอนุพันธ์โดยจุดประสงค์หลักก็เพื่อเพิ่มความเร็วในการทำงานพิจารณาฟังก์ชัน

$$f_x = x - \bar{x} \tag{2.3}$$

ดังนั้น

$$\frac{df_x}{dt} = \frac{dx}{dt} - \frac{d\bar{x}}{dt} \tag{2.4}$$

เมื่อ

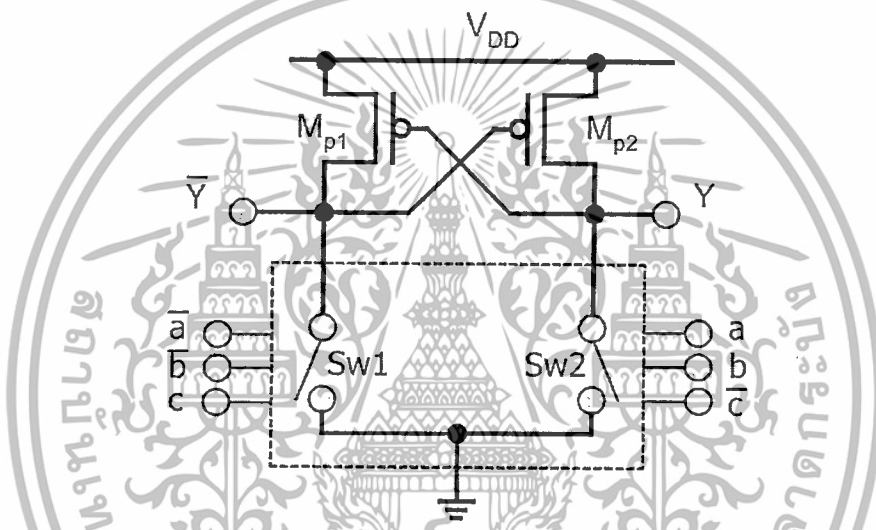
$$\frac{d\bar{x}}{dt} = - \left| \frac{dx}{dt} \right| \tag{2.5}$$

เมื่อ x มีค่าเพิ่มขึ้น \bar{x} ลดลง หรือในทางกลับกัน ดังนั้น

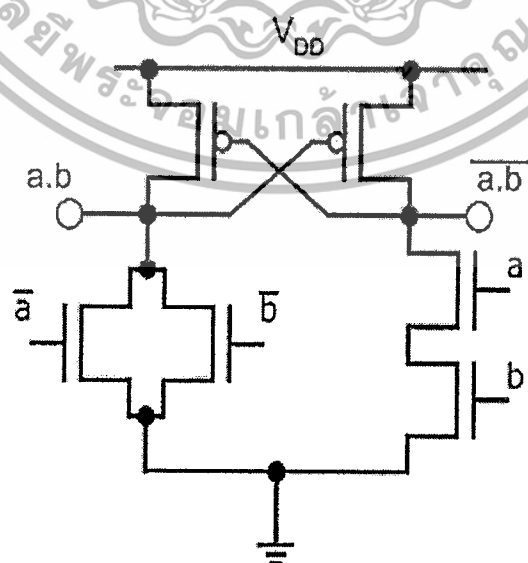
$$\frac{df_x}{dt} = 2 \left| \frac{dx}{dt} \right| \tag{2.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรถอดจิกเส้นทางคู่สามารถที่มีความเร็วประมาณ 2 เท่าของวงจรถอดจิกเส้นทางเดี่ยว แต่ในทางกลับกันเส้นทางการเชื่อมโยงวงจรถอดจิกจะต้องเพิ่มมากขึ้น เพราะจำนวนอินพุตที่ต้องเพิ่มมากขึ้น วงจรถอดจิกเส้นทางคู่ที่แพร่หลายก็คือ Differential Cascade Voltage Switching Logic (DCVSL) หรืออีกชื่อหนึ่งก็คือ differential CVSL โครงสร้างพื้นฐานของวงจรถอดจิก CVSL แสดงได้ดังในรูปที่ 2.11 อินพุตจะประกอบด้วยส่วนที่เป็นทางตรง (เช่น a b c) และส่วนที่เป็นคอมพลิเมนต์ (เช่น \bar{a} \bar{b} \bar{c}) ซึ่งทั้งหมดประกอบด้วยเอ็นมอสทรานซิสเตอร์เท่านั้น วงจรถอดจิกคอมพลิเมนต์ นี้จะอยู่ด้านละชุดของวงจรถอดจิกที่ประกอบจากพีมอสทรานซิสเตอร์ ทำให้ได้สัญญาณเอาต์พุตที่โหนด Y และ \bar{Y} สมมติว่าสัญญาณอินพุตลจิกทำให้สวิทช์ Sw1 ทำงานแรงดันที่โหนดเอาต์พุต \bar{Y} มีค่าลดลงเป็นแรงดันต่ำ เป็นการบังคับให้พีมอสทรานซิสเตอร์ Mp2 นำกระแสโดยเร็วเข้าไปเอาต์พุตที่โหนด Y เป็นแรงดันสูง

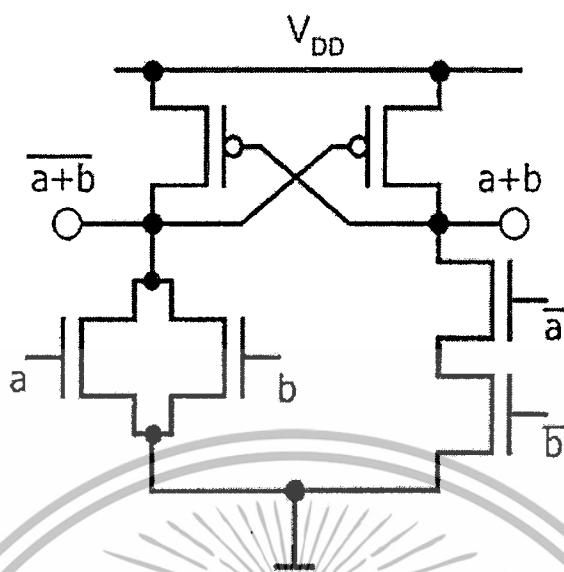


รูปที่ 2.11 วงจรพื้นฐานของ CVSL



รูปที่ 2.12 วงจร CVSL ของวงจรถอดจิกแอนด์/แนนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 วงจร CVSL ของวงจร ออร์/นอร์

การออกแบบในส่วนของวงจรมอสทรานซิสเตอร์ซึ่งสองด้านเป็นคอมพลิเมนต์กันนั้น วิธีหนึ่งที่ย่าง่ายก่อนข้างจะตรงไปตรงมาอย่างวงจร AND/NAND ในรูปที่ 2.12 และวงจร OR/NOR ในรูปที่ 2.13 ซึ่งจะเห็นว่า เมื่อสัญญาณอินพุตเป็นคอมพลิเมนต์กันแล้วสัญญาณเอาต์พุตก็ยังเป็นคอมพลิเมนต์กันอีกด้วยอาศัยทฤษฎีของ DeMorgan

$$\overline{a \cdot b} = \overline{a} + \overline{b} \quad (2.7)$$

จะเห็นว่าวงจร AND/NAND และวงจร OR/NOR มีโครงสร้างเดียวกันต่างกันเฉพาะตำแหน่งของสัญญาณอินพุตเท่านั้น

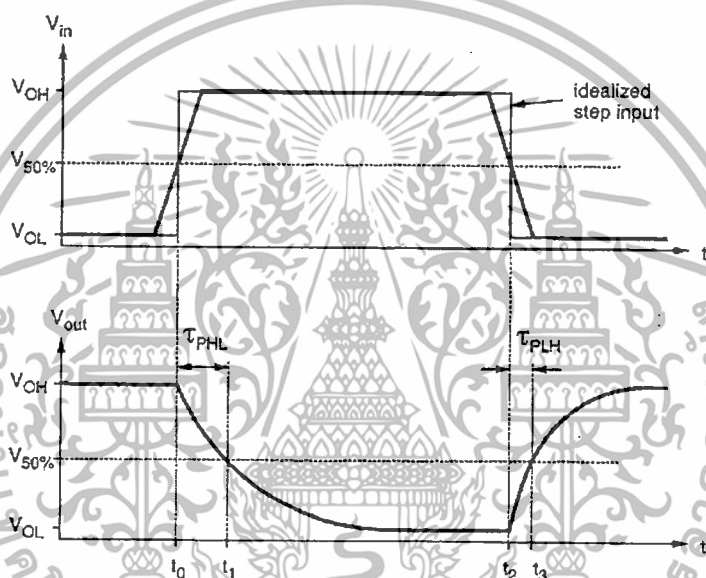
2.9 การหาค่าหน่วยเวลา

วิธีการหาค่าหน่วยเวลาที่ใช้กันอย่างแพร่หลาย ดูรูปคลื่นสัญญาณทางด้านอินพุตและเอาต์พุตของวงจรมอสทรานซิสเตอร์ ดังแสดงในรูปที่ 2.14 การหาค่าหน่วยเวลา τ_{PHL} และ τ_{PLH} เป็นค่าหน่วยเวลาที่เปรียบเทียบระหว่างสัญญาณทางด้านอินพุตและเอาต์พุตที่สภาวะเปลี่ยนแปลงจาก High เป็น Low และ Low เป็น High ตามลำดับ โดยมีนิยามดังนี้ τ_{PHL} เป็นค่าหน่วยเวลาเปรียบเทียบระหว่างช่วงเปลี่ยนที่แรงดัน 50% ของขาขึ้นทางอินพุตกับช่วงที่เปลี่ยนแรงดัน 50% ของขาลงทางเอาต์พุตเหมือนกันกับ τ_{PLH} เป็นนิยามค่าหน่วยเวลาเปรียบเทียบระหว่างช่วงเปลี่ยนที่แรงดัน 50% ของขาลงทางอินพุตกับช่วงที่เปลี่ยนแรงดัน 50% ของขาขึ้นทางเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อให้ง่ายขึ้นแก่การวิเคราะห์และเขียนสมการค่าการหน่วงเวลา สัญญาณรูปคลื่นทางอินพุต จะถูกสมมติเป็นรูปคลื่นสี่เหลี่ยม ทางทฤษฎีมีค่าหน่วงเวลาขาขึ้นและขาลงเป็นศูนย์ ภายใต้ข้อสมมติฐาน τ_{PHL} เป็นค่าหน่วงเวลาที่ได้จากแรงดันทางเอาต์พุตที่ลดลงจาก V_{OH} ไปหาระดับแรงดัน $V_{50\%}$ ซึ่งจะเริ่มตั้งแต่ช่วงขาขึ้นของสัญญาณอินพุต และ τ_{PLH} เป็นค่าหน่วงเวลาที่ได้จากแรงดันทางเอาต์พุตที่เริ่มเพิ่มขึ้นจาก V_{OL} ไปหาระดับแรงดัน $V_{50\%}$ ซึ่งจะเริ่มตั้งแต่ช่วงเวลาขาลงของสัญญาณอินพุต จากนั้นสามารถเขียนสมการของค่าแรงดันที่จุด $V_{50\%}$ ได้ดังนี้

$$V_{50\%} = V_{OL} + \frac{1}{2}(V_{OH} - V_{OL}) = \frac{1}{2}(V_{OL} + V_{OH}) \quad (2.8)$$



รูปที่ 2.14 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตของวงจรถอกลับสัญญาณ และนิยามค่าหน่วงเวลาต่างๆ โดยที่สัญญาณทางอินพุตเป็นสัญญาณสี่เหลี่ยมในทางทฤษฎี

ดังนั้นค่าหน่วงเวลา τ_{PHL} และ τ_{PLH} จากรูปที่ 2.14 แสดงได้ดังนี้

$$\begin{aligned} \tau_{PHL} &= t_1 - t_0 \\ \tau_{PLH} &= t_3 - t_2 \end{aligned} \quad (2.9)$$

วิธีการคำนวณค่า τ_{PHL} และ τ_{PLH} นั้น จะใช้การประมาณค่าเฉลี่ยกระแสของตัวเก็บประจุ ในขณะที่เก็บประจุและคายประจุ โดยถ้าให้กระแสเฉลี่ยเป็นค่าคงที่ จะได้ดังนี้

$$\tau_{PHL} = \frac{C_{load} \Delta V_{HL}}{I_{avg,HL}} = \frac{C_{load} (V_{OH} - V_{50\%})}{I_{avg,HL}} \quad (2.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\tau_{PLH} = \frac{C_{load} \Delta V_{LH}}{I_{avg,LH}} = \frac{C_{load} (V_{50\%} - V_{OL})}{I_{avg,LH}} \quad (2.11)$$

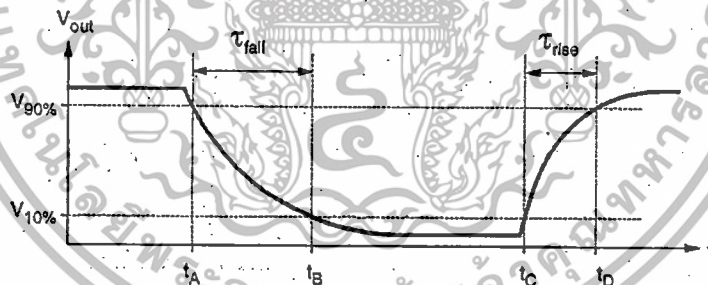
และค่าเฉลี่ยของค่าหน่วงเวลา (Propagation Delay Time) τ_p สำหรับสัญญาณทางอินพุต โดยผ่านวงจรถืออินเวอร์เตอร์จะได้ดังสมการ

$$\tau_p = \frac{\tau_{PHL} + \tau_{PLH}}{2} \quad (2.12)$$

ในรูปที่ 2.15 เป็นการให้นิยามค่าหน่วงเวลาทั้งทางขาลงและทางขาขึ้นของแรงดันทางเอาต์พุต ซึ่งค่าหน่วงเวลาขาขึ้น τ_{rise} เป็นช่วงเวลาของแรงดันทางอินพุตที่เพิ่มจากระดับแรงดันทางเอาต์พุตที่ระดับแรงดันตั้งแต่ $V_{10\%}$ จนถึงระดับแรงดัน $V_{90\%}$ เหมือนกันกับค่าหน่วงเวลาขาลง τ_{fall} เป็นช่วงเวลาของแรงดันทางเอาต์พุตที่ลดลงจากระดับ $V_{90\%}$ จนถึงระดับแรงดัน $V_{10\%}$ และระดับแรงดัน $V_{10\%}$ และ $V_{90\%}$ มีสมการดังนี้

$$V_{10\%} = V_{OL} + 0.1(V_{OH} - V_{OL}) \quad (2.13)$$

$$V_{90\%} = V_{OL} + 0.9(V_{OH} - V_{OL}) \quad (2.14)$$



รูปที่ 2.15 ช่วงเวลาขาขึ้นและขาลงของแรงดันเอาต์พุต

ดังนั้นช่วงขาลงและขาขึ้นของแรงดันเอาต์พุตสามารถหาได้จากรูปที่ 2.15 ดังนี้

$$\tau_{rise} = t_B - t_A$$

$$\tau_{fall} = t_D - t_C$$

$$(2.15)$$

หมายเหตุ : สามารถใช้นิยามเกี่ยวกับค่าหน่วงเวลาที่ระดับ 20% และ 80% ก็ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10 การหาค่ากำลังงานที่สูญเสีย

ในวงจรซีมอสจะแบ่งกำลังงานที่สูญเสียออกเป็น 2 ชนิดคือ Static Power Dissipation และ แบบ Dynamic Power Dissipation ซึ่ง Static Power Dissipation หรือ DC Power dissipation จะเกิดขึ้นเมื่อวงจรซีมอสอินเวอร์เตอร์ทำงานในช่วง Steady-State ($V_{out} = V_{OH}$) และ ($V_{out} = V_{OL}$) แต่วงจรซีมอสจะไม่ดึงกระแสจากแหล่งจ่ายไฟเลี้ยง ดังนั้นค่า DC Power Dissipation จึงไม่จำเป็นต้องคำนึงถึงเพราะมันมีค่าน้อยมากๆ ส่วนค่า Dynamic Power Dissipation ในวงจรซีมอสอินเวอร์เตอร์เกิดขึ้นในระหว่างสภาวะการสวิตช์ของโหลดคาปาซิเตอร์ทางเอาต์พุตในการเก็บประจุและคายประจุ



รูปที่ 2.16 วงจรซีมอสอินเวอร์เตอร์ ที่ใช้ในการวิเคราะห์หา Dynamic Power Dissipation

พิจารณาวงจรซีมอสอินเวอร์เตอร์ในรูปที่ 2.16 สมมติแรงดันทางอินพุตเป็นรูปสี่เหลี่ยมในทางทฤษฎี โดยที่ไม่คำนึงถึงค่าหนึ่งช่วงเวลาทั้งขาขึ้นและขาลง โดยทั่วไปรูปสัญญาณทางด้านอินพุตและเอาต์พุตและรูปคลื่นกระแสของโหลดคาปาซิเตอร์ ที่แสดงในรูปที่ 2.17 เมื่อแรงดันทางด้านอินพุตสวิตช์จาก Low เป็น High พีมอสทรานซิสเตอร์ ในวงจรจะไม่ทำงานแต่เอ็นมอสทรานซิสเตอร์ จะเริ่มนำกระแสในระหว่างเฟสนี้ โหลดคาปาซิเตอร์ C_{load} จะคายประจุโดยผ่านเอ็นมอสทรานซิสเตอร์ ดังนั้นกระแสโหลดคาปาซิเตอร์จึงเท่ากับกระแสเดรนของเอ็นมอสทรานซิสเตอร์ เมื่อแรงดันทางด้านอินพุตสวิตช์จาก High ไป Low เอ็นมอสทรานซิสเตอร์จะหยุดทำงาน แต่พีมอสทรานซิสเตอร์จะเริ่มนำกระแส ในระหว่างเฟสนี้ โหลดคาปาซิเตอร์ C_{load} ก็เริ่มเก็บประจุโดยผ่านพีมอสทรานซิสเตอร์ ดังนั้นกระแสของโหลดคาปาซิเตอร์เท่ากับกระแสเดรนของพีมอสทรานซิสเตอร์

สมมติว่า t เป็นคาบเวลาหนึ่งคาบของรูปสี่เหลี่ยมสัญญาณทางอินพุตและเอาต์พุต ดังนั้นค่าเฉลี่ย Power Dissipation ของวงจรในหนึ่งคาบเวลาสามารถหาได้ดังนี้

$$P_{avg} = \frac{1}{T} \int_0^T V(t)i(t)dt \quad (2.16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่

T คือ ช่วงเวลาหนึ่งคาบของสัญญาณนาฬิกา

t คือ ช่วงเวลาหนึ่งคาบของสัญญาณทางอินพุตและเอาต์พุต

V คือ แรงดัน

I คือ กระแส

ในระหว่างที่มอสทรานซิสเตอร์ทำการสวิตช์นั้นทั้งเอ็นมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์ในวงจรซีมอสอินเวอร์เตอร์จะนำกระแสทุกครั้งหนึ่งของคาบเวลา ดังนั้นค่าเฉลี่ย Power Dissipation ของวงจรซีมอสอินเวอร์เตอร์ สามารถคำนวณหาค่า Power ที่ต้องการได้จากการเก็บประจุและคายประจุของโหนดคาปาซิเตอร์

$$P_{avg} = \frac{1}{T} \left[\int_0^{\frac{T}{2}} V_{out} \left(-C_{load} \frac{dV_{out}}{dt} \right) dt + \int_{\frac{T}{2}}^T (V_{DD} - V_{out}) \left(C_{load} \frac{dV_{out}}{dt} \right) dt \right] \quad (2.17)$$

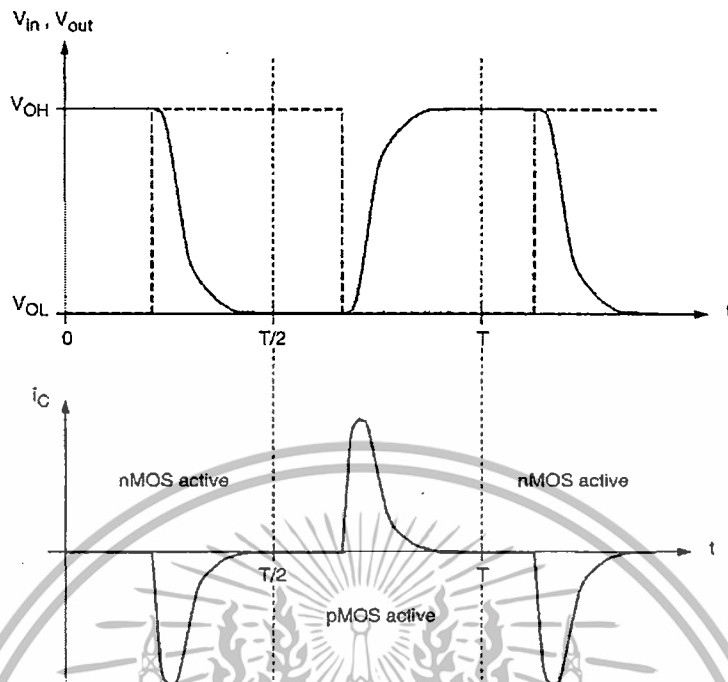
เมื่อนำสมการที่ 2.16 มาคำนวณ จะได้

$$P_{avg} = \frac{1}{T} \left[\left(-C_{load} \frac{V_{out}^2}{2} \right) \Big|_0^{\frac{T}{2}} + \left(V_{DD} V_{out} C_{load} - \frac{1}{2} C_{load} V_{out}^2 \right) \Big|_{\frac{T}{2}}^T \right] \quad (2.18)$$

$$P_{avg} = \frac{1}{T} C_{load} V_{DD}^2 \quad (2.19)$$

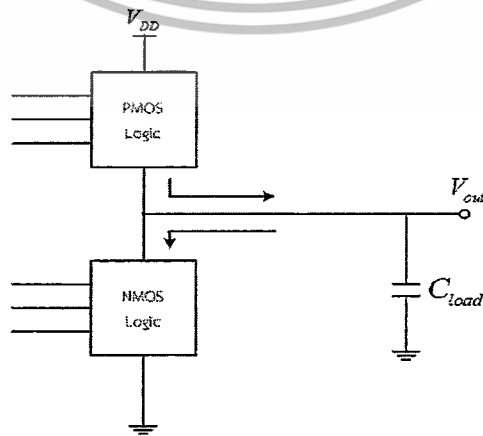
ซึ่ง $f = \frac{1}{T}$ ดังนั้นสามารถเขียนสมการได้เป็น

$$P_{avg} = C_{load} V_{DD}^2 f \quad (2.20)$$



รูปที่ 2.17 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตและรูปคลื่นกระแสของคาปาซิเตอร์ระหว่างการสวิตช์ของวงจรมอสอินเวอร์เตอร์

ค่าเฉลี่ยกำลังงานที่สูญเสียของวงจรมอสอินเวอร์เตอร์ในสมการที่ 2.20 จะมียังประกอบด้วยกำลังงานที่จะต้องสูญเสียไปในขั้นตอนของการสวิตช์ที่ตัวเก็บประจุทางด้านเอาต์พุตจากค่า V_{α} ไปหาค่า V_{OH} ตลอดจนแรงดันกับความถี่ที่ทำงานอยู่ในขณะนั้น และถ้าพิจารณาที่ความถี่ในการทำงาน (T) ก็จะเป็นอัตราส่วนกับความถี่ในการสวิตช์ (f) เพราะฉะนั้นข้อดีของวงจรมอสที่ใช้กำลังงานต่ำในการทำงาน จึงเป็นจุดเด่นในการนำไปใช้งานทางด้านความเร็วสูง ซึ่งส่วนมากแล้ววงจรมอสทางด้านความเร็วสูงก็ต้องใช้ความถี่ในการสวิตช์ที่สูงด้วย และนอกเหนือจากที่ได้กล่าวมาแล้ว ค่าเฉลี่ย Power Dissipation จะขึ้นอยู่กับลักษณะและขนาดของทรานซิสเตอร์ ตลอดจนค่าหน่วยเวลาในระหว่างการสวิตช์ที่จะเกิดขึ้นในวงจรด้วย



รูปที่ 2.18 วงจรมอส Logic โดยทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการกำลังงานที่เกิดจากการสวิตช์ของวงจรมอสอินเวอร์เตอร์ เราสามารถแสดงให้เห็นในรูปแบบของวงจรมอสสลอจิก โดยทั่วไปได้ดังในรูปที่ 2.18 ซึ่งวงจรมอสสลอจิก (CMOS Logic) จะประกอบด้วย NMOS Logic Block อยู่ระหว่างโหนดเอาต์พุตกับกราวด์และ PMOS Logic Block อยู่ระหว่างโหนดเอาต์พุตกับแรงดันไฟเลี้ยง V_{DD}

ในกรณีวงจรมอสอินเวอร์เตอร์ทั่วไปนั้น ทั้งส่วน PMOS Block หรือ NMOS Block สามารถนำกระแสโดยขึ้นอยู่กับสัญญาณทางอินพุต แต่ไม่ใช่ในเวลาเดียวกัน ดังนั้นกำลังงานที่สูญเสียที่เกิดจากการสวิตช์ เป็นการสูญเสียที่เกิดจากการเก็บประจุและคายประจุของคาปาซิเตอร์ทางเอาต์พุต

ดังนั้น ถ้าคาปาซิเตอร์ทั้งหมดที่อยู่ภายในวงจรมีค่ามากที่โหนดเอาต์พุต จะทำให้เกิดผลกระทบต่อประสิทธิภาพโดยรวมของวงจรด้วย ถ้าแรงดันเอาต์พุตแกว่งในช่วง 0 ถึง V_{DD} และถ้ารูปคลื่นสัญญาณอินพุตเป็นรูปคลื่นสี่เหลี่ยม ในทางทฤษฎีค่าเฉลี่ยของ Switching Power Dissipation สามารถแสดงได้ในสมการที่ 2.20 จะใช้ได้ในทุกวงจรมอสสลอจิก

ภายใต้เงื่อนไขที่เป็นจริงเมื่อรูปคลื่นสัญญาณทางอินพุต Step Input ไม่เป็นอย่างทฤษฎีและกำหนดช่วงเวลาทั้งขาขึ้นและขาลงไม่เป็น 0 สำหรับตัวอย่างเอ็นมอสทรานซิสเตอร์และพีมอสทรานซิสเตอร์จะนำกระแสพร้อมกัน ซึ่งเป็นผลรวมของกระแสที่เกิดขึ้นระหว่างการสวิตช์นี้เรียกว่า กระแสลัดวงจร ซึ่งในกรณีทรานซิสเตอร์ จะนำกระแสจากไฟเลี้ยง V_{DD} ไปหากราวด์ ดังนั้น ค่ากำลังงานที่สูญเสียที่เกิดขึ้นในเวลาที่ยังจร Short Circuit ไม่สามารถคำนวณได้ตามสมการที่ 2.20 ได้ ซึ่งกระแสที่เกิดจากการ Short Circuit ไม่ทำให้เกิดการเก็บประจุหรือคายประจุของคาปาซิเตอร์ทางเอาต์พุต จึงจำเป็นต้องรู้ค่ากำลังงานที่สูญเสียในส่วนนี้ด้วย เพราะจะสามารถอธิบายลักษณะที่ไม่เป็นไปตามเงื่อนไขทางทฤษฎี ถ้าโหลดคาปาซิเตอร์มีค่ามากขึ้น ในทางตรงกันข้ามค่ากำลังงานที่สูญเสียที่เกิดจากการ Short Circuit นี้ไม่จำเป็นต้องคำนึงถึง เพราะจะมีค่าน้อยมาก ถ้าเปรียบเทียบกับกำลังงานที่สูญเสียที่เกิดจากการเก็บประจุและคายประจุของคาปาซิเตอร์

2.11 การจำลองวิธีการวัดกำลังงานที่สูญเสียของวงจรมอสอินเวอร์เตอร์

การจำลองการทำงานของวงจรมอสอินเวอร์เตอร์ เพื่อหาค่าเฉลี่ยกำลังงานที่สูญเสีย ภายใต้เงื่อนไขการทำงานจริงอ้างอิงตามสมการที่ 2.20 ค่ากำลังงานที่สูญเสียของทุกอุปกรณ์หรือวงจรมอสอินเวอร์เตอร์ที่ป้อนด้วยรูปคลื่นสัญญาณอินพุตสามารถหาได้จากแรงดันตามเวลา t และกระแสตามเวลา t ที่อยู่ในหนึ่งช่วงรูปคลื่นสัญญาณ ถ้าเราจำเป็นต้องหาค่าเฉลี่ย P_{avg} ที่ดึงจากแหล่งจ่ายไฟเลี้ยงที่เป็นค่าคงที่

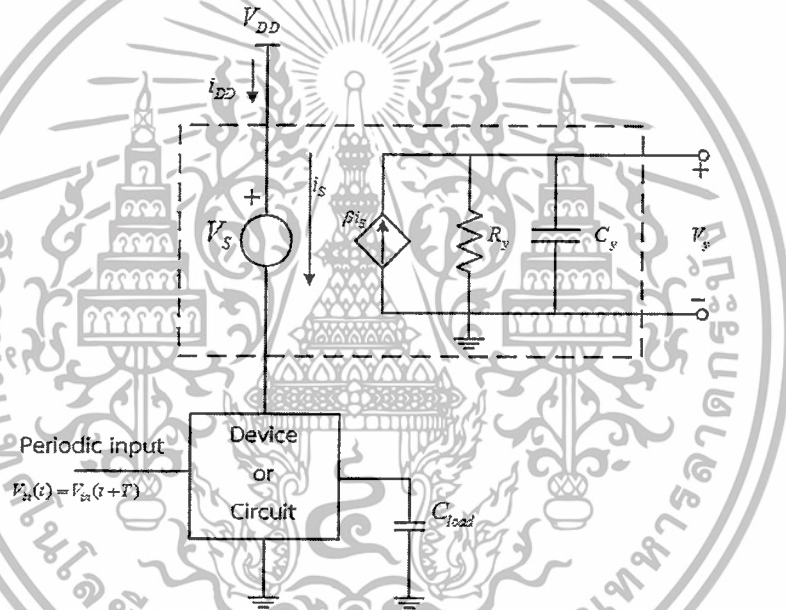
การใช้รูปแบบการจำลองการทำงานที่เรียกว่า Power Meter เราสามารถแสดงค่ากำลังงานที่สูญเสียเฉลี่ยของอุปกรณ์หรือวงจรมอสอินเวอร์เตอร์ที่เรากำหนดเองที่มีสัญญาณอินพุต 1 คาบเวลา ด้วยวิธี Transient Circuit เพื่อจำลองการทำงาน โดยพิจารณาตามโครงสร้างดังแสดงในรูปที่ 2.19 ซึ่งในที่นี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดัน Zero-Volt ไม่ขึ้นกับแหล่งจ่ายถูกต้องอนุกรมเข้ากับแหล่งจ่ายไฟเลี้ยง V_{DD} ของอุปกรณ์ เพราะฉะนั้นกระแสจากแรงดันแหล่งจ่ายไฟที่เปลี่ยนแปลงตามเวลา $i_{DD}(t)$ จะเป็นการดึงกระแสจาก วงจรโดยผ่านแหล่งจ่าย Zero-Volt จึงมีค่า $i_s(t) = i_{DD}(t)$

วิธีการวัดกำลังงานของวงจรประกอบด้วย 3 ส่วนคือ กระแสควบคุมแหล่งจ่ายกระแสที่เป็นแบบเส้นตรง คาปาซิเตอร์และตัวต้านทาน ทั้งหมดถูกต่อขนานกัน สมการกระแสสำหรับจุดรวมของ วงจรที่ใช้ในการวัดกำลังงานสามารถเขียนได้ดังนี้

$$C_y \frac{dV_y}{dt} = \beta i_s - \frac{V_y}{R_y} \quad (2.21)$$



รูปที่ 2.19 วงจรวัดกำลังงานที่นำมาใช้ในการจำลองการทำงาน เพื่อหาค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจร

เงื่อนไขเริ่มต้นของจุดวัดแรงดัน V_y จะถูกตั้งไว้ที่ $V_y(0) = 0$ จากนั้นก็สามารถหาค่า $V_y(t)$ ตามค่าเวลาด้วยการ Integrate สมการที่ 2.22

$$V_y(t) = \frac{\beta}{V_y} \int_0^t e^{-\frac{1}{R_y C_y}(t-\tau)} i_{DD}(\tau) d\tau \quad (2.22)$$

สมมติว่า $R_y C_y \gg T$ ค่าแรงดัน $V_y(T)$ ที่จุดสิ้นสุดของหนึ่งช่วงคาบเวลา สามารถที่จะประมาณค่าได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_y(T) = \frac{\beta}{C_y} \int_0^T i_{DD}(\tau) d\tau \quad (2.23)$$

ถ้าค่าสัมประสิทธิ์คงที่ แหล่งจ่ายกระแสควบคุมจะสามารถควบคุมการจ่ายกระแสได้ดังนี้

$$\beta = V_{DD} \frac{C_y}{T} \quad (2.24)$$

ค่าแรงดัน $V_y(t)$ ที่จุดสิ้นสุดของ 1 คาบเวลาจะหาค่า Transient จำลองการทำงานได้ดังนี้

$$V_y(t) = V_{DD} \frac{1}{T} \int_0^T i_{DD}(\tau) d\tau \quad (2.25)$$

จากสมการที่ 2.24 ทางด้านขวาเป็นผลของค่ากำลังงานเฉลี่ยที่ดึงจากแหล่งจ่ายไฟเลี้ยงใน 1 คาบเวลา ดังนั้นค่าแรงดันโหนด $V_y(T)$ ที่ $t=T$ เป็นค่ากำลังงานที่สูญเสียเฉลี่ยของวงจรวิธีการวัดกำลังงานแสดงในรูปที่ 2.21 สามารถนำมาใช้ในการจำลองการทำงานของวงจรทั่วไป ได้ด้วย โปรแกรมการจำลองการทำงาน เช่น HSpice หรือ PSpice และเพื่อประเมินค่ากำลังงานที่สูญเสียของวงจรที่มีความซับซ้อนให้ได้อย่างแม่นยำ อีกส่วนหนึ่งที่ต้องให้ความสำคัญคือ วงจรวิธีวัดค่ากำลังงาน จะต้องนำเอาผลลัพธ์มารวมกับค่ากำลังงานที่สูญเสียที่เกิดจากกระแส Short Circuit ที่เกิดขึ้นด้วย ซึ่งมันจะเกิดขึ้นเมื่อสัญญาณทางอินพุตไม่เป็นไปตามทฤษฎี

2.12 การหาค่า Power delay product

ค่า power delay product (PDP)[13] เป็นตัวแปรขั้นต้นที่เลือกใช้ในการวัดคุณภาพและประสิทธิภาพการทำงานของวงจรซิมอสที่ออกแบบ gate ต่างๆ ในทาง physic ค่า power delay product สามารถอธิบายถึงค่าพลังงานเฉลี่ยของเกตในการสวิตช์ค่า ของแรงดันทางด้านเอาต์พุตจาก Low ไปหา High และจาก High ไปยัง Low จะสามารถเห็นพลังงานที่สูญเสียในวงจรซิมอส

1. โดยที่ PMOS network ขณะที่โหลดคาร์ปาซิเตอร์ทางเอาต์พุต C_{load} เริ่มเก็บประจุจาก 0 ไปหา V_{DD}
2. โดยที่ NMOS network ขณะที่โหลดคาร์ปาซิเตอร์ทางเอาต์พุต C_{load} เริ่มคายประจุจาก V_{DD} ไปหา 0

ทำตามขั้นตอนการวิเคราะห์ที่ผ่านมา ซึ่งเหมือนกันอย่างหนึ่งคือการเขียนสมการ ค่าเฉลี่ย dynamic power dissipation ในวงจรซิมอสลอคจิกเกต และไม่ต้องคำนึงถึงกระแสที่เกิดจากวงจร Short circuit และกระแสรั่วไหล ผลรวมของพลังงานทางเอาต์พุตเวลาสวิตช์ สามารถเขียนได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$PDP = C_{load}V_{DD}^2f \quad (2.26)$$

การอธิบายพลังงานด้วยสมการที่ (2.26) เป็นค่าการสูญเสียหลัก ที่ทำให้เกิดความร้อนเมื่อทรานซิสเตอร์แบบเอ็นมอส และพีมอส นำกระแสระหว่างการสวิตช์ เพาะฉะนั้นจากการออกแบบ Point-of-view โดยทั่วไปสิ่งที่ต้องการคือ Power delay product ซึ่ง PDP เป็นฟังก์ชันของโหลดคาปาซิเตอร์ทางเอาต์พุต และแหล่งจ่ายแรงดันไฟฟ้า สำหรับนิกออกแบบ ควบคุมแบบวงจรมอส ลอจิกเกต ให้ค่า C_{load} และ V_{DD} มีค่าที่น้อยที่สุดเท่าที่ทำได้ ค่า power delay product สามารถนิยามได้ดังนี้

$$PDP = 2P_{avg}T_p \quad (2.27)$$

ซึ่ง P_{avg} เป็นค่าเฉลี่ยกำลังงานสูญเสียที่เกิดจากการสวิตช์ ที่มีความถี่ในการสูญเสียและ T_p เป็นค่าหน่วงเวลาเฉลี่ย โดยที่ทั้งสองตัวแปรในสมการ เป็นผลเกิดจากสองทรานซิสเตอร์ทางเอาต์พุตที่สวิตช์จาก low ไปหา high และจาก high ไปหา low นำไปใช้ในสมการที่ (2.19) และ (2.12) สามารถแสดงเป็นสมการได้ดังนี้

$$\begin{aligned} PDP &= 2(C_{load}V_{DD}^2f_{max})\tau_p \\ &= 2C_{load}V_{DD}^2 \frac{1}{\tau_{PHL} + \tau_{PLH}} \frac{\tau_{PHL} + \tau_{PLH}}{2} \\ &= C_{load}V_{DD}^2 \end{aligned} \quad (2.28)$$

จาก (2.28)ซึ่งจะเห็นได้ว่าเหมือนกับสมการ (2.19) การคำนวณค่า PDP ด้วยค่า P_{avg} สมการ (2.19) บางทีผลที่ได้รับใน Misleading interpretation นั้นเป็นผลรวมของพลังงาน ต่อ สถานการณ์สวิตช์ที่เป็นฟังก์ชันตามการทำงานทางความถี่

บทที่ 3

ทฤษฎีการทำงานของวงจรวกที่มีตัวทด

3.1 บทนำ

อุปกรณ์อิเล็กทรอนิกส์ไม่ว่าจะเป็นแบบเคลื่อนที่หรือแบบพกพาเรื่องการใช้กำลังงานเป็นสิ่งที่สำคัญมาก และสิ่งที่นำมาตอบสนองเรื่องกำลังงาน คือการเพิ่มประสิทธิภาพของแบตเตอรี่ หรือการพัฒนาการลดการใช้กำลังงานของอุปกรณ์ในส่วนต่างๆ ดังนั้นวงจรวกจึงถูกออกแบบเพื่อใช้ในการคำนวณเลขฐานสอง ซึ่งวงจรวกที่มีตัวทดถือเป็นส่วนหนึ่งขององค์ประกอบหลัก ของการประมวลผลหาผลลัพธ์ที่ถูกต้องและรวดเร็ว เพื่อเพิ่มประสิทธิภาพในการออกแบบและพัฒนาตัวประมวลผลสัญญาณทางด้านดิจิตอล (Digital Signal Processor : DSP) ในส่วนการประมวลผลข้อมูลภาพ (Image processing) ในส่วนการคำนวณผลทางคณิตศาสตร์ (Arithmetic Logic Unit : ALU) ส่วนของการประมวลผลกราฟิก 3 มิติ (Floating Point Unit : FPU) และในส่วนการประมวลผลกลาง (microprocessors)

3.2 วงจรวกหนึ่งบิต

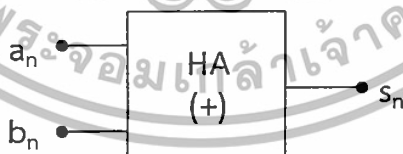
3.2.1 วงจรวกที่ไม่มีตัวทด

วงจรวกแบบไม่ใช้ตัวทด ที่มีสัญญาณอินพุตหนึ่งบิตสองค่า เป็น a_n และ b_n จะได้ผลลัพธ์ของการบวกออกมาเป็น 0, 1 หรือ 2 และผลลัพธ์จะเรียกว่า สัญญาณผลรวม (sum) และสัญญาณตัวทด (C_{n+1}) จะเป็นเอาท์พุทของวงจรวก แสดงดังรูปที่ 3.1 การทำงานของวงจรวกเป็นไปตามสมการที่ (3.1) และ (3.2) ซึ่งค่าที่ได้เป็นไปตามตารางที่ 3.1 ต่อไปนี้

$$S_n = a_n \oplus b_n = a_n \cdot \overline{b_n} + \overline{a_n} \cdot b_n \quad (3.1)$$

และ

$$C_{n+1} = a_n \cdot b_n \quad (3.2)$$



รูปที่ 3.1 วงจรวกที่ไม่มีตัวทด

ตารางที่ 3.1 ตารางแสดงค่าความจริงวงจรวกที่ไม่มีตัวทด

a_n	b_n	s_n	C_{n+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

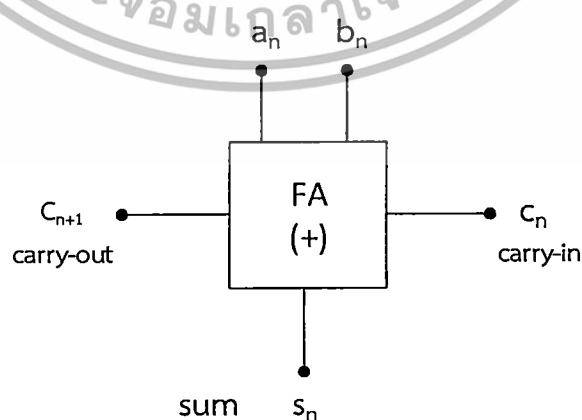
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2 วงจรบวกที่มีตัวทด

เมื่อทำการบวกจำนวนเลขฐานสอง 2 บิต จำนวน 2 เข้าด้วยกัน จะบวก 2 บิต นัยสำคัญต่ำสุดของแต่ละจำนวนเข้าด้วยกัน และแพรวตัวทดที่เกิดขึ้นไปยังการบวกของ 2 บิตนัยสำคัญสูงสุด ตัวอย่างเช่น เมื่อบวก 0,1 กับ 0,1 รู้ว่าตัวทดที่เกิดขึ้นจากการบวกของ 1,2 จำนวน จะถูกนำเข้าไปกับการบวกของ 0,2 จำนวนในคอลัมน์นัยสำคัญสูงสุด เห็นได้ว่าการบวกในคอลัมน์สำคัญสูงสุดมี 3 บิต คือ 2 บิตของนัยสำคัญสูงสุดของจำนวนของเลขฐานสองบวกด้วยบิตตัวทดที่เกิดขึ้นในคอลัมน์นัยสำคัญต่ำที่สุด วงจรบวกแบบไม่ใช่ตัวทดที่ได้กล่าวมาแล้วนั้น ไม่สามารถนำมาใช้สำหรับการบวกนี้ เพราะมีเพียง 2 อินพุต ส่วนในการบวกอินพุต 3 บิต เราต้องใช้วงจรบวกที่มีตัวทด วงจรบวกที่มีตัวทด จะทำการบวก 2 บิตเข้ากับบิตตัวทด 1 บิตที่เรียกว่าตัวทดเข้า ซึ่งเกิดจากภาคที่นัยสำคัญต่ำกว่าถัดไป เอาต์พุตของวงจรบวกที่มีตัวทดเป็นบิตผลบวกของบิตตัวทุดออก ถ้าให้บิตอินพุตเป็น a_n , b_n และ c_n แล้ว วงจรบวกที่มีตัวทดจะให้ผลบวกเป็น S_n เท่ากับ a_n บวก b_n บวก c_n และตัวทุดออก C_{n+1} ที่เป็นผลลัพธ์จากการบวก ตัวอย่างเช่น ถ้า $a_n = 0$, $b_n = 1$ และตัวทุดจากภาคนัยสำคัญต่ำกว่าถัดไปเป็น $c_n = 1$ แล้ว วงจรบวกที่มีตัวทดจะให้ผลลัพธ์ $S_n = 0$ และ $C_{n+1} = 1$ แสดงตามตารางที่ 3.2 และรูปที่ 3.2

ตารางที่ 3.2 ตารางค่าความจริงของวงจรบวกที่มีตัวทด

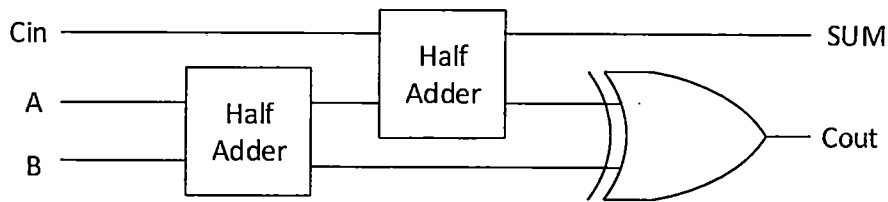
a_n	b_n	c_n	S_n	C_{n+1}
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1



รูปที่ 3.2 ไดอะแกรมของวงจรบวกที่มีตัวทด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรวกที่มีตัวทศที่จะออกแบบจะประกอบด้วยการวกในส่วนของบิตที่ต่ำกว่า LSB (1s) และส่วนของการวกในส่วนที่สอง MSB (2s,3s,...) จะเป็นการรวมผลลัพธ์ในการวกสองค่าคือผลลัพธ์ส่วนแรกกับค่าตัวทศ



รูปที่ 3.3 โครงสร้างพื้นฐานของวงจรวกที่มีตัวทศ

รูปที่ 3.3 แสดงวงจรวกที่มีตัวทศ ที่ผลลัพธ์บิตรวมและตัวทศออก ถูกแสดงในทุกๆ การจัดหมู่ที่เป็นไปได้ของ 3 อินพุต a_n, b_n และ c_n ดังเช่นที่ได้ทำมาแล้วในวงจรแบบไม่ใช่ตัวทศ เราสามารถถือได้ว่าตารางการวกของวงจรวกที่มีตัวทศ เป็นตารางความจริงของฟังก์ชันตรรกะที่ทำให้เกิดเอาต์พุต S_n และ C_{n+1} สามารถเขียนสมการของวงจรวกที่มีตัวทศได้ดังนี้

$$\begin{aligned}
 SUM &= A \oplus B \oplus C \\
 &= (\overline{AB} + AB) \oplus C \\
 &= (\overline{AB} + AB)C + (\overline{AB} + AB)\overline{C} \\
 &= (\overline{AB} + AB)C + (\overline{AB} + AB)\overline{C} \\
 &= [(A + \overline{B})(\overline{A} + B)]C + (\overline{AB} + AB)\overline{C} \\
 &= AAC + ABC + \overline{ABC} + B\overline{BC} + \overline{ABC} + \overline{ABC} \\
 &= ABC + \overline{ABC} + \overline{ABC} + \overline{ABC}
 \end{aligned} \tag{3.3}$$

จากตารางค่าความจริงสามารถเขียนสมการของวงจรวกที่มีตัวทศได้ดังสมการ (3.4)

$$\begin{aligned}
 SUM &= (A \oplus B) \cdot C_{in} + (A \oplus B) \cdot C_{in} \\
 C_{out} &= (A \oplus B) \cdot A + (A \oplus B) \cdot C_{in}
 \end{aligned} \tag{3.4}$$

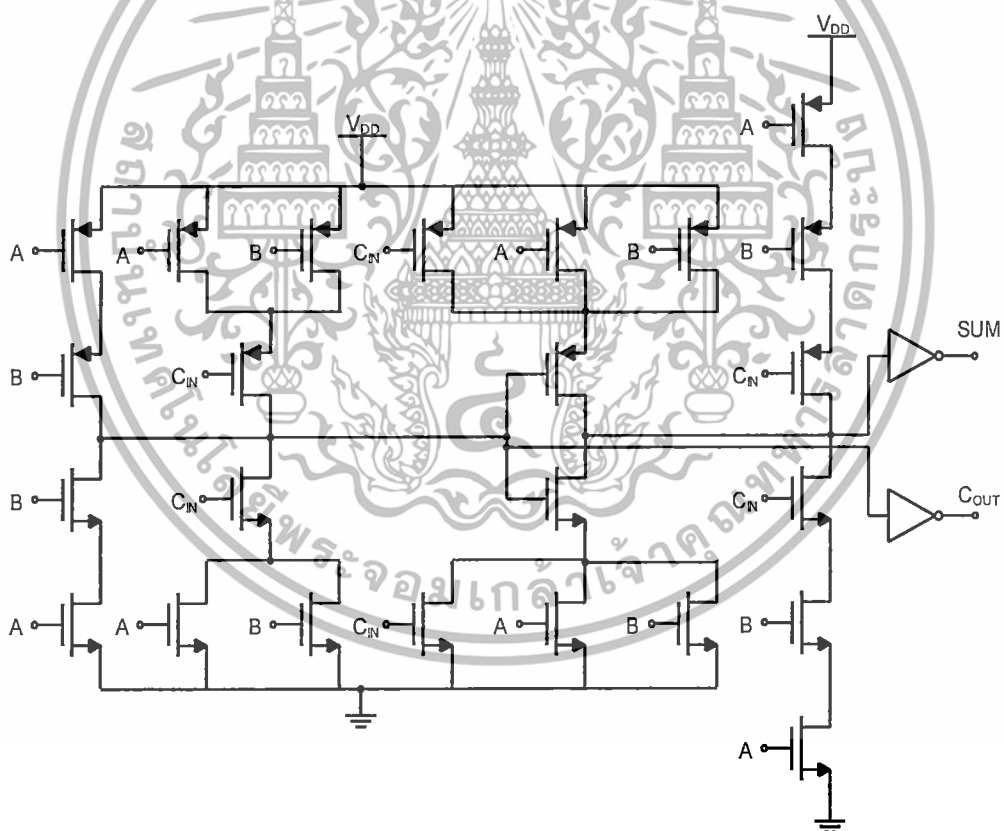
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 วงจรบวกที่มีตัวทวดชนิดซีมอส

3.3.1 วงจรบวกที่มีตัวทวดพื้นฐาน

วงจรวกที่มีตัวทวดแบบพื้นฐาน[14] แสดงดังรูปที่ 3.4 เป็นวงจรวกชนิดที่มีทรานซิสเตอร์ 28 ทรานซิสเตอร์ แสดงดังรูปที่ 3.4 เป็นการออกแบบวงจรวกที่มีตัวทวด 28 ทรานซิสเตอร์แบบพื้นฐานที่ใช้ซีมอสทรานซิสเตอร์ชนิดเอ็นมอส 14 ทรานซิสเตอร์ และมอสทรานซิสเตอร์ชนิดพีมอส 14 ทรานซิสเตอร์ ซึ่งเป็นมอสที่ประกอบด้วยแอนด์เกต ออร์เกต และอินเวอร์เตอร์ โดยโครงสร้างเป็นรูปแบบวงจรวกแบบเงาสะท้อน (Mirror Circuit logic)

โดยวงจรวกที่มีตัวทวดแบบพื้นฐาน[14] มีข้อดีตรงที่มีโครงสร้างที่เรียบง่ายและมีความเสถียรในการทำงานที่แรงดันแหล่งจ่ายที่ต่ำได้ แต่ข้อเสียของวงจรวกนี้คือการที่มีจำนวนทรานซิสเตอร์ที่สูง ซึ่งมีผลต่อการออกแบบที่ใช้พื้นที่สูงซึ่งมีผลต่อการสูญเสียพลังงานที่สูงด้วย และยังไม่สมดุลในการขับเอาท์พุทของวงจรวกนี้ด้วย

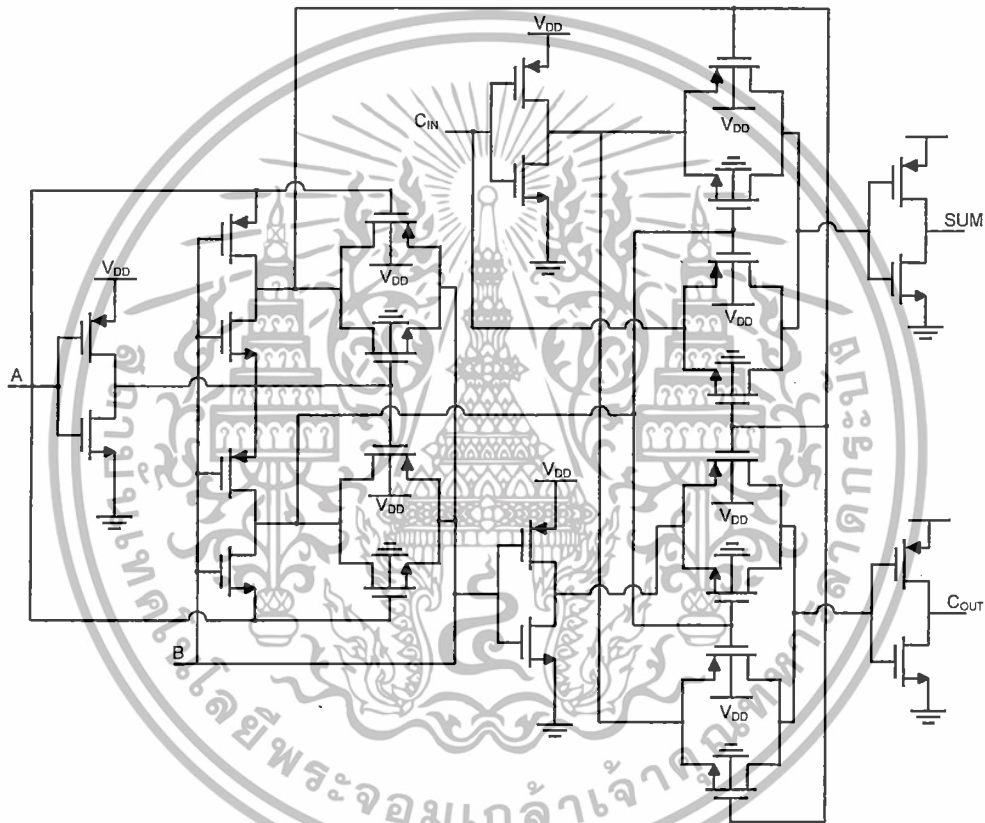


รูปที่ 3.4 วงจรวกที่มีตัวทวดแบบพื้นฐาน[14]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 วงจรบวกที่มีตัวทดแบบ TGFA

วงจรบวกที่มีตัวทดแบบ TGFA [15] เป็นวงจรบวกที่มีตัวทดที่การทำงานส่วนใหญ่อยู่บนพื้นฐานของการออกแบบ Transmission gate โดยวงจรมีจำนวนทรานซิสเตอร์ทั้งหมด 26 ทรานซิสเตอร์ ซึ่งวงจรมีจำนวนทรานซิสเตอร์และการป้อนจำนวนอินพุตน้อยกว่าวงจบบวกที่มีตัวทดแบบพื้นฐาน[14] และสัญญาณ SUM และ C_{OUT} จะมีความสมมูลมากกว่าสัญญาณที่มา วงจรบวกที่มีตัวทดแบบพื้นฐาน[14] วงจรบวกที่มีตัวทดแบบ TGFA[15] นี้ได้มีการใช้เอาต์พุตบัพเฟอร์ที่วงจรมี SUM และวงจรมี C_{OUT} เพื่อเพิ่มความสามารถในการขับเอาต์พุตของวงจรมี แสดงดังรูปที่ 3.5



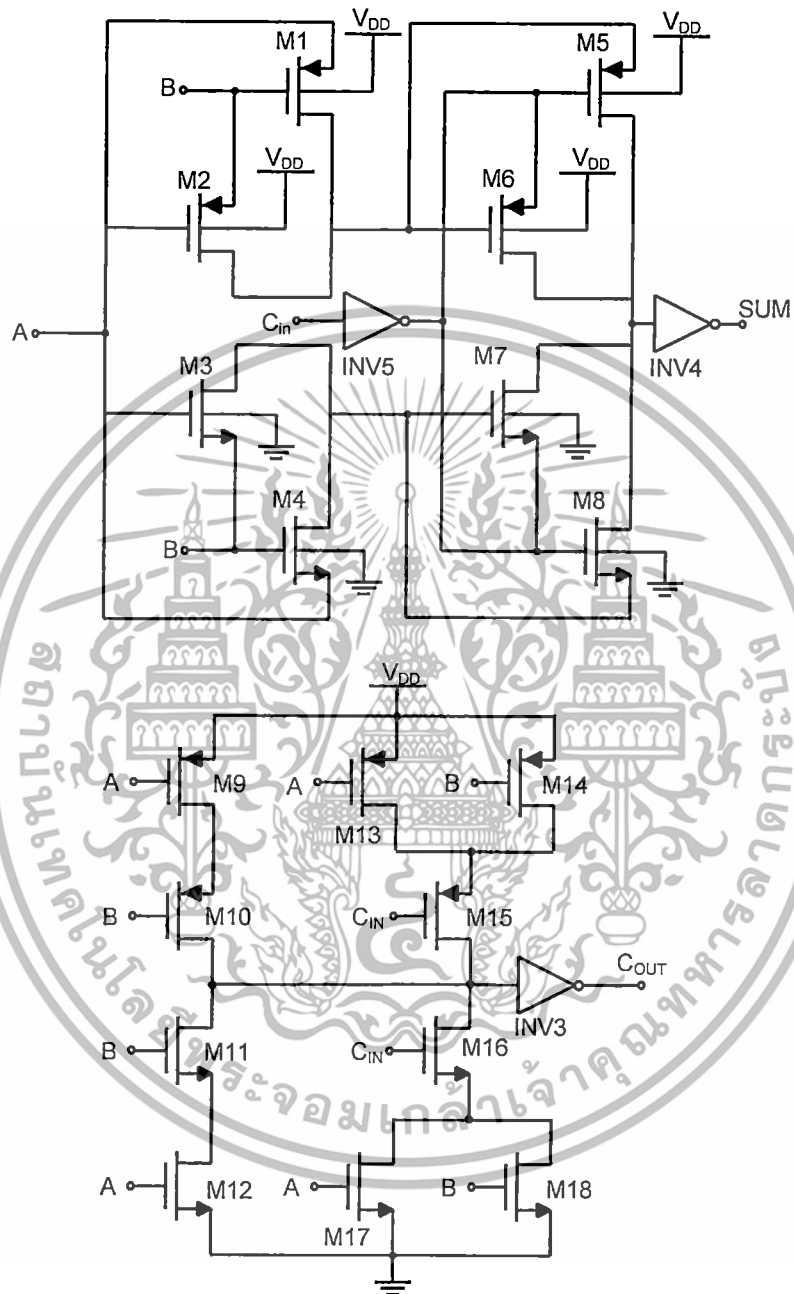
รูปที่ 3.5 วงจรบวกที่มีตัวทดแบบ TGFA[15]

3.3.3 วงจรบวกที่มีตัวทดแบบ hybrid logic

วงจรบวกที่มีตัวทดแบบ hybrid logic [16] นี้ประกอบด้วย 2 ส่วน คือ ส่วนที่หนึ่งเป็นโมดูล Sum และส่วนที่สองเป็นโมดูล Carry Out ซึ่งแสดงในรูป 3.6

ในส่วนของโมดูล Sum นั้นอยู่ในรูปแบบ pass transistor logic มีวงจรมี XOR สามอินพุต และวงจรมีอินเวอร์เตอร์ที่อินพุต C_{in} ขณะที่โมดูล Carry Out จะอยู่ในรูปแบบวงจรมีลอจิกแบบเงา เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

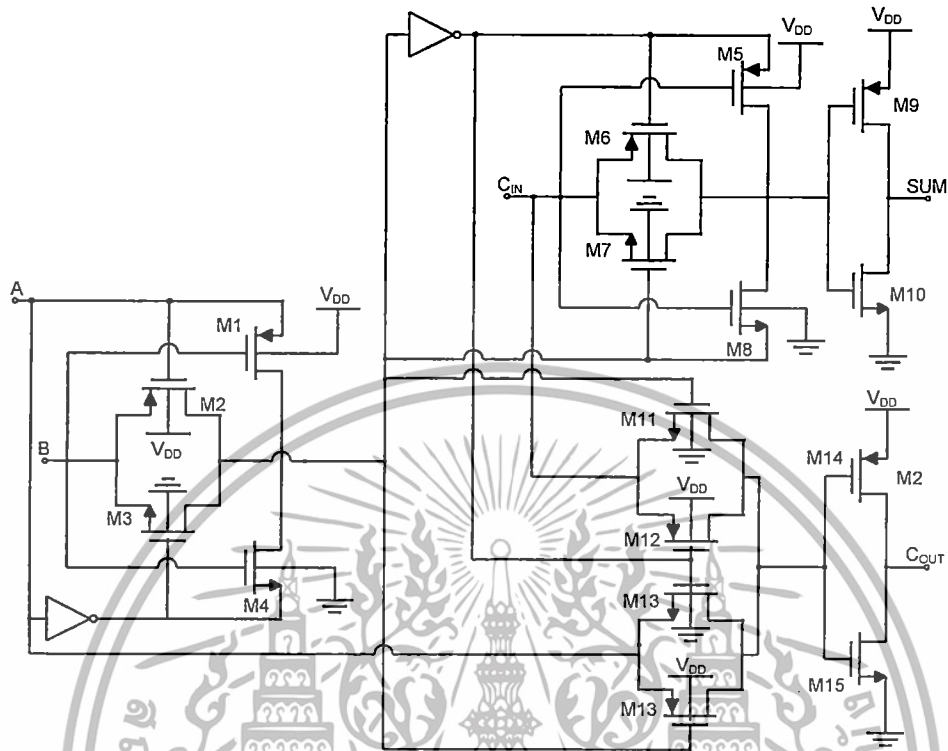
สะท้อน (Mirror Circuit Logic) วงจรบวกที่มีตัวทอด[16] ใช้ทรานซิสเตอร์ทั้งหมด 24 ทรานซิสเตอร์ มีความสามารถในด้านความเร็วและการขับโหลด แต่มีข้อเสียคือต้องแบ่งวงจรเป็นสองวงจร



รูปที่ 3.6 วงจรบวกที่มีตัวทอดแบบ hybrid logic [16]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 วงจรบวกที่มีตัวทดแบบ PLT/TG



รูปที่ 3.7 วงจรบวกที่มีตัวทดแบบ PLT/TG[17]

วงจรถูกบวกที่มีตัวทดแบบ PLT/TG [17] แสดงดังรูปที่ 3.7 เป็นการพัฒนาจาก pass logic transistor กับ transmission gate วงจรนี้มีเป้าหมายในการนำไปใช้กับงานวงจรถูกบวกหลายบิตแบบ tree structured โดยวงจรมีจำนวนทรานซิสเตอร์อยู่ที่ 20 ทรานซิสเตอร์ โดยมีการเพิ่มอินเวอร์เตอร์เพื่อเพิ่มความสามารถในการขับเอาต์พุต ข้อเสียของวงจรมีการสูญเสียกำลังงานที่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

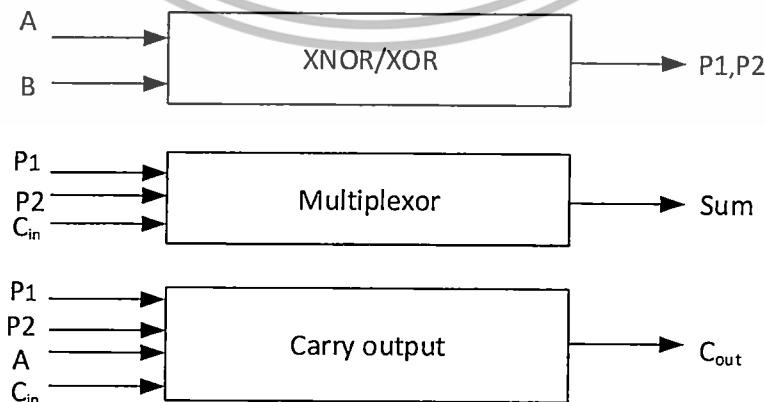
บทที่ 4

ผลการจำลองการทำงาน

วงจรวกที่มีตัวทตเป็นวงจรที่เป็นส่วนสำคัญของวงจรอื่นๆ ซึ่งได้กล่าวมา ในบทที่ 3 โดยมีเนื้อหาเกี่ยวกับการออกแบบวงจรวกที่มีตัวทตโดยใช้เทคโนโลยีซิมอสด้วยรูปแบบต่างๆ และเรื่องการออกแบบวงจรดิจิตอลซิมอสด้วยลอจิกเกท เพื่อให้เข้าใจในหลักการทำงานและพารามิเตอร์ที่ต้องคำนึงถึงในการออกแบบ ในบทนี้เป็นการนำเอาทฤษฎีและหลักการมาออกแบบวงจรวกที่มีตัวทตชนิดซิมอส โดยวงจรวกที่มีตัวทตที่ออกแบบใหม่เป็นวงจรวกที่มีตัวทต 1 บิตที่ออกแบบโดยอาศัยโครงสร้างทรานซิสเตอร์เอ็กคูชินอร์ และในส่วนของวงจรซบเอาทพุตผลบวก ได้ใช้วงจรซิมอสมัลติเพล็กในการออกแบบ โดยวงจรวกที่มีตัวทตที่ออกแบบนี้ สูญเสียมำลังงานขณะใช้งานต่ำ และมีความเร็วในการทำงานที่สูง เมื่อเปรียบเทียบบวงจรวกที่มีตัวทตที่นำเสนอกับ วงจรวกที่มีตัวทตแบบพื้นฐาน[14] วงจรวกที่มีตัวทตแบบ TGFA[15] วงจรวกที่มีตัวทตแบบ hybrid logic [16] และวงจรวกที่มีตัวทตแบบ PLT/TG[17] วงจรที่ออกแบบใหม่สามารถทำงานที่ระดับแรงดันแหล่งจ่ายที่ต่ำ 1.2 โวลท์ ซึ่งในการออกแบบที่ผ่านมาจะให้ความสำคัญในการออกแบบที่ความเร็วในการทำงาน และการสูญเสียกำลังงานของวงจรเป็นหลัก[4-6] แต่วงจรที่ออกแบบนี้ยังมีปัญหาเรื่องการสูญเสียแรงดันเทรชโฮลด์ (Threshold voltage loss) ดังนั้นวงจรที่ออกแบบใหม่นี้ออกแบบมาเพื่อแก้ปัญหาเหล่านี้ เพื่อให้วงจรที่ออกแบบสามารถทำงานที่ระดับแรงดันแหล่งจ่ายที่ต่ำ และที่ความถี่ที่สูงได้อย่างมีประสิทธิภาพ

4.1 การออกแบบวงจรวกที่มีตัวทตแบบใหม่

วงจรวกที่มีตัวทตที่นำเสนอ ประกอบด้วยส่วนต่างๆ 3 ส่วนคือ ส่วนที่หนึ่งเป็นวงจรเอ็กคูชินอร์ และวงจรเอ็กคูชินอร์ ส่วนที่สองเป็นซิมอสมัลติเพล็กเป็นส่วนที่ให้เอาทพุตผลบวก และส่วนที่สามส่วนเอาทพุตตัวทตเป็นโครงสร้างแบบ transmission gate ซึ่งบล็อกไดอะแกรมของวงจรวกที่มีตัวทตที่นำเสนอทั้งสามส่วนแสดงได้ดังรูปที่ 4.1 เพื่อลดลดจำนวนทรานซิสเตอร์ และลดการสูญเสียกำลังงานที่ใช้ของวงจร



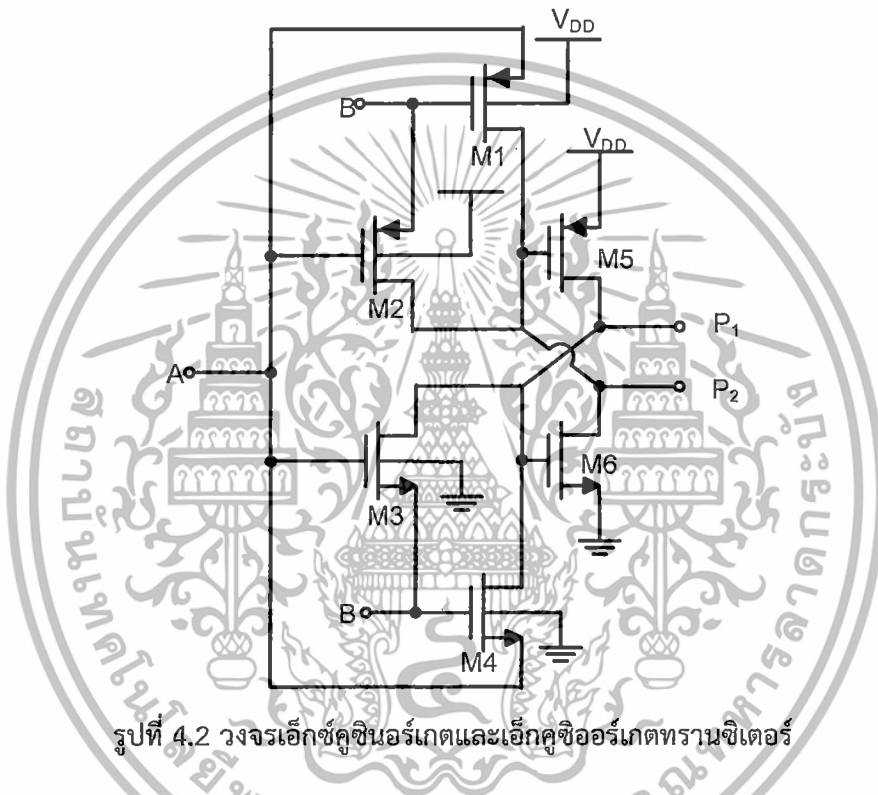
รูปที่ 4.1 บล็อกไดอะแกรมของวงจรวกที่มีตัวทตที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนแรกของบล็อกไดอะแกรมเป็นส่วน เอ็กซ์คูซิออร์เกตและเอ็คคูซิออร์เกตโดยมีสัญญาณอินพุต A,B ทำหน้าที่ในการบวกบิตแรก LSB (1s) เอาท์พุทที่ได้กำหนดให้เป็น P1 และ P2 :โดยค่า P1 และ P2 สามารถเขียนเป็นสมการบูลีน ดังสมการที่ (4.1) และ (4.2) ซึ่งในส่วนนี้ได้พัฒนามาจาก วงจรพาสลอคจิกทรานซิสเตอร์ (Pass Logic Transistor) แสดงในรูปที่ 4.2

$$P_1 = A \oplus B \quad (4.1)$$

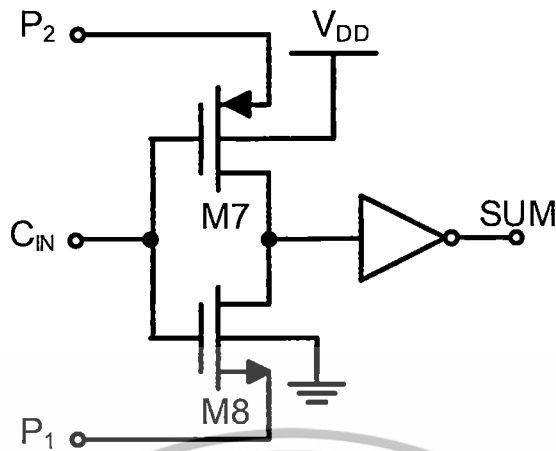
$$P_2 = A \oplus \bar{B} \quad (4.2)$$



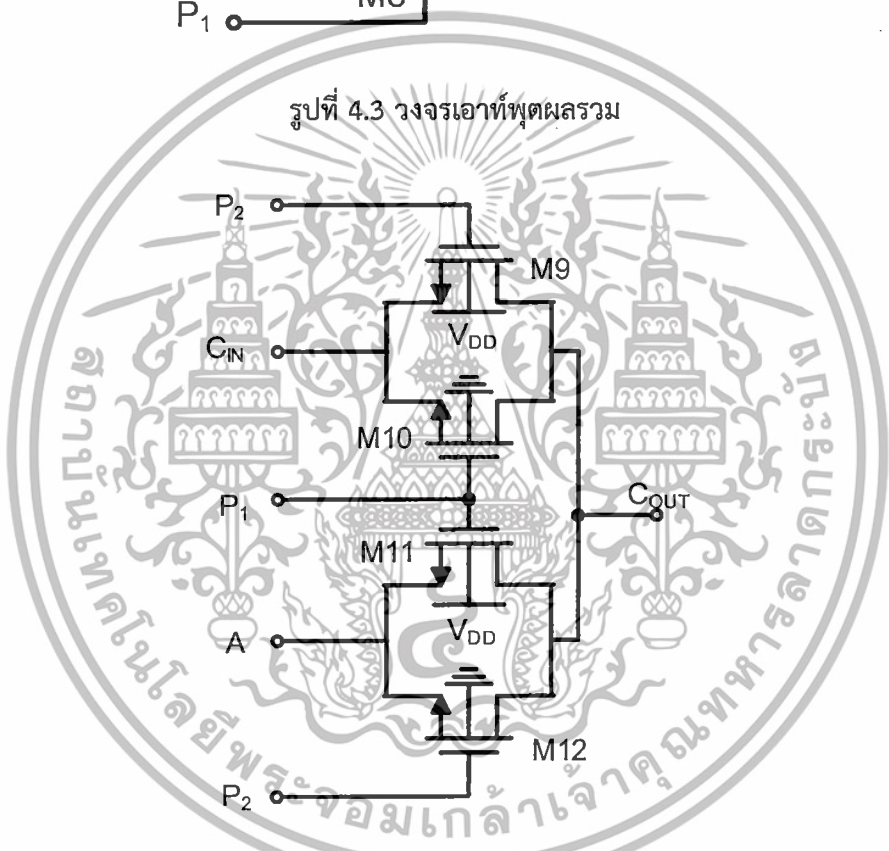
รูปที่ 4.2 วงจรเอ็กซ์คูซิออร์เกตและเอ็คคูซิออร์เกตทรานซิสเตอร์

ส่วนที่สองเป็นส่วนมัลติเพล็กซ์ (Multiplex) จากรูปที่ 4.3 ประกอบด้วย ทรานซิสเตอร์ M7 M8 และ อินเวอร์เตอร์ เพื่อเพิ่มการขับของวงจร โดยมีสัญญาณอินพุตเป็น C_{in} สัญญาณ P1 และ P2 ซึ่งเป็นเอาท์พุทของส่วนที่หนึ่ง โดยเอาท์พุทของส่วนนี้เป็นค่าผลรวมของวงจรวกที่มีตัวทด การทำงานเป็นไปตามสมการที่ (4.2) โดยมีสัญญาณอินพุตตัวทด C_{in} เป็นสัญญาณเลือกผลลัพธ์ คือเมื่อ C_{in} มีค่าเป็น 0 ผลลัพธ์ที่ได้เป็นสัญญาณ P2 และเมื่อ C_{in} มีค่าเท่ากับ 1 ผลลัพธ์จะเป็นสัญญาณ P1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 วงจรเอาต์พุตผลรวม



รูปที่ 4.3 วงจรเอาต์พุตตัวทด (Carry output)

ส่วนสุดท้าย เป็นการทำงานในแบบวงจร transmission gate โดยส่วนนี้มีการใช้งานทรานซิสเตอร์ M9 - M12 เพื่อในสร้างสัญญาณ C_{OUT} แสดงในรูป 4.3 การทำงานของส่วนนี้เป็นไปตามสมการที่ (4.3) โดยในส่วนนี้จะมีอินพุต 4 ตัว คือ A, C_{in} , P_1 และ P_2 โดยสัญญาณ P_1 และ P_2 จะเป็นสัญญาณควบคุมการทำงานของมอสทรานซิสเตอร์ ซึ่ง P_1 และ P_2 จะมีระดับสัญญาณที่ต่างกันตลอด

วงจรวกที่มีตัวทดแสดงดังรูปที่ 4.3 ออกแบบมาเพื่อบวกเลขไบนารีต่างๆ จะแสดงการบวกโดยมีอินพุตคือ A, B และ C_{in} หรือค่าตัวทดขาเข้า ซึ่งวงจรวกที่มีตัวทดนี้ออกแบบนี้จะใช้บวกเลขที่ไบนารีในตำแหน่งที่สูงกว่า MSB (2s,3s...) ด้วยจึงต้องบวกตัวทดที่ได้จากการบวกของบิตที่ต่ำ

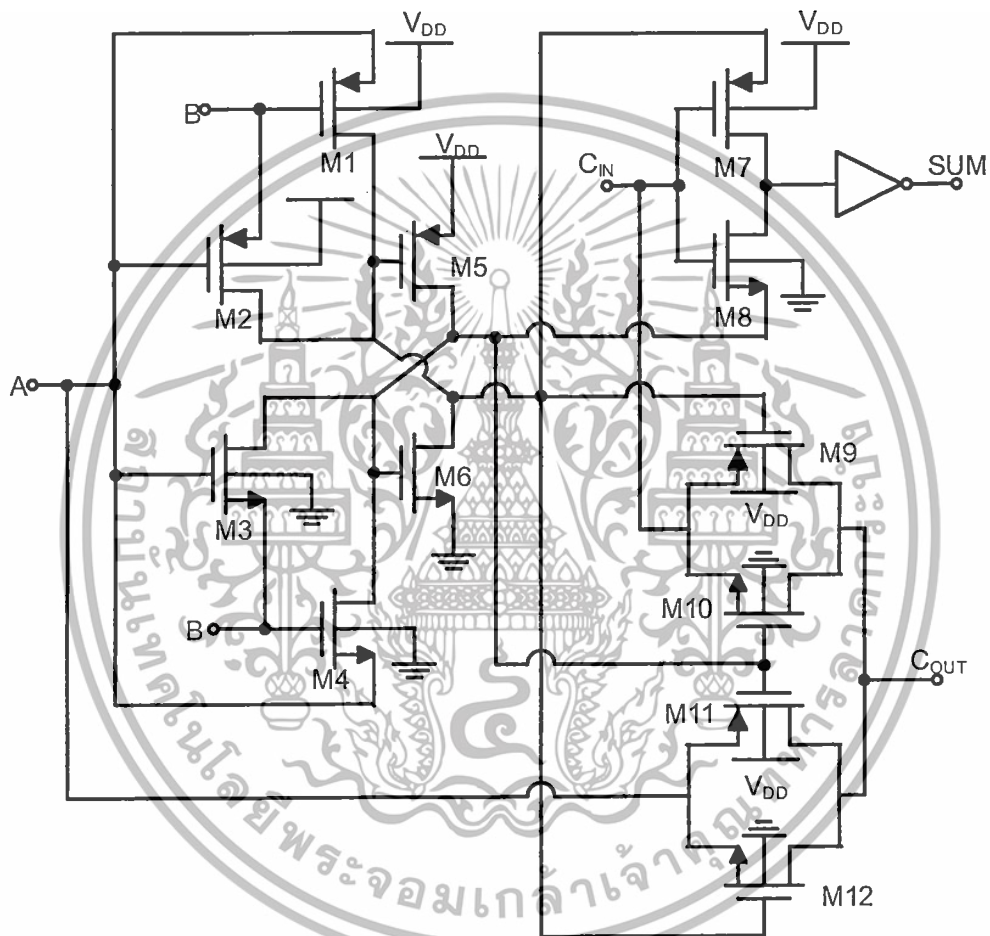
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กว่าด้วย โดยอินพุตทั้งสามเมื่อบวกกันจะได้เอาต์พุตสองค่า คือค่าผลลัพธ์ (Sum) และค่าเอาต์พุตตัว
 ทด (Carry output) สามารถเขียนเป็นสมการบูลีน ของวงจรถนิตบวกแบบใช้ตัวทตใหม่นี้ได้ดังนี้

$$SUM = (P_2)C_{IN} + (P_1)C_{IN} \quad (4.2)$$

$$C_{OUT} = (A(P_2)) + (C_{IN}(P_1)) \quad (4.3)$$

4.2 วงจรบวกที่มีตัวทตที่นำเสนอ



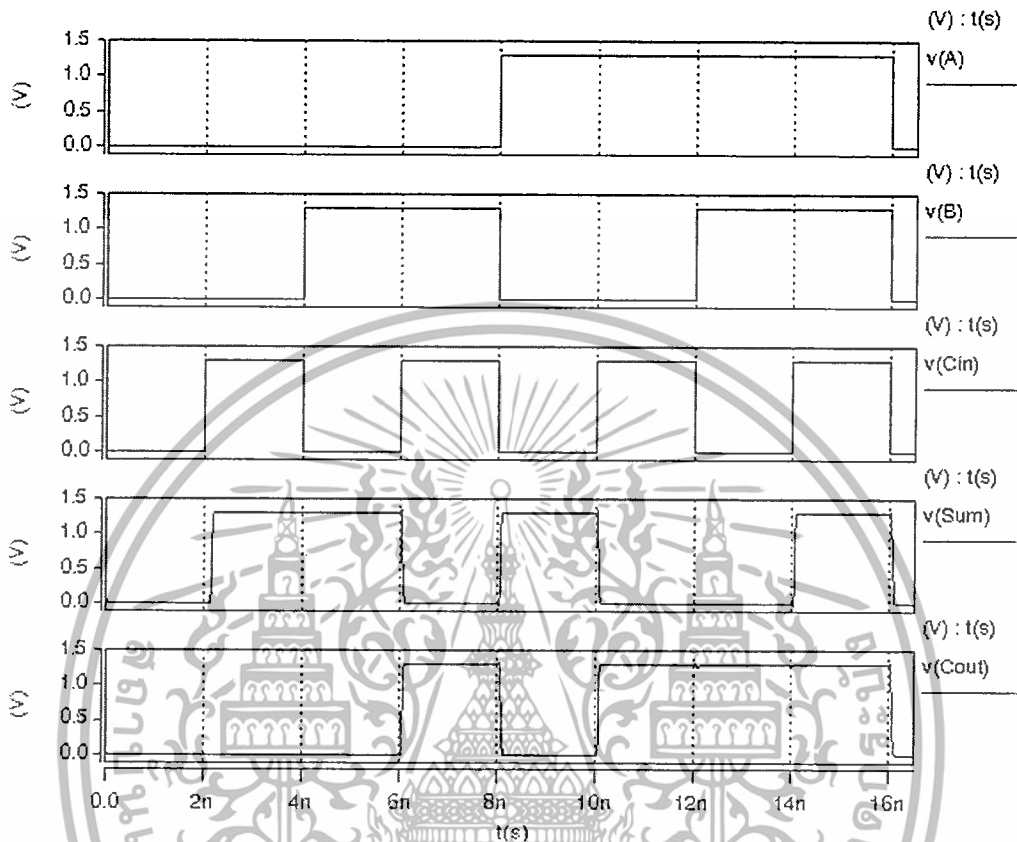
รูปที่ 4.4 วงจรบวกที่มีตัวทตที่นำเสนอ

4.2.1 การทำงานของวงจรถ

การทำงานของวงจรถที่นำเสนอ สามารถอธิบายได้เป็น 3 ส่วน ส่วนแรกจะเป็นส่วนที่สร้าง
 สัญญาณเอ็กซ์คูซิออร์และเอ็กซ์คูซิออร์ โดยการใช้งานทรานซิสเตอร์ M1-M6 ส่วนนี้เป็น แบบ pass
 transistor logic ที่ออกแบบเพิ่มในส่วนของ cross-coupled ซีมอส ทรานซิสเตอร์ M5-M6 เพื่อลด
 การสูญเสียของ threshold voltage และลดเวลาการส่งสัญญาณ XOR และ XNOR ที่ไม่เท่ากัน โดย
 อินพุตของส่วนนี้คือสัญญาณ A และ B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์ M9 และ M10 จะอยู่ในสถานะ OFF ทรานซิสเตอร์ M11 และ M12 อยู่ในสถานะ ON เอาท์พุตตัวทวด (Carry Output) จะมีค่าเป็น 1 แสดงดังรูปที่ 4.5

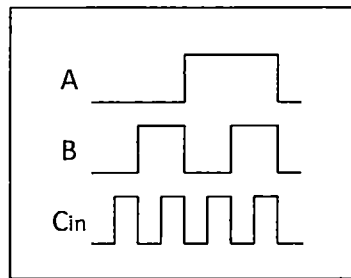


รูปที่ 4.5 รูปสัญญาณอินพุตและสัญญาณเอาต์พุตของวงจรวกที่มีตัวทวดที่ออกแบบใหม่ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ที่ 500 MHz

4.3 ผลการจำลองการทำงาน

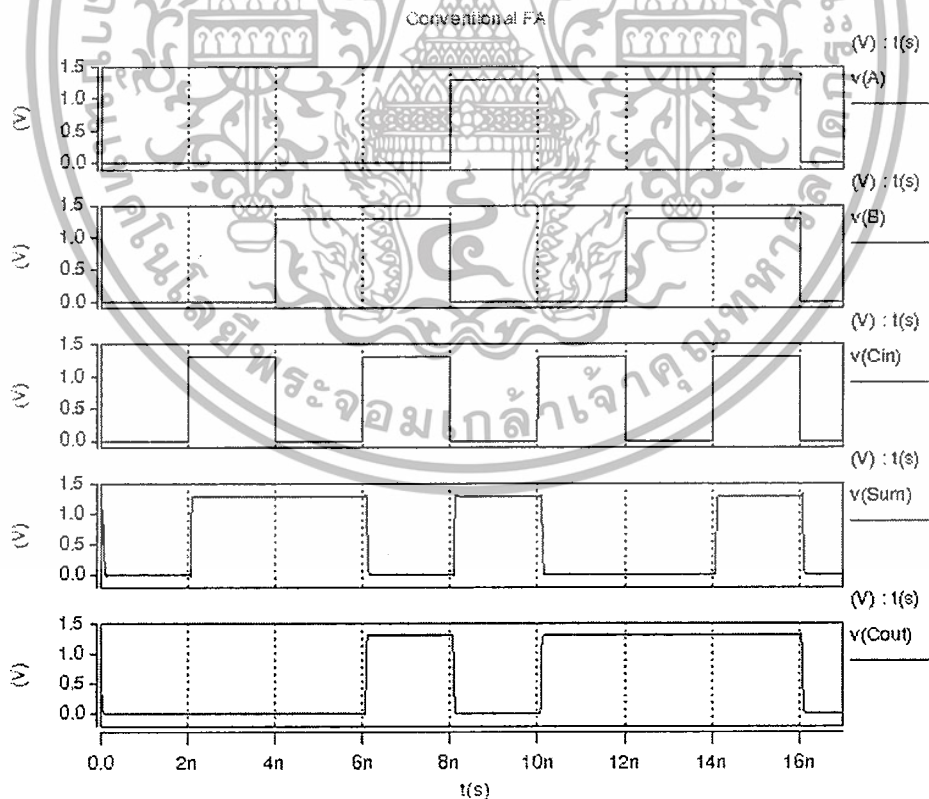
สำหรับการทดสอบเพื่อการศึกษาการทำงานของวงจรวกที่มีตัวทวดที่นำเสนอขึ้นได้ใช้โปรแกรม Hspice ในการจำลองการทำงานเพื่อการศึกษาประสิทธิภาพของวงจรวกที่นำเสนอ พร้อมทั้งเปรียบเทียบกับวงจรวกที่มีตัวทวดแบบพื้นฐาน[14] วงจรวกที่มีตัวทวดแบบ TGFA[15] วงจรวกที่มีตัวทวดแบบ hybrid logic [16] และวงจรวกที่มีตัวทวดแบบ PLT/TG[17] ตามที่ได้กล่าวมาในบทที่ 3

การจำลองการทำงานนี้ จะเป็นการจำลองค่าการหน่วงเวลา propagation delay time ของวงจรวกเปรียบเทียบทั้งหมด โดยการปรับค่าโหนดคาปาซิแตนซ์ 10 fF, 30 fF, 50 fF, 0.1 pF และ 0.2 pF และที่แรงดันแหล่งจ่ายตั้งแต่ 1 โวลต์ – 2 โวลต์ จากนั้นนำค่าที่ได้มาเปรียบเทียบกับ การจำลองจะใช้สัญญาณอินพุตตามตารางความจริง ซึ่งมีขนาดเท่ากับแรงดันแหล่งจ่ายของวงจรวก รูปที่ 4.6 แสดงรูปสัญญาณอินพุต ที่ใช้ในการจำลองการทำงานของวงจรวกที่มีตัวทวด



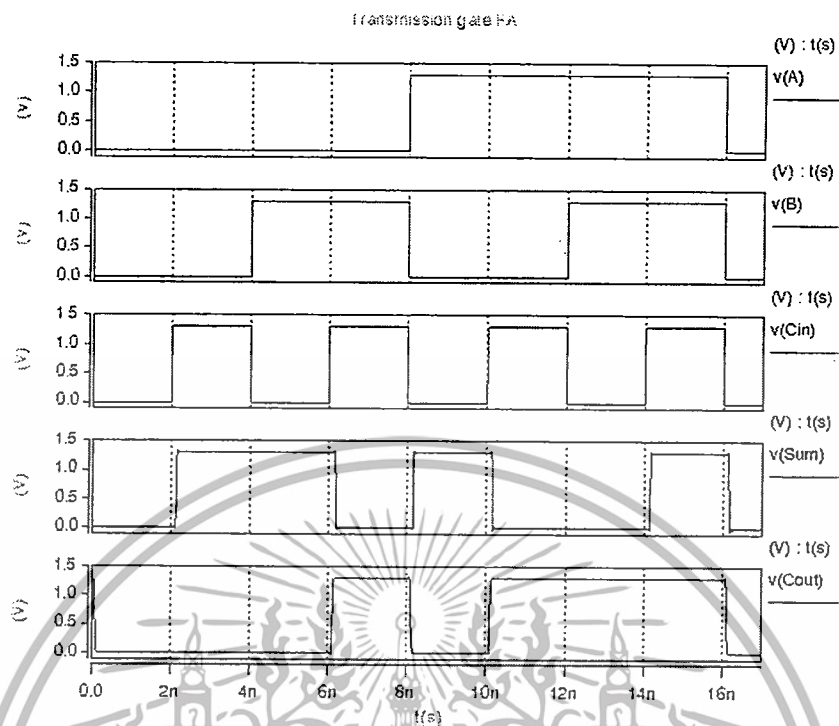
รูปที่ 4.6 รูปแบบสัญญาณอินพุตของวงจร

รูปที่ 4.7 แสดงรูปสัญญาณอินพุต และสัญญาณเอาต์พุตของวงจรบวกที่มีตัวทดแบบพื้นฐาน [14] ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ที่ 500 MHz ที่โหลดคาปาซิแตนซ์ที่ 10 fF รูปที่ 4.8 รูปสัญญาณอินพุต และสัญญาณเอาต์พุตของวงจรบวกที่มีตัวทดแบบ TGFA[15] ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ที่ 500 MHz ที่โหลดคาปาซิแตนซ์ที่ 10 fF รูปที่ 4.9 รูปสัญญาณ อินพุตและสัญญาณเอาต์พุตของวงจรบวกที่มีตัวทดแบบ hybrid logic[16] ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ที่ 500 MHz ที่โหลดคาปาซิแตนซ์ที่ 10 fF และรูปที่ 4.10 จะเป็นรูปสัญญาณ อินพุตและสัญญาณเอาต์พุตของวงจรบวกที่มีตัวทดแบบ PLT/TG[17] ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ 500 MHz ที่โหลดคาปาซิแตนซ์ที่ 10 fF

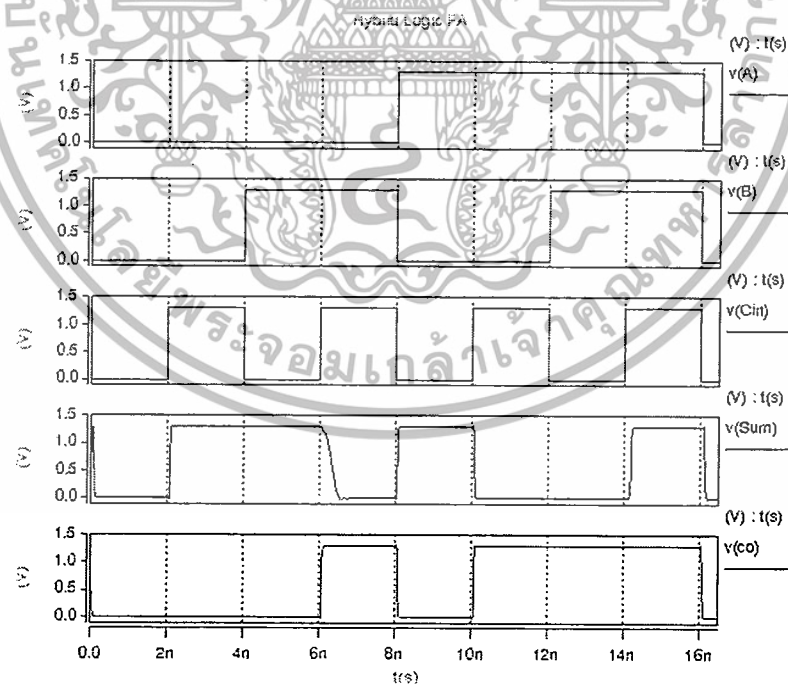


รูปที่ 4.7 รูปสัญญาณอินพุตและสัญญาณเอาต์พุตของวงจรบวกที่มีตัวทดแบบพื้นฐาน[14] ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ที่ 500 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

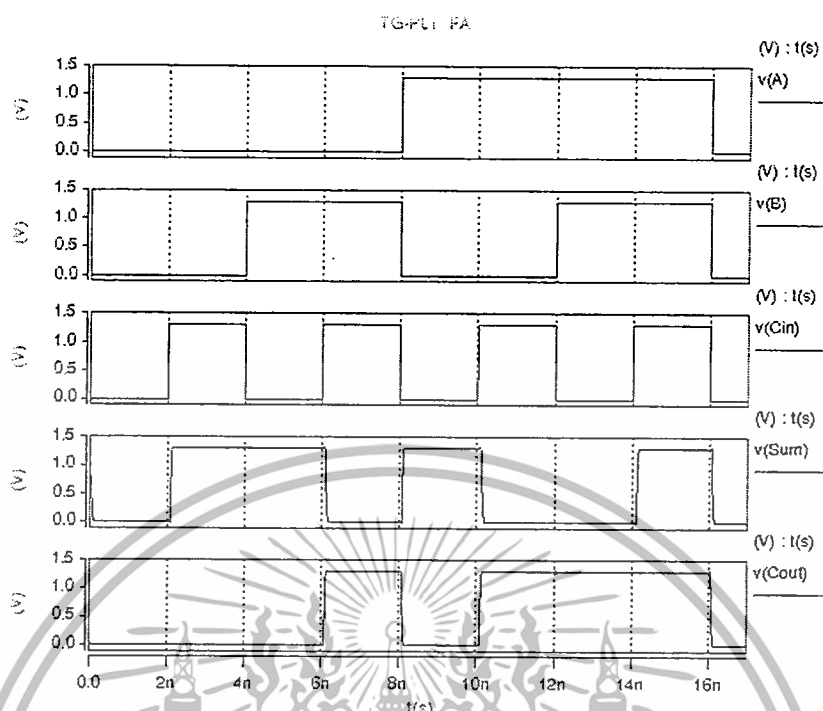


รูปที่ 4.8 รูปสัญญาณ อินพุตและสัญญาณเอาต์พุตของวงจรวกที่มีตัวทดแบบ TGFA[15] ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ที่ 500 MHz



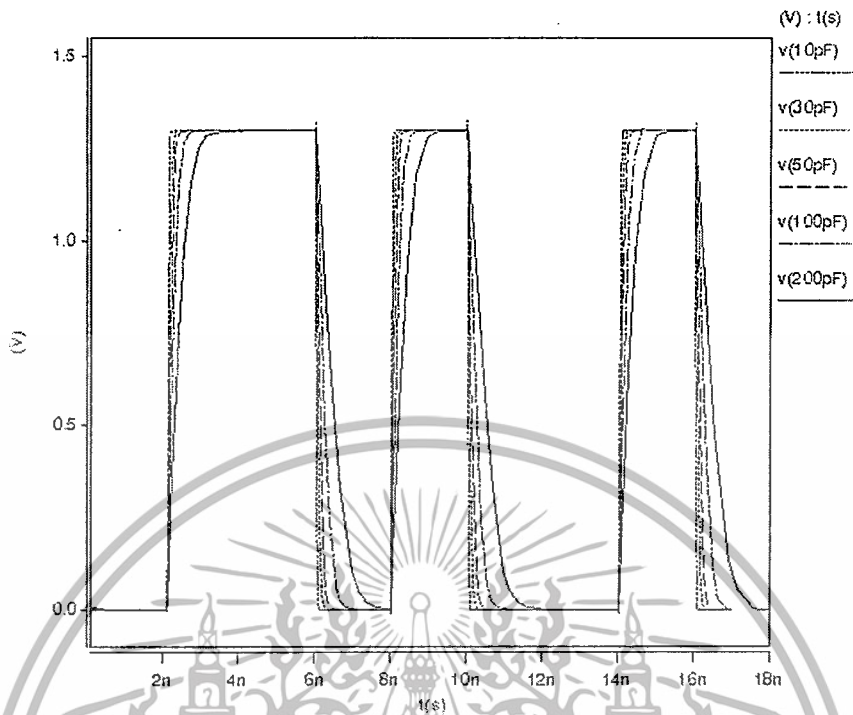
รูปที่ 4.9 รูปสัญญาณอินพุตและสัญญาณเอาต์พุตของวงจรวกที่มีตัวทดแบบ hybrid logic[16] ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ที่ 500 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

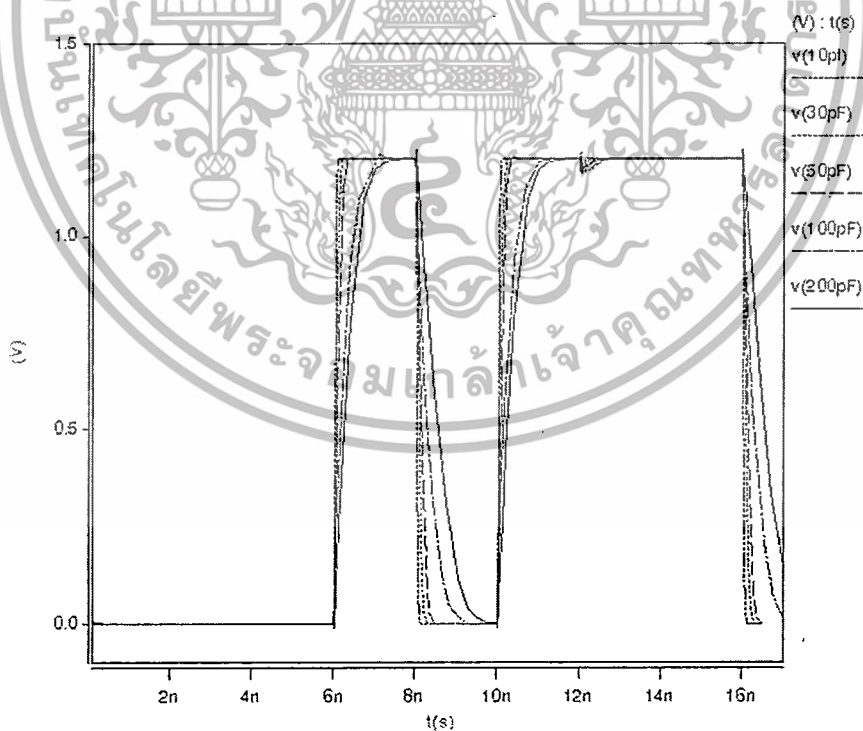


รูปที่ 4.10 รูปสัญญาณอินพุตและสัญญาณเอาต์พุตของวงจรบวกที่มีตัวทดแบบPLT/TG[17] ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ที่ 500 MHz

รูปที่ 4.11 และ 4.12 แสดงรูปการเปรียบเทียบของสัญญาณเอาต์พุตผลรวม และ รูปสัญญาณเอาต์พุตตัวทด ของวงจรบวกที่มีตัวทดที่นำเสนอ ที่ระดับแรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ 500 MHz และทำการเปลี่ยนแปลงโหลดคาปาซิแตนซ์ จาก 10 fF – 0.2 pF เพื่อดูสมรรถนะของวงจรที่นำเสนอ เมื่อโหลดคาปาซิแตนซ์มีค่ามากขึ้น

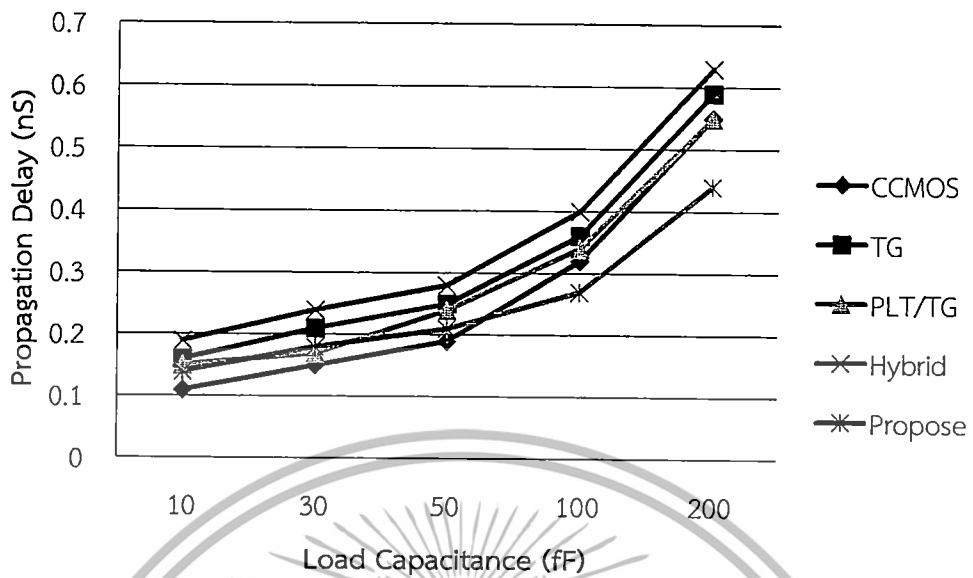


รูปที่ 4.11 รูปคลื่นสัญญาณเอาต์พุตผลรวมของวงจรบวกที่มีตัวทดที่นำเสนอ ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ 500Hz เมื่อเปลี่ยนค่าโหลตคาปาซิแตนซ์

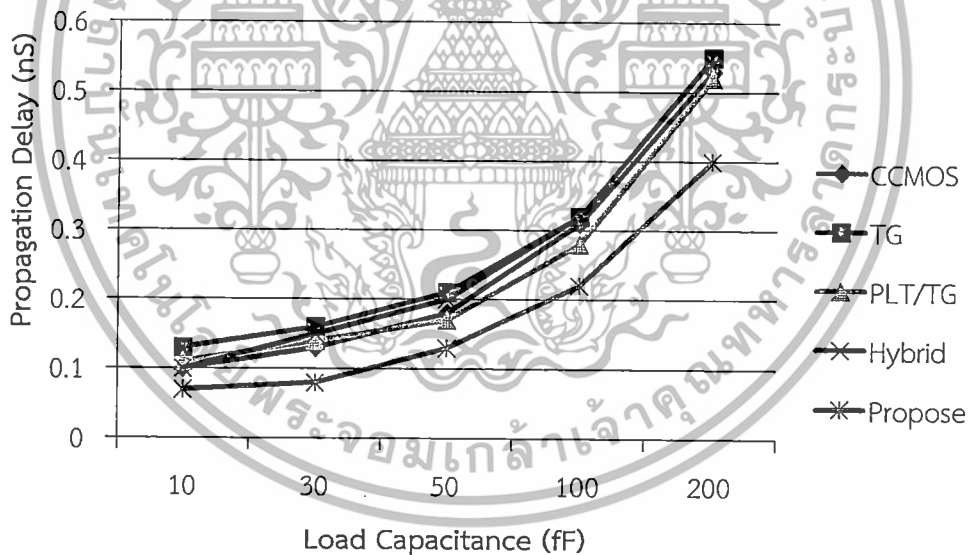


รูปที่ 4.12 รูปคลื่นสัญญาณเอาต์พุตตัวทดของวงจรบวกที่มีตัวทดที่นำเสนอ ที่แรงดันแหล่งจ่าย 1.2 โวลต์ ความถี่ 500 MHz เมื่อเปลี่ยนค่าโหลตคาปาซิแตนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

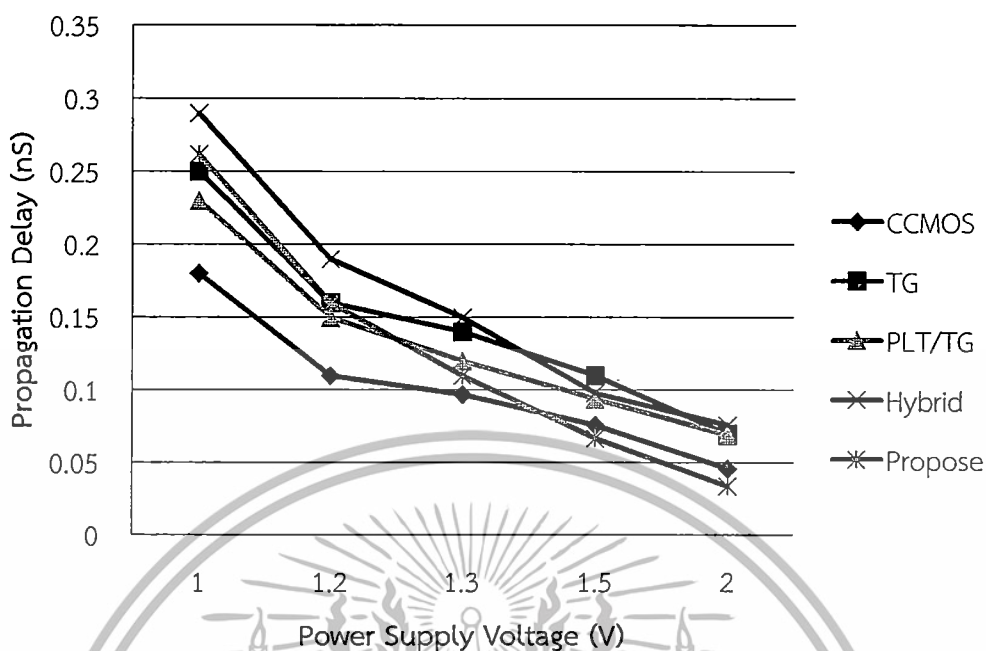


รูปที่ 4.13 การเปรียบเทียบค่าหน่วงเวลากับโหลดคาปาซิแตนซ์ของสัญญาณผลรวมที่แหล่งจ่ายไฟ 1.2 โวลต์

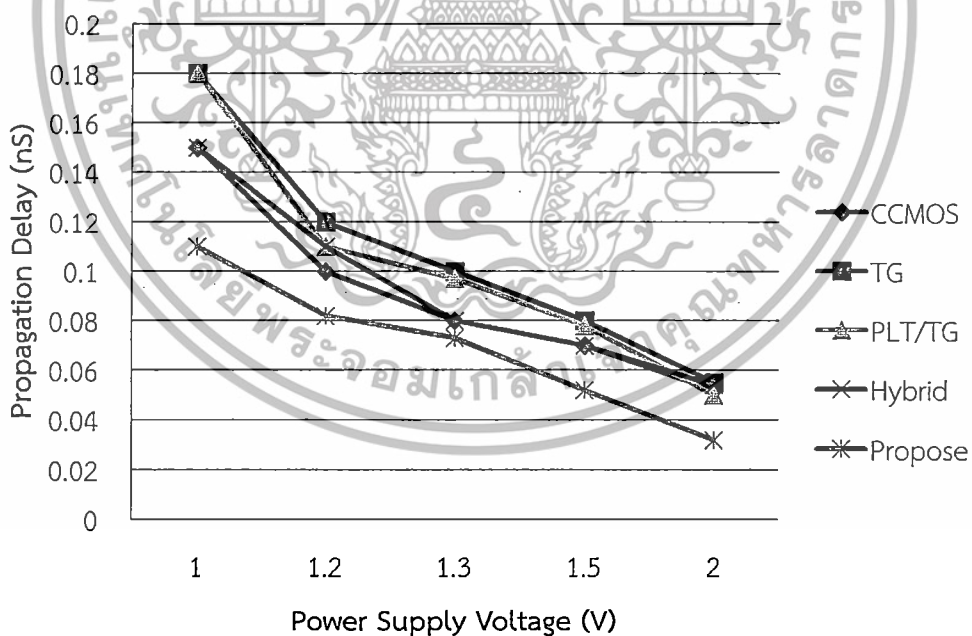


รูปที่ 4.14 การเปรียบเทียบค่าหน่วงเวลากับโหลดคาปาซิแตนซ์ของสัญญาณเอวท์พุตตัวทดที่แหล่งจ่ายไฟ 1.2 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

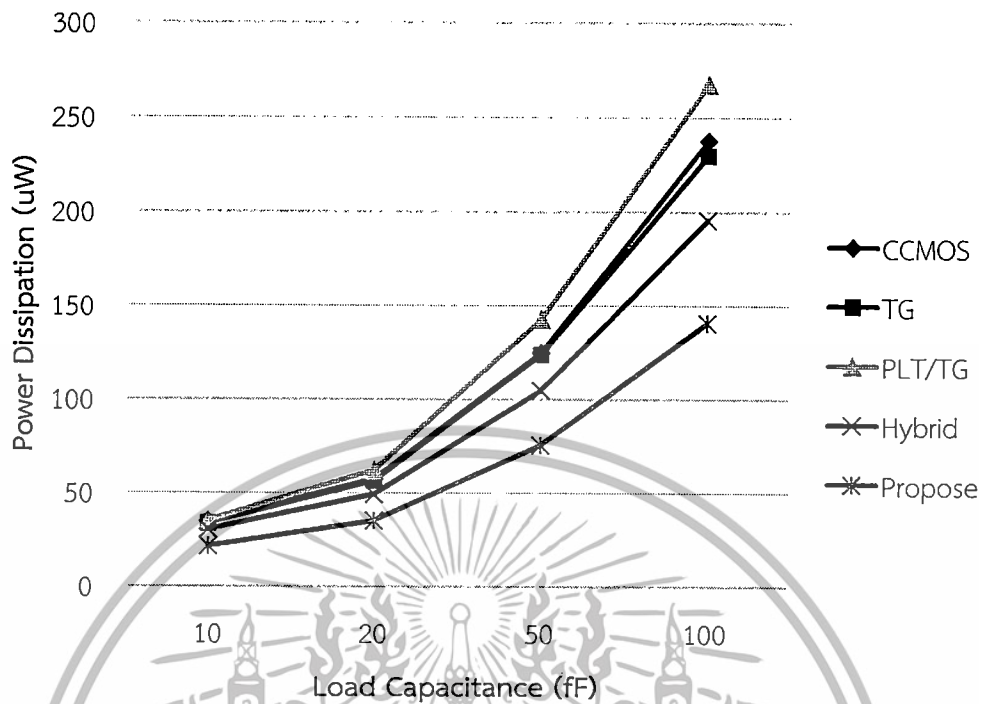


รูปที่ 4.15 การเปรียบเทียบค่าหน่วงเวลากับแหล่งจ่ายไฟ ของสัญญาณเอาต์พุตผลรวม ที่แหล่งจ่ายไฟ 1.2 โวลต์

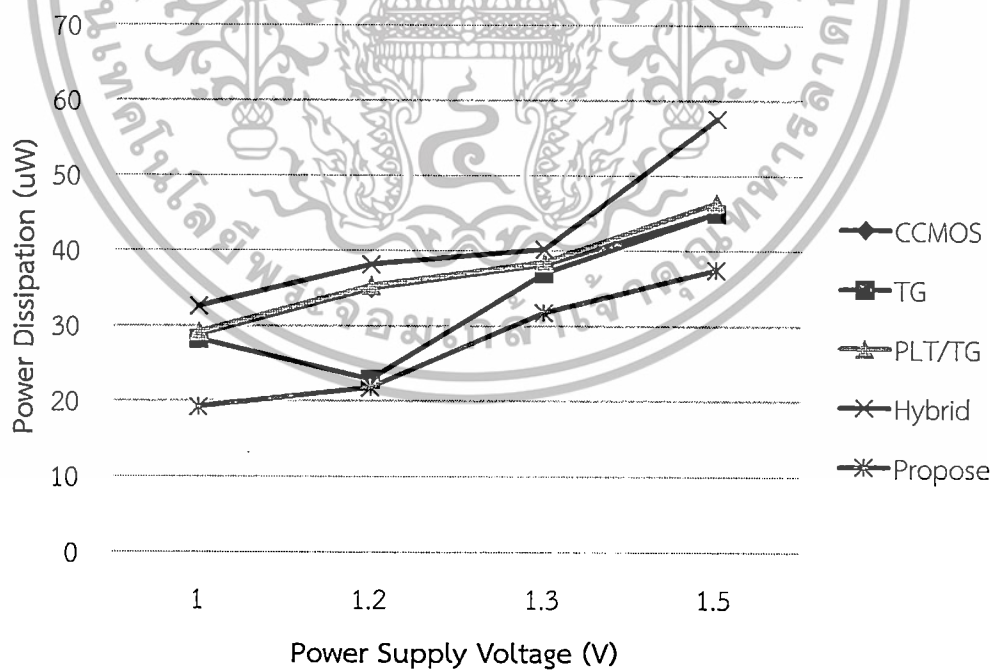


รูปที่ 4.16 การเปรียบเทียบค่าหน่วงเวลากับแหล่งจ่ายไฟ ของสัญญาณเอาต์พุตตัวทวด ที่แรงดัน แหล่งจ่ายไฟ 1.2 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.17 การเปรียบเทียบค่ากำลังงานที่สูญเสียของวงจรวกที่มีตัวทศกับโหลดคาปาซิแตนซ์ที่แรงดันแหล่งจ่ายไฟ 1.2 โวลต์



รูปที่ 4.18 การเปรียบเทียบค่ากำลังงานที่สูญเสียของวงจรวกที่มีตัวทศกับแหล่งจ่ายไฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.13 แสดงการเปรียบเทียบค่าหน่วยเวลากับโพลคาปาซิแตนซ์ ที่เปลี่ยนแปลงตั้งแต่ 10 fF – 0.2 pF ของสัญญาณเอาพุตผลรวม ที่ความถี่ 500 MHz และแรงดันแหล่งจ่าย 1.2 Volts ซึ่งวงจรที่เสนอมีค่าหน่วยเวลามากกว่าวงจรบวกที่มีตัวทดแบบพื้นฐาน[14] อยู่ 21% ที่โพลคาปาซิแตนซ์ 1 fF แต่มีค่าหน่วยเวลาน้อยกว่าอยู่ 18 % ที่โพลคาปาซิแตนซ์ 0.1 pF เมื่อเทียบกับวงจรบวกที่มีตัวทดแบบ TGFA[15] จะมีค่าหน่วยเวลาน้อยกว่า 14% - 34 % เมื่อเทียบกับวงจรบวกที่มีตัวทดแบบPLT/TG[17] จะมีค่าหน่วยของเวลาน้อยกว่าตั้งแต่ 7 % - 25 % และเมื่อเทียบกับวงจรบวกที่มีตัวทดแบบ hybrid logic [16]จะมีค่าหน่วยเวลาน้อยกว่า ตั้งแต่ 33% - 43%

รูปที่ 4.14 แสดงการเปรียบเทียบค่าหน่วยเวลากับโพลคาปาซิแตนซ์ ที่เปลี่ยนแปลงตั้งแต่ 10 fF – 0.2 pF ของสัญญาณเอาท์พุตตัวทด ที่ความถี่ 500 MHz และแรงดันแหล่งจ่าย 1.2 Volts ซึ่งวงจรที่เสนอมีค่าหน่วยเวลาน้อยกว่าวงจรบวกที่มีตัวทดแบบพื้นฐาน[14] ตั้งแต่ 32% - 62% เมื่อเทียบกับวงจรบวกที่มีตัวทดแบบ TGFA[15] จะมีค่าหน่วยเวลาน้อยกว่า 37% - 100 % เมื่อเทียบกับวงจรบวกที่มีตัวทดแบบPLT/TG[17] จะมีค่าหน่วยของเวลาน้อยกว่าตั้งแต่ 27 % - 75 % และเมื่อเทียบกับวงจรบวกที่มีตัวทดแบบ hybrid logic [16]จะมีค่าหน่วยเวลาน้อยกว่า ตั้งแต่ 37% - 85%

รูปที่ 4.15 แสดงการเปรียบเทียบค่าหน่วยเวลากับแรงดันแหล่งจ่าย ที่เปลี่ยนแปลงตั้งแต่ 1 Volts – 2 Volts ของสัญญาณเอาท์พุตผลรวม ที่ความถี่ 500 MHz และโพลคาปาซิแตนซ์ 10 fF ซึ่งวงจรที่เสนอมีค่าหน่วยเวลาสูงกว่าวงจรบวกที่มีตัวทดแบบพื้นฐาน[14] 32% ที่แรงดันแหล่งจ่าย 1.2 Volts แต่มีค่าหน่วยของเวลาน้อยกว่า 13 % ที่แรงดันแหล่งจ่าย 1.5 Volts เมื่อเทียบกับวงจรบวกที่มีตัวทดแบบ TGFA[15] จะมีค่าหน่วยเวลาน้อยกว่า 27% - 103 % เมื่อเทียบกับวงจรบวกที่มีตัวทดแบบPLT/TG[17] จะมีค่าหน่วยของเวลาน้อยกว่าตั้งแต่ 9 % - 100 % และเมื่อเทียบกับวงจรบวกที่มีตัวทดแบบ hybrid logic [16]จะมีค่าหน่วยเวลาน้อยกว่า ตั้งแต่ 10% - 120%

รูปที่ 4.16 แสดงการเปรียบเทียบค่าหน่วยเวลากับแรงดันแหล่งจ่าย ที่เปลี่ยนแปลงตั้งแต่ 1 Volts – 2 Volts ของสัญญาณเอาท์พุตตัวทด ที่ความถี่ 500 MHz และโพลคาปาซิแตนซ์ 10 fF ซึ่งวงจรที่เสนอมีค่าหน่วยเวลาน้อยกว่าวงจรบวกที่มีตัวทดแบบพื้นฐาน[14]ตั้งแต่ 4 % - 62 % เมื่อเทียบกับวงจรบวกที่มีตัวทดแบบ TGFA[15] จะมีค่าหน่วยเวลาน้อยกว่า 36% - 71 % เมื่อเทียบกับวงจรบวกที่มีตัวทดแบบPLT/TG[17] จะมีค่าหน่วยของเวลาน้อยกว่าตั้งแต่ 32 % - 63 % และเมื่อเทียบกับวงจรบวกที่มีตัวทดแบบ hybrid logic [16]จะมีค่าหน่วยเวลาน้อยกว่า ตั้งแต่ 6% - 62%

รูปที่ 4.17 แสดงการเปรียบเทียบค่ากำลังงานที่สูญเสียกับโพลคาปาซิแตนซ์ ที่เปลี่ยนแปลงตั้งแต่ 10 fF – 0.2 pF ที่ความถี่ 500 MHz และแรงดันแหล่งจ่าย 1.2 Volts วงจรที่เสนอมีค่ากำลังงานที่สูญเสียต่ำกว่าวงจรบวกที่มีตัวทดแบบพื้นฐาน[14] 60 % -68 % เมื่อเทียบกับวงจรบวกที่มีตัวทดแบบ TGFA[15] จะมีค่ากำลังงานที่สูญเสียต่ำกว่า 36% - 71 % เมื่อเทียบกับวงจรบวกที่มีตัวทดแบบPLT/TG[17] จะมีค่ากำลังงานที่สูญเสียต่ำกว่าตั้งแต่ 32 % - 63 % และเมื่อเทียบกับวงจรบวกที่มีตัวทดแบบ hybrid logic [16]จะมีค่ากำลังงานที่สูญเสียต่ำกว่า ตั้งแต่ 6% - 62%

รูปที่ 4.18 แสดงการเปรียบเทียบค่ากำลังงานที่สูญเสียกับแรงดันแหล่งจ่าย ที่ความถี่ 500 MHz วงจรที่เสนอมีค่ากำลังงานที่สูญเสียต่ำกว่าวงจรบวกที่มีตัวทดแบบพื้นฐาน[14] 20%-50% เมื่อเทียบกับวงจรบวกที่มีตัวทดแบบ TGFA[15] จะมีค่ากำลังงานที่สูญเสียต่ำกว่า 5% - 46 % เมื่อเทียบกับวงจรบวกที่มีตัวทดแบบPLT/TG[17] จะมีค่ากำลังงานที่สูญเสียต่ำกว่าตั้งแต่ 21 % - 62 % และเมื่อเทียบกับวงจรบวกที่มีตัวทดแบบ hybrid logic [16]จะมีค่ากำลังงานที่สูญเสียต่ำกว่า ตั้งแต่ 26% - 75%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการวิจัย

จากการทดสอบการเปรียบเทียบคุณสมบัติต่างๆของวงจรวกแบบใช้ตัวตดที่ออกแบบใหม่กับวงจรวกแบบใช้ตัวตด โดยใช้โปรแกรม HSpice โดยนำผลการจำลองการทำงานวงจรวกที่นำเสนอมาก่อนกับวงจรวกที่ได้ออกแบบใหม่มาเปรียบเทียบประสิทธิภาพในแบบต่างๆ สามารถสรุปได้ดังนี้

จากการจำลองการทำงานแล้วพบว่า วงจรวกที่มีตัวตดที่นำเสนอสามารถทำงานได้ที่ระดับแรงดันต่ำสุดที่ 1 Volts โหลดคาปาซิแตนซ์ ที่ 0.2 pF และสามารถทำงานได้ที่ความถี่ 500 MHz

จากการจำลองการทำงานของวงจรวกที่มีตัวตดที่ใช้กำลังต่ำที่เสนอเมื่อโหลดที่ใช้มีการเปลี่ยนแปลงไป ซึ่งผลที่ได้นั้นจะเห็นว่าค่าหนึ่งของเวลาของวงจรวกที่มีตัวตดที่นำเสนอต้านเอาท์พุทผลรวมมีค่ามากกว่า เมื่อเปรียบเทียบกับวงจรวกที่มีตัวตดแบบพื้นฐาน[14] ที่โหลดคาปาซิแตนซ์ 10 fF อยู่ 21% แต่จะมีหน่วงเวลาน้อยกว่าอยู่ 18 % เมื่อโหลดคาปาซิแตนซ์ 100 fF เมื่อเปรียบเทียบกับวงจรวกที่มีตัวตดที่ผ่านมาก่อนวงจรวกอื่น วงจรวกที่นำเสนอจะมีค่าหนึ่งของเวลาน้อยกว่า และเมื่อเปรียบเทียบกับเอาท์พุทตัวตด วงจรวกที่นำเสนอจะมีค่าหนึ่งของเวลาน้อยกว่าวงจรวกที่มีตัวตดที่ผ่านมาก

จากการจำลองการทำงานของวงจรวกที่มีตัวตดที่ใช้กำลังต่ำที่เสนอเมื่อแรงดันแหล่งจ่ายมีการเปลี่ยนแปลงไป ซึ่งผลที่ได้นั้นจะเห็นว่าค่าหนึ่งของเวลาของวงจรวกที่มีตัวตดที่นำเสนอต้านเอาท์พุทผลรวมมีค่ามากกว่า เมื่อเปรียบเทียบกับวงจรวกที่มีตัวตดแบบพื้นฐาน[14] ที่แรงดันแหล่งจ่าย 1 volt อยู่ 31% แต่จะมีหน่วงเวลาน้อยกว่าอยู่ 13 % ที่แรงดันแหล่งจ่าย 1.5 volt เมื่อเทียบกับวงจรวกที่มีตัวตดแบบ TGFA[15] จะมีค่าหนึ่งของเวลามากกว่า 4 % ที่แรงดันแหล่งจ่าย 1 volt แต่จะมีค่าหนึ่งของเวลาน้อยกว่า 27 % ที่แรงดันแหล่งจ่าย 1.3 volt เมื่อเทียบกับวงจรวกที่มีตัวตดแบบ hybrid logic [16] จะมีค่าหนึ่งของเวลาน้อยกว่า เมื่อเทียบกับวงจรวกที่มีตัวตดแบบ PLT/TG [17] จะมีค่าหนึ่งของเวลามากกว่า 12 % ที่แรงดันแหล่งจ่าย 1 volt แต่จะมีค่าหนึ่งของเวลาน้อยกว่า 9 % ที่แรงดันแหล่งจ่าย 1.3 volt และเมื่อเปรียบเทียบกับเอาท์พุทตัวตด วงจรวกที่นำเสนอจะมีค่าหนึ่งของเวลาน้อยกว่าวงจรวกที่มีตัวตดที่ผ่านมาก

จากการจำลองการทำงานของวงจรวกที่มีตัวตดที่ใช้กำลังต่ำที่เสนอเมื่อโหลดที่ใช้มีการเปลี่ยนแปลง และแรงดันแหล่งจ่ายที่เปลี่ยนแปลงไป ซึ่งผลที่ได้นั้นจะเห็นว่าค่าการกำลังงานสูญเสียของวงจรวกที่มีตัวตดที่นำเสนอจะมีผลที่น้อยกว่าวงจรวกที่มีตัวตดที่ผ่านมาทั้งหมด

เมื่อนำผลการจำลองการทำงาน แรงดันแหล่งจ่าย 1.2 volt ที่โหลดคาปาซิแตนซ์ 10 fF มาเปรียบเทียบกับเอาต์ค่า Power delay product ดังตารางที่ 5.1

ตารางที่ 5.1 เปรียบเทียบประสิทธิภาพของวงจรวกที่มีตัวทดและค่า Power delay product

Full adder ($V_{DD}=1.2\text{ V}$)	#tr.	P_d (uW)	T_d (ns)		PDP (uWxnS)	
			SUM	C_{out}	SUM	C_{out}
CCMOS[14]	28	35	0.11	0.1	3.85	3.5
TGFA[15]	26	22.9	0.16	0.12	3.664	2.748
hybrid logic [16]	24	35.4	0.15	0.11	5.31	3.894
PLT/TG [17]	20	38.2	0.19	0.11	7.258	4.202
Proposed circuit	14	21.8	0.16	0.082	3.488	1.7876

จากตารางที่ 5.1 จะเห็นว่า วงจรที่นำเสนอ นั้น มีการใช้งานทรานซิสเตอร์ที่น้อยกว่าวงจรถิ่นผ่านมา โดยวงจรถิ่นเสนอ มีค่า PDP น้อยกว่าวงจรวกที่มีตัวทดแบบพื้นฐาน[14] อยู่ 95 % เมื่อเทียบกับวงจรวกที่มีตัวทดแบบ TGFA[15] จะมีค่า PDP น้อยกว่า 53% เมื่อเทียบกับวงจรวกที่มีตัวทดแบบ hybrid logic [16] จะมีค่า PDP น้อยกว่า 135% และเมื่อเทียบกับวงจรวกที่มีตัวทดแบบ PLT/TG [17] จะมีค่า PDP น้อยกว่า 117%



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- [1] S. M. Kang and Y. Leblebici, "CMOS Digital Integrated Circuits," 3rd ed, McGraw-Hill, 2003.
- [2] N. H.E. Weste and D. Harris, "CMOS VLSI design: a circuits and systems perspective," 3rd ed, Boston : Pearson, 2005.
- [3] P. Christian, "Low-Power CMOS Circuits : technology logic design and CAD tools," Taylor and Francis Group, 2006.
- [4] R. Shalern, E. John and L. K. John, "A Novel low power energy recovery full adder cell," In Proc.IEEE Great lakes VLSI Symp., pp.380-383, Feb. 1999.
- [5] R. Zimmermann and W.Fichtner, "Low-Power logic styles: CMOS versus pass-transistor," IEEE Solid – State Circuits, vol. 32, pp.1079-1090, July 1997.
- [6] N. Zhuang and H. Wu, "A New Design of CMOS Full Adder," IEEE J.Solid-State Circuits, vol. 27, no. 5, May 1992.
- [7] J. P. Uyemura, "Introduction to VLSI Circuits and Systems," John Wiley & Sons, 2002.
- [8] K. L. Parag, " Principles Of Modern Digital Design," John Wiley & Sons, 2007.
- [9] M. B. Lin, "Introduction to VLSI Systems A logic, Circuit, and System Perspective," CRC Press Taylor & Francis Group, 2012.
- [10] A. P. Godse and D. A. Godse, "Digital Techniques," 2nd ed, Technical Publications Pune, 2008.
- [11] B. Kerry, M. C. Keith, M.D. Christopher, R. H. Patrick, H. David, J. N. Edward and J.R. Norman, "High Speed Cmos Design Styles," Kluwer Academic Publishers, 2002.
- [12] U. P. John, "CMOS Logic Circuit Design," Kluwer Academic Publishers, 2002.
- [13] J. Yuan and C. Svenson, "High-Speed CMOS Circuit Technique," IEEE J. Solid-State Circuits, vol. 24, no. 1, pp.62-71, February 1989.
- [14] C. Guo-zhang, "Study and Evaluation in CMOS Full Adder," Transaction of Tianjin University, Tianjin, vol. 9, no.1, pp. 54-57, Mar. 2003.
- [15] M. Zhang, J. Gu, and C. H. Chang, "A novel hybrid pass logic with static CMOS output drive full-adder cell," in Proc. 36th IEEE Int. Symp. Circuits and Systems, vol. V, Bangkok, Thailand, May 2003, pp. 317–320.
- [16] C. K. Tung, Y. C. Hung, S. H. Shieh and G. S. Huang, "A Low- Power High-Speed Hybrid CMOS Full Adder for Embedded System," Design and Diagnostics of Electronic Circuits and Systems IEEE, April 2007, Page(s):1–4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [17] J. F. Jiang, Z. G. Mao, W. F. He, Q. Wang, "A new full adder design for tree structured arithmetic circuits," in Proc. 2nd Int. Conf. on (ICET 2010), vol.4, pp.V4-246-V4-249, 16-18 April, 2010.
- [18] H. M. David and H. L. Sarah, "Digital Design and Computer Architecture," 3rd ed, Morgan Kaufmann, 2007.
- [19] A. A. Raj and T. Latha, "VLSI Design," PHI Learning Private Limited, 2008.
- [20] J. D. William and R H. Curtis, "Digital Design A Systems Approach," Cambridge University Press, 2012.
- [21] K. L. Parag, "Principles Of Modern Digital Design," John Wiley & Sons, 2007.
- [22] B. Kerry, M. C. Keith, M.D. Christopher, R. H. Patrick, H. David, J. N. Edward and J.R. Norman, "High Speed CMOS Design Styles," Kluwer Academic Publishers, 2002.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.
ค่าพารามิเตอร์ของ 22 nm CMOS

ตารางที่ ก.1 ค่าพารามิเตอร์ของ 22 nm CMOS

Mos transistor model parameter			
Name of value	PMOS	NMOS	Unit
V_{th0}	-0.321	0.3782	V
V_{off}	-0.126	--0.13	V
V_{fb}	0.55	-0.55	V
T_{nom}	27	27	°C
T_{oxe}	2.35	2.25	nm
T_{oxp}	1.6	1.6	nm
T_{oxm}	2.35	2.25	nm
T_{oxeref}	2.35	2.25	nm
D_{tox}	0.75	0.65	nm
n Factor	1.5	1.5	
E_{a0}	0.0038	0.0092	cm^2 / Vs
U_0	0.0095	0.05928	Ω / m
R_{sh}	5	5	
R_{sw}	120	100	Ω / m
R_{dsw}	240	200	Ω / m
R_{dv}	120	100	Ω / m
C_{gso}	240	240	pF / m
C_{gdo}	240	240	pF / m
C_{gbo}	25.6	25.6	pF / m
C_{gdl}	265.3	265.3	pF / m
C_{gst}	265.3	265.3	pF / m

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ก.2 แสดงค่า W/L ของวงจรถ่ายใช้งานในบทที่ 4

MOS Transistor [um]	Proposed Circuit
M1	5
M2	4
M3	2
M4	6
M5	4
M6	4
M7	5
M8	3
M9	2
M10	5
M11	3
M12	4
M13	4
M14	3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

โปรแกรม HSpice ที่ใช้ในการวิเคราะห์วิทยานิพนธ์

Propose Full adder circuit

.OPTION LIST NODE POST

.OP

.PARAM V1=1.5V V2=0V TR=0.001NS TF=0.001NS

VDD 100 0 V1

**** three input ****

Vi1 c 0 PULSE (V1 V2 0.001NS TR TF 8NS 16NS)

Vi2 b 0 PULSE (V1 V2 0.001NS TR TF 4NS 8NS)

Vi3 a 0 PULSE (V1 V2 0.001NS TR TF 2NS 4NS)

**** XOR ****

M1 2 c b 1 PMOS L=22N W=500N

M2 2 b c 1 PMOS L=22N W=500N

M3 3 b c 0 NMOS L=22N W=200N

M4 3 c b 0 NMOS L=22N W=200N

M5 4 a 3 1 PMOS L=22N W=500N

M6 4 a 2 0 NMOS L=22N W=200N

Mi1 6 4 1 1 PMOS L=22N W=200N

Mi2 6 4 0 0 NMOS L=22N W=100N

coupled

Mc1 3 2 1 1 PMOS L=22N W=200N

Mc2 2 3 0 0 NMOS L=22N W=100N

Carry out

M21 5 3 c 0 NMOS L=22N W=200N

M22 5 2 c 1 PMOS L=22N W=500N

M23 5 2 a 0 NMOS L=22N W=200N

M24 5 3 a 1 PMOS L=22N W=500N

C1 5 0 0.05P

C2 6 0 0.05P

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

****Mes Power****

VTSTP 100 1 0

FP 0 90 VTSTP 0.0375

RP 90 0 100K

CO 90 0 100P

* PTM Low Power 22nm Metal Gate / High-K / Strained-Si

* nominal Vdd = 0.95V

.model nmos nmos level = 54

+version = 4.0	binunit = 1	paramchk= 1	mobmod = 0
+capmod = 2	igcmod = 1	igbmod = 1	geomod = 1
+diomod = 1	rdsmod = 0	rbodymod= 1	rgatemod= 1
+permod = 1	acngsmod= 0	trngsmod= 0	
+tnom = 27	tox = 1.4e-009	toxp = 1.1e-009	toxm = 1.4e-009
+dtox = 3e-010	epsrox = 3.9	wint = 5e-009	lint = 0
+ll = 0	wl = 0	lln = 1	wln = 1
+lw = 0	ww = 0	lwn = 1	wwn = 1
+lwl = 0	wwl = 0	xpart = 0	toxref = 1.4e-009
+vth0 = 0.68858	k1 = 0.4	k2 = 0	k3 = 0
+k3b = 0	w0 = 2.5e-006	dvt0 = 1	dvt1 = 2
+dvt2 = 0	dvt0w = 0	dvt1w = 0	dvt2w = 0
+dsub = 0.1	minv = 0.05	voffl = 0	dvtp0 = 1e-011
+dvtp1 = 0.1	lpe0 = 0	lpeb = 0	xj = 7.2e-009
+ngate = 1e+023	ndep = 5.5e+018	nsd = 2e+020	phin = 0
+cdsc = 0	cdscb = 0	cdscd = 0	cit = 0
+voff = -0.1092	nfactor = 1.6	eta0 = 0.0105	etab = 0
+vfb = -0.55	u0 = 0.035	ua = 6e-010	ub = 1.2e-018
+uc = 0	vsat = 170000	a0 = 1	ags = 0
+a1 = 0	a2 = 1	b0 = 0	b1 = 0
+keta = 0.04	dwg = 0	dwb = 0	pclm = 0.02
+pdiblc1 = 0.001	pdiblc2 = 0.001	pdiblc3 = -0.005	drout = 0.5
+pvag = 1e-020	delta = 0.01	pscbe1 = 8.14e+008	pscbe2 = 1e-007
+fprout = 0.2	pdits = 0.01	pditsd = 0.23	pditsl = 2300000
+rsh = 5	rds = 180	rsw = 75	rdw = 75
+rdswmin = 0	rdwmin = 0	rswmin = 0	prwg = 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+prwb = 0	wr = 1	alpha0 = 0.074	alpha1 = 0.005
+beta0 = 30	agidl = 0.0002	bgidl = 2.1e+009	cgidl = 0.0002
+egidl = 0.8	aigbacc = 0.012	bigbacc = 0.0028	cigbacc = 0.002
+nigbacc = 1	aigbinv = 0.014	bigbinv = 0.004	cigbinv = 0.004
+eigbinv = 1.1	nigbinv = 3	aigc = 0.015211	bigc = 0.0027432
+cigc = 0.002	aigsd = 0.015211	bigsd = 0.0027432	cigsd = 0.002
+nigc = 1	poxedge = 1	pigcd = 1	ntox = 1
+xrcrg1 = 12	xrcrg2 = 5		
+cgso = 6.5e-011	cgdo = 6.5e-011	cgbo = 2.56e-011	cgdl = 2.653e-010
+cgsl = 2.653e-010	ckappas = 0.03	ckappad = 0.03	acde = 1
+moin = 15	noff = 0.9	voffcv = 0.02	
+kt1 = -0.11	kt1l = 0	kt2 = 0.022	ute = -1.5
+ua1 = 4.31e-009	ub1 = 7.61e-018	uc1 = -5.6e-011	prt = 0
+at = 33000			
+fnoimod = 1	tnoimod = 0		
+jss = 0.0001	jsws = 1e-011	jswgs = 1e-010	njs = 1
+ijthsfwd= 0.01	ijthsv= 0.001	bvs = 10	xjbvs = 1
+jsd = 0.0001	jswd = 1e-011	jswgd = 1e-010	njd = 1
+ijthdfwd= 0.01	ijthdrev= 0.001	bvd = 10	xjbvd = 1
+pbs = 1	cjs = 0.0005	mjs = 0.5	pbsws = 1
+cjsws = 5e-010	mjsws = 0.33	pbswgs = 1	cjswgs = 3e-010
+mjswgs = 0.33	pbd = 1	cjd = 0.0005	mjd = 0.5
+pbswd = 1	cjswd = 5e-010	mjswd = 0.33	pbswd = 1
+cjswgd = 5e-010	mjswgd = 0.33	tpb = 0.005	tcj = 0.001
+tpbsw = 0.005	tcjsw = 0.001	tpbswg = 0.005	tcjswg = 0.001
+xtis = 3	xtid = 3		
+dmcg = 0	dmci = 0	dmdg = 0	dmcgt = 0
+dwj = 0	xgw = 0	xgl = 0	
+rshg = 0.4	gbmin = 1e-010	rbpb = 5	rbpd = 15
+rbps = 15	rbdb = 15	rbsb = 15	ngcon = 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
.model pmos pmos level = 54
```

```
+version = 4.0          binunit = 1          paramchk= 1          mobmod = 0
+capmod = 2            igcmmod = 1          igbmod = 1          geomod = 1
+diomod = 1           rdsmmod = 0          rbodymod= 1          rgatemod= 1
+permod = 1           acnqsmmod= 0        trnqsmmod= 0

+tnom = 27            toxe = 1.4e-009      toxp = 1.08e-009    toxm = 1.42e-009
+dtox = 3.2e-010      epsrox = 3.9        wint = 5e-009       lint = 0
+ll = 0              wl = 0              lln = 1             wln = 1
+lw = 0              ww = 0              lwn = 1            wwn = 1
+lwl = 0            wwvl = 0            xpart = 0          toxref = 1.42e-009

+vth0 = -0.63745      k1 = 0.4            k2 = -0.01          k3 = 0
+k3b = 0              w0 = 2.5e-006      dvt0 = 1            dvt1 = 2
+dvt2 = -0.032       dvt0w = 0          dvt1w = 0          dvt2w = 0
+dsb = 0.1           minv = 0.05        voffl = 0          dvtp0 = 1e-011
+dvtp1 = 0.05        lpe0 = 0           lpeb = 0           xj = 7.2e-009
+ngate = 1e+023      ndep = 4.4e+018    nsd = 2e+020       phin = 0
+cdsc = 0            cdsb = 0           cdsd = 0           cit = 0
+voff = -0.09        nfactor = 1.8      eta0 = 0.0105      etab = 0
+vfb = 0.55          u0 = 0.011         ua = 2e-009        ub = 5e-019
+uc = 0              vsat = 170000      a0 = 1             ags = 1e-020
+a1 = 0              a2 = 1             b0 = 0             b1 = 0
+keta = -0.047       dwg = 0            dwb = 0            pclm = 0.12
+pdiblc1 = 0.001     pdiblc2 = 0.001    pdiblc3 = 3.4e-008  drout = 0.56
+pvag = 1e-020      delta = 0.01        pscbe1= 8.14e+008  pscbe2 = 9.58e-007
+fprout = 0.2       pdits = 0.08        pditsd = 0.23      pditsl = 2300000
+rsh = 5            rdsw = 230          rsw = 72.5         rdw = 72.5
+rdswwmin = 0       rdwwmin = 0        rswmin = 0         prwg = 0
+prwb = 0           wr = 1             alpha0 = 0.074     alpha1 = 0.005
+beta0 = 30         agidl = 0.0002     bgidl = 2.1e+009   cgidl = 0.0002
+egidl = 0.8        aigbacc = 0.012    bigbacc = 0.0028   cigbacc = 0.002
+nigbacc = 1        aigbinv = 0.014    bigbinv = 0.004    cigbinv = 0.004
+eigbinv = 1.1      nigbinv = 3        aigc = 0.0097     bigc = 0.00125
+cigc = 0.0008      aigsd = 0.0097    bigsd = 0.00125   cigsd = 0.0008
+nigc = 1           poxedge = 1        pigcd = 1          ntox = 1
+xrcrg1 = 12        xrcrg2 = 5
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+cgso = 6.5e-011    cgdo = 6.5e-011    cgbo = 2.56e-011    cgdL =
2.653e-010
+cgsl = 2.653e-010    ckappas = 0.03    ckappad = 0.03    acde = 1
+moin = 15    noff = 0.9    voffcv = 0.02

+kt1 = -0.11    kt1l = 0    kt2 = 0.022    ute = -1.5
+ua1 = 4.31e-009    ub1 = 7.61e-018    uc1 = -5.6e-011    prt = 0
+at = 33000

+fnoimod = 1    tnoimod = 0

+jss = 0.0001    jsws = 1e-011    jswgs = 1e-010    njs = 1
+ijthsfwd= 0.01    ijthsrrev= 0.001    bvs = 10    xjbvs = 1
+jsd = 0.0001    jswd = 1e-011    jswgd = 1e-010    njd = 1
+ijthdfwd= 0.01    ijthdrev= 0.001    bvd = 10    xjbvd = 1
+pbs = 1    cjs = 0.0005    mjs = 0.5    pbsws = 1
+cjsws = 5e-010    mjsws = 0.33    pbswgs = 1    cjswgs = 3e-010
+mjswgs = 0.33    pbd = 1    cjd = 0.0005    mjd = 0.5
+pbswd = 1    cjswd = 5e-010    mjswd = 0.33    pbswgd = 1
+cjswgd = 5e-010    mjswgd = 0.33    tpb = 0.005    tcj = 0.001
+tpbsw = 0.005    tcjsw = 0.001    tpbswg = 0.005    tcjswg = 0.001
+xtis = 3    xtid = 3

+dmcg = 0    dmci = 0    dmdg = 0    dmcgt = 0
+dwj = 0    xgw = 0    xgl = 0

+rshg = 0.4    gbmin = 1e-010    rbpb = 5    rbpd = 15
+rbps = 15    rbdb = 15    rbsb = 15    ngcon = 1

```

```

*.TRAN 0.01NS 18.5NS sweep load OPF 0.1PF 0.01PF
.MEAS TRAN avgpow AVG POWER FROM=0n TO=4n
.TRAN 0.01NS 32NS UIC
.END

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Conventional

.OPTION LIST NODE POST

.OP

.PARAM V1=1.2V V2=0V TR=0.001NS TF=0.001NS

VDD 1 0 V1

**** three input ****

Vi1 c 0 PULSE (V1 V2 0.001NS TR TF 8NS 16NS)

Vi2 b 0 PULSE (V1 V2 0.001NS TR TF 4NS 8NS)

Vi3 a 0 PULSE (V1 V2 0.001NS TR TF 2NS 4NS)

**** XOR ****

*** Full adder ****

Mp1 2 a 1 1 PMOS L=22N W=500N

Mp2 3 b 2 2 PMOS L=22N W=500N

Mp3 5 a 1 1 PMOS L=22N W=500N

Mp4 5 b 1 1 PMOS L=22N W=500N

Mp5 3 c 5 5 PMOS L=22N W=500N

Mp6 7 c 1 1 PMOS L=22N W=500N

Mp7 7 a 1 1 PMOS L=22N W=500N

Mp8 7 b 1 1 PMOS L=22N W=500N

Mp9 9 3 7 7 PMOS L=22N W=500N

Mp10 10 a 1 1 PMOS L=22N W=500N

Mp11 11 b 10 10 PMOS L=22N W=500N

Mp12 9 c 11 11 PMOS L=22N W=500N

Mn1 4 a 0 0 NMOS L=22N W=200N

Mn2 3 b 4 4 NMOS L=22N W=200N

Mn3 6 a 0 0 NMOS L=22N W=200N

Mn4 6 b 0 0 NMOS L=22N W=200N

Mn5 3 c 6 6 NMOS L=22N W=200N

Mn6 8 c 0 0 NMOS L=22N W=200N

Mn7 8 a 0 0 NMOS L=22N W=200N

Mn8 8 b 0 0 NMOS L=22N W=200N

Mn9 9 3 8 8 NMOS L=22N W=200N

Mn10 12 a 0 0 NMOS L=22N W=200N

Mn11 13 b 12 12 NMOS L=22N W=200N

Mn12 9 c 13 13 NMOS L=22N W=200N

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**** SUM ****

Ms1 s 9 1 1 PMOS L=22N W=500N

Ms2 s 9 0 0 NMOS L=22N W=200N

**** Carry Out ****

Mco1 Co0 3 1 1 PMOS L=22N W=500N

Mco2 Co0 3 0 0 NMOS L=22N W=200N

C1 S 0 0.1p

C2 Co0 0 0.1p

* PTM Low Power 22nm Metal Gate / High-K / Strained-Si

* nominal Vdd = 0.95V

.model nmos nmos level = 54

+version = 4.0 binunit = 1 paramchk= 1 mobmod = 0
+capmod = 2 igcmod = 1 igbmod = 1 geomod = 1
+diomod = 1 rdsmod = 0 rbodymod= 1 rgatemod= 1
+permod = 1 acnqsmod= 0 trnqsmod= 0
+tnom = 27 toxε = 1.4e-009 toxp = 1.1e-009 toxm = 1.4e-009
+dtox = 3e-010 epsrox = 3.9 wint = 5e-009 lint = 0
+ll = 0 wlv = 0 lln = 1 wln = 1
+lw = 0 ww = 0 lwn = 1 wwn = 1
+lwl = 0 wwL = 0 xpart = 0 toxref = 1.4e-009
+vth0 = 0.68858 k1 = 0.4 k2 = 0 k3 = 0
+k3b = 0 w0 = 2.5e-006 dvt0 = 1 dvt1 = 2
+dvt2 = 0 dvt0w = 0 dvt1w = 0 dvt2w = 0
+dsub = 0.1 minv = 0.05 voffl = 0 dvtp0 = 1e-011
+dvtp1 = 0.1 lpe0 = 0 lpeb = 0 xj = 7.2e-009
+ngate = 1e+023 ndep = 5.5e+018 nsd = 2e+020 phin = 0
+cdsc = 0 cdsb = 0 cdsd = 0 cit = 0
+voff = -0.1092 nfactor = 1.6 eta0 = 0.0105 etab = 0
+vfb = -0.55 u0 = 0.035 ua = 6e-010 ub = 1.2e-018
+uc = 0 vsat = 170000 a0 = 1 ags = 0
+a1 = 0 a2 = 1 b0 = 0 b1 = 0
+keta = 0.04 dwg = 0 dwb = 0 pclm = 0.02
+pdiblc1 = 0.001 pdiblc2 = 0.001 pdiblc3 = -0.005 drout = 0.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+pvag = 1e-020	delta = 0.01	pscbe1 = 8.14e+008	pscbe2 = 1e-007
+fprout = 0.2	pdits = 0.01	pditsd = 0.23	pditsl = 2300000
+rsh = 5	rdswh = 180	rsw = 75	rdw = 75
+rdswhmin = 0	rdwhmin = 0	rswmin = 0	prwg = 0
+prwb = 0	wr = 1	alpha0 = 0.074	alpha1 = 0.005
+beta0 = 30	agidl = 0.0002	bgidl = 2.1e+009	cgidl = 0.0002
+egidl = 0.8	aigbacc = 0.012	bigbacc = 0.0028	cigbacc = 0.002
+nigbacc = 1	aigbinv = 0.014	bigbinv = 0.004	cigbinv = 0.004
+eigbinv = 1.1	nigbinv = 3	aigc = 0.015211	bigc = 0.0027432
+cigc = 0.002	aigsd = 0.015211	bigsd = 0.0027432	cigsd = 0.002
+nigc = 1	poxedge = 1	pigcd = 1	ntox = 1
+xrcrg1 = 12	xrcrg2 = 5		
+cgso = 6.5e-011	cgdo = 6.5e-011	cgbo = 2.56e-011	cgdl = 2.653e-010
+cgsl = 2.653e-010	ckappas = 0.03	ckappad = 0.03	acde = 1
+moin = 15	noff = 0.9	voffcv = 0.02	
+kt1 = -0.11	kt1l = 0	kt2 = 0.022	ute = -1.5
+ua1 = 4.31e-009	ub1 = 7.61e-018	uc1 = -5.6e-011	prt = 0
+at = 33000			
+fnoimod = 1	tnoimod = 0		
+jss = 0.0001	jsws = 1e-011	jswgs = 1e-010	njs = 1
+ijthsfwd = 0.01	ijthsrev = 0.001	bvs = 10	xjbvs = 1
+jsd = 0.0001	jswd = 1e-011	jswgd = 1e-010	njd = 1
+ijthdfwd = 0.01	ijthdrev = 0.001	bvd = 10	xjbvd = 1
+pbs = 1	cjs = 0.0005	mjs = 0.5	pbsws = 1
+cjsws = 5e-010	mjsws = 0.33	pbswgs = 1	cjswgs = 3e-010
+mjswgs = 0.33	pbd = 1	cjd = 0.0005	mjd = 0.5
+pbswd = 1	cjswd = 5e-010	mjswd = 0.33	pbswgd = 1
+cjswgd = 5e-010	mjswgd = 0.33	tpb = 0.005	tcj = 0.001
+tpbsw = 0.005	tcjsw = 0.001	tpbswg = 0.005	tcjswg = 0.001
+xtis = 3	xtid = 3		
+dmcg = 0	dmci = 0	dmdg = 0	dmcgt = 0
+dwj = 0	xgw = 0	xgl = 0	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
+rshg = 0.4      gbmin = 1e-010      rbpb = 5      rbpd = 15
+rbps = 15      rbdb = 15      rbsb = 15      ngcon = 1
```

```
.model pmos pmos level = 54
```

```
+version = 4.0      binunit = 1      paramchk= 1      mobmod = 0
+capmod = 2      igcmod = 1      igbmod = 1      geomod = 1
+diomod = 1      rdsmod = 0      rbodymod= 1      rgatemod= 1
+permod = 1      acnqsmod= 0      trnqsmod= 0

+tnom = 27      toxo = 1.4e-009      toxp = 1.08e-009      toxm = 1.42e-009
+dtox = 3.2e-010      epsrox = 3.9      wint = 5e-009      lint = 0
+ll = 0      wl = 0      lln = 1      wln = 1
+lw = 0      ww = 0      lwn = 1      wwn = 1
+lwl = 0      wwl = 0      xpart = 0      toxref = 1.42e-009

+vth0 = -0.63745      k1 = 0.4      k2 = -0.01      k3 = 0
+k3b = 0      w0 = 2.5e-006      dvt0 = 1      dvt1 = 2
+dvt2 = -0.032      dvt0w = 0      dvt1w = 0      dvt2w = 0
+dsub = 0.1      minv = 0.05      voffl = 0      dvtp0 = 1e-011
+dvtp1 = 0.05      lpe0 = 0      lpeb = 0      xj = 7.2e-009
+ngate = 1e+023      ndep = 4.4e+018      nsd = 2e+020      phin = 0
+cdsc = 0      cdscb = 0      cdscd = 0      cit = 0
+voff = -0.09      nfactor = 1.8      eta0 = 0.0105      etab = 0
+vfb = 0.55      u0 = 0.011      ua = 2e-009      ub = 5e-019
+uc = 0      vsat = 170000      a0 = 1      ags = 1e-020
+a1 = 0      a2 = 1      b0 = 0      b1 = 0
+keta = -0.047      dwg = 0      dwb = 0      pclm = 0.12
+pdiblc1 = 0.001      pdiblc2 = 0.001      pdiblc3 = 3.4e-008      drout = 0.56
+pvag = 1e-020      delta = 0.01      pscbe1= 8.14e+008      pscbe2 = 9.58e-007
+fprout = 0.2      pdits = 0.08      pditsd = 0.23      pditsl = 2300000
+rsh = 5      rdsw = 230      rsw = 72.5      rdw = 72.5
+rdswmin = 0      rdwmin = 0      rswmin = 0      prwg = 0
+prwb = 0      wr = 1      alpha0 = 0.074      alpha1 = 0.005
+beta0 = 30      agidl = 0.0002      bgidl = 2.1e+009      cgidl = 0.0002
+egidl = 0.8      aigbacc = 0.012      bigbacc = 0.0028      cigbacc = 0.002
+nigbacc = 1      aigbinv = 0.014      bigbinv = 0.004      cigbinv = 0.004
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

+eigbinv = 1.1      nigbinv = 3      aigc = 0.0097      bigc = 0.00125
+cigc = 0.0008      aigsd = 0.0097     bigsd = 0.00125   cigsd = 0.0008
+nigc = 1           poxedge = 1        pigcd = 1          ntox = 1
+xrcrg1 = 12        xrcrg2 = 5

+cgso = 6.5e-011    cgdo = 6.5e-011    cgbo = 2.56e-011  cgdl =
2.653e-010
+cgsl = 2.653e-010  ckappas = 0.03     ckappad = 0.03    acde = 1
+moin = 15          noff = 0.9         voffcv = 0.02

+kt1 = -0.11        kt1l = 0           kt2 = 0.022       ute = -1.5
+ua1 = 4.31e-009    ub1 = 7.61e-018    uc1 = -5.6e-011   prt = 0
+at = 33000

+fnoimod = 1        tnoimod = 0

+jss = 0.0001       jsws = 1e-011      jswgs = 1e-010    njs = 1
+ijthsfwd= 0.01     ijthsrev= 0.001    bvs = 10          xjbvs = 1
+jsd = 0.0001       jswd = 1e-011      jswgd = 1e-010    njd = 1
+ijthdfwd= 0.01     ijthdrev= 0.001    bvd = 10          xjbvd = 1
+pbs = 1            cjs = 0.0005       mjs = 0.5         pbsws = 1
+cjsws = 5e-010     mjsws = 0.33       pbswgs = 1        cjswgs = 3e-010
+mjswgs = 0.33      pbd = 1            cjd = 0.0005      mjd = 0.5
+pbswd = 1          cjswd = 5e-010     mjswd = 0.33      pbswgd = 1
+cjswgd = 5e-010   mjswgd = 0.33      tpb = 0.005       tcj = 0.001
+tpbsw = 0.005     tcjsw = 0.001      tpbswg = 0.005    tcjswg = 0.001
+xtis = 3           xtid = 3

+dmcg = 0           dmci = 0           dmdg = 0          dmcgt = 0
+dwj = 0            xgw = 0            xgl = 0

+rshg = 0.4         gbmin = 1e-010     rbpb = 5          rbpd = 15
+rbps = 15          rbdb = 15          rbsb = 15         ngcon = 1

```

```

*.TRAN 0.01NS 18.5NS sweep load 0PF 0.1PF 0.01PF
.MEAS TRAN avgpow AVG POWER FROM=0n TO=4n
.TRAN 0.01NS 32NS UIC
.END

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Propose Full adder circuit

.OPTION LIST NODE POST

.OP

.PARAM V1=1.2V V2=0V TR=0.001NS TF=0.001NS

VDD 100 0 V1

**** three input ****

Vi1 a 0 PULSE (V1 V2 0.001NS TR TF 8NS 16NS)

Vi2 b 0 PULSE (V1 V2 0.001NS TR TF 4NS 8NS)

Vi3 c 0 PULSE (V1 V2 0.001NS TR TF 2NS 4NS)

**** XOR ****

M1 2 A 1 1 PMOS L=22N W=200N

M2 2 A 0 0 NMOS L=22N W=100N

M3 3 B A 1 PMOS L=22N W=500N

M4 3 B 2 0 NMOS L=22N W=200N

M5 4 B 2 1 PMOS L=22N W=500N

M6 4 B A 0 NMOS L=22N W=200N

M7 3 A B 1 PMOS L=22N W=500N

M8 3 2 B 0 NMOS L=22N W=200N

M9 4 2 B 1 PMOS L=22N W=500N

M10 4 A B 0 NMOS L=22N W=200N

M11 5 C 1 1 PMOS L=22N W=200N

M12 5 C 0 0 NMOS L=22N W=100N

M13 6 B 1 1 PMOS L=22N W=200N

M14 6 B 0 0 NMOS L=22N W=100N

M15 7 3 5 1 PMOS L=22N W=500N

M16 7 4 5 0 NMOS L=22N W=200N

M17 7 4 C 1 PMOS L=22N W=500N

M18 7 3 C 0 NMOS L=22N W=200N

M19 8 3 6 1 PMOS L=22N W=500N

M20 8 4 6 0 NMOS L=22N W=200N

M21 8 4 5 1 PMOS L=22N W=500N

M22 8 3 5 0 NMOS L=22N W=200N

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการทำงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

M23 S 7 1 1 PMOS L=22N W=200N
M24 S 7 0 0 NMOS L=22N W=100N
M25 CO 8 1 1 PMOS L=22N W=200N
M26 CO 8 0 0 NMOS L=22N W=100N

```

```

C1 s 0 0.2P
C2 co 0 0.2P

```

```

* PTM Low Power 22nm Metal Gate / High-K / Strained-Si
* nominal Vdd = 0.95V

```

```

.model nmos nmos level = 54

```

```

+version = 4.0          binunit = 1          paramchk= 1          mobmod = 0
+capmod = 2            igcmod = 1          igbmod = 1          geomod = 1
+diomod = 1          rdsmod = 0          rbodymod= 1          rratemod= 1
+permod = 1          acnqsmode= 0          trnqsmode= 0

+tnom = 27          toxo = 1.4e-009          toxp = 1.1e-009          toxm = 1.4e-009
+dtox = 3e-010          epsrox = 3.9          wint = 5e-009          lint = 0
+ll = 0            wl = 0            lln = 1            wln = 1
+lw = 0            ww = 0            lwn = 1            wwn = 1
+lwl = 0          wwL = 0            xpart = 0          toxref = 1.4e-009

+vth0 = 0.68858          k1 = 0.4          k2 = 0          k3 = 0
+k3b = 0          w0 = 2.5e-006          dvt0 = 1          dvt1 = 2
+dvt2 = 0          dvt0w = 0          dvt1w = 0          dvt2w = 0
+dsusb = 0.1          minv = 0.05          voffl = 0          dvtp0 = 1e-011
+dvtp1 = 0.1          lpe0 = 0          lpeb = 0          xj = 7.2e-009
+ngate = 1e+023          ndep = 5.5e+018          nsd = 2e+020          phin = 0
+cdsc = 0          cdsb = 0          cdscd = 0          cit = 0
+voff = -0.1092          nfactor = 1.6          eta0 = 0.0105          etab = 0
+vfb = -0.55          u0 = 0.035          ua = 6e-010          ub = 1.2e-018
+uc = 0          vsat = 170000          a0 = 1          ags = 0
+a1 = 0          a2 = 1          b0 = 0          b1 = 0
+keta = 0.04          dwg = 0          dwb = 0          pclm = 0.02

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่ในวงกว้าง
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

+pdiblc1 = 0.001 pdiblc2 = 0.001 pdiblc3 = -0.005 drout = 0.5
 +pvag = 1e-020 delta = 0.01 pscbe1 = 8.14e+008 pscbe2 = 1e-007
 +fprout = 0.2 pdits = 0.01 pditsd = 0.23 pditsl = 2300000
 +rsh = 5 rdswh = 180 rsw = 75 rdw = 75
 +rdswhmin = 0 rdwhmin = 0 rswmin = 0 prwg = 0
 +prwb = 0 wr = 1 alpha0 = 0.074 alpha1 = 0.005
 +beta0 = 30 agidl = 0.0002 bgidl = 2.1e+009 cigidl = 0.0002
 +egidl = 0.8 aigbacc = 0.012 bigbacc = 0.0028 cigbacc = 0.002
 +nigbacc = 1 aigbinv = 0.014 bigbinv = 0.004 cigbinv = 0.004
 +eigbinv = 1.1 nigbinv = 3 aigc = 0.015211 bigc = 0.0027432
 +cigc = 0.002 aigsd = 0.015211 bigsd = 0.0027432 cigsd = 0.002
 +nigc = 1 poxedge = 1 pigcd = 1 ntox = 1
 +xrcrg1 = 12 xrcrg2 = 5

 +cgso = 6.5e-011 cgdo = 6.5e-011 cgbo = 2.56e-011 cgdl = 2.653e-010
 +cgsl = 2.653e-010 ckappas = 0.03 ckappad = 0.03 acde = 1
 +moin = 15 noff = 0.9 voffcv = 0.02
 +kt1 = -0.11 kt1l = 0 kt2 = 0.022 ute = -1.5
 +ua1 = 4.31e-009 ub1 = 7.61e-018 uc1 = -5.6e-011 prt = 0
 +at = 33000

 +fnoimod = 1 tnoimod = 0

 +jss = 0.0001 jsws = 1e-011 jswgs = 1e-010 njs = 1
 +ijthsfwd = 0.01 ijthsrrev = 0.001 bvs = 10 xjbvs = 1
 +jsd = 0.0001 jswd = 1e-011 jswgd = 1e-010 njd = 1
 +ijthdfwd = 0.01 ijthdrev = 0.001 bvd = 10 xjbvd = 1
 +pbs = 1 cjs = 0.0005 mjs = 0.5 pbsws = 1
 +cjsws = 5e-010 mjsws = 0.33 pbswgs = 1 cjswgs = 3e-010
 +mjswgs = 0.33 pbd = 1 cjd = 0.0005 mjd = 0.5
 +pbswd = 1 cjswd = 5e-010 mjswd = 0.33 pbswgd = 1
 +cjswgd = 5e-010 mjswgd = 0.33 tpb = 0.005 tcj =
 0.001
 +tpbsw = 0.005 tcjsw = 0.001 tpbswg = 0.005 tcjswg = 0.001
 +xtis = 3 xtid = 3

 +dmcg = 0 dmci = 0 dmdg = 0 dmcgt = 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปเผยแพร่ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+dwj = 0          xgw = 0          xgl = 0

+rshg = 0.4       gbmin = 1e-010     rbpb = 5          rbpd = 15
+rbps = 15       rbdb = 15          rbsb = 15        ngcon = 1

```

```
.model pmos pmos level = 54
```

```

+version = 4.0      binunit = 1          paramchk= 1        mobmod = 0
+capmod = 2         igcmmod = 1         igbmod = 1         geomod = 1
+diomod = 1        rdsmod = 0          rbodymod= 1        rgatemod= 1
+permod = 1        acnqsmod= 0         trnqsmod= 0

+tnom = 27         toxe = 1.4e-009     toxp = 1.08e-009   toxm = 1.42e-009
+dttox = 3.2e-010  epsrox = 3.9        wint = 5e-009      lint = 0
+ll = 0            wl = 0              lln = 1             wln = 1
+lw = 0            ww = 0              lwn = 1             wwn = 1
+lwl = 0           wwl = 0             xpart = 0           toxref = 1.42e-009

+vth0 = -0.63745   k1 = 0.4            k2 = -0.01         k3 = 0
+k3b = 0           w0 = 2.5e-006       dvt0 = 1           dvt1 = 2
+dvt2 = -0.032     dvt0w = 0           dvt1w = 0          dvt2w = 0
+dsub = 0.1        minv = 0.05         voffl = 0          dvtp0 = 1e-011
+dvtp1 = 0.05      lpe0 = 0             lpeb = 0           xj = 7.2e-009
+ngate = 1e+023    ndep = 4.4e+018     nsd = 2e+020       phin = 0
+cdsc = 0          cdsb = 0             cdsd = 0           cit = 0
+voff = -0.09      nfactor = 1.8        eta0 = 0.0105      etab = 0
+vfb = 0.55        u0 = 0.011          ua = 2e-009        ub = 5e-019
+uc = 0            vsat = 170000       a0 = 1             ags = 1e-020
+a1 = 0            a2 = 1              b0 = 0             b1 = 0
+keta = -0.047     dwg = 0             dwb = 0            pclm = 0.12
+pdiblc1 = 0.001   pdiblc2 = 0.001     pdiblc3 = 3.4e-008  drout = 0.56
+pvag = 1e-020     delta = 0.01         pscbe1= 8.14e+008   pscbe2 = 9.58e-007
+fprout = 0.2      pdits = 0.08         pditsd = 0.23       pditsl = 2300000
+rsh = 5           rdsw = 230           rsw = 72.5          rdw = 72.5
+rdswwmin = 0      rdwwmin = 0          rswmin = 0          prwg = 0
+prwb = 0          wr = 1              alpha0 = 0.074      alpha1 = 0.005
+beta0 = 30        agidl = 0.0002       bgidl = 2.1e+009    cgidl = 0.0002
+egidl = 0.8       aigbacc = 0.012     bigbacc = 0.0028    cigbacc = 0.002

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น มิอนุญาตให้นำไปเผยแพร่ขึ้นต้นการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+nigbacc = 1          aigbinv = 0.014      bigbinv = 0.004      cigbinv = 0.004
+eigbinv = 1.1       nigbinv = 3          aigc  = 0.0097      bigc  = 0.00125
+cigc  = 0.0008      aigsd  = 0.0097      bigsd  = 0.00125     cigsd  = 0.0008
+nigc  = 1          poxedge = 1          pigcd  = 1          ntox  = 1
+xrcrg1 = 12        xrcrg2 = 5

+cgso  = 6.5e-011    cgdo  = 6.5e-011    cgbo  = 2.56e-011    cgdl  =
2.653e-010
+cgsl  = 2.653e-010  ckappas = 0.03      ckappad = 0.03      acde  = 1
+moin  = 15         noff  = 0.9         voffcv = 0.02

+kt1   = -0.11      kt1l  = 0           kt2   = 0.022       ute   = -1.5
+ua1   = 4.31e-009  ub1   = 7.61e-018   uc1   = -5.6e-011   prt   = 0
+at    = 33000

+fnoimod = 1        tnoimod = 0

+jss   = 0.0001     jsws  = 1e-011      jswgs = 1e-010      njs   = 1
+ijthsfwd= 0.01     ijthsrrev= 0.001    bvs   = 10          xjbvs = 1
+jsd   = 0.0001     jswd  = 1e-011      jswgd = 1e-010      njd   = 1
+ijthdfwd= 0.01     ijthdrev= 0.001    bvd   = 10          xjbvd = 1
+pbs   = 1          cjs   = 0.0005      mjs   = 0.5         pbsws = 1
+cjsws = 5e-010     mjsws = 0.33        pbswgs = 1          cjswgs = 3e-010
+mjswgs = 0.33     pbd   = 1          cjd   = 0.0005      mjd   = 0.5
+pbswd = 1          cjswd = 5e-010     mjswd = 0.33        pbswgd = 1
+cjswgd = 5e-010   mjswgd = 0.33     tpb   = 0.005      tcj   = 0.001
+tpbsw = 0.005     tcjsw = 0.001      tpbswg = 0.005     tcjswg = 0.001
+xtis  = 3          xtids = 3

+dmcg  = 0          dmci  = 0          dmdg  = 0          dmcgt = 0
+dwj   = 0          xgw   = 0          xgl   = 0

+rshg  = 0.4       gbmin  = 1e-010     rbpb  = 5          rbpd  = 15
+rbps  = 15       rbdb   = 15        rbsb  = 15        ngcon = 1

```

*.TRAN 0.01NS 18.5NS sweep load OPF 0.1PF 0.01PF

.MEAS TRAN avgpow AVG POWER FROM=0n TO=4n

.TRAN 0.01NS 32NS UIC

.END

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

test TG-PLT

.OPTION LIST NODE POST

.OP

.PARAM V1=1.2V V2=0V TR=0.001NS TF=0.001NS

VDD 100 0 V1

*VDD 1 0 V1

**** three input ****

Vi1 c 0 PULSE (V1 V2 0.001NS TR TF 8NS 16NS)

Vi2 b 0 PULSE (V1 V2 0.001NS TR TF 4NS 8NS)

Vi3 a 0 PULSE (V1 V2 0.001NS TR TF 2NS 4NS)

**** XOR ****

M1 ai a 1 1 PMOS L=22N W=220N

M2 ai a 0 0 NMOS L=22N W=88N

M3 2 a c 1 PMOS L=22N W=220N

M4 2 ai c 0 NMOS L=22N W=88N

M5 2 c a 1 PMOS L=22N W=220N

M6 2 c ai 0 NMOS L=22N W=88N

M7 3 2 1 1 PMOS L=22N W=220N

M8 3 2 0 0 NMOS L=22N W=88N

M9 4 3 b 1 PMOS L=22N W=220N

M10 4 2 b 0 NMOS L=22N W=88N

M11 4 b 3 1 PMOS L=22N W=220N

M12 4 b 2 0 NMOS L=22N W=88N

M13 5 4 1 1 PMOS L=22N W=220N

M14 5 4 0 0 NMOS L=22N W=88N

**Carry out

M15 6 2 b 0 NMOS L=22N W=88N

M16 6 3 b 1 PMOS L=22N W=220N

M17 6 3 a 0 NMOS L=22N W=88N

M18 6 2 a 1 PMOS L=22N W=220N

C1 5 0 0.2P

C2 6 0 0.2P

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

* PTM Low Power 22nm Metal Gate / High-K / Strained-Si

* nominal Vdd = 0.95V

.model nmos nmos level = 54

```

+version = 4.0          binunit = 1          paramchk= 1          mobmod = 0
+capmod = 2            igcmod = 1          igbmod = 1          geomod = 1
+diomod = 1           rdsmod = 0          rbodymod= 1         rgatemod= 1
+permod = 1           acnqsmod= 0         trnqsmod= 0

+tnom . = 27          toxε = 1.4e-009       toxp = 1.1e-009       toxm = 1.4e-009
+dtox = 3e-010       epsrox = 3.9         wint = 5e-009        lint = 0
+ll = 0              wl = 0              lln = 1              wln = 1
+lw = 0              ww = 0              lwn = 1              wwn = 1
+lwl = 0            wwl = 0            xpart = 0            toxref = 1.4e-009

+vth0 = 0.68858      k1 = 0.4            k2 = 0              k3 = 0
+k3b = 0             w0 = 2.5e-006      dvt0 = 1            dvt1 = 2
+dvt2 = 0           dvt0w = 0          dvt1w = 0           dvt2w = 0
+dsub = 0.1         minv = 0.05        voffl = 0           dvtp0 = 1e-011
+dvtp1 = 0.1        lpe0 = 0           lpeb = 0            xj = 7.2e-009
+ngate = 1e+023      ndep = 5.5e+018     nsd = 2e+020        phin = 0
+cdsc = 0           cdsb = 0           cdsd = 0            cit = 0
+voff = -0.1092     nfactor = 1.6       eta0 = 0.0105       etab = 0
+vfb = -0.55        u0 = 0.035         ua = 6e-010         ub = 1.2e-018
+uc = 0             vsat = 170000      a0 = 1              ags = 0
+a1 = 0             a2 = 1             b0 = 0              b1 = 0
+keta = 0.04        dwg = 0            dwb = 0             pclm = 0.02
+pdiblc1 = 0.001    pdiblc2 = 0.001    pdiblc3 = -0.005    droul = 0.5
+pvag = 1e-020      delta = 0.01        pscbe1 = 8.14e+008  pscbe2 = 1e-007
+fprout = 0.2       pdits = 0.01        pditsd = 0.23       pditsl = 2300000
+rsh = 5            rds = 180          rsw = 75            rdw = 75
+rdsmin = 0         rdwmin = 0         rswmin = 0          prwg = 0
+prwb = 0          wr = 1             alpha0 = 0.074      alpha1 = 0.005
+beta0 = 30         agidl = 0.0002      bgidl = 2.1e+009    cgidl = 0.0002
+egidl = 0.8        aigbacc = 0.012     bigbacc = 0.0028    cigbacc = 0.002
+nigbacc = 1        aigbinv = 0.014     bigbinv = 0.004     cigbinv = 0.004
+eigbinv = 1.1      nigbinv = 3         aigc = 0.015211     bigc = 0.0027432
+cihc = 0.002       aigsd = 0.015211   bigsd = 0.0027432   cigsd = 0.002

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่ขึ้นต้นการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


```

+nigc = 1          poxedge = 1          pigcd = 1          ntox = 1
+xrcrg1 = 12       xrcrg2 = 5

+cgso = 6.5e-011  cgdo = 6.5e-011  cgbo = 2.56e-011  cgdl = 2.653e-
010
+cgsl = 2.653e-010  ckappas = 0.03   ckappad = 0.03   acde = 1
+moin = 15         noff = 0.9       voffcv = 0.02

+kt1 = -0.11      kt1l = 0         kt2 = 0.022      ute = -1.5
+ua1 = 4.31e-009  ub1 = 7.61e-018  uc1 = -5.6e-011  prt = 0
+at = 33000

+fnoimod = 1      tnoimod = 0

+jss = 0.0001     jsws = 1e-011    jswgs = 1e-010    njs = 1
+ijthsfwd= 0.01   ijthsrev= 0.001  bvs = 10          xjbvs = 1
+jsd = 0.0001     jswd = 1e-011    jswgd = 1e-010    njd = 1
+ijthdfwd= 0.01   ijthdrev= 0.001  bvd = 10          xjbvd = 1
+pbs = 1          cjs = 0.0005     mjs = 0.5         pbsws = 1
+cjsws = 5e-010   mjsws = 0.33     pbswgs = 1        cjswgs = 3e-010
+mjswgs = 0.33    pbd = 1          cjd = 0.0005     mjd = 0.5
+pbswd = 1        cjswd = 5e-010   mjswd = 0.33     pbswd = 1
+cjswgd = 5e-010  mjswgd = 0.33    tpb = 0.005      tcj =
0.001
+tpbsw = 0.005    tcjsw = 0.001    tpbswg = 0.005   tcjswg = 0.001
+xtis = 3         xtid = 3

+dmcg = 0         dmcj = 0         dmdg = 0         dmcgt = 0
+dwj = 0         xgw = 0          xgl = 0

+rshg = 0.4       gbmin = 1e-010   rbpb = 5          rbpd = 15
+rbps = 15        rbdb = 15        rbsb = 15        ngcon = 1

```

```
.model pmos pmos level = 54
```

```

+version = 4.0      binunit = 1      paramchk= 1      mobmod = 0
+capmod = 2         igcmmod = 1      igbmod = 1       geomod = 1
+diomod = 1        rdsmmod = 0      rbodsmmod= 1     rgatemod= 1

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+permod = 1          acnqsmo= 0          trnqsmo= 0

+tnom = 27          toxo = 1.4e-009          toxp = 1.08e-009          toxm = 1.42e-009
+dtox = 3.2e-010          epsrox = 3.9          wint = 5e-009          lint = 0
+ll = 0          wl = 0          lln = 1          wln = 1
+lw = 0          ww = 0          lwn = 1          wwn = 1
+lwl = 0          ww1 = 0          xpart = 0          toxref = 1.42e-009

+vt0 = -0.63745          k1 = 0.4          k2 = -0.01          k3 = 0
+k3b = 0          w0 = 2.5e-006          dvt0 = 1          dvt1 = 2
+dvt2 = -0.032          dvt0w = 0          dvt1w = 0          dvt2w = 0
+dsub = 0.1          minv = 0.05          voffl = 0          dvtp0 = 1e-011
+dvtp1 = 0.05          lpe0 = 0          lpeb = 0          xj = 7.2e-009
+ngate = 1e+023          ndep = 4.4e+018          nsd = 2e+020          phin = 0
+cdsc = 0          cdsb = 0          cdsd = 0          cit = 0
+voff = -0.09          nfactor = 1.8          eta0 = 0.0105          etab = 0
+vfb = 0.55          u0 = 0.011          ua = 2e-009          ub = 5e-019
+uc = 0          vsat = 170000          a0 = 1          ags = 1e-020
+a1 = 0          a2 = 1          b0 = 0          b1 = 0
+keta = -0.047          dwg = 0          dwb = 0          pclm = 0.12
+pdiblc1 = 0.001          pdiblc2 = 0.001          pdiblc3 = 3.4e-008          drout = 0.56
+pvag = 1e-020          delta = 0.01          pscbe1 = 8.14e+008          pscbe2 = 9.58e-007
+fprout = 0.2          pdits = 0.08          pditsd = 0.23          pditsl = 2300000
+rsh = 5          rdsw = 230          rsw = 72.5          rdw = 72.5
+rdsmin = 0          rdswmin = 0          rswmin = 0          prwg = 0
+prwb = 0          wr = 1          alpha0 = 0.074          alpha1 = 0.005
+beta0 = 30          agidl = 0.0002          bgidl = 2.1e+009          cgidl = 0.0002
+egidl = 0.8          aigbacc = 0.012          bigbacc = 0.0028          cigbacc = 0.002
+nigbacc = 1          aigbinv = 0.014          bigbinv = 0.004          cigbinv = 0.004
+eigbinv = 1.1          nigbinv = 3          aigc = 0.0097          bigc = 0.00125
+cigc = 0.0008          aigsd = 0.0097          bigsd = 0.00125          cigsd = 0.0008
+nigc = 1          poxedge = 1          pigcd = 1          ntox = 1
+xrcrg1 = 12          xrcrg2 = 5

+cgso = 6.5e-011          cgdo = 6.5e-011          cgbo = 2.56e-011          cgdl =
2.653e-010
+cgsl = 2.653e-010          ckappas = 0.03          ckappad = 0.03          acde = 1
+moin = 15          noff = 0.9          voffcv = 0.02

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+kt1 = -0.11      kt1l = 0      kt2 = 0.022      ute = -1.5
+ua1 = 4.31e-009  ub1 = 7.61e-018  uc1 = -5.6e-011  prt = 0
+at = 33000

+fnoimod = 1      tnoimod = 0

+jss = 0.0001     jsws = 1e-011     jswgs = 1e-010   njs = 1
+ijthsfwd= 0.01   ijthsrev= 0.001   bvs = 10         xjbvs = 1
+jsd = 0.0001     jswd = 1e-011     jswgd = 1e-010   njd = 1
+ijthdfwd= 0.01   ijthdrev= 0.001   bvd = 10         xjbvd = 1
+pbs = 1          cjs = 0.0005     mjs = 0.5        pbsws = 1
+cjsws = 5e-010   mjsws = 0.33     pbswgs = 1       cjswgs = 3e-010
+mjswgs = 0.33    pbd = 1          cjd = 0.0005     mjd = 0.5
+pbswd = 1        cjswd = 5e-010   mjswd = 0.33     pbswd = 1
+cjswgd = 5e-010 mjswgd = 0.33    tpb = 0.005      tcj = 0.001
+tpbsw = 0.005   tcjsw = 0.001    tpbswg = 0.005   tcjswg = 0.001
+xtis = 3         xtid = 3

+dmcg = 0         dmci = 0         dmdg = 0         dmcgt = 0
+dwj = 0          xgw = 0          xgl = 0

+rshg = 0.4       gbmin = 1e-010   rbbp = 5         rbbpd = 15
+rbps = 15        rbdb = 15        rbsb = 15        ngcon = 1

*.TRAN 0.01NS 18.5NS sweep load OPF 0.1PF 0.01PF
.MEAS TRAN avgpow AVG POWER FROM=0n TO=4n
.TRAN 0.01NS 32NS UIC
.END

```

Hybrid logic Full adder

.OPTION LIST NODE POST

.OP

.PARAM V1=1.2V V2=0V TR=0.001NS TF=0.001NS

VDD 100 0 V1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**** three input ****

Vi1 c 0 PULSE (V1 V2 0.001NS TR TF 8NS 16NS)

Vi2 b 0 PULSE (V1 V2 0.001NS TR TF 4NS 8NS)

Vi3 a 0 PULSE (V1 V2 0.001NS TR TF 2NS 4NS)

**** XOR ****

M1 2 a b 1 PMOS L=22N W=600N

M2 2 b a 1 PMOS L=22N W=600N

M3 3 b a 0 NMOS L=22N W=300N

M4 3 a b 0 NMOS L=22N W=300N

M5 4 2 cb 1 PMOS L=22N W=600N

M6 4 cb 2 1 PMOS L=22N W=600N

M7 4 cb 3 0 NMOS L=22N W=300N

M8 4 3 cb 0 NMOS L=22N W=300N

Mc1 cb c 1 1 PMOS L=22N W=500N

Mc2 cb c 0 0 NMOS L=22N W=200N

M41 5 4 1 1 PMOS L=22N W=500N

M42 5 4 0 0 NMOS L=22N W=200N

Mp1 25 a 1 1 PMOS L=22N W=500N

Mp2 35 b 25 25 PMOS L=22N W=500N

Mp3 55 a 1 1 PMOS L=22N W=500N

Mp4 55 b 1 1 PMOS L=22N W=500N

Mp5 35 c 55 55 PMOS L=22N W=500N

Mn1 45 a 0 0 NMOS L=22N W=200N

Mn2 35 b 45 45 NMOS L=22N W=200N

Mn3 65 a 0 0 NMOS L=22N W=200N

Mn4 65 b 0 0 NMOS L=22N W=200N

Mn5 35 c 65 65 NMOS L=22N W=200N

Mc3 36 35 1 1 PMOS L=22N W=500N

Mc4 36 35 0 0 NMOS L=22N W=200N

C1 36 0 0.2P

C2 5 0 0.2P

* PTM Low Power 22nm Metal Gate / High-K / Strained-Si

* nominal Vdd = 0.95V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
.model nmos nmos level = 54
```

```
+version = 4.0          binunit = 1          paramchk= 1          mobmod = 0
+capmod = 2            igcmod = 1            igbmod = 1            geomod = 1
+diomod = 1           rdsmod = 0            rbodymod= 1          rgatemod= 1
+permod = 1           acnqsmode= 0          trnqsmode= 0

+tnom = 27            toxex = 1.4e-009      toxp = 1.1e-009      toxm = 1.4e-009
+dtox = 3e-010        epsrox = 3.9          wint = 5e-009        lint = 0
+ll = 0              wl = 0                lln = 1              wln = 1
+lw = 0              ww = 0                lwn = 1              wwn = 1
+lwl = 0            wwvl = 0             xpart = 0            toxref = 1.4e-009

+vth0 = 0.68858      k1 = 0.4              k2 = 0                k3 = 0
+k3b = 0              w0 = 2.5e-006        dvt0 = 1              dvt1 = 2
+dvt2 = 0              dvt0w = 0            dvt1w = 0            dvt2w = 0
+dsusb = 0.1          minv = 0.05          voffl = 0             dvtp0 = 1e-011
+dvtp1 = 0.1          lpe0 = 0              lpeb = 0              xj = 7.2e-009
+ngate = 1e+023       ndep = 5.5e+018      nsd = 2e+020          phin = 0
+cdsc = 0             cdsb = 0              cdsd = 0              cit = 0
+voff = -0.1092       nfactor = 1.6         eta0 = 0.0105         etab = 0
+vfb = -0.55          u0 = 0.035           ua = 6e-010           ub = 1.2e-018
+uc = 0              vsat = 170000        a0 = 1                ags = 0
+a1 = 0              a2 = 1                b0 = 0                b1 = 0
+keta = 0.04         dwg = 0              dwb = 0                pclm = 0.02
+pdiblc1 = 0.001     pdiblc2 = 0.001      pdiblc3 = -0.005     droul = 0.5
+pvag = 1e-020       delta = 0.01          psbce1 = 8.14e+008   psbce2 = 1e-007
+fprout = 0.2        pdits = 0.01          pditsd = 0.23        pditsl = 2300000
+rsh = 5             rdsw = 180           rsw = 75              rdw = 75
+rdswwmin = 0        rdwwmin = 0          rswmin = 0            prwg = 0
+prwb = 0           wr = 1                alpha0 = 0.074        alpha1 = 0.005
+beta0 = 30          agidl = 0.0002        bgidl = 2.1e+009      cgidl = 0.0002
+egidl = 0.8         aigbacc = 0.012       bigbacc = 0.0028      cigbacc = 0.002
+nigbacc = 1         aigbinv = 0.014       bigbinv = 0.004       cigbinv = 0.004
+eigbinv = 1.1       nigbinv = 3           aigc = 0.015211      bigc = 0.0027432
+cigc = 0.002        aigsd = 0.015211     bigsd = 0.0027432    cigsd = 0.002
+nigc = 1           poxedg = 1            pigcd = 1             ntox = 1
+xrcrg1 = 12         xrcrg2 = 5
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+cgso = 6.5e-011    cgdo = 6.5e-011    cgbo = 2.56e-011    cgdl = 2.653e-
010
+cgsl = 2.653e-010    ckappas = 0.03    ckappad = 0.03    acde = 1
+moin = 15    noff = 0.9    voffcv = 0.02

+kt1 = -0.11    kt1l = 0    kt2 = 0.022    ute = -1.5
+ua1 = 4.31e-009    ub1 = 7.61e-018    uc1 = -5.6e-011    prt = 0
+at = 33000

+fnoimod = 1    tnoimod = 0

+jss = 0.0001    jsws = 1e-011    jswgs = 1e-010    njs = 1
+ijthsfwd= 0.01    ijthsrev= 0.001    bvs = 10    xjbvs = 1
+jsd = 0.0001    jswd = 1e-011    jswgd = 1e-010    njd = 1
+ijthdfwd= 0.01    ijthdrev= 0.001    bvd = 10    xjbvd = 1
+pbs = 1    cjs = 0.0005    mjs = 0.5    pbsws = 1
+cjsws = 5e-010    mjsws = 0.33    pbswgs = 1    cjswgs = 3e-010
+mjswgs = 0.33    pbd = 1    cjd = 0.0005    mjd = 0.5
+pbswd = 1    cjswd = 5e-010    mjswd = 0.33    pbswgd = 1
+cjswgd = 5e-010    mjswgd = 0.33    tpb = 0.005    tcj =
0.001
+tpbsw = 0.005    tcjsw = 0.001    tpbswg = 0.005    tcjswg = 0.001
+xtis = 3    xtid = 3

+dmcg = 0    dmci = 0    dmdg = 0    dmcgt = 0
+dwj = 0    xgw = 0    xgl = 0

+rshg = 0.4    gbmin = 1e-010    rpbp = 5    rbpd = 15
+rbps = 15    rbdb = 15    rbsb = 15    ngcon = 1

.model pmos pmos level = 54

+version = 4.0    binunit = 1    paramchk= 1    mobmod = 0
+capmod = 2    igcmmod = 1    igbmod = 1    geomod = 1
+diomod = 1    rdsmod = 0    rbodymod= 1    rgatemod= 1
+permod = 1    acnqsmo= 0    trnqsmo= 0

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+tnom = 27      toxo = 1.4e-009      toxp = 1.08e-009      toxm = 1.42e-009
+dtox = 3.2e-010  epsrox = 3.9      wint = 5e-009      lint = 0
+ll = 0         wl = 0           lln = 1           wln = 1
+lw = 0         ww = 0           lwn = 1           wwn = 1
+lwl = 0        ww = 0           xpart = 0         toxref = 1.42e-009

+vth0 = -0.63745  k1 = 0.4         k2 = -0.01        k3 = 0
+k3b = 0          w0 = 2.5e-006   dvt0 = 1          dvt1 = 2
+dvt2 = -0.032   dvt0w = 0       dvt1w = 0         dvt2w = 0
+dsup = 0.1      minv = 0.05     voffl = 0         dvtp0 = 1e-011
+dvtp1 = 0.05    lpe0 = 0         lpeb = 0          xj = 7.2e-009
+ngate = 1e+023  ndep = 4.4e+018 nsd = 2e+020      phin = 0
+cdsc = 0        cdsb = 0         cdsd = 0          cit = 0
+voff = -0.09    nfactor = 1.8   eta0 = 0.0105     etab = 0
+vfb = 0.55      u0 = 0.011      ua = 2e-009       ub = 5e-019
+uc = 0          vsat = 170000   a0 = 1            ags = 1e-020
+a1 = 0          a2 = 1          b0 = 0            b1 = 0
+keta = -0.047   dwg = 0         dwb = 0           pclm = 0.12
+pdiblc1 = 0.001 pdiblc2 = 0.001 pdiblc3 = 3.4e-008 drout = 0.56
+pvag = 1e-020  delta = 0.01    pscbe1 = 8.14e+008 pscbe2 = 9.58e-007
+fprout = 0.2   pdits = 0.08   pditsd = 0.23    pditsl = 2300000
+rsh = 5         rds = 230      rsw = 72.5       rdw = 72.5
+rdsmin = 0     rdswmin = 0    rswmin = 0       prwg = 0
+prwb = 0       wr = 1         alpha0 = 0.074    alpha1 = 0.005
+beta0 = 30     agidl = 0.0002 bgidl = 2.1e+009  cgidl = 0.0002
+egidl = 0.8    aigbacc = 0.012 bigbacc = 0.0028  cigbacc = 0.002
+nigbacc = 1    aigbinv = 0.014 bigbinv = 0.004   cigbinv = 0.004
+eigbinv = 1.1  nigbinv = 3     aigc = 0.0097    bigc = 0.00125   cigc = 0.00125
+cigc = 0.0008  aigsd = 0.0097 bigsd = 0.00125  cigsd = 0.0008
+nigc = 1       poxedge = 1     pigcd = 1         ntox = 1
+xrcrg1 = 12    xrcrg2 = 5

+cgso = 6.5e-011  cgdo = 6.5e-011  cgbo = 2.56e-011  cgdl =
2.653e-010
+cgsl = 2.653e-010 ckappas = 0.03   ckappad = 0.03   acde = 1
+moin = 15       noff = 0.9      voffcv = 0.02

+kt1 = -0.11     kt1l = 0         kt2 = 0.022      ute = -1.5
+ua1 = 4.31e-009 ub1 = 7.61e-018 uc1 = -5.6e-011 prt = 0

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

+at      = 33000

+fnoimod = 1          tnoimod = 0

+jss     = 0.0001      jsws  = 1e-011      jswgs = 1e-010      njs   = 1
+ijthsfwd= 0.01       ijthsrev= 0.001     bvs   = 10          xjbvs = 1
+jsd     = 0.0001      jswd  = 1e-011      jswgd = 1e-010      njd   = 1
+ijthdfwd= 0.01       ijthdrev= 0.001     bvd   = 10          xjbvd = 1
+pbs     = 1          cjs   = 0.0005      mjs   = 0.5          pbsws = 1
+cjsws   = 5e-010     mjsws = 0.33         pbswgs = 1          cjswgs = 3e-010
+mjswgs  = 0.33       pbd   = 1          cjd   = 0.0005      mjd   = 0.5
+pbswd   = 1          cjswd = 5e-010      mjswd = 0.33         pbswgd = 1
+cjswgd  = 5e-010     mjswgd = 0.33      tpb   = 0.005       tcj   = 0.001
+tpbsw   = 0.005     tcjsw = 0.001       tpbswg = 0.005      tcjswg = 0.001
+xtis    = 3          xtid  = 3

+dmcg    = 0          dmcid = 0          dmdg  = 0          dmcgt = 0
+dwj     = 0          xgw   = 0          xgl   = 0

+rshg    = 0.4        gbmin  = 1e-010     rbpb  = 5          rbpd  = 15
+rbps    = 15        rbdb  = 15         rbsb  = 15         ngcon = 1

*.TRAN 0.01NS 18.5NS sweep load 0PF 0.1PF 0.01PF
.MEAS TRAN avgpow AVG POWER FROM=0n TO=4n
.TRAN 0.01NS 32NS UIC
.END

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.
ผลงานทางวิชาการที่ได้รับการตีพิมพ์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low Power CMOS Full Adder Cells

Artapon Sudsakarn, Siraphop Tooprakai and Kobchai Dejhan
 Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang Bangkok 10520, Thailand
 E-mail: artapon.sud@gmail.com, (kobchai, siraphop)@telecom.kmitl.ac.th
 Tel: 66-2-3296300

Abstract—This paper presents low power CMOS full adder cells. The full adder cells are utilization to low power by using XOR and XNOR gate architectures with pass transistor logic and transmission gate. All simulation results have been carried out by using HSPICE program simulator based on 22 nm CMOS technology at 1.1 V supply voltages. The operating frequency is 150 MHz. In comparison with other 1 bit adder cells, simulation results show that have used low power consumption and power delay product of SUM and C_{OUT} .

Keywords—CMOS full adder; XNOR-XOR gate; low power full adder;

I. INTRODUCTION

In very large scale integration (VLSI) systems, full adder circuit is used in arithmetic operations for addition, multipliers and Arithmetic Logic Unit (ALU). It is a building block of the application of VLSI, digital signal processing, image processing and microprocessors.

Most of full adder systems are considered performance of circuits, number of transistor, speed of circuit, chip area, threshold loss and full swing output and the most important is power consumption. In the future, portable devices such as cell phone, laptop computer, tablet etc. that need a low power and high speed for components are requirements. For this reason, design of low power is the research problems.

In the paper is proposed 1-bit full adder base on 22 nm CMOS technology which operation for low supply voltage is 1.1V at 150 MHz.

II. PREVIOUS WORKS

Full adder circuit is designed for addition binary logics. Sum signal (SUM) and carry out signal (C_{OUT}) are the output of 1-bit full adder. Each of them are generated by input A, B and C_{IN} , following Boolean equation as:

$$SUM = A \oplus B \oplus C_{IN} \quad (1)$$

$$C_{OUT} = AB + BC_{IN} + AC_{IN} \quad (2)$$

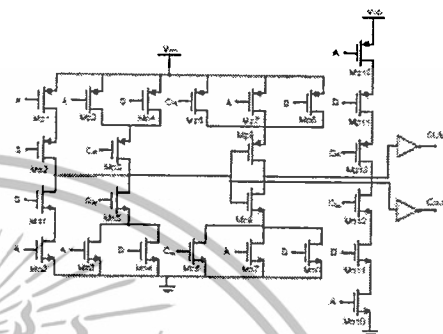


Figure 1. Conventional CMOS full adder [1]-[4]

Conventional CMOS full adder [1]-[4], as shown in Fig. 1, is the complementary CMOS structure, which combines transistor PMOS pull-up and transistor NMOS pull-down network to produce output. The complementary CMOS logic circuit has the advantage of layout regularity and stability at low voltage. It has a high transistor count which consumes area and power. The problem of this adder is delay imbalance. Because SUM signal relies on the generation of C_{OUT} signal, there is a delay between two signals.

The transmission gate full adder is illustrated in Fig. 2, which based on transmission gate [5]. It has lower-transistor count and lower loading of the input. After generated, SUM and C_{OUT} signal are balanced than the Conventional CMOS full adder. It provides transistor buffer output of SUM and C_{OUT} for a high driving capability.

In Fig. 3 shows the hybrid logic full adder [6]. It improves performance of speed and driving capability. A weak point of this circuit is separating between SUM and C_{OUT} circuits.

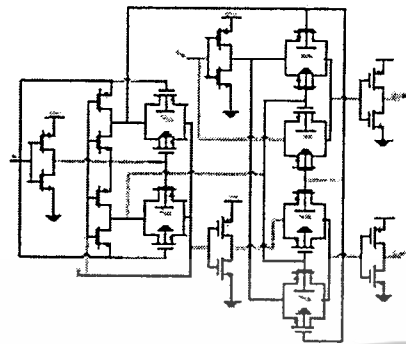


Figure 2. Transmission gate full adder [19]

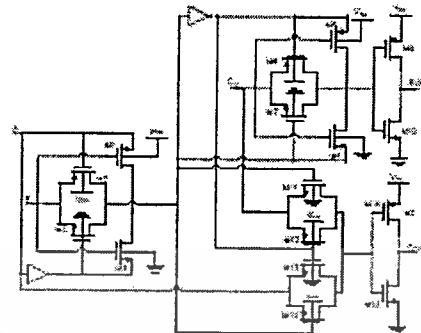


Figure 4. Hybrid transmission gate-pass transistor logic full adder [7]

III. PROPOSED CIRCUIT

The proposed circuit is used pass transistor logic and transmission gate as shown in Fig. 1. It has been developed for low power consumption by reducing the number of transistor. By applying the multiplexer into the proposed circuit and using inverter to increase the ability to drive. It follows Boolean equation as:

$$S_{NM} = (A \oplus B)C_{in} + (A \oplus B)C_{out} \quad (3)$$

$$C_{out} = (A \oplus B) + (C_{in}(A \oplus B)) \quad (4)$$

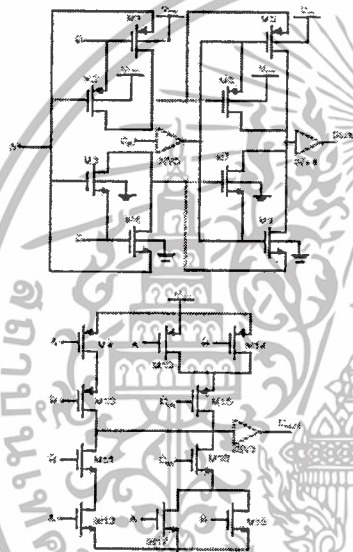


Figure 3. Hybrid logic full adder [8]

In Fig. 4 shows hybrid transmission gate-pass transistor logic full adder [7]. It is developed from transmission gate, pass transistor logic and enhance the driving capability by using inverter at output. Its drawback is high power consumption.

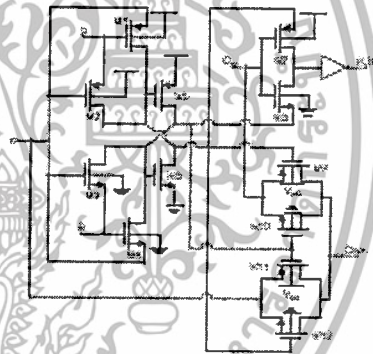


Figure 5. Proposed full adder circuit

The operation of the proposed circuit is separated to 3 modules. The first module will generate function NOR and XNOR by using transistors M1-M6. It is pass transistor logic with cross-coupled CMOS to reduce the threshold voltage loss. This part has 2 inputs are A and B. When A=1 and B=1 then transistors M1-M6 are turn off. The output for feedback drive

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

from transistor M5 is equal 0 and transistor M6 is equal 1. When the input switching, the input A is held state and B = 0. Transistors M1 and M3 are turn on then transistors M5 and M6 are turn off then the output of transistor M1 is 1 and transistor M3 is 0. When A=0, B=1 then transistors M1 and M3 are turn off and transistor M2 and M4 are turn on. The output of transistor M2 is 1 and transistor M4 is 0. Finally, when switching input, A=0 and B=0, transistors M3 and M4 are turn off. The output are generated by cross couple comparative with case A=1 and B=1.

The second module is involved to the creation of SUM signal, following an equation (3). It is CMOS multiplier by using transistors M7 and M8. The operation of this module when $C_{in} = 0$, transistor M7 is turn on then the output is XNOR logic. When $C_{in} = 1$, transistor M8 is turn on and transistor M7 is turn off then the output is NOR logic.

The finally module, it is the transmission gate circuit. This module is used transistor M9-M12 to generate C_{out} signal, following an equation (4).

IV. SIMULATION RESULTS AND COMPARISON

To demonstrate the performance, simulation environment as shown in Fig. 6. Two CMOS inverters are added in the input and output node to predict the performance of circuit. It provides a situation similar realistic condition where the cell has driver circuit and driven circuit. The HSPICE simulations have been performed on these adders base on 22 nm CMOS technology at 1.2V power supply. The operating frequency is 250 MHz. The simulation results have been compiled into Table I.

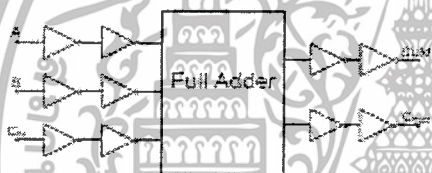


Figure 6. Simulation environment.

The input/output buffers are included in the simulation. The delay time has been measured from the time at input reach 50% of voltage supply level to the time at the level of the SUM and C_{out} signal reach to the same voltage level. The maximum delay of all the transistors is the cell delay. In measurement of power consumption of circuit, environment's inverter are included in calculation power. The output waveforms of the proposed full adder circuit are showed in Fig. 7.

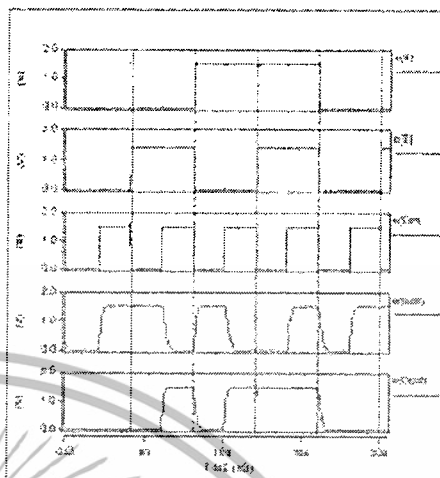


Figure 7. Waveform of the proposed circuit at supply voltage 1.2V

TABLE I. POWER CONSUMPTION FOR FULL ADDER

Full adder (C _{in} =1.2V)	str.	P _{static} (nW)	T _{delay} (ns)		PDP (aWh/m2)	
			X _{OUT}	C _{out}	SUM	C _{out}
CCMOS[1]	28	24.5	0.19	0.18	4.637	4.463
TGA[2]	26	21.1	0.49	0.18	4.072	3.798
HLFA[3]	24	23.6	0.60	0.17	9.369	4.130
Ref[4]	30	24.4	0.23	0.17	5.735	4.315
Proposed	14	19.1	0.22	0.16	4.034	2.896

Power-delay product (PDP) is the important standard parameter for CMOS circuit. This value is calculated from power consumption multiplied with time delay. In Table I show the power consumption of the proposed circuit decreases to be 33.37%, 16.59%, 50.36% and 24.60% when compared with CCMOS circuit, TGA circuit, HLFA circuit and Ref. [4] circuit, respectively. The power-delay product of SUM of proposed circuit is 14.82%, 0.44%, 124.55% and 41.46% for CCMOS circuit, TGA circuit, HLFA circuit and Ref. [4] circuit, respectively. The power-delay product of C_{out} of the proposed circuit is 24.79%, 31.44%, 42.51% and 49.10% for CCMOS circuit, TGA circuit, HLFA circuit and Ref. [4] circuit, respectively.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

In Fig 5 shows the waveform of the proposed circuit which operates in 1.2V supply voltage at 250MHz. The simulation result this proposed consume the power of 12.6 μ W. Power-delay product of sum is 7.64 pJ and power-delay product of C_{out} is 2.78 pJ.

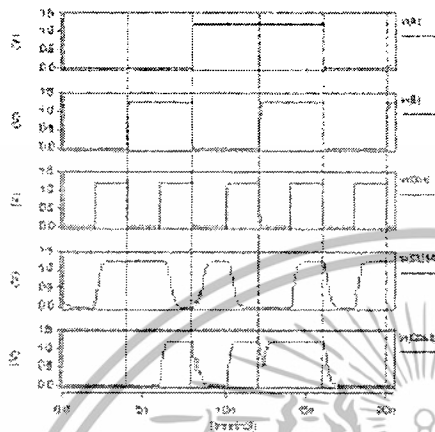


Figure 8. Waveform of proposed circuit at 1.2V

V. CONCLUSION

The low power 1-to-1 bit full adder circuit is proposed. It is suitable for using with 1.2 voltage supply voltage level at 250 MHz. The proposed circuit uses 14 transistors for complete operation. It has the power consumption less than CMOS circuit, TCA circuit, SLEA circuit and Ref. [4] circuit. Moreover, the power-delay product sum of SUM and C_{out} are lower than overall previous circuit. The HSpice program simulator is used to carry out the signal at various terminals.

VI. ACKNOWLEDGMENT

The authors would like to thank sincere to the Telecommunications Research and Industrial Development Institute (TRIIDI) of the Office of National Telecommunications Commission of Thailand (NTC) for kind supporting the equipment of the research laboratory.

REFERENCES

- [1] N. H. E. Weisz and D. Karna, "CMOS VLSI Design: A Circuit and System Perspective," third Edition, Addison Wesley, 2004.
- [2] A. P. Chandrakasan, N. Reng, and H. W. Brodman, "Low-Power CMOS digital design," IEEE J. Solid-State Circuit, vol. 37, pp. 473-484, Apr. 1992.
- [3] L.H. Kim and J.-H. Lee, "Low-Voltage CMOS VLSI Circuit," John Wiley & Sons, Inc., 1999.
- [4] S.M. Kang, and L. Yant, "CMOS Digital Integrated Circuit Analysis and Design," McGraw-Hill, 1999.
- [5] M. Zhang, J. Liu, and C. H. Chang, "A novel hybrid pass logic with ratio CMOS output driver half-adder cell," Proc. 35th IEEE Int. Symp. Circuits and Systems, vol. V, Hangzhou, Zhejiang, May 2004, pp. 317-320.
- [6] C. R. Yang, Y. C. Hwang, S. H. Shieh, and G. S. Huang, "A Low-Power High-Speed Hybrid CMOS Full Adder for Embedded Systems," Design and Management of Electronic Circuits and Systems (DMES), April 2007, pp. 181-4.
- [7] J. H. Jiang, Z. G. Mao, W. P. Hu, Q. Wang, "A new full adder design for low structured embedded circuit," Proc. 2nd Int. Conf. on ICUCIS (ICUCIS), vol. 4, pp. 2420-2424, 16-18 April, 2011.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นายอรรถพล สุดสาคร เกิดเมื่อวันที่ 15 เมษายน พ.ศ.2530 ที่จังหวัดนครสวรรค์ สำเร็จการศึกษาปริญญาตรีวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม จากภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังในปีการศึกษา 2552



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้