

วงจรตามแรงดันใช้ไฟเลี้ยงต่ำแบบคลาสเอบีที่ใช้ DTMOS และการประยุกต์ใช้งาน

LOW VOLTAGE DTMOS-BASED CLASS AB VOLTAGE FOLLOWER CIRCUIT AND
ITS APPLICATIONS



วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ.2555

KMITL-2012-EN-M-040-178

วพ

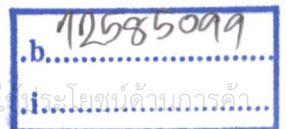
๐๖๒๓๖

๒๕๕๕

เลขหมู่.....

เลขทะเบียน... 132188

วัน,เดือน,ปี... 4 ก.ค. 2557



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต...

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

LOW VOLTAGE DTMOS-BASED CLASS AB VOLTAGE FOLLOWER CIRCUIT AND
ITS APPLICATIONS

ARNON KANJANOP

A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRONICS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2012

KMITL-2012-EN-M-040-178

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2012

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรตามแรงดันใช้ไฟเลี้ยงต่ำแบบคลาสเอบีที่ใช้ DTMOS และการประยุกต์ใช้งาน
นักศึกษา	นายอานนท์ กัญจนพ
รหัสประจำตัว	52610702
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์
พ.ศ.	2555
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร.วรากร เกษมสุวรรณ

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอวงจรตามแรงดันไฟเลี้ยงต่ำแบบคลาสเอบี วงจรถูกออกแบบโดยการใช้ทรานซิสเตอร์แบบ DTMOS และวงจรเพิ่มเติมเพื่อให้วงจรสามารถทำงานได้ที่ไฟเลี้ยงต่ำ วงจรได้ถูกนำไปพัฒนาเป็นวงจรขยายตามแรงดันผลต่างกระแสซึ่งประกอบด้วยวงจรตามแรงดันที่นำเสนอและวงจรสะท้อนกระแสสองวงจร วงจรตามแรงดันที่นำเสนอถูกออกแบบโดยใช้เทคโนโลยีชนิดซีมอสที่มีขนาดเท่ากับ 0.13 ไมโครเมตร ไฟเลี้ยงของวงจรมีค่าเท่ากับ 0.7 โวลต์ การทำงานของวงจรถูกจำลองด้วยโปรแกรม PSPICE ผลการจำลองการทำงานพบว่าวงจรตามแรงดันที่ได้มีช่วงการสวิงสัญญาณเท่ากับ ± 0.25 โวลต์โดยมีความผิดเพี้ยนของสัญญาณเท่ากับ 0.5 % ที่สัญญาณอินพุตความถี่ 1 เมกกะเฮิร์ต วงจรมีช่วงการตอบสนองความถี่เท่ากับ 193 เมกกะเฮิร์ต และความต้านทานทางเอาต์พุตเท่ากับ 3.07 โอห์ม ผลจำลองการทำงานของวงจรขยายตามแรงดันผลต่างกระแสพบว่าวงจรมีอัตราการส่งผ่านกระแส และแรงดันเท่ากับ 0.996 และ 0.988 ตามลำดับ วงจรมีอัตราขยายความต้านทานเท่ากับ 100 เดซิเบล ผลจำลองการทำงานของวงจรขยายตามแรงดันผลต่างกระแสเมื่อนำไปสร้างเป็นวงจรกรองความถี่พบว่า วงจรสามารถกรองความถี่ได้ดี และสามารถปรับอัตราขยายของวงจรได้

Thesis Low Voltage DTMOS-Based Class AB Voltage Follower Circuit and Its Applications
Student Mr. Arnon Kanjanop
Student ID. 52610702
Degree Master of Engineering
Program Electronics Engineering
Year 2012
Thesis Advisor Assoc. Prof. Dr. Varakorn Kasemsuwan

ABSTRACT

This thesis proposes a low voltage class AB voltage follower circuit and its applications. The circuit is designed based on DTMOS transistors and additional circuitry, enabling the circuit to operate at low supply voltage. The proposed follower and two current mirrors are combined to form a low voltage class AB current differencing buffered amplifier (CDBA). The circuit is designed using 0.13 μm CMOS technology and operates at the supply voltage of 0.7 V. The performance of the circuit is verified using PSPICE. Simulation results of the follower shows the output swing of ± 0.25 V with the total harmonic distortion (THD) of 0.5% at the operating frequency of 1 MHz. The bandwidth is 193 MHz. Output impedance is 3.07 Ω . Simulation results of the CDBA demonstrate the current and voltage transfer ratios of 0.996 and 0.988, respectively, while the transimpedance gain is 100 dB. Simulation results of the current-mode filter using CDBA demonstrate good filter performance with adjustable gain.

กิตติกรรมประกาศ

วิทยานิพนธ์เล่มนี้และงานวิจัยทั้งหมดสำเร็จได้ด้วยความกรุณาจากอาจารย์ที่ปรึกษา รศ.ดร.วรากร เกษมสุวรรณ ที่ให้โอกาสและให้คำปรึกษาในการแก้ปัญหาตลอดจนให้ความรู้และประสบการณ์ที่ดีแก่ข้าพเจ้า ข้าพเจ้ารู้สึกทราบบ้างในความเมตตาและช่วยเหลือของอาจารย์ ข้าพเจ้าขอขอบพระคุณเป็นอย่างสูง

ขอขอบคุณ คุณปทุมพร ศุภาจักร์ และ คุณพิมพ์ประภา จิยาศักดิ์ ผู้ช่วยผู้จัดการทั่วไปส่วนศูนย์ ฝึกอบรมและผู้จัดการฝ่ายควบคุมสิ่งปนเปื้อนและการศึกษา บริษัท โซนิตีไวย์เทคโนโลยี (ประเทศไทย) จำกัด หัวหน้างานของข้าพเจ้าที่เข้าใจและให้คำแนะนำทั้งในเรื่องการทำงานและเรื่องการศึกษาแก่ข้าพเจ้า รวมถึงเพื่อนร่วมงานของข้าพเจ้าทั้งจากบริษัท โซนิตีไวย์เทคโนโลยี (ประเทศไทย) จำกัด และ บริษัท สแปนชั่น (ไทยแลนด์) จำกัด ที่ช่วยเหลือในเรื่องการทำงานของข้าพเจ้า

ขอขอบคุณเพื่อนๆ พี่ๆ น้องๆ ที่ห้องวิจัย KMICL ในภาควิชาวิศวกรรมอิเล็กทรอนิกส์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังทุกคน ที่คอยแลกเปลี่ยนความคิด ให้คำปรึกษา รวมทั้งประสบการณ์ที่ดีต่างๆ แก่ข้าพเจ้าและคอยให้กำลังใจกับข้าพเจ้าเสมอ

สำหรับคุณงามความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับบิดามารดา ซึ่งเป็นที่รักและเคารพยิ่งและเป็นแรงบันดาลใจในชีวิตของข้าพเจ้า ตลอดจนครูอาจารย์ที่เคารพทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้และถ่ายทอดประสบการณ์ที่ดีให้แก่ข้าพเจ้า

อานนท์ กัญจนพ

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ที่มาและความสำคัญ.....	1
1.2 แนวทางในการพัฒนางานวิจัย.....	2
1.2.1 แนวทางในการออกแบบวงจรตามแรงดัน.....	2
1.2.2 แนวทางในการออกแบบวงจรขยายตามแรงดันผลต่างกระแส.....	3
1.3 ขอบเขตของงานวิจัย.....	3
บทที่ 2 วงจรตามแรงดันที่มีการนำเสนอมาก่อน.....	4
2.1 วงจรตามแรงดันที่ผ่านมา.....	4
2.1.1 วงจรตามแรงดันคลาสเอบีแบบพื้นฐาน.....	4
2.1.2 วงจรตามแรงดันคลาสเอบีแบบเสมือน (Class AB Pseudo Source Follower).....	5
2.1.3 วงจรตามแรงดันแบบปราศจากการป้อนกลับ.....	7
2.1.4 วงจรตามแรงดันแบบขับเคลื่อนตัว (Bulk-Driven Super Source Follower).....	8
บทที่ 3 วงจรตามแรงดัน.....	10
3.1 วงจรตามแรงดันที่นำเสนอ.....	10
3.1.1 การทำงานเมื่อสัญญาณอินพุตชีกบวกลูกถูกป้อนเข้าสู่วงจร.....	14
3.1.2 การทำงานเมื่อสัญญาณอินพุตชีกลบถูกป้อนเข้าสู่วงจร.....	16
3.1.3 การวิเคราะห์อัตราขยายแรงดัน (v_{out} / v_{in}).....	16
3.1.4 การวิเคราะห์หาค่ากระแสสงบนิ่ง (Quiescent Current : I_Q).....	18
3.1.5 การวิเคราะห์หาแรงดันไฟเลี้ยงที่น้อยที่สุดของวงจร.....	19
3.2 การจำลองการทำงาน.....	20
3.2.1 ผลการจำลองการทำงานของวงจรตามแรงดัน.....	21
3.3 บทสรุป.....	26

สารบัญ(ต่อ)

	หน้า
บทที่ 4 วงจรขยายตามแรงดันผลต่างกระแส.....	27
4.1 วงจรขยายตามแรงดันผลต่างกระแส.....	27
4.1.1 พื้นฐานของวงจรขยายตามแรงดันผลต่างกระแส.....	27
4.2 วงจรขยายตามแรงดันผลต่างกระแสที่นำเสนอ.....	28
4.2.1 วงจรสะท้อนกระแสคลาสเอบี.....	28
4.2.1.1 ช่วงสภาวะรับกระแส.....	30
4.2.1.2 ช่วงสภาวะจ่ายกระแส.....	30
4.2.1.3 อัตราการถ่ายโอนกระแสของวงจร.....	30
4.2.2 วงจรลบกระแส.....	31
4.2.3 วงจรตามแรงดัน.....	33
4.3 การจำลองการทำงาน.....	35
4.3.1 ผลการจำลองการทำงานของวงจรที่นำเสนอ.....	36
4.4 การประยุกต์ใช้งาน.....	41
4.4.1 วงจรกรองความถี่ต่ำผ่าน (Low pass filter: LPF).....	42
4.4.2 วงจรกรองความถี่สูงผ่าน (High pass filter: HPF).....	42
4.4.3 วงจรกรองแถบความถี่ผ่าน (Band pass filter: BPF).....	43
4.4.4 วงจรกรองตัดแถบความถี่ (Band reject filter: BRF).....	43
4.4.5 การจำลองการทำงาน.....	44
4.4.6 ผลการจำลองการทำงานของวงจรที่นำเสนอ.....	44
4.5 บทสรุป.....	45
บทที่ 5 สรุปผลการวิจัย และข้อเสนอแนะ.....	46
5.1 สรุปผลการวิจัย.....	46
5.2 ข้อเสนอแนะและแนวทางการพัฒนา.....	47
เอกสารอ้างอิง.....	48
ภาคผนวก.....	51
ภาคผนวก ก. การวิเคราะห์ความต้านทานเสมือนทางเอาต์พุทของวงจรตามแรงดัน.....	52
ภาคผนวก ข. การวิเคราะห์หาอัตราการถ่ายโอนกระแสของวงจรสะท้อนกระแส.....	55
ภาคผนวก ค. การวิเคราะห์ความต้านทานเสมือนทางอินพุทของวงจรสะท้อนกระแส.....	60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

	หน้า
ภาคผนวก ง. ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่.....	63
ประวัติผู้เขียน.....	78



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
3.1 ขนาดของทรานซิสเตอร์สำหรับวงจรที่นำเสนอ.....	19
3.2 ความสามารถโดยรวมของวงจรที่นำเสนอเปรียบเทียบกับวงจรที่มีการนำเสนอมาก่อน.....	25
4.1 ขนาดของทรานซิสเตอร์สำหรับวงจรที่นำเสนอ.....	35
4.2 ความสามารถโดยรวมของวงจรที่นำเสนอเปรียบเทียบกับวงจรที่มีการนำเสนอมาก่อน.....	41
4.3 ค่าอุปกรณ์ที่ใช้ในการสร้างวงจรรองความถี่แบบต่างๆ.....	44



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
VII
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
1.1 กราฟความสัมพันธ์ของขนาดของทรานซิสเตอร์ แรงดันขีดเริ่มและแรงดันไฟเลี้ยงของวงจร.....	1
2.1 วงจรตามแรงดันคลาสเอบีแบบพื้นฐาน.....	4
2.2 วงจรตามแรงดันแบบเสมือน (Pseudo Source Follower).....	5
2.3 วงจรตามแรงดันแบบมีวงจรถ่วงร่วมภาคเอาต์พุต (Source follower using common-source).....	6
2.4 วงจรตามแรงดันแบบปราศจากการป้อนกลับ.....	7
2.5 วงจรตามแรงดันแบบขับเคลื่อนด้วยตัวนำ (Bulk-Driven Super Source Follower).....	8
3.1 โครงสร้างของวงจรถ่วงแรงดันที่นำเสนอ.....	10
3.2 วงจรตามแรงดันที่นำเสนอ.....	11
3.3 วงจรเสมือนสัญญาณขนาดเล็กทางด้านอินพุตของวงจรถ่วงที่นำเสนอ.....	12
3.4 วงจรเสมือนอย่างง่ายของการวิเคราะห์ความต้านทานทางอินพุตของวงจร.....	13
3.5 วงจรเสมือนสัญญาณขนาดเล็กของวงจรถ่วงแรงดันที่นำเสนอ.....	15
3.6 การวิเคราะห์วงจรถ่วงในส่วนของวงจรถ่วงที่ออกแบบโดยผู้เขียน.....	16
3.7 วงจรเสมือนแสดงการหาแรงดันที่ขาเกตของ M_{po}	17
3.8 คุณลักษณะการส่งผ่านแรงดันระหว่างอินพุตและเอาต์พุตของวงจรถ่วงเมื่อเทียบกับโหลด 500 โอห์ม.....	22
3.9 การตอบสนองชั่วขณะของวงจรถ่วงอินพุตเป็นสัญญาณคลื่นไซน์ (± 0.25 โวลต์, 1 เมกกะเฮิรตซ์) และต่อโหลดความต้านทานขนาด 100 โอห์ม, 300 โอห์ม และ 500 โอห์ม ตามลำดับ.....	22
3.10 การตอบสนองชั่วขณะของวงจรถ่วงอินพุตเป็นสัญญาณคลื่นสี่เหลี่ยม (± 0.25 โวลต์, 4 เมกกะเฮิรตซ์) และต่อโหลดเป็นตัวต้านทานที่มีขนาด 500 โอห์ม ขนานกับตัวเก็บประจุขนาด 50 พิโคฟารัด.....	23
3.11 การตอบสนองความถี่ของวงจรถ่วงเมื่อต่อโหลดความต้านทานขนาด 500 โอห์ม.....	23
3.12 ค่าความต้านทานทางอินพุตของวงจรถ่วง.....	24
3.13 ค่าความต้านทานทางเอาต์พุตของวงจรถ่วง.....	24
3.14 ความผิดเพี้ยนของสัญญาณเมื่อป้อนสัญญาณอินพุตคลื่นไซน์ที่มีความถี่ 1 เมกกะเฮิรตซ์ ต่อกับโหลดที่เป็นตัวต้านทานที่มีขนาดเท่ากับ 500 โอห์ม.....	25
4.1 สัญลักษณ์ของวงจรถ่วงตามแรงดันผลต่างกระแส.....	27
4.2 แผนผังโครงสร้างของวงจรถ่วงตามแรงดันผลต่างกระแส.....	28
4.3 วงจรถ่วงที่ออกแบบโดยผู้เขียน.....	29
4.4 เสมือนสัญญาณขนาดเล็กทางเอาต์พุตของวงจรถ่วงที่นำเสนอ.....	31
4.5 วงจรลบบรรยากาศที่นำเสนอ.....	32

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.6 วงจรตามแรงดัน.....	34
4.7 คุณลักษณะการส่งผ่านกระแส ($i_z / i_p - i_n$).....	37
4.8 คุณลักษณะของการส่งผ่านแรงดัน v_w / v_z เมื่อต่อโหลดความต้านทาน 500 โอห์ม.....	37
4.9 การตอบสนองความถี่ของการส่งผ่านกระแส.....	38
4.10 การตอบสนองความถี่ของการส่งผ่านแรงดันระหว่าง v_w / v_z เมื่อต่อโหลดความต้านทาน 500 โอห์ม.....	38
4.11 การตอบสนองความถี่ของการส่งผ่านแรงดันต่อความแตกต่างของกระแสอินพุท.....	39
4.12 ความต้านทานที่ขา P และขา N.....	39
4.13 ความต้านทานที่ขา Z.....	40
4.14 ความต้านทานที่ขา W.....	40
4.15 โครงสร้างวงจรกรองความถี่.....	41
4.16 ผลจำลองการทำงานของวงจรเมื่อสร้างเป็นวงจรกรองความถี่แบบต่างๆ.....	44
ก.1 วงจรเสมือนสัญญาณขนาดเล็กที่เอาต์พุทของวงจรตามแรงดันของวงจรรูปที่ 3.2.....	52
ข.1 วงจรเสมือนสัญญาณขนาดเล็กของชุดเปรียบเทียบกระแสชุดล่าง.....	55
ข.2 วงจรเสมือนในการวิเคราะห์หาความสัมพันธ์ระหว่างแรงดัน v_{gsN8-9} และกระแส i_{fbL} เมื่อโหลดเป็นตัวเก็บประจุไฟฟ้า C_{self}	56
ข.3 การวิเคราะห์ i_{out} / i_{in} ของวงจรชุดล่างของวงจรสะท้อนกระแส.....	57
ข.4 วงจรเสมือนในการวิเคราะห์หาอัตราขยายของวงจรสะท้อนกระแสที่นำเสนอ.....	57
ค.1 วงจรเสมือนสัญญาณขนาดเล็กที่อินพุทของวงจรสะท้อนกระแสที่นำเสนอในรูปที่ 4.3.....	60

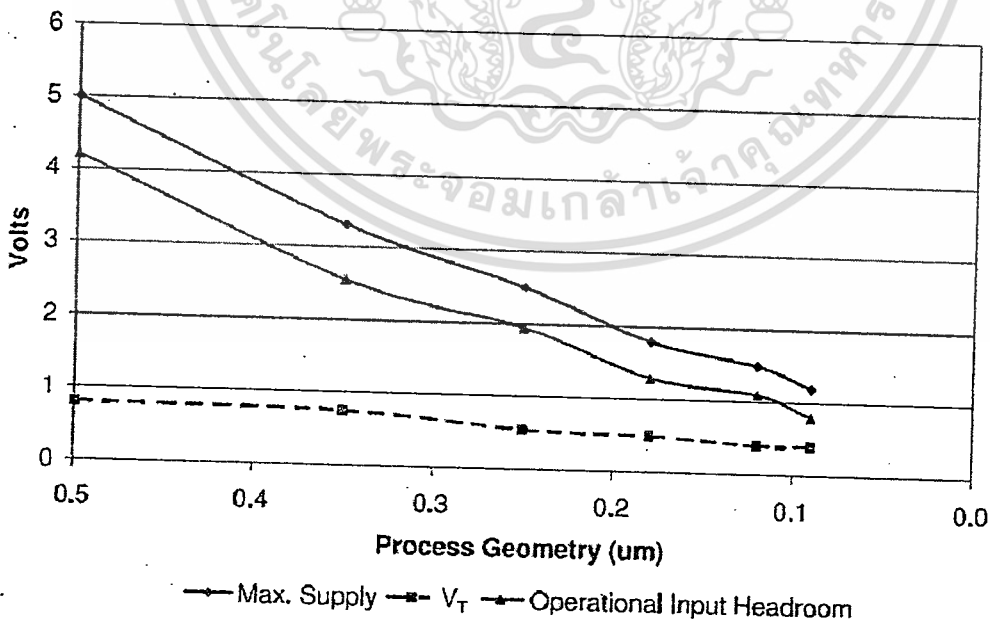
บทที่ 1

บทนำ

1.1 ที่มาและความสำคัญ

วงจรตามแรงดัน (Voltage follower) หรือวงจรบัฟเฟอร์ (Buffer) เป็นวงจรที่สำคัญวงจรหนึ่งในวงจรรอนาล็อกและวงจรผสมสัญญาณ วงจรตามแรงดันมักถูกใช้เป็นตัวขับหรือภาคท้ายสุดด้วยเหตุผลที่ว่าวงจรตามแรงดันเป็นวงจรที่มีความต้านทานอินพุตสูง และความต้านทานเอาต์พุตต่ำ ทำให้การส่งผ่านแรงดันของวงจรตามแรงดันเป็นไปได้อย่างถูกต้องแม่นยำ วงจรตามแรงดันถูกนำไปประยุกต์ใช้งานกับวงจรต่างๆ เช่น วงจรสายพานกระแส และวงจรขยายสัญญาณแบบป้อนกลับกระแส เป็นต้น

ปัจจุบันอุปกรณ์อิเล็กทรอนิกส์ถูกออกแบบให้มีขนาดเล็กและประหยัดพลังงานมากที่สุดเพื่อให้ใช้งานได้ยาวนานขึ้นส่งผลทำให้ทรานซิสเตอร์หรือวงจรรวมมีขนาดเล็กลงเพื่อตอบสนองต่อความต้องการในปัจจุบัน ข้อดีของทรานซิสเตอร์ที่มีขนาดเล็กลงคือ อุปกรณ์ทำงานได้เร็วขึ้น ประหยัดพลังงานมากขึ้น และประหยัดพื้นที่ในการสร้างวงจรรวม อย่างไรก็ตามการลดขนาดของทรานซิสเตอร์ลงส่งผลทำให้แรงดันไฟเลี้ยงของวงจรต้องลดลงตามไปด้วยเนื่องจากแรงดันพังทลายของทรานซิสเตอร์มีค่าลดลง เป็นที่น่าสังเกตว่าแม้ทรานซิสเตอร์จะถูกลดขนาดลงไปมาก แรงดันขีดเริ่มของทรานซิสเตอร์ (Threshold voltage, V_T) กลับไม่ได้ลดลงไปมากนัก รูปที่ 1.1 แสดงความสัมพันธ์ของขนาดของทรานซิสเตอร์ แรงดันขีดเริ่มและแรงดันไฟเลี้ยงของวงจร [1] จากรูปอัตราการเปลี่ยนแปลงของแรงดันขีดเริ่มของทรานซิสเตอร์มีค่าน้อยมากเมื่อเทียบกับพารามิเตอร์อื่นๆ ทำให้การออกแบบวงจรเพื่อตอบสนองกับไฟเลี้ยงที่ต่ำมีความซับซ้อนและยุ่งยากมากขึ้น



รูปที่ 1.1 กราฟความสัมพันธ์ของขนาดทรานซิสเตอร์ แรงดันขีดเริ่ม และแรงดันไฟเลี้ยงวงจร [1]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากเหตุผลข้างต้นการออกแบบวงจรตามแรงดันจำเป็นต้องทำให้วงจรสามารถทำงานได้ที่แรงดันไฟเลี้ยงที่ต่ำและมีการบริโภคพลังงานน้อยที่สุดโดยที่วงจรยังคงมีความสามารถในการส่งผ่านสัญญาณได้ดี มีอัตราส่วนของสัญญาณต่อสัญญาณรบกวนที่สูง (Signal to noise ratio) และให้ช่วงการสวิงของสัญญาณกว้างทั้งที่อินพุตและเอาต์พุตเพื่อให้สอดคล้องกับการนำไปใช้ประยุกต์ใช้งานในอุปกรณ์อิเล็กทรอนิกส์ในปัจจุบันและอนาคตได้

ในการออกแบบวงจรเพื่อให้สามารถใช้งานที่ไฟเลี้ยงต่ำนั้น ปัจจุบันนี้ได้มีการนำเสนอแนวทางต่างๆ มากมาย [2]- [3] ไม่ว่าจะเป็นการทำการเปลี่ยนแปลงที่ตัวอุปกรณ์เองเช่น การลดขนาดของทรานซิสเตอร์ลง และการใช้ทรานซิสเตอร์ชนิดเกทลอย (Floating gate) เป็นต้น หรือเป็นการต่อทรานซิสเตอร์ในลักษณะต่างๆ เช่น การไบอัสขาบอดี้ของทรานซิสเตอร์ (Body driven) การไบอัสทรานซิสเตอร์แบบเกทลอยเสมือน (Quasi-floating gate) และการต่อทรานซิสเตอร์แบบคาสโคดตัวเอง (Self-cascade) เป็นต้น วิธีการต่างๆ เหล่านี้สามารถนำไปประยุกต์ใช้ในการออกแบบวงจรตามแรงดันที่ใช้ไฟเลี้ยงต่ำได้เป็นอย่างดี

1.2 แนวทางในการพัฒนางานวิจัย

การพัฒนางานวิจัยนี้ได้ประกอบด้วยส่วนสำคัญได้แก่ การวิเคราะห์และออกแบบวงจรตามแรงดันที่ใช้ไฟเลี้ยงต่ำ การประยุกต์ใช้งานวงจรตามแรงดันโดยมีแนวทางในการพัฒนาดังนี้

1.2.1 แนวทางในการออกแบบวงจรตามแรงดัน

การออกแบบวงจรในปัจจุบันเพื่อตอบสนองกับความต้องการในการใช้ไฟเลี้ยงต่ำนั้นได้มีการออกแบบวงจรในลักษณะของการประมวลผลสัญญาณแบบกระแส (Current-mode signal processing) เนื่องจากการออกแบบดังกล่าวมีข้อดีหลายประการได้แก่ วงจรไม่มีโหมดที่มีอิมพีแดนซ์สูงทำให้การสวิงของสัญญาณแรงดันภายในวงจรมีค่าน้อย และแบนด์วิดธ์ของวงจรมีค่าสูง [4]-[5] จึงสามารถนำไปประยุกต์ใช้ในการออกแบบวงจรที่ต้องการใช้ไฟเลี้ยงที่ต่ำได้เป็นอย่างดี นอกจากนี้สัญญาณสามารถมีขนาดใหญ่ได้โดยไม่ได้ถูกจำกัดโดยไฟเลี้ยงแต่อย่างใดส่งผลทำให้อัตราส่วนของสัญญาณต่อสัญญาณรบกวนสามารถมีขนาดใหญ่ได้

การออกแบบวงจรตามแรงดันในวิทยานิพนธ์ฉบับนี้ถูกออกแบบโดยใช้การประมวลผลแบบกระแส โดยวงจรที่ได้ยังคงมีความสามารถในการขับโหลดได้ดี วงจรทำงานในลักษณะคลาสเอบีทำให้สามารถส่งผ่านกำลังงานออกไปสู่โหลดได้อย่างมีประสิทธิภาพ มีกำลังงานสูญเสียในสถานะสงบมีน้อย และสามารถออกแบบให้วงจรมีการสวิงสัญญาณกว้างทั้งทางด้านอินพุต และเอาต์พุต

1.2.2 แนวทางในการออกแบบวงจรขยายตามแรงดันผลต่างกระแส

วงจรในโหมดกระแสได้รับความนิยมมากในปัจจุบันเนื่องจากมีข้อดีหลายประการเช่น วงจรสามารถออกแบบให้สามารถทำงานโดยใช้ไฟเลี้ยงที่ต่ำ วงจรมีช่วงการสวิงของสัญญาณกระแสกว้างเนื่องจากไม่ถูกจำกัดด้วยแรงดันไฟเลี้ยง และวงจรสามารถประมวลผลด้วยความเร็วสูง ปัจจุบันวงจรมากมายที่ได้ถูกออกแบบเพื่อประมวลผลสัญญาณในโหมดกระแส ตัวอย่างของวงจรดังกล่าวคือ วงจรขยายตามแรงดันผลต่างกระแส (Current Differencing Buffered Amplifier) คุณสมบัติที่โดดเด่นของวงจรขยายตามแรงดันผลต่างกระแสคือ วงจรได้รับผลกระทบจากตัวเก็บประจุไฟฟ้าแฝงไม่มากนักทำให้วงจรสามารถตอบสนองต่อสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่สูง วงจรขยายตามแรงดันผลต่างกระแสสามารถนำไปประยุกต์ใช้งานได้หลากหลายโดยเฉพาะอย่างยิ่ง วงจรกรองความถี่โหมดกระแสแบบต่างๆ เป็นต้น

1.3 ขอบเขตของงานวิจัย

วิทยานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรตามแรงดันคลาสเอบี โดยใช้เทคโนโลยีซีมอส 0.13 ไมโครเมตร วงจรที่นำเสนอถูกพัฒนาจากวงจรตามแรงดันคลาสเอบีแบบพื้นฐาน ควบคู่กับการประยุกต์ใช้ การใช้ทรานซิสเตอร์แบบ Dynamic threshold voltage (DTMOS) วงจรที่นำเสนอสามารถทำงานได้ที่ ไฟเลี้ยงที่มีค่าเท่ากับ ± 0.35 โวลต์ ช่วงการสวิงของสัญญาณที่เอาต์พุตมีค่าเท่ากับ ± 0.25 โวลต์ ที่โหลด ความต้านทานขนาด 500 โอห์ม วงจรที่นำเสนอมีความผิดเพี้ยนของสัญญาณ และกำลังงานสูญเสียต่ำ และมีแบนด์วิดท์กว้าง จากนั้นเป็นการประยุกต์ใช้วงจรตามแรงดันที่นำเสนอมาสร้างเป็นวงจรขยายตามแรงดัน ผลต่างกระแสที่ทำงานในลักษณะคลาสเอบี โดยวงจรสามารถทำงานได้ที่ไฟเลี้ยงต่ำ มีช่วงการสวิงของกระแส อินพุตและการสวิงของแรงดันเอาต์พุตที่กว้าง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

วงจรตามแรงดันที่มีการนำเสนอมาก่อน

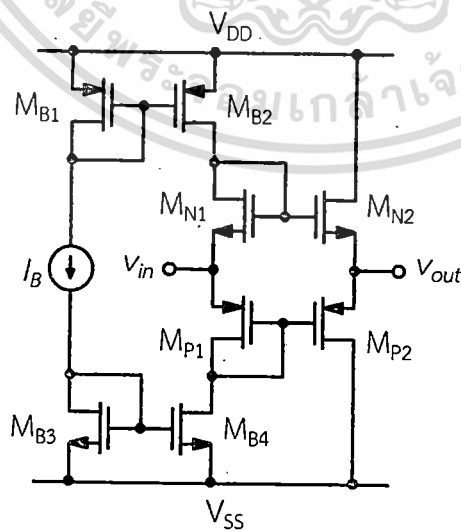
2.1 วงจรตามแรงดันที่ผ่านมา

ปัจจุบันวงจรตามแรงดันได้มีการพัฒนาและถูกนำเสนอในแนวทางต่างๆ มากมายเพื่อตอบสนองกับความต้องการในการประหยัดพลังงาน สามารถทำงานที่แรงดันไฟเลี้ยงที่ต่ำได้ดีและมีช่วงการตอบสนองความถี่และการสวิงของสัญญาณทางอินพุตและเอาต์พุตที่กว้าง ที่ผ่านมานงานวิจัยที่นำเสนอโดย [6] - [10] ได้นำเสนอการออกแบบวงจรตามแรงดันเพื่อให้ได้คุณสมบัติดังกล่าวซึ่งประกอบด้วย วงจรตามแรงดันแบบฟลิป (Flip Voltage Follower) วงจรตามแรงดันซูเปอร์ซอร์สแบบปรับปรุง (Improved Super Source Follower) วงจรตามแรงดันแบบเสมือน (Pseudo Source Follower) วงจรตามแรงดันแบบปราศจากการป้อนกลับ วงจรตามแรงดันที่ใช้ทรานซิสเตอร์แบบเกทลอย (Floating-Gate Voltage Follower) และวงจรตามแรงดันแบบขับขาออกดี (Bulk-Driven Super Source Follower) เป็นต้น

การออกแบบวงจรตามแรงดันเพื่อให้ได้คุณสมบัติดังกล่าวมานั้นจำเป็นต้องออกแบบให้วงจรทำงานในลักษณะของวงจรคลาสเอบี เนื่องจากคลาสเอบีมีคุณสมบัติที่โดดเด่นคือ กระแสสงบมีค่าน้อย และสามารถจ่ายกระแสเอาต์พุตเพิ่มขึ้นได้มากกว่ากระแสสงบเมื่อมีสัญญาณอินพุตป้อนเข้าสู่วงจร ความสามารถในการตอบสนองต่อสัญญาณขนาดใหญ่ได้ดีทั้งซิกบวกลบ และมีประสิทธิภาพที่สูง

2.1.1 วงจรตามแรงดันคลาสเอบีแบบพื้นฐาน

รูปที่ 2.1 แสดงวงจรตามแรงดันคลาสเอบีแบบพื้นฐาน วงจรประกอบด้วยมอสทรานซิสเตอร์จำนวน 4 ตัว (M_{N1} - M_{N2} และ M_{P1} - M_{P2}) ต่อในลักษณะวงจรเดรนร่วมคลาสเอบี ทรานซิสเตอร์ $M_{B1,2}$ และ $M_{B3,4}$ ทำหน้าที่เป็นวงจรสะท้อนกระแสเพื่อสร้างแหล่งจ่ายกระแสไบอัสให้กับวงจร วงจรดังกล่าวมีโครงสร้างที่ง่าย



รูปที่ 2.1 วงจรตามแรงดันคลาสเอบีแบบพื้นฐาน

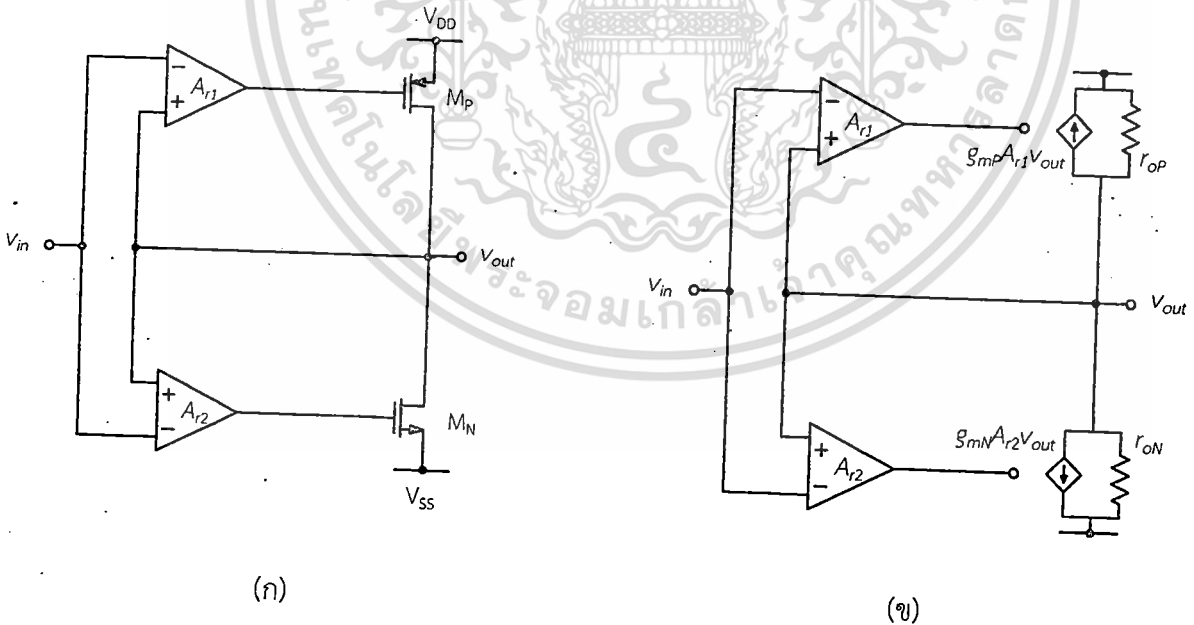
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถควบคุมกระแสสงบได้ดีและมีการตอบสนองต่อความถี่ที่ดี อย่างไรก็ตามวงจรมีข้อจำกัดที่สำคัญ 3 ประการได้แก่ 1) ความต้านทานเสมือนทางเอาต์พุตมีค่าค่อนข้างสูง ($R_{out} = 1/g_{mN2} \parallel 1/g_{mP2}$) การลดค่า R_{out} ต้องอาศัยการเพิ่ม g_m ซึ่งมีผลกระทบกับกำลังงานสูญเสียและการตอบสนองความถี่ 2) วงจรมีความเป็นเชิงเส้นต่ำ และ 3) การสวิงสัญญาณที่เอาต์พุตของวงจรมีค่าค่อนข้างจำกัดโดยมีค่าเท่ากับ $V_{SS} + |V_{ds,satB4}| + |V_{gsP2}| \leq V_{out} \leq V_{DD} - (V_{ds,satB2} - V_{gsN2})$ นอกจากนี้วงจรมักใช้ไฟเลี้ยงที่สูง $V_{DD} = (2V_T + 4 V_{ds,sat})$

2.1.2 วงจรตามแรงดันคลาสเอบีแบบเสมือน (Class AB Pseudo Source Follower)

รูปที่ 2.2 (ก) วงจรตามแรงดันแบบเสมือนประกอบด้วยทรานซิสเตอร์ที่ต่อเป็นวงจรรขยายขอร์สร่วมที่ทำงานเป็นคู่และวงจรรขยายความผิดพลาด (Error amplifier) สองชุดที่ทำงานร่วมกันส่งผลทำให้เอาต์พุตของวงจรมีความต้านทานต่ำและช่วงการสวิงที่กว้าง รูปที่ 2.2 (ข) แสดงวงจรมีสัญญาณขนาดเล็กของวงจรร การทำงานของวงจรมีอธิบายได้ดังนี้ วงจรรขยายความผิดพลาดและวงจรรขยายขอร์สร่วมทำให้วงจรมีลักษณะเสมือนวงจรมตามแรงดันที่มีค่าทรานสดอนต์กซ์แตนซ์สูง วงจรรขยายความผิดพลาดทำหน้าที่ขยายความแตกต่างระหว่างแรงดันอินพุตและแรงดันเอาต์พุตแล้วป้อนให้กับขาเกตของทรานซิสเตอร์ M_p และ M_n การต่อในลักษณะของการป้อนกลับแบบลบ (Negative Feedback) นี้เองส่งผลทำให้แรงดันอินพุตและเอาต์พุตมีค่าใกล้เคียงกันและความต้านทานทางด้านเอาต์พุตมีค่าต่ำ

การหาค่าความต้านทานทางด้านเอาต์พุตของวงจรมสามารถพิจารณาจากการวิเคราะห์ห้วงจรมเสมือนสัญญาณขนาดเล็กจากรูปที่ 2.2 (ข) ได้ดังนี้

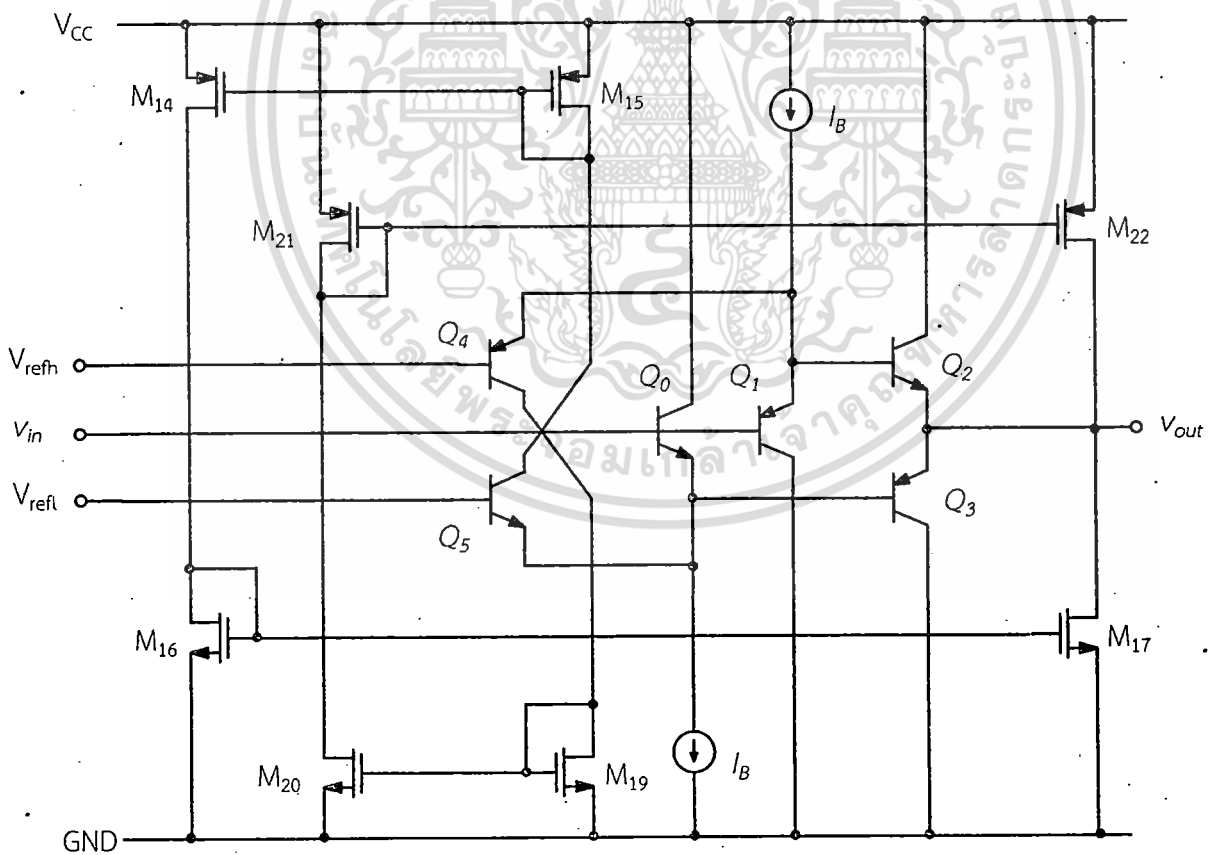


รูปที่ 2.2 (ก) วงจรมตามแรงดันแบบเสมือน และ (ข) วงจรมเสมือนสัญญาณขนาดเล็ก

ตัวอย่างการออกแบบวงจรตามแรงดันแบบเสมือนในรูปที่ 2.2 ได้ถูกแสดงไว้ในรูปที่ 2.3 ซึ่งถูกนำเสนอโดย M. Neag และ O. McCarthy [6] ทรานซิสเตอร์ M_B , M_{PO} และ M_{NO} ถูกเพิ่มเข้าไปในวงจรเพื่อเพิ่มความสามารถในการขับโหลดโดยใช้กลไกการป้อนกลับภายในวงจร วงจรมีการควบคุมกระแสสแตงบิ่งโดยการปรับขนาดของทรานซิสเตอร์ M_B ที่ต่อเป็นไดโอด (diode-connected transistor) ผลของการป้อนกลับแบบลบที่เอาท์พุทวงจรส่งผลทำให้เอาท์พุทอิมพีแดนซ์ของวงจรมีค่าต่ำและมีความเป็นเชิงเส้นสูงขึ้น วงจรมีการตอบสนองความถี่ที่ดีเนื่องจากวงจรมีโครงสร้างง่ายและไม่ซับซ้อน อย่างไรก็ตามเป็นที่น่าสังเกตว่าวงจรถามแรงดันดังกล่าวยังคงใช้ไฟเลี้ยงที่มีค่าค่อนข้างสูง ($2V_T + 4V_{ds,sat}$) และมีการสวิงของสัญญาณที่เอาท์พุทจำกัด จึงเป็นปัญหามากเมื่อต้องใช้วงจรภายใต้ไฟเลี้ยงที่มีค่าน้อยกว่า 1 โวลต์

2.1.3 วงจรตามแรงดันแบบปราศจากการป้อนกลับ

P. Kadanka [7] ได้นำเสนอวงจรตามแรงดันที่มีการสวิงของสัญญาณเอาท์พุทกว้างโดยปราศจากการป้อนกลับของสัญญาณดังแสดงในรูปที่ 2.4 วงจรที่นำเสนอใช้ไบโพลาร์ทรานซิสเตอร์ทำงานร่วมกับมอสทรานซิสเตอร์ โดยไบโพลาร์ทรานซิสเตอร์ $Q_0 - Q_3$ ทำงานในลักษณะของวงจรตามแรงดันคลาสเอบีและ



รูปที่ 2.4 วงจรตามแรงดันแบบปราศจากการป้อนกลับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

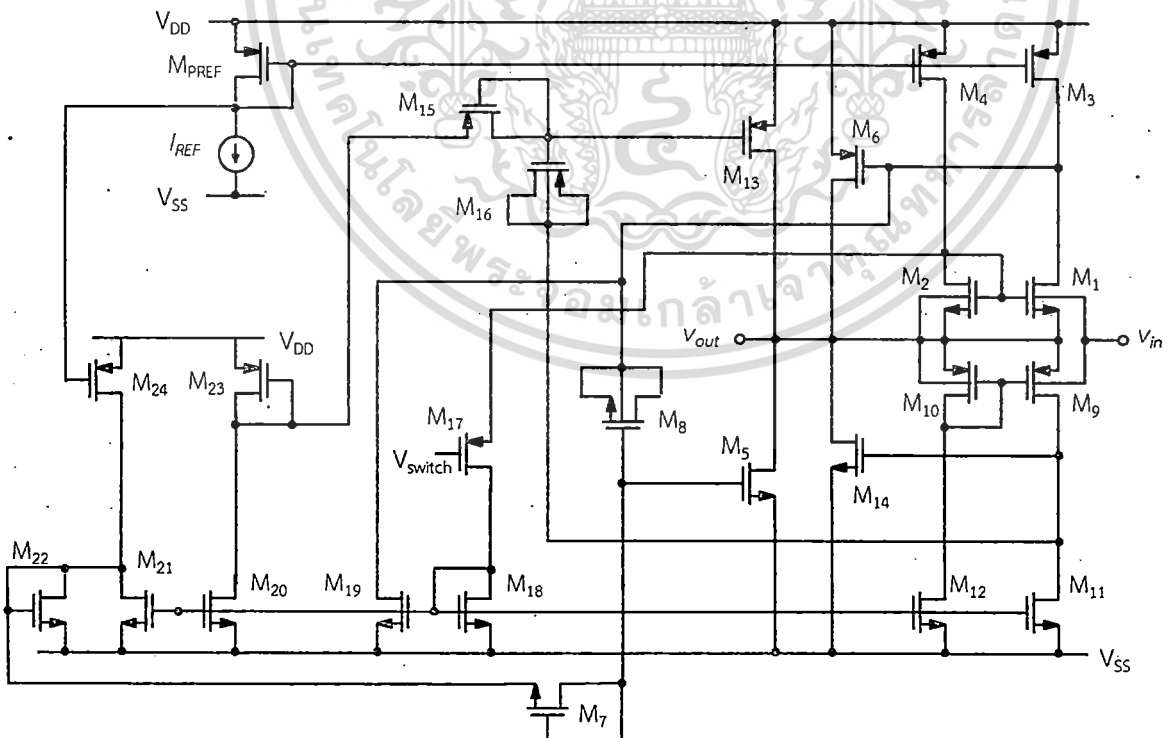
มอสทรานซิสเตอร์ M_{14} - M_{22} ทำให้วงจรภาคเอาต์พุตสามารถสวิงได้กว้าง จุดเด่นของไบโพลาร์ทรานซิสเตอร์คือค่าทรานสคอนดักแตนซ์ที่มีค่าสูงกว่าค่าทรานสคอนดักแตนซ์ของมอสทรานซิสเตอร์จึงทำให้วงจรมีความต้านทานทางเอาต์พุตต่ำเท่ากับ

$$R_{out} = \frac{1}{g_{mQ2}} \parallel \frac{1}{g_{mQ3}} \quad (2.3)$$

อย่างไรก็ตามวงจรที่นำเสนอต้องใช้เทคโนโลยีแบบ BICMOS ซึ่งต้องใช้ต้นทุนในการผลิตที่สูงกว่ากระบวนการผลิตแบบ CMOS โดยทั่วไป นอกจากนั้นวงจร BICMOS มีกำลังงานสูญเสียที่ค่อนข้างมากและวงจรต้องใช้ไฟเลี้ยงที่สูงเท่ากับ $2V_{BE} + 2V_{ds,sat}$

2.1.4 วงจรตามแรงดันแบบขับขาออกดี (Bulk-Driven Super Source Follower)

วงจรตามแรงดันคลาสเอบีแบบขับขาออกดีนี้ได้ถูกนำเสนอโดย Y. Haga และ I. Kale [8] ดังแสดงในรูปที่ 2.5 วงจรประกอบด้วย M_1 - M_{14} ทำงานเป็นวงจรตามแรงดันแบบซุเปอร์ซอร์สและมีการประยุกต์ใช้ทรานซิสเตอร์แบบขับขาออกดีแทนการขับที่ขาเกตแบบปกติซึ่งทำให้ไม่มีผลกระทบจากการเลื่อนระดับของแรงดันไฟตรง (DC level shift) นอกจากนี้ M_7 - M_8 และ M_{15} - M_{16} ประกอบเป็นวงจรทรานซิสเตอร์แบบเกต



รูปที่ 2.5 วงจรตามแรงดันแบบขับขาออกดี (Bulk-Driven Super Source Follower)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลอยเสมือน (Quasi-floating gate transistor) เพื่อให้วงจรทำงานในลักษณะของคลาสเอบี ทรานซิสเตอร์ $M_{17} - M_{24}$ เป็นวงจรสวิตช์กระแสซึ่งช่วยในการสลับการทำงานของวงจรซีกบน-ล่างเพื่อให้วงจรสามารถสวิงสัญญาณได้กว้าง (rail-to-rail operation)

เนื่องจากการใช้ขาบอดีเป็นขาอินพุทของวงจรส่งผลให้ค่าทรานส์คอนดักแตนซ์มีค่าน้อยเมื่อเทียบกับการใช้ขาเกตแบบปกติ ($g_{mb} \cong 0.2 \sim 0.4$ เท่าของ g_m) ส่งผลทำให้แบนด์วิดธ์ของวงจรมีค่าค่อนข้างต่ำ



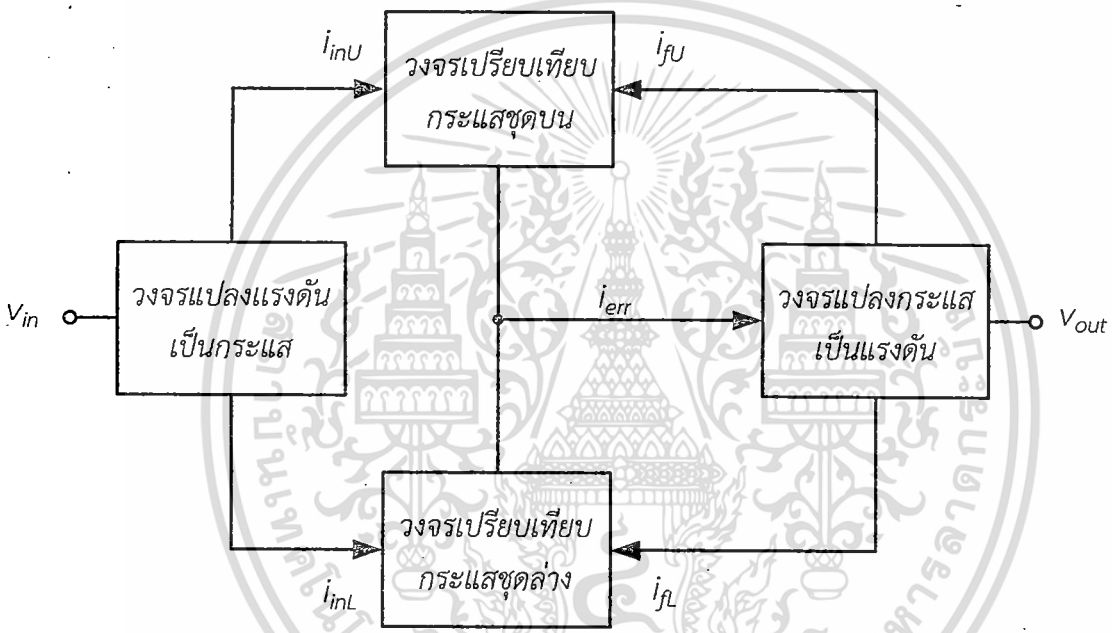
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

วงจรตามแรงดัน

3.1 วงจรตามแรงดันที่นำเสนอ

วงจรตามแรงดันที่นำเสนอในวิทยานิพนธ์นี้พัฒนาจากวงจรตามแรงดันแบบพื้นฐานและประยุกต์ใช้หลักการของการประมวลผลสัญญาณแบบกระแส (Current-mode signal processing) [4] โดยที่วงจรมีความสามารถในการขับโหลดได้ดี รูปที่ 3.1 แสดงโครงสร้างของวงจรตามแรงดันที่นำเสนอ



รูปที่ 3.1 โครงสร้างของวงจรตามแรงดันที่นำเสนอ

จากรูปที่ 3.1 แรงดันอินพุตถูกแปลงให้เป็นกระแส i_{inU} และ i_{inL} เพื่อป้อนเข้าสู่วงจรเปรียบเทียบกระแสด้านบนและด้านล่าง กระแส i_{inU} และ i_{inL} จะถูกเปรียบเทียบกับกระแสป้อนกลับ i_{fU} และ i_{fL} ซึ่งได้มาจากวงจรแปลงแรงดันให้เป็นกระแสที่เอาต์พุต ผลต่างของกระแส i_{inU} (i_{inL}) และ i_{fU} (i_{fL}) ทำให้เกิดสัญญาณ i_{err} ซึ่งถูกส่งไปยังวงจรแปลงแรงดันให้เป็นกระแสเพื่อขับโหลดทางเอาต์พุต ลักษณะการต่อที่มีการป้อนกลับแบบลบนี้เองทำให้ขนาดของสัญญาณแรงดันเอาต์พุตมีค่าเท่ากับขนาดของสัญญาณแรงดันอินพุต

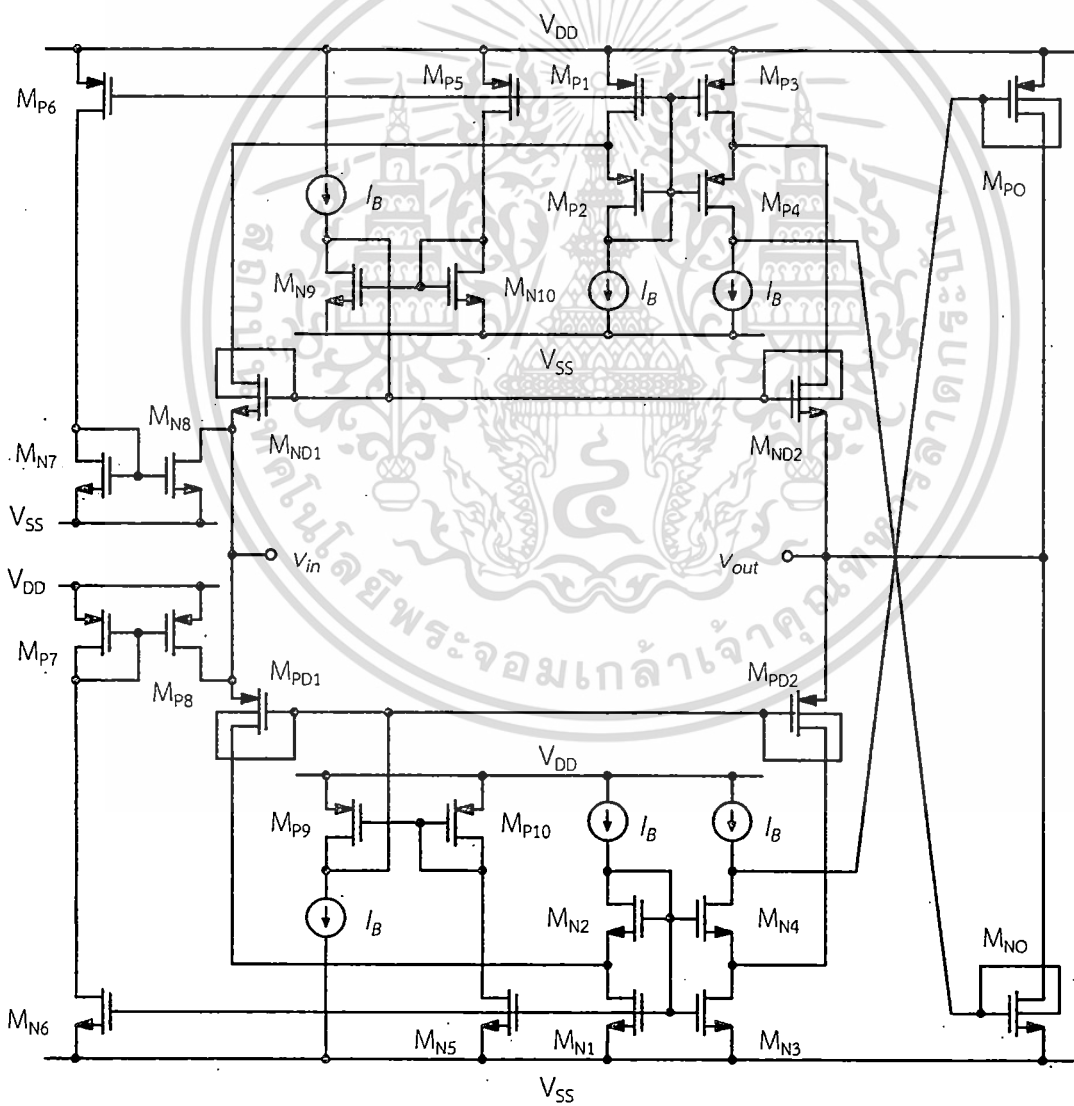
เราสามารถออกแบบวงจรตามแรงดันที่นำเสนอโดยใช้หลักการดังรูปที่ 3.1 ได้ดังแสดงในรูปที่ 3.2 วงจรที่นำเสนอนี้ได้พัฒนาขึ้นจากวงจรตามแรงดันแบบพื้นฐานในหัวข้อที่ 2.1.1 โดยมีการประยุกต์ใช้ DTMOS และวงจรเพิ่มเติมเพื่อให้สามารถทำงานที่แรงดันไฟเลี้ยงที่ต่ำ การใช้ DTMOS ที่มีขาเกตมาต่อร่วมกับขาบอดี้ส่งผลทำให้แรงดันขีดเริ่มของทรานซิสเตอร์มีค่าเปลี่ยนแปลงตามแรงดันที่ขาเกต [11]

สมการที่ (3.1) แสดงค่าแรงดันขีดเริ่มของมอสทรานซิสเตอร์

$$V_T = V_{T0} + \gamma \left(\sqrt{|2\Phi_F| - V_{BS}} - \sqrt{|2\Phi_F|} \right) \quad (3.1)$$

โดยที่ V_{T0} , γ , Φ_F , V_{BS} คือ แรงดันขีดเริ่มเมื่อไม่ได้ป้อนแรงดันใดๆ, ผลกระทบของบอดี้, แรงดันเฟอร์มี และแรงดันระหว่างขาบอดี้และขาซอร์สตามลำดับ

จากสมการที่ (3.1) เราจะเห็นได้ว่า แรงดันขีดเริ่ม V_T มีค่าขึ้นกับ V_{BS} หรือความต่างศักย์ระหว่างขาบอดี้และขาซอร์ส สาเหตุดังกล่าวเป็นผลมาจากจำนวนประจุในบริเวณปลอดพาหะ (Depletion charge) มี



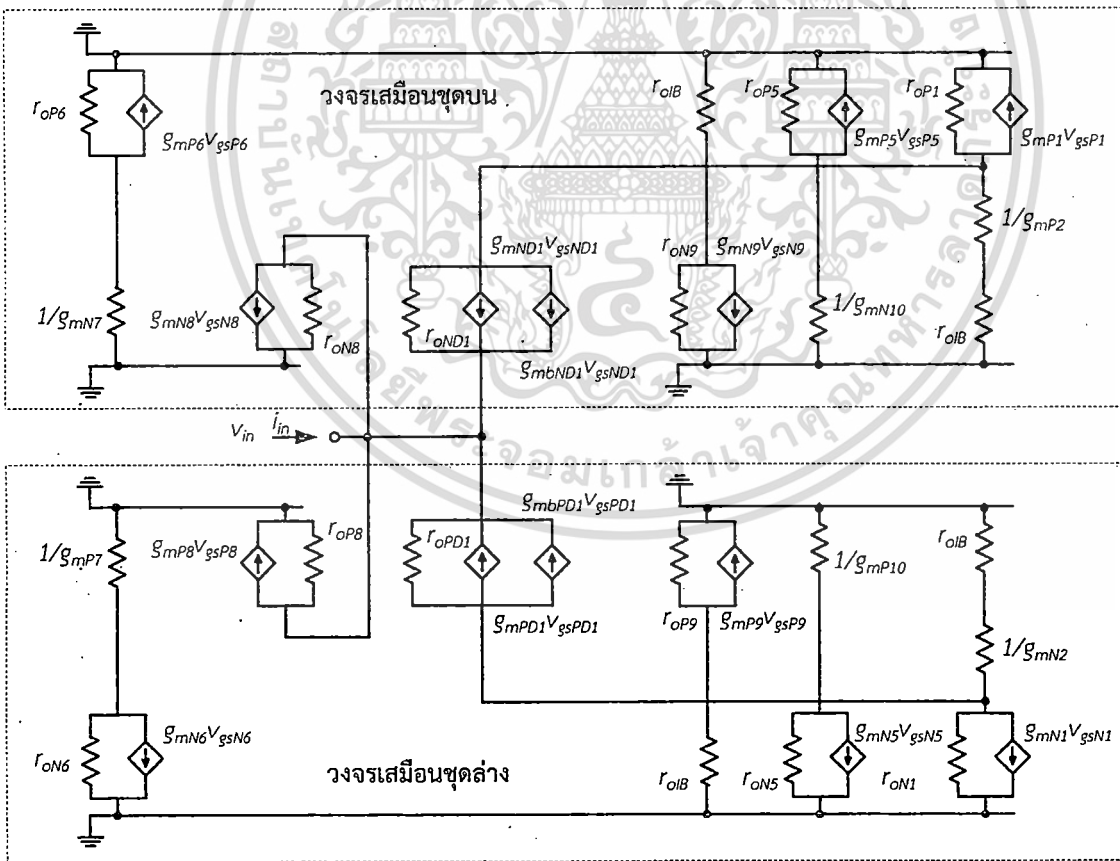
รูปที่ 3.2 วงจรตามแรงดันที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่าขึ้นกับ V_{BS} เราสังเกตเห็นว่าถ้าแรงดัน V_{BS} มีค่าเพิ่มขึ้น แรงดันขีดเริ่มของทรานซิสเตอร์จะมีค่าลดลง ในทำนองเดียวกันถ้าแรงดันที่ขาบอดี้มีค่าลดลง แรงดันขีดเริ่มของทรานซิสเตอร์จะมีค่าเพิ่มขึ้น วิธีการต่อแบบ DTMOS มีความแตกต่างจากเทคนิคการขับขาบอดี้ (Body driven) [2] โดยการขับขาบอดี้เป็นการป้อนแรงดันไบอัสให้กับขาเกตด้วยค่าแรงดันที่ทำให้ทรานซิสเตอร์ทำงานและสัญญาณอินพุตจะถูกป้อนเข้ากับขาบอดี้ ค่าแรงดันขีดเริ่มของวิธีการขับขาบอดี้ี้จะมีการเปลี่ยนแปลงน้อยมากเมื่อเปรียบเทียบกับวิธีการต่อแบบ DTMOS นอกจากนี้ค่าทรานส์คอนดักแตนซ์ของการขับขาบอดี้มีค่าน้อยกว่าส่งผลทำให้แบนด์วิดธ์มีค่าต่ำกว่าการใช้ DTMOS จากกลไกการทำงานของ DTMOS ที่กล่าวมาทำให้เราสามารถนำไปประยุกต์ใช้งานกับวงจรที่ต้องการลดแรงดันขีดเริ่มของทรานซิสเตอร์เพื่อให้วงจรสามารถทำงานกับแหล่งจ่ายไฟที่ต่ำได้

จากรูปที่ 3.2 M_{ND1} , M_{PD1} เป็น DTMOS ที่ต่อเป็นภาคอินพุตของวงจรในขณะที่ M_{ND2} และ M_{PD2} ต่อเป็นภาคเอาต์พุตของวงจร เมื่อมีแรงดันอินพุตป้อนเข้าสู่วงจร M_{ND1} (M_{PD1}) จะทำหน้าที่แปลงแรงดันอินพุตให้เป็นกระแสส่งไปยังวงจรสะท้อนกระแสที่ประกอบด้วยโครงสร้างแบบคอมโพสิตทรานซิสเตอร์ M_{N1} - M_{N4} และ M_{P1} - M_{P4}

เป็นที่น่าสังเกตว่าเนื่องจาก M_{N1} , M_{N3} (และ M_{P1} , M_{P3}) สามารถทำงานในย่านเชิงเส้นได้ส่งผลให้วงจรสามารถทำงานได้ที่แรงดันไฟต่ำ [12] - [13] วงจรสะท้อนกระแสแบบคอมโพสิตทรานซิสเตอร์จะทำหน้าที่

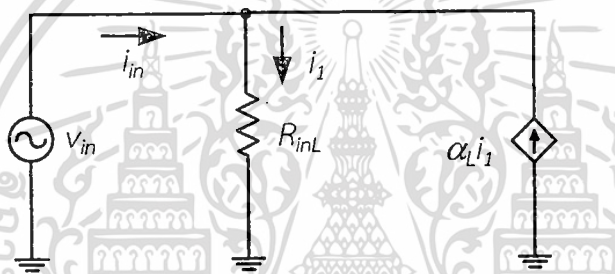


รูปที่ 3.3 วงจรเสมือนสัญญาณขนาดเล็กทางด้านอินพุตของวงจรถ่ายสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปรียบเทียบระหว่างกระแสอินพุตกับกระแสที่ถูกแปลงมาจากแรงดันทางด้านเอาต์พุตผ่านทาง M_{ND2} , M_{P4} และ M_{PD2} , M_{N4} ถ้าสัญญาณกระแสที่ไหลผ่านอินพุตของวงจรสะท้อนกระแส $i_{d(MND1,PD1)}$ ไม่เท่ากับกระแสที่ไหลผ่าน $i_{d(MND2,PD2)}$ ผลต่างของกระแสดังกล่าวจะถูกป้อนให้กับ M_{P0} และ M_{N0} ซึ่งทำหน้าที่เป็นวงจรแปลงแรงดันให้เป็นกระแสทางด้านเอาต์พุต เพื่อควบคุมให้แรงดันด้านเอาต์พุตมีค่าเท่ากับด้านอินพุต ทรานซิสเตอร์ M_{P5} , M_{N9} , M_{N10} (M_{N5} , M_{P9} , M_{P10}) ทำหน้าที่เป็นวงจรป้อนกลับเพื่อควบคุมการไบอัสให้กับ M_{ND1} , M_{ND2} (M_{PD1} , M_{PD2}) ทรานซิสเตอร์ M_{P6} , M_{N7} , M_{N8} (M_{N6} , M_{P7} , M_{P8}) ถูกนำมาต่อเป็นวงจรสะท้อนกระแสป้อนกลับกระแสอินพุตมายังขาอินพุตในลักษณะของการป้อนกลับแบบบวกส่งผลทำให้ความต้านทานเสมือนทางอินพุต (R_{in}) ของวงจรมีค่าสูง เราสามารถหาค่าความต้านทานอินพุตโดยการพิจารณาจากวงจรเสมือนสัญญาณขนาดเล็กชุดล่างในรูปที่ 3.3

เพื่อให้ง่ายต่อการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็กชุดล่างในรูปที่ 3.3 สามารถถูกแปลงให้อยู่ในรูปวงจรเสมือนอย่างง่ายได้ดังรูปที่ 3.4



รูปที่ 3.4 วงจรเสมือนชุดล่างสำหรับการวิเคราะห์ความต้านทานทางอินพุตของวงจร

โดยที่ R_{inL} คือความต้านทานเสมือนเมื่อมองเข้าไปที่ขาอินพุตของ M_{PD1} มีค่าเท่ากับ $[r_{oN1} + (g_{mPD1} + g_{mbPD1})(1 + g_{mN1}r_{oN1})r_{oP9}r_{oPD1}] / [1 + g_{mN1}r_{oN1}]$, r_o คือความต้านทานระหว่างขาเดรนและขาซอร์ส, g_m คือค่าทรานส์คอนดักแตนซ์, g_{mb} คือค่าทรานส์คอนดักแตนซ์ของบอดี, α_L คืออัตราส่วนของขนาดของทรานซิสเตอร์ซึ่งมีค่าเท่ากับ $(W/L)_{P1} / (W/L)_{P6}$, $(W/L)_{N7} / (W/L)_{N8}$, $(W/L)_{N1} / (W/L)_{N6}$ และ $(W/L)_{P7} / (W/L)_{P8}$.

จากวงจรในรูปที่ 3.4 เราได้ว่า

$$i_{in} = i_1 - \alpha_L i_1 \quad (3.2)$$

เนื่องจาก $i_1 = v_{in} / R_{inL}$ ดังนั้นเราจะได้ว่า

$$i_{in} = \frac{v_{in}}{R_{inL}} - \frac{\alpha_L v_{in}}{R_{inL}} \quad (3.3)$$

$$\frac{V_{in}}{i_{in}} = \frac{R_{inL}}{1 - \alpha_L} \quad (3.4)$$

จากสมการที่ (3.4) ถ้ากำหนดให้ α_L มีค่าเท่ากับ 1 แล้ว ค่าความต้านทานทางอินพุตของวงจรจะมีค่าสูงมาก เนื่องจากวงจรถูกออกแบบให้มีการแบ่งการทำงานออกเป็นสองชุด (ดูรูปที่ 3.3) ดังนั้นค่าความต้านทานอินพุตของวงจรรวมจึงมีค่าเท่ากับ

$$R_{in} = \frac{R_{inL}}{1 - \alpha_L} \parallel \frac{R_{inU}}{1 - \alpha_U} \quad (3.5)$$

โดยที่ R_{inU} คือความต้านทานเมื่อมองเข้าไปที่ซอร์สของ M_{ND1} มีค่าเท่ากับ $[r_{op1} + (g_{mND1} + g_{mbND1})(1 + g_{mp1}r_{op1})r_{on9}r_{onD1}] / [1 + g_{mp1}r_{op1}]$,

เมื่อออกแบบให้ $\alpha_L = \alpha_U = \alpha$ เราจะได้ว่า

$$R_{in} = \frac{R_{inL} R_{inU}}{(1 - \alpha)(R_{inL} + R_{inU})} \quad (3.6)$$

การหาค่าความต้านทานทางเอาต์พุตของวงจรตามแรงดันที่นำเสนอสามารถทำได้โดยการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็กดังนี้ (ดูภาคผนวก ก.)

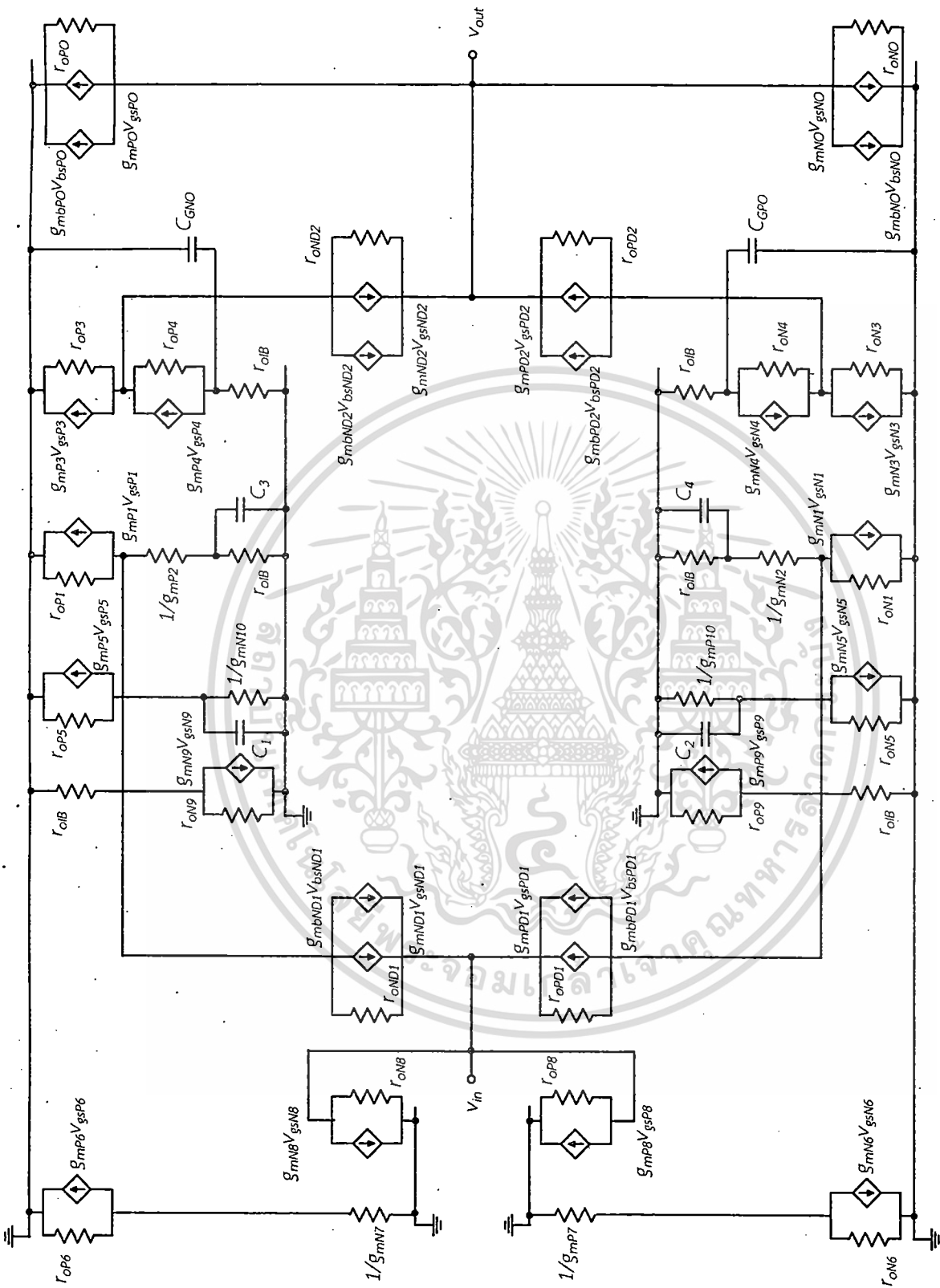
$$R_{out} = \frac{1}{G_{mND2} (G_{mNO} g_{mp4} r_{op4} r_{op3} + 1) + G_{mPD2} (G_{mPO} g_{mn4} r_{on4} r_{on3} + 1)} \quad (3.7)$$

โดยที่ $G_{mND2} = g_{mND2} + g_{mbND2}$, $G_{mPD2} = g_{mPD2} + g_{mbPD2}$, $G_{mNO} = g_{mNO} + g_{mbNO}$ และ $G_{mPO} = g_{mPO} + g_{mbPO}$

3.1.1 การทำงานเมื่อสัญญาณอินพุตช็อกบวกถูกป้อนเข้าสู่วงจร

เมื่อมีสัญญาณอินพุตช็อกบวกถูกป้อนเข้าสู่วงจร แรงดันซอร์สเกตของทรานซิสเตอร์ M_{PD1} (M_{ND1}) จะมีค่าเพิ่มขึ้น (ลดลง) ส่งผลทำให้แรงดันซิดเริ่มของ M_{PD1} (M_{ND1}) ลดลง (เพิ่มขึ้น) แรงดันอินพุตถูกแปลงให้เป็นกระแสแล้วส่งผ่านเข้าสู่วงจรสะท้อนกระแส M_{N1} , M_{N2} , M_{N3} , M_{N4} ในขณะนั้นถ้าแรงดันที่เอาต์พุตของวงจรมีขนาดไม่เท่ากันกับอินพุตของวงจร (หรือแรงดัน V_{SG} ของ M_{PD1} และ M_{PD2} ไม่เท่ากัน) กระแสที่ไหลเข้าสู่ M_{N3} ก็จะมีค่าไม่เท่ากับกระแสที่ไหลสู่ M_{N1} ส่งผลให้เกิดสัญญาณความผิดพลาด (Error signal) ขึ้นที่ขาเดรนของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 วงจรเหมือนสัญญาณขนาดเล็กของวงจรตามแรงดันที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

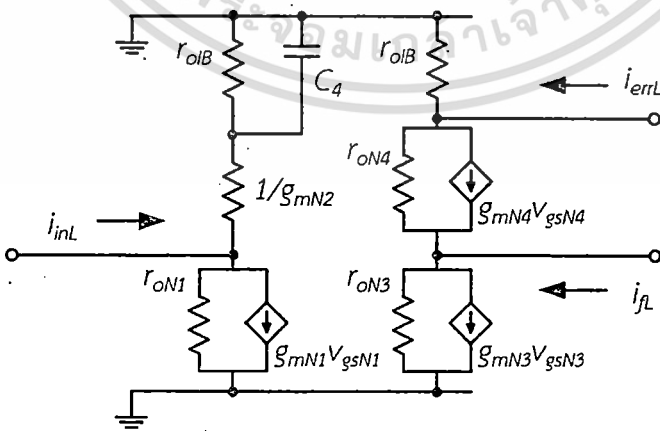
M_{N3} และถูกขยายไปที่ขาเดรนของ M_{N4} ซึ่งต่ออยู่กับขาเกตของ M_{P0} ลักษณะเช่นนี้ทำให้ M_{P0} จ่ายกระแสเพิ่มขึ้นให้กับเอาต์พุตจนแรงดันที่เอาต์พุตของวงจรมีค่าเท่ากับแรงดันที่อินพุต ถ้าขนาดของสัญญาณอินพุตซีกบวกมีค่าเพิ่มมากขึ้นแรงดันเกตซอร์สของ DTMOS ทรานซิสเตอร์ M_{ND1} และ M_{ND2} จะมีค่าลดลง ส่งผลทำให้แรงดันซิดเริ่มของ M_{ND1} และ M_{ND2} เพิ่มขึ้นจนทำให้ทรานซิสเตอร์ทั้งสองและ M_{NO} หยุดการทำงาน ส่งผลให้วงจรชุดล่างและ M_{P0} ทำหน้าที่ขับสัญญาณออกสู่โหลดแทน

3.1.2 การทำงานเมื่อสัญญาณอินพุตซีกลบถูกป้อนเข้าสู่วงจร

เมื่อมีสัญญาณอินพุตซีกลบถูกป้อนเข้าสู่วงจร แรงดันเกตซอร์สของทรานซิสเตอร์ M_{ND1} (M_{PD1}) จะมีค่าเพิ่มขึ้น (ลดลง) ส่งผลทำให้แรงดันซิดเริ่มของ M_{ND1} (M_{PD1}) ลดลง (เพิ่มขึ้น) แรงดันอินพุตถูกแปลงให้เป็นกระแสแล้วส่งผ่านเข้าสู่วงจรสะท้อนกระแส $M_{P1}, M_{P2}, M_{P3}, M_{P4}$ ในขณะนั้นถ้าแรงดันที่เอาต์พุตของวงจรมีค่าไม่เท่ากับกับแรงดันอินพุตของวงจร (หรือแรงดัน V_{GS} ของ M_{ND1} และ M_{ND2} มีค่าไม่เท่ากัน) กระแสที่ไหลเข้าสู่ M_{P3} ก็จะไม่เท่ากับกระแสที่ไหลสู่ M_{P1} ทำให้เกิดสัญญาณความผิดพลาด (Error signal) ขึ้นที่ขาเดรนของ M_{P3} และถูกขยายไปที่ขาเดรนของ M_{P4} ซึ่งต่ออยู่กับขาเกตของ M_{NO} ทำให้ M_{NO} ดึงกระแสจากเอาต์พุตเพิ่มขึ้นจนแรงดันที่เอาต์พุตของวงจรมีค่าเท่ากับแรงดันที่อินพุต ถ้าขนาดของสัญญาณอินพุตซีกลบมีค่าต่ำลงมากแรงดันซอร์สเกตของ DTMOS ทรานซิสเตอร์ M_{PD1} และ M_{PD2} จะมีค่าลดลง ส่งผลทำให้แรงดันซิดเริ่มของ M_{PD1} และ M_{PD2} เพิ่มขึ้นจนทำให้ทรานซิสเตอร์ทั้งสองและ M_{P0} หยุดการทำงาน ส่งผลให้วงจรชุดบนและ M_{NO} ทำหน้าที่ขับสัญญาณออกสู่โหลดแทน

3.1.3 การวิเคราะห์อัตราขยายแรงดัน (v_{out} / v_{in})

การวิเคราะห์อัตราขยายแรงดัน (v_{out} / v_{in}) สามารถทำได้โดยการวิเคราะห์ทั้งวงจรเสมือนสัญญาณขนาดเล็กของวงจรตามแรงดัน ดังแสดงดังรูปที่ 3.5 ในการวิเคราะห์เราเริ่มต้นจากการพิจารณาวงจรชุดล่างของรูปที่ 3.5 ในส่วนของวงจรเปรียบเทียบกับกระแสโดยพิจารณาว่าอิมพีแดนซ์ของตัวเก็บประจุแผ่นที่ขาเกตของ M_{P0} (C_{GPO}) มีค่าเท่ากับศูนย์ซึ่งสามารถแสดงได้ในรูปที่ 3.6



รูปที่ 3.6 การวิเคราะห์ทั้งวงจรในส่วนของวงจรสะท้อนกระแสชุดล่างของรูปที่ 3.5

จากวงจรในรูปที่ 3.6 เราจะได้ว่า

$$i_{errL} = i_{inL} - i_{fL} \quad (3.8)$$

เมื่อพิจารณาในรูปที่ 3.5 พบว่า i_{inL} และ i_{fL} มีค่าเท่ากับ $g_{mPD1}(V_{gPD1}-V_{in})$ และ $g_{mPD2}(V_{gPD2}-V_{out})$ ตามลำดับดังนี้

$$i_{errL} = g_{mPD1}(V_{gPD1}-V_{in}) - g_{mPD2}(V_{gPD2}-V_{out}) \quad (3.9)$$

โดยที่ V_{gPD1} และ V_{gPD2} คือแรงดันที่ขาเกตของทรานซิสเตอร์ M_{PD1} และ M_{PD2} ตามลำดับ

หากสมมติว่าวงจรสามารถส่งผ่านแรงดันได้ดี เราจะพบว่า $V_{gPD1} = V_{gPD2}$ ดังนั้นเราสามารถหา V_{gPD1} ได้เท่ากับ

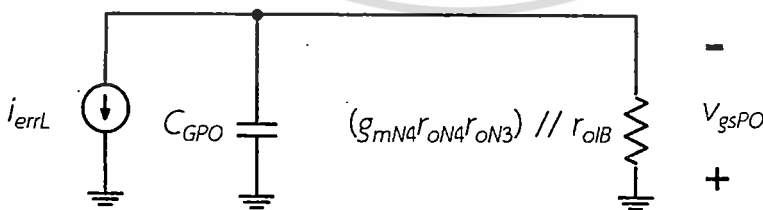
$$V_{gPD1} = A_L V_{in} \quad (3.10)$$

โดยที่ A_L คืออัตราขยายแรงดันระหว่างขาซอร์สและขาเกตของ M_{PD1}

เมื่อแทนสมการ (3.10) ลงในสมการ (3.9) เราจะได้ว่า

$$i_{errL} = g_{mPD1}(A_L V_{in} - V_{in}) - g_{mPD2}(A_L V_{in} - V_{out}) \quad (3.11)$$

เมื่อพิจารณาที่ขาเดรนของ M_{N4} ในรูปที่ 3.5 เราสามารถหาแรงดันที่ขาเกตของ M_{P0} ซึ่งสามารถพิจารณาได้โดยวิเคราะห์วงจรในรูปที่ 3.6 และรวมผลของตัวเก็บประจุ C_{GPO} (ดูรูปที่ 3.5) ซึ่งสามารถแปลงให้อยู่ในรูปวงจรเสมือนในรูปที่ 3.7



รูปที่ 3.7 วงจรเสมือนแสดงการหาแรงดันที่ขาเกตของ M_{P0}

โดยที่ V_{gsPO} คือแรงดันที่ขาเกตของทรานซิสเตอร์ M_{P0}

จากวงจรในรูปที่ 3.7 เราสามารถหา V_{gsPO} ได้เท่ากับ

$$V_{gsPO} = -i_{errL} \left[\left(g_{mN4} r_{oN4} r_{oN3} \right) \parallel r_{oIB} \parallel \frac{1}{sC_{GPO}} \right] \quad (3.12)$$

เมื่อพิจารณาที่โหนดเอาต์พุตของวงจร เราสามารถหาแรงดันเอาต์พุตของวงจรได้โดยการพิจารณา วงจรเสมือนในรูปที่ 3.5 และได้ว่า

$$V_{out} = i_{out} R_{out} \quad (3.13)$$

เมื่อพิจารณาวงจรในรูปที่ 3.5 เราจะได้

$$i_{out} \equiv G_{mPO} V_{gsPO} + G_{mNO} V_{gsNO} \quad (3.14)$$

แทนสมการที่ (3.11), (3.12) และ (3.14) ลงใน (3.13) และกำหนดให้ $g_{mPD1} = g_{mPD2} = G_{mPD}$ และ $g_{mND1} = g_{mND2} = G_{mND}$ เราจะได้อัตราการส่งผ่านแรงดันกับ

$$\frac{V_{out}}{V_{in}} = \frac{a_1 R_{out} (1 + sW_2) + b_1 R_{out} (1 + sW_1)}{(1 + sW_1)(1 + sW_2) + a_1 R_{out} (1 + sW_2) + b_1 R_{out} (1 + sW_1)} \quad (3.15)$$

โดยที่ $a_1 = G_{mPD} G_{mPO} g_{mN4} r_{oN4} r_{oN3}$, $b_1 = G_{mND} G_{mNO} g_{mP4} r_{oP4} r_{oP3}$, $W_1 = 1 + C_{GPO} g_{mN4} r_{oN3} r_{oN4}$, $W_2 = 1 + C_{GNO} g_{mP4} r_{oP3} r_{oP4}$, $C_1 = C_{gsN9} + C_{gsN10}$, $C_2 = C_{gsP9} + C_{gsP10}$, $C_3 = C_{gsP1} + C_{gsP3} + C_{gsP5} + C_{gsP6}$, $C_4 = C_{gsN1} + C_{gsN3} + C_{gsN5} + C_{gsN6}$, $C_{GPO} = C_{gsPO} + C_{bsPO} + [1 + (g_{mPO} + g_{mbPO}) R_{out}] [C_{gdPO} + C_{bdPO}]$ และ $C_{GNO} = C_{gsNO} + C_{bsNO} + [1 + (g_{mNO} + g_{mbNO}) R_{out}] [C_{gdNO} + C_{bdNO}]$

จากสมการ (3.15) เราพบว่าถ้าเราออกแบบให้ a_1 และ b_1 มีค่ามากและเมื่อพิจารณาที่ความถี่ต่ำแล้ว จะพบว่าอัตราการส่งผ่านแรงดันของวงจรจะมีค่าเท่ากับหนึ่ง

3.1.4 การวิเคราะห์หาค่ากระแสสงบนิ่ง (Quiescent Current : I_Q)

เมื่อพิจารณาวงจรในรูปที่ 3.2 เราสามารถวิเคราะห์หาค่ากระแสสงบนิ่ง โดยอาศัยกฎของ Kirchhoff กับลูปที่ประกอบด้วยทรานซิสเตอร์ M_{PD2} , M_{ND2} , M_{N3} , M_{N4} , M_{P3} , M_{P4} , M_{NO} และ M_{PO} เราจะได้สมการ กระแสสงบนิ่งดังนี้

$$I_Q = I_{OP} = I_{QN} \quad (3.16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรเราสามารถหาค่ากระแสได้ว่า

$$I_{OP(N)} = \frac{K_{PO(NO)}}{2} (V_{GS,PO(NO)} - V_{TPO(NO)})^2 \quad (3.17)$$

เมื่อพิจารณาจากวงจรแล้วพบว่า

$$V_{GS,PO(NO)} = V_{DD} - V_{GSN1(P1)} = V_{DD} - \sqrt{\frac{2I_B}{K_{N1(P1)}}} + V_{TN1(P1)} \quad (3.18)$$

ดังนั้นเมื่อแทนสมการที่ (3.18) ลงในสมการที่ (3.17) จะได้ว่า

$$I_{OP(N)} = \frac{K_{PO(NO)}}{2} \left(V_{DD} - \sqrt{\frac{2I_B}{K_{N1(P1)}}} + V_{TN1(P1)} - V_{TPO(NO)} \right)^2 \quad (3.19)$$

โดยที่ $K_{PO(NO)} = \mu_{p(n)} C_{OX}(W/L)_{PO(NO)}$, $K_{N1(P1)} = \mu_{n(p)} C_{OX}(W/L)_{N1(P1)}$, $\mu_{p(n)}$ คือสภาพความคล่องตัวของโฮล (อิเล็กตรอน), C_{OX} คือความจุไฟฟ้าต่อหน่วยพื้นที่ของเกตออกไซด์ และ (W/L) คืออัตราส่วนขนาดของทรานซิสเตอร์

จากสมการที่ 3.19 พบว่าเราสามารถปรับกระแสสลับหนึ่ง (I_O) ของวงจรได้โดยการปรับขนาดของกระแสไบอัส (I_B) และขนาดของ M_{PO} และ M_{NO}

3.1.5 การวิเคราะห์หาแรงดันไฟเลี้ยงที่น้อยที่สุดของวงจร

จากวงจรในรูปที่ 3.2 เราพบว่าไฟเลี้ยงของวงจรที่ทำให้วงจรสามารถทำงานได้มีค่าเท่ากับ

$$V_{supply} = 4V_{ds,sat} + V_{T,ND1} + V_{T,PD1} \quad (3.20)$$

โดยที่ $V_{T,ND1}$ และ $V_{T,PD1}$ คือแรงดันขีดเริ่มของทรานซิสเตอร์ M_{PD1} และ M_{ND1} ตามลำดับ

เนื่องจาก M_{ND1} และ M_{PD1} ถูกต่อในลักษณะของ DTMOS ดังนั้นแรงดันขีดเริ่มของทรานซิสเตอร์ (V_T) ดังกล่าวมีค่าลดลงเนื่องจากผลของบอดี้ ส่งผลทำให้ไฟเลี้ยงของวงจรที่น้อยที่สุดมีค่าเท่ากับ

$$V_{supply(min)} = 4V_{ds,sat} + V_{T,ND1|VBS(ND1)} + V_{T,PD1|VBS(PD1)} \quad (3.21)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ $V_{T,ND1|VBS(ND1)}$ และ $V_{T,PD1|VBS(PD1)}$ คือแรงดันขีดเริ่มของทรานซิสเตอร์เมื่อพิจารณาผลของแรงดันที่ขาบอดี้

จากสมการ (3.21) เราพบว่า V_{TVBS} ของ DTMOS ทรานซิสเตอร์ทั้งสองมีค่าประมาณ 0.2 โวลต์ และ V_{ds} ของทรานซิสเตอร์ M_{N1} , M_{P1} , M_{N3} และ M_{P3} มีค่าประมาณ 0.1 โวลต์ ดังนั้นค่าแรงดันไฟเลี้ยงของวงจรจะมีค่าประมาณ 0.8 โวลต์ ในทางปฏิบัติแล้วแรงดันไฟเลี้ยงของวงจรอาจจะเปลี่ยนแปลงไปจากผลการคำนวณขึ้นอยู่กับข้อกำหนดขนาดของทรานซิสเตอร์และกระแสไบอัสในวงจร

3.2 การจำลองการทำงาน

เราได้ใช้โปรแกรม PSPICE เพื่อทดสอบประสิทธิภาพของวงจรตามแรงดันที่นำเสนอ วงจรที่ออกแบบใช้ทรานซิสเตอร์เทคโนโลยีแบบซีมอสที่มีขนาดเท่ากับ 0.13 ไมโครเมตรและทำงานภายใต้แหล่งจ่ายไฟเลี้ยง V_{DD} และ V_{SS} มีค่าเท่ากับ ± 0.35 โวลต์ กระแสไบอัส (I_B) ของวงจรมีค่าเท่ากับ 0.8 ไมโครแอมป์ ขนาดของทรานซิสเตอร์ทั้งหมดที่ใช้ในการจำลองการทำงานถูกแสดงในตารางที่ 3.1

ตารางที่ 3.1 ขนาดของทรานซิสเตอร์สำหรับวงจรที่นำเสนอ

ทรานซิสเตอร์	อัตราส่วน (W/L) (ไมโครเมตร)
M_{P1} , M_{P3} , M_{P5} , M_{P6}	3 / 0.2
M_{N1} , M_{N3} , M_{N5} , M_{N6}	3 / 0.2
M_{P2} , M_{P4}	80 / 0.2
M_{N2} , M_{N4}	30 / 0.2
M_{P7} , M_{P8}	2.8 / 0.2
M_{N7} , M_{N8}	70 / 0.3
M_{P9} , M_{P10}	0.4 / 0.15
M_{N9} , M_{N10}	0.4 / 0.15
M_{PO}	152 / 0.15
M_{NO}	30 / 0.15
M_{PD1} , M_{PD2}	305 / 0.5
M_{ND1} , M_{ND2}	320 / 0.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 ผลการจำลองการทำงานของวงจรตามแรงดัน

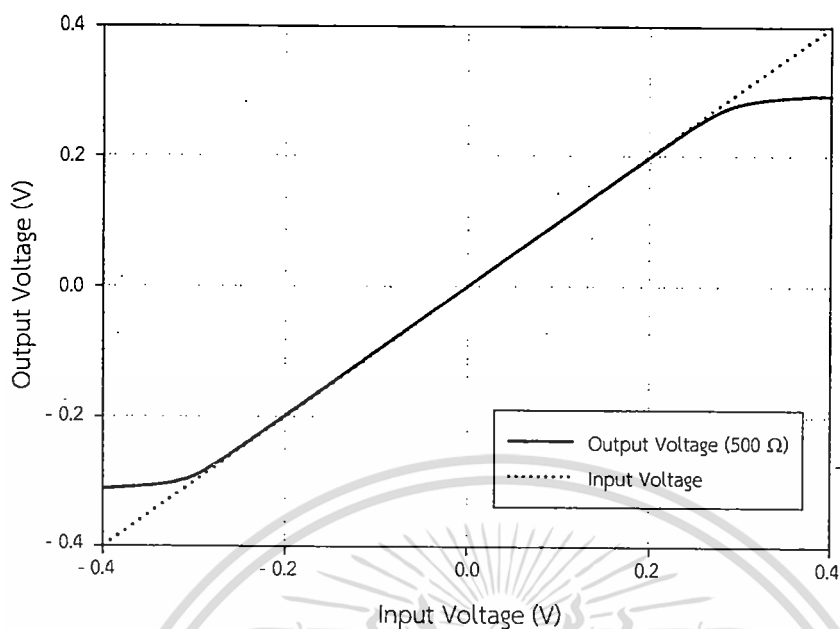
รูปที่ 3.8 แสดงคุณลักษณะการส่งผ่านแรงดันระหว่างอินพุตและเอาต์พุตของวงจรโดยต่อกับโหลด 500 โอห์ม จากรูปเราเห็นได้ว่าแรงดันเอาต์พุตสามารถตามแรงดันอินพุตได้ดีโดยให้ช่วงการสวิงที่กว้าง (± 0.25 โวลต์) หรือเท่ากับ 71 เปอร์เซ็นต์ของแหล่งจ่ายไฟเลี้ยง และมีความเป็นเชิงเส้นที่ดี รูปที่ 3.9 แสดงการตอบสนองชั่วขณะของวงจรเมื่อสัญญาณอินพุตเป็นสัญญาณคลื่นไซน์ที่มีขนาดเท่ากับ ± 0.25 โวลต์ ความถี่เท่ากับ 1 เมกกะเฮิร์ตซ์ และต่อกับโหลดที่มีขนาดเท่ากับ 100 โอห์ม, 300 โอห์ม และ 500 โอห์ม ตามลำดับ จะเห็นว่าเมื่อต่อกับโหลดขนาด 100 โอห์ม สัญญาณเอาต์พุตจะมีการลดทอนลงซึ่งเราสามารถแก้ไขได้โดยการเพิ่ม M_{PO} และ M_{NO} ให้มีขนาดใหญ่ขึ้นเพื่อให้วงจรสามารถจ่ายกระแสให้อาต์พุตได้มากขึ้น แต่การเพิ่มขนาดของทรานซิสเตอร์จะส่งผลทำให้แบนด์วิดธ์ของวงจรมีค่าลดลง รูปที่ 3.10 แสดงการตอบสนองชั่วขณะของวงจรเมื่อสัญญาณอินพุตเป็นสัญญาณคลื่นสี่เหลี่ยมที่มีขนาด ± 0.25 โวลต์ ความถี่เท่ากับ 4 เมกกะเฮิร์ตซ์ และโหลดมีค่าเท่ากับ 500 โอห์ม ขนานกับตัวเก็บประจุขนาด 50 พิโคฟารัด จากผลการจำลองพบว่าวงจรที่นำเสนอสามารถตอบสนองต่อสัญญาณอินพุตได้ดีและมีเสถียรภาพที่ดี รูปที่ 3.11 แสดงการตอบสนองความถี่ของวงจร วงจรสามารถตอบสนองความถี่โดยมีแบนด์วิดธ์เท่ากับ 193 เมกกะเฮิร์ตซ์ แบนด์วิดธ์ของวงจรสามารถปรับปรุงให้สูงขึ้นได้โดยการลดขนาดของทรานซิสเตอร์ M_{PO} และ M_{NO} แต่การลดขนาดของทรานซิสเตอร์ดังกล่าวส่งผลต่อการลดลงของอัตราการใช้พลังงานและช่วงการสวิงของสัญญาณเอาต์พุต

รูปที่ 3.12 และ 3.13 แสดงค่าความต้านทานทางอินพุตและเอาต์พุตของวงจรที่ความถี่ต่างๆกัน จากรูปเราพบว่าค่าความต้านทานอินพุตและเอาต์พุตของวงจรมีค่า 250 กิโลโอห์ม และ 3.07 โอห์ม ตามลำดับ จะเห็นว่าเมื่อความถี่สูงขึ้นค่าความต้านทานทางอินพุตมีค่าลดลงและค่าความต้านทานทางเอาต์พุตมีค่าสูงขึ้น เป็นผลมาจากการดีเลย์ของสัญญาณจากกลไกการป้อนกลับเมื่อความถี่สูง เกิดการเลื่อนเฟสของสัญญาณป้อนกลับทำให้เกิดการหักล้างที่ไม่สมบูรณ์ รูปที่ 3.14 แสดงความผิดเพี้ยนของสัญญาณ (Total Harmonic Distortion; THD) โดยสามารถหาได้จากการหารากที่สองของผลรวมขนาดของฮาร์โมนิกยกกำลังสองตั้งแต่ลำดับที่สองขึ้นไปหารด้วยขนาดของความถี่มูลฐาน เราพบว่าเมื่อป้อนสัญญาณอินพุตคลื่นไซน์ที่มีขนาดเท่ากับ ± 0.25 โวลต์ ที่ความถี่เท่ากับ 1 เมกกะเฮิร์ตซ์ความผิดเพี้ยนของวงจรมีค่าเท่ากับ 0.46 เปอร์เซ็นต์ จะเห็นว่าเมื่อสัญญาณมีขนาดเล็กจะมีความเพี้ยนสูงขึ้นเล็กน้อยเนื่องจากผลของแรงดันออฟเซตปรากฏที่เอาต์พุตของวงจร นอกจากนี้กำลังงานสูญเสียของวงจรในสถานะสงบนิ่งมีค่าเท่ากับ 123 ไมโครวัตต์และสามารถเพิ่มหรือลดได้โดยการปรับขนาดของทรานซิสเตอร์ M_{PO} และ M_{NO} ดังสมการที่ (3.19)

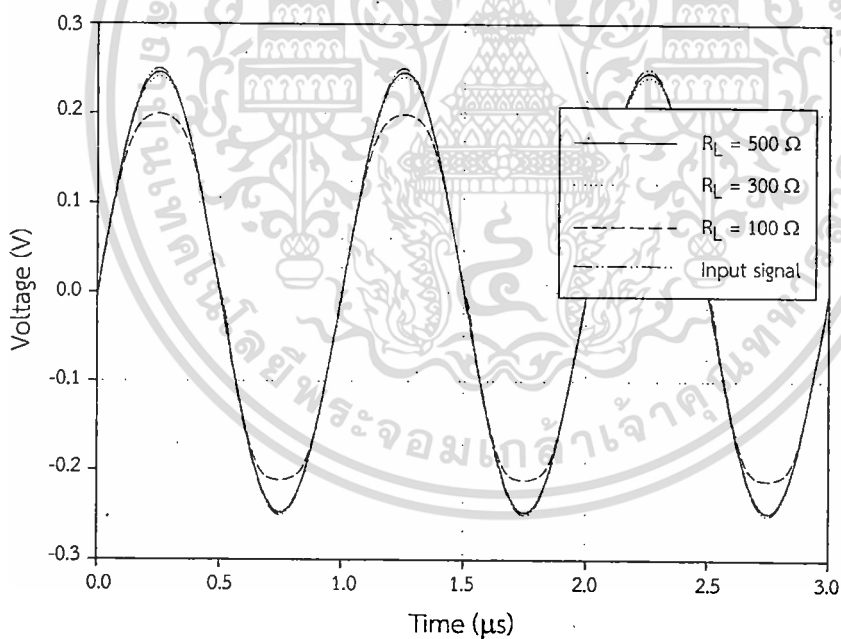
ตารางที่ 3.2 แสดงการเปรียบเทียบความสามารถโดยรวมของวงจรที่นำเสนอกับวงจรที่มีการนำเสนอมาก่อน โครงสร้างของวงจรที่นำเสนอได้ประยุกต์ใช้ข้อดีของ DTMOS ในด้านการเปลี่ยนแปลงของแรงดันขีดเริ่มได้ทำให้อาต์พุตที่นำเสนอสามารถทำงานได้ที่แรงดันต่ำกว่า [6], [8] และ [10] ความต้านทานทางเอาต์พุตของวงจรมีค่าต่ำใกล้เคียงกับ [6] ด้วยผลของการป้อนกลับแบบลบที่เอาต์พุต แบนด์วิดธ์ของวงจรที่นำเสนอมีค่าสูงกว่า [8] และ [10] เนื่องจาก [8] และ [10] เป็นการใช้เทคนิคการขับขาบอดี้และทรานซิสเตอร์แบบเกทลอยซึ่งมีค่าของทรานส์คอนดักแตนซ์ที่ต่ำกว่า นอกจากนี้กำลังงานสูญเสียของวงจรมีค่าน้อยกว่าเมื่อเทียบกับ [6] เป็นผลมาจากการที่วงจรใช้ไฟเลี้ยงและมีกระแสสงบนิ่งที่ต่ำกว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

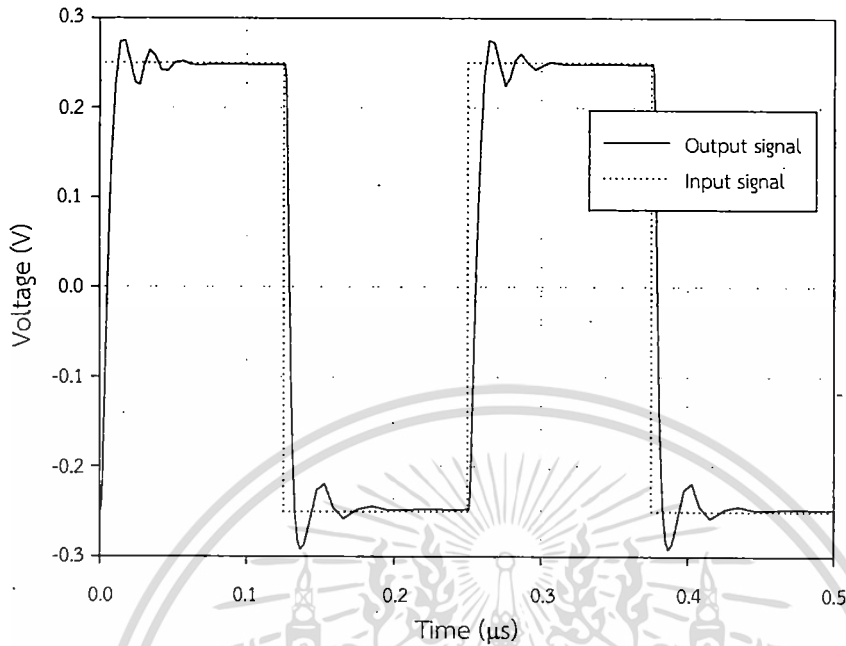


รูปที่ 3.8 คุณลักษณะการส่งผ่านแรงดันระหว่างอินพุตและเอาต์พุตของวงจรเมื่อต่อกับโหลด 500 โอห์ม

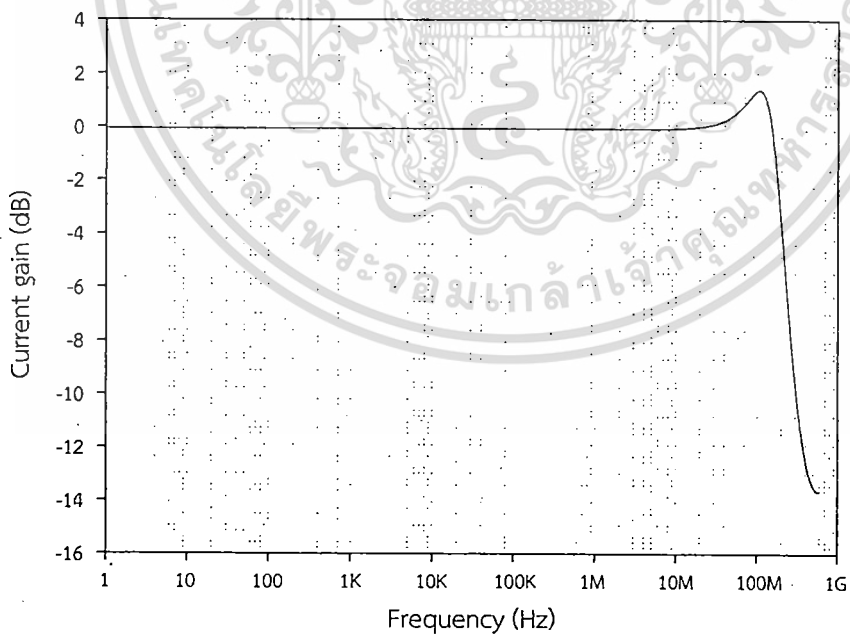


รูปที่ 3.9 การตอบสนองชั่วขณะของวงจรเมื่ออินพุตเป็นสัญญาณคลื่นไซน์ (± 0.25 โวลต์, 1 เมกกะเฮิรตซ์) และต่อโหลดความต้านทานขนาด 100 โอห์ม, 300 โอห์ม และ 500 โอห์ม ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

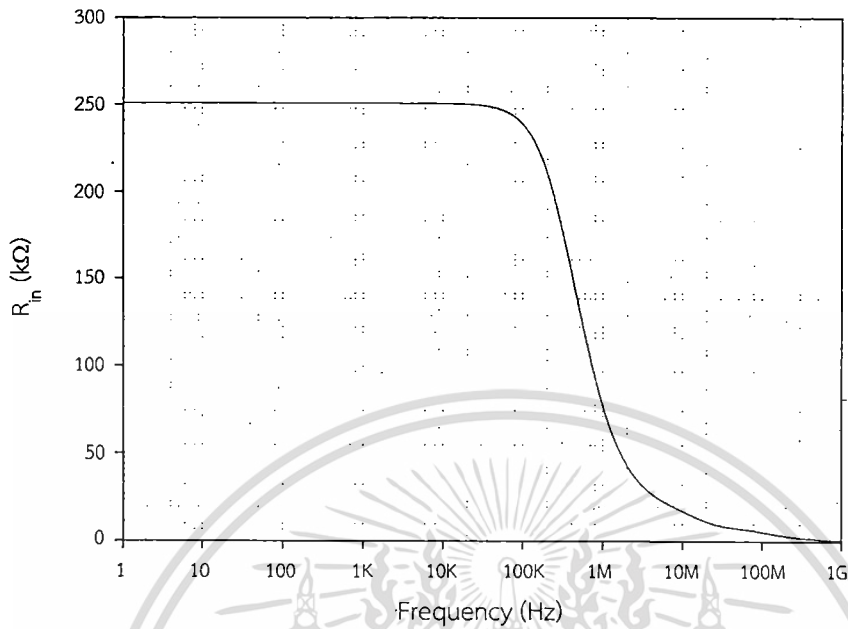


รูปที่ 3.10 การตอบสนองชั่วขณะของวงจรเมื่ออินพุตเป็นสัญญาณคลื่นสี่เหลี่ยม (± 0.25 โวลต์, 4 เมกกะเฮิร์ตซ์) และโหลดเป็นตัวต้านทานที่มีขนาด 500 โอห์ม ขนานกับตัวเก็บประจุขนาด 50 พิโคฟารัด

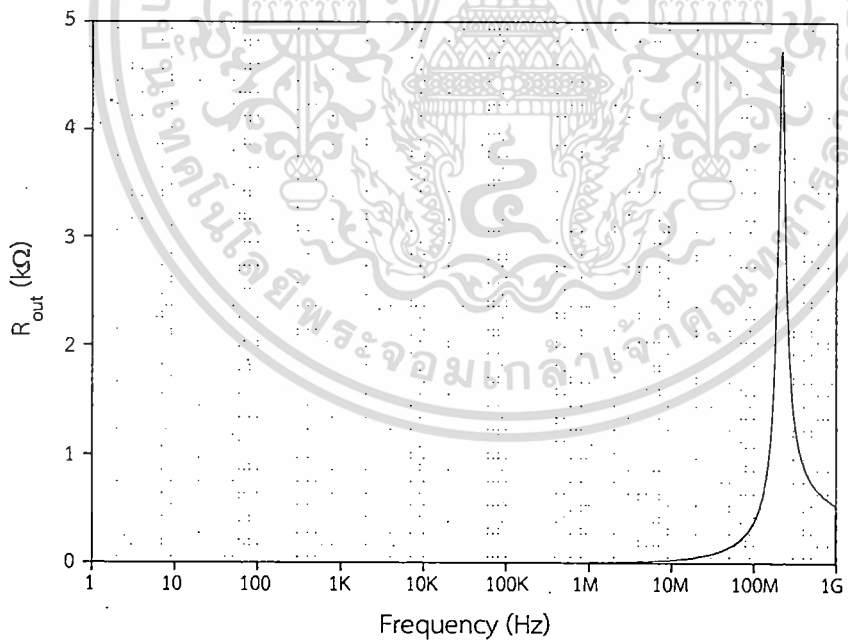


รูปที่ 3.11 การตอบสนองความถี่ของวงจรเมื่อต่อโหลดความต้านทานขนาด 500 โอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

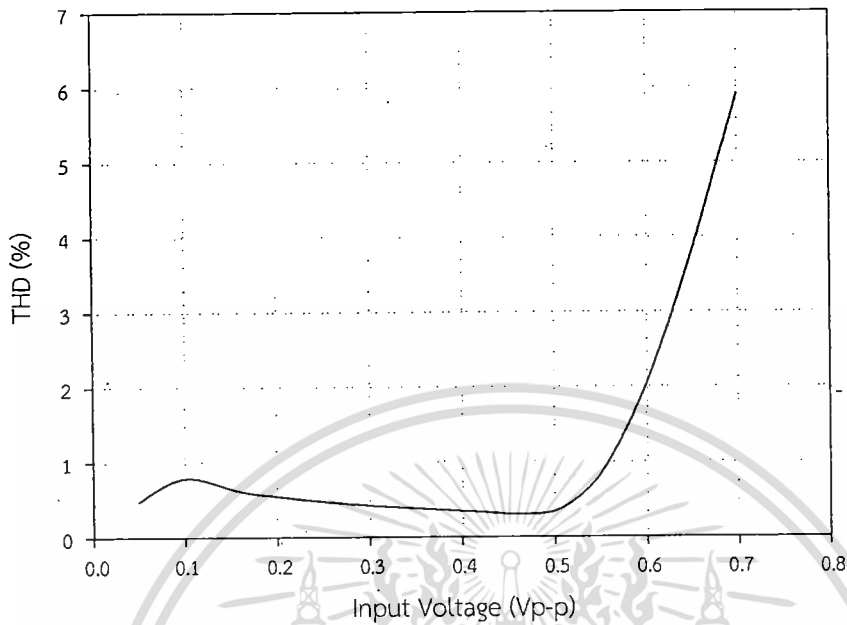


รูปที่ 3.12 ความต้านทานทางอินพุทของวงจร



รูปที่ 3.13 ความต้านทานทางเอาต์พุทของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 ความผิดเพี้ยนของสัญญาณเมื่อป้อนสัญญาณอินพุตคลื่นไซน์ที่มีความถี่ 1 เมกกะเฮิรตซ์ ต่อกับ โหลดที่เป็นตัวต้านทานที่มีขนาดเท่ากับ 500 โอห์ม

ตารางที่ 3.2 ความสามารถโดยรวมของวงจรที่นำเสนอเปรียบเทียบกับวงจรที่มีการนำเสนอมาก่อน

พารามิเตอร์	[6]	[8]	[10]	วงจรที่นำเสนอ
เทคโนโลยี	0.35 μm	0.35 μm	0.5 μm	0.13 μm
แรงดันไฟเลี้ยง	3.3 V	1.8 V	1.2 V	0.7 V
การตอบสนองความถี่	500 MHz ($R_L = 1 \text{ k}\Omega$)	6 MHz	1.48 MHz ($C_L = 75 \text{ pF}$)	193 MHz ($R_L = 500 \Omega$)
ความต้านทานทางอินพุต	N/A	N/A	N/A	250 $\text{k}\Omega$
ความต้านทานทางเอาต์พุต	2 Ω	N/A	N/A	3.07 Ω
ความผิดเพี้ยนของสัญญาณ (THD)	0.067% ($f = 1 \text{ MHz}$, $R_L = 1 \text{ k}\Omega$)	0.55 % ($f = 100 \text{ kHz}$, $C_L = 10 \text{ pF}$)	0.08 % ($f = 10 \text{ kHz}$)	0.46 % ($f = 1 \text{ MHz}$, $R_L = 500 \Omega$)
กำลังงานสูญเสีย	2 mW	14 μW	N/A	123 μW

หมายเหตุ N/A (Not Available) หมายถึงไม่มีข้อมูลดังกล่าว

3.3 บทสรุป

วงจรตามแรงดันที่ได้นำเสนอนี้ถูกออกแบบให้สามารถทำงานได้ที่ไฟเลี้ยงต่ำโดยอาศัยหลักการของการประมวลผลสัญญาณในโหมดกระแสโดยได้นำเอา DT MOS และวงจรสะท้อนกระแสที่สามารถทำงานได้ที่ไฟเลี้ยงต่ำมาเป็นส่วนประกอบหลักของวงจร นอกจากนี้ผลการเปลี่ยนแปลงของค่าแรงดันขีดเริ่มที่เกิดจากกลไกของ DT MOS ส่งผลทำให้วงจรสามารถสลับการทำงานระหว่างวงจรชุดบนและชุดล่างได้อย่างดีเมื่อมีสัญญาณอินพุตขนาดใหญ่ป้อนเข้าสู่วงจร ทำให้วงจรมีช่วงการสวิงของสัญญาณอินพุตและเอาต์พุตที่กว้างขึ้น ผลการจำลองการทำงานของวงจรพบว่าวงจรสามารถทำงานได้ที่ไฟเลี้ยงต่ำ 0.7 โวลต์ (± 0.35 โวลต์) วงจรมีช่วงการสวิงสัญญาณทางเอาต์พุตที่กว้างโดยมีค่าเท่ากับ ± 0.25 โวลต์ หรือคิดเป็น 71 เปอร์เซ็นต์ของแรงดันไฟเลี้ยง วงจรมีความผิดเพี้ยนของสัญญาณต่ำโดยมีค่าน้อยกว่า 0.5 เปอร์เซ็นต์ เมื่อต่อโหลดที่มีค่าความต้านทาน 500 โอห์ม ที่ความถี่ของสัญญาณอินพุตเท่ากับ 1 เมกกะเฮิรตซ์ แบนด์วิดธ์ของวงจรมีค่าเท่ากับ 193 เมกกะเฮิรตซ์ วงจรมีความต้านทานทางเอาต์พุตที่ต่ำโดยมีค่าเท่ากับ 3.07 โอห์ม ขณะที่กำลังงานสูญเสียของวงจรมีค่าเท่ากับ 123 ไมโครวัตต์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

วงจรรขยายตามแรงดันผลต่างกระแส (Current Differencing Buffered Amplifier)

4.1 วงจรรขยายตามแรงดันผลต่างกระแส

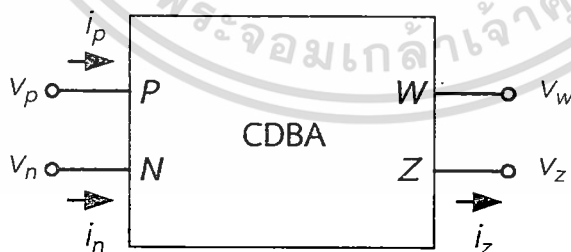
วงจรรประมวลผลในโหมดกระแสเป็นวงจรที่ได้รับความสนใจและถูกนำไปใช้ทั้งในวงจรรอนาล็อก และ ดิจิตอลอย่างแพร่หลายเนื่องจากมีข้อดีหลายประการเช่น วงจรสามารถทำงานได้ที่ไฟเลี้ยงต่ำ มีช่วงการสวิงของสัญญาณกว้างเนื่องจากสัญญาณไม่ได้ถูกจำกัดด้วยแรงดันไฟเลี้ยง สามารถประมวลผลด้วยความเร็วสูง และบริโภคพลังงานต่ำ ในปัจจุบันวงจรถูกออกแบบมาเพื่อการประมวลผลในโหมดกระแสได้แก่ วงจรสายพานกระแส (Current Conveyor : CC) วงจรรขยายกระแส (Current Operational Amplifier : COA) วงจรรขยายความต้านทาน (Operational Transresistance Amplifier : OTRA) และวงจรรขยายตามแรงดันผลต่างกระแส (Current Differencing Buffered Amplifier : CDBA) เป็นต้น

วงจรรขยายตามแรงดันผลต่างกระแส ได้ถูกนำเสนอครั้งแรกโดย Acar และ Ozoguz [14] เป็นวงจรที่ได้รับความนิยมและมีการพัฒนาต่อเนื่อง [15]-[22] และถูกนำไปใช้งานได้หลากหลายโดยเฉพาะอย่างยิ่งกับการออกแบบวงจรรองความถี่แบบโหมดกระแส [23]-[27]

บทนี้จะกล่าวถึงการทำงานและคุณสมบัติพื้นฐานของวงจรรขยายตามแรงดันผลต่างกระแส การออกแบบวงจรและการนำวงจรตามแรงดันที่ได้นำเสนอในบทที่แล้วมาประยุกต์ใช้งานในวงจรรตามแรงดันที่ขยายจากความแตกต่างของกระแส และผลการจำลองการทำงานของวงจรถูกได้ออกแบบ

4.1.1 คุณสมบัติพื้นฐานของวงจรรขยายตามแรงดันผลต่างกระแส

รูปที่ 4.1 แสดงสัญลักษณ์วงจรรขยายตามแรงดันผลต่างกระแส หลักการทำงานของวงจรรสามารถอธิบายได้จากสมการถ่ายโอนดังแสดงในสมการที่ (4.1) ดังนี้



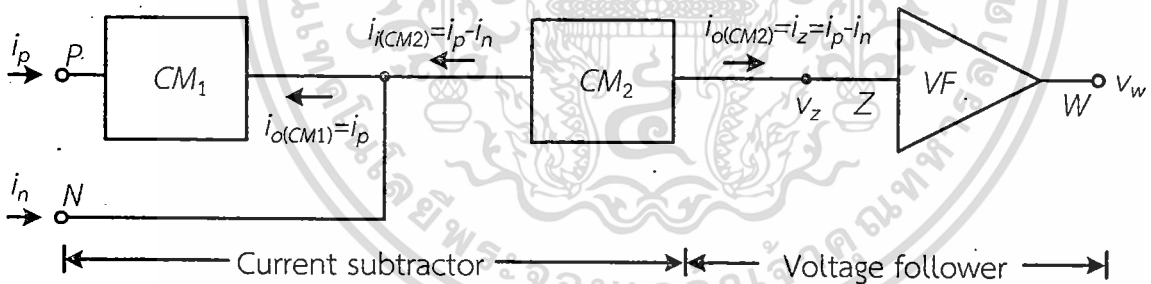
รูปที่ 4.1 สัญลักษณ์ของวงจรรขยายตามแรงดันผลต่างกระแส

$$\begin{bmatrix} i_z \\ v_w \\ v_p \\ v_n \end{bmatrix} = \begin{bmatrix} 0 & 0 & 1 & -1 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_z \\ i_w \\ i_p \\ i_n \end{bmatrix} \quad (4.1)$$

จากสมการที่ (4.1) กระแสที่ขา Z มีค่าเท่ากับความแตกต่างระหว่างกระแสอินพุตขา P และขา N ซึ่งขา P และ N นี้ถูกพิจารณาเป็นกราวด์เนื่องจากมีความต้านทานที่ขาทั้งสองมีค่าต่ำมาก แรงดันที่ขาเอาต์พุต W มีค่าตามแรงดันที่ขา Z จากความสัมพันธ์ดังกล่าว เราจะเห็นได้ว่าคุณสมบัติของวงจรขยายตามแรงดันผลต่างกระแสจะขึ้นอยู่กับคุณสมบัติของการถ่ายโอนกระแสและแรงดันเป็นหลัก

4.2 วงจรขยายตามแรงดันผลต่างกระแสที่นำเสนอ

รูปที่ 4.2 แสดงโครงสร้างของวงจรขยายตามแรงดันผลต่างกระแสที่นำเสนอ วงจรประกอบไปด้วยสองส่วนหลักได้แก่ วงจรลบกระแส (Current subtractor) และวงจรตามแรงดัน (Voltage follower, VF) วงจรลบกระแสสร้างจากการนำวงจรสะท้อนกระแสสองวงจร (CM₁ และ CM₂) มาต่ออนุกรมกัน (Cascade) ถ้าอัตราการถ่ายโอนกระแสของวงจรสะท้อนกระแสทั้งสองมีค่าเท่ากับหนึ่งแล้ว กระแสเอาต์พุตของวงจรสะท้อนกระแสชุดที่หนึ่ง ($i_{o(CM1)}$) จะมีค่าเท่ากับกระแสอินพุต i_p และกระแสอินพุตของวงจรสะท้อนกระแสชุดที่สองจะมีค่าเท่ากับ $i_p - i_n$ ดังนั้นกระแสเอาต์พุตของวงจรสะท้อนกระแสชุดที่สอง ($i_{o(CM2)}$) หรือ i_z มีค่าเท่ากับ $i_p - i_n$



รูปที่ 4.2 แผนผังโครงสร้างของวงจรขยายตามแรงดันผลต่างกระแส

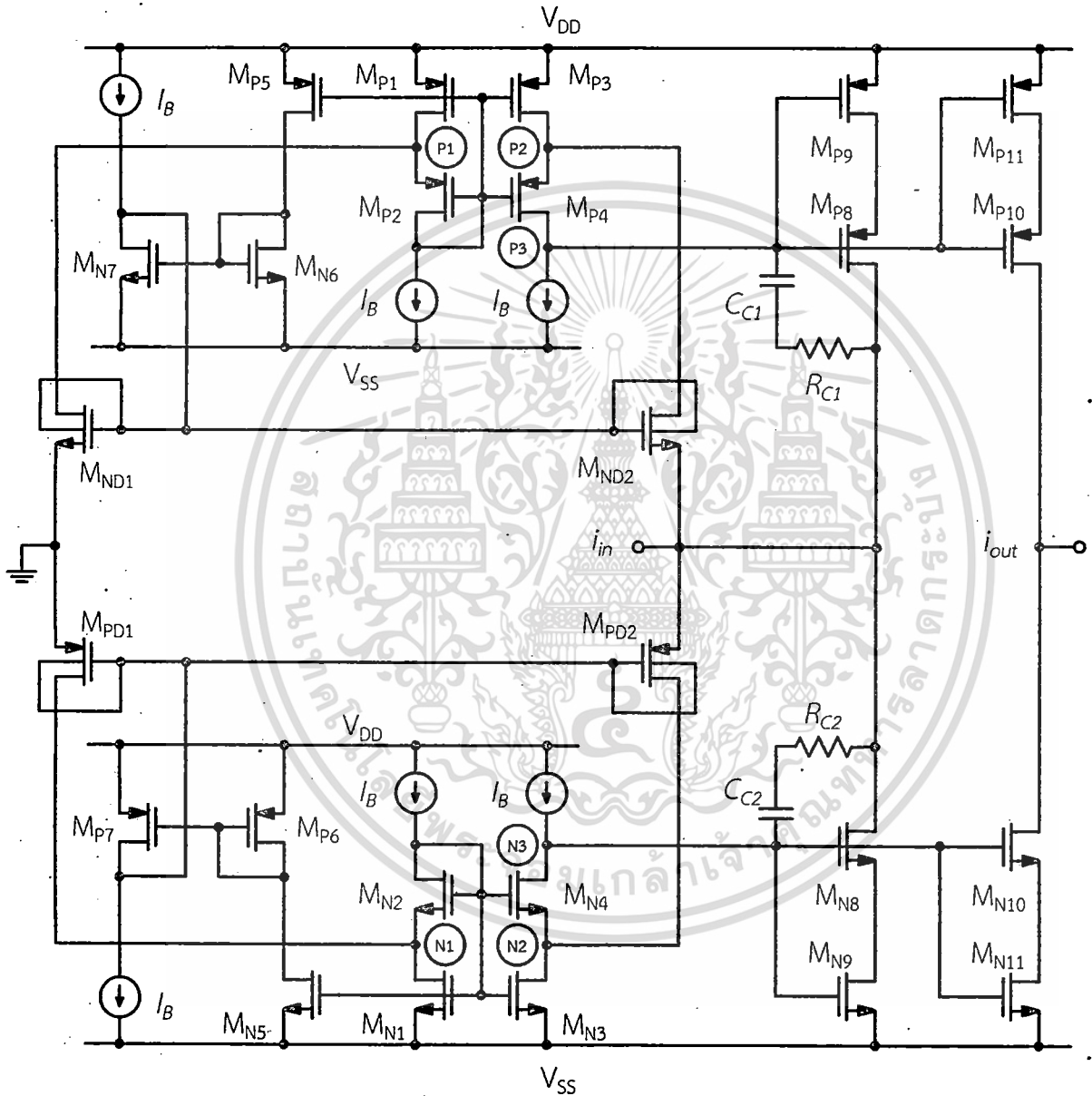
นอกจากนี้แรงดันที่ขา Z ถูกส่งผ่านมาที่ขา W ด้วยวงจรตามแรงดัน ถ้าอัตราการถ่ายโอนแรงดันของวงจรตามแรงดันมีค่าเท่ากับหนึ่งแล้ว แรงดันที่ขา W จะมีค่าเท่ากับแรงดันที่ขา Z

4.2.1 วงจรสะท้อนกระแสคลาสเอบี

วงจรลบกระแสที่นำเสนอก่อสร้างมาจากวงจรสะท้อนกระแสสองชุดต่ออนุกรมกัน คุณสมบัติของวงจรสะท้อนกระแสที่ดีได้แก่ ความต้านทานทางอินพุตควรมีค่าต่ำ ความต้านทานทางเอาต์พุตควรมีค่าสูง

และอัตราการถ่ายโอนกระแสมีค่าเท่ากับหนึ่ง นอกจากนี้วงจรสามารถรับสัญญาณกระแสอินพุตที่มีขนาดใหญ่ทั้งด้านบวกและด้านลบ วงจรสะท้อนกระแสคลาสเอบีที่นำเสนอ [28] ได้แสดงในรูปที่ 4.3

วงจรสะท้อนกระแสที่นำเสนอในวิทยานิพนธ์ฉบับนี้ถูกแสดงไว้ในรูปที่ 4.3 วงจรได้พัฒนามาจากวงจรสะท้อนกระแสคลาสเอบีแบบทั่วไปโดยมีการประยุกต์ใช้ DTMOS M_{ND1} - M_{ND2} และ M_{PD1} - M_{PD2} ประกอบขึ้นเป็นลูปทรานส์ลิเนียร์ (Translinear loop) เพื่อทำการกำหนดแรงดันไบอัสที่ขาอินพุตให้มีค่าเท่ากับศูนย์



รูปที่ 4.3 วงจรสะท้อนกระแสคลาสเอบีที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์ $M_{N1(P1)}-M_{N9(P9)}$ สร้างเป็นวงจรแปลงความแตกต่างของกระแสที่ไหลผ่าน $M_{ND1(PD1)}$ และ $M_{ND2(PD2)}$ ($i_{ND1(PD1)}$ และ $i_{ND2(PD2)}$) ให้เป็นแรงดันแล้วป้อนเข้าสู่ทรานซิสเตอร์ M_{N8} , M_{N9} (M_{P8} , M_{P9}) กลไกที่ต่ออยู่ในลักษณะของการป้อนกลับแบบลบนี้ส่งผลให้ความต้านทานทางด้านอินพุทของวงจรมีค่าต่ำ นอกจากนั้น ขาเกทของ M_{N8} , M_{N9} (M_{P8} , M_{P9}) ยังต่อกับขาเกทของ M_{N10} , M_{N11} (M_{P10} , M_{P11}) ซึ่งต่อแบบคอมโพสิตทรานซิสเตอร์ (Composite transistor) ส่งผลให้ความต้านทานที่ขาเอาต์พุทของวงจรสะท้อนกระแสมีค่าสูง ถ้าขนาดของทรานซิสเตอร์ M_{N8} (p_8) มีค่าเท่ากับขนาดของ M_{N10} (p_{10}) และ M_{N9} (p_9) มีค่าเท่ากับขนาดของ M_{N11} (p_{11}) แล้ว อัตราการถ่ายโอนกระแสของวงจรจะมีค่าเท่ากับหนึ่ง

การทำงานของวงจรสะท้อนกระแสสามารถอธิบายได้โดยการแยกพิจารณาการทำงานออกเป็นสองช่วงได้แก่ ช่วงสภาวะรับกระแส และ ช่วงสภาวะจ่ายกระแส ดังนี้

4.2.1.1 ช่วงสภาวะรับกระแส

เมื่อสัญญาณกระแสอินพุทไหลเข้าสู่วงจร แรงดันเกท-ซอร์สของ M_{PD2} (M_{ND2}) จะมีค่าเพิ่มขึ้น (ลดลง) ทำให้กระแสที่ไหลเข้าสู่ที่โหนด N2 (P2) มีค่าเพิ่มขึ้น ผลต่างของกระแสที่โหนด N1 (P1) และ N2 (P2) จะไหลไปที่โหนด N3 (P3) ซึ่งต่ออยู่กับขาเกทของคอมโพสิตทรานซิสเตอร์ M_{N8-9} (M_{N8-9}) ผลต่างกระแสที่โหนด N3 (P3) ถูกแปลงให้เป็นแรงดันที่โหนดดังกล่าว ก่อนที่จะถูกขยายด้วยคอมโพสิตทรานซิสเตอร์ซึ่งต่อในลักษณะวงจรขยายซอร์สรวมแล้วถูกป้อนกลับมาที่โหนดอินพุทอีกครั้งหนึ่ง กลไกของการป้อนกลับแบบลบนี้เอง ทำให้ M_{N8-9} (M_{P8-9}) ดึงกระแสอินพุททั้งหมดไหลผ่าน M_{N8-9} (M_{N8-9}) เนื่องจากขาเกทของ M_{N8-9} (M_{N8-9}) ต่อร่วมอยู่กับ M_{N10-11} (M_{P10-11}) จึงทำให้กระแสอินพุทถูกส่งผ่านไปยังเอาต์พุทด้วยอัตราส่วนของขนาดเท่ากับ M_{N10-11} / M_{N8-9} (M_{P10-11} / M_{P8-9})

4.2.1.2 ช่วงสภาวะจ่ายกระแส

เมื่อสัญญาณกระแสอินพุทไหลออกจากวงจร แรงดันเกท-ซอร์สของ M_{PD2} (M_{ND2}) จะมีค่าลดลง (เพิ่มขึ้น) ทำให้กระแสที่ไหลออกจากโหนด N2 (P2) มีค่าเพิ่มขึ้น ผลต่างของกระแสที่โหนด N1 (P1) และ N2 (P2) จะไหลไปที่โหนด N3 (P3) ซึ่งต่ออยู่กับขาเกทของคอมโพสิตทรานซิสเตอร์ M_{N8-9} (M_{N8-9}) ผลต่างกระแสที่โหนด N3 (P3) ถูกแปลงให้เป็นแรงดันที่โหนดดังกล่าว ก่อนที่จะถูกขยายด้วยคอมโพสิตทรานซิสเตอร์ซึ่งต่อในลักษณะวงจรขยายซอร์สรวมแล้วถูกป้อนกลับมาที่โหนดอินพุทอีกครั้งหนึ่ง กลไกของการป้อนกลับแบบลบนี้เอง ทำให้ M_{N8-9} (M_{P8-9}) จ่ายกระแสอินพุททั้งหมดไหลผ่าน M_{N8-9} (M_{N8-9}) เนื่องจากขาเกทของ M_{N8-9} (M_{N8-9}) ต่อร่วมอยู่กับ M_{N10-11} (M_{P10-11}) จึงทำให้กระแสอินพุทถูกส่งผ่านไปยังเอาต์พุทด้วยอัตราส่วนของขนาดเท่ากับ M_{N10-11} / M_{N8-9} (M_{P10-11} / M_{P8-9})

4.2.1.3 อัตราการถ่ายโอนกระแสของวงจร

การวิเคราะห์วงจรเพื่อหาอัตราการถ่ายโอนกระแสของวงจรสามารถทำได้โดยการวิเคราะห์วงจรเสมือนสัญญาณขนาดเล็ก อัตราขยายของวงจรสะท้อนกระแสมีค่าเท่ากับ (ดูภาคผนวก ข.)

$$\frac{i_{out}}{i_{in}} \cong \frac{1}{1 + \frac{sC_{DT}R_{amp}(1+sW_1)}{2A}} = \frac{1}{1 + \frac{sC_{DT}R_{amp}}{2A} + \frac{s^2C_{DT}R_{amp}W_1}{2A}} \quad (4.2)$$

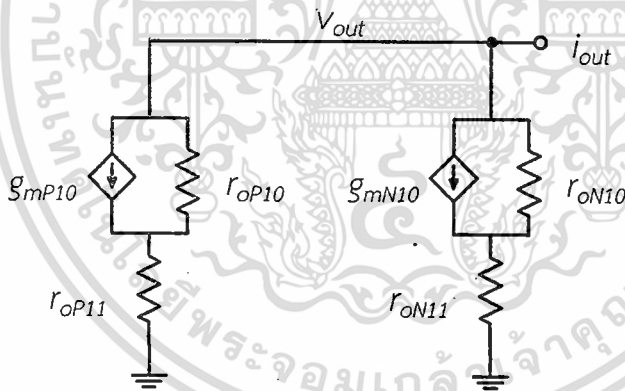
ความต้านทานทางอินพุทของวงจรมีค่าเท่ากับ (ดูภาคผนวก ค.)

$$R_{in} = \frac{1}{G_{mPD2} (g_{mN9}g_{mN4}r_{oN4}r_{oN3} + 1) + G_{mND2} (g_{mP9}g_{mP4}r_{oP4}r_{oP3} + 1)} \quad (4.3)$$

การต่อทรานซิสเตอร์แบบคอมโพสิตช่วยให้ความต้านทานทางเอาต์พุทของวงจรมีค่าเพิ่มขึ้น [12] – [13] เมื่อทำการวิเคราะห์ห้วงจรเสมือนสัญญาณขนาดเล็กในส่วนของภาคเอาต์พุท (M_{P10} - M_{P11} , M_{N10} - M_{N11}) ดังแสดงในรูปที่ 4.4 เราพบว่าความต้านทานทางเอาต์พุทของวงจรมีค่าเท่ากับ

$$R_{OUT} = r_{o,MN10,11} \parallel r_{o,MP10,11} \quad (4.4)$$

โดยที่ $r_{o,MN10,11} = (g_{mN10}r_{oN11}-1)r_{oN10}$ และ $r_{o,MP10,11} = (g_{mP10}r_{oP11}-1)r_{oP10}$

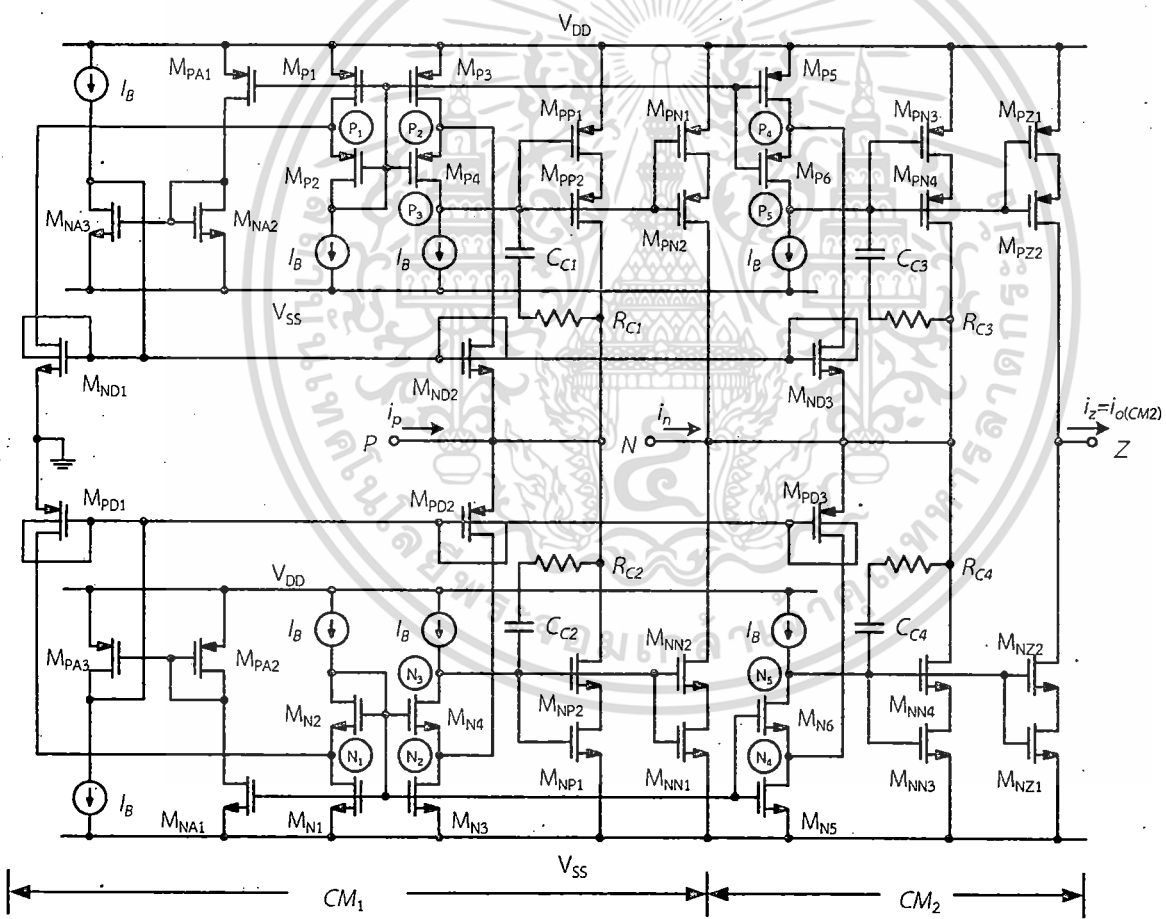


รูปที่ 4.4 วงจรเสมือนสัญญาณขนาดเล็กทางเอาต์พุทของวงจรสะท้อนกระแสที่นำเสนอ

4.2.2 วงจรลบบกระแส

วงจรลบบกระแสสามารถสร้างได้โดยการนำวงจรสะท้อนกระแสสองชุดต่อกันดังแสดงในรูปที่ 4.2 โดยวงจรสะท้อนกระแสชุดที่หนึ่งจะส่งผ่านกระแสอินพุทจากขา P มายังเอาต์พุทที่ต่ออยู่กับขา N ทำให้เกิดการลบบกระแสขึ้นที่โหนดขา N ทำให้ได้กระแสที่เข้าสู่วงจรสะท้อนกระแสชุดที่สองมีค่าเท่ากับ $i_p - i_n$ และสะท้อนออกสู่ขา Z กลายเป็นกระแส i_z

รูปที่ 4.5 คือวงจรลบกระแสที่ถูกสร้างขึ้นจากหลักการดังกล่าว จากรูป M_{P1-4} , M_{N1-4} , M_{ND2} , M_{PD2} , M_{PN1-2} , M_{NN1-2} , M_{PP1-2} และ M_{NP1-2} ประกอบขึ้นเป็นวงจรสะท้อนกระแสชุดที่หนึ่ง (CM_1) ในขณะที่ M_{P5-6} , M_{N5-6} , M_{ND3} , M_{PD3} , M_{PP3-4} , M_{NP3-4} , M_{PZ1-2} และ M_{NZ1-2} ประกอบขึ้นเป็นวงจรสะท้อนกระแสชุดที่สอง (CM_2) การทำงานของวงจรสามารถอธิบายได้ดังนี้ เมื่อสัญญาณกระแสอินพุต i_p ไหลเข้าสู่ (ออกจาก) วงจร แรงดันเกต-ซอร์สของ M_{PD2} (M_{ND2}) จะเพิ่มขึ้น (ลดลง) ทำให้กระแสที่ไหลเข้าสู่ (ออกจาก) โหนด N2 ($P2$) เพิ่มขึ้น (ลดลง) ความแตกต่างของกระแสระหว่างโหนด N1 และ N2 จะทำให้เกิดแรงดันผลต่างที่โหนด N3 ซึ่งต่ออยู่กับขาเกตของคอมโพสิตทรานซิสเตอร์ M_{NP1-2} (M_{PP1-2}) ซึ่งต่อในลักษณะวงจรขยายขอสร่วมแล้วถูกป้อนกลับไปที่โหนดอินพุตอีกครั้งหนึ่ง กลไกของการป้อนกลับแบบลบที่เกิดขึ้นเองทำให้ M_{NP1-2} (M_{PP1-2}) ดิ่ง (จ่าย) กระแสอินพุตทั้งหมดไหลผ่าน M_{NP1-2} (M_{PP1-2}) เนื่องจากขาเกตของ M_{NP1-2} (M_{PP1-2}) ต่อร่วมอยู่กับ M_{NN1-2} (M_{PN1-2}) กระแสอินพุต i_p ถูกส่งผ่านไปยังเอาต์พุตซึ่งต่ออยู่กับอินพุตของขา N ทำให้เกิดการลบกระแสขึ้นที่ขา N เท่ากับ $i_p - i_n$ ผลต่างของกระแสที่ได้จากการลบกันจะไหลเข้าสู่วงจรสะท้อนกระแสชุดที่สองที่ประกอบด้วย M_{NP4-3} และ M_{PP4-3} และสะท้อนออกมาเป็นกระแส i_z โดยผ่านทาง M_{PZ1-2} และ M_{NZ1-2}



รูปที่ 4.5 วงจรลบกระแสที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความต้านทานทางอินพุทของขา P และขา N สามารถหาได้โดยการพิจารณาจากวงจรเสมือน
 ใญ่ขนาดเล็กลงในภาคผนวก ค. มีค่าเท่ากับ

$$r_p = \frac{1}{G_{mPD2} (g_{mNP1} g_{mN4} r_{oN4} r_{oN3} + 1) + G_{mND2} (g_{mPP1} g_{mP4} r_{oP4} r_{oP3} + 1)} \quad (4.5)$$

โดยที่ $G_{mPD2} = g_{mPD2} + g_{mbPD2}$ และ $G_{mND2} = g_{mND2} + g_{mbND2}$

$$r_n = \frac{1}{G_{mPD3} (g_{mNN3} g_{mN6} r_{oN6} r_{oN5} + 1) + G_{mND3} (g_{mPN3} g_{mP6} r_{oP6} r_{oP5} + 1)} \parallel r_{op} \quad (4.6)$$

โดยที่ $G_{mPD3} = g_{mPD3} + g_{mbPD3}$ และ $G_{mND3} = g_{mND3} + g_{mbND3}$ และ $r_{op} = r_{oMNP1,2} \parallel r_{oMPP1,2}$, $r_{oMNP1,2} \cong (g_{mNP2} r_{oNP1} - 1) r_{oNP2}$, $r_{oMPP1,2} = (g_{mPP2} r_{o,PP1} - 1) r_{oPP2}$, $g_{mEffN1} \cong g_{mNN1}$, $g_{mEffP1} \cong g_{mPN1}$, $g_{mEffP2} \cong g_{mPP2}$
 และ $g_{mEffN2} \cong g_{mNP2}$

เนื่องจาก r_{op} มีค่าสูงมาก ดังนั้น r_n สามารถพิจารณาใหม่ได้เท่ากับ

$$r_n \cong \frac{1}{G_{mPD3} (g_{mNN3} g_{mN6} r_{oN6} r_{oN5} + 1) + G_{mND3} (g_{mPN3} g_{mP6} r_{oP6} r_{oP5} + 1)} \quad (4.7)$$

4.2.3 วงจรตามแรงดัน

ในส่วนของวงจรตามแรงดันในรูปที่ 4.2 นั้น วิชยานิพนธ์นี้ได้นำวงจรตามแรงดันที่ได้นำเสนอในบทที่ 3 มาประยุกต์ใช้งานเพื่อสร้างเป็นวงจรในส่วนของขา W และขา Z ซึ่งแสดงได้ดังรูปที่ 4.6 กระแส i_z ที่ได้จาก การลบกักระหว่างกระแส i_p และ i_n จะถูกส่งผ่านออกมาที่ขา Z ซึ่งเป็นจุดที่มีค่าความต้านทานสูงมาก กระแส i_z ที่ไหลผ่านความต้านทานที่ขา Z จะทำให้เกิดเป็นแรงดัน v_z ตกคร่อมความต้านทานที่ขา Z ซึ่งมีค่า $i_z r_z$ โดยที่ r_z มีค่าเท่ากับ $r_{oz} \parallel r_{in(VF)}$ โดยที่ $r_{in(VF)}$ คือความต้านทานทางอินพุทของวงจรตามแรงดัน

เนื่องจากผลของการป้อนกลับแบบบวกส่งผลให้ค่า $r_{in(VF)}$ มีค่าสูงมาก ดังนั้นเราสามารถพิจารณาค่า
 ได้ดังนี้ ของ r_z ให้มีค่าประมาณ r_{oz} ได้ซึ่งมีค่าเท่ากับ

$$r_{oz} \cong r_{oMPZ1,2} \parallel r_{oMNZ1,2} \quad (4.8)$$

โดยที่ $r_{oMNZ1,2} \cong (g_{mNZ2} r_{oNZ1} - 1) r_{oNZ2}$ และ $r_{oMPZ1,2} \cong (g_{mPZ2} r_{o,PZ1} - 1) r_{oPZ2}$

โดยที่ G_n

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การจำลองการทำงาน

การทดสอบประสิทธิภาพของวงจรขยายตามแรงดันผลต่างกระแสที่นำเสนอสามารถทำได้โดยใช้โปรแกรม PSPICE ในการทดสอบ โดยทรานซิสเตอร์ที่ใช้เป็นเทคโนโลยีแบบซีมอสที่มีขนาดเท่ากับ 0.13 ไมโครเมตร ทำงานภายใต้แหล่งจ่ายไฟเลี้ยง V_{DD} และ V_{SS} ที่มีค่าเท่ากับ ± 0.35 โวลต์ กระแสไบอัส (I_B) ของวงจรถูกออกแบบให้มีค่าเท่ากับ 0.8 ไมโครแอมป์ และขนาดของทรานซิสเตอร์ทั้งหมดที่ใช้ในการจำลองการทำงานได้ถูกแสดงในตารางที่ 4.1

ตารางที่ 4.1 ขนาดของทรานซิสเตอร์สำหรับวงจรที่นำเสนอ

ทรานซิสเตอร์	อัตราส่วน (W/L) (ไมโครเมตร)
$M_{P1}, M_{P3}, M_{P5}, M_{PA1}$	2/0.2
$M_{N1}, M_{N3}, M_{N5}, M_{NA1}$	1/0.2
$M_{PB1}, M_{PB3}, M_{PB5}, M_{PB6}, M_{NB1}, M_{NB3}, M_{NB5}, M_{NB6}$	3/0.2
$M_{P2}, M_{P4}, M_{P6},$	65/0.2
M_{N2}, M_{N4}, M_{N6}	40/0.2
M_{PB2}, M_{PB4}	80/0.2
M_{NB2}, M_{NB4}	32/0.2
$M_{PN1}, M_{PP1}, M_{PP3}, M_{PZ1}$	12/0.2
$M_{PN2}, M_{PP2}, M_{PP4}, M_{PZ2}$	230/0.15
$M_{NN1}, M_{NP1}, M_{NP3}, M_{NZ1}$	3/0.2
$M_{NN2}, M_{NP2}, M_{NP4}, M_{NZ2}$	120/0.15
M_{PA2}, M_{PA3}	0.55/0.2
M_{NA2}, M_{NA3}	0.45/0.2
M_{PB7}, M_{PB8}	6/0.8
M_{NB7}, M_{NB8}	95/0.8
M_{PB9}, M_{PB10}	0.44/0.13
M_{NB9}, M_{NB10}	0.4/0.13
M_{PO}	210/0.15
M_{NO}	35/0.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์	อัตราส่วน (W/L) (ไมโครเมตร)
$M_{PD1}, M_{PD2}, M_{PD3}$	250/0.2
$M_{ND1}, M_{ND2}, M_{ND3}$	190/0.2
M_{PD4}, M_{PD5}	330/0.35
M_{ND4}, M_{PD5}	290/0.35

4.3.1 ผลการจำลองการทำงานของวงจรถูกนำเสนอ

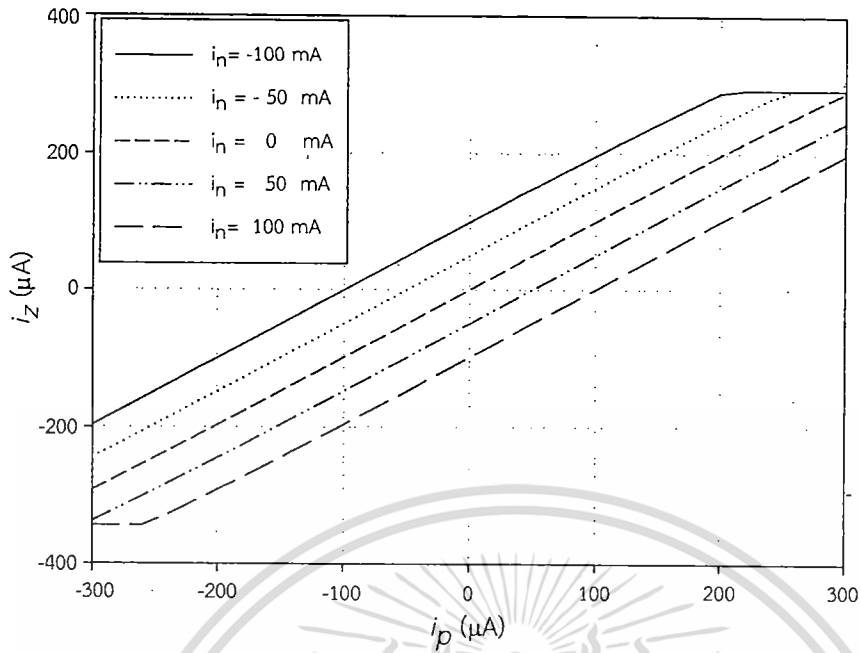
รูปที่ 4.7 แสดงคุณลักษณะการส่งผ่านกระแสที่ขา Z (i_z) ต่อกระแสอินพุต i_p เมื่อป้อนกระแส i_n ที่มีค่าต่างๆกัน จากรูปเราพบว่ากระแสเอาต์พุต i_z สามารถถูกส่งผ่านได้อย่างแม่นยำและให้ช่วงการสวิงของกระแสที่กว้าง (± 300 ไมโครแอมป์) เราสามารถเพิ่มช่วงสวิงของกระแสอินพุตและเอาต์พุตได้โดยการปรับขนาดทรานซิสเตอร์ $M_{PN1-2}, M_{NN1-2}, M_{NP1-2}, M_{PP1-2}, M_{NP3-4}$ และ M_{PP3-4} แต่การเพิ่มขนาดของทรานซิสเตอร์ดังกล่าวส่งผลทำให้แบนด์วิดท์ของวงจรมีค่าลดลงและกำลังงานสูญเสียของวงจรมีค่าเพิ่มขึ้น รูปที่ 4.8 แสดงคุณลักษณะของการส่งผ่านแรงดันจากขา Z ไปยังขา W เราพบว่าวงจรถูกส่งผ่านสัญญาณได้แม่นยำและให้ช่วงการสวิงทางเอาต์พุตที่กว้าง (± 0.25 โวลต์) รูปที่ 4.9 และรูปที่ 4.10 แสดงการตอบสนองของความถี่ของการส่งผ่านกระแส $i_z / (i_p - i_n)$ และการส่งผ่านแรงดัน v_w / v_z ตามลำดับ จากรูปเราพบว่าอัตราการส่งผ่านกระแส $i_z / (i_p - i_n)$ และ v_w / v_z มีค่าเท่ากับ 0.996 และ 0.992 ด้วยแบนด์วิดท์เท่ากับ 191 เมกกะเฮิรตซ์ และ 153 เมกกะเฮิรตซ์ ตามลำดับ

รูปที่ 4.11 แสดงการตอบสนองความถี่ของการส่งผ่านแรงดันต่อความแตกต่างของกระแสอินพุต $v_w / (i_p - i_n)$ จากรูปพบว่าวงจรมีอัตราขยายความต้านทานเท่ากับ 100 เดซิเบลและมีแบนด์วิดท์เท่ากับ 3 เมกกะเฮิรตซ์ รูปที่ 4.12 แสดงความต้านทานที่ขา P และขา N ของวงจรถูกนำเสนอ เนื่องจากกลไกของการป้อนกลับแบบลบในวงจรถูกนำเสนอทำให้ค่าความต้านทานที่ขา P และขา N มีค่าเท่ากับ 25.5 โอห์ม และ 26.2 โอห์ม ตามลำดับ จะเห็นว่าเมื่อความถี่สูงขึ้นค่าความต้านทานทางอินพุตมีค่าสูงขึ้นเป็นผลมาจากการดีเลย์ของสัญญาณจากกลไกการป้อนกลับที่ความถี่สูงทำให้เกิดการเลื่อนเฟสของสัญญาณป้อนกลับส่งผลให้เกิดการหักล้างของสัญญาณที่ไม่สมบูรณ์ รูปที่ 4.13 และรูปที่ 4.14 แสดงความต้านทานที่ขา Z และ W ตามลำดับ จากรูปพบว่าความต้านทานที่ขา Z และ W มีค่าเท่ากับ 103.9 กิโลโอห์ม และ 2.6 โอห์ม ตามลำดับ และที่ภายใต้ภาวะสงบนิ่งพบว่ากำลังงานสูญเสียของวงจรมีค่าเท่ากับ 364 ไมโครวัตต์ จะเห็นว่าถ้าเราลดขนาดของทรานซิสเตอร์ $M_{PN1-2}, M_{NN1-2}, M_{NP1-2}, M_{PP1-2}, M_{NP3-4}, M_{PP3-4}, M_{PO}$ และ M_{NO} แล้ว กำลังงานสูญเสียของวงจรถูกนำเสนอจะลดลงแต่ส่งผลทำให้อัตราการส่งผ่านกระแสและแรงดันของวงจรถูกนำเสนอ

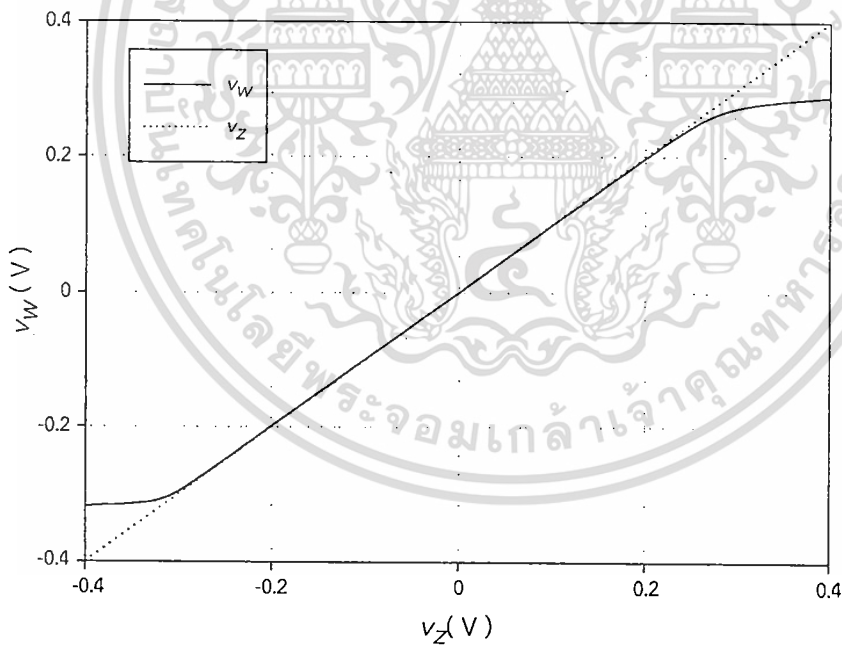
ตารางที่ 4.2 แสดงการเปรียบเทียบผลของวงจรถูกนำเสนอกับวงจรถูกนำเสนอที่ได้มีการนำเสนอมาก่อน จากผลการเปรียบเทียบพบว่าอัตราการส่งผ่านแรงดันและกระแสของวงจรถูกนำเสนอมีความแม่นยำสูงกว่าวงจรถูกนำเสนอมาก่อน กำลังงานสูญเสียของวงจรมีค่าต่ำเนื่องจากผลของการใช้กระแสสงบนิ่งและแรงดันไฟเลี้ยงที่ต่ำ การตอบสนองความถี่ของวงจรถูกนำเสนอในการส่งผ่านแรงดันมีค่าต่ำกว่า [20], [21] และ [22] เนื่องจากวงจรถูกนำเสนอมีโครงสร้างที่ซับซ้อนและใช้ทรานซิสเตอร์ที่มากกว่าวงจรถูกนำเสนอมาก่อน ค่าความต้านทานทางอินพุตและเอาต์พุตของวงจรมีค่าต่ำกว่าวงจรถูกนำเสนอมาก่อน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

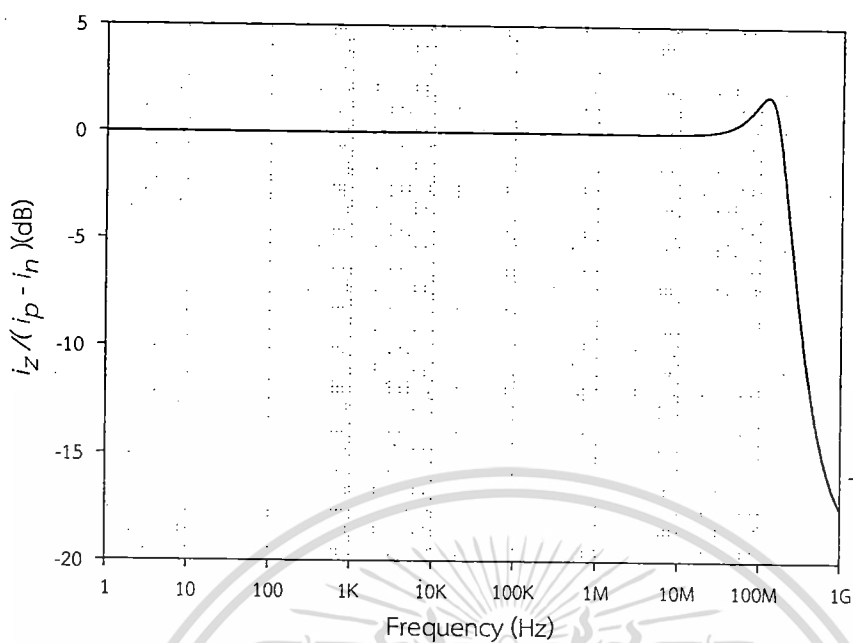


รูปที่ 4.7 คุณลักษณะการส่งผ่านกระแส ($i_z / i_p - i_n$)

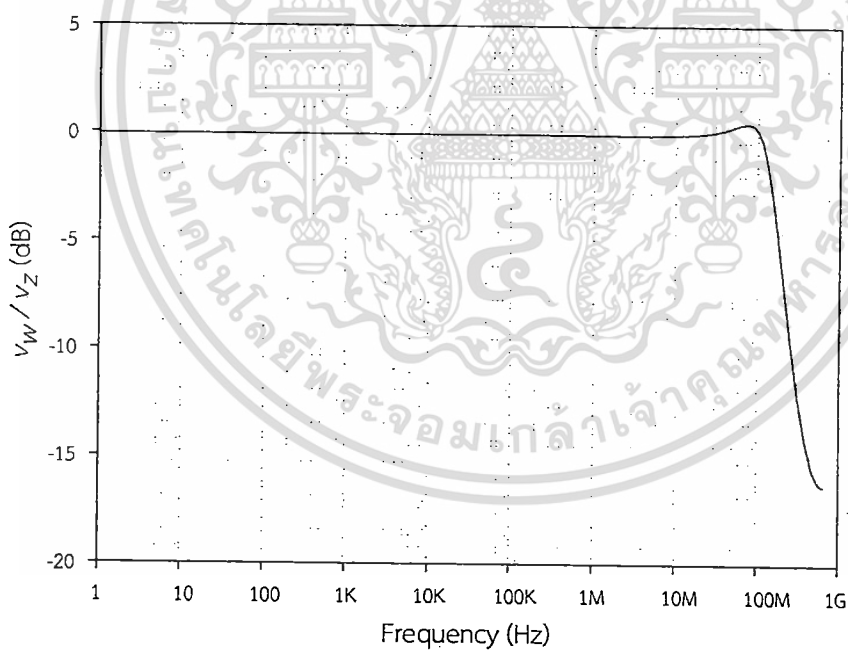


รูปที่ 4.8 คุณลักษณะของการส่งผ่านแรงดัน v_w / v_z เมื่อต่อโหลดความต้านทาน 500 โอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

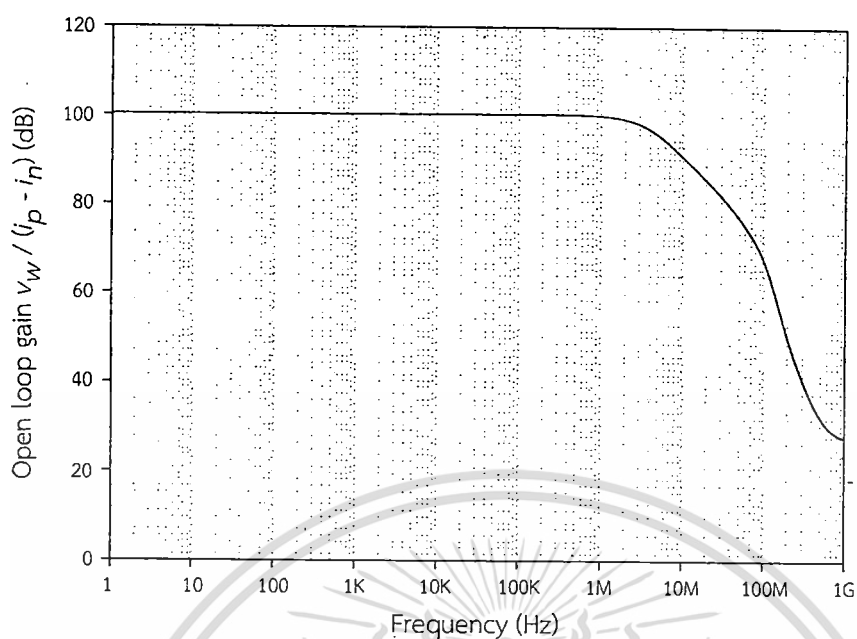


รูปที่ 4.9 การตอบสนองความถี่ของการส่งผ่านกระแส

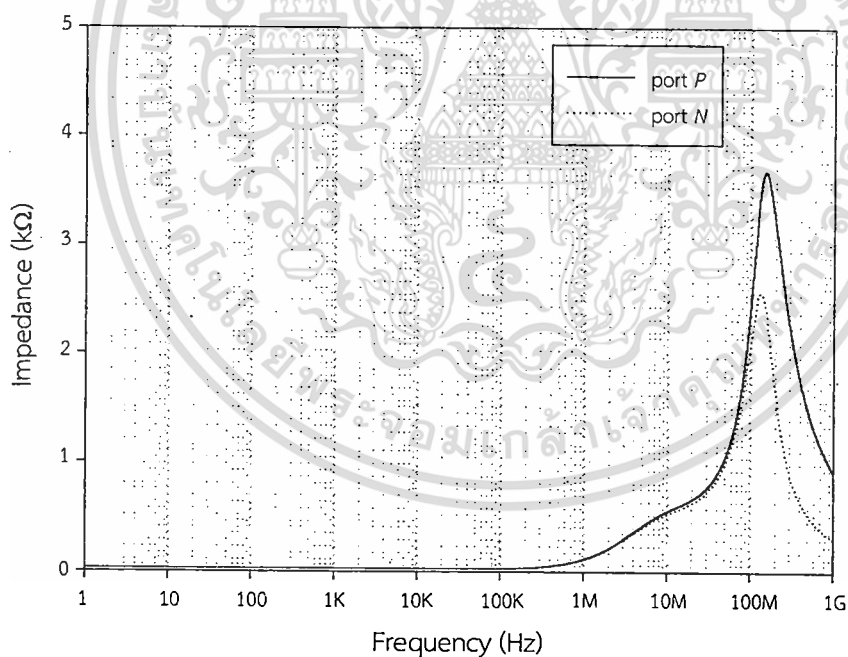


รูปที่ 4.10 การตอบสนองความถี่ของการส่งผ่านแรงดัน v_w / v_z เมื่อต่อโหลดความต้านทาน 500 โอห์ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

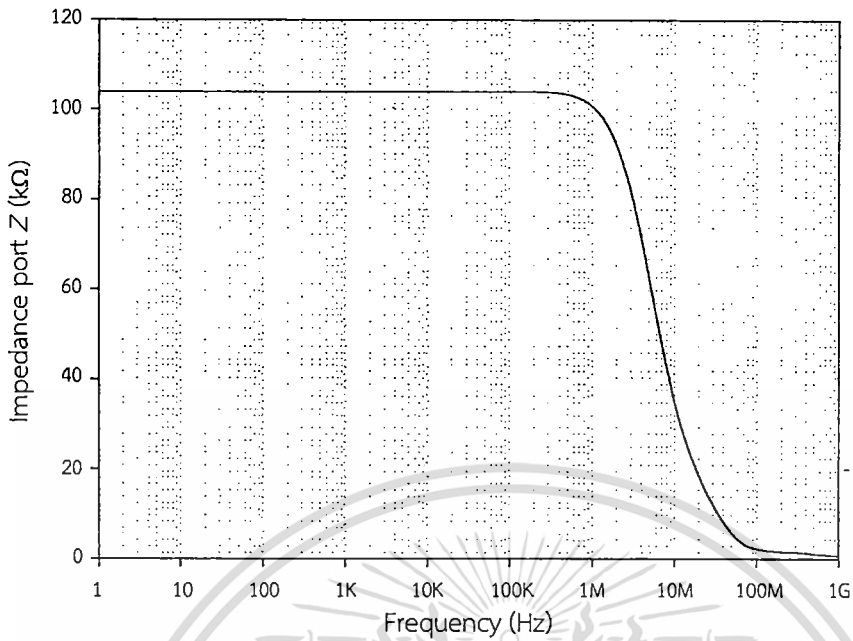


รูปที่ 4.11 การตอบสนองความถี่ของการส่งผ่านแรงดันต่อความแตกต่างของกระแสอินพุท

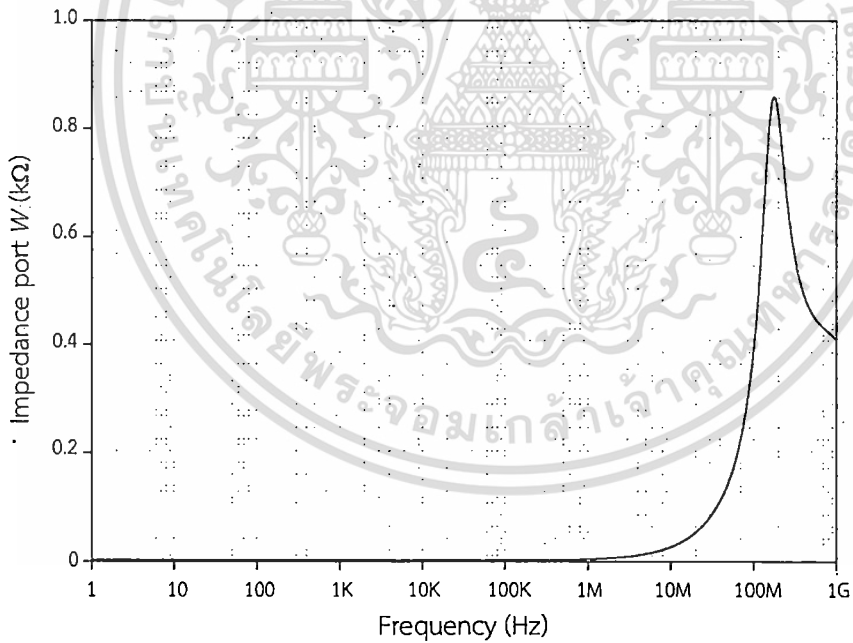


รูปที่ 4.12 ความต้านทานที่ขา P และขา N

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 ความต้านทานที่ขา Z



รูปที่ 4.14 ความต้านทานที่ขา W

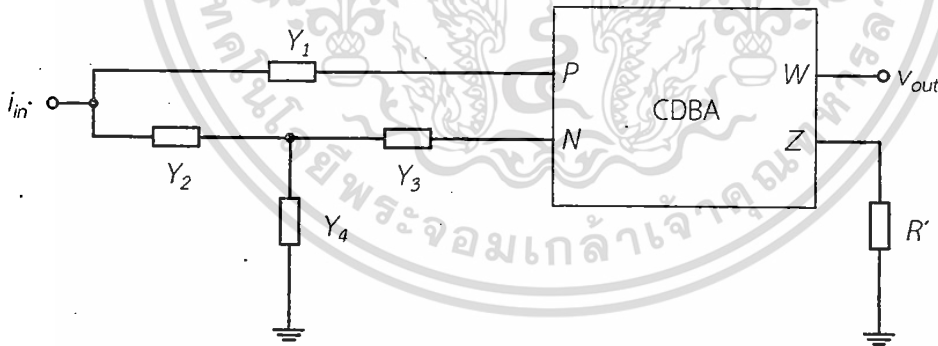
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.2 ความสามารถโดยรวมของวงจรที่นำเสนอเปรียบเทียบกับวงจรที่มีการนำเสนอมาก่อน

พารามิเตอร์	[20]	[21]	[22]	วงจรที่นำเสนอ
เทคโนโลยีทรานซิสเตอร์	0.18 μm	0.18 μm	0.18 μm	0.13 μm
แรงดันไฟเลี้ยง	1.5 V	1.5 V	1.2 V	0.7 V
อัตราส่วนการส่งผ่านกระแส (i_z/i_p-i_n) / แบนด์วิดธ์	0.978 / 90 MHz	0.965 / 151 MHz	0.981 / 25 MHz	0.996 / 191 MHz
อัตราส่วนการส่งผ่านแรงดัน (v_w/v_z) / แบนด์วิดธ์	0.970 / 1.2 GHz	0.961 / 158 MHz	0.978 / 474 MHz	0.992 / 153 MHz
ความต้านทานขา P [Ω]	50	47	56.4	25.5
ความต้านทานขา N [Ω]	50	47	56.4	26.2
ความต้านทานขา Z [Ω]	102K	184K	157K	103.9K
ความต้านทานขา W [Ω]	158	25	270	2.6
กำลังงานสูญเสีย	1.2 mW	754 μW	565.25 μW	364 μW

4.4 การประยุกต์ใช้งาน

วงจรขยายตามแรงดันผลต่างกระแสที่นำเสนอได้ถูกนำมาต่อประยุกต์ใช้งานเป็นวงจรกรองความถี่โหมดกระแส (Current-mode filter) ที่ได้มีการนำเสนอใน [25] ลักษณะของวงจรกรองความถี่ที่นำเสนอนี้ประกอบด้วยโครงข่ายที่มีตัวต้านทานและตัวเก็บประจุต่อร่วมกันกับวงจรขยายตามแรงดันผลต่างกระแสดังแสดงในรูปที่ 4.15



รูปที่ 4.15 โครงสร้างวงจรกรองความถี่ [25]

จากวงจรเราสามารถเขียนคุณลักษณะการส่งผ่านอัตราขยายความต้านทานได้ดังสมการที่ (4.10)

$$\frac{V_{out}}{i_{in}} = \frac{R'Y_1(Y_2 + Y_3 + Y_4) - Y_2Y_3}{Y_1(Y_2 + Y_3 + Y_4) + Y_2(Y_3 + Y_4)} \quad (4.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการเราจะเห็นว่า ถ้าความต้านทานที่ขา z มีค่ามากกว่า R' แล้ว ($R_z \gg R'$) อัตราขยายของวงจรจะมีค่าเท่ากับ R' จากโครงข่ายของวงจรเราสามารถนำมาประยุกต์เป็นวงจรกรองความถี่แบบต่างๆ ได้ดังนี้

4.4.1 วงจรกรองความถี่ต่ำผ่าน (Low pass filter: LPF)

จากสมการที่ (4.10) ถ้าออกแบบให้ $Y_1 = G_1$, $Y_2 = sC_2$, $Y_3 = G_3$, $Y_4 = sC_4$ และให้ $G_1(C_2+C_4) = G_1C_2$ สมการความสัมพันธ์ระหว่างกระแสอินพุตและแรงดันเอาต์พุต ความถี่คัทออฟ (ω_0) และค่า Q วงจรจะมีค่าเท่ากับ

$$\frac{v_{out}(s)}{i_{in}(s)} = \frac{G_1 G_3}{C_2 C_4 s^2 + 2G_3 C_2 s + G_1 G_3} R' \quad (4.11)$$

$$\omega_0 = \sqrt{\frac{G_1 G_3}{C_2 C_4}} \quad (4.12)$$

$$Q = \frac{1}{2} \sqrt{\frac{G_1 C_4}{G_3 C_2}} \quad (4.13)$$

4.4.2 วงจรกรองความถี่สูงผ่าน (High pass filter: HPF)

จากสมการที่ (4.10) ถ้าออกแบบให้ $Y_1 = sC_1$, $Y_2 = G_2$, $Y_3 = sC_3$, $Y_4 = G_4$ และให้ $C_1(G_2+G_4) = G_2C_3$ สมการความสัมพันธ์ระหว่างกระแสอินพุตและแรงดันเอาต์พุต ความถี่คัทออฟ (ω_0) และค่า Q วงจรจะมีค่าเท่ากับ

$$\frac{v_{out}(s)}{i_{in}(s)} = \frac{C_1 C_3 s^2}{C_1 C_3 s^2 + 2G_2 C_3 s + G_2 G_4} R' \quad (4.14)$$

$$\omega_0 = \sqrt{\frac{G_2 G_4}{C_1 C_3}} \quad (4.15)$$

$$Q = \frac{1}{2} \sqrt{\frac{G_4 C_1}{G_2 C_3}} \quad (4.16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.3 วงจรกรองแถบความถี่ผ่าน (Band pass filter: BPF)

จากสมการที่ (4.10) ถ้าออกแบบให้ $Y_1 = [G_1^{-1} + sC_1^{-1}]^{-1}$, $Y_2 = G_2 + sC_2$, $Y_3 = 0$, $Y_4 = \infty$ สมการความสัมพันธ์ระหว่างกระแสอินพุตและแรงดันเอาต์พุต ความถี่คัทออฟ (ω_0) และค่า Q วงจรจะมีค่าเท่ากับ

$$\frac{v_{out}(s)}{i_{in}(s)} = \frac{G_1 C_1 s}{C_1 C_2 s^2 + (G_1 C_1 + G_1 C_2 + G_2 C_1) s + G_1 G_2} R' \quad (4.17)$$

$$\omega_0 = \sqrt{\frac{G_1 G_2}{C_1 C_2}} \quad (4.18)$$

$$Q = \frac{\sqrt{G_1 G_2 C_1 C_2}}{(G_1 + G_2) C_1 + G_1 C_2} \quad (4.19)$$

4.4.4 วงจรกรองตัดแถบความถี่ (Band reject filter: BRF)

จากสมการที่ (4.10) ถ้าออกแบบให้ $Y_1 = G_1 + sC_1$, $Y_2 = [G_2^{-1} + sC_2^{-1}]^{-1}$, $Y_3 = \infty$, $Y_4 = 0$ และกำหนดให้ $G_1 C_2 + G_2 C_1 = G_2 C_2$ แล้ว สมการความสัมพันธ์ระหว่างกระแสอินพุตและแรงดันเอาต์พุต ความถี่คัทออฟ (ω_0) และ Q แพคเตอร์ ของวงจรจะมีค่าเท่ากับ

$$\frac{v_{out}(s)}{i_{in}(s)} = \frac{C_1 C_2 s^2 + G_1 G_2}{C_1 C_2 s^2 + 2G_2 C_2 s + G_1 G_2} R' \quad (4.20)$$

$$\omega_0 = \sqrt{\frac{G_1 G_2}{C_1 C_2}} \quad (4.21)$$

$$Q = \frac{1}{2} \sqrt{\frac{G_1 C_1}{G_2 C_2}} \quad (4.22)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4.5 การจำลองการทำงาน

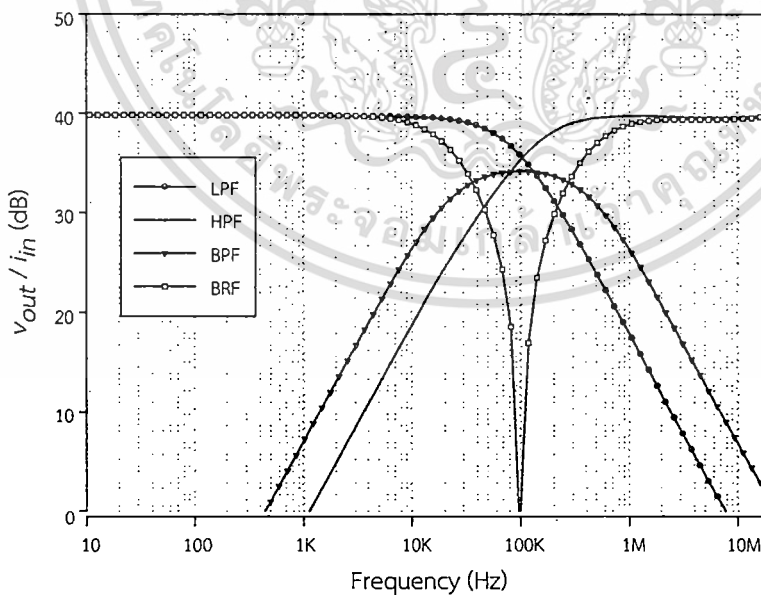
โปรแกรม PSPICE ถูกใช้เพื่อทดสอบประสิทธิภาพของวงจรกรองความถี่ในโหมดกระแสแบบต่างๆ ที่ใช้วงจรขยายตามแรงดันผลต่างกระแสที่นำเสนอจะใช้ เทคโนโลยีที่เป็นแบบซิมอสที่มีขนาดเท่ากับ 0.13 ไมโครเมตรภายใต้แหล่งจ่ายไฟเลี้ยง V_{DD} และ V_{SS} เท่ากับ ± 0.35 โวลต์ กระแสไบอัส (I_B) ของวงจรมีค่าเท่ากับ 0.8 ไมโครแอมป์ และตัวต้านทาน R' เท่ากับ 100 โอห์ม ความถี่คัทออฟเท่ากับ 100 กิโลเฮิรตซ์ ค่าอุปกรณ์ที่ใช้ในโครงข่ายของวงจรกรองความถี่กำหนดไว้ในตารางที่ 4.3

ตารางที่ 4.3 ค่าอุปกรณ์ที่ใช้ในการสร้างวงจรกรองความถี่แบบต่างๆ

รูปแบบวงจรกรองความถี่	Y1	Y2	Y3	Y4
วงจรกรองความถี่ต่ำผ่าน (LPF)	$R = 30 \text{ k}\Omega$	$C = 65 \text{ pF}$	$R = 10 \text{ k}\Omega$	$C = 13 \text{ nF}$
วงจรกรองความถี่สูงผ่าน (HPF)	$C = 36 \text{ pF}$	$R = 40 \text{ k}\Omega$	$C = 0.18 \text{ nF}$	$R = 20 \text{ k}\Omega$
วงจรกรองแถบความถี่ผ่าน (BPF)	$R = 20 \text{ k}\Omega,$ $C = 73.5 \text{ pF}$	$R = 50 \text{ k}\Omega,$ $C = 23 \text{ pF}$	-	-
วงจรกรองตัดแถบความถี่ (BRF)	$R = 40 \text{ k}\Omega,$ $C = 23 \text{ pF}$	$R = 30 \text{ k}\Omega,$ $C = 92 \text{ pF}$	-	-

4.4.6 ผลการจำลองการทำงานของวงจรที่นำเสนอ

รูปที่ 4.16 แสดงผลการทำงานของวงจรกรองถี่แบบต่างๆที่สร้างจากวงจรที่นำเสนอ จากรูปพบว่า อัตราการขยายของวงจรในช่วงความถี่ที่ผ่านมีค่าใกล้เคียง 40 เดซิเบล (dB) และสามารถกรองความถี่ในรูปแบบต่างๆได้ตามที่ออกแบบ



รูปที่ 4.16 ผลจำลองการทำงานของวงจรเมื่อสร้างเป็นวงจรกรองความถี่แบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 บทสรุป

วงจรรขยายตามแรงดันผลต่างกระแส (Current Differencing Buffered Amplifier: CDBA) เป็น วงจรประมวลผลในโหมดกระแสที่มีความสำคัญและมีการประยุกต์ใช้งานมากวงจรมีหนึ่ง คุณสมบัติที่โดดเด่น ของวงจรรขยายตามแรงดันผลต่างกระแสได้แก่ วงจรได้รับผลกระทบจากความจุไฟฟ้าแฝงไม่มากทำให้สามารถ ทำงานได้ที่ความถี่สูง จึงสามารถนำไปประยุกต์ใช้งานได้หลากหลายเช่น วงจรกรองความถี่แบบโหมดกระแส เป็นต้น

ในบทนี้ได้นำเสนอการออกแบบวงจรรขยายตามแรงดันผลต่างกระแสที่สามารถทำงานได้ที่ไฟเลี้ยงต่ำ โครงสร้างของวงจรประกอบด้วยสองส่วนหลักได้แก่ วงจรลบกระแสและวงจรมตามแรงดัน วงจรลบกระแสสร้างขึ้นจากการนำวงจรสะท้อนกระแสสองวงจรมาต่ออนุกรมกัน และวงจรมตามแรงดันนั้นได้นำวงจรมตามแรงดันที่ ได้ออกแบบไว้ในบทที่แล้วมาประยุกต์ใช้งาน จากการทดสอบประสิทธิภาพของวงจรที่นำเสนอพบว่าวงจรมให้ ช่วงการสวิงของสัญญาณกระแสอินพุทและแรงดันเอาต์พุทที่กว้าง วงจรมีแบนด์วิดธ์สูง ความต้านทานของขา อินพุทและเอาต์พุทที่ต่ำ

วงจรมที่นำเสนอได้ถูกนำไปประยุกต์ใช้ในการออกแบบวงจรมกรองความถี่แบบโหมดกระแส โดยสร้าง เป็นวงจรมกรองความถี่ต่ำผ่าน วงจรมกรองความถี่สูงผ่าน วงจรมกรองแถบความถี่ผ่าน และวงจรมกรองตัดแถบ ความถี่ จากการทดสอบการทำงานพบว่าความถี่คัทออฟและอัตราขยายของวงจรมมีค่าใกล้เคียงกับที่ออกแบบ ไว้ มีความสามารถในการกรองความถี่ที่ดีและสามารถปรับอัตราขยายได้



บทที่ 5

สรุปผลการวิจัย และข้อเสนอแนะ

5.1 สรุปผลการวิจัย

วิทยานิพนธ์ฉบับนี้ได้นำเสนอวงจรตามแรงดันที่ใช้ไฟเลี้ยงต่ำคลาสิกส์และการประยุกต์ใช้งานโดยสร้างเป็นวงจรขยายตามแรงดันผลต่างกระแสคลาสิกส์ (Class AB Current Differencing Buffered Amplifier) และการนำวงจรขยายตามแรงดันผลต่างกระแสมาสร้างเป็นวงจรรองความถี่ในโหมดกระแสแบบต่างๆ

วงจรตามแรงดันที่นำเสนอถูกพัฒนาจากวงจรตามแรงดันแบบพื้นฐานซึ่งมีโครงสร้างที่ง่ายไม่ซับซ้อน อย่างไรก็ตามเนื่องจากวงจรตามแรงดันแบบพื้นฐานมีการใช้ไฟเลี้ยงที่ค่อนข้างสูง ($2V_T + 4V_{ds,sat}$) ทำให้วงจรไม่สามารถทำงานได้ที่ไฟเลี้ยงต่ำกว่า 1 โวลต์ ผู้วิจัยได้นำเสนอวงจรตามแรงดันที่ประยุกต์ใช้ทรานซิสเตอร์แบบ DTMOS และวงจรเพิ่มเติมบางส่วนเพื่อให้วงจรตามแรงดันที่สามารถทำงานที่ไฟเลี้ยงต่ำได้ (0.7 โวลต์) จากผลการจำลองการทำงานพบว่าวงจรมีความสามารถในการส่งผ่านแรงดันอย่างแม่นยำและสามารถขับโหลดได้ดี มีช่วงการสวิงของสัญญาณทางอินพุตและเอาต์พุตกว้างเนื่องจากการสลับการทำงานระหว่างวงจรชุดบนและชุดล่างซึ่งเป็นผลมาจากคุณสมบัติของการเปลี่ยนแปลงค่าแรงดันขีดเริ่มด้วยกลไกการทำงาน ของ DTMOS วงจรมีความสามารถตอบสนองความถี่ได้ดี นอกจากนี้วงจรมีการทำงานในแบบคลาสิกส์มีการใช้กระแสลบที่มีค่าน้อยทำให้มีกำลังงานสูญเสียต่ำ

วงจรที่สองเป็นการนำวงจรตามแรงดันที่นำเสนอมาสร้างเป็นวงจรขยายตามแรงดันผลต่างกระแส โดยวงจรจะประกอบไปด้วยสองส่วนหลักได้แก่ วงจรลบกระแสและวงจรตามแรงดัน ในส่วนของวงจรลบกระแส นั้นถูกสร้างขึ้นจากการนำวงจรสะท้อนกระแสคลาสิกส์สองวงจรมาต่ออนุกรมกัน แรงดันที่เกิดจากผลของความแตกต่างของกระแสจะถูกส่งไปยังเอาต์พุตของวงจรโดยผ่านวงจรตามแรงดันที่นำเสนอ จากผลการจำลองการทำงานพบว่าวงจรที่ออกแบบมีคุณลักษณะในการส่งผ่านกระแสและแรงดันที่ดีมีความแม่นยำสูง ความต้านทานที่ขา P , N และ W มีค่าต่ำด้วยกลไกของการป้อนกลับแบบลบที่ขา P , N และ W และความต้านทานที่ขา Z มีค่าสูง วงจรมีช่วงการตอบสนองความถี่ที่กว้างและกำลังงานสูญเสียต่ำ

วงจรขยายตามแรงดันผลต่างกระแสที่นำเสนอได้นำมาประยุกต์เป็นวงจรรองความถี่ในโหมดกระแส ประกอบด้วยตัวต้านทานและตัวเก็บประจุที่ต่อร่วมกันเป็นโครงข่าย เพื่อประยุกต์เป็นวงจรรองความถี่ต่ำผ่าน วงจรรองความถี่สูงผ่าน วงจรกรองแถบความถี่ และวงจรกรองตัดแถบความถี่ ผลจากการทดสอบการทำงานพบว่า วงจรสามารถรองความถี่ได้ดีตามที่ออกแบบไว้ และสามารถปรับอัตราขยายของวงจรได้

จากการวิจัยจะเห็นว่าวงจรตามแรงดันที่ออกแบบนั้นให้ประสิทธิภาพการทำงานที่ดีสามารถทำงานได้ที่ไฟเลี้ยงต่ำ วงจรที่ได้สามารถนำไปสร้างเป็นวงจรที่ทำงานในการประมวลผลสัญญาณในโหมดกระแสเช่น วงจรขยายตามแรงดันผลต่างกระแสที่นำเสนอและพัฒนาไปประยุกต์ใช้เป็นวงจรรองความถี่ในโหมดกระแส

5.2 ข้อเสนอแนะและแนวทางการพัฒนา

ในการออกแบบวงจรตามแรงดันเพื่อให้สามารถทำงานได้ที่ไฟเลี้ยงต่ำจำเป็นต้องประยุกต์ใช้เทคนิคการออกแบบวงจรและโครงสร้างที่เหมาะสมเช่น การใช้ DTMOS ทรานซิสเตอร์ การต่อวงจรแบบคอมโพสิต ทรานซิสเตอร์ เป็นต้น นอกจากนี้การประมวลผลสัญญาณในโหมดกระแสก็เป็นอีกหนึ่งแนวทางที่เหมาะสมกับการออกแบบวงจรสำหรับการทำงานที่ไฟเลี้ยงต่ำเนื่องจากการสวิงของสัญญาณแรงดันภายในวงจรไม่สูงเพราะในวงจรประกอบด้วยโหนดที่มีความต้านทานต่ำทำให้วงจรมีการตอบสนองความถี่ที่ดี อย่างไรก็ตามการออกแบบวงจรเพื่อทำงานที่ไฟเลี้ยงต่ำนั้นจำเป็นที่จะต้องเพิ่มวงจรบางส่วนเข้าไปเพื่อให้วงจรหลักสามารถทำงานได้อย่างมีประสิทธิภาพซึ่งอาจจะทำให้กำลังงานสูญเสียเพิ่มขึ้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- [1] K. D. Layton, "Low-voltage analog CMOS architectures and design methods," Ph.D. Thesis of Brigham Young University, 2007.
- [2] S. Yan and E. Sanchez-Sinencio, "Low voltage analog circuit design techniques: A tutorial," IEICE Trans. Analog Integrated Circuits and Systems, vol. E00-A, No. 2, 2000.
- [3] S. S. Rajput and S. S. Jamuar, "Low voltage analog circuit design techniques," Circuits and Systems Magazine, vol. 2, pp. 24 – 42, 2002.
- [4] W. A. Serdijn, J. Mulder, D. Rocha and L. C. C. Marques, "Advances in low-voltage ultra-low-power analog circuit design," Proc. International Conference on Electronics, Circuits and Systems (ICECS), pp. 1533 – 1536, 2001.
- [5] H. Barthelemy, "Current mode and voltage mode : basic considerations," Symposium on Circuits and Systems, vol. 1, pp. 161 – 163, 2003.
- [6] M. Neag and O. McCarthy, "High speed low-power CMOS voltage buffers," Proc. International Semiconductor Conference (CAS), pp. 175 – 180, 1998.
- [7] P. Kadanka and A. Rozsypal, "Rail-to-rail voltage follower without feedback," Electronics Letter, pp. 104-105, 2000.
- [8] I. Kale, Y. Haga, "CMOS buffer using complementary pair of bulk-driven super source followers," Electronics Letters, vol. 45, No. 18, pp. 917-918, 2009.
- [9] J. Ramirez-Angulo, R. G. Carvajal, A. Torralba, J. A. G. Galan, A. P. Vega-Leal, and J. Tombs, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design," IEEE International Symposium on Circuits and Systems (ISCAS), pp. 3615-3618, 2002.
- [10] E. Ozalevli, M. S. Qureshi and P. E. Hasler, "Low-Voltage Floating-Gate CMOS Buffer," The IEEE International Symposium on Circuits and Systems (ISCAS), pp. 1871-1875, 2006
- [11] F. Assaderaghi, S. Parke, D. Sinitsky, J. Bokor, P. K. Ko and C. Hu, "A dynamic threshold voltage MOSFET (DTMOS) for very low voltage operation," IEEE Electron Device Letters, vol. 15, no. 12, pp. 510– 512, 1994.
- [12] E. Sanchez-Sinencio, "ELEN 607 Advanced analog circuit design techniques: low voltage circuit design techniques," Analog and Mixed-Signal Center, Texas A&M University.
- [13] J. Kaur, N. Prakash and S. S. Rajput, "A low voltage high performance self cascode current mirror," World Academy of Science, Engineering and Technology, vol. 41, pp. 600 – 603, 2008.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [14] C. Acar and S. Ozoguz, "A new versatile building block: current differencing buffered amplifier suitable for analog signal processing filters," *Microelectronics Journal*, vol. 30, pp. 157–160, 1999.
- [15] N. Tarim and H. Kuntman, "A high performance current differencing buffered amplifier," *International Conference on Microelectronics, Morocco*, pp. 153–156, 2001.
- [16] S. Maheshwari and I. A. Khan, "Current-controlled current differencing buffered amplifier: implementation and applications," *Active and Passive Electronic Components*, no. 4, pp. 219–227, 2004.
- [17] V. Sawangarom, W. Tangsrirat and W. Surakamptom, "NPN-based current differencing buffered amplifier and its application," *SICE-ICASE International Joint Conference, Korea*, pp. 5766–5769, 2006.
- [18] P. Silapan, W. Jaikla and M. Siripruchyanun, "High-performance BiCMOS current controlled CDBA and application," *International Symposium on Communications and Information Technologies*, pp. 40–43, 2007.
- [19] T. Dumawipata, W. Tangsrirat and W. Surakamptom, "Low-voltage current differencing buffered amplifier using only NMOS transistors," *International Symposium on Integrated Circuits*, pp. 123–126, 2007.
- [20] C. Cakir and O. Cicekoglu, "Low-voltage high-performance CMOS current differencing buffered amplifier (CDBA)," *Proceedings of the 4th IEEE conference on Ph.D. research in microelectronics and electronics*, pp. 37–40, Turkey, 2008.
- [21] C. Cakir, S. Minaei and O. Cicekoglu, "Low-voltage low-power and high-swing current differencing buffered amplifier," *Circuits and Systems and TAISA Conference*, 2009.
- [22] C. Cakir, S. Minaei and O. Cicekoglu, "Low-voltage low-power CMOS current differencing buffered amplifier," *Analog Integrated Circuits and Signal Processing*, vol. 62, no. 2, pp. 237–244, 2010.
- [23] S. Ozoguz, A. Toker and C. Acar, "Current-mode continuous-time fully-integrated universal filter using CDBAs," *Electronics Letters*, vol. 35, no.2, pp. 97–98, 1999.
- [24] A. Toker, S. Ozoguz, O. Cicekoglu and C. Acar, "Current-mode all-pass filters using current differencing buffered amplifier and a new high-Q bandpass filter configuration," *IEEE Transactions on Circuits and Systems II-Analog and Digital Signal Processing*, vol. 47, no.9, pp. 949–954, 2000.
- [25] S. Kilinc and U. Cam, "Current differencing buffered amplifier (CDBA) based current-mode filters," *Proceedings of the IEEE 12th Signal Processing and Communications Applications Conference*, pp. 634–637, 2004.

- [26] S. Pisitchalermpong, T. Pukkalanun, W. Tangsrirat and W. Surakamptom, "Current differencing buffered amplifier based multiple-output biquadratic filters," IEEE Conference on Electron Devices and Solid-State Circuits, pp. 521–524, 2005.
- [27] B. Metin, K. Pal and Ö. Cicekoglu, "CMOS-controlled inverting CDBA with a new all-pass filter application," International Journal of Circuit Theory and Applications, vol. 39, pp. 417–425, 2011.
- [28] A. Kanjanop and V. Kasemsuwan, "A 0.7 V DTMOS-Based Class AB Current Mirror," Asia Pacific Conference on Postgraduate Research in Microelectronics & Electronics (PrimeAsia), pp. 86–89, Macau, 2011.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



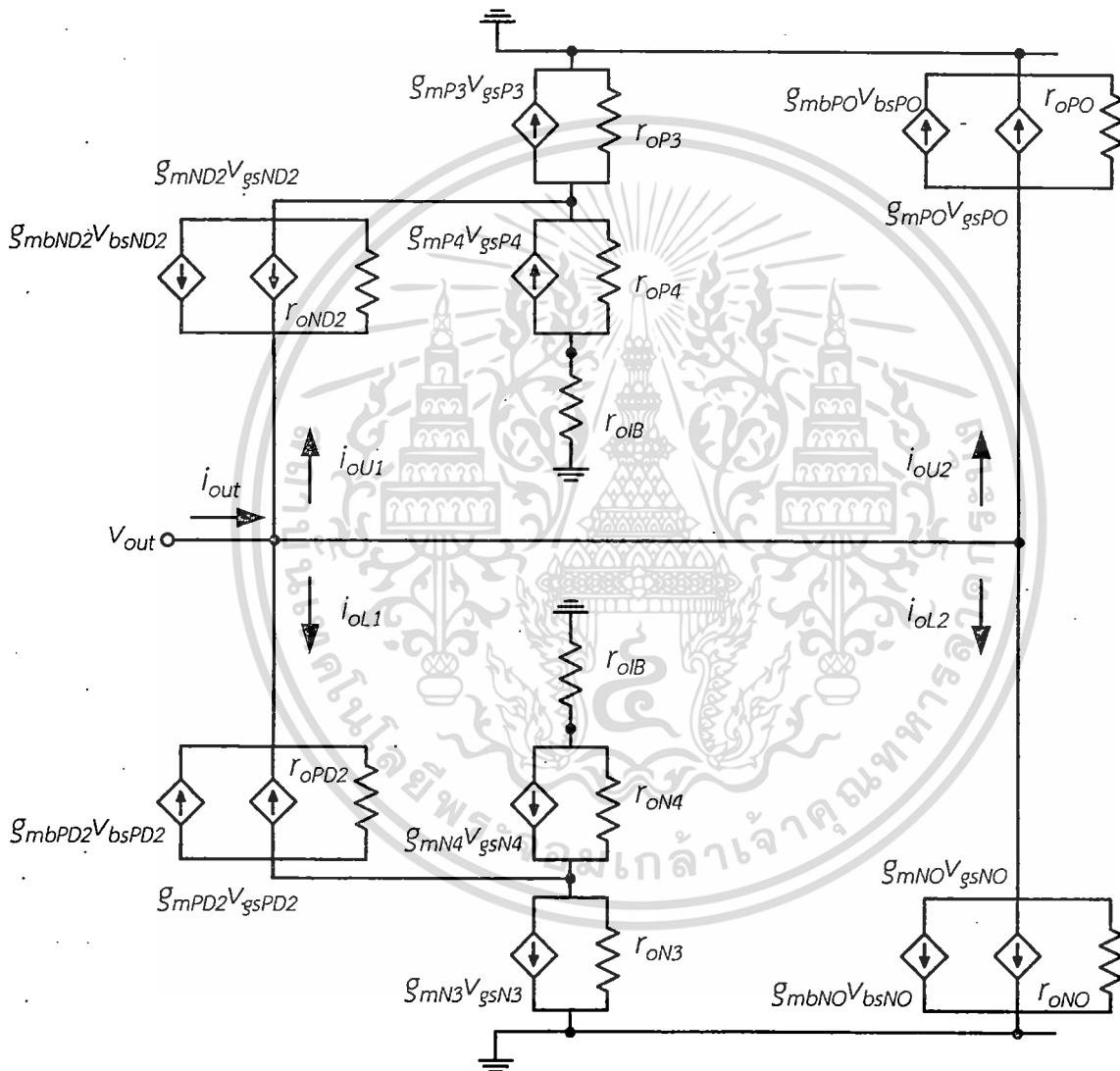
ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

การวิเคราะห์ความต้านทานเสมือนทางเอาต์พุตของวงจรตามแรงดัน

เราสามารถวิเคราะห์หาความต้านทานทางเอาต์พุตของวงจรตามแรงดันได้โดยพิจารณาวงจรเสมือน สัญญาณขนาดเล็กดังแสดงในรูปที่ ก.1



รูปที่ ก.1 วงจรเสมือนสัญญาณขนาดเล็กที่เอาต์พุตของวงจรตามแรงดันของวงจรรูปที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรในรูปที่ ก.1 เราสามารถทำการแยกพิจารณาวงจรออกเป็นสองชุด โดยเริ่มทำการพิจารณา
วงจรในชุดล่าง เราจะได้ว่า

$$i_{outL} = i_{oL1} + i_{oU2} \quad (ก.1)$$

จากวงจรเราจะได้ว่า

$$i_{oL1} = G_{mPD2} V_{gsPD2} \quad (ก.2)$$

เมื่อ $G_{mPD2} = g_{mPD2} + g_{mbPD2}$ และ $V_{gsPD2} = V_{out}$

$$i_{oU2} = G_{mPO} V_{gsPO} + \left(\frac{V_{out}}{r_{oPO}} \right) \quad (ก.3)$$

เมื่อ $G_{mPO} = g_{mPO} + g_{mbPO}$

เมื่อพิจารณาแรงดันที่ขาเกตของ M_{PO} เราจะได้ว่า

$$V_{gsPO} = i_{oL1} g_{mN4} r_{oN4} r_{oN3} \quad (ก.4)$$

แทนค่า (ก.2) ลงใน (ก.4) จะได้

$$V_{gsPO} = G_{mPD2} g_{mN4} r_{oN4} r_{oN3} V_{out} \quad (ก.5)$$

แทนค่า (ก.5) ลงใน (ก.3) จะได้

$$i_{oU2} = G_{mPO} G_{mPD2} g_{mN4} r_{oN4} r_{oN3} V_{out} + \frac{V_{out}}{r_{oPO}} \quad (ก.6)$$

แทนค่า (ก.6) และ (ก.2) ลงใน (ก.1) จะได้

$$i_{outL} = G_{mPD2} V_{out} + G_{mPO} G_{mPD2} g_{mN4} r_{oN4} r_{oN3} V_{out} + \frac{V_{out}}{r_{oPO}} \quad (ก.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$R_{outL} = \frac{V_{out}}{i_{outL}} = \frac{1}{G_{mPD2} + G_{mPO} G_{mPD2} g_{mN4} r_{oN4} r_{oN3} + \left(\frac{1}{r_{oPO}} \right)} \quad (ก.8)$$

เนื่องจากวงจรมีสองชุดดังนั้นเราจะได้ว่า R_{out} มีค่าเท่ากับ

$$R_{out} = \frac{1}{G_{mPD2} + G_{mPO} G_{mPD2} g_{mN4} r_{oN4} r_{oN3} + \left(\frac{1}{r_{oPO}} \right) + G_{mND2} + G_{mNO} G_{mND2} g_{mP4} r_{oP4} r_{oP3} + \left(\frac{1}{r_{oNO}} \right)} \quad (ก.9)$$

เนื่องจาก $1/r_{oPO}$ และ $1/r_{oNO}$ มีค่าน้อยมาก ดังนั้นเราสามารถพิจารณา (ก.9) ได้ใหม่ดังนี้

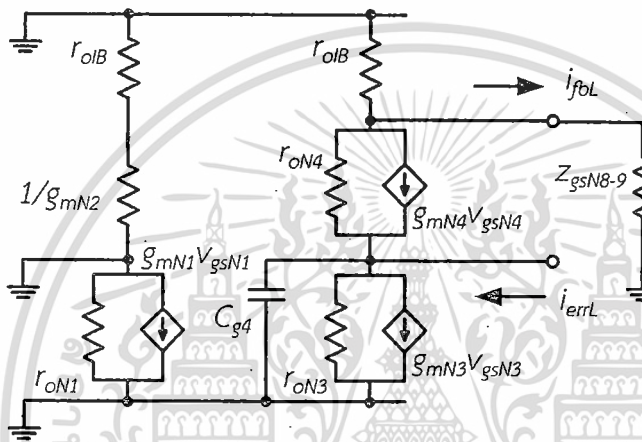
$$R_{out} = \frac{1}{G_{mPD2} (G_{mPO} g_{mN4} r_{oN4} r_{oN3} + 1) + G_{mND2} (G_{mNO} g_{mP4} r_{oP4} r_{oP3} + 1)} \quad (ก.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

การวิเคราะห์หาอัตราการถ่ายโอนกระแสของวงจรสะท้อนกระแส

ในการวิเคราะห์วงจรเพื่อหาอัตราการถ่ายโอนกระแสของวงจรสะท้อนกระแสจากรูปที่ 4.3 เราสามารถพิจารณาได้จากวงจรชุดเปรียบเทียบกระแสของวงจรชุดล่างซึ่งแสดงในรูปที่ ข.1 โดยที่ Z_{gsN8-9} คือ อิมพีแดนซ์เสมือนทางด้านอินพุทของคอมโพสิตทรานซิสเตอร์ M_{N8-9} และ M_{N10-11}



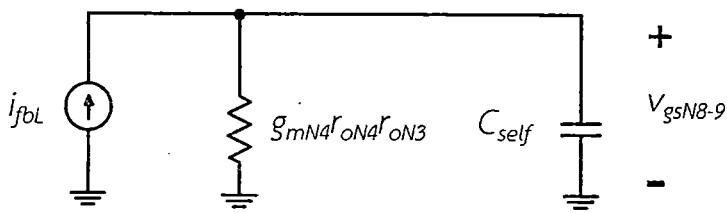
รูปที่ ข.1 วงจรเสมือนสัญญาณขนาดเล็กของชุดเปรียบเทียบกระแสชุดล่าง

จากรูปที่ ข.1 เราหากระแส i_{fbL} เมื่อพิจารณาให้ $Z_{gsN8-9} = 0$ พบว่ากระแส i_{fbL} มีค่าเท่ากับ

$$i_{fbL} = \frac{i_{errL}}{1 + s \left(\frac{C_{g4}}{g_{mN4}} \right)} \quad (\text{ข.1})$$

โดยที่ C_{g4} คือความจุไฟฟ้าแฝงที่ขาเกตซอร์สของทรานซิสเตอร์ M_{N4} ซึ่งมีค่าเท่ากับ $C_{gsN4} + C_{gdN3}$

เมื่อพิจารณาจากวงจรในรูปที่ 4.3 แล้วพบว่า Z_{gsN8-9} ของวงจรคือค่าความต้านทานเสมือนของตัวเก็บประจุที่ขาเกตของทรานซิสเตอร์ M_{N8-9} และ M_{N10-11} (C_{self}) ดังนั้นเราสามารถพิจารณาวงจรในรูปที่ ข.1 ได้ดังแสดงในรูปที่ ข.2



รูปที่ ข.2 วงจรเสมือนในการวิเคราะห์หาความสัมพันธ์ระหว่างแรงดัน V_{gsN8-9} และกระแส i_{fbL} เมื่อโหลดเป็นตัวเก็บประจุไฟฟ้า C_{self}

โดยที่ C_{self} มีค่าเท่ากับ $C_{gsN9} + C_{gsN9}$

เราสามารถวิเคราะห์หาความสัมพันธ์ระหว่างแรงดัน V_{gsN8-9} และกระแส i_{fbL} จากสมการที่ (ข.1) ได้เท่ากับ

$$Z_{ampL} = \frac{V_{gsN8-9}}{i_{fbL}} = \frac{g_{mN4} r_{oN4} r_{oN3}}{(1 + sW_1)(1 + sW_2)} \quad (\text{ข.2})$$

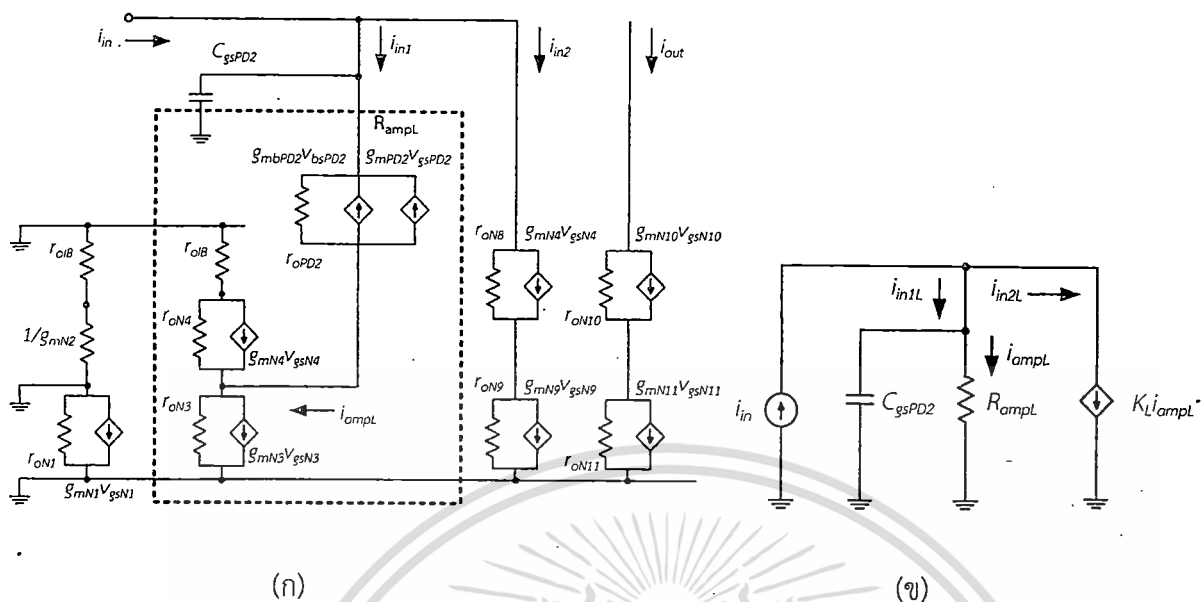
โดยที่ $W_1 = C_{self} g_{mN4} r_{oN4} r_{oN3}$ และ $W_2 = C_{gs4} / g_{mN4}$

เราสามารถทำการวิเคราะห์หา i_{outL} โดยเริ่มจากการพิจารณาวงจรในชุดล่างซึ่งสามารถพิจารณาได้ดังรูปที่ ข.3 (ก) จากรูปเราพบว่า

$$i_{outL} = i_{in2L} = i_{inL} - i_{in1L} \quad (\text{ข.4})$$

ดังนั้นอัตราขยายกระแสมีค่า

$$\frac{i_{outL}}{i_{inL}} = \frac{i_{in2L}}{i_{in1L} + i_{in2L}} \quad (\text{ข.5})$$



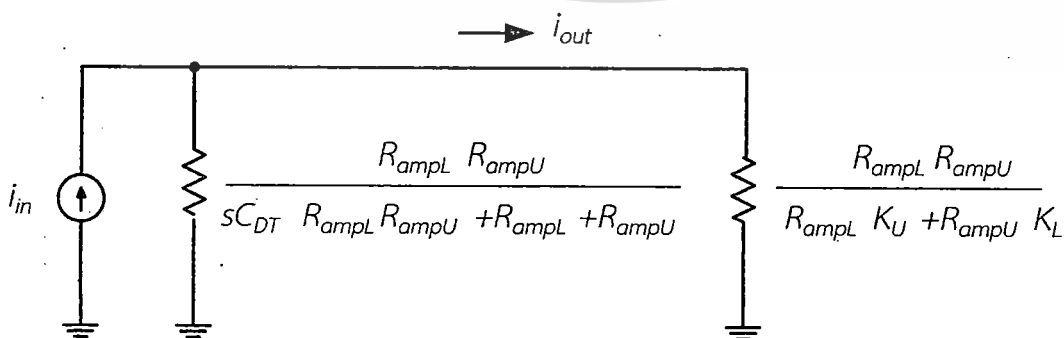
รูปที่ ข.3 การวิเคราะห์ i_{out} / i_{in} ของวงจรชุดล่างของวงจรสะท้อนกระแส

รูปที่ ข.3 (ข) แสดงวงจรเสมือนอย่างง่ายของรูปที่ ข.3 (ก) โดยที่ R_{ampL} คือความต้านทานเสมือนที่มองลงมาจากขาของ M_{PD2} เมื่อพิจารณาวงจรเสมือนอย่างง่ายดังในรูปที่ ข.3 (ข) เราจะพบว่า

$$i_{in2L} = K_L i_{ampL} \tag{ข.6}$$

โดยที่ i_{ampL} คือกระแสที่ไหลผ่านขาซอร์สของ M_{PD2} , K_L มีค่าเท่ากับ $Z_{ampL} g_{mN9}$

แหล่งจ่ายกระแส $K_L i_{ampL}$ สามารถเขียนให้อยู่ในรูปของตัวต้านทานที่มีค่าเท่ากับ R_{ampL} / K_L นอกจากนี้เนื่องจากวงจรมีอยู่สองชุดดังนั้นเราสามารถวิเคราะห์วงจรโดยรวมผลของความต้านทานและตัวเก็บประจุทั้งหมดของวงจรได้ดังในรูปที่ ข.4



รูปที่ ข.4 วงจรเสมือนในการวิเคราะห์หาอัตราขยายของวงจรสะท้อนกระแสที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.4 เราจะได้ว่า

$$\frac{i_{out}}{i_{in}} = \frac{1}{1 + \frac{sC_{DT}R_{ampL}R_{ampU} + R_{ampL} + R_{ampU}}{R_{ampL}K_U + R_{ampU}K_L}} \quad (ข.7)$$

โดยที่ $R_{ampL} = [r_{oPD2} + R_{CN}] / [1 + (g_{mPD2} + g_{mbPD2})r_{oPD2}]$, $R_{ampU} = [r_{oND2} + R_{CP}] / [1 + (g_{mND2} + g_{mbND2})r_{oND2}]$, $R_{CN} = [r_{oN3}(r_{oIB} + r_{oN4})] / [r_{oN3}(1 + g_{mN4}r_{oN4}) + r_{oIB} + r_{oN4}]$, $R_{CP} = r_{oP3}(r_{oIB} + r_{oP4}) / [r_{oP3}(1 + g_{mP4}r_{oP4}) + r_{oIB} + r_{oP4}]$, $K_L = Z_{ampL}g_{mN9}$, $K_U = Z_{ampU}g_{mP9}$, $Z_{ampL} = g_{mN4}r_{oN4}r_{oN3} / (1 + sC_{gsN9}g_{mN4}r_{oN4}r_{oN3} [1 + s(C_{gsN4}/g_{mN4})])$, $Z_{ampU} = g_{mP4}r_{oP4}r_{oP3} / (1 + sC_{gsP9}g_{mP4}r_{oP4}r_{oP3} [1 + s(C_{gsP4}/g_{mP4})])$ และ $C_{DT} = C_{gsND2} + C_{gsPD2}$

จากวงจรในรูปที่ 4.3 หากเราสมมติว่าวงจรมีความสมมาตรกัน ดังนั้น $R_{ampL} = R_{ampU} = R_{amp}$ และ $K_L = K_U = K$ และอัตราขยายกระแสของวงจรจึงมีค่าเท่ากับ

$$\frac{i_{out}}{i_{in}} = \frac{1}{1 + \frac{sC_{DT}R_{amp} + 2}{2K}} = \frac{1}{1 + \frac{sC_{DT}R_{amp}}{2K}} \quad (ข.8)$$

โดยที่

$$K = Z_{amp}g_{m9} = \frac{g_{m9}g_{m4}r_{o4}r_{o3}}{(1 + sW_1)(1 + sW_2)} \quad (ข.9)$$

เนื่องจาก $W_1 \gg W_2$ ดังนั้น

$$K \cong \frac{A}{(1 + sW_1)} \quad (ข.10)$$

เมื่อ $A = g_{m9}g_{m4}r_{o4}r_{o3}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นเราสามารถหาอัตราขยายของวงจรสะท้อนกระแสได้โดยมีค่าประมาณเท่ากับ

$$\frac{i_{out}}{i_{in}} \cong \frac{1}{1 + \frac{sC_{DT}R_{amp}(1 + sW_1)}{2A}} = \frac{1}{1 + \frac{sC_{DT}R_{amp}}{2A} + \frac{s^2C_{DT}R_{amp}W_1}{2A}} \quad (\text{ข.11})$$

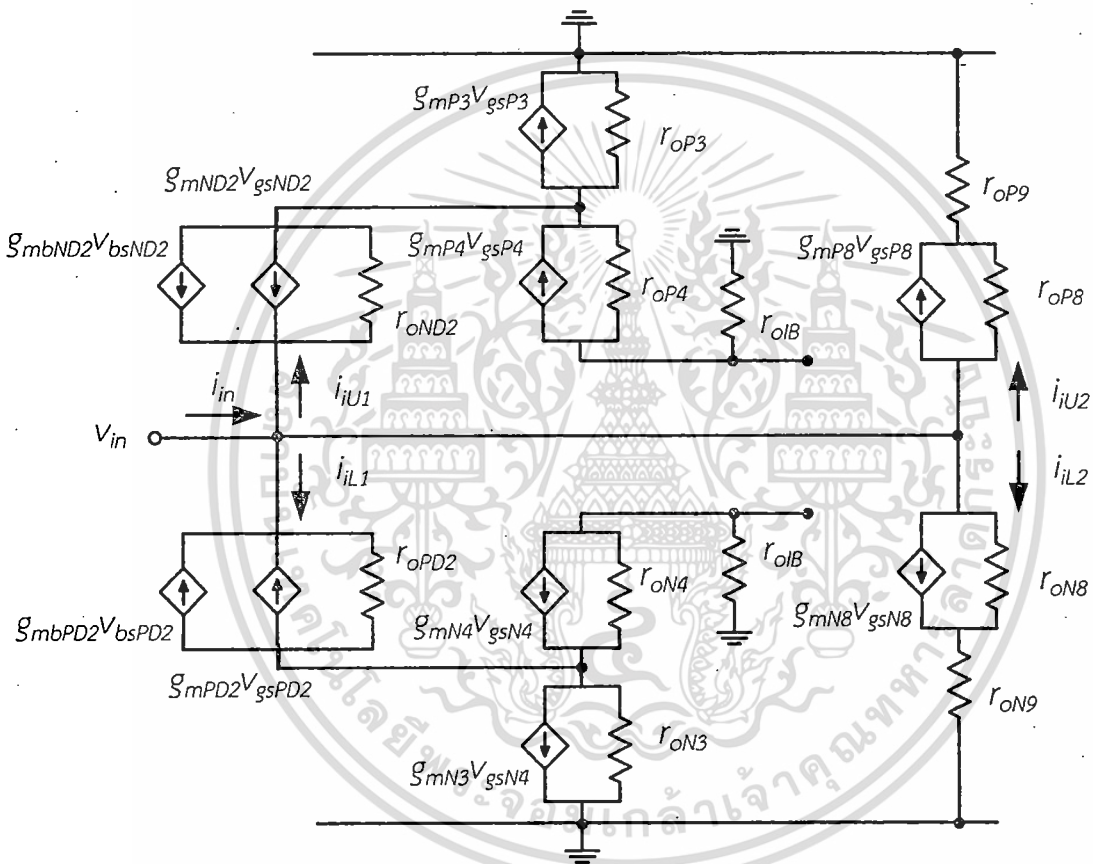


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

การวิเคราะห์ความต้านทานเสมือนทางอินพุทของวงจรสะท้อนกระแส

เราสามารถวิเคราะห์หาความต้านทานทางอินพุทของวงจรตามแรงดันได้โดยพิจารณาวงจรเสมือน สัญญาณขนาดเล็กดังแสดงในรูปที่ ค.1



รูปที่ ค.1 วงจรเสมือนสัญญาณขนาดเล็กที่อินพุทของวงจรสะท้อนกระแสที่นำเสนอในรูปที่ 4.3

จากวงจรในรูปที่ ค.1 เราสามารถทำการแยกพิจารณาวงจรออกเป็นสองชุด โดยเริ่มทำการพิจารณาวงจรในชุดล่างเราจะได้ว่า

$$i_{inL} = i_{iL1} + i_{iL2} \quad (\text{ค.1})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากวงจรเราจะได้ว่า

$$i_{iL1} = G_{mPD2} V_{gsPD2} \quad (ค.2)$$

เมื่อ $G_{mPD2} = g_{mPD2} + g_{mbPD2}$ และ $V_{gsPD2} = V_{in}$

$$i_{iL2} = g_{mN9} V_{gsN8-9} + \left(\frac{V_{in}}{g_{mN8} r_{oN8} r_{oN9}} \right) \quad (ค.3)$$

เมื่อพิจารณาแรงดันที่ขาเกตของ M_{N8-9} เราจะได้ว่า

$$V_{gsN8-9} = i_{iL1} g_{mN4} r_{oN4} r_{oN3} \quad (ค.4)$$

แทนค่า (ค.2) ลงใน (ค.4) จะได้

$$V_{gsN8-9} = G_{mPD2} g_{mN4} r_{oN4} r_{oN3} V_{in} \quad (ค.5)$$

แทนค่า (ค.5) ลงใน (ค.3) จะได้

$$i_{iL2} = G_{mPD2} g_{mN9} g_{mN4} r_{oN4} r_{oN3} V_{in} + \frac{V_{in}}{g_{mN8} r_{oN8} r_{oN9}} \quad (ค.6)$$

แทนค่า (ค.6) และ (ค.2) ลงใน (ค.1) จะได้

$$i_{inL} = G_{mPD2} V_{in} + G_{mPD2} g_{mN9} g_{mN4} r_{oN4} r_{oN3} V_{in} + \frac{V_{in}}{g_{mN8} r_{oN8} r_{oN9}} \quad (ค.7)$$

$$R_{inL} = \frac{V_{in}}{i_{inL}} = \frac{1}{G_{mPD2} + G_{mPD2} g_{mN9} g_{mN4} r_{oN4} r_{oN3} + \left(\frac{1}{g_{mN8} r_{oN8} r_{oN9}} \right)} \quad (ค.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจาก $1/g_{mN8}r_{oN8}r_{oN9}$ มีค่าน้อยมาก ดังนั้นเราสามารถพิจารณา (ค.8) ได้ใหม่ดังนี้

$$R_{inL} = \frac{1}{G_{mPD2} + G_{mPD2}g_{mN9}g_{mN4}r_{oN4}r_{oN3}} \quad (\text{ค.9})$$

เนื่องจากวงจรแบ่งออกเป็นสองชุดดังนั้นเราจะได้ว่า R_{in} มีค่าเท่ากับ

$$R_{in} = \frac{1}{G_{mPD2}(g_{mN9}g_{mN4}r_{oN4}r_{oN3} + 1) + G_{mND2}(g_{mP9}g_{mP4}r_{oP4}r_{oP3} + 1)} \quad (\text{ค.11})$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง.

ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่

บทความวิจัยที่ได้รับการตีพิมพ์ในวารสารภายในประเทศและต่างประเทศในวิทยานิพนธ์ฉบับนี้ ประกอบด้วย 3 บทความ ดังต่อไปนี้

- [1] A. Kanjanop, A. Suadet, P. Singhanath, T. Thongleam, S. Kuankid and V. Kasemsuwan, "An Ultra Low Voltage Rail-to-rail DTMOS Voltage Follower," International Conference on Modeling, Simulation and Applied Optimization (ICMSAO), Malaysia, 2011.
- [2] A. Kanjanop and V. Kasemsuwan, "A 0.7 V DTMOS-Based Class AB Current Mirror," Asia Pacific Conference on Postgraduate Research in Microelectronics & Electronics (PrimeAsia), pp. 86–89, Macau, 2011.
- [3] A. Kanjanop and V. Kasemsuwan, "A Low Voltage Class AB Current Differencing Buffered Amplifier (CDBA)," International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS); Thailand, 2011.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

An Ultra Low Voltage Rail-to-Rail DTMOS Voltage Follower

Arnon Kanjanop¹ Apirak Suadet¹, Pratchayaporn Singhanath¹, Thawatchai Thongleam²,
Sanya Kuankid² and Varakorn Kasemsuwan¹

¹School of Electronics, Faculty of Engineering,

King Mongkut's Institute of Technology Ladkrabang

Chalongkrung Rd., Ladkrabang Dist., Bangkok 10520, THAILAND

E-mail: pf_sunday@hotmail.com, s2610120@kmitl.ac.th, yuan_hwan@hotmail.com,
kkvarako@kmitl.ac.th

²School of Electronics Engineering, Faculty of Science and Technology,

Nakhon Pathom Rajabhat University,

85 Maraiman Rd., Muang Dist., Nakhon Pathom 73000, THAILAND

E-mail: tony_tct@yahoo.com, sanya@npru.ac.th

Abstract

An ultra low voltage rail-to-rail DTMOS voltage follower is presented. The circuit is developed based on a complementary source follower with a common-source output stage. The circuit is designed using a 0.13 μm CMOS technology and SPICE is used to verify the circuit performance. The voltage follower can drive ± 0.25 V to the 500 Ω with the total harmonic distortion (THD) of 0.4% at the operating frequency of 1 MHz. The bandwidth and power dissipation are 288 MHz and 103 μW , respectively.

1. Introduction

Voltage followers play a crucial role in analog signal processing both as stand-alone device and as building block in more complex circuits such as current feedback operational amplifiers and current-conveyors. At present, low-voltage mixed-signal circuits are important mainly due to the increasing demand of portable equipment. Follower should be able to utilize the largest possible part of the supply-voltage range for both input and output signal operations in order to get the best signal-to-noise ratio. The rail-to-rail operation, which allows signals to swing within millivolts of either supply, becomes mandatory for most devices.

Several voltage followers have been proposed [1]-[13]. A flipped voltage follower (FVF) [1],[2] can operate under a minimum supply voltage of $V_T + V_{DSAT}$. In this approach, only one additional transistor is added to the classical common-drain so that current through the main transistor is independent of the output current. The circuit is very simple, hence enabling the circuit to operate at high frequency. The output impedance is small due to negative feedback employed. However, the FVF suffers from the limited output-voltage swing and the output current driving capability strongly depends on the biasing current source. To increase the output voltage swing, a folded-cascode stage was added to the

FVF [3]. As a result, the output voltage swing is improved, and only limited within one overdrive voltage of both positive and negative supplies. The folded-cascode stage also helps enhancing the loop gain, thus making the output impedance very small. Unfortunately, the input stage of the circuit does not allow rail-to-rail operation and, as a result, the wide swing capability obtained at the output can not be fully utilized. Similarly, the output current driving capability is limited by the biasing output-current source.

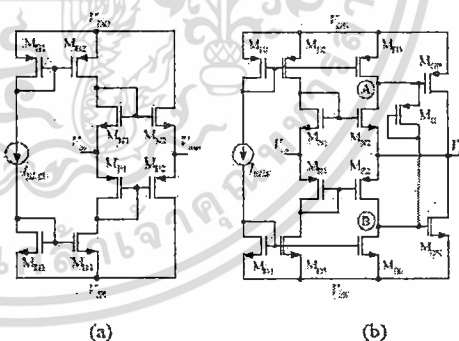


Fig. 1: Simple complementary source follower

Several class AB voltage followers have been proposed mainly due to the high efficiency. Among these, a pseudo source follower seems to be the appropriate choice. Pseudo source follower consists of a pair of complementary common-source stages and a pair of complementary error amplifiers at the output [4], [10]. The follower offers small output impedance and, at the same time, can handle large output voltage swing. However, this approach suffers from the difficulty in the control of the quiescent current as a result of the random

offset voltage of the error amplifiers. In addition, compensation capacitors are required to improve the stability and transient response, hence degrading the rise and fall time characteristics of the overall circuit. Adaptive gain technique was proposed to alleviate the quiescent-current control problem [11]. In this technique, the gains of error amplifiers are reduced in the vicinity of the stable stage. Consequently, the technique suffers from an offset voltage. A class AB rail-to-rail voltage follower without error amplifier was proposed [12]. The circuit contains both BJTs and MOS transistors. BJTs are connected as emitter followers while an additional MOSFET circuitry is added to enable the output voltage to swing close to both positive and negative supplies. However, the implementation of the circuit requires a BiCMOS process, hence making it less attractive due to an increased manufacturing cost. Floating-gate transistor was employed to increase the input and output swings [13] and to separate the signal from the bias voltage. Bulk-driven technique and quasi-floating gate transistors were employed [14] to achieve a class-AB operation. The bandwidths of their circuits were quite low mainly due to the reduced transconductance of floating-gate and bulk-driven transistors.

Among class AB voltage follower, a simple complementary source follower, shown in Figure 1(a), is well-known for its simplicity, good control of the quiescent current and good frequency response. The circuit however has three main drawbacks: 1) the output impedance is traded off with either power consumption

and frequency characteristic, 2) the linearity of the circuit is rather poor, and 3) the output swing is limited to two overdrive and two gate-source voltages $2V_{DSAT}+2V_{GS}$. To solve these problems, a common-source output stage, which is directly driven by the complementary source follower (see Figure 1(b)) was proposed [15]. The circuit combines the complementary source follower in parallel with the pseudo source follower. The quiescent current is well controlled via the floating constant voltage source implemented by the diode-connected transistor. The circuit shows low output impedance as a result of negative feedback, while the good frequency characteristic is preserved due to its simple core structure. However, the output swing is still limited to two overdrive and two gate-source voltages.

This paper presents a rail-to-rail CMOS voltage follower. The circuit is developed using dynamic threshold voltage MOS transistors (DTMOS) and a simple complementary source follower. The circuit is simple, and can operate at high frequency with rail-to-rail input and output operations. The circuit operates under the supply voltage of 0.7 Volt, and demonstrates good performances. This is mainly because the simple complementary source follower is used as the core part. The proposed follower can drive ± 0.25 V to the 500 Ω load with a total harmonic distortion (THD) of 0.4 % at the operating frequency of 1 MHz. The bandwidth of the circuit is found to be 288 MHz. The power dissipation under quiescent condition is 103 μ W.

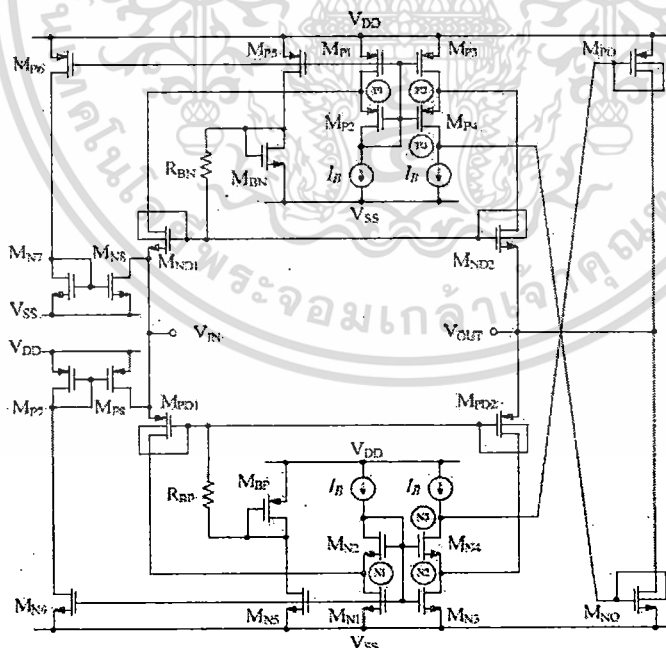


Fig. 2: Proposed circuit

2. The Proposed circuit

The proposed follower is shown in Figure 2. As seen, our follower is developed based on a conventional follower except that DTMOS and an additional circuitry are incorporated into the system. Two low-voltage current mirrors ($M_{N1(P1)}, M_{N1(P2)}$) are used to convert the difference between the currents through $M_{ND1(PD1)}$ and $M_{SD2(PD2)}$ ($I_{ND1(PD1)}$ and $I_{SD2(PD2)}$) into voltage, which is then fed to output DTMOS transistors ($M_{NO(P0)}$). This negative feedback configuration ensures the equality between the input and output voltages. M_{PD1} , $R_{SD1(P)}$ and $M_{NS(P3)}$ serves the purpose of providing the gate voltage to the transistor $M_{ND1(PD1)}$. Transistors $M_{NS(P3)}$, $M_{NS(P3)}$, which are connected in the positive feedback configuration, help increasing the input impedance of the circuit.

The operation of the circuit can be explained as follows. For small input voltage V_{in} , DTMOS transistors M_{ND1} , M_{SD2} , M_{PD1} and M_{PD2} operate as a simple complementary source follower except that they also act as current error amplifiers. DTMOS is employed to increase the transconductance of the MOSFET and lower the threshold voltage, thus enabling the circuit to operate under the low-voltage environment. Any difference between the currents $I_{ND1(PD1)}$ and $I_{SD2(PD2)}$ will be converted to an error voltage at node $P_3(N_3)$. This error voltage is fed to the gate of the transistor $M_{NO(P0)}$, which is connected in a common-source configuration. As a result, common-source output transistors (M_{NO} and M_{PO}) are responsible for both sinking and sourcing most of the load current, while M_{SD2} and M_{PD2} supply only a very small fraction. Because of this negative feedback mechanism, the currents through M_{SD2} and M_{PD2} barely change with the input voltage variation, making the gate-source voltages of M_{ND1} and M_{PD1} approximately the same as the gate-source voltages of M_{SD2} and M_{PD2} , respectively.

When the input voltage V_{in} is pulled closed to the supply V_{DD} , the voltage signal at node P_1 (and N_1) is also pulled high, while the voltage at the gate of M_{NO} is pulled low. This forces the upper part of the complementary source follower (M_{ND1} and M_{SD2}) and common-source output transistor (M_{NO}) to be in the cut off region. M_{PO} , which its gate voltage is also pulled low, will supply a current to the lower part of the complementary source follower (M_{PD1} and M_{PD2}), thus allowing the lower part of the complementary to continue its operation. As a result, the output voltage (V_{out}) is pulled high and only limited within one saturation voltage ($V_{DSAT(MPO)}$) of the positive supply.

Similarly, when V_{in} is pulled low closed to the supply V_{SS} , the voltage signal at node P_1 (and N_1) is pulled low, while the voltage at the gate of M_{PO} is pulled high. This forces the M_{PD1} , M_{PD2} and common-source output transistor (M_{PO}) to be in the cut off region. In this case, M_{NO} , which its gate voltage is also pulled high, will supply a current to the upper part of the complementary source follower. The output voltage is pulled low and only limited within one saturation voltage ($V_{DSAT(MNO)}$) of the negative supply.

The output impedance of the proposed follower is small due to the negative feedback formed by M_{ND2} ,

M_{PD1} and M_{NO} (and M_{PD2} , M_{SD2} and M_{PO}). To demonstrate this fact, let assume that the output voltage signal is pulled high. The resulting current signal is then passed through $M_{ND2(PD2)}$ and amplified by $M_{SD1(PD1)}$, which is configured as a common-gate amplifier. The signal at node P_3 (and N_3) is further amplified by the common-source transistor $M_{NO(P0)}$. As a result, the output voltage at the drain of $M_{PO(N0)}$ is forced to go low.

Straightforward small signal analysis shows that the output impedance of the circuit is given by

$$R_{OUT} = \frac{(r_{oND2} + r_{oP2})(r_{oPD2} + r_{oN3})}{K_1(r_{oND2} + r_{oP2}) + K_2(r_{oPD2} + r_{oN3})} \quad (1)$$

where r_o and g_m are the output impedance and transconductance of a transistor, respectively, $K_1 = (g_{mPD2} + g_{mSD1})(g_{mPO} + g_{mNO})$, g_{mN1} , g_{mN2} , g_{mN3} and $K_2 = (g_{mND2} + g_{mSD2})(g_{mNO} + g_{mPO})$, g_{mN4} , g_{mN5} , g_{mN6} and g_{mN7} .

The quiescent current (I_Q) of the follower is well controlled and can be set by adjusting the biasing current I_B and dimensions of M_{PO} and M_{NO} . By writing KVL around the loop consisting of M_{PD2} , M_{NS} , M_{SD2} and M_{PO} , one can find the quiescent current (I_Q) as

$$I_{Q(P,N)} = \frac{K_{PO(N0)}}{2} \left(V_{DD} - \sqrt{\frac{2I_B}{K_{M(P1)}}} + V_{TNR(P1)} - V_{TPO(N0)} \right)^2 \quad (2)$$

where $K_{PO(N0)} = \mu_{p0} C_{OX}(W/L)_{PO(N0)}$, $K_{M(P1)} = \mu_{n0} C_{OX}(W/L)_{M(P1)}$, μ is the electron mobility, C_{OX} is the oxide capacitance per unit area, (W/L) is the aspect ratio of a transistor and $V_{TPO(N0)} = V_{TOP(N)} + \gamma[(2\phi_F) - V_{BSNO(P0)}]^{1/2} - (2\phi_F)^{1/2}$.

3. Simulation Results

The proposed follower has been simulated using SPICE with BSIM3V3 model. In the design, a 0.13- μm CMOS technology under the supply voltage of 0.7 V is employed. The bias current I_B is 8 μA .

Figure 3 shows the dc transfer characteristics, where dot and solid lines represent the input and output signals, respectively. As seen, the output voltage can follow the input voltage over a wide range (± 0.3 V), when connected to 500 Ω load with good linearity. Figure 4 shows the transient response of the circuit, when the input is a sinusoidal signal (0.7 V_{pp} , 1 MHz) and R_L is 500 Ω . The output signal can trace the input signal over a wide range.

Figure 5 shows the transient response of the follower, when input signal is a square wave (0.6 V_{pp} , 1 MHz) and load is 500 Ω in parallel with 100 pF. As seen, the proposed voltage follower shows stable characteristic. Figure 6 shows frequency response of the circuit, and the bandwidth is found to be 288 MHz.

Output impedance is quite low and found to be only 4.3 Ω . Figure 7 shows the total harmonic distortion is 0.4%, when the input sinusoidal signal is ± 0.25 V, 1

MHz. The power dissipation under the quiescent condition is 103 μ W.

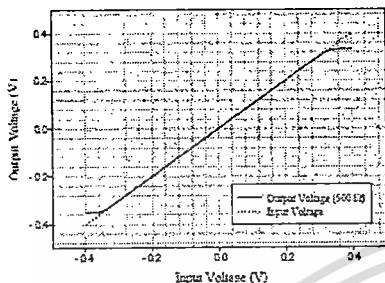


Fig. 3: DC transfer characteristic

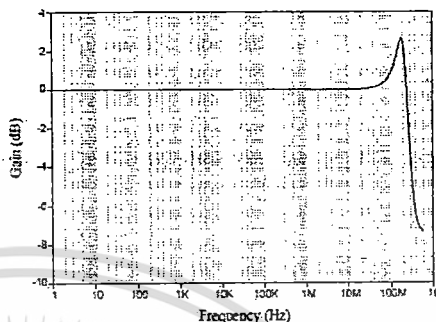


Fig. 6: Frequency response

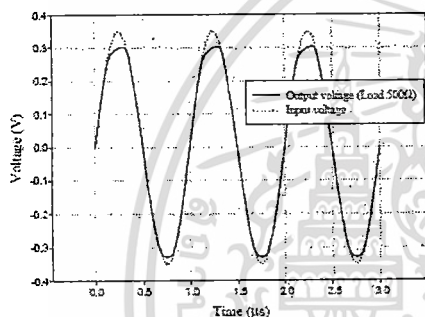


Fig. 4: Input and output sinusoidal waveforms

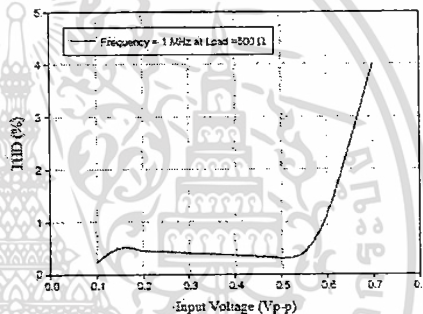


Fig. 7: Total harmonic distortion (THD)

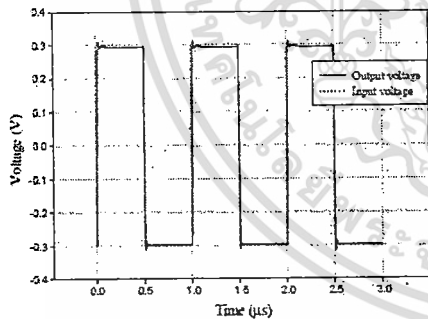


Fig. 5: Input and output square waveform

4. Conclusions

An ultra low voltage Rail-to-Rail DTMOS voltage follower is presented. The circuit is developed based on a complementary DTMOS source follower with a common-source output stage. Few transistors are added and the performance of the resulting circuit is greatly enhanced. The circuit performance is verified using SPICE and the follower can drive ± 0.25 V to the 500 Ω load with the total harmonic distortion of 0.4 % at the operating frequency of 1 MHz. The bandwidth of the circuit is 288 MHz. The power dissipation under quiescent condition is 103 μ W.

References

- [1] R. G. Carvajal, J. Ramirez-Angulo, A.J. Lopez-Martin, A. Torralba, J.A.G. Galan, A. Carlosena and F.M. Chavero, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design," IEEE Trans. Circuit Syst.-I., pp. 1276-1291, 2005.
- [2] J. Ramirez-Angulo, R.G. Carvajal, A. Torralba, J.A.G. Galan, A.P. Vega-Leal, and J. Tombs, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design," IEEE

- International Symposium on Circuits and Systems (ISCAS), pp. 3615–3618, 2002.
- [3] Y. Kong, S. Xu, and H. Yang. "An Ultra Low Output Resistance and Wide Swing Voltage Follower." International Conference on Communications, Circuits and Systems (ICCCAS), pp. 1097–1010, 2007.
- [4] K. E. Brehmer and J. B. Wieser. "Large Swing CMOS power amplifier." IEEE J. Solid-State Circuits, Vol. 18, No. 6, pp. 624–629, 1983.
- [5] B. K. Ahuja, P. R. Gray, W. M. Baxter, and G. T. Uehara. "A programmable CMOS dual channel interface processor for telecommunications applications." IEEE J. Solid-State Circuits, Vol. 19, No. 6, pp. 892–899, 1984.
- [6] J. A. Fisher. "A high performance CMOS power amplifier." IEEE J. Solid-State Circuits, Vol. 6, pp. 70–75, 1985.
- [7] K. Nagaraj. "Large-swing CMOS buffer amplifier." IEEE J. Solid-State Circuits, Vol. 24, No. 1, pp. 181–183, 1989.
- [8] A. Nosratinia, M. Ahmadi, G. A. Jullien, and M. Shridhar. "High-swing, high-drive CMOS buffer." IEEE Proc. Circuits, Devices and Systems, pp. 109–112, 1995.
- [9] T. Sæther, C. Hung, Z. Qi, M. Ismail, and O. Aaserud. "High speed high linearity CMOS buffer amplifier." IEEE J. Solid-State Circuits, pp. 255–258, 1996.
- [10] B. Sekerkiran. "A compact rail-to-rail output stage for CMOS operation amplifiers." IEEE J. Solid-State Circuits, pp. 107–110, 1999.
- [11] C. W. Lu and K. J. Hsu. "A Large-Swing High-Driving, Low-Power Class-AB Buffer Amplifier Employing Adaptive-Gain Error Amplifiers Devices." Proceedings of the 6th International Caribbean Conference on Circuits and Systems (ICCDCS), pp. 243–246, 2006.
- [12] P. Kadanka, A. Rozsypal. "Rail-to-rail voltage follower without feedback." Electron. Lett., pp. 104–105, 2000.
- [13] E. Ozalevli, M.S. Qureshi and P.E. Hasler. "Low-Voltage Floating-Gate CMOS Buffer." The IEEE International Symposium on Circuits and Systems (ISCAS), pp. 1871–1875, 2006
- [14] I. Kale, Y. Haga. "CMOS buffer using complementary pair of bulk-driven super source followers." Electronics Letters, Vol. 45, No. 18, pp. 917–918, 2009.
- [15] M. Neag and O. McCarthy. "High speed low-power CMOS voltage buffers." Proc. International Semiconductor Conference (CAS), pp. 175 – 180, 1998.

A 0.7 V DTMOS-Based Class AB Current Mirror

Arnon Kanjanop and Varakorn Kasemsuwan
 School of Electronics Engineering, Faculty of Engineering
 King Mongkut's Institute of Technology Ladkrabang
 Bangkok, Thailand
 pf_sunday@hotmail.com, kkvarako@kmitl.ac.th

Abstract—A 0.7 V DTMOS-Based class AB current mirror is presented. The circuit is developed based on a conventional class AB current mirror structure with a common-source output stage. The circuit is designed using a 0.13 μm CMOS technology and operates under a 0.7 V supply. SPICE with BSIM3V3 model parameters is used to verify the circuit performance. The maximum current transfer is found to be 7 times larger than the input bias current, while the DC current gain is -0.03 dB. The bandwidth and power dissipation are 540 MHz and 96 μW , respectively.

I. INTRODUCTION

Current-mode circuits have been an active area of research for many years due to many intrinsic advantages over voltage-mode counterparts including low supply voltage requirement, wide bandwidth, tunable input impedances, high slew rates, and less susceptible to power and ground fluctuations [1], [2]. Current mirror (CM) is a versatile building block in current-mode circuits. CM is widely exploited in several active devices, e.g. current conveyor (CC), operational amplifiers, operational transconductance amplifiers (OTAs), and current amplifier (CA) [3]. CM is also used for realizing continuous and sampled-data analog filters [4, 5].

Class AB current mirror is well known to provide better dynamic range [6] compared to class A current mirror. In addition, class AB current mirror has reduced sensitivity to process tolerances [7] and increased quiescent current to signal amplitude ratio. These properties are essentially due to the complementary nature of the configuration which employs both n- and p-type current mirrors.

A conventional class AB current mirror is shown in Fig. 1 [8]. The circuit consists of a translinear loop (M1-M4) which sets both the bias voltage at the input terminal (that is equal to the analog ground) and the quiescent current in M3-M4. In the operation, the input signal current is mirrored to the output through the two complementary current mirrors M5-M7 and M6-M7. The circuit has been used in several applications, e.g. current amplifier [9], current differencing buffered amplifier (CDBA) [10], current comparator [11-12], and current conveyor [13]. The circuit has two main drawbacks; 1) its input impedance is rather high, and 2) the circuit requires a

supply voltage of at least equal to $2(V_T + 2V_{DS,SAT})$, thus preventing the circuit to operate under sub-1 volt supply. At present, operating the circuit under low voltage supply becomes essential mainly due to reliability and power consumption issues.

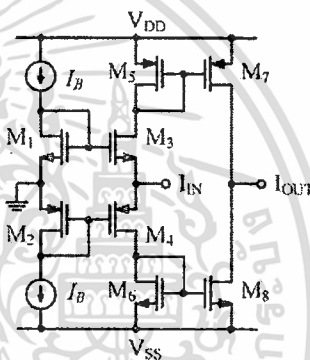


Figure 1. Conventional class AB current mirror.

Various attempts have been proposed to solve this problem. Self-cascode structure was proposed in [14]. This technique results in a circuit, which can operate under the supply voltage lower than the normal cascode structure. The circuit also achieved good current transfer characteristic. However, additional circuitry is required to implement class AB current mirror. This additional circuitry unfortunately demands quite high power consumption, high supply requirement, and causes input impedance to increase. [15] employed the dynamic biasing technique, enabling the circuit to operate under a low voltage supply. The circuit exhibited fast response with low settling time. However, a switched-capacitor network is required, making the circuit complex and prone to switching noise. [16] employed two auxiliary differential amplifiers and two poly resistors connecting in the negative feedback configuration to achieve low-voltage operation, good control of quiescent currents and input bias voltage. The resulting circuit can operate under a 1-V supply. Requirement of two poly resistor unfortunately affects the

input impedance of the circuit. Quasi-floating gate was proposed to achieve low voltage class AB operation [17]. The circuit used differential amplifier to provide low input impedance, and to set bias voltage at the input. However, in order to bias the voltage at the middle of the supply, the circuit requires a supply voltage of at least $2V_T + 4V_{DSAT}$, hence making the circuit unsuitable for sub 1-V supply.

This paper presents a low voltage class AB current mirror. The circuit is developed using the dynamic threshold voltage MOS transistors (DTMOS) and two low voltage current mirror configured in the class AB operation. The circuit can operate under the supply voltage of 0.7 V, and demonstrates good performances. The input current amplitude can be 7 times larger than the input bias current. The bandwidth of the circuit is 540 MHz, while the DC current gain is found to be -0.03 dB. The proposed structure offers input and output impedance of 264 Ω and 183 k Ω , respectively. The power dissipation under the quiescent condition is 96 μ W.

II. PROPOSED CIRCUIT

The proposed current mirror is shown in Fig. 2. As seen, our mirror is developed based on a conventional class AB current mirror. Dynamic threshold voltage MOSFET (DTMOS) M_{ND1} - M_{ND2} and M_{PD1} - M_{PD2} form a translinear loop

which accurately sets the bias voltage at the input terminal (that is equal to the analog ground). DTMOS are employed, enabling the circuit to operate under the low voltage supply. It is known that DTMOS is suitable for low voltage operation due to its dynamic threshold voltage, larger transconductance, and lower noise [18]. Transistors $M_{N1(P1)}$ - $M_{N4(P4)}$ are incorporated into the circuit to convert the difference between the currents through $M_{SD1(PD1)}$ and $M_{SD2(PD2)}$ ($I_{SD1(PD1)}$ and $I_{SD2(PD2)}$) into voltage, which is then fed to output DTMOS transistor M_{N8} - M_{N9} (M_{P8} - M_{P9}). This negative feedback configuration ensures low input impedance and equality between the input terminal and the source terminal of $M_{SD1(PD1)}$ and low input impedance. Composite transistors M_{N10} - M_{N11} (M_{P10} - M_{P11}) are employed, and operate as output stage with high output impedance.

The operation of the circuit can be explained as follows. When the input current I_{in} is forced into the input terminal, the gate-source voltage of M_{ND2} (M_{PD2}) will decrease (increase) resulting in current flowing into node N2 (P2). The difference of the current at nodes N1 (P1) and N2 (P2) will be converted to error signal at node N3 (P3), which connected to the gates of common source composite transistors M_{N8} - M_{N9} (M_{P8} - M_{P9}). This negative feedback configuration will force M_{N8} - M_{N9} (M_{P8} - M_{P9}) to sink all the input current. Since the gate

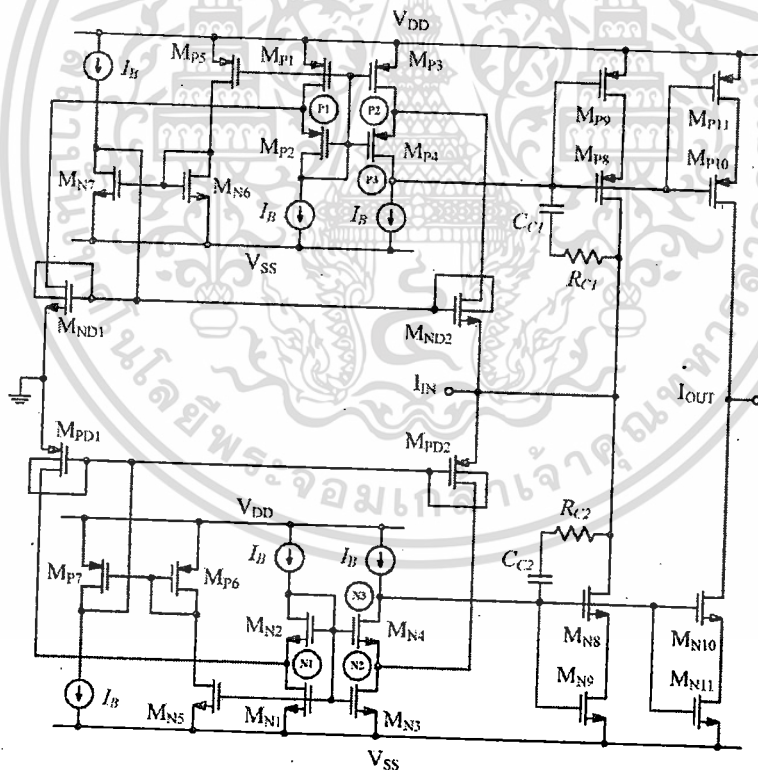


Figure 2. Proposed current mirror

terminals of the composite transistors $M_{N8}\text{-}M_{N9}$ ($M_{P8}\text{-}M_{P9}$) are tied to the gates of $M_{N10}\text{-}M_{N11}$ ($M_{P10}\text{-}M_{P11}$), the input current is therefore transfer to the output terminal.

On the contrary, when the input current I_{in} is forced out of the input node, the gate-source voltage of M_{ND2} (M_{PD2}) will increase (decrease) causing the current flowing out from node N2 (P2). The differential current between nodes N1 (P1) and N2 (P2) will be converted to error signal at node N3 (P3), which connected to the gates of common source composite transistors $M_{N8}\text{-}M_{N9}$ ($M_{P8}\text{-}M_{P9}$). As a result, $M_{N8}\text{-}M_{N9}$ ($M_{P8}\text{-}M_{P9}$) will source all the input current, which is also mirrored to the output terminal via $M_{N10}\text{-}M_{N11}$ ($M_{P10}\text{-}M_{P11}$).

The input impedance of the proposed current mirror is quite small due to the negative feedback mechanism mentioned previously. To demonstrate this, let assume that the input current signal is forced into the input node causing the input node to increase. The current signal is then passed through M_{ND2} (M_{PD2}), and converted to voltage at node N3 (and P3) via M_{N10} (M_{P10}), which is configured as a common-gate amplifier. The signal at node N3 (and P3) is further amplified by the common-source composite transistors $M_{N8}\text{-}M_{N9}$ ($M_{P8}\text{-}M_{P9}$). As a result, the voltage at the input terminal is forced to go low.

Straight forward small signal analysis shows that the input impedance of the proposed circuit is given by

$$R_{IN} = \frac{1}{(1 + g_{mP4}r_{op4})g_{mEPN1} + (1 + g_{mN4}r_{on4})g_{mEPN1}} \quad (1)$$

where r_o and g_m are the output impedance and transconductance of a transistor, respectively, g_{mEPN1} is the effective transconductance of composite transistor $M_{N8}\text{-}M_{N9}$ ($g_{mEPN1} \cong g_{mN9}$) and g_{mEPN1} is the effective transconductance of composite transistor $M_{P8}\text{-}M_{P9}$ ($g_{mEPN1} \cong g_{mP9}$).

Output impedance of circuit is large since composite transistors are employed at the output. This high output impedance is suitable for current signal processing circuit, which the output signal is current. The output impedance of the proposed circuit be expressed as [19]

$$R_{OUT} = r_{o,MN10,11} \parallel r_{o,MP10,11} \quad (2)$$

where $r_{o,MN10,11} \cong (g_{mN10}r_{on11} + 1)r_{on10}$ and $r_{o,MP10,11} \cong (g_{mP10}r_{op11} + 1)r_{op10}$.

The capacitor $C_{C1,2}$ and resistor $R_{C1,2}$ serve the purpose to compensate the circuit such that the closed-loop response of the proposed circuit is stable and demonstrate reasonable response times and bandwidth.

III. SIMULATION RESULTS

The proposed current mirror has been simulated using SPICE with BSIM3V3 model parameters. In the design, a 0.13 μm standard CMOS technology under the supply voltage of 0.7 V is employed. All the bias sinking and sourcing current sources (I_B) are implemented using a simple NMOS and PMOS, respectively, and set to 8 μA . The input and output impedance are found to be 264 Ω and 183 k Ω , respectively.

Fig. 3 shows the dc transfer characteristic between the input and the output currents. As seen, the input current is mirrored to the output over a wide range ($\pm 200 \mu\text{A}$) with good linearity. Fig. 4 shows the step response of the proposed current mirror, when the square wave input current (10 μA , 1 MHz) is applied. As seen, the proposed circuit shows stable characteristic, with settling time lower than 10 ns.

Fig. 5 shows the frequency response of the circuit. The DC current gain is found to be -0.03 dB and the bandwidth is 540 MHz. Fig. 6 shows the total harmonic distortion (THD) (at 1 MHz), when the output terminal is ground. The THD is found to be less than 0.5% for the input current less than 200 μA_{pp} . Finally, the power dissipation under the quiescent condition is 96 μW .

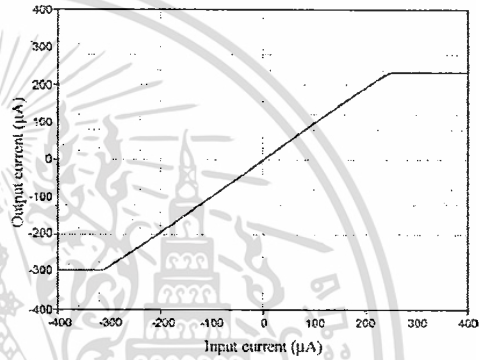


Figure 3. DC transfer characteristic.

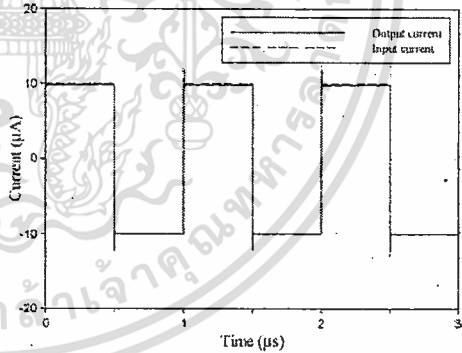


Figure 4. Input and output waveform (Square wave : $\pm 10 \mu\text{A}$, 1 MHz).

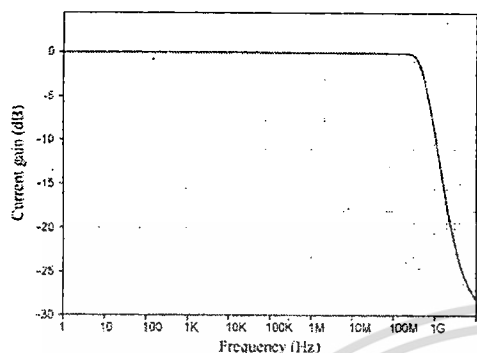


Figure 5. Frequency response.

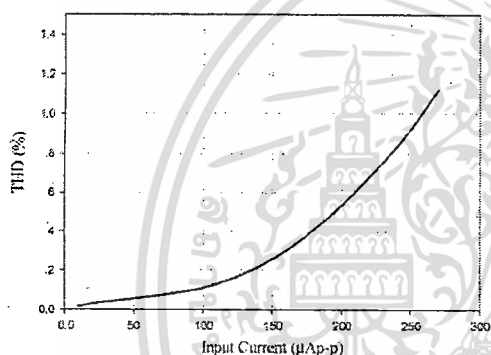


Figure 6. Total harmonic distortion (THD) at 1 MHz.

IV. CONCLUSION

A low voltage class AB current mirror is presented. The circuit is developed based on a complementary DTMOs structure and composite transistors with a common-source input and output stages. The circuit can operate under low voltage supply (0.7 V). The circuit performance is verified using SPICE with BSIM3V3 model parameters. The current mirror can support a wide range of the input current with good linearity. The DC current gain is -0.03 dB with the bandwidth of 540 MHz. The power dissipation under the quiescent condition is 96 μ W.

REFERENCES

- [1] G. Palmisano, G. Palumbo and S. Pennisi, "CMOS current amplifiers," Kluwer Academic Publishers, Dordrecht, Netherlands, 1999.
- [2] K. Koli and A. I. Halonen, "CMOS current amplifiers: speed versus nonlinearity," The International Series in Engineering and Computer Science, Springer, 2002.
- [3] C. Tourmazou, F. Lidgley, and D. G. Haigh, "Analog IC design-the current-mode approach," Peter Peregrinus Ltd., United Kingdom, 1990.
- [4] G. Souliotis and C. Psychalinos, "Current-mode linear transformation filters using current mirrors," IEEE Trans. on Circuits and Systems II, vol. 55, no. 6, pp. 541-545, 2008.
- [5] S. S. Lee, R. H. Zele, D. J. Allstot, and G. Liang, "CMOS continuous-time current-mode filters for high frequency applications," IEEE J. Solid-State Circuits, vol. 28, no. 5, pp. 323-329, 1993.
- [6] E. Bruun, "Worst case estimate of mismatch induced distortion in complementary CMOS current mirrors," Electronics Letters, vol. 34, pp. 1625-27, August 1998.
- [7] S. Kavahito and Y. Tadokoro "CMOS class-AB current mirrors for precision current-mode analog-signal-processing," IEEE Trans. on Circuits and System II, vol.43, no. 12, pp. 843-845, December 1996.
- [8] G. Palmisano and S. Pennisi, "Dynamic biasing for true low-voltage CMOS class AB current-mode circuits," IEEE Trans. on Circuits and Systems part II, vol. 47, no. 12, pp. 1569-1575, December 2000.
- [9] G. Palmisano, G. Palumbo and S. Pennisi, "CMOS current amplifiers," Kluwer Academic Publishers, Boston, 1999.
- [10] N. Tarim and H. Kuntman, "A high performance current differencing buffered amplifier," International Conference on Microelectronics, Morocco, pp. 153-156, 2001.
- [11] D. Freitas and K. Current, "CMOS current comparator circuit," Electronics Letters, vol. 19, no. 17, pp. 695-697, August 1983.
- [12] G. Palmisano and G. Palumbo, "Offset-compensated low power current comparators," Electronics Letters, vol. 30, no. 20, pp. 1637-1639, September 1994.
- [13] A. Sedra, G. Roberts and F. Gohh, "The current conveyor: history, progress and new results," IEE Proc. Part G Circuits, Devices and Systems, vol.137, no. 2, pp.78-87, April 1990.
- [14] A. Zeki and H. Kuntman, "High-linearity low-voltage self cascode class AB CMOS current output stage," IEEE International Symposium on Circuits and Systems, pp. IV 257-260, 2000.
- [15] G. Palmisano and S. Pennisi, "A true low-voltage CMOS class AB current mirror," IEEE International Symposium on Circuits and Systems, pp. IV 249-252, 2000.
- [16] S. Pennisi, "1-V CMOS class AB current mirror," European Conference on Circuit Theory and Design, pp. II 93-96, 2001.
- [17] A. J. Lopez-Martin, J. Ramirez-Angulo, R. G. Carvajal and J. M. Algueta, "Compact class AB CMOS current mirror," Electronics Letters, vol. 44, no. 23, 2008.
- [18] F. Assaderaghi, S. Parke, D. Sinitzky, J. Bokor, P. K. Ko and C. Hu, "A dynamic threshold voltage MOSFET (DTMOS) for very low voltage operation," IEEE Electron Device Letters, vol. 15, no. 12, pp. 510-512, 1994.
- [19] E. Sanchez-Sinencio, "ELEN 607 Advanced analog circuit design techniques: low voltage circuit design techniques," Analog and Mixed-Signal Center, Texas A&M University.

A Low Voltage Class AB Current Differencing Buffered Amplifier (CDBA)

Arnon Kanjanop and Varakorn Kasemsuwan
 School of Electronics Engineering, Faculty of Engineering
 King Mongkut's Institute of Technology Ladkrabang (KMUTL)
 Bangkok, Thailand
 pf_sunday@hotmail.com, kkvarako@kmitl.ac.th

Abstract—This paper presents a low voltage class AB current differencing buffered amplifier (CDBA). The circuit is developed based on two low voltage current mirrors and voltage follower. In the design, dynamic threshold voltage MOSFET (DTMOS) is employed as core devices. The proposed circuit is designed using a 0.13 μm CMOS technology and can operate under the supply voltage of 0.7 V. The simulation results show the impedance at ports p , n , z and w of 16.89 Ω , 15.99 Ω , 102.4 k Ω , and 15.56 Ω , respectively. The current transfer ratio i_z/i_p , i_z/i_n , and voltage transfer ratio v_w/v_p , are found to be close to one ($i_z/i_p=0.998$; $i_z/i_n=0.996$ and $v_w/v_p=0.995$) with the bandwidths of 460 MHz, 522 MHz and 172 MHz, respectively.

Keywords; voltage follower, current mirror, negative feedback.

I. INTRODUCTION

In recent year, current-mode circuits have been receiving considerable attention in several analog and digital signal processors due to their several potential advantages such as low voltage operation, wide dynamic range, high speed processing and low power consumption.

Current differencing buffered amplifier (CDBA) is one among current-mode analog circuit building blocks. CDBA was proposed in [1] and has been used in many applications especially in the current-mode filters [2]-[4]. Several existing CDBAs have been proposed [5]-[12]. Current conveyor based CDBA was proposed by [5]. Circuit is very simple and demonstrates good performances. However, the input impedance of the circuit is rather high, and output signal swing is quite limited. [6-8] employed bipolar junction transistor to implement CDBAs. Their structures require large power consumption, and are not suitable for low voltage operation. Moreover, the implementation of the circuit uses BiCMOS process, hence making it less attractive due to an increased manufacturing cost. NMOS based CDBA has been proposed in [9]. The proposed CDBA has low impedance at both input and output ports. Bandwidth of the circuit is also high since NMOS is used to process the signal. However, the circuit operates in the class A configuration, thus limiting the input current amplitude. To alleviate this problem, large bias current and thus large power consumption is required. In addition, the circuit needs large supply voltage to operate making the structure unsuitable for modern low voltage integrated circuits. [10-12] proposed low voltage CDBAs. Their structures are

very simple and provide good voltage transfer characteristics. However, their impedances at the output ports are rather high. Moreover, all of the proposed structures are designed to operate in class A, thus large bias current is needed to obtain large dynamic range.

In this paper, a low voltage class AB current differencing buffered amplifier (CDBA) is presented. The circuit is developed based on two low voltage current mirrors and voltage follower. In the design, dynamic threshold voltage MOSFETs (DTMOS) are employed, allowing the circuit to operate under low supply voltage. The proposed circuit is designed using a 0.13 μm CMOS technology and can operate under the supply voltage of 0.7 V. The simulation results show good performances, namely, low impedances (at ports p , n and w), large output impedances (at port z) and good linearity of the current and voltage transfer characteristics.

II. CIRCUIT DESCRIPTION

A. Basic CDBA

A block diagram of CDBA is shown in Fig. 1. As seen, CDBA is a four-port device and its transfer characteristic can be described by eq. (1).

$$\begin{bmatrix} i_z \\ v_w \\ v_p \\ v_n \end{bmatrix} = \begin{bmatrix} 0 & 0 & 1 & -1 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_z \\ i_w \\ i_p \\ i_n \end{bmatrix} \quad (1)$$

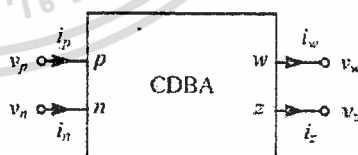


Figure 1. Block diagram of CDBA

From eq. (1), the output current at port z is equal to the difference of the input currents at ports p and n . Ports p and n are considered as ac ground since these two ports have low

impedances. In addition, the difference of the input currents are converted into output voltage v_w . One can consider CDBA as a special type of current feedback amplifier with differential current input and grounded y input. It is also noticed that the CDBA characteristics strongly depends on the current and voltage transfer. As a result, current mirror and voltage follower become main components of CDBAs.

B. Proposed CDBA

Fig. 2 illustrates the block diagram of the proposed CDBA. As seen, the diagram consists of current differencing circuit and voltage follower (VF). The current differencing circuit is realized by cascading two current mirrors (CM1 and CM2). If the current gain of CM1 and CM2 are equal to one, then the output current of CM1 ($i_{o(CM1)}$) is same as the input current i_p . In addition, since the input current of CM2 ($i_{i(CM2)}$) is equal to $i_p - i_n$, the output current of CM2 (port z) is $i_{o(CM2)} = i_z = i_p - i_n$. Finally, the voltage at port z is transferred to port w through the voltage follower (VF).

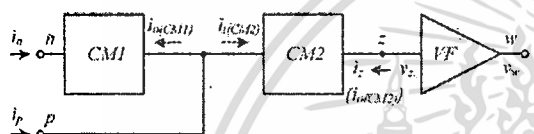


Figure 2. Block diagram of proposed CDBA

The implementation of the current differencing circuit is illustrated in Fig. 3. DTMOSs M_{ND1} - M_{ND3} and M_{PD1} - M_{PD3} are

employed to increase the transconductance of the MOSFETs and, at the same time, to lower the threshold voltage, thus enabling the circuit to operate under the low supply voltage. As seen, M_{ND1} - M_{ND3} and M_{PD1} - M_{PD3} form translinear loops, which accurately sets the bias voltage at the input ports n and p to ground. M_{PN1} - M_{PN3} are used to convert the difference of the currents of $M_{ND1(PD1)}$, $M_{ND2(PD2)}$ and $M_{ND3(PD3)}$ ($i_{ND1(PD1)}$, $i_{ND2(PD2)}$ and $i_{ND3(PD3)}$) into voltage, which is then fed to $M_{PN1,2(PN1,2)}$ and $M_{PN3,4(PN3,4)}$. This negative feedback configuration ensures low input impedance. Composite transistors $M_{PZ1(QZ1)}$ - $M_{PZ2(QZ2)}$ are employed to achieve high output impedance at port z .

The operation of the circuit can be explained as follows. When the input current $i_{n(p)}$ is forced into the input terminal, the gate-source voltage of $M_{ND2(3)}$ ($M_{PD2(3)}$) decrease (increase), resulting in current flowing into node N2(4) (P2(4)). The difference of the current at nodes N1 (P1) and N2 (P2) is converted into error signal at node N3 (P3), which is connected to the gates of common source composite transistors M_{NN1} - M_{NN2} (M_{PN1} - M_{PN2}). This negative feedback loop forces M_{NN1} - M_{NN2} (M_{PN1} - M_{PN2}) to sink all the input current. Since the gate terminals of M_{NN1} - M_{NN2} (M_{PN1} - M_{PN2}) are tied to the gates of M_{NP1} - M_{NP2} (M_{PP1} - M_{PP2}), the input current is transferred to the output terminal.

On the contrary, when the input current $i_{n(p)}$ is forced out of the input node, the gate-source voltage of $M_{ND2(3)}$ ($M_{PD2(3)}$) increase (decrease), causing the current flowing out from node N2(4) (P2(4)). The different current between nodes N1 (P1) and N2 (P2) will be converted to error signal at node N3 (P3), which is connected to the gates of common source composite

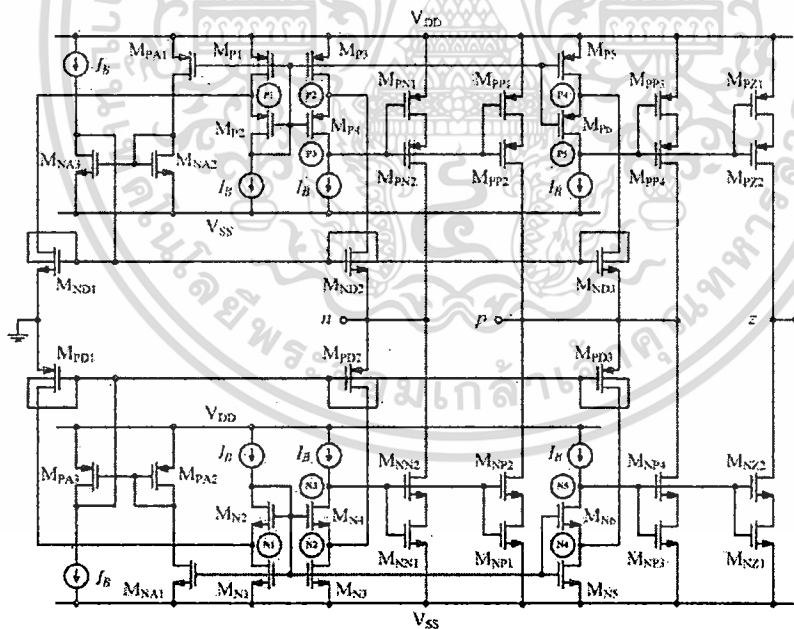


Figure 3. Proposed current differencing circuit

transistors M_{NN1} - M_{NN2} (M_{PN1} - M_{PN2}). As a result, M_{NN1} - M_{NN2} (M_{PN1} - M_{PN2}) will source all the input current, which is also mirrored to the output terminal via M_{NP1} - M_{NP2} (M_{PP1} - M_{PP2}).

The input impedance at ports n (r_n) and port p (r_p) are small due to negative feedback mechanism as discussed previously. Straightforward analysis shows that r_n and r_p are

$$r_n = \frac{1}{(1 + g_{mP4}r_{oP4})g_{mEFP1} + (1 + g_{mN4}r_{oN4})g_{mEFP1}} \quad (2)$$

$$r_p = \frac{1}{(1 + g_{mP6}r_{oP6})g_{mEFP1} + (1 + g_{mN6}r_{oN6})g_{mEFP1}} \parallel r_{on} \quad (3)$$

where g_m is the transconductance, and r_o is the output impedance of MOSFET. $r_{on} = r_{oMNP1,2} \parallel r_{oMPP1,2}$, $r_{oMNP1,2} \cong (g_{mNP2}r_{oNP1} - 1)r_{oNP2}$, $r_{oMPP1,2} \cong (g_{mPP2}r_{oPP1} - 1)r_{oPP2}$, g_{mEFP1} ($\cong g_{mNN1}$), g_{mEFP1} ($\cong g_{mPN1}$), g_{mEFP1} ($\cong g_{mPP1}$), and g_{mEFP1} ($\cong g_{mNT1}$) are the effective transconductance of composite transistors $M_{NN1,2}$, $M_{PN1,2}$, $M_{PP1,2}$ and $M_{NT1,2}$, respectively.

Since r_{on} is large, r_p can be approximated as

$$r_p \cong \frac{1}{(1 + g_{mP6}r_{oP6})g_{mEFP1} + (1 + g_{mN6}r_{oN6})g_{mEFP1}} \quad (4)$$

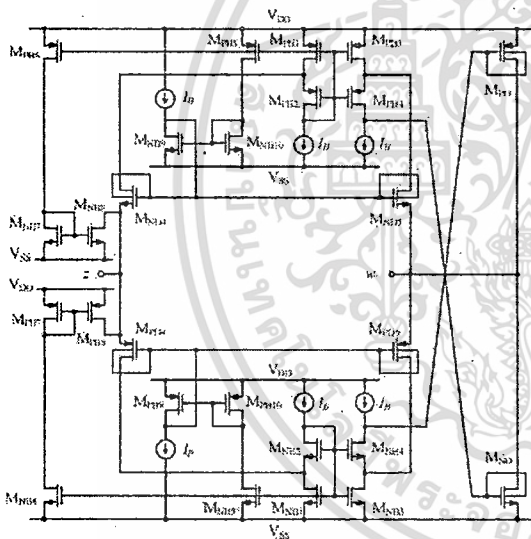


Figure 4. Low voltage follower (VF) circuit.

The voltage follower (VF) in Fig. 2 is implemented using the low voltage follower as shown in Fig. 4 [13]. It is noted that the input impedance of the follower is quite high, due to the positive feedback employed in the circuit. As a result, the impedance of port z is approximately r_{op} which is given by

$$r_{op} = r_{oMPP1,2} \parallel r_{oMNP1,2} \quad (5)$$

where $r_{oMNP1,2} \cong (g_{mNP2}r_{oNP1} - 1)r_{oNP2}$ and $r_{oMPP1,2} \cong (g_{mPP2}r_{oPP1} - 1)r_{oPP2}$.

The impedance at port w is also small due to the negative feedback employed similar to the input ports p and n in Fig. 3. Straightforward small signal analysis shows that the impedance at port w is given by

$$r_w = \frac{1}{(1 + g_{mP4}r_{oP4})(G_{mNO}) + (1 + g_{mN4}r_{oN4})(G_{mPO})} \quad (6)$$

where $G_{mNO} = g_{mN3} + g_{mN2}$ and $G_{mPO} = g_{mP3} + g_{mP2}$.

III. SIMULATION RESULTS

The proposed CDBA has been simulated using SPICE with BSIM3V3 model parameters. In the design, a 0.13 μm CMOS technology under the supply voltage of 0.7 V is employed. All the bias current sources (I_b) are set to 8 μA .

Fig. 5 shows the current transfer characteristics of the output current $i_z = i_p - i_n$ versus the input current i_p for different value on i_n . As seen, the output current at port z (i_z) can be transferred over a wide input current range. Fig. 6 shows the voltage transfer characteristics of the voltage at port z (v_z) and port w (v_w). As seen, v_w can track v_z over a wide range.

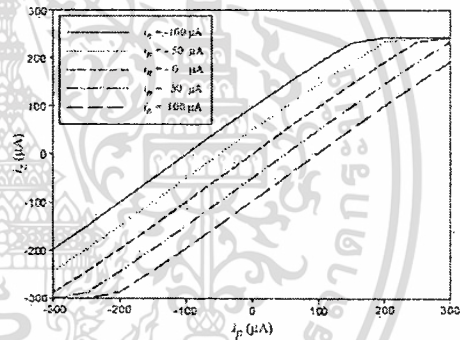


Figure 5. Current transfer characteristics $i_z / (i_p - i_n)$

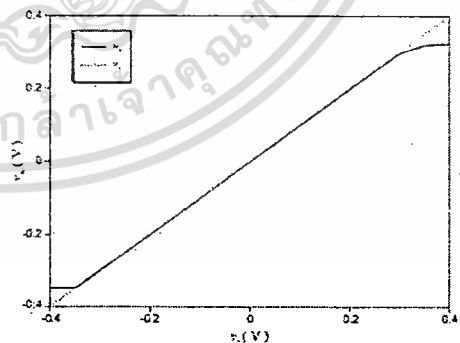


Figure 6. Voltage transfer characteristic (v_w/v_z).

Figs. 7 and 8 show the frequency response of current and voltage transfer characteristics of i_1/i_p , i_2/i_n and v_o/v_z , respectively. As seen, the current transfer ratio i_1/i_p , i_2/i_n and voltage transfer ratio v_o/v_z are 0.998, 0.996 and 0.995 with bandwidths of 460 MHz, 522 MHz and 172 MHz, respectively.

Table I. compares the performance of the proposed CDBA with other recently published works. As seen, our proposed circuit can operate under low voltage with good performance. The impedances at ports p , n , and w are found to be 16.89 Ω , 15.99 Ω and 15.56 Ω , respectively, which are relatively low when compared to others. The impedance at port z is found to be 102.4 k Ω . The static power dissipation is quite small and equal to 293 μ W.

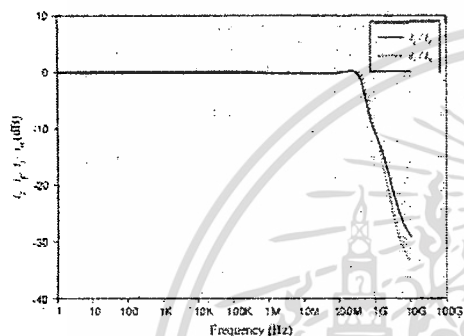


Figure 7. Frequency responses of current transfer characteristics.

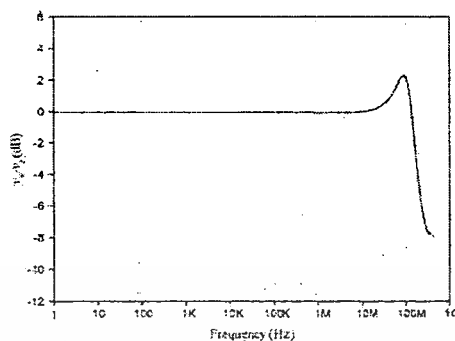


Figure 8. Frequency response of the voltage transfer characteristic.

IV. CONCLUSION

A low voltage class AB current differencing buffered amplifier (CDBA) is presented. The circuit is developed based on two low voltage class AB current mirrors and voltage follower. The circuit can operate under the supply voltage of 0.7 V with good performance. DTMOS and composite transistor techniques are employed to enable the proposed CDBA to operate under low voltage with large output impedance. The circuit provides the impedances at ports p , n , z and w of 16.89 Ω , 15.99 Ω , 102.4 k Ω , and 15.56 Ω , respectively. The current transfer ratio i_1/i_p , i_2/i_n and the voltage transfer ratio v_o/v_z are 0.998, 0.996 and 0.995 with bandwidth of 460 MHz, 522 MHz and 172 MHz, respectively. The power dissipation under the quiescent condition is 293 μ W.

TABLE I. PERFORMANCE COMPARISON

Parameter	[8]	[9]	[10]	[11]	[12]	Proposed
Transistor Technology	BiCMOS	0.5 μ m	0.18 μ m	0.18 μ m	0.18 μ m	0.13 μ m
Supply voltage	3 V	2.5 V	1.5 V	1.5 V	1.2 V	0.7 V
Current transfer ratio (i_1/i_p)/BW	N/A / 33 MHz	0.991 / 580 MHz	0.978 / 90 MHz	0.965 / 151 MHz	0.981 / 25 MHz	0.998 / 460 MHz
Current transfer ratio (i_2/i_n)/BW	N/A / 28 MHz	0.996 / 643 MHz	0.978 / 90 MHz	0.965 / 151 MHz	0.981 / 25 MHz	0.996 / 522 MHz
Voltage transfer ratio (v_o/v_z)/BW	N/A / 257 MHz	0.989 / 507 MHz	0.970 / 1.2 GHz	0.961 / 158 MHz	0.978 / 474 MHz	0.995 / 172 MHz
Impedance at port p / n [Ω]	223 / 223	14 / 14	50 / 50	47 / 47	56.4 / 56.4	16.89 / 15.99
Impedance at port z [Ω]	N/A	290K	102K	184K	157K	102.4K
Impedance at port w [Ω]	N/A	14	158	25	270	15.56
Power dissipation	655 μ W	930 μ W	1.2 mW	754 μ W	565.25 μ W	293 μ W

REFERENCES

- [1] C. Acar and S. Ozoguz, "A new versatile building block: current differencing buffered amplifier suitable for analog signal processing filters," *Microelectronics Journal*, vol. 30, pp. 157-160, 1999.
- [2] S. Ozoguz, A. Tokar and C. Acar, "Current-mode continuous-time fully-integrated universal filter using CDBAs," *Electronics Letters*, vol. 35, no.2, pp. 97-98, 1999.
- [3] S. Kilinc and U. Cam, "Current differencing buffered amplifier (CDBA) based current-mode filters," *Proceedings of the IEEE 12th Signal Processing and Communications Applications Conference*, pp. 634-637, 2004.
- [4] S. Pisitchalermping, T. Pukkalmun, W. Tangsrirat and W. Surakampontom, "Current differencing buffered amplifier based

2011 International Symposium on Intelligent Signal Processing and Communication Systems (ISPACS) December 7-9, 2011

- multiple-output biquadratic filters," *IEEE Conference on Electron Devices and Solid-State Circuits*, pp. 521-524, 2005.
- [5] N. Tarim and H. Kuntman, "A high performance current differencing buffered amplifier," *International Conference on Microelectronics, Morocco*, pp. 153-156, 2001.
- [6] S. Maheshwari and I. A. Khan, "Current-controlled current differencing buffered amplifier: implementation and applications," *Active and Passive Electronic Components*, no. 4, pp. 219-227, 2004.
- [7] V. Sawangarom, W. Tangsrirat and W. Surakamponnoi, "NPN-based current differencing buffered amplifier and its application," *SICE-ICASE International Joint Conference, Korea*, pp. 5766-5769, 2006.
- [8] P. Silapan, W. Jaikla and M. Siripuchyanun, "High-performance BiCMOS current controlled CDBA and application," *International Symposium on Communications and Information Technologies*, pp. 40-43, 2007.
- [9] T. Dumawipata, W. Tangsrirat and W. Surakamponnoi, "Low-voltage current differencing buffered amplifier using only NMOS transistors," *International Symposium on Integrated Circuits*, pp. 123-126, 2007.
- [10] C. Cakir and O. Cicekdoglu, "Low-voltage high-performance CMOS current differencing buffered amplifier (CDBA)," In *Proceedings of the 4th IEEE conference on Ph.D. research in microelectronics and electronics*, pp. 37-40, Turkey, 2008.
- [11] C. Cakir, S. Minaci and O. Cicekdoglu, "Low-voltage low-power and high-swing current differencing buffered amplifier," *Circuits and Systems and TAISA Conference*, 2009.
- [12] C. Cakir, S. Minaci and O. Cicekdoglu, "Low-voltage low-power CMOS current differencing buffered amplifier," *Analog Integrated Circuits and Signal Processing*, vol. 62, no. 2, pp. 237-244, 2010.
- [13] A. Kanjanop, A. Suadet, P. Singhanath, T. Thongleam, S. Kuankid and V. Kasemsuwan, "An ultra low voltage rail-to-rail DTMOS voltage follower," *International Conference on Modeling, Simulation and Applied Optimization*, 2011.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

นายอานนท์ กัญจนพ เกิดเมื่อวันที่ 27 พฤศจิกายน พ.ศ.2526 ที่จังหวัดเชียงใหม่ สำเร็จการศึกษาปริญญาตรีวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ จากภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2549 และในปี 2552 ได้เข้าศึกษาต่อในระดับปริญญาโท หลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้