

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรตรวจจับค่าสูงสุดแบบ WTA รูปแบบแรงดันโดยใช้ซีมอส
และการประยุกต์ใช้งาน

CMOS-BASED WTA VOLTAGE-MODE MAXIMUM CIRCUIT
AND ITS APPLICATIONS



T132190



ฉพ.

ก 677 จ

๒๕๕๕

เลขหมู่..... 132190
เลขทะเบียน..... - 4 ก.ค. 2557
วัน,เดือน,ปี.....

b. 12585129
i.

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2555
KMITL-2012-EN-M-010-180

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS-BASED WTA VOLTAGE-MODE MAXIMUM CIRCUIT
AND ITS APPLICATIONS



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2012
KMITL-2012-EN-M-010-180

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2012

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรถรวจจับค่าสูงสุดแบบ WTA รูปแบบแรงดันโดยใช้ซีมอส และการประยุกต์ใช้งาน
นักศึกษา	นายกิตติคุณ ฉัตรตระกูล
รหัสประจำตัว	52611236
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2555
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร.พิพัฒน์ พรหมมี

บทคัดย่อ

วิทยานิพนธ์นี้นำเสนอ วงจรถรวจจับค่าสูงสุดแบบ WTA รูปแบบแรงดันชนิดหลายอินพุตแบบซีมอส ที่ใช้ทรานซิสเตอร์จำนวนน้อย ซึ่งวงจรถตามแรงดันที่ใช้สามารถทำงานที่ค่าแบนด์วิดท์สูงสุด 1 GHz ค่าดีเลย์ต่ำอยู่ที่ 1 ns โดยมีช่วงอินพุตปฏิบัติงานเป็น ± 600 mV ซึ่งมีค่าความต้านทานเอาต์พุตต่ำ ค่าความผิดพลาดเชิงมุมประมาณ 10 mV / 5 ns ที่ความถี่ 100 MHz ซึ่งมีค่า THD ประมาณ 1.1% ที่ความถี่ 100 MHz โดยคิดที่แรงดันอินพุต 1.2 V_{pp} วงจรที่นำเสนอใช้แรงดัน ± 1.25 V มีการสูญเสียพลังงานประมาณ 0.605 mW สามารถนำมาประยุกต์ใช้เป็นวงจรถเรียงกระแสแบบครึ่งคลื่น และวงจรถเรียงกระแสแบบเต็มคลื่นได้ ในการนำเสนอประสิทธิภาพและการประยุกต์ใช้งานของวงจรถถูกจำลองโดยใช้โปรแกรม PSPICE

Thesis	CMOS-BASED WTA VOLTAGE-MODE MAXIMUM CIRCUIT AND ITS APPLICATIONS
Student	Mr. Kittikhun Chattrakun
Student ID.	52611236
Degree	Master of Engineering
Program	Telecommunications Engineering
Year	2012
Thesis Advisor	Assoc.Prof.Dr.Pipat Prommee

ABSTRACT

This Thesis presents design of a voltage-mode multiple-inputs winner-take-all (WTA) maximum (max) circuit. The proposed circuits are realized in a CMOS technology with low component counts of transistors. They display usability of proposed building block, where the maximum bandwidth of voltage follower is around 1 GHz, low delay time is around 1. ns with high-input and low-output impedances. The THD is obtained around 1.1% at frequency 100 MHz within ± 600 mV input range. The power dissipation of proposed circuits is obtained around 0.605 mW with ± 1.25 volts power supplies. In applications, half-wave and full-wave rectifiers, are included. Computer simulation results by using PSPICE program are carried out to show the performance of the proposed WTA max circuit and rectifiers.

กิตติกรรมประกาศ

วิทยานิพนธ์นี้สำเร็จลุล่วงได้ ผู้เขียนขอกราบขอบพระคุณอาจารย์ บุคคลและองค์กรที่มีรายชื่อดังนี้

พ่อและแม่ ผู้อบรมเลี้ยงดู ให้การศึกษา สนับสนุน และเป็นตัวอย่างที่ดีต่อผู้เขียนเสมอมา ขอขอบพระคุณอาจารย์ที่ปรึกษา รศ.ดร.พิพัฒน์ พรหมมี ที่ให้ความช่วยเหลือ ให้คำชี้แนะ ช่วยแก้ปัญหา ตลอดจนให้ความรู้และประสบการณ์ที่ดีแก่ข้าพเจ้าตลอดมา ทั้งที่ผู้เขียนได้มีเวลาที่แยะและดี ทั้งทำผิดและถูก แต่อาจารย์ที่ปรึกษาก็ยังคงคอยช่วยข้าพเจ้าอยู่เสมอมา

ขอขอบพระคุณ ดร.มนตรี สมดุลยภณ ที่ได้กรุณาให้คำแนะนำตลอดจนข้อชี้แนะ ในจุดที่มีปัญหาบางอย่าง จนทำให้เข้าใจและแก้ไขปัญหานั้น

ขอขอบพระคุณ ผศ.ดร.ภุชงค์ อ่างแก้ว ที่ได้กรุณาให้คำแนะนำ และตัวอย่างในวิทยานิพนธ์เล่มนี้ ให้เป็นแนวทางในการทดลอง และเขียนวิทยานิพนธ์เล่มนี้อีกด้วย

ขอขอบคุณเพื่อนๆ พี่ๆ น้องๆ ทุกคนที่เป็นกำลังใจด้วยดีเสมอมา โดยเฉพาะนายกานดน้อย แสนเสนกะพันธ์ ที่คอยช่วยปรับแต่งวิทยานิพนธ์เล่มนี้

สุดท้ายต้องขอขอบคุณ สำหรับคุณงามความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับบิดามารดา ซึ่งเป็นที่รักและเคารพยิ่ง ตลอดจนครูอาจารย์ที่เคารพทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้และถ่ายทอดประสบการณ์ที่ดีให้แก่ข้าพเจ้า ประโยชน์อันใดที่เกิดจากวิทยานิพนธ์นี้เป็นผลมาจากความกรุณาของทุกๆ ท่านดังกล่าวข้างต้น

กิตติคุณ ฉัตรตระกูล

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูปภาพ.....	VIII
บทที่ 1 บทนำ	
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 วัตถุประสงค์ของงานวิจัย.....	2
1.3 ขอบเขตงานวิจัย.....	3
1.4 รายละเอียดในวิทยานิพนธ์.....	3
บทที่ 2 ทฤษฎีการทำงานของมอสทรานซิสเตอร์	
2.1 บทนำ.....	4
2.2 มอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์.....	5
2.3 มอสทรานซิสเตอร์ชนิดดีพีเอ็น.....	11
2.4 วงจรสมมูลย์ของมอสทรานซิสเตอร์.....	13
2.5 ผลตอบสนองความถี่.....	16
2.6 ข้อเปรียบเทียบระหว่างทรานซิสเตอร์แบบเฟทกับแบบไบโพลาร์.....	19
2.7 บทสรุป.....	20
บทที่ 3 หลักการและวงจรย่อยที่ใช้ในวิทยานิพนธ์	
3.1 บทนำ.....	21
3.2 หลักการของวงจรตรวจจับค่าแรงดันต่ำสุดและสูงสุด.....	21
3.2.1 วงจรตรวจจับค่าแรงดันต่ำสุดและสูงสุดใช้วงจรโอทีเอ.....	21
3.2.2 วงจรตรวจจับค่าแรงดันสูงสุดและต่ำสุดใช้วงจรสายพานกระแส.....	23
3.2.3 วงจรตรวจจับค่าแรงดันสูงสุดแบบหลายเอาต์พุต.....	24
3.3 วงจรสะท้อนกระแส.....	25
3.4 วงจรกันชนแรงดันโดยใช้ซีมอส.....	27
3.5 บทสรุป.....	28
บทที่ 4 วงจรตรวจจับค่าแรงดันสูงสุดหลายอินพุตรูปแบบแรงดัน และการประยุกต์ใช้งาน	
4.1 บทนำ.....	29
4.2 วงจรตรวจจับค่าแรงดันสูงสุดที่น่าเสนอ.....	30
4.3 การวิเคราะห์ประสิทธิภาพวงจร.....	31
4.3.1 การวิเคราะห์ด้านความต้านทาน.....	31
4.3.2 ค่าความผิดพลาดของเอาต์พุต tracking.....	31
4.3.3 ผลกระทบของทรานซิสเตอร์ที่ไม่สมพงศ์กัน.....	32
4.3.4 ผลจาก Body Effect.....	32

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
4.4 ผลการจำลองการทำงาน	33
4.5 การประยุกต์ใช้งาน	37
4.5.1 วงจรเรียงกระแสแบบครึ่งคลื่น	38
4.5.2 วงจรเรียงกระแสแบบเต็มคลื่น.....	39
4.6 บทสรุป	40
บทที่ 5 บทสรุปและข้อเสนอแนะ	
5.1 บทนำ.....	41
5.2 ข้อเสนอแนะ	41
เอกสารอ้างอิง	42
ภาคผนวก.....	44
ภาคผนวก ก ตัวอย่างโปรแกรม PSPICE ของวงจรตรวจจับค่าแรงดันสูงสุดหลายอินพุต รูปแบบแรงดัน และการประยุกต์ใช้งาน รวมทั้งแบบจำลองและค่าพารามิเตอร์	45
ก.1 ตัวอย่างโปรแกรม PSPICE	46
ก.2 แบบจำลองและค่าพารามิเตอร์	48
ภาคผนวก ข การวิเคราะห์วงจร	49
ข.1 วงจรสะท้อนกระแสแบบพื้นฐาน.....	50
ข.2 การวิเคราะห์วงจรทางไฟฟ้าสลับของวงจรตรวจจับค่าสูงสุด.....	52
ภาคผนวก ค บทความที่ได้รับการตีพิมพ์.....	56
ประวัติผู้เขียน	74

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
4.1 โมเดล TSMC MOSIS 0.25 μm	33
4.2 ค่า Aspect Ratio ทรานซิสเตอร์สำหรับ (CMOS)	33
4.3 ตารางเปรียบเทียบวงจรตรวจจับค่าสูงสุดที่นำเสนอ กับวงจรที่เสนอก่อนหน้านี้.....	33



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1 แสดงมอสทรานซิสเตอร์ชนิดต่างๆ	4
2.2 แสดงโครงสร้างมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์แบบเอ็นแซนแนล	6
2.3 แสดงการทำงานของมอสทรานซิสเตอร์ในช่วงต่างๆ	8
2.4 แสดงการไบอัสมอสทรานซิสเตอร์ (ก) NMOS (ข) PMOS	10
2.5 แสดงกราฟความสัมพันธ์ระหว่าง I_D และ V_{DS} เมื่อ $\lambda=0$	10
2.6 แสดงคุณสมบัติทางเอาต์พุตของมอสทรานซิสเตอร์	11
2.7 แสดงพลีซันมอสทรานซิสเตอร์ชนิดเอ็นแซนแนล (ก) โครงสร้าง (ข) สัญลักษณ์	12
2.8 แสดงคุณสมบัติ I_D - V_{DS} ของมอสทรานซิสเตอร์แบบดีพลีซันชนิดเอ็นแซนแนล	13
2.9 แสดงคุณสมบัติ I_D - V_{GS} ของมอสทรานซิสเตอร์ทั้งหมด	13
2.10 แสดงแบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ (ก) ไม่พิจารณาผลของ λ ขณะทำงานในช่วงอิมิตัว (ข) พิจารณาผลของ λ โดยเพิ่มความต้านทานที่ทางออก.....	14
2.11 แสดงแบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ กรณีพื้นฐานรองไม่ต่ออยู่กับซอร์ส.....	15
2.12 แสดง (ก) แบบจำลองวงจรสมมูลย์ของมอสทรานซิสเตอร์ที่ความถี่สูง (ข) วงจรสมมูลย์สำหรับกรณีที่มีซอร์สต่อกับฐานรอง (ค) วงจรสมมูลย์ตามรูป (ข) กรณีที่ C_{db} มีค่าน้อยมากๆ.....	16
2.13 แสดงการหาอัตราการขยายกระแสขณะปิดวงจร	18
3.1 วงจรตรวจจับค่าแรงดันสูงสุดโดยใช้วงจรโอทีเอ	22
3.2 วงจรตรวจจับค่าแรงดันสูงสุดโดยใช้วงจรสายพานกระแส	24
3.3 วงจรตรวจจับค่าแรงดันสูงสุดของ Yamakawa [3]	25
3.4 วงจรตรวจจับค่าแรงดันสูงสุดของ Yamakawa ในแบบใช้มอสทรานซิสเตอร์	25
3.5 วงจรสะท้อนกระแสแบบพื้นฐาน (ก) แบบบวก (ข) แบบลบ	26
3.6 วงจรกันชนแรงดันโดยใช้ซีมอส	27
4.1 วงจรตรวจจับค่าสูงสุดแบบ WTA โดยใช้ซีมอสที่มี n -input	31
4.2 คุณสมบัติทางไฟตรงของวงจรและค่าความผิดพลาด	34
4.3 ความต้านทานเอาต์พุตที่ป้อนกระแสที่เอาต์พุต	34
4.4 ความเพี้ยนฮามอนิกรวมเอาต์พุตที่ 10 MHz และ 100 MHz	35
4.5 ผลตอบสนองทางความถี่ของวงจรตามแรงดัน	35
4.6 ผลตอบสนองชั่วขณะของอินพุตต่อกับความต้านทาน 5 k Ω	36
4.7 คุณสมบัติทางไฟตรงของวงจรตรวจจับค่าสูงสุด	36
4.8 แรงดันสูงสุดที่อินพุตมีความถี่ 1 MHz และ 5 MHz	37
4.9 บล็อกไดอะแกรมวงจรเรียงกระแสแบบครึ่งคลื่น	38
4.10 บล็อกไดอะแกรมของวงจรเรียงกระแสแบบเต็มคลื่น	38
4.11 การประยุกต์ใช้เป็นวงจรเรียงกระแสแบบครึ่งคลื่น.....	39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.12 การประยุกต์ใช้เป็นวงจรรีจกระแสบแบบเต็มคลื่น.....	39
ข.1 วงจรสะท้อนกระแสแบบพื้นฐาน (ก) แบบบวก (ข) แบบลบ.....	50
ข.2 แบบจำลองสัญญาณขนาดเล็กของวงจรถัดบนกระแสแบบพื้นฐาน.....	51
ข.3 แบบจำลองสัญญาณขนาดเล็กเพื่อวิเคราะห์อิมพีแดนซ์ของวงจรถัดบนกระแสแบบพื้นฐาน...51	
ข.4 แบบจำลองสัญญาณขนาดเล็กเพื่อวิเคราะห์หาค่าอิมพีแดนซ์เอาต์พุต (Z_o).....	52
ข.5 แบบจำลองสัญญาณขนาดเล็กเพื่อวิเคราะห์หาค่าอัตรการขยายแรงดัน (β).....	54



บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันเทคโนโลยีทางด้านอิเล็กทรอนิกส์ และโทรคมนาคมได้วิวัฒนาการไปอย่างรวดเร็วอย่างต่อเนื่อง ซึ่งเทคโนโลยีในการออกแบบวงจรอิเล็กทรอนิกส์ก็เช่นกัน วงจรตรวจจับค่าสูงสุดนั้นก็ เป็นอีกหนึ่งวงจร ที่เป็นส่วนประกอบสำคัญต่อการประมวลผลสัญญาณเป็นอย่างมาก รูปแบบวงจรตรวจจับค่าสูงสุดที่ยอมรับกัน คือ ใช้วงจรกันชนแรงดัน (Voltage buffer stage) [1] เชื่อมต่อกันแบบขนาน วงจรตรวจจับค่าสูงสุดที่ใช้รูปแบบวงจร Winner-Take-All ถูกค้นพบโดยใช้การต่อแบบขนานของคาสโคดเซลล์ (Cascode cell) ซึ่งถูกเรียกว่า Lazzaro'cell [2] วงจร WTA มากมายที่ถูกนำเสนอขึ้น ทำงานในรูปแบบกระแส หรือรูปแบบแรงดัน [3-7] วงจร WTA ส่วนใหญ่มักนำไปประยุกต์ใช้ในการติดต่อสื่อสาร ในระบบเครื่องมือวัด (Instrumentations) โดยเฉพาะอย่างยิ่งในการควบคุมแบบฟัซซีในเครื่องใช้ไฟฟ้าในบ้าน (Fuzzy Control) [4,6] เครือข่ายเส้นใยประสาท (Neural network) อีกทั้งยังสามารถนำมาประยุกต์ใช้ในการประมวลผลสัญญาณภาพ จากอดีตจนถึงปัจจุบัน วงจรตรวจจับค่าสูงสุดได้รับการพัฒนา และนำเสนออย่างต่อเนื่อง เพื่อให้ได้วงจรตรวจจับค่าสูงสุดที่มีคุณสมบัติที่ดี วงจรตรวจจับค่าสูงสุดที่ดีควรมีคุณสมบัติ เช่น มีความเที่ยงตรงสูง มีช่วงปฏิบัติการทางขนาด และความถี่กว้าง มีความเร็วสูง ใช้กำลังงานต่ำ ใช้อุปกรณ์น้อย อีกทั้งควรมีความง่ายไม่ซับซ้อน เพื่อให้เหมาะกับการนำไปสร้างเป็นวงจรรวม ในงานที่นำเสนอแต่ก่อนนั้น ใช้หลักการสร้างโดยใช้การสะท้อนกระแสที่ต่อแบบคาสโคด [4-5] ที่นำอุปกรณ์ประเภทแอกทิฟมาใช้งาน แต่ยังคงให้ความต้านทานที่เอาท์พุตได้ไม่ดี อีกทั้งยังไม่สามารถให้ผลตอบสนองได้อย่างรวดเร็วและถูกต้อง วงจรตรวจจับค่าสูงสุดนำเสนอไว้ในวารสารก่อนหน้านี้นี้ ใช้อุปกรณ์แอกทิฟเป็นวงจรพื้นฐานได้แก่ ใช้ออปแอมป์ (Op-amp) [18] วงจรโอทีเอ (OTA) [8,10] วงจรสายพานกระแส (Current conveyor) [3] แต่อย่างไรก็ตาม วงจรดังกล่าวเหมาะกับการประยุกต์ใช้งานบางประเภทเท่านั้น เช่น การประมวลผลสัญญาณดิจิทัลและฟัซซีโลจิก การนำเอาวงจรตรวจจับค่าสูงสุดมาประยุกต์ใช้งานมักสร้างวงจรตรวจจับค่าสูงสุดที่มีหลายอินพุตในรูปแบบของวงจร Winner-Take-All (WTA) [19-23] มาใช้การตัดสินใจ เช่น ระบบเครือข่ายประสาทเทียม ระบบประมวลผลสัญญาณภาพ จำเป็นจะต้องใช้วงจรตรวจจับค่าสูงสุดที่มีหลายอินพุต ซึ่งหากนำวงจรดังกล่าวมาใช้งาน จำเป็นต้องใช้วงจรตรวจจับค่าสูงสุดเป็นจำนวนมาก วงจรตรวจจับค่าสูงสุดที่ใช้อุปกรณ์แอกทิฟเป็นพื้นฐานดังกล่าว เมื่อนำมาสร้างเป็นระบบจะทำให้วงจรมีขนาดใหญ่ ใช้กำลังงานมาก นอกจากนี้เมื่อต้องการวงจรตรวจจับค่าสูงสุดที่มีหลายอินพุตจะต้องนำวงจรตรวจจับค่าสูงสุดมาต่อในลักษณะแบบขนาน ซึ่งทำให้เกิดปัญหาการหน่วงเวลาของสัญญาณเกิดขึ้นอีกด้วย ในอดีตที่ผ่านมาวงจร WTA รูปแบบกระแสแบบหลายอินพุต ขึ้นอยู่กับความซับซ้อนของวงจร CCI และการสะท้อนของกระแสที่คำนวณโดยใช้กฎทางคณิตศาสตร์ [7] ซึ่งมีการสะท้อนของกระแสหลายตัว ทำให้ใช้กำลังไฟสูง วงจร CCI ที่ใช้มอเตอร์านซิสเตอร์ต่อร่วมกับไดโอด 1 ตัว [8] แต่ปัญหาที่พบคือ การมีอินพุตที่ไม่สมมาตรกันสำหรับหลายอินพุต (n อินพุต) โครงสร้างของโอทีเอ และไดโอดที่มีอินพุตแบบสมมาตรกันถูกนำเสนอ [9] เพื่อแก้ปัญหาต่างๆ แต่ก็เกิดปัญหาอื่นๆ ตามมา เช่น over switching time และ voltage across

ของไดโอด ทำให้เกิดผลกระทบต่ออินพุต และการใช้ส่วนประกอบต่างๆมากมาย เป็นอีกหนึ่งปัญหา ด้วยจำนวนของโอทีเอ ($n+1$)

รูปแบบวงจรแบบ Winner-Take-All (WTA) เป็นรูปแบบที่นิยมใช้สำหรับวงจรตรวจจับค่าสูงสุด ซึ่งรูปแบบเบื้องต้นของวงจรตรวจจับค่าสูงสุดแบบ WTA โดยใช้ซีมอส และมีอินพุตที่สมมาตรกันหลายๆอินพุตที่ถูกนำเสนอแต่ก่อนนั้นสามารถทำงานได้ แต่มีโครงสร้างที่ซับซ้อนและใช้ทรานซิสเตอร์หลายตัว [10-11] จึงมีวงจรตรวจจับค่าสูงสุดโดยใช้ซีมอสแบบกะทัดรัดอื่นๆ นำเสนอเนื่องจากมีสมรรถนะที่ดี [12] โดยใช้ source couple pairs-based เหมือนกับวงจรตามแรงดันของอินพุต แต่การใช้จำนวนทรานซิสเตอร์มาก ($6n+1$) นั้นเป็นข้อเสียสำหรับกรณีที่มีหลายอินพุต WTA รูปแบบกระแสและรูปแบบแรงดัน ที่ใช้การตามแรงดันแบบ flipped [13] และตามแรงดันแบบ differential flipped [15] นั้นมีความต้านทานเอาต์พุตสูง ทำให้เกิดปัญหาในการเชื่อมต่อกับวงจรอื่นๆ จึงมี WTA ในรูปแบบแรงดันโดยใช้หลักการการต่อขนานกันแบบ differential pairs พร้อมกับมีชุดขับด้านเอาต์พุตถูกนำเสนอ [14] แต่มีข้อเสียคือ ใช้ทรานซิสเตอร์จำนวนมาก ($7n+1$) วงจรตรวจจับค่าสูงสุดแบบ WTA อีกวงจรหนึ่งถูกสร้างให้มีการปรับค่าออฟเซตต่อรวมกับวงจรกันชนป้องกันกระแส [16] แต่ค่อนข้างใช้ทรานซิสเตอร์จำนวนมาก ($5n+1$) เช่นกัน

วิทยานิพนธ์นี้นำเสนอวงจรตรวจจับค่าสูงสุดแบบใหม่ โดยใช้หลักการ Winner-Take-All ที่ใช้ซีมอสทรานซิสเตอร์จำนวนน้อย ($3n+4$) มีประสิทธิภาพเพิ่มขึ้น โดยมีความต้านทานเอาต์พุตต่ำ ผลตอบสนองเร็วขึ้น สามารถทำงานที่ความถี่สูงได้ดี อีกทั้งมีค่าเอาต์พุตออฟเซตต่ำ มีการลดทอนน้อย สามารถประยุกต์ใช้เป็นวงจรเรียงกระแสแบบครึ่งคลื่น และวงจรเรียงกระแสแบบเต็มคลื่นได้

1.2 วัตถุประสงค์ของงานวิจัย

จากความสำคัญและปัญหาที่กล่าวมา วิทยานิพนธ์นี้มีวัตถุประสงค์เพื่อนำเสนอวงจรตรวจจับค่าแรงดันสูงสุดที่มีหลายอินพุตเพื่อให้สามารถนำมาประยุกต์ใช้งานในระบบควบคุมต่างๆ ระบบประมวลผลสัญญาณ ระบบเครือข่ายประสาทเทียม วงจรที่นำเสนอมีคุณสมบัติคือ มีความแม่นยำ มีความเที่ยงตรงและมีความเร็วสูง มีโครงสร้างที่ไม่ซับซ้อน มีเสถียรภาพทางอุณหภูมิที่ดี ใช้แหล่งจ่ายแรงดันต่ำและเหมาะกับการนำไปสร้างวงจรรวม

1.3 ขอบเขตของงานวิจัย

ในวิทยานิพนธ์ฉบับนี้นำเสนอหลักการของวงจรตรวจจับค่าสูงสุดแบบ WTA รูปแบบแรงดันชนิดหลายอินพุตแบบซีมอส วงจรที่นำเสนอนี้ใช้ทรานซิสเตอร์จำนวนน้อย ใช้หลักการจากวงจรตามแรงดัน โดยใช้แรงดัน ± 1.25 V ที่มีช่วงอินพุตปฏิบัติงานเป็น ± 600 mV ซึ่งวงจรตรวจจับค่าสูงสุดที่นำเสนอนี้มีประสิทธิภาพที่ดีกว่าเดิม สามารถทำงานที่ค่าแบนด์วิดท์สูงสุด 1 GHz ค่า Propagation delay ต่ำอยู่ที่ 1 ns โดยมีค่าความต้านทานเอาต์พุตต่ำ ค่าความผิดพลาดเชิงมุมประมาณ 10 mV / 5 ns ที่ความถี่ 100 MHz อีกทั้งยังมีค่า THD ต่ำประมาณ 1.1% ที่ความถี่ 100 MHz โดยคิดที่แรงดันอินพุต 1.2 V_{pp} และมีการสูญเสียพลังงานประมาณ 0.605 mW วงจรตรวจจับค่าสูงสุดนี้สามารถนำไปประยุกต์ใช้เป็นวงจรเรียงกระแสแบบครึ่งคลื่น และวงจรเรียงกระแสแบบเต็มคลื่นได้ วงจรตรวจจับค่าสูงสุดที่นำเสนอนี้ สามารถใช้โปรแกรม PSPICE มาช่วยในการจำลอง เพื่อแสดงผลของประสิทธิภาพของวงจร และการประยุกต์ใช้งานของวงจร

1.4 รายละเอียดในวิทยานิพนธ์

วิทยานิพนธ์นี้ได้ศึกษาวิจัยเพื่อออกแบบวงจรตรวจจับค่าแรงดันสูงสุด โดยเนื้อหาในวิทยานิพนธ์นี้จะแบ่งออกเป็น 5 บท โดยเนื้อหาในบทต่อไปมีดังนี้

บทที่ 1 จะกล่าวถึงที่มาของงานวิจัย วัตถุประสงค์ของงานวิจัยและขอบเขตของงานวิจัย

บทที่ 2 จะกล่าวถึงทฤษฎีของเทคโนโลยีมอส ประเภทของมอสและค่าพารามิเตอร์ต่างๆ

บทที่ 3 จะกล่าวถึงหลักการของวงจรตรวจจับค่าสูงสุด ที่ผ่านมาในอดีต ที่ได้มีการนำเสนอไว้ในวารสารต่างๆ ที่ใช้อุปกรณ์แอคทีฟได้แก่ วงจรออปแอมป์ วงจรโอทีเอ และวงจรสายพานกระแส นอกจากนี้จะกล่าวถึงวงจรร้อยยที่จะนำมาใช้ออกแบบวงจรตรวจจับค่าค่าแรงดันสูงสุดซึ่งได้แก่วงจรกันชนแรงดันโดยใช้ซีมอส

บทที่ 4 จะกล่าวถึงวงจรตรวจจับค่าแรงดันสูงสุดที่นำเสนอ รวมถึงสมการของวงจรที่ใช้ในงานในวิจัยนี้ การจำลองและผลการจำลองการทำงานของวงจรที่นำเสนอด้วยโปรแกรม PSPICE และสามารถนำเอาวงจรตรวจจับค่าสูงสุดที่นำเสนอ มาประยุกต์เป็นวงจรเรียงกระแสแบบครึ่งคลื่น และวงจรเรียงกระแสแบบเต็มคลื่น

บทที่ 6 จะเป็นบทสรุปและข้อเสนอแนะ

ภาคผนวก การวิเคราะห์ห้วงจร การแสดงค่าพารามิเตอร์ต่างๆและผลงานที่ได้รับการตีพิมพ์

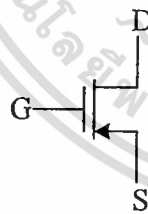


บทที่ 2

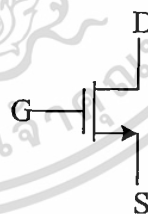
มอสทรานซิสเตอร์

2.1 บทนำ

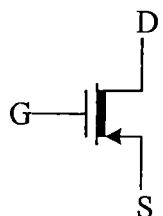
มอสทรานซิสเตอร์ (MOS Transistor) คืออุปกรณ์ที่ใช้สนามไฟฟ้ามาควบคุมการไหลของกระแสที่ไหลผ่านตัวมัน แนวความคิดเกี่ยวกับมอสทรานซิสเตอร์ได้มีการพัฒนามาก่อนการสร้างไบโพลาร์ทรานซิสเตอร์ (Bipolar Transistor) ในต้นทศวรรษ 1930 ได้มีหลักฐานแสดงถึงการจดสิทธิบัตรสำหรับอุปกรณ์ที่คล้ายกับซิลิกอนมอสทรานซิสเตอร์สมัยใหม่แต่ไม่ได้สร้างขึ้นจากซิลิกอน โดยในสมัยนั้นในกระบวนการสร้างมีความยากที่การควบคุมรอยสัมผัสหรือรอยต่อของฉนวนกับสารกึ่งตัวนำยังมีความยุ่งยากอีกทั้งขาดความเข้าใจในกระบวนการของฉนวนและสารกึ่งตัวนำ จึงทำให้อุปกรณ์ที่คล้ายมอสทรานซิสเตอร์ในสมัยนั้นไม่สามารถนำไปใช้งานจริงได้ จนกระทั่งมีการเกิดขึ้นมาของกระบวนการ Silicon planer และเทคโนโลยีสมัยใหม่ที่สามารถควบคุมรอยต่อระหว่างออกไซด์และซิลิกอนได้ดี ทำให้มอสทรานซิสเตอร์สามารถนำมาใช้งานได้จริงและเป็นที่แพร่หลายในปลายทศวรรษ 1970 จนกระทั่งถึงปัจจุบันนี้ มอสเป็นทรานซิสเตอร์ที่ทำงานโดยผลของสนามไฟฟ้าสามารถถูกแบ่งออกเป็นประเภทต่างๆ ได้หลายแบบขึ้นอยู่กับเกณฑ์ที่ใช้ในการแบ่ง เช่น ถ้าแบ่งตามชนิดของพาหะที่ใช้ในการนำกระแสจะสามารถแบ่งได้เป็นสองชนิด คือมอสทรานซิสเตอร์ชนิดเอ็นแชนแนล (n-channel MOS Transistor) ซึ่งเป็นทรานซิสเตอร์ที่ใช้อิเล็กตรอนในการนำกระแส และมอสทรานซิสเตอร์ชนิดพีแชนแนล (p-channel MOS Transistor) เป็นทรานซิสเตอร์ที่ใช้โฮลเป็นพาหะในการนำกระแส สัญลักษณ์ของมอสทรานซิสเตอร์ชนิดพีแชนแนลและเอ็นแชนแนลแสดงได้ดังรูปที่ 2.1 แต่ถ้าแบ่งมอสทรานซิสเตอร์ตามลักษณะการทำงานจะสามารถแบ่งได้สองลักษณะคือทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมด (Enhancement Mode Transistor) และแบบดีพลีชันโหมด (Depletion Mode Transistor)



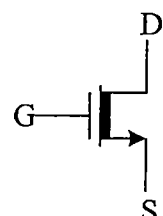
(ก)



(ข)

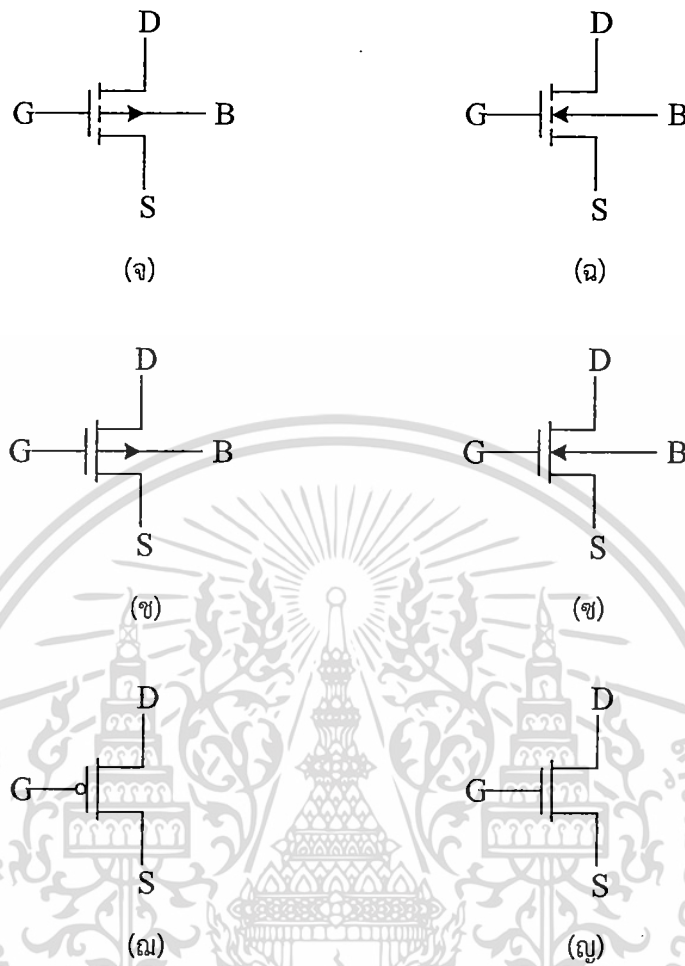


(ค)



(ง)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

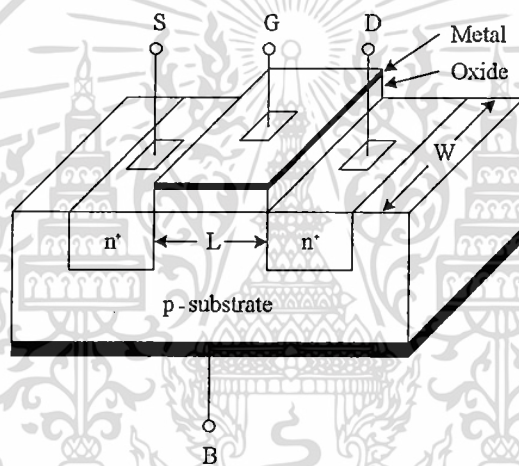


รูปที่ 2.1 โมสทรานซิสเตอร์ชนิดต่างๆ

2.2 โมสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์

โมสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์เป็นชนิดที่นิยมใช้กันอย่างแพร่หลายมากกว่าชนิดดีพลีชันเพราะสามารถสร้างได้ด้วยเทคโนโลยีซีมอสแบบมาตรฐานโดยไม่ต้องใช้วิธีการที่พิเศษ รูปที่ 2.2 แสดงโครงสร้างโมสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์แบบเอ็นแซนแนล ส่วนของซอร์ส (Source) และเดรน (Drain) สร้างขึ้นจากการแพร่อะตอมของสารเจือชนิดเอ็น (n-Type) ที่มีความหนาแน่นสูง (n^+) เข้าไปในแผ่นผลึกฐานรอง (Body หรือ Substrate) ของสารกึ่งตัวนำชนิดพี (p-Type) ซึ่งเป็นแผ่นผลึกซิลิกอนรูปเดี่ยว ส่วนของเกต (Gate) จะเป็นโลหะหรือชั้นของโพลีซิลิกอนที่ซ้อนอยู่บนชั้นของออกไซด์โดยมีโลหะอลูมิเนียมเป็นขั้วต่อไฟฟ้า การทำงานของโมสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์โดยอธิบายเทียบกับทรานซิสเตอร์ชนิดเอ็นแซนแนลสามารถพิจารณาได้ตามโครงสร้างรูปที่ 2.3 ซึ่งแสดงถึงการทำงานในช่วงต่างๆ ของ V_{DS} และ V_{GS} จากรูป 2.3(ก) ซอร์สเดรนและฐานต่อลงกราวด์ ในกรณีนี้มีผลทำให้ทรานซิสเตอร์ทำงานคล้ายกับตัวเก็บประจุโดยเกตและผิวของซิลิกอนไดออกไซด์ทำหน้าที่เหมือนแผ่นระนาบ (Plate) ของตัวเก็บประจุ ซึ่งมีซิลิกอนไดออกไซด์ทำหน้าที่เป็นฉนวนคั่นระหว่างกลาง ถ้า V_{GS} มีค่าเป็นลบ ประจุพาหะชนิด

บวกหรือโฮล (Hole) จะถูกดูดเข้ามาสะสมบริเวณแกนแนลมีผลให้บริเวณแกนแนลกลายเป็น p^+ และเรียกว่า “แกนแนลสะสม” (Accumulate Channel) บริเวณซอร์สและเดรนที่เป็น n^+ ถูกแยกจากกันด้วยแกนแนล p^+ เมื่อมองในลักษณะวงจรมูลย์แล้วจะพบว่า มีลักษณะของไดโอดสองตัวต่อกันหลังชนกัน ดังนั้นถ้าจะเกิดกระแสไหลได้แรงดันที่ซอร์สและเดรนจะต้องมีค่ามากๆ ซึ่งกระแสที่เกิดขึ้นจะเป็นกระแสรั่วไหลหรือกรณีที่แรงดันเดรนซอร์ส มีค่ามากๆ จะทำให้ทรานซิสเตอร์เบรกดาวน์ ในกรณีที่แรงดันเกตมีค่าเป็นบวกไม่มาก ประจุบวกข้างใต้เกตจะถูกผลักออกไปทำให้แกนแนลเปลี่ยนไปเป็น p^- และเป็นบริเวณปลอดพาหะ (Depletion region) ในที่สุด เมื่อแรงดันที่เกตเพิ่มมากขึ้นประจุลบหรืออิเล็กตรอนจะถูกดึงดูดเข้ามาที่บริเวณแกนแนลและแกนแนลจะแปรสภาพเป็นบริเวณ n ตามรูป 2.3(ข) ซึ่งเชื่อมต่อบริเวณซอร์สและเดรนเข้าด้วยกันและเรียกว่าแกนแนลกลับ (Inverted Channel) แรงดันเกตซอร์สที่ทำให้ความหนาแน่นของอิเล็กตรอนใต้เกตมีค่าเท่ากับความหนาแน่นของโฮลบริเวณฐานรองเป็นนิยามของแรงดันเทรชโฮล (Threshold voltage) ของมอสทรานซิสเตอร์ใช้สัญลักษณ์ V_T



รูปที่ 2.2 โครงสร้างของมอสทรานซิสเตอร์ชนิดเอ็นแกนแนล

เมื่อแรงดันเกตซอร์สมีค่ามากกว่า V_T จะมีแกนแนลชนิดเอ็นเกิดขึ้นและสามารถเกิดการนำไฟฟ้าระหว่างเดรนและซอร์สได้ สำหรับกรณีค่าแรงดันระหว่างเกตและซอร์สน้อยกว่า V_T ปกติจะสมมติว่าทรานซิสเตอร์ไม่ทำงานและไม่มีกระแสไหลระหว่างซอร์สและเดรน อย่างไรก็ตามสมมติว่าไม่มีกระแสไหลระหว่างซอร์สและเดรนระหว่างที่ทรานซิสเตอร์ไม่นำกระแสนั้นเป็นเพียงการประมาณเท่านั้น ในความเป็นจริงสำหรับแรงดันที่เกตมีค่าใกล้เคียง V_T จะไม่ใช่ทำให้เกิดการเปลี่ยนแปลงของกระแสอย่างทันทีทันใดแต่จะเกิดกระแสต่ำกว่าเทรชโฮล (Subthreshold Current) สามารถไหลได้ในปริมาณเล็กน้อยซึ่งการทำงานในลักษณะนี้จะมีคุณสมบัติเหมือนไบโพลาร์ทรานซิสเตอร์

เมื่อแรงดันระหว่างเกตและซอร์ส V_{GS} มีค่ามากกว่า V_T จะทำให้แกนแนลเกิดขึ้น ดังนั้นเมื่อ V_{GS} เพิ่มขึ้นความหนาแน่นของอิเล็กตรอนในแกนแนลก็จะเพิ่มขึ้นด้วยและสรุปได้ว่าความหนาแน่นของประจุพาหะจะแปรผันตาม $V_{GS} - V_T$ ซึ่งนิยามเป็นแรงดันระหว่างเกตและซอร์ส ประสิทธิภาพซึ่งใช้สัญลักษณ์คือ “ V_{eff} ” ซึ่งค่าความหนาแน่นของประจุอิเล็กตรอนกำหนดได้คือ

$$Q = C_{ox}(V_{GS} - V_T) = C_{ox}V_{eff} \quad (2.1)$$

เมื่อ C_{ox} เป็นค่าความจุไฟฟ้าที่เกทต่อหนึ่งหน่วยพื้นที่ เมื่อแรงดันที่เดรนมีค่ามากกว่าศูนย์โวลต์ เล็กน้อยทำให้เกิดความต่างศักย์ระหว่างซอร์สและเดรน มีผลให้เกิดกระแสไหลจากเดรนไปซอร์ส ความสัมพันธ์ระหว่าง V_{GS} และกระแส I_D จะเหมือนกับกรณีของความต้านทานซึ่งมีความสัมพันธ์เป็น

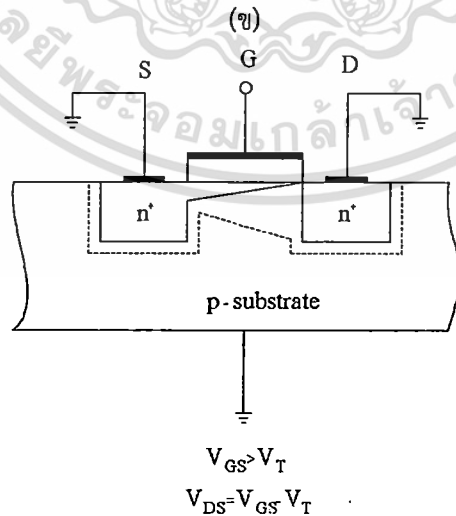
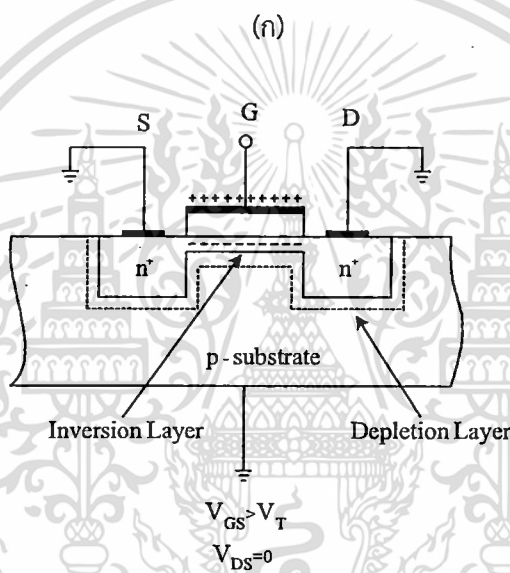
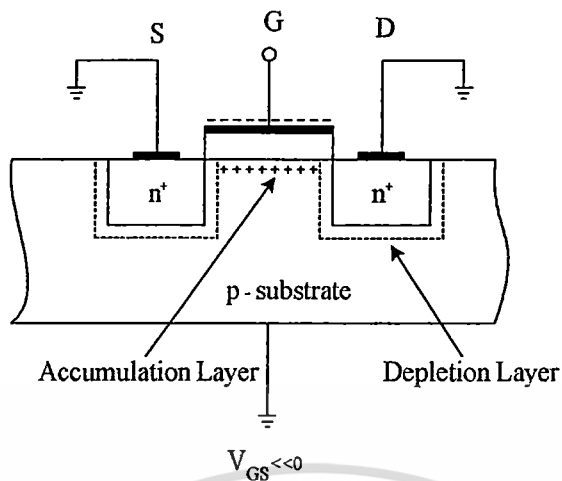
$$I_D = \mu Q \frac{W}{L} V_{DS} \quad (2.2)$$

ในขณะที่ μ เป็นค่าความคล่องตัวของอิเล็กตรอนที่ผิวซิลิกอนและ Q เป็นค่าความหนาแน่นของประจุ ในแกนแนลต่อหนึ่งหน่วยพื้นที่ จากสมการที่ (2.1) และ (2.2) จะได้ว่า

$$I_D = \mu C_{ox} \frac{W}{L} (V_{GS} - V_T) V_{DS} \quad (2.3)$$

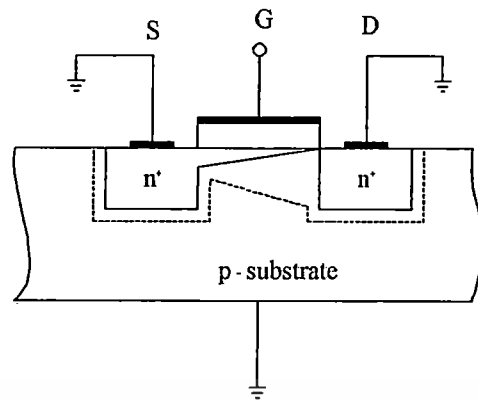
สมการ (2.3) เป็นความสัมพันธ์ที่สามารถใช้ได้เพียงกรณีแรงดันระหว่างเดรนและซอร์สมีค่าเข้าใกล้ ศูนย์ การทำงานของมอสทรานซิสเตอร์ในเชิงโครงสร้างอธิบายได้ตามรูปที่ 2.3(ข) โดยเมื่อ V_{GS} มากกว่า V_T และ $V_{DS}=0V$ ซึ่งขณะนี้แกนแนลถูกเหนี่ยวนำให้เกิดขึ้นแต่ไม่มีกระแสไหลเนื่องจากแรงดันระหว่างซอร์สและเดรนมีค่าเป็นศูนย์โวลต์และเมื่อให้แรงดัน V_{GS} ค่าน้อยๆ ค่าหนึ่งจะทำให้เกิดมีกระแสไหลผ่านแกนแนลได้ ซึ่งการทำงานของมอสทรานซิสเตอร์ในช่วงนี้เสมือนเป็นตัวต้านทานที่มีความสัมพันธ์เป็นไปตามสมการ (2.3) และแสดงได้ด้วยกราฟในรูปที่ 2.3(ข) และจะเห็นว่า I_D และ V_{DS} สัมพันธ์กันอย่างสิ้นเชิงสำหรับค่า V_{GS} น้อยๆ

เมื่อแรงดันระหว่างเดรนและซอร์สเพิ่มมากขึ้น ความหนาแน่นของประจุพาหะที่แกนแนลจะลดลงตามแนวแกนแนลจากซอร์สไปเดรนตามรูปที่ 2.3(ค) การลดลงของประจุพาหะในแกนแนลนี้มีผลให้เกิดแรงดันตกคร่อมแกนแนลที่ตำแหน่งต่างๆ ไม่เท่ากัน กล่าวคือสมมติว่าแรงดันที่เดรนมีค่ามากกว่าแรงดันที่ซอร์ส จะมีการเพิ่มขึ้นของแรงดันจากซอร์สไปเดรนอย่างต่อเนื่องภายในแกนแนล มีผลทำให้แรงดันตกคร่อมระหว่างเกทและแกนแนลจะมีค่าสูงสุดเท่ากับ V_{GS} ที่ตำแหน่งด้านซอร์สและแรงดันเกทแกนแนลมีค่าต่ำสุดที่ตำแหน่งปลายด้านเดรนและแรงดันเกทที่ทำให้เกิดแกนแนลคือ $V_G = V_{GS} - V_T$ เมื่อ $V_{GS} < V_T$ กระแสจะไม่ไหลและไม่มีแกนแนลเกิดขึ้นเพื่อที่จะทำให้แกนแนลเกิดขึ้นได้เป็นแนวยาวไปจนถึงสุดปลายด้านเดรน แรงดันเกทจะต้องมีค่ามากกว่า V_{DS} นั่นคือ $V_G > V_{DS}$ หรือ $V_{GS} - V_T > V_{DS}$ ซึ่งหมายถึงแรงดันที่เกทเมื่อเปรียบเทียบกับทุกจุดในแนวแกนแนลจะต้องมีศักย์เป็นบวก จึงจะทำให้เกิดแกนแนล โดยในขณะนี้ทรานซิสเตอร์ทำงานและอยู่ในช่วงอิมิตัว กระแสเดรน I_D จะมีค่าเพิ่มขึ้นตามการเพิ่มของแรงดัน V_{DS} อย่างไม่เป็นเชิงเส้นตามกราฟในรูปที่ 2.3(ค) การทำงานของทรานซิสเตอร์ในย่านนี้ $V_{DS} < V_{GS} - V_T$ เรียกว่า ช่วงไม่อิ่มตัว (Non-saturation region) เมื่อ V_{DS} มีค่ามากขึ้น จนกระทั่งค่า $V_{DS} = V_{GS} - V_T$ ทรานซิสเตอร์เริ่มเข้าสู่สภาวะอิมิตัวและลักษณะโครงสร้างของทรานซิสเตอร์ในช่วงนี้แสดงได้ดังรูป 2.3(ค)



(ค)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$V_{GS} > V_T$$

$$V_{DS} > V_{GS} - V_T$$

(ง)

รูปที่ 2.3 แสดงการทำงานของมอสทรานซิสเตอร์ในช่วงต่างๆ

และเมื่อค่าของแรงดัน V_{DS} เพิ่มขึ้นไปอีกจนกระทั่ง $V_{GS} > V_{DS} - V_T$ ในกรณีนี้แรงดันที่ตกคร่อมแซนแนลที่ปลายด้านเดรนมีค่าสูงกว่า $V_{GS} - V_{DS}$ ดังนั้นจะทำให้เกิดภาวะพินช์ออฟ (Pinch off) กล่าวคือแซนแนลซึ่งเป็นช่องทางเดินกระแสจะขาดออก เริ่มจากบริเวณด้านเดรน ทั้งนี้เนื่องจากไม่มีสนามไฟฟ้าซึ่งจะมาเหนี่ยวนำให้มีการสะสมของประจุลบ เพื่อทำหน้าที่เป็นแซนแนล ดังนั้นช่องทางเดินกระแสจึงขาดออกจากกันดังแสดงดังรูป 2.3(ง) และจะมีกระแสแพร่ (Diffusion current) จากส่วนของซอร์สไปยังเดรน ช่องทางเดินกระแสจะแสดงคุณสมบัติความต้านทานสูงและคล้ายกับเป็นแหล่งจ่ายกระแสคงที่ กระแสเดรนในภาวะนี้จึงมีค่าคงที่แม้ว่า V_{DS} จะมีค่าเพิ่มขึ้นก็ตามแสดงในกราฟตามรูปที่ 2.3(ง) การทำงานของทรานซิสเตอร์ในย่านนี้เรียกว่าช่วงอิ่มตัว (Saturation region) คุณสมบัติการทำงานของมอสทรานซิสเตอร์จะพิจารณาได้จากแบบจำลองสัญญาณขนาดใหญ่ (Large-signal model) ดังรูปที่ 2.4 สมการแสดงความสัมพันธ์ระหว่างกระแสและแรงดันสำหรับมอสทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัวสามารถแสดงได้คือ

$$I_D = K \left[(V_{GS} - V_T) - \left(\frac{V_{DS}}{2} \right) \right] V_{DS} (1 + \lambda V_{DS}) \quad (2.4)$$

โดยที่ $K = K'W/L$

$$K' = \mu_0 C_{ox}$$

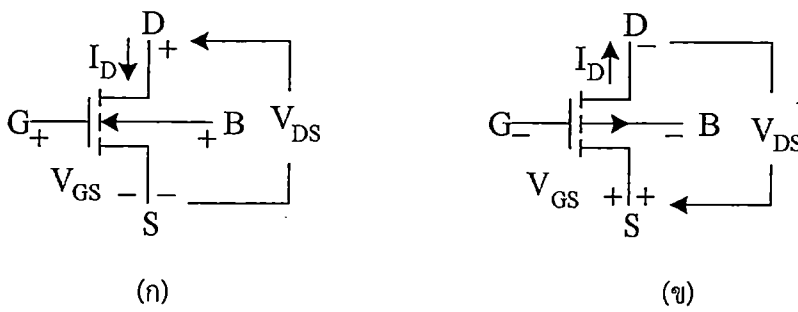
μ_0 คือค่าความคล่องตัวที่ผิวของพาหะในช่องทางเดินกระแส ($m^2/volt \cdot second$)

$C_{ox} = \epsilon_{ox} / t_{ox}$ คือค่าความจุไฟฟ้าต่อหนึ่งหน่วยพื้นที่ของเกตออกไซด์ (F/m^2)

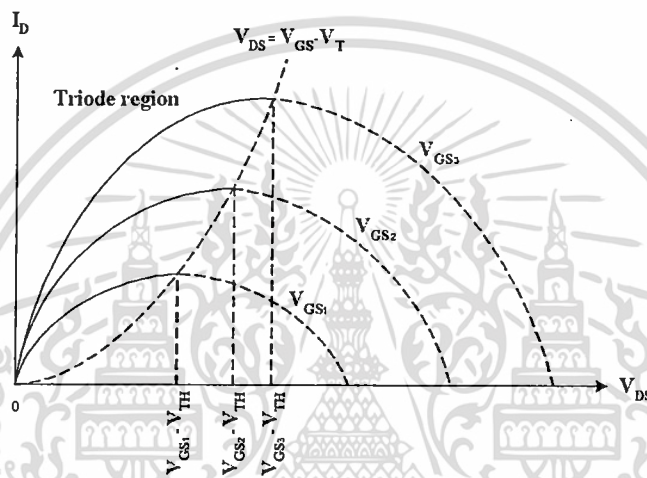
W คือความกว้างประสิทธิผลของแซนแนล

L คือความยาวประสิทธิผลของแซนแนล (Effective channel length)

λ คือ Channel length modulation parameter ($volt^{-1}$)



รูปที่ 2.4 การไบอัสทรานซิสเตอร์ (ก) NMOS (ข) PMOS



รูปที่ 2.5 กราฟความสัมพันธ์ระหว่าง ID และ VDS เมื่อ λ=0

แรงดันเทรชโวลต์กำหนดได้คือ

$$V_T = V_{T0} + \gamma \left(\sqrt{2|\phi_F| + V_{SB}} - \sqrt{2|\phi_F|} \right) \tag{2.5}$$

จากสมการ (2.4) สามารถทำงานได้ในช่วงต่างๆ ขึ้นกับค่า $V_{GS} - V_T$ ถ้าค่า $V_{GS} - V_T$ เป็นศูนย์หรือลบ มอสทรานซิสเตอร์จะอยู่ในช่วงคัทออฟซึ่งแกนแนลจะมีพฤติกรรมเหมือนเปิดวงจรซึ่งเขียนเป็นความสัมพันธ์ได้เป็น

$$I_D = 0 \text{ เมื่อ } (V_{GS} - V_T) \leq 0 \tag{2.6}$$

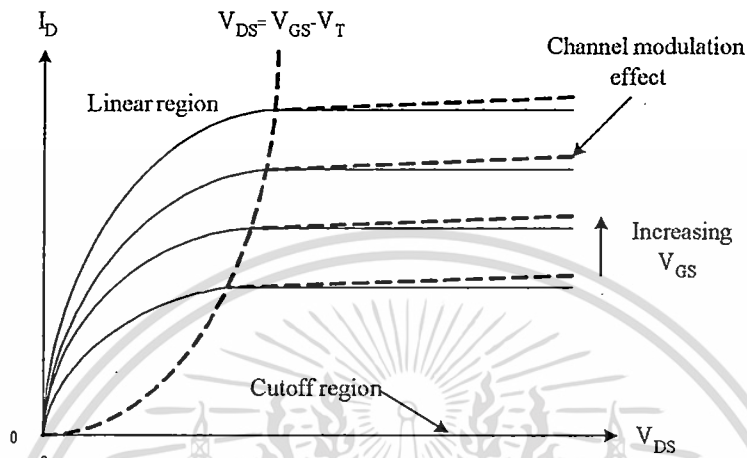
จากสมการ (2.4) สมมติให้ $\lambda=0$ นำมาเขียนกราฟได้ตามรูปที่ 2.5 สำหรับค่า $V_{GS} - V_T$ ค่าต่างๆ จุดสูงสุดของกราฟแต่ละเส้นเรียกว่าจุดอิ่มตัว โดยค่าต่างๆ ของ V_{DS} ที่เกิดขึ้นที่ค่านี้เรียกว่าแรงดันอิ่มตัว

$$V_{DS(sat)} = V_{GS} - V_T \tag{2.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$V_{DS(sat)}$ เป็นค่าที่แบ่งขอบเขตการทำงานโดยค่า V_{DS} น้อยกว่า $V_{DS(sat)}$ แล้วมอสทรานซิสเตอร์จะทำงานในช่วงไม่อิ่มตัวตามสมการ (2.4) และมีเงื่อนไขว่า

$$0 < V_{DS} \leq (V_{GS} - V_T) \quad (2.8)$$



รูปที่ 2.6 แสดงคุณสมบัติทางเอาต์พุตของมอสทรานซิสเตอร์

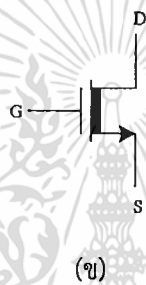
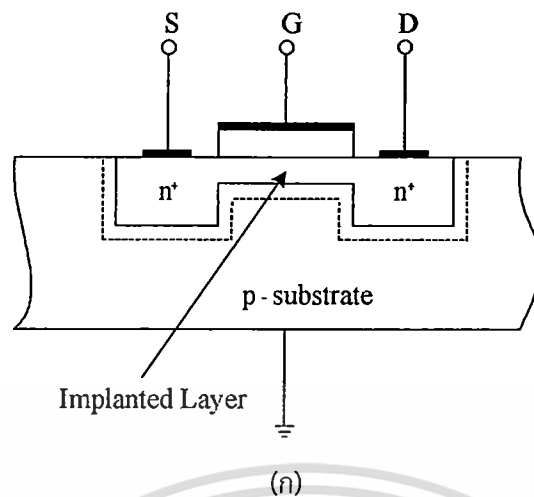
เมื่อ V_{DS} มีค่ามากกว่า $V_{DS(sat)}$ ช่วงนี้เรียกว่าช่วงอิ่มตัว ช่วงนี้กระแส I_D ไม่ขึ้นกับ V_{DS} ถ้าสมมุติว่าไม่พิจารณาผลของ λ ดังนั้นจะได้ความสัมพันธ์ตามสมการคือ

$$I_D = \frac{K}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad ; \quad 0 < (V_{GS} - V_T) \leq V_{DS} \quad (2.9)$$

จากรูปที่ 2.6 แสดงถึงคุณสมบัติทางเอาต์พุตของมอสทรานซิสเตอร์ที่ได้จากสมการที่ (2.4) (2.6), (2.7) (2.8) และ (2.9) โดยที่เส้นที่บดคือกราฟที่ไม่พิจารณาถึงผลของ λ ($\lambda=0$) ส่วนเส้นประคือกราฟที่พิจารณาผลของ λ ($\lambda \neq 0$) รวมอยู่ด้วย

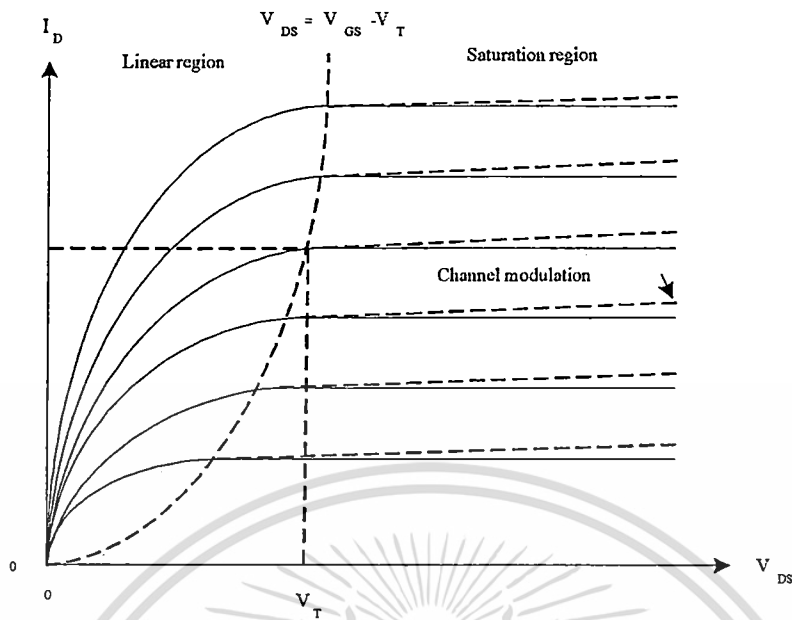
2.3 มอสทรานซิสเตอร์ชนิดดีฟลิชัน

ดีฟลิชันมอสทรานซิสเตอร์ชนิดเอ็นแชนแนลมีลักษณะโครงสร้างและสัญลักษณ์แสดงตามรูปที่ 2.7 โดยส่วนของซอร์สและเดรนจะถูกสร้างขึ้นโดยการแพร่อะตอมของสารเจือชนิดเอ็นซึ่งมีความหนาแน่นสูงเข้าไปในแผ่นผลึกฐานรองของสารกึ่งตัวนำชนิดพี หลังจากนั้นส่วนของแชนแนลจะถูกสร้างขึ้นด้วยวิธีการอิมพลานเตชัน ซึ่งเป็นวิธีการยิงอะตอมสารเจือเข้าไปในเนื้อสารกึ่งตัวนำ ส่วนลักษณะโครงสร้างอื่นๆ ของทรานซิสเตอร์แบบนี้จะเหมือนกับแบบเอ็นฮานซ์เมนต์ทุกประการ

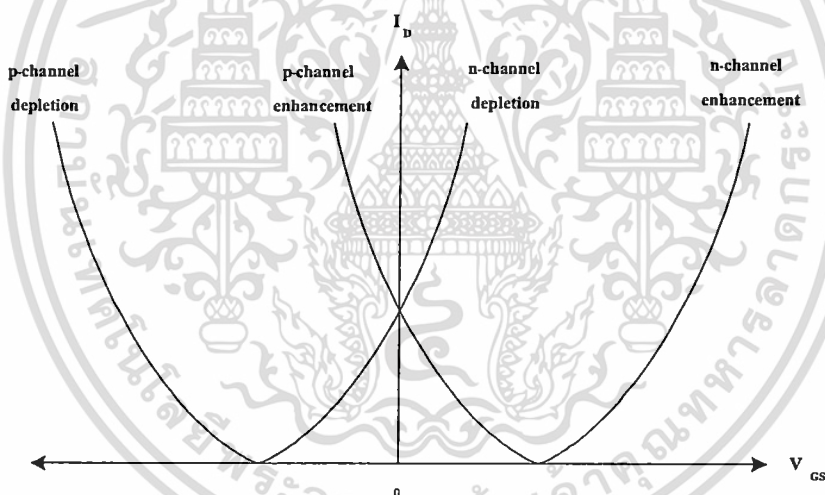


รูป 2.7 ดีฟิชั่นมอสทรานซิสเตอร์ชนิดเอ็นแชนแนล (ก) โครงสร้าง (ข) สัญลักษณ์

จากลักษณะโครงสร้างในรูปที่ 2.7(ก) จะเห็นว่าขณะที่แรงดันเกตเป็นศูนย์และแรงดันซอร์สเดรน V_{DS} มีค่าๆ หนึ่งก็จะมีกระแสเดรนเกิดขึ้น นั่นคือแม้ว่าไม่มีแรงดันที่เกต กระแสก็ยังสามารถไหลผ่าน แชนแนลได้ เนื่องจากแชนแนลได้ถูกสร้างขึ้นมาก่อนแล้ว ซึ่งต่างจากกรณีเอ็นฮานซ์เมนต์ที่จำเป็นต้องให้แรงดันที่เกตมีค่าๆ หนึ่งเพื่อเหนี่ยวนำให้เกิดแชนแนล การนำไฟฟ้าและความลึกของแชนแนลจะถูกควบคุมด้วย V_{DS} เหมือนกับกรณีของเอ็นฮานซ์เมนต์ เมื่อให้ค่า V_{GS} เป็นบวกจะทำให้ความกว้างขึ้น โดยการดึงอิเล็กตรอนเข้ามาสะสมที่แชนแนลและทำให้การนำไฟฟ้าดีขึ้น เมื่อค่า V_{GS} เป็นลบ อิเล็กตรอนจะถูกผลักออกจากแชนแนล ทำให้แชนแนลแคบลง และการนำไฟฟ้าลดลง ในการทำงานขณะที่ V_{GS} เป็นลบนั้นเรียกว่า การทำงานในช่วงดีฟิชั่นโหมด เมื่อ V_{GS} เป็นลบมากขึ้นจนถึงค่าหนึ่ง ซึ่งทำให้อิเล็กตรอนถูกผลักออกไปจากแชนแนลจนหมดและแชนแนลหายไปทำให้กระแส I_D มีค่าเป็นศูนย์แม้ว่า V_{DS} ไม่เป็นศูนย์ก็ตาม โดยค่าที่เป็นลบของ V_{GS} ที่ทำให้แชนแนลหายไปนั้นก็คือค่าแรงดันเทรสโฮลด์ของมอสทรานซิสเตอร์แบบดีฟิชั่นชนิดเอ็นแชนแนล



รูปที่ 2.8 คุณสมบัติ I_D - V_{DS} ของมอสทรานซิสเตอร์แบบดีพลีชันชนิดเอ็นแชนแนล



รูปที่ 2.9 แสดงคุณสมบัติ I_D - V_{GS} ของมอสทรานซิสเตอร์ทั้งหมด

จากรูปที่ 2.8 ได้แสดงถึงคุณสมบัติ I_D - V_{DS} ของมอสทรานซิสเตอร์แบบดีพลีชันชนิดเอ็นแชนแนล ซึ่งคล้ายกับกรณีของเอ็นฮานซ์เมนต์ ยกเว้นค่า V_T มีค่าเป็นลบสำหรับ NMOS และเป็นบวกสำหรับ PMOS และสามารถทำงานเป็นแบบเอ็นฮานซ์เมนต์โหมดได้ โดยการให้ค่า V_{GS} มีค่าเป็นบวก กราฟ I_D - V_{GS} ตามรูปที่ 2.9 เป็นการสรุปคุณสมบัติ I_D - V_{GS} ของมอสทรานซิสเตอร์ทั้งชนิดการทำงานแบบเอ็นฮานซ์เมนต์โหมดและดีพลีชันโหมดและชนิดช่องทางเดินกระแสชนิดเอ็นแชนแนลและชนิดพี

2.4 วงจรสมมูลย์ของมอสทรานซิสเตอร์

วงจรสมมูลย์ (Small-signal equivalent circuit) ของมอสทรานซิสเตอร์เป็นการแทนอุปกรณ์มอสทรานซิสเตอร์ด้วยวงจรไฟฟ้าเพื่อนำไปใช้การวิเคราะห์ผลตอบสนองหรือพฤติกรรมของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณขนาดเล็กโดยพิจารณาแยกกับการวิเคราะห์สัญญาณขนาดใหญ่ซึ่งพิจารณาเป็นปริมาณทางไฟฟ้ากระแสตรงซึ่งได้กล่าวก่อนหน้านี้ออสทธานซิสเตอร์มีพฤติกรรมเป็นแรงดันควบคุมแหล่งกำเนิดกระแส (Voltage-controlled current source) โดยเป็นการให้สัญญาณ v_{gs} และทำให้เกิดกระแส $g_m v_{gs}$ ที่ปลายด้านเดรน ความต้านทานที่ทางอินพุตมีค่าสูงมากในทางปฏิบัติ ซึ่งในทางอุดมคติถือว่ามีค่าเป็นอนันต์ความต้านทานที่ทางออก (ความต้านทานที่มองเข้าไปที่ปลายด้านเดรน) มีค่าสูง ในการพิจารณาอย่างง่าย ๆ จะสมมุติว่ามีค่าเป็นอนันต์ตามรูปที่ 2.10(ก) ข้อเสียของแบบจำลองสัญญาณขนาดเล็กในรูป 2.10(ก) คือจะเป็นการสมมุติว่ากระแสเดรนจะอยู่ในช่วงอิมิตัวและไม่ขึ้นกับแรงดันเดรน ซึ่งจากหัวข้อที่กล่าวมาข้างต้นพบว่าคุณสมบัติของมอสทธานซิสเตอร์ในช่วงอิมิตัวนั้นจริงๆ แล้วขึ้นอยู่กับ V_{DS} ในลักษณะเชิงเส้น ทำให้แบบจำลองได้เปลี่ยนไปเป็นรูป 2.10 (ข) โดยมีตัวต้านทาน r_o มาต่ออยู่ระหว่างเดรนและซอร์สซึ่งมีค่าประมาณ

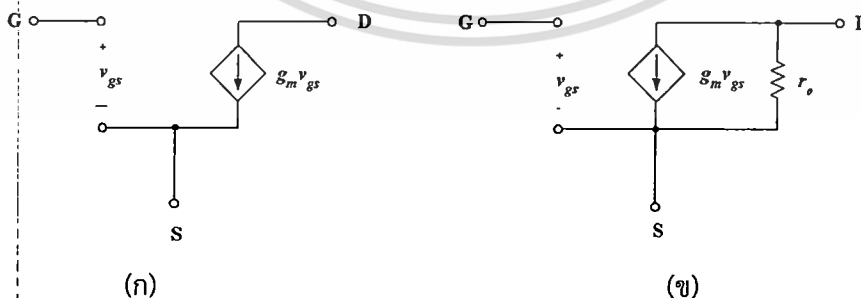
$$r_o \cong \frac{|V_A|}{I_D} \quad (2.10)$$

ขณะที่ $V_A=1/\lambda$ โดยทั่วไปค่า r_o อยู่ในช่วง 10 ถึง 1000 $k\Omega$ ค่า r_o ที่พิจารณาข้างต้นเป็นการพิจารณาออสทธานซิสเตอร์ที่ทำงานในช่วงอิมิตัว ซึ่งให้ค่าความต้านทานที่ทางออกมีค่ามาก (แขนแนลขาดออกจากกันระหว่างซอร์สและเดรน) แต่ขณะที่มอสทธานซิสเตอร์ที่ทำงานในช่วงไม่อิมิตัวนั้นค่าความต้านทานที่ทางออกจะมีค่าเป็น

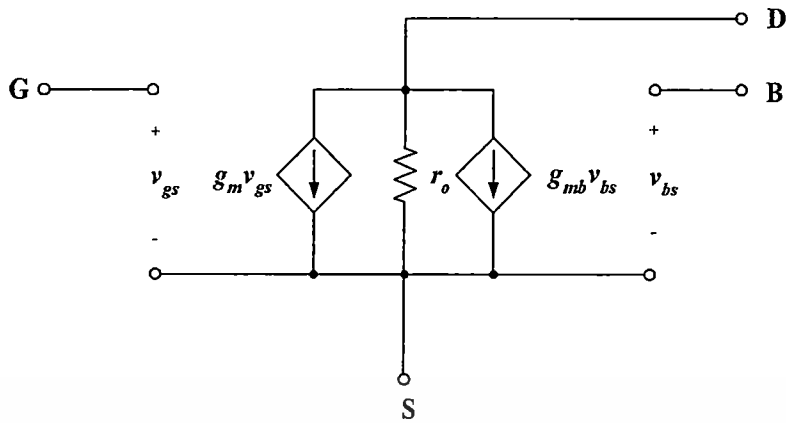
$$r_o = \frac{1}{g_{ds}} = \frac{\partial V_{ds}}{\partial I_D} \cong \frac{1}{K(V_{GS} - V_T - V_{DS})} \quad (2.11)$$

เราจะพิจารณาพารามิเตอร์ที่สำคัญอีกตัวหนึ่งในการวิเคราะห์สัญญาณขนาดเล็กคือค่าทรานส์คอนดักแตนซ์ g_m ซึ่งมีค่าคือ

$$g_m = \frac{\partial I_D}{\partial V_{gs}} \quad (2.12)$$



รูปที่ 2.10 แบบจำลองสัญญาณขนาดเล็กของมอสทธานซิสเตอร์ (ก) ไม่พิจารณาผลของ λ ขณะทำงานในช่วงอิมิตัว (ข) พิจารณาผลของ λ โดยเพิ่มความต้านทานที่ทางออก



รูปที่ 2.11 แบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์กรณีพื้นฐานรองไม่ต่ออยู่กับซอร์ส

ในกรณีที่มอสทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัว จากสมการ (2.12) จะได้

$$g_m = \sqrt{\frac{2K'W}{L} |I_D| (1 + \lambda V_{DS})} \cong \sqrt{\frac{2K'W}{L} |I_D|} \quad (2.13)$$

จากสมการ (2.13) พบว่าค่าของ g_m ซึ่งเป็นพารามิเตอร์ของสัญญาณขนาดเล็ก ขึ้นอยู่กับค่ากระแสเดรน I_D เป็นเงื่อนไขการทำงานของสัญญาณขนาดใหญ่และในกรณีที่มอสทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัวจะได้

$$g_m = \frac{K'W}{L} V_{DS} (1 + \lambda V_{DS}) \cong \frac{K'W}{L} V_{DS} \quad (2.14)$$

แบบจำลองสัญญาณขนาดเล็กที่ได้กล่าวถึงข้างต้นเป็นแบบจำลองที่ยังไม่พิจารณาผลของฐานรอง (Body effect) ซึ่งเกิดขึ้นเมื่อฐานรองไม่ได้ต่ออยู่กับปลายด้านซอร์สและทำให้เกิด v_{bs} ขึ้น แสดงตามรูปที่ 2.11 สัญญาณ v_{bs} จะทำให้เกิดกระแสเดรน $g_m v_{bs}$ โดย g_{mb} เป็นค่าทรานคอนดักแตนซ์ที่ฐานรอง

$$g_m = \frac{\partial I_D}{\partial V_{sb}} \Big|_{v_{gs} = \text{constant}, v_{ds} = \text{constant}} \quad (2.15)$$

กรณีมอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัวจะได้

$$g_{mbs} = g_m \frac{\gamma}{2(2|\phi_F| + V_{SB})^{1/2}} = \eta g_m \quad (2.16)$$

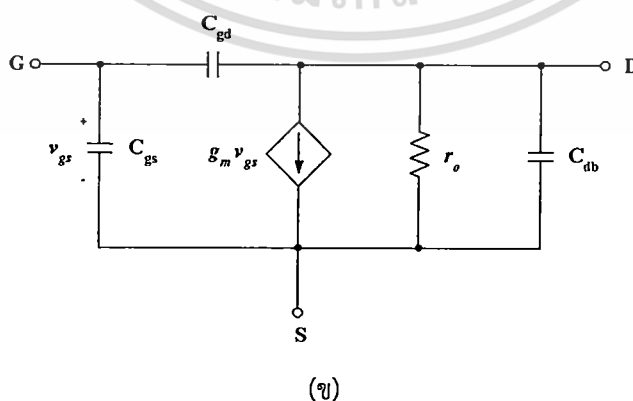
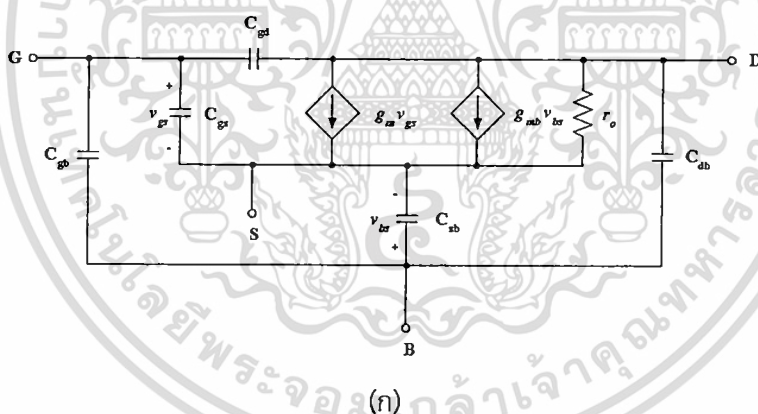
กรณีที่ทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัวจะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

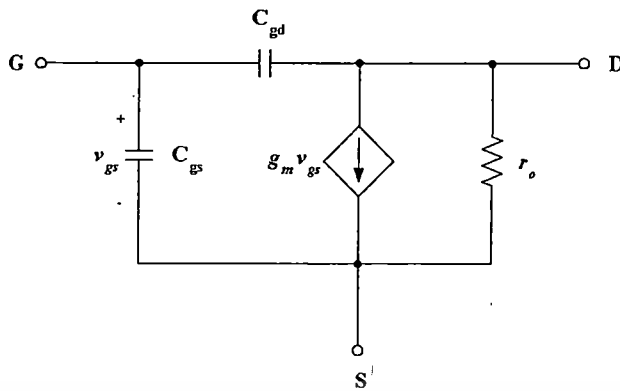
$$g_{mbs} = \frac{K\gamma V_{DS}}{2(2|\phi_F| + V_{SB})^2} \quad (2.17)$$

2.5 ผลตอบสนองความถี่

จากหัวข้อที่แล้วซึ่งได้กล่าวถึงวงจรสมมูลย์หรือแบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ ในหัวข้อนี้จะได้เสนอถึงแบบจำลองวงจรสมมูลย์ของมอสทรานซิสเตอร์ที่ได้รวมเอาค่าความจุไฟฟ้ามาพิจารณาด้วย รูปที่ 2.12(ก) แสดงแบบจำลองสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ซึ่งรวมค่าความจุไฟฟ้าจำนวนห้าตัวคือ C_{gs} C_{gd} C_{gb} C_{sb} และ C_{db} อย่างไรก็ตามวงจรนี้ค่อนข้างยุ่งยากและซับซ้อนสำหรับการวิเคราะห์ด้วยมือแต่เหมาะสำหรับในการวิเคราะห์การจำลองการทำงานโดยใช้โปรแกรมคอมพิวเตอร์ รูปที่ 2.12(ข) แสดงวงจรสมมูลย์กรณีที่ซอร์สเชื่อมต่อกับฐานรอง ซึ่งวงจรที่ได้มีความสะดวกในการวิเคราะห์มากกว่าวงจรในรูป 2.12(ก) มากแต่อย่างไรก็ตามวงจรในรูป 2.12(ค) คือวงจรที่เหมาะสมในการวิเคราะห์ด้วยมือมากที่สุดโดยพิจารณาค่าความจุ C_{db} มีค่าน้อยมากๆ ซึ่งจะทำให้วงจรที่วิเคราะห์ได้ง่ายมากขึ้น ค่าความจุทั้งห้าที่ได้กล่าวถึงข้างต้นมีเพียงค่าความจุที่เกทซอส C_{gs} เท่านั้นที่มีบทบาทสำคัญที่สุดในบรรดาค่าความจุทั้งห้า และเป็นพื้นฐานในการวิเคราะห์และพิจารณาที่ความถี่สูง ขณะที่ค่าความจุ C_{sb} และ C_{db} เป็นค่าความจุแฝงในย่านดีฟิซิชั่นระหว่างฐานรองกับซอร์สและฐานรองกับเดรนตามลำดับ และมีค่าเป็น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค)

รูปที่ 2.12 (ก) แบบจำลองวงจรมูลยของมอสทรานซิสเตอร์ที่ความถี่สูง (ข) วงจรมูลยสำหรับกรณีที่มีขอรต่อกับฐานรอง (ค) วงจรมูลยตามรูป (ข) กรณีที่ C_{gd} มีค่าน้อยมาก

ค่าความจุไฟฟ้าระหว่างเกตและฐานรอง (C_{gs}) เป็นค่าความจุไฟฟ้าแฝงของออกไซด์ (Parasitic oxide capacitance) ซึ่งเกิดขึ้นระหว่างชั้นสารทางด้านเกต (โลหะหรือโพลีซิลิกอน) กับฐานรอง โดยค่าความจุไฟฟ้า C_{gs} มีค่าคงที่ แต่จริงๆ แล้วค่าความจุไฟฟ้าแฝงชนิดนี้จะวางตัวตามแนวโพลีซิลิกอนและโลหะบนแผ่นชิพและจะถูกพิจารณาเฉพาะการจำลองและการคำนวณของวงจรมูลยและคุณสมบัติของอุปกรณ์ที่มีความถี่สูง โดยใช้คอมพิวเตอรค่าโดยทั่วไปจะขึ้นอยู่กับความหนาของออกไซด์และมีค่าอยู่ในช่วง 0.04fF ถึง 0.15fF ต่อตารางไมครอนของรอยต่อที่เชื่อมล้ากัน ค่าความจุไฟฟ้า C_{gs} และ C_{gd} เกิดจากเกตกับซอสและเกตกับเดรน ตามลำดับ โดยที่ C_{ox} เป็นค่าความจุออกไซด์ต่อหนึ่งหน่วยพื้นที่จากเกตถึงแซนแนล ทำให้ค่าความจุไฟฟ้าทั้งหมดข้างใต้เกตมีค่าเท่ากับ $C_{ox}WL$ ซึ่งค่านี้เป็นค่าโดยแท้จริงของการทำงานของมอสทรานซิสเตอร์และเป็นรูปแบบการใช้งานในการควบคุมให้เกิดการนำไฟฟ้าที่แซนแนลขณะที่ช่วงที่มอสทรานซิสเตอร์ทำงานในช่วงไม่อิ่มตัว ค่าความจุไฟฟ้านี้จะแบ่งออกเป็นสองส่วนเท่าๆ กันระหว่างซอสและเดรนจะได้

$$C_{gs} = C_{gd} = \frac{1}{2} C_{ox} WL \quad (2.18)$$

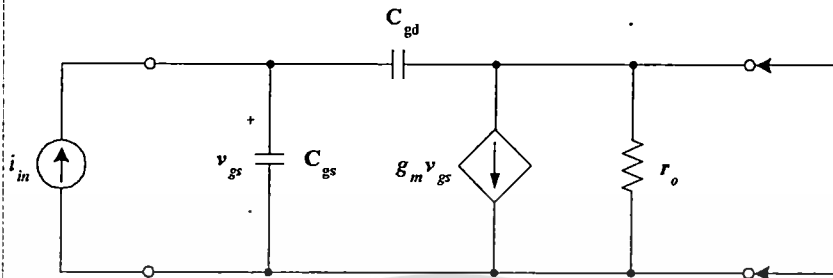
ขณะที่มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว แซนแนลจะหดแคบลงจนขาดออกที่ปลายด้านเดรน ซึ่งทำให้แรงดันเดรนมีผลเพียงเล็กน้อยต่อทั้งแซนแนลและประจุที่เกต ดังนั้นส่วนหนึ่งของค่า C_{gd} โดยทั่วไปแล้วมีค่าเป็นศูนย์ในช่วงการทำงานอิ่มตัว ขณะที่อีกส่วนซึ่งเกิดจากค่าความจุแฝงที่ออกไซด์เนื่องจากบางส่วนของเกตซ้อนทับกับบางส่วนของเดรน โดยค่า C_{gd} มีค่าอยู่ในระดับ 1fF ถึง 10fF ในการคำนวณค่า C_{gs} ในช่วงอิ่มตัวเราจะต้องคำนวณค่าจำนวนประจุทั้งหมด Q_T ที่อยู่ในแซนแนล จะได้

$$Q_T = \frac{2}{3} WLC_{ox} (V_{GT} - V_T) \quad (2.19)$$

ดังนั้น

$$C_{gs} = \frac{\partial Q_T}{\partial V_{gs}} = \frac{2}{3} WLC_{ox} \quad (2.20)$$

นอกจากนี้ค่าความจุ C_{gs} ยังต้องการรวมกับส่วนที่เกิดจากค่าความจุออกไซด์เนื่องจากพื้นที่บางส่วนของเกตซ้อนทับพื้นที่บางส่วนของซอร์ส



รูปที่ 2.13 การหาอัตราขยายกระแสขณะปิดวงจรถวาย

คุณสมบัติที่สำคัญประการหนึ่งสำหรับการทำงานที่ความถี่สูงของมอสทรานซิสเตอร์ที่ทำงานเป็นวงจรถวายคือความถี่ที่มีอัตราขยายเท่ากับหนึ่ง (Unity-gain frequency) คือ f_T โดยมีนิยามว่าเป็นความถี่ที่อัตราขยายกระแสของมอสทรานซิสเตอร์ที่อยู่ในรูปแบบวงจรถวายคอมมอนซอร์สที่มีค่าเป็นหนึ่งขณะที่ปิดวงจรถวาย รูปที่ 2.13 แสดงแบบจำลองแบบ Hybrid- π ของมอสทรานซิสเตอร์ในลักษณะคอมมอนซอร์สระหว่างขั้วอินพุตและขั้วเอาต์พุต ในการหาอัตราขยายกระแสขณะปิดวงจรถวายจะต้องทำการป้อนกระแส i_i ที่อินพุตและที่เอาต์พุตปิดวงจรถวาย กระแสที่เอาต์พุตสามารถเขียนได้คือ

$$i_o = g_m v_{gs} - s C_{gd} v_{gs} \quad (2.21)$$

เนื่องจากค่า C_{gd} มีค่าน้อยมาก ทำให้พจน์หลังของสมการ (2.21) มีค่าน้อยมากๆ ดังนั้นสมการที่ (2.21) สามารถประมาณได้คือ

$$i_o \cong g_m V_{gs} \quad (2.22)$$

จากรูปที่ 2.13 สามารถแสดงค่า v_{gs} ในพจน์ของกระแสอินพุต i_i ได้คือ

$$v_{gs} = \frac{i_i}{s(C_{gs} + C_{gd})} \quad (2.23)$$

จากสมการ (2.22) และ (2.23) จะได้อัตราขยายกระแสขณะปิดวงจรถวายได้เป็น

$$\frac{i_o}{i_i} = \frac{g_m}{s(C_{gs} + C_{gd})} \quad (2.24)$$

เมื่อ $s=j\omega$ จะได้อัตราขยายกระแสเท่ากับหนึ่งที่ความถี่

$$\omega_T = g_m / (C_{gs} + C_{gd}) \quad (2.24)$$

ดังนั้นความถี่ที่อัตราขยายเท่ากับหนึ่ง ค่า f_T คือ

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})} \quad (2.26)$$

จากสมการที่ (2.26) จะเห็นว่าค่า f_T แปรผันตามค่า g_m และแปรผกผันกับค่าความจุไฟฟ้าภายในตัวมอสทรานซิสเตอร์ เมื่อแทนค่า g_m ลงในสมการที่ (2.26) เราจะพบว่าค่า f_T จะขึ้นอยู่กับกระแสเดรน ซึ่งสามารถสรุปได้ว่ากระแสเดรนมีส่วนในการทำงานของมอสทรานซิสเตอร์ที่ความถี่สูง โดยทั่วไปค่าของ f_T จะมีค่าอยู่ในช่วงประมาณ 100MHz สำหรับเทคโนโลยีแบบเก่า เช่น เทคโนโลยีซีมอสขนาด $5\mu\text{m}$ แต่ถ้าเป็นเทคโนโลยีความเร็วสูงที่ใหม่กว่า เช่น เทคโนโลยีซีมอสขนาด $0.8\mu\text{m}$ จะมีค่า f_T อยู่ในช่วงหลาย ๆ GHz

2.6 ข้อเปรียบเทียบระหว่างทรานซิสเตอร์แบบเฟตกับแบบไบโพลาร์

โดยทั่วไปทรานซิสเตอร์แบบเฟตถูกพิจารณาว่ามีคุณสมบัติที่ดีและมีประโยชน์มากกว่าทรานซิสเตอร์แบบไบโพลาร์ ซึ่งอาจสรุปได้เป็นข้อๆ ดังนี้

1. ทรานซิสเตอร์แบบเฟตจะมีค่าความต้านทานอินพุตสูงมาก (High Input Impedance) อยู่ในช่วงประมาณ $10^{10} - 10^{15} \Omega$ โดยขึ้นอยู่กับชนิดของเฟต ซึ่งแตกต่างจากทรานซิสเตอร์แบบไบโพลาร์ที่มีค่าความต้านทานอินพุตต่ำ จึงทำให้เฟตถูกนำไปใช้งานได้อย่างสะดวก กว้างขวาง ไม่มีปัญหายุ่งยากในการใช้งานและไม่เป็นภาระในการต่อร่วมกับอุปกรณ์หรือวงจรอื่นๆ
2. ทรานซิสเตอร์แบบเฟต เป็นอุปกรณ์ที่มีเสถียรภาพการทำงานที่ดีกว่าทรานซิสเตอร์แบบไบโพลาร์ คือ มีค่าความไวต่ออนุกรมหรือรังสี โดยเฉพาะรังสีคอสมิก (Cosmic Ray) น้อยกว่าทำให้เฟตถูกใช้งานอย่างกว้างขวางในอุปกรณ์การสื่อสารระบบดาวเทียม ซึ่งทำงานในอวกาศ
3. ทรานซิสเตอร์แบบเฟต จะมีสัญญาณรบกวน (Noise) ต่ำกว่าทรานซิสเตอร์แบบไบโพลาร์ การทำงานของเฟตจึงมีประสิทธิภาพสูงกว่า
4. ทรานซิสเตอร์แบบเฟต เป็นอุปกรณ์ที่มีโครงสร้างอย่างง่ายไม่ซับซ้อนโดยเฉพาะมอสเฟตทำให้สร้างได้ง่าย ไม่ยุ่งยาก จึงทำให้เฟตมีราคาถูกกว่าทรานซิสเตอร์แบบไบโพลาร์
5. ทรานซิสเตอร์แบบเฟตมีโครงสร้างเป็นแบบสมมาตรสองข้าง (Bisymmetrical Structure) คือ ในส่วนของซอส (Source) และเดรน (Drain) จะมีคุณสมบัติเหมือนกันทุกประการสามารถสลับหน้าที่กันได้ ทำให้ง่ายต่อการออกแบบวงจร โดยเฉพาะอย่างยิ่งการออกแบบเฟตในรูปของวงจรรวม (Integrated Circuit) ซึ่งต่างจากกรณีทรานซิสเตอร์แบบไบโพลาร์ เนื่องจากในส่วนของอิมิตเตอร์ (Emitter) และคอลเลคเตอร์ (Collector) มีคุณสมบัติที่แตกต่างกันไม่สลับหน้าที่กันได้
6. การทำงานของทรานซิสเตอร์แบบเฟต มีการสูญเสียกำลังงานน้อยมาก เนื่องจากค่าความต้านทานอินพุตมีค่าสูง ทำให้มีกระแสไหลได้น้อยมากหรือไม่มีการไหล เช่น ในกรณีของมอสเฟต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจึงทำให้ไม่มีการใช้กำลังงาน ซึ่งแตกต่างจากทรานซิสเตอร์แบบไบโพลาร์ จะมีค่าความต้านทานอินพุตต่ำ ทำให้มีกระแสไหลในด้านอินพุต จึงมีการสูญเสียกำลังงานสูง ดังนั้น เฟตจึงเป็นอุปกรณ์ที่ประหยัดกำลังงานที่ดี คุณสมบัติข้อนี้ทำให้เฟต โดยเฉพาะอย่างยิ่งมอสเฟต (MOSFET) เป็นอุปกรณ์ที่สำคัญอย่างยิ่งมีบทบาทมากที่สุดและถูกนำมาใช้งานกันอย่างแพร่หลายในปัจจุบัน

7. ทรานซิสเตอร์แบบเฟต เป็นอุปกรณ์ที่ใช้แรงดันในการควบคุมการทำงาน (Voltage Control) ต่างจากทรานซิสเตอร์แบบไบโพลาร์ที่ควบคุมการทำงานด้วยกระแส (Current Control) ทำให้ง่ายต่อการนำไปใช้งาน โดยสูญเสียพลังงานน้อยที่สุด และในขณะทำงานจะเกิดความร้อนน้อยกว่าทรานซิสเตอร์แบบไบโพลาร์

8. กรณีทรานซิสเตอร์แบบเฟต มีความเหมาะสมมากที่สุดที่จะนำไปสร้างในรูปของวงจรรวม (Integrated Circuit: IC) เพราะมีโครงสร้างที่ง่ายกว่า ทั้งยังสามารถสร้างให้มีขนาดเล็กมาก ๆ ได้ในระดับไมโครเมตร (μm) ซึ่งในเทคโนโลยีของทรานซิสเตอร์แบบไบโพลาร์ยังไม่สามารถทำได้ ทำให้วงจรรวมชนิดมอสเฟต (MOS IC) เป็นวงจรรวมที่มีประสิทธิภาพสูง เช่น วงจรหน่วยความจำ (Memory ICs) ซึ่งในแต่ละชิ้นของวงจรรวมที่มีขนาดพื้นที่ประมาณหนึ่งตารางเซนติเมตรจะมีมอสเฟตบรรจุอยู่หลายล้านตัว

สำหรับข้อจำกัดหรือข้อด้อยของทรานซิสเตอร์แบบเฟตที่สำคัญ ได้แก่ การที่เฟตมีค่าความนำถ่ายโอนหรือทรานส์คอนดักแตนซ์ (Transconductance: g_m) ที่มีค่าต่ำ จึงทำให้เฟตมีอัตราการขยายต่ำกว่าทรานซิสเตอร์แบบไบโพลาร์

2.7 บทสรุป

เนื้อหาในบทนี้กล่าวถึงการทำงานของมอสทรานซิสเตอร์ โดยได้แบ่งมอสทรานซิสเตอร์ออกเป็น 2 ชนิด คือ มอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์และชนิดดีฟลิชัน โครงสร้าง การเกิดช่องทางเดินกระแส แบบจำลองสัญญาณขนาดใหญ่และขนาดเล็กของมอสทรานซิสเตอร์คือเนื้อหาที่ได้กล่าวถึง แบบจำลองทั้งสองแบบของมอสทรานซิสเตอร์จะถูกใช้ในการออกแบบและวิเคราะห์คุณสมบัติของวงจรที่จะนำเสนอ อีกทั้งนำเสนอข้อเปรียบเทียบระหว่างทรานซิสเตอร์แบบเฟตกับแบบไบโพลาร์อีกด้วย

บทที่ 3

หลักการและวงจรย่อยที่ใช้ในวิทยานิพนธ์

3.1 บทนำ

เนื้อหาในบทนี้จะกล่าวถึงหลักการของวงจรตรวจจับค่าแรงดันหรือกระแสสูงสุด เพื่อเป็นพื้นฐานในการอธิบายหลักการของวงจรตรวจจับค่าแรงดันสูงสุด โดยจะกล่าวถึงวงจรตรวจจับค่าแรงดันสูงสุดที่ใช้อุปกรณ์แอกทีฟเป็นหลักคือ ใช้งานจอร์โอทีเอ ใช้งานจอร์สายพานกระแส หลังจากนั้นจะกล่าวถึงวงจรตรวจจับค่าแรงดันสูงสุดแบบหลายอินพุต ที่ออกแบบโดยใช้ทรานซิสเตอร์ ต่อมาจะกล่าวถึงวงจรย่อยที่ใช้เป็นส่วนประกอบในการออกแบบวงจรตรวจจับค่าแรงดันสูงสุดที่จะนำเสนอในบทที่ 4 คือ วงจรกันชนโดยใช้ซีโมสวซึ่งเนื้อหาต่างๆ มีดังต่อไปนี้

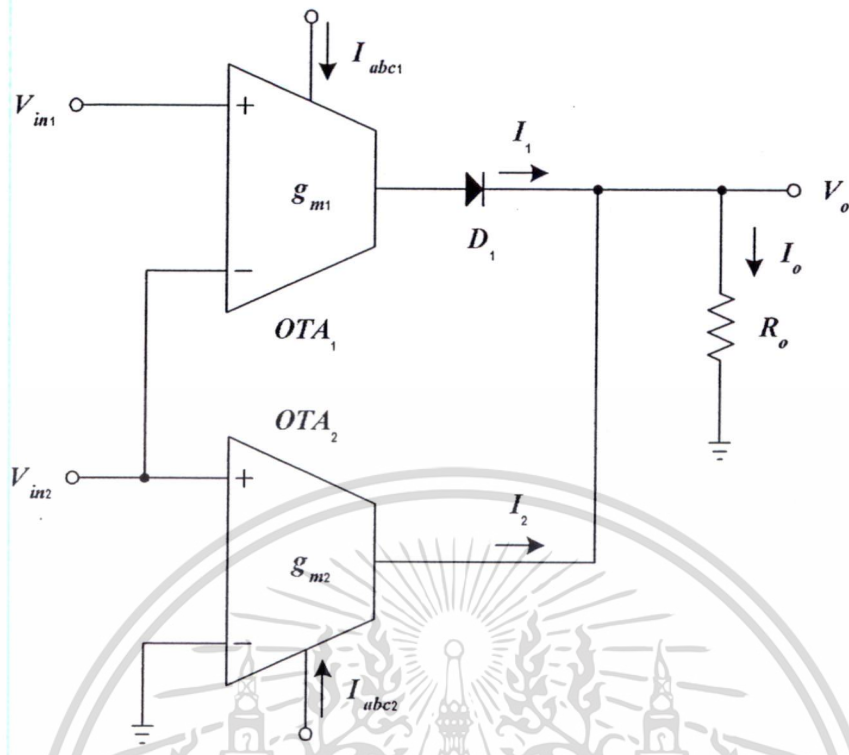
3.2 หลักการของวงจรตรวจจับค่าแรงดันสูงสุด

3.2.1 วงจรตรวจจับค่าแรงดันสูงสุดใช้งานจอร์โอทีเอ

วงจรตรวจจับค่าแรงดันสูงสุดที่ใช้งานจอร์โอทีเอ (Operational Transconductance Amplifier: OTA) แสดงได้ดังรูปที่ 3.1 ซึ่งเป็นวงจรที่นำเสนอใน [10] วงจรประกอบด้วยวงจอร์โอทีเอ 2 วงจร ไดโอด 1 ตัว และตัวต้านทาน 1 ตัว (ตัวต้านทานอาจจะแทนได้ด้วยวงจอร์โอทีเอ 1 วงจร) การทำงานของวงจรมีดังนี้ OTA₁ และ D₁ ทำหน้าที่เป็นวงจรจำกัดกระแส ตัวต้านทาน R_O ทำหน้าที่แปลงค่ากระแส I_O เป็นแรงดัน V_{out} ค่าทรานส์คอนดักแตนซ์ของตัวโอทีเอสามารถควบคุมได้ด้วยกระแสไบอัส ถ้าวงจอร์โอทีเอถูกสร้างด้วยมอสทรานซิสเตอร์ค่าทรานส์คอนดักแตนซ์จะเป็นสัดส่วนกับรากที่สองของ I_{out} แต่ถ้าถูกสร้างด้วยไบโพลาร์ทรานซิสเตอร์ค่าทรานส์คอนดักแตนซ์จะแปรผันตรงกับ I_{abc} วงจอร์โอทีเอคือวงจรรขยายค่าทรานส์คอนดักแตนซ์เมื่อป้อนแรงดันเข้าที่อินพุต เอาท์พุตที่ได้คือกระแสซึ่งเป็นที่รู้กันดีว่าความสัมพันธ์ระหว่างค่าแรงดันอินพุต (V_{in}) และกระแสเอาท์พุต (I_{out}) ของวงจอร์โอทีเอสามารถเขียนได้คือ [24]

$$I_{out} = g_m (V_{in+} - V_{in-}) \quad (3.1)$$

โดยที่ V_{in+} คืออินพุต Non-inverting ส่วน V_{in-} คืออินพุต Inverting และ g_m คือค่าทรานส์คอนดักแตนซ์หรือค่าความนำของโอทีเอ



รูปที่ 3.1 วงจรตรวจจับค่าแรงดันสูงสุดโดยใช้วงจรถอที่เอ

จากวงจรในรูปที่ 3.1 จะสามารถกำหนดสมการได้คือ

$$I_o = I_1 + I_2 \tag{3.2}$$

และ

$$V_o = I_o R_o \tag{3.3}$$

จากคุณสมบัติของไดโอด D_1 ค่ากระแส I_1 จะสามารถกำหนดได้คือ

$$I_1 = \begin{cases} 0 & ; V_{in1} \leq V_{in2} \\ g_{in1}(V_{in1} - V_{in2}) & ; V_{in1} > V_{in2} \end{cases} \tag{3.4}$$

พิจารณาในกรณีที่ $V_{in1} < V_{in2}$ จะสามารถเขียนสมการได้คือ

$$I_o = g_{m2} V_{in2} \tag{3.5}$$

เมื่อแทนสมการที่ (3.5) ลงในสมการที่ (3.3) จะได้สมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_o = g_{m2} R_o V_{in2} \quad (3.6)$$

พิจารณาในกรณีที่ $V_{in1} > V_{in2}$ จะสามารถเขียนสมการได้คือ

$$I_o = g_{m1} V_{in1} \quad (3.7)$$

เมื่อแทนสมการที่ (3.7) ลงในสมการที่ (3.3) จะได้สมการ

$$V_o = g_{m1} R_o V_{in1} \quad (3.8)$$

จากสมการที่ (3.6) และ (3.8) จะเห็นว่าวงจรในรูปที่ 3.1 เป็นวงจรตรวจจับค่าแรงดันสูงสุดระหว่างอินพุต V_{in1} และ V_{in2} และถ้ากำหนดให้ $g_{m1} = g_{m2} = 1/R_o$ จะสามารถเขียนสมการได้ว่า

$$V_o = \max(V_{in1}, V_{in2}) = \begin{cases} V_{in2} & ; V_{in1} \leq V_{in2} \\ V_{in1} & ; V_{in1} > V_{in2} \end{cases} \quad (3.9)$$

3.2.2 วงจรตรวจจับค่าแรงดันสูงสุดใช้วงจรสายพานกระแส

วงจรตรวจจับค่าแรงดันสูงสุดแสดงได้ดังรูปที่ 3.2 วงจรประกอบด้วยวงจรสายพานกระแส 1 วงจร ไดโอด 1 ตัว และตัวต้านทาน 2 ตัว จากคุณสมบัติของวงจรสายพานกระแสคือ $V_x = V_y$ และ $I_z = I_x$ เมื่อ V_x และ V_y คือแรงดันที่ขั้ว X และ Y ตามลำดับ ในขณะที่ I_z และ I_x คือกระแสที่ไหลที่ขั้ว Z และ X ตามลำดับ เมื่อใช้คุณสมบัติของวงจรสายพานกระแสดังกล่าว จะได้ว่า

$$I_x = \frac{V_{in2} - V_{in1}}{R_1} \quad (3.10)$$

จากคุณสมบัติของวงจรสายพานกระแส $I_x = I_z$ ถ้าค่ากระแส I_z มีค่าเป็นลบ ($V_{in1} > V_{in2}$) ไดโอด D_1 จะได้รับไบอัสตรงทำให้ D_1 นำกระแส ทำให้เกิดกระแส I_o ไหลในทิศทางตรงกันข้าม เมื่อค่ากระแส I_z มีค่าเป็นบวก ($V_{in1} < V_{in2}$) ไดโอด D_1 จะได้รับไบอัสกลับทำให้ไดโอด D_1 ไม่ทำงาน จากการทำงานดังกล่าวสามารถเขียนเป็นสมการได้ว่า

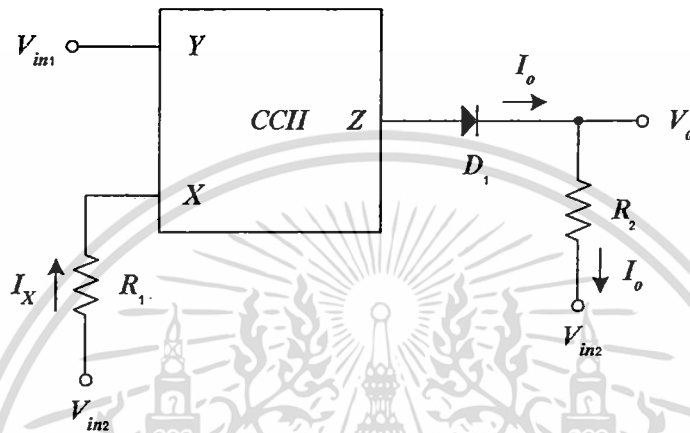
$$I_o = \begin{cases} 0 & ; V_{in1} \leq V_{in2} \\ -I_z = -I_x & ; V_{in1} > V_{in2} \end{cases} \quad (3.11)$$

เมื่อ

$$V_o = I_o R_2 + V_{in2} \quad (3.12)$$

เมื่อแทนค่าสมการที่ (3.12) ด้วยสมการ (3.11) จะได้

$$V_o = \begin{cases} V_{in2} & ; V_{in1} \leq V_{in2} \\ \left(\frac{V_{in1} - V_{in2}}{R_1} \right) R_2 + V_{in2} & ; V_{in1} > V_{in2} \end{cases} \quad (3.13)$$



รูปที่ 3.2 วงจรตรวจจับค่าแรงดันสูงสุดโดยใช้วงจรสายพานกระแส

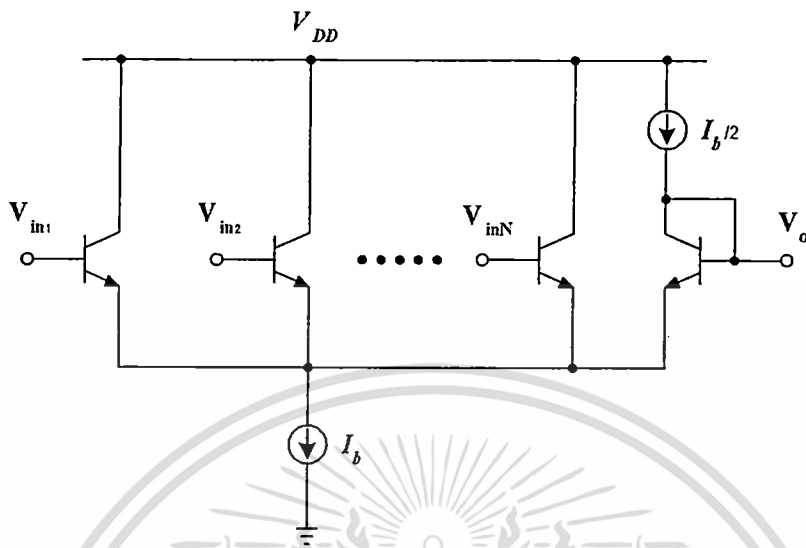
จากสมการที่ (3.13) เมื่อกำหนด $R_1=R_2$ จะกำหนดคุณสมบัติวงจรในรูปที่ 3.2 ได้ว่า

$$V_o = \begin{cases} V_{in2} & ; V_{in1} \leq V_{in2} \\ V_{in1} & ; V_{in1} > V_{in2} \end{cases} \quad (3.14)$$

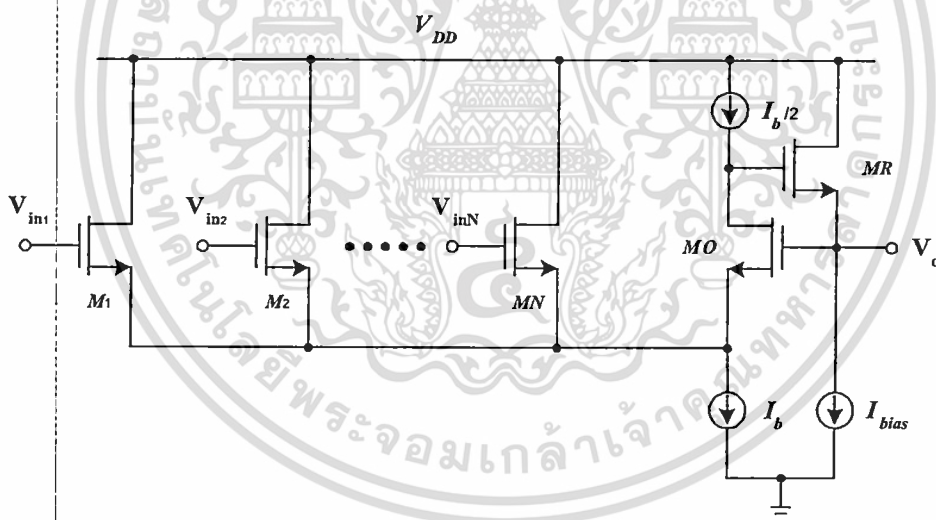
3.2.3 วงจรตรวจจับค่าแรงดันสูงสุดแบบหลายเอาต์พุต

รูปที่ 3.3 คือวงจรตรวจจับค่าแรงดันสูงสุดของ Yamakawa [3] ซึ่งเป็นวงจรที่รู้จักกันดี วงจรใช้โครงสร้างการต่อทรานซิสเตอร์แบบคอมมอนอีมีเตอร์ซึ่งสามารถมีอินพุตได้ถึง n อินพุต แรงดันเอาต์พุตจะมีค่าตามอินพุต V_{in} ที่มีค่ามากที่สุด ทรานซิสเตอร์อินพุตทั้งหมดจะได้รับไบอัสด้วยกระแส $I_b/2$ ทรานซิสเตอร์ที่มีอินพุตสูงสุดจะมีค่ากระแสไบอัสสูงสุด วงจรในรูปที่ 3.5 สามารถสร้างใหม่โดยใช้มอสทรานซิสเตอร์ซึ่งแสดงได้ดังรูปที่ 3.4 เนื่องจากโดยปกติแล้วค่าทรานคอนดักแตนซ์ในตัวของมอสทรานซิสเตอร์จะมีค่าน้อยกว่าในตัวไบโพลาร์ทรานซิสเตอร์ ดังนั้นเมื่ออินพุตสองอินพุตหรือมากกว่าต่างมีค่าเข้าใกล้ค่าสูงสุด ค่ากระแส $I_b/2$ จะถูกแบ่งออกเป็นหลายๆ สาขา ซึ่งทำให้แรงดันเอาต์พุตจะไม่มีค่าตามแรงดันอินพุตสูงสุด ซึ่งปัญหาดังกล่าวนี้จะเรียกว่า “Corner error” ค่าความนำของมอสทรานซิสเตอร์ที่ต่ำนี้สามารถแก้ไขโดยใช้มอส ทรานซิสเตอร์ M_R ต่อในลักษณะป้อนกลับกระแสซึ่งจะช่วยให้การตอบสนองทางความถี่ของวงจรดีขึ้นด้วย จากวงจรในรูปที่ 3.3 และ 3.4 จะสามารถเขียนสมการได้ว่า

$$V_{out} = \max\{V_{in1}, V_{in2}, \dots, V_{inN}\} \quad (3.15)$$



รูปที่ 3.3 วงจรตรวจจับค่าแรงดันสูงสุดของ Yamakawa [3]



รูปที่ 3.4 วงจรตรวจจับค่าแรงดันสูงสุดของ Yamakawa [3] ในแบบใช้มอสทรานซิสเตอร์

3.3 วงจรสะท้อนกระแส

วงจรสะท้อนกระแส (Current mirror) เป็นวงจรที่สำคัญอย่างมากสำหรับการออกแบบวงจรประเภทอนาล็อกที่ออกแบบโดยใช้หลักการของวงจรรวม วงจรสะท้อนกระแสที่เราเห็นกันอยู่ทั่วไปจะมีอยู่ประมาณ 4 วงจรที่เป็นวงจรที่เป็นที่นิยมและใช้งานคือ วงจรสะท้อนกระแสแบบพื้นฐาน วงจรสะท้อนกระแสแบบแคตโคด วงจรสะท้อนกระแสแบบ Wilson และวงจรสะท้อนกระแสแบบ Wilson ชนิดปรับปรุง แต่อย่างไรก็ตาม วงจรสะท้อนยังได้รับการพัฒนาและเผยแพร่มาอย่างต่อเนื่อง

แต่เนื่องจากวิทยานิพนธ์นี้ นำเอาเฉพาะวงจระสะท้อนกระแสแบบพื้นฐานมาใช้งาน ดังนั้นจึงจะขอกล่าวถึงเฉพาะวงจระสะท้อนกระแสแบบพื้นฐานนี้เท่านั้น

วงจระสะท้อนกระแสแบบพื้นฐานแสดงได้ดังรูปที่ 3.5 ซึ่งเป็นวงจระสะท้อนกระแสแบบพื้นฐานที่ใช้มอสทรานซิสเตอร์เพียงสองตัวเท่านั้น ความสัมพันธ์ระหว่างกระแสเอาต์พุต (I_{out}) และกระแสอินพุต (I_{in}) สามารถแสดงได้ดังนี้

$$I_{out} = \frac{g_{m2}}{g_{m1}} I_{in} \quad (3.16)$$

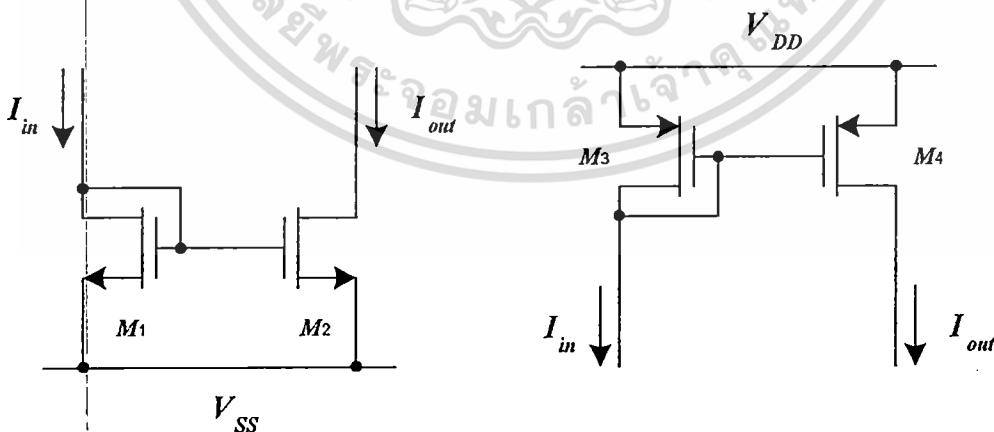
โดยที่ g_{m1} และ g_{m2} คือค่าทรานส์คอนดักแตนซ์ของทรานซิสเตอร์ M_1 และ M_2 สำหรับค่าความต้านทานทางเอาต์พุตของวงจระสามารถกำหนดให้คือ

$$r_{out} = r_{o2} \quad (3.17)$$

ค่าความต้านทานทางเอาต์พุตของวงจระกำหนดให้คือ

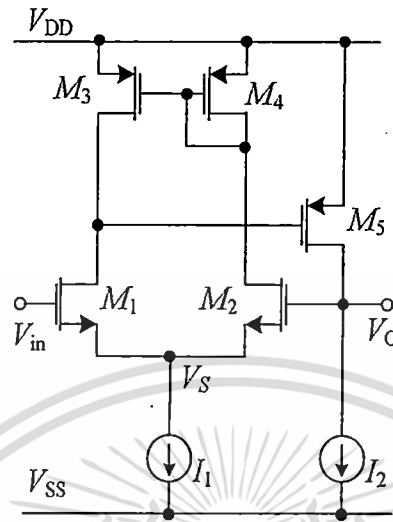
$$r_{out} = \frac{1}{g_{ds2}} \quad (3.18)$$

เมื่อ g_{ds2} คือค่าความนำระหว่างขาเดรนและขาซอร์สของมอสทรานซิสเตอร์ M_2 จากสมการที่ (3.17) และ (3.18) จะเห็นว่าความต้านทานทางเอาต์พุตของวงจระในรูปที่ 3.4 จะขึ้นอยู่กับความต้านทานทางเอาต์พุตของ Q_2 (r_{o2}) หรือค่าความนำทางเอาต์พุต (g_{ds}) ของ M_2 ซึ่งค่าความต้านทานทางเอาต์พุตนี้ในทางอุดมคติควรจะมีค่าเข้าใกล้อนันต์ ดังนั้นจึงได้มีการพัฒนาวงจระสะท้อนกระแสในแบบต่างๆ เพื่อเพิ่มค่าความต้านทานทางเอาต์พุตซึ่งจะมีผลที่ดีต่อการสะท้อนกระแสของวงจระด้วย



รูปที่ 3.5 วงจระสะท้อนกระแสแบบพื้นฐาน (ก) แบบบวก (ข) แบบลบ

3.4 วงจรกันชนแรงดันโดยใช้ซีมอส



รูปที่ 3.6 วงจรกันชนแรงดันโดยใช้ซีมอส

รูปที่ 3.6 แสดงวงจรกันชนแรงดันโดยใช้ซีมอส โครงสร้างของวงจรกันชนโดยใช้ซีมอสที่แสดงดังรูปที่ 3.6 นั้นคล้ายกับวงจร DDA [1] โดยกำหนดให้ทรานซิสเตอร์แบบ NMOS และ PMOS ทำงานในย่านอิ่มตัว สมการกระแสเดรนของทรานซิสเตอร์ชนิด NMOS และ PMOS แสดงดังสมการที่ (3.19) และ (3.20) ตามลำดับ

$$I_{DN} = k_N (V_{GSN} - V_{TN})^2 \quad (3.19)$$

$$I_{DP} = k_P (V_{SGP} - |V_{TP}|)^2 \quad (3.20)$$

โดย $k_P = \frac{\mu_P C_{OX}}{2} \left(\frac{W}{L}\right)$, $k_N = \frac{\mu_N C_{OX}}{2} \left(\frac{W}{L}\right)$, V_{TN} และ V_{TP} เป็นค่าแรงดันขีดเริ่ม (Threshold voltage) ของทรานซิสเตอร์แบบ NMOS และ PMOS ตามลำดับ ส่วน μ_N และ μ_P คือค่าสภาพคล่องตัวของพาหะที่ผิวบริเวณแชนแนลของมอสทรานซิสเตอร์ตามลำดับ

เมื่อค่าอินพุตทรานคอนดักแตนซ์ของ M_1 และ M_2 สมพงค์กันทุกประการ สมการกระแสเดรนของทรานซิสเตอร์ M_1 และ M_2 สามารถเขียนได้ดังนี้

$$I_{D1} = k_N (V_{in} - V_S - V_{TN})^2 \quad (3.21)$$

$$I_{D2} = k_N (V_O - V_S - V_{TN})^2 \quad (3.22)$$

สมมติว่ากระแสสะท้อนที่ M_3 และ M_4 สมพงค์กันทุกประการ ดังนั้นกระแสสะท้อน $I_{D1} = I_{D2}$ ทราบซิสเตอร์ M_5 เป็นตัวป้อนกลับกระแสร่วมกับ M_2 จากสมการที่ (3.21) และ (3.22) สามารถอธิบายได้ว่า แรงดันที่เอาต์พุตมีค่าเป็น

$$V_O = V_{in} \quad (3.23)$$

3.5 สรุป

เนื้อหาในบทนี้จะกล่าวถึงวงจรตรวจจับค่าแรงดันสูงสุดที่ได้นำเสนอไว้ในอดีต เพื่อให้ง่ายต่อการทำความเข้าใจจึงได้หยิบยกเอาวงจรตรวจจับค่าแรงดันสูงสุดที่ใช้อุปกรณ์แอ็กทิฟเป็นพื้นฐานคือ วงจรโอทีเอ วงจรสายพานกระแส มาอธิบายการทำงาน ต่อมาได้กล่าวถึงวงจรย่อยที่ใช้เป็นส่วนประกอบในการออกแบบวงจรตรวจจับค่าแรงดันสูงสุดซึ่งจะนำเสนอในบทต่อไป



บทที่ 4

วงจรถรวจจับค่าสูงสุดหลายอินพุตรูปแบบแรงดัน และการประยุกต์ใช้งาน

4.1 บทนำ

วงจรถรวจจับค่าสูงสุดนั้นเป็นส่วนประกอบที่มีประโยชน์ต่อการประมวลผลสัญญาณในวงจรรูปแบบไม่เชิงเส้น (Nonlinear Circuits) เป็นอย่างมาก โดยรูปแบบที่ยอมรับกัน คือ ใช้วงจรถรวจจับค่าแรงดัน (Voltage buffer stage) [1] ที่เชื่อมต่อกันแบบขนาน วงจร Winner-Take-All ถูกค้นพบโดยใช้การต่อแบบขนานของคาสโคเดเซลล์ ที่ถูกเรียกว่า Lazzaro'cell [2] วงจร WTA มากมายที่ถูกนำเสนอขึ้น ทำงานในรูปแบบกระแส หรือรูปแบบแรงดัน [3-7] ซึ่งการประยุกต์ใช้นั้น ส่วนใหญ่มักพบในการติดต่อสื่อสาร ในระบบเครื่องมือวัด โดยเฉพาะอย่างยิ่งในการควบคุมแบบฟัซซีในเครื่องใช้ไฟฟ้าในบ้าน (Fuzzy Control) [4-6] เครือข่ายเส้นใยประสาท จากอดีตจนถึงปัจจุบันวงจรถรวจจับค่าสูงสุดได้รับการพัฒนา และนำเสนออย่างต่อเนื่อง เพื่อให้ได้วงจรถรวจจับค่าสูงสุดที่มีคุณสมบัติที่ดี วงจรถรวจจับค่าสูงสุดที่ดี ควรมีคุณสมบัติ เช่น มีความเที่ยงตรงสูง มีช่วงปฏิบัติการทางขนาดและความถี่กว้าง มีความเร็วสูง ใช้กำลังงานต่ำ ใช้อุปกรณ์น้อยอีกทั้งมีความง่ายเพื่อให้เหมาะกับการนำมาสร้างเป็นวงจรรวม ในงานที่นำเสนอแต่ก่อนนั้น ใช้หลักการสร้างโดยใช้การสะท้อนกระแสที่ต่อแบบคาสโค [4-5] ที่นำอุปกรณ์ประเภทแอกทิฟมาใช้งาน แต่นำเสียดาย ที่โนดเอาต์พุตไม่สามารถให้ค่าความต้านทานที่ต่ำได้ อีกทั้งยังไม่สามารถให้ผลตอบสนองได้อย่างรวดเร็วและถูกต้อง ที่ผ่านมามีวงจรถรวจจับค่าสูงสุดนำเสนอไว้ในวารสารโดยใช้อุปกรณ์แอกทิฟเป็นวงจรรพื้นฐานได้แก่ ใช้โอปแอมป์ (Op-amp) [18] วงจรโอทีเอ (OTA) [8,10] วงจรสายพานกระแส (Current conveyor) [3] แต่อย่างไรก็ตาม วงจรดังกล่าวเหมาะกับการประยุกต์ใช้งานบางประเภทเท่านั้น อีกทั้งเมื่อต้องการวงจรถรวจจับค่าสูงสุดไปประยุกต์ใช้งานในระบบเครือข่ายประสาทเทียม ระบบประมวลผลสัญญาณภาพ มักสร้างวงจรถรวจจับค่าสูงสุดที่มีหลายอินพุตในรูปแบบของวงจร Winner-Take-All (WTA) สำหรับวงจร WTA รูปแบบกระแสแบบหลายอินพุตในอดีต ขึ้นอยู่กับความซับซ้อนของวงจร CCII และการสะท้อนของกระแสที่คำนวณโดยใช้กฎทางคณิตศาสตร์ [7] ซึ่งมีการสะท้อนของกระแสหลายตัว ทำให้ใช้กำลังไฟสูง

ในอดีตที่ผ่านมามีวงจรถรวจจับค่าสูงสุดที่ใช้ทรานซิสเตอร์ต่อร่วมกับไดโอด 1 ตัว [8] แต่ปัญหาที่พบคือ การมีอินพุตที่ไม่สมมาตรกันสำหรับหลายอินพุต (n อินพุต) โครงสร้างของโอทีเอ และ ไดโอดที่มีอินพุตแบบสมมาตรกันถูกนำเสนอ [9] เพื่อแก้ปัญหาต่างๆ แต่ก็เกิดปัญหาอื่นๆ ตามมา เช่น over switching time และ voltage across ของไดโอด ทำให้เกิดผลกระทบต่ออินพุต และการใช้ส่วนประกอบต่างๆมากมาย เป็นอีกหนึ่งปัญหาด้วยจำนวนของโอทีเอ ($n+1$)

Winner-Take-All (WTA) เป็นรูปแบบที่นิยมใช้สำหรับวงจรถรวจจับค่าสูงสุด ซึ่งรูปแบบเบื้องต้นของวงจรถรวจจับค่าสูงสุดแบบ WTA โดยใช้ซิมอสและมีอินพุตที่สมมาตรกันหลายๆอินพุตที่ถูกนำเสนอแต่ก่อนนั้นสามารถทำงานได้ แต่มีโครงสร้างที่ซับซ้อนและใช้ทรานซิสเตอร์หลายตัว [10-11] จึงมีวงจรถรวจจับค่าสูงสุดโดยใช้ซิมอสแบบกะทัดรัดอื่นๆ นำเสนอ เนื่องจากมีสมรรถนะที่ดี [12] โดยใช้ source couple pairs-based เหมือนกับวงจรตามแรงดันของอินพุต แต่การใช้จำนวนทรานซิสเตอร์มาก ($6n+1$) นั้นเป็นข้อเสียสำหรับกรณีที่มีหลายอินพุต WTA รูปแบบกระแสและ

รูปแบบแรงดัน ที่ใช้การตามแรงดันแบบ flipped [13] และตามแรงดันแบบ differential flipped [15] นั้นมีความต้านทานเอาต์พุตสูง ทำให้เกิดปัญหาในการเชื่อมต่อกับวงจรอื่นๆ จึงมี WTA ในรูปแบบแรงดันโดยใช้หลักการการต่อขนานกันแบบ differential pairs พร้อมกับมีชุดขับด้านเอาต์พุตถูกนำเสนอ [14] แต่มีข้อเสียคือ ใช้ทรานซิสเตอร์จำนวนมาก ($7n+1$) วงจรตรวจจับค่าสูงสุดแบบ WTA อีกวงจรหนึ่งถูกสร้างให้มีการปรับค่าออฟเซตต่อรวมกับวงจรกันชนป้อนกลับกระแส [16] แต่ค่อนข้างใช้ทรานซิสเตอร์จำนวนมาก ($5n+1$) เช่นกัน

4.2 วงจรตรวจจับค่าแรงดันสูงสุดที่นำเสนอ

วิทยานิพนธ์นี้นำเสนอวงจรตรวจจับค่าสูงสุดแบบใหม่ โดยใช้หลักการ Winner-Take-All ใช้ทรานซิสเตอร์แบบซีมอสจำนวนน้อย ($3n+4$) และ มีประสิทธิภาพเพิ่มขึ้น โดยมีความต้านทานเอาต์พุตต่ำ ผลตอบสนองเร็วขึ้น สามารถทำงานที่ความถี่สูงได้ดี อีกทั้งมีค่าเอาต์พุตออฟเซตต่ำ มีการลดทอนน้อย สามารถประยุกต์ใช้เป็นวงจรเรียงกระแสแบบครึ่งคลื่น และวงจรเรียงกระแสแบบเต็มคลื่นได้

สมมติให้อินพุตของวงจรตรวจจับค่าสูงสุดโดยใช้ซีมอส โดยใช้หลักการ WTA เป็น n -inputs ที่แสดงในรูปที่ 4.1 ซึ่งประกอบด้วยทรานซิสเตอร์เพียง $3n+4$ ตัว ด้วยกระแสไบอัส 2 ตัวเหมือนกับวงจรกันชนโดยใช้ซีมอสในรูปที่ 3.6 หากต้องการมีอินพุตหลายอินพุตสามารถนำต่อขนาน M_1 M_3 และ M_5 ออกไปได้

ในการทำงานของวงจร กระแสเดรนของทรานซิสเตอร์ M_6 นั้นถูกไบอัสด้วยค่าทรานคอนดักแทนซ์ของ M_1 และ M_2 ซึ่งกำหนดให้เป็นแรงดันไบอัส V_B กระแสสะท้อนที่ M_4 เหมือนกับกระแสที่ M_{31} ถึง M_{3n} ซึ่งทำงานตามอินพุตตัวที่มากที่สุด กระแสที่ M_{31} และ M_4 เป็นสมการผลรวมค่าคงที่ของกระแส M_6 กรณีที่เป็นสองอินพุต สมมติให้ V_1 เป็นอินพุตสูงสุด กระแสของ M_{11} ก็จะสูงกว่า M_{12} และ M_{1n} ทำให้เอาต์พุต V_O มีค่าเท่ากับอินพุต V_1 และกระแสขึ้นอยู่กับผลป้อนกลับกระแสของ M_5 และ M_7 โดยที่ M_{12} M_{1n} M_{52} และ M_{5n} จะไม่นำกระแส เนื่องจาก M_{12} - M_{1n} ไม่อยู่ในเงื่อนไขของทรานซิสเตอร์อิ่มตัว เป็นผลให้แรงดันเอาต์พุตเท่ากับ

$$V_O = \text{Max}(V_i) \quad ; \quad i = 1, 2, 3, \dots, n \quad (4.1)$$

และความไม่สมพงค์กันของทรานซิสเตอร์ ซึ่งในรูปที่ 4.1 การหาความสัมพันธ์ระหว่าง V_m และ V_o สามารถคำนวณได้จากแบบจำลองการวิเคราะห์ที่ไม่สนใจผลของ Body Effect ได้สมการเป็น

$$V_o = \beta V_m \quad (4.4)$$

โดยที่มีค่าอัตราขยายแรงดัน (β) เท่ากับ

$$\beta = \frac{g_{m1}g_{m5}(g_{m4} + g_{d2} + g_{d4})}{g_{m2}g_{m3}g_{m5} + g_{d5}(g_{d1} + g_{d3})(g_{m4} + g_{d2} + g_{d4})} \quad (4.5)$$

ซึ่งคล้ายในหัวข้อที่ 4.3.1 ที่ว่าถ้า $g_{mi} \gg g_{di}$ จากสมการที่ (4.5) ความผิดพลาดเอาท์พุตจาก tracking สามารถประมาณได้ว่ามีค่าเข้าใกล้ 1

4.3.3 ผลกระทบของทรานซิสเตอร์ที่ไม่สมพงค์กัน

ผลของทรานซิสเตอร์ที่ไม่สมพงค์กันนั้น เป็นผลกระทบโดยตรงต่อแรงดันออฟเซต จากวงจรกันชนโดยใช้ซีมอสในรูปที่ 3.6 เราสมมติให้ทรานซิสเตอร์ M_1 และ M_2 สมพงค์กันทุกประการ ทรานซิสเตอร์ M_3 และ M_4 สมพงค์กันทุกประการ จึงได้เป็นสมการที่ (3.21) และ (3.22) แต่เมื่อพิจารณา ถ้าทรานซิสเตอร์ M_1 และ M_2 ไม่สมพงค์กัน ทรานซิสเตอร์ M_3 และ M_4 ไม่สมพงค์กัน แรงดันเอาท์พุตของวงจรกันชนโดยใช้ซีมอสในสมการที่ (3.23) เขียนใหม่ได้เป็น

$$V_o = \sqrt{\frac{k_{N1}k_{P3}}{k_{N2}k_{P4}}} \frac{(V_{SGP3} - |V_{TP3}|)}{(V_{SGP4} - |V_{TP4}|)} (V_{in} - V_S - V_{TN1}) + V_S + V_{TN2} \quad (4.6)$$

ซึ่งกรณีที่ทรานซิสเตอร์ M_3 และ M_4 สมพงค์กันทุกประการ แต่ทรานซิสเตอร์ M_1 และ M_2 ไม่สมพงค์กัน แรงดันเอาท์พุตของวงจรกันชนโดยใช้ซีมอสในสมการที่ (4.7) เขียนใหม่ได้เป็น

$$V_o = \sqrt{\frac{k_{N1}}{k_{N2}}} (V_{in} - V_S - V_{TN1}) + V_S + V_{TN2} \quad (4.7)$$

4.3.4 ผลจาก Body-effect

สำหรับวงจรตรวจจับค่าสูงสุด มอสทรานซิสเตอร์ทุกตัวต่อบอดี้กับซอร์ส $V_{SB} = 0$ ยกเว้น ทรานซิสเตอร์ M_1 และ M_2 ซึ่งโครงสร้างแบบนี้สามารถไม่คิดผลจาก Body-effect ของวงจรได้ หรือสามารถเขียนได้ว่า $V_T = V_{TO}$

4.4 ผลการจำลองการทำงาน

วงจรตรวจจับค่าสูงสุดที่นำเสนอ นั้น ถูกจำลองการทำงานด้วยโปรแกรม PSPICE โดยใช้โมเดลของ TSMC 0.25 μm ดังตารางที่ 4.1 กำหนดให้แหล่งจ่ายแรงดัน $V_{DD} = -V_{SS} = 1.25$ โวลต์ แรงดันไบอัส $V_B = -0.6$ โวลต์ และขนาดของทรานซิสเตอร์ที่ใช้แสดงดังตารางที่ 4.2 พบว่ามีการสูญเสียพลังงานประมาณ 0.605 mW

ตารางที่ 4.1 โมเดล TSMC MOSIS 0.25 μm

```
.MODEL NMOS1 NMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17
+GAMMA=0.4317311 PHI=0.7 VTO=0.4238252 DELTA=0
+UO=425.6466519 ETA=0 THETA=0.1754054 KP=2.501048E-4
+VMAX=8.287851E4 KAPPA=0.1686779 RSH=4.062439E-3
+NFS=1E12 TPG=1 XJ=3E-7 LD=3.162278E-11 WD=1.232881E-8
+CGDO=6.2E-10 CGSO=6.2E-10 CGBO=1E-10 CJ=1.81211E-3
+PB=0.5 MJ=0.3282553 CJSW=5.341337E-10 MJSW=0.5)
.MODEL PMOS1 PMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17
+GAMMA=0.6348369 PHI=0.7 VTO=-0.5536085 DELTA=0
+UO=250 ETA=0 THETA=0.1573195 KP=5.194153E-5
+VMAX=2.295325E5 KAPPA=0.7448494 RSH=30.0776952
+NFS=1E12 TPG=-1 XJ=2E-7 LD=9.968346E-13 WD=5.475113E-9
+CGDO=6.66E-10 CGSO=6.66E-10 CGBO=1E-10 CJ=1.893569E-3
+PB=0.9906013 MJ=0.4664287 CJSW=3.625544E-10 MJSW=0.5)
```

ตารางที่ 4.2 ค่า Aspect Ratio ทรานซิสเตอร์สำหรับ (CMOS)

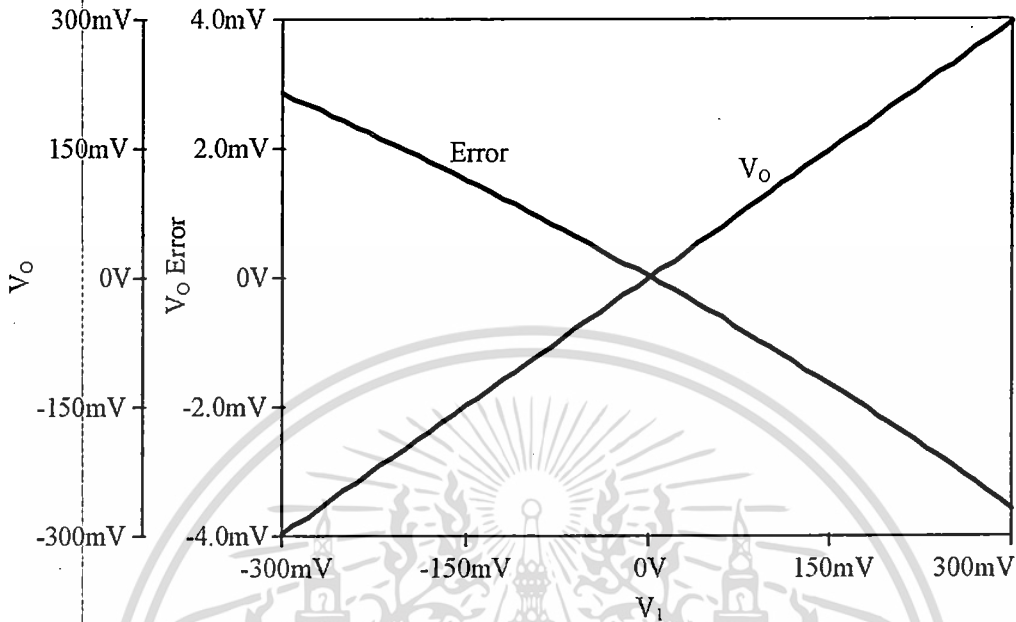
Transistors	W (μm)	L (μm)
M ₁ -M ₂ ,	1	0.5
All NMOS	3	0.5
All PMOS	5	0.5

ตารางที่ 4.3 เปรียบเทียบวงจรตรวจจับค่าสูงสุดที่นำเสนอ กับวงจรที่เสนอก่อนหน้านี้

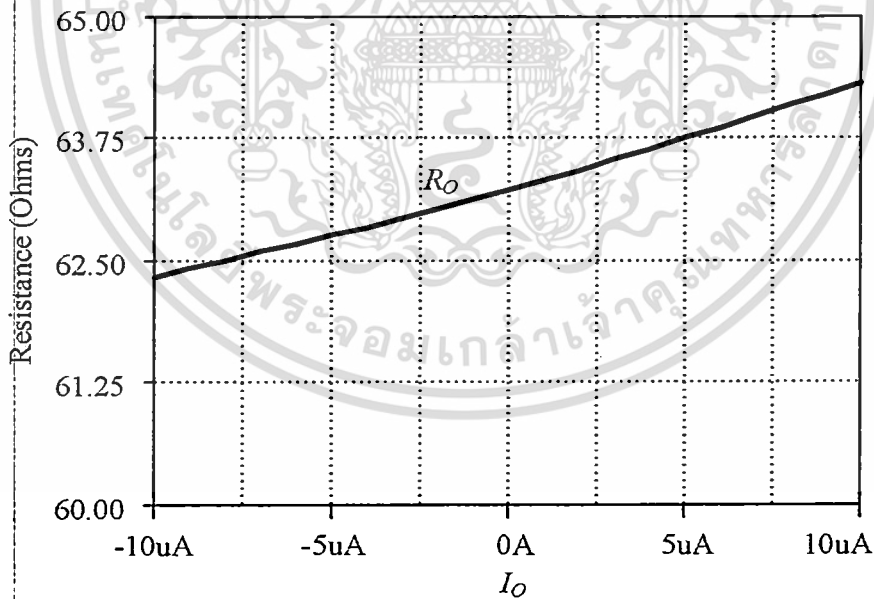
Max circuit	Transistors (n-input)	Power supplies (V)	Pulse delay time	Corner error	Z _{out}	Tech (μm) /Area (μm^2)
[12]	6n+1	+5	20 ns	40mV/10ns	Low	0.8/NA
[13]	3n+3	+1.5	10 ns	15mV/15ns	High	0.5/18700
[14]	5n	± 1.5	N/A	15mV/40ns	Low	0.5/16340
[15]	7n+1	+5	N/A	25mV/100ns	Low	1.6/20048
[16]	5n+1	± 1.5	5 ns	15mV/10ns	Low	0.25/1800
Proposed	3n+4	± 1.25	1.5 ns	10mV/5ns	Low	0.25/779

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในรูปที่ 4.2 แสดงคุณสมบัติทางไฟตรงของวงจรและค่าความผิดพลาด โดยใช้อินพุต ± 0.6 V โดยเอาต์พุตนั้นให้ผลตามอินพุตของมัน ซึ่งมีความผิดพลาดน้อยกว่า ± 4 mV



รูปที่ 4.2 คุณสมบัติทางไฟตรงของวงจรและค่าความผิดพลาด



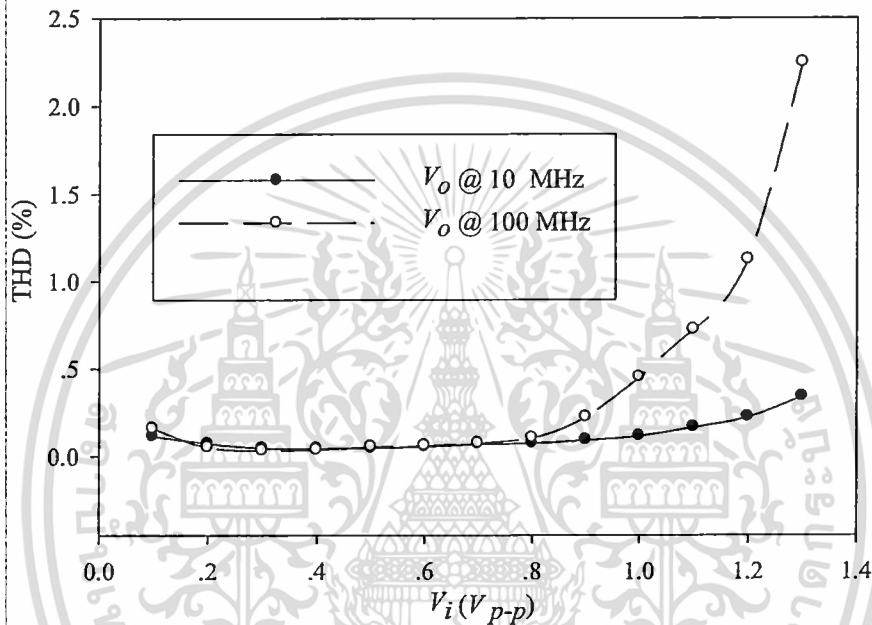
รูปที่ 4.3 ความต้านทานเอาต์พุตที่ป้อนกระแสที่เอาต์พุต

ในรูปที่ 4.3 ทำการป้อนกระแส ± 10 μ A ที่เอาต์พุตแล้วหาความต้านทานเอาต์พุตได้ค่าประมาณ 63 Ω ในรูปที่ 4.4 แสดงความเพี้ยนฮาร์มอนิกรวมเอาต์พุตได้ค่าน้อยกว่า 1.1% ที่ความถี่ 100 MHz โดยคิดที่แรงดันอินพุต 1.2 V_{pp} และ ผลตอบสนองทางความถี่ของวงจรตาม

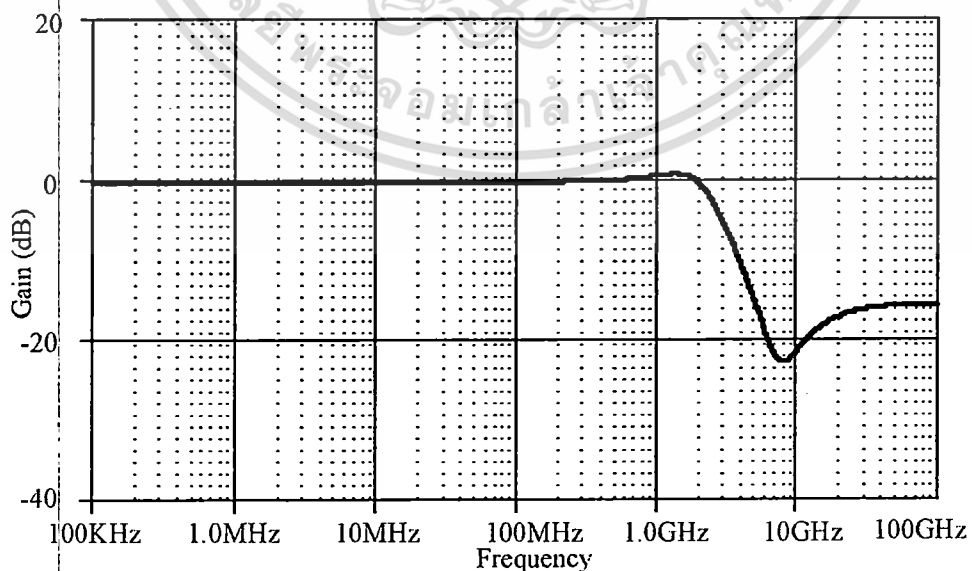
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันที่ถูกนำเสนอนั้น มีค่ามากกว่า 100 MHz ถูกแสดงในรูปที่ 4.5 ผลตอบสนองแบบชั่วขณะของวงจรตามแรงดันที่อินพุตเป็นสัญญาณสี่เหลี่ยมความถี่ 100 MHz และแอมพลิจูด ± 0.6 V ต่อกับโหลดความต้านทาน $R_L = 5$ k Ω ถูกแสดงในรูปที่ 4.6 โดยกราฟใช้เวลาขาขึ้นสูงสุด 1.5 ns และใช้เวลาขาลงต่ำสุด 0.5 ns โดยสามารถหาค่า Propagation delay ได้จากสมการ (4.8) ซึ่งหาค่าได้เท่ากับ 1 ns

$$P_{delay} = \frac{RiseTime + RaiseTime}{2} \quad (4.8)$$

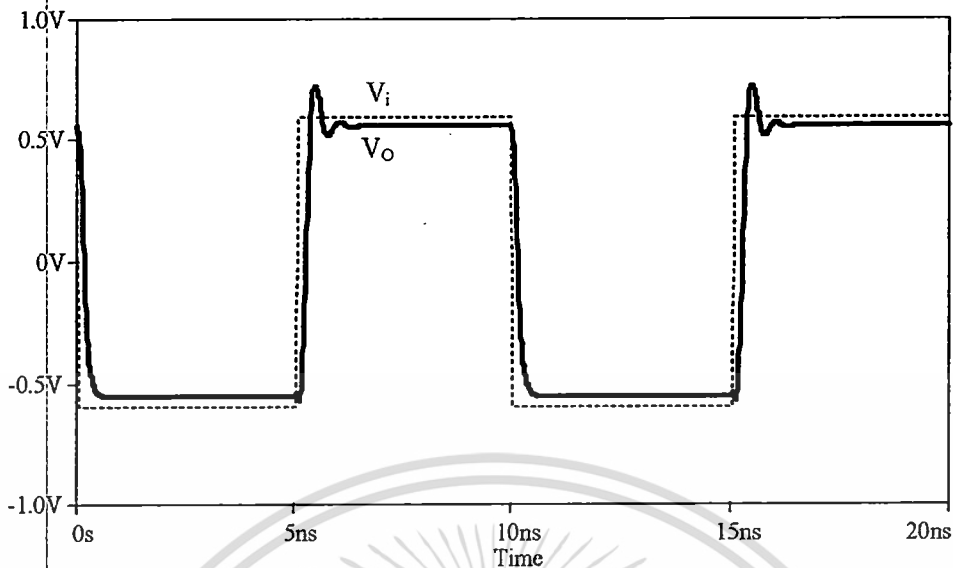


รูปที่ 4.4 ความเพี้ยนฮาร์โมนิกรวมเอาท์พุทที่ 10 MHz และ 100 MHz

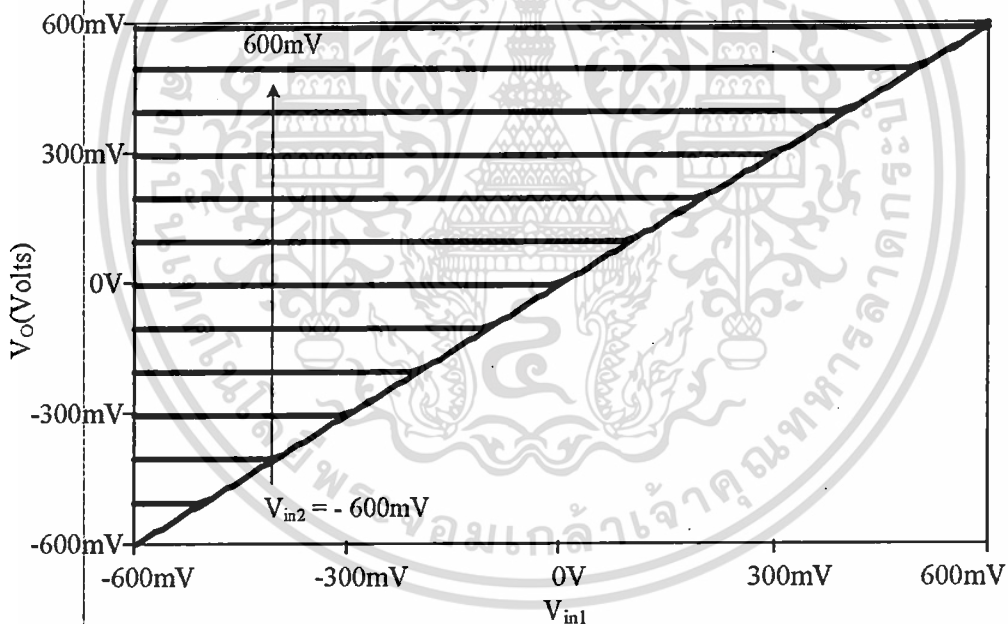


รูปที่ 4.5 ผลตอบสนองทางความถี่ของวงจรตามแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

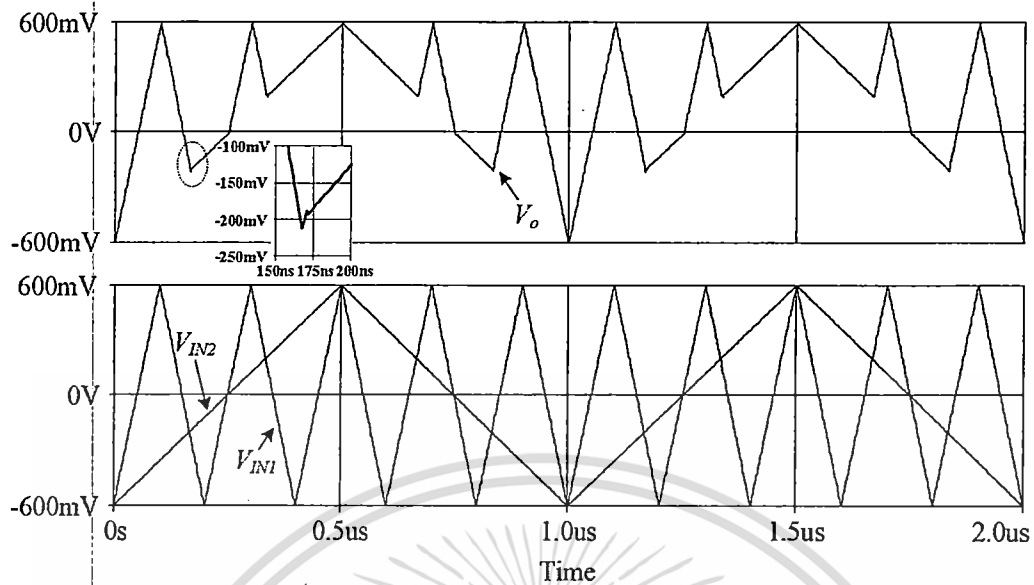


รูปที่ 4.6 ผลตอบสนองชั่วขณะของอินพุตต่อกับความต้านทาน $5\text{ k}\Omega$



รูปที่ 4.7 คุณสมบัติทางไฟตรงของวงจรตรวจจับค่าสูงสุด

ในรูปที่ 4.7 แสดงคุณสมบัติทางไฟตรงของวงจรตรวจจับค่าสูงสุด และ ในรูปที่ 4.8 แสดงสัญญาณเอาต์พุตของวงจรตรวจจับค่าสูงสุด โดยเอาต์พุตเกิดจากการเปรียบเทียบอินพุตที่เป็นรูปสามเหลี่ยมสองสัญญาณ ความถี่ 1 MHz และ 5 MHz ซึ่งเมื่อพิจารณาในรูปที่ 4.8 พบความผิดพลาดเชิงมุม (Corner error) มีค่าประมาณ $10\text{ mV} / 5\text{ ns}$

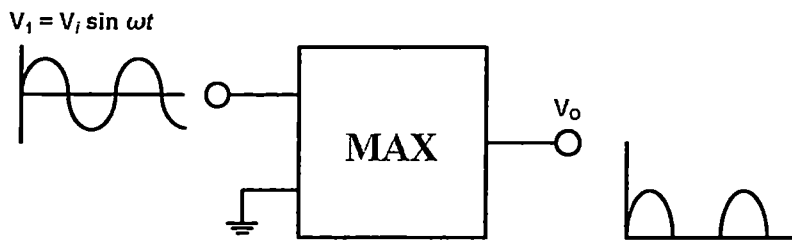


รูปที่ 4.8 แรงดันสูงสุดที่อินพุตมีความถี่ 1 MHz และ 5 MHz

4.5 การประยุกต์ใช้งาน

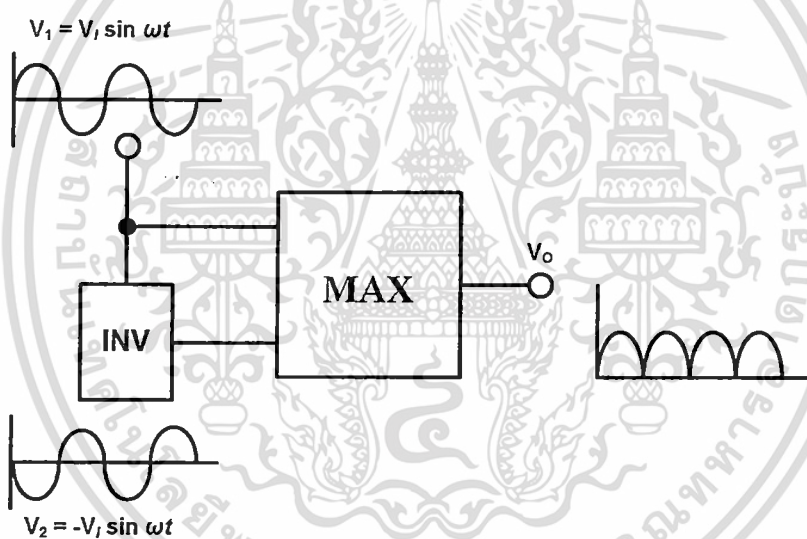
วงจรเรียงกระแส (Rectifier) เป็นวงจรที่มีการทำงานแบบไม่เป็นเชิงเส้นที่สามารถนำไปประยุกต์ใช้งานในเครื่องมือวัดไฟฟ้ากระแสสลับ ตัวตีโมดูลสเตทที่ภาค RF การสร้างสัญญาณกำลังสอง สัญญาณรูปคลื่นสามเหลี่ยม ตัวแปลงสัญญาณ RMS เป็นสัญญาณ DC โดยทั่วไปวงจรเรียงกระแส มักจะถูกสร้างโดยใช้ไดโอดเพียงอย่างเดียว แต่ปัญหาสำคัญของวงจรเรียงกระแสที่ใช้ไดโอดคือไม่สามารถเรียงสัญญาณขนาดเล็กได้เพราะไดโอดจะทำงานได้ต้องมีแรงดันตกคร่อมตัวมัน 0.3V สำหรับชนิดเยอรมันเนียมและตกคร่อม 0.6V สำหรับชนิดซิลิกอน ส่วนวงจรเรียงกระแสที่สร้างจากไดโอดออปแอมป์และตัวต้านทาน [18] มีข้อดีคือแก้ไขเรื่องแรงดันตกคร่อมที่ตัวไดโอดแต่จะพบปัญหาเนื่องจากอัตราการสลับของตัวออปแอมป์ ทำให้ออปแอมป์สวิทช์ไม่ทัน ผลก็คือจะเกิดความเพี้ยนที่บริเวณ Zero Crossing ของสัญญาณอินพุต เนื้อหาในส่วนนี้จะกล่าวถึงการนำเอาวงจรตรวจจับค่าแรงดันสูงสุดมาดัดแปลงเป็นวงจรเรียงกระแสแบบครึ่งคลื่น (Half-wave Rectifier) และวงจรเรียงกระแสแบบเต็มคลื่น (Full-wave Rectifier) วงจรที่นำเสนอมีข้อดีคือ เหมาะกับการนำไปสร้างเป็นวงจรรวมเนื่องจากสร้างด้วยทรานซิสเตอร์ทั้งหมดใช้แรงดันต่ำ สามารถเรียงสัญญาณขนาดเล็กได้

ในส่วนนี้ นำเสนอวงจรเรียงกระแสแบบครึ่งคลื่น และวงจรเรียงกระแสแบบเต็มคลื่น ที่สร้างมาจากการประยุกต์ใช้วงจรตรวจจับค่าสูงสุดรูปแบบแรงดันที่นำเสนอในบทก่อนหน้านี้ วงจรตรวจจับค่าสูงสุดนั้นสามารถที่จะประยุกต์ใช้เป็นวงจรเรียงกระแสแบบครึ่งคลื่นโดยให้อินพุตแรกเป็นสัญญาณไซน์ ($V_1 = V_s \sin \omega t$) และอินพุตที่สองเป็นศูนย์ สัญญาณไซน์อินพุตแรกเมื่อเปรียบเทียบกับอินพุตที่สองที่มีค่าเป็นศูนย์ จากคุณสมบัติของวงจรตรวจจับค่าสูงสุด ส่งผลให้สัญญาณเอาต์พุตที่ได้ นั้น เหลือเพียงครึ่งบวกของสัญญาณไซน์จากอินพุตแรกเท่านั้น ($V_o = \sin \omega t |_{V_2 > 0}$) ดังรูปที่ 4.9



รูปที่ 4.9 บล็อกไดอะแกรมวงจรเรียงกระแสแบบครึ่งคลื่น

ส่วนการประยุกต์ใช้เป็นวงจรเรียงกระแสแบบเต็มคลื่นนั้น ทำได้โดยการให้อินพุตแรกและอินพุตสองเป็นสัญญาณไซน์ ที่มีความต่างเฟสกัน 180° ($V_1 = V_1 \sin \omega t$ และ $V_2 = -V_1 \sin \omega t$) โดยสัญญาณเอาต์พุตจะได้เป็น สัญญาณเพียงครึ่งบวกของอินพุตทั้งสองเรียงสลับกันไปตามลำดับ ($V_o = V_1 |v_1| + V_2 |v_2|$) ดังรูปที่ 4.10

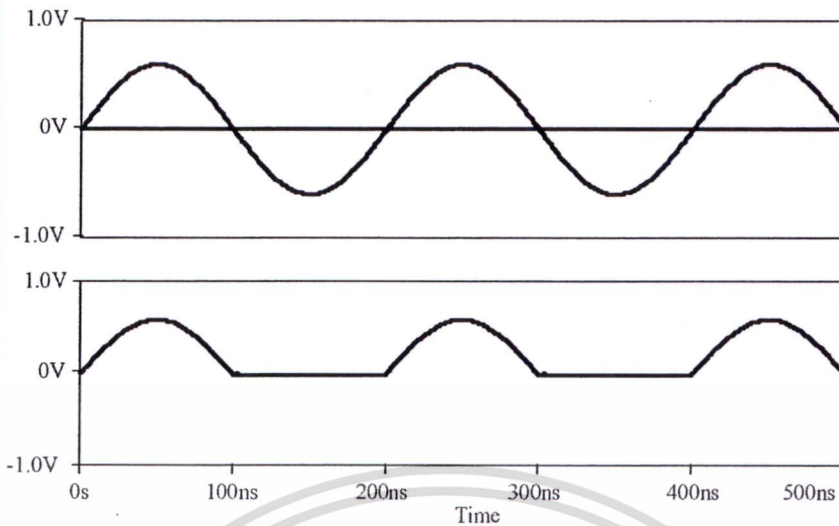


รูปที่ 4.10 บล็อกไดอะแกรมของวงจรเรียงกระแสแบบเต็มคลื่น

วงจรเรียงกระแสที่นำเสนอนี้เหมาะกับการนำไปสร้างเป็นวงจรรวม เนื่องจากสร้างด้วยมอสทรานซิสเตอร์ทั้งหมด คุณสมบัติของวงจรเรียงกระแส ถูกตรวจสอบโดยใช้โปรแกรม PSPICE ผลการจำลองแสดงว่าวงจรที่นำเสนอสามารถทำงานได้เป็นที่น่าพอใจ

4.5.1 วงจรเรียงกระแสแบบครึ่งคลื่น

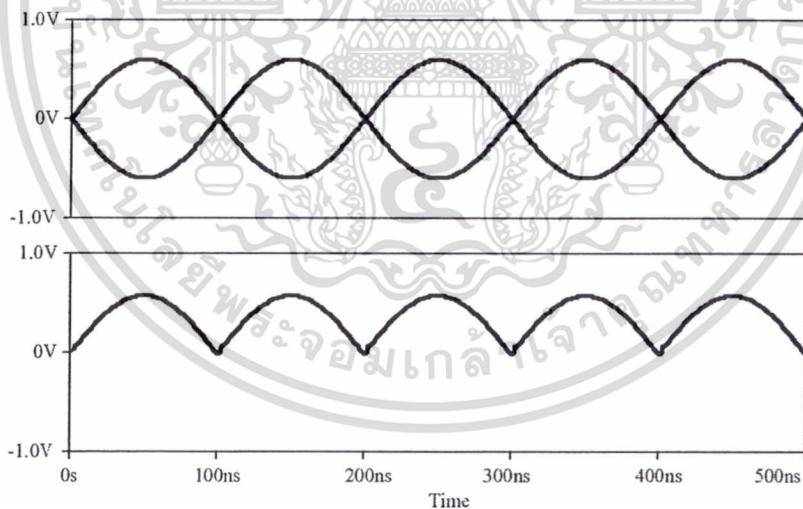
สำหรับวงจรเรียงกระแสแบบครึ่งคลื่นจะป้อนอินพุตแรกเป็นสัญญาณไซน์ความถี่ 5 MHz หรือ $V_1 = 500 \times 10^{-3} \sin(31.42 \times 10^6 t)$ และ อินพุตที่สองเป็นศูนย์ หรือ $V_2 = 0$ เมื่อเปรียบเทียบสัญญาณ V_1 กับ V_2 จะได้สัญญาณดังรูปที่ 4.11



รูปที่ 4.11 การประยุกต์ใช้เป็นวงจรเรียงกระแสแบบครึ่งคลื่น

4.5.2 วงจรเรียงกระแสแบบเต็มคลื่น

สำหรับวงจรเรียงกระแสแบบเต็มคลื่นจะป้อนอินพุตทั้งสองตัวเป็นสัญญาณ ความถี่ 5 MHz ที่เฟสต่างกัน 180° หรือ $(V_1 = -V_2 = 500 \times 10^{-3} \sin(31.42 \times 10^6 t))$ เมื่อเปรียบเทียบกันแล้วจะได้สัญญาณดังรูปที่ 4.12



รูปที่ 4.12 การประยุกต์ใช้เป็นวงจรเรียงกระแสแบบเต็มคลื่น

4.6 บทสรุป

วงจรตรวจจับค่าสูงสุดที่นำเสนอในบทความนี้มีคุณสมบัติคือ เป็นวงจรที่มีประสิทธิภาพที่ดี สามารถใช้งานกับสัญญาณอินพุตที่มีหลายอินพุตได้ ใช้แหล่งจ่ายแรงดันต่ำเพียง ± 1.25 V มีความต้านทานที่เอาต์พุตต่ำ มีค่าเวลาดีเลย์น้อยเพียง 1.5 ns ความเพี้ยนฮาร์มอนิกรวมต่ำประมาณ 1.1% ที่แรงดันอินพุต 1.2 V_{p-p} ผลการจำลองการทำงานของวงจรพบว่า สามารถทำงานที่ความถี่สูง 100 MHz ได้ดี

อีกทั้งสามารถนำเอาวงจรตรวจจับค่าสูงสุดรูปแบบแรงดันที่นำเสนอมาประยุกต์ใช้งาน สร้างเป็นวงจรเรียงสัญญาณแบบครึ่งคลื่น และวงจรเรียงสัญญาณแบบเต็มคลื่น ซึ่งเป็นเพียงสองตัวอย่าง การประยุกต์ใช้งานวงจรตรวจจับค่าแรงดันที่ได้กล่าวถึงในวิทยานิพนธ์นี้เท่านั้น นอกจากนี้วงจรตรวจจับค่าแรงดันสามารถนำมาประยุกต์ใช้งานร่วมกับวงจรอื่นๆ ซึ่งจะสามารถประยุกต์ใช้งานเป็นวงจรอื่นๆ ได้อีกมากมาย



บทที่ 5

สรุปและข้อเสนอแนะ

5.1 สรุป

วิทยานิพนธ์นี้นำเสนอวงจรตรวจจับค่าสูงสุดรูปแบบแรงดันที่มีหลายอินพุต ซึ่งสามารถนำมาประยุกต์ใช้ในงานการประมวลผลสัญญาณภาพ เครือข่ายประสาทเทียม ระบบอัตโนมัติและควบคุมได้เป็นอย่างดี วงจรที่นำเสนอออกแบบโดยใช้เทคโนโลยีซีมอส ซึ่งเหมาะกับการนำไปสร้างเป็นวงจรรวม โดยในบทที่ 1 นั้นกล่าวถึงวัตถุประสงค์ในการทำวิทยานิพนธ์ ขอบเขตในการทำวิทยานิพนธ์ ต่อมาในบทที่ 2 จะกล่าวถึงทฤษฎีรายละเอียดเกี่ยวกับมอสทรานซิสเตอร์ ส่วนบทที่ 3 นั้นจะเกี่ยวกับบทความที่เคยนำเสนอมาในอดีต ทั้งวงจรตรวจจับค่าสูงสุดที่ใช้โอทีเอ วงจรตรวจจับค่าสูงสุดโดยใช้วงจรสายพานกระแส วงจรตรวจจับค่าแรงดันสูงสุดแบบหลายเอาต์พุต ของ Yamakawa อีกทั้งวงจรวงจรสะท้อนกระแส และวงจรกันชนแรงดันโดยใช้ซีมอส เนื้อหาในบทที่ 4 ของวิทยานิพนธ์ได้นำเสนอวงจรตรวจจับค่าสูงสุดรูปแบบแรงดันหลายอินพุตแบบอนาล็อกโดยใช้เทคโนโลยีซีมอส วงจรตรวจจับค่าสูงสุดที่นำเสนอในวิทยานิพนธ์นี้มีคุณสมบัติคือ เป็นวงจรมีประสิทธิภาพที่ดี สามารถใช้งานกับสัญญาณอินพุตที่มีหลายอินพุตได้ ใช้แหล่งจ่ายแรงดันต่ำเพียง ± 1.25 โวลต์ มีความต้านทานที่เอาต์พุตต่ำ มีค่าเวลาดีเลย์น้อยเพียง 1.5 ns ความเพี้ยนฮาร์มอนิกรวมต่ำประมาณ 1.1% ที่แรงดันอินพุต $1.2 V_{pp}$ ผลการเลียนแบบการทำงานของวงจรพบว่า สามารถทำงานที่ความถี่สูง 100 MHz ได้ดี

จากหลักการในบทที่ 4 วงจรตรวจจับค่าสูงสุดสามารถนำมาประยุกต์ใช้งานสร้างเป็นวงจรรีจกกระแสแบบครึ่งคลื่นและวงจรรีจกกระแสแบบเต็มคลื่นได้อีกด้วย

5.2 ข้อเสนอแนะ

วงจรตรวจจับค่าสูงสุดรูปแบบแรงดันที่นำเสนอในวิทยานิพนธ์นี้เป็นวงจรมีคุณสมบัติเป็นที่น่าพอใจ แต่อย่างไรก็ตามวงจรที่นำเสนอยังสามารถพัฒนาต่อไปได้ในอนาคตเพื่อให้ได้วงจรตรวจจับค่าต่ำสุดรูปแบบแรงดันได้อีกด้วย คุณสมบัติที่ให้ความสำคัญสำหรับวงจรตรวจจับค่าสูงสุด และต่ำสุดคือ มีความเที่ยงตรงสูง มีความเร็ว ใช้อุปกรณ์น้อยที่สุดเพื่อนำไปสร้างเป็นวงจรรวมจะใช้พื้นที่ชิปน้อยที่สุด แต่ปัญหาที่มีมักจะพบคือวงจรยังมีความผิดพลาดจะเกิดขึ้นที่บริเวณการเปลี่ยนช่วงของสองอินพุตหรือมากกว่า ซึ่งจะเรียกว่า Corner error การแก้ปัญหาดังกล่าวคือวงจรจะต้องมีความเร็วสูง การลดการหน่วงเวลาของสัญญาณคือจะต้องออกแบบให้วงจรใช้อุปกรณ์น้อยที่สุด สำหรับแนวทางอื่นๆ ที่จะพัฒนางจรตรวจจับค่าสูงสุดและต่ำสุดรูปแบบแรงดันให้ดีที่สุดต่อไปในอนาคตมีดังนี้

- ออกแบบวงจรให้มีความง่ายโดยใช้อุปกรณ์ให้น้อยที่สุด
- ใช้กำลังงานน้อยที่สุดเพราะในการประยุกต์ใช้งานบางงานจะต้องการวงจรตรวจจับแรงดันเป็นจำนวนมากเพื่อสร้างเป็นโครงข่าย


เอกสารอ้างอิง

- [1] E Sackinger, W. Guggenbuhl, "A versatile building block: the CMOS differential difference amplifier", *IEEE J. Solid-State Circuits*, Vol.SC-22, no.2, pp. 287-294, 1987.
- [2] J. Lazzaro, S. Lyckenbush, M. A. Malhowad and C. Mead, "Winner take-all of $O(n)$ complexity, Advances in Neural Signal Processing Systems," *D. S. Touretzky, Ed.:* Morgan Kaufmann, pp.703-711, 1989.
- [3] T. Yamakawa, "A fuzzy inference engine in nonlinear analog mode and its applications to a fuzzy logic control," *IEEE Trans. Neural Networks*, 4, 496-522, 1993.
- [4] I. Baturone, J. L.Huertas, A. Barriga and S. Sanchez-Solano, "Current-mode multiple-input Max circuit, *Electron. Lett.*, Vol.30, No.9, pp.678-680, 1994.
- [5] C. Y. Huang and B. D. Liu, "Current-mode multiple input maximum circuit for Fuzzy Logic controllers", *Electron. Lett.*, Vol.30, No. 23, pp.1924-1925, 1994.
- [6] K. Wawryn and B. Strzeszewski, "Current Mode Circuits for Programmable WTA Neural Network," *Analog Integrated Circuits and Signal Processing*, Vol.27, pp.49-69, 2001.
- [7] A. Fish, V. Milrud and O. Yadid-Pecht, "High-speed and high-precision current winner-take-all circuit," *IEEE Trans. Circuits Syst. II*, Vol.52, No. 3, pp.131-135, 2005.
- [8] S. I. Liu, Y. S. Hwang, and J. H. Tsay, "CCII-Based Fuzzy Membership Function and Max/Min Circuit," *Electron. Letts.*, vol. 29, no. 1, pp. 116-118, 1993.
- [9] T. Inoue, T. Motomura, R. Matsuo, and F. Ueno, "New OTA-based analog circuits for fuzzy membership functions and max/min operations," *IEICE Trans.*, vol. 74, no. 11, pp.3619-3621, Nov. 1991.
- [10] T. Inoue, F. Ueno, T. Motomura, O. Setoguchi, R.Matsuo, "New high-speed analogue max and min circuits using OTA-based bounded difference operations," *Electron. Letts.*, vol. 27, no. 12, pp. 1034-1035, June 1991.
- [11] I. E. Opris, "Rail-to-Rail Multiple-input min/max circuit," *IEEE Trans. Circuits & Syst. II*, vol. 45, pp. 137-140, Jan. 1998.
- [12] R. G. Carvajal, J. Martinez-Heredia and J. Ramirez-Angulo, "High-speed high-precision min/max circuits in CMOS technology," *Electron. Letts.*, vol. 36, no. 8, pp. 697-699, April 2000.
- [13] J. Ramirez-Angulo, G. Ducoudray-Acevedo, R. G. Carvajal, and A. López-Martín, "Low-Voltage High-Performance Voltage-Mode and Current-Mode WTA Circuits Based on Flipped Voltage Followers," *IEEE Trans. Circuits & Syst. II*, Vol. 52, No. 7, pp. 420-423, July 2005.

- [14] J. Ramírez-Angulo, J. E. Molinar-Solis, S. Gupta, R. G. Carvajal, and A. J. López-Martín, "A High-Swing, High-Speed CMOS WTA Using Differential Flipped Voltage Followers," *IEEE Trans. Circuits & Syst. II*, vol. 54, No.8, pp.668-672, Aug. 2007.
- [15] V. A. Pedroni and B. U. Pedroni, "Output stage based high-resolution min/max and rank-order filters," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 52, No. 1, pp. 28-32, Jan. 2005.
- [16] P. Prommee, K. Angkeaw, M. Somdunyakanok and K. Dejhan, 2009, CMOS-based near zero-offset multiple inputs max-min circuits and its applications, *Analog Integrated Circuit and Signal Processing*, DOI 10.1007/s10470-009-9281-2, pp. 93-105.
- [17] P. E. Allen and D. R. Holberg, "CMOS Analog Circuit Design," *Holt, Rinehart and Winston, Inc.*, 1987
- [18] R. F. Coughlin and F. F. Driscoll, *Operational amplifiers & linear integrated circuits*, New York: Prentice-Hall, 1998.
- [19] T. Serrano-Gotarredona and B. Linares-Barranco, "A modular current-mode high precision winner-take-all circuit," *IEEE Trans. on Circuit and Systems-II*, vol. 22, pp. 123-134, February 1995.
- [20] A. Demosthenous, S. Smedley, and J. Taylor, "A CMOS analog winner-take-all network for large-scale applications," *IEEE Trans. on Circuit and Systems-I*, vol. 45, pp. 300-304, March 1998.
- [21] T. Serrano-Gotarredona and B. Linares-Barranco, "A high-precision current-mode WTA-MAX circuit with multichip capability," *IEEE J. of Solid-State Circuits*, vol. 33, pp. 280-286, February 1998.
- [22] G. A. Andreou, K. A. Boahen, P. O. Pouliquen, A. Papasovic, R. E. Jenkins, and K. Strohbehn, "Current-mode subthreshold MOS circuits for analog VLSI neural systems," *IEEE Trans. on Neural Networks*, vol. 2, pp. 205-213, 1991.
- [23] I. Baturone, J. L. Huertas, A. Barriga, and S. Sanchez-Solano, "Current-mode multiple-input max circuit," *Electronics Letters*, vol. 30, pp. 678-680, April 1994.
- [24] A. Rodriguez-Vazquez, B. Linares-Barranco, J. L. Huertas, and E. Sanchez-Sinencio, "On the design of voltage-controlled sinusoidal oscillators using OTA's," *IEEE Trans. on Circuits and Systems*, vol. 37, pp. 198-211, February



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ก
ตัวอย่างโปรแกรม PSpice ของวงจรตรวจจับค่าสูงสุดแบบ WTA
รูปแบบแรงดันโดยใช้ซิมอส และการประยุกต์ใช้งาน
รวมทั้งแบบจำลองและค่าทรานซิสเตอร์

ก.1 ตัวอย่างโปรแกรม PSpice

```

*****
*****
*****
***** MAX CIRCUIT *****
*****
*****
VDD 1 0 DC 1.25
VSS 2 0 DC -1.25
*-----*////////DC
V1 3 0 DC 0M
V2 4 0 DC 0M
VB 6 0 DC -0.6
*-----*////////At 0.6 was properly
*R 10 0 2K
*-----*////////Parameter CMOS
M1 7 3 8 8 NMOS1 W=3U L=0.25U
M2 9 10 8 8 NMOS1 W=3U L=0.25U
M3 7 9 1 1 PMOS1 W=5U L=0.25U
M4 9 9 1 1 PMOS1 W=5U L=0.25U
M5 8 6 2 2 NMOS1 W=3U L=0.25U
M6 10 7 1 1 PMOS1 W=5U L=0.25U
M7 10 6 2 2 NMOS1 W=3U L=0.25U
M8 11 9 1 1 PMOS1 W=5U L=0.25U
M9 11 4 8 8 NMOS1 W=3U L=0.25U
M10 10 11 1 1 PMOS1 W=5U L=0.25U
*M11 12 9 1 1 PMOS1 W=5U L=0.25U
*M12 12 5 8 8 NMOS1 W=3U L=0.25U
*M13 10 12 1 1 PMOS1 W=5U L=0.25U
*****
*****T14Y MOSIS 0.25um*****
*****
.MODEL NMOS1 NMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17 GAMMA=0.4317311
+PHI=0.7 VTO=0.4238252 DELTA=0 UO=425.6466519 ETA=0 THETA=0.1754054
+KP=2.501048E-4 VMAX=8.287851E4 KAPPA=0.1686779 RSH=4.062439E-3
+NFS=1E12 TPG=1 XJ=3E-7 LD=3.162278E-11 WD=1.232881E-8
+CGDO=6.2E-10 CGSO=6.2E-10 CGBO=1E-10 CJ= 1.81211E-3 PB=0.5
+MJ=0.3282553 CJSW= 5.341337E-10 MJSW=0.5)
.MODEL PMOS1 PMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17 GAMMA=0.6348369
+PHI=0.7 VTO=-0.5536085 DELTA=0 UO=250 THETA=0.1573195
+KP=5.194153E-5 VMAX=2.295325E5 KAPPA= 0.7448494 RSH = 30.0776952
+NFS=1E12 TPG=-1 XJ=2E-7 LD=9.968346E-13 WD= 5.475113E-9
+CGDO=6.66E-10 CGSO=6.66E-10 CGBO=1E-10 CJ= 1.893569E-3 PB=0.9906013
+MJ=0.4664287 CJSW= 3.625544E-10 MJSW=0.5)
*****
*****T14Y MOSIS 0.25um*****
*****
*.DC I11 -10U 10U 1U
*.AC DEC 100K 10K 100G
.DC V1 -300M 300M 100M V2 -600M 600M 100M
*.FOUR 10MEG V(10)
*.TRAN 1N 500N 0 1N
.op
.PROBE

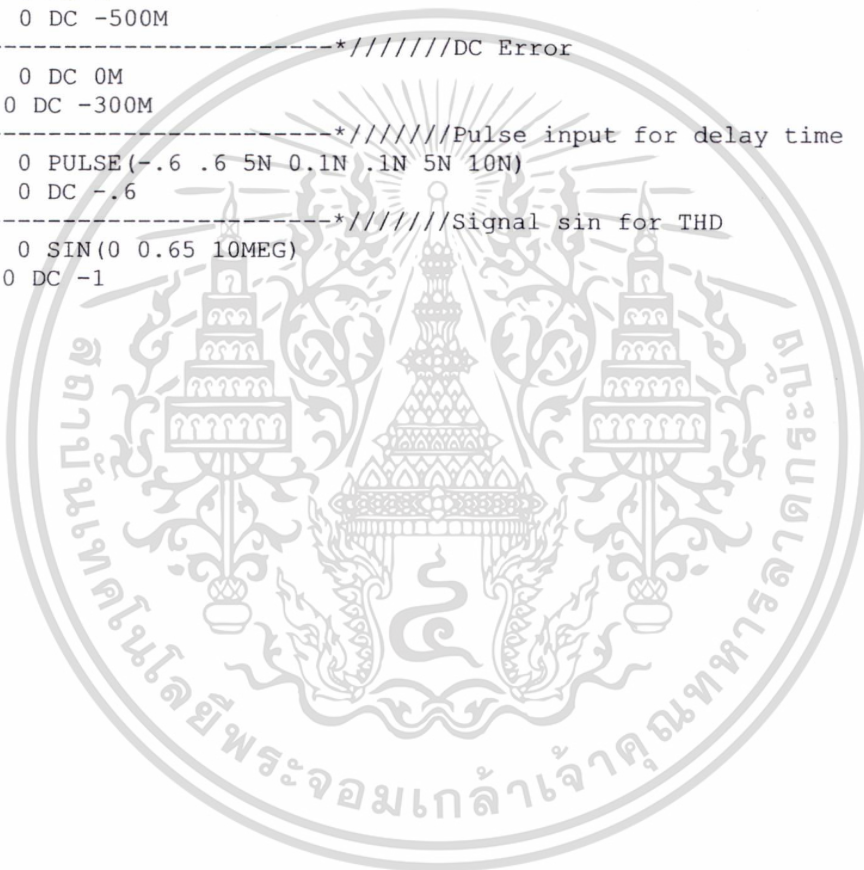
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

*-----*////////I OUT
*I11 0 10 DC 0
*-----*////////Variable Signal Tri
*V1 3 0 PULSE(-600M 600M 0 0.1U 0.1U 0.001N 0.2U)
*V2 4 0 PULSE(-600M 600M 0 0.5U 0.5U 0.001N 1U)
*-----*////////Variable Signal V3 <Tri or Sin>
*V3 5 0 PULSE(-600M 600M 0 0.25U 0.25U 0.001N 0.5U)
*V3 5 0 SIN(0 600M 1.25MEG)
*-----*////////Half Wave
*V1 3 0 SIN(0 500M 5MEG)
*V2 4 0 SIN(0 0 0)
*-----*////////FULL Wave
*V1 3 0 SIN(0 500M 5MEG)
*V2 4 0 SIN(0 -500M 5MEG)
*-----*////////Freauency response VO/VI
*V1 3 0 AC 1
*V2 4 0 DC -500M
*-----*////////DC Error
*V1 3 0 DC 0M
*V2 4 0 DC -300M
*-----*////////Pulse input for delay time
*V1 3 0 PULSE(-.6 .6 5N 0.1N .1N 5N 10N)
*V2 4 0 DC -.6
*-----*////////Signal sin for THD
*V1 3 0 SIN(0 0.65 10MEG)
*V2 4 0 DC -1
.END

```



ก.2 แบบจำลองและค่าพารามิเตอร์

ตารางที่ ก.1 โมเดล TSMC MOSIS 0.25 μm

```
.MODEL NMOS1 NMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17
+GAMMA=0.4317311 PHI=0.7 VTO=0.4238252 DELTA=0
+UO=425.6466519 ETA=0 THETA=0.1754054 KP=2.501048E-4
+VMAX=8.287851E4 KAPPA=0.1686779 RSH=4.062439E-3
+NFS=1E12 TPG=1 XJ=3E-7 LD=3.162278E-11 WD=1.232881E-8
+CGDO=6.2E-10 CGSO=6.2E-10 CGBO=1E-10 CJ=1.81211E-3
+PB=0.5 MJ=0.3282553 CJSW=5.341337E-10 MJSW=0.5)
.MODEL PMOS1 PMOS (LEVEL=3 TOX=5.7E-9 NSUB=1E17
+GAMMA=0.6348369 PHI=0.7 VTO=-0.5536085 DELTA=0
+UO=250 ETA=0 THETA=0.1573195 KP=5.194153E-5
+VMAX=2.295325E5 KAPPA=0.7448494 RSH=30.0776952
+NFS=1E12 TPG=-1 XJ=2E-7 LD=9.968346E-13 WD=5.475113E-9
+CGDO=6.66E-10 CGSO=6.66E-10 CGBO=1E-10 CJ=1.893569E-3
+PB=0.9906013 MJ=0.4664287 CJSW=3.625544E-10 MJSW=0.5)
```



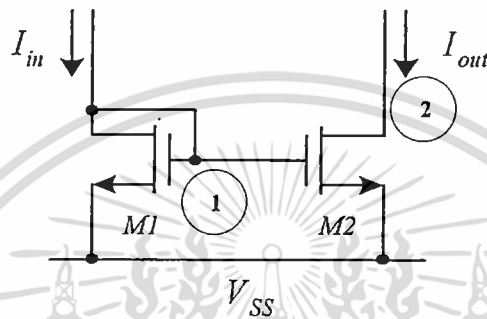
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข.

การวิเคราะห์ประสิทธิภาพของกลุ่มวงจรร้อย

ข.1 วงจรสะท้อนกระแสแบบพื้นฐาน

วงจรถ่ายโอนกระแสแบบพื้นฐานนั้นสามารถแบ่งการวิเคราะห์วงจรได้เป็น 2 ส่วนคือ การวิเคราะห์ทางไฟตรงและไฟสลับ การวิเคราะห์วงจรทางไฟตรงจะสามารถวิเคราะห์ในแบบจำลองสัญญาณขนาดใหญ่ ซึ่งในการวิเคราะห์ทางไฟตรงจะสามารถหาค่าอัตราส่วนการสะท้อนกระแส



รูปที่ ข1 วงจรถ่ายโอนกระแสแบบพื้นฐาน (ก) แบบบวก (ข) แบบลบ

จากรูปที่ ข1 สามารถเขียนสมการของแรงดัน V_1 ได้ดังสมการที่ ข1

$$V_1 = \sqrt{\frac{I_{in}}{\beta_1}} + V_{TN} \quad (ข1)$$

และ สมการของกระแสเอาต์พุตมีค่าเท่ากับ

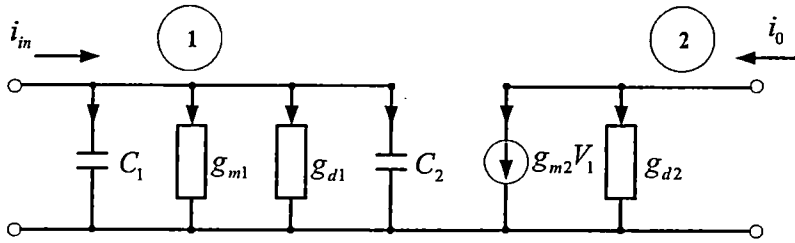
$$I_{out} = \beta_2 (V_1 - V_{TN})^2 \quad (ข2)$$

โดยที่ $\beta_1 = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right)$ และ เนื่องจากที่ขาเกตของทรานซิสเตอร์จะไม่มีกระแสไหล

ทรานซิสเตอร์ M_1 และ M_2 มีความสมพจน์กันทุกประการ เป็นผลให้อัตราส่วนของกระแสมีค่าเท่ากับ

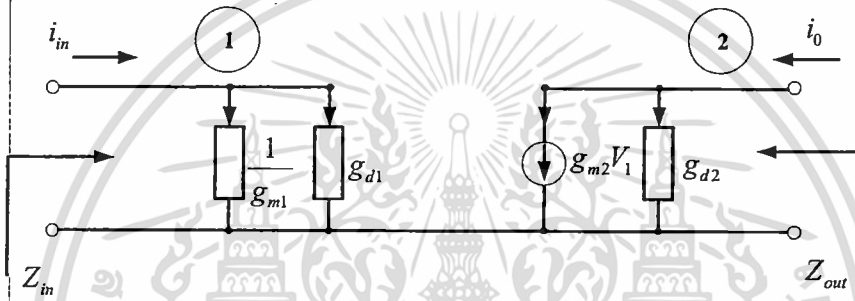
$$\frac{I_{out}}{I_{in}} = \frac{\beta_1}{\beta_2} = \frac{(W/L)_2}{(W/L)_1} \quad (ข3)$$

ส่วนการวิเคราะห์วงจรทางไฟสลับจะใช้แบบจำลองสัญญาณขนาดเล็กซึ่งจะสามารถวิเคราะห์หาค่าอินพุต เอาต์พุตอิมพีแดนซ์และการตอบสนองทางความถี่ได้ โดยแบบจำลองสัญญาณขนาดเล็กของวงจรรูปที่ ข1 แสดงไว้ดังรูปที่ ข2



รูปที่ ข2 แบบจำลองสัญญาณขนาดเล็กของวงจรสะท้อนกระแสแบบพื้นฐาน

จากรูปที่ ข2 ตัวเก็บประจุ $C_1 = C_{gs1}$ โดยแบบจำลองสัญญาณขนาดเล็กที่ใช้วิเคราะห์หาอินพุตและเอาต์พุต จะแสดงไว้ดังรูปที่ ข3



รูปที่ ข3 แบบจำลองสัญญาณขนาดเล็กเพื่อวิเคราะห์อิมพีแดนซ์ของวงจรสะท้อนกระแสแบบพื้นฐาน

จากรูปที่ ข3 อินพุตอิมพีแดนซ์ของวงจรสะท้อนกระแสแบบพื้นฐานจะมีค่าเท่ากับ

$$Z_{in} = \frac{1}{g_{m1}} \tag{ข4}$$

และ เอาต์พุตอิมพีแดนซ์ของวงจรสะท้อนกระแสแบบพื้นฐานจะมีค่าเท่ากับ

$$Z_{out} = r_2 = r_{d2} \tag{ข5}$$

ในการวิเคราะห์หาค่าการตอบสนองทางความถี่ ของวงจรสะท้อนกระแสรูปที่ ข1 สามารถกระทำได้โดยใช้แบบจำลองสัญญาณขนาดเล็กดังรูปที่ ข2 ในการวิเคราะห์หาค่าสมการการส่งผ่านของกระแสอินพุตและเอาต์พุตสามารถเขียนเป็นสมการโดยหลักการของ KCL ได้เป็น

$$i_{in} = v_1 s(C_1 + C_2) + v_1(g_{m1} + g_{d1}) \tag{ข6}$$

$$i_o \cong g_{m2} v_1 \tag{ข7}$$

แทนสมการที่ (ข6) ในสมการที่ (ข7) ได้สมการการส่งผ่านในรูปแบบของกระแสเป็น

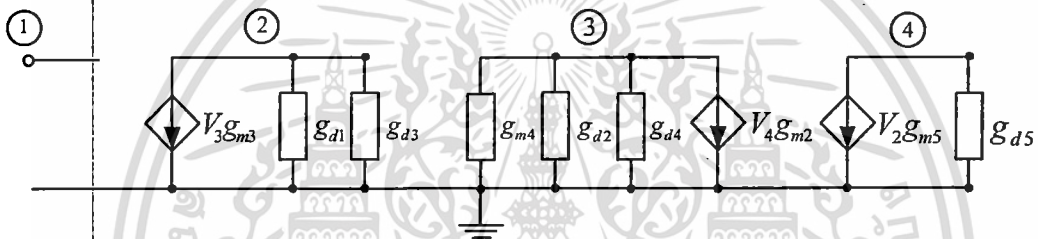
$$\frac{i_o}{i_{in}} \cong \frac{g_{m2}}{g_{m1} + g_{d1} + s(C_1 + C_2)} \quad (\text{ข8})$$

จากสมการที่ (ข8) สามารถประมาณค่าความถี่ตอบสนองได้คือ

$$\omega_{-3dB} \cong (g_{m1} + g_{d1}) / (C_1 + C_2) \quad (\text{ข9})$$

ข.2 การวิเคราะห์วงจรทางไฟฟ้าสลับของวงจรตรวจจับค่าสูงสุด

การวิเคราะห์วงจรทางไฟฟ้าสลับจะใช้แบบจำลองสัญญาณขนาดเล็ก ซึ่งจะวิเคราะห์หาค่าอินพีแดนซ์เอาต์พุต (Z_o) โดยใช้แบบจำลองสัญญาณขนาดเล็กได้ดังรูปที่ ข.4



รูปที่ ข.4 แบบจำลองสัญญาณขนาดเล็กเพื่อวิเคราะห์หาค่าอินพีแดนซ์เอาต์พุต (Z_o)

จากรูปที่ ข.4 ค่าอินพีแดนซ์เอาต์พุต (Z_o) มีค่าเท่ากับ

$$Z_o = \frac{V_4}{i_o} \quad (\text{ข10})$$

ที่โหนด 4

$$i_o = V_2 g_{m5} + V_4 g_{d5} \quad (\text{ข11})$$

ที่โหนด 2

$$V_2 (g_{d1} + g_{d3}) = -V_3 g_{m3} \quad (\text{ข12})$$

$$V_2 = \frac{-V_3 g_{m3}}{g_{d1} + g_{d3}} \quad (\text{ข13})$$

ที่โหนด 3

$$V_3(g_{m4} + g_{d2} + g_{d4}) = -V_4 g_{m2} \quad (\text{ข14})$$

$$V_3 = \frac{-V_4 g_{m2}}{g_{m4} + g_{d2} + g_{d4}} \quad (\text{ข15})$$

แทนค่าสมการ (ข15) ลงในสมการ (ข13) ได้เป็น

$$V_2 = \frac{V_4 g_{m2} (g_{m3})}{(g_{m4} + g_{d2} + g_{d4})(g_{d1} + g_{d3})} \quad (\text{ข16})$$

แทนค่าสมการ (ข16) ลงในสมการ (ข11) ได้เป็น

$$i_o = \frac{V_4 g_{m2} g_{m3} g_{m5}}{(g_{m4} + g_{d2} + g_{d4})(g_{d1} + g_{d3})} + V_4 g_{d5} \quad (\text{ข17})$$

$$i_o = V_4 \left[\frac{g_{m2} g_{m3} g_{m5} + (g_{m4} + g_{d2} + g_{d4})(g_{d1} + g_{d3})(g_{d5})}{(g_{m4} + g_{d2} + g_{d4})(g_{d1} + g_{d3})} \right] \quad (\text{ข18})$$

$$i_o = V_4 \left[\frac{g_{m2} g_{m3} g_{m5} + (g_{m4} + g_{d2} + g_{d4})(g_{d1} + g_{d3})(g_{d5})}{(g_{m4} + g_{d2} + g_{d4})(g_{d1} + g_{d3})} \right] \quad (\text{ข19})$$

จากสมการ (ข10) สามารถหาค่า (Z_o) ได้จากการจัดรูปสมการที่ (ข19) ได้เป็น

$$\frac{V_4}{i_o} = \frac{(g_{m4} + g_{d2} + g_{d4})(g_{d1} + g_{d3})}{g_{m2} g_{m3} g_{m5} + (g_{m4} + g_{d2} + g_{d4})(g_{d5})(g_{d1} + g_{d3})} \quad (\text{ข20})$$

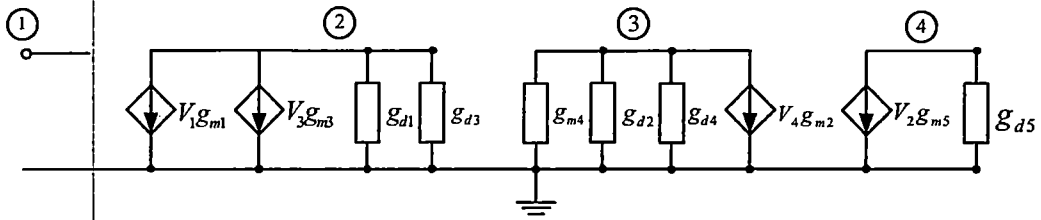
ดังนั้น ค่าอินพีแดนซ์เอาต์พุต (Z_o) มีค่าเท่ากับ

$$Z_o = \frac{(g_{m4} + g_{d2} + g_{d4})(g_{d1} + g_{d3})}{g_{m2} g_{m3} g_{m5} + (g_{m4} + g_{d2} + g_{d4})(g_{d5})(g_{d1} + g_{d3})} \quad (\text{ข21})$$

ซึ่งจะเห็นได้ชัดว่า ถ้าค่า $g_{mi} \gg g_{di}$ แล้วสามารถลดรูปสมการที่ (ข21) ได้เป็น

$$Z_o = \frac{g_{m4}(g_{d1} + g_{d3})}{g_{m2} g_{m3} g_{m5} + g_{m4}(g_{d5})(g_{d1} + g_{d3})} \quad (\text{ข22})$$

ในการวิเคราะห์หาค่าอัตราขยายแรงดัน (β) โดยใช้แบบจำลองสัญญาณขนาดเล็กดังรูปที่ ข.5



รูปที่ ข.5 แบบจำลองสัญญาณขนาดเล็กเพื่อวิเคราะห์หาค่าอัตราขยายแรงดัน (β)

จากรูปที่ ข.5 ค่าอัตราขยายแรงดัน (β) สามารถหาได้จากสมการที่ (ข23)

$$V_o = \beta V_{in} \tag{ข23}$$

$$\beta = \frac{V_o}{V_{in}} \tag{ข24}$$

ที่โหนด 4

$$V_4 = -\left(\frac{V_2 g_{m5}}{g_{d5}}\right) \tag{ข25}$$

ที่โหนด 3

$$V_3 (g_{m4} + g_{d2} + g_{d4}) = -V_4 g_{m2} \tag{ข26}$$

$$V_3 = \frac{-V_4 g_{m2}}{g_{m4} + g_{d2} + g_{d4}} \tag{ข27}$$

ที่โหนด 2

$$V_2 (g_{d1} + g_{d3}) = -(V_1 g_{m1} + V_3 g_{m3}) \tag{ข28}$$

$$V_2 = \frac{-(V_1 g_{m1} + V_3 g_{m3})}{g_{d1} + g_{d3}} \tag{ข29}$$

แทนค่าสมการ (ข27) ในสมการ (ข29) ได้เป็น

$$V_2 = \frac{-(V_1 g_{m1} + \left[\frac{-V_4 g_{m2}}{g_{m4} + g_{d2} + g_{d4}} \right] [g_{m3}])}{g_{d1} + g_{d3}} \quad (\text{ข30})$$

จัดรูปสมการที่ (ข30) ได้เป็น

$$V_2 = \frac{-V_1 g_{m1} (g_{m4} + g_{d2} + g_{d4}) + V_4 g_{m2} g_{m3}}{g_{d1} + g_{d3} (g_{m4} + g_{d2} + g_{d4})} \quad (\text{ข31})$$

แทนค่าสมการ (ข31) ในสมการที่ (ข25) ได้เป็น

$$V_4 = \frac{V_1 g_{m1} g_{m5} (g_{m4} + g_{d2} + g_{d4}) - V_4 g_{m2} g_{m3} g_{m5}}{(g_{d1} + g_{d3})(g_{m4} + g_{d2} + g_{d4}) g_{d5}} \quad (\text{ข32})$$

$$V_4 + \frac{V_4 g_{m2} g_{m3} g_{m5}}{(g_{d1} + g_{d3})(g_{m4} + g_{d2} + g_{d4}) g_{d5}} = \frac{V_1 g_{m1} g_{m5} (g_{m4} + g_{d2} + g_{d4})}{(g_{d1} + g_{d3})(g_{m4} + g_{d2} + g_{d4}) g_{d5}} \quad (\text{ข33})$$

$$V_4 \left(1 + \frac{g_{m2} g_{m3} g_{m5}}{(g_{d1} + g_{d3})(g_{m4} + g_{d2} + g_{d4}) g_{d5}} \right) = \frac{V_1 g_{m1} g_{m5} (g_{m4} + g_{d2} + g_{d4})}{(g_{d1} + g_{d3})(g_{m4} + g_{d2} + g_{d4}) g_{d5}} \quad (\text{ข34})$$

$$\frac{V_4}{V_1} = \frac{g_{m1} g_{m5} (g_{m4} + g_{d2} + g_{d4})}{g_{m2} g_{m3} g_{m5} + g_{d5} (g_{d1} + g_{d3})(g_{m4} + g_{d2} + g_{d4})} \quad (\text{ข35})$$

ดังนั้นค่าอัตราขยายแรงดัน (β) มีค่าเท่ากับ

$$\beta = \frac{g_{m1} g_{m5} (g_{m4} + g_{d2} + g_{d4})}{g_{m2} g_{m3} g_{m5} + g_{d5} (g_{d1} + g_{d3})(g_{m4} + g_{d2} + g_{d4})} \quad (\text{ข36})$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทความที่ได้รับการตีพิมพ์

1. กิตติคุณ ฉัตรตระกูล, มন্ত্রী สมดุลยกนก, บุญยิ่ง นบนอบ และ พิพัฒน์ พรหมมี, "วงจรถ่วงจับค่าสูงสุดแบบ WTA รูปแบบแรงดันโดยใช้ซีมอส และการประยุกต์ใช้งาน," การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 32, 28 – 30 ต.ค. 2552
2. Pipat Prommee, Kittikhun Chattrakun, "CMOS WTA maximum and minimum circuits with their applications to analog switch and rectifiers," *Microelectronics Journal*, Vol.42, No.1, pp. 52-62, Jan. 2011. (IF2009=0.778)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้








28 - 30 ตุลาคม 2552
โรงแรมทวารวดี รีสอร์ท
ปราจีนบุรี

โพลีเทคนิค (PW)
โพลีโกลการ (CG)
อิเล็กทรอนิกส์ (EL)
ไฟโอดิกส์ (FI)
คอมพิวเตอร์และเทคโนโลยีสารสนเทศ (ICT)
งานวิจัยที่เกี่ยวข้องกับวิศวกรรมไฟฟ้า (CE)

อิเล็กทรอนิกส์กำลัง (PE)
ขบวนการควบคุมและการวัดคุม (CT)
การประมวลผลสัญญาณดิจิทัล (DS)
วิศวกรรมชีวการแพทย์ (BE)
คอมพิวเตอร์และเทคโนโลยีสารสนเทศ (CP)
งานวิจัยที่เกี่ยวข้องกับวิศวกรรมไฟฟ้า (CE)

คณะกรรมการ
10 ก.ค. 2552
ส่งเอกสารพิจารณา
21 ส.ค. 2552
คณะกรรมการ
18 ก.ย. 2552

การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 32
EECON-32

<http://eecon32.mahidol.ac.th>



Important Dates : 10 July 2009 - Manuscript Submissions
 21 August 2009 - Acceptance Notification
 18 September 2009 - Camera-Ready Submissions











32nd Electrical Engineering Conference
28 - 30 October 2009
Tawaravadee Resort Hotel, Prachinburi, Thailand



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรตรวจจับค่าสูงสุดแบบ WTA รูปแบบแรงดันโดยใช้ซีมอสและการประยุกต์ใช้งาน

CMOS-based WTA voltage-mode Maximum Circuit and its Applications

กิตติคุณ อัครตระกูล¹ มนต์วีร์ สมดุลยคุณ² บุญยงค์ นามนชัย³ และ พิทักษ์ ทรัพย์ทวี⁴

¹ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

²ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสยาม

³ภาควิชาวิศวกรรมอิเล็กทรอนิกส์และโทรคมนาคม คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี

E-mail: pjeat@telecom.kmitl.ac.th, pionsonu@siamtu.ac.th

บทคัดย่อ

บทความนี้นำเสนอ วงจรตรวจจับค่าสูงสุดแบบ WTA รูปแบบแรงดันชนิดหลายอินพุตแบบซีมอส ที่ใช้ทรานซิสเตอร์จำนวนน้อย ซึ่งวงจรมีความแรงดันที่ใช้สามารถทำงานที่ค่าแบนด์วิดท์สูงสุด 1 GHz ค่าดีเลย์ค่าอยู่ที่ 1.5ns โดยที่ช่วงอินพุตปฏิบัติงานเป็น ± 600 mV ซึ่งมีค่าความดันนำเอาอินพุตค่า ค่าความผิดพลาดเชิงมุมประมาณ 10 mV และค่าเวลาที่เข้าสู่อุปกรณ์ที่ค่า 5 ns ซึ่งมีค่า THD ประมาณ 1.1% ที่ความถี่ 100 MHz โดยที่ที่แรงดันอินพุต 1.2V วงจรที่นำเสนอใช้แรงดัน ± 1.25 V มีการสูญเสียพลังงานประมาณ 0.605 mW สามารถนำมาประยุกต์ใช้เป็นวงจรเรียงกระแสแบบบวกรวม และวงจรเรียงกระแสแบบเต็มคลื่นได้ ในการนำเสนอประสิทธิภาพและการประยุกต์ใช้งานของวงจรถูกจำลองโดยใช้โปรแกรม SPICE

Abstract

This paper presents design of a voltage-mode multiple-inputs winner-take-all (WTA) maximum (max) circuit. The proposed circuits are realized in a CMOS technology with low-component counts of transistors. They display usability of proposed building block, where the maximum bandwidth of voltage follower is around 1GHz, low-delay time is around 1.5ns with high-input and low-output impedances. The THD is obtained around 1.1% within ± 600 mV input range. The power dissipation of proposed circuits is obtained around 0.605mW with ± 1.25 volts power supplies. In applications, half-wave and full-wave rectifiers are included. Computer simulation results by using SPICE program are carried out to show the performance of the proposed WTA max circuit and rectifiers.

1. บทนำ

วงจรตรวจจับค่าสูงสุดนั้นเป็นส่วนประกอบที่มีประโยชน์ต่อการประมวลผลสัญญาณเป็นอย่างมาก โดยรูปแบบที่ง่ายที่สุดคือ ใช้วงจรกันชนที่แรงดัน (Voltage buffer stage) [1] โดยเชื่อมต่อกันแบบขนาน โดยใช้หลักการผู้ชนะได้ทั้งหมด (Winner Take All) ได้ถูกค้นพบ โดยใช้การต่อแบบขนานของภาสโคดเซลล์ (Cascode cell) ที่ถูกเรียกว่า Lazzaro cell [2] วงจร WTA มากมายที่ถูกนำเสนอขึ้น ทำงานในรูปแบบกระแส หรือรูปแบบแรงดัน [3-7] ซึ่งการประยุกต์ใช้ชิ้น ส่วนใหญ่มักพบในการคิดค่าเฉลี่ย ในระบบเครื่องมือวัด (Instrumentation) โดยเฉพาะอย่างยิ่งในกระบวนการควบคุมแบบฟัซซี่ (Fuzzy Control) [4-6] และ เครือข่ายเส้นใย

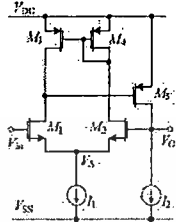
ประสาท (Neural network) ในงานที่มีสายเคเบิลอ่อนนั้น ใช้หลักการสร้างโดยใช้การสะท้อนกระแสที่ต่อเนื่องแบบคลาสสิก [4-5] ที่นำชุดปอร์ตประเภทแอลพีทีมาใช้ งานที่คล้ายกันหลาย ๆ ชิ้นในเครือข่ายได้ค่าความดันที่ค่าได้ อีกทั้งยังสามารถให้ผลตอบแทนได้อย่างรวดเร็วและถูกต้อง ส่วนวงจร WTA รูปแบบกระแสแบบหลายอินพุตในอดีตขึ้นอยู่กับความสัมพันธ์ของวงจร CCII และการสะท้อนของกระแสที่ค่าแรงดันโดยใช้กฎทางอิเล็กทรอนิกส์ [7] ซึ่งมีการสะท้อนของกระแสหลายตัว ทำให้ใช้กำลังไฟสูง

ในอดีตที่ผ่านมามีวงจร CCII ที่ใช้มีออสซิลเลเตอร์ที่เชื่อมกับไดโอด 1 ตัว [8] แต่ปัญหาที่พบคือ การที่อินพุตที่ไม่สามารถรับค่าสำหรับหลายอินพุต (n อินพุต) โครงสร้างของไดโอดและ ไดโอดที่มีอินพุตแบบสมมาตรกันถูกนำเสนอ [9] เพื่อแก้ปัญหาเหล่านี้ แต่ก็เกิดปัญหามากมาย เช่น over switching time และ voltage across ของไดโอด ที่ทำให้เกิดผลกระทบกับอินพุต และการใช้ส่วนประกอบต่างๆ มากมาย เป็นอีกหนึ่งปัญหาด้วยจำนวนของไดโอด (n+1)

Winner Take All (WTA) เป็นรูปแบบที่นิยมใช้สำหรับวงจรตรวจจับค่าสูงสุด ซึ่งรูปแบบเบื้องต้นของวงจรตรวจจับค่าสูงสุดแบบ WTA โดยใช้ซีมอสและอินพุตที่สมมาตรกันหลายอินพุตที่ถ่วงน้ำหนักก่อนนั้นสามารถทำงานได้ แต่มีโครงสร้างที่ซับซ้อนและใช้ทรานซิสเตอร์หลายตัว [10-11] จึงมีวงจรตรวจจับค่าสูงสุดโดยใช้ซีมอสแบบกะทัดรัดอื่นๆ นำเสนอ เนื่องจากที่สมรรถนะที่ดี [12] โดยใช้ source-couple-pair-based เหมือนกับวงจรตามแรงดันของอินพุต แต่การใช้จำนวนทรานซิสเตอร์มาก (6n+1) นั้นมีเสถียรภาพสูงรับกระแสที่มีหลายอินพุต WTA รูปแบบกระแสและรูปแบบแรงดัน ที่ใช้การตามแรงดันแบบ clipped [13] และตามแรงดันแบบ differential-clipped [15] นั้นมีความต้านทานเอาต์พุตสูง ทำให้เกิดปัญหาในการเชื่อมต่อกับวงจรอื่นๆ จึงมี WTA ในรูปแบบแรงดันโดยใช้หลักการการต่อขนานกับแบบ differential-pair หรือกับที่มีชุดจับค่าอินพุตถูกนำเสนอ [14] แต่มีข้อเสียคือ ใช้ทรานซิสเตอร์จำนวนมาก (7n+1) วงจรตรวจจับค่าสูงสุดแบบ WTA อีกวงจรมุ่งถูกสร้างให้มีการปรับค่าของอัตราส่วนร่วมกับวงจรกันชนป้องกันกระแส [16] แต่ค่อนข้างใช้ทรานซิสเตอร์จำนวนมาก (5n+1) เช่นกัน

EL 010

บทความนี้นำเสนอวงจรตรวจจับค่าสูงสุดแบบใหม่ โดยใช้หลักการ Winner Take All ใช้ทรานซิสเตอร์แบบซีเอ็มอสจำนวนน้อย ($3n+4$) และ มีประสิทธิภาพที่เพิ่มขึ้น โดยที่ความดันทานเอาต์พุตค่าผลตอบสนองเร็วขึ้น สามารถทำงานที่ความถี่สูงได้ดี อีกทั้งมีค่าเอาต์พุตของเฟดค่า มีการลดทอนน้อย สามารถประยุกต์ใช้เป็นวงจรเรียงกระแสแบบคลั่งคลื่น และวงจรเรียงกระแสแบบเต็มคลื่นได้



รูปที่ 1 วงจรกั้นขนแรงดันโดยใช้ซีเอ็มอส

2.รายละเอียดของวงจร

2.1 วงจรกั้นขนแรงดันโดยใช้ซีเอ็มอส

โครงสร้างของวงจรกั้นขนโดยใช้ซีเอ็มอสที่แสดงดังรูปที่ 1 นั้นคล้ายกับวงจร DDA [1] โดยกำหนดให้ทรานซิสเตอร์แบบ NMOS และ PMOS ทำงานในย่านอิ่มตัว สมการกระแสครนของทรานซิสเตอร์ชนิด NMOS และ PMOS แสดงดังสมการที่ 1 และ 2 ตามลำดับ

$$I_{DN} = k_N (V_{GSN} - V_{TN})^2 \quad (1)$$

$$I_{DP} = k_P (V_{GSP} - |V_{TP}|)^2 \quad (2)$$

โดย $k_P = \frac{\mu_P C_{ox}}{2} \left(\frac{W}{L}\right)$; $k_N = \frac{\mu_N C_{ox}}{2} \left(\frac{W}{L}\right)$, V_{TN} และ V_{TP} เป็น

ค่าแรงดันขีดเริ่ม (Threshold voltage) ของทรานซิสเตอร์แบบ NMOS และ PMOS ตามลำดับ เมื่อค่าอินพุตทรานคอนดักแทนซ์ของ M_1 และ M_2 สมพหุสก็ทุกประการ สมการกระแสครนของทรานซิสเตอร์ M_1 และ M_2 สามารถเขียนได้ดังนี้

$$I_{D1} = k_N (V_{in} - V_{TN})^2 \quad (3)$$

$$I_{D2} = k_N (V_O - V_{TN})^2 \quad (4)$$

สมมติว่ากระแสที่อนที่ M_1 และ M_2 สมพหุสก็ทุกประการ ดังนั้นกระแสที่อน $I_{D1} = I_{D2}$ ทรานซิสเตอร์ M_2 เป็นตัวป้อนกลับกระแสร่วมกับ M_1 จากสมการที่ (3) และ (4) สามารถอธิบายได้ว่าแรงดันที่เอาต์พุตมีค่าเป็น

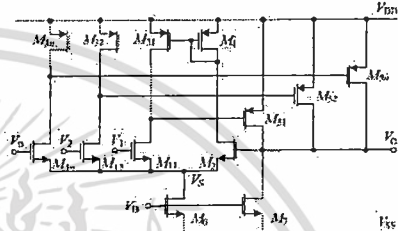
$$V_O = V_{TN} \quad (5)$$

2.2 วงจรตรวจจับค่าสูงสุดแบบ Winner Take All

สมมุติให้อินพุตของวงจรตรวจจับค่าสูงสุดโดยใช้ซีเอ็มอส โดยใช้หลักการ WTA เป็น n -input ที่แสดงในรูปที่ 2 ซึ่งประกอบด้วยทรานซิสเตอร์เพียง $3n+4$ ตัว ด้วยกระแสไบอัส 2 ตัวเหมือนกับวงจรกั้นขนโดยใช้ซีเอ็มอสในรูปที่ 1 หากต้องการมีอินพุตหลายอินพุตสามารถนำค้อนนาม M_1, M_2 และ M_3 ออกไปได้

ในการทำงานของวงจร กระแสเดรนของทรานซิสเตอร์ M_1 นั้นถูกไบอัสด้วยค่าทรานคอนดักแทนซ์ของ M_1 และ M_2 ซึ่งกำหนดให้เป็นแรงดันไบอัส V_0 กระแสที่อนที่ M_1 เหมือนกับกระแสที่ M_2 ถึง M_n ซึ่งทำงานตามอินพุตที่มีค่าที่สุด กระแสที่ M_2 และ M_3 เป็นสมการผลรวมค่าคงที่ของกระแส M_1 กรณีที่เป็นสองอินพุต สมมุติให้ V_1 เป็นอินพุตสูงสุด กระแสของ M_1 ก็จะสูงกว่า M_2 และ M_3 ทำให้เอาต์พุต V_0 มีค่าเท่ากับอินพุต V_1 และกระแสที่อนอยู่กับเดป้อนกลับกระแสของ M_2 และ M_3 โดยที่ M_1, M_2, M_3 และ M_n จะไม่นำกระแสเนื่องจาก M_2, M_3 ไม่อยู่ในเงื่อนไขของทรานซิสเตอร์อิ่มตัว เป็นผลให้แรงดันเอาต์พุตเท่ากับ

$$V_O = \text{Max}(V_i); \quad i=1, 2, 3, \dots, n \quad (6)$$



รูปที่ 2 วงจรตรวจจับค่าสูงสุดแบบ WTA โดยใช้ซีเอ็มอสที่มี n -input

3. การวิเคราะห์ประสิทธิภาพของวงจร

3.1 การวิเคราะห์ทางด้านความต้านทาน

ค่าความต้านทานของวงจร สามารถคำนวณได้จากแบบจำลองสัญญาณขนาดเล็กของรูปที่ 1 เนื่องจากความต้านทานที่ขาออกของทรานซิสเตอร์นั้นมีสูงมาก จึงทำให้สามารถประมาณความต้านทานที่เอาต์พุตได้เป็น

$$r_{on} \approx \infty \quad (7)$$

ในทำนองเดียวกัน ความต้านทานที่เอาต์พุตสามารถหาโดย ให้อินพุตเป็นศูนย์ แล้วทดลองโดยป้อนกระแส I_0 ที่เอาต์พุต และคำนวณค่าแรงดัน V_0 จะได้ความต้านทานเอาต์พุตเป็น

$$r_o \approx \frac{S_{n1}(S_{n1} + S_{n2})}{S_{n2}S_{n3}S_{n4} + S_{n2}S_{n3}(S_{n1} + S_{n4})} \quad (8)$$

จากสมการที่ (8) จะเห็นได้ชัดเจนว่าถ้า $S_{n1} \gg S_{n2}$ แล้วจะทำให้ความต้านทานที่เอาต์พุตมีค่าต่ำมาก

3.2 ผลกระทบของทรานซิสเตอร์ที่ไม่สมพหุสก็กัน

ผลของทรานซิสเตอร์ที่ไม่สมพหุสก็กันนั้น เป็นผลกระทบโดยตรงต่อแรงดันเอาต์พุต จากวงจรกั้นขนโดยใช้ซีเอ็มอสในรูปที่ 1 เมื่อพิจารณาถึงค่าทรานซิสเตอร์ M_1 กับ M_2 และ ค่าทรานซิสเตอร์ M_1 กับ M_2 ไม่สมพหุสก็กัน เอาต์พุตของวงจรกั้นขนโดยใช้ซีเอ็มอสในสมการที่ (5) เขียนใหม่ได้เป็น

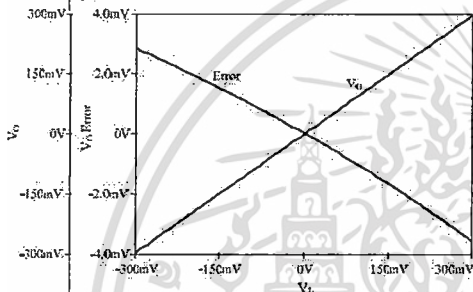
$$V_O = \frac{\sqrt{\frac{k_{N1}k_{P2}}{k_{N2}k_{P1}} (V_{GSF2} - |V_{TP2}|)} (V_{in} - V_{TN}) + V_{TN}}{\sqrt{\frac{k_{N1}k_{P2}}{k_{N2}k_{P1}} (V_{GSF2} - |V_{TP2}|)}} \quad (9)$$

4. การวิเคราะห์ที่ใช้งานเป็นวงจรเรอริงกระแส

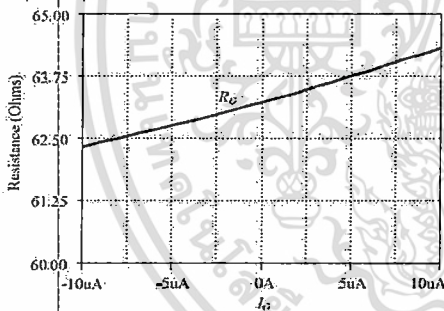
วงจรตรวจนับค่าสูงสุดนั้นสามารถที่จะประยุกต์ใช้เป็นวงจรเรอริงกระแสแบบครึ่งคลื่น โดยป้อนอินพุตแรกเป็นสัญญาณไซน์ ($V_1 = V_m \sin \omega t$) และป้อนอินพุตสองเป็นศูนย์ สัญญาณไซน์จะเปรียบเทียบกับศูนย์ เมื่อถึงครึ่งบวกของอินพุตแรก ($V_0 = -V_m \sin \omega t$) ส่วนการประยุกต์ใช้เป็นวงจรเรอริงกระแสแบบเต็มคลื่นนั้นทำได้โดยการป้อนอินพุตแรกและอินพุตสองเป็นสัญญาณไซน์ ที่ต่างเฟสกัน 180° ($V_1 = V_m \sin \omega t$ และ $V_2 = -V_m \sin \omega t$) โดยเอาต์พุตจะเป็นสัญญาณเต็มครึ่งบวกของอินพุตทั้งสองหรือสลับกันไปมาตามลำดับ ($V_0 = V_1$ หรือ V_2)

5. ผลการเขียนแบบการทำงาน

วงจรตรวจนับค่าสูงสุดที่นำเสนอ นั้น ถูกจำลองการไว้มาด้วยโปรแกรม PSpice โดยใช้โมเดลของ TSMC 0.25 μ m กำหนดให้แรงดันจ่ายแรงดัน $V_{DD} = V_{SS} = 1.25$ โวลต์ แรงดันไบอัส $V_B = 0.6$ โวลต์ พบว่ามีการสูญเสียพลังงานประมาณ 0.605 mW



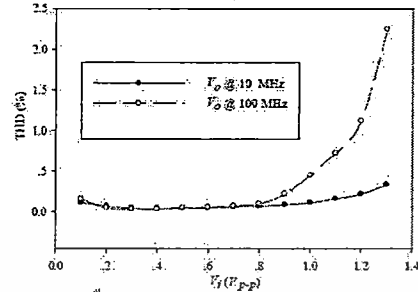
รูปที่ 3 คุณสมบัติทางไฟตรงของวงจรและค่าความผิดพลาด



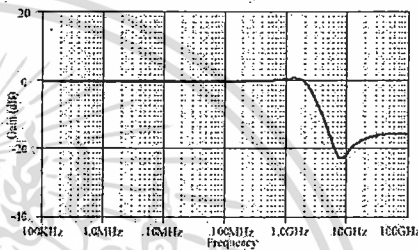
รูปที่ 4 ความต้านทานเอาต์พุตที่ป้อนกระแสที่เอาต์พุต

ในรูปที่ 3 แสดงคุณสมบัติทางไฟตรงของวงจรและค่าความผิดพลาด โดยใช้อินพุต ± 0.6 V โดยเอาต์พุตนั้นให้ใกล้เคียงอินพุตของอินพุตซึ่งมีความผิดพลาดน้อยกว่า ± 4 mV ในรูปที่ 4 ทำการป้อนกระแส ± 10 μ A ที่เอาต์พุตแล้วหาความต้านทานเอาต์พุตได้ประมาณ 63 Ω ในรูปที่ 5 แสดงความเทียบฮาร์มอนิกความเอาต์พุต ได้ค่าน้อยกว่า 1.1% ที่ความถี่ 100 MHz โดยคิดที่แรงดันอินพุต 1.2 V_{pp} และ ผลตอบสนองทางความถี่ของวงจรตามแรงดันที่ถูกนำเสนอ นั้น มีค่ามากกว่า 100 MHz ถูกแสดง

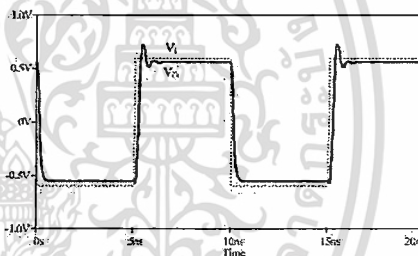
ในรูปที่ 6 ผลตอบสนองของแบบครึ่งคลื่นของวงจรตามแรงดันที่อินพุตเป็นสัญญาณที่เปลี่ยนความถี่ 100 MHz และแอมพลิจูด ± 0.6 V ต่อกับโพลความถี่ต่างกัน $R_L = 5$ Ω ถูกแสดงในรูปที่ 7 โดยกราฟใช้เวลาขาขึ้นสูงสุด 1.5ns และใช้เวลาขาลงต่ำกว่า 0.5ns



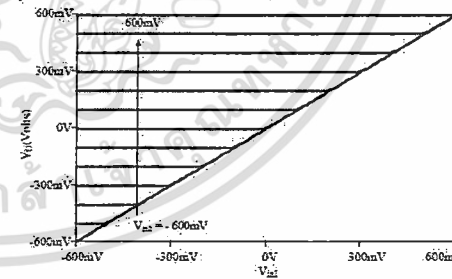
รูปที่ 5 ความเทียบฮาร์มอนิกความเอาต์พุตที่ 10MHz และ 100MHz



รูปที่ 6 ผลตอบสนองทางความถี่ของวงจรตามแรงดัน



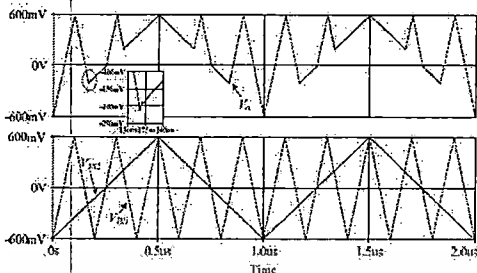
รูปที่ 7 ผลตอบสนองชั่วคราวของอินพุตต่อกับความถี่งาน 5 Ω



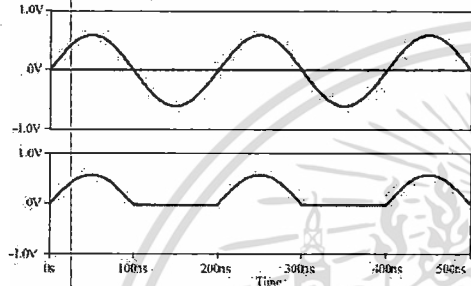
รูปที่ 8 คุณสมบัติทางไฟตรงของวงจรตรวจนับค่าสูงสุด

ในรูปที่ 8 แสดงคุณสมบัติทางไฟตรงของวงจรตรวจนับค่าสูงสุด และ ในรูปที่ 9 แสดงสัญญาณเอาต์พุตของวงจรตรวจนับค่าสูงสุด โดย

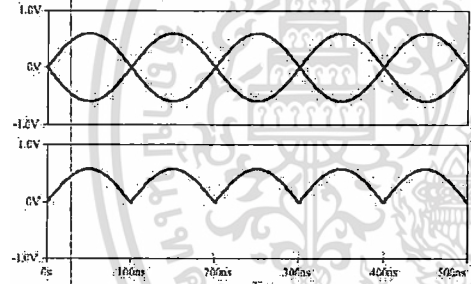
เอาต์พุตเกิดจากการเปรียบเทียบอินพุตที่เป็นรูปสามเหลี่ยมสองสัญญาณ ความถี่ 1 MHz และ 5 MHz ซึ่งเมื่อพิจารณาในรูปที่ 9 พบความผิดพลาดเชิงมุม (Corner error) มีค่าประมาณ 10 mV/5 ns



รูปที่ 9 แรจต์สูงที่สุดที่อินพุตมีความถี่ 1MHz และ 5MHz



รูปที่ 10 การประยุกต์ใช้เป็นวงจรเรียงกระแสแบบครึ่งคลื่น



รูปที่ 11 การประยุกต์ใช้เป็นวงจรเรียงกระแสแบบเต็มคลื่น

สำหรับวงจรเรียงกระแสแบบครึ่งคลื่นจะป้อนอินพุตแรกเป็นสัญญาณไซน์ที่มีความถี่ 5MHz หรือ $V_1 = 500 \times 10^3 \sin(31.42 \times 10^6 t)$ และอินพุตที่สองเป็นศูนย์ เมื่อเปรียบเทียบสัญญาณ V_1 กับ V_2 จะได้สัญญาณดังรูปที่ 10 ส่วนวงจรเรียงกระแสแบบเต็มคลื่นจะป้อนอินพุตทั้งสองตัวเป็นสัญญาณ ความถี่ 5MHz ที่เฟสต่างกัน 180° หรือ $(V_1 = 500 \times 10^3 \sin(31.42 \times 10^6 t))$ เมื่อเปรียบเทียบกันแล้วจะได้สัญญาณดังรูปที่ 11

6. สรุป

วงจรตรวจค่าสูงสุดที่นำเสนอในบทความนี้มีคุณสมบัติคือ เป็นวงจรที่มีประสิทธิภาพที่ดี สามารถใช้งานกับสัญญาณอินพุตที่มีหลายอินพุตได้ ใช้แหล่งจ่ายแรงดันค่าเพียง $\pm 1.25V$ มีความต้านทานที่

เอาต์พุตค่า มีค่าเวลาดีเลย์น้อยกว่าเพียง 1.5ns ความเห็นสมควรให้พิจารณาที่ประมาณ 1.1% ที่แรงดันอินพุต 1.2V ผลการเปรียบเทียบพบว่า วงจรเรียงกระแสแบบครึ่งคลื่นของวงจรพบว่า สามารถทำงานที่ความถี่สูงถึง 100 MHz ได้ดี หรือทั้งยังสามารถนำประยุกต์ใช้เป็นวงจรเรียงกระแสแบบครึ่งคลื่นและวงจรเรียงกระแสแบบเต็มคลื่น ได้อีกด้วย

7. เอกสารอ้างอิง

- [1] E. Sackinger, W. Guggenbühl, "A versatile building block: the CMOS differential difference amplifier," *IEEE J. Solid-State Circuits*, Vol. SC-22, no. 2, pp. 287-294, 1987.
- [2] Lazzaro J., Lyckenbush S., Malhowad M. A. and Mead C., "Winner take-all of On) complexity, Advances in Neural Signal Processing Systems," D. S. Touretzky, Ed., Morgan Kaufmann, pp. 703-711, 1989.
- [3] Yamakawa T., "A fuzzy inference engine in nonlinear analog mode and its applications to a fuzzy logic control," *IEEE Trans. Neural Networks*, 4, 496-522, 1993.
- [4] Baturone I., Huerias J. L., Barriga A. and Sanchez-Solano S., "Current-mode multiple-input Max circuit," *Electron. Lett.*, Vol. 30, No. 9, pp. 678-680, 1994.
- [5] Huang C. Y. and Liu B. D., "Current-mode multiple input maximum circuit for Fuzzy Logic controllers," *Electron. Lett.*, Vol. 30, No. 23, pp. 1924-1925, 1994.
- [6] K. Wawryn and B. Strzeszewski, "Current Mode Circuits for Programmable WTA Neural Network," *Analog Integrated Circuits and Signal Processing*, Vol. 27, pp. 49-69, 2001.
- [7] Fish A., Milud V. and Yaddid-Pecher O., "High-speed and high-precision current winner-take-all circuit," *IEEE Trans. Circuits Syst. II*, Vol. 52, No. 3, pp. 131-135, 2005.
- [8] S. I. Liu, Y. S. Hwang, and J. H. Tsay, "CCII-Based Fuzzy Membership Function and Max/Min Circuit," *Electron. Lett.*, vol. 29, no. 1, pp. 116-118, 1993.
- [9] T. Inoue, T. Motomura, R. Matsuo, and F. Ueno, "New OTA-based analog circuits for fuzzy membership functions and max/min operations," *IEICE Transactions*, vol. 74, no. 11, pp. 3619-3621, Nov. 1991.
- [10] T. Inoue, F. Ueno, T. Motomura, O. Setoguchi, R. Matsuo, "New high-speed analogic max and min circuits using OTA-based bounded difference operations," *Electron. Lett.*, vol. 27, no. 12, pp. 1034-1035, June 1991.
- [11] I. E. Opris, "Rail-to-Rail Multiple-input min/max circuit," *IEEE Trans. Circuits & Syst. II*, vol. 45, pp. 137-140, Jan. 1998.
- [12] R. G. Carvajal, J. Martinez-Heredia and J. Ramirez-Angulo, "High-speed high-precision min/max circuits in CMOS technology," *Electron. Lett.*, vol. 36, no. 5, pp. 697-699, April 2000.
- [13] J. Ramirez-Angulo, G. Ducondray-Acevedo, R. G. Carvajal, and A. López-Martín, "Low-Voltage High-Performance Voltage-Mode and Current-Mode WTA Circuits Based on Flipped Voltage Followers," *IEEE Trans. Circuits & Syst. II*, Vol. 52, No. 7, July 2005.
- [14] J. Ramirez-Angulo, J. E. Molinar-Solis, S. Gupta, R. G. Carvajal, and A. J. López-Martín, "A High-Swing, High-Speed CMOS WTA Using Differential Flipped Voltage Followers," *IEEE Trans. Circuits & Syst. II*, vol. 54, No. 8, pp. 668-672, Aug. 2007.
- [15] V. A. Pedroni and B. U. Pedroni, "Output stage based high-resolution min/max and rank-order filters," *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 52, No. 1, pp. 28-32, Jan. 2005.
- [16] Promnee P., Angkeaw K., Somdunyakanok M. and Dejhan K., 2009. CMOS-based near zero-offset multiple inputs max-min circuits and its applications, *Analog Integrated Circuit and Signal Processing*, DOI 10.1007/s10470-009-9281-2.
- [17] Allen P. E. and Holberg D. R., "CMOS Analog Circuit Design," *Holt, Rinehart and Winston, Inc.*, 1987



CMOS WTA maximum and minimum circuits with their applications to analog switch and rectifiers

Pipat Prommee*, Kittikhun Chattrakun

Department of Telecommunications Engineering, Faculty of Engineering, King's Mongkut Institute of Technology Ladkrabang, Bangkok 10520, Thailand

ARTICLE INFO

Article history:

Received 2 July 2009

Received in revised form

24 August 2010

Accepted 1 September 2010

Available online 21 September 2010

Keywords:

WTA

Maximum

Minimum

Rectifier

Analog switch

ABSTRACT

This paper presents design of a voltage-mode multiple-inputs winner-take-all (WTA) maximum (max) and minimum (min) circuits. The proposed circuits are realized in a CMOS technology with low-component counts of transistors. They display usability of the proposed building block, where the maximum bandwidth of voltage follower is around 1 GHz and low-delay time is around 1.5 ns with high-input and low-output impedances. The THD obtained is around 0.8% within the 0.6Vp–p input range. The power dissipation of the proposed circuits is obtained to be around 0.62 mW with ± 1.25 V power supplies. In applications, half-wave and full-wave rectifiers and analog switch are included. Computer simulation results by using SPICE program with TSMC 0.25 μm are carried out to show the performance of the proposed WTA max and min circuits, rectifiers and analog switch. In addition, the sample layout of the max circuit occupies an area of around 798 μm^2 and post-layout simulation results are exhibited to concrete the pre-layout simulation results.

© 2010 Elsevier Ltd. All rights reserved.

1. Introduction

Maximum circuit (max circuit) and minimum circuit (min circuit) are building blocks that are useful in analog signal processing areas. The preferred realization method is using a voltage buffer stage [1,2] which is connected in parallel. The winner-take-all has been discovered by using parallel connection of regulate cascode cells, which is called Lazzaro's cell [3]. Many WTA circuits were introduced based on current-mode or voltage-mode [4–8]. The applications were found in particular areas such as telecommunications, instrumentations, and especially in fuzzy control [4,6] and neural network [7]. The previous works have been introduced in different approaches. The cascode current mirror [5,6] has been constructed. The common node impedance is connected with the MOS diode as an active loaded element. Normally, active load connection at the common node cannot provide low-impedance; hence, accurate and fast response output cannot be obtained. Multiple input current-mode WTA circuit was introduced [7] based on high complexity second generation current conveyor (CCI) and current mirror. Current-mode computation circuit based on principle mathematic operation was reported [8], which also relied on many current mirrors. This leads to high power consumption and large chip area.

The CCIs are employed with a few MOS transistors and a diode [9]. Asymmetric inputs become a problem for multiple inputs (n -inputs). OTAs and diodes structure that produce symmetric inputs were reported [10] to solve the problem. Other problems that affect inputs are over-switching time and voltage across diodes. Using too many OTAs ($n+1$) is another problem that leads to more power consumption and use of large die area. The winner-take-all is a famous method for implementing max-circuit and min-circuit. The CMOS-based max-circuit and min-circuit by using the winner-take-all (WTA) principle have been introduced. Symmetry of inputs was realized and multiple inputs can be operated, but the circuit used too many transistors and has a complex structure [11,12]. Other CMOS-based compact max-circuit and min-circuit were also proposed with good performance [13]. The source couple pairs-based is used as a voltage-follower of the input stage. Using a large number of transistors is a drawback for obtaining multiple inputs by $(6n+1)$. Current-mode and voltage-mode WTA based on flipped-voltage followers and differential flipped-voltage followers are, respectively, reported [14,15]. In voltage-mode, it provides high-output impedance, which results in problems in connecting to the next succeeding stage. Voltage-mode WTA based on differential pairs with the output stage is reported [16]. However, using a large number of transistors is a drawback for obtaining multiple inputs by $(7n+1)$. Other WTA max and min circuits with low-offset based on shunt-feedback buffer [17] are introduced, but many transistors $(5n+1)$ are used in max circuit.

This paper proposes a new configuration of CMOS-based multiple inputs max circuit and min circuit based on the WTA

* Tel.: +66 2 3298324; fax: +66 2 3298325.

E-mail addresses: pipat@telecom.kmitl.ac.th, kppipat@kmitl.ac.th (P. Prommee), tu_15_kop@hotmail.com (K. Chattrakun).

principle. The realization with compactness and low number of transistors ($3n+4$) produces high performances, which are low-output impedance, fast response, high-frequency operation, low-offset output, low-distortion, simple structure and low-power consumption. Additionally, half-wave, full-wave rectifiers and digital controlled analog switch can be easily realized based on the proposed WTA max-min-circuits basis.

2. Circuit descriptions

2.1. CMOS voltage buffer

The circuit structure of CMOS voltage buffer (VB) is similar to differential difference amplifier (DDA) realization [2], but the first and second inputs are removed; hence the third input and output become a voltage follower building block. The completed CMOS voltage buffer (VB) is shown in Fig. 1. Their transistors are operated in the saturation region as shown in Eqs. (1) and (2), which are NMOS and PMOS transistors, respectively:

$$I_{DN} = k_N(V_{GSN} - V_{TN})^2 \tag{1}$$

$$I_{DP} = k_P(V_{SCP} - |V_{TP}|)^2 \tag{2}$$

where $k_P = (\mu_p C_{ox} / 2)(W/L)$ and $k_N = (\mu_n C_{ox} / 2)(W/L)$. V_{Ti} is threshold voltage of type- i transistor, μ_i is surface mobility of type- i transistor, C_{ox} is channel oxide capacitance, W is channel width and L is channel length of transistor. The input transconductance element is realized by matched differential stage (M_1 and M_2). Drain current of M_1 and M_2 can be written as

$$I_{D1} = k_N(V_{in} - V_S - V_{TN})^2 \tag{3}$$

$$I_{D2} = k_N(V_O - V_S - V_{TN})^2 \tag{4}$$

Suppose that the current mirrors M_3 and M_4 are perfectly matched, then the current mirror provides $I_{D1} = I_{D2}$. Transistor M_5 is composed of the differential stage as shunt-feedback, which cooperated with M_2 . From Eqs. (3) and (4), the output voltage of this circuit can be expressed as

$$V_O = V_{in} \tag{5}$$

2.2. WTA maximum circuit

The proposed n -input CMOS WTA max circuit as shown in Fig. 2 contains only $3n+4$ transistors with 2 biased currents based on a CMOS voltage buffer in Fig. 1. Multiple inputs can be provided by parallel connecting of M_1 , M_3 and M_5 to the existing transistors. In the operation, drain current of M_6 is a biased current of transconductance elements M_1 and M_2 assigned by biased voltage V_B . The current mirror M_4 provides a replica

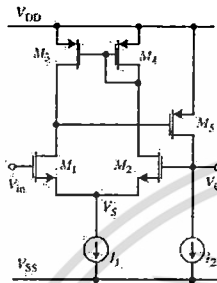


Fig. 1. CMOS voltage buffer.

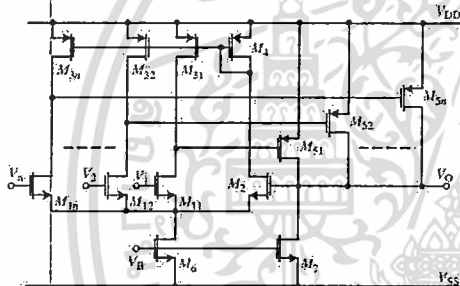


Fig. 2. Proposed CMOS WTA maximum circuit.

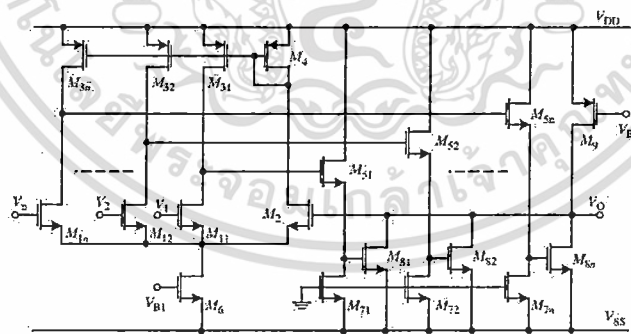


Fig. 3. Proposed CMOS WTA minimum circuit.

current to all M_{3i} where only one current can be operated according to a maximum input. The summation currents of M_{3i} and M_4 are equal to the constant current of M_6 which ensures that winning stage can operate while the rest of the stages are standby.

Suppose $V_1 > V_2$ for two inputs block, then the current of M_{11} is higher than that of M_{12} ($I_{D11} > I_{D12}$). Source voltage of M_{11} is varied depending on a maximum input. The current mirror (M_{3i} and M_4) plays an important role that uses to track the drain current of only one pair, M_{1i} (higher current) and M_2 , to be equaled. The drain current of transistors can be written as

$$I_{D11} = I_{D2}, \quad I_{D6} = I_{D11} + I_{D12} + I_{D2} \quad (6)$$

$$V_{GS11} > V_{GS12} \text{ then } I_{D11} > I_{D12} \text{ where as } I_{D12} = 0 \quad (7)$$

It is assured that only the winning transistor M_{11} is operated while M_{12} is standby because of the forcing condition of the current mirror and based on the CMOS voltage buffer technique in Section 2.1. The maximum input (V_1) is transferred to gate of M_2 ($V_O = V_1$), and current source is regulated by shunt-feedback M_{51} and M_7 .

$$V_O = \text{Max}(V_i) \quad i = 1, 2, 3, \dots, n \quad (8)$$

2.3. WTA minimum circuit

The minimum circuit as shown in Fig. 3 can be easily implemented by modifying the maximum circuit. The voltage output is similarly analyzed to the maximum circuit counterpart, but some different operations of current biased for multiple inputs are named Loser-Take-All (LTA). The output in Fig. 2 is varied in a positive term by using M_{5i} ; hence the maximum function is achieved. Otherwise, the output in Fig. 3 is varied in a negative term by using M_{5i} ; hence the minimum function is obtained. The transistor M_{5i} is biased from shift-down circuits M_{5i} and M_{7i} . The negative current is supplied by M_{5i} and the positive current is supplied by M_6 . Likewise, the analysis of minimum circuit is similar to maximum circuit. The output becomes

$$V_O = \text{Min}(V_i) \quad i = 1, 2, 3, \dots, n \quad (9)$$

3. Performance analysis

This section describes the study of performance analysis, which includes the following discussions, channel-length modulation, impedance, output error, transistors mismatch and body effect.

3.1. Channel-length modulation

The drain current of MOS transistors in Eqs. (1) and (2) including the channel-length modulation can be rewritten as

$$I_{D1} = k_n(V_{in} - V_S - V_{th})^2(1 + \lambda V_{DS}) \quad (10)$$

$$I_{D2} = k_n(V_O - V_S - V_{th})^2(1 + \lambda V_{DS}) \quad (11)$$

Assume that of current mirror, transistors M_3 and M_4 match. The drain currents of M_1 and M_2 are equaled ($I_{D1} = I_{D2}$). Note that the transistors M_1 and M_2 are constructed in the same process, then $V_O = V_{in}$ without any effects from channel-length modulation. The channel-length modulation (λ) effect can be neglected by the identical differential configuration.

3.2. Impedances

The impedance approximation can be derived by small signal model analysis of Fig. 1. Due to no current at the gate of the MOS transistor, impedance at input port (r_{in}) is extremely high, which can be expressed as

$$r_{in} \approx \infty \quad (12)$$

Similarly, impedance at output terminal can be derived by setting the input to zero, applying a test current I_0 at the output terminal and calculating the voltage V_O . The result becomes

$$r_o \approx \frac{g_{m1}(g_{d1} + g_{d3})}{g_{m2}g_{m3}g_{m5} + g_{m1}g_{d3}(g_{d1} + g_{d3})} \quad (13)$$

where the transconductance g_{d1} and g_{m5} denote the drain conductance and transconductance of transistor M_1 , respectively. It is clear that the resistance at the output terminal is evidently low if and only if $g_{m1} \gg g_{d1}$. From Eq. (13), impedance at output terminal calculation has been approximated around 114.85 Ω , which agrees with the theoretical one.

3.3. Output error

In the discussion so far, assume that the current mirrors have unity gain and transistors are perfectly matched. However, in practical realizations, several non-idealities are presented. The major factors that would be considered are finite transconductance g of the transistors and transistors mismatch. The relationship between V_{in} and V_O can be obtained by using small-signal analysis. The transistors in Fig. 2 are replaced by appropriate

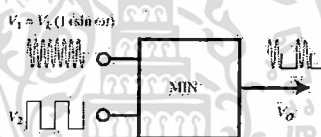


Fig. 4. Analog switch application based on MIN circuit.

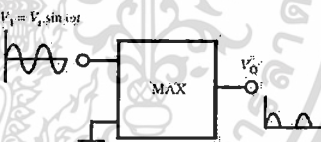


Fig. 5. Half-wave application based on MAX circuit.

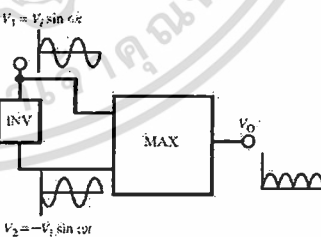


Fig. 6. Full-wave application based on MAX circuit.

equivalent circuits and the node equations can be derived. To simplify discussion, the body effect has been neglected by assuming that the differential pairs are identical. By routine analysis, the equation can be expressed as

$$V_O = \beta V_{in} \tag{14.1}$$

$$\beta = \frac{g_{m1}g_{m3}(g_{m4} - g_{d1} - g_{d4})}{g_{m2}g_{m5}g_{m6} - g_{d5}(g_{d1} + g_{d3})(g_{m4} + g_{d4})} \tag{14.2}$$

Similar to Section 3.2, it is clear that the voltages at input terminal is accurately transferred to output terminal if and only if $g_{mi} \gg g_{di}$. From Eq. (14.2), tracking error output voltage calculation has been approximated around 0.27%, which agrees with the theoretical one.

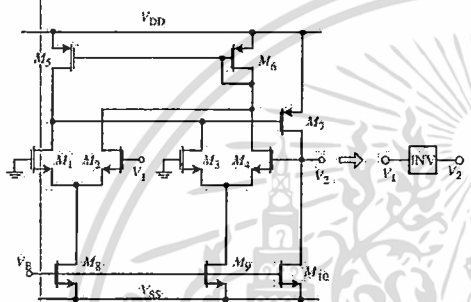


Fig. 7. The differential difference voltage buffer (DDVB).

Table 1
Transistors aspect ratio of CMOS WFA circuit.

Transistors	W (μm)	L (μm)
M1–M2	1	0.25
All NMOS	3	0.25
All PMOS	5	0.25

3.4. Effects of transistor mismatched

The mismatch of transistors directly affects the off-set voltage. From CMOS voltage buffer in Fig. 1, which uses Eqs. (3) and (4), matching conditions of transistors M1–M2 and M3–M4 are assumed. Considering the mismatch of M1–M2 and M3–M4, the output voltage of CMOS voltage buffer in Eq. (5) is rewritten as

$$V_O = \sqrt{\frac{k_{N1}k_{P3}(V_{SCP3} - |V_{TP3}|)}{k_{N2}k_{P4}(V_{SCP4} - |V_{TP4}|)}} (V_{in} - V_S - V_{TN1}) + V_S + V_{TN2} \tag{15}$$

The mismatch conditions can be described in two parts. M1–M2 mismatch and M3–M4 mismatch. Considering the first mismatch, matched current mirror M3–M4 is supposed and differential pairs M1–M2 are mismatched. The output voltage of CMOS voltage buffer from Eq. (15) becomes

$$V_O = \sqrt{\frac{k_{N1}}{k_{N2}} (V_{in} - V_S - V_{TN1})} + V_S + V_{TN2} \tag{16}$$

The second mismatch, matched differential pairs M1–M2, is supposed and current mirror M3–M4 is mismatched. Variations in both k_p and V_{TP} are given by a quantitative analysis. Suppose that the two transistors W/L of current mirror are exactly equal, but both k_p and V_{TP} are mismatched. The output voltage of CMOS voltage buffer from Eq. (11) becomes [18]

$$V_O = \sqrt{\frac{k_{P3}(V_{SCP3} - |V_{TP3}|)}{k_{P4}(V_{SCP4} - |V_{TP4}|)}} (V_{in} - V_S - V_{TN1}) + V_S + V_{TN2} \tag{17}$$

where $V_{SCP3} = V_{SCP4} = V_{SCP}$. Defining $\Delta k_p = k_{P3} - \Delta k_{P4}$ and $\Delta V_{TP} = 0.5(k_{P3} + k_{P4})$ and $V_{TP} = V_{TP3} - V_{TP4}$ and $V_{TP} = 0.5(V_{TP3} + V_{TP4})$ gives

$$k_{P3} = k_p + 0.5\Delta k_p \tag{18}$$

$$k_{P4} = k_p - 0.5\Delta k_p \tag{19}$$

$$V_{TP3} = V_{TP} + 0.5\Delta V_{TP} \tag{20}$$

$$V_{TP4} = V_{TP} - 0.5\Delta V_{TP} \tag{21}$$

Substituting Eqs. (18)–(21) into Eq. (17) gives

$$V_O = \frac{[1 - (\Delta k_p / 2k_p)] [1 - (\Delta V_{TP} / 2(V_{SCP} - V_{TP}))]^2 (V_{in} - V_S - V_{TN1})}{[1 + (\Delta k_p / 2k_p)] [1 + (\Delta V_{TP} / 2(V_{SCP} - V_{TP}))]^2} + V_S + V_{TN2} \tag{22}$$

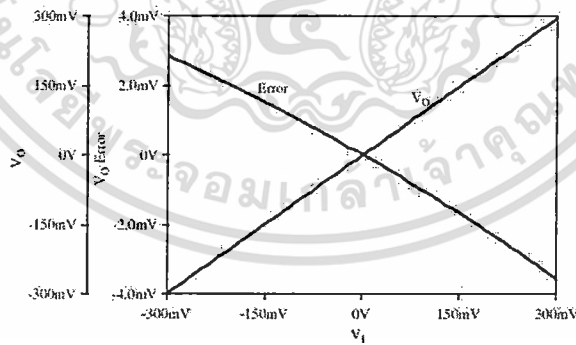


Fig. 8. DC voltage transfer error at output terminal.

Assuming that the quantities in Eq. (22) following the “1” are very small, Eq. (22) can be approximated and retaining only the first order products gives

$$V_o \approx (1 + (\Delta k_p/k_p) - (2\Delta V_{TP}/V_{SCP} - V_{TP})) (V_{in} - V_S - V_{TN1}) - V_S + V_{TN2} \quad (23)$$

It can be seen that k_p should be assigned as high as possible to minimize the errors. This means the error of output can be reduced by increasing the sizing of current-mirror transistors.

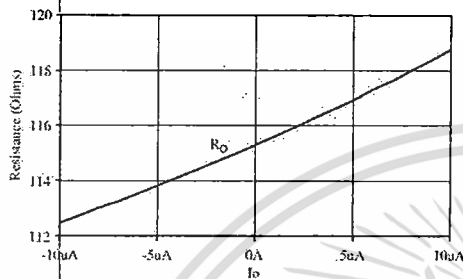


Fig. 9. Resistance at output terminal against output current.

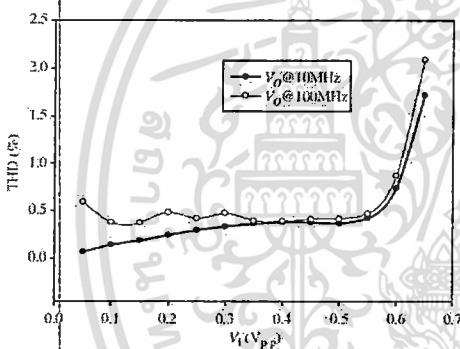


Fig. 10. THD of voltage follower with 10 and 100 MHz.

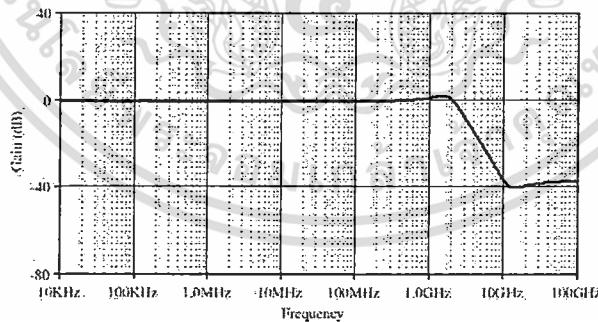


Fig. 11. Frequency response of voltage follower.

3.5. Body-effect

In order to consider the body-effect, body-source voltage affects to the threshold voltage are depicted as follows:

$$V_T = V_{T0} + \gamma \left(\sqrt{V_{SB} + 2\phi_F} - \sqrt{2\phi_F} \right) \quad (24)$$

where V_T is the threshold voltage when substrate bias is presented, V_{SB} is the source-to-body substrate bias, $2\phi_F$ is the surface potential, V_{T0} is threshold voltage for zero substrate bias, $\gamma = (\epsilon_{ox}/\epsilon_{si})\sqrt{2q\epsilon_{si}N_A}$ is the body effect parameter, ϵ_{ox} is oxide thickness, ϵ_{si} is oxide permittivity, ϵ_{si} is the permittivity of silicon, N_A is a doping concentration and q is the charge of an electron. For maximum circuit, body of every MOS transistors is connected to source ($V_{SB}=0$), except M_1 and M_2 . The differential pairs structure can automatically cancel the body-effect of this circuit, V_T can be neglected or $V_T=V_{T0}$.

4. Applications

4.1. Analog switch

The first sample of data acquisition is raised to confirm the realistic application. Digital controlled analog switch is facilitated by two inputs of M1N circuit concept as shown in Fig. 4. The first input is an analog signal $V_1 = V_d(1 + \sin \omega t)$ and the second input is a digital controlled input (V_2). At “2V_d” and “0” voltage levels are assigned to logic “high” and “low”, respectively. The switch “close” and “open” corresponds to the controlled signal “high” and “low”.

At “high” digital controlled voltage ($V_2 > V_1$) analog voltage (V_1) is lower than digital controlled voltage (V_2); Minimum function is operated according to V_1 , then voltage output provides analog signal (V_1). Otherwise, at “low” digital controlled voltage ($V_2=0$), analog signal voltage (V_1) is higher than V_2 . Minimum function is operated according to current $V_2=0$, then the voltage output provides zero.

4.2. Half-wave and full-wave rectifiers

The second and third sample applications of the proposed max circuit are a half-wave and full-wave rectifiers as shown in Figs. 5 and 6, respectively. For half-wave rectifier, sinusoidal signal is fed into the first input ($V_1 = V_i \sin \omega t$) and the second input is connected to the ground. Sinusoidal signal (V_1) is compared with the ground one. Only positive cycle of V_1 (more than V_2) is

transferred to output. Complete current half-wave signal ($V_O = V_1 \sin \omega t$ for $V_1 > 0$) is simply obtained by this algorithm.

For full-wave rectifier, two sinusoidal signals with 180° phase different are applied to the first ($V_1 = V_1 \sin \omega t$) and the second ($V_2 = -V_1 \sin \omega t$) inputs. Second input is inverted from first input by using differential difference voltage buffer (DDVB) [19] in Fig. 7. The half positive and negative cycles of both inputs are

overlapped. Maximum function is operated according to the positive cycle of V_1 and V_2 . Complete full-wave signal ($V_O = V_1$ for $V_1 > V_2$, $V_O = V_2$ for $V_2 > V_1$) is simply obtained by this algorithm.

5. Simulation results

To verify the overall technical performances of the proposed WTA max-min circuits and their applications, a SPICE simulation with a TSMC 0.25 μm process [17] is performed. The CMOS implementations max and min circuits are shown in Figs. 2 and 3, respectively. The aspect ratios of transistors are listed in Table 1. The supply voltages are $V_{DD} = -V_{SS} = 1.25$ V, and the biasing voltages are $V_{B1} = -0.65$ V, $V_{B2} = 0.55$ V. The power consumption is received around 0.62 mW by applying two triangular input signals. The results are described into two, which are max and min performances and applications.

5.1. Max-min performances

Fig. 8 presents a DC-characteristic between input and output terminals based on ±0.6 V inputs. The voltage output is obtained according to its input. The output voltage transfer error is less than ±4 mV (1.33%). Fig. 9 shows the output resistance against

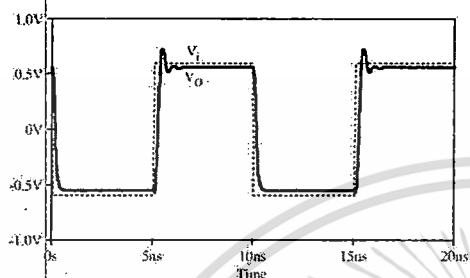


Fig. 12. Voltage transfer step response of voltage follower with 5 kΩ connected.

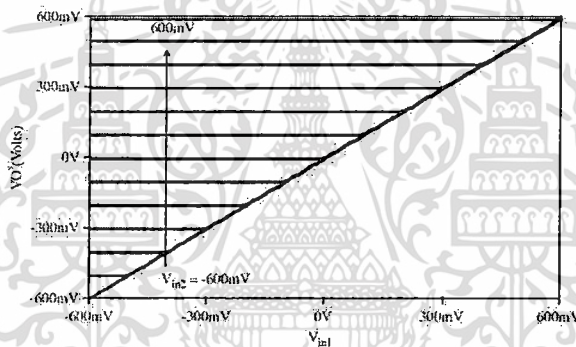


Fig. 13. DC-characteristic of the proposed WTA max circuit.

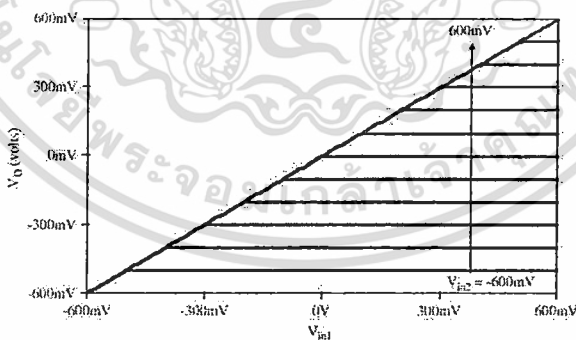


Fig. 14. DC-characteristic of the proposed WTA min circuit.

output current ($\pm 10 \mu\text{A}$) which is around $113\text{--}119 \Omega$. Fig. 10 shows the THD of V_O by applying 10 and 100 MHz at V_i , which are less than 0.8% within 0.6Vp-p . The voltage follower frequency response of the proposed circuit is shown in Fig. 11, which obtains more than 100 MHz. The voltage follower transient response is done by applying square-wave signal input (100 MHz, $\pm 0.6\text{V}$) and connected with load resistor $R_L=5\text{ k}\Omega$ at output. Output voltage is shown in Fig. 12, and is obtained around 1.5 ns for rise-time and 0.5 ns for fall-time. Figs. 13 and 14 illustrate the accurate output DC-characteristic of max and min circuits, respectively. For transient response, output waveform is obtained by applying 2 triangular inputs V_1 and V_2 , which are assigned to 1 and 5 MHz,

respectively. The signal output of max circuit and min circuit are obtained and illustrated in Figs. 15 and 16, respectively. Considering Fig. 15, small corner error of signal $10\text{ mV}/5\text{ ns}$ can be detected.

Regarding the component mismatch as discussed in Section 3.4, the effects of current mirror (M_3, M_4) and differential pairs (M_1, M_2) transistors mismatch are shown in Figs. 17 and 18, respectively. The mismatch is affected only in the amplitude and DC-offset of output that is consistent in the analytical basis.

The signal outputs of the proposed max circuit, which are connected by different resistance and capacitance loads, are shown in Figs. 19 and 20, respectively. The resistance load is

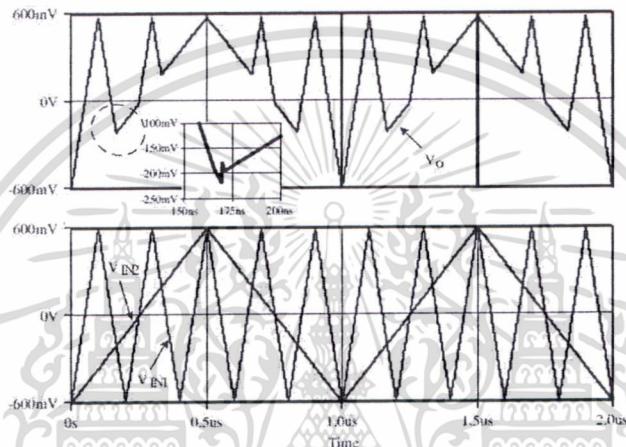


Fig. 15. Maximum output voltage with 1 and 5 MHz triangular wave inputs.

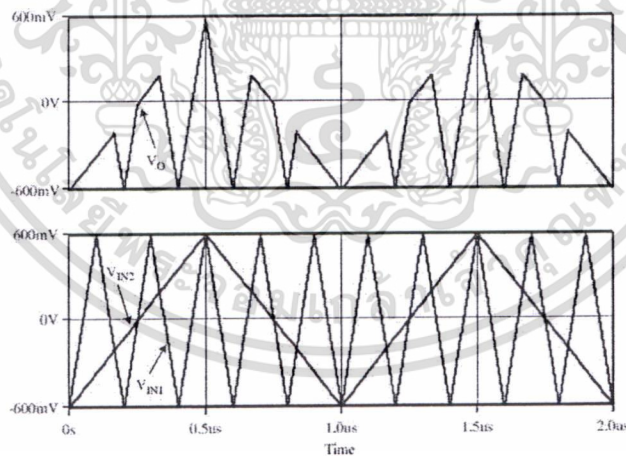


Fig. 16. Minimum output voltage with 1 and 5 MHz triangular wave inputs.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

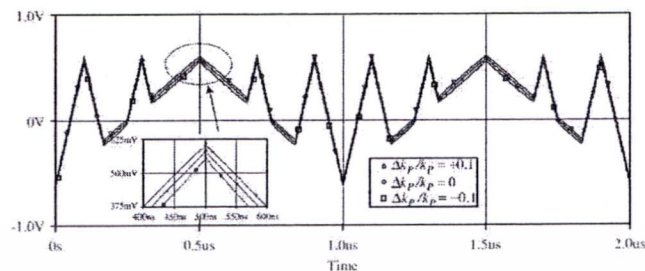
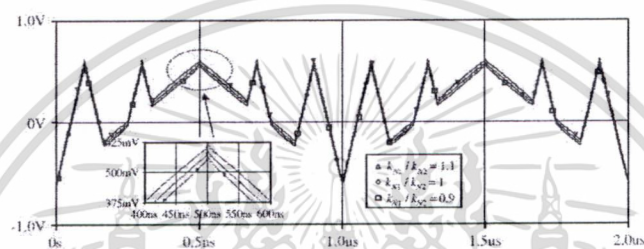
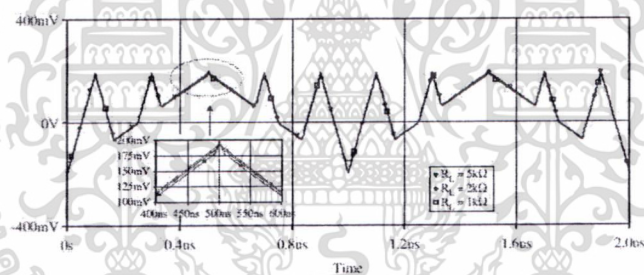
Fig. 17. Effect of current mirror M_3 , M_4 mismatch.Fig. 18. Effect of transistor A_1 and M_2 mismatch.

Fig. 19. Output of the proposed max circuit with different resistance loads.

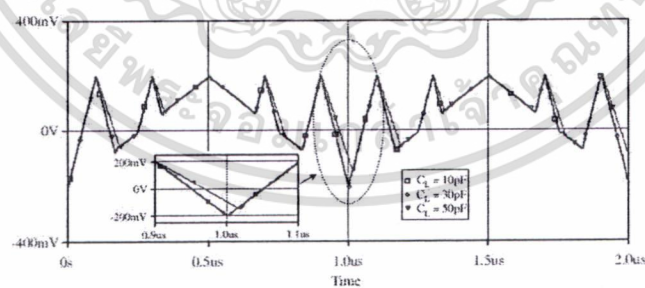


Fig. 20. Output of proposed max circuit with different capacitance loads.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

affected only by output voltage swing. Fig. 19 shows output swing becomes 150 mV when 1 kΩ of resistance load is connected. The capacitance load is affected in terms of response time. Fig. 20 shows output swing has a delay of around 20 ns/400 mV when the 50 pF of capacitance load is connected.

5.2. Max–min applications

Fig. 21 shows output of analog switch based on the proposed min circuit as depicted in Section 4.1. Analog signal with DC-component is applied to the first input and digital-controlled

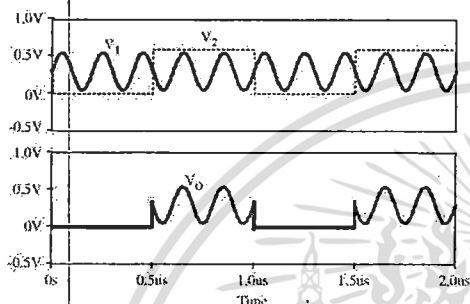


Fig. 21. Output signal of analog switch application with 5 MHz input.

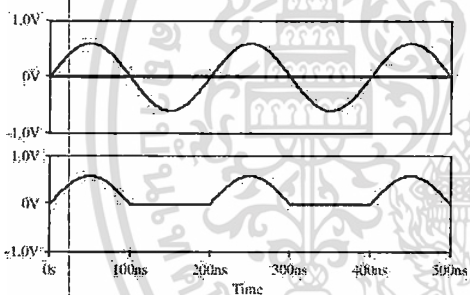


Fig. 22. Output signal of half-wave rectifier application with 5 MHz input.

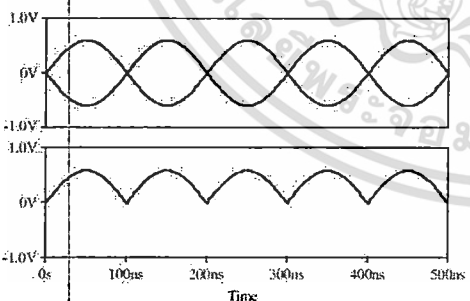


Fig. 23. Output signal of full-wave rectifier application with 5 MHz input.

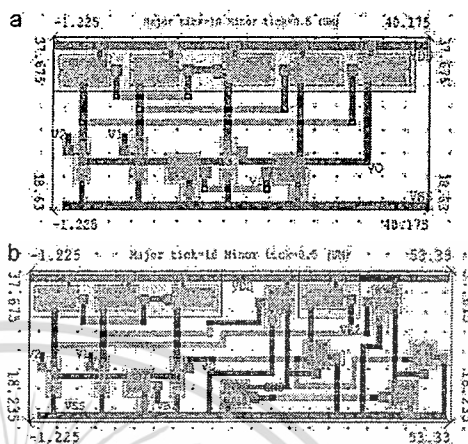


Fig. 24. Cell layout of 2-inputs (a) WTA maximum circuit (b) WTA minimum circuit.

Table 2
Model parameter of 1SMC 0.25 μm used for SPICE simulation.

```

.MODEL NMOS NMOS (LEVEL=49 VERSION=3.1 TNOM=27 TOX=5.8E-9
XJ=1E-7 NCH=2.3549E17 VTH0=-0.3877332 K1=-0.4563218
K2=7.498548E-3 K3=1E-3 K3B=2.7511983 WD=1E-7 NLX=2.684962E-7
DVTW=0 DVTW2=0 DVTW3=0 DVTW4=0 DVTW5=0 DVTW6=0 DVTW7=0
DVTW8=0 DVTW9=0 DVTW10=0 DVTW11=0 DVTW12=0 DVTW13=0
DVTW14=0 DVTW15=0 DVTW16=0 DVTW17=0 DVTW18=0 DVTW19=0
DVTW20=0 DVTW21=0 DVTW22=0 DVTW23=0 DVTW24=0 DVTW25=0
DVTW26=0 DVTW27=0 DVTW28=0 DVTW29=0 DVTW30=0 DVTW31=0
DVTW32=0 DVTW33=0 DVTW34=0 DVTW35=0 DVTW36=0 DVTW37=0
DVTW38=0 DVTW39=0 DVTW40=0 DVTW41=0 DVTW42=0 DVTW43=0
DVTW44=0 DVTW45=0 DVTW46=0 DVTW47=0 DVTW48=0 DVTW49=0
DVTW50=0 DVTW51=0 DVTW52=0 DVTW53=0 DVTW54=0 DVTW55=0
DVTW56=0 DVTW57=0 DVTW58=0 DVTW59=0 DVTW60=0 DVTW61=0
DVTW62=0 DVTW63=0 DVTW64=0 DVTW65=0 DVTW66=0 DVTW67=0
DVTW68=0 DVTW69=0 DVTW70=0 DVTW71=0 DVTW72=0 DVTW73=0
DVTW74=0 DVTW75=0 DVTW76=0 DVTW77=0 DVTW78=0 DVTW79=0
DVTW80=0 DVTW81=0 DVTW82=0 DVTW83=0 DVTW84=0 DVTW85=0
DVTW86=0 DVTW87=0 DVTW88=0 DVTW89=0 DVTW90=0 DVTW91=0
DVTW92=0 DVTW93=0 DVTW94=0 DVTW95=0 DVTW96=0 DVTW97=0
DVTW98=0 DVTW99=0 DVTW100=0)
.MODEL PMOS PMOS (LEVEL=49 VERSION=3.1 TNOM=27 TOX=5.8E-9
XJ=1E-7 NCH=4.1289E17 VTH0=-0.5887505 K1=0.6126803
K2=7.85599E-3 K3=0 K3B=3.443158 WD=3E-5 NLX=1E-9 DVTW=0
DVTW2=0 DVTW3=0 DVTW4=0 DVTW5=0 DVTW6=0 DVTW7=0 DVTW8=0
DVTW9=0 DVTW10=0 DVTW11=0 DVTW12=0 DVTW13=0 DVTW14=0
DVTW15=0 DVTW16=0 DVTW17=0 DVTW18=0 DVTW19=0 DVTW20=0
DVTW21=0 DVTW22=0 DVTW23=0 DVTW24=0 DVTW25=0 DVTW26=0
DVTW27=0 DVTW28=0 DVTW29=0 DVTW30=0 DVTW31=0 DVTW32=0
DVTW33=0 DVTW34=0 DVTW35=0 DVTW36=0 DVTW37=0 DVTW38=0
DVTW39=0 DVTW40=0 DVTW41=0 DVTW42=0 DVTW43=0 DVTW44=0
DVTW45=0 DVTW46=0 DVTW47=0 DVTW48=0 DVTW49=0 DVTW50=0
DVTW51=0 DVTW52=0 DVTW53=0 DVTW54=0 DVTW55=0 DVTW56=0
DVTW57=0 DVTW58=0 DVTW59=0 DVTW60=0 DVTW61=0 DVTW62=0
DVTW63=0 DVTW64=0 DVTW65=0 DVTW66=0 DVTW67=0 DVTW68=0
DVTW69=0 DVTW70=0 DVTW71=0 DVTW72=0 DVTW73=0 DVTW74=0
DVTW75=0 DVTW76=0 DVTW77=0 DVTW78=0 DVTW79=0 DVTW80=0
DVTW81=0 DVTW82=0 DVTW83=0 DVTW84=0 DVTW85=0 DVTW86=0
DVTW87=0 DVTW88=0 DVTW89=0 DVTW90=0 DVTW91=0 DVTW92=0
DVTW93=0 DVTW94=0 DVTW95=0 DVTW96=0 DVTW97=0 DVTW98=0
DVTW99=0 DVTW100=0)

```

signal is applied to the second input. Only positive cycle of analog signal $V_1 = 300 \times 10^{-3} (1 + \sin(31.42 \times 10^6 t))$ appears at the output depending on the digital controlled signal (V_2). For half-wave rectifier, the first input is assigned by sinusoidal signal $V_1 = 600 \times 10^{-3} \sin(31.42 \times 10^6 t)$ and the second input is grounded. For full-wave rectifier, sinusoidal and 180° phase different signals are applied to $V_1 = -V_2 = 600 \times 10^{-3} \sin(31.42 \times 10^6 t)$. Figs. 22 and 23, respectively, show the output of half-wave and full-wave applications, which are easily obtained by the proposed algorithm.

5.3. Post-layout and simulation results

Moreover, sample layout by using L-EDIT based on $0.25 \mu\text{m}$ design rule and TSMC MOSIS technology are used to design the proposed circuits, for example, max-circuit and min-circuit, which are, respectively, depicted in Fig. 24(a) and (b). Two input max-circuit is easily constructed by parallelly connecting only three transistors per input. The area of max-circuit around

$798 \mu\text{m}^2$ is occupied. T-Spice post-layout simulation of max circuit and min circuit with TSMC MOSIS level49 model in Table 2 is also, respectively, shown in Figs. 25 and 26 based on $\pm 1.25 \text{ V}$ power supplies. For max circuit, bias voltages are given by the following conditions: $V_{B1} = -0.5 \text{ V}$. For min-circuit, bias voltages are given by the following conditions: $V_{B1} = -0.64 \text{ V}$; $V_{B2} = 0.2 \text{ V}$. Two triangular wave inputs 1 and 5 MHz are applied with identical amplitude $\pm 600 \text{ mV}$. Output waveforms correspond to the maximum and minimum values, but small offset of output is observed ($\approx \pm 10 \text{ mV}$), whose offset is roughly different by 1.66% from the amplitude input.

5.4. Previous works comparisons

The comparisons between previous max-min circuits and the proposed circuits are listed in Table 3. Some of the previous voltage-mode max-min circuits were designed based on WTA transistors with many transistors or some worse performances. Some circuit has produced delay times of around 20 ns. Multiple

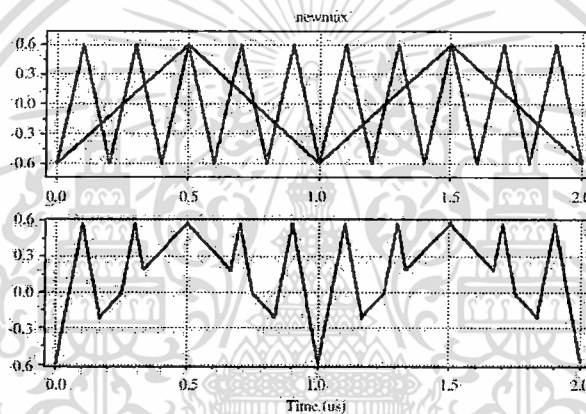


Fig. 25. Post-layout simulation result of max circuit with 1 and 5 MHz triangular inputs.

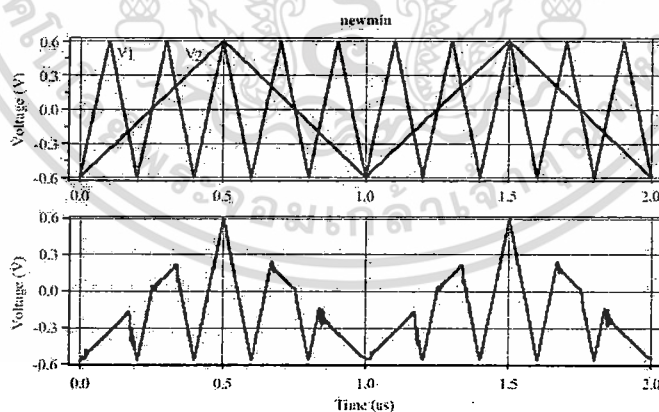


Fig. 26. Post-layout simulation result of min circuit with 1 and 5 MHz triangular inputs.

Table 3
Comparison of previous WTA and the proposed WTA.

Max circuit	Transistors (n-input)	Power supplies (V)	Pulse delay time	Corner error	Z_{out}	Tech (μm)/Area (μm^2)
[13]	$6n+1$	± 5	20 ns	40 mV/10 ns	Low	0.8/NA
[14]	$3n+3$	± 1.5	10 ns	15 mV/15 ns	High	0.5/18700
[15]	$5n$	± 1.5	N/A	15 mV/40 ns	Low	0.5/16340
[16]	$7n+1$	± 5	N/A	25 mV/100 ns	Low	1.6/20048
[17]	$5n+1$	± 1.5	5 ns	15 mV/10 ns	Low	0.25/1800
Proposed	$3n+4$	± 1.25	1.5 ns	10 mV/5 ns	Low	0.25/779

inputs in previous max–min circuits are used at least in $3n+3$ transistors, but high-output impedance is a drawback. All the previously mentioned works used high-power supplies and produce high power consumption. The proposed circuits provide low-area consumption, low number of transistors with low delay time and low-power supplies.

6. Conclusion

A voltage-mode WTA max–min circuits with ± 1.25 V power supplies are proposed. The voltage followers characteristics including low-output impedance, low delay, low THD and wide bandwidth are obtained with a simple configuration. The low delay time is achieved around 1.5 ns and low-THD around 0.8% within 0.6Vp–p input range is obtained. Moreover, the proposed max–min circuits can be easily modified to applications, for example: digital-controlled analog switch, half-wave rectifier and full-wave rectifier. The characteristic of the proposed applications is shown and discussed in order to confirm their performances. The results of max–min circuits are in agreement with the theory based on the winner-take-all algorithm. The application results that are realized by max–min circuit principles are satisfied in 5 MHz inputs. The analog switch algorithm is simply realized based on two inputs of min-circuit. Analog switch result agrees with the digital controlled signal. Full-wave algorithm based on the proposed max circuit and the inverting amplifier based on DDVB are obtained in a full-wave output result. Layout and post-layout simulation also have been provided in order to verify the pre-layout results. Very low-corner errors are detected in both pre-layout and post-layout.

Acknowledgement

The authors would like to express sincere thanks to the Telecommunications Research and Industrial Development Institute (TRIDI) of The Office of National Telecommunications Commission of Thailand (NTC) for kindly supporting the equipments of the research laboratory. Author also would like to thank Mr. Natapong Wongprommoon for their editorial comments which significantly improved the manuscript.

Appendix

The parameters used for calculation in Section 3 are as follows:
 $g_{m1} = 1.83 \times 10^{-4}$ A/V, $g_{m2} = 1.86 \times 10^{-4}$ A/V, $g_{m3} = 2.50 \times 10^{-4}$

A/V, $g_{m4} = 2.48 \times 10^{-4}$ A/V, $g_{m5} = 3.49 \times 10^{-4}$ A/V, $g_{m6} = 5.43 \times 10^{-6}$ A/V, $g_{m7} = 5 \times 10^{-6}$ A/V, $g_{m8} = 1.97 \times 10^{-6}$ A/V, $g_{m9} = 1.95 \times 10^{-6}$ A/V and $g_{m10} = 5.71 \times 10^{-6}$ A/V.

References

- [1] T.R. Viswanathan, CMOS transconductance element, Proceeding of the IEEE 74 (1986) 222–224.
- [2] E. Sockinger, W. Guggenbuhl, A versatile building block: the CMOS differential difference amplifier, IEEE Journal of Solid-State Circuits 22 (2) (1987) 287–294.
- [3] J. Lazzaro, S. Lyckenbush, M.A. Mahowad, C. Mead, Winner take-all of $O(n)$ complexity, in: D.S. Touretzky (Ed.), Advances in Neural Signal Processing Systems, Morgan Kaufmann 1989, pp. 703–711.
- [4] T. Yamakawa, A fuzzy inference engine in nonlinear analog mode, and its applications to a fuzzy logic control, IEEE Transactions on Neural Networks 4 (1993) 496–522.
- [5] I. Baturova, J.L. Huertas, A. Barriga, S. Sánchez-Solano, Current-mode multiple-input max-circuit, Electronics Letters 30 (8) (1994) 678–680.
- [6] C.Y. Huang, B.D. Liu, Current-mode multiple input maximum circuit for fuzzy logic controllers, Electronics Letters 30 (23) (1994) 1924–1925.
- [7] K. Waweysa, B. Strzeszewski, Current mode circuits for programmable WTA Neural Network, Analog Integrated Circuits and Signal Processing 27 (2001) 49–69.
- [8] A. Fish, V. Milrud, O. Yadid-Pecht, High-speed and high-precision current winner-take-all circuit, IEEE Transactions on CAS-II 52 (3) (2005) 131–135.
- [9] S.L. Liu, Y.S. Hwang, J.H. Tsay, CCM-based fuzzy membership function and max/min circuit, Electronics Letters 29 (1) (1993) 116–118.
- [10] T. Inoue, T. Moromura, K. Matsuo, F. Ueno, New OTA-based analog circuits for fuzzy membership functions and max/min operations, IEEE Transactions 74 (11) (1991) 3619–3621.
- [11] T. Inoue, F. Ueno, T. Moromura, O. Setoguchi, R. Matsuo, New high-speed analogue max and min circuits using OTA-based bounded difference operations, Electronics Letters 27 (12) (1991) 1034–1035.
- [12] J.E. Oprea, Rail-to-rail multiple-input min/max circuit, IEEE Transactions on CAS-II 45 (1998) 137–140.
- [13] R.G. Carvajal, J. Martínez-Heredia, J. Ramírez-Angulo, High-speed, high-precision min/max circuits in CMOS technology, Electronics Letters 36 (8) (2000) 697–699.
- [14] J. Ramírez-Angulo, G. Ducoudray-Acevedo, R.G. Carvajal, A. López-Martín, Low-voltage high-performance voltage-mode and current-mode WTA circuits based on flipped voltage followers, IEEE Transactions on CAS-II 52 (7) (2005) 420–424.
- [15] J. Ramírez-Angulo, J.E. Mojarro-Solis, S. Gupta, R.G. Carvajal, A.J. López-Martín, A high-swing, high-speed CMOS WTA using differential flipped voltage followers, IEEE Transactions on CAS-II 54 (8) (2007) 668–672.
- [16] V.A. Pedroni, B.U. Pedroni, Output stage based high-resolution min/max and rank-order filters, IEEE Transactions on CAS-II 52 (1) (2005) 28–32.
- [17] P. Promnee, K. Angkawan, M. Soudumrakonok, K. Dehnan, CMOS-based near zero-offset multiple inputs max–min circuits and its applications, Analog Integrated Circuit and Signal Processing 61 (1) (2009) 93–105.
- [18] P.E. Allen, D.R. Holberg, in: CMOS Analog Circuit Design, Holt, Rinehart and Winston, Inc., 1987.
- [19] W. Chiu, S.L. Liu, H.W. Tsao, J.J. Chen, CMOS differential difference current conveyors and their applications, Proceeding IEEE–Circuits Devices System 143 (2) (1996) 91–96.

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายกิตติคุณ ฉัตรตระกูล
วัน เดือน ปีเกิด	14 พฤศจิกายน พ.ศ.2529 ที่จังหวัดพิจิตร
ที่อยู่	25/87 ซ.รามคำแหง 174 แขวงมีนบุรี เขตมีนบุรี กรุงเทพฯ 10210
ประวัติการศึกษา	สำเร็จการศึกษาปริญญาวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2551 และเข้าศึกษาต่อในระดับปริญญาโท หลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมโทรคมนาคม ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2552
ประสบการณ์การทำงาน	ตำแหน่ง วิศวกร ส่วนประสานงานและแก้ไขเหตุขัดข้อง บริษัท ทีไอที จำกัด มหาชน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้