สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจร CDBA ควบคุมด้วยสัญญาณดิจิตอลและการประยุกต์ใช้งาน

DIGITALLY CONTROLLED CURRENT DIFFERENCING BUFFERED AMPLIFIER AND ITS APPLICATIONS

เลขหมู่.....
เลขทะเบียน.....132973
วัน,เดือน,ปี.....12 ก.ย. 2557

b.12621614
i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ. 2557
KMITL-2014-D-018-055

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DIGITALLY CONTROLLED CURRENT DIFFERENCING BUFFERED AMPLIFIER AND ITS APPLICATIONS

DANUCHA PRASERTSOM

A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
DOCTOR OF ENGINEERING IN ELECTRICAL ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
2014

KMITL-2014-D-018-055

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

COPYRIGHT 2014
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ วงจร CDBA ควบคุมด้วยสัญญาณดิจิตอลและการประยุกต์ใช้งาน
Thesis Title Digitally Controlled Current Differencing Buffered Amplifer and Its Applications
นักศึกษา นายดนุชา ประเสริฐสม
รหัสประจำตัว 51060029
ปริญญา วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา วิศวกรรมไฟฟ้า
อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.วรพงศ์ ตั้งศรีรัตน์
หมายเลขวิทยานิพนธ์ KMITL-2014-D-018-055

คณะกรรมการสอบวิทยานิพนธ์		ลายมือชื่อ
ศ.ดร.วันชัย	ริ้วรุจา	
ผศ.ดร.วรรณดี	เพชรมณีล้ำค่า	
รศ.ดร.ธีระศิลป์	ทุมวิภาต	
ผศ.ดร.ทัตยา	บุคคละนันทน์	
รศ.ดร.วรพงศ์	ตั้งศรีรัตน์	

วัน / เดือน/ ปี ที่สอบ วันพฤหัสบดีที่ 15 พฤษภาคม พ.ศ. 2557 เวลา 10.30-12.30 น.
สถานที่สอบ ณ อาคาร A ชั้น 3 ห้องประชุม 5

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว

(ศาสตราจารย์ ดร.สุชัชวีร์ สุวรรณสวัสดิ์)
คณบดี คณะวิศวกรรมศาสตร์
วันที่ 15 พฤษภาคม พ.ศ. 2557

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจร CDBA ควบคุมด้วยสัญญาณดิจิตอลและการประยุกต์ใช้งาน
นักศึกษา	นายดนุชา ประเสริฐสม
รหัสประจำตัว	51060029
ปริญญา	วิศวกรรมศาสตรดุษฎีบัณฑิต
สาขาวิชา	วิศวกรรมไฟฟ้า
พ.ศ.	2557
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร. วรพงศ์ ตั้งศรีรัตน์

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เป็นการนำเสนอการออกแบบและสังเคราะห์วงจร CDBA (Current Differencing Buffered Amplifier; CDBA) ที่สามารถควบคุมอัตราขยายกระแสได้ด้วยสัญญาณดิจิตอล (Digitally Controlled - CDBA) หรือวงจร DC-CDBA ซึ่งประกอบด้วยวงจรผลต่างกระแส โครงข่ายวงจรหารกระแส (Current Division Network; CDN) และวงจรตามแรงดัน (voltage follower) สำหรับการปรับอัตราขยายกระแสด้วยวิธีทางดิจิตอลได้นำเสนอเทคนิคการใช้วงจรโครงข่ายการหารกระแส ซึ่งวงจร DC-CDBA ที่นำเสนอทำงานที่ไฟเลี้ยงต่ำประมาณ ± 1.25V นอกจากนี้ยังได้แสดงการประยุกต์ใช้งานวงจร DC-CDBA ที่นำเสนอในการสังเคราะห์เป็นวงจรกรองสัญญาณโหมดกระแสหลายฟังก์ชันที่ปรับค่าได้ด้วยสัญญาณดิจิตอล และวงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่โปรแกรมค่าได้ทางดิจิตอล

สำหรับวงจรกรองสัญญาณที่ได้นำเสนอในการประยุกต์ใช้งานนั้นสามารถปรับค่าความถี่เชิงมุมธรรมชาติ (ω_o) และค่าแบนด์วิท (BW) ของวงจรได้โดยการปรับอัตราขยายกระแสที่ควบคุมด้วยสัญญาณดิจิตอล (α) ส่วนวงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร DC-CDBA ที่นำเสนอนั้นสามารถปรับเงื่อนไขในการออสซิลเลตสัญญาณ และค่าความถี่ในการออสซิลเลตได้อิสระต่อกันได้ด้วยสัญญาณดิจิตอล อีกทั้งสามารถสังเคราะห์สัญญาณเอาต์พุตที่มีขนาดสัญญาณเท่ากันแต่มีมุมต่างเฟสกัน 90° ผลการทำงานของวงจรที่ออกแบบขึ้นได้ศึกษาและยืนยันผลด้วยการจำลองการทำงานโดยใช้โปรแกรม PSPICE และผลการต่อวงจรจริงทดสอบโดยใช้ไอซี CFOA (Current Feedback Operational Amplifier) เบอร์ AD844 และ DAC (Digital to Analog Convertor) เบอร์ DAC0800

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Digitally controlled current differencing buffered amplifier and its applications
Student	Mr. Danucha Prasertsom
Student ID.	51060029
Degree	Doctor of Engineering
Program	Electrical Engineering
Year	2014
Thesis Advisor	Assoc.Prof.Dr. Worapong Tangsrirat

ABSTRACT

In this thesis, a design of a low-voltage Digitally Controlled Current Differencing Buffered Amplifier (DC-CDBA) is introduced. The scheme is realized through the cascade connection of a current differencing circuit, a Current Division Network (CDN) and a buffered voltage amplifier. To achieve the digital control of the current gain of the circuit, a novel CDN is also proposed. The proposed DC-CDBA can operate with low supply voltages of ±1.25V. Application examples using the proposed DC-CDBA as active elements in the realizations of the digitally controlled current-mode universal filter and digitally programmable quadrature oscillator circuits are also included.

As the first application, the proposed filter provides an orthogonal electronic adjustment of the natural angular frequency (ω_o) and the bandwidth (BW) through the digital controlled current gain (α). For the second application, the proposed oscillator circuit has an ability of independent digital tuning of the oscillation condition and the oscillation frequency, and capable of generating quadrature sinusoidal outputs with 90° phase difference. The performances of the presented circuits are studied and verified by PSPICE simulation program, and also experimentally tested using commercially available CFOA integrated circuit AD844 and DAC0800 8-bit digital-to-analog converter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จสมบูรณ์ลงได้ด้วยความช่วยเหลือจากอาจารย์และบุคคลหลายท่านดังนี้

รองศาสตราจารย์ ดร. วรพงศ์ ตั้งศรีรัตน์ อาจารย์ผู้ควบคุมวิทยานิพนธ์ที่ได้กรุณา อบรมฝึกฝน ขัดเกลาผู้เขียน ชี้แนะแนวทางในการทำวิจัย ให้โอกาสแก่ผู้เขียน ตลอดจนสั่งสอนให้แนวความคิดต่างๆในการดำเนินชีวิต รวมทั้งยังเป็นแบบอย่างที่ดีให้กับผู้เขียน จึงขอกราบขอบพระคุณเป็นอย่างสูงมา ณ ที่นี้

ขอกราบขอบพระคุณ ศาสตราจารย์ ดร. วัลลภ สุระกำพลธร สำนักงานคณะกรรมการนโยบายวิทยาศาสตร์ เทคโนโลยีและนวัตกรรมแห่งชาติ ที่ให้การสนับสนุนและให้คำปรึกษา ตลอดจนชี้แนะแนวทางในการทำวิทยานิพนธ์นี้ รวมทั้งประสบการณ์อันมีค่าที่ได้จากการทำงานวิจัย

ขอกราบขอบพระคุณรองศาสตราจารย์ ดร. ธีระศิลป์ ทุมวิภาต และรองศาสตราจารย์ สุมาลี อุณหวณิชย์ ภาควิชาวิศวกรรมเครื่องมือวัดและอิเล็กทรอนิกส์ (IEE) คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ ที่เป็นกำลังใจ ให้การสนับสนุนให้คำปรึกษาในเรื่องต่างๆ ให้กำลังใจแก่ผู้เขียน ตลอดจนชี้แนะแนวทางในการทำวิทยานิพนธ์นี้ รวมทั้งคำสอนอันมีค่าแก่ผู้เขียนเสมอมา

ขอกราบขอบพระคุณ ศาสตราจารย์ ดร. วันชัย ริ้วรุจา ที่ได้กรุณาเอื้อเฟื้อให้ใช้สถานที่ตลอดจนเครื่องมือต่างๆ ที่ใช้ในการทดลองและจัดทำวิทยานิพนธ์นี้

ขอขอบคุณวสันต์ ตันเจริญ (พี่ตั้ง) รวมถึงสมาชิกในห้องปฏิบัติการวิจัย Mixed Signal Processing (MSP Lab) ทั้งศึกษาอยู่และสำเร็จการศึกษาไปแล้วทุกคน ที่ได้ให้คำปรึกษาช่วยเหลือในการแก้ไขปัญหาต่างๆ รวมถึงประสบการณ์ชีวิตที่เกิดขึ้นตลอดระยะเวลาของการศึกษาของผู้เขียน

ขอขอบคุณอัจฉรา วัฒนเสรีกุล (มะเหมี่ยว) ที่ได้ช่วยในตรวจทานพิสูจน์อักษรและจัดรูปแบบวิทยานิพนธ์ของผู้เขียน รวมถึงกำลังใจดีๆ ที่มีให้กับผู้เขียนในช่วงจัดทำวิทยานิพนธ์

ขอกราบขอบพระคุณ คุณพ่อวัลลภ และคุณแม่สุภาพร ประเสริฐสม ที่ให้ความห่วงใย ให้กำลังใจให้แง่คิดรวมถึงให้โอกาสแก่ผู้เขียนตลอดมาโดยหวังเพื่อให้ผู้เขียนเป็นคนดีและทำประโยชน์แก่สังคม

สุดท้านนี้กราบขอบพระคุณ คุณตาสวัสดิ์ และคุณยายขันธ์ โรจนกร ที่ดูแลอบรมสั่งสอนผู้เขียนตั้งแต่วัยเยาว์ เพื่อหวังอยากให้ผู้เขียนประสบความสำเร็จในชีวิตเป็นคนดีของ พ่อ แม่ และสังคม

ดนุชา ประเสริฐสม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า

บทคัดย่อภาษาไทย I
บทคัดย่อภาษาอังกฤษ II
กิตติกรรมประกาศ III
สารบัญ IV
สารบัญรูป VII
สารบัญตาราง X

บทที่ 1 บทนำ 1
1.1 ความเป็นมาและความสำคัญของปัญหา 1
1.2 เพราะเหตุใดปัญหานี้จึงน่าสนใจ 2
1.3 หลักการใหม่ที่นำเสนอในวิทยานิพนธ์ 3
1.4 รายละเอียดของวิทยานิพนธ์ 3
1.5 เอกสารอ้างอิงบทที่ 1 5

บทที่ 2 วิวัฒนาการของวงจร CDBA 9
2.1 กล่าวนำ 9
2.2 คุณสมบัติพื้นฐานของวงจร CDBA 10
2.3 การสังเคราะห์วงจร CDBA 11
2.3.1 วงจร CDBA โดยใช้วงจร CFOA 12
2.3.2 วงจร CDBA โดยใช้ทรานซิสเตอร์แบบ CMOS 14
2.3.3 วงจร CDBA โดยใช้ทรานซิสเตอร์แบบไบโพลาร์ 16
2.4 สรุป 17
2.5 เอกสารอ้างอิงบทที่ 2 18

บทที่ 3 วงจร DC-CDBA 21
3.1 กล่าวนำ 21
3.2 คุณสมบัติพื้นฐานของวงจร DC-CDBA 21
3.3 วงจร DC-CDBA ที่นำเสนอ 22
3.3.1 วงจรผลต่างกระแส 23
3.3.2 วงจรโครงข่ายหารกระแส 26
3.3.3 วงจรตามแรงดัน 30
3.4 ผลการจำลองการทำงานของวงจร 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

3.5 ผลการทดลองต่อวงจรจริง 37
3.6 สรุป 51
3.7 เอกสารอ้างอิงบทที่ 3 52
บทที่ 4 วงจรกรองสัญญาณไบควอดราทิกแบบปรับค่าได้ด้วยสัญญาณดิจิตอล 56
4.1 กล่าวนำ 56
4.2 วงจรกรองสัญญาณไบควอดราทิก 57
4.3 วงจรกรองสัญญาณไบควอดราทิกแบบปรับค่าได้ด้วยสัญญาณดิจิตอล โดยใช้วงจร DC-CDBA 59
4.4 ผลการจำลองการทำงานของวงจร 65
4.5 ผลการทดลองต่อวงจรจริง 67
4.6 สรุป 70
4.7 เอกสารอ้างอิงบทที่ 4 74

บทที่ 5 วงจรออสซิลเลเตอร์แบบควอดราเจอร์ 78
5.1 กล่าวนำ 78
5.2 เงื่อนไขในการออสซิลเลตสัญญาณ 78
5.3 หลักการสังเคราะห์วงจรออสซิลเลเตอร์แบบควอดราเจอร์ 80
5.4 การสังเคราะห์วงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร CDBA 82
5.4.1 วงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร CDBA ที่นำเสนอ 83
5.4.2 ผลการจำลองการทำงานวงจร 84
5.4.3 ผลการทดลองต่อวงจรจริง 84
5.5 การสังเคราะห์วงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร DC-CDBA 87
5.5.1 วงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร DC-CDBA ที่นำเสนอ 87
5.5.2 ผลการจำลองการทำงานวงจร 88
5.5.3 ผลการทดลองต่อวงจรจริง 90
5.6 การสังเคราะห์วงจรออสซิลเลตแบบควอดราเจอร์ที่สามารถควบคุมขนาดสัญญาณเอาต์พุตได้โดยใช้วงจร DC-CDBA 95
5.6.1 วงจรออสซิลเลตแบบควอดราเจอร์ที่สามารถควบคุมขนาดสัญญาณเอาต์พุตได้โดยใช้วงจร DC-CDBA ที่นำเสนอ 96
5.6.2 ผลการจำลองการทำงานวงจร 97
5.6.3 ผลการทดลองต่อวงจรจริง 101
5.7 สรุป 103

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

5.8 เอกสารอ้างอิงบทที่ 5 103

บทที่ 6 บทสรุปและข้อเสนอแนะแนวทางในการทำวิจัยต่อ 106

6.1 บทสรุป 106

6.2 ข้อเสนอแนะแนวทางในการทำวิจัยต่อ 107

6.3 เอกสารอ้างอิงบทที่ 6 108

ภาคผนวก 110

ภาคผนวก ก การวิเคราะห์หาค่าคุณสมบัติต่างๆของวงจร DC-CDBA 111

ภาคผนวก ข การวิเคราะห์หาฟังก์ชันถ่ายโอน
ของวงจรกรองสัญญาณไบควอดราทิก 116

ภาคผนวก ค การวิเคราะห์หาสมการคุณลักษณะของวงจรออสซิลเลเตอร์ 126

ภาคผนวก ง บทความวิจัยที่ได้รับการตีพิมพ์ 137

ประวัติผู้เขียน 183

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่ หน้า

2.1 วงจร CDBA 11
2.2 วงจร CFOA 13
2.3 การสังเคราะห์วงจร CDBA โดยใช้วงจร CFOA เบอร์ AD844 13
2.4 วงจร CDBA โดยใช้ทรานซิสเตอร์แบบ CMOS ภายใต้เทคโนโลยี MIETEC 1.2 μm ซึ่งนำเสนอโดย S. Ozoguz, A. Toker and C. Acar 14
2.5 วงจร CDBA โดยใช้ทรานซิสเตอร์แบบ CMOS ซึ่งนำเสนอโดย N. Tarim และ H. Kuntman 15
2.6 วงจร CDBA โดยใช้ทรานซิสเตอร์แบบ CMOS ซึ่งนำเสนอโดย C. Acar และ H. Sedef 16
2.7 วงจร CDBA โดยใช้ทรานซิสเตอร์แบบ NMOS ซึ่งนำเสนอโดย W. Tangsrirat และคณะ 17
2.8 วงจร CDBA โดยใช้ทรานซิสเตอร์แบบไบโพลาร์ 17
3.1 วงจร DC-CDBA ที่นำเสนอ 22
3.2 หลักการออกแบบวงจรผลต่างกระแส 23
3.3 วงจรภาคอินพุตที่มีค่าความต้านทานอินพุตต่ำมาก 24
3.4 วงจรตามกระแส 25
3.5 วงจรผลต่างกระแส 26
3.6 โครงสร้างที่ใช้ในการสังเคราะห์โครงข่ายหารกระแส 27
3.7 วงจรหารกระแส 28
3.8 วงจรโครงข่ายหารกระแสที่นำเสนอ 29
3.9 วงจรตามแรงดัน 31
3.10 วงจร DC-CDBA ที่นำเสนอ 33
3.11 ผลการจำลองคุณสมบัติการส่งผ่านกระแสไฟตรงของวงจร DC-CDBA ที่นำเสนอ 34
3.12 ผลการจำลองผลตอบสนองทางความถี่ของการส่งผ่านกระแสของวงจร DC-CDBA ที่นำเสนอ 35
3.13 ผลการจำลองคุณสมบัติการส่งผ่านแรงดันไฟตรงของวงจร DC-CDBA ที่นำเสนอ 36
3.14 ผลการจำลองผลตอบสนองทางความถี่การส่งผ่านแรงดันของวงจร DC-CDBA ที่นำเสนอ 36
3.15 โครงสร้างวงจร DC-CDBA ที่ใช้ในการทดลอง 37
3.16 โครงสร้างวงจรแปลงแรงดันเป็นกระแสที่ใช้ในการทดลอง 38
3.17 แผ่นพิมพ์ลายวงจร DC-CDBA ที่ใช้ในการทดลอง 39
3.18 ภาพถ่ายวงจร DC-CDBA ที่ใช้ในการทดลอง 39
3.19 ผลการทดสอบคุณสมบัติการส่งผ่านกระแสไฟตรงของวงจร DC-CDBA 40
3.20 ผลการทดสอบผลตอบสนองทางความถี่ของการส่งผ่านกระแสของวงจร DC-CDBA 41
3.21 ผลการทดสอบผลตอบสนองทางความถี่การส่งผ่านกระแสจากขั้ว p ไปยังขั้ว z ของวงจร DC-CDBA 43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

3.22 ผลการทดสอบผลตอบสนองทางความถี่การส่งผ่านกระแสจากขั้ว n ไปยังขั้ว z ของวงจร DC-CDBA...45
3.23 โครงสร้างวงจรที่ใช้ในการทดสอบการส่งผ่านกระแสในทางเวลา.....47
3.24 ผลการทดสอบการส่งผ่านกระแสในทางเวลาจากขั้ว p ไปยังขั้ว z ของวงจร DC-CDBA.....48
3.25 ผลการทดสอบการส่งผ่านกระแสในทางเวลาจากขั้ว n ไปยังขั้ว z ของวงจร DC-CDBA.....49
3.26 โครงสร้างวงจรที่ใช้ในการทดสอบการส่งผ่านแรงดันในทางเวลาจากขั้ว z ไปยังขั้ว w.....50
3.27 ผลการทดสอบการส่งผ่านแรงดันในทางเวลาจากขั้ว z ไปยังขั้ว w ของวงจร DC-CDBA.....50
4.1 ระบบของวงจรกรองสัญญาณ.....57
4.2 โครงสร้างวงจรกรองสัญญาณไบควอดราทิกแบบปรับค่าได้ด้วยสัญญาณดิจิตอลที่นำเสนอ....60
4.3 วงจรอินทิเกรเตอร์แบบไม่สูญเสียที่ใช้วงจร DC-CDBA.....62
4.4 วงจรอินทิเกรเตอร์แบบสูญเสียที่ใช้วงจร DC-CDBA.....63
4.5 วงจรกรองสัญญาณอเนกประสงค์โหมดกระแสแบบปรับค่าได้ด้วยสัญญาณดิจิตอล
โดยใช้วงจร DC-CDBA.....64
4.6 การจำลองการทำงานของวงจรกรองสัญญาณในรูปที่ 4.5.....65
4.7 ผลการจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่
เมื่อแปรค่า $\alpha\,(\alpha_1 = \alpha_2)$.....66
4.8 ผลการจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านทุกความถี่
เมื่อแปรค่า $\alpha\,(\alpha_1 = \alpha_2)$.....66
4.9 ภาพถ่ายการต่อทดลองเป็นวงจรกรองสัญญาณในห้องปฏิบัติการ.....68
4.10 ผลการทดสอบผลตอบสนองทางความถี่ของวงจรกรองสัญญาณที่นำเสนอในรูปที่ 4.5.....69
4.11 ผลการทดสอบผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่
เมื่อแปรค่า α_1 และ α_2.....71
4.12 ผลการทดสอบผลตอบสนองทางความถี่ของวงจรตัดแถบความถี่เมื่อแปรค่า α_1 และ α_2.....72
4.13 ผลการทดสอบผลตอบสนองทางความถี่ของวงจรกรองผ่านทุกความถี่
เมื่อแปรค่า α_1 และ α_2.....73
5.1 โครงสร้างพื้นฐานของวงจรออสซิลเลเตอร์.....79
5.2 โครงสร้างการสังเคราะห์วงจรออสซิลเลเตอร์แบบควอดราเจอร์.....81
5.3 วงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่สังเคราะห์จากวงจร CDBA.....83
5.4 ผลการจำลองการทำงานวงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร CDBA.....85
5.5 ผลการทดสอบสัญญาณเอาต์พุตทางเวลาของวงจรออสซิลเลเตอร์แบบควอดราเจอร์
โดยใช้วงจร CDBA.....86
5.6 ค่าความถี่ในการออสซิลเลตเมื่อแปรค่า R_2.....86

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่ หน้า

5.7 วงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่ปรับค่าได้ด้วยสัญญาณดิจิตอล โดยใช้วงจร DC-CDBA 88

5.8 ผลการจำลองการทำงานวงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร DC-CDBA 89

5.9 ค่าความถี่ในการออสซิลเลตเมื่อแปรค่า α_2 90

5.10 ภาพถ่ายการต่อทดลองในห้องปฏิบัติวงจรออสซิลเลเตอร์แบบควอดราเจอร์ โดยใช้วงจร DC-CDBA 91

5.11 ผลการทดสอบสัญญาณเอาต์พุตทางเวลาของวงจรออสซิลเลเตอร์แบบควอดราเจอร์ โดยใช้วงจร DC-CDBA 92

5.12 แผนภาพลิชชาจัวส์ของแรงดันเอาต์พุต v_{out1} และ v_{out2} 93

5.13 ค่าความถี่ในการออสซิลเลตเมื่อแปรค่า α_2 93

5.14 ผลการทดสอบสเปกตรัมความถี่ของสัญญาณเอาต์พุตของ วงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร DC-CDBA ในรูปที่ 5.7 94

5.15 ระบบอันดับสอง 95

5.16 วงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่สามารถควบคุมขนาดของสัญญาณเอาต์พุตได้ โดยใช้วงจร DC-CDBA 97

5.17 ผลการจำลองการทำงานของวงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่สามารถ ควบคุมขนาดสัญญาณเอาต์พุตได้โดยใช้วงจร DC-CDBA กรณี I_f = 0 A 98

5.18 ผลการจำลองการทำงานแรงดันเอาต์พุต v_{out1} และ v_{out2} ของวงจรออสซิลเลเตอร์ที่นำเสนอ 99

5.19 ผลการทดสอบวงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่สามารถควบคุมขนาดสัญญาณ เอาต์พุตได้โดยใช้วงจร DC-CDBA กรณี I_f = 0 A 101

5.20 ผลการทดสอบแรงดันเอาต์พุต v_{out1} และ v_{out2} ของวงจรออสซิลเลเตอร์ที่นำเสนอ 102

5.21 คุณสมบัติการควบคุมขนาดแรงดันเอาต์พุต v_{out1} และ v_{out2} ต่อการปรับค่า กระแสควบคุม I_f 103

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ หน้า
3.1 ความสัมพันธ์ในการประค่า α กรณีใช้สัญญาณดิจิตอลควบคุมที่ความละเอียด 4 บิต 32
3.2 คุณสมบัติของวงจร DC-CDBA ที่นำเสนอ.....51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรแอนะล็อกฟังก์ชัน (analog function) ที่สามารถปรับค่าคุณสมบัติของวงจรได้ด้วยการโปรแกรมทางอิเล็กทรอนิกส์ถือได้ว่าเป็นวงจรที่มีความน่าสนใจอย่างยิ่ง เนื่องจากสามารถปรับเปลี่ยนคุณสมบัติของวงจรได้โดยการโปรแกรมค่าทางอิเล็กทรอนิกส์ ปราศจากการปรับเปลี่ยนรูปแบบของวงจรหรือปรับเปลี่ยนค่าของอุปกรณ์พาสซีฟภายในวงจร จึงทำให้มีการนำวงจรดังกล่าวไปประยุกต์ใช้ในงานด้านการประมวลผลสัญญาณแอนะล็อกมากมาย เช่น วงจรกรองสัญญาณที่สามารถปรับเปลี่ยนค่าความถี่ได้ (adaptive filter) การสังเคราะห์สัญญาณเสียง (voice synthesizer) และวงจรเลื่อนความถี่ (tracking filter) เป็นต้น [1]-[4] ซึ่งโดยทั่วไปสัญญาณควบคุมภายนอกที่ใช้ในการควบคุมการทำงานของวงจรแอนะล็อกฟังก์ชันนั้นสามารถใช้ได้ทั้งสัญญาณแอนะล็อกและสัญญาณดิจิตอล แต่อย่างไรก็ตามในงานที่ต้องการใช้ไฟเลี้ยงต่ำ หากใช้สัญญาณควบคุมเป็นแรงดันแอนะล็อกช่วงในการปรับค่าแรงดันควบคุมจะถูกจำกัดเนื่องจากระดับแรงดันไฟเลี้ยงของวงจร ดังนั้นจึงทำให้มีผู้วิจัยให้ความสนใจที่จะใช้สัญญาณดิจิตอลมาควบคุมการปรับแต่งค่าคุณสมบัติต่างๆ ของวงจรแทนสัญญาณแอนะล็อก [5] ซึ่งจะเห็นได้จากตัวอย่างการใช้งานการควบคุมการทำงานของวงจรด้วยสัญญาณดิจิตอล โดยใช้การประมวลผลสัญญาณดิจิตอล (Digital Signal Processing; DSP) ในกลุ่มวงจรแอนะล็อกที่ปฏิบัติงานในย่านความถี่ต่ำของระบบการสื่อสารไร้สาย เป็นต้น [5]

เมื่อราวปี ค.ศ. 1999 ได้มีการนำเสนออุปกรณ์แอคทีฟแบบใหม่ชื่อว่า current differencing buffered amplifier หรือ CDBA ขึ้นเป็นครั้งแรก [6] โดยวงจรดังกล่าวได้รับความสนใจจากผู้วิจัยจนถูกนำไปสังเคราะห์เป็นวงจรรวม (Integrated Circuit; IC) ภายใต้เทคโนโลยีทรานซิสเตอร์แบบไบโพลาร์ (bipolar) และซีมอส (CMOS) ขึ้น [7]-[12] วงจร CDBA มีคุณสมบัติน่าสนใจคือประกอบด้วยวงจรผลต่างกระแสและวงจรขยายแรงดันที่มีอัตราการขยายเท่ากับหนึ่ง ทำให้สามารถปฏิบัติงานได้ที่ความถี่สูง มีย่านการปฏิบัติงานที่กว้าง นักวิจัยจึงให้ความสนใจนำวงจร CDBA มาออกแบบประยุกต์ใช้ในวงจรประมวลผลสัญญาณแอนะล็อกอย่างมากมาย [6]-[15] แต่อย่างไรก็ตามพบว่าวงจรประมวลผลสัญญาณที่สังเคราะห์จากวงจร CDBA ที่ได้นำเสนอขึ้นในอดีตนั้นไม่สามารถปรับเปลี่ยนเงื่อนไขของวงจรได้ด้วยการปรับค่าทางอิเล็กทรอนิกส์ ดังนั้นหากสามารถสังเคราะห์วงจร CDBA ที่สามารถควบคุมด้วยสัญญาณดิจิตอลจะทำให้วงจรประมวลผลสัญญาณทางแอนะล็อกที่สังเคราะห์ขึ้นมีความคล่องตัวในการใช้งานสามารถปรับแต่งค่าคุณสมบัติต่างๆ ของวงจรได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 เพราะเหตุใดปัญหานี้จึงน่าสนใจ

วงจรประมวลสัญญาณแอนะล็อกถือได้ว่าเป็นวงจรที่มีความสำคัญในระบบการสื่อสาร ประมวลผลสัญญาณ โดยเฉพาะอย่างยิ่งวงจรกรองสัญญาณ (filter circuit) และวงจรออสซิลเลเตอร์ (oscillator circuit) ซึ่งจะเห็นได้จากในการประมวลผลสัญญาณจำเป็นต้องมีวงจรกรองสัญญาณเพื่อคัดกรองสัญญาณในความถี่ที่ต้องการก่อนนำสัญญาณที่ได้ผ่านขั้นตอนการประมวลผลสัญญาณ เช่น การประมวลผลสัญญาณทางดิจิตอล ในระบบที่มีการรับสัญญาณอินพุตเป็นสัญญาณแอนะล็อก จำเป็นต้องมีวงจรกรองสัญญาณแอนะล็อกเพื่อคัดกรองและกำจัดสัญญาณรบกวนให้ได้สัญญาณอินพุต ในช่วงที่เหมาะสม ก่อนจะนำสัญญาณที่ได้ผ่านวงจรชักสัญญาณ (sampling circuit) และวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอล (Analog to Digital Converter; ADC) [16]-[17] เพื่อนำสัญญาณดังกล่าวไปผ่านขั้นตอนการประมวลผลสัญญาณ เป็นต้น และวงจรออสซิลเลเตอร์ถือว่าเป็นกลุ่มวงจรพื้นฐานที่มีความสำคัญมากอีกวงจรหนึ่ง ในระบบสื่อสาร ระบบประมวลผลสัญญาณ และระบบเครื่องมือวัด [18]-[20] กล่าวคือ เป็นวงจรทำหน้าที่สร้างสัญญาณคลื่นพาห์ในการมอดูเลตเฟสชิพต์คีย์อิง (Phase Shift Keying) แบบควอดราเจอร์แอมปลิจูดมอดูเลชั่น (Quadrature Amplitude Modulation; QAM) สัญญาณควบคุมในระบบมัลติเพลกซ์ และใช้ในระบบการตรวจจับสัญญาณเอเอ็ม [21]-[22] เป็นต้น

จากเหตุผลข้างต้นจะเห็นได้ว่ามีนักวิจัยให้ความสนใจในการสังเคราะห์วงจรกรองสัญญาณและวงจรออสซิลเลเตอร์โดยใช้อุปกรณ์แอคทีฟที่มีสมรรถนะสูงหลายชนิด เช่น วงจร OTA (Operational Transconductance Amplifier) [23]-[24] วงจรออปแอมป์ (operational amplifier) [25] วงจร CDBA [11]-[14] วงจรสายพานกระแส (current conveyor) [26]-[27] และวงจร CDTA (Current Differencing Transconductance Amplifier) [28]-[32] แต่อย่างไรก็ตามพบว่าวงจรที่นำเสนอนั้นยังขาดความคล่องตัวในด้านการนำไปใช้งาน กล่าวคือ วงจรไม่สามารถเปลี่ยนแปลงค่าคุณสมบัติต่างๆ ของวงจรได้ด้วยวิธีการทางอิเล็กทรอนิกส์ [6]-[15], [20], [25] หรือหากมีการเปลี่ยนแปลงค่าคุณสมบัติด้วยวิธีการทางอิเล็กทรอนิกส์ก็ยังพบว่า ยังคงปรับเปลี่ยนโดยใช้สัญญาณแอนะล็อก [23]-[24], [26]-[32] ซึ่งสัญญาณ แอนะล็อกที่ใช้ควบคุมนั้น หากพิจารณาในการประยุกต์ใช้งานจริงจำเป็นต้องมีวงจรที่เป็นส่วนเสริมจากวงจรหลักที่ทำหน้าที่ควบคุมขอบเขตของสัญญาณในการควบคุม เช่น วงจรที่สามารถปรับเปลี่ยนค่าคุณสมบัติต่างๆ ด้วยการใช้กระแสควบคุม หากพิจารณาในส่วนของกระแสควบคุมนั้นจะต้องมีวงจรที่ทำหน้าที่ปรับสัญญาณควบคุมให้เป็นสัญญาณควบคุมแบบกระแส เป็นต้น ด้วยเหตุนี้เองจึงทำให้มีผู้วิจัยให้ความสนใจที่จะใช้แนวทางการปรับค่าคุณสมบัติต่างๆของวงจรด้วยสัญญาณดิจิตอลแทนสัญญาณแอนะล็อกแบบเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 หลักการใหม่ที่นำเสนอในวิทยานิพนธ์

วงจร CDBA เป็นบล็อกอุปกรณ์แอคทีฟชนิดหนึ่งที่นิยมนำไปใช้ในการสังเคราะห์และออกแบบวงจรประมวลผลสัญญาณแอนะล็อก ซึ่งจากการติดตามงานวิจัยพบว่านักวิจัยได้ให้ความสำคัญในการสังเคราะห์วงจร CDBA ภายใต้เทคโนโลยีทรานซีสเตอร์แบบไบโพล่าและซีมอสอย่างมากมาย [6]-[12] แต่จากการติดตามงานวิจัยดังกล่าว ยังไม่พบว่ามีนักวิจัยเล็งเห็นถึงความสำคัญในการพัฒนาวงจร CDBA ในด้านการปรับเปลี่ยนคุณสมบัติของวงจร โดยในวิทยานิพนธ์ฉบับนี้ได้นำเสนอการสังเคราะห์วงจร CDBA ที่สามารถควบคุมด้วยสัญญาณดิจิตอลหรือในวิทยานิพนธ์ฉบับนี้ใช้ชื่อย่อว่า DC-CDBA (Digitally Controlled Current Differencing Amplifier) เพื่อเปลี่ยนค่าคุณสมบัติต่างๆของวงจรได้ เช่น เปลี่ยนแปลงอัตราการส่งผ่านกระแสผลต่างจากขั้ว p และขั้ว n ไปยังขั้ว z จากเดิมที่มีอัตราการส่งผ่านกระแสผลต่างเท่ากับหนึ่งให้สามารถปรับค่าอัตราการส่งผ่านแรงดันได้ด้วยการควบคุมจากสัญญาณทางดิจิตอลจะทำให้วงจร DC-CDBA มีความน่าสนใจ และในการประยุกต์ใช้งานหากนำวงจร DC-CDBA ไปสังเคราะห์เป็นอุปกรณ์แอคทีฟหลักจะทำให้วงจรที่สังเคราะห์ขึ้นมีความคล่องตัวและง่ายต่อการปรับเปลี่ยนค่าคุณสมบัติต่างๆของวงจร

ดังนั้นวิทยานิพนธ์ฉบับนี้จึงได้นำเสนอวงจร DC-CDBA และการประยุกต์ใช้งาน โดยนำวงจรที่นำเสนอไปประยุกต์ใช้งานเพื่อสังเคราะห์เป็นวงจรกรองสัญญาณและวงจรออสซิลเลเตอร์ ซึ่งจะเห็นได้ว่าวงจรดังกล่าวมีความคล่องตัวในการใช้งาน กล่าวคือ วงจรกรองสัญญาณสามารถปรับค่าความถี่เชิงมุมธรรมชาติ (natural angular frequency, ω_0) ได้โดยการควบคุมทางดิจิตอล และวงจรออสซิลเลเตอร์สามารถปรับเปลี่ยนเงื่อนไขในการออสซิลเลต (oscillation condition) ความถี่ในการออสซิลเลต (oscillation frequency) ได้ด้วยการควบคุมจากสัญญาณดิจิตอลโดยไม่ต้องปรับเปลี่ยนรูปแบบของวงจรหรือค่าอุปกรณ์พาสซีฟ

1.4 รายละเอียดของวิทยานิพนธ์

ภายในวิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 6 บท และภาคผนวก 4 ภาค โดยแต่ละบทมีรายละเอียดดังต่อไปนี้

บทที่ 1 บทนำซึ่งได้กล่าวถึงวัตถุประสงค์ของวิทยานิพนธ์ หลักการใหม่ของวิทยานิพนธ์และรายละเอียดเนื้อหาโดยสรุปแต่ละบท

บทที่ 2 เป็นการกล่าวถึงลำดับวิวัฒนาการของวงจร CDBA ที่ได้มีการพัฒนาและนำเสนอจากอดีตจนถึงปัจจุบัน

บทที่ 3 กล่าวถึงคุณสมบัติพื้นฐานของวงจร DC-CDBA ที่ประกอบด้วย วงจรผลต่างกระแส วงจรโครงข่ายหารกระแส และวงจรตามแรงดัน อีกทั้งยังได้แสดงการออกแบบสังเคราะห์วงจร รวมถึงการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทดสอบคุณสมบัติของวงจร DC-CDBA ที่ได้นำเสนอโดยวิธีการจำลองการทำงานด้วยโปรแกรม PSPICE และผลการต่อวงจรทดลอง

บทที่ 4 นำเสนอหลักการพื้นฐานของวงจรกรองสัญญาณไบควอดราทิกรวมถึงได้นำเสนอการประยุกต์ใช้วงจร DC-CDBA ในการสังเคราะห์เป็นวงจรกรองสัญญาณที่สามารถปรับค่าความถี่เชิงมุธรรมชาติได้โดยใช้การควบคุมทางดิจิตอล และผลการจำลองการทำงานของวงจรโดยใช้โปรแกรม PSPICE รวมถึงการยืนยันการทำงานด้วยการต่อวงจรทดลอง

บทที่ 5 นำเสนอการพัฒนาวงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร CDBA สู่การใช้วงจร DC-CDBA เป็นอุปกรณ์แอคทีฟหลักเพื่อเพิ่มประสิทธิภาพและข้อจำกัดของวงจรให้สามารถปรับเปลี่ยนเงื่อนไขในการออสซิลเลตและความถี่ในการออสซิลเลต ได้ด้วยการควบคุมจากสัญญาณดิจิตอลโดยไม่ต้องปรับเปลี่ยนรูปแบบของวงจรหรือค่าอุปกรณ์พาสซีฟ อีกทั้งยังนำเสนอหลักการสังเคราะห์วงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่สามารถควบคุมแอมปลิจูดของสัญญาณได้โดยใช้วงจร DC-CDBA เป็นอุปกรณ์แอคทีฟหลัก คุณสมบัติการทำงานทั้งหมดยืนยันได้ด้วยผลการจำลองการทำงานของวงจรโดยใช้โปรแกรม PSPICE และผลการทดลองจากการต่อวงจรจริง โดยใช้ไอซีเบอร์ AD844 และเบอร์ DAC0800

บทที่ 6 บทสรุปและข้อเสนอแนะแนวทางเพื่อนำไปพัฒนาและวิจัยต่อไป

ส่วนท้ายของวิทยานิพนธ์จะเป็นภาคผนวก ซึ่งแสดงการวิเคราะห์คุณสมบัติและสมการที่ใช้ภายในแต่ละบทเอาไว้ ดังมีรายละเอียดต่อไปนี้

ภาคผนวก ก เป็นการวิเคราะห์หาค่าคุณสมบัติต่างๆ ของวงจร DC-CDBA ที่นำเสนอ

ภาคผนวก ข เป็นการวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณอันดับสองของวงจรกรองสัญญาณที่นำเสนอ

ภาคผนวก ค เป็นการวิเคราะห์หาสมการคุณลักษณะ ค่าความไว เงื่อนไขในการออสซิลเลตสัญญาณ ค่าความถี่ในการออสซิลเลตสัญญาณ ของวงจรออสซิลเลเตอร์ที่นำเสนอ

ภาคผนวก ง บทความวิจัยที่เกี่ยวข้องที่ได้รับการตีพิมพ์ในวารสารและการประชุมทางวิชาการวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์ในระดับนานาชาติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.5 เอกสารอ้างอิงบทที่ 1

[1] A. Petraglia and S. Mitra, "Switched-capacitor equalizers with digitally programmable tuning characteristics", **IEEE Transactions on Circuits and Systems**, vol.38, no.11, pp.1322-1331, 1991.

[2] N. Paulino, J. E. Franca and F. P. Martins, "Programmable CMOS switched-capacitor biquad using quasi-passive algorithmic DAC's", **IEEE Journal of Solid-State Circuits**, vol.30, no.6, pp.715-719, 1995.

[3] N. Paulino and J.E. Franca, "A CMOS digitally programmable current multiplier", **Proceedings of 1996 IEEE International Symposium on Circuits and Systems (ISCAS'96)**, vol.1, May 12-15, pp.254-257, 1996.

[4] A. Mazurek and K. Wawryn, "Programmable current mode circuits", **Proceedings of The 8th IEEE International Conference on Electronics Circuits and Systems (ICECS 2001)**, vol.2, Sept. 2-5, pp.553-556, 2001.

[5] A. A. El-Adawy, A. M. Soliman and H. O. Elwan, "Low-voltage digitally controlled CMOS current conveyor", **International Journal of Electronics and Communications (AEU)**, vol.56, no.3, pp.137-144, 2002.

[6] C. Acar and S. Ozoguz, "A new versatile building block : current differencing buffered amplifier suitable for analog signal processing filters", **Microelectronics Journal**, vol.30, pp.157-160, 1999.

[7] S. Ozoguz, A. Toker and C. Acar, "Current-mode continuous-time fully-integrated universal filter using CDBAs", **Electronics Letters**, vol.35, no.2, pp.97-98, 1999.

[8] W. Tangsrirat, W. Surakampontorn and N. Fujii, "Realization of leapfrog filters using current differential buffered amplifiers", **IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences**, vol. E86-A, pp.318-326, 2003.

[9] H. Sedef and C. Acar, "On the realization of voltage-mode filters using CDBA", **Frequenz**, vol.54, pp.198-202, 2000.

[10] N. Tarim and H. Kuntman, "A high performance current differencing buffered amplifier", **Proceedings of the 13th IEEE International Conference on Microelectronics**, Rabat, Morocco, pp.153-156, 2001.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[11] C. Acar and H. Sedef, "Realization of nth-order current transfer function using current differencing buffered amplifiers", **International Journal of Electronics**, vol.90, no.4, pp.277-283, 2003.

[12] W. Tangsrirat, K. Klahan, T. Dumawipata and W. Surakampontorn, "Low-voltage NMOS-based current differencing buffered amplifier and its application to current-mode ladder filter design", **International Journal of Electronics**, vol.93, no.11, pp.777-791, 2006.

[13] W. Tangsrirat, T. Pukkalanun and W. Surakampontorn, "CDBA-based universal biquad filter and quadrature oscillator", **Active and Passive Electronic Components**, vol. 2008, 2008.

[14] J. W. Horng, "Current differencing buffered amplifiers based single resistance controlled quadrature oscillator employing grounded capacitors", **IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences**, vol.E85-A, pp.1416-1419, 2002.

[15] W. Tangsrirat and S. Pisitisitchalermpong, "CDBA-based quadrature sinusoidal oscillator", **Frequenz**, vol.61, no.3-4, pp. 102-104, 2007.

[16] A. Jiraseree-Amornkun, "Electronically Tunable Analog Filters for Baseband Applicationtions", Doctoral Degree. Thesis of Faculty of Engineering King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand, 2007.

[17] T. Pukkalanun, "Resistorless Realization of Current-Mode First-Order Allpass Section and Two-Integrator Loop Filter Structures Using CDTAs", Doctoral Degree. Thesis of Faculty of Engineering King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand, 2010.

[18] P. Horowitz and W. Hill, **The Art of Electronics**, Cambridge University Press, pp.291, 1991.

[19] U. Tietze, and C. Schenk, Electronic Circuits : Design and Applications, Berlin Germany, **Springer**, 1991, pp.795-796.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[20] M. T. Abuelma'atti and M. A. Ai'Quahatani, "Low component second generation current conveyor-based multiphasesinusoidal oscillator", **International Journal of Electronics**, vo1.84, no.1, pp.45-52, 1998.

[21] W. Leon Cauch, **Digital and analog communication system**, Macmillan publishing company, 1987.

[22] C.W. Lee, "An Analysis of polyphase envelope detection", **IEEE Transactions on Communications**, vo1.21, no.8, pp. 967-969, 1973.

[23] M. T. Ahmed, I. A. Khan and N. Minhaj, "On transconductance-C quadrature oscillators", **International Journal of Electronics**, vol. 82, no.2, pp.201-207, 1997.

[24] I. A. Khan and S. Khwaja, "An integrable gm-C quadrature oscillator", **International Journal of Electronics**, vol.87, no.11, pp.1353-1357, 2000.

[25] J. Stephan G. Gift, "Multiphase sinusoidal system using operational amplifiers", **International Journal of Electronics**, vol.83, no.1, pp.61-67, 1997.

[26] D. Wu, S. Liu, Y. Hwang, and Y. Wu, "Multiphase sinusoidal oscillator using second-generator current conveyors", **International Journal of Electronics**, vol. 78, pp. 645–651, 1995.

[27] M. T. Ahmed and M. A Ai'Quahatani, "New current-controlled multiphase sinusoidal oscillator using translinear current conveyors", **IEEE Transactions on Circuits and Systems**, vol.45, no.7, pp.881- 885, 1998.

[28] A. U. Keskin, D. R. Biolek, E. Hancioglu and V. Biolkova, "Current-mode KHN filter employing current differencing transconductance amplifiers", **International Journal of Electronics and Communications (AEU)**, vol. 60, pp.443-446, 2006.

[29] W. Tangsrirat and W. Surakampontorn, "Systematic realization of cascadable current-mode filter using current differencing transconductance amplifiers", **Freruenz**, vol.60, pp.241-245, 2006.

[30] W. Tangsrirat, T. Dumawipata and W. Surakampontorn, "Multiple-input single-output current-mode multifunction filter using current differencing transconductance amplifiers", **International Journal of Electronics and Communications (AEU)**, vol.61, pp.209-214, 2007.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[31] D. Prasad, D. R. Bhaskar, and A. K. Singh, "Universal current-mode biquad filter using dual output current differencing transconductance amplifier", **International Journal of Electronics and Communications (AEU)**, vol.63, pp.497-501, 2009.

[32] A. U. Keskin and D. Biolek, "Current mode quadrature oscillator using current differencing transconductance amplifiers (CDTA)", **IEE Proceedings Circuits Devices and Systems**, vol. 153, no. 3, pp. 214-218, 2003.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
วิวัฒนาการของวงจร CDBA

2.1 กล่าวนำ

ด้วยความเจริญรุดหน้าทางด้านวิทยาศาสตร์และเทคโนโลยีเป็นผลให้วิทยาการต่างๆ ในปัจจุบันมีความเจริญมากขึ้น ทำให้มนุษย์สามารถผลิตเครื่องมือเครื่องจักรที่มีประสิทธิภาพสูงเพื่อสร้างนวัตกรรมหรือองค์ความรู้ใหม่ในแขนงต่างๆของวิทยาศาสตร์และเทคโนโลยีได้ เช่นเดียวกันกับวิวัฒนาการของสารกึ่งตัวนำ (semiconductor) และอุปกรณ์อิเล็กทรอนิกส์ ซึ่งมีการวิวัฒนาการจากลักษณะแบบแยกส่วนหรือแบบดิสครีท (discrete) จนกระทั่งมาเป็นรูปแบบของวงจรรวม (integrated circuit) หรือที่เรียกว่าไอซี (IC) เช่นเดียวกับการประมวลผลสัญญาณแอนะล็อกที่ได้มีการพัฒนาออกแบบวงจรโดยการนำอุปกรณ์แอคทีฟ (active device) ต่อร่วมกับอุปกรณ์พาสซีฟ (passive device) เพื่อเพิ่มประสิทธิภาพและคุณสมบัติการทำงานของวงจร ซึ่งจากการติดตามผลงานวิจัยในอดีตที่ผ่านมานี้ พบว่ามีการนำเสนอวงจรสำหรับการประมวลผลสัญญาณแอนะล็อกรูปแบบต่างๆ ขึ้นมากมาย อาทิเช่น วงจรกรองสัญญาณ วงจรออสซิลเลเตอร์ เป็นต้น วงจรที่นำเสนอเหล่านี้ล้วนใช้อุปกรณ์แอคทีฟเป็นหัวใจหลักในการสังเคราะห์วงจรแทบทั้งสิ้น [1]-[6]

ออปแอมป์ (Operational Amplifier; OA) เป็นอุปกรณ์แอคทีฟในยุคแรก ที่มีการนำมาใช้งานกันอย่างแพร่หลาย เนื่องจากมีคุณสมบัติเด่นหลายประการ เช่น มีจำหน่ายทั่วไปตามท้องตลาดราคาไม่สูง รูปแบบของวงจรง่ายไม่ซับซ้อน เป็นต้น แต่อย่างไรก็ตามขนาดของแรงดันเอาต์พุตสูงสุดของออปแอมป์จะถูกจำกัดด้วยระดับแรงดันอิ่มตัวของออปแอมป์ ซึ่งขึ้นอยู่กับขนาดของแหล่งจ่ายไฟเลี้ยงที่ป้อนให้ ทั้งยังไม่สามารถปรับแต่งค่าอัตราการขยายด้วยวิธีการทางอิเล็กทรอนิกส์และทำงานในโหมดแรงดัน โอทีเอ (Operational Transconductance Amplifier; OTA) เป็นอุปกรณ์แอคทีฟในยุคถัดมาซึ่งถูกพัฒนาขึ้นเพื่อลดจำนวนอุปกรณ์พาสซีฟที่ใช้ในการออกแบบและสังเคราะห์วงจรลง โดยมีย่านการทำงานกว้างและสามารถปรับแต่งคุณสมบัติในการทำงานของวงจรได้ด้วยวิธีการทางอิเล็กทรอนิกส์ โดยการควบคุมค่าอัตราขยายค่าความนำ (transconductance gain, g_m) แต่ข้อด้อยของโอทีเอคืออัตราขยายค่าความนำของวงจรนั้นขึ้นอยู่กับค่าอุณหภูมิความร้อน (thermal voltage, V_T) ทำให้คุณสมบัติในการทำงานของวงจรเปลี่ยนแปลงไปตามอุณหภูมิรอบข้าง หลังจากนั้นในปี ค.ศ. 1968 อุปกรณ์แอคทีฟอีกชนิดหนึ่งที่ถูกพัฒนาขึ้นก็คือ วงจรสายพานกระแส (Current Conveyor; CC) ได้ถูกนำเสนอขึ้นเป็นครั้งแรกโดย K. C. Smith และ A. S. Sedra [7]-[8] โดยเป็นอุปกรณ์แอคทีฟที่มีสามขั้วคือ ขั้วอินพุต x, y และขั้วเอาต์พุต z ในทางอุดมคติพบว่าคุณสมบัติของวงจรสายพานกระแสมีค่าความต้านทานอินพุตที่ขั้ว y เป็นอนันต์และค่าความต้านทานที่ขั้วอินพุต x มีค่าเท่ากับศูนย์ แรงดันอินพุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ขั้ว y จะถูกส่งผ่านไปปรากฏเป็นแรงดันที่ขั้ว x และกระแสที่ไหลผ่านขั้ว x จะถูกส่งผ่านไปเป็นกระแสเอาต์พุตที่ขั้ว z หรือกล่าวได้ว่าวงจรสายพานกระแสนั้นประกอบด้วยวงจรตามสัญญาณสองวงจร คือ วงจรตามแรงดัน (voltage follower) และวงจรตามกระแส (current follower) ด้วยคุณสมบัติดังกล่าวทำให้การสังเคราะห์และออกแบบวงจรประมวลผลสัญญาณแอนะล็อกโดยใช้วงจรสายพานกระแสนั้น เกิดความยืดหยุ่นและคล่องตัวมากขึ้น นอกจากนี้ยังสามารถลดจำนวนอุปกรณ์พาสซีฟที่ต้องใช้ในการสังเคราะห์วงจรลงไปได้อีกด้วย ต่อมาราวปี ค.ศ. 1999 C. Acar และ S. Ozoguz ได้นำเสนออุปกรณ์แอคทีฟแนวใหม่ชื่อว่าวงจร CDBA (Current Differencing Buffered Amplifier) ขึ้น [9] ซึ่งประกอบด้วยวงจรภายในที่สำคัญสองส่วน คือ วงจรผลต่างกระแส (current differencing circuit) และวงจรตามแรงดัน พร้อมทั้งได้แสดงแนวทางการประยุกต์ใช้ในการสังเคราะห์ฟังก์ชันถ่ายโอนแรงดันและฟังก์ชันถ่ายโอนกระแส เพื่อแสดงให้เห็นว่าวงจร CDBA ที่นำเสนอขึ้นนั้นมีขั้นตอนและรูปแบบวงจรที่ง่ายและไม่ซ้ำซ้อน เหมาะสมกับการนำไปประยุกต์ใช้เป็นอุปกรณ์แอคทีฟหลักสำหรับออกแบบและสังเคราะห์วงจรประมวลผลสัญญาณแอนะล็อก เช่น วงจรกรองสัญญาณ วงจรออสซิลเลเตอร์ เป็นต้น [9]-[22] ซึ่งนับว่าเป็นประเด็นที่น่าสนใจไม่น้อย ดังนั้นในวิทยานิพนธ์บทนี้จึงกล่าวถึงหลักการทำงานพื้นฐานของวงจร CDBA พร้อมทั้งวิวัฒนาการของวงจร CDBA ที่ได้มีการออกแบบขึ้นจากอดีตจนถึงปัจจุบัน

2.2 คุณสมบัติพื้นฐานของวงจร CDBA

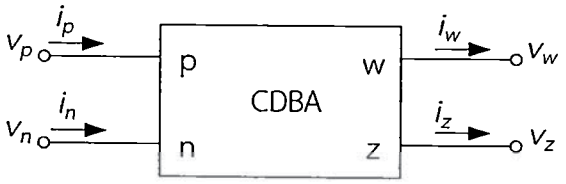
วงจร CDBA เป็นอุปกรณ์แอคทีฟแบบสี่ขั้ว ซึ่งมีสัญลักษณ์ของวงจรแสดงได้ดังรูปที่ 2.1(ก) เมื่อขั้ว p และขั้ว n คือขั้วอินพุต และขั้ว w และขั้ว z คือขั้วเอาต์พุตของวงจร ตามลำดับ ความสัมพันธ์ระหว่างแรงดันกับกระแสของวงจร CDBA สามารถเขียนอธิบายได้ดังเมตริกต่อไปนี้

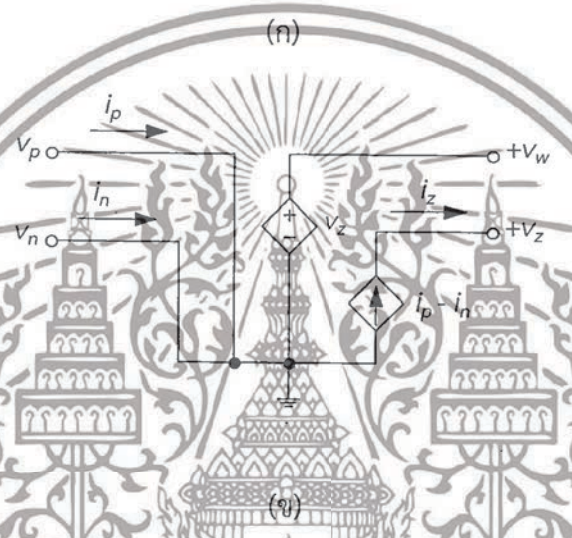
$$\begin{bmatrix} i_z \\ v_w \\ v_p \\ v_n \end{bmatrix} = \begin{bmatrix} 0 & 0 & 1 & -1 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_z \\ i_w \\ i_p \\ i_n \end{bmatrix} \tag{2.1}$$

จากสมการ (2.1) แสดงให้เห็นว่าวงจร CDBA ประกอบด้วยวงจรหลักที่สำคัญสองส่วน คือ วงจรผลต่างกระแสและวงจรตามแรงดันซึ่งสามารถเขียนแสดงได้ด้วยวงจรสมมูลทางไฟฟ้าดังรูปที่ 2.1(ข) โดยกระแสที่ไหลผ่านขั้ว z นั้น จะมีค่าเท่ากับผลต่างของกระแสอินพุตที่ไหลเข้าขั้ว p กับขั้ว n ดังนั้นในที่นี้ขั้ว z จึงถูกเรียกว่าขั้วเอาต์พุตแบบผลต่างกระแส (current differencing output) และเรียกขั้ว p และขั้ว n ว่าขั้วอินพุตไม่กลับเฟส (noninverting input) และขั้วอินพุตกลับเฟส (inverting input) ตามลำดับ และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันอินพุตที่ขั้ว p และ n ต้องมีค่าเท่ากับศูนย์ ($v_p = v_n = 0$) นอกจากนี้ผลต่างของกระแสอินพุต ($i_p - i_n$) จะถูกเปลี่ยนไปเป็นแรงดันเอาต์พุตที่ขั้ว w (v_w) โดยผลของกระแสที่ไหลผ่านค่าอิมพิแดนซ์ที่ต่ออยู่ที่ขั้ว z ดังนั้นจึงกล่าวได้ว่าวงจร CDBA มีคุณสมบัติเสมือนกับวงจรขยายส่งผ่านค่าความต้านทาน (transimpedance amplifier)





รูปที่ 2.1 วงจร CDBA

(ก) สัญลักษณ์ทางไฟฟ้า (ข) วงจรสมมูลทางไฟฟ้า

2.3 การสังเคราะห์วงจร CDBA

ด้วยความเจริญก้าวหน้าของวงการอุตสาหกรรมอิเล็กทรอนิกส์ ทำให้การออกแบบและสังเคราะห์วงจร CDBA นั้น ได้ถูกพัฒนาขึ้นมาหลากหลายวิธีอาทิเช่น การใช้วงจรรวมสำเร็จรูป CFOA (Current-Feedback Operational Amplifier) [9] มาสังเคราะห์เป็นวงจร CDBA ซึ่งมีความสะดวก เรียบง่าย ไม่ซับซ้อน หรือการใช้เทคโนโลยีแบบซีมอส [10]-[13] และไบโพลาร์ [14] มาสังเคราะห์เป็นวงจร CDBA ดังนั้นในหัวข้อนี้จึงขอกล่าวถึงการสังเคราะห์วงจร CDBA ภายใต้เทคโนโลยีรูปแบบต่างๆ ดังรายละเอียดต่อไปนี้

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.1 วงจร CDBA โดยใช้วงจร CFOA

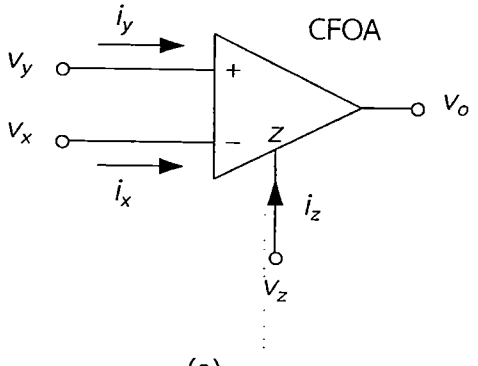
วงจร CFOA เป็นออปแอมป์ชนิดหนึ่งที่นิยมใช้กันอย่างกว้างขวางในวงจรประมวลผลสัญญาณแอนะล็อก [23]-[24] วงจร CFOA นับว่าเป็นอุปกรณ์แอคทีฟชนิดหนึ่งที่มีสี่ขั้ว ซึ่งมีสัญลักษณ์ทางไฟฟ้าแสดงได้ดังรูปที่ 2.2(ก) โดยที่ขั้ว x และ y คือขั้วอินพุต และขั้ว z และ o คือขั้วเอาต์พุตของวงจร คุณสมบัติของวงจร CFOA สามารถเขียนอธิบายความสัมพันธ์ได้ดังนี้

$$\begin{bmatrix} i_y \\ v_x \\ i_z \\ v_o \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} v_y \\ i_x \\ v_z \\ i_o \end{bmatrix} \tag{2.2}$$

จากสมการ (2.2) พบว่าวงจร CFOA ประกอบด้วยวงจรที่สำคัญสองส่วน คือ วงจรตามกระแสและวงจรตามแรงดัน กล่าวคือ กระแสที่ไหลเข้าขั้วอินพุต y จะมีค่าเท่ากับศูนย์ ($i_y = 0$) และแรงดันอินพุตที่ป้อนเข้าขั้ว y จะถูกส่งผ่านไปปรากฏยังขั้ว x ($v_x = v_y$) ในขณะที่กระแสที่ขั้ว z นั้นมีค่าเท่ากับกระแสอินพุตที่ไหลเข้าขั้ว x ($i_z = i_x$) และแรงดันที่ขั้ว z จะถูกส่งผ่านไปยังขั้วเอาต์พุตแรงดัน o ดังนั้นจึงสามารถเขียนอธิบายคุณสมบัติในการทำงานของวงจร CFOA ได้ด้วยวงจรสมมูลทางไฟฟ้าดังรูปที่ 2.2(ข) ในปัจจุบันวงจร CFOA ได้ถูกนำมาผลิตและสร้างขึ้นเป็นไอซีที่มีจำหน่ายตามท้องตลาดและที่นิยมใช้กันอย่างแพร่หลายก็คือ เบอร์ AD844 ของบริษัท Analog Devices

ในการสังเคราะห์วงจร CDBA โดยใช้วงจร CFOA ถูกนำเสนอขึ้นเป็นครั้งแรกโดย C. Acar และ S. Ozoguz ในปี ค.ศ.1999 ดังแสดงรูปที่ 2.3 [9] ซึ่งสามารถทำได้โดยต่อขั้ว y ที่มีค่าความต้านทานอินพุตสูงของวงจร CFOA ทั้งสองตัวลงกราวด์เพื่อทำให้ค่าแรงดันที่ส่งไปยังขั้ว x มีค่าเท่ากับศูนย์ ส่งผลให้ค่าความต้านทานด้านอินพุตของวงจร CDBA มีค่าเท่ากับศูนย์หรือใกล้เคียงอุดมคติมากที่สุด ดังนั้นจึงใช้ขา x ของวงจร CFOA ทำหน้าที่เป็นภาครับสัญญาณอินพุตกระแสของวงจร ในส่วนของสัญญาณเอาต์พุตผลต่างกระแสที่ขั้ว z และแรงดันเอาต์พุตที่ขั้ว w สามารถต่อใช้งานจากวงจร CFOA ตัวที่สองได้โดยตรง ซึ่งได้แสดงรูปแบบการสังเคราะห์วงจร CDBA โดยใช้วงจร CFOA เบอร์ AD844 ดังรูปที่ 2.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)

รูปที่ 2.2 วงจร CFOA

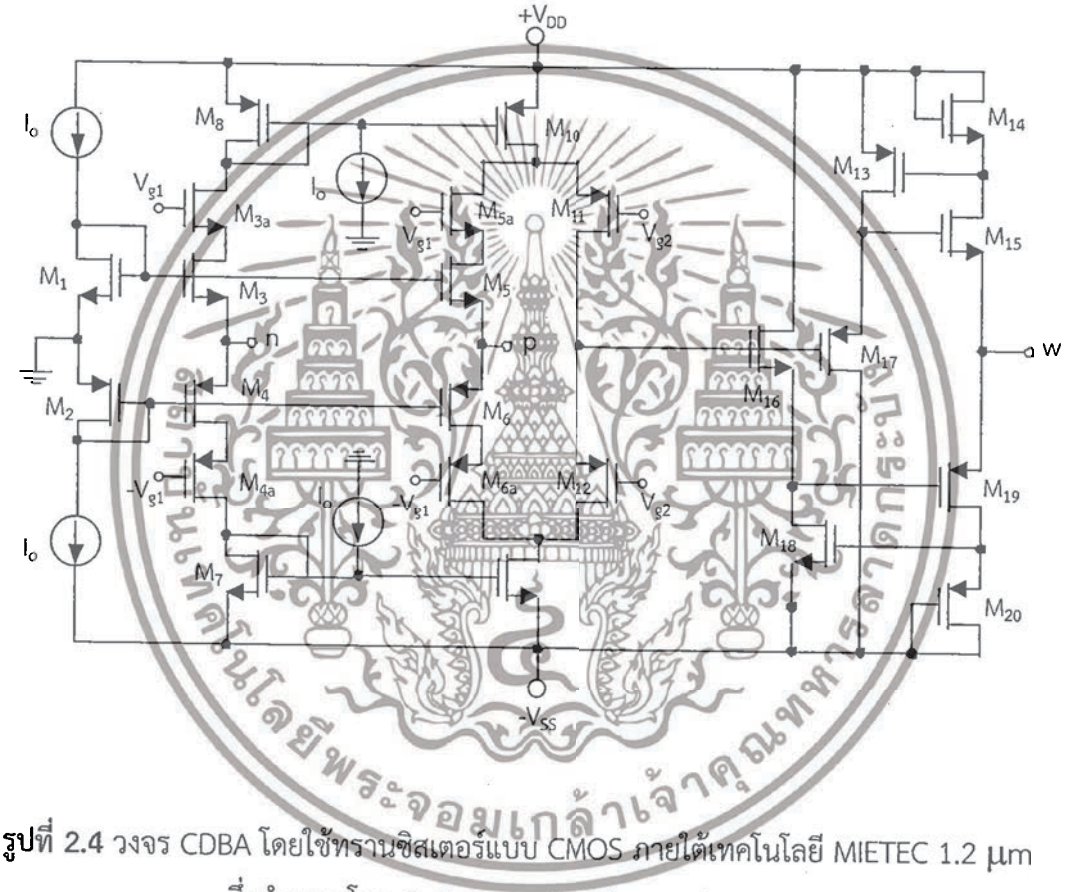
(ก) สัญลักษณ์ทางไฟฟ้า (ข) วงจรสมมูลทางไฟฟ้า

รูปที่ 2.3 การสังเคราะห์วงจร CDBA โดยใช้วงจร CFOA เบอร์ AD844

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 วงจร CDBA โดยใช้ทรานซิสเตอร์แบบ CMOS

ปัจจุบันเทคโนโลยีทรานซิสเตอร์แบบ CMOS ได้มีบทบาทสำคัญในการสังเคราะห์วงจรแอนะล็อกฟังก์ชันต่างๆ มากมาย เนื่องจากสามารถทำงานได้ที่แหล่งจ่ายไฟเลี้ยงต่ำ สิ้นเปลืองกำลังงานไฟฟ้าต่ำ และยังใช้พื้นที่ในการสร้างวงจรน้อย ด้วยเหตุผลดังกล่าวจึงทำให้มีผู้วิจัยหลายกลุ่มได้ออกแบบและสังเคราะห์วงจร CDBA แบบใช้เทคโนโลยี CMOS ขึ้นมาหลายรูปแบบ อาทิเช่น วงจร CDBA แบบใช้เทคโนโลยี CMOS MIETEC 1.2 μm ดังรูปที่ 3.6 ซึ่งถูกนำเสนอเมื่อปี ค.ศ. 1999 โดย S. Ozoguz, A. Toker and C. Acar [10]

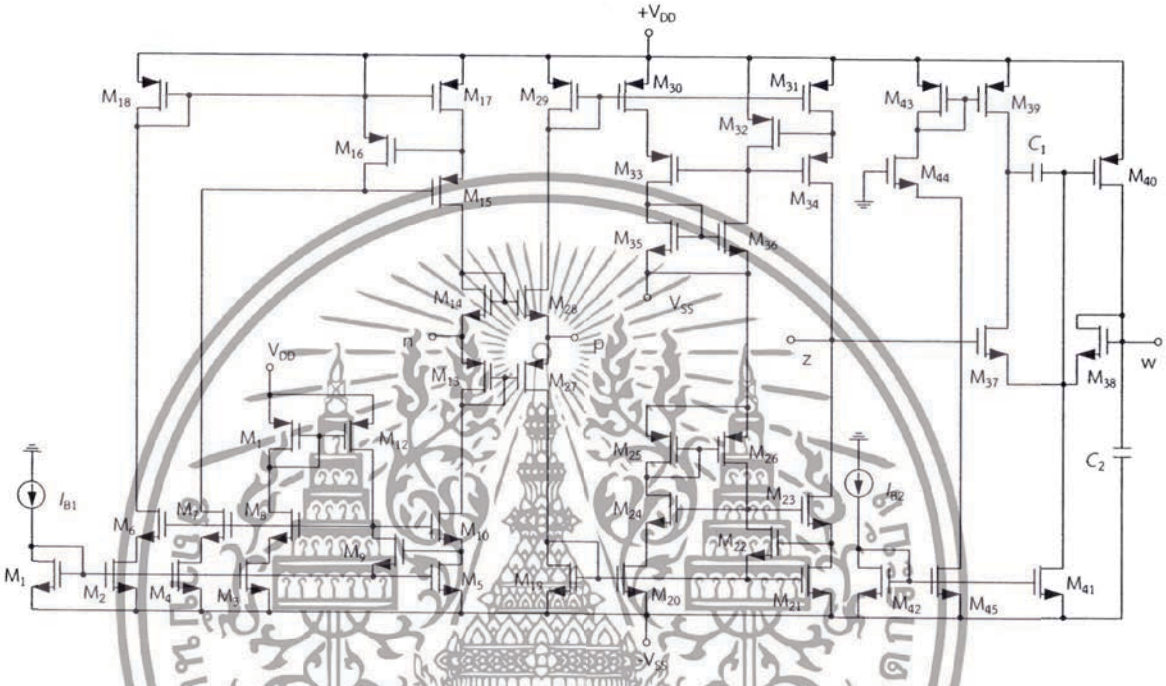


รูปที่ 2.4 วงจร CDBA โดยใช้ทรานซิสเตอร์แบบ CMOS ภายใต้เทคโนโลยี MIETEC 1.2 μm ซึ่งนำเสนอโดย S. Ozoguz, A. Toker and C. Acar

ต่อมาในปี ค.ศ. 2001 ได้มีการนำเสนอวงจร CDBA โดย N. Tarim และ H. Kuntman [11] ผู้วิจัยทั้งสองมีแนวคิดว่าวงจร CDBA นั้นประกอบด้วยวงจรสายพานกระแสรุ่นที่สองต่อร่วมอยู่กับวงจรตามแรงดัน จึงได้ทำการออกแบบโครงสร้างภายในวงจรออกเป็นสองวงจรหลัก คือ วงจรแรกจะเป็นส่วนของวงจรผลต่างกระแส M_1-M_{36} ทำหน้าที่ส่งสัญญาณผลต่างกระแสจากขั้วอินพุต p และขั้วอินพุต n ไปยังขั้วเอาต์พุต z โดยใช้วงจรทรานลิเนียร์ (translinear circuit) ทำหน้าที่เป็นวงจรภาครับอินพุตกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และวงจรตามแรงดัน M_{37}-M_{45} ทำหน้าที่ส่งผ่านแรงดันจากขั้ว z ไปยังขั้ว w วงจร CDBA ที่นำเสนอในกรณีนี้มีย่านการปฏิบัติงานประมาณ 40 MHz ค่าความต้านทานขั้วอินพุต p และ n มีค่าประมาณ 6 kΩ ค่าความต้านทานขั้วเอาต์พุต z และ w มีค่าประมาณ 600 MΩ และ 400 Ω ตามลำดับ แต่อย่างไรก็ตามการนำไปสร้างเป็นวงจรรวมยังค่อนข้างทำได้ลำบากเนื่องจากมีตัวเก็บประจุต่อลอยตัวอยู่ภายในวงจรจำนวนหนึ่งตัว ทั้งยังใช้กระแสไบอัสในวงจรที่มีค่าแตกต่างกัน



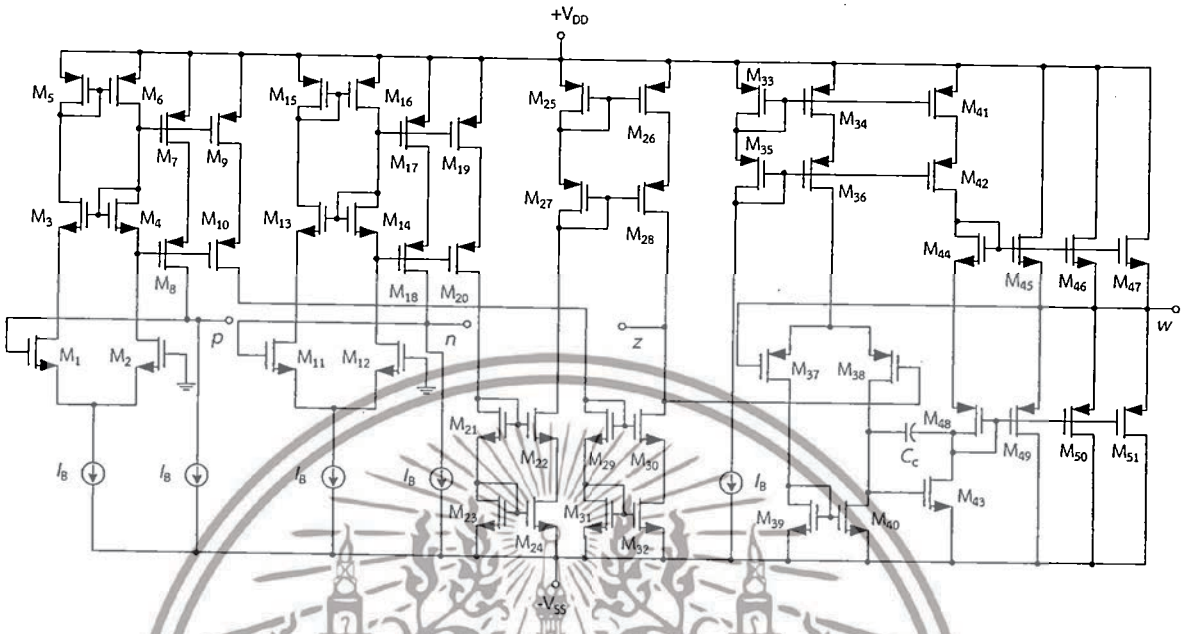
รูปที่ 2.5 วงจร CDBA โดยใช้ทรานซิสเตอร์แบบ CMOS ซึ่งนำเสนอโดย N. Tarim และ H. Kuntman

ต่อมาในปี ค.ศ. 2003 C. Acar และ H. Sedef ได้ปรับปรุงวงจร CDBA ขึ้นใหม่ดังแสดงในรูปที่ 2.6 [12] แต่ยังคงยึดหลักโครงสร้างวงจรเดิมที่ N. Tarim และ H. Kuntman ได้นำเสนอไว้ [11] โดยเปลี่ยนวงจรทรานลิเนียร์แบบเดิมมาใช้วงจรขยายสัญญาณผลต่าง (differential amplifier) M_1-M_{32} ทำหน้าที่เป็นวงจรภาคอินพุต ในส่วนของวงจรตามแรงดันได้ใช้ทรานซิสเตอร์แบบมอส M_{33}-M_{51} ทำหน้าที่ส่งผ่านแรงดันจากขั้ว z ไปยังขั้ว w วงจรทั้งสองส่วนใช้กระแสไบอัสเท่ากันทั้งวงจร มีอัตราสลูสูง (high slew-rate) และย่านการปฏิบัติงานกว้าง รวมทั้งสามารถนำไปสังเคราะห์เป็นวงจรรวมได้ง่าย

อย่างไรก็ตามแม้ว่าก่อนหน้านี้ได้มีผู้นำเสนอวิธีการสังเคราะห์วงจร CDBA ด้วยทรานซิสเตอร์แบบ CMOS ขึ้นมาบ้างแล้ว แต่คุณสมบัติของวงจรพบว่ายังมีย่านการปฏิบัติงานทางความถี่ไม่สูงมาก ค่าความต้านทานที่ขั้วอินพุตยังมีค่าสูงอยู่และใช้ทรานซิสเตอร์เป็นจำนวนมาก รวมทั้งการนำไปสร้างเป็นวงจรรวมก็ทำได้ลำบากเนื่องจากมีตัวเก็บประจุต่อลอยตัวอยู่ภายในวงจร ทำให้ W. Tangsrirat และคณะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มีแนวคิดในการนำเสนอการออกแบบวงจร CDBA แบบใช้ทรานซิสเตอร์แบบ NMOS ทั้งหมด ซึ่งแสดงได้ดังรูปที่ 2.7 [13]



รูปที่ 2.6 วงจร CDBA โดยใช้ทรานซิสเตอร์แบบ CMOS ซึ่งนำเสนอโดย C. Acar และ H. Sedef

โดยใช้ทรานซิสเตอร์ (M_1-M_5) และ (M'_1-M'_5) ทำหน้าที่เป็นวงจรภาครับสัญญาณกระแสอินพุตที่มีค่าความต้านทานต่ำมาก ทำให้วงจรสามารถส่งผ่านสัญญาณผลต่างกระแสจากขั้ว *p* และขั้ว *n* ไปยังขั้ว *z* ได้ใกล้เคียงอุดมคติมากขึ้น ทรานซิสเตอร์ M_{14}-M_{17} ทำหน้าที่เป็นวงจรส่งผ่านแรงดันจากขั้ว *z* ไปยังขั้ว *w* ค่าความต้านทานที่ขั้ว *p* ขั้ว *n* ขั้ว *z* และ ขั้ว *w* มีค่าประมาณ 13.5 Ω 13.5 Ω 292 kΩ และ 13.5 Ω ตามลำดับ และใช้แรงดันไฟเลี้ยงต่ำประมาณ ± 1.25 V วงจรมีย่านการปฏิบัติงานทางความถี่สูงเนื่องจากออกแบบโดยเลือกใช้ทรานซิสเตอร์แบบ NMOS มาสังเคราะห์วงจรทั้งหมด ซึ่งต่างจากวงจรที่นำเสนอมาก่อนหน้านี้ที่ใช้ทรานซิสเตอร์แบบ PMOS ต่อร่วมอยู่ในวงจร ทำให้ย่านความถี่ปฏิบัติงานถูกจำกัดด้วยโพลเด่น (dominant pole) ของทรานซิสเตอร์แบบ PMOS

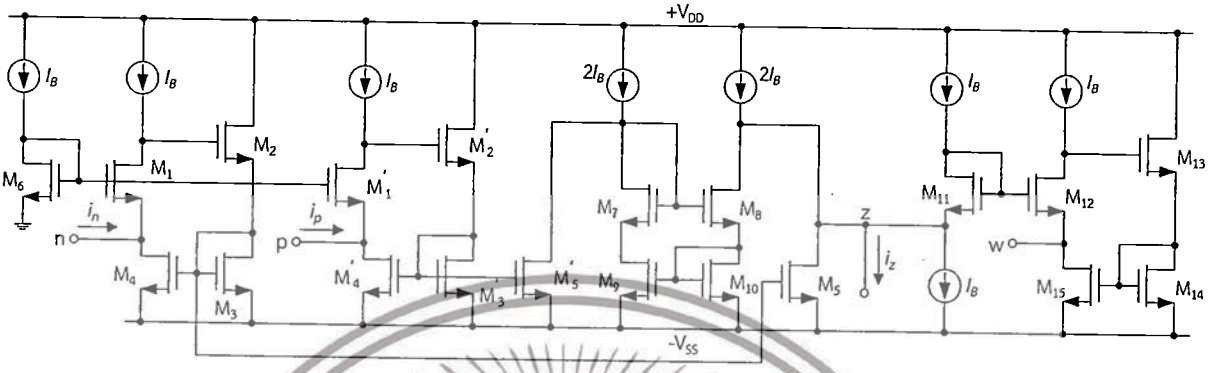
2.3.3 วงจร CDBA โดยใช้ทรานซิสเตอร์แบบไบโพลาร์

รูปที่ 2.8 แสดงวงจร CDBA ที่สังเคราะห์ขึ้นมาจากทรานซิสเตอร์แบบไบโพลาร์ซึ่งถูกนำเสนอขึ้นโดย W. Tangsrirat และคณะในปี ค.ศ. 2003 [14] ภายในวงจรใช้ทรานซิสเตอร์ Q_1-Q_4 และ Q_7-Q_{11} ทำหน้าที่เป็นวงจรภาครับกระแสที่มีค่าความต้านทานอินพุตต่ำมาก วงจรสะท้อนกระแส Q_{12}-Q_{13} ทำหน้าที่ส่งผ่านกระแสเพื่อให้เกิดผลต่างของกระแสอินพุตทั้งสองของวงจร ในส่วนของวงจรตามแรงดันจะใช้ทรานซิสเตอร์ Q_{14}-Q_{17} ต่อเป็นวงจรขยายสัญญาณคอลเลคเตอร์ร่วมแบบสมมาตร (complementary

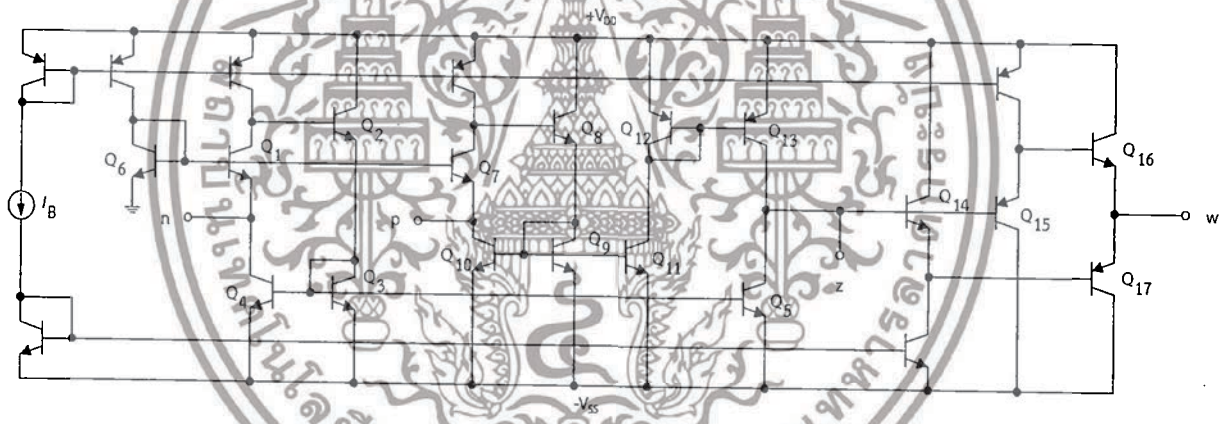
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

common-collector) สองชุดต่อร่วมกัน วงจร CDBA ในกรณีนี้มีค่าความต้านทานเมื่อมองเข้าไปที่ขั้ว *p* *n* *w* และ *z* มีค่าเท่ากับ 10 Ω 10 Ω 150 Ω และ 110 MΩ ตามลำดับ และใช้แรงดันไฟเลี้ยงต่ำประมาณ 2 V



รูปที่ 2.7 วงจร CDBA โดยใช้ทรานซิสเตอร์แบบ NMOS ซึ่งนำเสนอโดย W. Tangsrirat และคณะ



รูปที่ 2.8 วงจร CDBA โดยใช้ทรานซิสเตอร์แบบไบโพลาร์

2.4 สรุป

ในบทนี้กล่าวถึงวิวัฒนาการของการสังเคราะห์ของวงจร CDBA ซึ่งมีแนวทางการสังเคราะห์วงจร CDBA ที่สามารถแบ่งออกได้สามแนวทาง คือ แนวทางแรกสังเคราะห์โดยใช้วงจร CFOA เบอร์ AD844 โดยแนวทางนี้มีจุดเด่น คือสามารถสร้างวงจร CDBA ได้ง่าย แต่มีข้อด้อยคือวงจรที่สังเคราะห์ขึ้นมีย่านการปฏิบัติงานของวงจรที่ต่ำ มีสัญญาณรบกวนมาก เนื่องจากเป็นอุปกรณ์แบบดิสครีต แนวทางที่สองการสังเคราะห์วงจร CDBA โดยใช้ทรานซิสเตอร์แบบมอส ซึ่งจะพบว่าแนวทางการออกแบบวงจร CDBA ได้นำหลักการสร้างวงจรกลุ่มย่อยประกอบด้วยวงจรหลักสองวงจร คือ วงจรผลต่างกระแสและ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
132973

วงจรส่งผ่านแรงดัน โดยการใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส ซึ่งหากมองในด้านกระบวนการนำไปสร้างเป็นวงจรรวมสามารถได้ง่ายกว่าแบบที่สร้างด้วยทรานซิสเตอร์แบบไบโพลาร์เนื่องจากมีกระบวนการผลิตที่ไม่ซับซ้อน ส่วนแนวทางสุดท้ายจะเป็นเป็นการสังเคราะห์วงจร CDBA ด้วยทรานซิสเตอร์แบบไบโพลาร์โดยโครงสร้างวงจรที่สังเคราะห์คล้ายกับแนวทางที่สอง วงจรมีย่านการปฏิบัติงานสูงขึ้น ลดสัญญาณรบกวนจากภายนอก

อย่างไรก็ตามหากพิจารณาคุณสมบัติในการทำงานของวงจร CDBA ดังสมการ (2.2) จะเห็นว่ากระแสเอาต์พุตที่ขั้ว z มีค่าเป็นผลต่างระหว่างกระแสอินพุตที่ขั้ว p กับขั้ว n กระแส ในขณะเดียวกันแรงดันตกคร่อมที่ขั้ว z จะถูกส่งผ่านแรงดันไปปรากฏเป็นแรงดันที่ขั้วเอาต์พุต w ดังนั้นหากพิจารณาในการสังเคราะห์วงจร CDBA ที่อาศัยหลักการป้อนกลับของสัญญาณแรงดันเอาต์พุตกลับมายังกระแสอินพุตของวงจร CDBA จึงจำเป็นต้องใช้อิมพีแดนซ์จากภายนอกเป็นองค์ประกอบสำคัญในการปรับคุณสมบัติของวงจร [6] นอกจากนี้เมื่อพิจารณาในแง่ของการปรับแต่งคุณสมบัติของวงจรแล้ว จะพบว่าการออกแบบวงจรฟังก์ชันแอนะล็อกโดยใช้วงจร CDBA นั้นไม่สามารถทำการปรับเฉพาะคุณสมบัติของวงจรได้ด้วยวิธีการทางอิเล็กทรอนิกส์ เหมือนกับการออกแบบวงจรโดยใช้วงจร OTA หรือวงจร CCCII ซึ่งจากปัญหาดังกล่าววิทยานิพนธ์ฉบับนี้จึงได้นำเสนอแนวทางการปรับปรุงรูปแบบการทำงานของวงจร CDBA ขึ้นมาใหม่ โดยใช้รูปแบบการปรับอัตราการส่งผ่านสัญญาณผลต่างกระแสไปยังขั้ว z ของวงจร CDBA ให้สามารถปรับอัตราการส่งผ่านกระแสได้ด้วยการใช้สัญญาณดิจิตอลในการควบคุม โดยจะได้กล่าวรายละเอียดในบทถัดไป

2.5 เอกสารอ้างอิงบทที่ 2

[1] F. E. J. Gerling and E. F. Good, "Active filters 12 : the leapfrog or active-ladder synthesis", Wireless World, vol. 76, pp. 341-345, 1970.

[2] M. E. Valkenburg, Analog Filters Design, New York : Oxford University Press, 1982.

[3] R. Schaumann, M. S. Ghausi and K. R. Laker, Design of Analog Filters : Passive Active RC and Switched Capacitor, Prentice-Hall, 1990.

[4] วรพงศ์ ตั้งศรีรัตน์ "**บล็อกวงจรรวมแอคทีฟสำหรับการสังเคราะห์แอนะล็อกฟังก์ชันเชิงระบบทำงานในโหมดกระแส**" วิทยานิพนธ์ปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2546

[5] สุเมธี พิสิฐเฉลิมพงศ์ "**การสังเคราะห์วงจรออสซิลเลเตอร์รูปคลื่นซายน์แบบควอดราเจอร์และแบบหลายเฟสโดยใช้วงจร CDBA**" วิทยานิพนธ์ปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมระบบควบคุม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2550

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[6] วรพงศ์ ตั้งศรีรัตน์ **การออกแบบและสังเคราะห์วงจรกรองสัญญาณแอนะล็อกและวงจรออสซิลเลเตอร์** มีนเซอร์วิสซัพพลาย กรุงเทพมหานคร 2554

[7] K. C. Smith and A. S. Sedra, "The current conveyor – a new circuit building block", **Proceedings of the IEEE**, Vol. 56, pp.1368-1369, 1968.

[8] A. S.Sedra and K. C. Smith, "A second generation current conveyor and its applicaton", **IEEE Transactions on Circuit Theory**, vol. CT-17, pp.132-134, 1970.

[9] C. Acar and S. Ozoguz, "A new versatile building block : current differencing buffered amplifier suitable for analog signal processing filters", **Microelectronics Journal**, vol.30, pp.157-160, 1999.

[10] S. Ozoguz, A. Toker and C. Acar, "Current-mode continuous-time fully-integrated universal filter using CDBAs", **Electronics Letters**, vol.35, no.2, pp.97-98, 1999.

[11] N. Tarim and H. Kunman, "A high performance current differencing buffered amplifier", **Proceedings of the 13th IEEE International Conference on Microelectronics**, pp. 153-156, 2001.

[12] C. Acar and H. Sedef, "Realization of nth-order current transfer function using current differencing buffered amplifiers", **International Journal of Electronics**, vol.90, no.4, pp.277-283, 2003.

[13] W. Tangsrirat, K. Klahan, T. Dumawipata and W. Surakampontorn, "Low-voltage NMOS-based current differencing buffered amplifier and its application to current-mode ladder filter design", **International Journal of Electronics**, vol.93, no.11, pp.777-791, 2006.

[14] W. Tangsrirat, W. Surakampontorn and N. Fujii, "Realization of leapfrog filters using current differential buffered amplifiers", **IEICE Transactions on Fundamental of Electronics, Communications and Computer Sciences**, vol. E86-A, pp.318-326, 2003.

[15] H. Sedef and C. Acar, "On the realization of voltage-mode filters using CDBA", **Frequenz**, vol.54, pp.198-202, 2000.

[16] W. Tangsrirat, T. Pukkalanun and W. Surakampontorn, "CDBA-based universal biquad filter and quadrature oscillator", **Active and Passive Electronic Components**, vol. 2008, 2008.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[17] J. W. Horng, "Current differencing buffered amplifiers based single resistance controlled quadrature oscillator employing grounded capacitors", **IEICE Transactions on Fundamental of Electronics**, vol.E85-A, pp.1416-1419, 2002.

[18] W. Tangsrirat and S. Pisitisitchalermpong, "CDBA-based quadrature sinusoidal oscillator", **Frequenz**, vol.61, no.3-4, pp. 102-104, 2007.

[19] A. U. Keskin, "Voltage-mode high-Q band-pass filters and oscillators employing single CDBA and minimum number of components", **International Journal of Electronics**, vol. 92, pp. 479 –487, 2005.

[20] J.W. Hong, "Current conveyors based allpass filters and quadrature oscillators employing grounded capacitors and resistors", **International Journal of Electronics and Communications (AEU)**, vol. 31, pp. 81-92, 2005.

[21] P. A. Matinez, S. Celma and J. Sabadell, "Designing sinusoidal oscillators with current feedback amplifiers", **International Journal of Electronics**, vol. 80, no. 5, pp. 637-636, 1996.

[22] S. I. Liu and J. H. Tsay, "Single resistance controlled sinusoidal oscillator using current feedback amplifier", **International Journal of Electronics**, vol. 80, no. 5, pp. 661-664, 1996.

[23] J. A. Svoboda, L. McGory and S. Webb, "Applications of a commercially available current conveyor", **International Journal of Electronics**, vol. 70, no. 1, pp. 159-164, 1991.

[24] T. Nagasagu, A. Hyogo and K. Sekine, "A synthesis of a novel current-mode operational amplifier", **Analog Integrated Circuits and Signal Processing**, vol. 11, pp. 183-185, 1996.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

วงจร DC-CDBA

3.1 กล่าวนำ

ราวปี ค.ศ. 1999 มีกลุ่มนักวิจัยได้นำเสนอวงจร CDBA ขึ้นเป็นครั้งแรก [1] โดยวงจรภายในประกอบด้วยวงจรผลต่างกระแสและวงจรตามแรงดัน ทำให้สามารถปฏิบัติงานได้ทั้งในโหมดแรงดันและโหมดกระแส มีช่วงการปฏิบัติงานสูงเช่นเดียวกับวงจรทำงานในโหมดกระแส [2]-[13] ดังจะเห็นได้ว่ามีนักวิจัยให้ความสนใจนำวงจร CDBA มาออกแบบและสังเคราะห์วงจรประมวลผลสัญญาณแอนะล็อกต่างๆ มากมายโดยเฉพาะวงจรกรองสัญญาณและวงจรออสซิลเลเตอร์ [14]-[23] อย่างไรก็ตามวงจรประมวลผลสัญญาณแอนะล็อกที่สังเคราะห์จากวงจร CDBA ไม่สามารถปรับเปลี่ยนคุณสมบัติของวงจรทางอิเล็กทรอนิกส์ได้ กล่าวคือ หากต้องการปรับเปลี่ยนคุณสมบัติบางประการของวงจร เช่น ค่าความถี่เชิงมุมธรรมชาติในวงจรกรองสัญญาณ หรือค่าความถี่ในการออสซิลเลตและเงื่อนไขของการออสซิลเลตในวงจรออสซิลเลเตอร์ จะต้องมีการปรับเปลี่ยนรูปแบบของวงจร หรือ ต้องมีการปรับเปลี่ยนค่าอุปกรณ์พาสซีฟในวงจร ซึ่งทำให้เกิดความยุ่งยากแก่ผู้ใช้งาน อีกทั้งยังไม่รองรับการปรับคุณสมบัติของวงจรโดยอาศัยอุปกรณ์ในการปรับค่าทางอิเล็กทรอนิกส์หรือการควบคุมด้วยการโปรแกรม (programmable)

ดังนั้นวิทยานิพนธ์ฉบับนี้จึงได้นำเสนอวงจร CDBA ที่สามารถควบคุมด้วยสัญญาณดิจิตอล (Digitally Controlled – CDBA) หรือวงจร DC-CDBA ขึ้น โดยนำสัญญาณดิจิตอลมาควบคุมอัตราการส่งผ่านกระแสผลต่างระหว่างขั้ว p และขั้ว n ไปยังขั้ว z ซึ่งอัตราการส่งผ่านกระแสผลต่างนี้จะมีความสัมพันธ์กับบิตควบคุมดิจิตอลของวงจร (digital control bit) ทำให้วงจร DC-CDBA ที่นำเสนอมีความคล่องตัวและยืดหยุ่นต่อการนำไปใช้งานมากยิ่งขึ้น อีกทั้งยังเหมาะสมกับระบบควบคุมและประมวลผลเชิงเลขที่มีการใช้สัญญาณควบคุมแบบดิจิตอลอีกด้วย

3.2 คุณสมบัติพื้นฐานของวงจร DC-CDBA

วงจร DC-CDBA เป็นอุปกรณ์แอคทีฟชนิดหนึ่ง ซึ่งมีสัญลักษณ์ทางไฟฟ้าดังรูปที่ 3.1(ก) โดยมีความสัมพันธ์ระหว่างแรงดันและกระแสของวงจรเป็นดังนี้

$$\begin{bmatrix} i_z \\ v_w \\ v_p \\ v_n \end{bmatrix} = \begin{bmatrix} 0 & 0 & \alpha & -\alpha \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_z \\ i_w \\ i_p \\ i_n \end{bmatrix} \tag{3.1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ α คือ อัตราขยายกระแสที่สามารถควบคุมได้จากสัญญาณดิจิตอล จากสมการ (3.1) จะเห็นว่าวงจร DC-CDBA ที่นำเสนอประกอบด้วยวงจรภายในที่สำคัญสามวงจรดังแสดงในรูปที่ 3.1(ข) คือวงจรแรกเป็นส่วนอินพุตของวงจร ซึ่งทำหน้าที่เป็นวงจรผลต่างกระแสอินพุตจากกระแสที่ไหลเข้าขั้ว p และ n โดยผลต่างกระแสดังกล่าวจะถูกส่งผ่านไปยังขั้ว x วงจรที่สองทำหน้าที่ปรับอัตราขยายกระแสโดยใช้วงจรโครงข่ายหารกระแส (Current Division Network circuit; CDN) ซึ่งควบคุมอัตราการส่งผ่านกระแสด้วยสัญญาณดิจิตอล จากนั้นสัญญาณผลต่างกระแสที่มีการปรับอัตราขยายกระแสเท่ากับ α จะถูกส่งผ่านออกไปทางขั้ว z และวงจรสุดท้ายจะเป็นวงจรตามแรงดันทำหน้าที่ส่งผ่านแรงดันที่ขั้ว z ไปยังขั้ว w โดยมีอัตราขยายเท่ากับหนึ่ง ซึ่งรายละเอียดของการสังเคราะห์วงจรจะได้กล่าวถึงในหัวข้อถัดไป

รูปที่ 3.1 วงจร DC-CDBA ที่นำเสนอ
(ก) สัญลักษณ์ทางไฟฟ้า (ข) โครงสร้างวงจร

3.3 วงจร DC-CDBA ที่นำเสนอ

ในหัวข้อนี้จะกล่าวถึงการออกแบบและสังเคราะห์วงจร DC-CDBA โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซีมอส จากคุณสมบัติพื้นฐานของวงจร DC-CDBA จะเห็นได้ว่าประกอบด้วยวงจรหลักสามส่วนคือ วงจรผลต่างกระแส วงจรโครงข่ายหารกระแส และวงจรตามแรงดัน ซึ่งหลักการและขั้นตอนการออกแบบวงจรแต่ละส่วนนั้น สามารถอธิบายได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

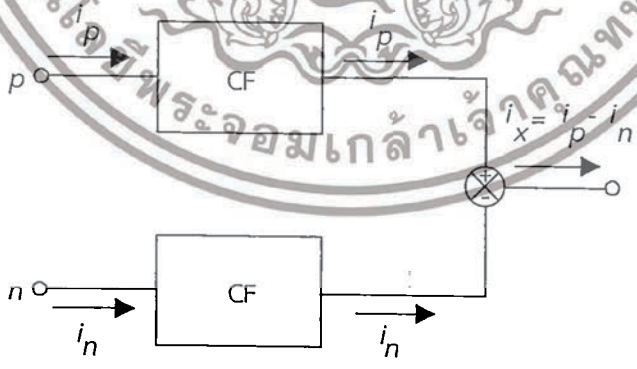
3.3.1 วงจรผลต่างกระแส

วงจร DC-CDBA เป็นวงจรที่มีการรับสัญญาณอินพุตแบบกระแสดังรูปที่ 3.1(ข) โดยมีขั้ว p และขั้ว n ทำหน้าที่เป็นขั้วอินพุตรับกระแสอินพุตเพื่อหาผลต่างของสัญญาณกระแส ดังนั้นค่าความต้านทานอินพุตของวงจรจึงต้องมีค่าต่ำมาก หรือต้องมีค่าเท่ากับศูนย์ในทางอุดมคติ ซึ่งการออกแบบวงจรผลต่างกระแสในวิทยานิพนธ์นี้ จึงได้สังเคราะห์วงจรผลต่างกระแสจากการนำวงจรตามกระแส (current follower, CF) มาต่อร่วมกัน ณ จุดรวมกระแสดังแสดงในรูปที่ 3.2

จากรูปที่ 3.2 จะเห็นว่าวงจรผลต่างกระแสเกิดจากการป้อนกระแสอินพุตผ่านวงจรตามกระแสแล้วนำสัญญาณที่ได้มารวมกัน ณ จุดรวมกระแส ซึ่งในวิทยานิพนธ์นี้ได้สังเคราะห์วงจรตามกระแสจากวงจรภาคอินพุตที่มีค่าความต้านทานอินพุตต่ำมาก ดังรูปที่ 3.3 [24]-[26] เมื่อพิจารณาค่าความต้านทานอินพุตของวงจรกรณีสัญญาณขนาดเล็ก [27]-[29] จะได้ [ภาคผนวก ก.1]

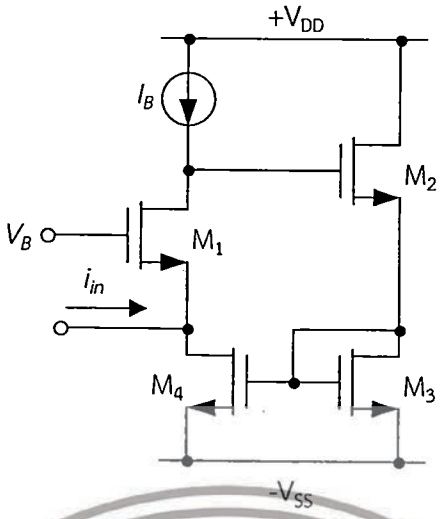
$$r_{in} \Rightarrow \left(\frac{1}{g_{m1}}\right)\left(\frac{1}{1+F}\right) \tag{3.2}$$

โดยที่ $F = \left(\frac{g_{m2}g_{m4}r_{oB}}{g_{m2}+g_{m3}}\right)$ และ g_{mi} คือ อัตราขยายค่าความนำของทรานซิสเตอร์ตัวที่ M_i (i = 1, 2, 3, 4) และ r_{oB} คือ ค่าความต้านทานภายในของแหล่งจ่ายกระแส I_B ดังนั้นหากทำการพิจารณาสมการ (3.2) เมื่อประมาณว่า $r_{oB} >> 1/g_{mi}$ แล้ว จะทำให้ $F >> 1$ ซึ่งเป็นผลทำให้ค่าความต้านทานอินพุตของวงจรในกรณีนี้จึงมีค่าต่ำมาก



รูปที่ 3.2 หลักการออกแบบวงจรผลต่างกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 วงจรภาคอินพุตที่มีค่าความต้านทานอินพุตต่ำมาก

เมื่อนำวงจรในรูปที่ 3.3 มาประยุกต์ใช้เป็นวงจรตามกระแสสามารถแสดงได้ดังรูปที่ 3.4 ซึ่งทำได้โดยการเพิ่มส่วนของกระแสไบอัส (I_B) และทรานซิสเตอร์ M_6 เข้าไปในส่วนหน้าของวงจรเพื่อทำให้ระดับแรงดันที่ขั้วอินพุตของวงจรมีคุณสมบัติเป็นกราวด์เสมือน (virtual ground) ดังนั้นเมื่อทำการวิเคราะห์หาความสัมพันธ์ของกระแสอินพุตและกระแสเอาต์พุตของวงจร จะได้ [ภาคผนวก ก.2]

$$i_{out} = -\left(\frac{F}{1+F}\right) i_{in} \tag{3.3}$$

และเนื่องจาก $F >> 1$ ทำให้สมการ (3.3) มีค่าประมาณ

$$i_{out} \cong -i_{in} \tag{3.4}$$

รูปที่ 3.5 แสดงวงจรผลต่างกระแสที่ได้สังเคราะห์ขึ้นจากหลักการสังเคราะห์วงจรตามกระแสในรูปที่ 3.2 ซึ่งประกอบด้วยวงจรตามกระแสในรูปที่ 3.4 จำนวนสองวงจร คือ M_{1A}-M_{5A} และ M_{1B}-M_{5B} โดยมีวงจรสะท้อนกระแส M_7-M_8 ทำหน้าที่ส่งผ่านกระแส i_p และ i_n ไปยังขั้ว x (i_x) หรือสามารถเขียนอธิบายได้

$$i_x = i_p - i_n \tag{3.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่ค่าความต้านทานอินพุตของวงจรที่ขั้ว p และ n มีค่าเท่ากับ

$$r_p = \left(\frac{1}{g_{m1A}}\right)\left(\frac{1}{1+F_p}\right) \tag{3.6}$$

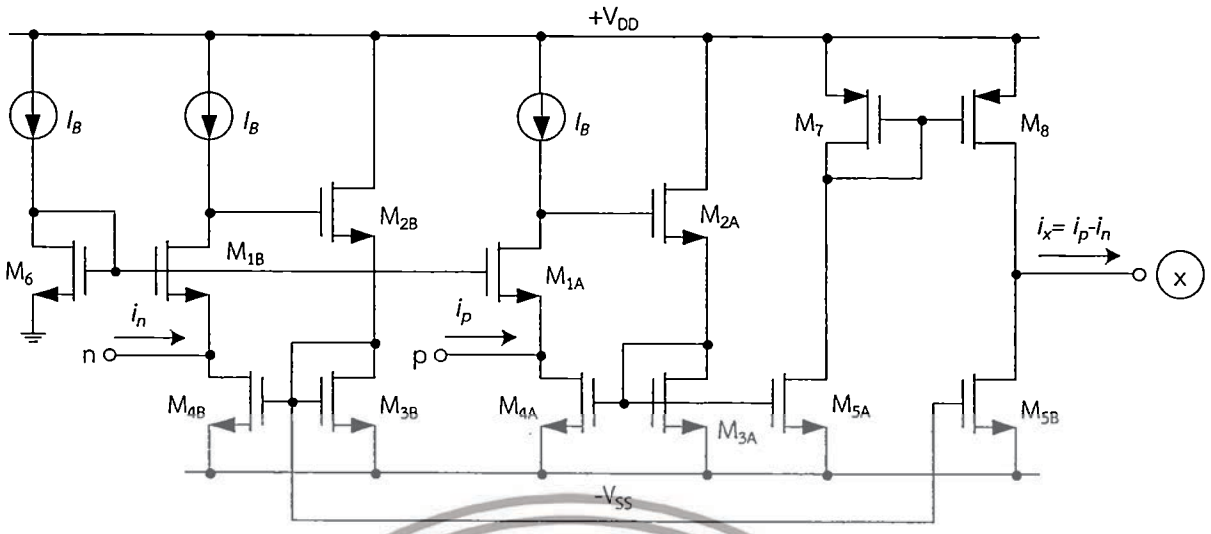
และ

$$r_n = \left(\frac{1}{g_{m1B}}\right)\left(\frac{1}{1+F_n}\right) \tag{3.7}$$

เมื่อ g_{m1A} และ g_{m1B} คือ อัตราขยายความนำของทรานซิสเตอร์ตัวที่ M_{1A} และ M_{2B} อย่างไรก็ตามเมื่อพิจารณาค่าความต้านทาน r_p และ r_n แล้ว จะเห็นได้ว่ามีค่าที่ต่ำมาก ทั้งนี้เป็นผลเนื่องจากการป้อนกลับ $(1+F_p)$ และ $(1+F_n)$ ตามลำดับ โดยที่ $F_p = \left(\frac{g_{m2A}g_{m4A}r_{oB}}{g_{m2A}+g_{m3A}}\right)$ และ $F_n = \left(\frac{g_{m2B}g_{m4B}r_{oB}}{g_{m2B}+g_{m3B}}\right)$

รูปที่ 3.4 วงจรตามกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5 วงจรผลต่างกระแส

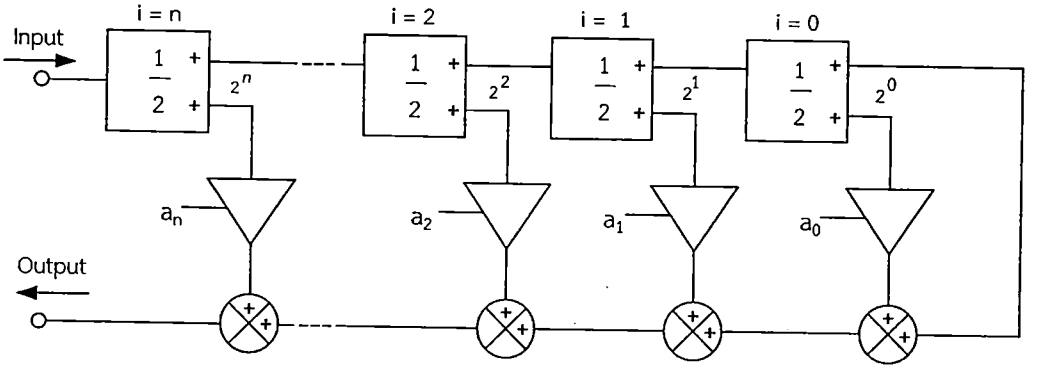
3.3.2 วงจรโครงข่ายหารกระแส

จากโครงสร้างของวงจร DC-CDBA ที่นำเสนอในรูปที่ 3.1 จะเห็นได้ว่าวงจรโครงข่ายหารกระแสทำหน้าที่ปรับอัตราขยายกระแสของวงจรด้วยสัญญาณควบคุมทางดิจิตอล ซึ่งวิทยานิพนธ์ฉบับนี้ได้นำหลักการของการคำนวณหาค่าน้ำหนักเลขฐานสอง (binary-weights) มาเป็นแนวคิดในการสังเคราะห์วงจร กล่าวคือ อาศัยคุณสมบัติการแปลงเลขฐานสองให้เป็นเลขฐานสิบ (decimal number) ที่ประกอบด้วยผลรวมค่าน้ำหนักของเลขฐานสองดังนี้

$$\text{Decimal number} = \sum_{i=0}^{n} a_i 2^i \qquad (3.8)$$

เมื่อ a_i คือค่าของเลขฐานสองในบิตที่ i $(i = 0, 1, 2, \ldots, n)$ และ 2^i คือค่าน้ำหนักประจำหลักเลขฐานสองหรือค่าตัวคูณประจำหลักของเลขฐานสองในหลักที่ i $(i = 0, 1, 2, \ldots, n)$ สมการ (3.8) แสดงให้เห็นได้ว่าในการแปลงเลขฐานสองให้เป็นเลขฐานสิบนั้นจะเกิดจากผลรวมของผลคูณของค่าน้ำหนักเลขฐานสองกับค่าของเลขฐานสองในแต่ละบิต ดังนั้นจากหลักการนี้จึงได้นำมาใช้เป็นโครงสร้างพื้นฐานในการออกแบบวงจรโครงข่ายหารกระแส ภายใต้เงื่อนไขของการปรับอัตราขยายกระแสด้วยสัญญาณทางดิจิตอลที่มีอัตราขยายกระแสสูงสุดเท่ากับหนึ่ง ซึ่งแสดงได้ดังรูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 โครงสร้างวงจรโครงข่ายหารกระแส

จากรูปที่ 3.6 จะแสดงให้เห็นว่าการออกแบบโครงข่ายหารกระแสที่นำเสนอในวิทยานิพนธ์นี้เป็นการนำผลรวมของสัญญาณที่ถูกส่งผ่านวงจรหารกระแส (Current Divider Cell, CDC) ที่นำมาต่อคาสเคดกัน ซึ่งในการรวมสัญญาณสามารถควบคุมได้ โดยการควบคุมสัญญาณที่บิต a_0 จนถึง a_n ดังความสัมพันธ์ต่อไปนี้

$$\frac{Output}{Input} = \left(\frac{1}{2^{n+1}}\right)\left[1+\sum_{i=0}^{n} a_i 2^i\right] \tag{3.9}$$

การออกแบบวงจรหารกระแสแสดงได้ดังรูปที่ 3.7(ก) จะเห็นได้ว่าประกอบด้วยวงจรตามกระแส M_1-M_6 และวงจรหารกระแส M_7-M_{10} ดังนั้นทำให้ได้ความสัมพันธ์ของกระแสเอาต์พุต (i_i, i_{oi} และ $\overline{i_{oi}}$) ของวงจรหารกระแสเป็นดังนี้

$$i_i = \frac{i_{i+1}}{2} \tag{3.10}$$

$$i_{oi} = a_i\left(\frac{i_{i+1}}{2}\right) \tag{3.11}$$

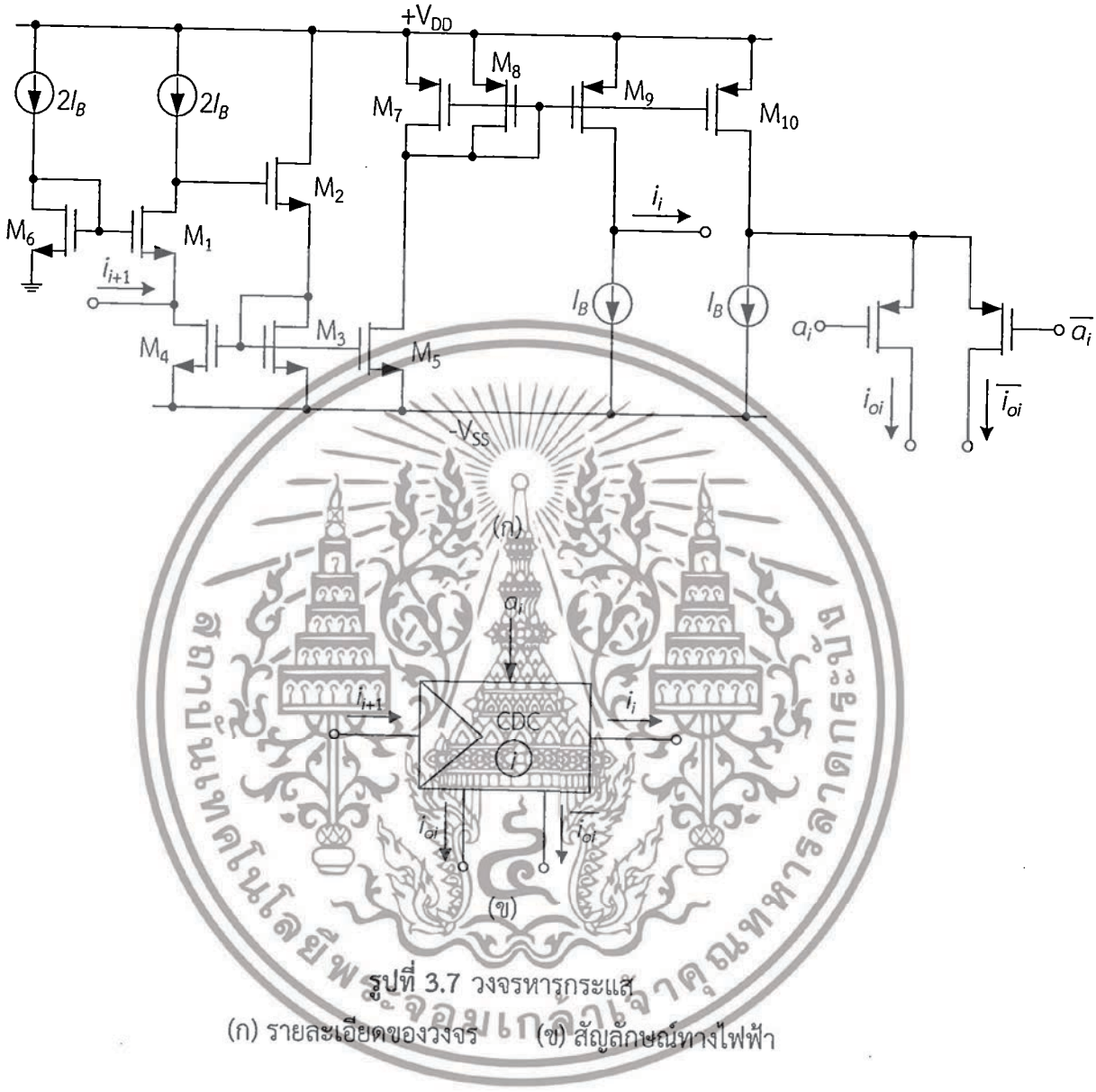
และ

$$\overline{i_{oi}} = \overline{a_i}\left(\frac{i_{i+1}}{2}\right) \tag{3.12}$$

จากสมการ (3.10) จะเห็นได้ว่า i_i คือ กระแสเอาต์พุตของวงจรซึ่งมีค่าเท่ากับครึ่งหนึ่งของกระแสอินพุต i_{i+1} ที่ป้อนให้วงจรโครงข่ายหารกระแส สังเกตได้ว่ากระแสเอาต์พุต i_i จะปราศจากส่วนที่ทำหน้าที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ควบคุมกระแสเอาต์พุต ส่วนสมการ (3.11) และ (3.12) แสดงความสัมพันธ์ของกระแสเอาต์พุตที่สามารถควบคุมได้จากการใช้สัญญาณควบคุมดิจิตอล



รูปที่ 3.7 วงจรหารกระแส
(ก) รายละเอียดของวงจร (ข) สัญลักษณ์ทางไฟฟ้า

รูปที่ 3.8(ก) แสดงหลักการทำงานของวงจรโครงข่ายหารกระแส ซึ่งประกอบด้วยวงจรหารกระแสดังรูปที่ 3.7 ต่อคาสเคดกันจำนวน n วงจร ดังโครงสร้างในรูปที่ 3.6 โดยที่ i_i คือสัญญาณกระแสเอาต์พุตของวงจรหารกระแสตัวที่ i ($i = 0, 1, 2, \ldots, n$) จากรูปที่ 3.8(ก) จะเห็นว่ากระแสเอาต์พุต (i_{out}) ของวงจรโครงข่ายหารกระแสนั้น เกิดจากผลรวมของกระแสเอาต์พุตของวงจรหารกระแสแต่ละตัว ซึ่งสามารถเขียนอธิบายความสัมพันธ์ได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$i_{out} = \left(\frac{1}{2^{n+1}}\right)\left[1+\sum_{i=0}^{n} a_i 2^i\right] \; i_x \qquad (3.13)$$

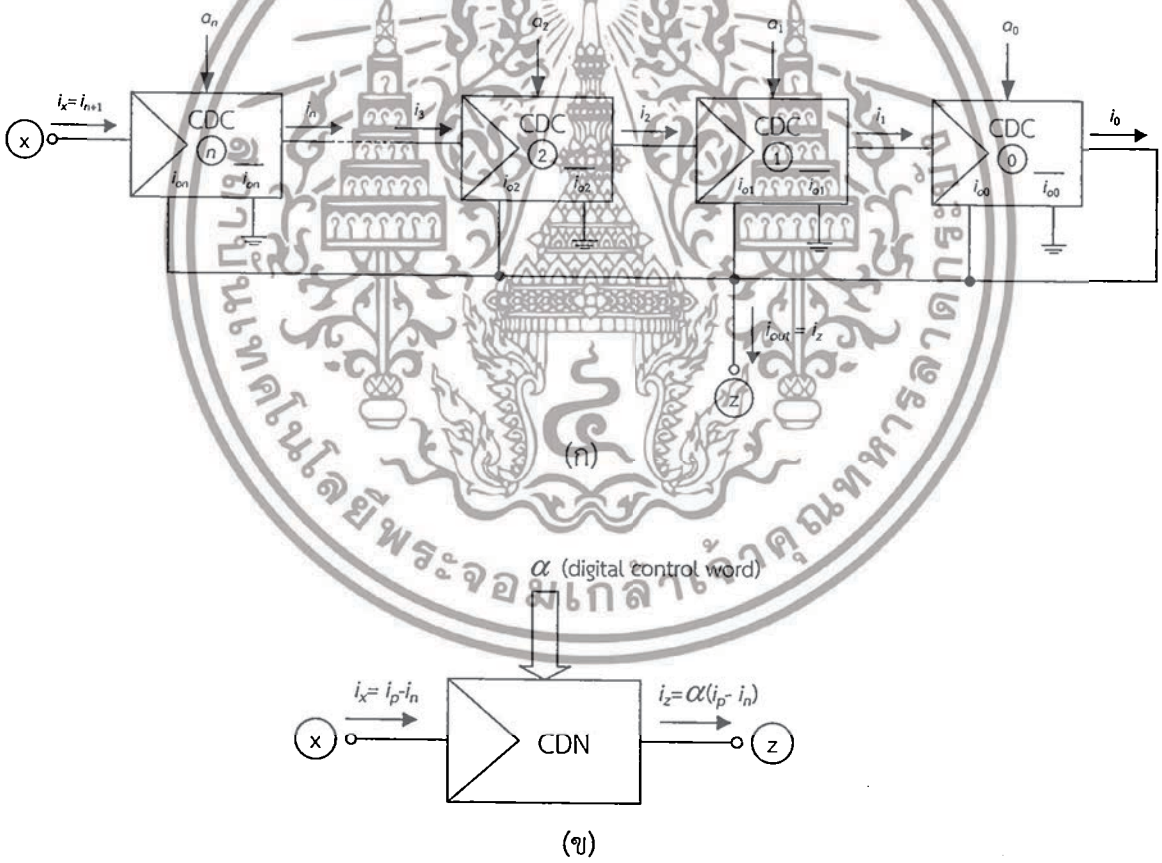
หรือ

$$\alpha = \frac{i_z}{i_p - i_n} = \frac{i_{out}}{i_x} = \left(\frac{1}{2^{n+1}}\right)\left[1+\sum_{i=0}^{n} a_i 2^i\right] \qquad (3.14)$$

หรือ

$$\alpha = \left(\frac{1}{2^{n+1}}\right)\left[1+a_0 2^0 + a_1 2^1 + a_2 2^2 + \ldots + a_n 2^n\right] \qquad (3.15)$$

สมการ (3.15) แสดงให้เห็นว่าอัตราขยายกระแส (α) ของวงจรโครงข่ายหารกระแสนั้น สามารถแปรค่าได้ด้วยการควบคุมสัญญาณดิจิตอลจากภายนอก เมื่อ n คือตำแหน่งบิตควบคุมที่มีนัยสำคัญสูงสุด (most significant bit, MSB) ส่วนรูปที่ 3.8(ข) แสดงสัญลักษณ์ทางไฟฟ้าของโครงข่ายหารกระแสที่นำเสนอ



รูปที่ 3.8 วงจรโครงข่ายหารกระแสที่นำเสนอ
(ก) โครงสร้างวงจร (ข) สัญลักษณ์ทางไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 วงจรตามแรงดัน

รูปที่ 3.9 แสดงวงจรตามแรงดันซึ่งเกิดจากการนำวงจรภาคอินพุตในรูปที่ 3.3 มาประยุกต์ใช้โดยเพิ่มทรานซิสเตอร์ M_{11} และแหล่งจ่ายกระแสไบอัส I_B เข้าไปในวงจร เพื่อทำหน้าที่ยกระดับแรงดันอินพุตของวงจร โดยความสัมพันธ์ระหว่างแรงดันที่ขั้ว w และขั้ว z ของวงจร สามารถอธิบายได้ดังนี้ [29]

$$v_w = \beta_v v_z \tag{3.16}$$

และ
$$\beta_v = \left(\frac{g_{m11}r_{oB}}{1+g_{m11}r_{oB}}\right)\left[\frac{g_{m1D}\left(1+\frac{g_{m4D}r_{oB}}{2}\right)}{g_w + g_{m1D}\left(1+\frac{g_{m4D}r_{oB}}{2}\right)}\right] \tag{3.17}$$

เมื่อ $g_w = 1/R_w$ และ R_w คือค่าความต้านทานที่ต่ออยู่ที่ขั้ว w หากประมาณว่า $g_{m11}r_{oB} >> 1$ และ $g_{m1D}\left(1+\frac{g_{m4D}r_{oB}}{2}\right) >> g_w$ แล้ว ทำให้ได้ว่า $v_w \cong v_z$ และเนื่องจากทรานซิสเตอร์ M_{1D}-M_{4D} เป็นส่วนของวงจรภาคอินพุตที่มีค่าความต้านทานต่ำมาก ดังนั้นจึงทำให้ค่าความต้านทานที่มองเข้าไปยังขั้ว w (r_w) ของวงจรมีค่าเท่ากับ

$$r_w = \left(\frac{1}{g_{m1D}}\right)\left(\frac{1}{1+F_w}\right) \tag{3.18}$$

โดยที่
$$F_w = \left(\frac{g_{m2D}g_{m4D}r_{oB}}{g_{m2D}+g_{m3D}}\right) \tag{3.19}$$

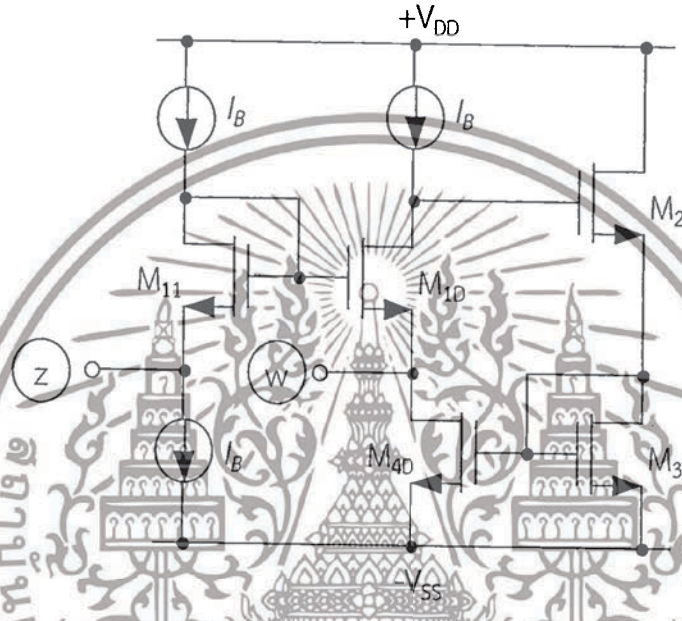
ถ้า $r_{oB} >> 1/g_{m11}$ ทำให้ค่าความต้านทานอินพุตที่มองเข้าไปยังขั้ว z (r_z) จะมีค่าสูงมาก หรือสามารถประมาณได้ว่า

$$r_z = \frac{r_{oB}}{2} \tag{3.20}$$

รูปที่ 3.10 แสดงวงจร DC-CDBA ที่นำเสนอ [30] ซึ่งประกอบด้วยวงจรผลต่างกระแสในรูปที่ 3.5 วงจรโครงข่ายหารกระแสในรูปที่ 3.8 และวงจรตามแรงดันในรูปที่ 3.9 เมื่อพิจารณาระหว่างแหล่งจ่ายไฟเลี้ยงบวกและไฟเลี้ยงลบของวงจรพบว่าประกอบไปด้วยมอสทรานซิสเตอร์สูงสุดจำนวนสองตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อร่วมกับแหล่งจ่ายกระแสไบอัสหนึ่งตัว ดังนั้นวงจรที่นำเสนอจึงสามารถทำงานได้ที่แหล่งจ่ายไฟเลี้ยงต่ำประมาณ $2V_{DSi} + V_{IB}$ โดยที่ V_{DSi} และ V_{IB} แทนถึง แรงดันระหว่างเดรนกับซอร์สของมอสทรานซิสเตอร์และแรงดันตกคร่อมแหล่งจ่ายกระแสไบอัส I_B ตามลำดับ ยกตัวอย่างเช่น หากเลือกใช้เทคโนโลยีทรานซิสเตอร์ CMOS 0.5-μm ที่มีค่าแรงดันขีดเริ่ม (threshold voltage) เท่ากับ V_{TN} = 0.64 V และ $-V_{TP}$ = 0.91 V จะทำให้แหล่งจ่ายไฟเลี้ยงของวงจร DC-CDBA ที่นำเสนอขึ้นในกรณีนี้มีค่าต่ำสุดประมาณ [2x(0.64)+0.91] = 2.19V หรือ ±1.095V.



รูปที่ 3.9 วงจรตามแรงดัน

3.4 ผลการจำลองการทำงานของวงจร

คุณสมบัติของวงจร DC-CDBA ที่ได้นำเสนอในรูปที่ 3.10 ได้ถูกตรวจสอบด้วยการจำลองการทำงานโดยใช้โปรแกรม PSPICE ภายใต้เทคโนโลยีทรานซิสเตอร์แบบ CMOS SCN05H 0.5-μm เมื่อกำหนดให้ W/L = 20μm/1μm สำหรับ NMOS และ W/L = 40μm/1μm สำหรับ PMOS โดยเลือกใช้ $+V_{DD} = -V_{SS} = 1.25V$ I_B = 100 μA n = 3 (4 บิต) R_z = 1 kΩ และ R_w = 10 kΩ ซึ่งความสัมพันธ์ของการปรับค่า α กรณีใช้สัญญาณดิจิตอลควบคุมที่ความละเอียด 4 บิตสามารถแสดงได้ในตารางที่ 3.1

รูปที่ 3.11 แสดงผลการจำลองการส่งผ่านกระแสไฟตรงของวงจร DC-CDBA ที่นำเสนอเมื่อแปรค่ากระแสอินพุต (i_p หรือ i_n) จาก -100 μA จนถึง 100 μA ในขณะที่อัตราขยายกระแส α แปรค่าจาก 0.125 ถึง 1.000 ขั้นละ 0.125 ผลการจำลองการทำงานของวงจรพบว่ากระแสออฟเซตสูงสุดมีค่าน้อยกว่า 5 μA ซึ่งเกิดจากค่าผิดพลาดในการส่งผ่านกระแสของวงจรสะท้อนกระแสที่ใช้ในวงจร ส่วนรูปที่ 3.12

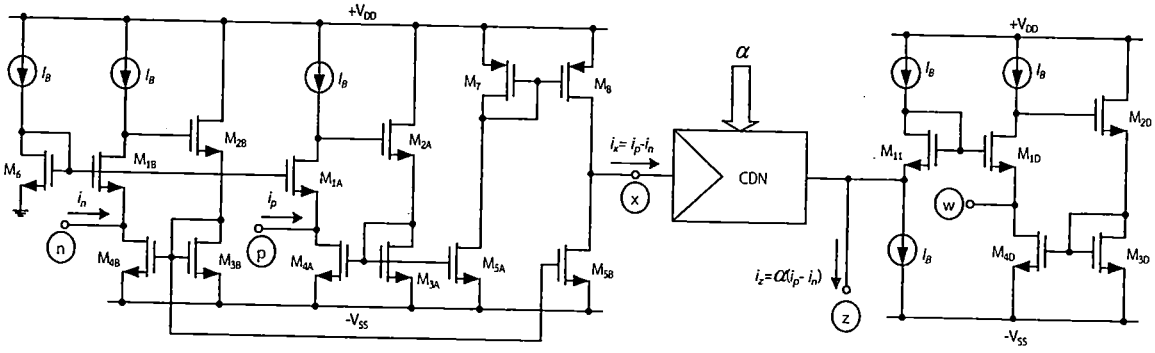
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

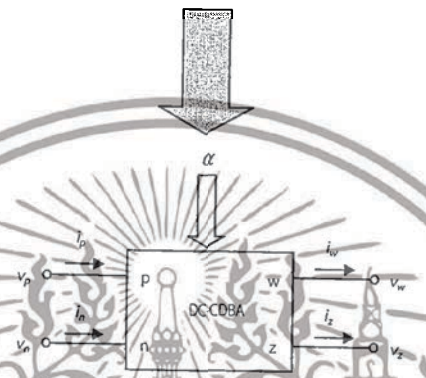
แสดงผลการจำลองผลตอบสนองทางความถี่ของวงจร DC-CDBA ที่นำเสนอ ซึ่งพบว่าช่วงความถี่ปฏิบัติงานของวงจรมีค่าประมาณ 100 MHz และอัตราขยายกระแสของวงจรนั้นแปรค่าในช่วง -30 dB ถึง 0 dB

ตารางที่ 3.1 ความสัมพันธ์ในการประมาณค่า α กรณีใช้สัญญาณดิจิตอลควบคุมที่ความละเอียด 4 บิต

สัญญาณดิจิตอลควบคุมที่ความละเอียด 4 บิต				อัตราขยายกระแส
a_3	a_2	a_1	a_0	α
0	0	0	0	0.0625
0	0	0	1	0.1250
0	0	1	0	0.1875
0	0	1	1	0.2500
0	1	0	0	0.3125
0	1	0	1	0.3750
0	1	1	0	0.4375
0	1	1	1	0.5000
1	0	0	0	0.5625
1	0	0	1	0.6250
1	0	1	0	0.6875
1	0	1	1	0.7500
1	1	0	0	0.8125
1	1	0	1	0.8750
1	1	1	0	0.9375
1	1	1	1	1.0000

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

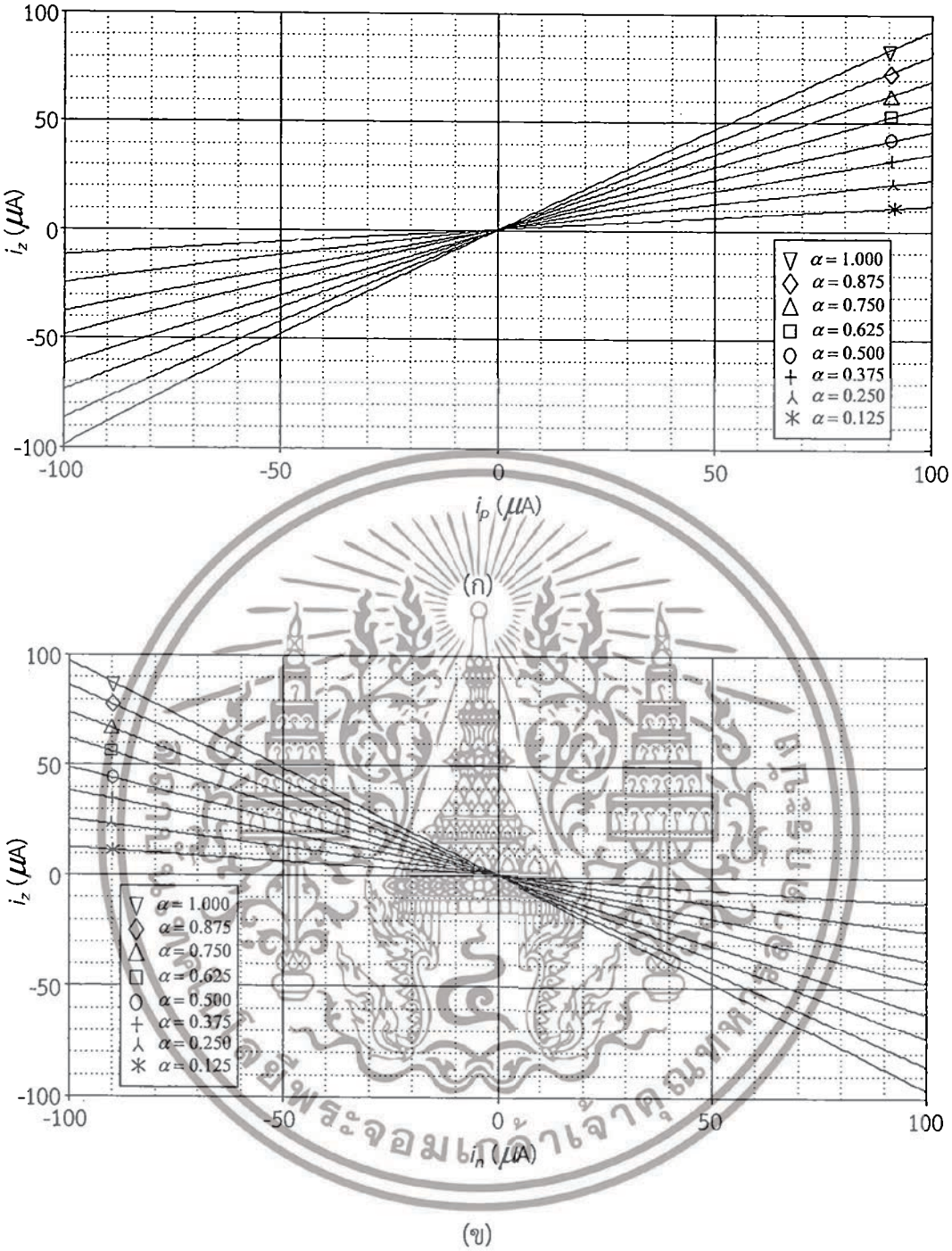




รูปที่ 3.10 วงจร DC-CDBA ที่นำเสนอ

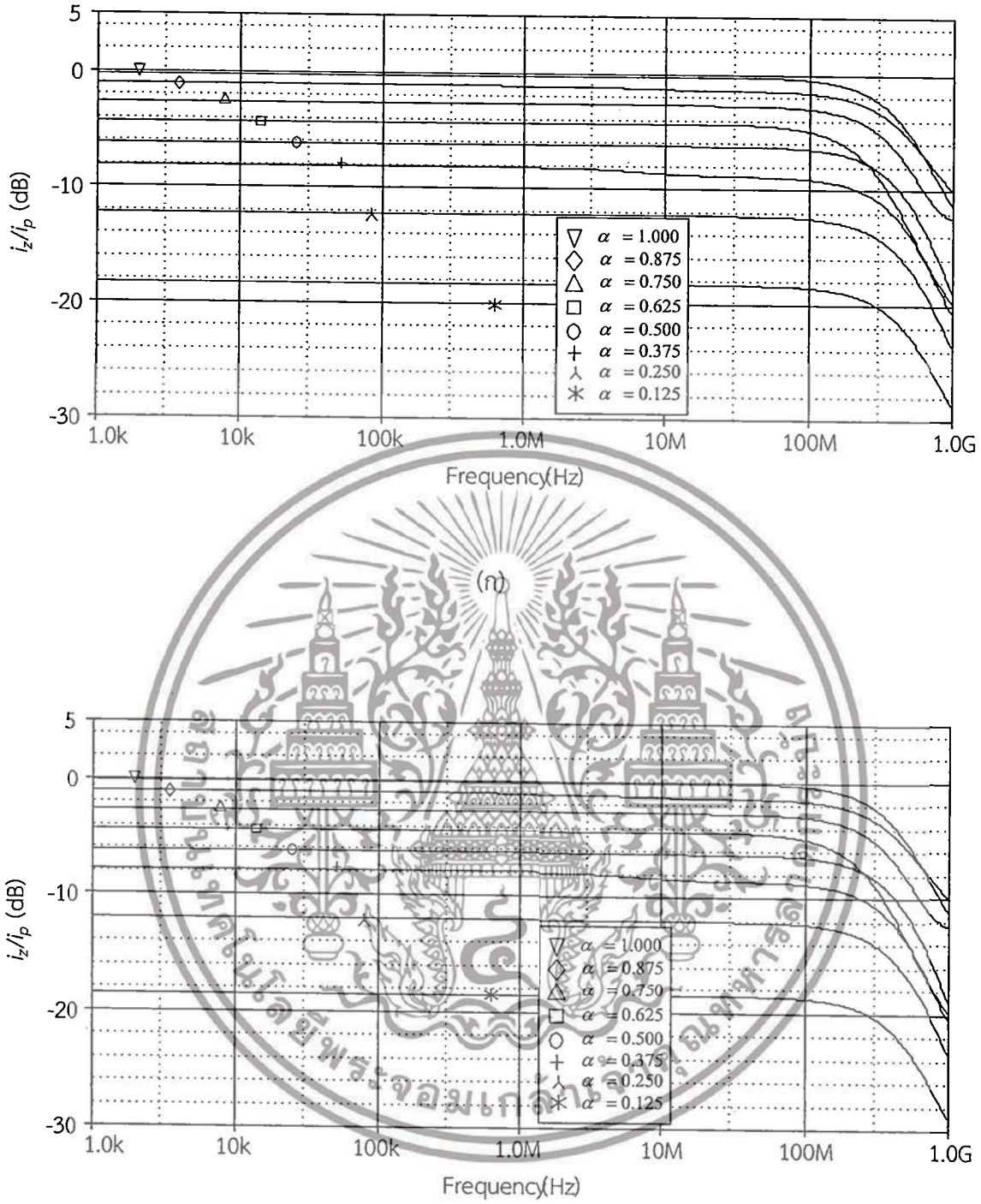
รูปที่ 3.13 แสดงคุณสมบัติการส่งผ่านแรงดันระหว่างขั้ว z (v_z) กับขั้ว w (v_w) เมื่อทำการแปรค่าแรงดันที่ตกคร่อมที่ขั้ว z จาก – 1V ถึง + 1V ซึ่งจากรูปที่ 3.13 จะเห็นได้ว่าในช่วงแรงดันที่ขั้ว w ที่ระดับแรงดันประมาณ + 0.8V ถึง + 1V พบว่ามีค่าความผิดพลาดของอัตราการส่งผ่านแรงดันระหว่างขั้ว z กับขั้ว w สูงขึ้น ทั้งนี้เนื่องจากในช่วงระดับแรงดันดังกล่าวเป็นระดับแรงดันที่สูงกว่าช่วงแรงดันปฏิบัติงานที่ขั้ว w สามารถปฏิบัติงานได้ หากพิจารณารูปที่ 3.9 สามารถประมาณช่วงของแรงดันปฏิบัติงานที่ขั้ว w ได้เท่ากับ V_{DD} -V_{1D} - V_{IB} เมื่อ V_{1D} หมายถึงแรงดันระหว่างเดรนกับซอร์สของ M_{1D} และ V_{IB} หมายถึงแรงดันตกคร่อมแหล่งจ่ายกระแสไบอัส I_B ในขณะที่รูปที่ 3.14 แสดงผลตอบสนองทางความถี่ที่ขั้ว w ซึ่งพบว่ามีช่วงแบนด์วิทประมาณ 500 MHz ดังนั้นจากผลการจำลองผลตอบสนองทางความถี่ของวงจรในรูปที่ 3.12 และ 3.14 จึงสามารถสรุปได้ว่าวงจร DC-CDBA ที่นำเสนอนั้น มีช่วงปฏิบัติงานทางความถี่สูงสุดอยู่ที่ประมาณ 100 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 ผลการจำลองคุณสมบัติการส่งผ่านกระแสไฟตรงของวงจร DC-CDBA ที่นำเสนอ
(ก) จากขั้ว p ไปยังขั้ว z (ข) จากขั้ว n ไปยังขั้ว z

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

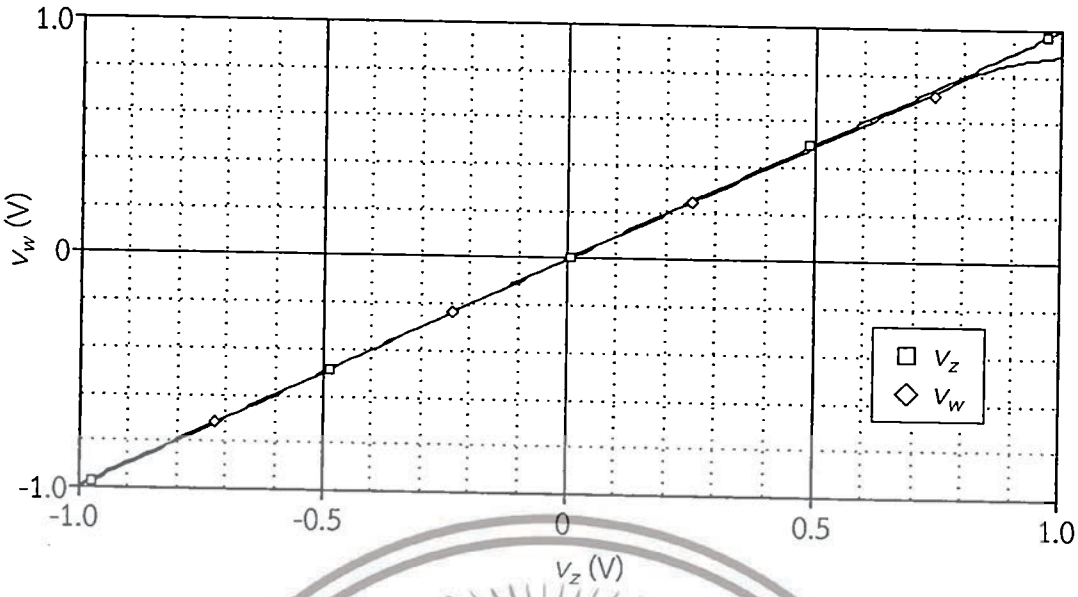


(ก)

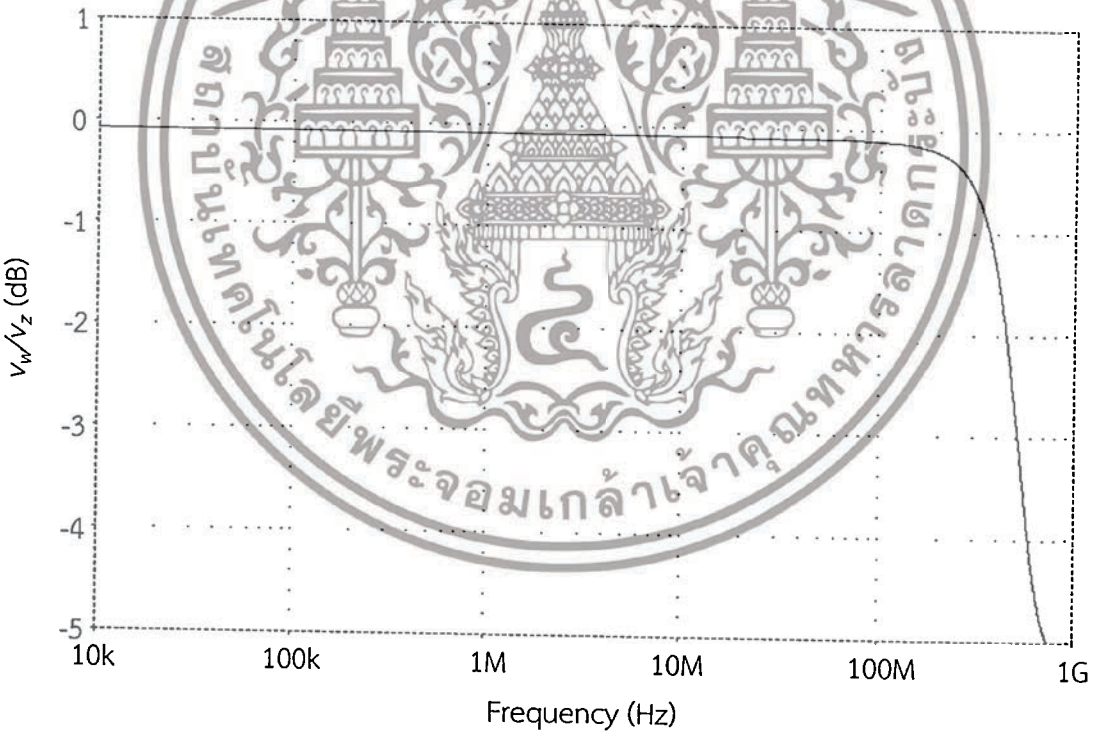
(ข)

รูปที่ 3.12 ผลการจำลองผลตอบสนองทางความถี่การส่งผ่านกระแสของวงจร DC-CDBA ที่นำเสนอ
(ก) จากขั้ว *p* ไปยังขั้ว *z* (ข) จากขั้ว *n* ไปยังขั้ว *z*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.13 ผลการจำลองคุณสมบัติการส่งผ่านแรงดันไฟตรงของวงจร DC-CDBA ที่นำเสนอ



รูปที่ 3.14 ผลการจำลองผลตอบสนองทางความถี่การส่งผ่านแรงดันของวงจร DC-CDBA ที่นำเสนอ

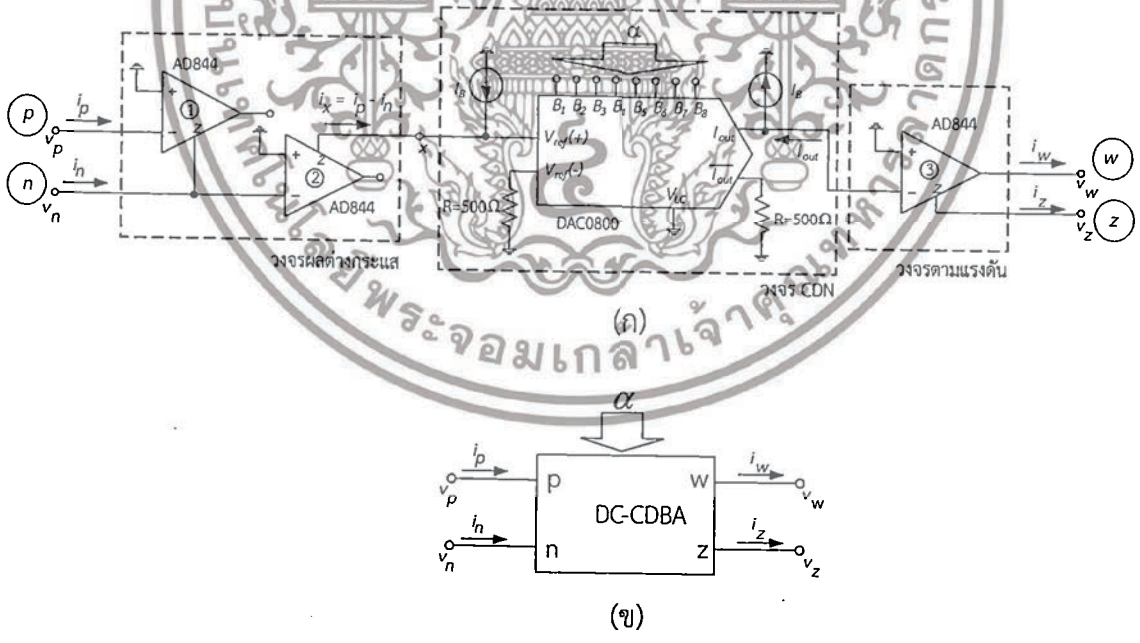
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 ผลการทดลองต่อวงจรจริง

เพื่อเป็นการยืนยันคุณสมบัติการทำงานวงจร DC-CDBA ที่นำเสนอในหัวข้อ 3.3 วิทยานิพนธ์ฉบับนี้ยังได้นำโครงสร้างวงจร DC-CDBA ในรูปที่ 3.1 มาทำการต่อวงจรจริงโดยใช้ไอซีสำเร็จรูปเบอร์ AD844 ต่อร่วมกับไอซีเบอร์ DAC0800 ดังรูปที่ 3.15(ก) ซึ่งประกอบด้วยวงจร CFOA ไอซีเบอร์ AD844 [31] จำนวนสองตัวมาต่อเป็นวงจรผลต่าง กระแสเอาต์พุต i_x จากวงจรผลต่างกระแสจะถูกส่งไปเป็นกระแสอินพุตของวงจรโครงข่ายหารกระแส ซึ่งในที่นี้ได้ประยุกต์ใช้วงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะล็อก (Digital to Analog Convertor; DAC) เบอร์ ADC0800 [32] ทำหน้าที่ปรับอัตราขยายกระแส โดยมีกระแสไบอัส (I_B) ทำหน้าที่ปรับระดับกระแสออฟเซตไฟตรง (dc offset current) การสังเคราะห์กระแสไบอัส I_B ดังกล่าวทำได้โดยใช้วงจรแปลงแรงดันเป็นกระแส (voltage to current convertor circuit) ที่ประกอบด้วยวงจร CFOA ไอซีเบอร์ AD844 ต่อร่วมกับตัวต้านทานดังรูปที่ 3.16 โดยความสัมพันธ์ของกระแสเอาต์พุตกับแรงดันอินพุตของวงจรเป็นดังนี้

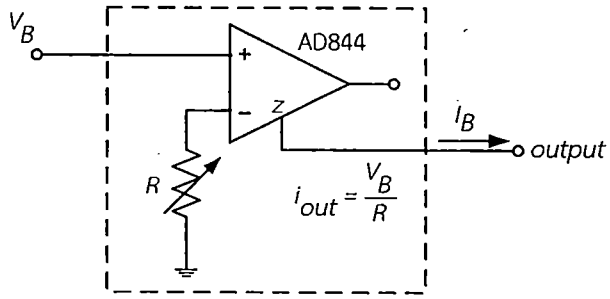
$$I_B = \frac{V_B}{R} \tag{3.21}$$

ซึ่งในการทดลองเลือกใช้ I_B = 500 μA ดังนั้นจึงทำให้ได้ V_B = +5 V และ $R \approx 10$ kΩ



รูปที่ 3.15 โครงสร้างวงจร DC-CDBA ที่ใช้ในการทดลอง
(ก) รายละเอียดวงจร (ข) สัญลักษณ์ทางไฟฟ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 โครงสร้างวงจรแปลงแรงดันเป็นกระแสที่ใช้ในการทดลอง

สำหรับคุณสมบัติการทำงานของวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะล็อกเบอร์ ADC0800 ที่นำมาประยุกต์ใช้เป็นวงจรโครงข่ายหารกระแสในวิทยานิพนธ์นี้ มีความสัมพันธ์ของอัตราขยายกระแสเขียนอธิบายได้ดังนี้

$$\alpha = \frac{i_z}{i_p - i_n} = \left(\frac{1}{2^7}\right)\left[2^6 B_1 + 2^5 B_2 + 2^4 B_3 + 2^3 B_4 + 2^2 B_5 + 2^1 B_6 + 2^0 B_7\right] + \left(\frac{1}{2^7}\right)2^0 B_8 \quad (3.22)$$

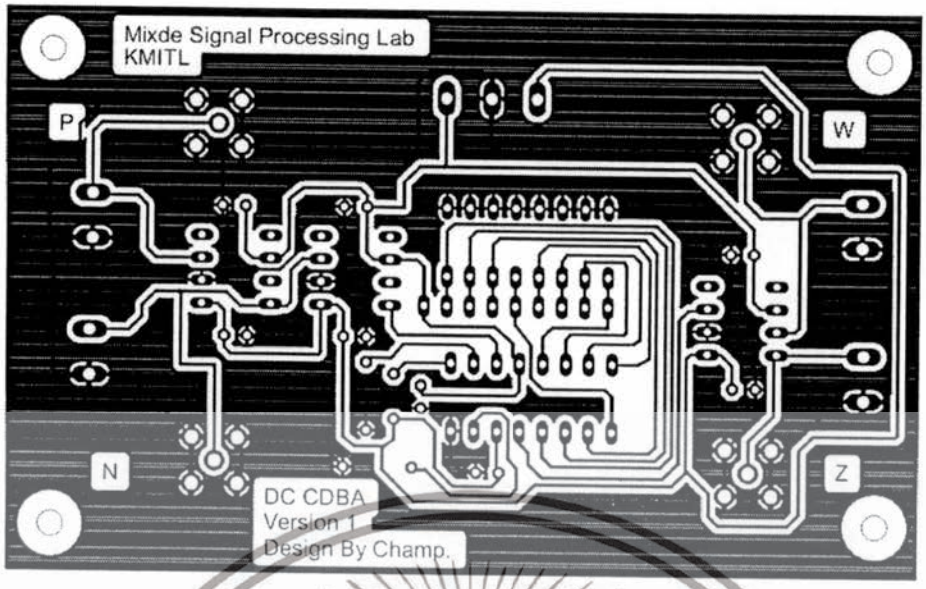
ซึ่งเห็นได้ว่าอัตราขยายกระแสสามารถปรับค่าได้ด้วยการควบคุมสัญญาณดิจิตอลจากภายนอก โดยการป้อนระดับแรงดันลอจิกที่บิตควบคุม B_1 ถึง B_8 ผลต่างกระแสที่ถูกปรับอัตราขยายกระแสแล้วจะถูกส่งให้เป็นอินพุตของวงจร CFOA ซึ่งทำหน้าที่เป็นวงจรตามแรงดัน เพื่อให้สอดคล้องกับสมการ (3.15) ที่นำเสนอในวิทยานิพนธ์นี้ บิต B_8 ซึ่งทำหน้าที่เป็นลอจิกควบคุมจึงต้องกำหนดให้มีสัญญาณลอจิกหนึ่งเสมอ ดังนั้นสมการ (3.22) จึงเขียนใหม่ได้เป็น

$$\alpha = \frac{i_z}{i_p - i_n} = \left(\frac{1}{2^7}\right)\left[1 + 2^0 B_7 + 2^1 B_6 + 2^2 B_5 + 2^3 B_4 + 2^4 B_3 + 2^5 B_2 + 2^6 B_1\right] \quad (3.23)$$

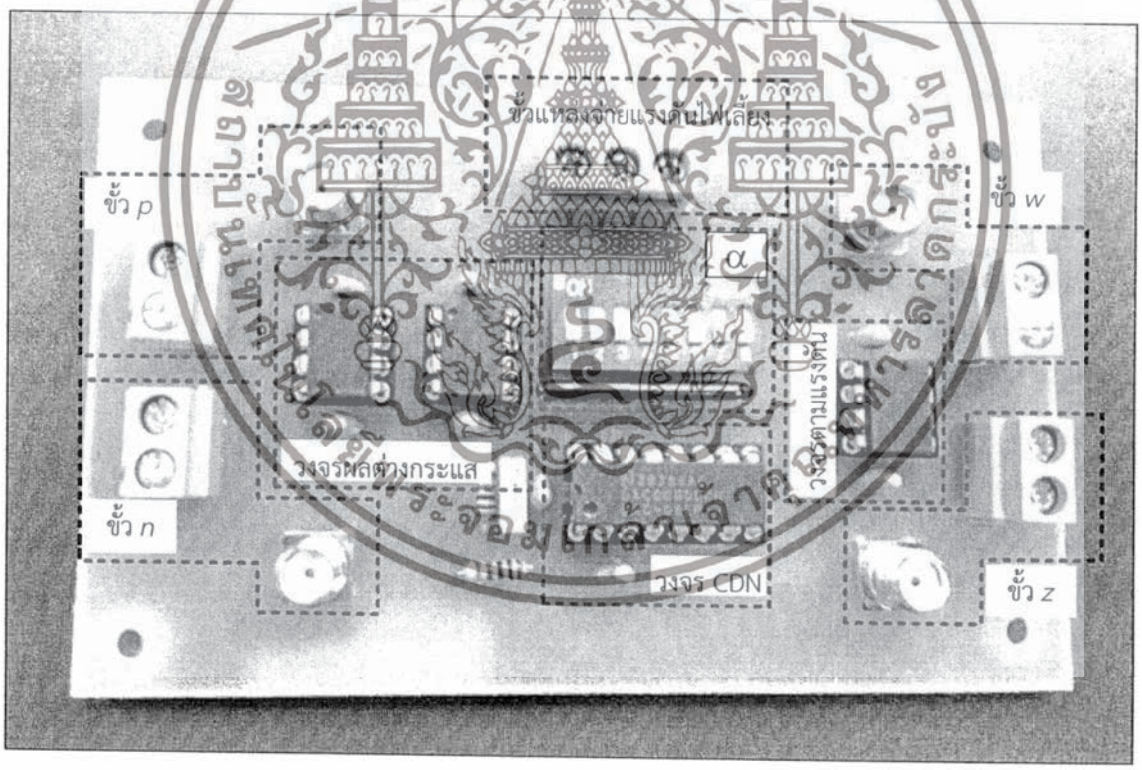
ซึ่งในกรณีนี้ $n = 6$ ดังนั้นเมื่อเปรียบเทียบสมการ (3.23) กับ (3.15) จึงพบว่า $a_0 = B_7$, $a_1 = B_6$, $a_2 = B_5$, $a_3 = B_4$, $a_4 = B_3$, $a_5 = B_2$ และ $a_6 = B_1$

รูปที่ 3.17 แสดงแผ่นพิมพ์ลายวงจร DC-CDBA ที่ใช้ในการทดลองและรูปที่ 3.18 แสดงภาพถ่ายของวงจรที่ใช้ในการทดสอบจริงซึ่งสัญลักษณ์ของวงจร DC-CDBA ที่ใช้ในการทดลองแสดงได้ดังรูปที่ 3.15(ข) โดยใช้แรงดันไฟเลี้ยงวงจรเท่ากับ ±5 V กระแสไบอัส I_B มีค่าเท่ากับ 500 μA และกำหนดอัตราขยายกระแส α ขนาด 8 บิต ควบคุมโดยใช้แรงดันลอจิกผ่านสวิตช์ควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



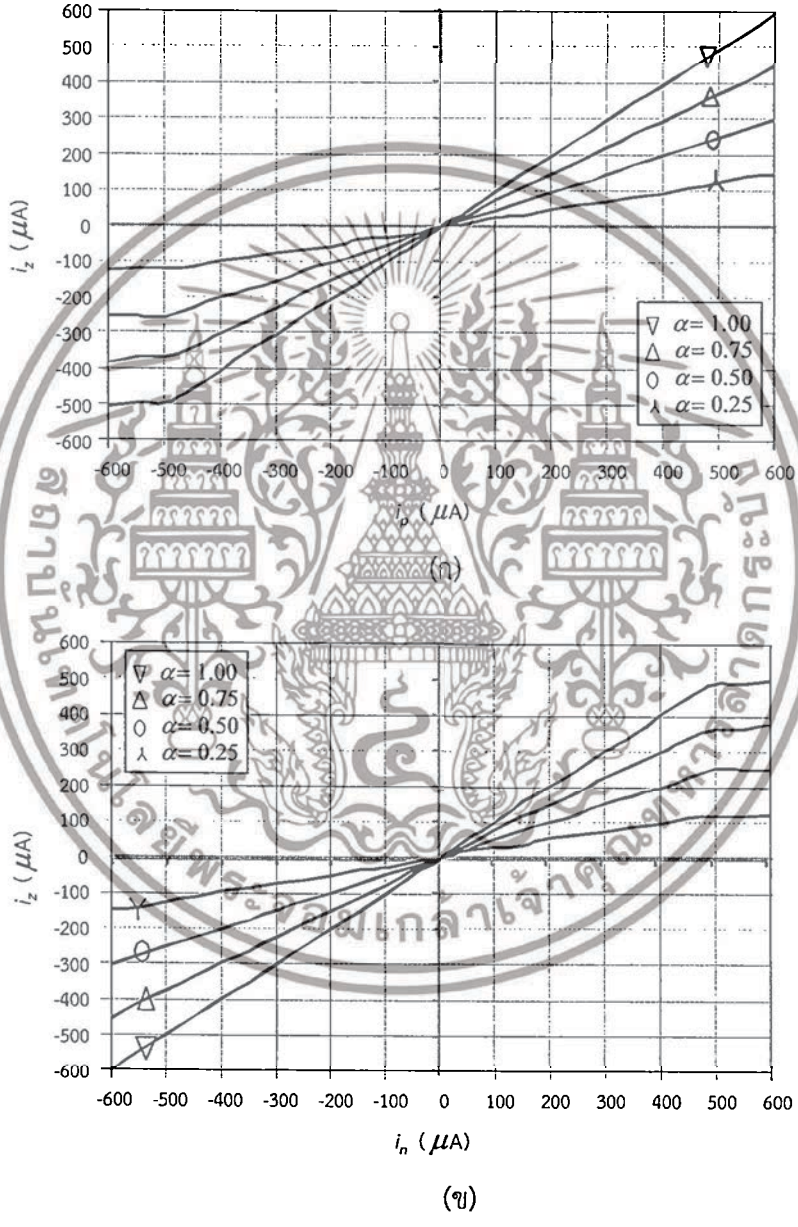
รูปที่ 3.17 แผ่นพิมพ์ลายวงจร DC-CDBA ที่ใช้ในการทดลอง



รูปที่ 3.18 ภาพถ่ายวงจร DC-CDBA ที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

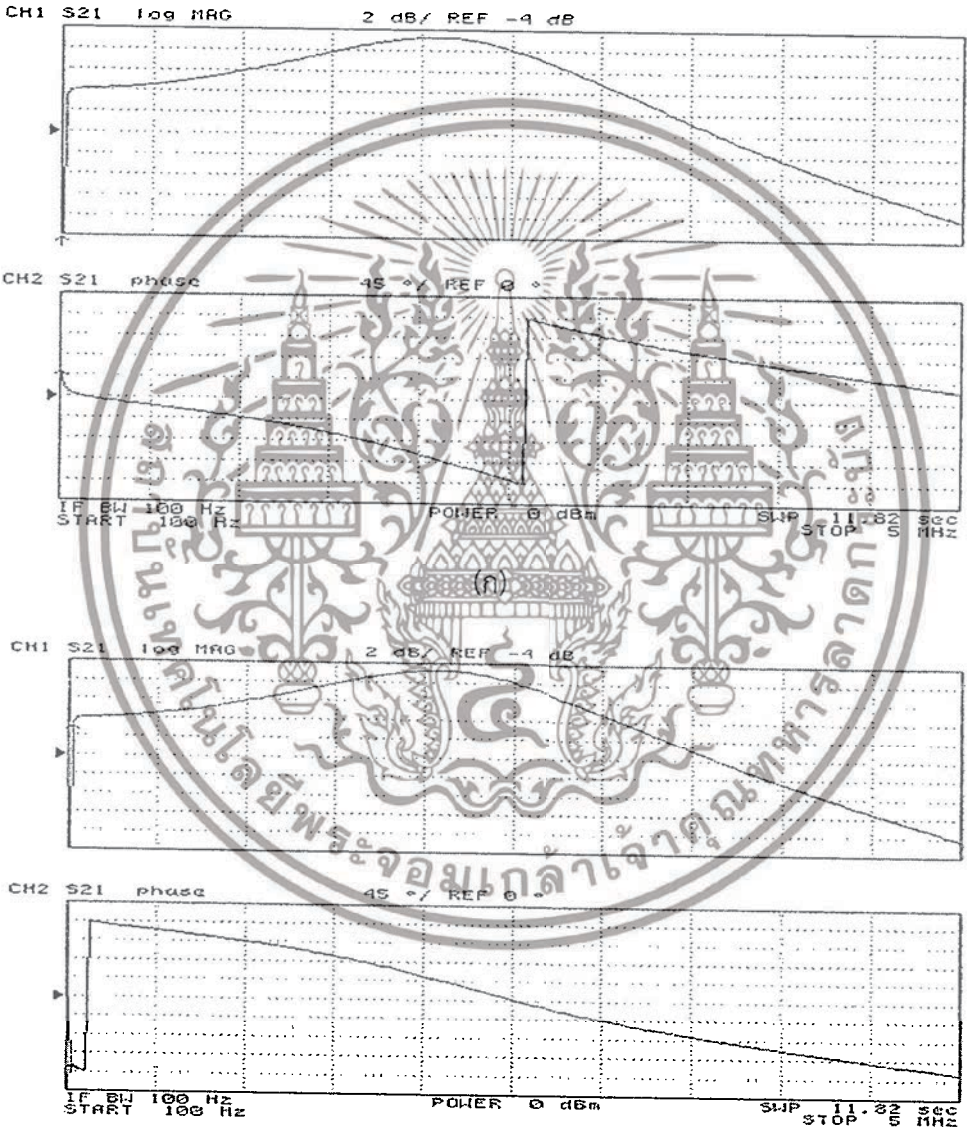
รูปที่ 3.19 แสดงผลการทดสอบผลการทดลองคุณสมบัติการส่งผ่านกระแสไฟตรงของวงจร DC-CDBA โดยป้อนกระแสอินพุตเข้าที่ขั้ว p และขั้ว n ของวงจรตามลำดับ เมื่อแปรค่ากระแสอินพุตจาก -600 μA จนถึง +600 μA ในขณะที่อัตราขยายกระแส α แปรค่าจาก 0.25 ถึง 1.00 ขั้นละ 0.25 รูปที่ 3.19(ก) เป็นผลการทดลองอัตราการส่งผ่านกระแสไฟตรงจาก p ไปยังขั้ว z และรูปที่ 3.19(ข) เป็นผลการทดลองอัตราการส่งผ่านกระแสไฟตรงจาก n ไปยังขั้ว z จากผลการทดลองพบว่าขีดจำกัดของการส่งผ่านกระแสสูงสุดมีค่าประมาณ 500 μA ซึ่งถูกกำหนดโดยขนาดของกระแสไบอัส I_B ที่มีค่าเท่ากับ 500 μA



รูปที่ 3.19 ผลการทดสอบคุณสมบัติการส่งผ่านกระแสไฟตรงของวงจร DC-CDBA
(ก) จากขั้ว p ไปยังขั้ว z (ข) จากขั้ว n ไปยังขั้ว z

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพื่อเป็นการยืนยันการทำงานของวงจรได้ทำการทดสอบผลตอบสนองทางความถี่ของอัตราการส่งผ่านกระแสจากขั้ว p และขั้ว n ไปยังขั้ว z ที่ $\alpha = 1$ โดยใช้เครื่องวิเคราะห์โครงข่าย (network analyzer) รุ่น Agilent 4395A ทำการวัดขนาดการส่งผ่านกระแสและมุมเฟสในช่วงความถี่ 100 Hz ถึง 5 MHz รูปที่ 3.20(ก) และรูปที่ 3.2(ข) แสดงผลตอบสนองทางความถี่ของการส่งผ่านกระแสจากขั้ว p ไปยังขั้ว z และจากขั้ว n ไปยังขั้ว z ตามลำดับ จากผลการทดสอบได้ชี้ให้เห็นว่าวงจร DC-CDBA ที่ได้ทำการทดสอบมีช่วงความถี่ในการปฏิบัติงานไม่เกิน 1 MHz ซึ่งพิจารณาจากการเปลี่ยนแปลงของอัตราการส่งผ่านกระแสในเชิงขนาดและมุมเฟสที่มีการเปลี่ยนแปลงไม่เกิน 2 dB และที่ 45 องศาตามลำดับ



รูปที่ 3.20 ผลการทดสอบผลตอบสนองทางความถี่ของการส่งผ่านกระแสของวงจร DC-CDBA
(ก) จากขั้ว p ไปยังขั้ว z (ข) จากขั้ว n ไปยังขั้ว z

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.21 และ 3.22 แสดงผลทดสอบผลตอบสนองทางความถี่ของการส่งผ่านกระแสจากขั้ว p และขั้ว n ไปยังขั้ว z ของวงจร DC-CDBA ตามลำดับ โดยแปรค่า α จาก 1.00 ถึง 0.25 ลดลงขั้นละ 0.25 โดยมีการแสดงจุดอ้างอิงเพื่อบอกขนาดของอัตราการส่งผ่านกระแสและค่าความถี่ ซึ่งได้เรียงลำดับจากจุดอ้างอิงที่ตำแหน่ง 0, 1, 2, 3 และ 4 รูปที่ 3.21(ก) และ 3.22(ก) เป็นการทดสอบผลตอบสนองทางความถี่ของการส่งผ่านกระแสจากขั้ว p และขั้ว n ไปยังขั้ว z ที่ α =1 ตามลำดับ ผลการทดสอบชี้ให้เห็นว่าขนาดของอัตราการส่งผ่านกระแสอยู่ในช่วง 0 dB และมีแนวโน้มสูงขึ้นตามความถี่ที่สูงขึ้น หากพิจารณาในทางทฤษฎีแล้วอัตราการส่งผ่านกระแสจะต้องมีค่าคงที่ ที่ตำแหน่ง 0 dB ตลอดช่วงความถี่ที่เปลี่ยนแปลง ดังนั้นแนวโน้มการส่งผ่านกระแสที่มีอัตราการเบี่ยงเบนออกจากตำแหน่ง 0 dB ที่สูงขึ้นแสดงถึงค่าการผิดพลาดของอัตราการส่งผ่านกระแสที่สูงขึ้น หากพิจารณาจุดอ้างอิงที่ 0 ถึงจุดอ้างอิงที่ 2 พบว่าอัตราการส่งผ่านกระแสมีค่าอัตราการส่งผ่านกระแสเบี่ยงเบนออกจากตำแหน่ง 0 dB จนถึงประมาณ 0.5 dB ซึ่งเมื่อคิดค่าความผิดพลาดของการส่งผ่านกระแสจะมีค่าประมาณ 6% ซึ่งถือว่าเป็นค่าผิดพลาดที่ต่ำ ดังนั้นวิทยานิพนธ์นี้จึงได้พิจารณาให้จุดดังกล่าวเป็นจุดกำหนดช่วงความถี่ปฏิบัติงานที่เหมาะสมของวงจร DC-CDBA ซึ่งสามารถกล่าวได้ว่าความถี่ปฏิบัติงานที่เหมาะสมของวงจร DC-CDBA ที่นำเสนออยู่ในช่วงความถี่ไม่เกิน 500 kHz และมีค่าความผิดพลาดของการส่งผ่านกระแสประมาณ 6%

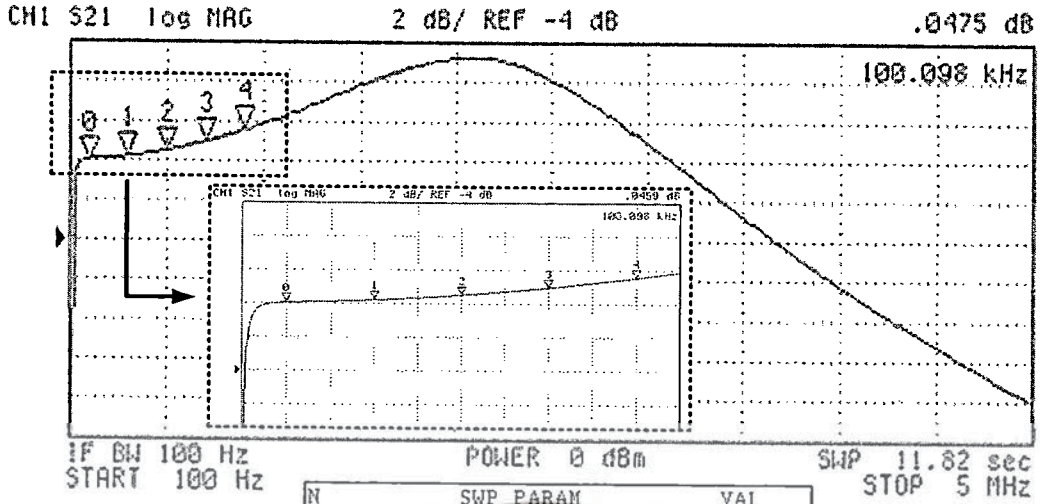
ทำนองเดียวกันรูปที่ 3.21(ข) และ 3.22(ข) เป็นการทดสอบผลตอบสนองทางความถี่ของการส่งผ่านกระแสจากขั้ว p และขั้ว n ไปยังขั้ว z ที่ α = 0.75 ผลการทดสอบชี้ให้เห็นว่าขนาดของอัตราการส่งผ่านกระแสอยู่ในช่วง -2.5 dB และมีแนวโน้มสูงขึ้นตามความถี่ที่สูงขึ้น ซึ่งในทางทฤษฎีจะต้องมีอัตราการส่งผ่านกระแสคงที่ที่ตำแหน่ง -2.5 dB ตลอดช่วงความถี่ที่เปลี่ยนแปลง หากใช้หลักเกณฑ์เดียวกับการพิจารณาอัตราการส่งผ่านกระแสดังรูปที่ 3.21(ก) และ 3.22(ก) โดยพิจารณาช่วงการเบี่ยงเบนของอัตราการส่งผ่านกระแสจาก -2.5 dB จนถึง -2 dB ช่วงความถี่ปฏิบัติงานของวงจร DC-CDBA จะมีค่าประมาณ 500 kHz สอดคล้องกับที่ได้แสดงไว้ในรูปที่ 3.21(ก) และ 3.22(ก)

เช่นเดียวกันกับผลการทดสอบผลตอบสนองทางความถี่ของการส่งผ่านกระแสที่ α = 0.50 ดังรูปที่ 3.21(ค) และรูปที่ 3.22(ค) พบว่าอัตราการส่งผ่านกระแสที่มีการเบี่ยงเบนจาก -6 dB จนถึง -5.5 dB และมีช่วงความถี่ในการปฏิบัติงานประมาณ 500 kHz เช่นกัน

จากผลการทดสอบในรูปที่ 3.21(ง) และ 3.22(ง) พบว่าอัตราการส่งผ่านกระแสที่มีการเบี่ยงเบนอยู่ในช่วง -12 dB ถึง -11.5 dB และมีช่วงความถี่ในการปฏิบัติงานของวงจรประมาณ500 kHz

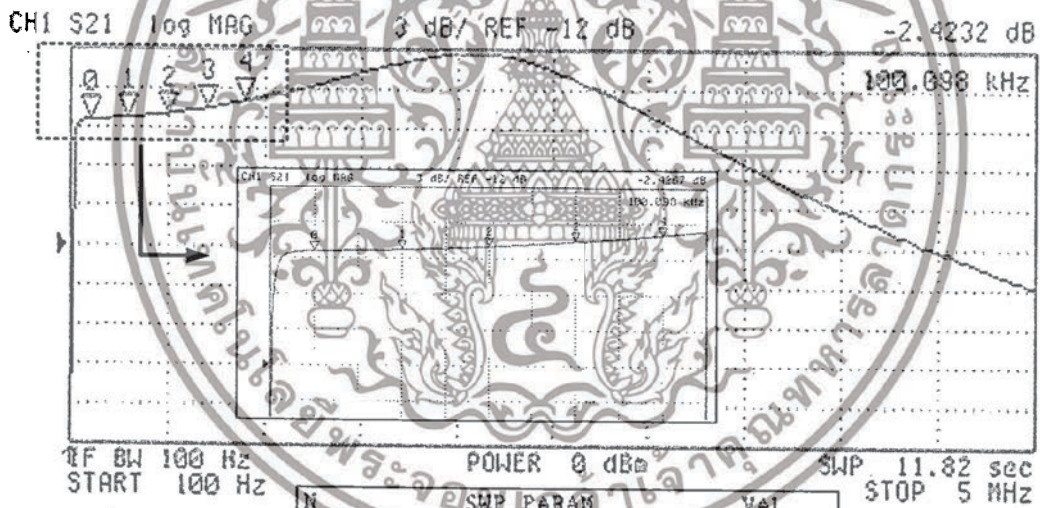
หากพิจารณาผลการทดสอบวงจร DC-CDBA ดังรูปที่ 3.21 และ 3.22 จะเห็นว่าการปรับค่า α ที่แตกต่างกันไม่ส่งผลกระทบต่อช่วงความถี่ปฏิบัติงานของวงจร และผลการทดสอบแสดงให้เห็นว่าช่วงความถี่ปฏิบัติงานสูงสุดของวงจรมีค่าประมาณ 500 kHz ย่านการปฏิบัติที่เหมาะสมของการนำวงจร DC-CDBA ไปใช้งานอยู่ที่ 500 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	100.098 kHz	.0475 dB
1	300.094 kHz	.2148 dB
2	500.09 kHz	.5089 dB
3	700.086 kHz	.9694 dB
4	900.082 kHz	1.5625 dB

(ก)



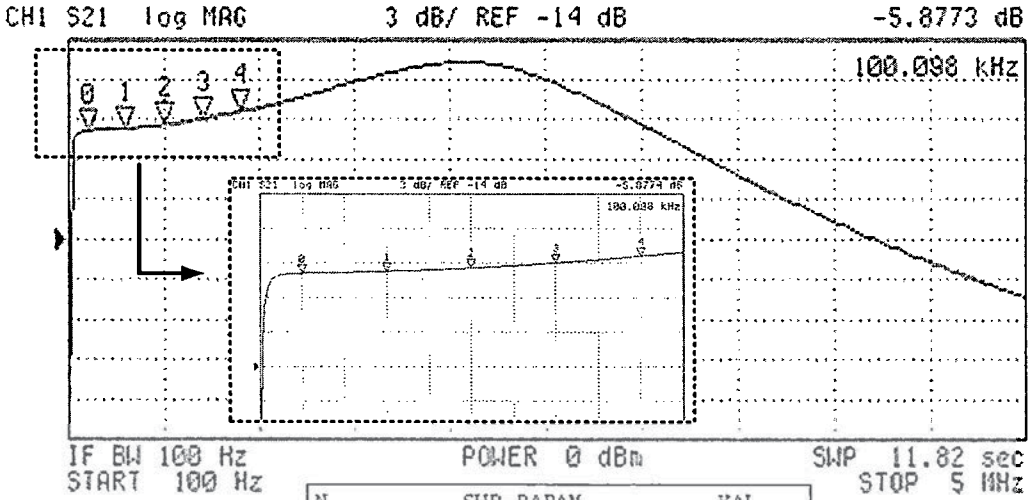
N	SWP PARAM	VAL
0	100.098 kHz	-2.4232 dB
1	300.094 kHz	-2.2624 dB
2	500.09 kHz	-1.982 dB
3	700.086 kHz	-1.5408 dB
4	900.082 kHz	-.9678 dB

(ข)

รูปที่ 3.21 ผลการทดสอบผลตอบสนองทางความถี่การส่งผ่านกระแสจากขั้ว p ไปยังขั้ว z ของวงจร DC-CDBA

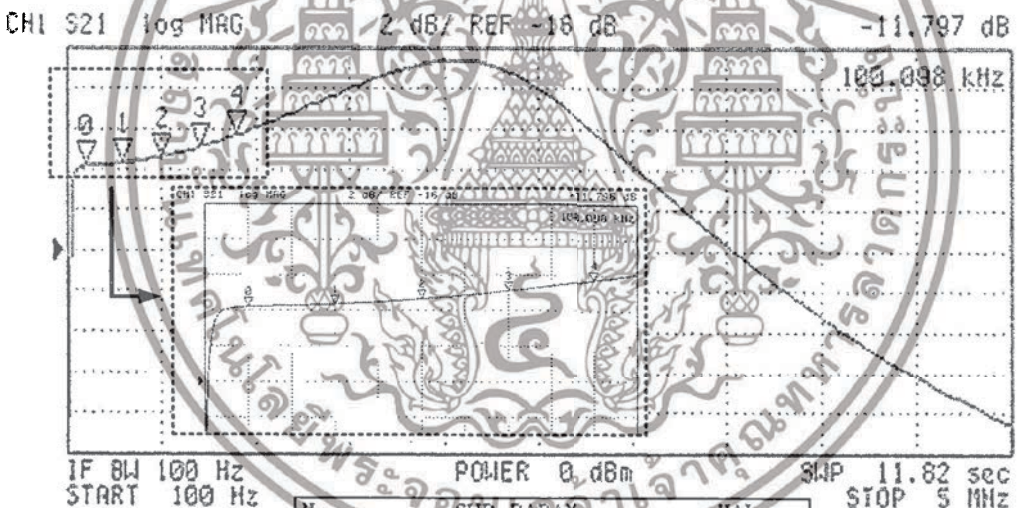
(ก) $\alpha = 1.00$ (ข) $\alpha = 0.75$ (ค) $\alpha = 0.50$ (ง) $\alpha = 0.25$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	100.098 kHz	-5.8773 dB
1	300.094 kHz	-5.7246 dB
2	500.09 kHz	-5.4364 dB
3	700.086 kHz	-4.9921 dB
4	900.082 kHz	-4.4085 dB

(ค)



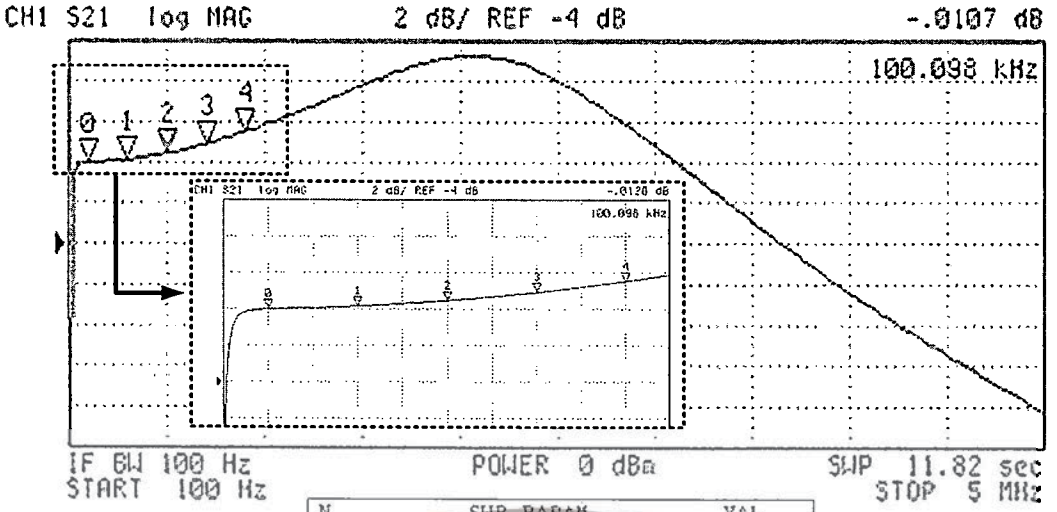
N	SWP PARAM	VAL
0	100.098 kHz	-11.797 dB
1	300.094 kHz	-11.642 dB
2	500.09 kHz	-11.34 dB
3	700.086 kHz	-10.873 dB
4	900.082 kHz	-10.272 dB

(ง)

รูปที่ 3.21 ผลการทดสอบผลตอบสนองทางความถี่การส่งผ่านกระแสจากขั้ว p ไปยังขั้ว z ของวงจร DC-CDBA (ต่อ)

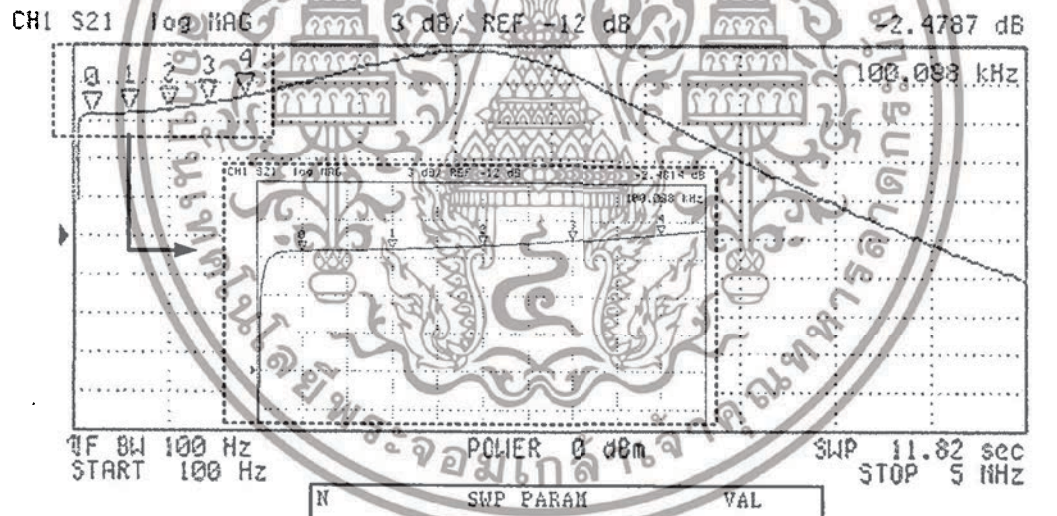
(ก) α = 1.00 (ข) α = 0.75 (ค) α = 0.50 (ง) α = 0.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	100.098 kHz	-.0107 dB
1	300.094 kHz	.1578 dB
2	500.09 kHz	.4582 dB
3	700.086 kHz	.9204 dB
4	900.082 kHz	1.5224 dB

(ก)



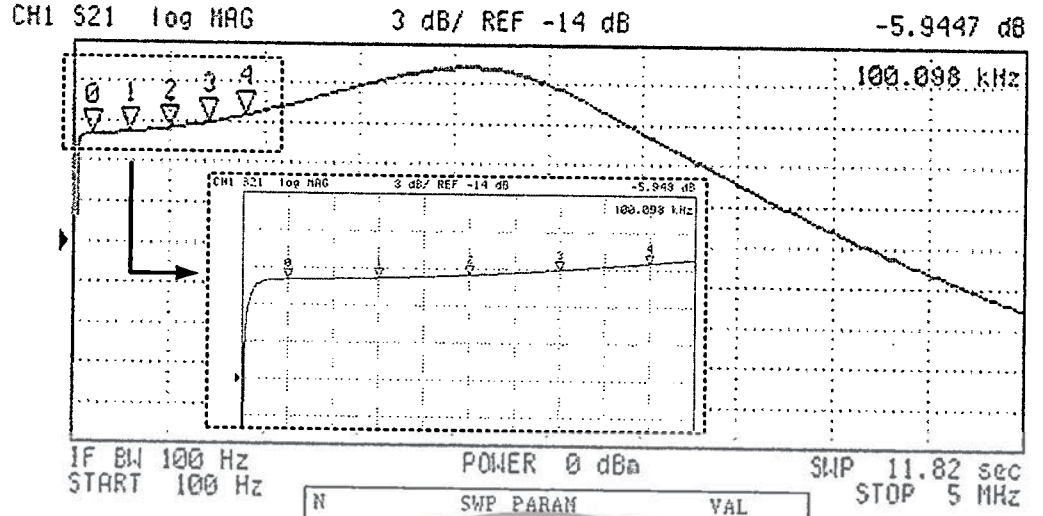
N	SWP PARAM	VAL
0	100.098 kHz	-2.4787 dB
1	300.094 kHz	-2.3201 dB
2	500.09 kHz	-2.0299 dB
3	700.086 kHz	-1.5847 dB
4	900.082 kHz	-1.0029 dB

(ข)

รูปที่ 3.22 ผลการทดสอบผลตอบสนองทางความถี่การส่งผ่านกระแสจากขั้ว *n* ไปยังขั้ว *z* ของวงจร DC-CDBA

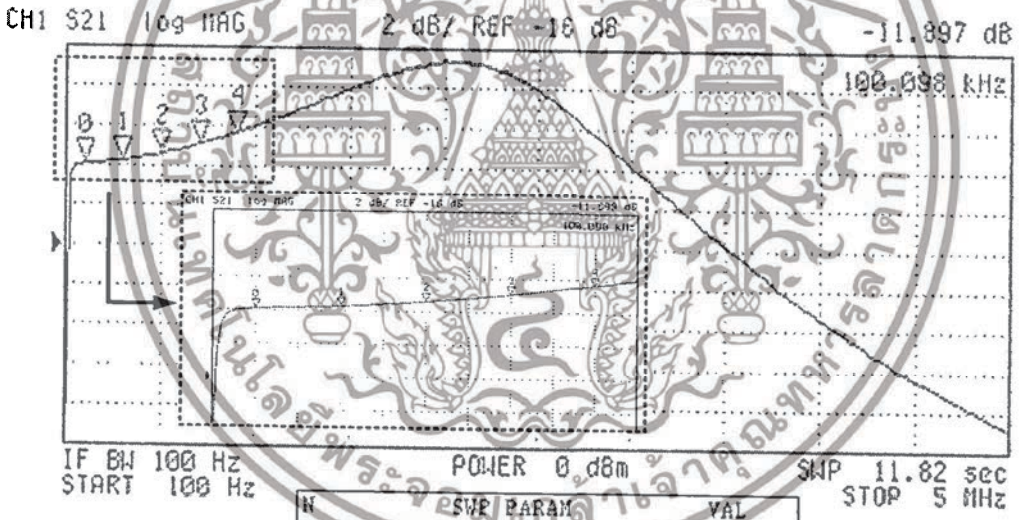
(ก) α = 1.00 (ข) α = 0.75 (ค) α = 0.50 (ง) α = 0.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



N	SWP PARAM	VAL
0	100.098 kHz	-5.9447 dB
1	300.094 kHz	-5.7787 dB
2	500.09 kHz	-5.4865 dB
3	700.086 kHz	-5.0632 dB
4	900.082 kHz	-4.4737 dB

(ค)



N	SWP PARAM	VAL
0	100.098 kHz	-11.897 dB
1	300.094 kHz	-11.721 dB
2	500.09 kHz	-11.41 dB
3	700.086 kHz	-10.936 dB
4	900.082 kHz	-10.331 dB

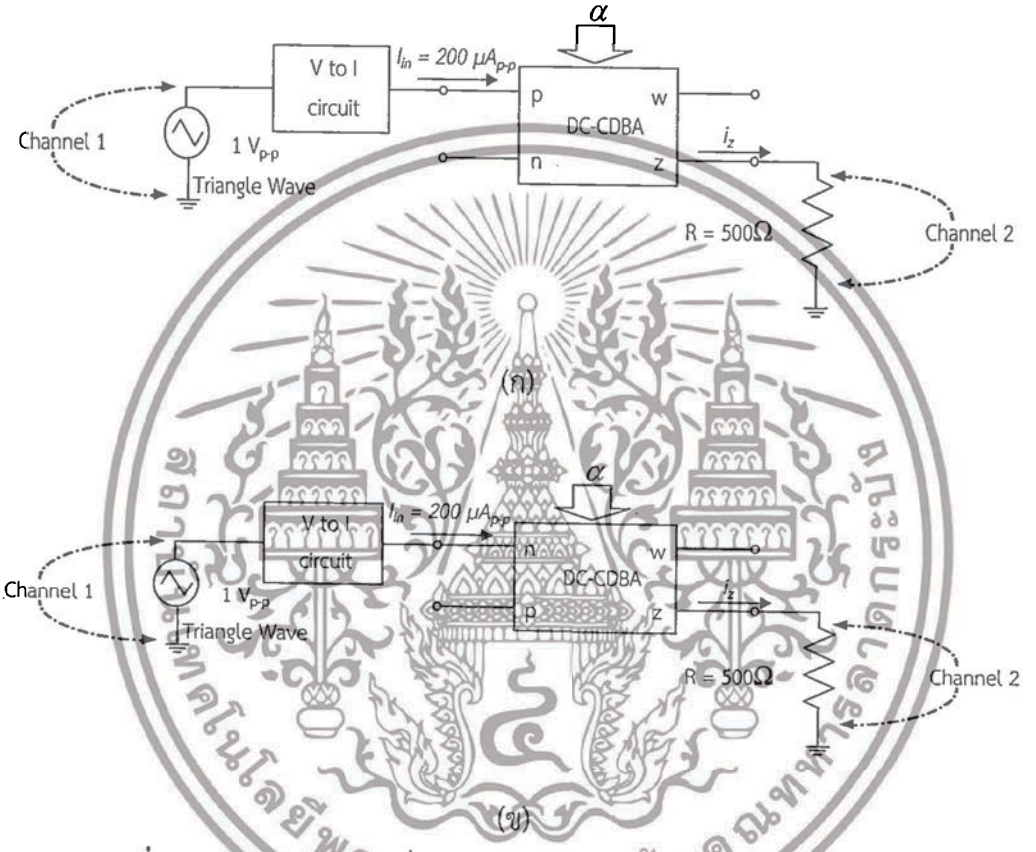
(ง)

รูปที่ 3.22 ผลการทดสอบผลตอบสนองทางความถี่การส่งผ่านกระแสจากขั้ว n ไปยังขั้ว z ของวงจร DC-CDBA (ต่อ)

(ก) $\alpha = 1.00$ (ข) $\alpha = 0.75$ (ค) $\alpha = 0.50$ (ง) $\alpha = 0.25$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

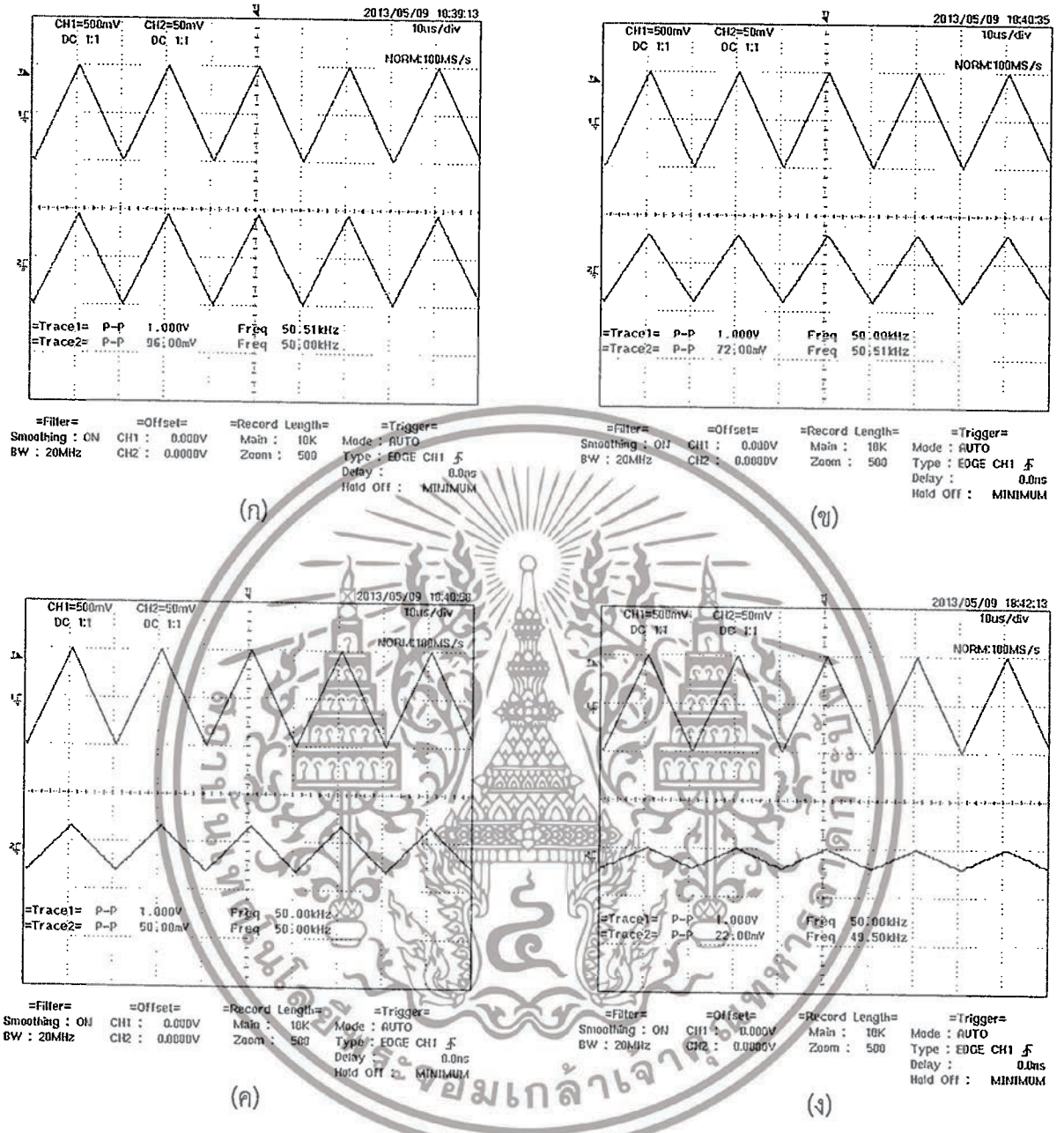
สำหรับการทดสอบคุณสมบัติของวงจร DC-CDBA ในทางเวลา (time domain) ในที่นี้ทดสอบโดยการป้อนกระแสอินพุตเข้าที่ขั้ว p และขั้ว n ให้กับวงจร DC-CDBA ในรูปที่ 3.15 โดยใช้วงจรแปลงแรงดันเป็นกระแสดังรูปที่ 3.16 ในการทดลองได้ทำการป้อนสัญญาณแรงดันรูปสามเหลี่ยมที่มีขนาดสัญญาณแรงดันเท่ากับ 1 $V_{p\text{-}p}$ ที่ขั้ว V_B ของวงจรแปลงแรงดันเป็นกระแสในรูปที่ 3.14 โดยเลือกใช้ R = 5kΩ ดังนั้นทำให้ได้กระแสอินพุต I_{in} = 200 $\mu A_{p\text{-}p}$ ป้อนให้กับขั้ว p และขั้ว n ของวงจร DC-CDBA รูปที่ 3.23 แสดงโครงสร้างวงจรที่ใช้ในการทดสอบการส่งผ่านกระแสในทางเวลาของวงจร DC-CDBA



รูปที่ 3.23 โครงสร้างวงจรที่ใช้ในการทดสอบการส่งผ่านกระแสในทางเวลา
(ก) จากขั้ว p ไปยังขั้ว z (ข) จากขั้ว n ไปยังขั้ว z

รูปที่ 3.24 และ 3.25 แสดงผลการบันทึกรูปคลื่นสัญญาณของแรงดันอินพุตก่อนป้อนเข้าวงจรแปลงแรงดันเป็นกระแสในช่องสัญญาณ 1 (channel 1) และรูปคลื่นสัญญาณแรงดันเอาต์พุตของวงจรที่คร่อมตัวต้านทาน R = 500 Ω ที่ขั้ว z ในช่องสัญญาณ 2 (channel 2) โดยในการแปรค่าอัตราขยายกระแส α จาก 0.25 ถึง 1.00 ขั้นละ 0.25 ผลการทดสอบการส่งผ่านกระแสจากขั้ว p และขั้ว n ไปยังขั้ว z แสดงได้ดังรูปที่ 3.24 และรูปที่ 3.25 ตามลำดับ ซึ่งแสดงให้เห็นว่าหลักการของวงจร DC-CDBA ที่นำเสนอสามารถนำมาประยุกต์ใช้งานได้จริง

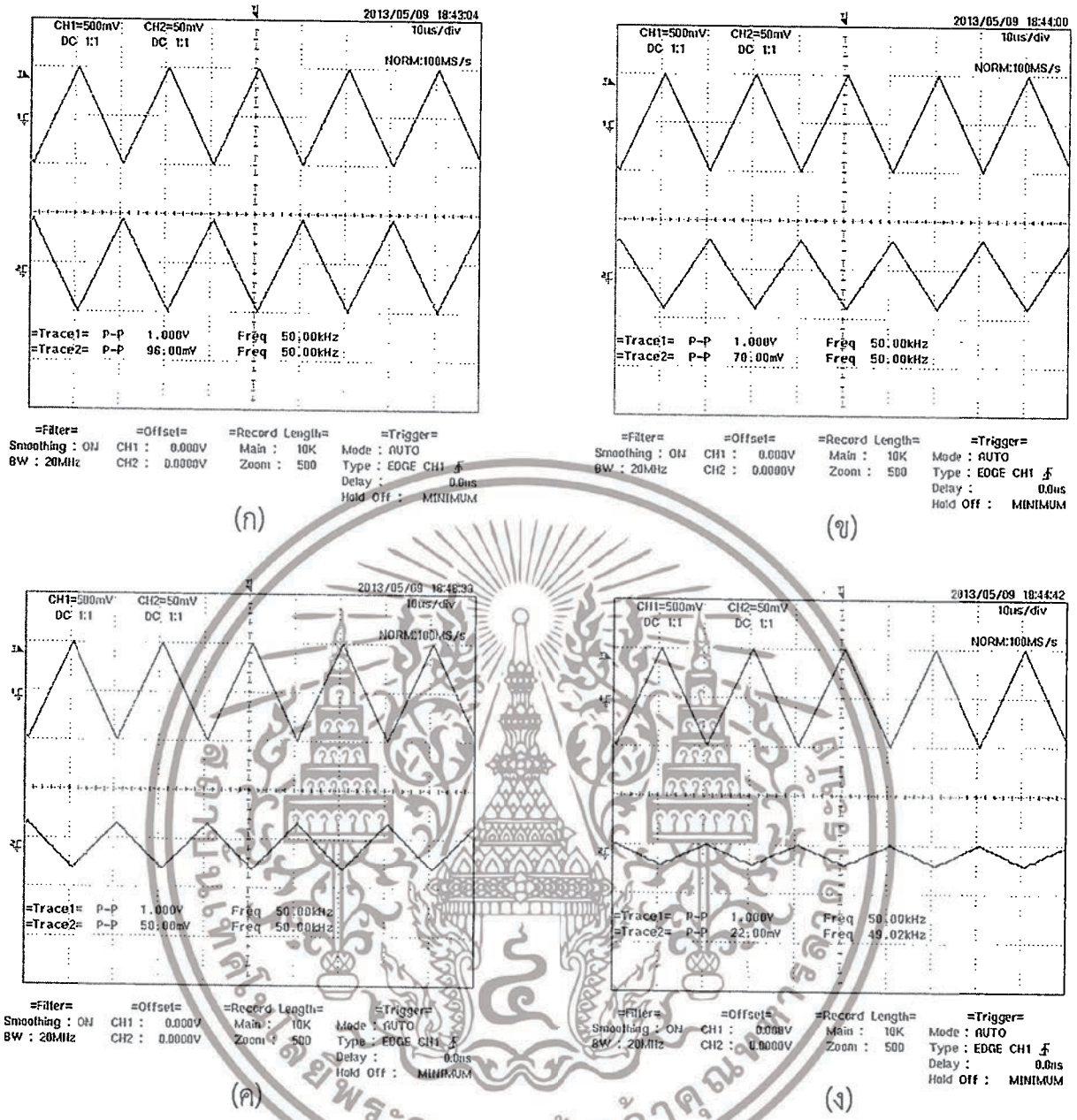
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.24 ผลการทดสอบการส่งผ่านกระแสในทางเวลาจากขั้ว p ไปยังขั้ว z ของวงจร DC-CDBA

(ก) $\alpha = 1.00$ (ข) $\alpha = 0.75$ (ค) $\alpha = 0.50$ (ง) $\alpha = 0.25$

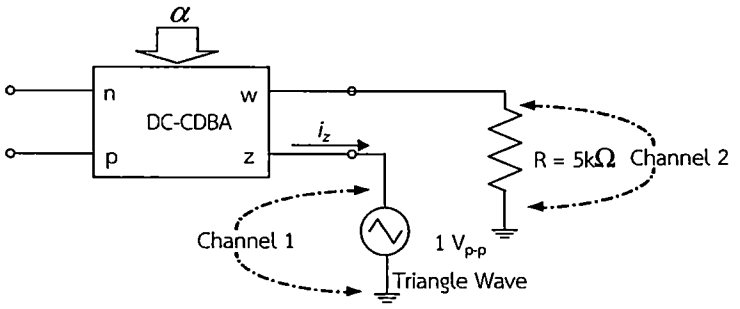
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.25 ผลการทดสอบการส่งผ่านกระแสในทางเวลาจากขั้ว n ไปยังขั้ว z ของวงจร DC-CDBA

(ก) $\alpha = 1.00$ (ข) $\alpha = 0.75$ (ค) $\alpha = 0.50$ (ง) $\alpha = 0.25$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.26 โครงสร้างวงจรที่ใช้ในการทดสอบการส่งผ่านแรงดันในทางเวลาจากขั้ว *z* ไปยังขั้ว *w*

รูปที่ 3.27 ผลการทดสอบการส่งผ่านแรงดันในทางเวลาจากขั้ว *z* ไปยังขั้ว *w* ของวงจร DC-CDBA

รูปที่ 3.26 แสดงโครงสร้างวงจรที่ใช้ในการทดสอบอัตราการส่งผ่านแรงดันจากขั้ว *z* ไปยังขั้ว *w* ในทางเวลา ผลการทดสอบดังรูปที่ 3.27 แสดงให้เห็นว่าคุณสมบัติการส่งผ่านแรงดันจากขั้ว *z* ไปยังขั้ว *w* ของวงจร DC-CDBA ที่นำเสนอสามารถปฏิบัติงานได้เป็นอย่างดี ผลตอบสนองทางความถี่ในการส่งผ่านแรงดันจากขั้ว *z* ไปยังขั้ว *w* มีผลตอบสนองในช่วงความถี่ปฏิบัติการที่สูงมากโดยเป็นไปตามคุณสมบัติของไอซี AD844 ที่ระบุจากบริษัทผู้ผลิต [31] ดังนั้นขีดจำกัดในการปฏิบัติงานทางความถี่ของวงจร DC-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDBA ที่นำเสนอจึงขึ้นอยู่กับวงจรส่งผ่านกระแสจากขั้ว p และขั้ว n ไปยังขั้ว z ของวงจร DC-CDBA ซึ่งจากผลการทดสอบจึงสรุปได้ว่าวงจร DC-CDBA มีย่านการปฏิบัติงานสูงสุดไม่เกิน 500 kHz

3.6 สรุป

บทนี้ได้นำเสนอวงจร CDBA แบบควบคุมด้วยสัญญาณดิจิตอล หรือวงจร DC-CDBA ซึ่งประกอบด้วยวงจรผลต่างกระแส โครงข่ายหารกระแส และวงจรตามแรงดัน การควบคุมคุณสมบัติของวงจรด้วยสัญญาณดิจิตอลจากภายนอกกระทำได้โดยอาศัยเทคนิคการหารกระแส วงจรที่นำเสนอสังเคราะห์ขึ้นจากเทคโนโลยีทรานซิสเตอร์แบบ CMOS SCN05H 0.5-μm และเพื่อเป็นการแสดงให้เห็นถึงคุณสมบัติในการทำงานของวงจร DC-CDBA ที่ได้นำเสนอ จึงได้แสดงผลการจำลองการทำงานและการต่อวงจรทดลองจริง โดยในส่วนของการจำลองการทำงานใช้โปรแกรม PSPICE ได้แสดงให้เห็นว่าวงจร DC-CDBA ที่นำเสนอ มีย่านการปฏิบัติงานทางความถี่สูงสุดอยู่ที่ประมาณ 100 MHz และกระแสออฟเซตสูงสุดมีค่าน้อยกว่า 5 μA ที่แรงดันไฟเลี้ยง $+V_{DD} = -V_{SS} = 1.25V$ กระแสไบอัส $I_B = 100$ μA และมีบิตในการปรับอัตราขยายทางดิจิตอลจำนวน 4 บิต และผลจากการต่อวงจรทดลองจริงได้สังเคราะห์วงจร DC-CDBA จากไอซีสำเร็จรูปเบอร์ AD844 และ DAC0800 โดยการทดสอบได้ทำการปรับอัตราขยายทางดิจิตอลจำนวน 8 บิต แรงดันไฟเลี้ยง ±5V กระแสไบอัส $I_B = 500$ μA ผลการทดสอบพบว่าวงจร DC-CDBA ที่ใช้ในการทดสอบมีช่วงปฏิบัติงานทางความถี่สูงสุดประมาณ 500 kHz และมีค่าความผิดพลาดในการส่งผ่านกระแสสูงสุดประมาณ 6% ซึ่งคุณสมบัติของวงจร DC-CDBA ที่นำเสนอได้แสดงในตารางที่ 3.2

ตารางที่ 3.2 คุณสมบัติของวงจร DC-CDBA ที่นำเสนอ

ผลการจำลองการทำงานของวงจร DC-CDBA โดยใช้โปรแกรม PSPICE ที่สังเคราะห์ขึ้นภายใต้เทคโนโลยีทรานซิสเตอร์แบบ CMOS SCN05H 0.5-μm	
แรงดันไฟเลี้ยง $+V_{DD}$ และ $-V_{SS}$	+1.25 V. และ -1.25 V.
ย่านความถี่ปฏิบัติงาน (ที่ความละเอียดบิตควบคุม 4 บิต)	100 MHz
ความผิดพลาดของการส่งผ่านกระแส (ที่ความละเอียดบิตควบคุม 4 บิต)	ต่ำกว่า 5 μA
ผลการต่อวงจรทดลองจริงของวงจร DC-CDBA ที่สังเคราะห์ขึ้นจากวงจร CFOA ไอซีเบอร์ AD844 และวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณแอนะล็อก ไอซีเบอร์ ADC0800	
แรงดันไฟเลี้ยง $+V_{DD}$ และ $-V_{SS}$	+5 V. และ -5 V.
ย่านความถี่ปฏิบัติงาน (ที่ความละเอียดบิตควบคุม 8 บิต)	500 kHz
ความผิดพลาดของการส่งผ่านกระแส (ที่ความละเอียดบิตควบคุม 8 บิต)	ต่ำกว่า 10 μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 เอกสารอ้างอิงบทที่ 3

[1] C. Toumazou, F. J. Lidgey and D. G. Haig, **Analogue IC Design : the current-mode approach**, Peter Peregrinus Ltd., U.K., 1990.

[2] B.Wilson,"Recent development in current conveyors and current circuits", **IEE Proceedings Circuits, Devices and Systems Part G,** vol.137, pp. 63-67, 1990.

[3] S. I. Liu, "CCI-based continuous–time filters with reduced gain-bandwidth sensitivity", **IEE Proceedings Circuits, Devices and Systems Part G,** vol.138, no.2, pp.210-216, 1991.

[4] J. Wu and E. E. Masry, "Current-mode ladder filters using multiple output current conveyors", IEE Proceedings Circuits, Devices and Systems Part G, vol.143, no.4, pp.218-222, 1996.

[5] M. T. Abuelma'Atti and N. A. Tasadduq, "Novel three inputs and one output universal current-mode filter using plus-type CCIIs", Microelectronics Journal, vol.30, pp.287-292, 1999.

[6] A. Toker and S. Ozoguz, "Integrable current-mode filter realization using dual-output current conveyors for low-frequency operation", International Journal of Electronics and Communications (AEU), vol.55, no.2, pp.145-149, 2001.

[7] H. Y. Wang and C. T. Lee, "Versatile insensitive current-mode universal biquad implemention using current conveyors", IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing, vol.48, no.4, pp.409-413, 2001.

[8] A. Fabre, O. Saaid, F. Wiest, and C. Boucheron, "High frequency applications based on a new current controlled conveyor", IEEE Transactions on Circuits and Systems I : Fundamental Theory and Applications, vol.43, no.2, pp.82-91, 1996.

[9] S. Ozcan, O. Cicekoglu, and H. Kuntman, "Multi-input single-output filter with reduces number of passive elements employing single current conveyor, **Computers and Electrical Engineering**, vol.29, pp.45-53, 2003.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[10] M. A. Ibrahim, S. Minaei and H. Kuntman, "A 22.5 MHz current-mode KHN- biquad using differential voltage current conveyor and grounded passive elements", **International Journal of Electronics and Communications (AEU)**, vol.59, pp.311-318, 2005.

[11] W. Tangsrirat and W. Surakampontorn, "Electronically tunable current-mode universal filter employing only plus-type current-controlled conveyors and grounded capacitors", **Circuits, Systems and Signal Processing**, vol.25, no.6, pp.701-713, 2006.

[12] W. Tangsrirat, and W. Surakampontorn, "High output impedance current-mode universal filter employing dual-output current-controlled conveyors and grounded capacitors", **International Journal of Electronics and Communications (AEU)**, vol.61, pp.127-131, 2007.

[13] W. Tangsrirat, "Current-tunable current-mode multifunction filter based on dual-output current-controlled conveyors", **International Journal of Electronics and Communications (AEU)**, vol.61, pp.528-533, 2007.

[14] C. Acar and S. Ozoguz, "A new versatile building block : current differencing buffered amplifier suitable for analog signal processing filters", **Microelectronics Journal**, vol.30, pp.157-160, 1999.

[15] S. Ozoguz, A. Toker and C. Acar, "Current-mode continuous-time fully-integrated universal filter using CDBAs", **Electronics Letters**, vol.35, no.2, pp.97-98, 1999.

[16] W. Tangsrirat, W. Surakampontorn and N. Fujii, "Realization of leapfrog filters using current differential buffered amplifiers", **IEICE Transactions on Fundamental of Electronics**, vol. E86-A, pp.318-326, 2003.

[17] H. Sedef and C. Acar, "On the realization of voltage-mode filters using CDBA", **Frequenz**, vol.54, pp.198-202, 2000.

[18] N. Tarim and H. Kuntman, "A high performance current differencing buffered amplifier", **The 13th IEEE Proceeding of International Conference on Microelectronics**, Rabat, Morocco, pp.153-156, 2001.

[19] C. Acar and H. Sedef, "Realization of n^{th}-order current transfer function using current differencing buffered amplifiers", **International Journal of Electronics**, vol.90, no.4, pp.277-283, 2003.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[20] W. Tangsrirat, K. Klahan, T. Dumawipata and W. Surakampontorn, "Low-voltage NMOS-based current differencing buffered amplifier and its application to current-mode ladder filter design", **International Journal of Electronics**, vol.93, no.11, pp.777-791, 2006.

[21] W. Tangsrirat, T. Pukkalanun and W. Surakampontorn, "CDBA-based universal biquad filter and quadrature oscillator", **Active and Passive Electronic Components**, vol. 2008, 2008.

[22] J. W. Horng, "Current differencing buffered amplifiers based single resistance controlled quadrature oscillator employing grounded capacitors", **IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences**, vol.E85-A, pp.1416-1419, 2002.

[23] W. Tangsrirat and S. Pisitisitchalermpong, "CDBA-based quadrature sinusoidal oscillator", **Frequenz**, vol.61, no.3-4, pp. 102-104, 2007.

[24] W. Tangsrirat, K. Klahan, T. Dumawipata and W. Surakampontorn, "Low-voltage NMOS-based current differencing buffered amplifier and its application to current-mode ladder filter design", **International Journal of Electronics**, vol.93, no.11, pp.777-791, 2006.

[25] O. Oliaei, and J. Porte, "Compound current conveyor (CCII+ and CCII-)", **Electronics Letters**, vol.33, pp.253-254, 1997.

[26] E. Ibaragi, A. Hyogo, and K. Sekine, "A phase compensation technique without capacitors for the CMOS circuit with a very low impedance terminal", **IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences**, vol.E83-A, pp.236-242, 2000.

[27] P. R. Gray, P. J. Hurst, S. H. Lewis and R. G. Meyer, **Analysis and Design of Analog Integrated Circuits**,Fourth Edition,John Wiley&Sons,Inc., 2001.

[28] E. W. Greeneich, **Analog Integrated Circuits**, International Thomson Publishing, Florence, KY 41042, 1997.

[29] T. Dumawipata, **"On the design and realization of analog filters using current differencing technique"**, Doctoral Degree. Thesis of Faculty of Engineering King Mongkut's Institute of Technology Ladkrabang, Bangkok, Thailand, 2008.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[30] W. Tangsrirat, D. Prasertsom, W. Surakampontorn, "Low-voltage digitally controlled current differencing buffered amplifier and its application", **International Journal of Electronics and Communications (AEU)**, vol.63, pp.249-258, 2009.

[31] **Analog Devices**, "AD844 60 MHz, Monolithic Operational Amplifier (Op-Amp) Data Sheet", 2009.

[32] **National Semiconductor**, "DAC0800, 8-bit Digital to Analog Converters Data Sheet", 1999.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

วงจรกรองสัญญาณไบควอดราทิกแบบปรับค่าได้ด้วยสัญญาณดิจิตอล

4.1 กล่าวนำ

วงจรกรองสัญญาณ (filter circuit) คือ วงจรที่ทำหน้าที่ส่งผ่านสัญญาณในช่วงความถี่ที่กำหนดไว้หรือลดทอนสัญญาณความถี่ที่ไม่อยู่ในช่วงที่ไม่กำหนดเอาไว้ [1] หากพิจารณารูปแบบของวงจรกรองสัญญาณตามคุณสมบัติของสัญญาณแล้วสามารถแบ่งได้เป็นสองแบบ คือ วงจรกรองสัญญาณดิจิตอล (digital filter) ซึ่งเป็นวงจรกรองสัญญาณที่ใช้กับสัญญาณที่ไม่ต่อเนื่องทางเวลา (discrete-time signal) และวงจรกรองสัญญาณแอนะล็อก (analog filter) ซึ่งเป็นวงจรที่ถูกใช้กับสัญญาณที่มีความต่อเนื่องทางเวลา (continuous-time signal) โดยพบว่าวงจรกรองสัญญาณแอนะล็อกสามารถแบ่งออกเป็นสองประเภทใหญ่ๆคือ วงจรกรองสัญญาณแบบพาสซีฟ (passive filter) ซึ่งใช้เฉพาะอุปกรณ์พาสซีฟ เช่น ตัวต้านทาน ตัวเก็บประจุ และขดลวดเหนี่ยวนำในการสังเคราะห์วงจร และวงจรกรองสัญญาณแบบแอคทีฟ (active filter) ซึ่งออกแบบและสังเคราะห์วงจรโดยใช้อุปกรณ์แอคทีฟต่อใช้งานร่วมกับอุปกรณ์พาสซีฟ ความแตกต่างของวงจรกรองสัญญาณทั้งสอง คือ วงจรกรองสัญญาณแบบพาสซีฟจะไม่สามารถปรับเปลี่ยนอัตราขยายสัญญาณได้ อีกทั้งในการเปลี่ยนแปลงคุณสมบัติต่างๆของวงจรกรองสัญญาณจะต้องมีการเปลี่ยนแปลงรูปแบบของวงจร แต่วงจรกรองสัญญาณแบบแอคทีฟโดยใช้อุปกรณ์แอคทีฟสมรรถนะสูงเช่น CCII [2]-[4] วงจร OTA [5]-[8] วงจร CFTA [9]-[16] วงจร CDTA [17]-[29] เป็นต้นมาสังเคราะห์วงจร จะทำให้สามารถปรับเปลี่ยนค่าคุณสมบัติของวงจรได้โดยไม่ต้องปรับเปลี่ยนรูปแบบของวงจร

ดังนั้นในวิทยานิพนธ์บทนี้จะได้กล่าวถึงการสังเคราะห์วงจรกรองสัญญาณแอนะล็อกอันดับสอง (second-order filter) โดยใช้วงจร DC-CDBA (Digitally Controlled Current Differencing Buffered Amplifier) เป็นอุปกรณ์แอคทีฟหลักต่อร่วมกับอุปกรณ์พาสซีฟ คือ ตัวต้านทาน และตัวเก็บประจุ วงจรกรองสัญญาณที่นำเสนอสามารถสังเคราะห์ฟังก์ชันกรองสัญญาณได้ครบทุกฟังก์ชัน คือ ฟังก์ชันกรองผ่านความถี่ต่ำ (low-pass filter; LP) ฟังก์ชันกรองผ่านความถี่สูง (high-pass filter; HP) ฟังก์ชันกรองผ่านแถบความถี่ (band-pass filter; BP) ฟังก์ชันจำกัดแถบความถี่ (band-stop filter; BS) และฟังก์ชันกรองผ่านทุกความถี่ (all-pass filter; .AP) นอกจากนี้ยังสามารถแปรค่าความถี่เชิงมุมธรรมชาติ (ω_0) ได้โดยวิธีการทางอิเล็กทรอนิกส์โดยการใช้สัญญาณดิจิตอลในการควบคุม คุณสมบัติของวงจรกรองสัญญาณที่นำเสนอถูกทดสอบด้วยการจำลองการทำงานโดยใช้โปรแกรม PSPICE และผลการต่อวงจรทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจรกรองสัญญาณไบควอดราทิก

วงจรกรองสัญญาณแบบไบควอดราทิก (biquadratic filter) เป็นวงจรกรองสัญญาณที่ได้รับความนิยมในการนำไปประยุกต์ใช้งานด้านการประมวลผลสัญญาณแอนะล็อกอย่างแพร่หลายวงจรหนึ่ง โดยที่มาของวงจรกรองสัญญาณประเภทนี้ถูกนิยามตามคุณสมบัติของฟังก์ชันถ่ายโอนของวงจรที่มีรูปแบบของเศษส่วนพหุนามอันดับสองดังนี้ [1]

$$H(s)=\frac{N(s)}{D(s)}=\frac{a_2s^2+a_1s+a_0}{s^2+b_1s+b_0}=\frac{a_2(s+z_1)(s+z_2)}{(s+p_1)(s+p_2)} \tag{4.1}$$

เมื่อ $N(s)$ คือ สัญญาณเอาต์พุตในโดเมนความถี่ $D(s)$ คือ สัญญาณอินพุตในโดเมนความถี่ และ $H(s)$ คือฟังก์ชันถ่ายโอนทางความถี่ของวงจรกรองสัญญาณ ดังแสดงในรูปที่ 4.1

รูปที่ 4.1 ระบบของวงจรกรองสัญญาณ

เมื่อพิจารณาสมการ (4.1) พบว่าค่าซีโรของสมการคือ $-Z_1$ และ $-Z_2$ ในแนวทางเดียวกันสามารถหาโพลของสมการได้ $-p_1$ และ $-p_2$ หากซีโรและโพลเป็นจำนวนเชิงซ้อนที่ประกอบด้วย Z_2 เป็นจำนวณเชิงซ้อนสังยุค (complex conjugate) ของ Z_1 หรือ $Z_2 = Z_1^*$ และ p_2 เป็นจำนวนเชิงซ้อนสังยุคของ p_1 หรือ $p_2 = p_1^*$ สามารถเขียนสมการ (4.1) ใหม่ได้เป็น

$$H(s)=H_0\frac{s^2+(2\,\mathrm{Re}(z_1))s+\mathrm{Re}(z_1)^2+\mathrm{Im}(z_1)^2}{s^2+(2\,\mathrm{Re}(p_1))s+\mathrm{Re}(p_1)^2+\mathrm{Im}(p_1)^2} \tag{4.2}$$

หรือ

$$H(s)=H_0\frac{s^2+\left(\frac{\omega_z}{Q_z}\right)s+\omega_z^2}{s^2+\left(\frac{\omega_p}{Q_p}\right)s+\omega_p^2} \tag{4.3}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ ω_z คือ ความถี่ซีโร (zero frequency) ω_p คือ ความถี่โพล (pole frequency) Q_z คือ ตัวประกอบคุณภาพซีโร (zero quality factor) และ Q_p คือ ตัวประกอบคุณภาพโพล (pole quality factor) ซึ่งจากสมการ (4.3) ถือได้ว่าเป็นรูปแบบทั่วไปของฟังก์ชันถ่ายโอนวงจรกรองสัญญาณแบบไบควอดราทิก เนื่องจากได้แสดงให้เห็นถึงคุณสมบัติที่สำคัญของวงจรทุกตัว และจากคุณสมบัติของฟังก์ชันถ่ายโอนดังกล่าวสามารถนำไปสังเคราะห์เป็นฟังก์ชันกรองสัญญาณได้ดังต่อไปนี้

กรณีที่ 1 เมื่อฟังก์ชันถ่ายโอนมีลักษณะเป็นฟังก์ชันโพลล้วน (all-pole transfer function) โดยมีซีโรจำนวนสองตัวอยู่ที่ $s=\infty$ หรือจากสมการ (4.1) $a_1=a_2=0$ ซึ่งในกรณีนี้สามารถสังเคราะห์ฟังก์ชันถ่ายโอนได้แบบฟังก์ชันกรองผ่านความถี่ต่ำดังนี้

$$H(s)=\frac{H_0\omega_p^2}{s^2+\left(\frac{\omega_p}{Q_p}\right)s+\omega_p^2} \tag{4.4}$$

กรณีที่ 2 จากสมการ (4.1) ค่าสัมประสิทธิ์ $a_0=a_1=0$ หรือมีซีโรจำนวนสองตัวอยู่ที่ $s=0$ ซึ่งในกรณีนี้สามารถสังเคราะห์ฟังก์ชันถ่ายโอนได้แบบฟังก์ชันกรองผ่านความถี่สูงดังนี้

$$H(s)=\frac{H_0s^2}{s^2+\left(\frac{\omega_p}{Q_p}\right)s+\omega_p^2} \tag{4.5}$$

กรณีที่ 3 เมื่อฟังก์ชันถ่ายโอนมีลักษณะเป็นฟังก์ชันที่มีซีโรอยู่ที่ $s=0$ และ $s=\infty$ หรือ $a_2=a_0=0$ ซึ่งในกรณีนี้สามารถสังเคราะห์ฟังก์ชันถ่ายโอนได้แบบฟังก์ชันกรองผ่านแถบความถี่ดังนี้

$$H(s)=\frac{H_0\left(\frac{\omega_p}{Q_p}\right)s}{s^2+\left(\frac{\omega_p}{Q_p}\right)s+\omega_p^2} \tag{4.6}$$

กรณีที่ 4 เมื่อ $a_1=0$ ซึ่งในกรณีนี้สามารถสังเคราะห์ฟังก์ชันถ่ายโอนได้แบบฟังก์ชันตัดแถบความถี่ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$H(s)=\frac{H_0\left(s^2+\omega_z^2\right)}{s^2+\left(\frac{\omega_p}{Q_p}\right)s+\omega_p^2} \tag{4.7}$$

กรณีที่ 5 เป็นกรณีของฟังก์ชันกรองผ่านทุกความถี่ ซึ่งเกิดขึ้นเมื่อรากของ $N(s)$ มีตำแหน่งอยู่บนซีกขวาของระนาบเชิงซ้อน s และสมมาตรกับตำแหน่งรากของ $D(s)$ ที่อยู่บนซีกซ้ายของระนาบเชิงซ้อน s หรือเขียนได้ว่า

$$N(s)=\pm D(-s) \tag{4.8}$$

ดังนั้น ฟังก์ชันกรองผ่านทุกความถี่จึงมีรูปแบบทั่วไปดังนี้

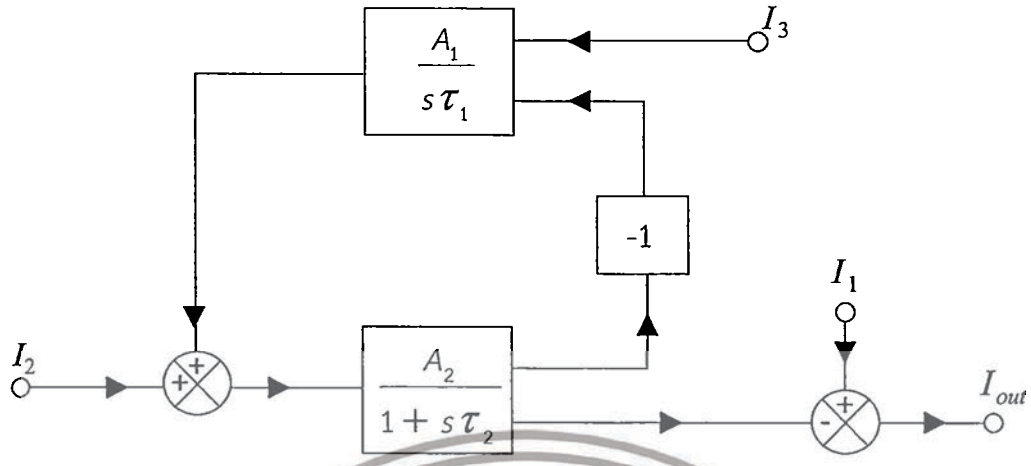
$$H(s)=\frac{N(s)}{D(s)}=\pm\frac{D(-s)}{D(s)} \tag{4.9}$$

$$H(s)=\frac{H_0\left(s^2-\left(\frac{\omega_p}{Q_p}\right)s+\omega_z^2\right)}{s^2+\left(\frac{\omega_p}{Q_p}\right)s+\omega_p^2} \tag{4.10}$$

4.3 วงจรกรองสัญญาณไบควอดราทิกแบบปรับค่าได้ด้วยสัญญาณดิจิตอลโดยใช้วงจร DC-CDBA

ในหัวข้อนี้นำเสนอการสังเคราะห์วงจรกรองสัญญาณไบครอดราทิกโดยใช้วงจร DC-CDBA เป็นอุปกรณ์แอคทีฟหลัก โดยมุ่งเน้นการสังเคราะห์วงจรกรองสัญญาณที่มีโครงสร้างแบบสามอินพุตหนึ่งเอาต์พุต (three-input single-output, TISO) วงจรกรองสัญญาณที่นำเสนอสามารถสังเคราะห์ฟังก์ชันกรองสัญญาณได้ครบทุกฟังก์ชัน คือ ฟังก์ชันกรองผ่านความถี่ต่ำ ฟังก์ชันกรองผ่านความถี่สูง ฟังก์ชันกรองผ่านแถบความถี่ ฟังก์ชันจำกัดแถบความถี่ และฟังก์ชันกรองผ่านทุกความถี่ โดยปราศจากการเปลี่ยนแปลงรูปแบบของวงจร การเปลี่ยนรูปแบบฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณสามารถกระทำได้โดยการเลือกป้อนสัญญาณอินพุตที่เหมาะสม โครงสร้างของวงจรกรองสัญญาณไบควอดราทิกที่นำเสนอแสดงได้ดังรูปที่ 4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 โครงสร้างวงจรกรองสัญญาณไบควอดราทิกแบบปรับค่าได้ด้วยสัญญาณดิจิตอลที่นำเสนอ

จากรูปที่ 4.2 จะเห็นได้ว่าการสังเคราะห์วงจรกรองสัญญาณไบควอดราทิกประกอบด้วย วงจรอินทิเกรเตอร์แบบสูญเสีย (lossy integrator) และวงจรอินทิเกรเตอร์แบบไม่มีการสูญเสีย (lossless integrator) ต่อร่วมเป็นวงป้อนกลับ ซึ่งสามารถวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจรได้ดังนี้ [ภาคผนวก ข.1]

$$I_{out} = \frac{\left(s^2\tau_1\tau_2 + s\tau_1 + A_1A_2\right)I_1 - \left(A_1\tau_1\right)s\ I_2 - \left(A_1A_2\right)I_3}{s^2\tau_1\tau_2 + s\tau_1 + A_1A_2} \qquad (4.11)$$

เมื่อพิจารณาสมการ (4.11) จะเห็นว่าหากเลือกป้อนสัญญาณอินพุตที่เหมาะสมแล้ว วงจรสามารถสังเคราะห์ฟังก์ชันกรองสัญญาณได้ครบทุกรูปแบบโดยไม่ต้องเปลี่ยนแปลงรูปแบบของวงจร ซึ่งมีความสัมพันธ์ของการกำหนดค่าของสัญญาณอินพุตดังต่อไปนี้

1) เมื่อกำหนดให้ $I_1 = I_2 = 0$ และ $I_3 = I_{in}$ (สัญญาณอินพุต) จะได้ฟังก์ชันกรองสัญญาณแบบกรองผ่านความถี่ต่ำ ดังนี้

$$\frac{I_{out}}{I_{in}} = -\frac{A_1A_2}{s^2\tau_1\tau_2 + s\tau_1 + A_1A_2} \qquad (4.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2) เมื่อกำหนดให้ $I_1 = I_3 = 0$ และ $I_2 = I_{in}$ จะได้ฟังก์ชันกรองสัญญาณแบบกรองผ่านแถบความถี่ ดังนี้

$$\frac{I_{out}}{I_{in}} = -\frac{A_1 s\tau_1}{s^2\tau_1\tau_2 + s\tau_1 + A_1A_2} \tag{4.13}$$

3) เมื่อกำหนดให้ $I_1 = I_2 = I_3 = I_{in}$ และ $A_1 = 1$ จะได้ฟังก์ชันกรองสัญญาณแบบกรองผ่านความถี่สูง ดังนี้

$$\frac{I_{out}}{I_{in}} = \frac{s^2\tau_1\tau_2}{s^2\tau_1\tau_2 + s\tau_1 + A_1A_2} \tag{4.14}$$

4) เมื่อกำหนดให้ $I_3 = 0$ $I_1 = I_2 = I_{in}$ และ $A_1 = 1$ จะได้ฟังก์ชันกรองสัญญาณแบบตัดแถบความถี่ ดังนี้

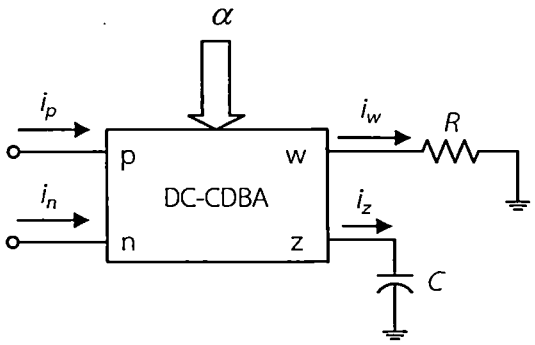
$$\frac{I_{out}}{I_{in}} = \frac{\left(s^2\tau_1\tau_2 + A_1A_2\right)}{s^2\tau_1\tau_2 + s\tau_1 + A_1A_2} \tag{4.15}$$

5) เมื่อกำหนดให้ $I_3 = 0$ $I_1 = 2I_2 = I_{in}$ และ $A_1 = 1$ จะได้ฟังก์ชันกรองสัญญาณแบบกรองผ่านทุกความถี่ ดังนี้

$$\frac{I_{out}}{I_{in}} = \frac{\left(s^2\tau_1\tau_2 - s\tau_1 + A_1A_2\right)}{s^2\tau_1\tau_2 + s\tau_1 + A_1A_2} \tag{4.16}$$

สมการ (4.12) ถึง (4.16) แสดงให้เห็นได้ว่าโครงสร้างวงจรกรองสัญญาณที่นำเสนอในรูปที่ 4.2 สามารถสังเคราะห์ฟังก์ชันการกรองสัญญาณมาตรฐานได้ครบทุกฟังก์ชัน ซึ่งในวิทยานิพนธ์นี้ได้เลือกใช้วงจร DC-CDBA มาเป็นอุปกรณ์แอคทีฟหลักในการสังเคราะห์วงจร ดังนั้นเมื่ออาศัยโครงสร้างของวงจรดังรูปที่ 4.2 และคุณสมบัติของวงจร DC-CDBA ที่ได้กล่าวไว้แล้วในบทที่ 3 จะเห็นว่าการสังเคราะห์วงจรอินทิเกรเตอร์แบบไม่สูญเสียที่สังเคราะห์จากวงจร DC-CDBA ต่อร่วมกับอุปกรณ์พาสซีฟ คือ ตัวต้านทาน และตัวเก็บประจุ แสดงได้ดังรูปที่ 4.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 วงจรอินทิเกรเตอร์แบบไม่สูญเสียโดยใช้วงจร DC-CDBA

จากรูปที่ 4.3 เมื่อกระแสอินพุตคือกระแสที่ไหลเข้าขั้ว p และขั้ว n ของวงจร DC-CDBA (i_p และ i_n) และกระแสเอาต์พุตคือกระแสที่ไหลออกจากขั้ว w (i_w) ดังนั้นทำให้ได้ฟังก์ชันถ่ายโอนกระแสของวงจรเท่ากับ [ภาคผนวก ข.2]

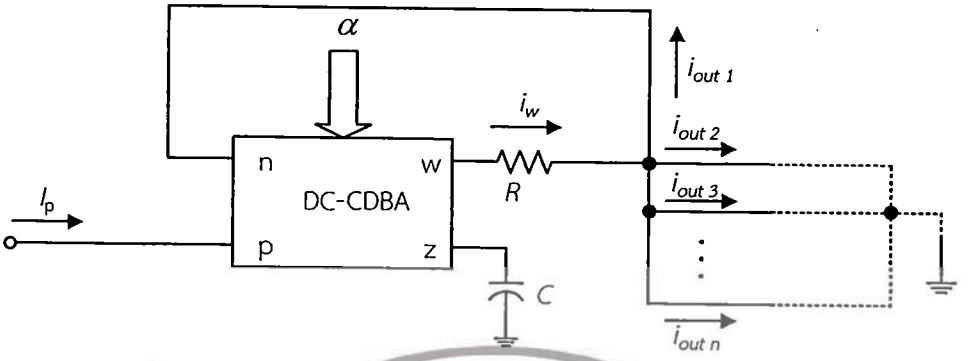
$$\frac{i_w}{i_p - i_n} = \frac{\alpha}{sRC} \tag{4.17}$$

เมื่อเปรียบเทียบสมการ (4.17) กับโครงสร้างวงจรกรองสัญญาณไบควอดราทิกดังรูปที่ 4.2 จะพบว่า $A_1 = \alpha$ และ $\tau_1 = RC$ ในทำนองเดียวกันการสังเคราะห์วงจรอินทิเกรเตอร์แบบสูญเสียโดยใช้วงจร DC-CDBA เป็นอุปกรณ์แอคทีฟหลักต่อร่วมกับอุปกรณ์พาสซีฟจะสามารถสังเคราะห์วงจรได้ดังรูปที่ 4.4 ซึ่งจะเห็นว่าหลักการสังเคราะห์วงจรดังกล่าวอาศัยหลักการป้อนกลับของกระแสแบบลบ (current negative feedback) จากเอาต์พุตของวงจรอินทิเกรเตอร์แบบไม่สูญเสียในรูปที่ 4.3 หรือการนำกระแส $i_{out\ 1}$ ป้อนกลับเข้ามายังขั้ว n ของวงจร DC-CDBA ซึ่งมีแรงดันอินพุตที่ขั้วดังกล่าวเท่ากับศูนย์หรือเป็นจุดกราวด์เสมือน (virtual ground) ดังนั้นในการนำกระแสเอาต์พุตของวงจรไปใช้งาน ($i_{out\ 2}$, $i_{out\ 3}$, ..., $i_{out\ n}$) จึงจำเป็นต้องทำให้จุดที่จะนำกระแสไปใช้งานมีแรงดันเป็นศูนย์เช่นกัน จากเงื่อนไขของการสังเคราะห์วงจรดังกล่าวจะได้ฟังก์ชันถ่ายโอนกระแสของวงจรเท่ากับ [ภาคผนวก ข.3]

$$\frac{i_{out}}{i_p} = \frac{\alpha i_p}{1 + sn\alpha CR} \tag{4.18}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ n คือจำนวนขั้วเอาต์พุตที่ถูกนำไปใช้งานและเมื่อเปรียบเทียบสมการ (4.18) กับโครงสร้างวงจรกรองสัญญาณในรูปที่ 4.2 จะเห็นว่า $A_2 = \alpha$ และ $\tau_2 = n\alpha RC$



รูปที่ 4.4 วงจรอินทิเกรเตอร์แบบสูญเสียโดยใช้วงจร DC-CDBA

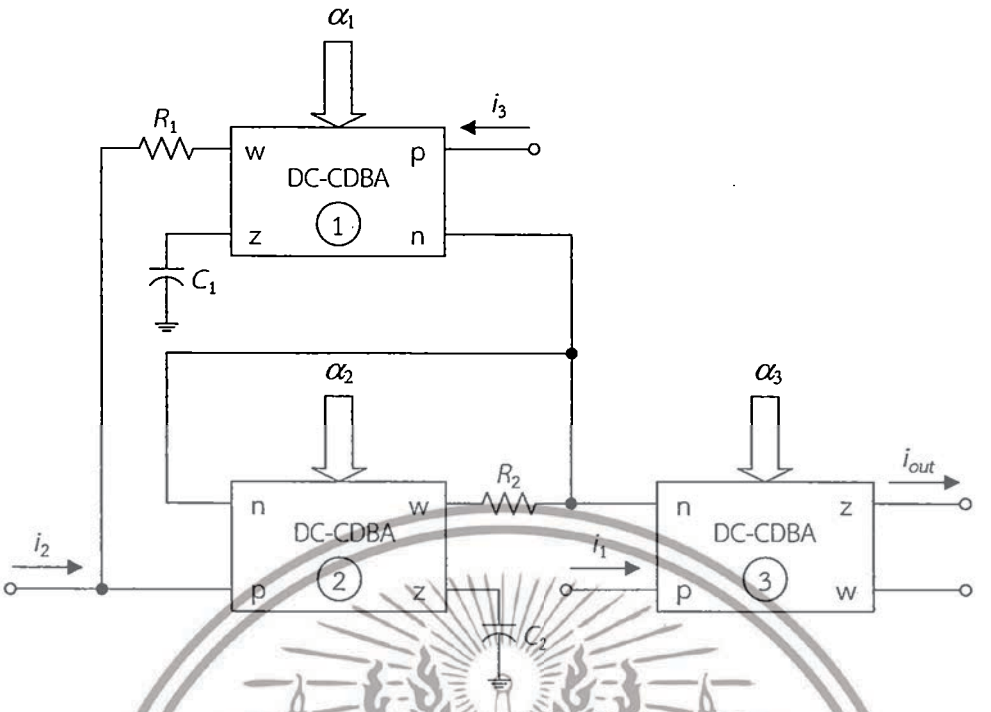
จากวงจรอินทิเกรเตอร์แบบไม่สูญเสียและแบบสูญเสียโดยใช้วงจร DC-CDBA ในรูปที่ 4.3 และ 4.4 ซึ่งมีฟังก์ชันถ่ายโอนกระแสดังสมการ (4.17) และสมการ (4.18) ตามลำดับ สังเกตได้ว่าอัตราขยายกระแสของวงจรทั้งสองนั้น สามารถปรับค่าได้ด้วยคุณสมบัติ α ของวงจร DC-CDBA ซึ่งควบคุมได้จากสัญญาณดิจอตอลภายนอก ซึ่งถือว่าเป็นคุณสมบัติสำคัญและเพิ่มความยืดหยุ่นในการนำไปสังเคราะห์วงจร

รูปที่ 4.5 แสดงวงจรกรองสัญญาณอเนกประสงค์โหมดกระแสแบบปรับค่าได้ด้วยสัญญาณดิจิตอล โดยใช้วงจร DC-CDBA [30] ซึ่งประกอบด้วยวงจร DC-CBDA จำนวน 3 ตัว ต่อร่วมกับตัวต้านทานและตัวเก็บประจุอีกอย่างละ 2 ตัว โดยที่วงจร DC-CDBA ตัวที่หนึ่งและตัวที่สองทำหน้าที่เป็นวงจรอินทิเกรเตอร์แบบไม่สูญเสียและแบบสูญเสีย ตามลำดับ ส่วนวงจร DC-CDBA ตัวที่สามทำหน้าที่เป็นวงจรรวมกระแส เมื่อทำการวิเคราะห์วงจรจะได้ฟังก์ชันถ่ายโอนกระแสของวงจรดังนี้ [ภาคผนวก ข4]

$$i_{out} = \alpha_3 \left[\frac{\left(s^2 3R_1R_2C_1C_2 + sR_1C_1\alpha_2 + \alpha_1\alpha_2\right) i_1 - \left(sR_1C_1\alpha_2\right) i_2 - \left(\alpha_1\alpha_2\right) i_3}{s^2 3R_1R_2C_1C_2 + sR_1C_1\alpha_2 + \alpha_1\alpha_2} \right] \qquad (4.19)$$

เมื่อ α_i แทนถึง คุณสมบัติ α ของวงจร DC-CDBA ตัวที่ i ($i = 1, 2, 3$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.5 วงจรกรองสัญญาณอเนกประสงค์โหมดกระแสแบบปรับค่าได้ด้วยสัญญาณดิจิตอล โดยใช้วงจร DC-CDBA

เมื่อพิจารณาสมการ (4.19) ทำให้สรุปได้ว่าวงจรกรองสัญญาณอเนกประสงค์โหมดกระแสที่นำเสนอ ดังรูปที่ 4.5 ในกรณีที่ $\alpha_1 = \alpha_2$ สามารถสังเคราะห์ฟังก์ชันกรองสัญญาณได้ครบทุกรูปแบบโดยไม่ต้องเปลี่ยนแปลงรูปแบบของวงจร โดยมีเงื่อนไขการกำหนดค่าของสัญญาณอินพุตดังต่อไปนี้

1) เมื่อกำหนดให้ $i_1 = i_2 = 0$ และ $i_3 = i_{in}$ จะได้ฟังก์ชันกรองสัญญาณแบบกรองผ่านความถี่ต่ำ
2) เมื่อกำหนดให้ $i_1 = i_3 = 0$ และ $i_2 = i_{in}$ จะได้ฟังก์ชันกรองสัญญาณแบบกรองผ่านแถบความถี่
3) เมื่อกำหนดให้ $i_1 = i_2 = i_3 = i_{in}$ จะได้ฟังก์ชันกรองสัญญาณแบบกรองผ่านความถี่สูง
4) เมื่อกำหนดให้ $i_3 = 0$ และ $i_1 = i_2 = i_{in}$ จะได้ฟังก์ชันกรองสัญญาณแบบตัดแถบความถี่
5) เมื่อกำหนดให้ $i_3 = 0$ และ $i_1 = 2i_2 = i_{in}$ จะได้ฟังก์ชันกรองสัญญาณแบบกรองผ่านทุกความถี่

จะเห็นว่าการกำหนดสัญญาณอินพุตที่เหมาะสมนั้นเป็นตัวกำหนดฟังก์ชันของวงจรกรองสัญญาณได้เช่นดียวกับโครงสร้างวงจรกรองสัญญาณไบควอดราทิกดังรูปที่ 4.2 และเมื่อพิจารณาสมการ (4.19) อีกครั้งจะได้อัตราขยายแถบความถี่ผ่าน (pass band gain, H_0) ค่าความถี่เชิงมุมธรรมชาติ (natural frequency, ω_o) และช่วงความถี่แบนด์วิท (bandwidth, BW) ของวงจรเป็นดังนี้

$$H_0 = \alpha_3 \tag{4.20}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_o = \sqrt{\frac{\alpha_1\alpha_2}{3R_1R_2C_1C_2}} \tag{4.21}$$

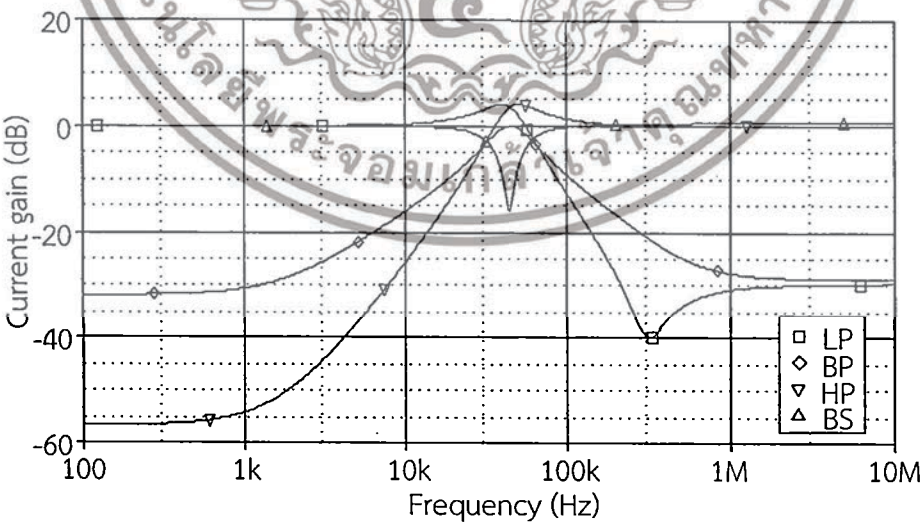
และ

$$BW = \frac{\omega_o}{Q} = \frac{\alpha_2}{3R_2C_2} \tag{4.22}$$

สมการ (4.20) ถึง (4.22) แสดงให้เห็นว่าคุณสมบัติ (H_0 ω_0 และ BW) ของวงจรนั้น สามารถปรับค่าได้ด้วยสัญญาณดิจิตอล โดยการควบคุมค่า α_3 α_1 และ α_2 ตามลำดับ

4.4 ผลการจำลองการทำงานของวงจร

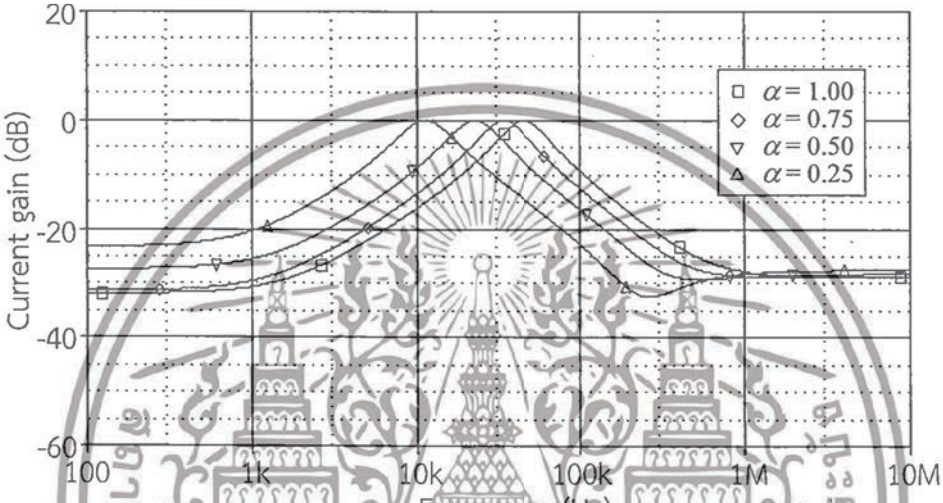
เพื่อเป็นการยืนยันผลการทำงานของวงจรที่ได้สังเคราะห์ขึ้น ในวิทยานิพนธ์นี้ได้ใช้โปรแกรม PSPICE เพื่อจำลองการทำงานของวงจรกรองสัญญาณอเนกประสงค์โหมดกระแสที่นำเสนอดังรูปที่ 4.5 โดยในการจำลองการทำงานได้ใช้วงจร DC-CDBA ที่ได้สังเคราะห์ขึ้นในบทที่ 3 โดยเลือกใช้ $+V_{DD} = -V_{SS} = 1.25V$ $I_B = 100\ \mu A$ ค่าความละเอียดของอัตราขยายกระแส $n = 3$ (4 บิต) $R_1 = R_2 = 1\ k\Omega$ $C_1 = C_2 = 2$ nF และ $\alpha_3 = 1$ เพื่อให้ได้ผลตอบสนองทางความถี่ของวงจรที่มีค่า $H_0 = 1$ ซึ่งผลการจำลองผลตอบสนองทางความถี่ของวงจรแบบกรองผ่านความถี่ต่ำ แบบกรองผ่านแถบความถี่ แบบกรองผ่านความถี่สูง และ แบบตัดแถบความถี่ เมื่อ $\alpha_1 = \alpha_2 = 1$ แสดงได้ดังรูปที่ 4.6 และจากผลการจำลองการทำงานของวงจรพบว่าได้ตำแหน่งความถี่เชิงมุมธรรมชาติมีค่าประมาณ $f_o = \omega_o/2\pi = 45.43$ kHz ซึ่งมีค่าใกล้เคียงกับค่าในทางทฤษฎีที่คำนวณได้จากสมการ (4.18) มีค่าเท่ากับ $f_o = \omega_o/2\pi = 45.94$ kHz



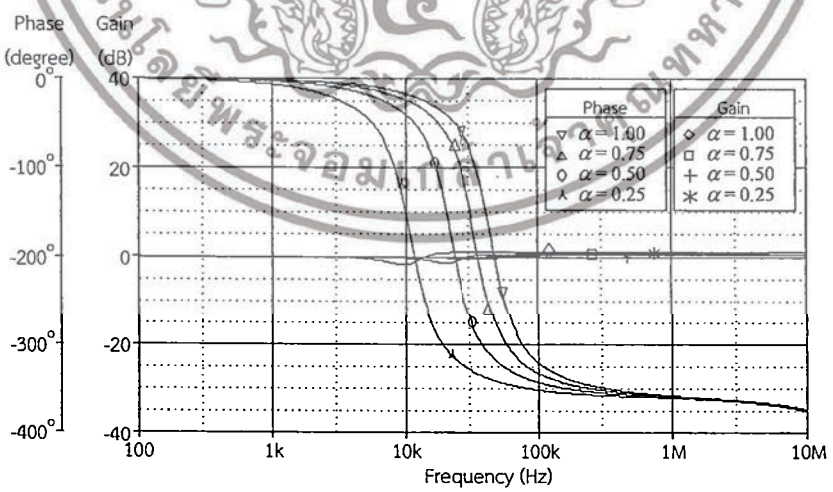
รูปที่ 4.6 ผลการจำลองการทำงานของวงจรกรองสัญญาณในรูปที่ 4.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.7 และรูปที่ 4.8 แสดงผลการจำลองผลตอบสนองทางความถี่ของวงจรกรองสัญญาณแบบกรองผ่านแถบความถี่และแบบกรองผ่านทุกความถี่ ตามลำดับ เมื่อทำการแปรค่า f_o โดยการควบคุมค่า α จาก 0.25 ถึง 1.00 เพิ่มขึ้นขั้นละ 0.25 เมื่อ $\alpha = \alpha_1 = \alpha_2$ ในขณะที่ปรับค่า Q ให้มีค่าคงที่เท่ากับ 1.732 ซึ่งจากผลการจำลองพบว่าจะได้ค่า $f_o \cong$ 10.85 kHz 22.50 kHz 34.17 kHz และ 45.43 kHz ตามลำดับ ในขณะที่การคำนวณทางทฤษฎีจากสมการ (4.18) มีค่าเท่ากับ $f_o \cong$ 11.48 kHz 22.97 kHz 34.46 kHz และ 45.94 kHz ตามลำดับ เป็นการยืนยันว่าผลที่ได้จากการจำลองการทำงานมีค่าใกล้เคียงกับค่าทางทฤษฎี



รูปที่ 4.7 ผลการจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่ เมื่อแปรค่า $\alpha (\alpha_1 = \alpha_2)$



รูปที่ 4.8 ผลการจำลองผลตอบสนองทางความถี่ของวงจรกรองผ่านทุกความถี่ เมื่อแปรค่า $\alpha (\alpha_1 = \alpha_2)$

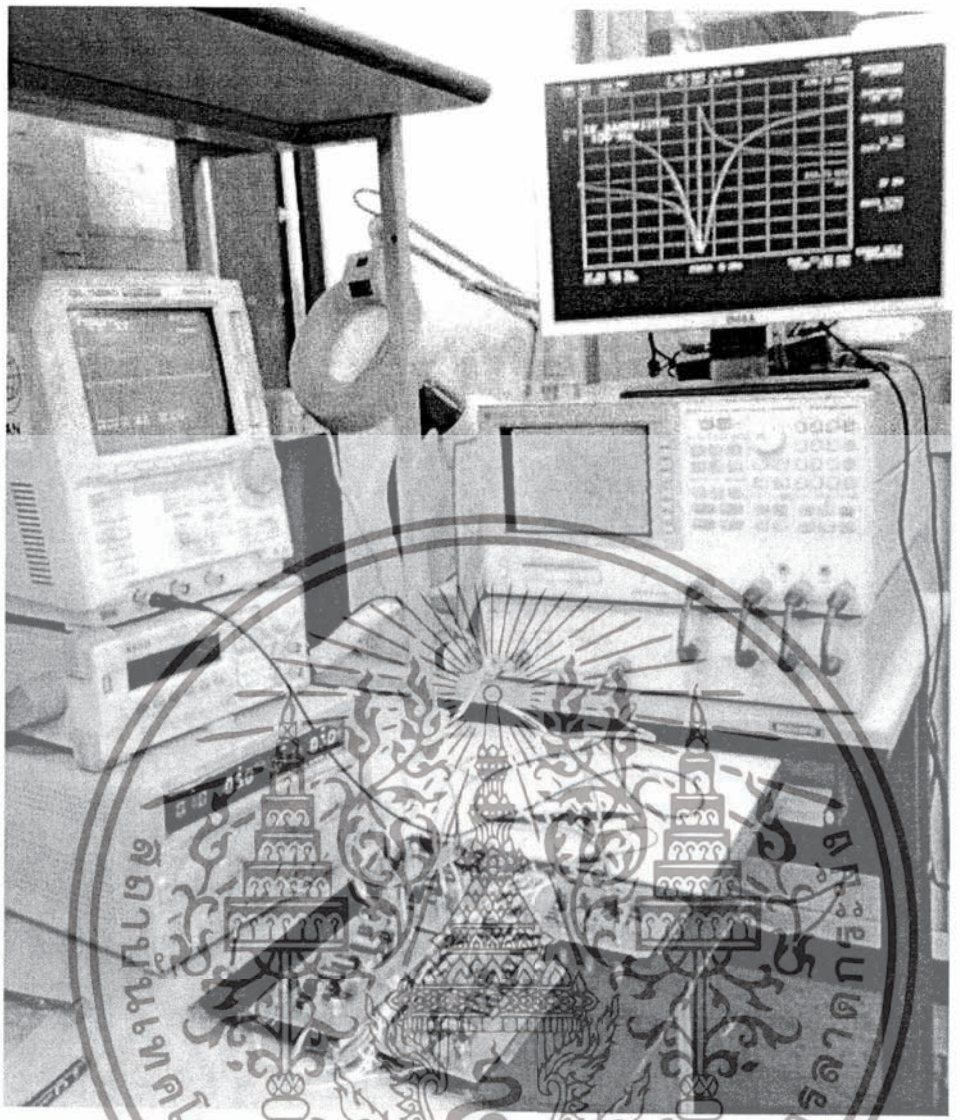
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 ผลการทดลองต่อวงจรจริง

เพื่อเป็นการยืนยันการทำงานวงจรกรองสัญญาณที่สังเคราะห์จากวงจร DC-CDBA ที่นำเสนอในรูปที่ 4.5 ว่าสามารถนำหลักการดังกล่าวมาทำการสังเคราะห์วงจรกรองสัญญาณที่ใช้งานจริงได้ ในวิทยานิพนธ์ฉบับนี้ จึงได้นำโครงสร้างการสังเคราะห์วงจร DC-CDBA ที่ได้กล่าวไว้ในหัวข้อที่ 3.5 มาทำการต่อทดลองเป็นวงจรกรองสัญญาณในห้องปฏิบัติการดังแสดงในรูปที่ 4.9 โดยได้เลือกใช้ $R_1 = R_2 = 5$ kΩ และ $C_1 = C_2 = 100$ pF แหล่งจ่ายไฟเลี้ยงเท่ากับ ±5V ปรับค่าอัตราขยายกระแส $\alpha_1 = \alpha_2 = \alpha_3 = 1$ จากผลการทดลองการทำงานของวงจรสามารถยืนยันได้ว่าวงจรกรองสัญญาณที่สังเคราะห์จากวงจร DC-CDBA ที่นำเสนอสามารถทำงานได้จริงโดยสามารถสังเคราะห์วงจรกรองสัญญาณได้ครบทั้งห้ารูปแบบดังรูปที่ 4.10

จากผลการทดสอบการทำงานของวงจรกรองสัญญาณที่สังเคราะห์จากวงจร DC-CDBA ดังรูปที่ 4.10 สามารถยืนยันได้อย่างหนักแน่นว่าโครงสร้างของวงจรกรองสัญญาณที่นำเสนอในรูปที่ 4.2 และวงจรกรองสัญญาณอเนกประสงค์โหมดกระแสแบบปรับค่าได้ด้วยสัญญาณดิจิตอลโดยใช้วงจร DC-CDBA ดังรูปที่ 4.5 สามารถนำมาสังเคราะห์เป็นวงจรกรองสัญญาณและนำมาประยุกต์ใช้งานได้จริง จากผลการทดสอบในรูปที่ 4.10 พบว่าตำแหน่งความถี่โพลมีค่าประมาณ 140 kHz ซึ่งให้ผลสอดคล้องกับค่าที่คำนวณทางทฤษฎีที่มีค่าเท่ากับ 180 kHz หรือคิดเป็นค่าความผิดพลาดประมาณ 20% โดยค่าความผิดพลาดดังกล่าวมีแนวโน้มค่อนข้างสูงเป็นผลอันเนื่องมาจาก ค่าความคลาดเคลื่อนของอุปกรณ์พาสซีฟที่เลือกใช้ โดยในวิทยานิพนธ์นี้ได้เลือกใช้ตัวเก็บประจุที่มีค่าความคลาดเคลื่อน 10% และเลือกใช้ตัวต้านทานที่มีค่าความคลาดเคลื่อน 1% อีกปัจจัยหนึ่งที่ส่งผลกระทบต่อการทดสอบนี้คือการทดสอบวงจรเป็นแบบแยกชิ้น (discrete-circuit)

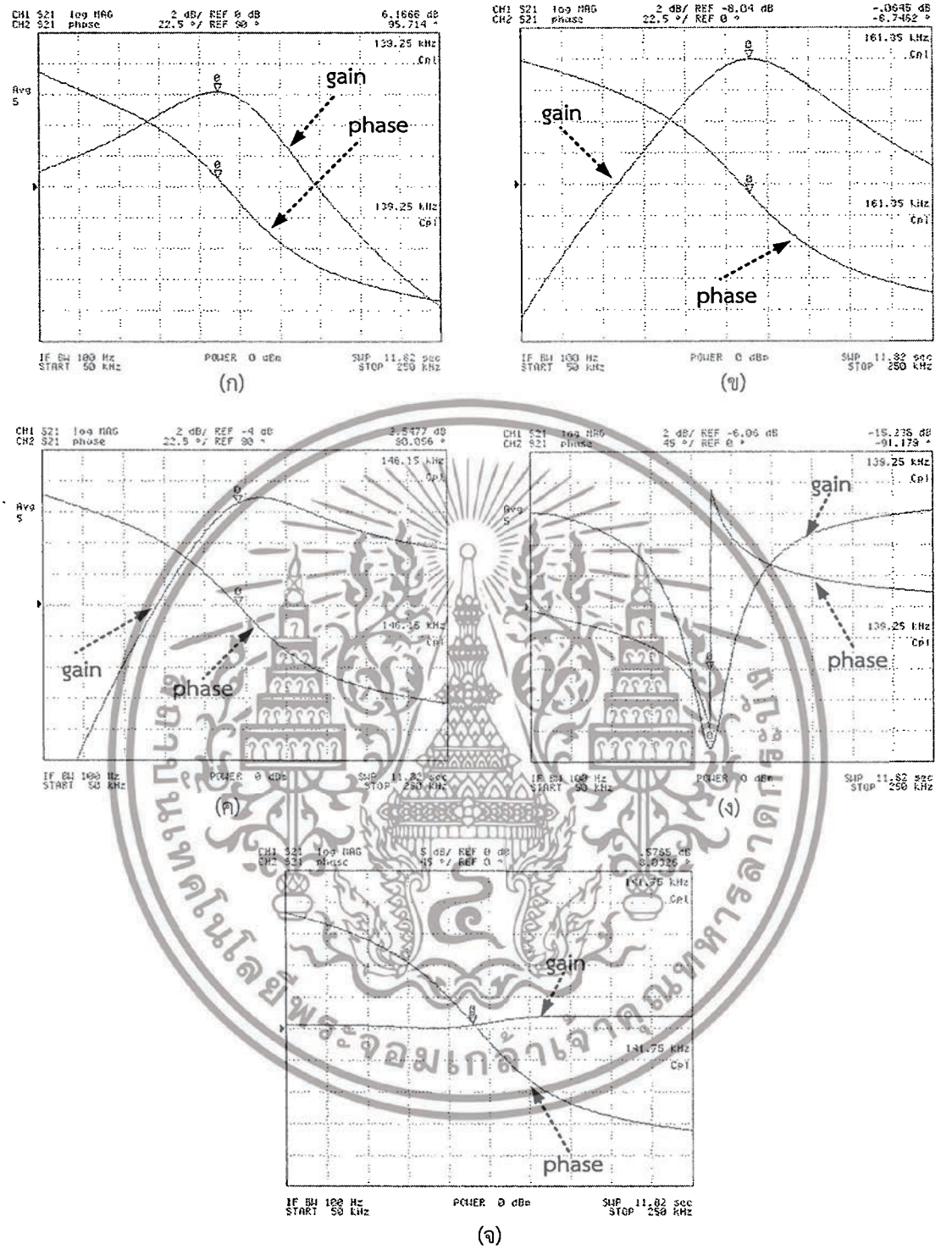
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 ภาพถ่ายการต่อทดลองเป็นวงจรกรองสัญญาณในห้องปฏิบัติการ

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 ผลการทดสอบผลตอบสนองทางความถี่ของวงจรกรองสัญญาณที่นำเสนอในรูปที่ 4.5
(ก) แบบ LP (ข) แบบ BP (ค) แบบ HP (ง) แบบ BS (จ) แบบ AP

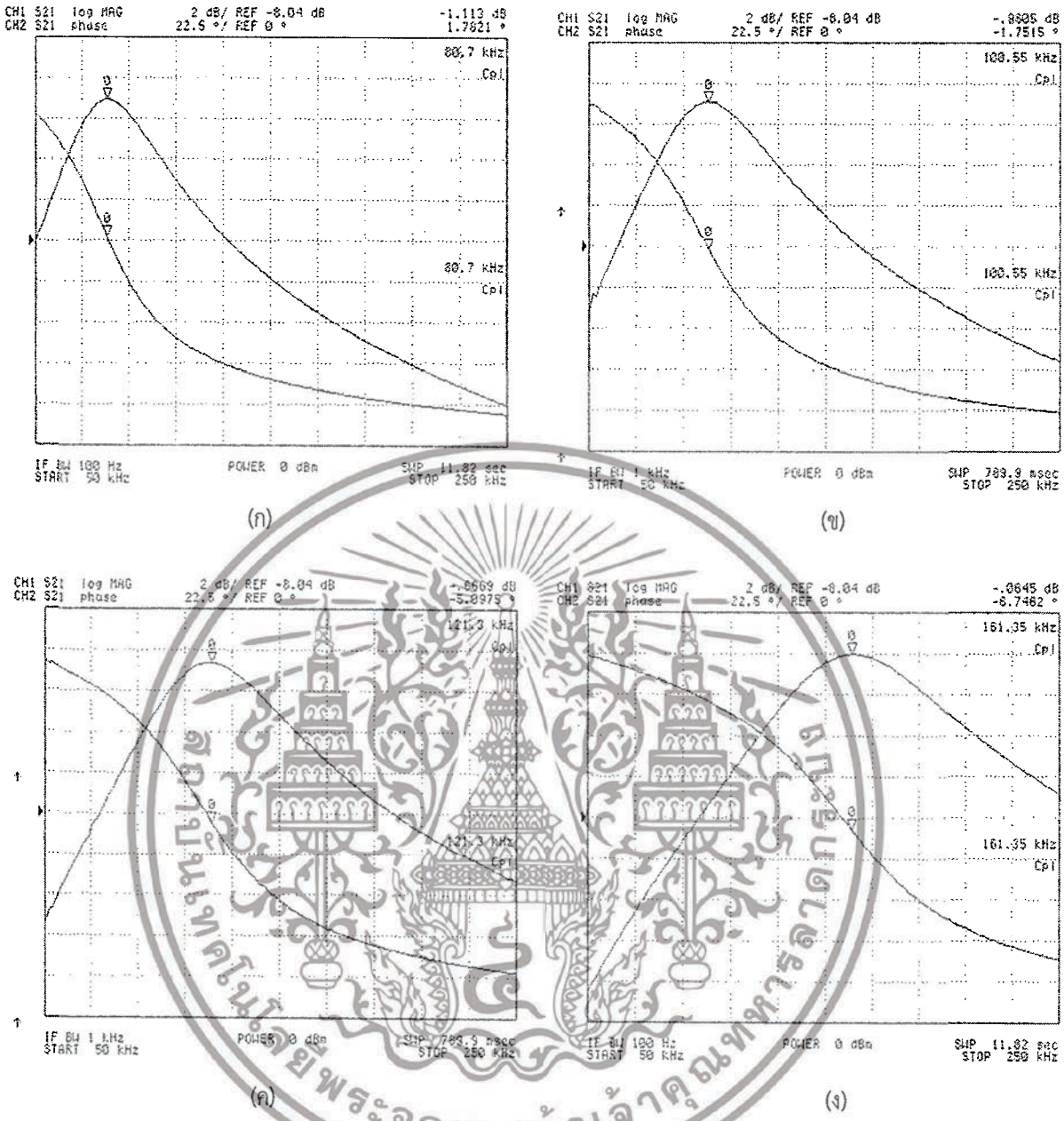
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้เพื่อแสดงให้เห็นถึงจุดเด่นของวงจรกรองสัญญาณอเนกประสงค์โหมดกระแสแบบปรับค่าได้ด้วยสัญญาณดิจิตอลโดยใช้วงจร DC-CDBA ที่ได้นำเสนอในแง่ของการนำไปใช้งานจริง จึงได้แสดงผลการทดสอบการปรับเปลี่ยนค่าอัตราการขยายกระแส α ของวงจร DC-CDBA ที่ส่งผลทำให้คุณสมบัติของวงจรกรองสัญญาณเปลี่ยนแปลง โดยรูปที่ 4.11 ได้แสดงผลการทดสอบวงจรกรองผ่านแถบความถี่โดยได้ทำการแปรค่า α_1 และ α_2 ให้มีค่าแตกต่างกันดังนี้ รูปที่ 4.11(ก) กำหนดให้ $\alpha_1 = \alpha_2$ = 0.500 รูปที่ 4.11(ข) กำหนดให้ $\alpha_1 = \alpha_2$ = 0.750 รูปที่ 4.11(ค) กำหนดให้ $\alpha_1 = \alpha_2$ = 0.875 และรูปที่ 4.11(ง) กำหนดให้ $\alpha_1 = \alpha_2$ = 1.000 จากผลการทดสอบแสดงให้เห็นว่าวงจรกรองสัญญาณที่ได้นำเสนอสามารถปรับเปลี่ยนค่าความถี่โพลของวงจรได้ด้วยการปรับค่า α_1 และ α_2 ปราศจากการปรับเปลี่ยนรูปแบบของวงจร ซึ่งค่าความถี่โพลของวงจรเป็นไปตามความสัมพันธ์ดังสมการ (4.18) ในทำนองเดียวกันได้แสดงผลการทดสอบวงจรกรองสัญญาณแบบตัดแถบความถี่และแบบกรองผ่านทุกความถี่ดังรูปที่ 4.12 และ 4.13 ตามลำดับ โดยทำการแปรค่า α_1 และ α_2 เช่นเดียวกับการทดสอบวงจรกรองสัญญาณในรูปที่ 4.11 ซึ่งการทดสอบวงจรปรากฏผลที่สอดคล้องกับผลการทดสอบวงจรกรองสัญญาณในรูปที่ 4.11 กล่าวคือค่าความถี่โพลของวงจรนั้นสามารถแปรค่าได้ด้วยคุณสมบัติ α_1 และ α_2 ของวงจร DC-CDBA ที่ควบคุมจากสัญญาณดิจิตอลจากภายนอกโดยไม่จำเป็นต้องปรับเปลี่ยนรูปแบบของวงจร หรือการปรับค่าอุปกรณ์พาสซีฟในวงจรที่เป็นผลมาจากการปรับเปลี่ยนทางกล

4.6 สรุป

ในบทนี้ได้กล่าวถึงคุณสมบัติฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณไบควอดราทิกรวมถึงโครงสร้างวงจร อีกทั้งได้นำโครงสร้างที่นำเสนอมาสังเคราะห์วงจรกรองสัญญาณอเนกประสงค์แบบไบควอดราทิกที่ทำงานในโหมดกระแสที่มีโครงสร้างเป็นแบบสามอินพุต หนึ่งเอาต์พุต โดยใช้วงจร DC-CDBA เป็นอุปกรณ์แอคทีฟหลัก วงจรที่นำเสนอสามารถสังเคราะห์ฟังก์ชันกรองสัญญาณได้ครบทุกฟังก์ชัน คือ วงจรแบบกรองผ่านความถี่ต่ำ แบบกรองผ่านแถบความถี่ แบบกรองผ่านความถี่สูง แบบตัดแถบความถี่ และแบบกรองผ่านทุกความถี่ การปรับเปลี่ยนค่าคุณสมบัติของวงจรกรองสัญญาณที่นำเสนอสามารถปรับค่าคุณสมบัติของวงจรได้ด้วยสัญญาณดิจิตอล คุณสมบัติการทำงานของวงจรได้ถูกตรวจสอบความถูกต้องด้วยผลการจำลองการทำงานของวงจรโดยใช้โปรแกรม PSPICE และยืนยันการทำงานจริงโดยการต่อวงจรทดลองในห้องปฏิบัติการ ซึ่งจากผลการทดสอบการทำงานจริงของวงจรกรองสัญญาณที่ได้นำเสนอได้แสดงให้เห็นอย่างชัดเจนว่าวงจรที่นำเสนอสามารถนำไปประยุกต์ใช้งานจริงได้และคุณสมบัติของวงจรที่นำเสนอในส่วนผลการทดสอบให้ผลที่สอดคล้องกันกับผลทางทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

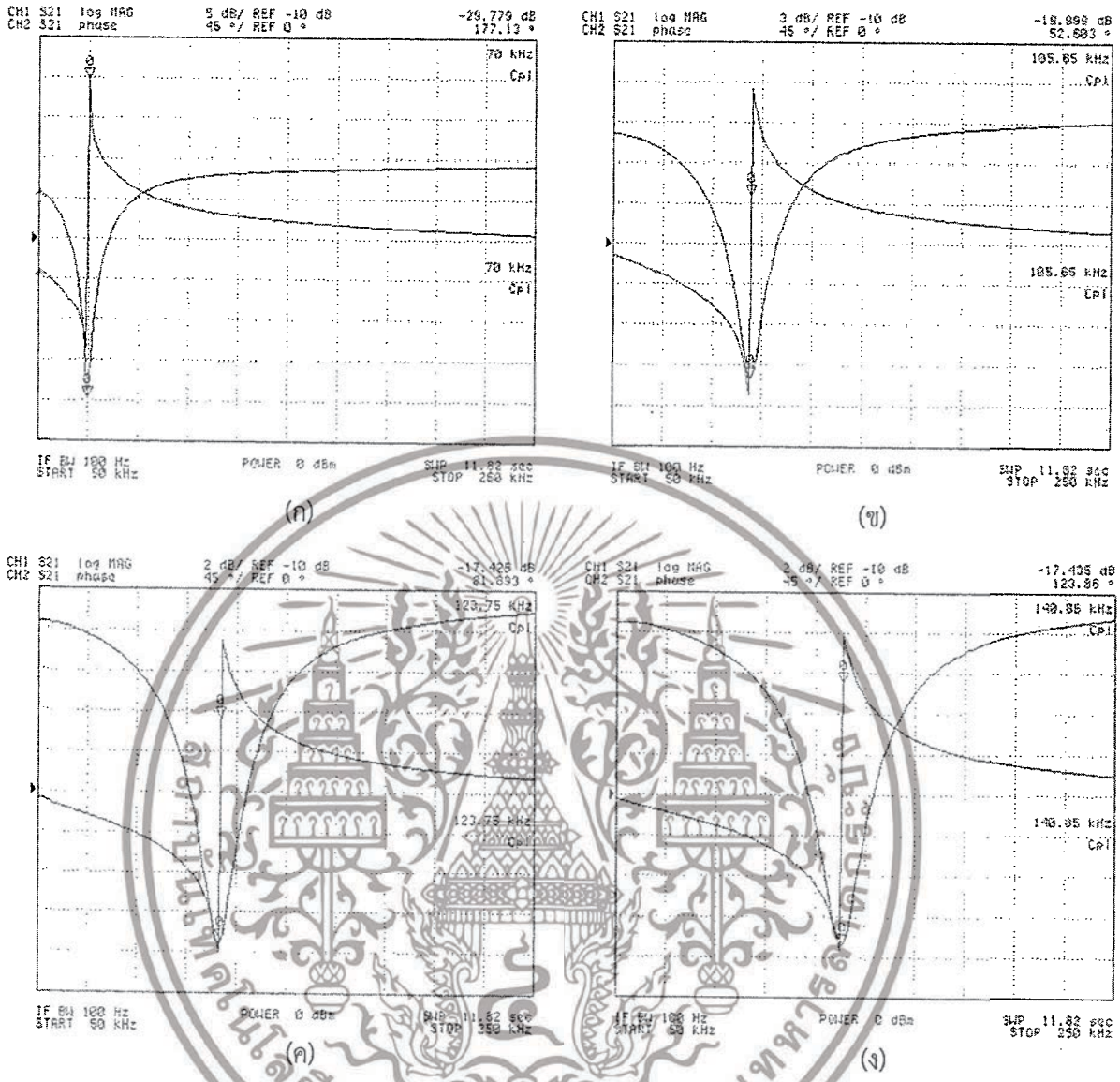


รูปที่ 4.11 ผลการทดสอบผลตอบสนองทางความถี่ของวงจรกรองผ่านแถบความถี่เมื่อแปรค่า α_1 และ α_2

(ก) $\alpha_1 = \alpha_2 = 0.500$ (ข) $\alpha_1 = \alpha_2 = 0.750$

(ค) $\alpha_1 = \alpha_2 = 0.875$ (ง) $\alpha_1 = \alpha_2 = 1.000$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

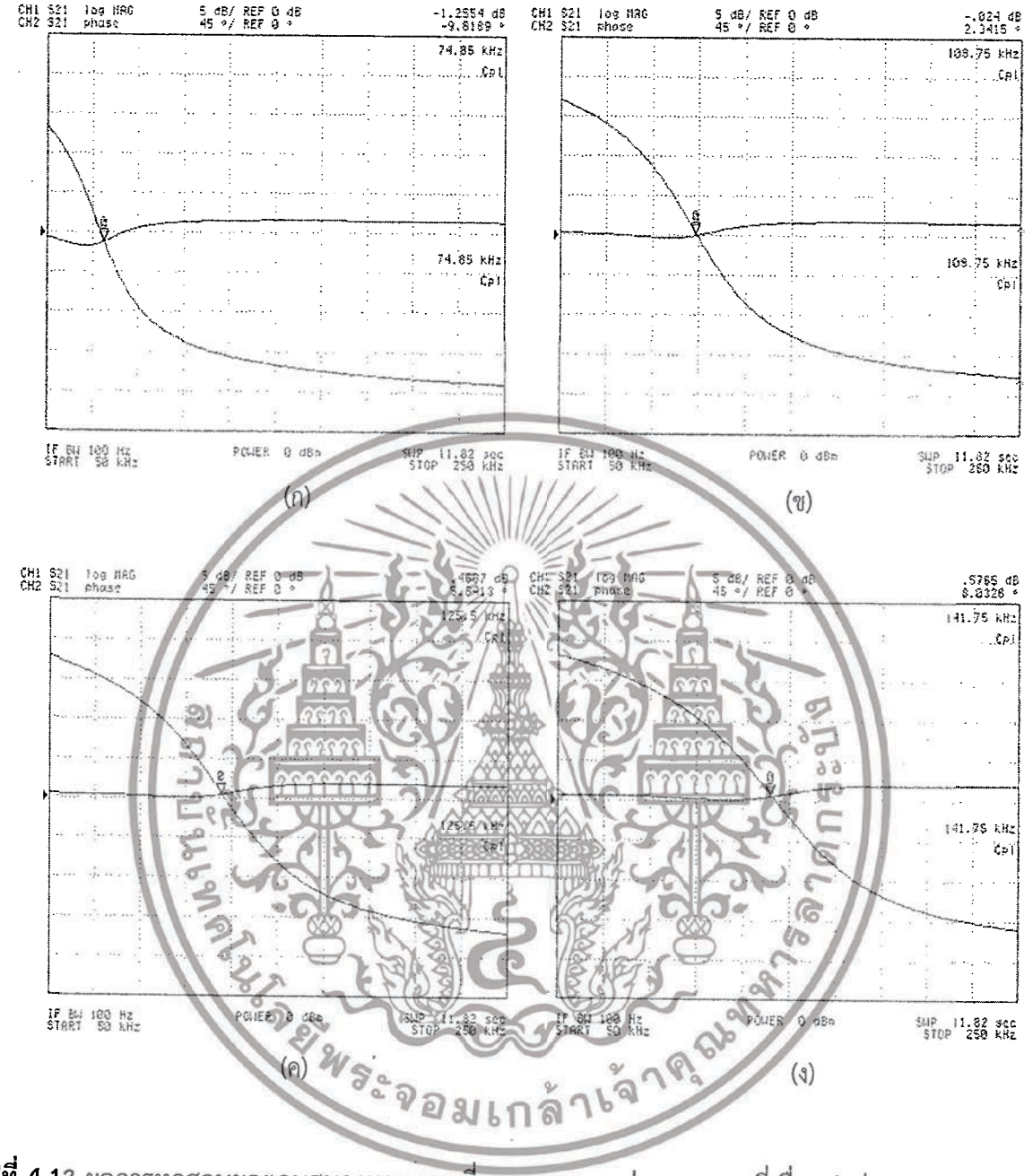


รูปที่ 4.12 ผลการทดสอบผลตอบสนองทางความถี่ของวงจรตัดแถบความถี่เมื่อแปรค่า α_1 และ α_2

(ก) $\alpha_1 = \alpha_2 = 0.500$ (ข) $\alpha_1 = \alpha_2 = 0.750$

(ค) $\alpha_1 = \alpha_2 = 0.875$ (ง) $\alpha_1 = \alpha_2 = 1.000$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 ผลการทดสอบผลตอบสนองทางความถี่ของวงจรกรองผ่านทุกความถี่เมื่อแปรค่า α_1 และ α_2

(ก) $\alpha_1 = \alpha_2 = 0.500$ (ข) $\alpha_1 = \alpha_2 = 0.750$

(ค) $\alpha_1 = \alpha_2 = 0.875$ (ง) $\alpha_1 = \alpha_2 = 1.000$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.7 เอกสารอ้างอิงบทที่ 4

[1] วรพงศ์ ตั้งศรีรัตน์ **การออกแบบและสังเคราะห์วงจรกรองสัญญาณแอนะล็อกและวงจรออสซิลเลเตอร์** มีนเซอร์วิสซัพพลาย กรุงเทพมหานคร 2554

[2] E. O. Gunes and F. Anday "Realization of current-mode universal filter using CFCCIIs". **Electronics Letters**. Vol.32, No.12, pp.1081-1082, 1996.

[3] A. M. Soliman. "New current-mode biquad filters using current conveyors". **International Journal of Electronics and Communications (AEU)**. Vol.51, No.5, pp.275-278, 1997.

[4] A. Toker and S. Ozoguz. "Universal current-mode filter with reduced number of active and passive components". **Electronics Letters**. Vol.33, No.11, pp.948-949, 1997.

[5] J. W. Horng, R. M. Weng, M. H. Lee and C. W. Chang. "Universal active current filter using two multiple current output OTAs and one CCII", **International Journal of Electronics**. Vol.82, No.3, pp.241-247, 1997.

[6] S. Minaei, and S. Turkoz. "New current-mode current-controlled universal filter with single input and three outputs". **International Journal of Electronics**. Vol.88, No.3, pp.333-337, 2001.

[7] A. Mohan, "Generation of OTA-C filter structures from active RC filter structures", **IEEE Transaction on Circuits and Systems**. Vol. 37, No.5, pp.656-660, 1990.

[8] M. Taher, A. Atti and A. Bentrcia. "New universal current-mode multiple-input multiple-output OTA-C filter". **Proceedings of The 2004 IEEE Asia-Pacific Conference on Circuits and Systems**. Tainan, Taiwan, December 6-9, pp.1037-1040, 2004.

[9] N. Herencsar, J. Koton, K. Vrba, and I. Lattenberg, "Current follower transconductance amplifier (CFTA) - a useful building block for analog signal processing", **Journal of Active and Passive Electronic Devices**, vol.6, no. 3-4, pp. 217-229, 2011.

[10] N. Herencsar, J. Koton, K. Vrba, and I. Lattenberg, "Voltage-Controlled Current-Mode Multifunction Filter Employing CFTAs and PCAs", **Journal of Active and Passive Electronic Devices**, vol.7, no. 1-2, pp. 61-69, 2012.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[11] N. Herencsar, K. Vrba, and J. Koton, "A novel current-mode KHN-equivalent biquad using three CFTAs", **Journal of Active and Passive Electronic Devices**, vol.7, no. 3, pp. 201-208, 2012.

[12] N. Herencsar, J. Koton, K. Vrba and J. Misurec, "A novel current-mode SIMO type universal filter using CFTAs", **Journal of Contemporary Engineering, Sciences**, vol.2, no.2, pp.59-66, 2009.

[13] R. Sotner, J. Petrzela and J. Slezak, "Current mode tunable KHN filter based on controlled MO-CFTAs", **Proceedings of the 3rd International Conference on Signals, Circuits and Systems (SCS)**, Djerba, Tunisia, pp. 1-4, 2009.

[14] N. Herencsar, "Generalized design method for voltage-controlled current-mode multifunction filters", **Journal of Telecommunications Forum**, vol.1, no.2, pp.49-52, 2009.

[15] W. Tangsrirat, "Novel current-mode and voltage-mode universal biquad filters using single CFTA", **Indian Journal of Engineering & Materials Sciences**, vol.17, pp.99-104, 2010.

[16] W. Tangsrirat, "Single-input three-output electronically tunable universal current-mode filter using current follower transconductance amplifiers", **International Journal of Electronics and Communications (AEU)**, vol.65, Issue.10, pp.783-787, 2011.

[17] D. Biolek, "CDTA-Building block for current-mode analog signal processing", **Proceedings of the 16th IEEE European Conference on Circuits Theory and Design (ECCTD 2003)**, Krakow, Poland, vol.3, pp.397-400, 2003.

[18] D. Biolek and V. Biolkova, "Universal biquads using CDTA elements for cascade filter design", **Proceedings of the Council for the Study of Community Colleges (CSCC 2003)**, Corfu, Greece, 2003.

[19] A. T. Bekri and F. Anday, "Nth-order low-pass filter employing current differencing transconductance amplifiers", **Proceedings of the 17th IEEE European Conference on Circuits Theory and Design (ECCTD 2005)**, Cork, Ireland, vol.2, pp.193-196, 2005.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[20] D. Biolek and V. Biolkova, "CDTA-C current-mode universal 2nd-order filter", **Proceedings of the 5th International Conference on Applied Informatics and Communication (WSEAS 2005)**, Malta, pp.411-414, 2005.

[21] W. Tanjaroen, T. Dumawipata, S. Unhavanich, W. Tangsrirat and W. Surakampontorn, "Design of current differencing transconductance amplifier amplifier and its application to current-mode KHN biquad filter", **Proceedings of the 3th Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology International Conference 2006 (ECTI-CON 2006)**, Ubonratchathani, Thailand, pp.497-500, 2006.

[22] W. Tanjaroen, T. Dumawipata, S. Unhavanich, W. Tangsrirat and W. Surakampontorn, "Realization of current-mode KHN biquad filter using current differencing transconductance amplifiers", **Proceedings of the 21th International Technical Conference on Circuits/Systems, Computers and Communications 2006 (ITC-CSCC 2006)**, Chiangmai, Thailand, pp.121-124, 2006.

[23] A. Uygur, H. Kuntman and A. Zeki, "Multi-input multi-output CDTA-based KHN filter", **Proceedings of the 4th International Conference on Electrical and Electronics Engineering (ELECO 2005)**, Bursa, Turkey, pp.46-50, 2005.

[24] A. U. Keskin, D. Biolek, E. Hancioglu and V. Biolkova, "Current-mode KHN filter employing current differencing transconductance amplifiers", **International Journal of Electronics and Communications (AEU)**, vol.60, pp.443-446, 2006.

[25] D. Prasad, D. R. Bhaskar and A. K. Singh, "Universal current-mode biquad filter using dual output current differencing transconductance amplifier", **International Journal of Electronics and Communications (AEU)**, vol.63, pp.497-501, 2009.

[26] N. A. Shah, S. Z. Iqbal and M. Quadri, "Current-mode band-pass filter using a Single CDTA", **Journal of Active and Passive Electronic Devices**, vol.4, pp.1-5, 2009.

[27] D. Biolek, V. Biolkova and Z. Kolka "Current-mode biquad employing single CDTA", **Indian Journal of Pure & Applied Physics**, vol.47, pp.535-537, 2009.

[28] W. Tangsrirat and T. Pukkalanun, "Structural generation of two integrator loop filters using CDTAs and grounded capacitors", **International Journal of Circuit Theory and Applications**, vol.39, pp.31-45, 2011.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[29] W. Tangsrirat, T. Dumawipata and W. Surakampontorn, "Multiple-input single-output current-mode multifunction filter using current differencing transconductance amplifiers", **International Journal of Electronics and Communications (AEU)**, vol.61, pp.209-214, 2007.

[30] W. Tangsrirat, D. Prasertsom, W. Surakampontorn, "Low-voltage digitally controlled current differencing buffered amplifier and its application", **International Journal of Electronics and Communications (AEU)**, vol.63, pp.249-258, 2009.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

วงจรออสซิลเลเตอร์แบบควอดราเจอร์

5.1 กล่าวนำ

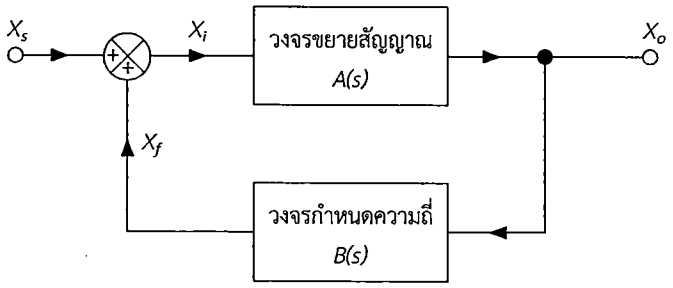
วงจรออสซิลเลเตอร์แบบควอดราเจอร์ (quadrature oscillator) เป็นวงจรกำเนิดสัญญาณรูปไซน์แบบหนึ่งที่สามารถให้สัญญาณเอาต์พุตสองเอาต์พุตที่มีมุมเฟสต่างกัน 90° และเป็นองค์ประกอบที่สำคัญ ในระบบสื่อสารและระบบเครื่องมือวัด โดยส่วนหนึ่งใช้ในการรวมสัญญาณ (quadrature mixer) และกำเนิดสัญญาณ (single-sideband generator) [1]-[2] ดังนั้นจึงทำให้มีกลุ่มนักวิจัยให้ความสนใจในการพัฒนาสังเคราะห์ออกแบบวงจรออสซิลเลเตอร์แบบควอดราเจอร์มากขึ้นตามลำดับ [3]-[11] แต่อย่างไรก็ตามการนำเสนอวงจรดังกล่าวนั้นยังมีโครงสร้างวงจรที่ยุ่งยากซับซ้อน มีการใช้อุปกรณ์พาสซีฟจำนวนมากรวมถึงในการออสซิลเลตของสัญญาณไม่สามารถควบคุมขนาดสัญญาณที่เกิดจากการออสซิลเลตและปรับเปลี่ยนค่าความถี่ในการออสซิลเลตด้วยวิธีการทางอิเล็กทรอนิกส์ได้

ดังนั้นในวิทยานิพนธ์บทนี้จึงมุ่งเน้นที่จะนำเสนอการออกแบบวงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร DC-CDBA เป็นอุปกรณ์แอคทีฟหลัก ซึ่งได้พัฒนาจากข้อจำกัดของวงจรออสซิเลเตอร์ที่สังเคราะห์จากวงจร CDBA แบบเดิมที่ไม่สามารถควบคุมเงื่อนไขและค่าความถี่ในการออสซิลเลตได้ด้วยวิธีการทางอิเล็กทรอนิกส์ โดยปรับปรุงให้วงจรดังกล่าวสามารถปรับเปลี่ยนค่าความถี่ในการออสซิลเลตสัญญาณและเงื่อนไขของการออสซิลเลตสัญญาณได้โดยการปรับค่า α ของวงจร DC-CDBA อีกทั้งในวิทยานิพนธ์นี้ยังได้นำเสนอแนวทางในการสังเคราะห์วงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่สามารถควบคุมขนาดสัญญาณเอาต์พุตได้โดยใช้วงจร DC-CDBA วงจรออสซิลเลเตอร์ทั้งหมดที่นำเสนอมีโครงสร้างของวงจรเดียวกันอีกทั้งรูปแบบของวงจรที่ไม่ซับซ้อน คุณสมบัติของวงจรออสซิลเลเตอร์ที่นำเสนอถูกทดสอบด้วยการจำลองการทำงานโดยใช้โปรแกรม PSPICE และผลการทดลองการต่อวงจรจริงโดยใช้ไอซีเบอร์ AD844 และเบอร์ DAC0800 มาสังเคราะห์เป็นวงจร DC-CDBA เพื่อนำผลที่ได้เปรียบเทียบกับผลการคำนวณทางทฤษฎีซึ่งปรากฏผลสอดคล้องเป็นไปในแนวทางเดียวกัน

5.2 เงื่อนไขในการออสซิลเลตสัญญาณ

วงจรออสซิลเลเตอร์เป็นวงจรกำเนิดสัญญาณแบบหนึ่งที่มีลักษณะสัญญาณเอาต์พุตเป็นสัญญาณรายคาบ (periodic signal) โดยไม่จำเป็นต้องมีสัญญาณอินพุตป้อนให้กับวงจร [12]-[15] โครงสร้างพื้นฐานของวงจรออสซิลเลเตอร์เป็นโครงข่ายป้อนกลับแบบบวก (positive feedback) ซึ่งประกอบด้วยวงจรขยายสัญญาณ (amplifier) และวงจรกำหนดความถี่ (frequency determining circuit) ดังรูปที่ 5.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 โครงสร้างพื้นฐานของวงจรออสซิลเลเตอร์

เมื่อ x_s คือ สัญญาณอินพุตของวงจร x_o คือ สัญญาณเอาต์พุตของวงจร x_i คือ สัญญาณอินพุตของวงจรขยายมีค่าเท่ากับ $x_i + x_f$ โดยที่ x_f คือ สัญญาณป้อนกลับ และ $A(s)$ คือ อัตราขยายของวงจรขยาย $B(s)$ คือ อัตราขยายของวงจรกำหนดความถี่

เมื่อพิจารณาโครงสร้างพื้นฐานของวงจรออสซิลเลเตอร์ในรูปที่ 5.1 จะได้ความสัมพันธ์ของสัญญาณเอาต์พุตของวงจร x_o กับสัญญาณอินพุตของวงจร x_i ดังนี้

$$x_o = A(s)x_i \tag{5.1}$$

และพิจารณาสัญญาณป้อนกลับ x_f จะได้

$$x_f = B(s)x_o \tag{5.2}$$

ดังนั้นเมื่อพิจารณาสัญญาณ x_i ที่ได้จากการรวมสัญญาณจะได้

$$x_i = x_s + x_f \tag{5.3}$$

แทนค่าสมการ (5.1) และ (5.2) ลงในสมการ (5.3) จะได้ฟังก์ชันถ่ายโอนสัญญาณของวงจรเป็นดังนี้

$$\frac{x_o}{x_s} = \frac{A(s)}{1 - T(s)} \tag{5.4}$$

โดยที่ $T(s)$ คือ ฟังก์ชันถ่ายโอนลูปเปิด (open loop transfer function) ซึ่งมีค่าเท่ากับ

$$T(s) = A(s)B(s) \tag{5.5}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากวงจรไม่ต้องการสัญญาณอินพุตหมายความว่าส่วนหารของสมการ (5.4) ต้องมีค่าเท่ากับศูนย์

$$1 - T(s) = 0 \tag{5.6}$$

หรือ

$$T(s) = 1 \tag{5.7}$$

สมการ (5.6) แสดงให้เห็นถึงเงื่อนไขในการเกิดออสซิลเลตของวงจร ซึ่งเมื่อแทนค่า $s=j\omega$ ลงในสมการ (5.6) ทำให้สามารถแยกพิจารณาออกเป็นสองส่วน คือ พิจารณาให้อยู่ในรูปขนาดและมุมเฟส เมื่อพิจารณาฟังก์ชันถ่ายโอนลูปเปิดต้องมีขนาดเท่ากับหนึ่งนั่นคือ

$$|T(s)| = 1 \tag{5.8}$$

และมุมเฟสของฟังก์ชันถ่ายโอนลูปเปิดจะต้องมีค่าเท่ากับ 0 หรือ $2n\pi$ นั่นคือ

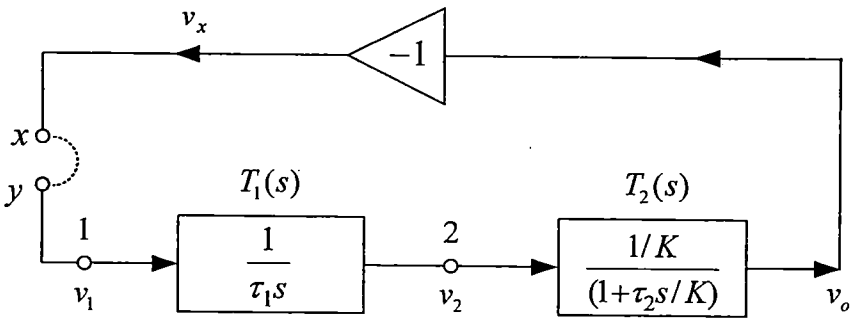
$$\angle T(j\omega) = 2n\pi \tag{5.9}$$

เมื่อ $n = 0, 1, 2, \ldots$ สมการ (5.7) และ (5.8) ถูกเรียกว่าเงื่อนไขของบาร์คเฮาเซน (Barkhausen criterion) [12] ซึ่งสามารถอธิบายได้ว่า วงจรกำเนิดสัญญาณที่สามารถกำเนิดสัญญาณได้อย่างต่อเนื่องนั้น ฟังก์ชันถ่ายโอนลูปเปิดจะต้องมีค่าเท่ากับหนึ่งซึ่งหมายความว่าที่ความถี่ของการกำเนิดสัญญาณ $\omega = \omega_0$ ขนาดของฟังก์ชันถ่ายโอนลูปเปิดต้องมีค่าเท่ากับหนึ่ง และมีมุมเฟสเท่ากับ $2n\pi$ โดยหลักการดังกล่าวนี้จะถูกนำไปใช้เพื่อหาเงื่อนไขในของการออสซิลเลตของสัญญาณต่อไป

5.3 หลักการสังเคราะห์วงจรออสซิลเลเตอร์แบบควอดราเจอร์

หลักการพื้นฐานในการสังเคราะห์วงจรออสซิลเลเตอร์แบบควอดราเจอร์ สามารถกระทำได้โดยอาศัยโครงสร้างการสังเคราะห์วงจรออสซิลเลเตอร์ในรูปที่ 5.2 [16] ซึ่งประกอบด้วยวงจรสำคัญ 2 วงจร คือ วงจรอินทิเกรเตอร์ที่ไม่มีการสูญเสีย (loseless integrator circuit, $T_1(s)$) และวงจรอินทิเกรเตอร์ที่มีการสูญเสีย (lossy integrator circuit, $T_2(s)$) ต่อคาสเคดอยู่ในวงป้อนกลับเดียวกันซึ่งเขียนอธิบายฟังก์ชันถ่ายโอนของวงจรได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.2 โครงสร้างการสังเคราะห์วงจรออสซิลเลเตอร์แบบควอดราเจอร์

$$T_1(s)=\frac{v_2}{v_1}=\frac{1}{\tau_1 s} \tag{5.10}$$

และ

$$T_2(s)=\frac{v_o}{v_2}=\frac{1/K}{(1+\tau_2 s/K)} \tag{5.11}$$

เมื่อพิจารณาฟังก์ชันถ่ายโอนวงจรเปิดระหว่างจุด x กับจุด y จะได้

$$L(s)=\frac{v_x}{v_1}=-\left(\frac{1}{\tau_1 s}\right)\left[\frac{1/K}{(1+\tau_2 s/K)}\right] \tag{5.12}$$

จากเงื่อนไขในการเกิดออสซิลเลตของบาร์คเฮาเซนที่ความถี่ $\omega=\omega_0$ กำหนดให้ขนาดของฟังก์ชันถ่ายโอนวงจรเปิดมีค่าเท่ากับหนึ่งหรือ

$$L(s)=\frac{v_x}{v_1}=-\left(\frac{1}{\tau_1 s}\right)\left[\frac{1/K}{(1+s\tau_2/K)}\right]_{s=j\omega_o}=1 \tag{5.13}$$

จะได้สมการคุณลักษณะ (characteristic equation) ของวงจรมีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$s^2+\left(\frac{K}{\tau_1}\right)s+\left(\frac{1}{\tau_1\tau_2}\right)=0$$

หรือ

$$s^2+\left(\frac{\varepsilon-1}{\tau_1}\right)s+\left(\frac{1}{\tau_1\tau_2}\right)=0 \qquad (5.14)$$

โดยที่ $K=(\varepsilon-1)$ จากสมการ (5.14) แสดงให้เห็นว่าโครงสร้างของวงจรออสซิลเลเตอร์ดังรูปที่ 5.2 มีเงื่อนไขที่ทำให้เกิดการออสซิลเลตและมีค่าความถี่ในการออสซิลเลตดังนี้

$$\varepsilon=1 \qquad (5.15)$$

และ

$$\omega_0=\frac{1}{\sqrt{\tau_1\tau_2}} \qquad (5.16)$$

เมื่อพิจารณาความสัมพันธ์ระหว่าง v_1 กับ v_2 จากสมการ (5.10) ที่ความถี่ $\omega=\omega_0$ จะได้

$$\frac{v_2}{v_1}=\left(\frac{1}{\omega_0\tau_1}\right)e^{-j90^\circ} \qquad (5.17)$$

ซึ่งจะเห็นว่ามุมเฟสระหว่างสัญญาณเอาต์พุต v_1 กับ v_2 มีค่าเท่ากับ $\phi=90^\circ$ สอดคล้องตามคุณสมบัติของสัญญาณเอาต์พุตแบบควอดดราเจอร์

จากโครงสร้างการสังเคราะห์วงจรออสซิลเลเตอร์แบบควอดราเจอร์รูปที่ 5.2 จะเห็นได้ว่าในการควบคุมเงื่อนไขในการออสซิลเลตของสัญญาณและค่าความถี่ในการออสซิลเลตสามารถทำได้ดังสมการ (5.15) และ (5.16) ตามลำดับ จะเห็นได้ว่าคุณสมบัติดังกล่าวเป็นอิสระต่อกัน ดังนั้นในวิทยานิพนธ์นี้จึงได้นำโครงสร้างวงจรออสซิลเลเตอร์ที่แสดงดังรูปที่ 5.2 มาใช้ในการสังเคราะห์วงจรโดยใช้วงจร CDBA และวงจร DC-CDBA โดยจะได้กล่าวถึงรายละเอียดในหัวข้อถัดไป

5.4 การสังเคราะห์วงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร CDBA

หัวข้อนี้จะได้กล่าวถึงการออกแบบและสังเคราะห์วงจรออสซิลเลเตอร์โดยใช้วงจร CDBA เป็นอุปกรณ์แอคทีฟหลัก ซึ่งวงจรที่ได้สังเคราะห์ขึ้นเป็นวงจรที่มีความเรียบง่ายไม่ซับซ้อนประกอบด้วยวงจร CDBA ที่เป็นอุปกรณ์แอคทีฟสองตัวและอุปกรณ์พาสซีฟที่เป็นตัวต้านทานสามตัว ตัวเก็บประจุสองตัว วงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่ได้สังเคราะห์ขึ้นสามารถปรับค่าความถี่ในการออสซิลเลตของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณได้เป็นอิสระจากการปรับเงื่อนไขของการออสซิลเลตสัญญาณ โดยการปรับเปลี่ยนค่าความต้านทาน รายละเอียดในการสังเคราะห์วงจรได้แสดงดังนี้

5.4.1 วงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร CDBA ที่นำเสนอ

จากโครงสร้างพื้นฐานของวงจรออสซิลเลเตอร์ในรูปที่ 5.2 สามารถนำมาสร้างเป็นวงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร CDBA ดังรูปที่ 5.3 [17] เมื่อพิจารณาวงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่ได้นำเสนอ โดยใช้เงื่อนไขของบาร์คเฮาเซนดังแสดงใน [ภาคผนวก ค.1] ทำให้ได้สมการคุณลักษณะของวงจรดังนี้

$$s^2+\left(\frac{1}{R_3}-\frac{1}{R_1}\right)\frac{s}{C_1}+\left(\frac{1}{R_2R_3C_1C_2}\right)=0 \tag{5.18}$$

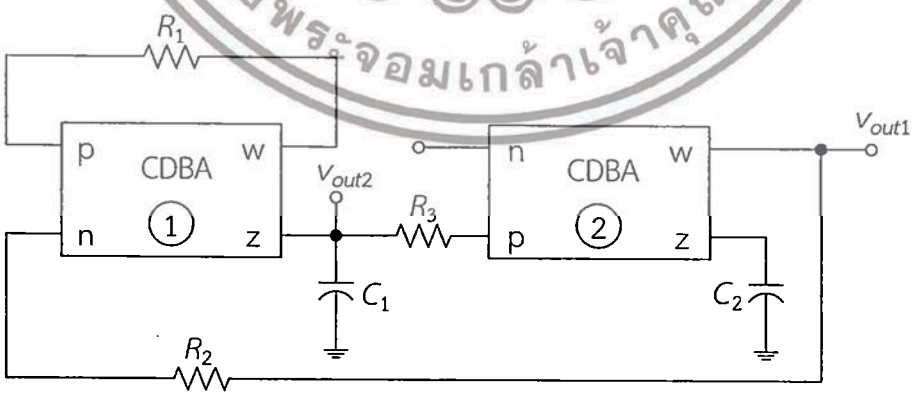
ดังนั้นเงื่อนไขการออสซิลเลตและค่า ω_0 ของวงจรที่นำเสนอมีดังนี้

$$R_1=R_3 \tag{5.19}$$

และ

$$\omega_0=\frac{1}{\sqrt{R_2R_3C_1C_2}} \tag{5.20}$$

สมการ (5.19) และ (5.20) แสดงให้เห็นว่าวงจรออสซิลเลเตอร์ที่นำเสนอสามารถควบคุมเงื่อนไขการออสซิลเลตของสัญญาณโดยการปรับค่าความต้านทาน R_1 และสามารถปรับค่าความถี่ในการออสซิลเลตของสัญญาณได้ด้วยการปรับค่าความต้านทาน R_2 ซึ่งจะเห็นได้ว่าการปรับเปลี่ยนค่าคุณสมบัติของวงจรทั้งสองไม่ส่งผลกระทบต่อกันหรือกล่าวได้ว่าวงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่นำเสนอสามารถปรับเงื่อนไขของการออสซิลเลตของสัญญาณเป็นอิสระกับการปรับค่าความถี่ในการออสซิลเลตสัญญาณ



รูปที่ 5.3 วงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่สังเคราะห์จากวงจร CDBA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.4.2 ผลการจำลองการทำงานวงจร

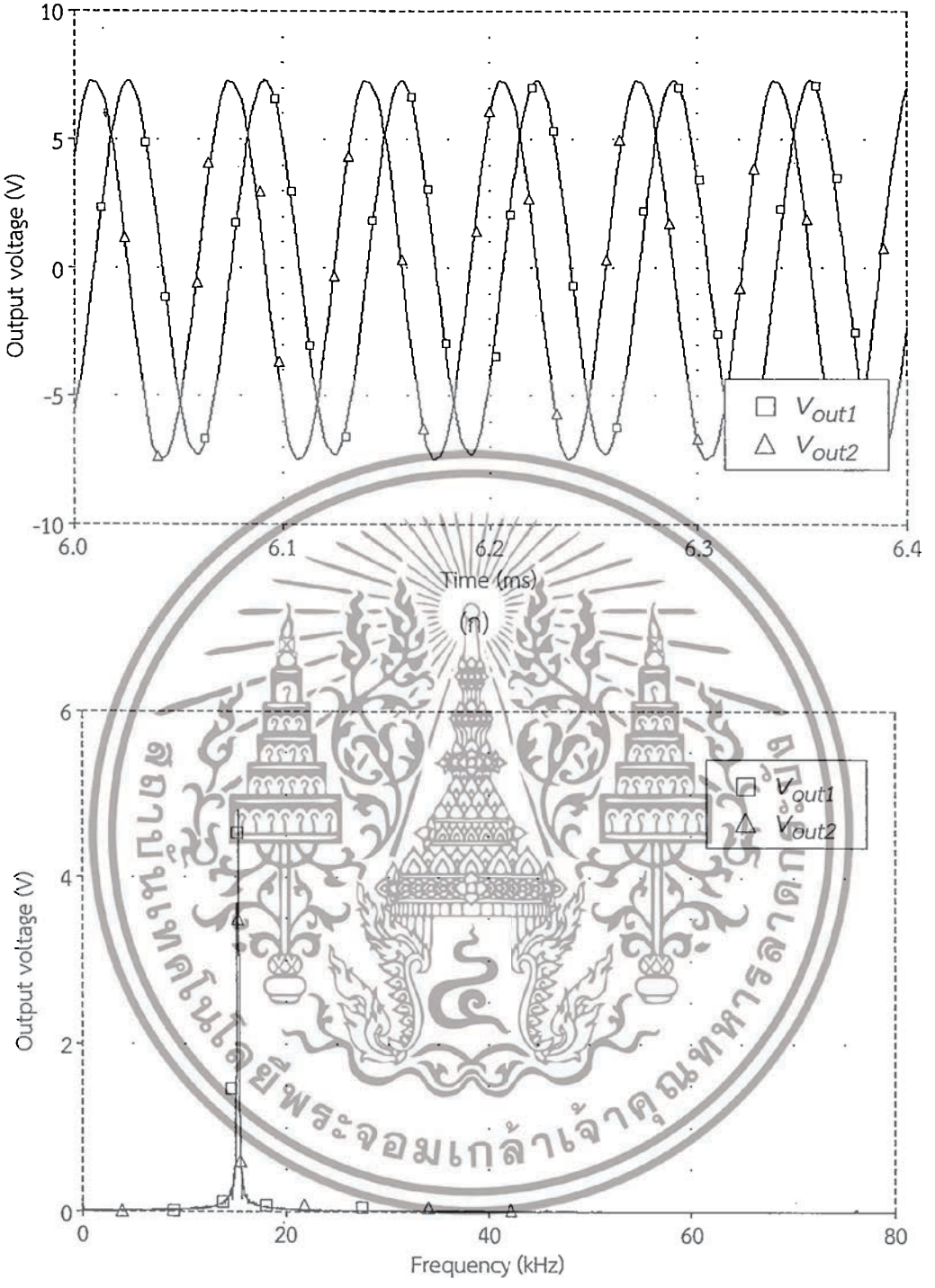
เพื่อตรวจสอบคุณสมบัติในการทำงานของวงจรออสซิลเลเตอร์ที่นำเสนอในรูปที่ 5.3 ได้ใช้โปรแกรม PSPICE ทำการจำลองการทำงานของวงจร โดยวงจร CDBA ได้สังเคราะห์จากวงจร CFOA เบอร์ AD844 [18] ดังที่ได้กล่าวไว้ในหัวข้อ 2.3.1 แหล่งจ่ายไฟเลี้ยงเท่ากับ $\pm$ 12 V รูปที่ 5.4(ก) แสดงผลการจำลองสัญญาณเอาต์พุตทางเวลาของวงจรออสซิลเลเตอร์ที่ได้นำเสนอ เมื่อเลือกใช้ $C_1 = C_2 = 1$ nF และ $R_2 = R_3 = 10$ kΩ และเพื่อให้มั่นใจว่าในการสังเคราะห์วงจรออสซิลเลเตอร์จะอยู่ภายใต้เงื่อนไขของการออสซิลเลตเสมอ จึงได้เลือกใช้ $R_1 = 10.5$ kΩ ทำให้ได้ค่าความถี่ในการออสซิลเลตที่คำนวณทางทฤษฎีเท่ากับ $f_o = 15.91$ kHz ในขณะที่ผลการจำลองมีค่าเท่ากับ $f_o \approx 15.10$ kHz ซึ่งคิดเป็นค่าความคลาดเคลื่อนเท่ากับ 5.09% ส่วนรูปที่ 5.4(ข) แสดงผลการจำลองสเปกตรัมความถี่ในการออสซิลเลตของแรงดันเอาต์พุต v_{out1} และ v_{out2} ผลการจำลองการทำงานดังรูปที่ 5.4 สามารถยืนยันการทำงานของวงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่นำเสนอได้ โดยพิจารณาจากคุณสมบัติของสัญญาณเอาต์พุต v_{out1} และ v_{out2} ที่มีมุมต่างเฟสกันประมาณ 90° และผลของสเปกตรัมความถี่ในการออสซิลเลตสัญญาณที่ปรากฏสเปกตรัมความถี่เฉพาะความถี่ที่เกิดการออสซิลเลตของสัญญาณโดยปราศจากการรบกวนจากสัญญาณความถี่อื่น

5.4.3 ผลการทดลองต่อวงจรจริง

เพื่อแสดงการทำงานวงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร CDBA ที่นำเสนอในรูปที่ 5.3 ว่าสามารถนำหลักการดังกล่าวมาทำการสังเคราะห์วงจรออสซิลเลเตอร์ที่ใช้งานจริงได้ ในวิทยานิพนธ์ฉบับนี้จึงได้นำโครงสร้างการสังเคราะห์วงจร CDBA ที่ได้กล่าวไว้ในหัวข้อ 2.3.1 มาทำการต่อทดลองในห้องปฏิบัติการ โดยได้เลือกใช้ $R_2 = R_3 = 10$ kΩ และ $C_1 = C_2 = 1$ nF แหล่งจ่ายไฟเลี้ยงเท่ากับ ±12 V และ $R_1 = 10.5$ kΩ

รูปที่ 5.5 แสดงสัญญาณเอาต์พุตที่ได้จากผลการทดลองการทำงานของวงจรออสซิลเลเตอร์ที่นำเสนอ ซึ่งจากผลการทดลองนั้นให้ผลสอดคล้องกับทฤษฎีโดยแรงดันเอาต์พุต v_{out1} และ v_{out2} ของวงจรมีมุมต่างเฟสกัน 90° และความถี่ในการออสซิลเลตที่ได้จากผลการทดลองมีค่าประมาณ $f_o \approx$ 14.30 kHz ซึ่งคิดเป็นค่าความคลาดเคลื่อนเท่ากับ 10.12 % ทั้งนี้เป็นผลเนื่องจากการทดลองได้ใช้ตัวต้านทานที่มีค่าความผิดพลาด $\pm$ 1 % และตัวเก็บประจุที่มีค่าความผิดพลาด $\pm$ 10% รูปที่ 5.6 แสดงค่าความถี่ในการออสซิลเลตเมื่อแปรค่า R_2 ซึ่งจะเห็นว่าค่าความถี่ในการออสซิลเลตสัญญาณระหว่างผลทางทฤษฎีกับผลจากการจำลองและผลการทดลองมีค่าสอดคล้องกัน

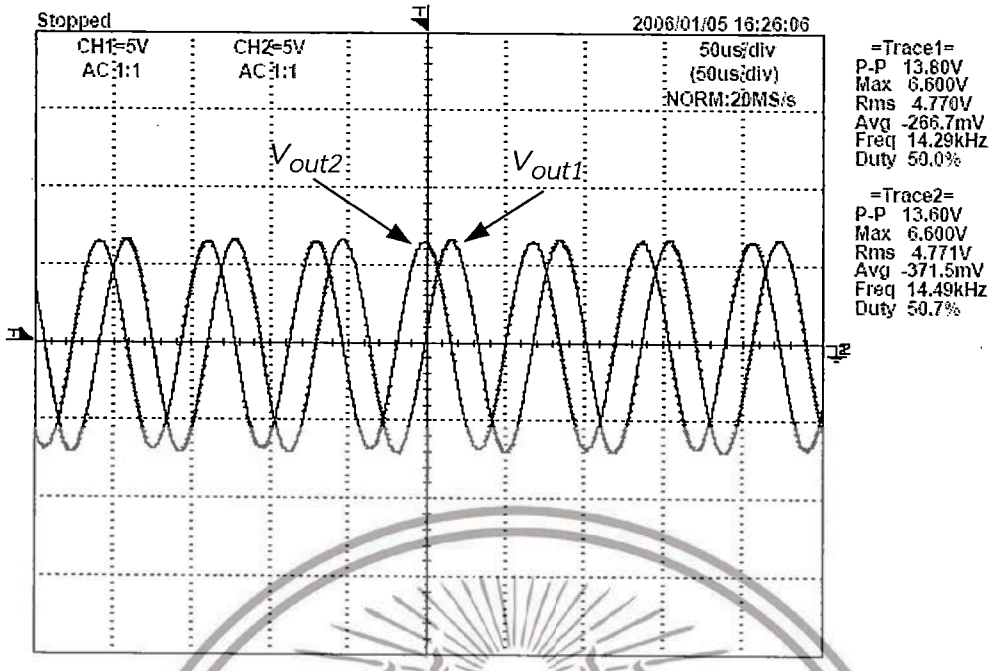
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



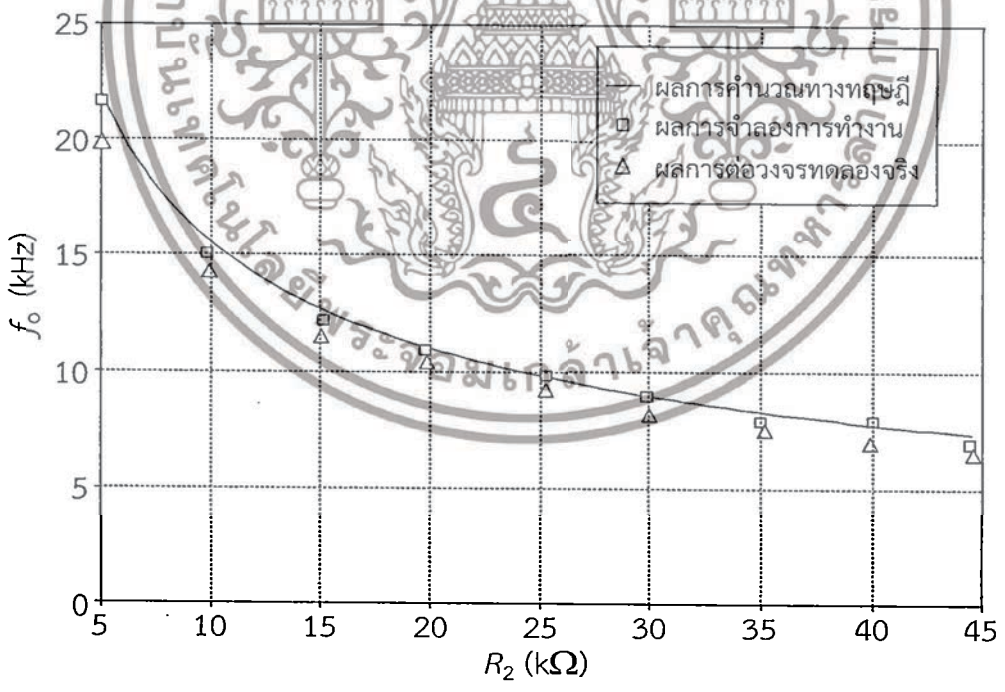
(ข)

รูปที่ 5.4 ผลการจำลองการทำงานวงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร CDBA
(ก) สัญญาณเอาต์พุตทางเวลา (ข) สเปกตรัมความถี่ของสัญญาณเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 ผลการทดสอบสัญญาณเอาต์พุตทางเวลาของวงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร CDBA



รูปที่ 5.6 ค่าความถี่ในการออสซิลเลตเมื่อแปรค่า R_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากคุณสมบัติในการทำงานของวงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่ได้นำเสนอในรูปที่ 5.3 จะเห็นได้ว่าวงจรออสซิลเลเตอร์ที่นำเสนอยังมีข้อด้อยในการนำวงจรไปใช้งานจริง กล่าวคือหากมีความจำเป็นต้องการปรับเปลี่ยนเงื่อนไขในการออสซิลเลตและค่าความถี่ในการออสซิลเลตแล้ว จะต้องทำการแปรค่า R_1 และ R_2 ตามลำดับ ซึ่งเป็นการปรับแต่งค่าทางกล ดังนั้นหากสามารถพัฒนาวงจรออสซิลเลเตอร์แบบควอดราเจอร์ดังกล่าวให้สามารถปรับเปลี่ยนเงื่อนไขในการออสซิลเลตและค่าความถี่ในการออสซิลเลตได้โดยวิธีการทางอิเล็กทรอนิกส์แล้ว จะทำให้วงจรดังกล่าวมีความน่าสนใจ เกิดความสะดวกและคล่องตัวต่อการนำไปใช้งานจริง อีกทั้งยังสามารถพัฒนาระบบควบคุมทางอิเล็กทรอนิกส์ด้วยวิธีการทางโปรแกรมได้อีกด้วย

5.5 การสังเคราะห์วงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร DC-CDBA

ในหัวข้อนี้เป็นการปรับปรุงคุณสมบัติที่ถือได้ว่าเป็นจุดด้อยของวงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร CDBA ที่นำเสนอในหัวข้อ 5.4 ที่ผ่านมา โดยจะนำวงจร DC-CDBA มาสังเคราะห์วงจรออสซิลเลเตอร์ในรูปที่ 5.3 แทนที่วงจร CDBA ทำให้วงจรออสซิลเลเตอร์ที่สังเคราะห์ขึ้นมาใหม่มีความน่าสนใจและลดข้อจำกัดในการใช้งานของวงจรเดิม อีกทั้งยังรองรับการประยุกต์ใช้งานในระบบอิเล็กทรอนิกส์ที่มีการควบคุมด้วยสัญญาณดิจิตอลอีกด้วย [19]

5.5.1 วงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร DC-CDBA ที่นำเสนอ

จากวงจรออสซิลเลเตอร์รูปที่ 5.3 เมื่อทำการสังเคราะห์วงจรด้วยวงจร DC-CDBA จะได้ดังรูปที่ 5.7 และทำการวิเคราะห์วงจรโดยอาศัยคุณสมบัติของวงจร DC-CDBA จะได้สมการคุณลักษณะของวงจรดังนี้ [ภาคผนวก ค.2]

$$s^2+\left(\frac{1}{R_3}-\frac{\alpha_1}{R_1}\right)\frac{s}{C_1}+\left(\frac{\alpha_1\alpha_2}{R_2R_3C_1C_2}\right)=0 \qquad (5.21)$$

เมื่อ α_1 และ α_2 คือ อัตราขยายกระแสที่สามารถควบคุมได้จากสัญญาณดิจิตอลของวงจร DC-CDBA ตัวที่หนึ่งและตัวที่สอง ตามลำดับ จากสมการ (5.21) จะได้เงื่อนไขการออสซิลเลต และ ω_0 ของวงจรมีค่าเท่ากับ

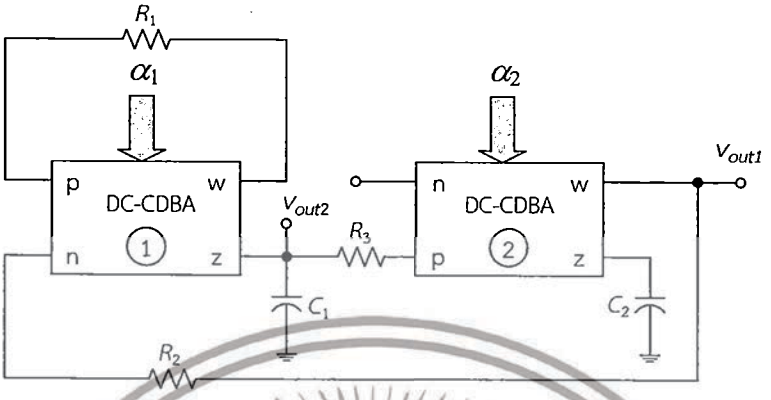
$$\alpha_1=\frac{R_1}{R_3} \qquad (5.22)$$

และ

$$\omega_0=\sqrt{\frac{\alpha_1\alpha_2}{R_2R_3C_1C_2}} \qquad (5.23)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (5.22) และ (5.23) จะเห็นว่าเงื่อนไขในการออสซิลเลตสัญญาณนั้นสามารถควบคุมได้จาก α_1 ของวงจร DC-CDBA ตัวที่หนึ่ง ในขณะที่ค่าความถี่ในการออสซิลเลตสัญญาณนั้น สามารถควบคุมได้จาก α_2 ของวงจร DC-CDBA ตัวที่สอง



รูปที่ 5.7 วงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่ปรับค่าได้ด้วยสัญญาณดิจิตอล โดยใช้วงจร DC-CDBA

เมื่อวิเคราะห์ค่าความไวของ ω_0 ต่อการเบี่ยงเบนค่าอุปกรณ์แอคทีฟและพาสซีฟในวงจรจะได้เท่ากับ [ภาคผนวก ค.3]

$$S^{\omega_o}_{\alpha_1,\alpha_2} = \frac{1}{2} \qquad (5.24)$$

และ

$$S^{\omega_o}_{R_2,R_3,C_1,C_2} = -\frac{1}{2} \qquad (5.25)$$

ซึ่งพบว่าค่าความไวทั้งหมดนั้นมีค่าที่ต่ำหรือน้อยกว่าหนึ่ง ยกตัวอย่างเช่น สมการ (5.24) หมายความว่า เมื่ออุปกรณ์แอคทีฟมีค่าเปลี่ยนแปลงเพิ่มขึ้น 1% จะส่งผลให้ค่าความถี่ในการออสซิลเลตสัญญาณ ω_0 มีค่าเพิ่มขึ้นไปจากเดิม 0.5% เป็นต้น

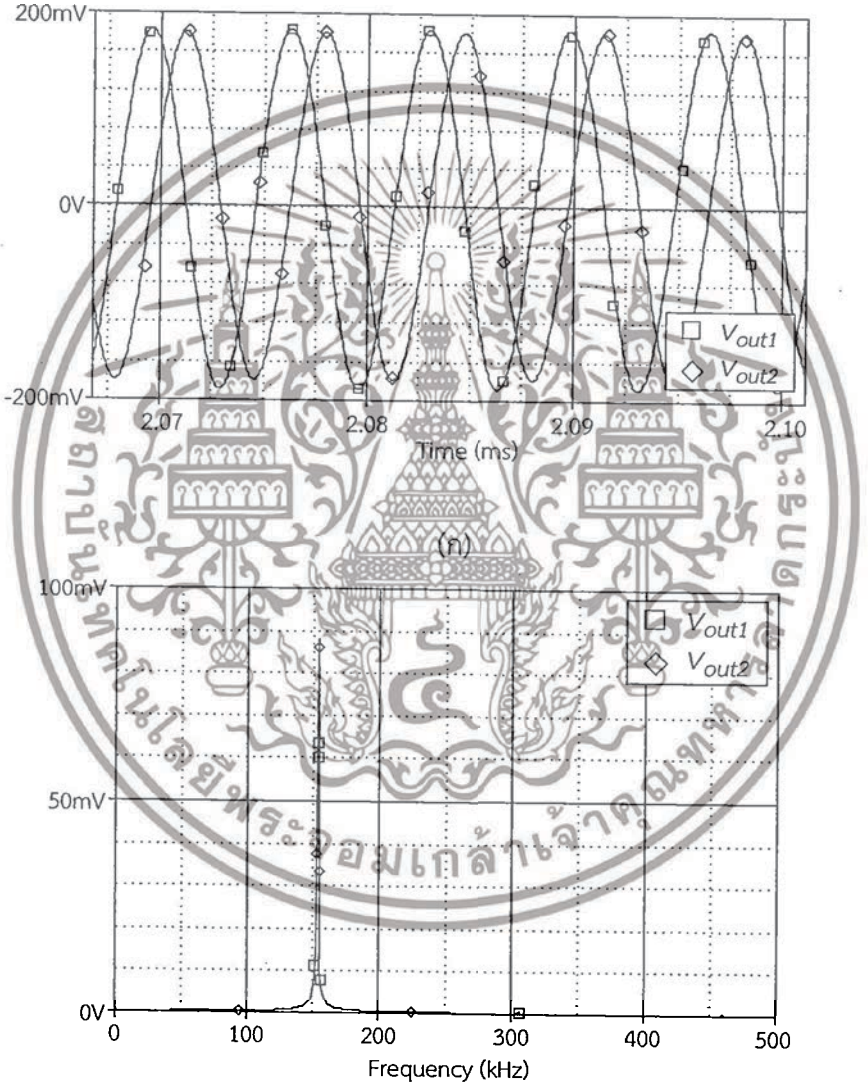
5.5.2 ผลการจำลองการทำงานวงจร

การจำลองการทำงานของวงจรออสซิลเลเตอร์ดังรูปที่ 5.7 โดยใช้โปรแกรม PSPICE ได้ใช้วงจร DC-CDBA ดังที่ได้นำเสนอไว้ในบทที่ 3 เลือกใช้ $+V_{DD} = -V_{SS} = 1.25V$ $I_B = 100\ \mu A$ และ $C_1 = C_2 = 1$ nF ค่าความละเอียดของอัตราขยายกระแส $n = 3$ (4 บิต) กำหนดให้ $R_2 = R_3 = 1\ k\Omega$ เพื่อให้มั่นใจว่าในการสังเคราะห์วงจรออสซิลเลเตอร์จะอยู่ภายใต้เงื่อนไขของการออสซิลเลตเสมอจึงได้เลือกใช้ $R_1 = 925\ \Omega$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

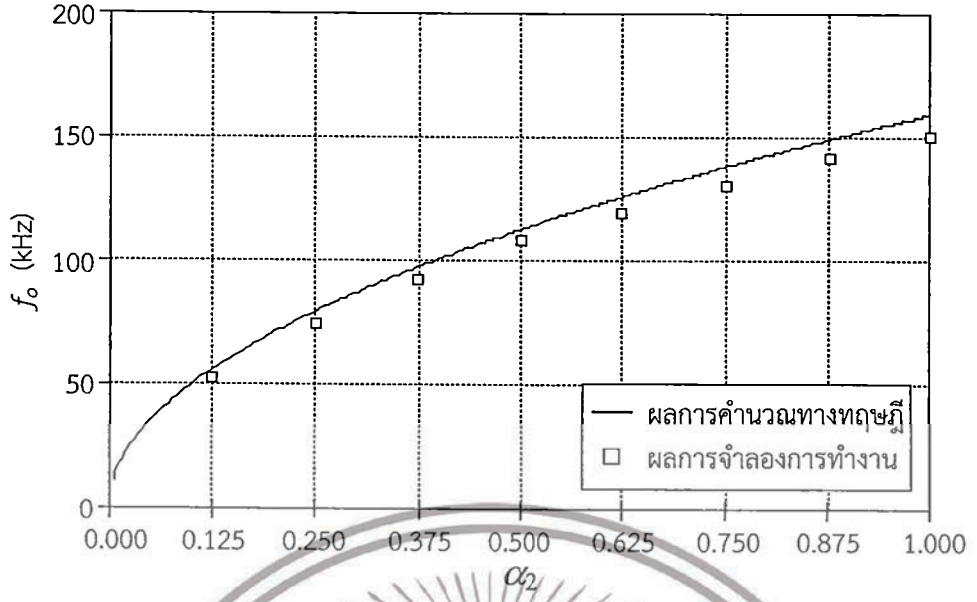
ผลที่ได้จากการจำลองการทำงานของสัญญาณเอาต์พุตทางเวลาแสดงดังรูปที่ 5.8(ก) ส่วนรูปที่ 5.8(ข) แสดงผลการจำลองสเปกตรัมความถี่ในการออสซิลเลตของแรงดันเอาต์พุต v_{out1} และ v_{out2}

นอกจากนี้จากผลการจำลองการทำงานของวงจรพบว่าค่าความผิดเพี้ยนรวมของสัญญาณ(total harmonic distortion, THD) ของแรงดันเอาต์พุต v_{out1} และ v_{out2} มีค่าเท่ากับ 5. 43 % รูปที่ 5.9 แสดงความถี่ในการออสซิลเลตเมื่อแปรค่า α_2 โดยแปรค่าอยู่ในช่วงระหว่าง 0.125 ถึง 1.000 ซึ่งทำให้เกิดการแปรค่าความถี่ในการออสซิลเลตสัญญาณในช่วง 56 kHz ถึง 159 kHz ซึ่งแสดงให้เห็นว่าความสัมพันธ์เป็นไปตามทฤษฎีที่แสดงไว้ในสมการ (5.23)



รูปที่ 5.8 ผลการจำลองการทำงานวงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร DC-CDBA
(ก) สัญญาณเอาต์พุตทางเวลา (ข) สเปกตรัมความถี่ของสัญญาณเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



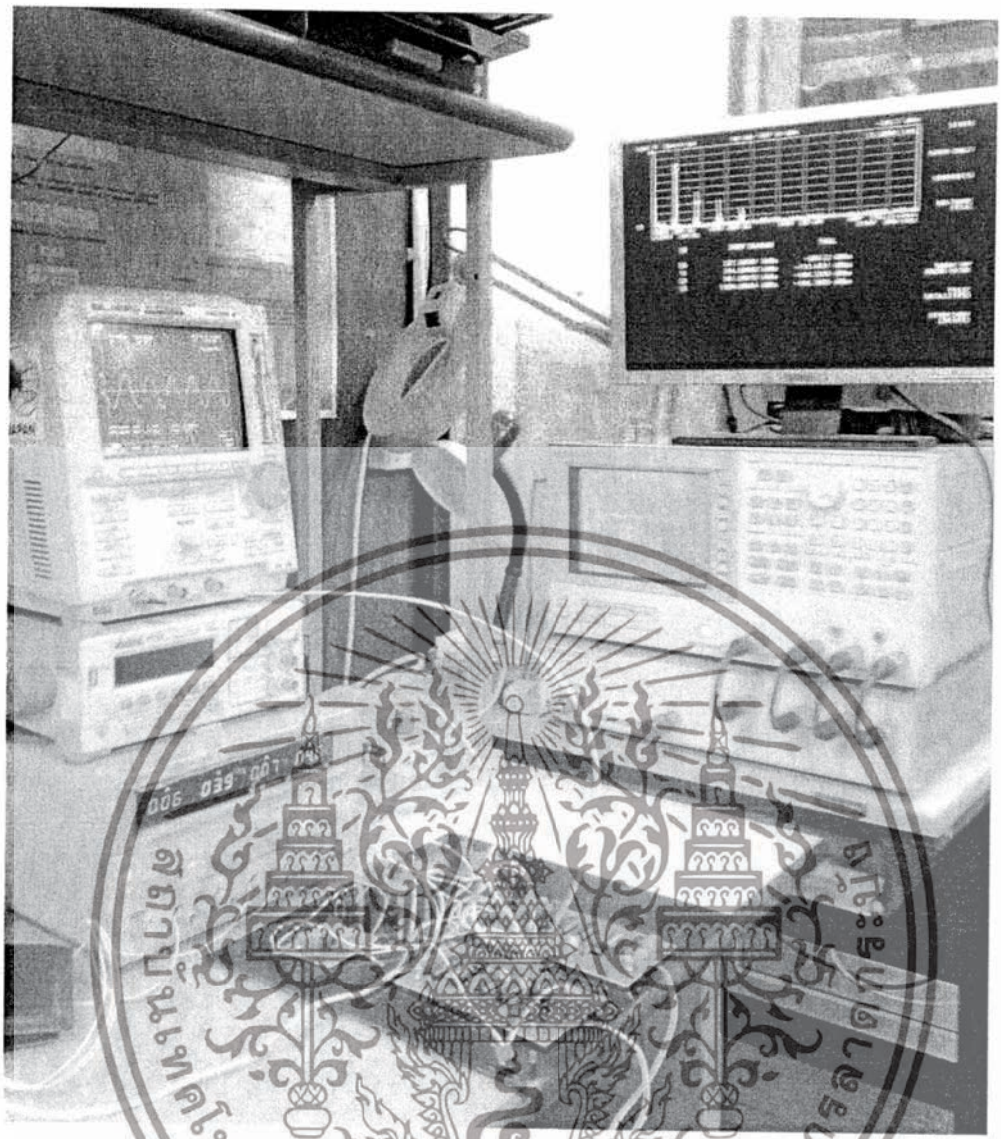
รูปที่ 5.9 ค่าความถี่ในการออสซิลเลตเมื่อแปรค่า α_2

5.5.3 ผลการทดลองต่อวงจรจริง

หัวข้อนี้ได้นำโครงสร้างการสังเคราะห์วงจร DC-CDBA ที่ได้กล่าวไว้ในหัวข้อ 3.4 มาทำการต่อทดลองเป็นวงจรออสซิลเลเตอร์แบบควอดราเจอร์ตามรูปที่ 5.7 โดยได้แสดงภาพถ่ายการทดลองในห้องปฏิบัติการในรูปที่ 5.10 โดยเลือกใช้ $R_2 = R_3 = 5$ kΩ แหล่งจ่ายไฟเลี้ยงเท่ากับ ±5 V และ $C_1 = C_2 = 1$ nF เพื่อให้มั่นใจว่าในการสังเคราะห์วงจรออสซิลเลเตอร์จะอยู่ภายใต้เงื่อนไขของการออสซิลเลตเสมอจึงได้เลือกใช้ $R_1 = 4.75$ kΩ

รูปที่ 5.11 แสดงผลการทดลองการทำงานของวงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่นำเสนอ ผลการทดลองให้ผลสอดคล้องกับทฤษฎีโดยแรงดันเอาต์พุต v_{out1} และ v_{out2} ของวงจรมีมุมต่างเฟสกัน 90° และความถี่ในการออสซิลเลตที่ได้จากผลการทดลองโดยปรับค่า α_2 ที่มีค่าแตกต่างกัน กล่าวคือรูปที่ 5.11(ก) ถึงรูปที่ 5.11(ง) เมื่อกำหนดให้ α_2 มีค่าเท่ากับ 1.00 0.75 0.50 และ 0.25 จะได้ค่าความถี่ในการออสซิลเลตประมาณ 27.78 kHz 24.04 kHz 19.69 kHz และ 13.81 kHz ตามลำดับ จากผลการทดสอบแสดงให้เห็นว่าวงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่นำเสนอสามารถปรับค่าความถี่ในการออสซิลเลตสัญญาณได้ด้วยการปรับค่า α_2

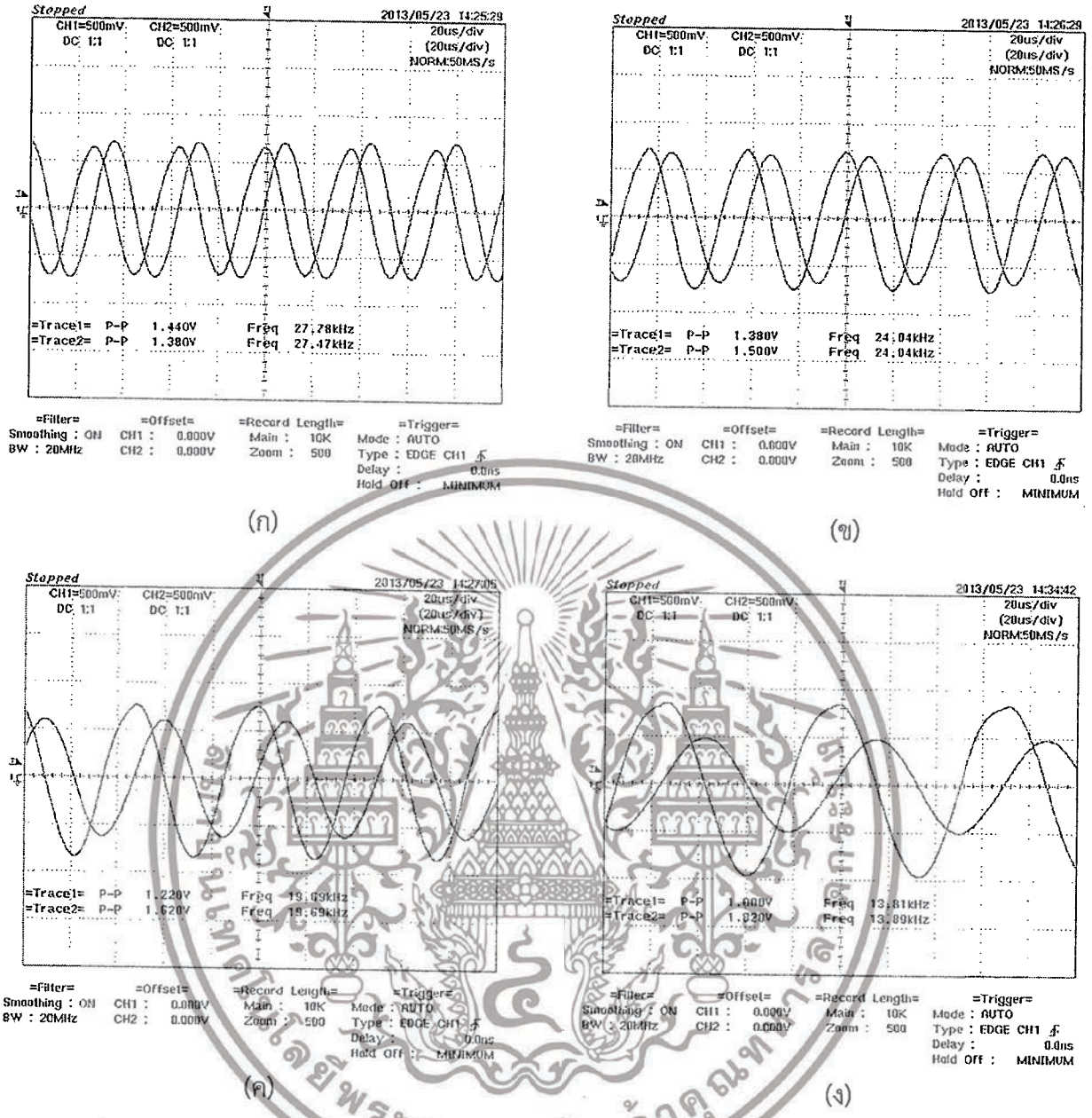
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.10 ภาพถ่ายการต่อทดลองในห้องปฏิบัติวงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร DC-CDBA

รูปที่ 5.12 แสดงความสัมพันธ์ทางเฟสของแรงดันเอาต์พุต v_{out1} และ v_{out2} โดยใช้เครื่องมือวัดสัญญาณทำการวัดในโหมด X-Y หรือแผนภาพลิซซาจัวส์ (lissagous diagram) ซึ่งจากผลการวัดแสดงให้เห็นว่าแรงดันเอาต์พุต v_{out1} และ v_{out2} มีมุมต่างเฟสกันประมาณ 88.5° คิดเป็นค่าความคลาดเคลื่อนเท่ากับ 1.67% รูปที่ 5.13 แสดงค่าความถี่ในการออสซิลเลตเมื่อแปรค่า α_2 ซึ่งแสดงให้เห็นว่าค่า f_0 ของวงจรออสซิลเลเตอร์ที่นำเสนอมีค่าแปรเปลี่ยนตาม α_2 โดยค่าความถี่ในการออสซิลเลตสัญญาณระหว่างผลทางทฤษฎีกับผลจากการจำลองและผลการทดลองมีค่าสอดคล้องไปในแนวทางเดียวกัน

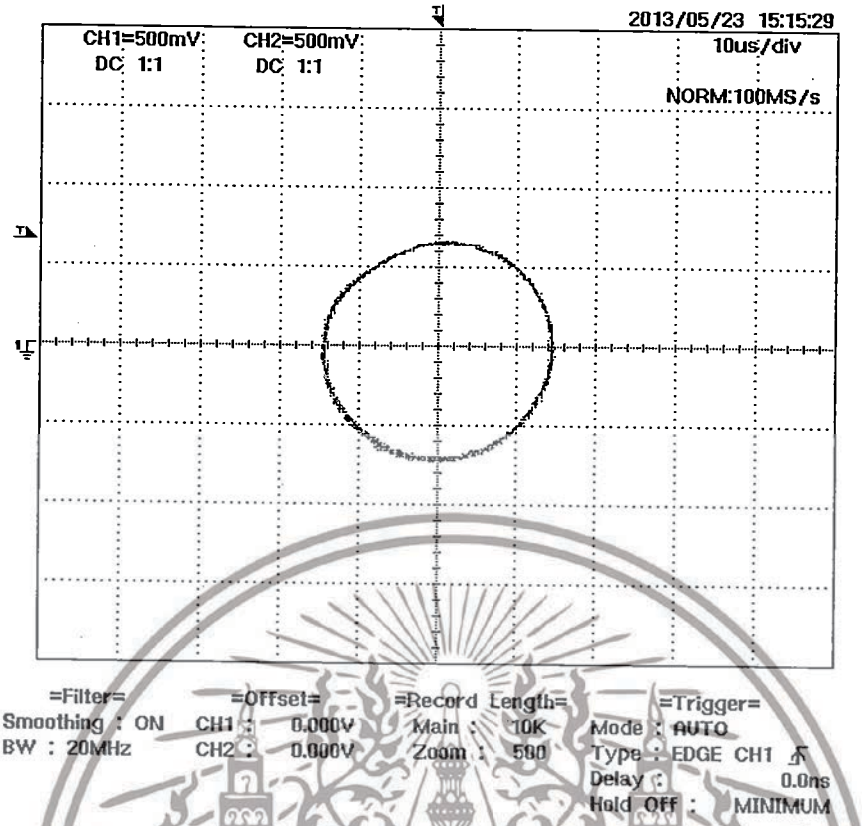
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



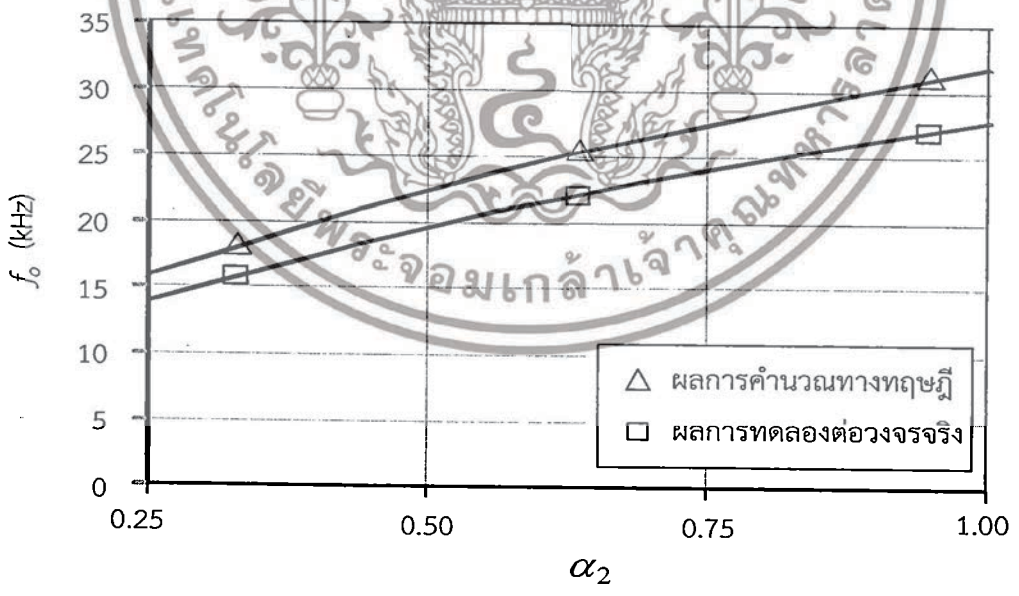
รูปที่ 5.11 ผลการทดสอบสัญญาณเอาต์พุตทางเวลาของวงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร DC-CDBA

(ก) $\alpha_2 = 1.00$ (ข) $\alpha_2 = 0.75$ (ค) $\alpha_2 = 0.50$ (ง) $\alpha_2 = 0.25$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.12 แผนภาพลิซซาจัวส์ของแรงดันเอาต์พุต v_{out1} และ v_{out2}



รูปที่ 5.13 ค่าความถี่ในการออสซิลเลตเมื่อแปรค่า α_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.14 แสดงผลการวัดสเปกตรัมความถี่ของสัญญาณเอาต์พุตของวงจรออสซิลเลเตอร์แบบควอดราเจอร์ในรูปที่ 5.7 ซึ่งจะเห็นได้ว่าสัญญาณที่เกิดการออสซิลเลตมีคุณสมบัติของสัญญาณใกล้เคียงกับสัญญาณไซน์บริสุทธิ์ เนื่องจากมีค่าความผิดเพี้ยนรวม (total harmonic distortion, THD) ของสัญญาณที่วัดได้ประมาณ 7.03% ซึ่งวิเคราะห์หาค่าได้จากการนำสเปกตรัมสัญญาณเอาต์พุตขององค์ประกอบความถี่หลักมูลและองค์ประกอบนอกเหนือความถี่หลักมูลจำนวนห้าอันดับ ดังรูปที่ 5.14 มาแทนค่าในความสัมพันธ์ดังต่อไปนี้

$$\%\text{THD} = \frac{\sqrt{\sum_{h=1}^{n}(V_h(rms))^2}}{V_0(rms)} \times 100 \qquad (5.26)$$

โดยที่ $V_o(rms)$ คือ แรงดันประสิทธิผลที่ความถี่หลักมูล (fundamental frequency)

$V_h(rms)$ คือ แรงดันประสิทธิผลที่ความถี่ที่นอกเหนือจากความถี่หลักมูล

h คือ ลำดับที่ของสเปกตรัม มีค่าตั้งแต่ 1 ถึง n

N	SWP PARAM	VAL
0	25.966375 kHz	12.638 mV
1	52.207625 kHz	866.1 uV
2	78.448875 kHz	195.61 uV
3	104.690125 kHz	18.794 uV
4	130.931375 kHz	24.509 uV
5	157.172625 kHz	21.036 uV

รูปที่ 5.14 ผลการทดสอบสเปกตรัมความถี่ของสัญญาณเอาต์พุตของวงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร DC-CDBA ในรูปที่ 5.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.6 การสังเคราะห์วงจรออสซิลเลตแบบควอดราเจอร์ที่สามารถควบคุมขนาดสัญญาณเอาต์พุตได้โดยใช้วงจร DC-CDBA

จากการนำเสนอหลักการวิเคราะห์และสังเคราะห์วงจรออสซิลเลเตอร์ในหัวข้อ 5.4 และ 5.5 หากพิจารณาคุณสมบัติของวงจรที่นำเสนอพบว่า วงจรออสซิลเลเตอร์ที่นำเสนอนั้นสามารถควบคุมความถี่ในการออสซิลเลตสัญญาณได้ แต่ไม่สามารถควบคุมขนาดของสัญญาณเอาต์พุตได้ หากเราพัฒนาและปรับปรุงให้วงจรออสซิลเลเตอร์สามารถควบคุมขนาดสัญญาณในการออสซิลเลตได้ก็จะทำให้วงจรออสซิลเลเตอร์ที่สังเคราะห์ขึ้นมีสมรรถนะการทำงานดียิ่งขึ้น อีกทั้งสามารถตอบสนองการประยุกต์ใช้งานได้หลากหลายมากขึ้น ในหัวข้อนี้จึงกล่าวถึงหลักการวิเคราะห์และสังเคราะห์วงจรออสซิลเลตเตอร์แบบควอดราเจอร์ที่สามารถควบคุมขนาดสัญญาณเอาต์พุตโดยหลักการออกแบบวงจรจะอาศัยพื้นฐานของระบบอันดับสอง (second-order system) และความสัมพันธ์จากสมการอนุพันธ์อันดับสองดังรายละเอียดต่อไปนี้

รูปที่ 5.15 ระบบอันดับสอง

หากพิจารณาระบบอันดับสองดังรูปที่ 5.15 สามารถเขียนสมการอนุพันธ์ของระบบได้ดังนี้

$$\frac{d^2y(t)}{dt^2}+(2\zeta\omega_o)\frac{dy(t)}{dt}+\omega_o^2y(t)=x(t) \tag{5.27}$$

เมื่อ $x(t)$ เป็นสัญญาณอินพุตของระบบอันดับสอง $y(t)$ เป็นสัญญาณเอาต์พุตของระบบอันดับสอง ζ คือ สัมประสิทธิ์การหน่วง (damping factor) และ ω_o คือค่าความถี่เชิงมุมธรรมชาติของสัญญาณเอาต์พุต

สำหรับการวิเคราะห์หาผลเฉลยสมการ (5.27) ในที่นี้อาศัยวิธีการแปลงลาปลาซ (Laplace transformation) และวิธีตัวแปรเวลาหลายตัว (multiple time variables) [20] ซึ่งจะได้ผลเฉลยของระบบที่เกิดการออสซิลเลตดังนี้ [ภาคผนวก ค.4]

$$y(t)=L^{-1}[Y(s)]=L^{-1}\left(\frac{\frac{k}{\omega_o^2}}{s}\right)-L^{-1}\left(\frac{\frac{k}{\omega_o^2}s}{s^2+\omega_o^2}\right)+L^{-1}\left(\frac{y(0)s}{s^2+\omega_o^2}\right) \tag{5.28}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ
$$y(t)=\left[\left(y(0)-\frac{k}{\omega_0^2}\right)\cos(\omega_0 t)+\frac{k}{\omega_0^2}\right]u(t) \tag{5.29}$$

ซึ่งแสดงให้เห็นว่าเราสามารถควบคุมขนาดของสัญญาณเอาต์พุต $y(t)$ ที่เกิดจากการออสซิลเลตได้ด้วยการควบคุมขนาดฟังก์ชันบังคับ k จากภายนอก ซึ่งรายละเอียดในการสังเคราะห์วงจรจะได้กล่าวในหัวข้อถัดไป

5.6.1 วงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่สามารถควบคุมขนาดสัญญาณเอาต์พุตได้โดยใช้วงจร DC-CDBA ที่นำเสนอ

จากผลเฉลยของระบบอันดับสองดังสมการ (5.29) จะเห็นว่าสามารถควบคุมขนาดสัญญาณเอาต์พุตได้โดยการป้อนฟังก์ชันบังคับที่มีขนาด k ที่ถูกกระตุ้นโดยแหล่งจ่ายอิสระจากภายนอกวงจร ดังนั้นจากคุณสมบัตินี้เองในการสังเคราะห์วงจรจึงได้นำวงจรในรูปที่ 5.7 มาประยุกต์ใช้งานโดยเพิ่มการป้อนแหล่งจ่ายกระแสอิสระ $i_f(\tau)$ ทำหน้าที่เป็นแหล่งจ่ายบังคับแก่วงจรดังรูปที่ 5.16 [21] และสามารถวิเคราะห์หาสมการแรงดันเอาต์พุต v_{out2} ได้ดังนี้ [ภาคผนวก ค.5]

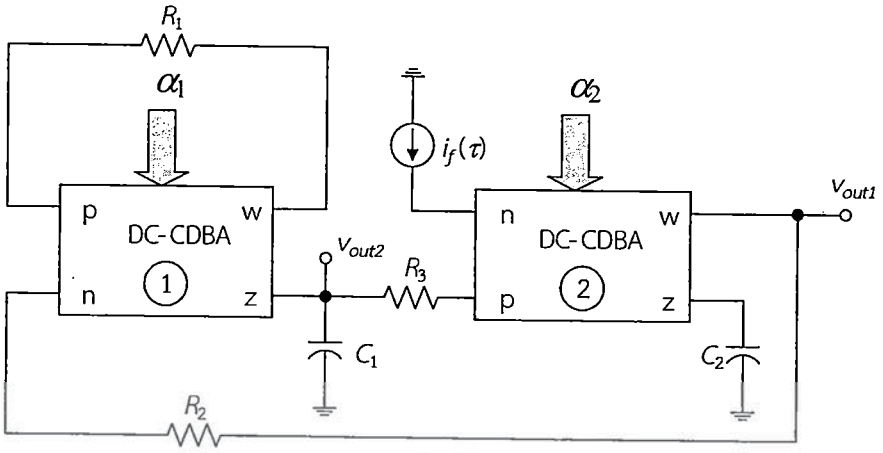
$$\left[s^2+\left(\frac{1}{R_3}+\frac{\alpha_1}{R_1}\right)\frac{s}{C_1}+\frac{\alpha_1\alpha_2}{C_1C_2R_2R_3}\right]v_{out2}(s)=\alpha_1\alpha_2\frac{I_f(s)}{C_1C_2R_2} \tag{5.30}$$

เมื่อ $t=\tau$ ดังนั้นนั้นเมื่อกำหนดให้ $\alpha_1=\alpha_2=1$ และ $R_1=R_3$ จะทำให้ค่าสัมประสิทธิ์การหน่วงเท่ากับศูนย์ ($\zeta=0$) หรือกล่าวได้ว่าเงื่อนไขนี้เป็นเงื่อนไขที่ทำให้วงจรในรูปที่ 5.16 เกิดการออสซิลเลตและเมื่อทำการป้อนแหล่งจ่ายกระแสอิสระกระแสตรงที่มีค่าเท่ากับ $I_f(s)$ หากพิจารณาสมการ (5.30) จะเห็นได้ว่าขนาดของค่าสัมประสิทธิ์ของการป้อนแหล่งจ่ายกระแสอิสระ $I_f(s)$ มีค่า $k=\omega_0^2 I_f R_3$ โดยที่ $\omega_0^2=\frac{\alpha_1\alpha_2}{C_1C_2R_2R_3}$ จะได้ผลตอบสนองแรงดันเอาต์พุต v_{out2} ของวงจรเท่ากับ

$$v_{out2}(t)=(V_{sat}-I_fR_3)\cos\omega_o t+I_fR_3 \tag{5.31}$$

ซึ่งจะเห็นว่าแรงดันเอาต์พุต v_{out2} สามารถควบคุมขนาดสัญญาณได้โดยการกำหนดขนาดกระแส $i_f(\tau)$ ที่ป้อนให้กับวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

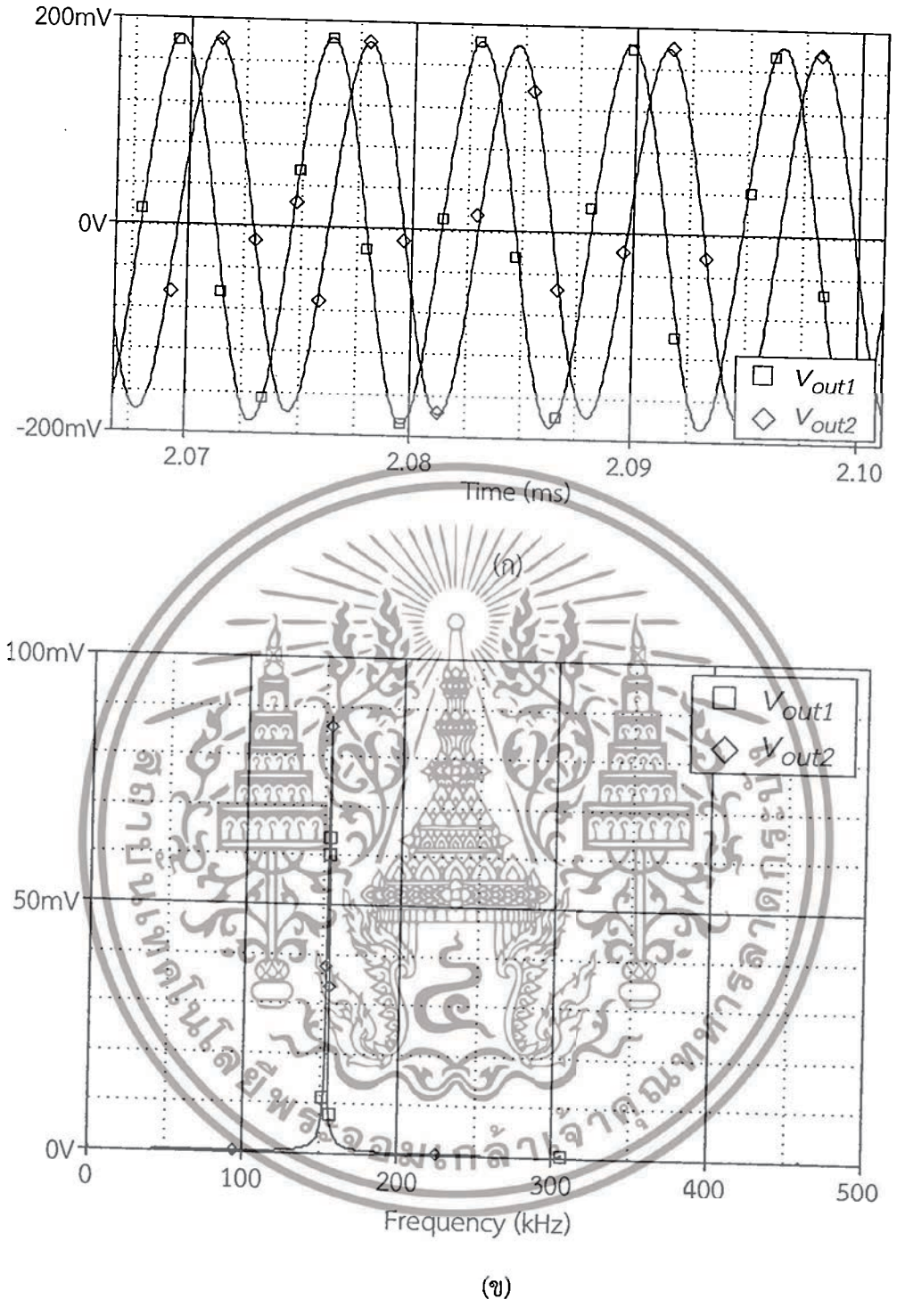


รูปที่ 5.16 วงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่สามารถควบคุมขนาดของสัญญาณเอาต์พุตได้โดยใช้วงจร DC-CDBA

5.6.2 ผลการจำลองการทำงานวงจร

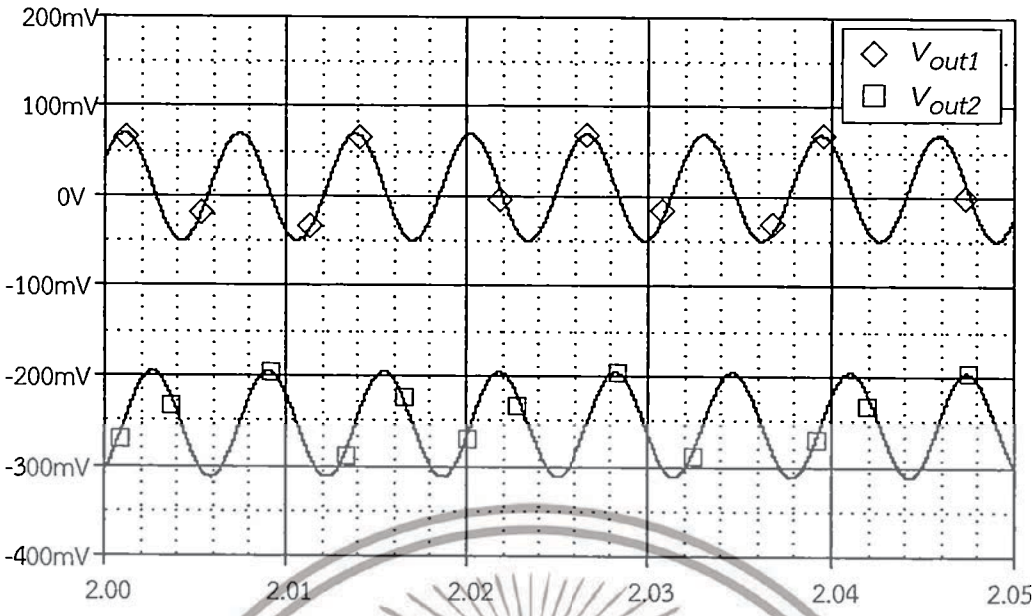
ในหัวข้อนี้ได้ทำการทดสอบการทำงานของวงจรออสซิลเลเตอร์ที่นำเสนอในรูปที่ 5.16 ด้วยโปรแกรม PSPICE โดยใช้วงจร DC-CDBA ที่ได้สังเคราะห์ขึ้นและกล่าวไว้ในบทที่ 3 เมื่อกำหนดให้ใช้ $+V_{DD} = -V_{SS} = 1.25$V $I_B = 100$ μA ค่าความละเอียดของอัตราขยายกระแส $n = 3$ ปราศจากการป้อนแหล่งจ่ายกระแสอิสระควบคุมจากภายนอก ($I_f = 0$ A) $C_1 = C_2 = 1$ nF ปรับค่า $\alpha_1 = \alpha_2 = 1$ และ $R_2 = R_3 = 10$ kΩ เพื่อให้มั่นใจว่าในการสังเคราะห์วงจรออสซิลเลเตอร์จะอยู่ภายใต้เงื่อนไขของการออสซิลเลตเสมอ จึงได้เลือกใช้ $R_1 = 10.5$ kΩ ซึ่งทำให้ได้ค่าความถี่ในการออสซิลเลตที่คำนวณทางทฤษฎีเท่ากับ $f_0 = 15.91$ kHz และพบว่าค่าความถี่ของผลการจำลองการทำงานมีค่าเท่ากับ $f_0 \cong 14.12$ kHz ซึ่งคิดเป็นค่าคลาดเคลื่อนเท่ากับ –1.125% รูปที่ 5.17(ก) แสดงผลการจำลองการทำงานสัญญาณเอาต์พุตทางเวลา v_{out1} และ v_{out2} ของวงจรออสซิลเลเตอร์ที่ได้นำเสนอดังรูปที่ 5.16 และรูปที่ 5.17 (ข) แสดงผลการการจำลองการทำงานสเปกตรัมความถี่ในการออสซิลเลตของแรงดันเอาต์พุต v_{out1} และ v_{out2} นอกจากนี้จากผลการจำลองการทำงานของวงจรพบว่าค่าความผิดเพี้ยนของสัญญาณของแรงดันเอาต์พุต v_{out1} และ v_{out2} มีค่าเท่ากับ 1.1% และเพื่อเป็นการยืนยันคุณสมบัติการควบคุมขนาดสัญญาณเอาต์พุตในการออสซิลเลตได้จำลองการทำงานโดยการป้อนแหล่งจ่ายกระแสตรง I_f เพื่อเป็นสัญญาณควบคุมขนาดสัญญาณเอาต์พุตที่แตกต่างกันคือ 260 μA 255 μA 250 μA และ 245 μA ตามลำดับ ซึ่งผลการจำลองแสดงได้ดังรูปที่ 5.18 จะเห็นได้ว่าวงจรออสซิลเลเตอร์ที่นำเสนอสามารถควบคุมขนาดสัญญาณเอาต์พุตได้ดังความสัมพันธ์ที่ได้แสดงไว้ในสมการ (5.31)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

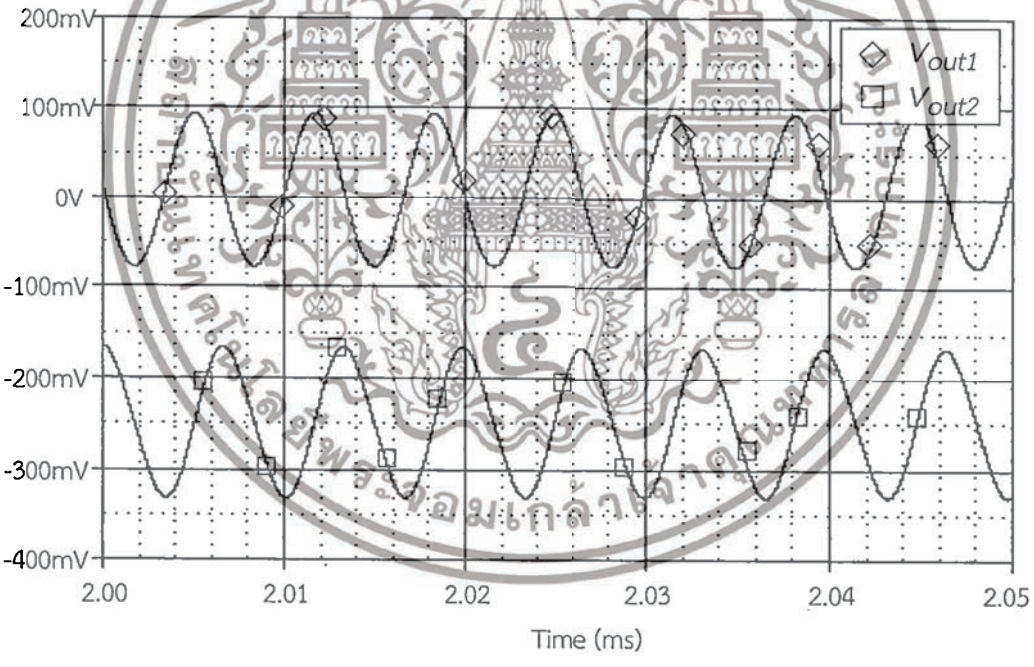


รูปที่ 5.17 ผลการจำลองการทำงานของวงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่สามารถควบคุมขนาดสัญญาณเอาต์พุตได้โดยใช้วงจร DC-CDBA กรณี I_f = 0 A
(ก) สัญญาณเอาต์พุตทางเวลา (ข) สเปกตรัมความถี่ของสัญญาณเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



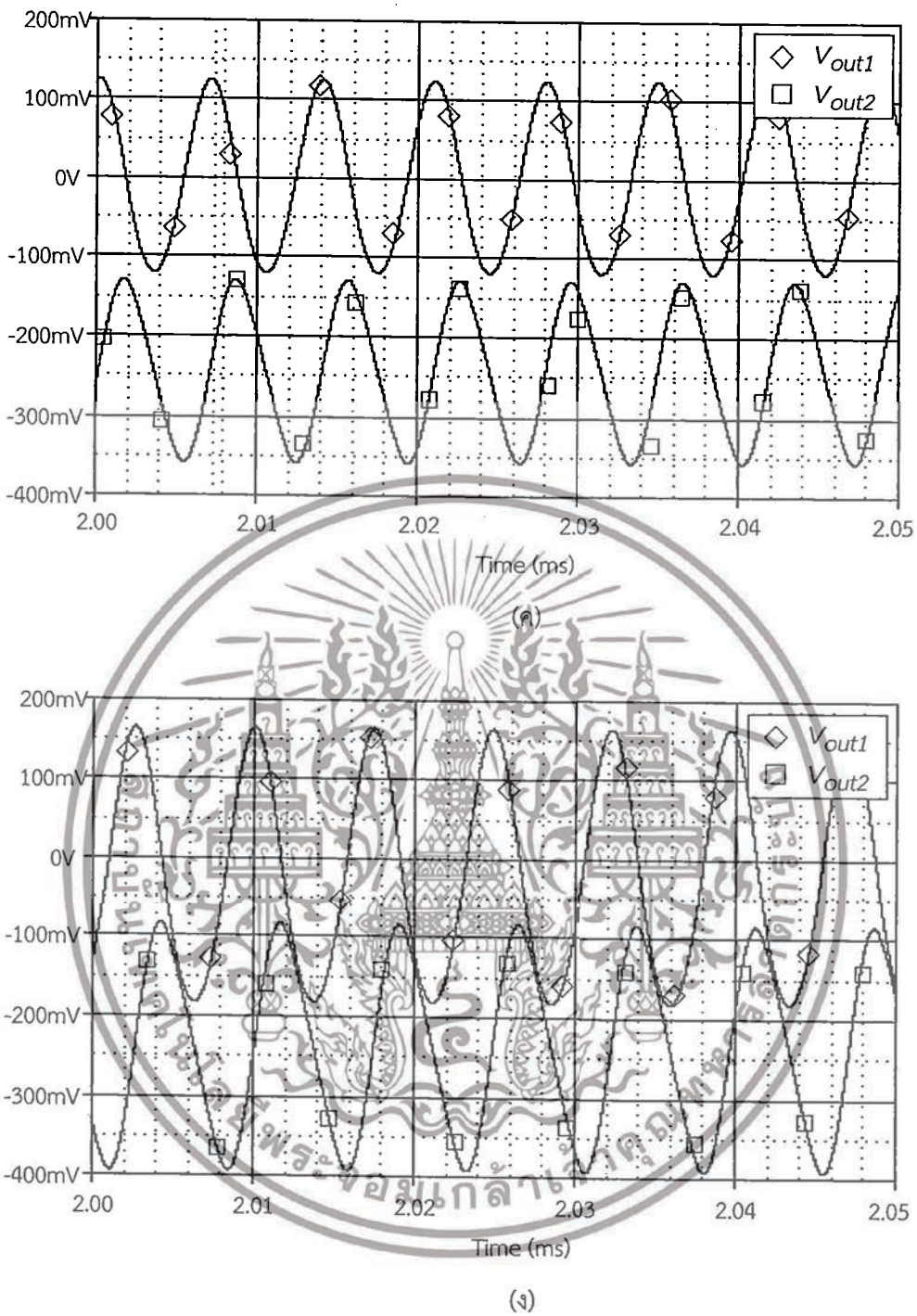
(ข)

รูปที่ 5.18 ผลการจำลองการทำงานแรงดันเอาต์พุต v_{out1} และ v_{out2} ของวงจรออสซิลเลเตอร์ที่นำเสนอ

(ก) กรณี I_f= 260 μA (ข) กรณี I_f= 255 μA

(ค) กรณี I_f= 250 μA (ง) กรณี I_f= 245 μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.18 ผลการจำลองการทำงานแรงดันเอาต์พุต v_{out1} และ v_{out2} ของวงจรออสซิลเลเตอร์ที่นำเสนอ (ต่อ)

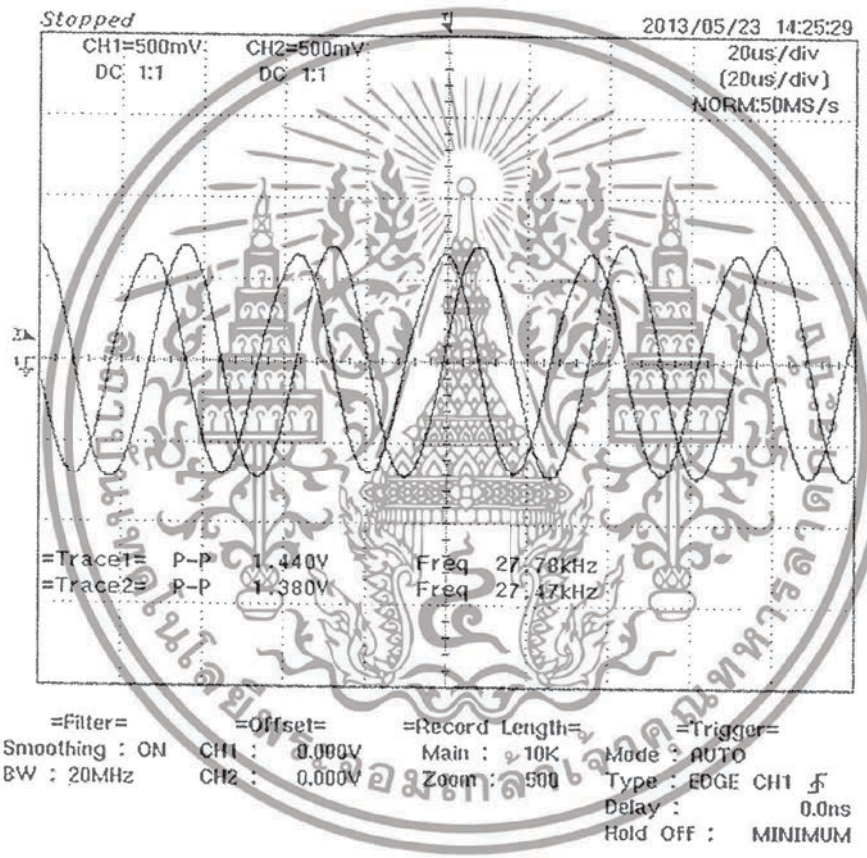
(ก) กรณี I_f= 260 μA (ข) กรณี I_f= 255 μA

(ค) กรณี I_f= 250 μA (ง) กรณี I_f= 245 μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.6.3 ผลการทดลองต่อวงจรจริง

เพื่อทดสอบการทำงานวงจรออสซิลเลเตอร์แบบควอดราเจอร์ในรูปที่ 5.16 ในทางปฏิบัติ ในหัวข้อนี้จึงได้นำโครงสร้างการสังเคราะห์วงจร DC-CDBA ที่ได้กล่าวไว้ในหัวข้อ 3.5 มาทำการต่อทดลองวงจรดังรูปที่ 5.16 โดยเลือกใช้ $R_2 = R_3 = 5\ \text{k}\Omega$ และ $R_1 = 4.75\ \text{k}\Omega$, $C_1 = C_2 = 1$ nF และ $\alpha_1 = \alpha_2 = 1$ แหล่งจ่ายไฟเลี้ยงที่ใช้กับวงจรมีค่าเท่ากับ ±5 V ซึ่งทำให้ได้ค่าความถี่ในการออสซิลเลตที่คำนวณทางทฤษฎีเท่ากับ f_o= 31.83 kHz ผลการทดลองการทำงานของวงจรออสซิลเลเตอร์ที่ได้นำเสนอในกรณี I_f = 0 A แสดงได้ดังรูปที่ 5.19 และพบว่าค่าความถี่ในผลการทดสอบการทำงานมีค่าเท่ากับ $f_0 \cong 27.75$ kHz ซึ่งคิดเป็นค่าคลาดเคลื่อนเท่ากับ 12.8 %

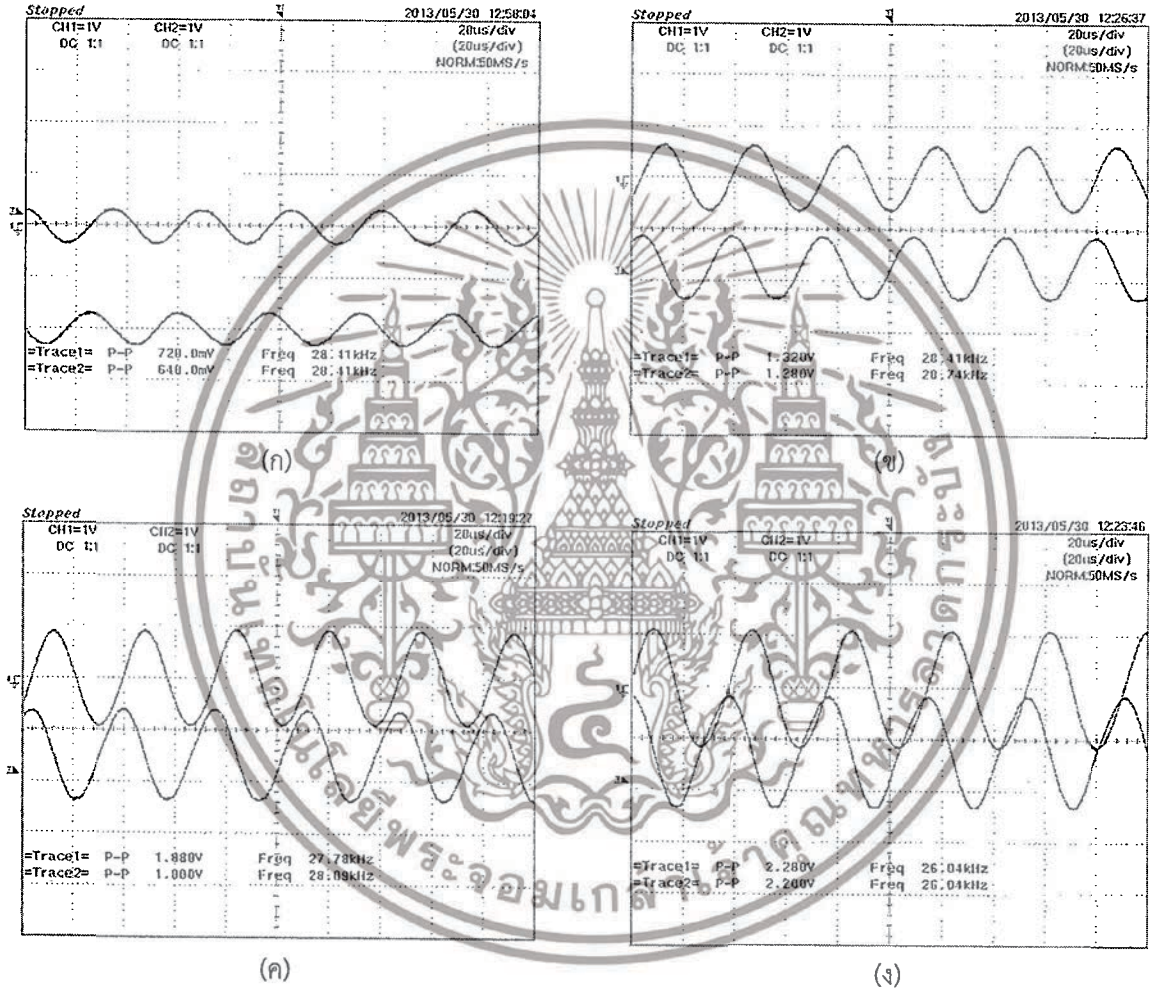


รูปที่ 5.19 ผลการทดสอบวงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่สามารถควบคุมขนาดสัญญาณเอาต์พุตได้โดยใช้วงจร DC-CDBA กรณี I_f = 0 A

เพื่อเป็นการยืนยันคุณสมบัติในการควบคุมขนาดสัญญาณเอาต์พุตในการออสซิลเลตของวงจรได้ทำการทดสอบโดยการป้อนแหล่งจ่ายกระแสตรง I_f เป็นสัญญาณควบคุมขนาดสัญญาณเอาต์พุตที่แตกต่างกันคือ 400 μA 350 μA 300 μA และ 250 μA ตามลำดับ ผลการทดลองสัญญาณเอาต์พุตในการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออสซิลเลตแสดงได้ดังรูปที่ 5.20 ซึ่งแสดงให้เห็นว่าขนาดสัญญาณ v_{out1} และ v_{out2} สามารถควบคุมได้โดยการป้อนแหล่งจ่ายอิสระ I_f ควบคุมจากภายนอกซึ่งสอดคล้องกับความสัมพันธ์ในสมการ (5.30) โดยรูปที่ 5.21 แสดงความสัมพันธ์ของการควบคุมขนาดของสัญญาณ v_{out1} และ v_{out2} ต่อการเปลี่ยนแปลงค่า I_f โดยผลการทดสอบการทำงานสามารถยืนยันได้ว่าวงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่สามารถควบคุมขนาดสัญญาณเอาต์พุตโดยใช้วงจร DC-CDBA ที่นำเสนอสามารถทำการควบคุมขนาดของแรงดันเอาต์พุต v_{out1} และ v_{out2} ได้โดยการป้อนแหล่งจ่ายกระแสควบคุมอิสระจากภายนอก

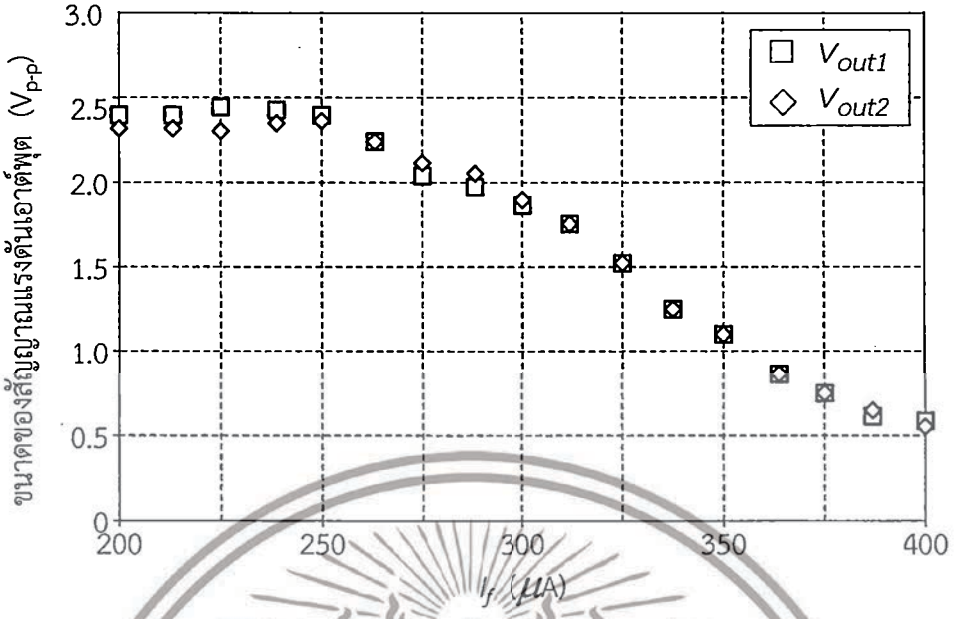


รูปที่ 5.20 ผลการทดสอบแรงดันเอาต์พุต v_{out1} และ v_{out2} ของวงจรออสซิลเลเตอร์ที่นำเสนอ

(ก) กรณี I_f = 400 μA (ข) กรณี I_f = 350 μA

(ค) กรณี I_f = 300 μA (ง) กรณี I_f = 250 μA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.21 คุณสมบัติการควบคุมขนาดแรงดันเอาต์พุต v_{out1} และ v_{out2} ต่อการปรับค่ากระแสควบคุม I_f

5.7 สรุป

บทนี้ได้นำเสนอการประยุกต์ใช้วงจร DC-CDBA ในการสังเคราะห์และออกแบบวงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร DC-CDBA ที่ได้พัฒนาขึ้น โดยสามารถควบคุมเงื่อนไขและค่าความถี่ในการออสซิลเลตได้ด้วยสัญญาณดิจิตอลจากภายนอก อีกทั้งยังสามารถควบคุมขนาดของสัญญาณเอาต์พุตที่ได้จากการออสซิลเลตของวงจรได้ด้วยแหล่งจ่ายกระแสจากภายนอก คุณสมบัติในการทำงานของวงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่นำเสนอขึ้นนี้ สามารถแสดงให้เห็นการนำไปใช้งานจริงได้โดยผลการจำลองการทำงานด้วยโปรแกรม PSPICE และยืนยันการทำงานจริงด้วยผลการต่อวงจรทดลองในห้องปฏิบัติการ

5.8 เอกสารอ้างอิงบทที่ 5

[1] P. Horowitz, and W. Hill, **The Art of Electronics.** 2nd Ed. Cambridge, U.K.,Cambridge University Press, Inc. 1991.

[2] U. Tietze, and C. Schenk, "Electronic Circuits : Design and Applications", **Springer**, Berlin, Germany, pp.795-796, 1991.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[3] R. Holzel, "A simple wide-band sine wave quadrature oscillator", **IEEE Transaction Instrumentation and Measurement**, vol.42, pp.758-760, 1993.

[4] M.T. Ahmed, I. A. Khan and N. Minhaj, "On transconductance-C quadrature oscillators", **International Journal of Electronics,** vol. 83, pp. 201-207, 1997.

[5] A.M. Soliman, "Synthesis of grounded capacitor and grounded resistor oscillators", **Journal of the Franklin Institute**, vol. 336, pp. 735-746, 1999.

[6] I.A. Khan and S. Khwaja, "An integrable Gm-C quadrature oscillator", **International Journal of Electronics,** vol. 87, pp. 1353-1357, 2000.

[7] J.W. Horng, C.L. Hou, C.M. Chang, W.Y. Chung, H.W. Tang and Y.H. Wen, "Quadrature oscillator using CCIIs", **International Journal of Electronics,** vol. 92, pp. 21-31, 2005.

[8] J.J Chen, C.C. Chen, H.W. Tsao, and S.I. Liu, "Current-mode oscillator using single current follower", **Electronics Letters**, vol. 27, pp. 2056-2059, 1991.

[9] M.T. Abuelma'atti, "Grounded capacitor current-mode oscillator using single current follower", **IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications,** vol. 39, pp. 1018-1020, 1992.

[10] S. Minaei and O. Cicekoglu, "New current-mode integrator, all-pass section and quadrature oscillator using only active elements", **Proceedings of the 1st IEEE International Conference on Circuits and Systems for Communications (ICCSC 2002)**, St –Petersburg, Russia, pp. 70-73, 2002.

[11] J. W. Horng, "Current-mode quadrature oscillator with grounded capacitors and resistors using two DVCCs", **IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences**, vol. E86-A, pp. 2152-2154, 2003.

[12] สิทธิชัย โภไคยอุดม. **วงจรป้อนกลับแบบลบและออสซิลเลเตอร์** กรุงเทพมหานคร มหาวิทยาลัยเทคโนโลยีมหานคร 2549.

[13] แสงระวี ตั้งกุลบริบูรณ์. **"วงจรกำเนิดสัญญาณไซน์หลายเฟสที่ปรับค่าได้ด้วยวิธีการอิเล็กทรอนิกส์"** วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย. สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2545.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[14] เฉลิมภัณฑ์ ฟองสมุทร. **"วงจรออสซิลเลเตอร์ที่ออกแบบด้วยวงจรสายพานกระแสรุ่นที่สองโดยใช้หลักการแปลงนูลเลเตอร์และนอเรเตอร์"** วิทยานิพนธ์วิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย. สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2550.

[15] สุเมธี พิสิฐเฉลิมพงศ์ **"การสังเคราะห์วงจรออสซิลเลเตอร์รูปคลื่นซายน์แบบควอดราเจอร์และแบบหลายเฟสโดยใช้วงจร CDBA"** วิทยานิพนธ์ปริญญาวิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรม สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2550

[16] วรพงศ์ ตั้งศรีรัตน์ **การออกแบบและสังเคราะห์วงจรกรองสัญญาณแอนะล็อกและวงจรออสซิลเลเตอร์** มีนเซอร์วิสซัพพลาย กรุงเทพมหานคร 2554

[17] W. Tangsrirat, D. Prasertsom, T. Piyatat, and W. Surakampontorn, "Single-resistance-controlled quadrature oscillator using current differencing buffered amplifiers", **International Journal of Electronics**, vol.95, no.11, pp.1119-1126, 2008.

[18] C. Acar and S. Ozoguz, "A new versatile building block : current differencing buffered amplifier suitable for analog signal processing filters", **Microelectronics Journal**, vol.30, pp.157-160, 1999.

[19] D. Prasertsom and W. Tangsrirat, "Programmable Quadrature Oscillator Using DC-CDBAs", **Proceedings of the 12th International Analog VLSI Workshop (IEEJ 2009)**, Chiang Mai, Thailand, pp. 150-154, 2009.

[20] ธงชัย มณีชูเกต **"การศึกษาปรากฏการณ์ออสซิลเลเตอร์โดยอาศัยแบบจำลองการออสซิลเลตแบบถูกบังคับด้วยตัวแปรเวลาหลายตัว"** วิทยานิพนธ์ปริญญาวิศวกรรมศาสตรดุษฎีบัณฑิต สาขาวิชาวิศวกรรมไฟฟ้า สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง 2552

[21] D. Prasertsom and W. Tangsrirat, "CDBA-based Sinusoidal Quadrature Oscillator with Current Controlled Amplitude", **International Symposium on Communications and Information Technologies (ISCIT 2010)**, Japan, pp. 187 - 191, 2010.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6
บทสรุปและข้อเสนอแนะแนวทางในการทำวิจัยต่อ

6.1 บทสรุป

วิทยานิพนธ์ฉบับนี้เป็นแนวทางหนึ่งที่ได้ทำการวิจัยและพัฒนาการสังเคราะห์วงจรประมวลผลสัญญาณแอนะล็อก โดยได้ทำการปรับปรุงคุณสมบัติของอุปกรณ์แอคทีฟคือวงจร CDBA ซึ่งเป็นที่ทราบดีแล้วว่าวงจร CDBA เป็นอุปกรณ์แอคทีฟชนิดหนึ่งที่มีความสำคัญและได้รับความสนใจจากนักวิจัยนำวงจร CDBA มาออกแบบและสังเคราะห์วงจรประมวลผลสัญญาณแอนะล็อกต่างๆมากมาย [1]-[10] อย่างไรก็ตามจากข้อจำกัดของวงจร CDBA ที่ไม่สามารถปรับเปลี่ยนคุณสมบัติของวงจรด้วยวิธีทางอิเล็กทรอนิกส์ได้ เป็นผลทำให้ในการออกแบบวงจรประมวลผลสัญญาณแอนะล็อกที่ใช้วงจร CDBA เป็นอุปกรณ์แอคทีฟหลักเกิดความยุ่งยากแก่ผู้ใช้งาน ในด้านการปรับเปลี่ยนคุณสมบัติบางประการของวงจรที่ทำได้ยาก ต้องมีการเปลี่ยนแปลงรูปแบบของวงจร รวมทั้งต้องใช้คุณสมบัติทางกลมาเกี่ยวข้องในการปรับเปลี่ยนคุณสมบัติของวงจร อีกทั้งยังไม่รองรับการปรับคุณสมบัติของวงจรโดยอาศัยการปรับค่าทางอิเล็กทรอนิกส์หรือการควบคุมด้วยการโปรแกรม ดังนั้นในวิทยานิพนธ์ฉบับนี้ได้เล็งเห็นข้อจำกัดดังกล่าวของวงจร CDBA จึงได้มีการปรับปรุงโดยการสังเคราะห์วงจร DC-CDBA ขึ้นมาเพื่อเป็นการลดข้อจำกัดที่เกิดขึ้น อีกทั้งยังสามารถเพิ่มประสิทธิภาพของวงจรประมวลผลสัญญาณแอนะล็อกให้สามารถปรับเปลี่ยนคุณสมบัติของวงจรด้วยวิธีการทางอิเล็กทรอนิกส์แบบใช้สัญญาณดิจิตอลในการควบคุม

ดังนั้นเพื่อเป็นการแสดงถึงการลดข้อจำกัดของวงจร CDBA ที่ได้กล่าวมา วิทยานิพนธ์นี้จึงได้นำวงจร DC-CDBA ที่สังเคราะห์ขึ้นไปประยุกต์ใช้เป็นวงจรกรองสัญญาณเอนกประสงค์โหมดกระแสแบบสามอินพุตหนึ่งเอาต์พุต และวงจรออสซิลเลเตอร์แบบควอดราเจอร์ โดยวงจรที่ได้สังเคราะห์ขึ้นสามารถปรับเปลี่ยนคุณสมบัติของวงจรได้โดยวิธีการทางอิเล็กทรอนิกส์แบบใช้สัญญาณดิจิตอลในการควบคุม ผลงานวิจัยที่เกี่ยวข้องและที่ได้พัฒนาขึ้นในวิทยานิพนธ์ฉบับนี้ได้ตีพิมพ์ในวารสารและการประชุมทางวิชาการวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์ในระดับนานาชาติมีจำนวน 6 บทความ ดังนี้

ผลงานที่ได้ตีพิมพ์ในวารสารวิชาการวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์จำนวน 2 บทความ

- W. Tangsrirat, D. Prasertsom, T. Piyatat, and W. Surakampontorn, "Single-resistance-controlled quadrature oscillator using current differencing buffered amplifiers", **International Journal of Electronics**, vol.95, no.11, pp.1119-1126, 2008. [11]
- W. Tangsrirat, D. Prasertsom, W. Surakampontorn, "Low-voltage digitally controlled current differencing buffered amplifier and its application", **International Journal of Electronics and Communications (AEU)**, vol.63, pp.249-258, 2009. [12]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลงานที่ได้เข้าร่วมการประชุมทางวิชาการวิศวกรรมไฟฟ้าและอิเล็กทรอนิกส์ในระดับนานาชาติ จำนวน 4 บทความ

- D. Prasertsom, W. Tangsrirat, W. Surakampontorn, "Low-voltage digitally controlled current differencing buffered amplifier", **Proceedings IEEE Asia Pacific Conference on Circuits and Systems (APCCAS 2008)**, Macao, pp. 1074-1077, 2008. [13]
- D. Prasertsom and W. Tangsrirat, "Programmable quadrature oscillator using DC-CDBAs", **Proceedings of the 12th International Analog VLSI Workshop (IEEJ 2009)**, Chiang Mai, Thailand, pp. 150-154, 2009. [14]
- D. Prasertsom and W. Tangsrirat, "CMOS digitally controlled current follower and its application", **Proceedings International Symposium on Communications and Information Technologies (ISCIT 2009)**, Singapore, pp. 486 - 489, 2009. [15]
- D. Prasertsom and W. Tangsrirat, "CDBA-based sinusoidal quadrature oscillator with current controlled amplitude", **Proceedings International Symposium on Communications and Information Technologies (ISCIT 2010)**, Japan, pp. 187 - 191, 2010. [16]

โดยรายละเอียดของบทความทั้งหมดได้ถูกรวบรวมไว้ในภาคผนวก ง ของวิทยานิพนธ์นี้

6.2 ข้อเสนอแนะแนวทางในการทำวิจัยต่อ

จากวงจรที่ได้ทำการออกแบบและพัฒนาไว้ในวิทยานิพนธ์นี้พบว่ายังมีประเด็นที่น่าสนใจอันจะเป็นแนวทางในการนำไปทำวิจัยและพัฒนาวงจรให้มีประสิทธิภาพดียิ่งขึ้นอยู่สองประการ ได้แก่

1) ประการแรก เนื่องจากการออกแบบและพัฒนาวงจรประมวลผลสัญญาณแอนะล็อกในวิทยานิพนธ์นี้ได้มุ่งเน้นที่ในการปรับปรุงคุณสมบัติข้อด้อยของวงจร CDBA ในด้านการปรับอัตราการส่งผ่านกระแสให้สามารถปรับได้โดยวิธีการทางอิเล็กทรอนิกส์แบบใช้สัญญาณดิจิตอลในการควบคุม ดังนั้นการออกแบบส่วนวงจรดังกล่าวในวิทยานิพนธ์นี้ได้นำเสนอวงจรโครงข่ายหารกระแส เพื่อทำหน้าที่ปรับอัตราการส่งผ่านกระแส โดยหากพิจารณาถึงโครงสร้างของวงจรดังกล่าวแล้วจะพบว่า ในการสังเคราะห์วงจรโครงข่ายหารกระแส จะประกอบด้วยการนำวงจรหารกระแสมาต่อคาสเคดกันเท่ากับจำนวนของสัญญาณดิจิตอลลอจิกที่ใช้ในการควบคุม ซึ่งจุดนี้เองถือว่าเป็นข้อด้อยในการพัฒนาวงจรกล่าวคือหากมีการออกแบบวงจรให้มีความละเอียดของสัญญาณดิจิตอลที่ใช้ในการควบคุมเพิ่มขึ้น วงจรในส่วนดังกล่าวจะมีอัตราการผิดพลาดที่เกิดจากการส่งผ่านกระแสที่สูงขึ้นตามจำนวนสัญญาณดิจิตอลที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ใช้ในการควบคุม ดังนั้นในแนวทางการพัฒนาต่อหากสามารถลดข้อจำกัดดังกล่าวได้จะทำให้วงจรมีประสิทธิภาพสูงขึ้น

2) ประการที่สอง เนื่องจากการออกแบบและพัฒนาวงจรในวิทยานิพนธ์นี้ได้ใช้การจำลองการทำงานโดยโปรแกรม PSPICE และการทดลองโดยการต่อวงจรจริง ซึ่งในการทดลองการต่อวงจรจริงนั้นเป็นการทดลองโดยใช้อุปกรณ์แบบแยกส่วน (discrete component) กล่าวคือในการสังเคราะห์วงจร DC-CDBA ที่ใช้ในการทดลองได้สร้างจากไอซีเบอร์ AD844 และเบอร์ DAC0800 ซึ่งไม่ได้สร้างบนฐานรองสารกึ่งตัวนำเดียวกัน ดังนั้นในแนวทางการพัฒนาต่อหากสามารถสร้างวงจรที่สังเคราะห์ขึ้นในรูปแบบของวงจรรวมได้จะทำให้วงจรที่สังเคราะห์ขึ้นสามารถมีความสะดวกต่อการนำไปใช้งานจริงอีกทั้งยังสามารถพัฒนาสู่กระบวนการผลิตเชิงพาณิชย์ได้

6.3 เอกสารอ้างอิงบทที่ 6

[1] C. Acar and S. Ozoguz, "A new versatile building block : current differencing buffered amplifier suitable for analog signal processing filters", **Microelectronics Journal**, vol.30, pp.157-160, 1999.

[2] S. Ozoguz, A. Toker and C. Acar, "Current-mode continuous-time fully-integrated universal filter using CDBAs", **Electronics Letters**, vol.35, no.2, pp.97-98, 1999.

[3] W. Tangsrirat, W. Surakampontorn and N. Fujii, "Realization of leapfrog filters using current differential buffered amplifiers", **IEICE Transactions on Fundamental of Electronics**, vol. E86-A, pp.318-326, 2003.

[4] H. Sedef and C. Acar, "On the realization of voltage-mode filters using CDBA", **Frequenz**, vol.54, pp.198-202, 2000.

[5] N. Tarim and H. Kuntman, "A high performance current differencing buffered amplifier", **The 13th IEEE Proceeding of International Conference on Microelectronics**, Rabat, Morocco, pp.153-156, 2001.

[6] C. Acar and H. Sedef, "Realization of n^{th}-order current transfer function using current differencing buffered amplifiers", **International Journal of Electronics**, vol.90, no.4, pp.277-283, 2003.

[7] W. Tangsrirat, K. Klahan, T. Dumawipata and W. Surakampontorn, "Low-voltage NMOS-based current differencing buffered amplifier and its application to current-mode ladder filter design", **International Journal of Electronics**, vol.93, no.11, pp.777-791, 2006.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[8] W. Tangsrirat, T. Pukkalanun and W. Surakampontorn, "CDBA-based universal biquad filter and quadrature oscillator", **Active and Passive Electronic Components**, vol. 2008, 2008.

[9] J. W. Horng, "Current differencing buffered amplifiers based single resistance controlled quadrature oscillator employing grounded capacitors", **IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences**, vol.E85-A, pp.1416-1419, 2002.

[10] W. Tangsrirat and S. Pisitisitchalermpong, "CDBA-based quadrature sinusoidal oscillator", **Frequenz**, vol.61, no.3-4, pp. 102-104, 2007.

[11] W. Tangsrirat, D. Prasertsom, T. Piyatat, and W. Surakampontorn, "Single-resistance-controlled quadrature oscillator using current differencing buffered amplifiers", **International Journal of Electronics**, vol.95, no.11, pp.1119-1126, 2008.

[12] W. Tangsrirat, D. Prasertsom, W. Surakampontorn, "Low-voltage digitally controlled current differencing buffered amplifier and its application", **International Journal of Electronics and Communications (AEU)**, vol.63, pp.249-258, 2009.

[13] D. Prasertsom, W. Tangsrirat, W. Surakampontorn, "Low-voltage digitally controlled current differencing buffered amplifier", **Proceedings IEEE Asia Pacific Conference on Circuits and Systems (APCCAS 2008)**, Macao, pp. 1074-1077, 2008.

[14] D. Prasertsom and W. Tangsrirat, "Programmable Quadrature Oscillator Using DC-CDBAs", **Proceedings of the 12th International Analog VLSI Workshop (IEEJ 2009)**, Chiang Mai, Thailand, pp. 150-154, 2009.

[15] D. Prasertsom and W. Tangsrirat, "CMOS Digitally Controlled Current Follower and Its Application", **Proceedings International Symposium on Communications and Information Technologies (ISCIT 2009)**, Singapore, pp. 486 - 489, 2009.

[16] D. Prasertsom and W. Tangsrirat, "CDBA-based Sinusoidal Quadrature Oscillator with Current Controlled Amplitude", **Proceedings International Symposium on Communications and Information Technologies (ISCIT 2010)**, Japan, pp. 187 - 191, 2010.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

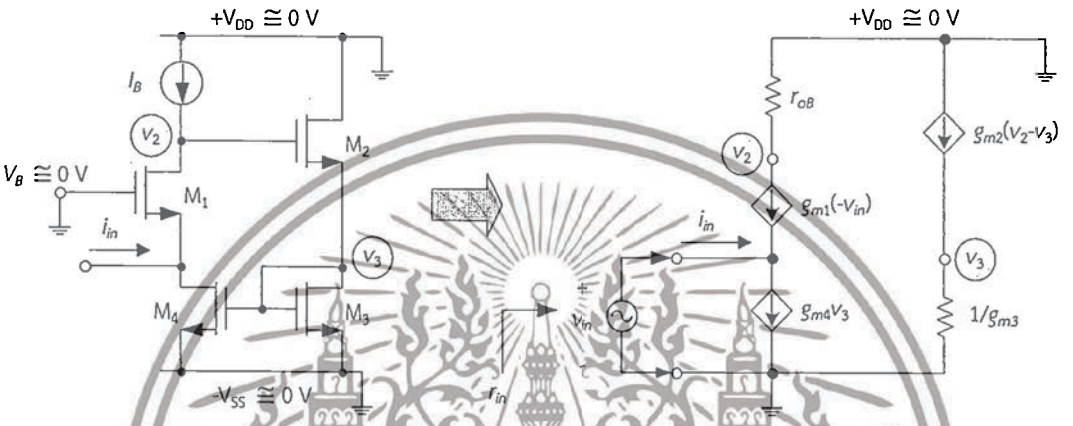
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

การวิเคราะห์หาค่าคุณสมบัติต่างๆของวงจร DC-CDBA

ก.1 การวิเคราะห์ค่าความต้านทานอินพุตของวงจรภาคอินพุตที่มีค่าความต้านทานต่ำมากดังรูปที่ 3.3

ในการวิเคราะห์หาค่าความต้านทานอินพุตของวงจรภาคอินพุตที่มีค่าความต้านทานต่ำมาก โดยแทนวงจรสมมูลของทรานซิสเตอร์แบบไฮบริดพายในวงจรดังแสดงในรูปที่ ก1



รูปที่ ก1 วงจรสมมูลของวงจรภาคอินพุตดังรูปที่ 3.3

เขียนสมการ KCL ที่โหนดอินพุตจะได้

$$-i_{in} + g_{m4}v_3 - g_{m1}(-v_{in}) = 0$$

หรือสามารถเขียนสมการใหม่ได้

$$i_{in} = g_{m1}v_{in} + g_{m4}v_3 \qquad \text{(ก.1)}$$

เมื่อ g_{mi} คือ อัตราขยายค่าความนำของทรานซิสเตอร์ตัวที่ M_i (i = 1, 2, 3, 4) และ r_{oB} คือ ค่าความต้านทานภายในของแหล่งจ่ายกระแส I_B และเมื่อพิจารณาแรงดันที่โหนด v_2 จะได้

$$v_2 = g_{m1}(v_{in})r_{oB} \qquad \text{(ก.2)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาแรงดันที่โหนด v_3 จะได้

$$v_3 = g_{m2}(v_2 - v_3)\left(\frac{1}{g_{m3}}\right)$$

สามารถเขียนสมการใหม่ได้

$$(g_{m2} + g_{m3})v_3 = g_{m2}v_2 \qquad \text{(ก.3)}$$

แทน v_2 จากสมการ (ก.2) ลงในสมการ (ก.3) จะได้แรงดัน v_3 เท่ากับ

$$v_3 = \left(\frac{g_{m1}g_{m2}r_{oB}}{g_{m2} + g_{m3}}\right)v_{in} \qquad \text{(ก.4)}$$

แทนสมการ (ก.4) ลงในสมการ (ก.1) สามารถหากระแส i_{in} ได้ดังนี้

$$i_{in} = g_{m1}v_{in} + g_{m4}\left\{\left(\frac{g_{m1}g_{m2}r_{oB}}{g_{m2} + g_{m3}}\right)v_{in}\right\}$$

หรือ

$$i_{in} = \left\{1 + \left(\frac{g_{m2}g_{m4}r_{oB}}{g_{m2} + g_{m3}}\right)\right\}g_{m1}v_{in} \qquad \text{(ก.5)}$$

ดังนั้นสามารถคำนวณหาค่าความต้านทานอินพุต r_{in} ได้จาก

$$r_{in} = \frac{v_{in}}{i_{in}} = \left(\frac{1}{g_{m1}}\right)\left(\frac{1}{1 + \dfrac{g_{m2}g_{m4}r_{oB}}{g_{m2} + g_{m3}}}\right) \qquad \text{(ก.6)}$$

เมื่อ $F = \left(\dfrac{g_{m2}g_{m4}r_{oB}}{g_{m2} + g_{m3}}\right)$ จากสมการ (ก.6) สามารถเขียนใหม่ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

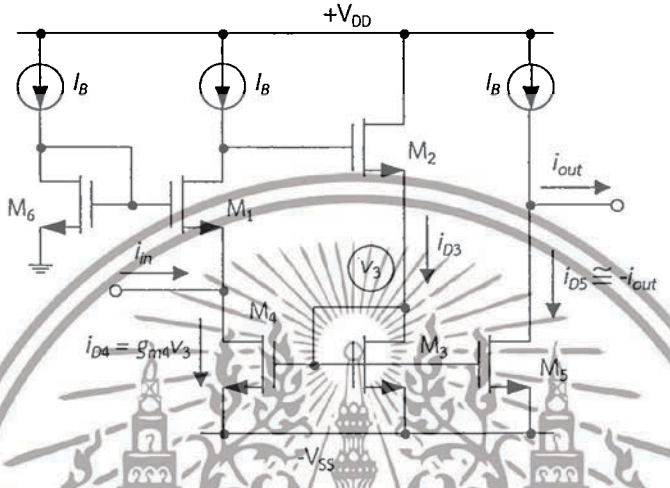
$$r_{in} = \left(\frac{1}{g_{m1}}\right)\left(\frac{1}{1+F}\right) \qquad \text{(ก.7)}$$

ดังนั้นหากทำการพิจารณาสมการ (ก.7) เมื่อประมาณว่า $r_{oB} >> 1/g_{mi}$ แล้ว จะทำให้ $F >> 1$ ซึ่งเป็นผลทำให้ค่าความต้านทานอินพุตของวงจรในกรณีนี้จึงมีค่าต่ำมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ก.2 การวิเคราะห์คุณสมบัติการส่งผ่านกระแสของวงจรตามกระแสดังรูปที่ 3.4

การวิเคราะห์คุณสมบัติการส่งผ่านกระแสของวงจรส่งผ่านกระแสดังรูปที่ ก.2 จะเห็นได้ว่ากระแสเอาต์พุต i_{out} เป็นผลมาจากวงจรสะท้อนกระแสที่ประกอบด้วยทรานซิสเตอร์ M_3-M_5 เมื่อพิจารณาให้ทรานซิสเตอร์ทุกตัวในวงจรทำงานแบบอุดมคติในสภาวะอิ่มตัว (saturation region) จะเห็นได้ว่ากระแสที่ขาเดรนของทรานซิสเตอร์ M_3-M_5 จะมีค่าเท่ากัน



รูปที่ ก2 วงจรตามกระแสดังรูปที่ 3.4

ดังนั้นจากการวิเคราะห์วงจรในรูปที่ ก.2 จะได้ว่า

$$-i_{out} \cong i_{D5} = i_{D3} = i_{D4} = g_{m4} v_3 \tag{ก.8}$$

แทน v_3 จากสมการ (ก.4) ลงใน (ก.8) จะได้

$$-i_{out} = g_{m4}\left(\frac{g_{m1} g_{m2} r_{oB}}{g_{m2} + g_{m3}}\right) v_{in} \tag{ก.9}$$

ดังนั้นเมื่อแทนสมการ (ก.4) ลงใน (ก.1) จะได้

$$i_{in} = g_{m1} v_{in} + g_{m4}\left(\frac{g_{m1} g_{m2} r_{oB}}{g_{m2} + g_{m3}}\right) v_{in}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการข้างบนสามารถเขียนใหม่ได้เป็น

$$i_{in} = g_{m1}\left(1+\frac{g_{m2}g_{m4}r_{oB}}{g_{m2}+g_{m3}}\right)v_{in} = g_{m1}(1+F)v_{in} \qquad \text{(ก.10)}$$

และ

$$v_{in} = \frac{i_{in}}{g_{m1}(1+F)} \qquad \text{(ก.11)}$$

เมื่อแทนสมการ (ก.11) ลงใน (ก.9) จะได้

$$-i_{out} \cong g_{m4}\left(\frac{g_{m1}g_{m2}r_{oB}}{g_{m2}+g_{m3}}\right)\left[\frac{i_{in}}{g_{m1}(1+F)}\right] \qquad \text{(ก.12)}$$

จากสมการ (ก.12) สามารถเขียนใหม่ได้

$$i_{out} = -\left(\frac{F}{1+F}\right)i_{in} \qquad \text{(ก.13)}$$

เมื่อ $F >> 1$ เมื่อพิจารณาสมการ (ก.13) จะสามารถประมาณได้

$$i_{out} \cong -i_{in} \qquad \text{(ก.14)}$$

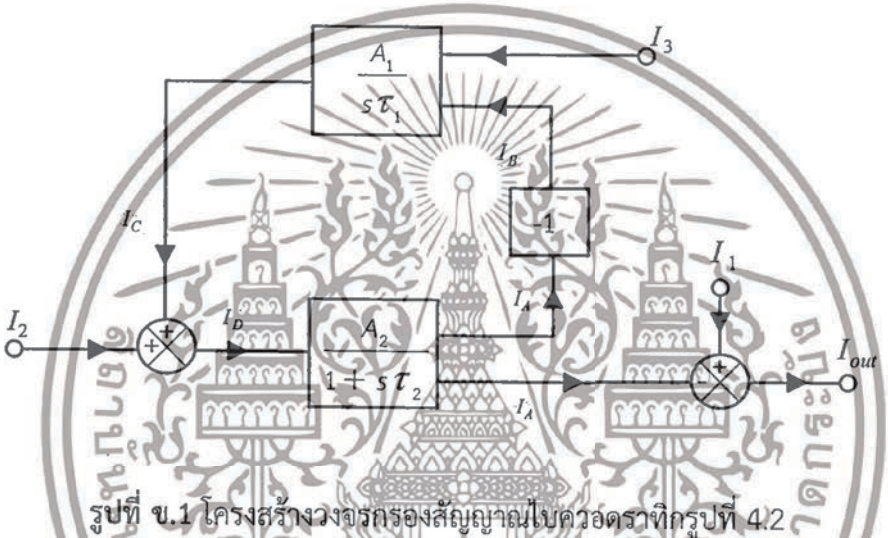
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

การวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณไบควอดราทิก

ข.1 การวิเคราะห์หาฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณไบควอดราทิกดังรูปที่ 4.2

ในการวิเคราะห์หาฟังก์ชันถ่ายโอนของโครงสร้างวงจรกรองสัญญาณไบควอดราทิกรูปที่ 4.2 สามารถกำหนดตัวแปรของเส้นทางสัญญาณได้ดังรูปที่ ข.1



รูปที่ ข.1 โครงสร้างวงจรกรองสัญญาณไบควอดราทิกรูปที่ 4.2

จากรูปจะได้ความสัมพันธ์ของสัญญาณ I_A ดังนี้

$$I_A = I_D\left(\frac{A_2}{1+s\tau_2}\right) \qquad \text{(ข.1)}$$

และ

$$I_B = -I_A$$

จะได้ว่า

$$I_B = -I_D\left(\frac{A_2}{1+s\tau_2}\right) \qquad \text{(ข.2)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาสัญญาณ I_C จะได้

$$I_C = (I_3 + I_B)\frac{A_1}{s\tau_1} \qquad \text{(ข.3)}$$

นำสมการ (ข.2) แทนในสมการ (ข.3) จะได้

$$I_C = \left[I_3 - I_D\left(\frac{A_2}{1+s\tau_2}\right)\right]\frac{A_1}{s\tau_1} \qquad \text{(ข.4)}$$

เมื่อพิจารณาสัญญาณ I_D จะได้

$$I_D = (I_2 + I_C) \qquad \text{(ข.5)}$$

นำสมการ (ข.4) แทนในสมการ (ข.5) จะได้

$$I_D = I_2 + \left[I_3 - I_D\left(\frac{A_2}{1+s\tau_2}\right)\right]\frac{A_1}{s\tau_1} \qquad \text{(ข.6)}$$

จัดรูปสมการจะได้

$$I_D = I_2 + \left(\frac{A_1}{s\tau_1}\right)I_3 - \left[\frac{A_1A_2}{(1+s\tau_2)(s\tau_1)}\right]I_D \qquad \text{(ข.7)}$$

ดังนั้นจะได้สัญญาณ I_D ดังสมการ

$$I_D = \left[I_2 + \left(\frac{A_1}{s\tau_1}\right)I_3\right]\left[\frac{(1+s\tau_2)(s\tau_1)}{(1+s\tau_2)(s\tau_1)+A_1A_2}\right] \qquad \text{(ข.8)}$$

นำสมการ (ข.8) แทนในสมการ (ข.1) จะได้

$$I_A = (A_2)\left[I_2 + \left(\frac{A_1}{s\tau_1}\right)I_3\right]\left[\frac{(s\tau_1)}{(1+s\tau_2)(s\tau_1)+A_1A_2}\right] \qquad \text{(ข.9)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ
$$I_A = \left(\frac{A_1 s\tau_1 I_2 + A_1 A_2 I_3}{s^2\tau_1\tau_2 + s\tau_1 + A_1 A_2} \right) \quad \text{(ข.10)}$$

จากโครงสร้างวงจรกรองสัญญาณไบควอดราทิก ดังรูปที่ ข.1 หากพิจารณาสัญญาณเอาต์พุต (I_{out}) จะได้

$$I_{out} = I_1 - I_A \quad \text{(ข.11)}$$

นำสมการ (ข.10) แทนสมการ (ข.11) จะได้

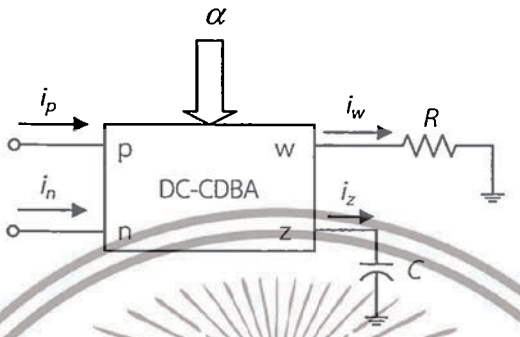
$$I_{out} = I_1 - \left(\frac{A_1 s\tau_1 I_2 + A_1 A_2 I_3}{s^2\tau_1\tau_2 + s\tau_1 + A_1 A_2} \right) \quad \text{(ข.12)}$$

หรือ
$$I_{out} = \frac{\left(s^2\tau_1\tau_2 + s\tau_1 + A_1 A_2\right) I_1 - \left(A_1 s\tau_1\right) I_2 - \left(A_1 A_2\right) I_3}{s^2\tau_1\tau_2 + s\tau_1 + A_1 A_2} \quad \text{(ข.13)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.2 การวิเคราะห์หาฟังก์ชันถ่ายโอนกระแสของวงจรอินทิเกรเตอร์แบบไม่สูญเสียโดยใช้วงจร DC-CDBA ดังรูปที่ 4.3

ในการวิเคราะห์หาฟังก์ชันถ่ายโอนกระแสของวงจรอินทิเกรเตอร์แบบไม่สูญเสียสามารถวิเคราะห์วงจรดังรูปที่ ข.2 ได้ดังนี้ เมื่อกำหนดให้กระแสอินพุตของวงจรคือ i_p และ i_n



รูปที่ ข.2 วงจรอินทิเกรเตอร์แบบไม่สูญเสียในรูปที่ 4.3

จากวงจรดังรูปที่ ข.2 หากพิจารณากระแส i_z โดยใช้คุณสมบัติของวงจร DC-CDBA ที่นำเสนอในบทที่ 3 จะได้ว่า

$$i_z = \alpha(i_p - i_n) \qquad \text{(ข.14)}$$

ดังนั้นแรงดันที่ขั้ว z จะมีค่าเท่ากับ

$$v_z = i_z Z_z \qquad \text{(ข.15)}$$

หรือ

$$v_z = \frac{\alpha(i_p - i_n)}{sC} \qquad \text{(ข.16)}$$

จากคุณสมบัติวงจร DC-CDBA จะได้ว่า

$$v_w = v_z \qquad \text{(ข.17)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นกล่าวได้ว่า v_w มีค่าดังสมการ (ข.17) เมื่อพิจารณากระแสเอาต์พุตหรือในที่นี้คือกระแส i_w จะได้

$$i_z = \frac{v_w}{R} \qquad \text{(ข.18)}$$

หรือ

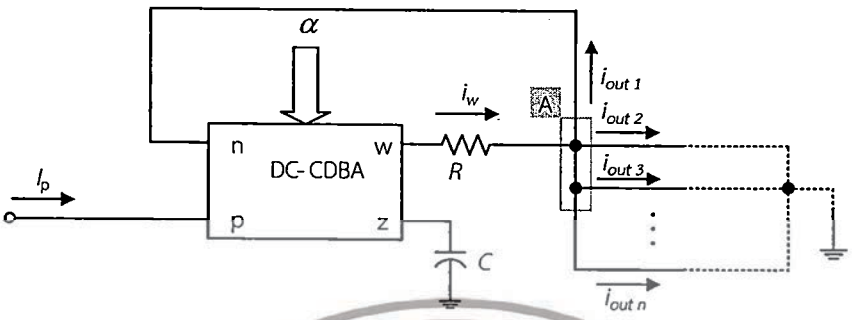
$$i_w = \frac{\alpha(i_p - i_n)}{sRC} \qquad \text{(ข.19)}$$

จากสมการ (ข.19) จะได้ฟังก์ชันถ่ายโอนกระแสของวงจรอินทิเกรเตอร์แบบไม่สูญเสียเท่ากับ

$$\frac{i_w}{(i_p - i_n)} = \frac{\alpha}{sRC} \qquad \text{(ข.20)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.3 การวิเคราะห์หาฟังก์ชันถ่ายโอนกระแสของวงจรอินทิเกรเตอร์แบบสูญเสียโดยใช้วงจร DC-CDBA ดังรูปที่ 4.4



รูปที่ ข.3 วงจรอินทิเกรเตอร์แบบสูญเสียในรูปที่ 4.4

จากวงจรดังรูปที่ ข.3 หากพิจารณาผลรวมกระแส (KCL) ที่ โหนด A จะได้

$$i_w = i_{out\ 1} + i_{out\ 2} + i_{out\ 3} + \cdots + i_{out\ n} \quad \text{(ข.21)}$$

เนื่องจาก

$$i_{out} = i_{out\ 1} = i_{out\ 2} = i_{out\ 3} = \cdots = i_{out\ n} \quad \text{(ข.22)}$$

ดังนั้นจากสมการ (ข.21) เมื่อพิจารณาตามเงื่อนไขของสมการ (ข.22) สามารถเขียนใหม่ได้เป็น

$$i_w = ni_{out} \quad \text{(ข.23)}$$

เมื่อ n คือจำนวนขั้วเอาต์พุตที่มีการต่อใช้งาน จากคุณสมบัติวงจร DC-CDBA จะได้ว่า

$$i_z = \alpha(i_p - i_{out}) \quad \text{(ข.24)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นสามารถหาความสัมพันธ์ของแรงดันที่ขั้ว w ได้ดังนี้

$$v_w = v_z = Z_z i_z = \frac{\alpha(i_p - i_{out})}{sC} \qquad \text{(ข.25)}$$

จากสมการ (ข.25) สามารถหากระแส i_w ได้โดยนำแรงดันที่ตกคร่อมขั้ว w (v_w) หารด้วยค่าความต้านทานที่ต่ออยู่กับขั้ว w นั่นคือ

$$i_w = \frac{v_w}{R} = \frac{\alpha(i_p - i_{out})}{sCR} \qquad \text{(ข.26)}$$

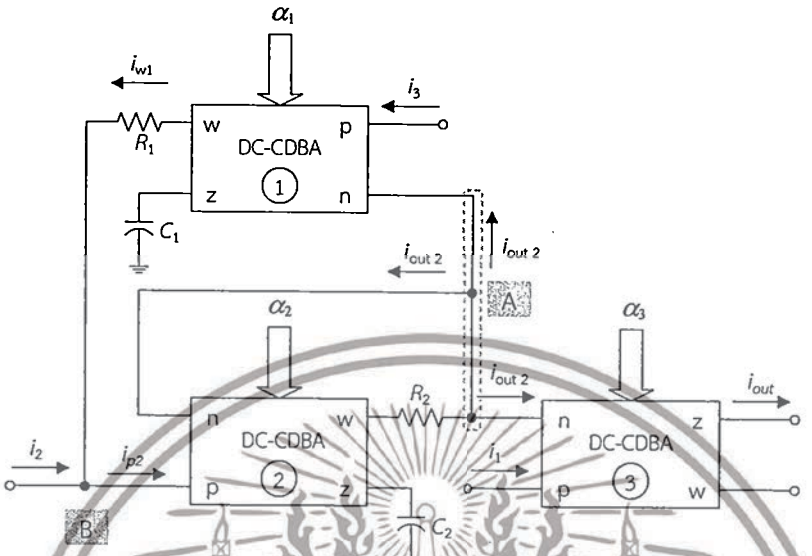
เมื่อแทน i_w ด้วยสมการ (ข.23) จะได้ฟังก์ชันถ่ายโอนกระแสของวงจรอินทิเกรเตอร์แบบสูญเสียในรูปที่ 4.4 เท่ากับ

$$\frac{i_{out}}{i_p} = \frac{\alpha}{1 + sn\alpha CR} \qquad \text{(ข.27)}$$

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข.4 การวิเคราะห์หาฟังก์ชันถ่ายโอนกระแสวงจรกรองสัญญาณอเนกประสงค์โหมดกระแสแบบปรับค่าได้ด้วยสัญญาณดิจิตอลดังรูปที่ 4.5



รูปที่ ข.4 วงจรกรองสัญญาณอเนกประสงค์โหมดกระแสแบบปรับค่าได้ด้วยสัญญาณดิจิตอล โดยใช้วงจร DC-CDBA รูปที่ 4.5

จากวงจรดังรูปที่ ข.4 หากพิจารณาที่โหนด A จะเห็นได้ว่าแรงดันตกคร่อมที่โหนดดังกล่าวมีค่าเป็นศูนย์ เนื่องจากเป็นการต่ออยู่กับขั้ว n ของวงจร DC-CDBA เนื่องจากขั้วกระแสเอาต์พุตเท่ากับ 3 ขั้ว (n = 3) ดังนั้นจากสมการ (ข.27) ทำให้ได้

$$i_{out2} = \frac{\alpha_2}{1+s3\alpha_2 C_2 R_2} i_{p2} \qquad \text{(ข.28)}$$

พิจารณาผลรวมกระแสที่โหนด B จะได้ความสัมพันธ์ของกระแส i_{p2} ดังนี้

$$i_{p2} = i_{w1} + i_2 \qquad \text{(ข.29)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณากระแส i_{w1} ของวงจร DC-CDBA ตัวที่ 1ซึ่งเป็นวงจรอินทิเกรเตอร์แบบไม่สูญเสีย จะเห็นได้ว่ากระแสอินพุตที่ป้อนเข้าขั้ว p คือกระแส i_3 และกระแสอินพุตที่ป้อนเข้าขั้ว n คือกระแส i_{out2} ดังนั้น จากสมการ (ข.19) จะได้

$$i_{w1} = \frac{\alpha_1 (i_3 - i_{out2})}{sR_1C_1} \qquad \text{(ข.30)}$$

แทนสมการ (ข.30) ลงใน (ข.29) จะได้

$$i_{p2} = \left[\frac{\alpha_1 (i_3 - i_{out2})}{sR_1C_1}\right] + i_2 \qquad \text{(ข.31)}$$

หรือ

$$i_{p2} = \frac{\alpha_1 i_3 - \alpha_1 i_{out2} + i_2 sR_1C_1}{sR_1C_1} \qquad \text{(ข.32)}$$

แทนสมการ (ข.32) ลงใน (ข.28) จะได้

$$i_{out2} = \left(\frac{\alpha_2}{1 + s3\alpha_2 C_2 R_2}\right)\left(\frac{\alpha_1 i_3 - \alpha_1 i_{out2} + sR_1C_1 i_2}{sR_1C_1}\right) \qquad \text{(ข.33)}$$

$$i_{out2} = \frac{\alpha_2 sR_1C_1 i_2 + \alpha_1\alpha_2 i_3 - \alpha_1\alpha_2 i_{out2}}{s^2 3\alpha_2 C_1 C_2 R_1 R_2 + sR_1C_1} \qquad \text{(ข.34)}$$

หรือ

$$i_{out2} = \frac{\alpha_2 sR_1C_1 i_2 + \alpha_1\alpha_2 i_3}{s^2 3\alpha_2 C_1 C_2 R_1 R_2 + sR_1C_1 + \alpha_1\alpha_2} \qquad \text{(ข.35)}$$

จากวงจรรูปที่ ข.4 พิจารณากระแสเอาต์พุต i_{out} ของวงจร DC-CDBA ตัวที่ 3 โดยมีกระแส i_{out2} ป้อนเข้าที่ขั้ว n และกระแส i_1 ป้อนเข้าที่ขั้ว p จะได้

$$i_{out} = \alpha_3 (i_1 - i_{out2}) \qquad \text{(ข.36)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่าสมการ (ข.35) ลงใน (ข.36) จะได้

$$i_{out} = \alpha_3 \left[i_1 - \left(\frac{\alpha_2 s R_1 C_1 i_2 + \alpha_1 \alpha_2 i_3}{s^2 3\alpha_2 C_1 C_2 R_1 R_2 + s R_1 C_1 + \alpha_1 \alpha_2} \right) \right] \qquad \text{(ข.37)}$$

หรือจะได้ฟังก์ชันถ่ายโอนกระแสวงจรกรองสัญญาณอเนกประสงค์โหมดกระแสแบบปรับค่าได้ด้วยสัญญาณดิจิตอลโดยใช้วงจร DC-CDBA ดังรูปที่ 4.5 เป็นดังนี้

$$i_{out} = \alpha_3 \left[\frac{\left(s^2 3\alpha_2 C_1 C_2 R_1 R_2 + s R_1 C_1 + \alpha_1 \alpha_2 \right) i_1 - \alpha_2 s R_1 C_1 i_2 - \alpha_1 \alpha_2 i_3}{s^2 3\alpha_2 C_1 C_2 R_1 R_2 + s R_1 C_1 + \alpha_1 \alpha_2} \right] \qquad \text{(ข.38)}$$

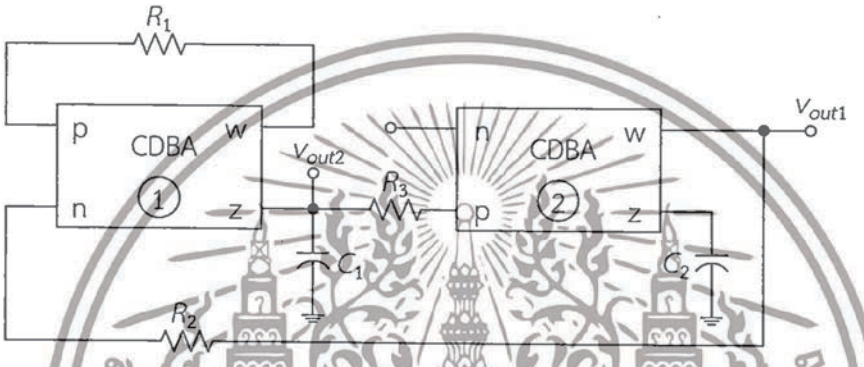
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

การวิเคราะห์หาสมการคุณลักษณะของวงจรออสซิลเลเตอร์

ค.1 การวิเคราะห์หาสมการคุณลักษณะของวงจรออสซิลเลเตอร์แบบควอดราเจอร์โดยใช้วงจร CDBA ดังรูปที่ 5.3

วงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่ได้นำเสนอดังรูปที่ 5.3 สามารถวิเคราะห์หาสมการคุณลักษณะโดยใช้คุณสมบัติของวงจร CDBA ดังนี้



รูปที่ ค.1 วงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่ได้นำเสนอในรูปที่ 5.3

พิจารณาวงจร CDBA ตัวที่ 1

$$v_{out\,2} = v_{w1} = v_{z1} = \left(\frac{R_3}{1 + sR_3C_1} \right) i_{z1} \qquad \text{(ค.1)}$$

$$i_{z1} = \frac{v_{out\,2}}{R_1} - \frac{v_{out\,1}}{R_2} \qquad \text{(ค.2)}$$

นำสมการ (ค.1) แทนในสมการ (ค.2) จะได้

$$v_{out\,2} = \left(\frac{v_{out\,2}}{R_1} - \frac{v_{out\,1}}{R_2} \right) \left(\frac{R_3}{1 + sR_3C_1} \right) \qquad \text{(ค.3)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_{out2} = \left[\frac{-1/R_2}{C_1 s + \left(\frac{1}{R_3} - \frac{1}{R_1} \right)} \right] v_{out1} \qquad \text{(ค.4)}$$

พิจารณาวงจร CDBA ตัวที่ 2

$$i_{z2} = \frac{v_{out2}}{R_3} \qquad \text{(ค.5)}$$

$$v_{out1} = v_{w2} = \left(\frac{1}{R_3 C_2 s} \right) v_{out2} \qquad \text{(ค.6)}$$

นำสมการ (ค.6) แทนในสมการ (ค.4) จะได้

$$v_{out2} = \left[\frac{-1/R_2}{C_1 s + \left(\frac{1}{R_3} - \frac{1}{R_1} \right)} \right] \left(\frac{1}{R_3 C_2 s} \right) v_{out2} \qquad \text{(ค.7)}$$

จะได้สมการคุณลักษณะของวงจรออสซิลเลเตอร์ที่นำเสนอมีค่าเท่ากับ

$$s^2 + \left(\frac{1}{R_3} - \frac{1}{R_1} \right) \frac{s}{C_1} + \left(\frac{1}{R_2 R_3 C_1 C_2} \right) = 0 \qquad \text{(ค.8)}$$

จากสมการ (ค.8) พบว่าเงื่อนไขในการออสซิลเลต และค่าความถี่ในการออสซิลเลต ω_0 ของวงจรที่นำเสนอมีค่าเป็น

$$R_1 = R_3 \qquad \text{(ค.9)}$$

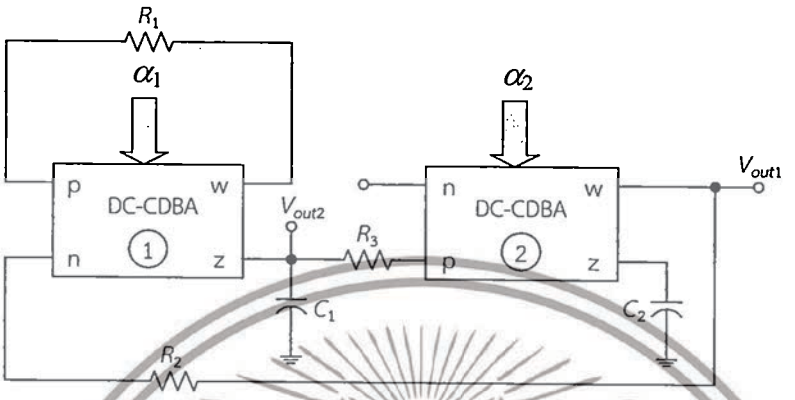
และ

$$\omega_0 = \frac{1}{\sqrt{R_2 R_3 C_1 C_2}} \qquad \text{(ค.10)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค.2 การวิเคราะห์หาสมการคุณลักษณะของวงจรออสซิลเลเตอร์แบบควอดราเจอร์ โดยใช้วงจร DC-CDBA ดังรูปที่ 5.7

วงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่ได้นำเสนอดังรูปที่ 5.7 สามารถวิเคราะห์หาสมการคุณลักษณะโดยใช้คุณสมบัติของวงจร DC-CDBA ที่กล่าวมาแล้วในบทที่ 3 ดังขั้นตอนต่อไปนี้



รูปที่ ค.2 วงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่ได้นำเสนอในรูปที่ 5.4

พิจารณาวงจร DC-CDBA ตัวที่ 1

$$v_{out2} = v_{w1} = v_{z1} = \left(\frac{R_3}{1+R_3C_1s}\right) i_{z1} \qquad \text{(ค.11)}$$

$$i_{z1} = \alpha_1\left(\frac{v_{out2}}{R_1} - \frac{v_{out1}}{R_2}\right) \qquad \text{(ค.12)}$$

นำสมการ (ค.12) แทนในสมการ (ค.11) จะได้

$$v_{out2} = \alpha_1\left(\frac{v_{out2}}{R_1} - \frac{v_{out1}}{R_2}\right)\left(\frac{R_3}{1+R_3C_1s}\right) \qquad \text{(ค.13)}$$

$$v_{out2} = \alpha_1\left[\frac{-1/R_2}{C_1s + \left(\frac{1}{R_3} - \frac{\alpha_1}{R_1}\right)}\right] v_{out1} \qquad \text{(ค.14)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณาวงจร CDBA ตัวที่ 2

$$i_{z2} = \alpha_2 \frac{v_{out\,2}}{R_3} \qquad \text{(ค.15)}$$

$$v_{out1} = v_{w2} = \left(\frac{\alpha_2}{R_3 C_2 s} \right) v_{o2} \qquad \text{(ค.16)}$$

จากสมการ (ค.16) แทนลงในสมการ (ค.14) จะได้

$$v_{out\,2} = \alpha_1 \left[\frac{-1/R_2}{C_1 s + \left(\frac{1}{R_3} - \frac{\alpha_1}{R_1} \right)} \right] \left(\frac{\alpha_2}{R_3 C_2 s} \right) v_{out\,2} \qquad \text{(ค.17)}$$

จะได้สมการคุณลักษณะของวงจรออสซิลเลเตอร์ที่นำเสนอมีค่าเท่ากับ

$$s^2 + \left(\frac{1}{R_3} - \frac{\alpha_1}{R_1} \right) \frac{s}{C_1} + \left(\frac{\alpha_1 \alpha_2}{R_2 R_3 C_1 C_2} \right) = 0 \qquad \text{(ค.18)}$$

จากสมการ (ค.18) พบว่าเงื่อนไขในการออสซิลเลต และค่าความถี่ในการออสซิลเลต ω_0 ของวงจรที่นำเสนอมีค่าเป็น

$$\alpha_1 = \frac{R_1}{R_3} \qquad \text{(ค.19)}$$

และ

$$\omega_0 = \sqrt{\frac{\alpha_1 \alpha_2}{R_2 R_3 C_1 C_2}} \qquad \text{(ค.20)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค.3 การวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงองค์ประกอบแอคทีฟและพาสซีฟ

ค่าความไว (sensitivity, S) ของพารามิเตอร์ Y ต่อการเปลี่ยนแปลงค่าองค์ประกอบ x สามารถกำหนดได้จากความสัมพันธ์ ดังนี้คือ

$$\frac{\%change\ in\ Y}{\%change\ in\ x}=\frac{(\Delta Y/Y)\times 100\%}{(\Delta x/x)\times 100\%} \qquad \text{(ค.21)}$$

ซึ่งหมายความว่า ในการออกแบบวงจรให้มีคุณสมบัติที่ดีนั้น อัตราส่วนที่ได้จากสมการ (ค.21) ควรมีค่าน้อยกว่าหนึ่ง เมื่อกำหนดให้ S_x^Y แทนถึงค่าความไวของพารามิเตอร์ Y ต่อการเปลี่ยนแปลงค่าองค์ประกอบ x ดังนั้นจากสมการ (ค.21) จึงเขียนใหม่ได้

$$S_x^Y=\frac{\Delta Y/Y}{\Delta x/x}=\frac{x}{Y}\frac{\partial Y}{\partial x} \qquad \text{(ค.22)}$$

สำหรับการวิเคราะห์หาค่าความไวต่อการเปลี่ยนแปลงองค์ประกอบแอคทีฟและพาสซีฟ ของวงจรออสซิลเลเตอร์ควอดราเจอร์ที่นำเสนอ ดังรูปที่ ค.2 ซึ่งมีค่า ω_0 ของวงจรเป็นดังนี้ คือ

และ $$\omega_o=\sqrt{\frac{\alpha_1\alpha_2}{R_2R_3C_1C_2}} \qquad \text{(ค.23)}$$

จากสมการ (ค.23) สามารถวิเคราะห์หาค่าความไวของวงจรต่อการแปรค่าองค์ประกอบ แอคทีฟ α_1 α_2 และองค์ประกอบพาสซีฟ R_1 R_2 C_1 และ C_2 โดยมีขั้นตอนดังต่อไปนี้

การหาค่าความไวของ ω_0 ต่อการเปลี่ยนแปลง α_1 และ α_2 นั่นคือ

$$S_{\beta_{p2}}^{\omega_o}=\frac{\alpha_1}{\omega_0}\frac{\partial\omega_0}{\partial(\alpha_1)} \qquad \text{(ค.24)}$$

จากสมการ(ค.23) แทนลงในสมการ (ค.24) จะได้

$$S_{\beta_{p2}}^{\omega_0}=\frac{\alpha_1}{\left(\frac{\alpha_1\alpha_2}{R_2R_3C_1C_2}\right)^{1/2}}\frac{\partial\left(\frac{\alpha_1\alpha_2}{R_2R_3C_1C_2}\right)^{1/2}}{\partial\alpha_1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$S_{\beta_{p2}}^{\omega_0} = \frac{1}{2}\frac{\alpha_1}{\left(\frac{\alpha_1\alpha_2}{R_2R_3C_1C_2}\right)^{1/2}}\left(\frac{\alpha_1\alpha_2}{R_2R_3C_1C_2}\right)^{-1/2}\left(\frac{\alpha_2}{R_2R_3C_1C_2}\right)$$

$$S_{\beta_{p2}}^{\omega_0} = \frac{1}{2} \qquad \text{(ค.25)}$$

และอาศัยวิธีการเดียวกันจะได้

$$S_{\alpha_1,\alpha_2}^{\omega_o} = \frac{1}{2} \qquad \text{(ค.26)}$$

และ

$$S_{R_2,R_3,C_1,C_2}^{\omega_o} = -\frac{1}{2} \qquad \text{(ค.27)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค.4 การวิเคราะห์หาผลเฉลยสมการอนุพันธ์อันดับสองในกรณีของระบบที่เกิดการออสซิลเลต

$$\frac{d^2y(t)}{dt^2}+(2\zeta\omega_o)\frac{dy(t)}{dt}+\omega_o^2y(t)=f(t) \qquad \text{(ค.28)}$$

หากพิจารณาสมการอนุพันธ์ผลตอบสนองอันดับสอง (ค.28) ในการหาผลเฉลยสมการมีหลายวิธีในการหาผลเฉลยของสมการ ดังนั้นจากสมการ (ค.28) หากเลือกวิธีการหาผลเฉลยของสมการอันดับสองโดยใช้วิธีการแปลงลาปลาซ จากสมการ (ค.28) สามารถเขียนใหม่ได้

$$\left[s^2Y(s)-sy(0)-y'(0)\right]+(2\zeta\omega_o)\left[sY(s)-y(0)\right]+\omega_o^2Y(s)=F(s) \qquad \text{(ค.29)}$$

เมื่อ $y(0)$ คือค่าเริ่มต้นของระบบอันดับสองและ $y'(0)$ คืออนุพันธ์อันดับหนึ่งของ $y(0)$ หาก $y(0)$ คือค่าคงที่จะทำให้ $y'(0)=0$ ดังนั้นสมการ (ค.29) จึงเขียนใหม่ได้เป็น

$$\left[s^2Y(s)-sy(0)\right]+(2\zeta\omega_o)\left[sY(s)-y(0)\right]+\omega_o^2Y(s)=F(s) \qquad \text{(ค.30)}$$

หรือ
$$Y(s)\left[s^2+2\zeta\omega_o s+\omega_o^2\right]-y(0)\left[s+2\zeta\omega_o\right]=F(s) \qquad \text{(ค.31)}$$

ในการเกิดการออสซิลเลตของสัญญาณผลตอบสนองจะมีขนาดของสัญญาณคงที่ตลอดช่วงเวลา จึงกล่าวได้ว่าผลเฉลยสมการ (ค.31) จะมีค่าสัมประสิทธิ์การหน่วงเท่ากับศูนย์ ($\zeta=0$) หรือสมการ (ค.31) เขียนใหม่กลายเป็น

$$Y(s)(s^2+\omega_o^2)-y(0)s=F(s) \qquad \text{(ค.31)}$$

หรือ
$$Y(s)=\frac{F(s)+y(0)s}{s^2+\omega_o^2}=\frac{F(s)}{s^2+\omega_o^2}+y(0)\frac{s}{s^2+\omega_o^2} \qquad \text{(ค.32)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากพิจารณาสมการ (ค.32) จะเห็นได้ว่าผลเฉลยสมการจะขึ้นอยู่กับการป้อนสัญญาณกระตุ้น $F(s)$ ซึ่งในวิทยานิพนธ์นี้ได้ทำการป้อนสัญญาณกระตุ้นเป็นสัญญาณคงที่แบบขั้นบันไดที่เวลา $t \geq 0$ (step function) ที่มีขนาด k จากสมการ (ค.32) จะได้

$$Y(s) = \frac{\frac{k}{s}}{s^2 + \omega_o^2} + y(0)\left(\frac{s}{s^2 + \omega_o^2}\right) = \frac{k}{s(s^2 + \omega_o^2)} + y(0)\left(\frac{s}{s^2 + \omega_o^2}\right) \qquad \text{(ค.33)}$$

จากสมการ (ค.33) สามารถจัดรูปแบบสมการใหม่ด้วยวิธีการแยกเศษส่วนย่อยเพื่อให้เหมาะสมกับการแปลงลาปลาซผกผัน (inverse Laplace transformation) จะได้

$$Y(s) = \frac{k}{\omega_o^2}\left(\frac{1}{s}\right) - \frac{k}{\omega_o^2}\left(\frac{s}{s^2 + \omega_o^2}\right) + y(0)\left(\frac{s}{s^2 + \omega_o^2}\right) \qquad \text{(ค.34)}$$

ในการหาผลเฉลยสมการผลตอบสนองอันดับสองในทางเวลาสามารถทำได้โดยการแปลงลาปลาซผกผันสมการ (ค.34) จะได้

$$y(t) = L^{-1}[Y(s)] = \frac{k}{\omega_o^2}L^{-1}\left(\frac{1}{s}\right) + \frac{k}{\omega_o^2}L^{-1}\left(\frac{s}{s^2 + \omega_o^2}\right) + y(0)L^{-1}\left(\frac{s}{s^2 + \omega_o^2}\right) \qquad \text{(ค.35)}$$

หรือ

$$\begin{aligned} y(t) &= \frac{k}{\omega_0^2}u(t) - \frac{k}{\omega_0^2}\cos(\omega_0 t)u(t) + y(0)\cos(\omega_0 t)u(t) \\ &= \left[\left(y(0) - \frac{k}{\omega_0^2}\right)\cos(\omega_0 t) + \frac{k}{\omega_0^2}\right]u(t) \end{aligned} \qquad \text{(ค.36)}$$

เมื่อ $y(0)$ คือค่าเริ่มต้นของระบบอันดับสองซึ่งหากเป็นอุปกรณ์อิเล็กทรอนิกส์หมายถึงแรงดันอิ่มตัวของอุปกรณ์นั้น (saturation voltage, V_{sat}) และ k หมายถึงสัมประสิทธิ์ค่าคงที่ของการป้อนสัญญาณกระตุ้นจากภายนอก

หากพิจารณาสมการอนุพันธ์ผลตอบสนองอันดับสอง (ค.28) อีกครั้งโดยใช้วิธีการตัวแปรเวลาหลายตัว (multiple time variables) ซึ่งสามารถทำได้โดยกำหนดให้ τ เป็นตัวแปรอีกตัวแปรหนึ่ง ดังนั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (ค.28) จะได้ว่าฟังก์ชัน $f(\tau)$ จะเป็นฟังก์ชันที่ขึ้นอยู่กับตัวแปรเวลาอีกหนึ่งตัวแปรที่ถูกกระตุ้นด้วยสัญญาณภายนอกในระบบเวลา τ ใดๆ หรือนั้นคือ

$$\frac{d^2y(t)}{dt^2} + (2\zeta\omega_o)\frac{dy(t)}{dt} + \omega_o^2 y(t) = f(\tau) \qquad \text{(ค.37)}$$

จากสมการ (ค.37) สามารถหาผลเฉลยสมการได้โดยการหาผลเฉลยสมการอนุพันธ์อันดับสองที่ประกอบด้วยผลตอบสนองธรรมชาติ (natural response, y_n) และผลตอบสนองบังคับ (force response, y_f) ดังนี้

$$y(t,\tau) = y_n(t) + y_f(\tau) \qquad \text{(ค.38)}$$

หรือ $$y(t,\tau) = A_1e^{s_1t} + A_2e^{s_2t} + y_f(\tau) \qquad \text{(ค.39)}$$

เมื่อ $y(t,\tau)$ คือผลตอบสนองบริบูรณ์ที่แยกสเกลเวลา โดยที่ τ ถูกแยกสเกลออกจากเวลา t เพื่อพิจารณาการป้อนสัญญาณกระตุ้นจากภายนอก ดังนั้นในการหาค่าสัมประสิทธิ์ A_1 และ A_2 สามารถหาได้ด้วยการแทนค่าเงื่อนไขเริ่มต้น ณ ที่เวลา $t = 0$ หรือ $y(0,\tau) = y(0)$ ในสมการ (ค.39) จะได้

$$y(0,\tau) = y(0) = A_1 + A_2 + y_f(\tau) \qquad \text{(ค.40)}$$

จากสมการ (ค.40) ปรากฏตัวแปร A_1 และ A_2 สองตัวที่ทำให้หาผลเฉลยสมการไม่ได้ ดังนั้นในการหาผลเฉลยสมการจำเป็นต้องหาสมการช่วย ซึ่งทำได้โดยการอนุพันธ์อันดับหนึ่งจากสมการ (ค.39) แล้วกำหนดให้อยู่ภายใต้เงื่อนไขเริ่มต้น หรือที่เวลา $t = 0$ จะได้

$$y'(t,\tau) = s_1A_1e^{s_1t} + s_2A_2e^{s_2t}\Big|_{t=0} \qquad \text{(ค.41)}$$

หรือ $$y'(0) = s_1A_1 + s_2A_2 \qquad \text{(ค.42)}$$

จากสมการ (ค.40) และ (ค.42) สามารถหาค่าสัมประสิทธิ์ A_1 และ A_2 ได้ดังนี้

$$A_1 = \frac{1}{s_2 - s_1}\left[s_2\left(y(0) - y_f(\tau)\right) - y'(0)\right] \qquad \text{(ค.43)}$$

และ $$A_2 = \frac{1}{s_2 - s_1}\left[-s_1\left(y(0) - y_f(\tau)\right) - y'(0)\right] \qquad \text{(ค.44)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากพิจารณาสมการ (ค.39) อีกครั้งจะเห็นได้ว่าในกรณีที่ผลตอบสนองของระบบจะเกิดการออสซิลเลตได้ก็ต่อเมื่อผลตอบสนองของระบบเป็นแบบหน่วงขาด (underdamp response) ดังนั้นรากของสมการ s_1 และ s_2 จะเป็นจำนวณเชิงซ้อนสังยุค (complex conjugate) เท่ากับ

$$y(t,\tau) = A_1 e^{(\sigma+j\omega_d)t} + A_2 e^{(\sigma-j\omega_d)t} + y_f(\tau) \qquad \text{(ค.45)}$$

เมื่อ $\sigma = \zeta\omega_o$ และ $\omega_d = \omega_o(1 - \zeta^2)^{1/2}$ หากพิจารณาสมการ (ค.45) อีกครั้ง ในการเกิดการออสซิลเลตของสัญญาณผลตอบสนองจะมีขนาดของสัญญาณคงที่ตลอดช่วงเวลา ดังนั้นจะกล่าวได้ว่าผลเฉลยสมการ (ค.45) จะมีค่าสัมประสิทธิ์การหน่วงเท่ากับศูนย์ ($\zeta = 0$) ดังนั้นจากสมการ (ค.45) สามารถเขียนใหม่ได้

$$y(t,\tau) = A_1 e^{(j\omega_d)t} + A_2 e^{(-j\omega_d)t} + y_f(\tau) \qquad \text{(ค.46)}$$

เมื่อพิจารณาให้ ค่าสัมประสิทธิ์ A_1 และ A_2 มีค่า

$$A_1 = A_2 = \frac{A}{2} \qquad \text{(ค.47)}$$

จากสมการ (ค.47) อาศัยคุณสมบัติของออยเลอร์ (Euler's identity) จะได้

$$y(t,\tau) = A\cos\omega t + y_f(\tau) \qquad \text{(ค.48)}$$

สามารถหาค่าสัมประสิทธิ์ A ได้

$$A = A_1 + A_2 \qquad \text{(ค.49)}$$

แทนสมการ (ค.43) และ (ค.44) ลงในสมการ (ค.49) จะได้

$$A = \frac{1}{s_2 - s_1}\left[s_2\left(y(0) - y_f(\tau)\right) - y'(0)\right] + \frac{1}{s_2 - s_1}\left[-s_1\left(y(0) - y_f(\tau)\right) - y'(0)\right] \qquad \text{(ค.50)}$$

หรือเขียนสมการใหม่ได้

$$A = y(0) - y_f(\tau) \qquad \text{(ค.51)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนสมการ (ค.51) ลงในสมการ (ค.48) จะได้

$$y(t,\tau) = \left[y(0) - y_f(\tau)\right]\cos \omega t + y_f(\tau) \qquad \text{(ค.52)}$$

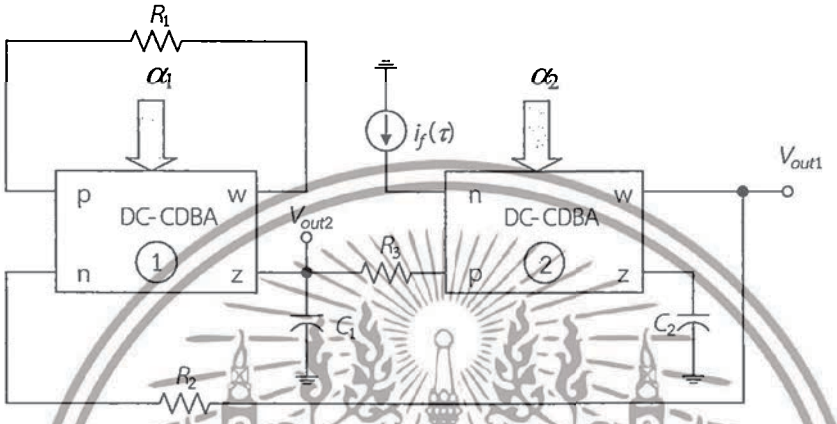
เมื่อ $y(0)$ คือค่าเริ่มต้นของระบบอันดับสองหรือหากเป็นอุปกรณ์ทางอิเล็กทรอนิกส์หมายถึงแรงดันอิ่มตัวของอุปกรณ์นั้น (saturation voltage, V_{sat}) และ $y_f(\tau)$ หมายถึงผลตอบสนองบังคับของระบบอันดับสองจากการป้อนสัญญาณกระตุ้นจากภายนอก

เมื่อเปรียบเทียบสมการ (ค.36) กับ (ค.52) จะเห็นว่าผลเฉลยของสมการอนุพันธ์ผลตอบสนองอันดับสองนั้นสามารถพิจารณาวิธีการหาคำตอบได้หลายวิธี กล่าวคือในสมการ (ค.36) เป็นการหาผลเฉลยของสมการอนุพันธ์ผลตอบสนองอันดับสองด้วยวิธีการแปลงลาปลาซ ซึ่งรูปแบบของสมการผลเฉลยมีโครงสร้างของสมการผลเฉลยเดียวกันกับสมการ (ค.52) ซึ่งเป็นการหาผลเฉลยของสมการอนุพันธ์ผลตอบสนองอันดับสองด้วยวิธีการตัวแปรเวลาหลายตัว โดยทั้งสองวิธีแสดงให้เห็นว่าผลเฉลยของสมการสามารถควบคุมขนาดของสัญญาณได้ด้วยการปรับขนาดของการป้อนสัญญาณกระตุ้นจากภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค.5 การวิเคราะห์หาสมการคุณลักษณะของวงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่สามารถควบคุมขนาดสัญญาณเอาต์พุตได้โดยใช้วงจร DC-CDBA ดังรูปที่ 5.16

วงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่สามารถควบคุมขนาดของสัญญาณเอาต์พุตได้โดยใช้วงจร DC-CDBA รูปที่ 5.16 สามารถวิเคราะห์หาสมการคุณลักษณะโดยใช้คุณสมบัติของวงจร DC-CDBA ที่ได้กล่าวไว้ในบทที่ 3 ดังขั้นตอนต่อไปนี้



รูปที่ ค.3 วงจรออสซิลเลเตอร์แบบควอดราเจอร์ที่สามารถควบคุมขนาดของสัญญาณเอาต์พุตได้โดยใช้วงจร DC-CDBA รูปที่ 5.16

พิจารณาวงจร DC-CDBA ตัวที่ 1 จะได้

$$v_{out2}(s) = v_{w1} = v_{z1} = \left(\frac{R_3}{1+R_3C_1s}\right) I_{z1}(s) \qquad \text{(ค.53)}$$

$$i_{z1} = \alpha_1\left(\frac{v_{out2}(s)}{R_1} - \frac{v_{out1}(s)}{R_2}\right) \qquad \text{(ค.54)}$$

นำสมการ (ค.54) ลงในสมการ (ค.53) จะได้

$$v_{out2}(s) = \alpha_1\left(\frac{v_{out2}(s)}{R_1} - \frac{v_{out1}(s)}{R_2}\right)\left(\frac{R_3}{1+R_3C_1s}\right) \qquad \text{(ค.55)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$v_{out2}(s) = \alpha_1 \left[\frac{-1/R_2}{C_1 s + \left(\frac{1}{R_3} - \frac{\alpha_1}{R_1} \right)} \right] v_{out1}(s) \qquad \text{(ค.56)}$$

พิจารณาวงจร CDBA ตัวที่ 2

$$I_{z2}(s) = \alpha_2 \left(\frac{v_{out1}(s)}{R_3} - i_f(\tau) \right) \qquad \text{(ค.57)}$$

$$v_{out1}(s) = v_{w2}(s) = \left(\frac{\alpha_2}{C_2 s} \right) \left(\frac{v_{out2}(s)}{R_3} - i_f(\tau) \right) \qquad \text{(ค.58)}$$

นำสมการ (ค.58) แทนลงในสมการ (ค.56) จะได้

$$v_{out2}(s) = \alpha_1 \left(\frac{\alpha_2}{sC_2} \right) \left[\frac{-1/R_2}{sC_1 + \left(\frac{1}{R_3} - \frac{\alpha_1}{R_1} \right)} \right] \left(\frac{v_{out2}(s)}{R_3} - i_f(\tau) \right) \qquad \text{(ค.59)}$$

หรือ

$$v_{out2}(s) = \alpha_1 \alpha_2 \left[\frac{-1/R_2}{C_1 C_2 s^2 + C_2 s \left(\frac{1}{R_3} - \frac{\alpha_1}{R_1} \right)} \right] \left(\frac{v_{out2}(s)}{R_3} - i_f(\tau) \right)$$

หรือ

$$\left[C_1 C_2 s^2 + \left(\frac{1}{R_3} - \frac{\alpha_1}{R_1} \right) C_2 s \right] v_{out2}(s) = -\alpha_1 \alpha_2 \left(\frac{v_{out2}(s)}{R_2 R_3} - \frac{i_f(\tau)}{R_2} \right)$$

จะได้สมการคุณลักษณะของวงจรออสซิลเลเตอร์ที่นำเสนอมีค่าเท่ากับ

$$\left[s^2 + \left(\frac{1}{R_3} - \frac{\alpha_1}{R_1} \right) \frac{s}{C_1} + \frac{\alpha_1 \alpha_2}{C_1 C_2 R_2 R_3} \right] v_{out2}(s) = \alpha_1 \alpha_2 \frac{i_f(\tau)}{C_1 C_2 R_2} \qquad \text{(ค.60)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (ค.60) เมื่อกำหนดให้ไม่มีพลังงานสะสมอยู่ในตัวเก็บประจุก่อนช่วงเวลาที่สนใจหรือในช่วงเวลา $t=0$ สามารถเขียนให้อยู่ในรูปสมการอนุพันธ์ได้ดังนี้

$$\frac{d^2v_{out2}(t)}{dt^2}+\frac{1}{C_1}\left(\frac{1}{R_3}-\frac{\alpha_1}{R_1}\right)\frac{dv_{out2}(t)}{dt}+\left(\frac{\alpha_1\alpha_2}{R_2R_3C_1C_2}\right)v_{out2}(t)=\alpha_1\alpha_2\frac{i_f(\tau)}{R_2C_1C_2} \qquad \text{(ค.61)}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง
บทความวิจัยที่ได้รับการตีพิมพ์

บทความวิจัยที่ได้รับการตีพิมพ์ในวารสารทางวิชาการและการประชุมวิชาการทางด้านวิศวกรรมอิเล็กทรอนิกส์และการสื่อสารในระดับชาติ และระดับนานาชาติในวิทยานิพนธ์นี้มีจำนวน 6 บทความดังต่อไปนี้

[1] W. Tangsrirat, D. Prasertsom, T. Piyatat, and W. Surakampontorn, "Single-resistance-controlled quadrature oscillator using current differencing buffered amplifiers", **International Journal of Electronics**, vol.95, no.11, pp.1119-1126, 2008.

[2] W. Tangsrirat, D. Prasertsom, W. Surakampontorn, "Low-voltage digitally controlled current differencing buffered amplifier and its application", **International Journal of Electronics and Communications (AEU)**, vol.63, pp.249-258, 2009.

[3] D. Prasertsom, W. Tangsrirat, W. Surakampontorn, "Low voltage digitally controlled current differencing buffered amplifier", **Proceedings IEEE Asia Pacific Conference on Circuits and Systems (APCCAS 2008)**, Macao, pp. 1074-1077, 2008.

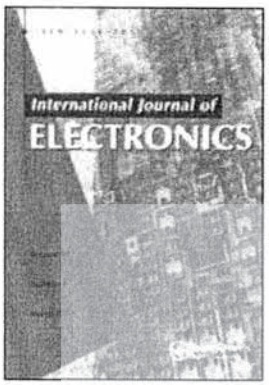
[4] D. Prasertsom and W. Tangsrirat, "Programmable quadrature oscillator using DC-CDBAs", **Proceedings of the 12th International Analog VLSI Workshop (IEEJ 2009)**, Chiang Mai, Thailand, pp. 150-154, 2009.

[5] D. Prasertsom and W. Tangsrirat, "CMOS Digitally controlled current follower and its application", **Proceedings International Symposium on Communications and Information Technologies (ISCIT 2009)**, Singapore, pp. 486 - 489, 2009

[6] D. Prasertsom and W. Tangsrirat, "CDBA-based sinusoidal quadrature oscillator with current controlled amplitude", **Proceedings International Symposium on Communications and Information Technologies (ISCIT 2010)**, Japan, pp. 187 - 191, 2010.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

This article was downloaded by: *[Tangsrirat, W.]*
On: *14 October 2008*
Access details: *Access Details: [subscription number 903999762]*
Publisher *Taylor & Francis*
Informa Ltd Registered in England and Wales Registered Number: 1072954 Registered office: Mortimer House, 37-41 Mortimer Street, London W1T 3JH, UK



International Journal of Electronics
Publication details, including instructions for authors and subscription information:
http://www.informaworld.com/smpp/title~content=t713599654

Single-resistance-controlled quadrature oscillator using current differencing buffered amplifiers

W. Tangsrirat *, D. Prasertsom *, T. Piyatat *, W. Surakampontorn *
* Faculty of Engineering and Research Center for Communications and Information Technology (ReCCIT), King Mongkut's Institute of Technology Ladkrabang (KMITL), Ladkrabang, Bangkok, Thailand

First Published: January 2008

To cite this Article Tangsrirat, W., Prasertsom, D., Piyatat, T. and Surakampontorn, W. (2008) 'Single-resistance-controlled quadrature oscillator using current differencing buffered amplifiers', International Journal of Electronics, 95:11, 1119 — 1126
To link to this Article: DOI: 10.1080/00207210802387676
URL: http://dx.doi.org/10.1080/00207210802387676

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International Journal of Electronics
Vol. 95, No. 11, November 2008, 1119–1126

Taylor & Francis
Taylor & Francis Group

Single-resistance-controlled quadrature oscillator using current differencing buffered amplifiers

W. Tangsrirat*, D. Prasertsom, T. Piyatat and W. Surakampontorn

Faculty of Engineering and Research Center for Communications and Information Technology (ReCCIT), King Mongkut's Institute of Technology Ladkrabang (KMITL), Ladkrabang, Bangkok, Thailand

(*Received 26 January 2006; final version received 3 August 2008*)

A single-resistance-controlled quadrature oscillator circuit using current differencing buffered amplifiers (CDBAs) as active components is proposed. The proposed circuit is realised through the employment of two CDBAs, three resistors and two grounded capacitors. Outputs of two sinusoidal with 90° phase difference are available. The oscillation condition and the oscillation frequency of the proposed quadrature oscillator can be controlled independently by a single resistor. In comparison with the previously reported circuits, the proposed configuration considerably reduces the number of passive elements.

Keywords: current differencing buffered amplifier; quadrature oscillator; single-resistance-controlled

Downloaded By: [Tangsrirat, W.] At: 09:00 14 October 2008

1. Introduction

Recently, an active circuit element called a current differencing buffered amplifier (CDBA) has been introduced (Acar and Ozoguz 1999). The CDBA provides the advantages, particularly in the realisation of continuous-time filters, that it simplifies implementation, is free from parasitic capacitances, is quite suitable for current mode operation, and can operate in a frequency range of more than tens of MHz (Ozoguz, Toker and Acar 1999). Numerous CDBA-based applications have been reported by various researchers (Ozoguz et al. 1999; Acar and Sedef 2003; Tangsrirat, Surakampontorn and Fujii 2003, Keskin 2005; Keskin and Hancioglu 2005). The CDBA is also useful for sinusoidal oscillator design (Ozcan, Toker, Acar, Kunntan and Cicekoglu 2000; Horng 2002). Ozcan et al. (2000) introduced six CDBA-based sinusoidal oscillator circuits that each consist of one CDBA, three resistors and two floating capacitors. However, the oscillation conditions and oscillation frequencies of these oscillators are dependently controllable. In 2002, Horng proposed a new technique for implementing a quadrature oscillator circuit that consists of two CDBAs, four resistors and two grounded capacitors. Its oscillation condition and oscillation frequency are independently controllable. However, this configuration still uses a large number of passive resistors.

*Corresponding author. Email: ktworapo@kmitl.ac.th

ISSN 0020-7217 print/ISSN 1362-3060 online
© 2008 Taylor & Francis
DOI: 10.1080/00207210802387676
http://www.informaworld.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The quadrature sinusoidal oscillator is an essential electronic circuit, because it can produce two sinusoidal outputs of identical frequency but of 90° phase shift, as for example in telecommunications for quadrature mixers and single-sideband generators (Horowitz and Hill 1991), or for measurement purposes in vector generator or selective voltmeters (Tietze and Schenk 1991). Therefore, quadrature oscillators are widely used in many communications, signal processing and instrumentation systems (Holzel 1993; Khan and Khwaja 2000). In recent works of quadrature oscillator design, research attention has been concentrated on single-element frequency control to avoid tracking problems inherent in dual-element control.

The purpose of this article is to introduce a new single-resistance-controlled quadrature oscillator (SRC-QO) circuit with a reduced number of passive elements. The proposed SRC-QO employs two CDBAs, three virtually grounded resistors and two grounded capacitors, which is advantageous from the integrated circuit (IC) implementation point of view (Bhusan and Newcomb 1967; Pal and Singh 1982). The oscillation frequency of the circuit is orthogonally controlled through a single resistor, and the oscillation condition is satisfied without disturbing the oscillation frequency. By comparing the proposed configuration with the previously proposed circuits, the number of passive elements is significantly reduced to one or more. The effectiveness of the proposed circuit is verified through PSPICE simulations and laboratory experiments.

2. Circuit configurations

The circuit symbol of the CDBA is shown in Figure 1. The CDBA is a four-terminal analogue circuit building block described by the following relations.

$$\begin{bmatrix} i_z \\ v_w \\ v_p \\ v_n \end{bmatrix} = \begin{bmatrix} 0 & 0 & 1 & -1 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_z \\ i_w \\ i_p \\ i_n \end{bmatrix} \quad (1)$$

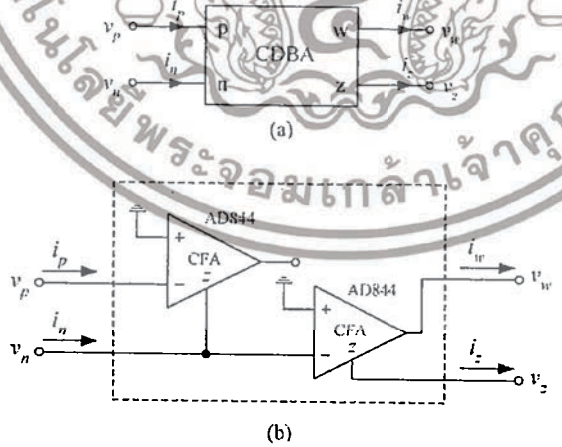


Figure 1. CDBA. (a) Circuit representation, (b) possible realisation with two CFA AD844s.

Downloaded By: [Tangsrirat, W.] At: 09:00 14 October 2008

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

From Equation (1), the CDBA can be considered as a transimpedance amplifier that converts the difference of the input currents i_p and i_n at the terminals p and n, respectively, into the output voltage v_w at the terminal w through an impedance connected at the terminal z. It can be further inferred that the terminal impedances of the p and n terminals must be very low. Usually, this CDBA can be constructed by various techniques, one possible realisation is based on the use of two CFAs as shown in Figure 1b (Svoboda, Mcgory and Webb 1991).

Figure 2 shows the proposed SRC-QO, which is composed of two CDBAs, three virtually grounded resistors, and two grounded capacitors. Note that the employment of grounded capacitors is suitable for IC implementation (Bhusan and Newcomb 1967; Pal and Singh 1982). From routine circuit analysis, the characteristic equation of the proposed CDBA-based SRC-QO circuit can be written as

$$s^2 + \frac{s}{C_1}\left(\frac{1}{R_3} - \frac{1}{R_1}\right) + \left(\frac{1}{R_2 R_3 C_1 C_2}\right) = 0 \tag{2}$$

The oscillation condition and oscillation frequency (ω_o) can be obtained by

$$R_1 = R_3 \tag{3}$$

and

$$\omega_o = \frac{1}{\sqrt{R_2 R_3 C_1 C_2}} \tag{4}$$

It can be seen from Equations (3) and (4) that the oscillation condition of the proposed SRC-QO can be controlled through varying the value of a virtually grounded resistor R_1, whereas the oscillation frequency can be varied by a single resistor R_2 without affecting the oscillation condition. Therefore, both the frequency of oscillation and the condition of oscillation are orthogonally controlled.

From the configuration of Figure 2, the relationship between V_{o1} and V_{o2} can be expressed as:

$$\frac{V_{o2}}{V_{o1}} = sR_3C_2 \tag{5}$$

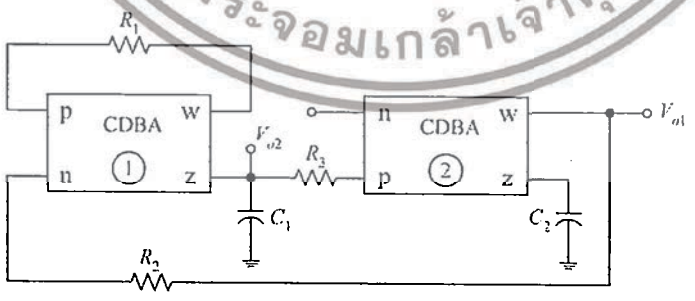


Figure 2. Proposed SRC-QO using CDBAs.

Downloaded By: [Tangsirat, W.] At: 09:00 14 October 2008

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

where the phase difference is $\phi = 90°$. This guarantees that the proposed oscillator circuit provides the quadrature outputs V_{o1} and V_{o2}.

3. Effects of the CDBA non-idealities

By taking into consideration the non-ideal CDBAs, the relationship of the terminal currents and voltages given with Equation (1) can be rewritten as:

$$\begin{bmatrix} i_z \\ v_w \\ v_p \\ v_n \end{bmatrix} = \begin{bmatrix} 0 & 0 & \beta_p & -\beta_n \\ \alpha & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix} \cdot \begin{bmatrix} v_z \\ i_w \\ i_p \\ i_n \end{bmatrix} \tag{6}$$

where $\beta_p = 1 - \varepsilon_p$ and ε_p ($|\varepsilon_p| \ll 1$) is the current-tracking error from p terminal to z terminal, $\beta_n = 1 - \varepsilon_n$ and ε_n ($|\varepsilon_n| \ll 1$) is the current-tracking error from n terminal to z terminal, and $\alpha = 1 - \varepsilon_v$ and ε_v ($|\varepsilon_v| \ll 1$) is the voltage-tracking error from z terminal to w terminal of the CDBA. Reanalysis of the CDBA-based oscillator configuration of Figure 2 yields the characteristic equation as follows:

$$s^2 + \frac{s}{C_1}\left(\frac{1}{R_3} - \frac{\beta_{p1}\alpha_1}{R_1}\right) + \left(\frac{\beta_{p2}\beta_{n1}\alpha_1\alpha_2}{R_2R_3C_1C_2}\right) = 0 \tag{7}$$

where β_{pi}, β_{ni} and α_i are the parameters β_p, β_n and α of the ith CDBA ($i = 1, 2$), respectively. In this case, the oscillation condition and oscillation frequency are modified as:

$$R_1 = \beta_{n1}\alpha_1 R_3 \tag{8}$$

and

$$\omega_o = \sqrt{\frac{\beta_{p2}\beta_{n1}\alpha_1\alpha_2}{R_2R_3C_1C_2}} \tag{9}$$

Sensitivity analysis of the proposed circuit with respect to active and passive elements is calculated as:

$$S^{\omega_o}_{\beta_{p2},\beta_{n1},\alpha_1,\alpha_2} = \frac{1}{2} \tag{10}$$

and

$$S^{\omega_o}_{R_2,R_3,C_1,C_2} = -\frac{1}{2} \tag{11}$$

As it is clear from Equations (10) and (11), all the incremental parameter sensitivities for the ω_o are within 0.5 in magnitude. Hence, the proposed circuit also exhibits attractive sensitivity performance.

Downloaded By: [Tangsrirat, W.] At: 09:00 14 October 2008

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. Simulation and experimental results

To confirm the theoretical prediction, the proposed CDBA-based SRC-QO circuit of Figure 2 has been simulated with PSPICE and the simulation results have also been verified by experiments. In simulations and experiments, two AD844 ICs from Analogue

Figure 3. Simulated results of the quadrature outputs V_{o1} and V_{o2} of the proposed SRC-QO. (a) Output waveforms (b) output spectrums.

Downloaded By: [Tangsrirat, W.] At: 09:00 14 October 2008

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Devices were employed to construct the CDBA as shown in Figure 1b with supply voltages of ± 12 V.

To obtain the quadrature output waveforms with the oscillation frequency of $f_o = \omega_o / 2\pi \cong 15.91$ kHz, the values for resistors and capacitors were chosen as: $R_2 = R_3 = 10$ kΩ, $C_1 = C_2 = 1$ nF. Figure 3a shows the simulated quadrature sinusoidal outputs V_{o1} and V_{o2} of the proposed SRC-QO, where the value of $R_1 = 10.5$ kΩ was chosen to be slightly larger than R_3 to ensure that the oscillations will start. From the simulation result, the oscillation frequency of $f_o \cong 15.10$ kHz is obtained, which agrees very well with the theoretical analysis. Figure 3b represents the simulated frequency spectrums of the outputs V_{o1} and V_{o2}. The results of the total harmonic distortion analysis are summarised in Table 1.

Figure 4 shows the experimental results of the quadrature sinusoidal outputs V_{o1} and V_{o2} with $\pm 1\%$ tolerance discrete components. The simulation and experimental results of the oscillation frequencies of V_{o2}, which are obtained by varying the value of the resistor R_2, are shown in Figure 5.

Table 1. Total harmonic distortion analysis of Figure 2.

Harmonic no.	Frequency (Hz)	Fourier component	Normalised component	Phase (°)	Normalised phase
1	1.576 E +04	7.045 E +00	1.000 E +00	8.812 E +01	0.000 E +00
2	3.152 E +04	1.207 E −01	1.713 E −02	8.655 E +01	−8.970 E +01
3	4.727 E +04	5.327 E −02	7.561 E −03	4.633 E +01	−2.180 E +02
4	6.303 E +04	3.027 E −02	4.296 E −03	7.695 E +01	−2.755 E +02
5	7.879 E +04	2.103 E −02	2.985 E −03	1.109 E +02	−3.297 E +02

DC component = −2.015812 E +01; total harmonic distortion = 1.943802 E +00 percent.

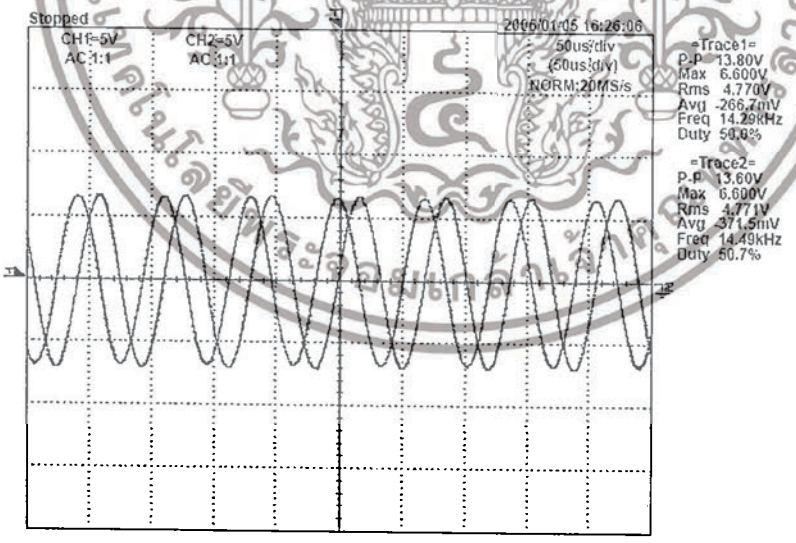


Figure 4. Experimental sinusoidal output waveforms of the proposed SRC-QO.

Downloaded By: [Tangsrirat, W.] At: 09:00 14 October 2008

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

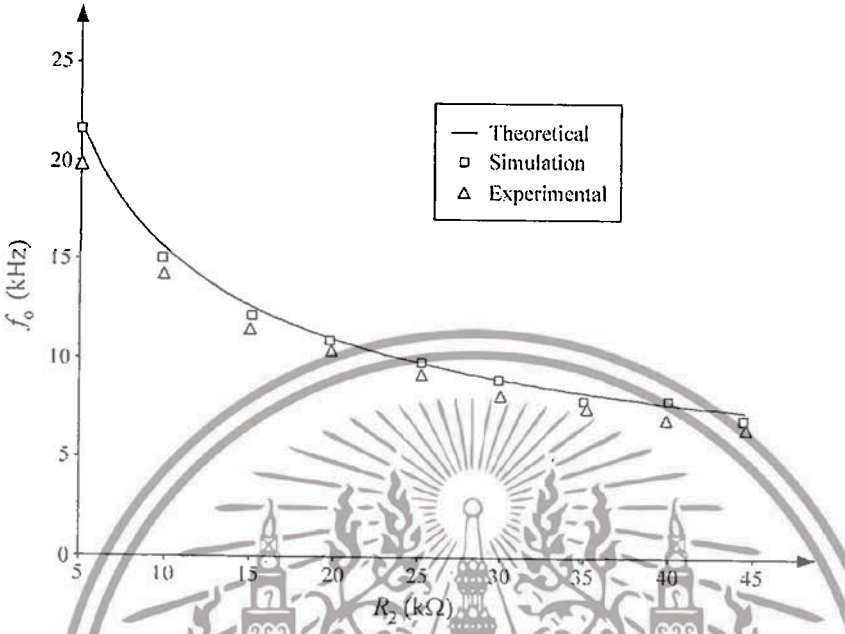


Figure 5. Simulation and experimental results of the oscillation frequencies of V_{o2} by varying the value of the resistor R_2.

5. Conclusion

This article presents a SRC quadrature sinusoidal oscillator employing two CDBAs, two grounded capacitors and three virtually grounded resistors. The circuit provides two sinusoidal outputs with the phase difference of 90°, and an orthogonal control of the oscillation frequency and oscillation condition. With the proposed configuration, the number of passive elements is reduced in comparison with the existing circuits reported previously.

Acknowledgements

This work was supported by the Commission on Higher Education, Ministry of Education, Thailand, through the Research Group Development Programme (CHE-RG-01A), Research Group in Microelectronics for Communications. The authors are also thankful to the editor and reviewers for their valuable comments and helpful suggestions, which substantially improved the quality of the manuscript.

References

Acar, C., and Ozoguz, S. (1999), "A New Versatile Building Block: Current Differencing Buffered Amplifier Suitable for Analog Signal Processing Filters," *Microelectronics Journal*, 30, 157–160.

Acar, C., and Sedef, H. (2003), "Realization of nth-Order Current Transfer Function Using Current Differencing Buffered Amplifiers," *International Journal of Electronics*, 90, 277–283.

Bhusan, M., and Newcomb, R.W. (1967), "Grounding of Capacitors in Integrated Circuits," *Electronics Letters*, 3, 148–149.

Holzel, R. (1993), "A Simple Wide-Band Sine Wave Quadrature Oscillator," *IEEE Transaction Instrumentation and Measurement*, 42, 758–760.

Downloaded By: [Tangsrirat, W.] At: 09:00 14 October 2008

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Horng, J.W. (2002), "Current Differencing Buffered Amplifiers Based Single Resistance Controlled Quadrature Oscillator Employing Grounded Capacitors," *IEICE Transaction Fundamental*, E85-A, 1416–1419.

Horowitz, P., and Hill, W. (1991), *The Art of Electronics*, Cambridge, UK. Cambridge University Press, p. 291.

Keskin, A.U. (2005), "Voltage-Mode High-Q Band-Pass Filters and Oscillators Employing Single CDBA and Minimum Number of Components," *International Journal of Electronics*, 92, 479–487.

Keskin, A.U., and Hancioglu, E. (2005), "Current-Mode Multifunction Filter Using Two CDBAs," *International Journal of Electronics and Communications (AEUE)*, 59, 495–498.

Khan, I.A., and Khwaja, S. (2000), "An Integrable gm-C Quadrature Oscillator," *International Journal of Electronics*, 87, 1353–1357.

Ozcan, S., Toker, A., Acar, C., Kuntan, H., and Cicekoglu, O. (2000), "Single Resistance-Controlled Sinusoidal Oscillator Employing Current Differencing Buffered Amplifier," *Microelectronics Journal*, 31, 169–174.

Ozoguz, S., Toker, A., and Acar, C. (1999), "Current-Mode Continuous-Time Fully-Integrated Universal Filter Using CDBAs," *Electronics Letters*, 35, 97–98.

Pal, K., and Singh, R. (1982), "Inductorless Current Conveyor Allpass Filter Using Grounded Capacitors," *Electronics Letters*, 18, 47.

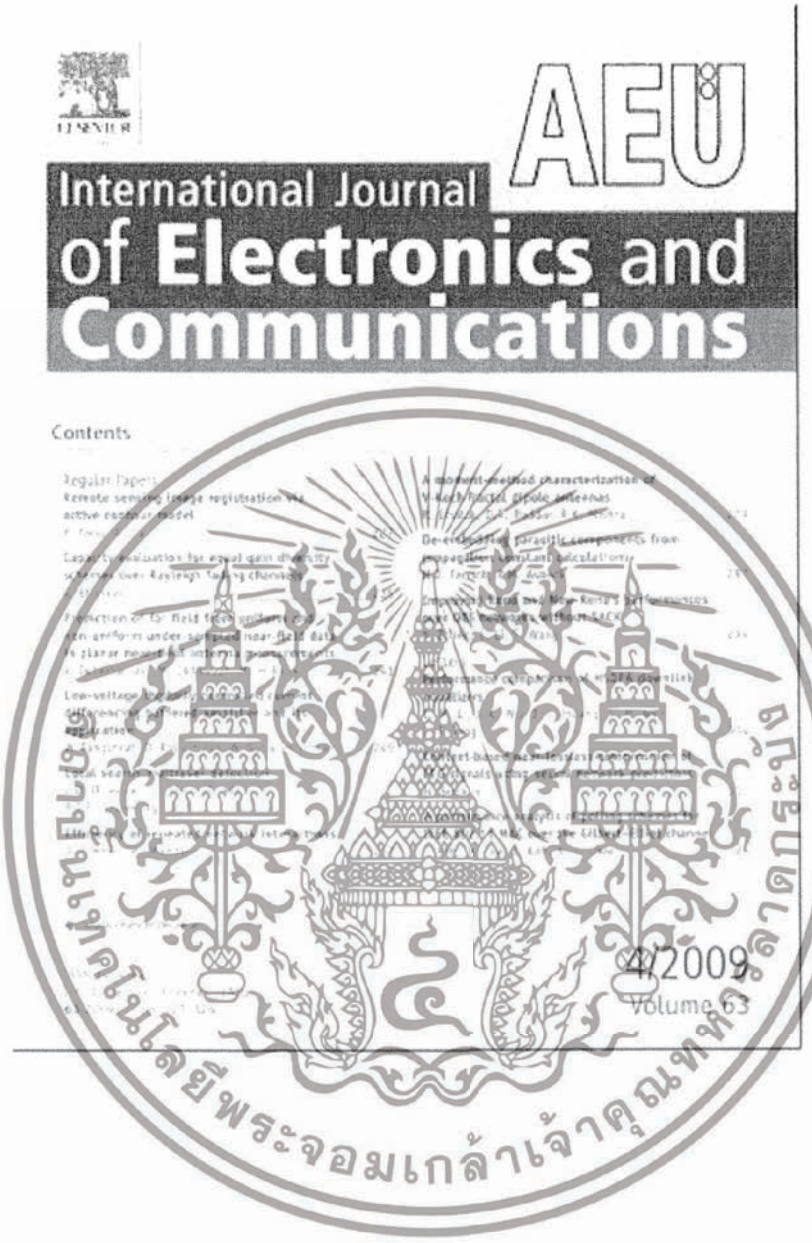
Svoboda, J.A., Mcgory, L., and Webb, S. (1991), "Applications of a Commercially Available Current Conveyor," *International Journal of Electronics*, 70, 159–164.

Tangsrirat, W., Surakampontorn, W., and Fujii, N. (2003), *IEICE Transaction Fundamental*, E86-A, 318–326.

Tietze, U., and Schenk, C.K. (1991), *Electronic Circuits: Design and Applications*, Berlin, Germany: Springer, pp. 795–796.

Downloaded By: [Tangsrirat, W.] At: 09:00 14 October 2008

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Available online at www.sciencedirect.com
ScienceDirect
Int. J. Electron. Commun. (AEÜ) 63 (2009) 249–258
International Journal AEU of Electronics and Communications
www.elsevier.de/aeue

Low-voltage digitally controlled current differencing buffered amplifier and its application

Worapong Tangsrirat*, Danucha Prasertsom, Wanlop Surakampontorn

Faculty of Engineering and Research Center for Communications and Information Technology (ReCCIT), King Mongkut's Institute of Technology Ladkrabang (KMITL), Chalongkrung Road, Ladkrabang, Bangkok 10520, Thailand

Received 13 March 2007; accepted 16 January 2008

Abstract

In this paper, a design of a low-voltage digitally controlled current differencing buffered amplifier (DC-CDBA) is introduced. The realization scheme is through the cascade connection of a current differencing circuit, a current division network (CDN) and a buffered voltage amplifier. To achieve the digital control of the current gain of the circuit, a novel CDN is also proposed. The proposed DC-CDBA can operate with the low supply voltage of ±1.25 V. PSPICE simulations using standard 0.5-μm CMOS process parameters are in agreement with the theory. An application example using the proposed DC-CDBAs as active elements in the realization of the digitally tuned current-mode universal filter is also included.
© 2008 Elsevier GmbH. All rights reserved.

Keywords: Current differencing buffered amplifier (CDBA); Current division network (CDN); MOS transistor; Current-mode circuit

1. Introduction

Programmable tuning characteristic of an analog circuit is an attractive feature that is widely used in several useful applications. In analog signal processing area, there are many engineering applications which require programmable characteristics such as, adaptive filters, music synthesizers, formant speech synthesizers and tracking filters [1–4]. Generally, analog or digital tuning can be employed to control the circuit parameters. However, in low-voltage applications, there is a limitation on the allowable range of the analog tuning voltage. Hence, in these applications, the digital control is more attractive [5]. Another example utilizing digital control is the interface with the digital signal processing (DSP) unit in the modern digital system. For example, in modern wireless systems, all of the baseband signal processing are implemented digitally by DSP unit. There are baseband analog blocks required in the integrated wireless receiver such as highly linear filter section for out-of band blockers attenuation, tunable filter section for channel selection, and variable gain amplifier for providing programmable gain setting and a primary requirement of those baseband analog blocks are to be digitally controlled [5]. Therefore, digitally programmable tuning characteristics have been an ongoing research topic for a number of years.

In 1999, a new active building block circuit, namely current differencing buffered amplifier (CDBA), was first introduced to provide new possibilities in the circuit synthesis and to simplify the circuit implementation [6,7]. The CDBA is suitable for integrated circuit (IC) implementation in both bipolar and CMOS technologies [7–12]. Moreover, since the CDBA can be considered as a collection of current- and voltage-mode unity gain cells, it has large dynamic range and quite wide bandwidth similar to its current-mode counterparts such as, current feedback operational amplifiers (CFAs) and second generation current conveyors (CCIIs). Owing to these advantages of the CDBA, in this paper we present

* Corresponding author. Tel.: +66 2 739 0757; fax: +66 2 326 4225.
E-mail address: ktworapo@kmitl.ac.th (W. Tangsrirat).

1434-8411/$ - see front matter © 2008 Elsevier GmbH. All rights reserved.
doi:10.1016/j.aeue.2008.01.006

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

a digitally controlled CDBA (DC-CDBA) with low supply voltage operation. The proposed DC-CDBA is realized by interconnecting a current differencing circuit, a current division network (CDN), and a unity-gain voltage amplifier. The novel CDN circuit is also proposed in order to provide the digital control of the current gain of the DC-CDBA. An application of the proposed DC-CDBA in realizing digitally programmable current-mode universal filter with the advantage of linearly tuned frequency to the digitally controlled parameter has also been discussed. PSPICE simulation results of the proposed low-voltage DC-CDBA and its application are included.

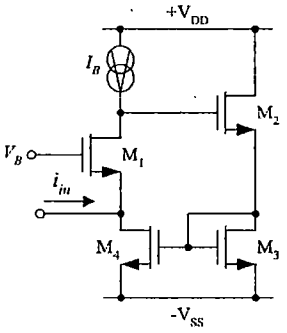


Fig. 2. Low-input resistance input stage.

2. Circuit configurations

2.1. Basic concept

The proposed DC-CDBA is a versatile analog building block, described symbolically as shown in Fig. 1(a) and mathematically by the following matrix equation:

$$\begin{bmatrix} i_z \\ v_w \\ v_p \\ v_n \end{bmatrix} = \begin{bmatrix} 0 & 0 & \alpha & -\alpha \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_z \\ i_w \\ i_p \\ i_n \end{bmatrix}, \quad (1)$$

where α is the current gain that is controlled digitally. According to the above matrix equation, this device consists of three stages as shown in Fig. 1(b). The input stage is a current differencing circuit to provide the difference of the input currents (i_p and i_n) through the terminals p and n into the x-terminal current (i_x). The second stage is a CDN, which is based on the linear current division principle. At this stage, the current i_x is copied to the z-terminal and is digitally controlled by the current gain parameter α. The last stage is simply a voltage buffer, since the voltage at the w-terminal

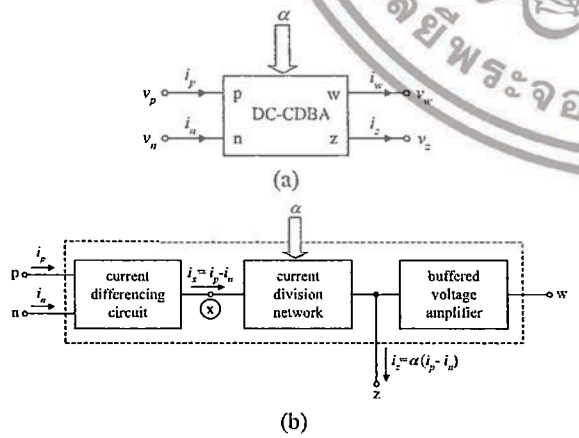


Fig. 1. (a) Circuit symbol of the proposed DC-CDBA; (b) block diagram of the proposed DC-CDBA.

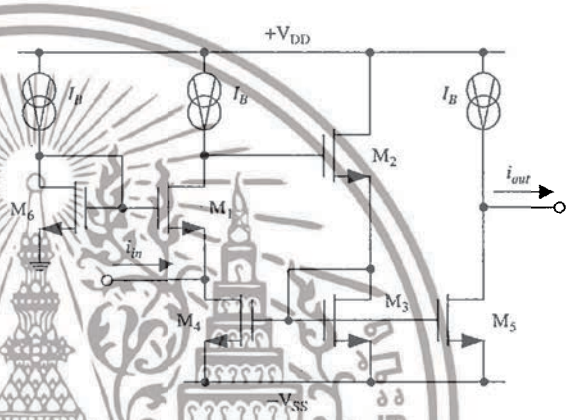


Fig. 3. Unity-gain current amplifier with very low input resistance.

follows the voltage of the z-terminal. Therefore, the operation of each stage will be described in the following section.

2.2. Current differencing circuit

Fig. 2 shows an NMOS-based circuit with a low-input resistance terminal [13]. From the elementary small-signal circuit analysis, the input resistance of this configuration can be calculated as

$$r_{in} = \left(\frac{1}{g_{m1}}\right)\left(\frac{1}{1+F}\right), \quad (2)$$

where $F = ((g_{m2}g_{m4}r_{oB})/(g_{m2}+g_{m3}))$ and g_{mi} represents the transconductance of the transistors M_i $(i = 1, 2, 3, 4)$ and r_{oB} denotes the output resistance of the current source I_B. Usually $r_{oB} \gg 1/g_{mi}$, then $F \gg 1$. Therefore, the input resistance of this circuit is very low.

Based on the use of the low-input resistance input stage of Fig. 2, the unity gain current amplifier can be realized as shown in Fig. 3. The biasing circuit comprising the transistor M_6 and the current source I_B is used to bias the input terminal at ground potential. By direct analysis, the output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

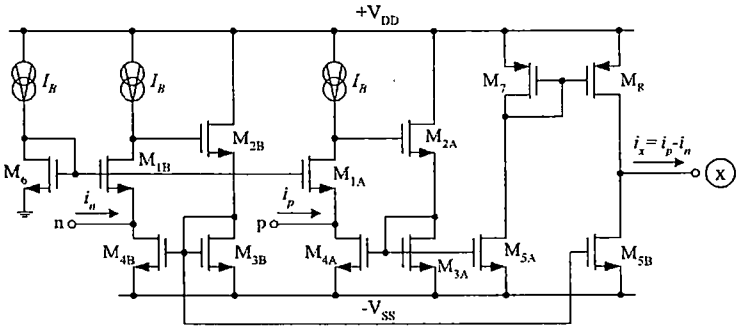


Fig. 4. Proposed CMOS current differencing circuit.

current i_{out} of this circuit can be expressed as

$$i_{out} = -\left(\frac{F}{1+F}\right) i_{in}. \tag{3}$$

Usually $F \gg 1$, the output current i_{out} can be approximated to

$$i_{out} \cong -i_{in}. \tag{4}$$

Fig. 4 shows the proposed CMOS current differencing circuit, which is composed of two unity-gain current amplifiers (M_{1A}–M_{5A}) and (M_{1B}–M_{5B}). Due to the current mirror M_7–M_8, the signal current flowing out of the terminal x (i_x) can be expressed as

$$i_x = i_p - i_n. \tag{5}$$

In this case, the input resistances of the terminals p and n can also be written as

$$r_p = \left(\frac{1}{g_{m1A}}\right)\left(\frac{1}{1+F_p}\right) \tag{6}$$

and

$$r_n = \left(\frac{1}{g_{m1B}}\right)\left(\frac{1}{1+F_n}\right), \tag{7}$$

where g_{miA} and g_{miB} represent respectively the transconductance of the transistors M_{iA} and M_{iB} ($i = 1, 2, 3, 4, 5$), $F_p = ((g_{m2A}g_{m4A}r_{oB})/(g_{m2A}+g_{m3A}))$ and $F_n = ((g_{m2B}g_{m4B}r_{oB})/(g_{m2B}+g_{m3B}))$. Therefore, the input resistances r_p and r_n are very low due to the factors from the feedback $(1+F_p)$ and $(1+F_n)$, respectively.

2.3. Current division network (CDN)

Fig. 5(a) shows the proposed current division cell (CDC). It should be noted that this cell is mainly composed of the unity-gain current amplifier (M_{1C}–M_{5C}) of Fig. 3 and a current divider (M_7–M_{10}). According to the current division principle, the output currents (i_i, i_{oi} and $\overline{i_{oi}}$) of the proposed CDC related to the input current (i_{i+1}) are respectively obtained as follows:

$$i_i = \frac{i_i + 1}{2}, \tag{8}$$

$$i_{oi} = a_i\left(\frac{i_i + 1}{2}\right) \tag{9}$$

and

$$\overline{i_{oi}} = \overline{a_i}\left(\frac{i_i + 1}{2}\right), \tag{10}$$

where a_i is the digital control bit of this cell. The circuit symbol of the proposed CDC is depicted in Fig. 5(b).

The proposed CDN, consisting of n CDCs, is shown in Fig. 6(a). As can be seen from Fig. 6(a), the output current i_i of the CDC$_i$ ($i = 0, 1, 2, \ldots, n$) is used as an input current of the next stage and the current i_0 is added to i_{oi}. Therefore, the output current (i_{out}) of the proposed CDN can be described by

$$i_{out} = \left(\frac{1}{2^{n+1}}\right)\left[1 + \sum_{i=0}^{n} a_i 2^i\right] i_x \tag{11}$$

or

$$\alpha = \frac{i_x}{i_p - i_n} = \frac{i_{out}}{i_x} = \left(\frac{1}{2^{n+1}}\right)\left[1 + \sum_{i=0}^{n} a_i 2^i\right]. \tag{12}$$

From Eq. (12), the current gain (α) of the proposed CDN can be controlled digitally, where α is less than, or equal to, unity. An electrical circuit symbol of the proposed CDN is also shown in Fig. 6(b).

2.4. Buffered voltage amplifier

The circuit of Fig. 7 is a unity-gain voltage amplifier, which is based on the use of the low-input resistance input stage (M_{1D}–M_{4D}) from Fig. 2. From the configuration, the transistor M_{11} and two bias current sources I_B are connected

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

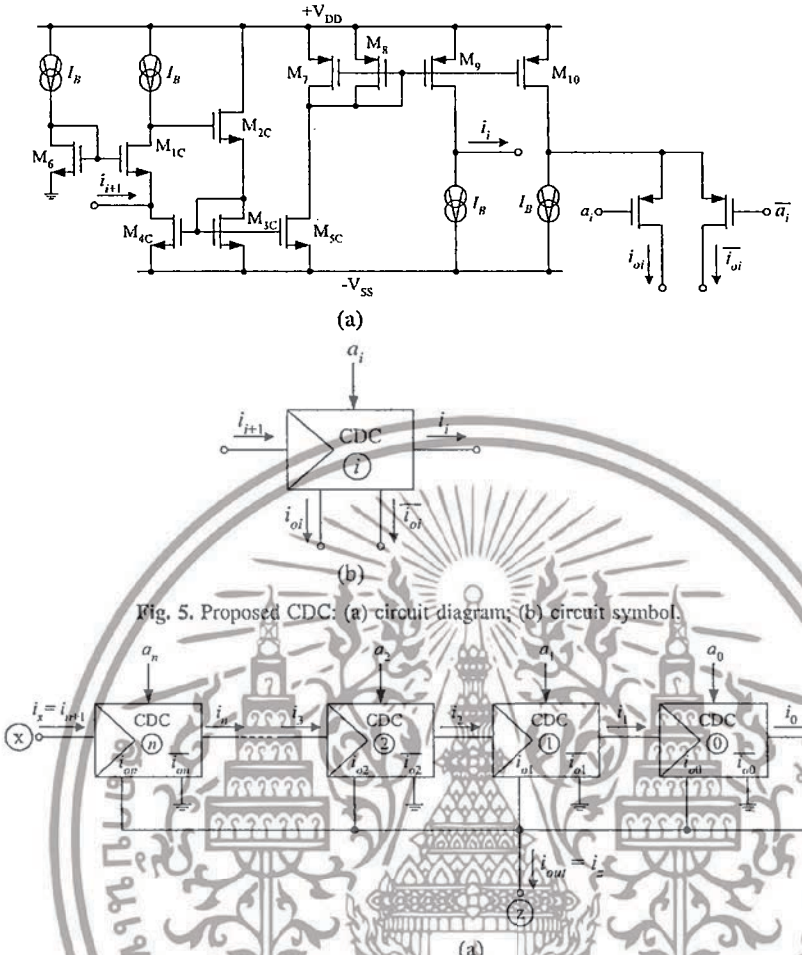


Fig. 5. Proposed CDC: (a) circuit diagram; (b) circuit symbol.

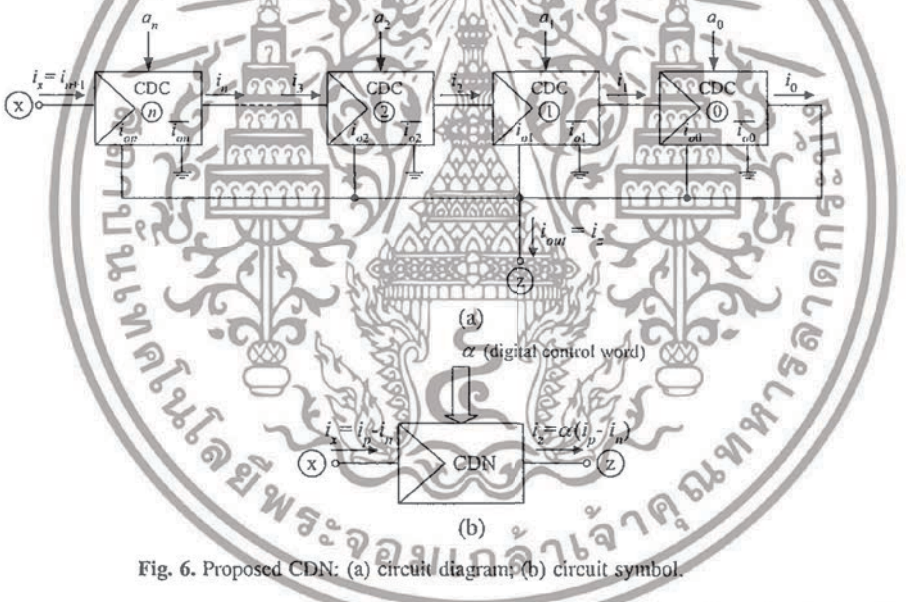


Fig. 6. Proposed CDN: (a) circuit diagram; (b) circuit symbol.

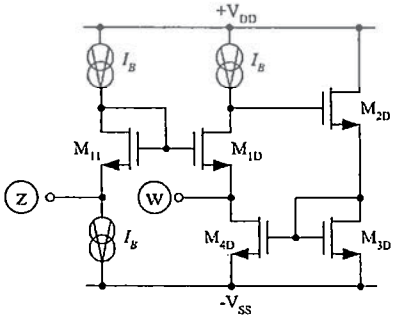


Fig. 7. Buffered voltage amplifier.

as voltage level shift. Therefore, the relationship of the voltages at the terminals w and z (or v_w and v_z) can be given by

$$v_w = \beta_v v_z \tag{13}$$

and

$$\beta_v = \left(\frac{g_{m11}r_{oB}}{1+g_{m11}r_{oB}}\right)\left[\frac{g_{m1D}\left(1+\frac{g_{m4D}r_{oB}}{2}\right)}{g_w + g_{m1D}\left(1+\frac{g_{m4D}r_{oB}}{2}\right)}\right], \tag{14}$$

where $g_w = 1/R_w$ and R_w is the resistor connected at the terminal w. If $g_{m11}r_{oB} \gg 1$ and $g_{m1D}(1+(g_{m4D}r_{oB}/2)) \gg g_w$, then $v_w \cong v_z$. Since transistors M_{1D}–M_{4D} performs a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

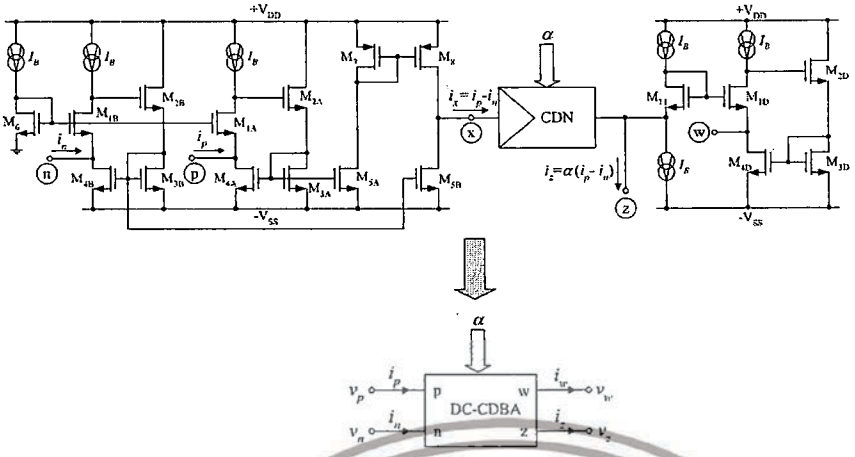


Fig. 8. Proposed low-voltage DC-CDBA.

low-input resistance stage, the resistance of the terminal w (r_w) becomes quite low and is equal to

$$r_w = \left(\frac{1}{g_{m1D}}\right)\left(\frac{1}{1+F_w}\right), \tag{15}$$

where

$$F_w = \left(\frac{g_{m2D}g_{m4D}r_{oB}}{g_{m2D}+g_{m3D}}\right). \tag{16}$$

If $r_{oB} \gg 1/g_{m11}$, the input resistance looking into the terminal z (r_z) becomes a high value and is approximated to

$$r_z = \frac{r_{oB}}{2}. \tag{17}$$

2.5. Proposed low-voltage DC-CDBA

Fig. 8 shows the proposed low-voltage DC-CDBA, which is constructed by the cascaded connection of the current differencing circuit in Fig. 4, the CDN in Fig. 6 and the buffered voltage amplifier in Fig. 7. From the circuit diagram, it can be considered from the positive to the negative supply voltages that the proposed circuit uses only two MOS transistors and one bias current source. Therefore, the circuit can operate at a low power supply voltage of $(2V_{DS}+V_{IB})$, where V_{DS} and V_{IB} are the drain-to-source voltage of the MOS transistor and the voltage drop at the bias current source I_B, respectively. As an example, for the standard 0.5-μm CMOS process parameters, the threshold voltages V_{TN} and $-V_{TP}$ of the NMOS and PMOS transistors are about 0.64 and 0.91 V, respectively. If the bias current sources I_B are realized by the basic current mirrors, as a result, the minimum supply voltage is about $[2(0.64\,V)+(0.91\,V)]=2.19\,V$ or $\pm 1.095\,V$.

Table 1. The model parameters set of 0.5-μm CMOS SCN05H technology

```
MODEL MN NMOS LEVEL=3
PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=1
VTO=0.6573 DELTA=5.9880E-01 LD=1.9240E-08
KP=1.8169E-04 UO=505.1 THETA=1.8930E-01
RSH=8.7930E+00 GAMMA=0.5569 NSUB=1.2090E+17
NFS=5.9090E+11 VMAX=2.7440E+05 ETA=2.4370E-02
KAPPA=3.2050E-01 CGDO=4.0920E-10 CGSO=4.0920E-10
CGBO=3.8892E-10 CJ=5.6415E-04 MJ=7.3366E-01
CJSW=2.0000E-11 MJSW=6.7865E-01 PB=9.9999E-01
MODEL MP PMOS LEVEL=3
PHI=0.700000 TOX=9.6000E-09 XJ=0.200000U TPG=-1
VTO=-0.9269 DELTA=5.0100E-01 LD=3.4410E-08
KP=4.2121E-05 UO=117.1 THETA=4.2150E-02
RSH=9.0910E-02 GAMMA=0.4354 NSUB=7.3890E+16
NFS=6.4990E+11 VMAX=1.0000E+06 ETA=2.7270E-02
KAPPA=1.0000E+01 CGDO=2.1260E-10 CGSO=2.1260E-10
CGBO=3.7864E-10 CJ=9.2997E-04 MJ=4.9086E-01
CJSW=2.5251E-10 MJSW=1.6669E-01 PB=8.7837E-01
```

3. Simulation results

The performance of the proposed DC-CDBA of Fig. 8 has been simulated using PSPICE program with 0.5-μm CMOS SCN05H technology provided by MOSIS. The model parameters of 0.5-μm CMOS process are given in Table 1, and the aspect ratios of the transistors used are $W/L=20\,\mu m/1\,\mu m$ for the NMOS devices and $W/L=40\,\mu m/1\,\mu m$ for the PMOS devices, respectively. The supply voltages used are taken as: $+V_{DD}=-V_{SS}=1.25\,V$, and $n=3$ (4 bits). All the biasing currents are set to $I_B=100\,\mu A$. Grounded resistors $R_z=1\,k\Omega$ and $R_w=10\,k\Omega$ are connected at the terminals z and w, respectively.

Fig. 9 shows the DC current characteristics of the terminal z versus i_p and i_n when the digitally controlled word parameter α is scanned from 0.125 to 1.000 in steps of 0.125.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

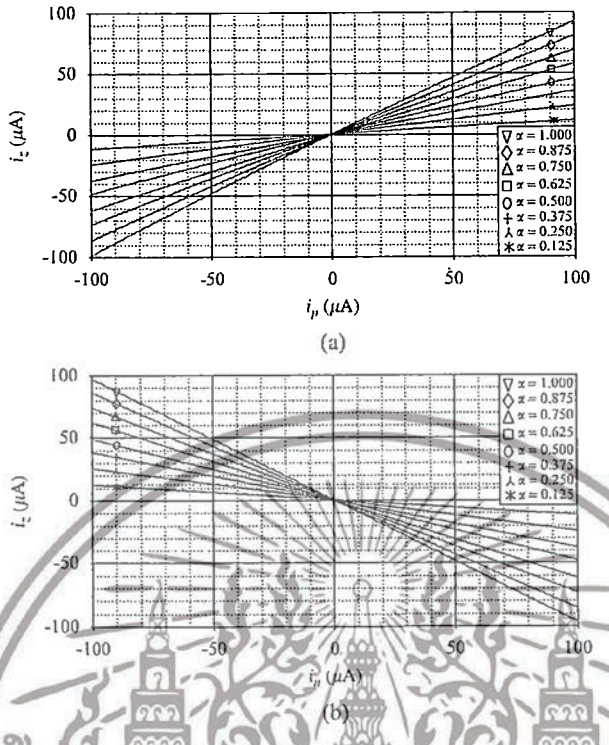


Fig. 9. DC current transfer characteristics of the proposed DC-CDBA for different values of α.

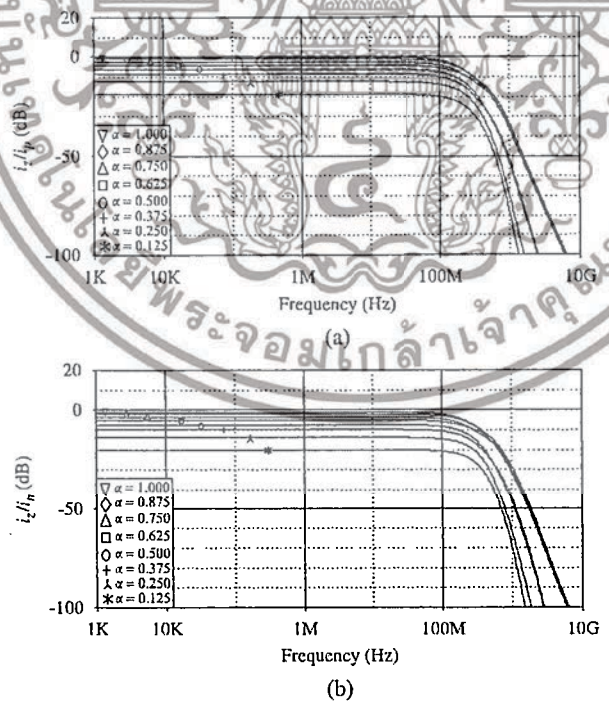


Fig. 10. AC current transfer characteristics of the proposed DC-CDBA for different values of α.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

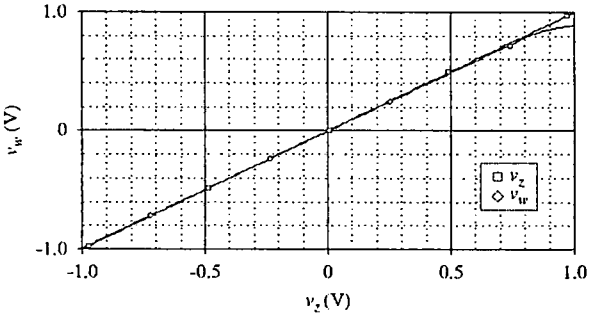


Fig. 11. DC voltage transfer characteristic of the proposed DC-CDBA.

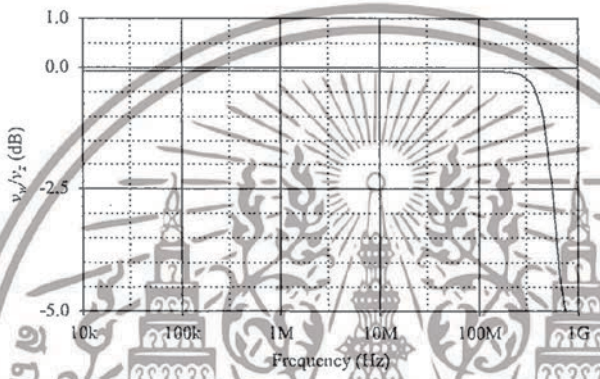


Fig. 12. AC voltage transfer characteristic of the proposed DC-CDBA.

In Fig. 10, the AC current responses of the terminal z for the same α setting are shown, which can be seen that the bandwidth is approximately equal to 100 MHz.

Fig. 11 shows the w-terminal voltage (v_w) when the z-terminal voltage (v_z) is swept from −1 to 1 V for different values of α ranging from 0.125 to 1.000 with 0.125 step. It can be seen from the figure that the inclination of the voltage transfer error starts to increase when v_z greater than +0.8 V. This effect is mainly caused by the limitation of the operating range at the terminal w. It is noted that, in the configuration of Fig. 8, the maximum value of v_w is restricted to be less than $[V_{DD} - V_{TP} - V_{DS,sat}(M_{1D})]$. The w-terminal AC voltage response is shown in Fig. 12 from which it can be found that the bandwidth is approximately located at 500 MHz. Therefore, the high-frequency limitation of the proposed DC-CDBA is located at about 100 MHz.

4. Application example

As an application example for the proposed device, the digitally tuned current-mode universal filter with three inputs and one output shown in Fig. 13 is realized. The configuration consists of only three DC-CDBAs, two resistors and two grounded capacitors. Routine circuit analysis using Eq. (1) yields the following current transfer function:

$$I_{out} = \alpha_3 \left[\frac{D(s) I_1 - (sR_1C_1\alpha_2) I_2 - (\alpha_1\alpha_2) I_3}{D(s)} \right], \tag{18}$$

where $D(s) = (s^2 3R_1R_2C_1C_2 + sR_1C_1\alpha_2 + \alpha_1\alpha_2)$ and α_i denotes the parameter α of the ith DC-CDBA ($i = 1, 2, 3$). From Eq. (18), it can be summarized that:

(1) if $I_1 = I_2 = 0$, and $I_3 = I_{in}$ (an input current), the lowpass (LP) response can be realized;
(2) if $I_1 = I_3 = 0$ and $I_2 = I_{in}$, the bandpass (BP) response can be realized;
(3) if $I_1 = I_2 = I_3 = I_{in}$, the highpass (HP) response can be realized;
(4) if $I_3 = 0$ and $I_1 = I_2 = I_{in}$, the bandstop (BS) response can be realized;
(5) if $I_3 = 0$ and $I_1 = I_2/2 = I_{in}$, the allpass (AP) response can be realized.

Therefore, the filter can realize five standard types of the biquadratic filtering functions without any component matching condition requirements. The DC gain (H), the

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

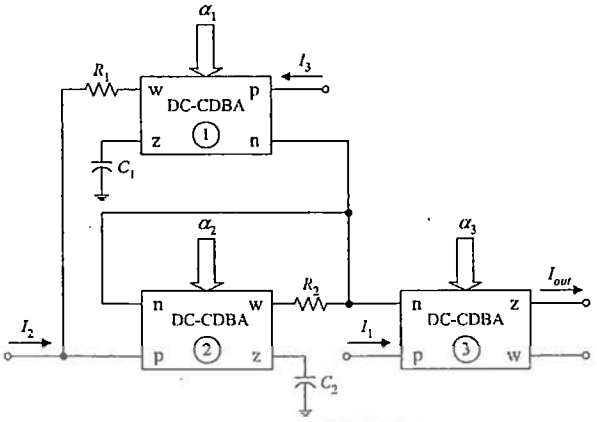


Fig. 13. Proposed digitally tuned current-mode universal filter using DC-CDBAs.

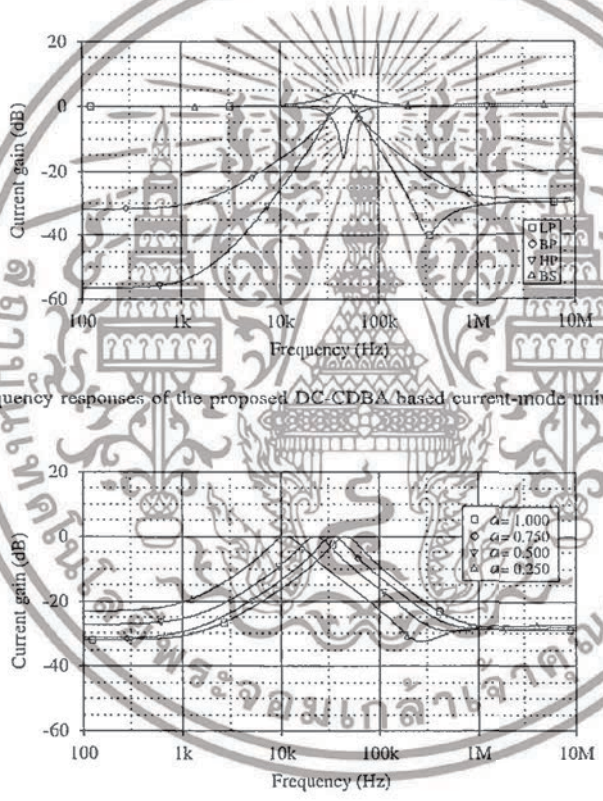


Fig. 14. Simulated frequency responses of the proposed DC-CDBA based current-mode universal filter of Fig. 13.

Fig. 15. BP frequency responses with different current gains $\alpha(=\alpha_1=\alpha_2)$.

natural frequency (ω_o) and the bandwidth (ω_o/Q) of the proposed filter are found to be

$$H = \alpha_3, \tag{19}$$

$$\omega_o = \sqrt{\frac{\alpha_1\alpha_2}{3R_1R_2C_1C_2}} \tag{20}$$

and

$$\frac{\omega_o}{Q} = \frac{\alpha_2}{3R_2C_2}. \tag{21}$$

It can readily be shown from Eqs. (19)–(21) that the parameters H, ω_o and ω_o/Q for all the filter responses can be controlled digitally using α_3, α_1 and α_2, respectively.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

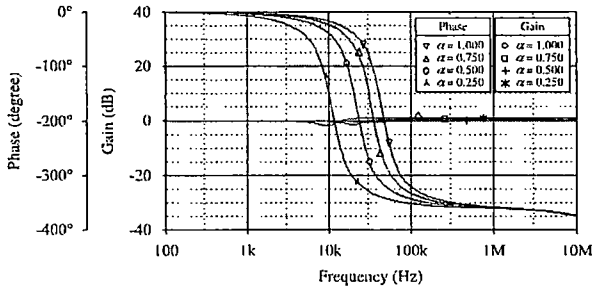


Fig. 16. AP frequency responses with different current gains $\alpha(=\alpha_1 = \alpha_2)$.

The proposed digitally tuned filter of Fig. 13 has been simulated using PSPICE program with $R_1 = R_2 = 1\,\text{k}\Omega$, $C_1 = C_2 = 2\,\text{nF}$ and $\alpha_3 = 1$ to obtain the filter response for $H = 1$. The simulation results of the LP, BP, HP and BS responses when $\alpha_1 = \alpha_2 = 1$ are shown in Fig. 14. From the simulations, the natural frequency is found to be $f_o = \omega_o/2\pi \approx 45.43\,\text{kHz}$, which is very close to the calculated theoretical value. Fig. 15 represents the simulated BP response of tuning f_o using different values of $\alpha = \alpha_1 = \alpha_2$, while Q is constant at 1.732. The simulations yield the natural frequency of $f_o \cong 10.85$, 22.50, 34.17 and 45.43 kHz, while their theoretical values are $f_o \cong 11.48$, 22.97, 34.46 and 45.94 kHz, respectively. Similarly, the frequency response for the AP function, both for gain and phase, is shown in Fig. 16 and is in conformity with the theory.

5. Conclusion

A novel digitally controlled current differencing buffered amplifier (DC-CDBA) is proposed in this paper. Based on the use of the low-input resistance input stage as a core circuit, the proposed circuit is realized by the cascade connection of the current differencing circuit, the current division network (CDN) and the unity-gain voltage amplifier. A novel current division technique has also been proposed in order to provide digital control on the current gain. To demonstrate the versatility of the proposed DC-CDBA, an application on the digitally controlled current-mode universal filter has been included.

Acknowledgements

This work was supported by the Commission on Higher Education, Ministry of Education, Thailand, through the Research Group Development Program (CHE-RG-01A), Research Group in Microelectronics for Communications. The authors are also grateful to the editor and reviewers for their valuable comments and helpful suggestions, which substantially improved the quality of the manuscript.

References

[1] Petraglia A, Mitra S. Switched-capacitor equalizers with digitally programmable tuning characteristics. IEEE Trans Circuits Systems 1991;38:1322–31.

[2] Paulino N, Franca JE, Martins FP. Programmable CMOS switched-capacitor biquad using quasi-passive algorithmic DAC's. IEEE J Solid-State Circ 1995;30:715–9.

[3] Paulino N, Franca JE. A CMOS digitally programmable current multiplier. Proceedings of 1996 IEEE international symposium on circuits and systems (ISCAS'96), vol. 1, 1996. p. 254–7.

[4] Mazurek A, Wawryn K. Programmable current mode circuits. Proceedings of the 8th IEEE international conference on electronics, circuits and systems (ICECS 2001), vol. 2, 2001. p. 553–6.

[5] El-Adawy AA, Soliman AM, Elwan HO. Low-voltage digitally controlled CMOS current conveyor. Int J Electron Commun (AEÜ) 2002;56:137–44.

[6] Acar C, Ozoguz S. A new versatile building block: current differencing buffered amplifier suitable for analog signal processing filters. Microelectron J 1999;30:157–60.

[7] Ozoguz S, Toker A, Acar C. Current-mode continuous-time fully-integrated universal filter using CDBAs. Electron Lett 1999;35:97–8.

[8] Tangsrirat W, Surakampontorn W, Fujii N. Realization of leapfrog filters using current differential buffered amplifiers. IEICE Trans Fund 2003;E86-A:318–26.

[9] Sedef H, Acar C. On the realization of voltage-mode filters using CDBA. Frequenz 2000;54:198–202.

[10] Tarim N, Kuntman H. A high performance current differencing buffered amplifier. Proc Int Conf Microelectron 2001, 153–6.

[11] Acar C, Sedef H. Realization of nth-order current transfer function using current differencing buffered amplifiers. Int J Electron 2003;90:277–83.

[12] Tangsrirat W, Klahan K, Dumawipata T, Surakampontorn W. Low-voltage NMOS-based current differencing buffered amplifier and its application to current-mode ladder filter design. Int J Electron 2006;93:777–91.

[13] Oliaei O, Porte J. Compound current conveyor (CCII+ and CCII−). Electron Lett 1997;33:253–4.

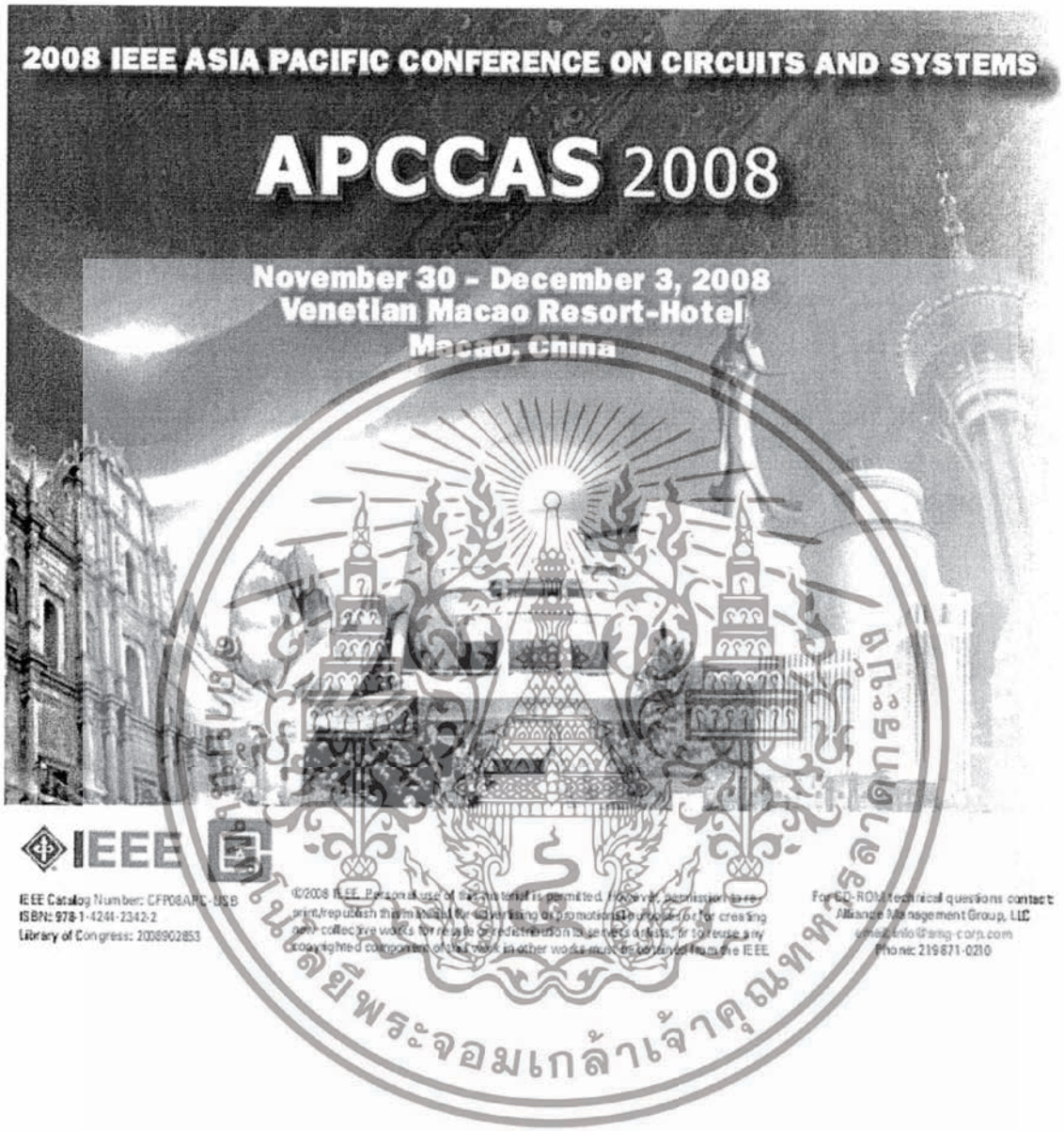
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Worapong Tangsrirat was born in Uthaithani, Thailand, in 1968. He received the B.Ind.Tech. (Honors) degree in Electronics, and M.Eng. and D.Eng. degrees in Electrical Engineering all from Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 1991, 1997, 2003, respectively. Since 1995, he has been a faculty member at KMITL, where he is currently an Associate Professor in the Department of Control Engineering and serves as the leader of Mixed Signal Processing Laboratory, Research Center for Communications and Information Technology (ReCCIT) at the same institute. He has several published papers in leading international journals and conferences, and has authored books on electronics and control. At present, his research interests are mainly in analog integrated circuits and filter design.

Danucha Prasertsom received the B.Eng. (Honors) degree in Instrumentation System Engineering from King Mongkut's Institute of Technology North Bangkok (KMITNB) in 2005, and M.Eng. degree in Control Engineering from King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 2008. In 2004, he was a member of the Independent team which won the first place of the Thailand Rescue Robot Championship 2004 and was a representative team from Thailand to participate the World Robocup Rescue Championship 2005 in Osaka, Japan. He is currently working toward the D.Eng. degree at KMITL. His research areas are mainly in analog integrated circuits and current-mode active filter design.

Wanlop Surakampontorn received the B.Eng. and M.Eng. degrees in Electrical Engineering from the King Mongkut's Institute of Technology Ladkrabang (KMITL), Bangkok, Thailand, in 1976, and 1978, respectively, and the Ph.D. in Electronics from the University of Kent at Canterbury, Kent, U.K., in 1983. Since 1978, he has been a member of the Department of Electronics, Faculty of Engineering, KMITL, where he is currently a Senior Professor of Electronic Engineering. His research interests are in the areas of analog and digital integrated circuit designs, real-time application of PC computers and microprocessors, digital signal processing, electronic instrumentation, and VLSI signal processing. He is a member of the IEICE of Japan and the IEEE.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Low-Voltage Digitally Controlled Current Differencing Buffered Amplifier

Danucha PRASERTSOM , Worapong TANGSRIRAT , Wanlop SURAKAMPONTORN

Faculty of Engineering and
Research Center for Communications and Information Technology (ReCCIT),
King Mongkut's Institute of Technology Ladkrabang (KMITL),
Chalongkrung Rd., Ladkrabang, Bangkok 10520, THAILAND
E-mail : ktworapo@kmitl.ac.th

***Abstract*—A low-voltage digitally controlled current differencing buffered amplifier (DC-CDBA) is proposed. The realization scheme is through the cascade connection of a current differencing circuit, a current division network (CDN) and a buffered voltage amplifier. To achieve the digital control of the current gain of the circuit, a novel CDN is also proposed. The proposed DC-CDBA can operate with the low supply voltage of ±1.25V. PSPICE simulations using standard 0.5-μm CMOS process parameters are in agreement with the theory.**

I. INTRODUCTION

Programmable tuning characteristic of an analog circuit is an attractive feature that is widely used in several useful applications. In analog signal processing area, there are many engineering applications which require programmable characteristics such as, adaptive filters, music synthesizers, formant speech synthesizers and tracking filters. Generally, analog or digital tuning can be employed to control the circuit parameters. However, in low-voltage applications, there is a limitation on the allowable range of the analog tuning voltage. Hence, in these applications, the digital control is more attractive [1]. Therefore, digitally programmable tuning characteristics have been an ongoing research topic for a number of years.

In 1999, a new active building block circuit, namely current differencing buffered amplifier (CDBA), was first introduced to provide new possibilities in the circuit synthesis and to simplify the circuit implementation [2]-[3]. The CDBA is suitable for integrated circuit (IC) implementation in both bipolar and CMOS technologies [3]-[8]. Moreover, since the CDBA can be considered as a collection of current and voltage-mode unity gain cells, it has large dynamic range and quite wide bandwidth similar to its current-mode counterparts such as, current feedback operational amplifiers (CFAs) and second generation current conveyors (CCIIs). Owing to these advantages of the CDBA, in this paper we present a digitally controlled CDBA (DC-CDBA) with low supply voltage operation. The proposed DC-CDBA is realized by interconnecting a current differencing circuit, a current division network (CDN), and a unity-gain voltage amplifier. The novel CDN circuit is also proposed in order to provide the digital control of the current gain of the DC-CDBA. PSPICE simulation results of the proposed low-voltage DC-CDBA are included.

II. CIRCUIT DESCRIPTIONS

A. Basic Concept

The proposed DC-CDBA is a versatile analog building block, described symbolically as shown in Fig.1(a) and mathematically by the following matrix equation.

$$\begin{bmatrix} i_z \\ v_w \\ v_p \\ v_n \end{bmatrix} = \begin{bmatrix} 0 & 0 & \alpha & -\alpha \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_z \\ i_w \\ i_p \\ i_n \end{bmatrix} \quad (1)$$

where α is the current gain that is controlled digitally. According to eq.(1), this device consists of three stages as shown in Fig.1(b). The input stage is a current differencing circuit to provide the difference of the input currents (i_p and i_n) through the terminals p and n into the x-terminal current (i_x). The second stage is a CDN, which is based on the linear current division principle. At this stage, the current i_x is copied to the z-terminal and is digitally controlled by the current gain parameter α. The last stage is simply a voltage buffer, since the voltage at the w-terminal follows the voltage of the z-terminal.

B. Current Differencing Circuit

Fig.2 shows the proposed CMOS current differencing circuit, which is composed of two unity-gain current amplifiers (M_{1A}-M_{5A}) and (M_{1B}-M_{5B}) [8]. Due to the current mirror M_7-M_8, the signal current flowing out of the terminal x (i_x) can be expressed as :

$$i_x = i_p - i_n . \quad (2)$$

In this case, the input resistances of the terminals p and n can also be written as [8] :

978-1-4244-2342-2/08/$25.00 ©2008 IEEE.

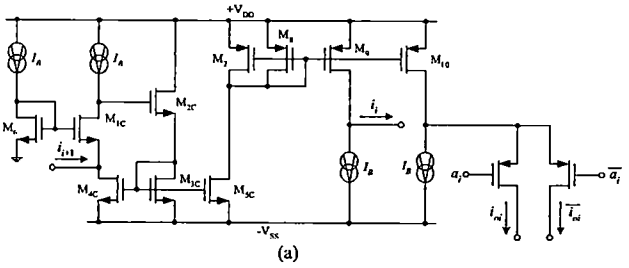
Authorized licensed use limited to: King Mongkuts Institute of Technology Ladkrabang. Downloaded on March 21,2010 at 05:42:34 EDT from IEEE Xplore. Restrictions apply.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

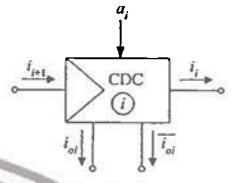
$$r_p = \left(\frac{1}{g_{m1A}}\right)\left(\frac{1}{1+F_p}\right) \quad \text{and} \quad r_n = \left(\frac{1}{g_{m1B}}\right)\left(\frac{1}{1+F_n}\right) \qquad (3)$$

where g_{miA} and g_{miB} represent respectively the transconductance of the transistors M_{iA} and M_{iB} (i = 1, 2, 3, 4, 5), $F_p = \left(\frac{g_{m2A}g_{m4A}r_{oB}}{g_{m2A}+g_{m3A}}\right)$ and $F_n = \left(\frac{g_{m2B}g_{m4B}r_{oB}}{g_{m2B}+g_{m3B}}\right)$.

Therefore, the input resistances r_p and r_n are very low due to the factors from the feedback $(1+F_p)$ and $(1+F_n)$, respectively.



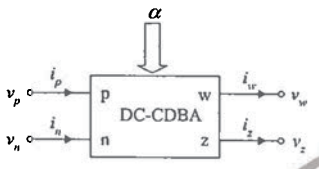
(a)



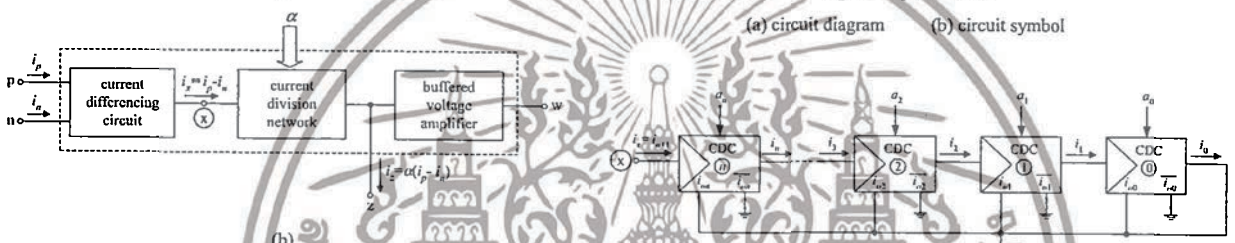
(b)

Fig.3 : Proposed CDC

(a) circuit diagram (b) circuit symbol



(a)



(b)

Fig.1 : Proposed DC-CDBA

(a) circuit symbol (b) block diagram

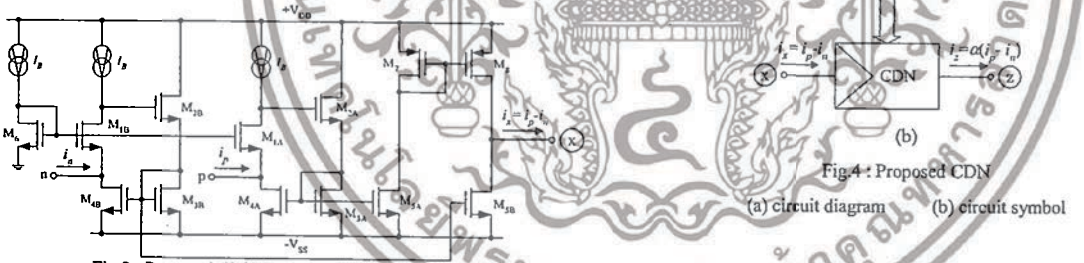


Fig.2 : Proposed CMOS current differencing circuit

(a)

α (digital control word)

(b)

Fig.4 : Proposed CDN

(a) circuit diagram (b) circuit symbol

C. *Current Division Network*

Fig.3(a) shows the proposed current division cell (CDC). It should be noted that this cell is mainly composed of the unity-gain current amplifier (M_{1C}-M_{5C}) and a current divider (M_7-M_{10}). According to the current division principle, the output currents (i_i, i_{oi} and $\overline{i_{oi}}$) of the proposed CDC related to the input current (i_{i+1}) are respectively obtained as follows.

$$i_i = \frac{i_{i+1}}{2}, \quad i_{oi} = a_i\left(\frac{i_{i+1}}{2}\right) \quad \text{and} \quad \overline{i_{oi}} = \overline{a_i}\left(\frac{i_{i+1}}{2}\right) \qquad (4)$$

where a_i is the digital control bit of this cell. The circuit symbol of the proposed CDC is depicted in Fig.3(b).

The proposed current division network (CDN), consisting of n CDCs, is shown in Fig.4(a). As can be seen, the output current i_i of the CDC$_i$ (i = 0, 1, 2, ..., n) is used as an input current of the next stage and the current i_0 is added to i_{oi}. Therefore, the output current (i_{out}) of the proposed CDN can be described by

$$i_{out} = \left(\frac{1}{2^{n+1}}\right)\left[1+\sum_{i=0}^{n} a_i 2^i\right] i_x \qquad (5)$$

or

$$\alpha = \frac{i_z}{i_p - i_n} = \frac{i_{out}}{i_x} = \left(\frac{1}{2^{n+1}}\right)\left[1+\sum_{i=0}^{n} a_i 2^i\right] \qquad (6)$$

From eq.(6), the current gain (α) of the proposed CDN can be controlled digitally, where α is less than, or equal to, unity.

Authorized licensed use limited to: King Mongkuts Institute of Technology Ladkrabang. Downloaded on March 21,2010 at 05:42:34 EDT from IEEE Xplore. Restrictions apply.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

An electrical circuit symbol of the proposed CDN is also shown in Fig.4(b).

D. *Buffered Voltage Amplifier*

The circuit of Fig.5 is a unity-gain voltage amplifier, which is based on the use of the low-input resistance input stage (M_{1D}-M_{4D}). The transistor M_{11} and two bias current sources I_B are connected as voltage level shift. Therefore, the relationship of the voltages at the terminals w and z (or v_w and v_z) can be given by

$$v_w = \beta_v v_z \tag{7}$$

and $$\beta_v = \left(\frac{g_{m11}r_{oB}}{1+g_{m11}r_{oB}}\right)\left[\frac{g_{m1D}\left(1+\frac{g_{m4D}r_{oB}}{2}\right)}{g_w+g_{m1D}\left(1+\frac{g_{m4D}r_{oB}}{2}\right)}\right] \tag{8}$$

where $g_w = 1/R_w$ and R_w is the resistor connected at the terminal w. If $g_{m11}r_{oB} >> 1$ and $g_{m1D}\left(1+\frac{g_{m4D}r_{oB}}{2}\right) >> g_w$, then $v_w \equiv v_z$.

III. Proposed Low-Voltage DC-CDBA

Fig.6 shows the proposed low-voltage DC-CDBA, which is constructed by the cascaded connection of the current differencing circuit in Fig.2, the CDN in Fig.4 and the buffered voltage amplifier in Fig.5. From the circuit diagram, it can be considered from the positive to the negative supply voltages that the proposed circuit uses only two MOS transistors and one bias current source. Therefore, the circuit can operate at a low power supply voltage of $(2V_{DSi} + V_{IB})$, where V_{DSi} and V_{IB} are the drain-to-source voltage of the MOS transistor and the voltage drop at the bias current source I_B, respectively. As an example, for the standard 0.5-μm CMOS process parameters, the threshold voltages V_{TN} and $-V_{TP}$ of the NMOS and PMOS transistors are about 0.64V and 0.91V, respectively. As a result, the minimum supply voltage is about [2(0.64V)+(0.91V)] = 2.19V or ±1.095V.

IV. Simulation Results

The proposed DC-CDBA of Fig.6 has been simulated using PSPICE program with 0.5-μm CMOS SCN05H technology provided by MOSIS. The aspect ratios of the transistors used are W/L = 20μm/1μm for the NMOS devices and W/L = 40μm/1μm for the PMOS devices, respectively. The supply voltages used are taken as : $+V_{DD} = -V_{SS} = 1.25$V, and $n = 3$ (4 bits). All the biasing currents are set to $I_B = 100\mu$A. Grounded resistors $R_z = 1$ kΩ and $R_w = 10$ kΩ are connected at the terminals z and w, respectively.

Fig.7 shows the DC current characteristics of the terminal z versus i_p when α is scanned from 0.125 to 1.000 in steps of 0.125. In Fig.8, the AC current responses of the terminal z for the same α setting are shown, which can be seen that the bandwidth is approximately equal to 100 MHz.

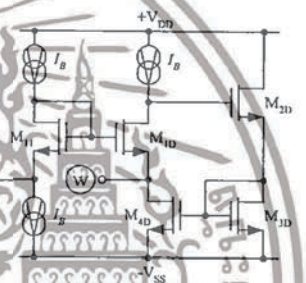


Fig.5 Buffered voltage amplifier

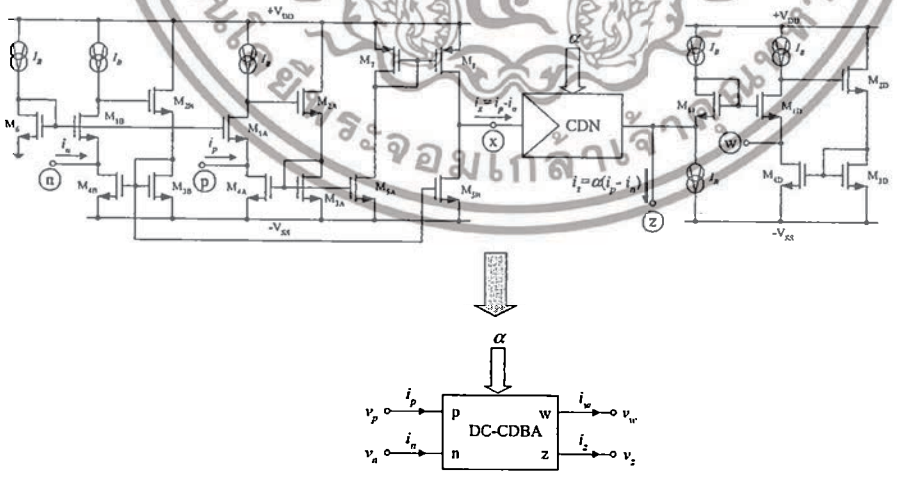


Fig.6 Proposed low-voltage DC-CDBA

Authorized licensed use limited to: King Mongkuts Institute of Technology Ladkrabang. Downloaded on March 21,2010 at 05:42:34 EDT from IEEE Xplore. Restrictions apply.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

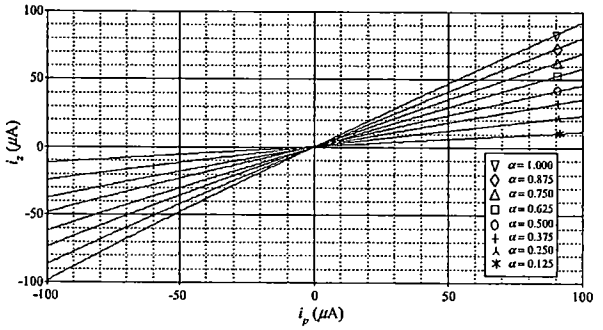


Fig.7 : DC current transfer characteristics of the proposed DC-CDBA

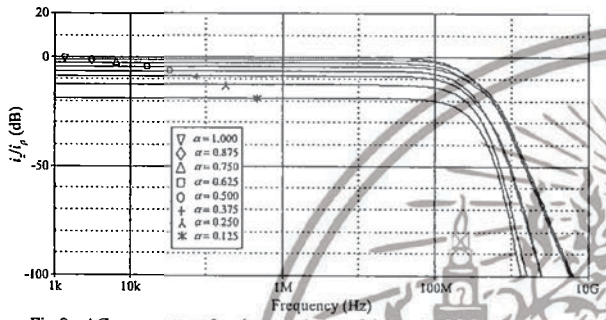


Fig.8 : AC current transfer characteristics of the proposed DC-CDBA

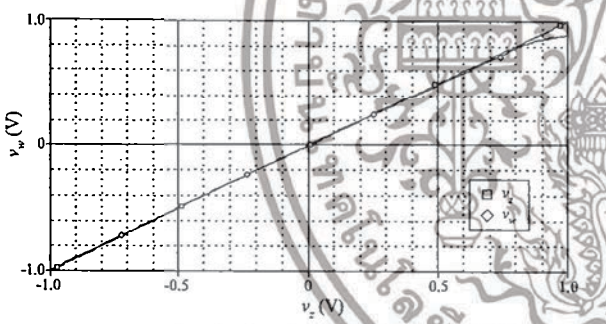


Fig.9 : DC voltage transfer characteristic of the proposed DC-CDBA

Fig.9 shows the w-terminal voltage (v_w) when the z-terminal voltage (v_z) is swept from -1V to 1V for different values of α ranging from 0.125 to 1.000 with 0.125 step. It can be seen from the figure that the inclination of the voltage transfer error starts to increase when v_z greater than +0.8V. This effect is mainly caused by the limitation of the operating range at the terminal w, which is restricted to be less than $[V_{DD} - V_{TP} - V_{DS,sat}(M_{1D})]$. The w-terminal AC voltage response is shown in Fig.10 from which it can be found that the bandwidth is approximately located at 500MHz. Therefore, the high frequency limitation of the proposed DC-CDBA is located at about 100 MHz.

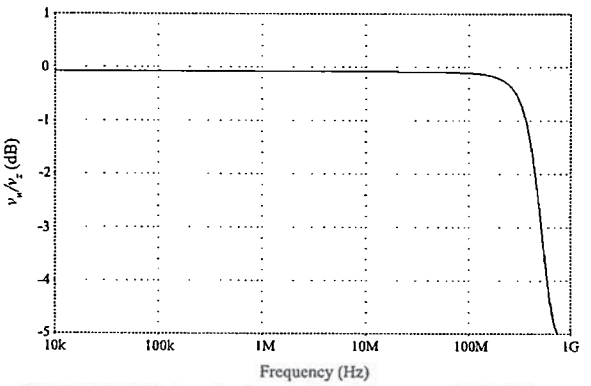


Fig.10 : AC voltage transfer characteristic of the proposed DC-CDBA

V. Conclusion

A digitally controlled current differencing buffered amplifier (DC-CDBA) is proposed. The proposed circuit is realized by the cascade connection of the current differencing circuit, the current division network (CDN) and the unity-gain voltage amplifier. A novel current division technique has also been proposed in order to provide digital control on the current gain. Applications on the proposed DC-CDBA in the realization of the digitally controlled current-mode analog signal processing are our further investigated.

Acknowledgment

This work was supported by the Commission on Higher Education, Ministry of Education, Thailand, through the Research Group Development Program (CHE-RG-01A), Research Group in Microelectronics for Communications.

References

[1] A.A. El-Adawy, A.M. Soliman and H.O. Elwan, "Low-voltage digitally controlled CMOS current conveyor", *Int. J. Electron. Commun. (AEU)*, vol.56, no.3, pp.137-144, 2002.

[2] C. Acar and S. Ozoguz, "A new versatile building block : current differencing buffered amplifier suitable for analog signal processing filters", *Microelectron. J.*, vol.30, pp.157-160, 1999.

[3] S. Ozoguz, A. Toker and C. Acar, "Current-mode continuous-time fully-integrated universal filter using CDBAs", *Electron. Lett.*, vol.35, no.2, pp.97-98, 1999.

[4] W. Tangsrirat, W. Surakampontorn and N. Fujii, "Realization of leapfrog filters using current differential buffered amplifiers", , *IEICE Trans. Fundamental.*, vol. E86-A, pp.318-326, 2003.

[5] H. Sedef and C. Acar, "On the realization of voltage-mode filters using CDBA", *Frequenz*, vol.54, pp.198-202, 2000.

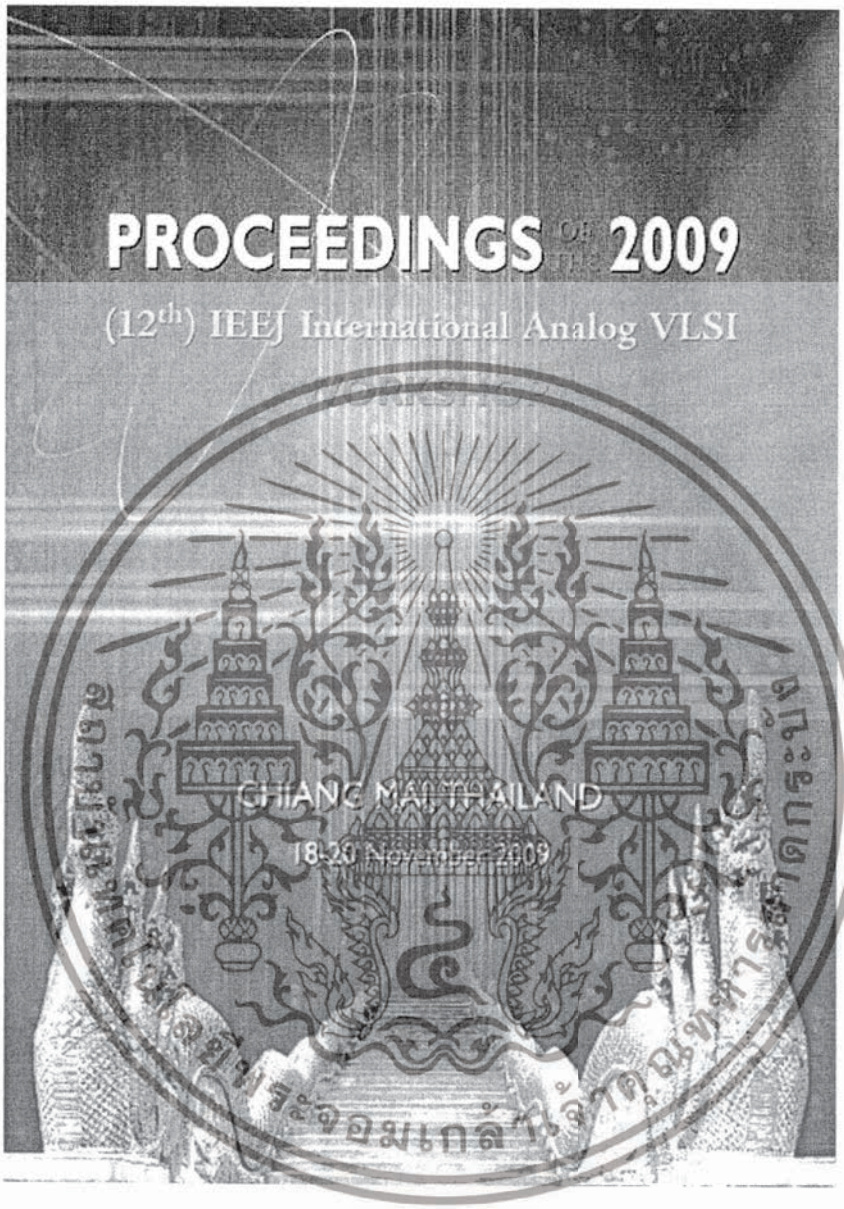
[6] N. Tarim and H. Kuntman, "A high performance current differencing buffered amplifier", *Proceedings of International Conference on Microelectronics*, Rabat, Morocco, pp.153-156, 2001.

[7] C. Acar and H. Sedef, "Realization of nth-order current transfer function using current differencing buffered amplifiers", *Int. J. Electron.*, vol.90, no.4, pp.277-283, 2003.

[8] W. Tangsrirat, K. Klahan, T. Dumawipata and W. Surakampontorn, "Low-voltage NMOS-based current differencing buffered amplifier and its application to current-mode ladder filter design", *Int. J. Electron.*, vol.93, no.11, pp.777-791, 2006.

Authorized licensed use limited to: King Mongkuts Institute of Technology Ladkrabang. Downloaded on March 21,2010 at 05:42:34 EDT from IEEE Xplore. Restrictions apply.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Proceedings of the 2009 (12th) IEEJ International Analog VLSI Workshop

Programmable Quadrature Oscillator Using DC-CDBAs

Danucha Prasertsom Worapong Tangsrirat Wanlop Surakampontorn

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL),
Chalongkrung road, Ladkrabang, Bangkok 10520, Thailand.
E-mail: danucha_1@yahoo.com, ktworapo@kmitl.ac.th

Abstract **This article presents a realization of a programmable sinusoidal quadrature oscillator employing the digitally controlled current differencing buffered amplifier (DC-CDBA) as the major active element. The proposed oscillator circuit is realized by using two DC-CDBAs, three virtually grounded resistors and two grounded capacitors. Attractive features obtained by the circuit are the ability of independent digital tuning of the oscillation condition and the oscillation frequency, and the ability of generating quadrature sinusoidal outputs with 90° phase difference. The operation of the proposed circuit is checked by PSPICE simulation.**

Keywords: current differencing buffered amplifier (CDBA), current division network (CDN), MOS transistor, current-mode circuit

I. INTRODUCTION

In 1999, an active circuit building block called a current differencing buffered amplifier (CDBA) was introduced for the first time and received considerable interest [1]. Since the CDBA consists of only unity gain cells, this element would be the most reasonable for high-frequency operation and free from many parasitic capacitances [2]-[3]. Moreover, it is quite suitable for operating in current-mode as well as in voltage-mode [4]. In a recent work, a relatively new active building block so-called DC-CDBA (Digitally Controlled CDBA) has been proposed [5]. This device is a modified version of the conventional CDBA, which its current gain can be controlled digitally. To achieve the digital control of the current gain of the circuit, the output current (i_z) of the current differencing unit is modified by the CDN (Current Division Network). The CDN block works as a current attenuator with digitally controlled attenuation. In contrast to the analog control, the DC-CDBA device seems to be optimal, because a greater accuracy of the parameter race in the application can be guaranteed [6].

The sinusoidal oscillator plays an important circuit building block widely found in several electrical engineering applications. The name quadrature sinusoidal oscillator is used because it can produce two sinusoidal outputs of identical frequency but of 90° phase difference, for examples, in telecommunications for quadrature mixers and single-sideband generators [7]-[8], and in measurement purposes for vector generator and selective voltmeters [9]. A variety of quadrature oscillator circuits using CDBAs as active elements are available in the technical literature [10]-[13]. However, these earlier reported implementations do not provide the digital tuning property of their parameters, i.e., oscillation condition and oscillation frequency (ω_o). Considering all above advantages of the DC-CDBA, in this paper, we present the programmable quadrature sinusoidal oscillator achieving the digital control of oscillation condition and ω_o. The proposed configuration consists of three DC-CDBAs, three virtually grounded resistors, and two grounded capacitors. The effects of the DC-CDBA non-idealities are also investigated. The characteristics of the proposed circuit are demonstrated by PSPICE simulation results.

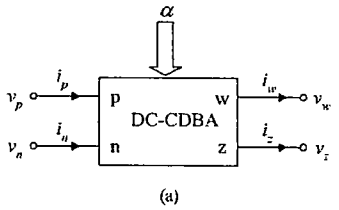
II. DIGITALLY CONTROLLED CURRENT DIFFERENCING BUFFERED AMPLIFIER (DC-CDBA)

As shown in Fig.1(a), the DC-CDBA is an analog building block, described mathematically by the following matrix equation [5].

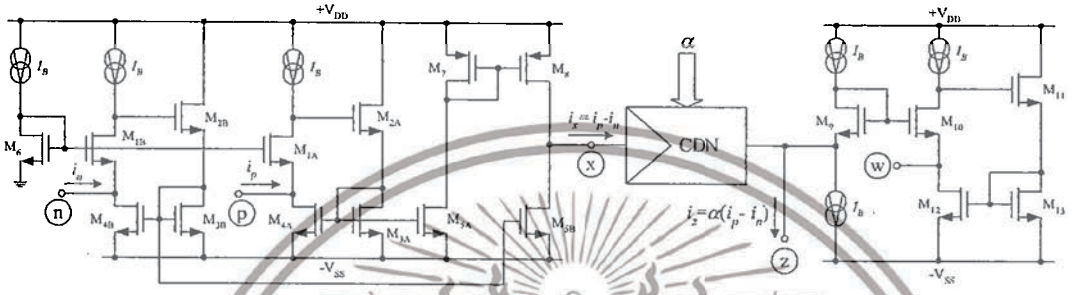
$$\begin{bmatrix} v_p \\ v_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & \alpha & -\alpha \\ 1 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_z \\ i_w \\ i_p \\ i_n \end{bmatrix} \quad (1)$$

where α is the current gain that is controlled digitally.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



(b)

Figure 1. The DC-CDBA [5].
(a) circuit representation (b) circuit realization

According to equation (1), this device basically consists of three important stages as shown in Fig.1(b). The input stage is a current differencing circuit (M_1-M_8) to provide the difference of the input currents (i_p and i_n) through the terminals p and n into the x-terminal current (i_x). The second stage is a CDN, which is based on the linear current division principle. Design details of the CDN block is also given in [5]. At this stage, the current i_x is copied to the z-terminal and is digitally controlled by the current gain parameter α. The last stage is simply a voltage buffer (M_9-M_{13}), since the voltage at the w-terminal follows the voltage of the z-terminal.

III. PROPOSED PROGRAMMABLE QUADRATURE OSCILLATOR

Fig.2 shows the proposed digitally programmable quadrature oscillator using only two DC-CDBAs, three virtually grounded resistors, and two grounded capacitors. Routine circuit analysis using the characteristic of the DC-CDBA described in equation (1) yields the characteristic equation of the circuit can as follows:

$$s^2+\left(\frac{1}{R_3}-\frac{\alpha_1}{R_1}\right)\frac{s}{C_1}+\left(\frac{\alpha_1\alpha_2}{R_2R_3C_1C_2}\right)=0 \qquad (2)$$

where α_1 and α_2 denote the digitally controlled current gain of the i-th DC-CDBA (i = 1, 2), respectively. From equation (2) the oscillation condition and oscillation frequency (ω_o) can be obtained as :

$$\alpha_1=\frac{R_1}{R_3} \qquad (3)$$

and

$$\omega_o=\sqrt{\frac{\alpha_1\alpha_2}{R_2R_3C_1C_2}} \qquad (4)$$

It can be seen from equations (3) and (4) that the oscillation condition of the proposed circuit can be controlled digitally through programming the value of α_1, while the ω_o-value can also be programmed by α_2 without affecting the oscillation condition. Therefore, both the frequency of oscillation and the condition of oscillation are orthogonally and digitally controlled.

From the configuration of Fig.2, the relationship between V_{o1} and V_{o2} can be expressed as :

$$\frac{V_{o2}}{V_{o1}}=\frac{sR_3C}{\alpha_2} \qquad (5)$$

where the phase difference is equal to ϕ = 90°. This

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

guarantees that the proposed oscillator circuit provides the quadrature outputs V_{o1} and V_{o2}.

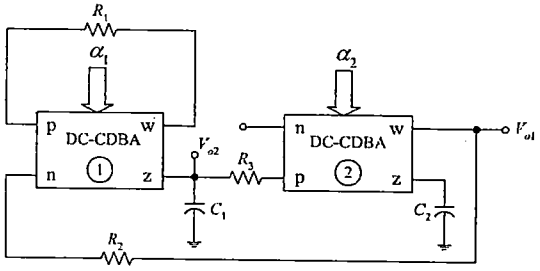


Figure 2. Proposed digitally programmable quadrature oscillator.

IV. NON-IDEAL AND SENSITIVITY ANALYSIS

By taking into consideration of the non-ideal DC-CDBA, the relationship of the terminal currents and voltages given with equation (1) can be rewritten as :

$$\begin{bmatrix} v_p \\ v_n \\ i_z \\ v_w \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & \alpha\beta_p & -\alpha\beta_n \\ \gamma & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_z \\ i_w \\ i_p \\ i_n \end{bmatrix} \quad (6)$$

where $\beta_p = (1 - \varepsilon_p)$ and ε_p ($|\varepsilon_p| << 1$) is the current-tracking error from p to z terminals, $\beta_n = (1 - \varepsilon_n)$ and ε_n ($|\varepsilon_n| << 1$) is the current-tracking error from n to z terminals, and $\gamma = (1 - \varepsilon_v)$ and ε_v ($|\varepsilon_v| << 1$) is the voltage-tracking error from z to w terminals of the DC-CDBA, respectively. Reanalysis the proposed circuit of Fig.2, the non-ideal characteristic equation becomes :

$$s^2 + \frac{s}{C_1}\left(\frac{1}{R_3} - \frac{\beta_{p1}\gamma_1\alpha_1}{R_1}\right) + \left(\frac{\beta_{p2}\beta_{n1}\gamma_1\gamma_2\alpha_1\alpha_2}{R_2R_3C_1C_2}\right) = 0 \quad (7)$$

where β_{pi}, β_{ni} and γ_i are the parameters β_p, β_n and γ of the i-th DC-CDBA, respectively. In this case, the oscillation condition and ω_o are modified as :

$$\alpha_1 = \frac{R_1}{\beta_{p1}\gamma_1 R_3} \quad (8)$$

and

$$\omega_o = \sqrt{\frac{\beta_{p2}\beta_{n1}\gamma_1\gamma_2\alpha_1\alpha_2}{R_2R_3C_1C_2}} \quad . \quad (9)$$

Sensitivity analysis of the proposed circuit with respect to active and passive elements are calculated as :

$$S^{\omega_o}_{\beta_{p2},\beta_{n1},\gamma_1,\gamma_2,\alpha_1,\alpha_2} = \frac{1}{2} \quad (10)$$

and

$$S^{\omega_o}_{R_2,R_3,C_1,C_2} = -\frac{1}{2} \quad (11)$$

As can be seen from above expressions, all the incremental parameter sensitivities for the ω_o are within 0.5 in magnitude. Hence, the proposed circuit also exhibits the attractive sensitivity performance.

V. SIMULATION RESULTS

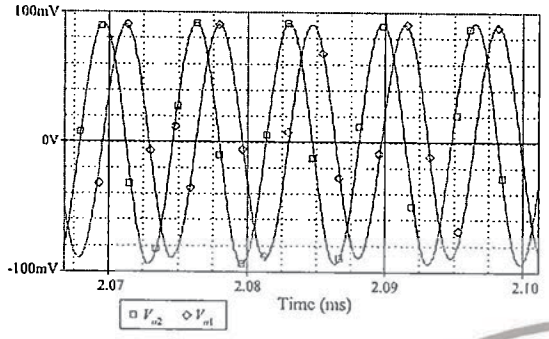
In order to exhibit the performance of the proposed oscillator circuit of Fig.2, it is simulated using PSPICE program. In the simulations, we have used the DC-CDBA implementation proposed in [5], with the digital control bit of $n = 3$ (4 bits). The supply voltages are $+V_{DD} = -V_{SS} = 1.25$ V and the biasing currents are $I_B = 200\mu$A and $I_{BB} = 100\mu$A. The dimensions of the MOS transistors are taken as W/L = 14μm/0.7μm for the NMOS devices and W/L = 20μm/0.7μm for the PMOS devices, respectively. The device model parameters used for the simulations are those extracted from TSMC 0.35μm CMOS process technology [14].

As an example, the proposed circuit is designed to generate the quadrature outputs with the oscillation frequency of $f_o = \omega_o/2\pi \cong 159$ kHz. In this case, the active and passive component values are chosen as : $\alpha_1 = \alpha_2 = 1.000$, $R_2 = R_3 = 1$ kΩ and $C_1 = C_2 = 1$ nF. Fig.3(a) shows the simulated quadrature sinusoidal outputs V_{o1} and V_{o2} of the proposed circuit, where the value of $R_1 = 925\ \Omega$ is chosen to be slightly larger than R_3 to ensure that the oscillations will start. Fig.3(b) displays the simulated frequency spectrums of the outputs V_{o1} and V_{o2}. From the simulation, the total harmonic distortion (THD) was measured about THD < 5.43%.

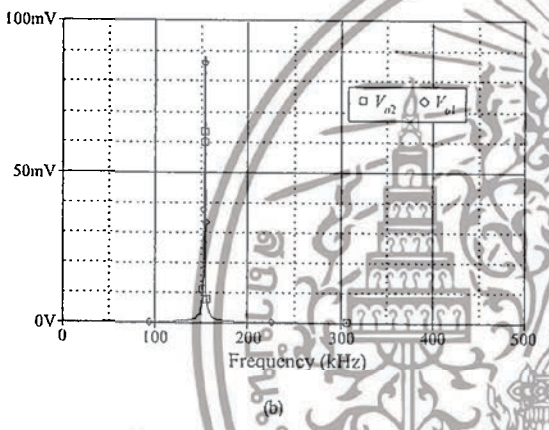
With the same setting as above, the digital tuning of the oscillation frequency f_o through the digital parameter α_2 without influencing the oscillation condition is shown in Fig.4. The results also demonstrate that as the digital parameter α_2 varies from 0.125 to 1.000, the oscillation frequencies change from approximately 56 kHz to approximately 159 kHz. The

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

deviations in the oscillation frequencies from the theoretical values are mainly caused by the non-idealities of the DC-CDBA.



(a)



(b)

Figure 3. Simulated results of the quadrature outputs V_{o1} and V_{o2}. (a) output waveforms (b) output spectrums

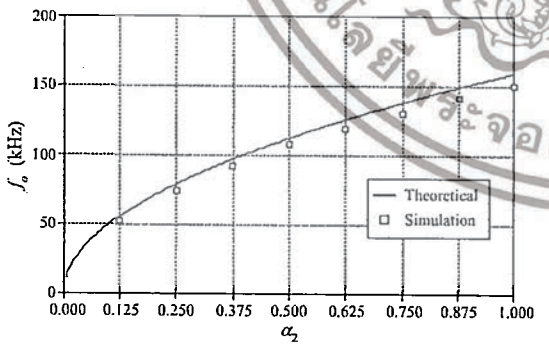


Figure 4. Theoretical and simulation results of f_o of V_{o2} by tuning α_2.

VI. CONCLUSION

In this work, the digitally programmable sinusoidal quadrature oscillator is described. The proposed circuit is composed of three DC-CDBAs, three resistors and two capacitors. It offers an independent digital control of oscillation frequency without disturbing oscillation condition through the digital control word of the DC-CDBA. Two outputs of equal magnitude but 90° phase shift are available in the circuit. The effects of the DC-CDBA non-idealities are also studied. The circuit performance is evaluated by simulations, which verify the theoretical results.

VII. ACKNOWLEDGEMENT

This work was supported by the Commission on Higher Education, Ministry of Education, Thailand, through the Research Group Development Program (CHE-RG-01A), Research Group in Microelectronics for Communications.

VIII. REFERENCES

[1] C. Acar and S. Ozoguz, "A new versatile building block : current differencing buffered amplifier suitable for analog signal processing filters", *Microelectron. J.*, vol.30, pp.157-160, 1999.

[2] S. Ozoguz, A. Toker and C. Acar, "Current-mode continuous-time fully-integrated universal filter using CDBAs", *Electron. Lett.*, vol.35, no.2, pp.97-98, 1999.

[3] W. Tangsrirat, W. Surakampontorn and N. Fujii, "Realization of leapfrog filters using current differential buffered amplifiers", *IEICE Trans. Fundamental.*, vol. E86-A, pp.318-326, 2003.

[4] A. U. Keskin, "Voltage-mode high-Q band-pass filters and oscillators employing single CDBA and minimum number of components", *Int. J. Electron.*, vol.92, no.8, pp.479-487, 2005.

[5] W. Tangsrirat, D. Prasertsom and W. Surakampontorn, "Low-voltage digitally controlled current differencing buffered amplifier and its application", *Int. J. Electron. Commun. (AEU)*, vol.63, no.4, pp.249-258, 2009.

[6] A.A. El-Adawy, A.M. Soliman and H.O. Elwan, "Low-voltage digitally controlled CMOS current conveyor", *Int. J. Electron. Commun. (AEU)*, vol.56, no.3, pp.137-144, 2002.

[7] P. Horowitz, and W. Hill, *The Art of Electronics*, Cambridge, U.K., Cambridge University Press, pp.291, 1991.

[8] I. A. Khan, S. Khawaja, "An integrable gm-C quadrature oscillator", *Int. J. Electron.*, vol.87, no.1, pp.1353-1357, 2000.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[9] U. Tietze, and C. Schenk, *Electronic Circuits : Design and Applications,* Berlin, Germany, Springer, pp.795-796, 1991.

[10] J. W. Horng, "Current differencing buffered amplifiers based single resistance controlled quadrature oscillator employing grounded capacitors", *IEICE Trans. Fundamental*, vol.E85-A, no.6, pp. 1416-1419, 2002.

[11] A. U. Keskin, C. Aydin, E. Hancioglu, and C. Acar, "Quadrature oscillator using current differencing buffered amplifiers (CDBA)", *Frequenz*, vol.60, pp.21–23, 2006.

[12] W. Tangsrirat and S. Pisitchalermpong, "CDBA-based quadrature sinusoidal oscillator", *Frequenz*, vol.61, pp.102–104, 2007.

[13] W. Tangsrirat, T. Pukkalanun and W. Surakampontorn. "CDBA-based universal biquad filter and quadrature oscillator". *Active and Passive Electronic Components*, vol.2008, Article ID 247171, 6 pages, doi : 10.1155/2008/247171.

[14] Y. Erkan, M. Sharam, and C. Oguuzhan, "A novel grounded inductor realization using a minimum number of active and passive components" *ETRI Journal*, vol. 27, no. 4, pp.427-432, 2005.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CMOS Digitally Controlled Current Follower and Its Application

Danucha Prasertsom Worapong Tangsrirat

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang (KMITL),
Chalongkrung rd., Ladkrabang, Bangkok 10520, Thailand
E-mail: danucha_1@hotmail.com, ktworapo@kmitl.ac.th

***Abstract*— A realization of the CMOS digitally controlled current follower (DC-CF) suitable for low-voltage high-frequency application is proposed. To achieve very low input resistance, it is realized using a modification of a low-input resistance stage as an input stage. To achieve the precise digital control of the current gain, the current division technique is used. The proposed DC-CF can operate with low voltage supplies of ±1.5 V, and is designed with 0.5-μm CMOS SCN05H process. As an application, the digitally programmable current-mode universal filter using the proposed DC-CF is given. Simulation results are also included.**

***Index Terms*— Current Follower (CF), Current-Mode Circuits, Digitally Programmable.**

I. Introduction

The current follower (CF) is one of the most important and versatile current-mode building blocks for realizing many analog signal-processing applications. This is a well-known fact that it offers inherent wider bandwidth, wider dynamic range, simpler circuitry, and lower power consumption due to the current-mode nature of the performed signal processing [1]. In addition, the employment of CFs as active elements increases design simplicity as it offers the ability of virtually grounding admittance when they are connected to the CF input terminal. Another significant advantage of using CFs is that the voltage tracking error related active sensitivity problems are not taken into consideration because of virtual ground at the input terminal. Therefore, a carefully selected configuration can lead to reduction of active sensitivity problems caused by the sole exiting current-tracking error. Considering this fact, the CF has attracted considerable attention as alternative to other more complex building blocks in the implementation of filtering, immittance simulating and oscillator circuits [2]-[9].

The aim of this paper is, therefore, to present a novel CMOS current follower which provides the ability of digital trimming current gain. The proposed digitally controlled current follower (DC-CF) is realized through the modification of the low-input resistance input stage [10] and the current divider cell. It is shown that the circuit utilizes the current division technique to achieve precise digital trimming with no component spreading, and uses the current-mode approach to obtain low-voltage operation and high bandwidth. An application of the proposed DC-CF in realizing digitally programmable current-mode biquadratic filter has been described. PSPICE simulation results based on the MOSIS 0.5-μm CMOS SCN05H parameters are in agreement with the presented theory.

II. Proposed Digitally Controlled Current Follower (DC-CF)

As shown in Fig.1(a), the CMOS realization of the proposed current division cell (CDC) is based on the use of the unity-gain current amplifier (M_1-M_6) with a very low-input resistance terminal [10] and a current divider circuit (M_7-M_{10}). The input terminal of this cell is held at virtual ground which results in a low-input resistance input stage (M_1-M_6). Based on the current division technique, the output currents (i_i, i_{oi} and $\overline{i_{oi}}$) of the proposed CDC related to the input current (i_{i+1}) can respectively be given by :

$$i_i = \frac{i_{i+1}}{2} \quad ; \quad i_{oi} = a_i\left(\frac{i_{i+1}}{2}\right) \text{ and } \overline{i_{oi}} = \overline{a_i}\left(\frac{i_{i+1}}{2}\right) \tag{1}$$

where a_i is the digital control bit of this cell. The circuit symbol of the CDC is represented in Fig.1(b).

Fig.2(a) shows the proposed DC-CF. It is realized through the cascading connection of n CDCs of Fig.1, where the output current i_j of the CDC$_j$ (j = 1, 2, …, n) is used as an input current of the next stage. The output current (i_{out}) of the n-stage CDCs is then applied to the unity-gain current amplifier (M_{11}-M_{19}) to provide two output currents i_{out+} and i_{out-}. Therefore, by the action of the CDC network, two output currents of the proposed DC-CF can be expressed as :

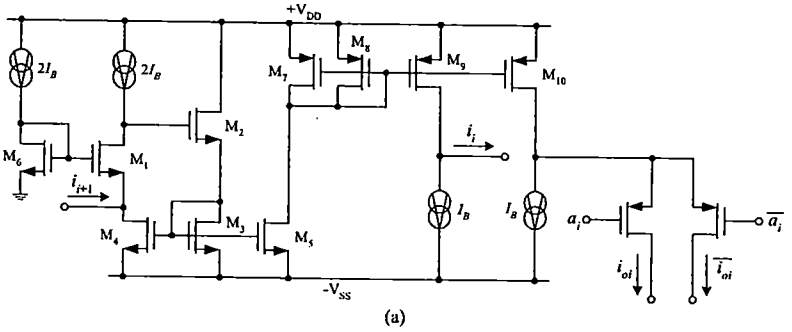
$$i_{out+} \cong i_{out-} = \alpha i_{in} \tag{2}$$

where

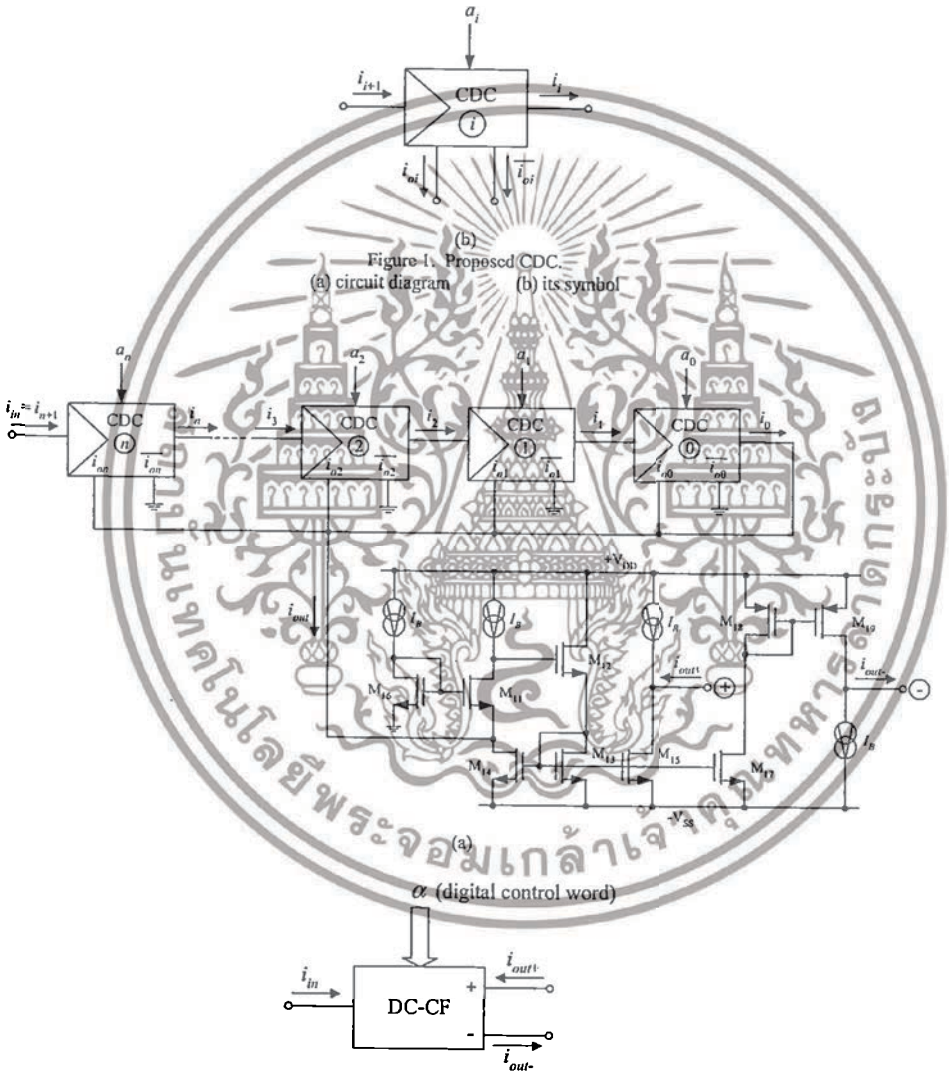
$$\alpha = \left(\frac{1}{2^{n+1}}\right)\left[1 + \sum_{i=0}^{n} a_i 2^i\right] \tag{3}$$

Authorized licensed use limited to: King Mongkuts Institute of Technology Ladkrabang. Downloaded on March 20,2010 at 09:05:14 EDT from IEEE Xplore. Restrictions apply.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



(b)

Figure 1. Proposed CDC.
(a) circuit diagram (b) its symbol

(a)

α (digital control word)

(b)

Fig.2 : Proposed DC-CF.
(a) circuit diagram (b) its symbol

Authorized licensed use limited to: King Mongkuts Institute of Technology Ladkrabang. Downloaded on March 20,2010 at 09:05:14 EDT from IEEE Xplore. Restrictions apply.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

From equation (3), it is seen that the current gain (α) of the proposed DC-CF can be controlled digitally. The circuit symbol of the proposed DC-CF is also represented in Fig.2(b).

From Fig.2(a), it can be considered from the positive to the negative supply voltages that the proposed circuit uses only two MOS transistors and one bias current source. Therefore, the circuit can operate at a low power supply voltage of ($2V_{DSi} + V_{IB}$), where V_{DSi} and V_{IB} are the drain-to-source voltage of the MOS transistor and the voltage drop at the bias current source I_B, respectively. As an example, for the standard 0.5-μm CMOS process parameters, the threshold voltages V_{TN} and $-V_{TP}$ of the NMOS and PMOS transistors are about 0.64V and 0.91V, respectively. If the bias current sources I_B are realized by the basic current mirrors, as a result, the minimum supply voltage of about [2(0.64V)+(0.91V)] = 2.19V or ±1.095V can be used.

III. Simulation Results

The proposed DC-CF of Fig.2 has been studied through PSPICE simulation using the 0.5-μm CMOS SCN05H technology. The aspect ratios of the transistors used are W/L = 20μm/1μm for NMOS devices and W/L = 40μm/1μm for PMOS devices, respectively. The power supply voltages are chosen as $+V_{DD} = -V_{SS} = 1.5$V, and all bias currents I_B are set to be 100μA. The digital control input is $n = 3$ (4 bits).

Fig.3 shows the DC current transfer characteristic of the proposed DC-CF given in Fig.2 when the input current i_{in} is varied from -100 μA to 100 μA for various values of the digitally-controlled current gain α scanning from 0.125 to 1.000 with a 0.125 step. It can be measured from simulations that the maximum offset currents are less than 5 μA. These offsets regarding theory values are mainly due to the effect of the current transfer error exhibited by the current mirror. With the same α scanning, the simulated AC current transfer characteristic of the proposed DC-CF is shown in Fig.4, from which its bandwidth of about 100 MHz is observed. All gain values are approximately changed from -30 dB to 0 dB.

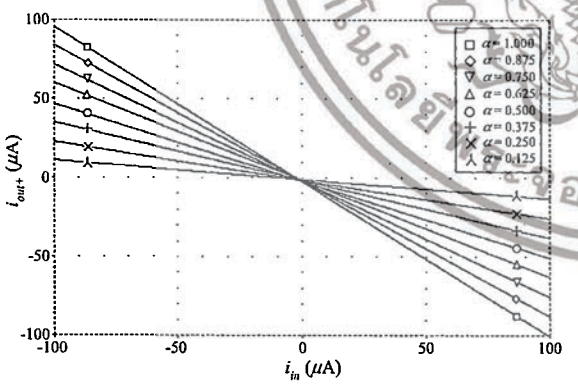


Figure 3. DC current transfer characteristic.

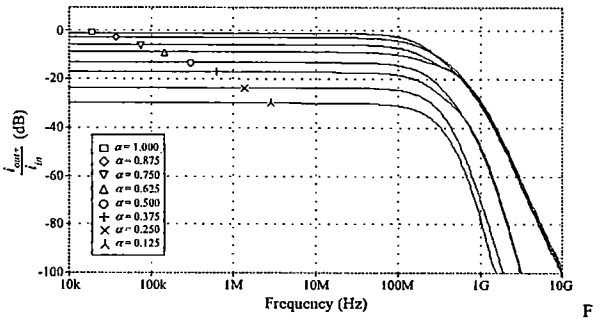


Figure 4. AC current transfer characteristic.

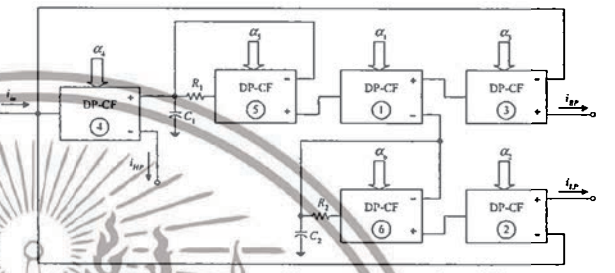


Figure 5. Digitally programmable current-mode universal filter.

IV. Digitally Programmable Current-Mode Universal Filter

As an application example of the proposed DC-CF, the digitally programmable current-mode universal filter is designed and shown in Fig.5. The configuration can simultaneously realize lowpass (LP), bandpass (BP), and highpass (HP) current responses all at the high-output impedance terminal. It also achieves independent digital control of the natural angular frequency (ω_o) and the quality factor (Q). Direct analysis of the configuration with $\alpha_4 = \alpha_5 = \alpha_6 = 1.000$ yields the following current transfer functions.

$$\frac{i_{LP}}{i_{in}} = \frac{\left(\frac{\alpha_1\alpha_2}{R_1R_2C_1C_2}\right)}{D(s)}, \quad \frac{i_{BP}}{i_{in}} = \frac{\left(\frac{\alpha_1\alpha_3}{R_1C_1}\right)s}{D(s)}, \quad \frac{i_{HP}}{i_{in}} = \frac{s^2}{D(s)}$$

$$\text{and} \quad D(s) = s^2 + \left(\frac{\alpha_1\alpha_3}{R_1C_1}\right)s + \left(\frac{\alpha_1\alpha_2}{R_1R_2C_1C_2}\right) \qquad (4)$$

From above expressions, the filter parameters ω_o and Q can be obtained as :

$$\omega_o = \sqrt{\frac{\alpha_1\alpha_2}{R_1R_2C_1C_2}} \quad \text{and} \quad Q = \frac{1}{\alpha_3}\sqrt{\frac{\alpha_2R_1C_1}{\alpha_1R_2C_2}} \qquad (5)$$

Furthermore, if $R_1 = R_2 = R$, $C_1 = C_2 = C$, $\alpha_1 = \alpha_2 = \alpha_\omega$, and $\alpha_3 = \alpha_Q$, then equation (5) become

Authorized licensed use limited to: King Mongkuts Institute of Technology Ladkrabang. Downloaded on March 20,2010 at 09:05:14 EDT from IEEE Xplore. Restrictions apply.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_o = \frac{\alpha_\omega}{RC} \quad \text{and} \quad Q = \frac{1}{\alpha_Q} \ . \qquad (6)$$

It is clear that ω_o and Q of the proposed filter are independently and digitally programmable through α_ω and α_Q, respectively.

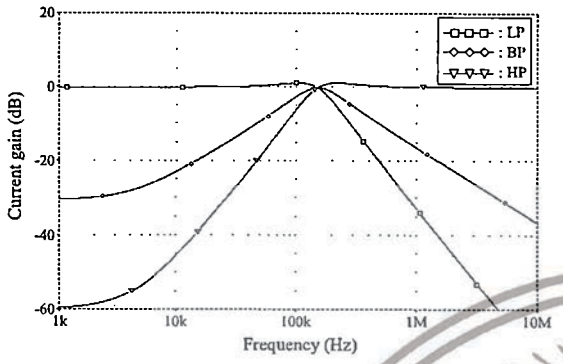


Figure 6. Simulated current responses of Fig.6 when $\alpha_\omega = \alpha_Q = 1.000$.

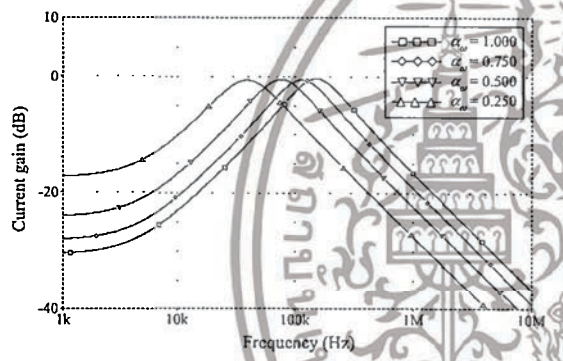


Figure 7. Simulated BP responses when α_ω is varied.

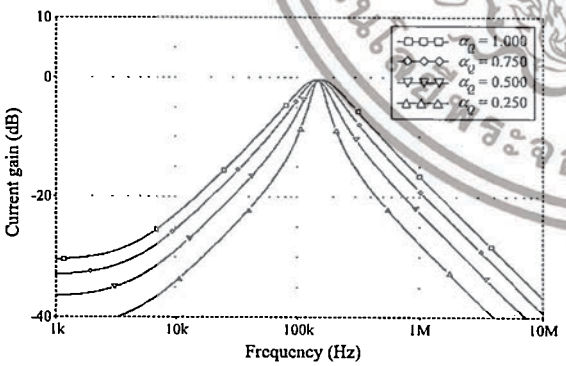


Figure 8. Simulated BP responses when α_Q is varied.

The proposed filter of Fig.5 has been simulated using PSPICE with R = 1 kΩ and C = 1 nF. Fig.6 shows the simulated current responses when $\alpha_\omega = \alpha_Q$ = 1.000. The simulated value of the natural angular frequency is approximated to $f_o = \omega_o/2\pi \cong 151$ kHz, which is in close agreement with the calculated value where f_o = 159 kHz. Fig.7 shows the simulated BP responses for four different values of α_ω, while α_Q is set to be constant at 1.000 to keep the Q-value also constant at unity. As can be seen, a digital control of f_o independent of Q is possible by programming α_ω. The tunability of Q with different values of α_Q is depicted in Fig.8 while keeping f_o constant at 159 kHz.

V. Conclusion

In this paper, the low-voltage DC-CF is proposed and simulation results are presented. The proposed DC-CF is based on a low-input resistance stage and a current division technique. The low-input resistance stage based on a negative feedback technique is employed as an input stage to provide very low input resistance. The new current division cell is also proposed and used to provide the digital control of the current gain between input and output terminals of the proposed DC-CF. As an application, a digitally programmable current-mode universal filter is also included.

References

[1] C. Toumazou, F. J. Lidgey, D. G. Haigh, *Analogue IC design : the current-mode approach*, Stevenage, U.K. : Peter Peregrinus, 1990.

[2] S.I. Liu, J.J. Chen, and J.H. Tsay, "New insensitive notch and all-pass filters with single current follower", *Electron. Lett.*, vol.27, pp.1712-1713, 1991.

[3] S. I. Liu, J. J. Chen, H. W. Taso and J. H. Tsay, "Design of biquad filters with a single current follower", *IEEE Proc. G*, vol.14, pp.165-170, 1993.

[4] S. I. Liu, J. J. Chen, and Y. S. Hwang, "New current-mode biquad filters using current followers", *IEEE Trans. Circuits Syst. I : Fundamental Theory and Applications*, vol.42, pp.380-383, 1995.

[5] E. M. Drakakis, and C. A. Karybakas, "A multiple output active filter based on current followers", *Int. J. Electron.*, vol.86, no.2, pp.141-151, 1999.

[6] R. Senani and S. S. Gupta, "New universal filter using only current followers as active elements", *Int. J. Electron. Commun. (AEU)*, vol.60, pp.251-256, 2006.

[7] A. U. Keskin, and A. Toker, "A NIC with impedance scaling properties using unity gain cells", *Analog Integr. Circ. Sig. Process.*, vol.41, pp.85-87, 2004.

[8] C. Psychalinos, and A. Spanidou, "Current amplifier based grounded and floating inductance simulators", *Int. J. Electron. Commun. (AEU)*, vol.60, pp.168-171, 2006.

[9] M. T. Abuelma'atti, "Grounded capacitor current-mode oscillator using single current follower", *IEEE Trans. Circuits Syst. I : Fundamental Theory and Applications*, vol.39, no.12, pp.1018-1020, 1992.

[10] W. Tangsrirat, K. Klahan, T. Dumawipata and W. Surakampontorn, "Low-voltage NMOS-based current differencing buffered amplifier and its application to current-mode ladder filter design", *Int. J. Electron.*, vol.93, no.11, pp.777-791, 2006.

Authorized licensed use limited to: King Mongkuts Institute of Technology Ladkrabang. Downloaded on March 20,2010 at 09:05:14 EDT from IEEE Xplore. Restrictions apply.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The 2010 International Symposium on Communications and Information Technologies will be held in Meiji University, Tokyo, Japan. Meiji University is one of major old-established universities in Japan, being located in the center of Tokyo, the most exciting city in Asia. The ISCIT presents every possibility on new information technologies. Prospective authors are invited to submit their papers reporting original work as well as tutorial overviews in all areas of information technologies and communications.

©2010 IEEE. Personal use of this material is permitted. However, permission to reprint/republish this material for advertising or promotional purposes or for creating new collective works for resale or redistribution to servers or lists, or to reuse any copyrighted component of this work in other works must be obtained from the IEEE.

IEEE Catalog Number: CFP10880-USB
ISBN: 978-1-4244-7009-9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CDBA-based Sinusoidal Quadrature Oscillator with Current Controlled Amplitude

Danucha Prasertsom Worapong Tangsrirat

Faculty of Engineering,
King Mongkut's Institute of Technology Ladkrabang (KMITL),
Ladkrabang, Bangkok 10520, THAILAND
E-mail: danucha_1@yahoo.com, drworapong@gmail.com
Tel/Fax: +66-2-326-4205

***Abstract*— This paper describes a sinusoidal quadrature oscillator circuit using current differencing buffered amplifiers (CDBAs), that features a single-resistance-controlled frequency and current amplitude control. The proposed circuit contains two CDBAs, three resistors, and two grounded capacitors. The oscillation condition (OC) and the oscillation frequency (ω_o) of the circuit are independently controlled by a single resistor, whereas the oscillation amplitude is electronically controlled by an external DC current. Outputs of two sinusoidal voltages are shifted by 90°. The validity of the proposed circuit has been verified by hardware circuit tests using AD844 based CDBA.**

I. INTRODUCTION

The quadrature sinusoidal oscillator plays an essential electronic circuit, because it can produce two sinusoidal outputs of identical frequency but of 90° phase shift, as for example in telecommunications for quadrature mixers and single-sideband generators [1], or for measurement purposes in vector generator or selective voltmeters [2]. As a result, quadrature oscillators widely find various applications in modulators and spectral phase measurements [3]-[4]. In 1999, C. Acar and S. Ozoguz presented a versatile active building block called as a current differencing buffered amplifier (CDBA) [5]. It offers several advantageous features, such as high slew rate, free from parasitic capacitances, improved bandwidth and accurate port tracking characteristics. After a few years, various analog signal processing and conditioning circuit realization schemes based on CDBAs have been appeared in the recent technical literature [6]-[14]. The CDBA is also useful for sinusoidal quadrature oscillator design [11]-[14]. The oscillation condition (OC) and oscillation frequency (ω_o) of these oscillators are independently controllable. However, the performance of electronic controlling in the oscillation amplitude has not yet been achieved.

In this paper, a new sinusoidal quadrature oscillator circuit with current controlled amplitude is presented. The proposed oscillator circuit employs two CDBAs, three virtually grounded resistors and two grounded capacitors, which is advantageous from the integrated circuit (IC) implementation point of view [15]. The ω_o of the circuit is orthogonal control through a single resistor, and the OC is satisfied without disturbing the ω_o-value. Moreover, the oscillation amplitude can be electronically controlled by an external DC current. The usefulness of the proposed circuit is confirmed by laboratory experiments using commercially available current feedback amplifier (CFA) AD844-based CDBA.

II. BASIC IDEA

To begin our development, let us briefly consider the dynamic behavior of the second-order system. In general, we found that the describing equation of a second-order system can be characterized by a second-order differential equation of the following standard form :

$$\frac{d^2x(t)}{dt^2}+(2\zeta\omega_o)\frac{dx(t)}{dt}+\omega_o^2x(t)=f(t) \qquad (1)$$

where ζ is called as the exponential damping ratio, ω_o is referred to as the natural angular frequency, and $f(t)$ is the input forcing function which is a known function determined by the independent sources. However, the realization in this work is based on the conceptual analysis of multiple time variables, which is recently proposed in [16]-[17]. With this concept, the input forcing function can be applied to the system at another variable of time (τ). Thus, equation (1) can be rewritten as :

$$\frac{d^2x(t)}{dt^2}+(2\zeta\omega_o)\frac{dx(t)}{dt}+\omega_o^2x(t)=f(\tau) \quad . \qquad (2)$$

As a general rule, then, the total response of equation (2) is of the following equation :

$$x(t,\tau)=x_n(t)+x_f(\tau) \quad . \qquad (3)$$

where $x_n(t)$ is the natural response obtained by setting $f(\tau)=0$, and $x_f(\tau)$ is the forced response. For the underdamped case ($\zeta < 1$), the total response of equation (3) can be rewritten as :

$$x(t,\tau)=A_1e^{(\sigma+j\omega_d)t}+A_2e^{(\sigma-j\omega_d)t}+x_f(\tau) \qquad (4)$$

978-1-4244-7009-9/10/$26.00 ©2010 IEEE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

where $\sigma = \zeta\omega_o$ and $\omega_d = \omega_o(1 - \zeta^2)^{1/2}$. In case where $x_n(t)$ is an undamped oscillatory response (i.e., $\sigma = 0$ and $A_1 = A_2 = A/2$), the complete response reduces to

$$x(t,\tau) = A\cos\omega t + x_f(\tau) \tag{5}$$

In equation (5), A is the constant that can be evaluated via the initial conditions : $t = 0$, $x(0,\tau) = X_0$ and $dx(0,\tau))/dt = 0$. Therefore, the initial conditions produce the constant $A = (X_0 - x_f(\tau))$, and equation (5) becomes

$$x(t,\tau) = [X_0 - x_f(\tau)]\cos\omega t + x_f(\tau) \tag{6}$$

From equation (6), we see that the amplitude of the natural response depends upon the initial value X_0 and the forced response $x_f(\tau)$. It is, therefore, possible to control the amplitude of the oscillated output by $x_f(\tau)$ at any arbitrary time. As a result, the precision amplitude control of the resulting oscillator has been achieved. In the next section, we will apply this method to implement a quadrature oscillator circuit, in which its oscillation amplitude can be controlled electronically.

III. Oscillator Realization

The circuit symbol of the CDBA is shown in Fig.1. The CDBA is a four terminal analog circuit building block described by the following relations.

$$\begin{bmatrix} i_z \\ v_w \\ v_p \\ v_n \end{bmatrix} = \begin{bmatrix} 0 & 0 & 1 & -1 \\ 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} v_z \\ i_w \\ i_p \\ i_n \end{bmatrix} \tag{7}$$

From equation (7), the CDBA can be considered as a transimpedance amplifier that converts the difference of the input currents i_p and i_n at the terminals p and n, respectively, into the output voltage v_w at the terminal w through an impedance connected at the terminal z. It can be further inferred that the terminal impedances of the p and n terminals must be very low.

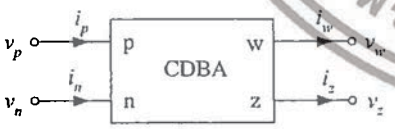


Fig.1 : Circuit symbol of the CDBA.

Using the method introduced in previous section, the proposed quadrature oscillator circuit with current-controlled amplitude using CDBAs as active elements is shown in Fig.2. The proposed circuit consists of two CDBAs, three virtually grounded resistors, and two grounded capacitors. Note that an external current $i_f(\tau)$ functions as the forced input that is applied to the circuit at any arbitrary time τ. Also, a notable feature of the structure of Fig.2 is the use of both grounded capacitors, which is attractive from the viewpoint of integrated circuit implementation [15]. Similar analysis yields the describing equation of the proposed CDBA-based quadrature oscillator circuit in Fig.2 as follows :

$$\frac{d^2v_{o1}(t)}{dt^2} + \frac{1}{C_1}\left(\frac{1}{R_3} - \frac{1}{R_1}\right)\frac{dv_{o1}(t)}{dt} + \left(\frac{1}{R_2R_3C_1C_2}\right)v_{o1}(t) = \frac{i_f(\tau)}{R_2C_1C_2} \tag{8}$$

For sustained steady-state oscillation, one may infer that the exponential damping ratio ζ must be zero ($\zeta = 0$). Thus, from equation (8), the corresponding oscillation condition (OC) is found to be

$$R_1 = R_3 \tag{9}$$

and, then, the ω_o that follows from equation (8) is obtained as :

$$\omega_o = \frac{1}{\sqrt{R_2R_3C_1C_2}} \tag{10}$$

As clearly seen from equations (9) and (10), a virtually grounded resistor R_1 controls the OC of the proposed oscillator circuit without interfering with the ω_o, which is controlled by a single resistance R_2. Therefore, both OC and ω_o can be orthogonally controlled.

Additionally, it is easy to find from Fig.2 that the relationship between $v_{o1}(t)$ and $v_{o2}(t)$ can be expressed as :

$$\frac{V_{o1}(s)}{V_{o2}(s)} = sR_3C_2 \tag{11}$$

Equation (11) shows that the phase difference between $v_{o1}(t)$ and $v_{o2}(t)$ of 90° is obtained, thus providing quadrature property to the proposed oscillator circuit.

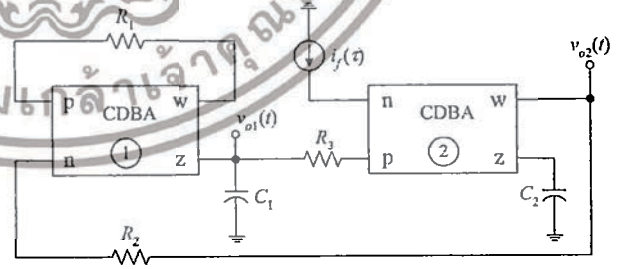


Fig. 2 Proposed CDBA-based quadrature oscillator with current amplitude control.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Furthermore, substituting equation (9) into equation (8), i.e. when the OC is satisfied, it can be seen that, when $i_f(\tau)$ is an external DC bias current I_f, equation (8) simplifies to

$$\frac{d^2 v_{o1}(t)}{dt^2} + \left(\frac{1}{R_2 R_3 C_1 C_2}\right) v_{o1}(t) = \frac{I_f R_3}{R_2 R_3 C_1 C_2} \quad . \qquad (12)$$

As follows from equations (5) and (6) at the initial condition $t = 0$, the resulting complete response for $v_{o1}(t)$ can then be obtained as :

$$v_{o1}(t,\tau) = [V_{sat} - I_f R_3]\cos\omega_o t + I_f R_3 \qquad (13)$$

where V_{sat} is the saturation voltage at the z-terminal of the CDBA. Equation (13) readily shows that the oscillation amplitude now depends on a constant forcing function, I_f. Thus, it is possible to control the amplitude of the oscillated output voltage $v_{o1}(t)$ by electronic means through tuning the value of I_f.

IV. Experimental Results

To verify the workability of above given theoretical analysis, the proposed CDBA-based quadrature oscillator of Fig.2 has been experimentally tested. For the purpose of experimental verification, the CDBA element was constructed by based on the use of two CFA AD844s shown in Fig.3 [18], and 1% tolerance RC components were used. The DC power supplied were chosen as : ±5V.

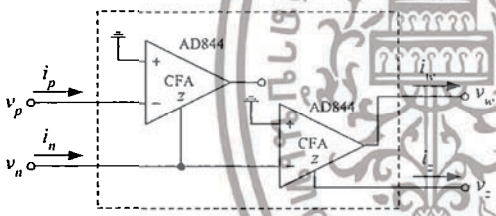
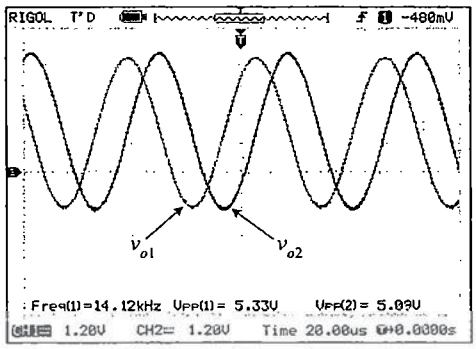
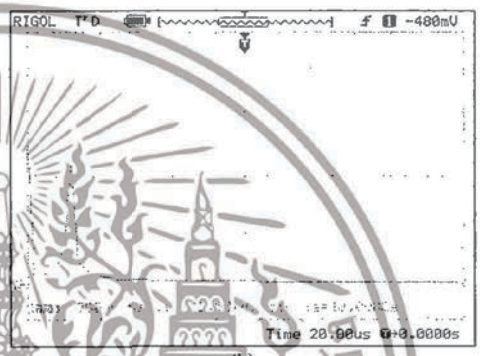


Fig.3 : Practical realization with two CFA AD844s.

As an example, to obtain the quadrature output waveforms with the oscillation frequency of $f_o = \omega_o/2\pi \cong 15.91$ kHz, the values for resistors and capacitors were chosen as : $R_2 = R_3 = 10$ kΩ and $C_1 = C_2 = 1$ nF. In order to ensure that the oscillations will start, the value of R_1 was slightly increased from its theoretical value of 10 kΩ to 10.5 kΩ. Fig.4(a) shows the measured quadrature sinusoidal outputs v_{o1} and v_{o2} of the proposed oscillator of Fig.2, when $I_f = 0$ A. From the experimental results, the amplitudes of the quadrature sinusoidal outputs v_{o1} and v_{o2} are approximately equal, and they are 90° out of phase, which is close to the theoretical analysis. The oscillation frequency of $f_o \cong 14.12$ kHz can be measured, thus the percentage error in f_o equal to –1.125%. Fig.4(b) represents the frequency spectrums of the output v_{o1}, from which the percent total harmonic distortion (%THD) was found in the order of 1.1%.



(a)



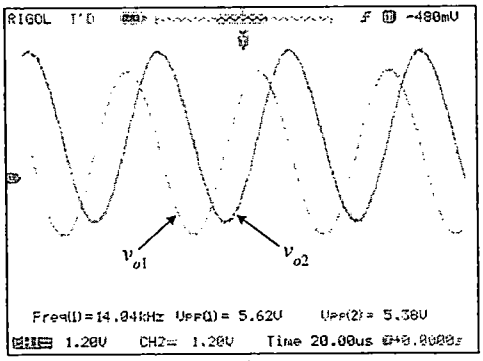
(b)

Fig.4 : Experimental results on the proposed oscillator circuit of Fig.2, when $I_f = 0$ A.
(a) typical output waveforms of v_{o1} and v_{o2}. (vertical scale is 1.2 V/div. and horizontal scale is 20 μs/div.)
(b) frequency spectrum of v_{o1}. (vertical scale is 0.5 Vrms/div. and horizontal scale is 12.50 kHz/div.)

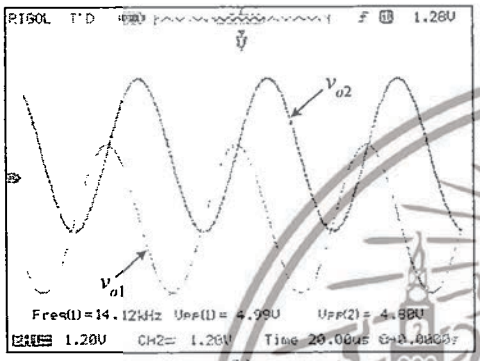
Next, in order to demonstrate the current controlling amplitude of the oscillated quadrature outputs, the propose circuit is experimentally tested by varying the value of I_f to be 150 μA, 200 μA and 250 μA, respectively. The results obtained are shown in Fig.5. Fig.6 displays the plot of the amplitudes of the two oscillating output signal v_{o1} and v_{o2} against the controlling current I_f. As it can be remarked from Figs.5 and 6, the oscillation signal amplitudes decrease when the value of I_f is increased. It is to be noted also that the experimental test results agree well with the theory as expected.

In addition, the experimental results of the f_o of v_{o1}, which are obtained by varying the value of the resistor R_2, are shown in Fig.7, and the experimental and theoretical results are in a agreement as well.

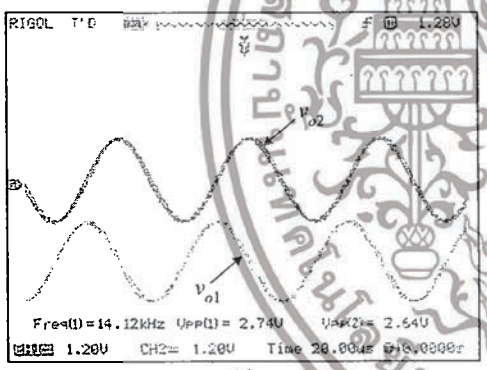
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(a)



(b)



(c)

Fig.5 : Experimental waveforms of v_{o1} and v_{o2}. (vertical scale is 1.2 V/div. and horizontal scale is 20 μs/div.) (a) when I_f = 150 μA (b) when I_f = 200 μA (c) when I_f = 250 μA

V. CONCLUSION

This paper presents a quadrature sinusoidal oscillator employing two CDBAs, two grounded capacitors, and three virtually grounded resistors. The circuit provides two sinusoidal outputs with the phase difference of 90°, and an orthogonal control of the oscillation frequency and oscillation condition. With the proposed configuration, the amplitude of quadrature output voltages can be controlled directly through adjusting the value of external DC current. The results of measurements appear to be in approximate agreement with the presented theory.

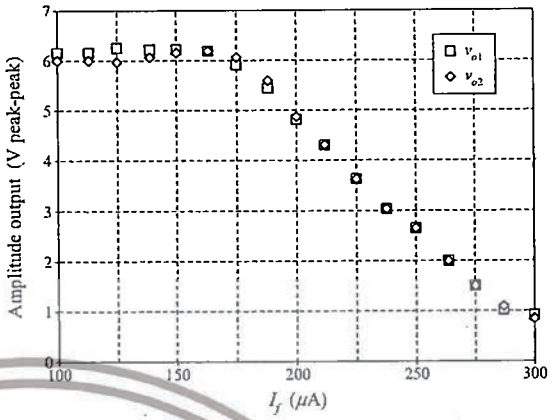


Fig.6 : Amplitude control characteristic by I_f.

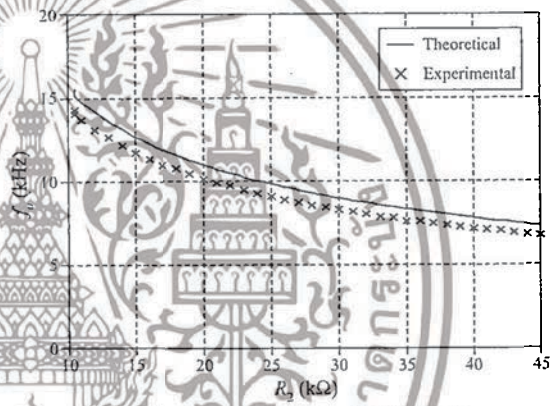


Fig.7 : Frequency control characteristic by R_2.

REFERENCES

[1] P. Horowitz and W. Hill, *The Art of Electronics*, Cambridge, U.K., Cambridge University Press, 1991.

[2] U. Tietze and C. K. Schenk, *Electronic Circuits : Design and Applications*, Berlin, Germany, Springer, pp.795-796, 1991.

[3] R. Holzel, "A simple wide-band sine wave quadrature oscillator", *IEEE Trans. Instrum. Meas.*, vol.42, pp.758-760, 1993.

[4] I. A. Khan and S. Khwaja, "An integrable gm-C quadrature oscillator", *Int. J. Electron.*, vol.87, pp.1353-1357, 2000.

[5] C. Acar and S. Ozoguz, "A new versatile building block : current differencing buffered amplifier suitable for analog signal processing filters", *Microelectron. J.*, vol.30, pp.157-160, 1999.

[6] K. N. Salama, A. M. Soliman, "Voltage mode Kerwin Huelman-Newcomb circuit using CDBAs", *Frequenz*, vol.54, no.7-8, pp.90-93, 2000.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

[7] W. Tangsrirat, W. Surakampontorn and N. Fujii, "Realization of leapfrog filters using current differential buffered amplifiers", *IEICE Trans. Fundamental.*, vol.E86-A, pp.318-326, 2003.

[8] S. Maheshwari, I. A. Khan, "Novel voltage-mode universal filter using only two CDBAs", *J. Circuits, Systems, and Computers*, vol.14, no.1 pp.159-164, 2005.

[9] W. Tangsrirat and W. Surakampontorn, "Realization of multiple-output biquadratic filters using current differencing buffered amplifiers", *Int. J. Electron.*, vol.92, no.6, pp.313-325, 2005.

[10] A. U. Keskin, "Multi-function biquad using single CDBA", *Electrical Engineering*, vol.88, pp.353-356, 2006.

[11] W. Tangsrirat, T. Pukkalanun and W. Surakampontorn, "CDBA-based universal biquad filter and quadrature oscillator", *Active and Passive Electronic Components*, vol. 2008, Article ID 247171, 6 pages, 2008. doi:10.1155/2008/247171.

[12] J. W. Horng, "Current differencing buffered amplifiers based single resistance controlled quadrature oscillator employing grounded capacitors", *IEICE Trans. Fundamental.*, vol.E85-A, pp.1416-1419, 2002.

[13] W. Tangsrirat and S. Pisitisitchalermpong, "CDBA-based quadrature sinusoidal oscillator", *Frequenz*, vol.61, no.3-4, pp. 102-104, 2007.

[14] W. Tangsrirat, D. Prasertsom, T. Piyatat and W. Surakampontorn, "Single-resistance-controlled quadrature oscillator using current differencing buffered amplifiers", *Int. J. Electron.*, vol.95, no.11, pp.1119-1126, 2008.

[15] M. Sundaramurthy, B. B. Bhattacharyya and M. N. S. Swami, "A simple voltage controlled oscillator with grounded capacitors", *Proceedings of the IEEE*, vol.65, pp.1612-1614, 1977.

[16] J. Roychowdhury, "Analyzing circuits with widely separated time scales using numerical PDE methods", *IEEE Trans. Circuits Syst I : Fundam. Theory Appl.*, vol.48, no.5, pp.578-594, 2001.

[17] T. Maneechukate, J. Koseeyaporn, P. Wardkein and P. Koseeyaporn, "Wide-band amplitude control of the second-order oscillator circuit", *Int. J. Electron. Commun. (AEU)*, vol.62, no.9, pp.666-673, 2008.

[18] J. A. Svoboda, L. McGory and S. Webb, "Applications of a commercially available current conveyor", *Int. J. Electron.*, vol.70, pp. 159-164, 1991.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ-นามสกุล	นายดนุชา ประเสริฐสม
ประวัติการศึกษา	สำเร็จการศึกษาระดับปริญญาตรีหลักสูตรวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมระบบเครื่องมือวัด (เกียรตินิยม) จากคณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าพระนครเหนือปีการศึกษา 2547ในปีการศึกษา 2551 สำเร็จการศึกษาระดับปริญญาโทหลักสูตร วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมระบบควบคุม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง และในปีการศึกษา 2551 ได้เข้าศึกษาในหลักสูตร วิศวกรรมศาสตร์ดุษฎีบัณฑิต สาขาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ประวัติการทำงาน	พ.ศ.2551 ถึงปัจจุบัน อาจารย์ประจำภาควิชาวิศวกรรมไฟฟ้าและคอมพิวเตอร์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้