

การออกแบบวงจรสื่อสารในรูปแบบดิจิทัลให้ทำงานที่ความเร็วสูง:
วงจรไตรสเตทป์เฟอ์ทำงานที่ความเร็วสูงและใช้แรงดันต่ำ
โดยไม่อาศัยเทคนิคชาร์จปั้ม

HIGH SPEED DIGITAL COMMUNICATION CIRCUIT DESIGN:
A HIGH SPEED AND LOW VOLTAGE BiCMOS TRISTATE
BUFFER WITHOUT CHARGE PUMP



T120061



ณัฐวัฒน์ ภูมิปัญญารัตน์

NATTAWAT PHUMPANYARUT

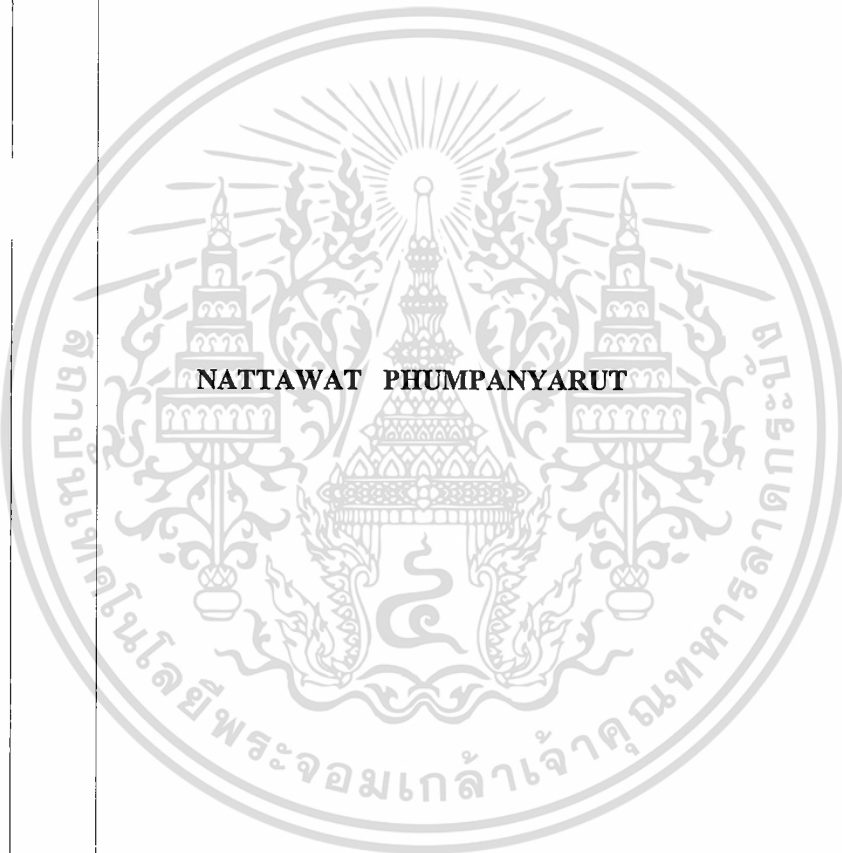
๐๓ ๓ ๕๙ ๕ ๗

เลขหมู่..... ๑๖๕๔
เลขทะเบียน..... 120061
วัน, เดือน, ปี..... 1 0 ๗ 2555

b. 1๑๖๗๔๘๖๐
i.

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

**HIGH SPEED DIGITAL COMMUNICATION CIRCUIT DESIGN:
A HIGH SPEED AND LOW VOLTAGE BICMOS TRISTATE
BUFFER WITHOUT CHARGE PUMP**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2011

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานภายในเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KMITL 2011-EN-010-114



COPYRIGHT 2011

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนเวลาสำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้ดูให้ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์

การออกแบบวงจรสื่อสารในรูปแบบดิจิทัลให้ทำงานที่ความเร็วสูง:
วงจรไทรสเททท์เฟอ์ทำงานที่ความเร็วสูง และใช้แรงดันต่ำ โดยไม่
อาศัยเทคนิคซาร์จปั้ม

นักศึกษา

นาย ณัฐวัฒน์ ภูมิปัญญารัตน์

รหัสประจำตัว

52611228

ปริญญา

วิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชา

วิศวกรรมโทรคมนาคม

พ.ศ.

2554

อาจารย์ที่ปรึกษา

รศ.ดร. กอบชัย เดชหาญ

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้เสนอการออกแบบวงจรไบซิมอสไทรสเททท์เฟอ์ทำงานที่ความเร็วสูงโดยไม่อาศัยเทคนิคซาร์จปั้ม ลดการสูญเสียเวลาในการชาร์จคาปาซิเตอร์ลงเพื่อเพิ่มความเร็วในการทำงานของวงจรด้วยการจ่ายกระแสเบสของทรานซิสเตอร์ที่ใช้ขับ โหลดโดยตรง เพื่อให้เกิดการสวิตชิ่งเร็วขึ้นต่อการขับ โหลดจากภายนอกวงจรที่นำเสนอสามารถทำงานได้ที่ความถี่สูงถึง 2.5 GHz และแรงดันแหล่งจ่าย 0.8 V โดยที่เอาท์พุทยังสามารถแกว่งได้เต็มช่วง สำหรับค่าเวลาการประวิงการแพร่กระจายและการสลับพลังงานมีค่าต่ำกว่าวงจรไบซิมอสที่ใช้อยู่ในปัจจุบัน สำหรับผลลัพธ์ทั้งหมดได้มาจากการจำลองการทำงานบนโปรแกรม HSpice โดยใช้เทคโนโลยี 22 nm

เอกสารนี้เป็นเอกสารที่ส่งงานไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis	High Speed Digital Communication Circuit Design: A High Speed and Low Voltage BiCMOS Tristate Buffer without Charge Pump
Student	Mr. Nattawat Phumpanyarut
Student ID.	52611228
Degree	Master of Engineering
Program	Telecommunications Engineering
Year	2011
Thesis Advisor	Assoc. Prof. Dr. Kobchai Dejhan

ABSTRACT

This paper proposes a design of high speed BiCMOS Tristate buffer circuit without charge pump technique. It decreases time in charging the capacitor by using CMOS inverters for driving directly to the transistor base and drive the output section for improving the switching speed with the capacitive load. The proposed circuit has the lower propagation delay time than the previous circuits, low power dissipation and full swing output voltage at 0.8 volt supply voltage and also can operates at 2.5 GHz when compared with the CMOS tristate buffer circuit. All simulation results have been carried out based on HSpice program simulator by using 22 nm technology.

กิตติกรรมประกาศ

ผู้วิจัยขอกราบขอบพระคุณ รศ.ดร. กอบชัย เดชหาญ ที่ให้คำแนะนำและช่วยเหลือสนับสนุนที่เป็นประโยชน์ต่อการทำวิจัยและทำให้วิทยานิพนธ์นี้สำเร็จลุล่วงได้ ขอขอบพระคุณบิดา มารดา ที่ให้การสนับสนุนและให้กำลังใจตลอดการศึกษา ขอขอบพระคุณ ดร. สิริภพ ผู้ประกาย และคุณสมภพ เทียนทอง ที่ให้การช่วยเหลือ ให้คำปรึกษาต่างๆที่เกี่ยวกับการทำวิทยานิพนธ์ฉบับนี้ ผู้วิจัยรู้สึกซาบซึ้งในความอนุเคราะห์จากท่านและขอกราบขอบพระคุณเป็นอย่างสูง

ณัฐวัฒน์ ภูมิปัญญารัตน์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VI
สารบัญรูป.....	VII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	3
1.3 สมมติฐานของการศึกษา.....	3
บทที่ 2 ทฤษฎีการทำงานของมอสทรานซิสเตอร์.....	4
2.1 บทนำ.....	4
2.2 โครงสร้างของมอสทรานซิสเตอร์.....	4
2.3 สัญลักษณ์ของมอสทรานซิสเตอร์.....	5
2.4 การทำงานของมอสทรานซิสเตอร์.....	6
2.5 คุณสมบัติทางสัปดาห์กับกระแสของมอสทรานซิสเตอร์.....	8
2.5.1 การทำงานในช่วงคัทออฟ.....	11
2.5.2 การทำงานในช่วงไม้อิ่มตัวหรือช่วงเชิงเส้นหรือช่วงไตรโอด.....	12
2.5.3 การทำงานในช่วงอิ่มตัว.....	12
2.6 เทคโนโลยีไบซีมอส.....	15
2.6.1 ไบโพลาร์โดยใช้เทคโนโลยีไบซีมอส.....	15
2.6.2 ไบซีมอสเทคโนโลยีบนพื้นฐานมอส.....	16
2.7 โครงสร้างและการทำงานของวงจรวจรไบซีมอส.....	16
2.8 การออกแบบวงจรวจรไบซีมอส.....	19
2.8.1 โครงสร้างแบบอิมิตเตอร์ร่วม.....	20
2.8.2 โครงสร้างแบบเกต-ไดโอด.....	22
2.8.3 โครงสร้างแบบอิมิตเตอร์-ฟอลโลเวอร์.....	23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
2.9 ประเภทของวงจรไบซีมอส.....	28
2.10 การเชื่อมโยงวงจรไบซีมอสและซิมอสลอคจิก.....	31
บทที่ 3 วงจรไทรสเททบัฟเฟอร์.....	35
3.1 บทนำ.....	35
3.2 วงจรไทรสเททบัฟเฟอร์ชนิดทีทีแอล.....	35
3.3 วงจรซิมอสไทรสเททบัฟเฟอร์.....	37
บทที่ 4 วงจรไบซีมอสไทรสเททบัฟเฟอร์ที่นำเสนอ.....	39
4.1 วงจรซิมอสไทรสเททบัฟเฟอร์แบบทั่วไป.....	39
4.1.1 การทำงานของวงจร.....	39
4.2 วงจรไทรสเททบัฟเฟอร์ในรูปแบบวงจรไบซีมอส.....	40
4.2.1 การทำงานของวงจร.....	41
4.3 วงจรไบซีมอสไทรสเททบัฟเฟอร์อาศัยเทคนิคการชาร์จปั๊ม.....	42
4.3.1 การทำงานของวงจร.....	42
4.4 วงจรไบซีมอสไทรสเททบัฟเฟอร์ไม่อาศัยเทคนิคการชาร์จปั๊มที่นำเสนอ.....	43
4.4.1 การทำงานของวงจร.....	44
บทที่ 5 ผลการทดสอบคุณสมบัติของวงจรไบซีมอสไทรสเททบัฟเฟอร์.....	47
5.1 การทดสอบวัดสัญญาณเอาต์พุตของวงจรที่นำเสนอในสภาวะการทำงานที่ Hi-Z ที่ความถี่ 2.5 GHz ที่ระดับแรงดันแหล่งจ่าย 0.8 โวลต์.....	48
5.2 การทดสอบวัดสัญญาณเอาต์พุตของวงจรที่นำเสนอ ที่ความถี่ 400 MHz และ 2.5 GHz.....	50
5.2 การทดสอบวัดสัญญาณเอาต์พุตของวงจรไทรสเททที่นำเสนอที่ความถี่ 400 MHz และ 2.5 GHz ที่ระดับแรงดันแหล่งจ่าย 0.8, 1.0 และ 1.2 โวลต์.....	54
5.3 การเปรียบเทียบสัญญาณเอาต์พุตของวงจรเมื่อปรับค่าโหลดคาปาซิแตนซ์ค่า 0.1pF ถึง 1pF	56
5.4 การเปรียบเทียบค่าเวลาการประจุการแพร่กระจายของวงจร.....	58
5.5 การเปรียบเทียบค่าการสิ้นเปลืองพลังงานของวงจร.....	60

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
บทที่ 6 การประยุกต์ใช้งานวงจรไครสเททช์เฟออร์.....	65
6.1 การประยุกต์ใช้วงจร ไครสเททช์เฟออร์ที่นำเสนอในการเชื่อมต่อในระบบบัสข้อมูล.....	65
6.2 การประยุกต์ใช้งานวงจร ไครสเททช์เฟออร์ที่นำเสนอ ในการเชื่อมต่อกับสายนำสัญญาณ เพื่อปรับปรุงประสิทธิภาพของระดับสัญญาณดิจิทัล ให้ทำงานแกว่งเต็มช่วง.....	72
6.3 การทดสอบการจำลองการลดระดับแรงดันของสัญญาณ ไซน์จากการแกว่งเต็มช่วง เพื่อจำลองการส่งสัญญาณผ่านสายนำสัญญาณที่ความถี่สูงของวงจรไครสเททช์เฟออร์ ที่นำเสนอ.....	90
บทที่ 7 สรุปผลการวิจัย.....	97
7.1 การเปรียบเทียบสัญญาณเอาต์พุตที่ความถี่ 400 MHz และ 2.5 GHz ที่แรงดันแหล่งจ่าย 0.8 โวลต์ ที่โหลดคาปาซิแตนซ์ 1 pF.....	97
7.2 การเปรียบเทียบสัญญาณเอาต์พุตที่ความถี่ 400 MHz และ 2.5 GHz ปรับเปลี่ยนระดับแรงดันแหล่งจ่าย 0.8, 1 และ 1.2 โวลต์ ที่โหลดคาปาซิแตนซ์ 1 pF.....	97
7.3 การเปรียบเทียบสัญญาณเอาต์พุตที่ความถี่ 400 MHz ปรับเปลี่ยนค่าโหลดคาปาซิแตนซ์จาก 1 – 5 pF และ 2.5 GHz ปรับเปลี่ยนค่าโหลดคาปาซิแตนซ์จาก 0.1 – 0.5 pF ที่แรงดันแหล่งจ่าย 0.8 โวลต์.....	98
7.4 การเปรียบเทียบค่าเวลาการประจิงการแพร่กระจาย.....	98
7.5 การเปรียบเทียบค่าการสิ้นเปลืองพลังงาน.....	98
7.6 สาเหตุที่ไม่สามารถปรับปรุงให้วงจรทำงานที่แรงดันต่ำกว่า 0.8 โวลต์.....	98
7.7 การประยุกต์ใช้งานวงจร ไครสเททช์เฟออร์.....	98
7.7.1 ผลการทดสอบการประยุกต์ใช้วงจรไครสเททช์เฟออร์ที่นำเสนอในการเชื่อมต่อในระบบบัสข้อมูล.....	99
7.7.2 ผลการทดสอบการประยุกต์ใช้งานวงจรไครสเททช์เฟออร์ที่นำเสนอ ในการเชื่อมต่อกับสายนำสัญญาณ เพื่อปรับปรุงประสิทธิภาพของระดับสัญญาณดิจิทัลให้ทำงานแกว่งเต็มช่วง.....	99
7.7.3 การทดสอบการจำลองการลดระดับแรงดันของสัญญาณ ไซน์จากการแกว่งเต็มช่วง เพื่อจำลองการส่งสัญญาณผ่านสายนำสัญญาณที่ความถี่สูงของวงจรไครสเททช์เฟออร์ที่นำเสนอ.....	100
เอ บรรณานุกรม.....	102

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
ภาคผนวก.....	103
ภาคผนวก ก. ค่าพารามิเตอร์ของ 22 nm BiCMOS.....	104
ภาคผนวก ข. ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่.....	107
ประวัติผู้เขียน.....	113



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
ตารางที่ 3.1 การทำงานเบื้องต้นของไตรสเทท ทีที แนน 2 เกต.....	36
ตารางที่ 5.1 ความสัมพันธ์ของโหลดคาปาซิแตนซ์กับค่าเวลาการประวิงการแพร่กระจาย	58
ตารางที่ 5.2 ความสัมพันธ์ของแหล่งจ่ายแรงดันอินพุตกับค่าเวลาการประวิงการแพร่กระจาย	59
ตารางที่ 5.3 ความสัมพันธ์ของเทคโนโลยีที่ใช้กับค่าเวลาการประวิงการแพร่กระจาย	59
ตารางที่ 5.4 ความสัมพันธ์ของโหลดคาปาซิแตนซ์ กับค่าสิ้นเปลืองพลังงานของวงจร.....	60
ตารางที่ 5.5 ความสัมพันธ์ของแหล่งจ่ายแรงดันอินพุต กับค่าสิ้นเปลืองพลังงานของวงจร.....	61
ตารางที่ 5.6 ความสัมพันธ์ของเทคโนโลยีที่ใช้ กับค่าสิ้นเปลืองพลังงานของวงจร.....	62
ตารางที่ 6.1 การเปรียบเทียบค่าเวลาการประวิงของสัญญาณที่ความถี่ 100 MHz.....	88
ตารางที่ 6.2 การเปรียบเทียบค่าเวลาการประวิงของสัญญาณที่ความถี่ 200 MHz.....	89
ตารางที่ 6.3 การเปรียบเทียบค่าเวลาการประวิงของสัญญาณที่ความถี่ 300 MHz.....	89
ตารางที่ 6.4 การเปรียบเทียบค่าเวลาการประวิงของสัญญาณที่ความถี่ 400 MHz.....	89
ตารางที่ 6.5 การเปรียบเทียบค่าเวลาการประวิงของสัญญาณที่ความถี่ 500 MHz.....	90
ตารางที่ 6.6 การเปรียบเทียบค่าเวลาการประวิงของสัญญาณที่ความถี่ 600 MHz.....	90

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
รูปที่ 1.1 สัญลักษณ์และสภาวะการทำงานของไตรสเททท์เฟออร์.....	2
รูปที่ 1.2 ตัวอย่างการทำงานของไตรสเททท์เฟออร์.....	2
รูปที่ 2.1 โครงสร้างทางกายภาพ เอ็นแซนแนลชนิดเอนฮานซ์เมนต์มอสเฟต.....	4
รูปที่ 2.2 สัญลักษณ์ทางวงจรสำหรับเอ็นแซนแนลและพีแซนแนล ชนิดเอ็นฮานซ์เมนต์มอสเฟต.....	5
รูปที่ 2.3 การไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์ซึ่งทำให้เกิดย่านปลอดพาหะ	6
รูปที่ 2.4 แถบแผนภาพของ โครงสร้างมอสภายใต้เกต ที่พื้นที่ตรงข้ามด้วย $ 2\phi_f $ ที่พื้นที่.....	6
รูปที่ 2.5 การเกิดอินเวอร์ชันเลเยอร์ของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์.....	7
รูปที่ 2.6 ภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น.....	8
รูปที่ 2.7 ส่วนทางเรขาคณิตบริเวณผิวของอินเวอร์ชันเลเยอร์.....	9
รูปที่ 2.8 การเกิดพินช์-ออฟ.....	11
รูปที่ 2.9 คุณลักษณะ กระแสกับศักดาพื้นฐานของเอ็นมอสทรานซิสเตอร์.....	13
รูปที่ 2.10 กระแสเดรนของเอ็นมอสทรานซิสเตอร์ตามฟังก์ชันของศักคาระหว่างเกตกับซอร์ส.....	13
รูปที่ 2.11 กระแสเดรนและศักคาระหว่างเดรนกับซอร์สของ มอสทรานซิสเตอร์แบบดีพลีชัน.....	14
รูปที่ 2.12 กระแสเดรนและศักคาระหว่างเดรนกับซอร์สของ มอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์.....	14
รูปที่ 2.13 (a) ภาพตัดขวาง โครงสร้างอุปกรณ์ภายใต้เทคโนโลยีไบซีมอส แบบเอ็นพีเอ็น-ซีมอส.....	15
รูปที่ 2.13 (b) ภาพตัดขวาง โครงสร้างอุปกรณ์ภายใต้เทคโนโลยีไบซีมอส แบบซีไบซีมอส.....	16
รูปที่ 2.14 (a) โครงสร้างภายในของวงจรซีมอสลจิกเกต.....	17
รูปที่ 2.14 (b) โครงสร้างภายในของไบซีมอสลจิกเกต.....	17
รูปที่ 2.15 วงจรไบซีมอสอินเวอร์เตอร์.....	18
รูปที่ 2.16 การถ่ายโอนกระแสตรงของวงจรซีมอสอินเวอร์เตอร์ที่กล่าวมา.....	19
รูปที่ 2.17 โครงสร้างวงจรไบซีมอสแบบ (a) อิมิตเตอร์ร่วม (b) เกต-ไดโอด (c) อิมิตเตอร์ตาม.....	20

สารบัญรูป(ต่อ)

รูปที่	หน้า
รูปที่ 2.18 วงจรไบซิมอสส่วนพูลดาวน์ (a) โครงสร้างแบบอิมิตเตอร์ร่วม (b) การทำงานของวงจร.....	21
รูปที่ 2.19 วงจรไบซิมอสส่วนพูลดาวน์ (a) โครงสร้างแบบเกต-ไดโอด (b) การทำงานของวงจร.....	22
รูปที่ 2.20 วงจรไบซิมอสส่วนพูลดาวน์ (a) โครงสร้างแบบอิมิตเตอร์ตาม (b) การทำงานของวงจร.....	23
รูปที่ 2.21 วงจรไบซิมอสอินเวอร์เตอร์ที่ประกอบด้วยอุปกรณ์คายประจุแบบ (a) พาสซีฟ (b) แอคทีฟ (c) พาสซีฟ/แอคทีฟ (d) ป้อนกลับ.....	26
รูปที่ 2.22 วงจรไบซิมอสอินเวอร์เตอร์ที่มีการเชื่อมต่ออุปกรณ์คายประจุแบบแอคทีฟ.....	27
รูปที่ 2.23 วงจรไบซิมอสอินเวอร์เตอร์ (a) โทเทมโพลไบซิมอส (b) คอมพลีเมนต์ารีไบซิมอส (c) ไบเอ็นมอส.....	29
รูปที่ 2.24 วงจรไบซิมอสแบบพาเซิลสวิง (a) โทเทมโพลไบซิมอส (b) คอมพลีเมนต์ารีไบซิมอส (c) ไบเอ็นมอส.....	30
รูปที่ 2.25 วงจรไบซิมอสแบบพาเซิลสวิง (a) ซีไบซิมอส (b) โทเทมโพลขนานกับซิมอส.....	31
รูปที่ 2.26 การเชื่อมโยงแบบมัลติสเตจ (a) นอนอินเตอร์มิก (b) อินเตอร์มิก.....	31
รูปที่ 2.27 การเชื่อมโยงแบบอินเตอร์มิก.....	32
รูปที่ 2.28 การนำกระแสของไบโพลาร์ในวงจรไบซิมอสในส่วนพูลอัพ.....	33
รูปที่ 3.1 การเชื่อมต่อระบบบัสพื้นฐานด้วยไดรสเตอร์บัพเฟอร์.....	35
รูปที่ 3.2 วงจรไดรสเตอร์ชนิดที่ที่แอลที่ใช้ เนน2 เกต.....	36
รูปที่ 3.3 วงจรไดรสเตอร์ซิมอสอินเวอร์เตอร์.....	37
รูปที่ 3.4 วงจรไดรสเตอร์ซิมอส เนน2 เกต.....	37
รูปที่ 3.5 การขับของซิมอสไดรสเตอร์.....	38
รูปที่ 4.1 วงจรไบซิมอสไดรสเตอร์บัพเฟอร์แบบทั่วไป.....	39
รูปที่ 4.2 วงจรไดรสเตอร์บัพเฟอร์ในรูปแบบวงจรไบซิมอส.....	41
รูปที่ 4.3 วงจรไบซิมอสไดรสเตอร์บัพเฟอร์อาศัยเทคนิคซาร์จปั๊ม.....	42
รูปที่ 4.4 วงจรไบซิมอสไดรสเตอร์บัพเฟอร์ที่นำเสนอ.....	44
รูปที่ 4.5 ตัวอย่างโครงสร้างมอสเฟตชนิดพิเศษ.....	45

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
รูปที่ 5.1 สัญญาณเอาต์พุตของวงจรที่นำเสนอในสภาวะการทำงานที่ Hi-Z ความถี่ 2.5 GHz ที่ระดับแรงดัน 0.8 โวลต์ เมื่อกำหนดขา E_N ให้อยู่ในสภาวะ “1” ทุกช่วงเวลา.....	48
รูปที่ 5.2 สัญญาณเอาต์พุตของวงจรที่นำเสนอในสภาวะการทำงานที่ Hi-Z ความถี่ 2.5 GHz ที่ระดับแรงดัน 0.8 โวลต์ เมื่อกำหนดขา E_N ให้อยู่ในสภาวะ “1” ทุกช่วงเวลา ในการวัดทดสอบ Over Shoot, Rise Time และ Delay.....	48
รูปที่ 5.3 สัญญาณเอาต์พุตของวงจรที่นำเสนอในสภาวะการทำงานที่ Hi-Z ความถี่ 2.5 GHz ที่ระดับแรงดัน 0.8 โวลต์ เมื่อกำหนดขา E_N ให้อยู่ในสภาวะ “1” และเปลี่ยนสถานะเป็น “0”.....	49
รูปที่ 5.4 สัญญาณเอาต์พุตของวงจรที่นำเสนอในสภาวะการทำงานที่ Hi-Z ความถี่ 2.5 GHz ที่ระดับแรงดัน 0.8 โวลต์ เมื่อกำหนดขา E_N ให้อยู่ในสภาวะ “0” และเปลี่ยนสถานะเป็น “1”.....	49
รูปที่ 5.5 สัญญาณเอาต์พุตของวงจรที่นำเสนอแบบกลับเฟสที่ความถี่ 400 MHz โหลดคาปาซิแตนซ์ 1 pF.....	50
รูปที่ 5.6 สัญญาณเอาต์พุตของวงจรที่นำเสนอแบบกลับเฟสที่ความถี่ 400 MHz โหลดคาปาซิแตนซ์ 1 pF	50
รูปที่ 5.7 สัญญาณเอาต์พุตของวงจรที่นำเสนอแบบกลับเฟสที่ความถี่ 400 MHz โหลดคาปาซิแตนซ์ 1 pF.....	51
รูปที่ 5.8 สัญญาณเอาต์พุตของวงจรที่นำเสนอแบบกลับเฟสที่ความถี่ 2.5 GHz โหลดคาปาซิแตนซ์ 1 pF	51
รูปที่ 5.9 สัญญาณเอาต์พุตของวงจรที่นำเสนอแบบไม่กลับเฟสที่ความถี่ 2.5 GHz โหลดคาปาซิแตนซ์ 1 pF	52
รูปที่ 5.10 สัญญาณเอาต์พุตของวงจรที่นำเสนอแบบไม่กลับเฟสที่ความถี่ 2.5 GHz โหลดคาปาซิแตนซ์ 1pF.....	52
รูปที่ 5.11 สัญญาณเอาต์พุตของวงจรที่นำเสนอเมื่อเปลี่ยน C_L จาก 1 – 5 pF ที่ความถี่ 400 MHz.....	53
รูปที่ 5.12 สัญญาณเอาต์พุตของวงจรที่นำเสนอเมื่อเปลี่ยน C_L จาก 0 – 0.5 pF ที่ความถี่ 2.5 GHz.....	53
รูปที่ 5.13 สัญญาณเอาต์พุตของวงจรเมื่อค่าโหลดคาปาซิแตนซ์ 0.5 pF ที่ความถี่ 400 MHz	54
รูปที่ 5.14 สัญญาณเอาต์พุตของวงจรเมื่อค่าโหลดคาปาซิแตนซ์ 0.5 pF ที่ความถี่ 2.5 GHz.....	55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
รูปที่ 5.15 สัญญาณเอาต์พุตของวงจรเมื่อกำโหดคาปาซิแตนซ์ 1 pF ที่ความถี่ 400 MHz.....	55
รูปที่ 5.16 สัญญาณเอาต์พุตของวงจรเมื่อกำโหดคาปาซิแตนซ์ 1 pF ที่ความถี่ 2.5 GHz.....	56
รูปที่ 5.17 สัญญาณเอาต์พุตของวงจรไตรสเตทซิมอสแบบทั่วไป.....	56
รูปที่ 5.18 สัญญาณเอาต์พุตของวงจรไบซิมอสไตรสเตทบัฟเฟอร์โดยอาศัยเทคนิคชาร์จัม.....	57
รูปที่ 5.19 สัญญาณเอาต์พุตของวงจรไบซิมอสไตรสเตทบัฟเฟอร์โดยไม่ใช้ชาร์จัม ที่นำเสนอ.....	57
รูปที่ 5.20 กราฟการเปรียบเทียบค่า Propagation delay time เมื่อมีการเปลี่ยน โหลดคาปาซิแตนซ์ 0.1 pF ถึง 1 pF.....	58
รูปที่ 5.21 กราฟการเปรียบเทียบค่าเวลาการประวิงการแพร่กระจายเมื่อมีการเปลี่ยนแหล่งจ่ายแรงดัน อินพุต.....	59
รูปที่ 5.22 กราฟการเปรียบเทียบค่าเวลาการประวิงการแพร่กระจายเมื่อมีการเปลี่ยนเทคโนโลยี ที่ใช้.....	60
รูปที่ 5.23 กราฟการเปรียบเทียบค่าการสิ้นเปลืองพลังงานของวงจรเมื่อมีการเปลี่ยน โหลดคาปาซิแตนซ์ 0.1 pF ถึง 1 pF.....	61
รูปที่ 5.24 กราฟการเปรียบเทียบค่าการสิ้นเปลืองพลังงานของวงจรเมื่อมีการเปลี่ยนแหล่งจ่ายแรงดัน อินพุต.....	62
รูปที่ 5.25 กราฟการเปรียบเทียบค่าการสิ้นเปลืองพลังงานของวงจรเมื่อมีการเปลี่ยนเทคโนโลยี ที่ใช้.....	63
รูปที่ 6.1 ตัวอย่างการเชื่อมต่อวงจร ไตรสเตทบัฟเฟอร์ในระบบบัสข้อมูล.....	66
รูปที่ 6.2 ส่งข้อมูลด้วยอัตราเร็ว 0.5 Gbps.....	67
รูปที่ 6.3 ส่งข้อมูลด้วยอัตราเร็ว 1 Gbps.....	68

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
รูปที่ 6.4 ส่งข้อมูลด้วยอัตราเร็ว 1.5 Gbps.....	69
รูปที่ 6.5 ส่งข้อมูลด้วยอัตราเร็ว 2 Gbps.....	70
รูปที่ 6.6 ส่งข้อมูลด้วยอัตราเร็ว 2.5 Gbps.....	71
รูปที่ 6.7 ตัวอย่างการเชื่อมต่อสายนำสัญญาณ CAT5e กับวงจรไทรสเททป์เฟอร์ และวงจรหมิทริกเกอร์.....	72
รูปที่ 6.8 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิตอลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 10 เมตร ความถี่ 100 MHz.....	73
รูปที่ 6.9 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย ที่ระยะความยาวสาย 10 เมตร ความถี่ 100 MHz.....	73
รูปที่ 6.10 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิตอลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 20 เมตร ความถี่ 100 MHz.....	74
รูปที่ 6.11 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย ที่ระยะความยาวสาย 20 เมตร ความถี่ 100 MHz.....	74
รูปที่ 6.12 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิตอลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 30 เมตร ความถี่ 100 MHz.....	75
รูปที่ 6.13 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย ที่ระยะความยาวสาย 30 เมตร ความถี่ 100 MHz.....	75

สารบัญรูป(ต่อ)

รูปที่	หน้า
รูปที่ 6.14 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 40 เมตร ความถี่ 100 MHz.....	76
รูปที่ 6.15 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย ที่ระยะความยาวสาย 40 เมตร ความถี่ 100 MHz.....	76
รูปที่ 6.16 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 50 เมตร ความถี่ 100 MHz.....	77
รูปที่ 6.17 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย ที่ระยะความยาวสาย 50 เมตร ความถี่ 100 MHz.....	77
รูปที่ 6.18 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 60 เมตร ความถี่ 100 MHz.....	78
รูปที่ 6.19 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย ที่ระยะความยาวสาย 60 เมตร ความถี่ 100 MHz.....	78
รูปที่ 6.20 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 10 เมตร ความถี่ 200 MHz.....	79
รูปที่ 6.21 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย ที่ระยะความยาวสาย 10 เมตร ความถี่ 200 MHz.....	79
รูปที่ 6.22 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 20 เมตร ความถี่ 200 MHz.....	80

สารบัญรูป(ต่อ)

รูปที่	หน้า
รูปที่ 6.23 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย ที่ระยะความยาวสาย 20 เมตร ความถี่ 200 MHz.....	80
รูปที่ 6.24 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 30 เมตร ความถี่ 200 MHz.....	81
รูปที่ 6.25 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย ที่ระยะความยาวสาย 30 เมตร ความถี่ 200 MHz.....	81
รูปที่ 6.26 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 10 เมตร ความถี่ 300 MHz.....	82
รูปที่ 6.27 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย ที่ระยะความยาวสาย 10 เมตร ความถี่ 300 MHz.....	82
รูปที่ 6.28 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 20 เมตร ความถี่ 300 MHz.....	83
รูปที่ 6.29 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย ที่ระยะความยาวสาย 20 เมตร ความถี่ 300 MHz.....	83
รูปที่ 6.30 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 10 เมตร ความถี่ 400 MHz.....	84
รูปที่ 6.31 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย ที่ระยะความยาวสาย 10 เมตร ความถี่ 400 MHz.....	84

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อใช้ในการเรียนการสอนเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
รูปที่ 6.32 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 20 เมตร ความถี่ 400 MHz.....	85
รูปที่ 6.33 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย ที่ระยะความยาวสาย 20 เมตร ความถี่ 400 MHz.....	85
รูปที่ 6.34 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 10 เมตร ความถี่ 500 MHz.....	86
รูปที่ 6.35 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย ที่ระยะความยาวสาย 10 เมตร ความถี่ 500 MHz.....	86
รูปที่ 6.36 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 10 เมตร ความถี่ 600 MHz.....	87
รูปที่ 6.37 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย ที่ระยะความยาวสาย 10 เมตร ความถี่ 600 MHz.....	87
รูปที่ 6.38 ผลการวัดสัญญาณที่การลดระดับแรงดันของสัญญาณอินพุทที่ความถี่ 500 MHz.....	91
รูปที่ 6.39 ผลการวัดค่าระดับสัญญาณอินพุทที่ส่งผลทำให้สัญญาณเอาต์พุทของวงจร เริ่มลดระดับแรงดันจากการแกว่งเต็มช่วงที่ความถี่ 500 MHz.....	92
รูปที่ 6.40 ผลการวัดสัญญาณที่การลดระดับแรงดันของสัญญาณอินพุทที่ความถี่ 1 GHz.....	92
รูปที่ 6.41 ผลการวัดค่าระดับสัญญาณอินพุทที่ส่งผลทำให้สัญญาณเอาต์พุทของวงจร	

สารบัญรูป(ต่อ)

รูปที่	หน้า
รูปที่ 6.42 ผลการวัดสัญญาณที่การลดระดับแรงดันของสัญญาณอินพุทที่ความถี่ 1.5 GHz.....	93
รูปที่ 6.43 ผลการวัดค่าระดับสัญญาณอินพุทที่ส่งผลทำให้สัญญาณเอาต์พุทของวงจร เริ่มลดระดับแรงดันจากการแกว่งเต็มช่วงที่ความถี่ 1.5 GHz.....	94
รูปที่ 6.44 ผลการวัดสัญญาณที่การลดระดับแรงดันของสัญญาณอินพุทที่ความถี่ 2 GHz.....	94
รูปที่ 6.45 ผลการวัดค่าระดับสัญญาณอินพุทที่ส่งผลทำให้สัญญาณเอาต์พุทของวงจร เริ่มลดระดับแรงดันจากการแกว่งเต็มช่วงที่ความถี่ 2 GHz.....	95
รูปที่ 6.46 ผลการวัดสัญญาณที่การลดระดับแรงดันของสัญญาณอินพุทที่ความถี่ 2.5 GHz.....	95
รูปที่ 6.47 ผลการวัดค่าระดับสัญญาณอินพุทที่ส่งผลทำให้สัญญาณเอาต์พุทของวงจร เริ่มลดระดับแรงดันจากการแกว่งเต็มช่วงที่ความถี่ 2.5 GHz.....	96

บทที่ 1

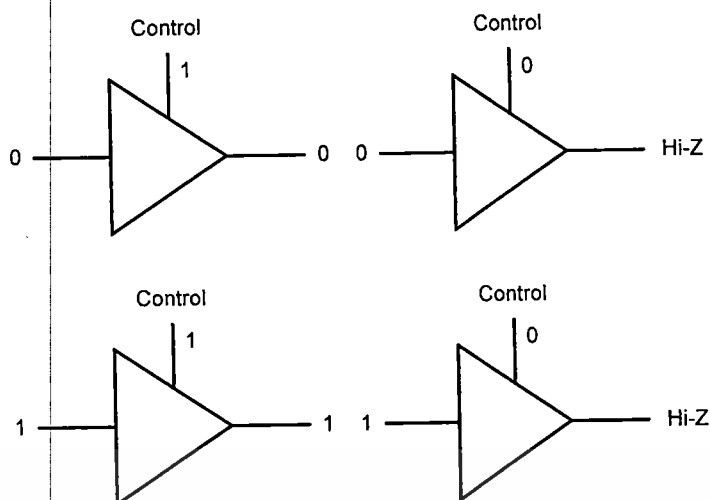
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

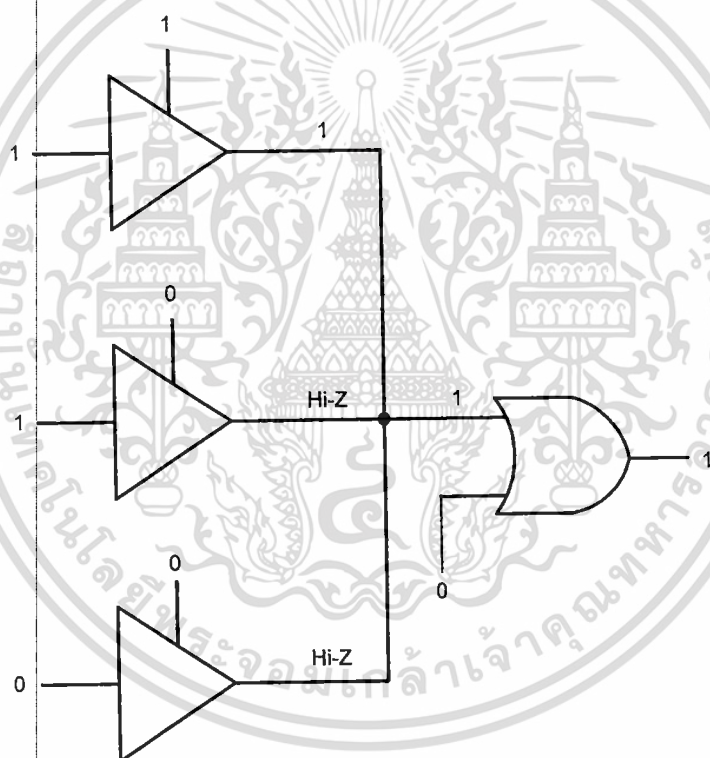
ในปัจจุบันเทคโนโลยีวงจรรวม มีการพัฒนาไปอย่างรวดเร็ว และให้สอดคล้องกับความต้องการของผู้ใช้งาน ทั้งในด้านประสิทธิภาพของวงจรที่สูงขึ้น รวมทั้งการลดการใช้พลังงานของวงจร ในการออกแบบวงจรรวมที่ได้นั้น โดยทั่วไปจะถูกออกแบบให้อยู่ในรูปของวงจรรวม (IC: Integrated Circuit) บนเทคโนโลยี VLSI (Very Large Scale Integration) ความต้องการทางด้านวงจรรวม ในปัจจุบันมุ่งเน้นพัฒนาให้ตัวชิปที่มีขนาดเล็กลง และเพิ่มจำนวนของทรานซิสเตอร์ภายในให้มากขึ้น การออกแบบวงจรรวมบนเทคโนโลยีชิปเป็นที่นิยมอย่างมากเนื่องจากข้อดีของเทคโนโลยีชิปช่วยให้วงจรที่ได้ออกแบบมีการสูญเสียของกำลังงานต่ำ และมีอินพุตอิมพีแดนซ์ที่สูง อีกทั้งยังสามารถทำงานได้ที่ระดับศักย์ไฟฟ้าเลี้ยงวงจรต่ำ ขนาดของอุปกรณ์และความง่ายในการพัฒนาออกแบบวงจร แต่เทคโนโลยีชิปยังมีข้อจำกัดอยู่ในด้านความสามารถในการขับวงจร เมื่อนำวงจรมาใช้งานที่แหล่งจ่ายแรงดันต่ำหรือขับวงจรที่มีโหลดขนาดใหญ่ ดังนั้นจึงได้มีการพัฒนาวงจรด้วยการนำเอาเทคโนโลยีไบโพลาร์มาใช้งานร่วมกับเทคโนโลยีชิปหรือที่เรียกว่า BiCMOS ซึ่งเป็นการรวมข้อดีของทรานซิสเตอร์ทั้งสองแบบเข้าด้วยกัน

วงจรไตรสเตทบัฟเฟอร์เป็นวงจรรวม [1] ที่ถูกออกแบบให้คู่ทรานซิสเตอร์เอาต์พุตสามารถหยุดการทำงานได้ทั้งคู่ ซึ่งต่างจากบัฟเฟอร์ทั่วไปที่คู่ทรานซิสเตอร์เอาต์พุตทำงานได้เพียงแต่ทำงานและหยุดทำงานสลับกันเท่านั้น เมื่อคู่เอาต์พุตหยุดทำงานทั้งคู่ที่เอาต์พุตจะไม่มีกระแสไหลขึ้นไปถึง V_{CC} หรือกระแสลงจนถึงกราวด์ เกิดเป็นตัวกำหนดทั้งสามสถานะ คือ “0”, “1” และ Hi-Z ซึ่งในกรณี Hi-Z จะไม่ส่งผลต่อเกตที่เชื่อมต่อกับด้วย ถ้าเอาต์พุตของเกตหลายเกตเชื่อมต่อกับด้วยจะมีเพียงเฉพาะเอาต์พุตของเกตเพียงหนึ่งเกตเท่านั้นที่สามารถทำงานที่เวลานั้นได้ เมื่อย้อนกลับมาพิจารณาที่เกตอื่น ๆ จำเป็นต้องอยู่ในสถานะ Hi-Z

ในรูปที่ 1.1 แสดงไตรสเตทบัฟเฟอร์ที่สถานะการทำงานทั้งสามสถานะ บัฟเฟอร์ตัวที่ 1 และ 2 ถูกกำหนดให้อยู่ในสถานะที่ทำงานเป็นวงจรบัฟเฟอร์ทั่วไป เมื่อมีอินพุตเข้ามาจะมีสถานะเป็น “1” หรือ “0” เอาต์พุตจะมีค่าตามอินพุต ส่วนบัฟเฟอร์ตัวที่ 3 และ 4 ถูกกำหนดให้อยู่ในสถานะ Hi-Z ดังนั้นเมื่ออินพุตเข้ามาเป็น “0” หรือ “1” แต่เอาต์พุตของวงจรรวมยังมีค่าเป็น Hi-Z อยู่เช่นเดิม ดังนั้นไตรสเตทบัฟเฟอร์จึงสามารถควบคุมการทำงานของวงจรให้เอาต์พุตอยู่ในสถานะตามที่ต้องการ และสามารถควบคุมให้อยู่ในสถานะที่มีค่าอิมพีแดนซ์สูงเพื่อไม่ให้วงจรเกิดส่วนอื่นได้รับความเสียหาย ขณะที่วงจรหนึ่งวงจรใดทำงานและสะดวกในการควบคุมการเปิดปิดการเอาต์พุตของลอจิกต่างๆ ในวงจรเมื่อนำมาต่อร่วมกัน



รูปที่ 1.1 สัญลักษณ์และสภาวะการทำงานของไตรสเตทบัฟเฟอร์



รูปที่ 1.2 ตัวอย่างการทำงานของไตรสเตทบัฟเฟอร์

วงจรไตรสเตทบัฟเฟอร์แบบไบซีมอสเป็นวงจรดิจิทัล ที่มีการนำเทคโนโลยีมาผสมผสาน ข้อดีของวงจรซีมอสและไบโพลาร์เข้าด้วยกัน ส่งผลให้วงจรใหม่สามารถแกว่งได้เต็มช่วงและมีความเร็วในการสวิตช์สูงและสามารถใช้ในการขับโหลดคาปาซิแตนซ์ที่มีค่าสูงได้

วงจรไตรสเตทบัฟเฟอร์พื้นฐานแบบไบโพลาร์ มีปัญหาทางด้านความเร็วในการสวิตช์ที่ทำให้เกิดค่าการประวิงเวลาที่มีค่าสูง และปัญหาทางด้านกำลังงานที่ใช้ค่อนข้างสูงและไม่สามารถตอบสนองที่ระดับสวิตช์ต่ำไฟเลี้ยงต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ด้วยเหตุนี้จึงได้มีพัฒนาการออกแบบวงจรไบซิมอสไทรสเตทบัฟเฟอร์ที่สามารถตอบสนอง และแก้ไขปัญหาต่างๆดังกล่าวได้ เพื่อให้สามารถนำไปใช้งานในวงจรรวมได้อย่างมีประสิทธิภาพ

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

ในวิทยานิพนธ์ฉบับนี้ได้นำเสนอวงจรไทรสเตทบัฟเฟอร์ที่สามารถแกว่งได้เต็มช่วงสัญญาณ ด้วยเทคโนโลยีไบซิมอสโดยไม่ใช้การชาร์จปั๊ม เพื่อต้องการลดการสูญเสียกระแสในการขับเบส ของไบโพลาร์ทรานซิสเตอร์ ซึ่งทำหน้าที่ในการขับเอาต์พุตโพลคาปาซิแตนซ์ นอกจากนี้ยังคง ความจำเป็นในการปรับปรุงประสิทธิภาพในการสวิตช์ของวงจรให้สูงขึ้นเพื่อลดค่าเวลาในการ ประวิงจากการทำงานของวงจรและเพื่อลดค่าการใช้พลังงาน เพิ่มความสามารถของวงจรในการ ตอบสนองความถี่ที่สูงขึ้น และเพิ่มประสิทธิภาพในการขับโพลคาปาซิแตนซ์ที่มีค่าสูงและเพิ่ม ประสิทธิภาพในการตอบสนองที่สัปดาห์ไฟเลี้ยงต่ำ

1.3 สมมติฐานของการศึกษา

ข้อดีของวงจรไบซิมอสที่ใช้การชาร์จปั๊มคือ ค่ากำลังงานในการใช้ของวงจรจะมีค่าที่สูง มาก นอกจากนี้ตัวเก็บประจุในวงจรชาร์จยังคงต้องการเวลาในการชาร์จประจุ ดังนั้นจึงเป็น อุปสรรคต่อการนำวงจรที่มีชาร์จปั๊มไปใช้งานที่ความถี่สูงระดับจิกะเฮิร์ต และเป็นภาระ ให้กับวงจรเนื่องจากการชาร์จนั้นจำเป็นต้องใช้ประจุจำนวนมาก นั่นจึงหมายความว่าค่ากระแสที่ ใช้ต้องสูงตามไปด้วย เมื่อการทำงานที่ความถี่สูงจึงทำให้เกิดการสูญเสียของกระแสในการชาร์จ ประจุโดยสูญเสียเปล่านั้นส่งผลทำให้ค่ากระแสในการขับเบสของไบโพลาร์ทรานซิสเตอร์ลดต่ำลงใน ช่วงเวลาที่มีการชาร์จจึงทำให้วงจรที่มีชาร์จปั๊มไม่สามารถทำงานที่ความถี่สูงและทำให้เกิดความ ล่าช้าในการทำงานของวงจร อีกทั้งค่าการประวิงเวลาในการแพร่ของวงจรมีค่าที่สูงกว่าวงจร ซิมอสทั่วไป ดังนั้นจึงจำเป็นต้องลดการสูญเสียกระแสในการขับเบสของไบโพลาร์ลงเนื่อง ความสามารถในการสวิตช์ที่ความเร็วสูงของไบโพลาร์นั้นขึ้นอยู่กับค่ากระแสเบสของตัว ไบโพลาร์ที่ถูกขับจากส่วนอื่นของวงจร ผลจากการแก้ไขปัญหาดังกล่าวมีความเป็นไปได้ที่จะเพิ่ม ความเร็วในการทำงานของวงจรและเพิ่มการตอบสนองที่ความถี่สูงของวงจร อีกทั้งยังเป็นการลด ระดับสัปดาห์ไฟเลี้ยงของวงจรลงเพื่อลดค่ากำลังงานที่ใช้ของวงจรให้ต่ำลง

ในการขับโพลคาปาซิแตนซ์ที่มีค่าสูงของไบโพลาร์ จำเป็นต้องใช้กระแสป้อนที่เบสเป็น จำนวนมากเพื่อให้ได้กระแสที่เอาต์พุตที่มีค่าสูงมากพอในการขับโพลคาปาซิแตนซ์ที่มีค่าสูง

บทที่ 2

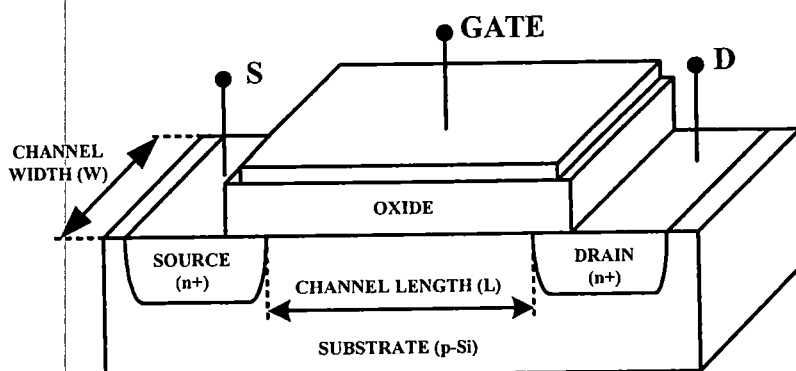
ทฤษฎีการทำงานของมอสทรานซิสเตอร์

2.1 บทนำ

MOS Field Effect Transistor (MOSFET) เป็นสารกึ่งตัวนำชนิดหนึ่งที่ใช้สนามไฟฟ้าในการควบคุมปริมาณการไหลของกระแสในช่องนำกระแส ถูกนำไปสร้างในบล็อกรุ่นพื้นฐานของวงจรรวมมอสและซีมอสแบบดิจิทัล เมื่อเปรียบเทียบกับ Bipolar Junction Transistor (BJT) ในการสร้างมอสทรานซิสเตอร์อยู่บนพื้นที่ขนาดเล็กบนซิลิกอน ด้วยความยุ่งยากในกระบวนการของการสร้างมอสทรานซิสเตอร์ที่น้อยกว่าไบโพลาร์ทรานซิสเตอร์ ดังนั้นจึงมีการนำมอสทรานซิสเตอร์ไปใช้งานกันอย่างกว้างขวาง ในปัจจุบันการนำมอสทรานซิสเตอร์ไปใช้เป็นอุปกรณ์ในการสวิตช์ด้วยเทคโนโลยีในการผลิตวงจรรวม LSI (Large Scale Integration) และ VLSI (Very Large Scale Integration) [2-3] โครงสร้างและการทำงานของมอสทรานซิสเตอร์จะกล่าวโดยละเอียดในหัวข้อต่อไป

2.2 โครงสร้างของมอสทรานซิสเตอร์

โครงสร้างพื้นฐานของเอ็นแชนแนลมอสเฟตแสดงไว้ในรูปที่ 2.1 อุปกรณ์นี้ประกอบด้วยขั้วสเตรตชนิดพีซึ่งในการแพร่กระจายบริเวณรอยต่อทั้งสอง n^+ เคนและซอร์ส พื้นที่ของรอยต่อขั้วสเตรตระหว่างเคนและซอร์สถูกครอบด้วยชั้นของออกไซด์ที่มีขนาดบางและเกตโลหะ (หรือโพลีซิลิกอน) เป็นการทับซ้อนด้านบนของเกตไดโอดเล็กตริก ตรงกลางของอุปกรณ์เป็นเรื่องง่ายในการรองรับ โครงสร้างพื้นฐานของมอส รอยต่อทั้งสอง n^+ จะเป็นกระแสที่ไหลไปยังจุดเชื่อมต่อของอุปกรณ์ โครงสร้างของอุปกรณ์นี้มีความสมมาตรอย่างสมบูรณ์ด้วยการพิจารณาต่อเคนและซอร์ส แถวที่แตกต่างของรอยต่อทั้งสองแถวนี้จะถูกกำหนดเฉพาะในการเชื่อมด้วยการประยุกต์ใช้แรงดันบริเวณจุดเชื่อมต่อและการป้อนกระแสโดยตรง



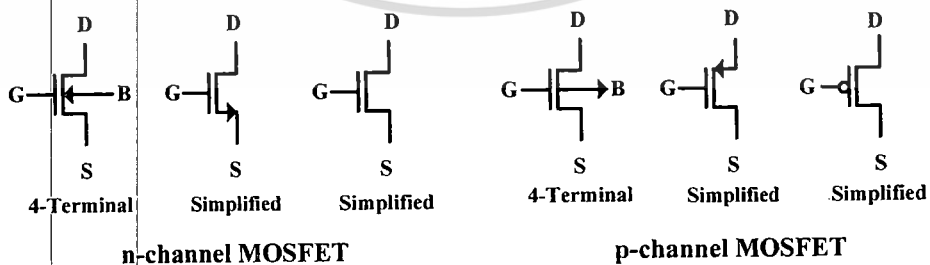
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 2.1 โครงสร้างทางกายภาพของ เอ็นแชนแนล ชนิดเอ็นฮานซ์เมนตัมอสเฟต
ไม่ว่ากรณีใดๆ ผู้ส่งออกพิมพ์มีเหตุแต่แบลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การสร้างแขนแนลจะอยู่ในรูปแบบของการประยุกต์แรงดันเกตในส่วนของอุปกรณ์ระหว่างการแพร่กระจายบริเวณรอยต่อเดรนและซอร์ส ในช่วงระยะระหว่างการแพร่กระจายบริเวณรอยต่อเดรนและซอร์สอยู่ในแขนแนล (L) และขอบเขตข้างเคียงของแขนแนล (การตั้งฉากต่อความยาวของขนาด) อยู่ในความกว้างของแขนแนล (W) ทั้งความยาวและความกว้างของแขนแนลเป็นพารามิเตอร์สำคัญซึ่งสามารถใช้ในการควบคุมคุณสมบัติทางไฟฟ้าของมอสทรานซิสเตอร์ ความหนาของชั้นออกไซด์ครอบคลุมรอยต่อของแขนแนล t_{ox} เป็นพารามิเตอร์อีกตัวที่มีความสำคัญ

มอสทรานซิสเตอร์ซึ่งไม่มีการทำงานที่รอยต่อของแขนแนลที่ไบอัสเกตเป็นศูนย์ถูกเรียกว่า ชนิดเอ็นฮานซ์เมนต์ (เอ็นฮานซ์เมนต์โหมด) มอสเฟต ถ้าการทำงานที่ไบอัสเกตเป็นศูนย์ อุปกรณ์นี้จะถูกเรียกว่า ชนิดดิฟฟิชั่น (ดิฟฟิชั่น โหมด) มอสเฟต ในมอสเฟตด้วยขั้วสเตรตชนิดพีและด้วย n^+ ของรอยต่อซอร์สและเดรน แขนแนลรอยต่อคือรูปแบบบนพื้นที่ที่เป็นชนิดเอ็น ดังนั้น อุปกรณ์ที่ใช้ขั้วสเตรตพีถูกเรียกว่า เอ็นแขนแนลมอสเฟต ในมอสเฟตที่ใช้ขั้วสเตรตชนิดเอ็นด้วยซอร์สและเดรน p^+ แขนแนลจะเป็นชนิดพีถูกเรียกว่า พีแขนแนลมอสเฟต

2.3 สัญลักษณ์ของมอสทรานซิสเตอร์

ตัวย่อที่ใช้สำหรับขั้วต่อของอุปกรณ์คือ G สำหรับเกต, D สำหรับเดรน, S สำหรับซอร์ส และ B สำหรับขั้วสเตรต ในเอ็นแขนแนลมอสเฟตซอร์สถูกกำหนดเป็นรอยต่อ n^+ ซึ่งมีศักย์น้อยกว่ารอยต่อ n^+ จุดอื่นของเดรน โดยทั่วไปขั้วต่อแรงดันของอุปกรณ์จะถูกกำหนดด้วยศักย์ดาของซอร์ส ดังนั้นแรงดันเกตต่อซอร์สเขียนแทนด้วย V_{GS} แรงดันเดรนต่อซอร์สเขียนแทนด้วย V_{DS} สัญลักษณ์ทางวงจรสำหรับเอ็นแขนแนลและพีแขนแนลชนิดเอ็นฮานซ์เมนต์มอสเฟตแสดงไว้ในรูปที่ 2.2 ในขณะที่แสดงสัญลักษณ์ของอุปกรณ์สี่ขั้วต่อ ตัวอย่างสามขั้วต่อที่แสดงถูกใช้อย่างกว้างขวาง



รูปที่ 2.2 สัญลักษณ์ทางวงจรสำหรับเอ็นแขนแนลและพีแขนแนล ชนิดเอ็นฮานซ์เมนต์มอสเฟต

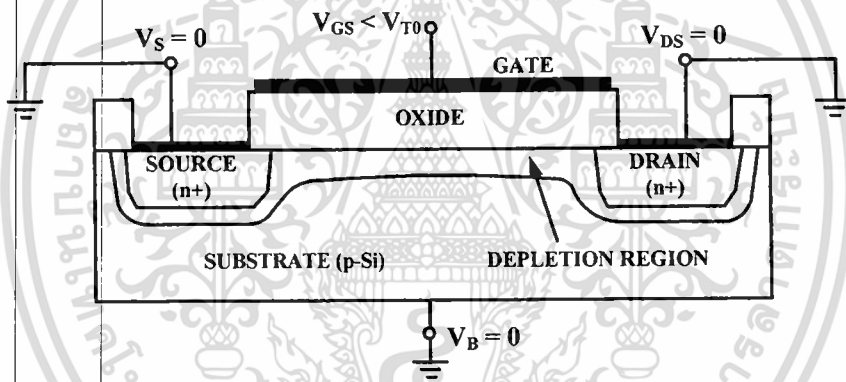
การพิจารณาเบื้องต้นสำหรับเอ็นแขนแนล ชนิดเอ็นฮานซ์เมนต์มอสเฟต ถูกแสดงไว้ในเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

รูปที่ 2.1 ตัวอย่างการทำงานเบื้องต้นของอุปกรณ์เป็นการควบคุมกระแสระหว่างซอร์สและเดรน ไม่ว่าจะเริ่มต้นที่ทั้งสื่อนำที่มีประจุหรือไม่มีประจุ และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

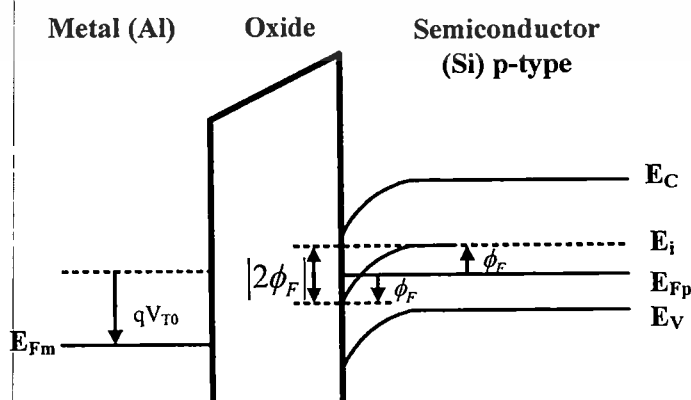
ใช้การรบกวนสนามไฟฟ้าด้วยแรงดันเกตสำหรับการเปลี่ยนแปลงการควบคุม ดังนั้นกระแสที่ไหลในแชนแนลที่ถูกควบคุมด้วยแรงดันเกตต่อซอร์สและด้วยแรงดันขั้วสเตรต กระแสสามารถพิจารณาฟังก์ชันของทอมแรงดันภายนอก ความสัมพันธ์ของฟังก์ชันระหว่างกระแสในแชนแนล (ดังนั้นจึงเรียกว่า กระแสเดรน) และขั้วต่อแรงดัน ในการเริ่มการป้อนกระแสระหว่างรอยต่อซอร์สและเดรน

2.4 การทำงานของมอสทรานซิสเตอร์

ถ้าพิจารณาโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์ในรูปที่ 2.3 จะสามารถอธิบายการทำงานอย่างง่ายของมอสทรานซิสเตอร์ได้ดังนี้ กระแสไฟฟ้าที่ไหลในแชนแนลระหว่างเดรนกับซอร์สของมอสทรานซิสเตอร์จะถูกควบคุมด้วยสนามไฟฟ้าที่ถูกสร้างขึ้นจากการเปลี่ยนแปลงของระดับศักย์ค่าที่เกิด และปริมาณกระแสที่ไหลในแชนแนลก็ถูกควบคุมโดยอาศัยศักย์ค่าระหว่างเดรนกับซอร์สและศักย์ค่าที่ฐานรอง อีกด้วย



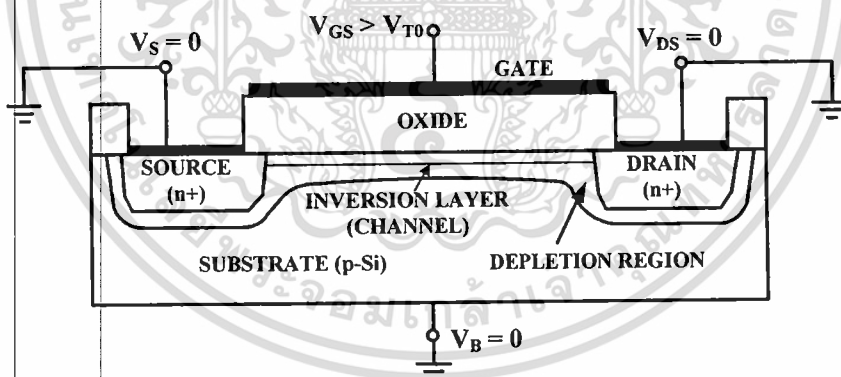
รูปที่ 2.3 การไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์ ซึ่งทำให้เกิดย่านปลอดพาหะ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ผู้ดูแลควรให้เข้าไปที่ระบบฐานการคำ
รูปที่ 2.4 แถบแผนภาพของโครงสร้างมอสภายใต้เกต ที่พื้นที่ตรงข้ามด้วย $|2\phi_F|$ ที่พื้นที่
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การไบอัสอย่างง่ายให้กับเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์ ดังแสดงดังรูปที่ 2.3 โดยให้เดรน ชอร์ส และฐานรอง V_{GS} ถูกต่ออยู่กับกราวด์ และศักย์ค่าที่มีศักย์บวกระหว่างเกตกับชอร์ส V_{GS} ซึ่งสามารถทำให้เกิดแขนแนลความนำขึ้นภายใต้เกต เมื่อศักย์ค่าที่มีศักย์บวกระหว่างเกตกับชอร์สมีค่าน้อยๆ Majority Carrier (Hold) จะถูกผลักลงไปยังฐานรอง (Substrate) จะทำให้ผิวของฐานรอง P-Type เกิดย่านปลอดพาหะขึ้น และถ้าบริเวณผิวปราศจาก Mobile Carrier ใดๆ ค่าความนำไฟฟ้าระหว่างเดรนกับชอร์สจะไม่เกิดขึ้นด้วย

ถ้าทำการไบอัสที่เกตกับชอร์สด้วยศักย์ค่าที่มีศักย์บวกมากขึ้น จนกระทั่งมากกว่าศักย์ค่าบวกค่าหนึ่งซึ่งเรียกว่า ศักย์ค่าเทรชโฮลด์ V_{th} ทำให้ศักย์บวกของเกตที่มากขึ้นนี้ จะดึงอิเล็กตรอนจำนวนมากจาก ฐานรอง P-Type มาใกล้บริเวณผิวสร้างเป็น N-Type Region ใกล้บริเวณผิวจะเรียกว่า Inversion Layer ดังแสดงรายละเอียดในรูปที่ 2.4 ซึ่งเกิดขึ้นระหว่างเดรนกับชอร์สและจะทำหน้าที่เป็นช่องทางเดินกระแสระหว่างเดรนกับชอร์ส และปริมาณกระแสที่ไหลผ่านระหว่างเดรนกับชอร์สจะขึ้นอยู่กับค่าความต่างศักย์ของศักย์ค่าที่ไบอัสให้เดรนกับชอร์ส ดังนั้นถ้าให้ศักย์ค่าระหว่างเดรนกับชอร์สเป็นบวกเล็กน้อย $V_{DS} > 0$ จะเกิดกระแสไหลจากเดรนไปยังชอร์ส ถ้าเพิ่มให้ศักย์ค่าระหว่างเดรนกับชอร์สที่ค่าหนึ่ง $V_{DS} = (V_{GS} - V_{th})$ จะทำให้กระแสเดรนจะไหลสูงสุดและจะคงที่ตลอดไปแม้มีการเพิ่มศักย์ค่าระหว่างเดรนกับชอร์ส V_{DS} ขึ้นอีกก็ตาม



รูปที่ 2.5 การเกิดอินเวอร์ชันเลเยอร์ของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์

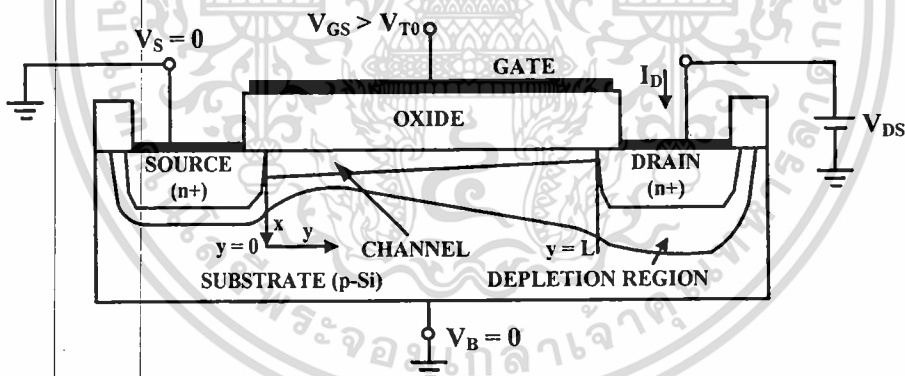
ส่วนการทำงานของเอ็นมอสทรานซิสเตอร์แบบดีพลีชันนั้น จากโครงสร้างดังแสดงดังรูปที่ 2.5 จะเห็นได้ว่า เมื่อ ไบอัสศักย์ค่าระหว่างเกตกับชอร์สเป็นศูนย์ จะทำให้ศักย์ค่าระหว่างเดรนกับชอร์สเป็นบวกค่าหนึ่ง จะมีกระแสเดรนไหลค่าหนึ่ง เนื่องจากแขนแนลได้ถูกสร้างไว้แล้ว เมื่อไบอัสศักย์ค่าระหว่างเกตกับชอร์สมีค่าเป็นลบค่าน้อยๆ จะเกิดกระแสไฟฟ้าในออกไซด์มีทิศทางไปยังขาคเกต ผลที่ได้จะทำให้อิเล็กตรอนบริเวณใกล้ผิวในแขนแนลถูกผลักให้ลงมาในแขนแนลส่วนล่าง เป็นผลทำให้เกิดย่านปลอดพาหะ (Depletion Region) ใกล้บริเวณผิวภายใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้ภายในเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ในทางอื่น
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แซนแนลขึ้น ทำให้สภาพความนำไฟฟ้าของแซนแนลลดลง ผลทำให้กระแสเดรนไหลน้อยลงและถ้าศักย์ดาระหว่างเกตกับซอร์สเป็นลบมากขึ้น ทำให้ย่านปลอดพาหะแผ่กว้างเพิ่มขึ้นในแซนแนล จะทำให้สภาพความนำไฟฟ้าของแซนแนลลดลงไปอีก ทำให้กระแสเดรนไหลน้อยลงไปอีก และถ้าศักย์ดาระหว่างเกตเป็นลบมากๆ ทำให้ย่านปลอดพาหะแผ่กว้างเต็มแซนแนล แซนแนลจะไม่นำกระแส ทำให้กระแสเดรนมีค่าเป็นศูนย์ ซึ่งเรียกการทำงานแบบนี้ว่า การทำงานแบบดีพลีชัน โหมด (Depletion Mode) สามารถแสดงกราฟความสัมพันธ์ระหว่างกระแสเดรนและศักย์ดาระหว่างเดรนกับซอร์สของมอสทรานซิสเตอร์แบบดีพลีชัน ได้ดังรูปที่ 2.3 และกราฟความสัมพันธ์ระหว่างกระแสเดรนและศักย์ดาระหว่างเดรนกับซอร์สของมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์ได้ดังรูปที่ 2.5

2.5 คุณสมบัติทางศักย์ดากับกระแสของมอสทรานซิสเตอร์

การวิเคราะห์หาความสัมพันธ์ของศักย์ดากับกระแสของมอสทรานซิสเตอร์ต้องการข้อกำหนดต่างๆ เพื่อให้ปัญหาต่างๆง่ายขึ้น ในการวิเคราะห์สำหรับการหาความสัมพันธ์ของศักย์ดากับกระแสของมอสทรานซิสเตอร์ในหัวข้อนี้ จะทำการวิเคราะห์ปัญหาการไหลของกระแสหนึ่งมิติ ทำให้ได้สมการกระแสที่เข้าใจได้ง่ายและสอดคล้องกับผลที่ได้จากการทดลอง



รูปที่ 2.6 ภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น

เริ่มต้นด้วยการพิจารณารายละเอียดของภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น ดังแสดงดังรูปที่ 2.6 จะเห็นว่าซอร์สและซับสเตรตถูกต่ออยู่กับกราวด์ V_{BS} ส่วนกระแสเดรน I_D จะถูกควบคุมจากภายนอกโดยศักย์ดาระหว่างเกตกับซอร์ส V_{GS} และศักย์ดาระหว่างเดรนกับซอร์ส V_{DS} ค่าศักย์ดาระหว่างเกตกับซอร์ส V_{GS} จะถูกกำหนดให้มีค่ามากกว่าค่าศักย์ดาระดับโวลต์ V_m

การสร้างค่าความนำไฟฟ้าให้เกิดขึ้นในแซนแนลระหว่างเดรนกับซอร์ส และกำหนดจุดพิกัดของโครงสร้างเป็นดังนี้ ทิศทาง x (x -direction) จะตั้งฉากไปกับพื้นผิวและชี้ลงไปพิกัดของไม่วาร์ณใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างดังนี้ ทิศทาง x (x-direction) จะตั้งฉากไปกับพื้นผิวและชี้ลงไปยังขั้วลบตรง ส่วน ทิศทาง y (y-direction) จะขนานไปกับพื้นผิวให้ $V_c(y)$ เป็นศักย์ตาเซนแนล กำหนดให้ค่าศักย์ตาเซนแนลมีค่าคงที่ตลอดเซนแนล ดังนั้นขอบเขตของศักย์ตาเซนแนลจะเป็นดังนี้

$$\begin{aligned} V_c(y=0) &= V_s = 0 \\ V_c(y=L) &= V_{DS} \end{aligned} \quad (2.1)$$

นอกจากนั้นบริเวณเซนแนลระหว่างเดรนกับซอร์สจะถูกกำหนดให้มีค่าตรงข้ามกัน

$$\begin{aligned} V_{GS} &< V_{T0} \\ V_{GD} &= V_{GS} - V_{DS} \geq V_{T0} \end{aligned} \quad (2.2)$$

เมื่อ V_{GD} เป็นศักย์ระหว่างเกตและเดรน

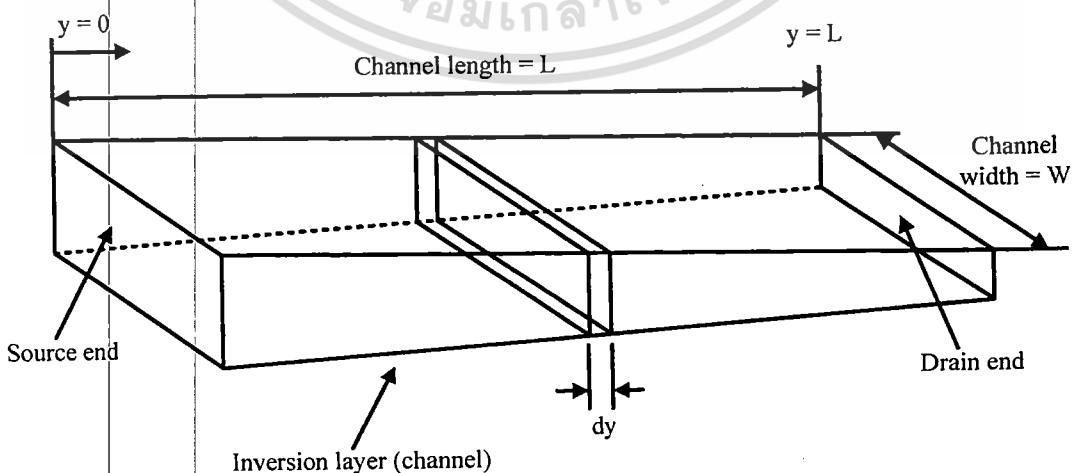
กระแสเดรนเกิดจากการเคลื่อนที่ของอิเล็กตรอนภายในเซนแนลจากซอร์สไปยังเดรนภายใต้สนามไฟฟ้าที่ถูกสร้างขึ้น เมื่อการไหลของกระแสจะถูกกำหนดโดยจำนวนประจุของโมบายอิเล็กตรอน (Mobile electron) บนผิวของ inversion layer ดังนั้นจะพิจารณาในรายละเอียดของ inversion layer ที่ขึ้นอยู่กับศักย์ตาเซนแนลในการไปอัด

ถ้าให้ $Q_1(y)$ เป็นโมบายอิเล็กตรอนรวมที่ประจุในผิวของ Inversion layer การประจุนี้สามารถแสดงในฟังก์ชันของศักย์ระหว่างเกตกับซอร์ส V_{GS} และศักย์ตาเซนแนล $V_c(y)$ ได้ดังนี้

$$Q_1(y) = -C_{ox} [V_{GS} - V_c(y) - V_{T0}] \quad (2.3)$$

โดยที่ C_{ox} คือค่าความจุต่อหนึ่งหน่วยพื้นที่ของชั้นออกไซด์ที่กั้นระหว่างเกตกับเซนแนล

ในรูปที่ 2.7 จะเป็นการแสดงพื้นผิวทางเรขาคณิตของ inversion layer และแสดงขนาดของตัวแปรต่างๆ ค่าความหนาของ inversion จะเป็นรูปถึ้มเริ่มจากซอร์สไปยังเดรน เนื่องจากศักย์ตาเซนแนลระหว่างเกตและเซนแนลทำให้ผิวของ inversion layer มีค่าน้อยลงที่จุดสิ้นสุดของเดรน



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ส่วนทางเรขาคณิตบริเวณผิวของอินเวอร์ชันชั้นเลเยอร์ใช้ประโยชน์ด้านการคำนวณ ไม่ว่ากรรมใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการพิจารณาการเพิ่มขึ้นของความต้านทาน dR ของการ differential ส่วนแขนแนดตั้งที่แสดงในรูปที่ 2.7 กำหนดให้โมบายอิเล็กตรอนใน inversion layer ทั้งหมดมีค่าความคล่องตัวของอิเล็กตรอน μ_n คงที่ การเพิ่มขึ้นของความต้านทานสามารถแสดงได้ดังนี้

$$dR = -\frac{dy}{W\mu_n Q_1(y)} \quad (2.4)$$

กระแสเดรนจะไหลระหว่างเดรนกับซอร์สในทิศทาง y ซึ่งเป็นไปตามข้อกำหนดของรูปแบบการวิเคราะห์แบบหนึ่งมิติ ใช้กฎของโอห์มเพื่อหาศักย์ค่าตกคร่อมระหว่างเดรนกับซอร์สของการเพิ่มของ dy ในทิศทาง y จะได้ออกมาเป็น

$$dV_c = I_D dR = -\frac{I_D}{W\mu_n Q_1(y)} dy \quad (2.5)$$

ทำการอินทิเกรตสมการที่ 2.5 ไปตามความยาวของแขนแนดจาก $y=0$ ไปยัง $y=L$ โดยใช้ขอบเขตที่กำหนดจากสมการที่ 2.1

$$\int_0^L I_D dy = -W\mu_n \int_0^{V_{DS}} Q_1(y) dV_c \quad (2.6)$$

สมการด้านซ้ายมือจะเป็น $I_D L$ แทนค่า $Q_1(y)$ ด้วยสมการที่ 2.3 แล้วทำการอินทิเกรตดังนี้

$$I_D L = W\mu_n C_{ox} \int_0^{V_{DS}} (V_{GS} - V_c(y) - V_{T0}) dV_c \quad (2.7)$$

กำหนดให้มีการเปลี่ยนแปลงศักย์ค่าแขนแนด V_c ในสมการที่ 2.7 ขึ้นอยู่กับตำแหน่งของ y จะได้กระแสเดรนเป็นดังนี้

$$I_D = \frac{\mu_n C_{ox} W}{2L} [2(V_{GS} - V_{T0})V_{DS} - V_{DS}^2] \quad (2.8)$$

สมการที่ 2.8 เป็นการแสดงกระแสเดรนในรูปฟังก์ชัน second-order ของศักย์ค่าจากภายนอก คือ ศักย์ค่าระหว่างเกตและซอร์ส V_{GS} และศักย์ค่าระหว่างเดรนกับซอร์ส V_{DS} สมการดังกล่าวเป็นสมการความสัมพันธ์ระหว่างกระแสกับศักย์ค่าของมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear region) และสามารถเขียนสมการใหม่ได้ดังนี้

$$I_D = \frac{k}{2} [2(V_{GS} - V_{T0})V_{DS} - V_{DS}^2] \quad (2.9)$$

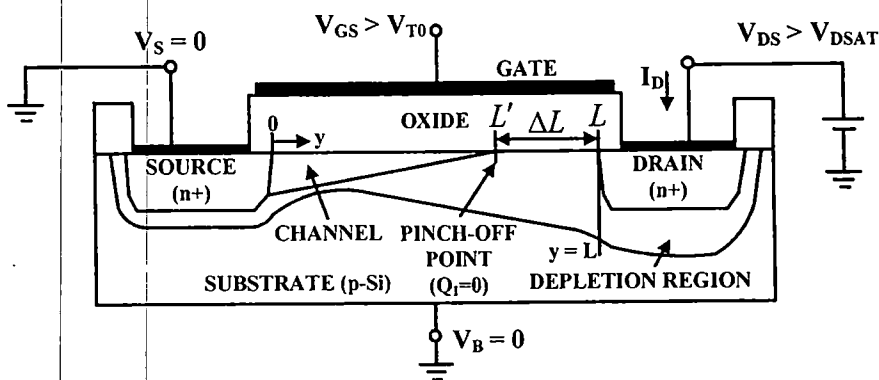
เมื่อ

$$V_{GS} > V_{th}; 0 < V_{DS} < (V_{GS} - V_{th})$$

$$k_n = \mu_n C_{ox} \frac{W}{L} \quad (2.10)$$

จากสมการที่ 2.9 เป็นการประมาณการใช้ได้ดีในกรณีที่ $V_{DS} < (V_{GS} - V_{th})$ เท่านั้น เมื่อ $V_{DS} > (V_{GS} - V_{th})$ จะเกิดปรากฏการณ์อีกอย่างหนึ่งขึ้นดังแสดงในรูปที่ 2.8 แสดงถึงค่าศักย์ค่าที่เปลี่ยนแปลงไปภายในแขนแนด และปริมาณความเข้มของประจุที่ค่อยๆ ลดลงเมื่อเข้าไปใกล้เดรน ถ้าเดรนมีศักย์ค่าเท่ากับ $V_{DS} > (V_{GS} - V_{th})$ จะทำให้ inversion layer และความลึกของแขนแนด

ลดลง ซึ่งจะถูกเรียกว่า Pinch-off point จะทำให้มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว (Saturation region) ทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.8 การเกิดพินช์ - ออฟ

จากรูปที่ 2.8 ทำให้สามารถแสดงขอบเขตการทำงานของมอสทรานซิสเตอร์ในช่วงอิมตัวได้เป็นดังนี้

$$V_{DS} \geq (V_{GS} - V_{th}) \quad (2.11)$$

ดังนั้นกระแสทรานในช่องการทำงานแบบอิมตัวสามารถหาได้โดยการแทนสมการที่ 2.11 ไปในสมการที่ 2.8 จะได้เป็น

$$I_D = \frac{\mu_n C_{ox} W}{2 L} \left[2(V_{GS} - V_{th})(V_{GS} - V_{th}) - (V_{GS} - V_{th})^2 \right] \quad (2.12)$$

$$I_D = \frac{\mu_n C_{ox} W}{2 L} \left[(V_{GS} - V_{th})^2 \right] \quad (2.13)$$

และสามารถเขียนสมการใหม่ได้เป็น

$$I_D = \frac{k_n}{2} \left[(V_{GS} - V_{th})^2 \right] \quad (2.14)$$

เมื่อ

$$V_{GS} > V_{th}; 0 < V_{DS} < (V_{GS} - V_{th})$$

จากรายละเอียดของคุณสมบัติทางสัณยศาสตร์และกระแสของมอสทรานซิสเตอร์ทำให้สามารถสรุปการจัดไบอัสการทำงานของมอสทรานซิสเตอร์ได้เป็น 3 ช่วง โดยการทำงานทั้งหมดจะอ้างอิงการไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์ ดังนี้

2.5.1 การทำงานในช่วงคัทออฟ (Cutoff Region)

เป็นการไบอัสให้ศักย์ระหว่างเกตกับซอร์ส V_{GS} มีค่าน้อยกว่าศักย์คาเทรตโฮลด์ V_{th} จะเป็นผลทำให้ไม่มีกระแสไหลระหว่างทรานกับซอร์ส ดังนั้นสมการกระแสทรานจะเป็นดังนี้

$$I_D = 0, V_{GS} < V_{th} \quad (2.15)$$

2.5.2 การทำงานในช่วงไม่อิ่มตัว (Non-Saturation Region) หรือช่วงเชิงเส้น (Linear Region) หรือ (Triode Region)

เป็นการไบอัสให้ศักย์ดาระหว่างเกตและซอร์ส V_{GS} มีค่ามากกว่าศักย์ดาเทรตโพลด์ $|V_{GS}| > V_{th}$ และขณะเดียวกันจะไบอัสให้ศักย์ดาระหว่างเดรนกับซอร์สมีค่าน้อยกว่าศักย์ดาระหว่างเกตกับซอร์สลบด้วยศักย์ดาเทรตโพลด์ $V_{DS} < (V_{GS} - V_{th})$ จะทำให้มีกระแสไหลระหว่างเดรนกับซอร์ส โดยสมการกระแสเดรนเป็นดังนี้

$$I_D = \frac{k_n}{2} [(V_{GS} - V_{th})V_{DS} - V_{DS}^2] \quad (2.16)$$

เมื่อ

$$V_{GS} > V_{th}; 0 < V_{DS} < (V_{GS} - V_{th})$$

2.5.3 การทำงานในช่วงอิ่มตัว (Saturation Region)

เป็นการไบอัสให้ศักย์ดาระหว่างเกตกับซอร์ส V_{GS} มีค่ามากกว่าศักย์ดาเทรตโพลด์ $|V_{GS}| > V_{th}$ และขณะเดียวกันจะไบอัสให้ระหว่างเดรนกับซอร์สมากกว่าหรือเท่ากับศักย์ดาระหว่างเกตกับซอร์สลบด้วยศักย์ดาเทรตโพลด์ $V_{DS} > (V_{GS} - V_{th})$

$$I_D = \frac{k_n}{2} [(V_{GS} - V_{th})^2] \quad (2.17)$$

เมื่อ

$$V_{GS} > V_{th}; 0 < (V_{GS} - V_{th}) \leq V_{DS}$$

จะเห็นได้ว่าสมการกระแสเดรนในช่วงอิ่มตัวที่ได้จะมีค่าคงที่ไม่ขึ้นกับศักย์ดาที่เดรนกับซอร์ส V_{DS} แต่จะขึ้นอยู่กับศักย์ดาระหว่างเกตกับซอร์สลบด้วยศักย์ดาเทรตโพลด์ $(V_{GS} - V_{th})$ ซึ่งทำให้สมการเป็นไปตามคุณลักษณะของกฎสมการกำลังสอง (Square-Law Equation) นั่นเอง

ตัวแปรต่างๆที่แสดงในสมการทั้งหมดสามารถแสดงรายละเอียดได้ดังนี้

k_n = ค่าทรานสคอนดักแตนซ์ (Transconductance) มีค่าเท่ากับ $(\mu_n C_{ox}) \frac{W}{L}$

μ_n = ค่าสภาพความคล่องตัวของ โพลด์หรืออิเล็กตรอน (Surface Mobility of Carrier)

C_{ox} = ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ เท่ากับ ϵ_{ox}/t_{ox}

ϵ_{ox} = ค่าคงที่ของ $SiO_2 = 3.97 \times 8.85 \times 10^{-14} F/cm$

t_{ox} = ความหนาของเกตออกไซด์

W = ความกว้างของแชนแนล (Channel Width)

L = ความยาวของแชนแนล (Channel Length)

V_{GS} = ศักย์ดาไฟฟ้าระหว่างเกตกับซอร์ส (Gate-Source Voltage)

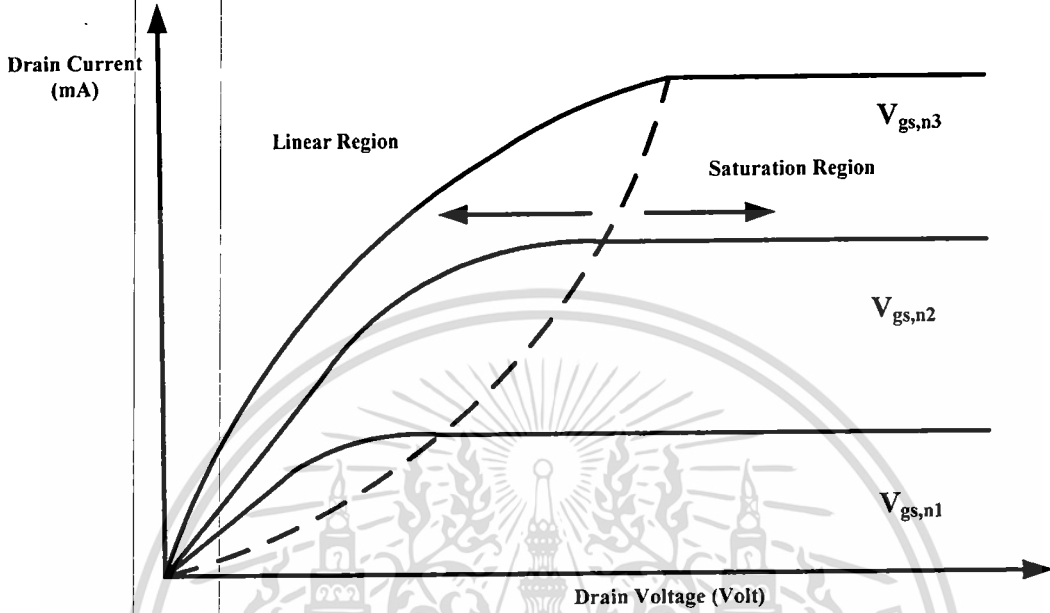
V_{GD} = ศักย์ดาไฟฟ้าระหว่างเกตกับเดรน (Gate-Drain Voltage)

V_{DS} = ศักย์ดาไฟฟ้าระหว่างเดรนกับซอร์ส (Drain-Source Voltage) ใช้ประโยชน์ด้านการค้า

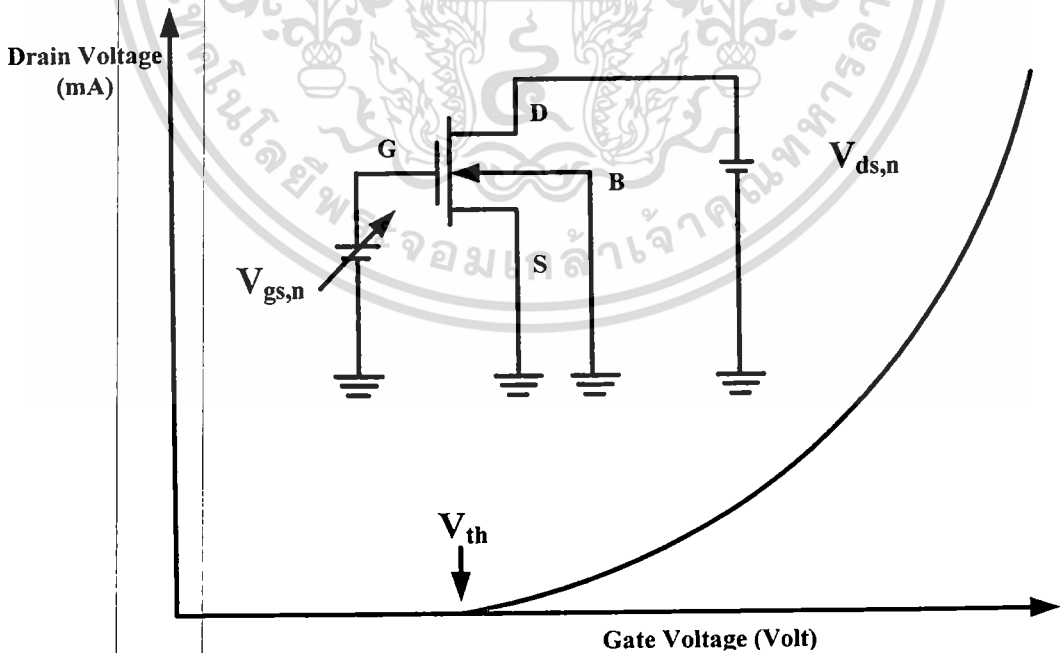
ไม่จำกัดใดๆ ใช้สินค้าและบริการของเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{SB} = ศักย์ดาไฟฟ้าซับสเตรต (Substrate Voltage)

- V_{th} = ศักย์ค่าเริ่มต้นของเอ็นมอส (NMOS Threshold Voltage)
- V_p = ศักย์ค่าเริ่มต้นของพีมอส (PMOS Threshold Voltage)
- I_d = กระแสเดรนเอ็นมอสทรานซิสเตอร์



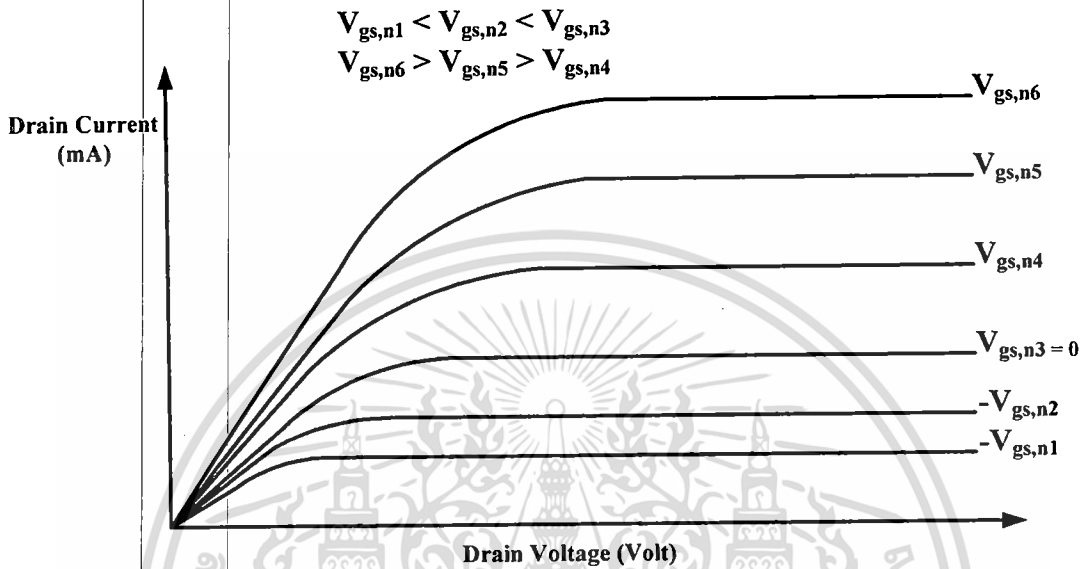
รูปที่ 2.9 คุณลักษณะกระแสกับศักย์ค่าพื้นฐานของเอ็นมอสทรานซิสเตอร์



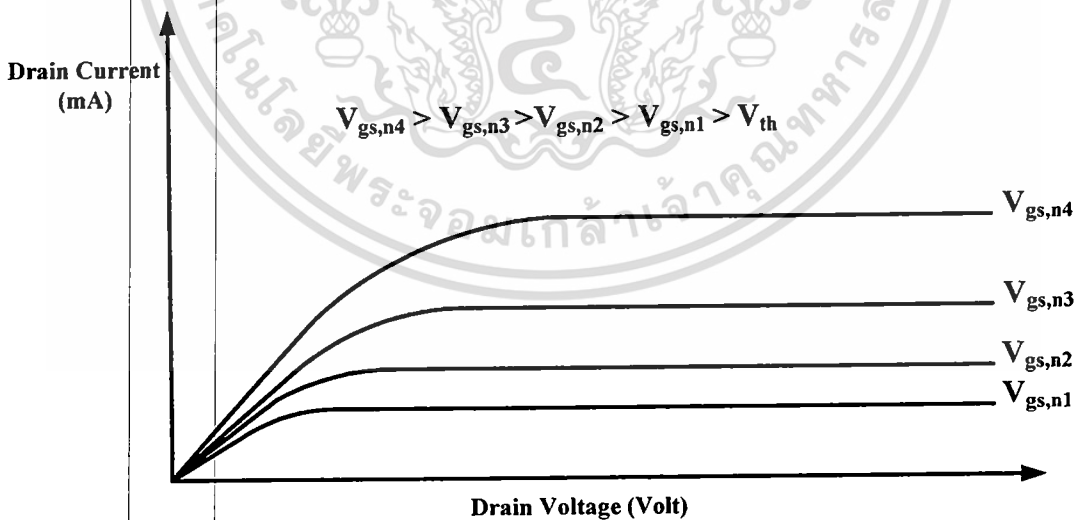
รูปที่ 2.10 กระแสเดรนของเอ็นมอสทรานซิสเตอร์ตามฟังก์ชันของศักย์ค่าระหว่างเกตกับซอร์ส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.9 แสดงตัวอย่างคุณลักษณะกระแสเดรนเทียบกับศักย์คาเดรนของเอ็นมอสทรานซิสเตอร์ โดยใช้สมการกระแสที่ 2.8 และสมการ 2.12 เส้นประพาราโบลาจะเป็นการแสดงขอบเขตระหว่างช่วงเชิงเส้นและอิมิตัว คุณลักษณะของกระแสกับศักย์คาของมอสทรานซิสเตอร์สามารถเขียนเทียบระหว่างกระแสเดรนและศักย์คาที่เกิด ดังแสดงในรูปที่ 2.10



รูปที่ 2.11 กระแสเดรนและศักย์คาระหว่างเดรนกับซอร์สของมอสทรานซิสเตอร์แบบดีพลีชัน



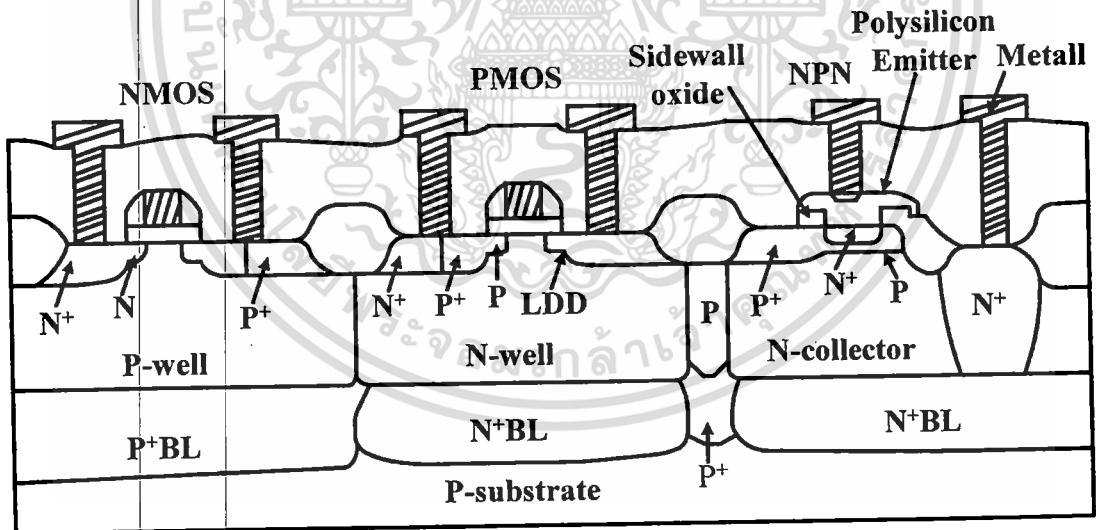
รูปที่ 2.12 กระแสเดรนและศักย์คาระหว่างเดรนกับซอร์สของมอสทรานซิสเตอร์ชนิดเอ็นฮานซ์เมนต์

2.6 เทคโนโลยีไบซีมอส

เทคโนโลยีการสร้างไบซีมอสได้รับการพัฒนามาจากเทคโนโลยีการสร้างวงจรมอสและไบโพลาร์ โดยขั้นตอนที่สอดคล้องกันจะถูกสร้างขึ้นพร้อมกัน ดังนั้นจึงสามารถแบ่งเทคโนโลยีการสร้างไบซีมอสได้เป็น 2 แบบ [4-5] คือ

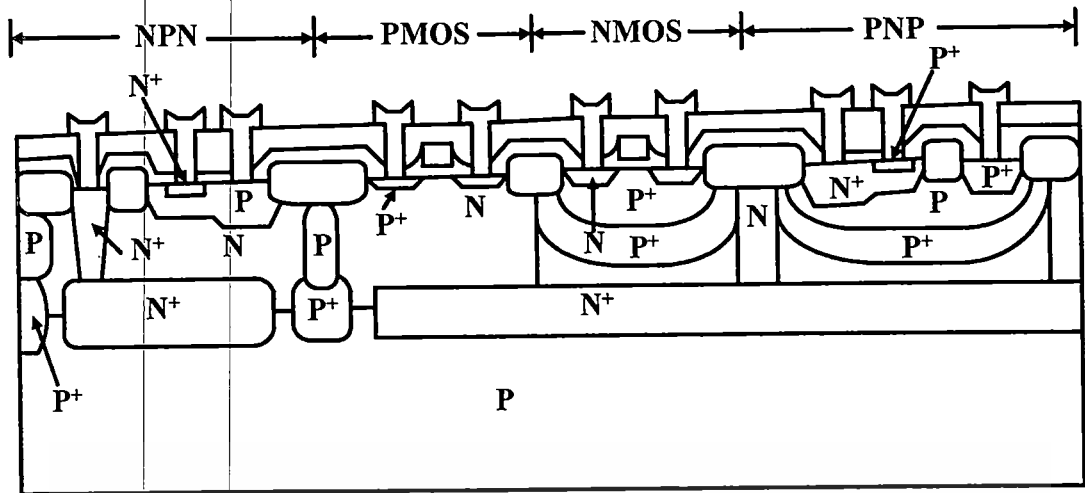
2.6.1 ไบโพลาร์โดยใช้เทคโนโลยีไบซีมอส

ในระยะแรกๆ ในการผลิตวงจรมอส การเพิ่มอุปกรณ์มอสลงบนวงจรมอสไบโพลาร์ภายใต้เทคโนโลยีการผลิตไบโพลาร์ เป็นเรื่องยุ่งยากและเสียค่าใช้จ่ายสูง ดังนั้นจึงนิยมที่จะสร้างอุปกรณ์ไบโพลาร์ลงบนขบวนการผลิตซีมอสมากกว่า อย่างไรก็ตามอุปกรณ์ไบโพลาร์ที่ผลิตด้วยเทคโนโลยีนี้มีคุณภาพสูงกว่า เนื่องจากสามารถควบคุมขนาดและความหนาแน่นสารเจืออย่างมีประสิทธิภาพทำให้ไบโพลาร์ที่ได้มีอัตราการขยายสูงความถี่คัท-ออฟอยู่ที่ประมาณ 20 – 30 GHz ซึ่งเป็นผลให้สามารถสร้างวงจรมอสที่มีความเร็วสูง ทำให้ผู้ผลิตบางรายหันมาใช้เทคโนโลยีนี้บ้างก็ตาม แต่วงจรมอสที่ได้ก็มีขนาดใหญ่และมีการสูญเสียกำลังในรูปความร้อนสูง ดังนั้น จึงต้องออกแบบระบบระบายความร้อนให้ดี จึงจะรักษาประสิทธิภาพของวงจรมอสไว้ได้ ทำให้เทคโนโลยีนี้ยังไม่เป็นที่นิยมอย่างแพร่หลายนัก



รูปที่ 2.13 (a) ภาพตัดขวางโครงสร้างอุปกรณ์ภายใต้เทคโนโลยีไบซีมอส

แบบเอ็นพีเอ็น-ซีมอส



รูปที่ 2.13 (b) ภาพตัดขวาง โครงสร้างอุปกรณ์ภายใต้เทคโนโลยีไบซีเอ็มอสแบบซีไบซีเอ็มอส

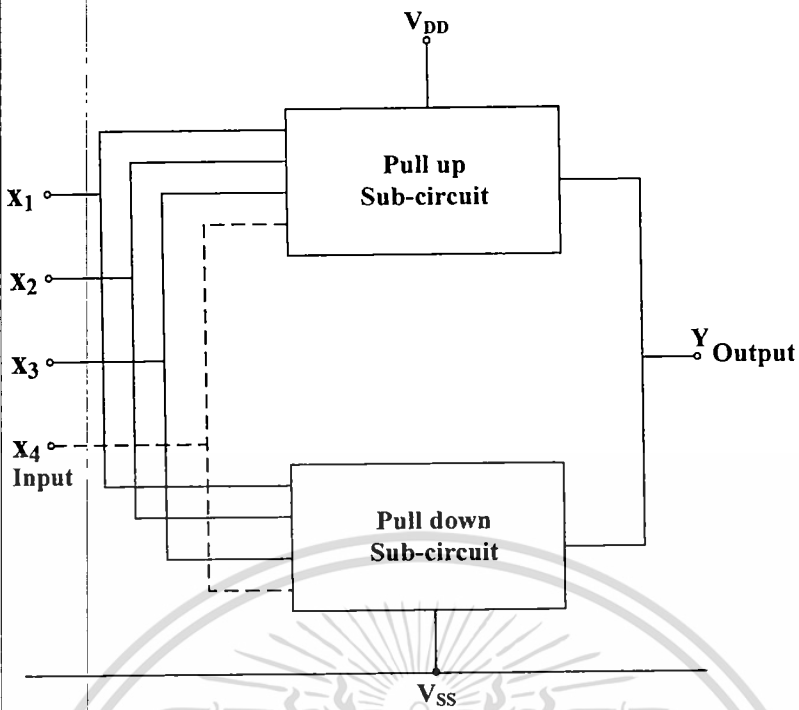
2.6.2 BiCMOS เทคโนโลยีบนพื้นฐาน MOS

เป็นขบวนการผลิตที่ใช้เทคโนโลยีมอสเป็นหลัก แต่ทำการสร้างอุปกรณ์ไบโพลาร์เพิ่มเข้าไป โดยบางส่วนของอุปกรณ์ไบโพลาร์สามารถสร้างขึ้นภายใต้เทคโนโลยีซีเอ็มอส ในขณะที่บางส่วนจำเป็นต้องเพิ่ม Mask หรือ Layout พิเศษ คุณภาพของไบโพลาร์จะเป็นตัวกำหนดความซับซ้อนและจำนวน Layout ที่เพิ่มขึ้น

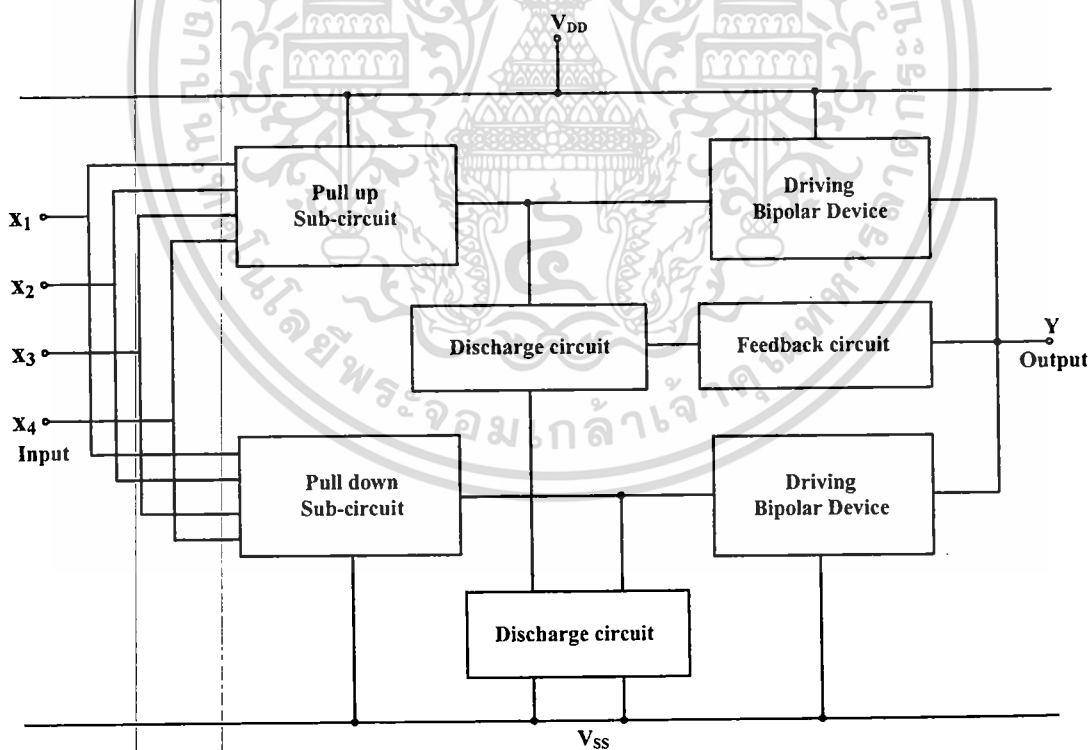
2.7 โครงสร้างและการทำงานของวงจรไบซีเอ็มอส

วงจรไบซีเอ็มอส แบ่งส่วนการทำงานออกเป็น 4 ส่วน ดังรูปที่ 2.14 (b) คือ

1. วงจรซีเอ็มอส ซึ่งทำหน้าที่กำหนดลอจิกฟังก์ชัน และทำหน้าที่ขับอุปกรณ์ไบโพลาร์ในส่วนที่ 2 วงจรส่วนนี้แบ่งออกเป็น Pull-up และ Pull-down
2. ส่วนอุปกรณ์ไบโพลาร์ ทำหน้าที่ขับ/ดึง กระแสโหลด เพื่อให้โหลดมีค่าลอจิกที่กำหนด
3. อุปกรณ์ ซึ่งทำหน้าที่คายประจุที่รอยต่อ อิมิตเตอร์-เบส เมื่อไบโพลาร์หยุดนำกระแส เพื่อให้วงจรสามารถทำงานได้เร็วขึ้น อุปกรณ์นี้อาจเป็นเพียง ตัวต้านทานหรือโหลด (Active load) เช่น มอสทรานซิสเตอร์ หรือ อาจประกอบขึ้นเป็นวงจรโครงข่ายซับซ้อน โดยอาศัยการป้อนกลับสัญญาณเพื่อควบคุมเวลาในการคายประจุเพื่อให้วงจรมีความเร็วสูง
4. อุปกรณ์อื่นๆ เช่น Passive/Active Shunt Network สำหรับการออกแบบวงจรแฉ่งเต็มช่วง หรือ อุปกรณ์เพิ่มความเร็ว เช่น Schottky diode เป็นต้น



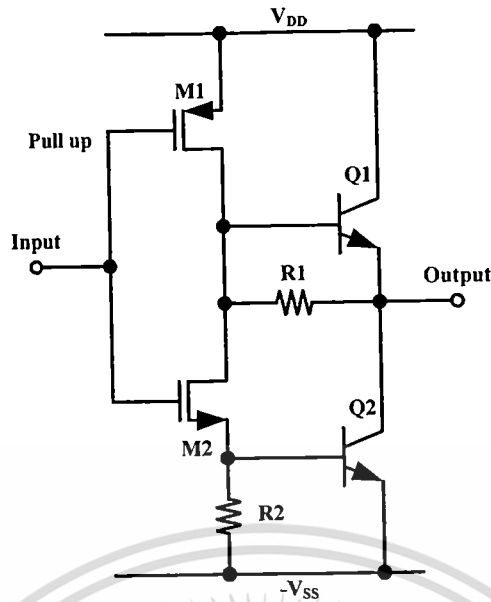
รูปที่ 2.14 (a) โครงสร้างภายในของวงจรมอสตลอจิกเกต



รูปที่ 2.14 (b) โครงสร้างภายในของไบซีมอสตลอจิกเกต

120061

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.15 วงจรไบซีมอสอินเวอร์เตอร์

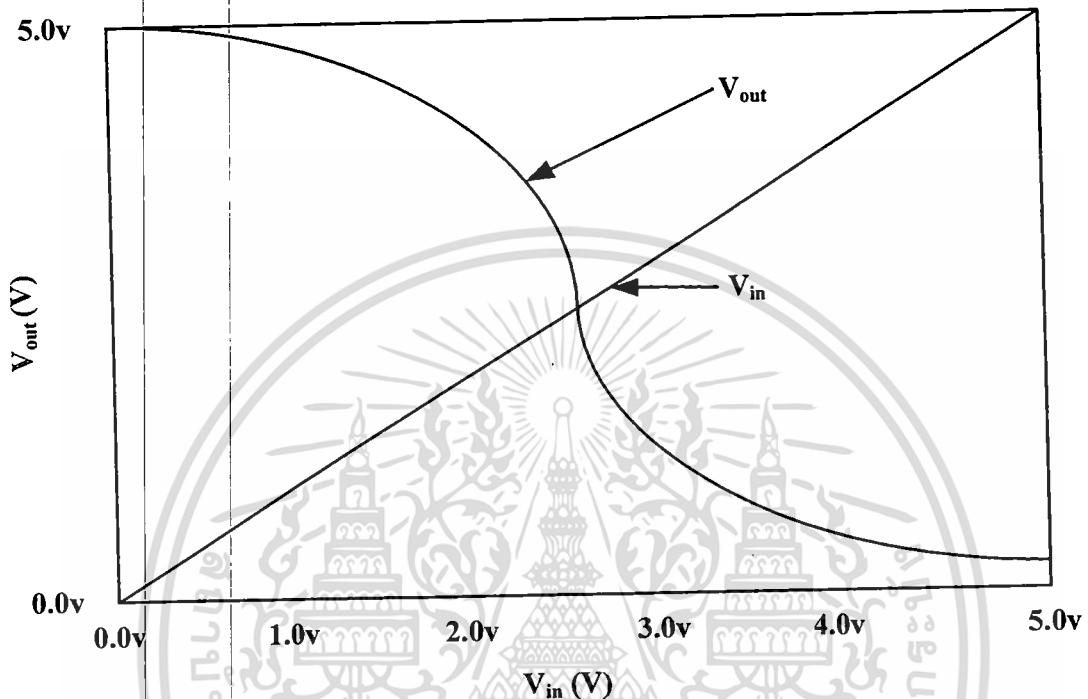
วงจรไบซีมอสในรูปที่ 2.15 เป็นวงจรอินเวอร์เตอร์ ซึ่งเป็นเทคนิคการออกแบบวงจรในระยะเริ่มแรก ด้วยเทคโนโลยีในสมัยนั้น ไบโพลาร์ทรานซิสเตอร์ที่สร้างขึ้นมีขนาดใหญ่มาก ดังนั้นขนาดของตัวต้านทานจึงไม่เป็นเงื่อนไขในการออกแบบ วงจรดังกล่าวจึงถูกผลิตออกมาในรูปของอุปกรณ์ดิสครีต (discrete element) หรือวงจรรวมแบบ LSI มากกว่าที่จะออกแบบให้เป็นวงจรรวมแบบ VLSI และ ULSI

การทำงานของวงจร จากรูปวงจรส่วนแรกเป็นวงจรซีมอส ทำหน้าที่กำหนดระดับสัญญาณโดยต่อกันแบบคู่ประกอบ (Complementary) M1 ทำหน้าที่เป็นวงจรส่วน Pull-up และ M2 ทำหน้าที่เป็นวงจรส่วน Pull-down โดยกำหนดระดับสัญญาณเอาต์พุตเป็น 0 และ 1 ตามลอจิกฟังก์ชัน ตามลำดับ แรงดันสัญญาณแคว่งเอาต์พุตของวงจรส่วนหน้าีระหว่าง V_{SS} และ V_{DD} ตัวต้านทาน Z_1 และ Z_2 ทำหน้าที่คายประจุที่รอยต่อเบส-อิมิตเตอร์เพื่อเพิ่มความเร็วในการหยุดนำกระแสของไบโพลาร์ทรานซิสเตอร์ นอกจากนี้ Z_1 และ Z_2 ยังทำให้สัญญาณเอาต์พุตเกิดการแคว่งแบบเต็มช่วง (Full swing) เมื่อไบโพลาร์หยุดนำกระแสแล้ว

เมื่อเริ่มป้อนสัญญาณ 0 ที่อินพุต พีมอสทรานซิสเตอร์ M1 เกิดการเหนี่ยวนำช่องทางเดินกระแส โดยกระแสส่วนใหญ่จะไหลจากแหล่งจ่าย ผ่าน M1 ทำการไบอัส ไบโพลาร์ Q1 ที่ขาเบส ขณะนี้เอ็นมอสทรานซิสเตอร์ยังคงคัทออฟ ดังนั้นจึงไม่มีทางเดินกระแสตรงระหว่างแหล่งจ่าย กระแสที่ไหลจากแหล่งจ่ายจึงเป็นเพียงกระแส AC ที่ไหลไปยังเอาต์พุตโนด โดยกระแสบางส่วนจะไหลผ่าน Z_1 ไป กระแสนี้ให้กระแสไบอัสน้อยลง เป็นผลให้การทำงานของวงจรช้าลง ดังนั้นจึงนิยมออกแบบให้ Z_1 มีขนาดใหญ่เพื่อจำกัดขนาดของกระแสที่ผ่าน Z_1 เมื่อไบโพลาร์เริ่มเข้าสู่ย่านอิ่มตัว Z_1 นี้ยังคงนำกระแสต่อไป ทำให้เอาต์พุตมีค่าเท่ากับ V_{DD}

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี กรุณาให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในทางตรงกันข้าม เมื่อป้อนสัญญาณ 0 ที่อินพุต M2 เริ่มนำกระแส เกิดการไบอัสไบโพลาร์ทรานซิสเตอร์ Q2 เกิดการคายประจุออกจากโหลดผ่าน Q2, M2, Z₁ และ Z₂ เมื่อ Q2 เริ่มเข้าสู่ย่านอิ่มตัว M2 จะหยุดนำกระแส ดังนั้นสัญญาณเอาต์พุตจึงมีค่าเท่ากับ $V_{CE(SAT)} - V_{SS}$ หรือประมาณเท่ากับ V_{SS}

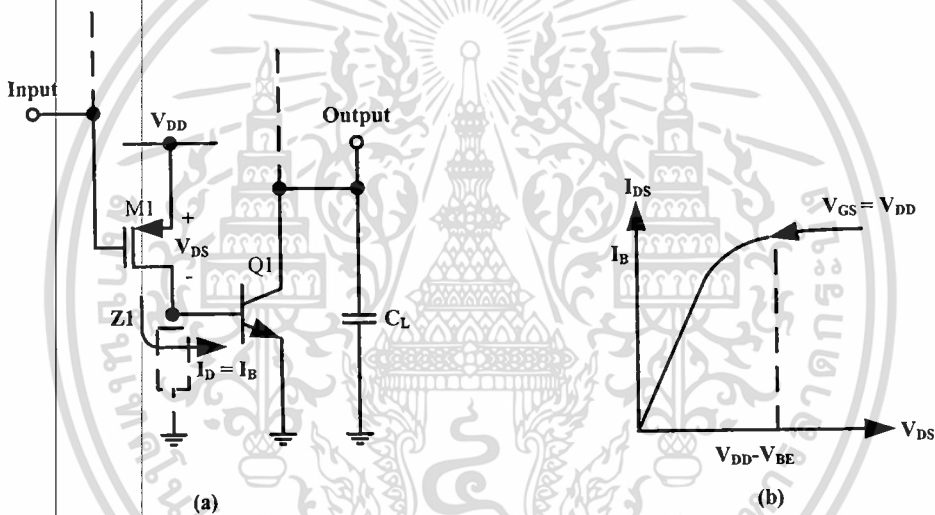


รูปที่ 2.16 การถ่ายโอนกระแสตรงของวงจรซีมอสอินเวอร์เตอร์

2.8 การออกแบบวงจรไบซีมอส

ขั้นตอนในการออกแบบวงจร Static logic ด้วยเทคโนโลยีไบซีมอส เริ่มจากการกำหนดฟังก์ชันการทำงานในรูปของสมการบูลีนจากนั้นใช้วิธีเดียวกันกับการออกแบบวงจรซีมอส โดยทำการออกแบบวงจรส่วน Pull-up และส่วน Pull-down โดยแยกทั้งสองส่วนออกจากกัน ขั้นตอนต่อไปจึงเพิ่มอุปกรณ์ไบโพลาร์ซึ่งทำหน้าที่ขับกระแส ชนิดของอุปกรณ์ไบโพลาร์และการเชื่อมต่อที่ต่างกันทำให้การทำงานและคุณลักษณะ (Characteristic) ของวงจรที่ได้แตกต่างกัน ซึ่งสามารถแบ่งออกได้ดังนี้

ทรานซิสเตอร์อย่างรวดเร็ว เมื่อศักย์คาบระหว่าง เบส-อิมิตเตอร์เข้าสู่ $V_{BE(ON)}$ ไบโพลาร์จะเริ่มนำกระแส I_C ทำการคายประจุที่ C_L ลงสู่กราวด์ โดยที่มอสทรานซิสเตอร์ยังคงทำงานในย่านอิ่มตัว $V_{DS} > (V_{GS} - |V_{th}|)$ คือ $V_{DS} = V_{DD} - V_{BE(ON)}$ และ $V_{GS} = (V_{DD} - |V_{th}|)$ ดังนั้นในการออกแบบต้องกำหนดให้ $|V_{th}| > V_{BE(ON)}$ และเนื่องจาก V_{DS} และ V_{GS} มีขนาดคงที่ ดังนั้นกระแส I_D และ I_B จึงมีค่าคงที่ตลอดการทำงานในช่วงนี้ ดังรูปที่ 2.18 (b) จนเมื่อกระทั่งไบโพลาร์เริ่มอิ่มตัว และมีศักย์คาบคร่อมคอลเลกเตอร์-อิมิตเตอร์ เท่ากับ $V_{CE(SAT)}$ (โดยประมาณ 100-200 มิลลิโวลต์) ดังนั้นวงจรนี้จึงมีช่วงการแกว่งของสัญญาณเอาต์พุต ใกล้เคียงกับแบบวงจรแกว่งเต็มช่วง (Full Swing circuit หรือ rail to rail) คือมี $V_{OH} = [V_{DD} - V_{CE(SAT)}]$ และ $V_{OL} = V_{CE(SAT)}$ เนื่องจากวงจรนี้ มอสทรานซิสเตอร์นำกระแสสูงในย่านอิ่มตัวตลอดการทำงาน และไม่ขึ้นกับแรงดันเอาต์พุตของวงจร ดังนั้นวงจรนี้จึงมีความเร็วในการทำงานสูง



รูปที่ 2.18 วงจรไบซิมอสส่วน Pull-down (a) โครงสร้างแบบอิมิตเตอร์ร่วม
(b) การทำงานของวงจร

อย่างไรก็ตาม วงจรดังกล่าวก็มีข้อเสียคือ เกิดกระแสสวิตช์ตรงตลอดเวลา แม้ว่าวงจรจะไม่ได้อยู่ในช่วงการเปลี่ยนแปลงระดับลอจิกหรือช่วงสวิตช์ก็ตาม ซึ่งต่างกับวงจรซิมอสและไบซิมอสอื่นๆ ซึ่งจะนำกระแสในช่วงเฉพาะที่เกิดการสวิตช์เท่านั้น ดังนั้นวงจรไบซิมอสแบบคอมมอนอิมิตเตอร์จึงเกิดกำลังสูญเสียมาก นอกจากนี้เนื่องจากในช่วงสุดท้ายของการเปลี่ยนแปลงระดับลอจิก ไบโพลาร์ทรานซิสเตอร์จะทำงานในย่านอิ่มตัว และจะนำกระแสในย่านตลอดไป หลังหลังสิ้นสุดการเปลี่ยนระดับลอจิก ทำให้เกิดประจุที่สะสมอยู่ระหว่างเบส-คอลเลกเตอร์ เป็นจำนวนมาก และเมื่อเกิดการเปลี่ยนแปลงระดับลอจิกหรือเกิดการสวิตช์อีกครั้งหนึ่ง ไบโพลาร์ที่เคยนำกระแสอยู่ก็จะเข้าสู่ย่านคัทออฟแทน ผลของประจุค้างทำให้ไบโพลาร์หยุดนำกระแสช้าลง วงจรนี้จึงมีค่าหน่วงเวลาดึงลงที่สูง ดังนั้นในการออกแบบวงจรประเภทนี้ จึงต้องออกแบบให้

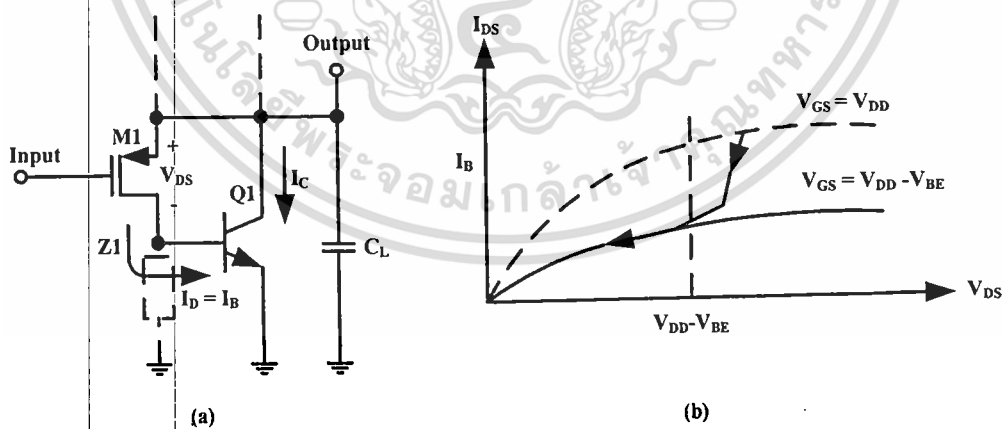
อุปกรณ์คายประจุเช่นตัวต้านทานหรือมอสที่มีขนาดใหญ่กว่าปกติหรือ อาจเพิ่ม Schottky diode ที่รอยต่อเบส-คอลเลกเตอร์ เพื่อช่วยลดผลของประจุค้าง

2.8.2 โครงสร้างแบบ Gate – Diode (GD)

พิจารณาการทำงานของวงจร เมื่อป้อนระดับสัญญาณอินพุต '1' เอ็มอสทรานซิสเตอร์ จะเริ่มนำกระแสโดยทำงานในย่านอิ่มตัว ($V_{DS} = V_{DD} - V_{BE(ON)}$ และ $V_{GS} = V_{DD}$) กระแส I_D จะทำการไบอัสไบโพลาร์ทรานซิสเตอร์ จนศักย์ค่าที่รอยต่อเบส – อิมิตเตอร์มีค่าเท่ากับ $V_{BE(ON)}$ ไบโพลาร์จะเริ่มนำกระแสโดยการคายประจุ C_L ลงสู่กราวด์ เมื่อขนาดสัญญาณเอาต์พุตลดลงจนมีค่าเท่ากับ $V_{DD} - V_{th}$ ช่วงเวลานี้มอสจะเข้าสู่การทำงานในเชิงสภาวะเชิงเส้น คือ $V_{GS} = V_{DD} - V_{BE}$ และ $V_{DS} = V_{GS} - V_{th}$ โดยกระแส I_{DS} จะลดลงแบบกำลังสองตามศักย์ค่าเอาต์พุตที่ลดลง $V_{DS} = V_{OL} - V_{BE(ON)}$

$$I_B = I_{DS} = \frac{\mu \epsilon W}{t_{ox} L} \left[(V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.18)$$

จนกระทั่งศักย์ค่าเอาต์พุตมีค่าเท่ากับ $V_{BE(ON)}$ หรือ $V_{DS} = 0V$ มอสทรานซิสเตอร์จะหยุดนำกระแส แต่เนื่องจากศักย์ค่าที่เบส – อิมิตเตอร์ ยังคงมีค่าเท่ากับ $V_{BE(ON)}$ ดังนั้นในสภาวะสุดท้ายของการสวิตช์ จึงมีค่าศักย์ค่าเอาต์พุต $V_{OL} = V_{BE(ON)}$ โดยเสมือนมีไดโอดต่อแคลมปอยู่ เช่นเดียวกันสำหรับวงจรส่วน Pull-up ซึ่งมี $V_{OH} = V_{DD} - V_{BE(on)}$ ดังนั้นวงจรไบซิมอสแบบเกตไดโอด (GD) จึงมีช่วงแอมพลิจูดสัญญาณแบบไม่เต็มช่วง (Partial swing circuit)



รูปที่ 2.19 วงจรไบซิมอสส่วน Pull-down (a) โครงสร้างแบบเกต-ไดโอด

(b) การทำงานของวงจร

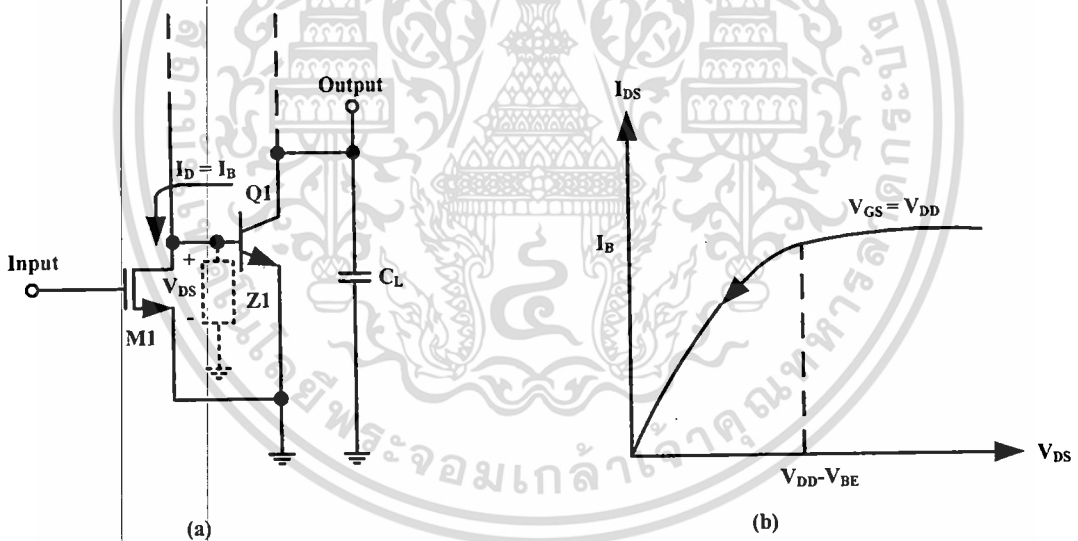
สำหรับการออกแบบวงจรไบซิมอสประเภทนี้ เพื่อเพิ่มความเร็วในการทำงานของวงจร

ต้องออกแบบให้ไบโพลาร์ไม่ทำงานสภาวะอิ่มตัว จากรูป 2.7 (a) อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอก แจกจ่าย หรือเผยแพร่เอกสารทุกครั้งที่มีการใช้

$$V_{OL}(t) = V_{CE}(t) - I_C(t)R_C$$

ถึงแม้ว่าขณะเกิดการสวิตช์ $V_{OL(Dynamic)}$ อาจมีค่าต่ำสุดเท่ากับ $V_{CE(SAT)}$ (ประมาณ 100 – 200 mV) ในช่วงที่กระแส I_C มีค่าสูงสุด และ R_C มีค่าสูง จากนั้นค่า I_C จะลด จนเมื่อกระแส $I_C = 0$ กระแส I_D จะยังคงคายประจุ C_L ต่อไป จนกระทั่งวงจรเข้าสู่สภาวะ Steady State หรือ ช่วงที่กระแส $I_D = 0$ เมื่อสัปดาห์เอาต์พุต $V_{OL(Static)} = V_{BE}$ เพื่อให้วงจรทำงานเร็วขึ้นคือจาก $V_{OL(Dynamic)}$ เข้าสู่ $V_{OL(Static)}$ โดยเร็ว ดังนั้นต้องออกแบบให้วงจรมีขนาด I_C มีค่าพอเหมาะ และ R_C ต้องมีค่าต่ำเพื่อป้องกันไม่ให้ไบโพลาร์จะทำงานในสภาวะอิ่มตัว

นอกจากวงจรประเภทนี้จะมีช่วงแกว่งสัญญาณแบบไม่เต็มช่วงแล้ว การเปลี่ยนระดับลอจิกจาก 0 ไป 1 และจาก 1 ไป 0 ยังมีลักษณะไม่สมมาตร พิจารณาได้จากวงจรในส่วน Pull-down ประกอบด้วยทรานซิสเตอร์แบบเอ็นมอสและไบโพลาร์แบบ NPN ซึ่งทำงานได้เร็วกว่าวงจรในส่วน Pull-up ซึ่งประกอบด้วยพีมอสและไบโพลาร์แบบ PNP ทั้งนี้เนื่องจากค่าความคล่องตัวของพาหะในชั้นสารหรือค่า Mobility ของอิเล็กตรอนมีค่าสูงกว่าโฮล ดังนั้นจึงต้องมีการออกแบบขนาดของทรานซิสเตอร์ในส่วนของ Pull-up และ Pull-down ให้เหมาะสมเพื่อให้การสวิตช์เป็นไปแบบสมมาตร



รูปที่ 2.20 วงจรไบซิมอสส่วน Pull-down (a) โครงสร้างแบบอิมิตเตอร์ตาม (b) การทำงานของวงจร

2.8.3 โครงสร้างแบบ Emitter-Follower (EF)

วงจรไบซิมอสประเภทนี้ ไบโพลาร์จะทำงานแบบวงจรอิมิตเตอร์ตาม (Emitter Follower) และ ถูกไบอัสด้วยมอสทรานซิสเตอร์ที่มทำงานแบบ Common Source และเนื่องจากวงจรมีโครงสร้างแบบวงจรอิมิตเตอร์ตามทำให้ช่วงการแกว่งของสัญญาณเอาต์พุตเป็นแบบไม่เต็มช่วง (Partial Swing) เช่นเดียวกับวงจรไบซิมอสแบบ Gate-Diode

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร สภาวะเริ่มแรงมอสทรานซิสเตอร์ยังคงคัทออฟ ดังนั้นกระแส $I_D = I_B = 0$ โดย V_{BE} มีค่าเท่ากับ 0V จากการคายประจุของอุปกรณ์คายประจุ Z_1 ที่สภาวะก่อนหน้านี้ และเมื่อป้อนสัญญาณอินพุต 1 มอสทรานซิสเตอร์จะเริ่มนำกระแสและทำงานในย่านอิ่มตัว เกิดการไบอัสไบโพลาร์ทรานซิสเตอร์ จนศักย์คาที่รอยต่อเบส - อิมิตเตอร์ มีค่าเท่ากับ $V_{BE(ON)}$ ไบโพลาร์จะเริ่มนำกระแสอย่างรวดเร็ว และเมื่อศักย์คาทางด้านเอาต์พุตมีค่าลดลงจนมีค่าเท่ากับ $V_{DD} - (V_{th} - V_{BE})$ มอสทรานซิสเตอร์ก็จะเข้าสู่การทำงานในสถานะเชิงเส้น ดังนั้นกระแส I_D ซึ่งทำการไบอัสทรานซิสเตอร์จะลดลงตามขนาดของ V_O ที่ลดลง เช่นเดียวกันกับแบบเกต - ไดโอด สิ่งที่แตกต่างกันคือ วงจรนี้จะมีการสวิทช์ของสัญญาณเอาต์พุตแบบสมมาตร โดยวงจร Pull-up ประกอบด้วยพีมอสทรานซิสเตอร์และไบโพลาร์แบบ NPN ในขณะที่วงจร Pull-down ประกอบด้วยเอ็นมอสทรานซิสเตอร์และไบโพลาร์แบบ PNP

เมื่อเปรียบเทียบโครงสร้างของวงจรไบซีมอสทั้งสามแบบ จะสังเกตได้ว่าวงจรไบซีมอสแบบ Common Emitter จะมีประสิทธิภาพต่ำสุด เนื่องจากเกิดการสูญเสียตลอดเวลา แม้ว่าจะไม่อยู่ในช่วงของการสวิทช์และถึงแม้ว่าวงจรนี้จะเป็นวงจรที่มีความเร็วสูงที่สุดก็ตาม วงจรก็ยังไม่ถูกนำมาใช้ในทางปฏิบัติ เพราะวงจรนี้ต้องการการออกแบบระบบระบายความร้อนอย่างดี ซึ่งความร้อนที่สะสมทำให้ประสิทธิภาพด้านความเร็วของวงจรต่ำลง จนในที่สุดทำให้เกิดการทำงานที่ผิดพลาด

สำหรับวงจรไบซีมอสแบบ Gate - diode และ แบบ Emitter Follower จะมีค่าความเร็วในการทำงานไม่ต่างกันนัก เนื่องจากวงจรไบซีมอสแบบ Gate - diode ไบโพลาร์จะต่ออยู่ในลักษณะของ Common - Emitter ซึ่งมีอัตราขยายสูงกว่าวงจรไบซีมอสแบบ Emitter Follower ซึ่งมีไบโพลาร์ต่อแบบ Common Collector แต่อย่างไรก็ตามเนื่องจาก V_{GS} ซึ่งเป็นตัวกำหนดขนาด I_D หรือกระแสไบอัสไบโพลาร์ของวงจรนี้ $V_{GS} = V_{DD}$ มีค่าสูงกว่า V_{GS} ของวงจร Gate - diode $V_{GS} = V_{DD} - V_{BE(ON)}$ ดังนั้นโดยรวมแล้ว วงจรทั้งสองจึงมีความเร็วที่ไม่แตกต่างกันมากนัก และเนื่องจาก V_{GS} ของวงจรแบบ Emitter - Follower ไม่ได้ถูกลดทอนลงด้วยศักย์คาที่รอยต่อเบส - อิมิตเตอร์ ทำให้สะดวกในการปรับลดขนาดของแรงดันแหล่งจ่าย

นอกจากนี้วงจรไบซีมอสแบบ Gate - diode ในส่วนของมอสทรานซิสเตอร์ ชาเซอร์ส (ซึ่งต่อกับฐานรอง) ถูกต่อเข้ากับขาเบสของไบโพลาร์ทรานซิสเตอร์ และจากศักย์คาที่เบส - อิมิตเตอร์นี้ทำให้มอสทรานซิสเตอร์เกิดปรากฏการณ์ Body Effect คือทำให้ V_{th} มีค่าสูงขึ้น ส่งผลให้วงจรทำงานช้าลงบ้างเล็กน้อย

ดังนั้นจะเห็นว่าวงจรไบซีมอสแบบ Emitter Follower นี้ มีประสิทธิภาพในการทำงานสูงสุดและง่ายต่อการออกแบบวงจร แต่วงจรดังกล่าวจำเป็นต้องใช้อุปกรณ์ ไบโพลาร์ทั้งแบบ PNP และ NPN ทำให้ต้องใช้เทคโนโลยีแบบ Complementary BiCMOS (CBiCMOS) ในการผลิต ซึ่งต้องอาศัย mask เพิ่มเติมขึ้นสำหรับการสร้างไบโพลาร์ทั้งสองแบบ และเพื่อให้ไบโพลาร์ที่ได้มีคุณสมบัติที่คล้ายคลึงกัน ตลอดจนมีอัตราขยายกระแส β และความเร็วในการทำงาน f_T สูง

ทำให้ต้องใช้เทคโนโลยีขั้นสูงในการผลิต ผลคือทำให้ต้นทุนในการผลิตสูง สำหรับการประยุกต์ใช้ในวงจรไบสมอสบางประเภทที่ไม่ต้องการประสิทธิภาพในการทำงานสูงนัก อาจหลีกเลี่ยงโดยการออกแบบไบวงจรประกอบด้วยไบโพลาร์แบบ NPN เท่านั้น ซึ่งจะกล่าวถึงต่อไป

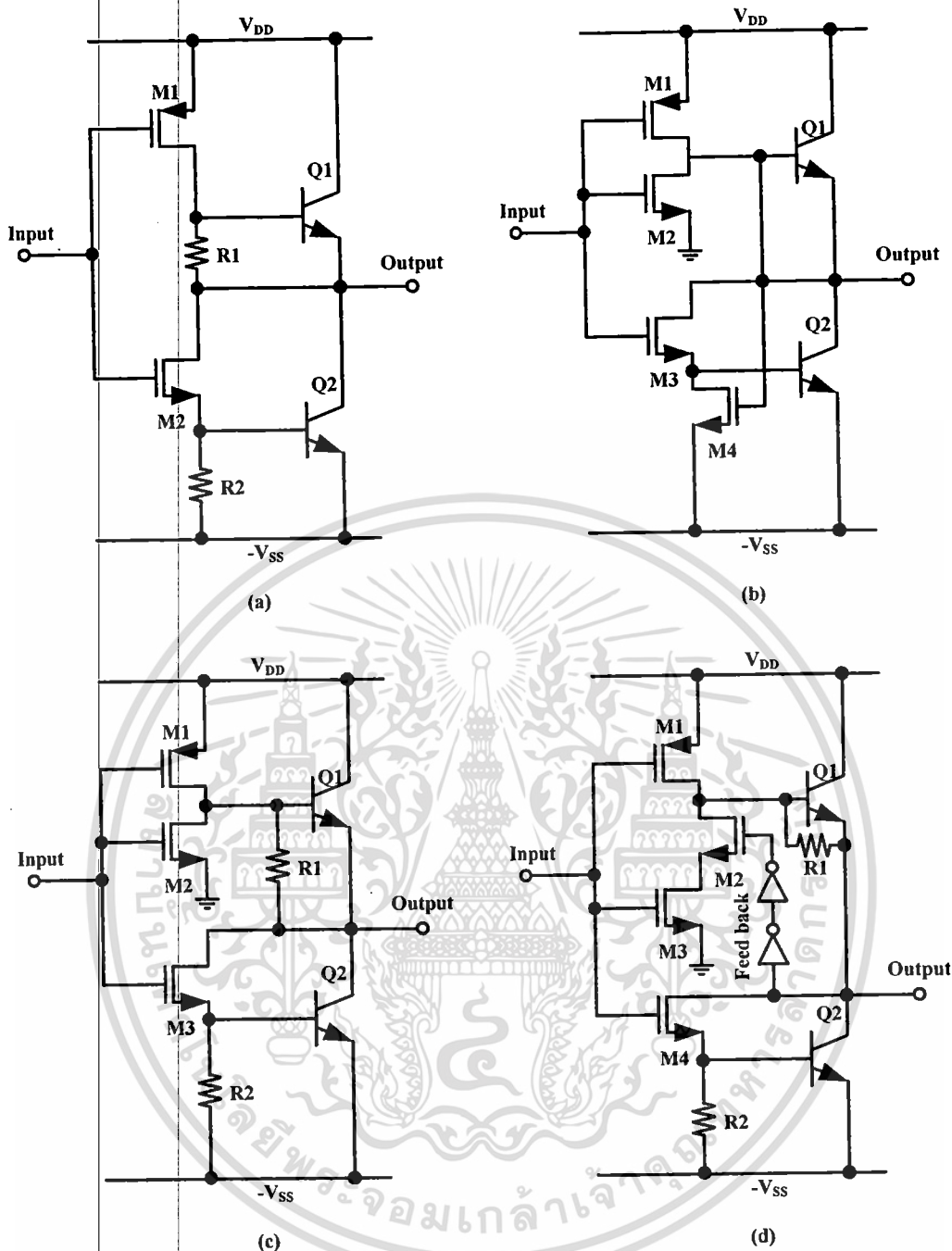
เมื่อทำการออกแบบวงจรไบสมอสในส่วนไบสมอสซึ่งทำหน้าที่เป็นลอจิกฟังก์ชัน และส่วนไบโพลาร์ที่ทำหน้าที่ขับวงจรแล้ว ในขั้นต่อไป คือการเพิ่มอุปกรณ์คายประจุค้ำที่รอยต่อเบส – อิมิตเตอร์ ซึ่งจำเป็นสำหรับวงจรไบสมอส เนื่องจากประจุค้ำที่รอยต่อเบส – อิมิตเตอร์ทำให้ไบโพลาร์ยังคงนำกระแสต่อไป ถึงแม้ว่าไม่มีการไบอัสทรานซิสเตอร์แล้วก็ตาม การนำกระแสจะดำเนินต่อไปจนกว่าประจุค้ำซึ่งเป็นพาหะส่วนน้อย เกิดการรวมตัวกับพาหะส่วนมากและเข้าสู่สภาวะสมดุล (Equilibrium condition) ซึ่งขั้นตอนนี้ดังกล่าวกินเวลานาน โดยเฉพาะอย่างยิ่งในช่วงที่ไบโพลาร์ทำงานในโหมดกระแสสูง (high current level mode) อันเป็นผลให้เกิดประจุค้ำจำนวนมาก

อุปกรณ์คายประจุ (discharge element) อาจเป็นได้ทั้งอุปกรณ์ Active และ/หรือ Passive โครงสร้างอาจเป็นแบบเรียบง่าย คือ ตัวต้านทาน หรือมอสทรานซิสเตอร์หรืออาจเป็นโครงสร้างยุ่งยากที่มีการป้อนกลับ โดยทั่วไปอุปกรณ์คายประจุนี้ นิยมใช้มอสทรานซิสเตอร์เป็นตัวคายประจุ เนื่องจากมีขนาดเล็กและสามารถกำหนดให้อุปกรณ์ทำงานในช่วงเวลาที่ต้องการได้ ต่างกับการใช้ตัวต้านทานในการคายประจุ ดังในรูปที่ 2.21 (a) ซึ่งมีขนาดใหญ่และกินพลังงาน เนื่องจากไม่สามารถควบคุมได้ทำให้เกิดกระแสไหลผ่านตลอดเวลา และเมื่อไบโพลาร์หยุดนำกระแสกระแสก็ยังคงไหลผ่านตัวต้านทานทำให้กระแสดังกล่าวลดลง ดังนั้นกำลังสูญเสียจึงลดลง แต่การเพิ่มขนาดของตัวต้านทานก็ทำให้พื้นที่ชิพเพิ่มขึ้น และยังลดประสิทธิภาพในการคายประจุ เป็นผลให้ค่าหน่วยเวลาเพิ่มขึ้นด้วย โดยปกตินิยมให้มีกระแสไหลผ่านตัวต้านทานประมาณ 10% ของกระแส I_{DS} ซึ่งเพียงพอต่อการคายประจุที่รอยต่อ ดังนั้นหากกระแส มีค่าเท่ากับ 2 mA เพราะฉะนั้นตัวต้านทานจะมีขนาดเท่ากับ $4k\Omega$

$$R = V_{BE(ON)} / 0.1 I_{DS(SAT)} \quad (2.20)$$

จากรูปที่ 2.21 (b) มอสทรานซิสเตอร์ M3 และ M4 จะทำหน้าที่คายประจุ ดังนั้นวงจรนี้จึงมีการแกว่งของสัญญาณเอาต์พุตแบบไม่เต็มช่วง สังเกตว่าในขณะที่เกิดการสวิทช์ หรือสถานะกึ่งเปิดกึ่งปิด จะเกิดกระแสลัดวงจรจากแหล่งจ่ายสู่กราวด์ผ่าน M3 และ M4 และในส่วนของไบโพลาร์ด้วย ดังนั้นวงจรนี้จึงมีการสูญเสียกำลังลัดวงจรจำนวนมาก

สำหรับวงจรในรูปที่ 2.21 (c) เป็นวงจรแกว่งเต็มช่วง โดยมอสทรานซิสเตอร์ M3 และ Z_2 ทำหน้าที่คายประจุค้ำ ในขณะที่ Z_1 ซึ่งออกแบบให้มีขนาดใหญ่เพื่อลดกระแสรั่วไหล จะทำหน้าที่ผ่านกระแสทำให้เกิดการแกว่งของสัญญาณเอาต์พุตแบบเต็มช่วง ดังนั้นวงจรนี้จึงมีความเร็วสูงกว่าวงจรในรูปที่ 2.21 (a) แต่วงจรนี้ก็ไม่สามารถลดกำลังสูญเสียลัดวงจร ในสถานะกึ่งเปิดกึ่งปิดลงได้



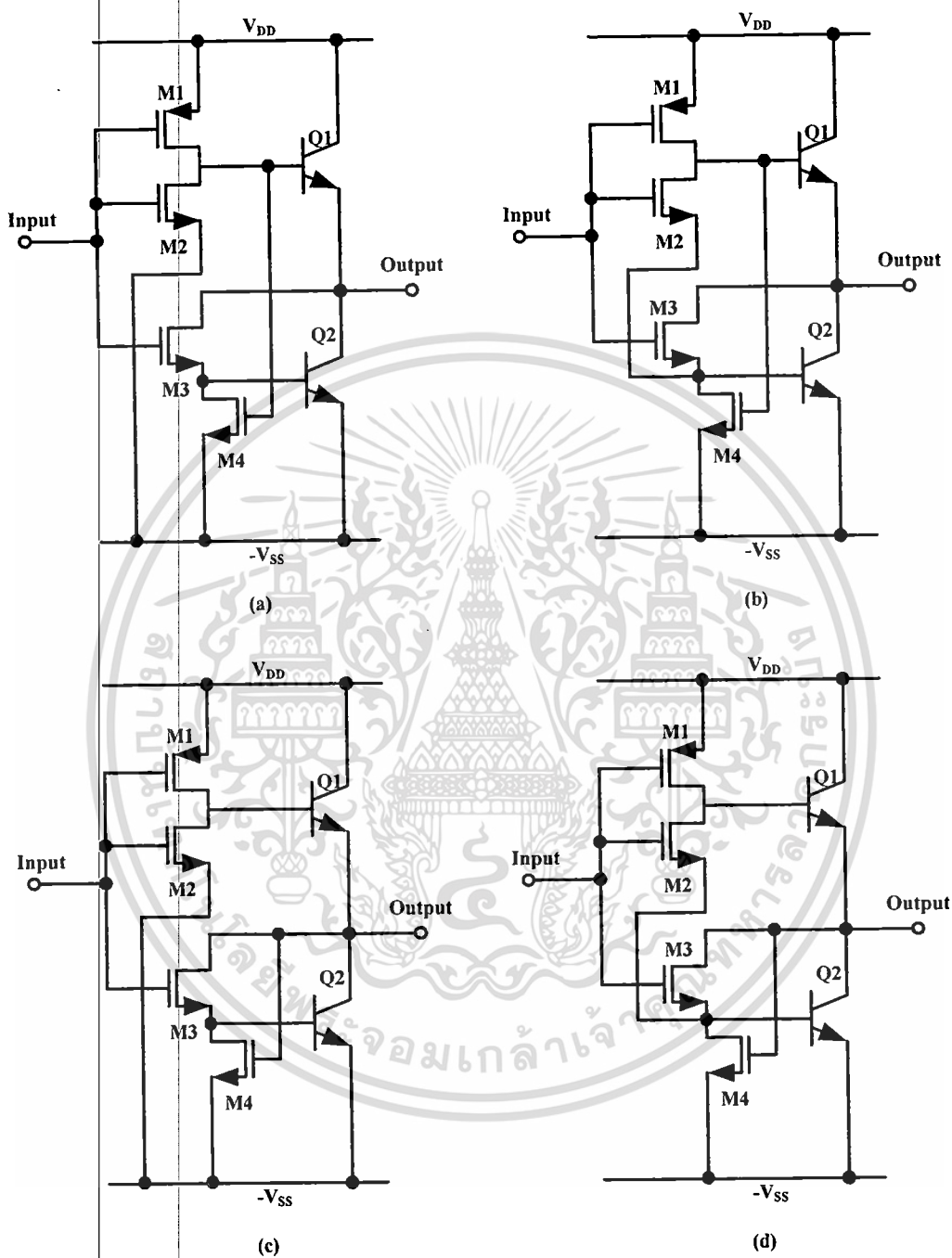
รูปที่ 2.21 วงจรไบซีมอสอินเวอร์เตอร์ที่ประกอบด้วยอุปกรณ์คายประจุแบบ (a) พาสซีฟ (b) แอคทีฟ (c) พาสซีฟ/แอคทีฟ (d) ป้อนกลับ

ในรูปที่ 2.21 (d) จุดประสงค์นี้เพื่อลดผลของกระแสลัดวงจร ด้วยการควบคุมเวลาในการนำกระแสของอุปกรณ์คายประจุ โดยอาศัยกำหนดเวลาของวงจรป้อนกลับ ทำให้ไม่เกิดช่องทางเดินกระแสตรงในขณะที่เกิดการสวิตช์

เนื่องจากข้อเสียของอุปกรณ์ประจุแบบ Passive ดังนั้นในปัจจุบันจึงนิยมออกแบบวงจรไบซีมอสลอคิก โดยใช้มอสทรานซิสเตอร์เป็นอุปกรณ์คายประจุ รูปที่ 2.22 เป็นวงจรไบ

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซิมอสที่มีโครงสร้างแบบ Totem Pole และมีช่วงแกว่งสัญญาณแบบ Partial swing คือมี $V_{OL} = V_{BE}$ และ $V_{OH} = V_{DD} - V_{BE}$



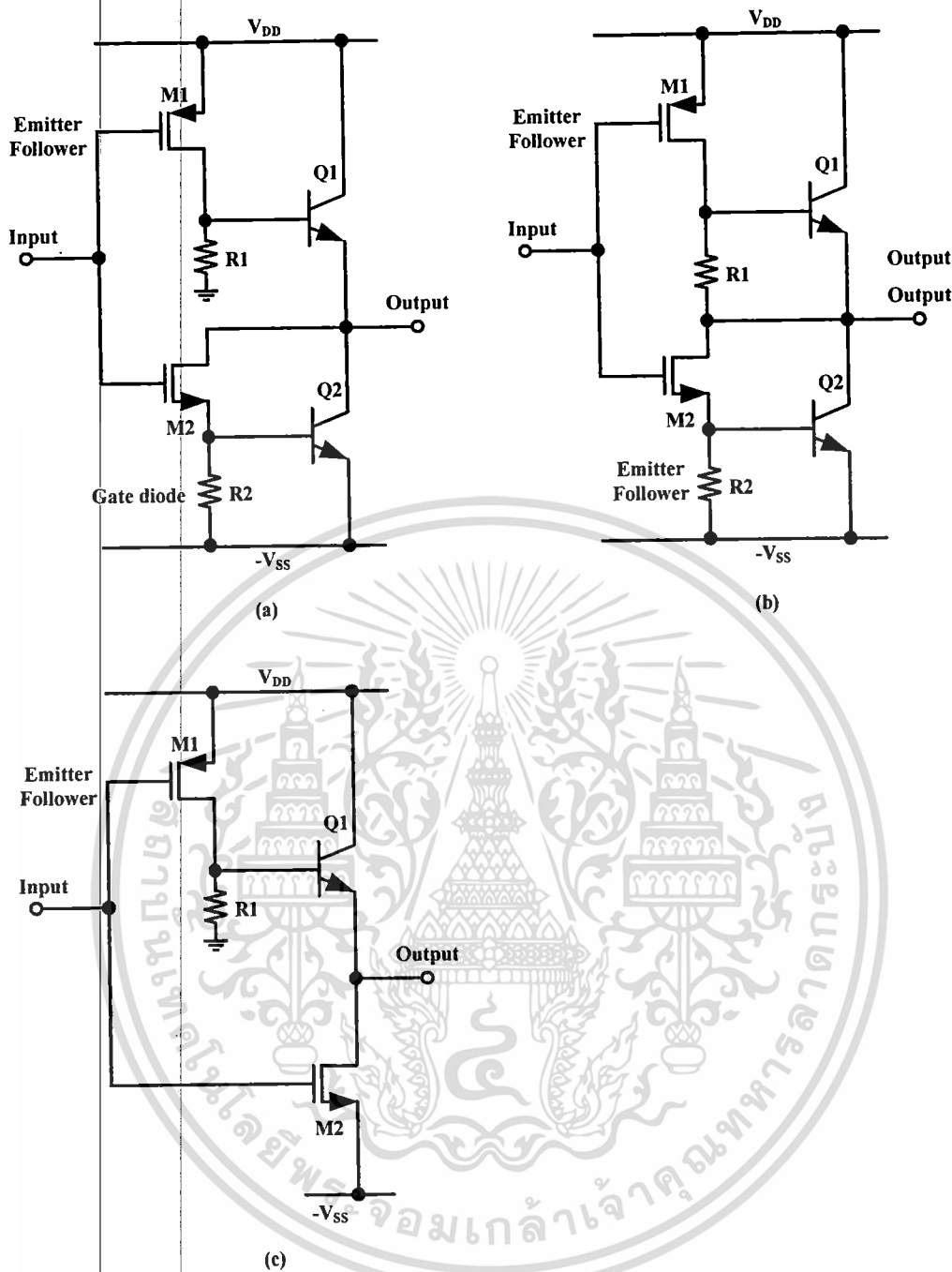
รูปที่ 2.22 วงจรไปซิมอสอินเวอร์เตอร์ ที่มีการเชื่อมต่ออุปกรณ์คายประจุแบบแอคทีฟ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.9 ประเภทของวงจรวงจรไบซีมอส

จากขั้นตอนในการออกแบบวงจรวงจรไบซีมอส โครงสร้างในการเชื่อมต่่วงจร Pull-up และ Pull-down กับส่วนไบโพลาร์ที่แตกต่างกัน ทำให้การทำงานและคุณลักษณะทั้งไดนามิกและสถิตติดต่างกันไป ดังนั้นในการเลือกโครงสร้างใดก็ขึ้นอยู่กับคุณลักษณะและการทำงานที่ต้องการ นอกจากนี้ยังขึ้นอยู่กับเทคโนโลยีที่เลือกใช้ เช่น วงจรวงจรไบซีมอสที่ใช้อุปกรณ์ไบโพลาร์แบบ NPN อย่างเดียวจะใช้เทคโนโลยีแบบไบซีมอสธรรมดา ขั้นตอนในการผลิตจะง่ายกว่าและมีต้นทุนน้อยกว่า วงจรวงจรไบซีมอสซึ่งประกอบด้วยไบโพลาร์ทั้งแบบ NPN และ PNP ซึ่งต้องใช้เทคโนโลยีแบบ BiCMOS ดังรูปที่ 2.13 (a) และ (b) ตามลำดับ

จากวงจรวงจรในรูป 2.23 (c) เป็นวงจรวงจรไบซีมอสแบบ BiNMOS โดยมีวงจรวงจรในส่วน Pull-up เป็นโครงสร้างแบบ Emitter Follower ในขณะที่ส่วน Pull-down มีโครงสร้างแบบ NMOS วงจรวงจรไบซีมอสประเภทนี้เหมาะสำหรับวงจรวงจรที่ไม่ต้องการความเร็วในการทำงานสูงนัก เนื่องจากโดยปกติแล้วเอ็นมอสจะนำกระแสได้สูงกว่าพิมอสทรานซิสเตอร์ที่มีขนาดพื้นที่เท่ากัน กล่าวคือเอ็นมอสมีค่าทรานสดักคอนดัคแตนซ์สูงกว่าพิมอสทรานซิสเตอร์ในส่วนของ Pull-up ดังนั้นจึงมีการเพิ่มไบโพลาร์เฉพาะในส่วน Pull-up เพื่อเพิ่มค่าคอนดัคแตนซ์ในวงจรวงจร จะสังเกตได้ว่าวงจรวงจรไบซีมอสประเภทนี้มีขนาดเล็กและจำนวนจำนวนอุปกรณ์และน้อยกว่าวงจรวงจรไบซีมอสประเภทอื่นมาก ดังนั้นวงจรวงจรนี้จึงเหมาะกับวงจรวงจรที่ต้องการความหนาแน่นสูง ที่ไม่ต้องการความเร็วในการทำงานสูงนัก นอกจากนี้วงจรวงจรดังกล่าวยังเหมาะกับวงจรวงจรที่มีช่วงแหล่งจ่ายไฟแคบๆและการลดขนาด วงจรวงจร (Scaling down) เนื่องจากไม่เกิดข้อจำกัดจากศักย์คาที่รอยต่อ เบส - อิมิตเตอร์ ในวงจรวงจรส่วน Pull-down ดังนั้นจึงสามารถลดขนาดแหล่งจ่ายลงได้มากกว่าวงจรวงจรไบซีมอสประเภทอื่นๆ



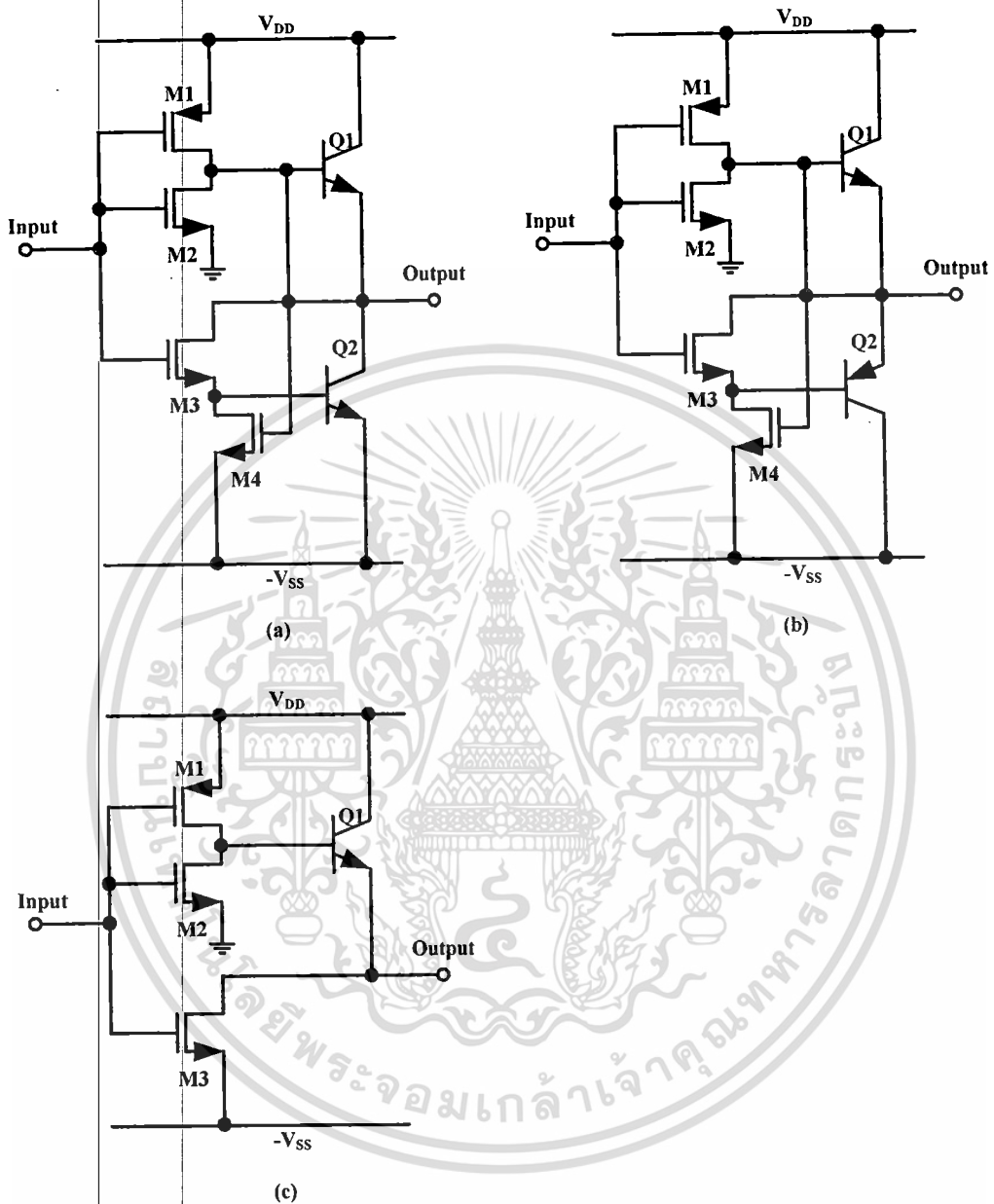
รูปที่ 2.23 วงจรไบซีมอสอินเวอร์เตอร์ (a) โทเทมโพลไบซีมอส (b) คอมพลีเมนต์ารีไบซีมอส (c) ไบเอ็มมอส

จากวงจรในรูปที่ 2.23 อุปกรณ์ที่ใช้ในการคายประจุค้ำที่รอยต่อเบส - อิมิตเตอร์เป็นแบบ Passive ทั้งหมด ทำให้ช่วงแกว่งสัญญาณแบบ Full Swing ในขณะที่ในรูปที่ 2.24 และ 2.25 เป็น Partial swing และ Full swing ตามลำดับ ซึ่งจากโครงสร้างของวงจรในส่วน Pull-up และ Pull-down ที่ต่างกันจะส่งผลให้การทำงานและคุณลักษณะทางเอาต์พุตต่างกันแล้ว อุปกรณ์ที่ใช้

ในการคายประจุ ตลอดจนการเชื่อมต่อก็ส่งผลต่อการทำงานของวงจรด้วย โดยวงจรแต่ละ

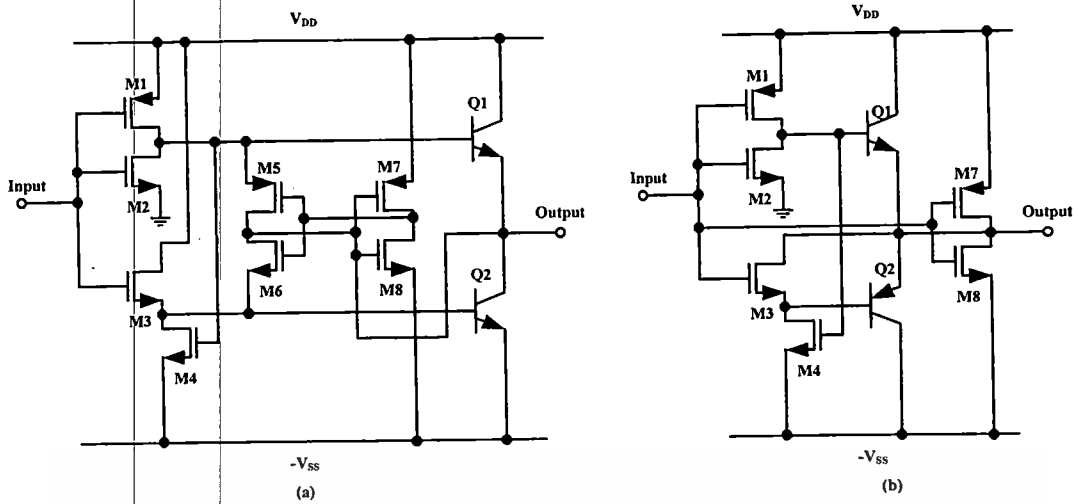
เอกสารนี้เป็นเอกสารลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ไม่สามารถนำออกเผยแพร่โดยไม่ได้รับอนุญาตจากมหาวิทยาลัยฯ

ประเภทต่างมีข้อดีข้อเสียในด้านความเร็ว ขนาด และกำลังสูญเสีย ในแต่ละเงื่อนไขที่กำหนดเช่น ขนาดของแหล่งจ่าย การลดขนาด และเทคโนโลยีที่เลือกใช้



รูปที่ 2.24 วงจรไบซีมอสแบบพาเซิลสวิง (a) โทเทมโพลไบซีมอส (b) คอมพลีเมนต์รีไบซีมอส (c) ไบเอ็มมอส

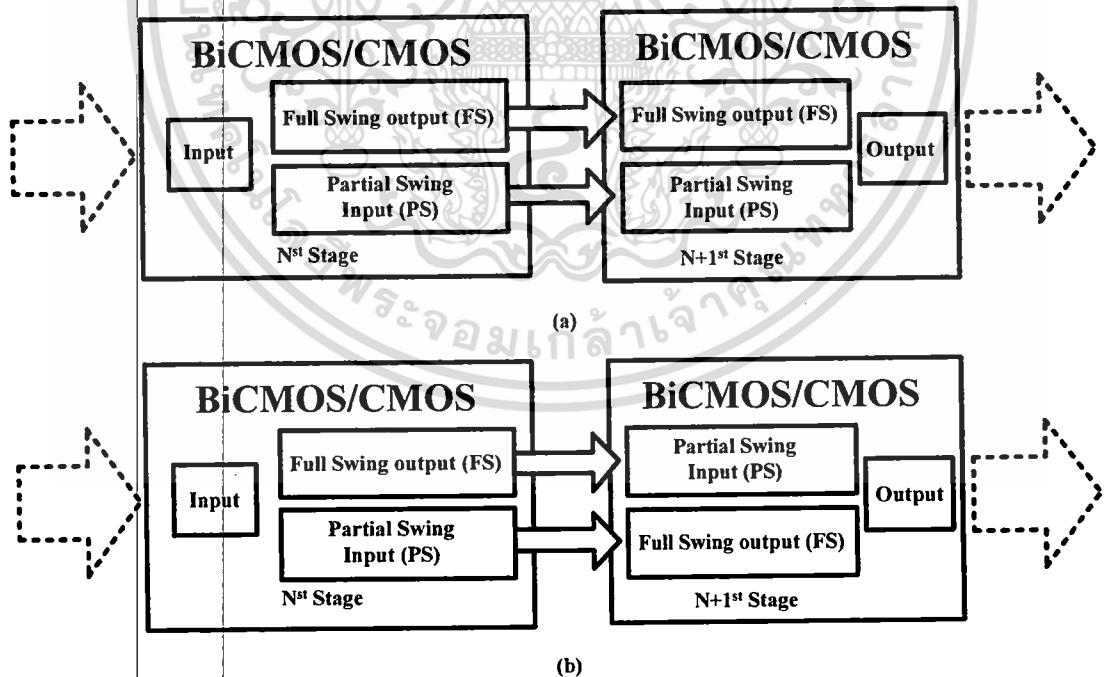
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.25 วงจรไบซีมอส แบบพาเซิลสวิง (a) ซีไบซีมอส (b) โทเทมโพลขนานกับซีมอส

2.10 การเชื่อมโยงวงจรไบซีมอสและซีมอสลอจิก

สำหรับการออกแบบวงจรรวมด้วยเทคโนโลยีไบซีมอส ซึ่งมีช่วงแอมพลิจูดสัญญาณเอาต์พุตทั้งแบบ Full swing และแบบ Partial swing เมื่อทำการเชื่อมโยง (interconnect) กับวงจรซีมอสและวงจรไบซีมอส ทำให้เกิดการเชื่อมโยงหลายภาคใน 2 รูปแบบ

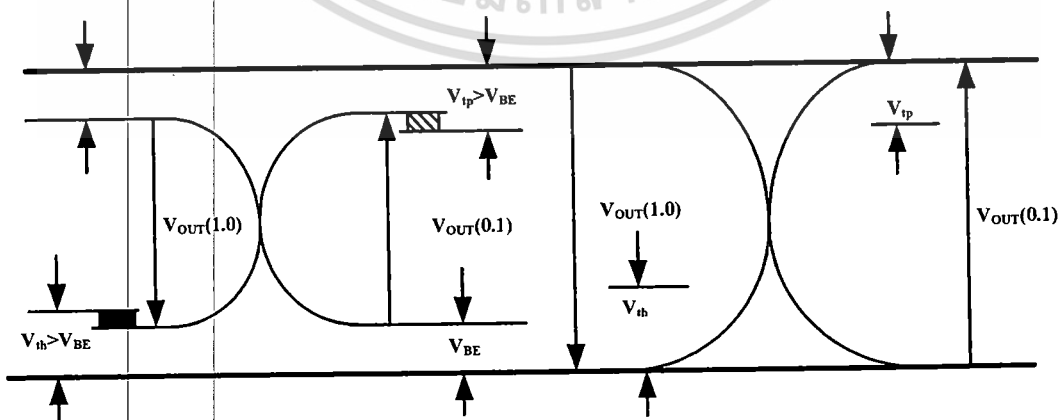


รูปที่ 2.26 การเชื่อมโยงแบบมัลติสแตจ (a) นอนอินเทอร์มิก (b) อินเทอร์มิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

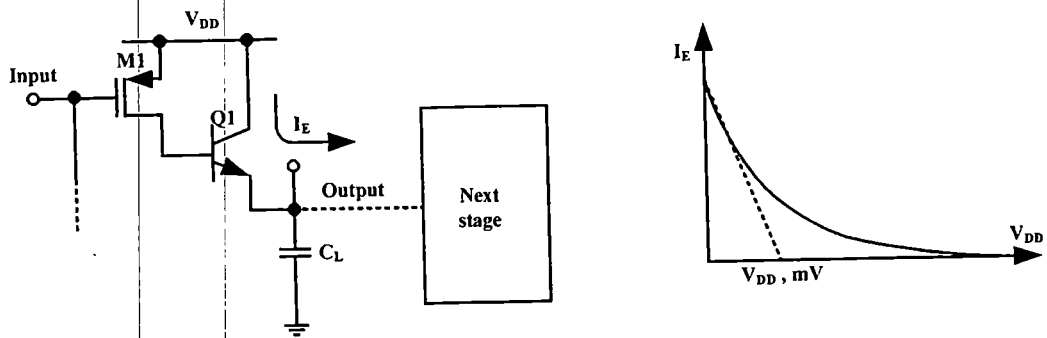
1. แบบ Non - intermix คือ การเชื่อมโยงวงจรในแต่ละภาค โดยช่วงแกว่งของสัญญาณทั้งอินพุตและเอาต์พุตเป็นแบบ Full swing หรือ แบบ Partial swing อย่างใดอย่างหนึ่ง ซึ่งโดยปกติแล้ววงจรซิมอสจะแกว่งสัญญาณอินพุตและเอาต์พุตแบบ Full swing ดังนั้นสำหรับกรณีการเชื่อมโยงแบบ PS - PS วงจรในภาคแรกจึงเป็นวงจรไบซิมอส ในขณะที่ภาคที่สองอาจเป็นได้ทั้งวงจรซิมอสและวงจรไบซิมอส ที่ทำการลดช่วงการแกว่งของสัญญาณอินพุตด้วยเทคนิคต่างๆ
2. แบบ intermix คือ การเชื่อมโยงวงจรโดยมีช่วงแกว่งสัญญาณอินพุตและเอาต์พุตต่างกันส่วนใหญ่จะเป็นลักษณะ PS - FS การเชื่อมโยงแบบนี้สามารถพบได้ทั่วไปเมื่อทำการเชื่อมโยงระหว่างวงจรไบซิมอส กับวงจรซิมอสหรือไบซิมอส เนื่องจากวงจรไบซิมอสมีช่วงแกว่งสัญญาณเอาต์พุตแบบ PS ในขณะที่วงจรไบซิมอสและซิมอส มีช่วงแกว่งสัญญาณอินพุตแบบ FS

โดยปกติวงจรไบซิมอสซึ่งมีช่วงแกว่งสัญญาณเอาต์พุตแบบ PS จะถูกเชื่อมโยงกับวงจรซิมอสหรือไบซิมอสที่มีช่วงแกว่งสัญญาณอินพุตแบบ FS ซึ่งออกแบบมาให้มีค่า V_{th} ของมอสทรานซิสเตอร์ในส่วนลอจิกฟังก์ชันมีค่าที่พอเหมาะ เพื่อให้เกิดการสวิตช์อย่างรวดเร็ว แต่ยังคงมีช่วง Noise margin ค่าหนึ่ง แต่เมื่อทำการลดขนาดแหล่งจ่ายหรือทำการ Scaling วงจรค่า V_{th} จะลดลงในขณะที่ค่า V_{BE} มีค่าคงที่ ทำให้การลดขนาดถูกจำกัด และจากธรรมชาติในการนำกระแสของอุปกรณ์ไบโพลาร์ทรานซิสเตอร์ในส่วนขับเคลื่อนของวงจรไบซิมอส จะขับเคลื่อนไปยังโหลดอย่างต่อเนื่องโดยลดขนาดลอจิกทีม เมื่อระดับสัญญาณเอาต์พุตเพิ่มขึ้นจากการประมาณอันดับ 1 (First Order Approximation) สัญญาณเอาต์พุตจะเพิ่มขึ้นอย่างรวดเร็วในระดับร้อยมิลลิโวลต์เท่านั้น เมื่อเทียบกับขนาดของแหล่งจ่ายไฟ



รูปที่ 2.27 การเชื่อมโยงแบบอินเทอร์มิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับ... ไม่ควรเผยแพร่ให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.28 การนำกระแสของไบโพลาร์ในวงจรไบซีมอส ในส่วน Pull-up

ค่ากระแสต่างๆ หลังจากการเปลี่ยนระดับอย่างรวดเร็ว จะส่งไปยังภาคถัดไปด้วย ดังนั้นเมื่อทำการเชื่อมโยงดังกล่าวแล้ว สัญญาณเอาต์พุตภาคแรกที่ป้อนเข้าสู่ภาคที่สองจะทำให้มอสทรานซิสเตอร์ในภาคที่สองเริ่มนำกระแสแม้ไม่ใช่ช่วงเวลาสวิตช์ก็ตาม และถึงแม้ว่าสัญญาณอินพุตจะอยู่ในช่วง Noise margin ซึ่งไม่ทำให้วงจรในภาคที่สองเกิดการเปลี่ยนแปลงระดับลอจิกก็ตาม แต่ผลของกระแสลัดในช่วงที่ไม่มีการสวิตช์ ทำให้เกิดกำลังสูญเสียสถิตเพิ่มขึ้น ดังนั้นการเชื่อมโยงแบบ intermix เมื่อทำการลวดวงจรจึงต้องมีการออกแบบวงจรในภาคที่สองด้วยเสมอ โดยการปรับค่า V_{th} ให้มีค่ามากกว่า V_{BE} เสมอ แต่ค่า V_{th} ที่เพิ่มขึ้นจะทำให้วงจรในภาคที่สองทำงานช้าลงด้วย นอกจากนี้ค่าสัญญาณอินพุตซึ่งมีค่าเท่ากับ V_{BE} ยังเป็นผลให้เกิดกระแสเทอร์สโบลย่อย I_{SUB} ซึ่งเป็นปรากฏการณ์รองที่เกิดขึ้นกับมอสทรานซิสเตอร์ คือเมื่อ V_{GS} มีค่าน้อยกว่า V_{th} ซึ่งไม่ทำให้เกิดชั้นกลับได้เกิด แต่ V_{GS} ยังคงเหนี่ยวนำให้เกิดประจุพาหะชนิดตรงข้ามซึ่งเป็นพาหะข้างน้อยขึ้นที่ผิวของฐานรองใต้ชั้น Buried layer ซึ่งถูกเชื่อให้มีความเข้มข้นสูง พาหะดังกล่าว ทำให้เกิดช่องทางเดินกระแสระหว่างเดรนกับซอร์สขึ้นซึ่งประมาณจาก

$$I_{SUB} = \frac{qAD_{N,p}n_i e^{-q\phi_F/KT} (1 - e^{-qV_{ds}/KT}) e^{-q\phi_{SUB}/KT}}{L_{DS}} \quad (2.22)$$

- โดยที่ A คือ พื้นที่ภาคตัดขวางของช่องทางเดินกระแส
 D_{NP} คือ สัมประสิทธิ์ในการแพร่ของสารเจือที่เดรนและซอร์ส
 L_{DS} คือ ระยะระหว่างช่องทางเดินกระแส
 V_{DS} คือ แรงดันระหว่างเดรนกับซอร์ส
 ϕ_{SUB} คือ ศักย์คาไฟฟ้าที่ผิว
 V_{GS} คือ แรงดันระหว่างเกตกับเดรน

จากสมการข้างต้นจะเห็นว่านอกจาก V_{GS} ที่เพิ่มขึ้น ทำให้กระแสเทอร์สโบลย่อยมีค่าเพิ่มขึ้นระยะระหว่างช่องทางเดินกระแส L_{DS} ที่ลดลง จากการลดขนาดวงจรยังมีผลให้กระแสเทอร์สโบลย่อยเพิ่มขึ้นอีกด้วย

เอกสารนี้เป็นเอกสารที่ส่งมอบให้สำหรับการทำงานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากข้อเสียของการเชื่อมต่อแบบ Intermix (PS-FS) ดังนั้นจึงนิยมให้มีการเชื่อมโยงแบบ non intermix คือ

1. FS – FS ด้วยการเปลี่ยนวงจรไบซิมอสในภาคแรกให้มีการแกว่งสัญญาณเอาต์พุตแบบเต็มช่วง (FS)
2. PS – PS ด้วยการเปลี่ยนวงจรซิมอสหรือไบซิมอสในภาคที่สองให้มีช่วงแกว่งสัญญาณอินพุตแบบ Partial swing (PS)

การเชื่อมโยงวิธีแรกนี้ จะทำให้วงจรส่วนแรกมีความซับซ้อนขึ้นคือ ต้องทำการปรับปรุงวงจรไบซิมอสให้มีช่วงแกว่งสัญญาณแบบ FS ในขณะที่วิธีที่สอง ต้องทำการปรับช่วงแกว่งสัญญาณอินพุตของวงจรในภาคที่สองให้มีช่วงแกว่งสัญญาณแบบ PS การปรับปรุงวงจรนี้ทำได้ง่ายกว่าวิธีแรก เนื่องจากการปรับปรุงช่วงการทำงานของวงจรย่อยซิมอสที่ทำหน้าที่กำหนดลอจิกฟังก์ชันในวงจรไบซิมอสหรือวงจรซิมอสให้มีช่วงแกว่งสัญญาณต่ำลง ซึ่งวิธีหนึ่งก็คือ การใช้แหล่งจ่ายไฟ 2 ขนาดคือแหล่งจ่ายไฟหนึ่งสำหรับวงจรย่อยและอีกวงจรสำหรับไบโพลาร์ซึ่งทำหน้าที่ขับกระแสในวงจรไบซิมอสหรือใช้แหล่งจ่ายไฟเดียวแต่ใช้อุปกรณ์ลดทอนขนาดแหล่งจ่ายไฟ

อย่างไรก็ตามสำหรับการออกแบบวงจรรวม VLSI ซึ่งเป็นการออกแบบที่ซับซ้อนมาก ต้องมีการจัดระเบียบให้เป็นการออกแบบลำดับขั้น (Hierarchical method) โดยแยกวงจรทั้งวงจรออกเป็นโมดูล เซลประกอบ และ เซลย่อย การเปลี่ยนแปลงเซลล์ย่อย หรือการออกแบบ แบบ Custom method ทำให้เสียเวลาและค่าใช้จ่ายเพิ่มขึ้น ดังนั้นสำหรับวงจรที่มีขนาดแหล่งจ่ายไฟสูง ($\leq 5V$) และยอมรับกำลังสูญเสียจากกระแสติดและกำหนดเวลาที่เพิ่มขึ้นจาก V_{th} ที่เพิ่มขึ้น วงจรประเภทนี้จึงยังคงถูกออกแบบให้มีการเชื่อมโดยแบบ intermix อยู่

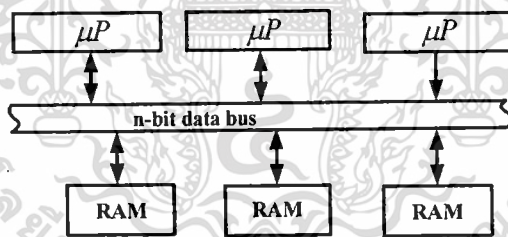
บทที่ 3

วงจรถ่ายทอดสัญญาณ

3.1 บทนำ

เส้นทางเดินสัญญาณส่วนใหญ่บนบัสในระบบดิจิทัล รวมถึงข้อมูล แอดเดรส และการควบคุมบัส ดังรูปที่ 3.1 แสดงตัวอย่างของระบบไมโคร โพรเซสเซอร์ในการขับอุปกรณ์หลายตัวที่ต่อร่วมกันบนสายทองแดงเดียวกันของบัส ถ้ามีการขัดขวางเกิดขึ้นจะต้องมีการหลีกเลี่ยงปัญหาดังกล่าว เฉพาะอุปกรณ์เพียงหนึ่งตัวที่พยายามจะขับบัสโดยเฉพาะที่เวลาดังกล่าว รูปแบบการแก้ปัญหาโดยเฉพาะปัญหาดังกล่าวนี้คือใช้เกตที่เรียกว่า ไตรสเททบัฟเฟอร์ [6]

ลอจิกเกตของไตรสเททแสดงค่าเอาต์พุตออกมา 3 สถานะ คือ “0”, “1” และ Hi-Z ในสถานะ High Impedance เอาต์พุตจะหยุดการทำงาน อย่างไรก็ตาม โหนดเอาต์พุตจะถูกปล่อยทั้งหมด แรงดันเป็นตัวกำหนดเอาต์พุตของอุปกรณ์ตัวใดตัวหนึ่งบนบัส เกตนี้สามารถทำได้สองกรณี 1) การต่อเรียงกันของเกตสองตัวด้วยเกตที่ทำหน้าที่ในการส่งหรือ 2) ทำการปรับปรุงภายในในการเชื่อมต่อเกตสองตัว ดังนั้นการประมาณเบื้องต้นกระทำผ่านวิธีพิเศษเพราะสามารถแสดงผลได้อย่างง่ายดายในการทำงานที่ความเร็วของวงจรถ่ายทอดสัญญาณ



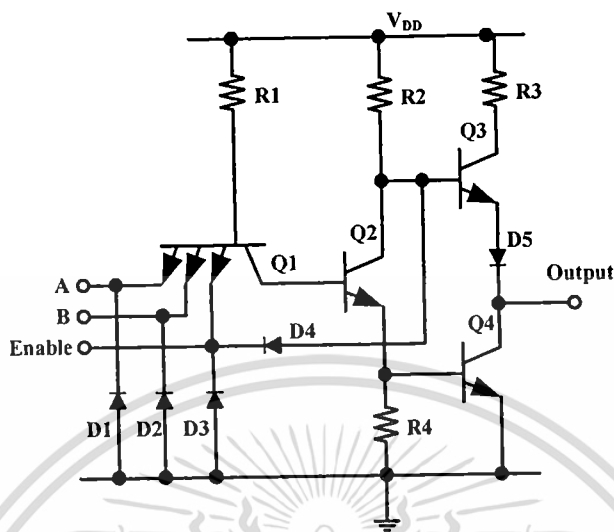
รูปที่ 3.1 การเชื่อมต่อระบบบัสพื้นฐานด้วยไตรสเททบัฟเฟอร์

3.2 วงจรถ่ายทอดสัญญาณชนิด TTL

เกต TTL อาจจะถูกปรับปรุงสำหรับทำงานเป็นไตรสเททด้วยการเพิ่มไดโอดและอิมิตเตอร์พิเศษอีกหนึ่งตัวในอินพุตของทรานซิสเตอร์ ถูกแสดงไว้ในรูปที่ 3.2 สำหรับมาตรฐาน TTL NAND2 เกต ในเกตไตรสเทท TTL การประยุกต์ใช้งานของลอจิก “0” ที่เอนาเบลอินพุตทำได้ทั้งสองกรณี กรณีแรกสถานะอิมิตเตอร์ของทรานซิสเตอร์ อย่างไรก็ตามเพื่อความมั่นคงในการทำงานของวงจรถ่ายทอดสัญญาณ Q_s และ Q_o จะอยู่ในสถานะคัทออฟ กรณีที่สอง การทำให้เบสของ Q_p ลงไปจนถึง 0.7 โวลต์ มั่นใจได้ว่าการพูลอัพของทรานซิสเตอร์อยู่ในสถานะคัทออฟ ดังนั้นการประยุกต์ใช้งาน

ของลอจิก “0” ที่อินพุตเอนาเบล ต่อกรณีการพูลอัพและพูลดาวน์ของทรานซิสเตอร์อยู่ในสถานะคัทออฟ การใส่เอาต์พุตในสถานะอิมิตเตอร์สูง บนจุดอื่นๆ การประยุกต์ใช้ของลอจิกหนึ่งตัวที่

อินพุทเอนาเบิลให้เป็นไบอัสกลับที่รอยต่อเบสอิมิตเตอร์ของ Q1 และไดโอด Ds ดังนั้นการทำงานโดยปกติของเกตที่เป็นไปได้ ในฟังก์ชันนี้ได้ถูกรวมไว้ในตารางที่ 3.1



รูปที่ 3.2 วงจรไตรสเททชนิดทีทีแอลที่ใช้ เอนา 2 เกต

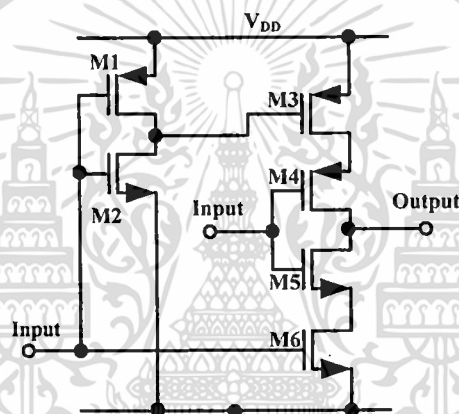
ดังนั้นเมื่อย้อนกลับไปพิจารณาการใช้งานตามมาตรฐานวงจรถวาย TTL เบื้องต้น แนวคิดการออกแบบอาจจะคล้ายกับการประยุกต์ใช้วงจรรีเลย์ของวงจรถวาย TTL โดยเฉพาะความแตกต่างที่เห็นได้ชัดคือการใช้งานวงจรรีเลย์บนพื้นที่ของอินพุทไดโอดพิเศษของอิมิตเตอร์ชนิดพิเศษ Q1

ตารางที่ 3.1 การทำงานเบื้องต้นของ ไตรสเทท TTL NAND2 เกต

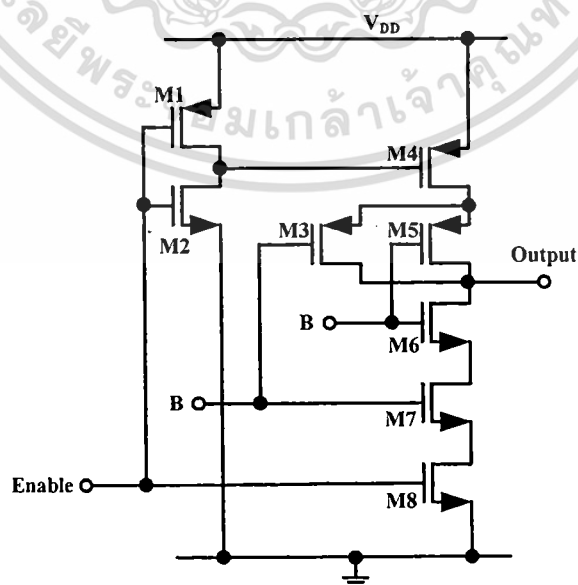
Enable	A	B	Q1	Qs	Qo	Qp	Out
0	0	0	SAT	CO	CO	CO	High Z
0	0	V _{OH}	SAT	CO	CO	CO	High Z
0	V _{OH}	0	SAT	CO	CO	CO	High Z
0	V _{OH}	V _{OH}	SAT	CO	CO	CO	High Z
V _{OH}	0	0	SAT	CO	CO	FA	V _{OH}
V _{OH}	0	V _{OH}	SAT	CO	CO	FA	V _{OH}
V _{OH}	V _{OH}	0	SAT	CO	CO	FA	V _{OH}
V _{OH}	V _{OH}	V _{OH}	RA	SAT	SAT	CO	~ 0

3.3 วงจรซีมอสไทรสเตทบัฟเฟอร์

ฟังก์ชันของไทรสเตทสามารถถูกนำเสนอในเกต CMOS ด้วยการเพิ่มมอสทรานซิสเตอร์สี่ตัว แสดงอยู่ในรูปที่ 3.3 สำหรับกรณีของอินเวอร์เตอร์ ที่ M_{NE} และ M_{PE} ทำให้เกิดความเป็นไปได้ในการตัดการเชื่อมต่อจากคอร์ของเกต (เปรียบเทียบกับ M_{NO} และ M_{PO}) จากแถว ดังนั้นถ้าเอาเนเบิลเป็น LOW มอสทรานซิสเตอร์ M_{NE} และ M_{PE} จะอยู่ในสภาวะคัทออฟ แสดงการทำงานในสภาวะ Hi-Z ถ้าเอาเนเบิลเป็น High มอสทรานซิสเตอร์ M_{NE} และ M_{PE} จะอยู่ในสภาวะที่เป็นเชิงเส้นและยอมรับการทำงานปกติของคอร์ของเกต การออกแบบเบื้องต้นสามารถใช้สำหรับเกต CMOS อื่นๆ ดังนั้นวงจร NAND2 เกต แสดงไว้ในรูปที่ 3.4 ที่มอสทรานซิสเตอร์ทั้งสี่ต้องการให้ทำงานเป็นฟังก์ชันไทรสเตท ดังนั้นในแนวคิดนี้สามารถนำไปพัฒนาต่อด้วยเทคโนโลยี CMOS ด้วยระดับของความซับซ้อน การทำการพิจารณาควรจะทำกรกำหนดการสเกลของมอสทรานซิสเตอร์



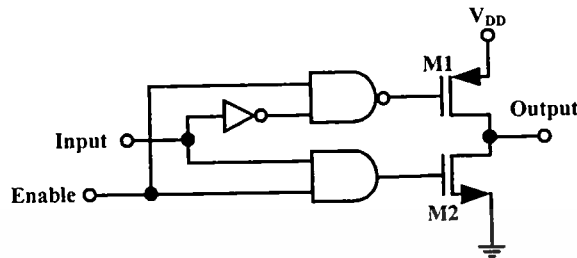
รูปที่ 3.3 วงจรไทรสเตทซีมอสอินเวอร์เตอร์



รูปที่ 3.4 วงจรไทรสเตทซีมอส แนนด2 เกต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการขับเอาต์พุตของซีมอสบัพเฟอร์ ขนาดความกว้างของมอสทรานซิสเตอร์จำเป็นต้องการเพิ่มไบโพลาร์ที่ทำหน้าที่ในการสวิทซ์ทั้งสองตัว โดยกำหนดการพิจารณาบนพื้นที่ของซิลิกอนด้วยสาเหตุนี้ ซีมอสไตรสเตทบัพเฟอร์จึงถูกเขียนใหม่ แสดงไว้ในรูปที่ 3.5



รูปที่ 3.5 การขับของซีมอสไตรสเตท

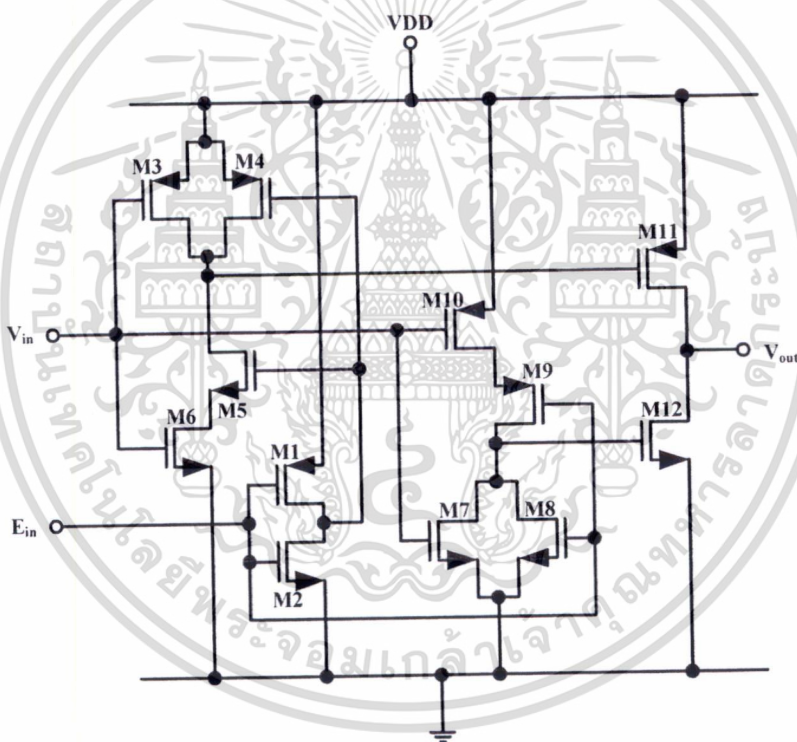
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

วงจรโมสไทรสเตทบัฟเฟอร์ที่นำเสนอ

4.1 วงจรโมสไทรสเตทบัฟเฟอร์แบบทั่วไป

วงจรโมสไทรสเตทบัฟเฟอร์ [7] เป็นวงจรที่ใช้เพื่อป้องกันความเสียหายของวงจรในระบบดิจิทัล ที่ถูกนำมาต่อเชื่อมรวมกันหลายวงจรในระบบบัสข้อมูล ด้วยคุณสมบัติของวงจรไทรสเตทบัฟเฟอร์ทางด้านการทำงานในสภาวะเสมือนวงจรเปิดและสามารถควบคุมการเปิดปิดวงจรผ่านวงจรไทรสเตทบัฟเฟอร์ได้ง่าย ผ่านการควบคุมทางสภาวะลอจิก วงจรโมสไทรสเตทบัฟเฟอร์แสดงไว้ดังรูปที่ 4.1



รูปที่ 4.1 วงจรโมสไทรสเตทบัฟเฟอร์แบบทั่วไป

4.1.1 การทำงานของวงจร

จากรูปที่ 4.1 วงจรอาศัยหลักการทำงานของวงจร NAND Gate และ NOR Gate เข้ามาใช้ในการควบคุมการทำงานของวงจรและขับวงจรเอาต์พุต โดยหลักการของวงจรจะประกอบด้วยวงจรส่วนแรกที่ทำหน้าที่ในการสร้างสัญญาณอินเวอร์เตอร์ในการควบคุมการทำงานของวงจรให้อยู่ในสภาวะ “0”, “1” และ Hi-Z โดยควบคุมผ่านมอสทรานซิสเตอร์ M4, M5 และ M8, M9 วงจรเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า ส่วนที่สองทำหน้าที่ในการขับวงจรเอาต์พุตประกอบไปด้วยมอสทรานซิสเตอร์ M3 ทำหน้าที่ในไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การขับเคลื่อนการแกว่งช่วงขาขึ้นของพีมอสในส่วนวงจรเอาต์พุตและ M6 ทำหน้าที่ให้พีมอสในวงจรเอาต์พุตหยุดทำงาน ในทางกลับกัน M8 ทำหน้าที่ในการขับเคลื่อนการแกว่งช่วงขาลงของพีมอสในส่วนวงจรเอาต์พุตและ M10 ทำหน้าที่ให้พีมอสในวงจรเอาต์พุตหยุดทำงาน และส่วนเอาต์พุตประกอบด้วย M11 และ M12 ทำหน้าที่ในการขับโหลดของวงจร

เมื่อ E_n อยู่ในสถานะ “0” ทำให้ M1 อยู่ในสถานะ ON และ M2 อยู่ในสถานะ OFF เอาต์พุตที่ได้จาวจรอินเวอร์เตอร์ชุดนี้จะอยู่ในสถานะ “1” ผลจากการป้อน E_n ให้อยู่ในสถานะดังกล่าวส่งผลทำให้ M4, M9 อยู่ในสถานะ ON และ M5, M8 อยู่ในสถานะ OFF เมื่อมีการป้อนอินพุตเข้ามา

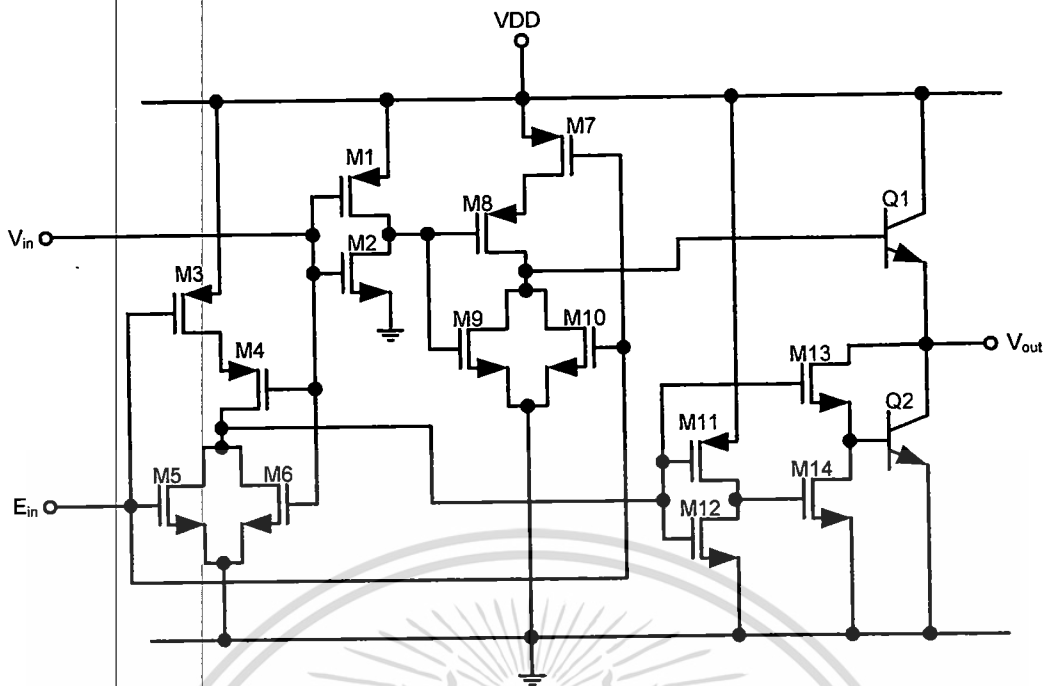
เมื่อ V_m อยู่ในสถานะ “0” ส่งผลทำให้ M3 อยู่ในสถานะ ON และ M6 อยู่ในสถานะ OFF ทำให้เกิดสถานะ “1” และทำให้ M11 อยู่ในสถานะ OFF ในขณะที่ M7 อยู่ในสถานะ ON และ M10 อยู่ในสถานะ OFF ทำให้เกิดสถานะ “0” และทำให้ M12 อยู่ในสถานะ ON ทำให้เกิดการแกว่งในช่วงขาลงทำให้สถานะทางลจิกเป็น “0”

เมื่อ V_m อยู่ในสถานะ “1” ส่งผลทำให้ M3 อยู่ในสถานะ OFF และ M6 อยู่ในสถานะ ON ทำให้เกิดสถานะ “0” และทำให้ M11 อยู่ในสถานะ ON ทำให้เกิดการแกว่งในช่วงขาขึ้นทำให้สถานะทางลจิกเป็น “1” ในขณะที่ M7 อยู่ในสถานะ OFF และ M10 อยู่ในสถานะ ON ทำให้เกิดสถานะ “1” และทำให้ M12 อยู่ในสถานะ OFF

เมื่อ E_n อยู่ในสถานะ “1” ทำให้ M1 อยู่ในสถานะ OFF และ M2 อยู่ในสถานะ ON เอาต์พุตที่ได้จาวจรอินเวอร์เตอร์ชุดนี้จะอยู่ในสถานะ “0” ผลจากการป้อน E_n ให้อยู่ในสถานะดังกล่าวส่งผลทำให้ M4, M9 อยู่ในสถานะ OFF และ M5, M8 อยู่ในสถานะ ON ส่งผลทำให้ M11, M12 อยู่ในสถานะคัทออฟ ไม่ว่าจะป้อนอินพุตในกรณีใดวงจรอยู่ในสถานะ Hi-Z

4.2 วงจรไทรสแตทท์เฟอ์ในรูปแบบวงจรไบซิมอส

ในเวลาต่อมาได้มีการนำเอาเทคโนโลยีซิมอสมาใช้เชื่อมต่อกับทรานซิสเตอร์แบบไบโพลาร์ เพื่อแก้ไขปัญหาในเรื่องของการขับวงจรที่มีขนาดของโหลดคาปาซิแตนซ์ที่มีค่าความจุสูงขึ้น ทำให้เกิดเป็นวงจรไทรสแตทท์เฟอ์ในรูปแบบวงจรไบซิมอส [8] ขึ้น ดังแสดงดังรูปที่ 4.2



รูปที่ 4.2 วงจร ไตรสเตทท์เฟอร์ในรูปแบบวงจรไบซีมอส

4.2.1 การทำงานของวงจร

จากรูปที่ 4.2 อาศัยหลักการทำงานของวงจร NOR Gate และวงจรอินเวอร์เตอร์ ในการควบคุมการทำงานของวงจรให้อยู่ในสถานะ “0”, “1” และ Hi-Z และขั้ววงจรส่วนเอาต์พุตที่ประกอบไปด้วยไบโพลาร์ทรานซิสเตอร์ โดยใช้ทรานซิสเตอร์แรกในการควบคุมการทำงานซึ่งประกอบไปด้วย M3, M4, M5 และ M6 ใช้อินเวอร์เตอร์ที่ประกอบไปด้วย M1 และ M2 ในการสร้างสัญญาณอินเวอร์เพื่อป้อนให้กับนอร์เกตและอินเวอร์ที่ทำหน้าที่ในการขับไบโพลาร์ทรานซิสเตอร์ นอร์เกตชุดที่สองประกอบด้วย M7, M8, M9 และ M10 ทำหน้าที่ในการขับไบโพลาร์ทรานซิสเตอร์ และอินเวอร์สองชุดประกอบด้วย M11, M12, M13 และ M14 ในการขับไบโพลาร์ทรานซิสเตอร์ ในส่วนสุดท้ายคือวงจรที่ทำหน้าที่ในการขับโหลดโดยใช้ไบโพลาร์ทรานซิสเตอร์ PNP (Q1) และ NPN (Q2)

เมื่อ E_n อยู่ในสถานะ “0” ทำให้ M3, M7 อยู่ในสถานะ ON และ M5, M10 อยู่ในสถานะ OFF เมื่อมีการป้อนอินพุตเข้ามา

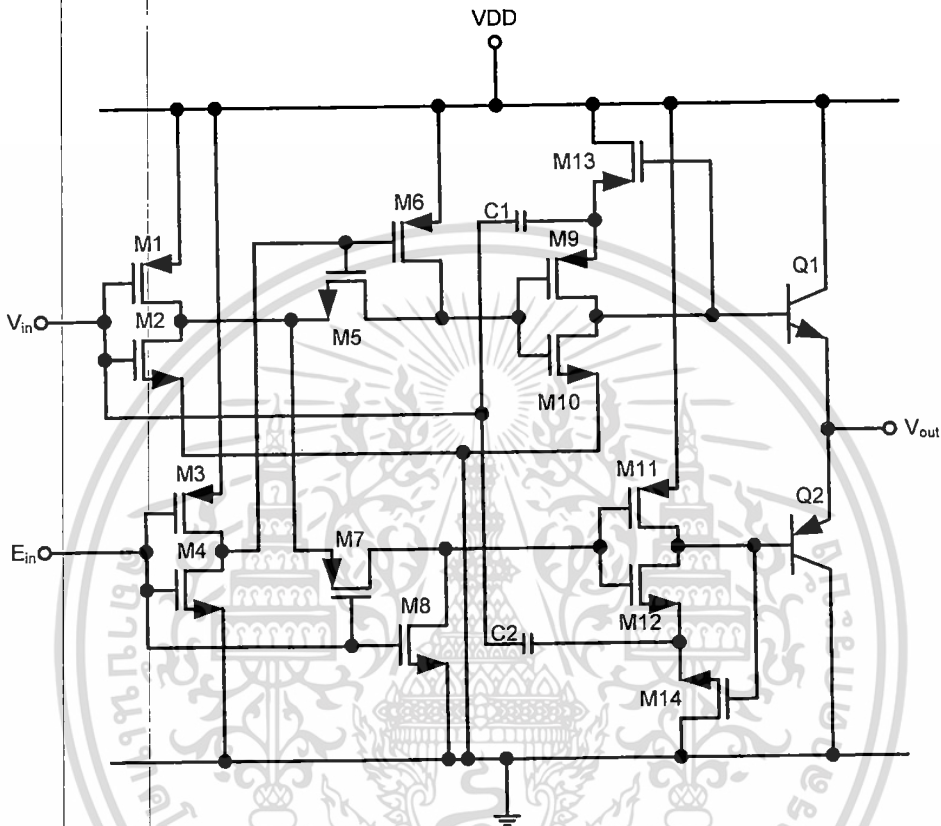
เมื่อ V_m อยู่ในสถานะ “0” ส่งผลทำให้ M1, M4 อยู่ในสถานะ ON และ M2, M6 อยู่ในสถานะ OFF ส่งผลทำให้ M9, M12, M13 อยู่ในสถานะ ON และ M8, M8, M14 อยู่ในสถานะ OFF ทำให้ Q1 และ Q2 ทำงาน ON และ OFF สลับกันในการขับโหลด

เมื่อ E_n อยู่ในสถานะ “1” ทำให้ M3, M7 อยู่ในสถานะ OFF และ M5, M10 อยู่ในสถานะ ON ส่งผลทำให้ Q1, Q2 อยู่ในสถานะคัทออฟ ไม่ว่าจะป้อนอินพุตในกรณีใดวงจรอยู่ในสถานะ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
Hi-Z
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 วงจรไบซีมอสไตรสเตทบัฟเฟอร์อาศัยเทคนิคการชาร์จปั๊ม

วงจรไบซีมอสไตรสเตทบัฟเฟอร์ด้วยการอาศัยเทคนิคการชาร์จปั๊ม [9-12] ถูกออกแบบและปรับปรุงวงจรใหม่ ด้วยการออกแบบวงจรโดยคุณสมบัติของวงจรอินเวอร์เตอร์และเทคนิคการชาร์จปั๊มเพื่อช่วยในการทำงานที่การแกว่งเต็มช่วงของวงจร ดังแสดงดังรูปที่ 4.3



รูปที่ 4.3 วงจรไบซีมอสไตรสเตทบัฟเฟอร์ด้วยการอาศัยเทคนิคการชาร์จปั๊ม

4.3.1 การทำงานของวงจร

จากรูปที่ 4.3 อาศัยหลักการทำงานของวงจรอินเวอร์เตอร์ ในการควบคุมการทำงานของวงจรให้อยู่ในสถานะ “0”, “1” และ Hi-Z และจับวงจรส่วนเอาต์พุตที่ประกอบไปด้วยไบโพลาร์ทรานซิสเตอร์ นอกจากนี้ยังเพิ่มชาร์จปั๊มในการช่วยชาร์จกระแสเพื่อป้อนกลับไปชาร์จให้อินเวอร์เตอร์คู่แรกที่ทำหน้าที่ในการสร้างสัญญาณอินเวอร์เตอร์ ส่วนที่ทำหน้าที่ควบคุมการทำงานซึ่งประกอบไปด้วย M3, M4 ส่วนที่ทำหน้าที่ในการสร้างสัญญาณอินเวอร์เตอร์ประกอบไปด้วย M1 และ M2 ส่วนที่ทำหน้าที่เหมือนสวิตช์เปิดปิดวงจรประกอบด้วย M5, M6, M7 และ M8 ส่วนที่ทำหน้าที่ในการเอาต์พุตไบโพลาร์ทรานซิสเตอร์ประกอบด้วย M9, M10, M11 และ M12 ส่วนที่ทำหน้าที่เป็นชาร์จปั๊มประกอบด้วย M13, M14 และ C1, C2 และส่วนสุดท้ายคือวงจรที่ทำหน้าที่ในการขับโหลดโดยใช้ไบโพลาร์ทรานซิสเตอร์ NPN (Q1) และ PNP (Q2) ใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซาร์จิปัมจะทำงานในช่วงการแกว่งช่วงขาขึ้นลง การบูสที่คืนนั้นค่าแรงดันที่บูสขึ้นต้องสูงกว่าค่าแรงดันแหล่งจ่ายแรงดัน V_{DD} เพื่อป้องกันกลับไปปรับปรุ้งซิมอสอินเวอร์เตอร์ชุดแรงให้สร้างสัญญาณอินเวอร์เตอร์ที่มีการทำงานในการแกว่งเต็มช่วง

เมื่อ E_n อยู่ในสถานะ “0” ทำให้ M3 อยู่ในสถานะ ON และ M4 อยู่ในสถานะ OFF เอาท์พุทที่ได้จาวจรอินเวอร์เตอร์ชุดนี้จะอยู่ในสถานะ “1” ผลจากการป้อน E_n ให้อยู่ในสถานะดังกล่าวส่งผลทำให้ M5, M7 อยู่ในสถานะ ON และ M6, M8 อยู่ในสถานะ OFF

เมื่อ V_{in} อยู่ในสถานะ “0” ส่งผลทำให้ M1 อยู่ในสถานะ ON และ M2 อยู่ในสถานะ OFF ทำให้เกิดสถานะ “1” และทำให้ M9, M11 อยู่ในสถานะ ON และ M10, M12 อยู่ในสถานะ OFF ในขณะที่ M13, M14 อยู่ในสถานะ ON เนื่องจากสถานะเดิมที่เบสของ Q1 อยู่ในสถานะ “0” และเบสของ Q2 อยู่ในสถานะ “1” ส่งผลทำให้เกิดการซาร์จประจุผ่านคาปาซิเตอร์ไปยังมอสอินเวอร์เตอร์ M1, M2 และ เกิดการขับไปยังกระแสไบโพลาร์ทรานซิสเตอร์ Q1, Q2 ทำให้เกิดสถานะทางลอจิกเป็น “0”

เมื่อ V_{in} อยู่ในสถานะ “1” ส่งผลทำให้ M1 อยู่ในสถานะ OFF และ M2 อยู่ในสถานะ ON ทำให้เกิดสถานะ “0” และทำให้ M9, M11 อยู่ในสถานะ OFF และ M10, M12 อยู่ในสถานะ ON ในขณะที่ M13, M14 อยู่ในสถานะ ON เนื่องจากสถานะเดิมที่เบสของ Q1 อยู่ในสถานะ “0” และเบสของ Q2 อยู่ในสถานะ “1” ส่งผลทำให้เกิดการซาร์จประจุผ่านคาปาซิเตอร์ไปยังมอสอินเวอร์เตอร์ M1, M2 และ เกิดการขับไปยังกระแสไบโพลาร์ทรานซิสเตอร์ Q1, Q2 ทำให้เกิดสถานะทางลอจิกเป็น “1”

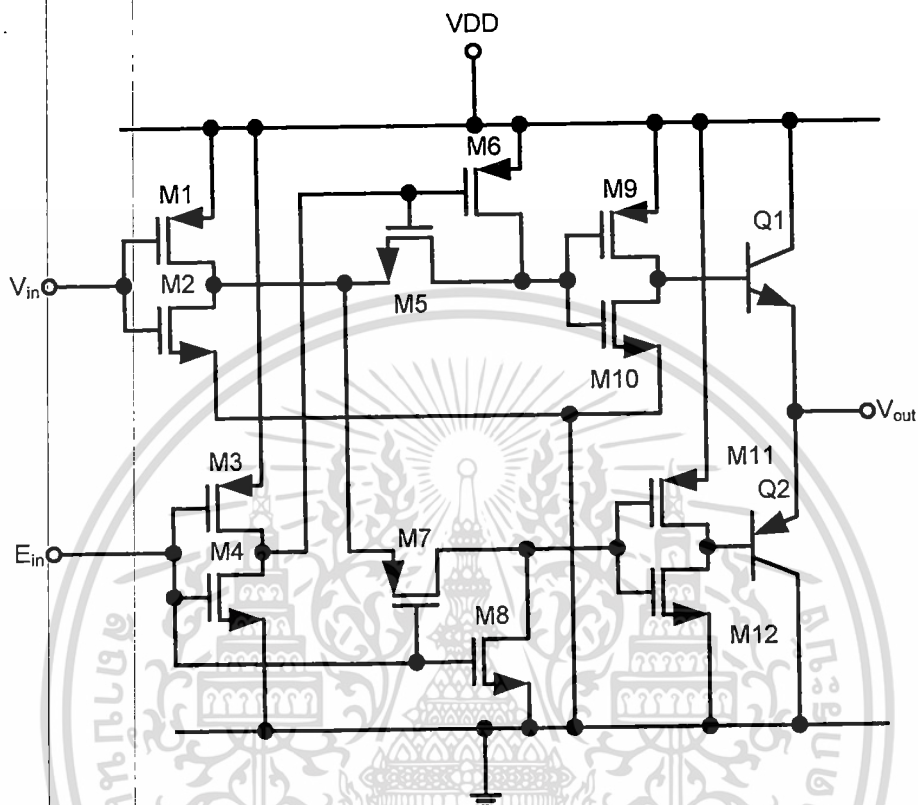
เมื่อ E_n อยู่ในสถานะ “1” ทำให้ M3 อยู่ในสถานะ OFF และ M4 อยู่ในสถานะ ON เอาท์พุทที่ได้จาวจรอินเวอร์เตอร์ชุดนี้จะอยู่ในสถานะ “0” ผลจากการป้อน E_n ให้อยู่ในสถานะดังกล่าวส่งผลทำให้ M5, M7 อยู่ในสถานะ OFF และส่งผลทำให้ M9, M10 และ M11, M12 อยู่ในสถานะ OFF ดังนั้น Q1, Q2 อยู่ในสถานะคัทออฟ ไม่ว่าจะป้อนอินพุทในกรณีใดวงจรอยู่ในสถานะ Hi-Z

4.4 วงจรไบซิมอสไตรสเตทบัฟเฟอร์ไม่อาศัยเทคนิคการซาร์จิปัมที่น่าเสนอ

วงจรถูกออกแบบโดยคุณสมบัติของวงจรมอสอินเวอร์เตอร์ ด้วยคุณสมบัติของซิมอสอินเวอร์เตอร์ที่มีความไวในการสวิทซ์ที่สูงและใช้กำลังงานในการทำงานต่ำกว่าวงจรทางลอจิกตัวอื่น จึงทำให้ได้เปรียบในเรื่องของการทำงานที่ความเร็วสูงและไม่ใช้เทคนิคการซาร์จิปัมในการทำงานที่การแกว่งเต็มช่วงของวงจรถือ เนื่องจากในการทำงานที่การสวิทซ์ซึ่งที่ความเร็วสูงการซาร์จคาปาซิแตนซ์จะเกิดความล้มเหลวขึ้นเนื่องจากการซาร์จคาปาซิเตอร์ต้องใช้เวลาพอสมควร จึงทำให้การซาร์จนั้นล่าช้าไม่ทันต่อการสวิทซ์ซึ่งที่ความเร็วสูงและเปลืองค่ากระแสในการจับวงจรมอส

ถัดไปในประเด็นปัญหาการทำงานแกว่งไม่เต็มช่วงนั้นเมื่อย้อนกลับไปในอดีตนั้น ปัญหาดังกล่าวเกิดจากเทคโนโลยีของมอสทรานซิสเตอร์ แต่เนื่องจากปัจจุบันนั้นได้มีการพัฒนา

เทคโนโลยีทางด้านมอสทรานซิสเตอร์อย่างต่อเนื่องเพื่อแก้ไขปัญหาในการแกว่งไม่เต็มช่วงของตัวมอสทรานซิสเตอร์ ซึ่งในปัจจุบันนี้ปัญหาดังกล่าวได้หมดไป อุปกรณ์มอสทรานซิสเตอร์ในปัจจุบันมีชื่อเรียกโดยย่อว่า “FinFET” [13] วงจรแสดงดังรูปที่ 4.4



รูปที่ 4.4 วงจรไบซีมอสไครสเททพัพเพอร์ที่นำเสนอ

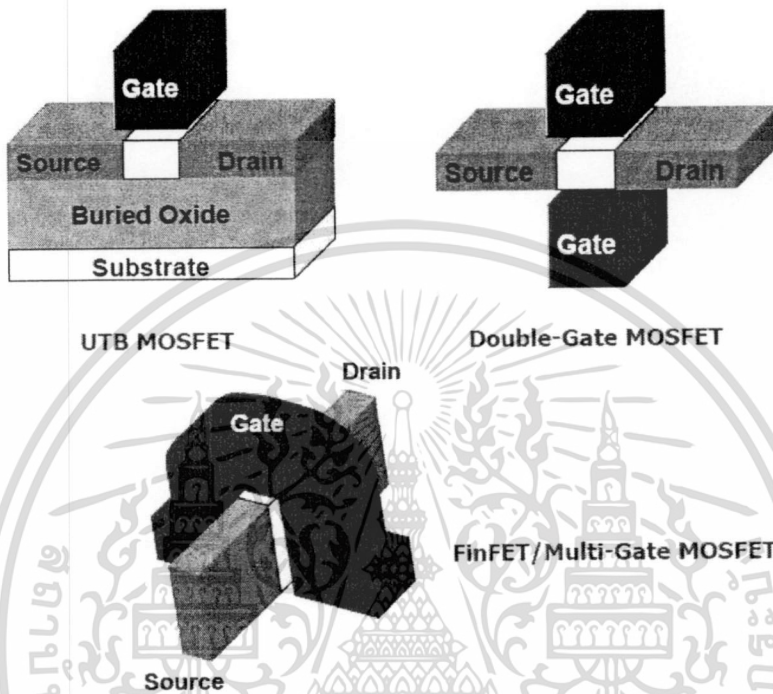
4.4.1 การทำงานของวงจร

จากรูปที่ 4.3 อาศัยหลักการทำงานของวงจรถ่ายอินเวอร์เตอร์ ในการควบคุมการทำงานของวงจรให้อยู่ในสถานะ “0”, “1” และ Hi-Z และขั้ววงจรส่วนเอาต์พุตที่ประกอบไปด้วยไบโพลาร์ทรานซิสเตอร์ ส่วนที่ทำหน้าที่ควบคุมการทำงานซึ่งประกอบไปด้วย M3-M4 ส่วนที่ทำหน้าที่ในการสร้างสัญญาณอินเวอร์เตอร์ประกอบไปด้วย M1 และ M2 ส่วนที่ทำหน้าที่เสมือนสวิตช์เปิดปิดวงจรประกอบด้วย M5, M6, M7 และ M8 ส่วนที่ทำหน้าที่ในการเอาต์พุตไบโพลาร์ทรานซิสเตอร์ประกอบด้วย M9, M10, M11 และ M12 และส่วนสุดท้ายคือวงจรที่ทำหน้าที่ในการขับโหลดโดยใช้ไบโพลาร์ทรานซิสเตอร์ NPN (Q1) และ PNP (Q2)

ด้วยโครงสร้างที่มีลักษณะพิเศษของมอสทรานซิสเตอร์ดังกล่าว ที่มีลักษณะเป็นมัลติเกตหลายเกตที่รู้จักในชื่อ FinFET นั้นถูกพัฒนาขึ้นมาใช้งานในเทคโนโลยี 22nm [11] ซึ่งเป็นที่รู้จัก

กันดีในกระบวนการผลิตอุปกรณ์ที่มีความบางเป็นการช่วยทำให้โอเล็กโตรดของเกตในแนวนอนซึ่งอยู่ในรูปแบบระนาบของ Bulk ในกระบวนการของซีมอส FinFET สามารถสร้างบน SOI หรือ

Bulk Silicon ของซัปสเตรต การควบคุมสนามไฟฟ้าสถิตจำนวนมากที่อยู่เหนือแชนแนล เริ่มจากการมัดติเกิดในการลดการคลั้ปปี้งระหว่างซอร์สและเดรนในรอยต่อของซัปเทรตโอสและเป็นการเปิดใช้งานมัดติเกิดทรานซิสเตอร์นอกรอกจากการสเกลระนาบ Bulk ของซิมอสสำหรับการกำหนดค่าไดอิเล็คทริกของ Thickness แสดงตัวอย่างของมอสที่มีลักษณะมัดติเกิด ดังแสดงดังรูปที่ 4.5



รูปที่ 4.5 ตัวอย่างโครงสร้างมอสเฟตชนิดพิเศษ

เมื่อ E_n อยู่ในสภาวะ “0” ทำให้ M3 อยู่ในสภาวะ ON และ M4 อยู่ในสภาวะ OFF เอาท์พุทที่ได้จาวงจรอินเวอร์เตอร์ชุดนี้จะอยู่ในสภาวะ “1” ผลจากการป้อน E_n ให้อยู่ในสภาวะดังกล่าวส่งผลทำให้ M5, M7 อยู่ในสภาวะ ON และ M6, M8 อยู่ในสภาวะ OFF

เมื่อ V_m อยู่ในสภาวะ “0” ส่งผลทำให้ M1 อยู่ในสภาวะ ON และ M2 อยู่ในสภาวะ OFF ทำให้เกิดสภาวะ “1” และทำให้ M9, M11 อยู่ในสภาวะ ON และ M10, M12 อยู่ในสภาวะ OFF ส่งผลทำให้เกิดการชาร์จประจุผ่านคาปาซิเตอร์ไปยังมอสอินเวอร์เตอร์ M1, M2 และ เกิดการขับไปยังกระแสไบโพลาร์ทรานซิสเตอร์ Q1, Q2 ทำให้เกิดสภาวะทางลอจิกเป็น “0”

เมื่อ V_m อยู่ในสภาวะ “1” ส่งผลทำให้ M1 อยู่ในสภาวะ OFF และ M2 อยู่ในสภาวะ ON ทำให้เกิดสภาวะ “0” และทำให้ M9, M11 อยู่ในสภาวะ OFF และ M10, M12 อยู่ในสภาวะ ON ส่งผลทำให้เกิดการชาร์จประจุผ่านคาปาซิเตอร์ไปยังมอสอินเวอร์เตอร์ M1, M2 และ เกิดการขับไปยังกระแสไบโพลาร์ทรานซิสเตอร์ Q1, Q2 ทำให้เกิดสภาวะทางลอจิกเป็น “1”

เอกสารนี้เป็นเอกสารที่จัดทำขึ้นเพื่อใช้ในการเรียนการสอนเท่านั้น ไม่สามารถนำไปใช้
 เมื่อ E_n อยู่ในสภาวะ “1” ทำให้ M3 อยู่ในสภาวะ OFF และ M4 อยู่ในสภาวะ ON
 ไม่ว่าเอาท์พุทที่ได้จาวงจรอินเวอร์เตอร์ชุดนี้จะอยู่ในสภาวะ “0” ผลจากการป้อน E_n ให้อยู่ในสภาวะ “1”

ดังกล่าวส่งผลทำให้ M5, M7 อยู่ในสถานะ OFF และส่งผลทำให้ M9, M10 และ M11, M12 อยู่ในสถานะ OFF ดังนั้น Q1, Q2 อยู่ในสถานะคัทออฟ ไม่ว่าจะป้อนอินพุตในกรณีใดวงจรอยู่ในสถานะ Hi-Z



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

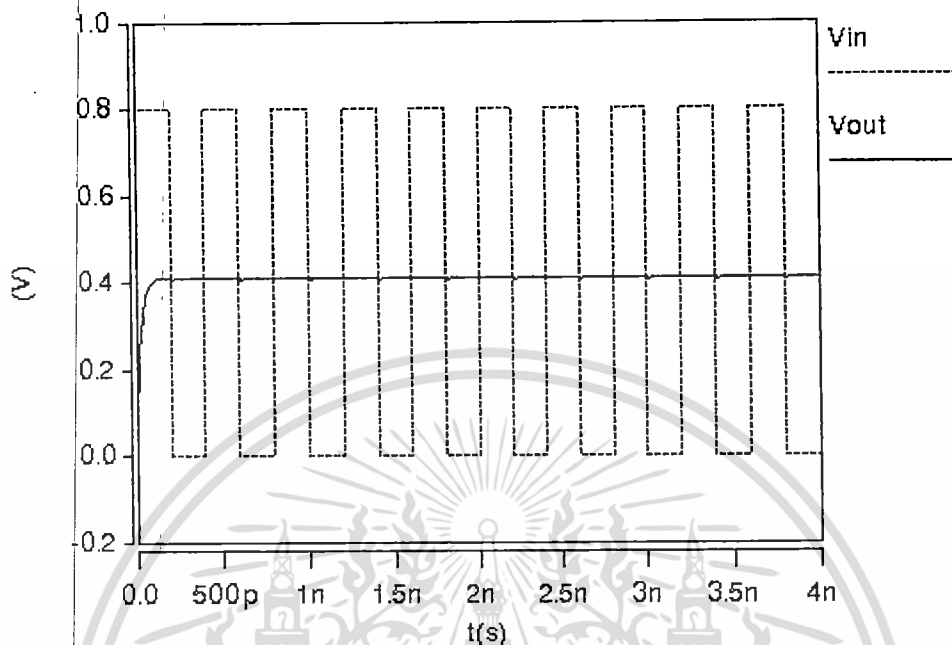
ผลการทดสอบคุณสมบัติของวงจรรูปแบบไมโครสเตรปทอปฟเฟอร์

การออกแบบวงจรรูปแบบไมโครสเตรปทอปฟเฟอร์โดยไม่ใช้เทคนิคชาร์จัมป์ ตามที่ได้นำเสนอมาในบทนี้จะเป็นการแสดงผลการทดสอบคุณสมบัติของวงจรรูปแบบใหม่พร้อมเปรียบเทียบกับวงจรรูปแบบไมโครสเตรปทอปฟเฟอร์แบบทั่วไป [6] วงจรรูปแบบไมโครสเตรปทอปฟเฟอร์รูปแบบไมโคร [7] และวงจรรูปแบบไมโครสเตรปทอปฟเฟอร์โดยอาศัยเทคนิคชาร์จัมป์ [8] สำหรับการจำลองการทำงานของวงจรรูปแบบไมโครสเตรปทอปฟเฟอร์ จะใช้โปรแกรม HSpice เพื่อการจำลองการทำงานของวงจรรูปแบบไมโครสเตรปทอปฟเฟอร์โดยไม่ใช้เทคนิคชาร์จัมป์ที่นำเสนอเปรียบเทียบกับวงจรรูปแบบไมโครสเตรปทอปฟเฟอร์ต่างๆ ที่กล่าวมา ในการทดสอบจะใช้สัญญาณอินพุตที่เป็นสัญญาณสามเหลี่ยม แทนสัญญาณไฟตรงซึ่งจะทำให้เห็นการเปลี่ยนแปลงเทียบกับเวลา

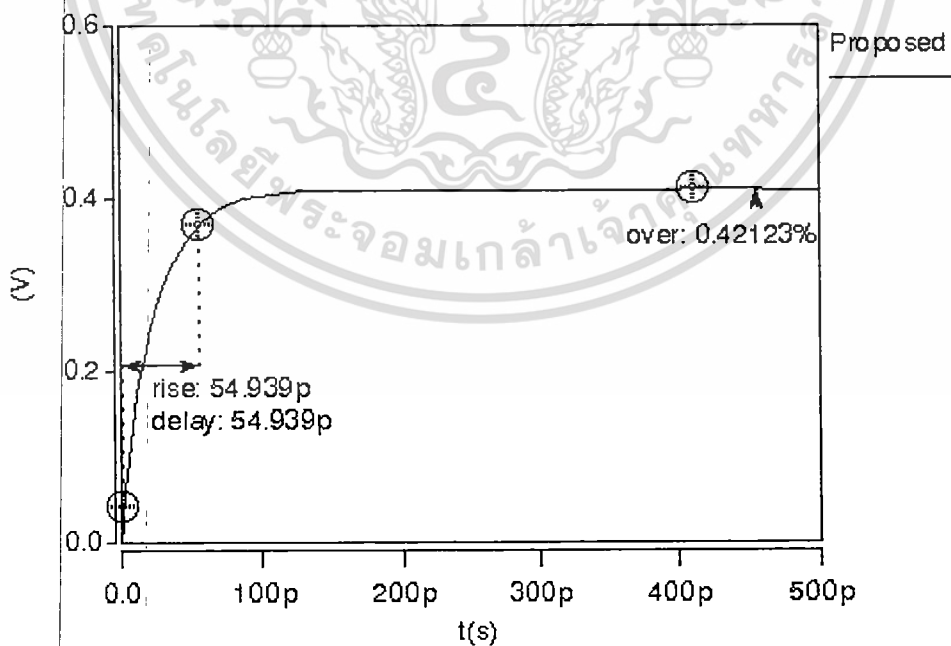
การทดสอบการทำงานของวงจรรูปแบบไมโครสเตรปทอปฟเฟอร์โดยไม่ใช้เทคนิคชาร์จัมป์ที่นำเสนอจะประกอบด้วย การเปรียบเทียบสัญญาณเอาต์พุตที่มีโหลดคาปาซิแตนซ์ 0.1 pF ถึง 1 pF ของวงจรรูปแบบไมโครสเตรปทอปฟเฟอร์ที่แตกต่างกัน การเปรียบเทียบค่าเวลาการประจุการแพร่กระจาย เปรียบเทียบการเปลี่ยนแปลงค่าโหลดของวงจรรูปแบบไมโครสเตรปทอปฟเฟอร์ และการเปลี่ยนแปลงเทคโนโลยีที่ใช้ของวงจรรูปแบบไมโครสเตรปทอปฟเฟอร์ และการเปรียบเทียบค่าการสิ้นเปลืองพลังงาน (Power dissipation) ของวงจรรูปแบบไมโครสเตรปทอปฟเฟอร์ ซึ่งจะมีการเปรียบเทียบเช่นเดียวกับการเปรียบเทียบค่าเวลาการประจุการแพร่กระจาย ทั้ง 3 ตัวแปร นั้นเอง

การทดสอบการทำงานของวงจรรูปแบบไมโครสเตรปทอปฟเฟอร์ทั้งหมดจะทดสอบบนเทคโนโลยี 22 nm ผลจากการจำลองการทำงานของวงจรรูปแบบไมโครสเตรปทอปฟเฟอร์โดยไม่ใช้เทคนิคชาร์จัมป์ที่นำเสนอสามารถทำงานได้ที่ความถี่สูงถึง 2.2 GHz แต่วงจรรูปแบบไมโครสเตรปทอปฟเฟอร์รูปแบบไมโครสเตรปทอปฟเฟอร์ไม่สามารถทำงานได้ที่แรงดันแหล่งจ่ายต่ำจึงไม่สามารถนำมาเปรียบเทียบได้ และวงจรรูปแบบไมโครสเตรปทอปฟเฟอร์โดยอาศัยเทคนิคชาร์จัมป์ ไม่สามารถทำงานได้ที่ความถี่นี้แต่สามารถทำงานได้ที่ความถี่ 400 MHz จึงไม่สามารถนำมาเปรียบเทียบทุกเงื่อนไขได้แต่สามารถทำงานได้เพียงบางเงื่อนไขจึงมีการนำมาเปรียบเทียบบางเงื่อนไข ในขณะที่วงจรรูปแบบไมโครสเตรปทอปฟเฟอร์แบบทั่วไป สามารถทำงานได้ที่ความถี่ดังกล่าวทุกเงื่อนไขจึงนำมาเปรียบเทียบกับวงจรรูปแบบไมโครสเตรปทอปฟเฟอร์ที่นำเสนอ

5.1 การทดสอบวัดสัญญาณเอาต์พุตของวงจรที่นำเสนอนในสภาวะการทำงานที่ Hi-Z ที่ความถี่ 2.5 GHz ที่ระดับแรงดันแหล่งจ่าย 0.8 โวลต์

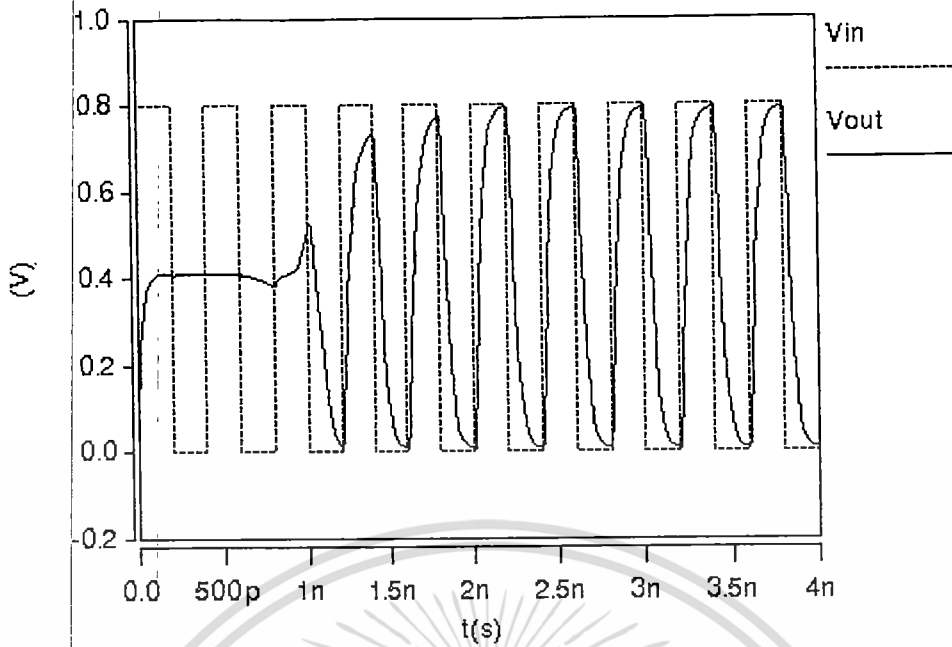


รูปที่ 5.1 สัญญาณเอาต์พุตของวงจรที่นำเสนอนในสภาวะการทำงานที่ Hi-Z ความถี่ 2.5 GHz ที่ระดับแรงดัน 0.8 โวลต์ เมื่อกำหนดขา E_N ให้อยู่ในสภาวะ “1” ทุกช่วงเวลา

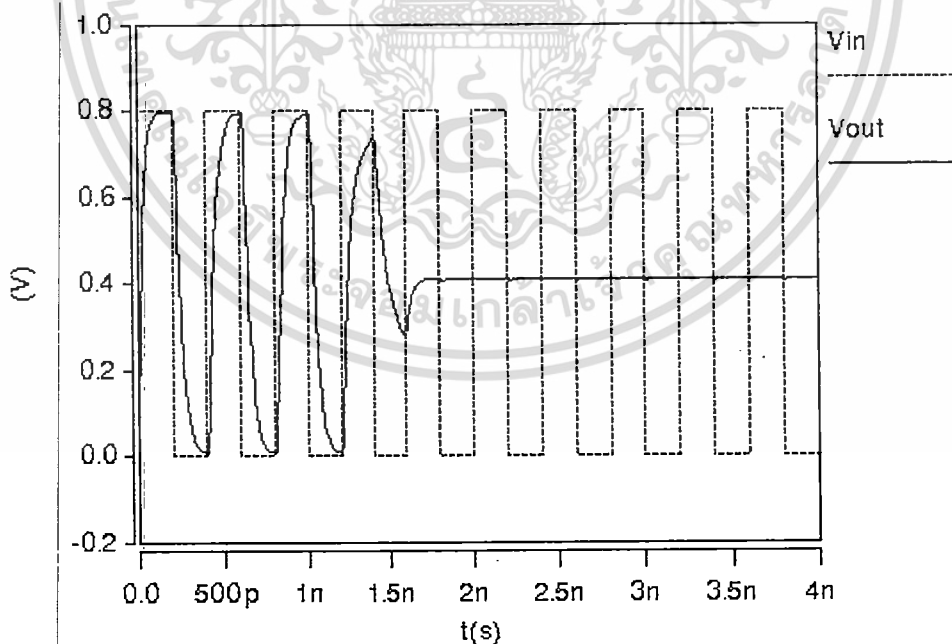


รูปที่ 5.2 สัญญาณเอาต์พุตของวงจรที่นำเสนอนในสภาวะการทำงานที่ Hi-Z ความถี่ 2.5 GHz

ที่ระดับแรงดัน 0.8 โวลต์ เมื่อกำหนดขา E_N ให้อยู่ในสภาวะ “1” ทุกช่วงเวลาในการ
 เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้เฉพาะในโครงการวิจัยเท่านั้นซึ่งจะเปิดเผยให้ท่านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น โปรดติดต่อผู้จัดทำเอกสารทุกครั้งที่มีการนำไปใช้



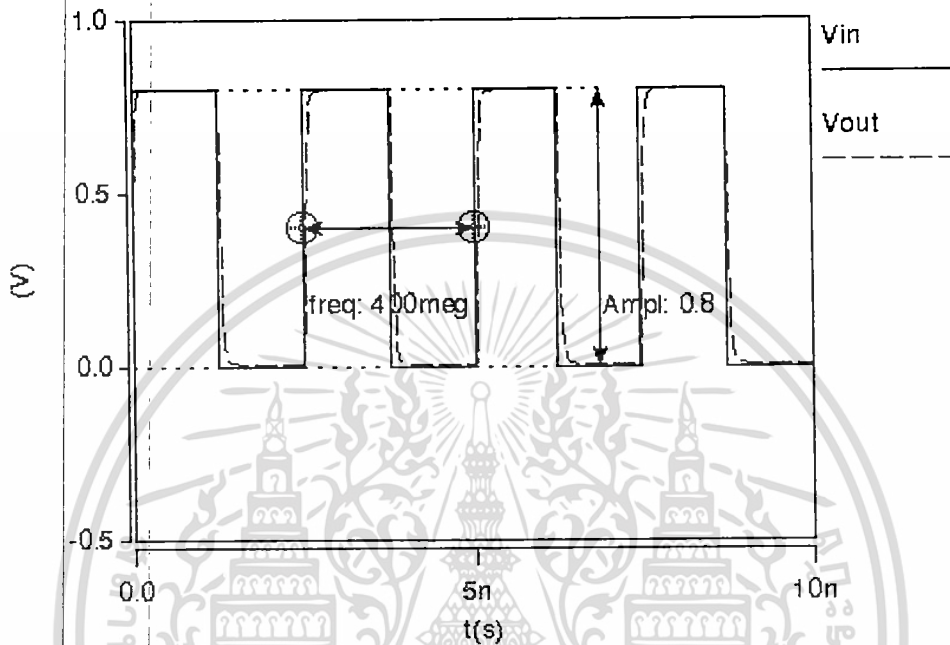
รูปที่ 5.3 สัญญาณเอาต์พุตของวงจรที่นำเสนอในสภาวะการทำงานที่ Hi-Z และ “1”, “0” ความถี่ 2.5 GHz ที่ระดับแรงดัน 0.8 โวลต์ เมื่อกำหนดขา EN ให้อยู่ในสภาวะ “1” และเปลี่ยนสถานะเป็น “0”



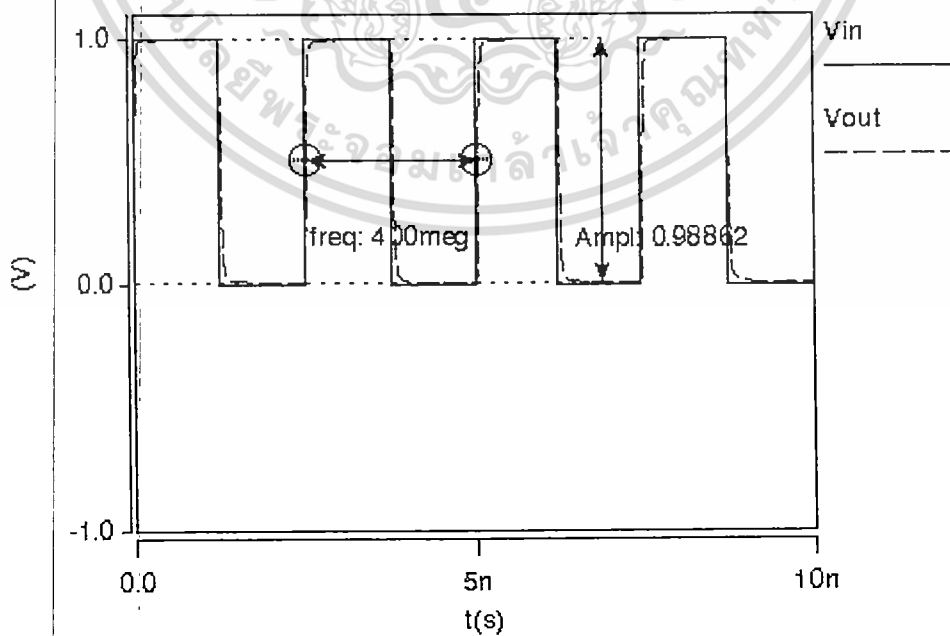
รูปที่ 5.4 สัญญาณเอาต์พุตของวงจรที่นำเสนอในสภาวะการทำงานที่ “1”, “0” และ Hi-Z ความถี่ 2.5 GHz ที่ระดับแรงดัน 0.8 โวลต์ เมื่อกำหนดขา EN ให้อยู่ในสภาวะ “0”

เอกสารนี้เป็นเอกสารลิขสิทธิ์ของสถาบันนี้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

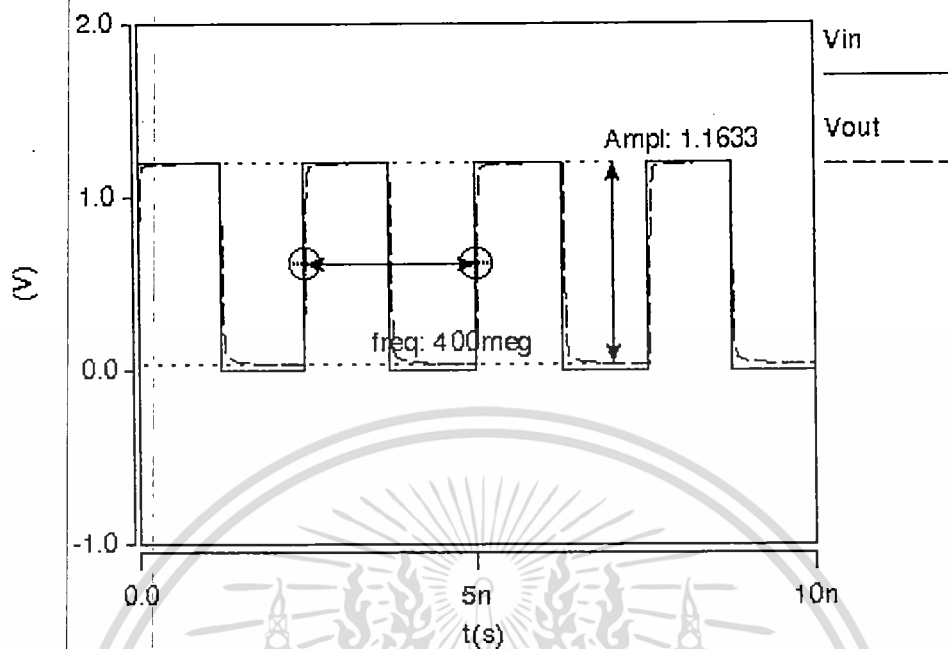
5.2 การทดสอบวัดสัญญาณเอาต์พุตของวงจรไทรสเททที่นำเสนอนี้ที่ความถี่ 400 MHz และ 2.5 GHz ที่ระดับแรงดันแหล่งจ่าย 0.8, 1.0 และ 1.2 โวลต์



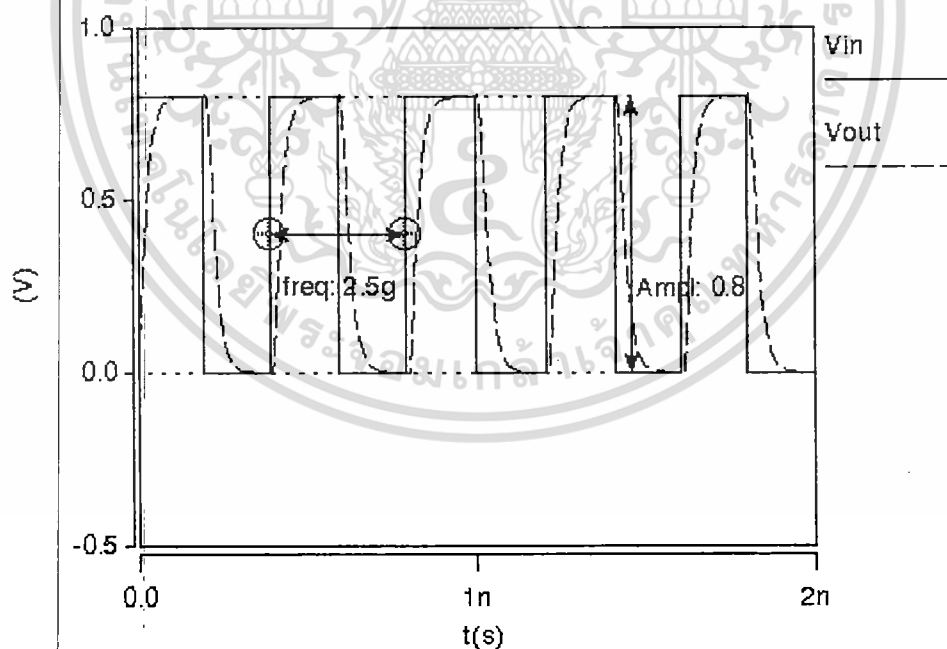
รูปที่ 5.5 สัญญาณเอาต์พุตของวงจรที่นำเสนอนี้ที่ความถี่ 400 MHz โหลดคาปาซิแตนซ์ 1 pF



เอกสารนี้เป็นรูปที่ 5.6 สัญญาณเอาต์พุตของวงจรที่นำเสนอนี้ที่ความถี่ 400 MHz โหลดคาปาซิแตนซ์ 1 pF การค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

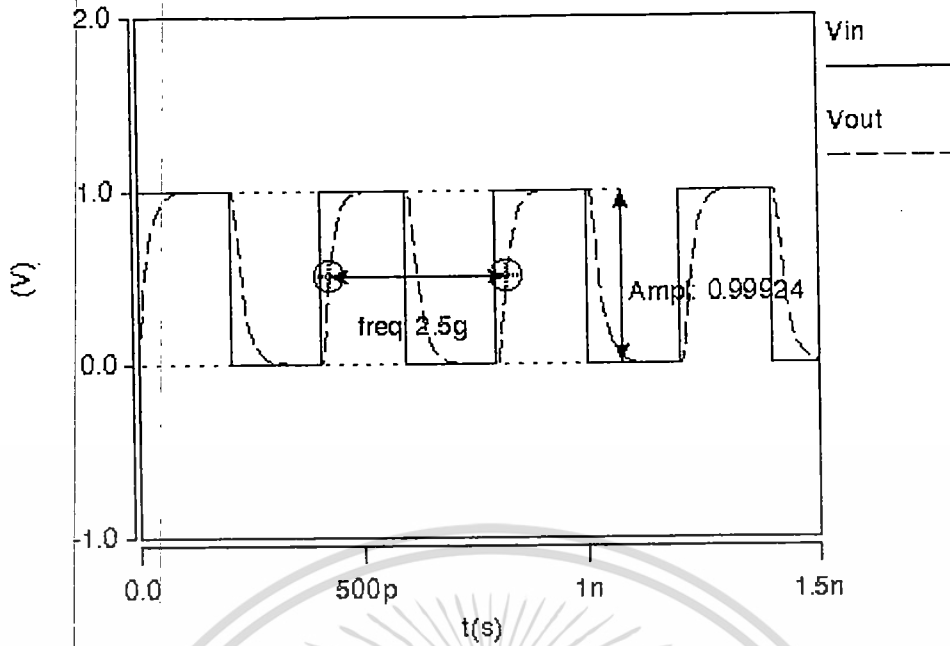


รูปที่ 5.7 สัญญาณเอาต์พุตของวงจรที่นำเสนอที่ความถี่ 400 MHz โหลดคาปาซิแตนซ์ 1 pF

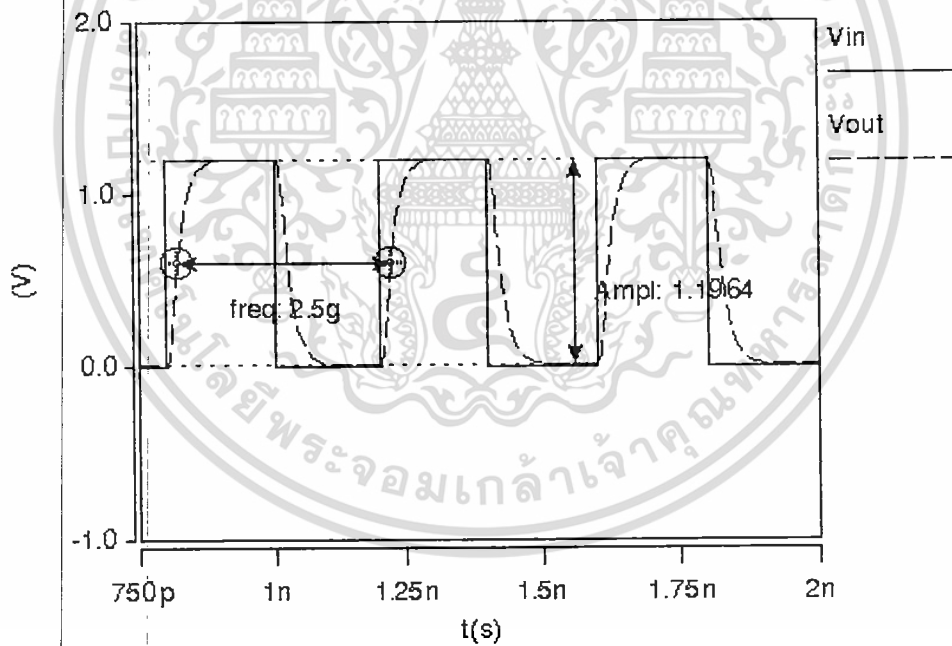


รูปที่ 5.8 สัญญาณเอาต์พุตของวงจรที่นำเสนอที่ความถี่ 2.5 GHz โหลดคาปาซิแตนซ์ 1 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

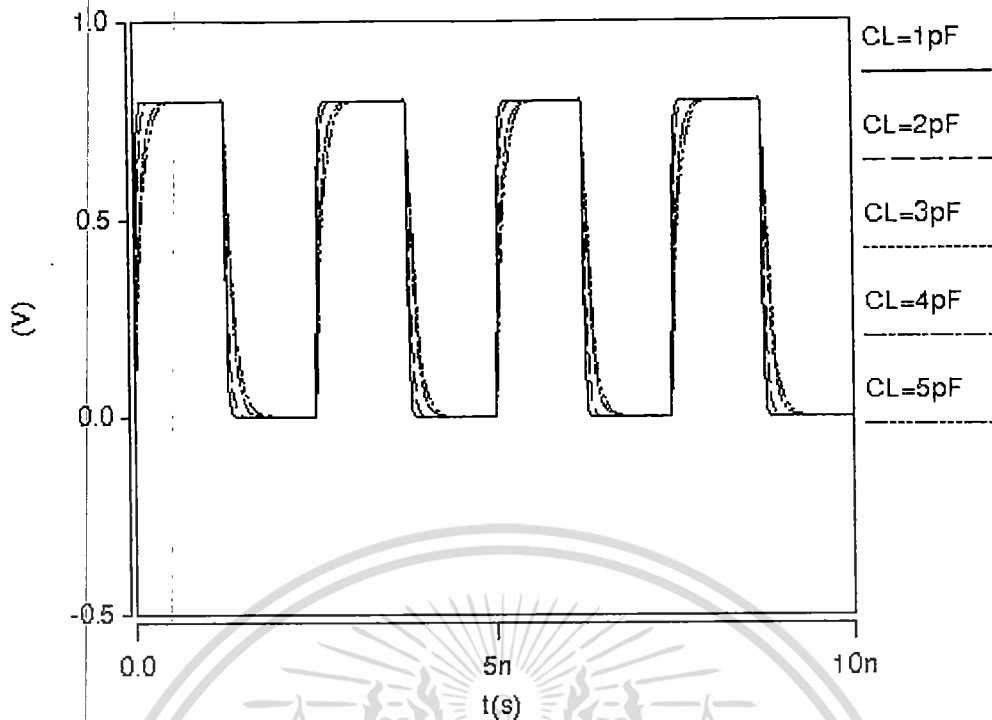


รูปที่ 5.9 สัญญาณเอาต์พุตของวงจรที่นำเสนอดังที่ความถี่ 2.5 GHz โหลดคาปาซิแตนซ์ 1 pF

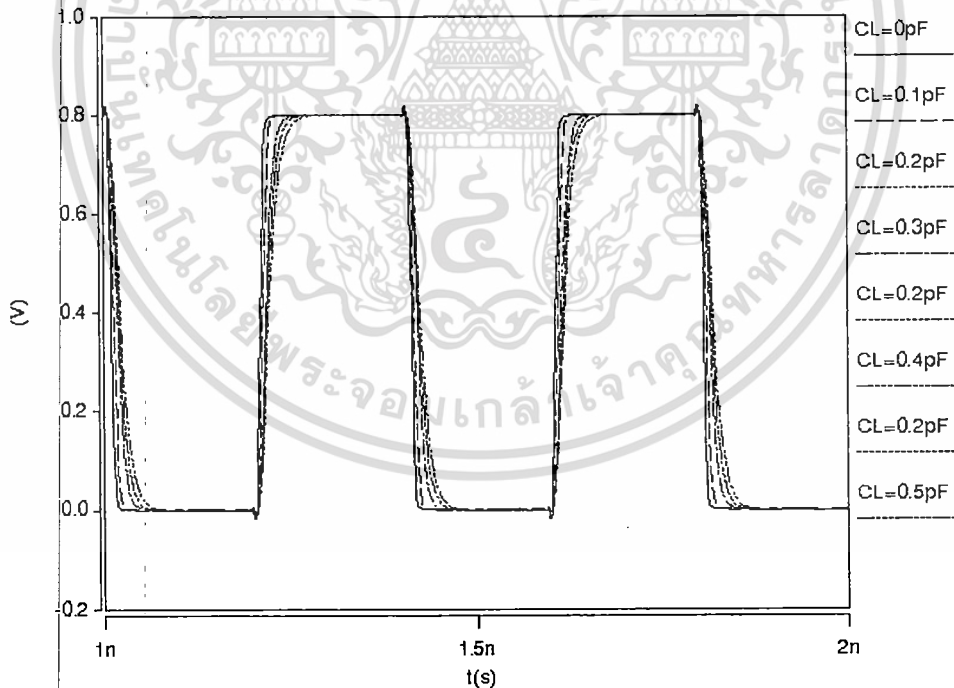


รูปที่ 5.10 สัญญาณเอาต์พุตของวงจรที่นำเสนอดังที่ความถี่ 2.5 GHz โหลดคาปาซิแตนซ์ 1 pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.11 สัญญาณเอาต์พุตของวงจรที่นำเสนอมือเปลี่ยน CL จาก 1 – 5 pF ที่ความถี่ 400 MHz

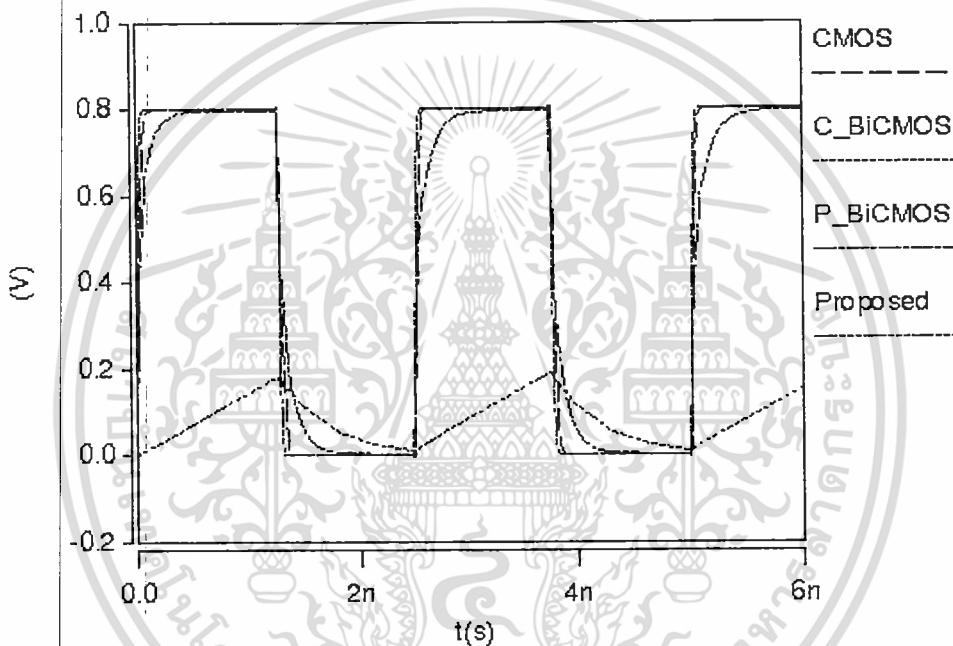


รูปที่ 5.12 สัญญาณเอาต์พุตของวงจรที่นำเสนอมือเปลี่ยน CL จาก 0 – 0.5 pF ที่ความถี่ 2.5 GHz

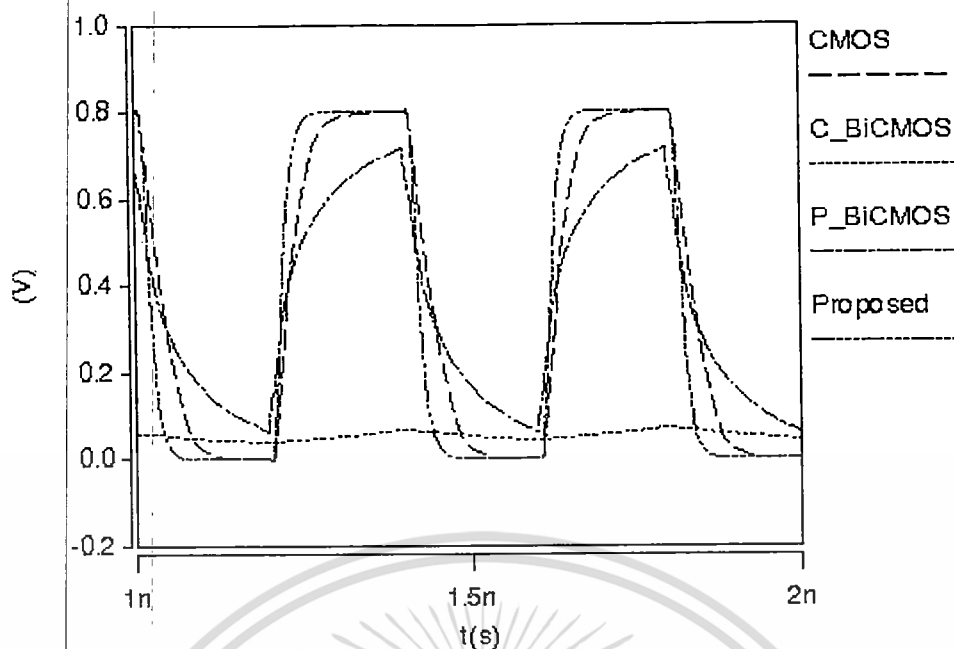
จากผลการจำลองการทำงานของวงจรแสดงให้เห็นว่าวงจรไบซีมอสสไตรคสเตทบัฟเฟอร์ที่
 เอกสำรนำเสนอสมาารถทำงานได้จริงที่ความถี่ 2.5 GHz เมื่อแรงดันแหล่งจ่ายเท่ากับ 0.8 V แต่ผลจากการ
 ไม่ว่า จำลองการทำงานอาจจะยังดีไม่เท่าที่ควร เนื่องจากผลการปรับค่า W/L ของมอสทรานซิสเตอร์ใช้

โดยที่ผลการจำลองการทำงานข้างต้นนั้นจะพิจารณาเฉพาะวงจรที่นำเสนอเท่านั้นเนื่องจาก วงจรอื่นที่นำมาเปรียบเทียบ ไม่สามารถทำงานได้ที่ความถี่ 2.5 GHz เมื่อใช้แรงดันอินพุต 0.8 V แต่เมื่อสังเกตวงจรที่นำเสนอพบว่ามีผลต่อประสิทธิภาพของวงจรซึ่งเมื่อเราป้อนแรงดันแหล่งจ่ายสูงขึ้นวงจรก็สามารถขับโหลดได้ดีขึ้นมีค่าของการดีเลย์ที่ลดลงและลักษณะของสัญญาณดีขึ้นด้วย ทางด้านความถี่ที่ใช้ในการเปรียบเทียบเอาต์พุตของวงจรที่ความถี่ 400 MHz และ 2.5 GHz เพื่อแสดงให้เห็นสัญญาณเอาต์พุตที่ได้ของวงจรไบโตรีสเททท์เฟอ์ที่นำเสนอ

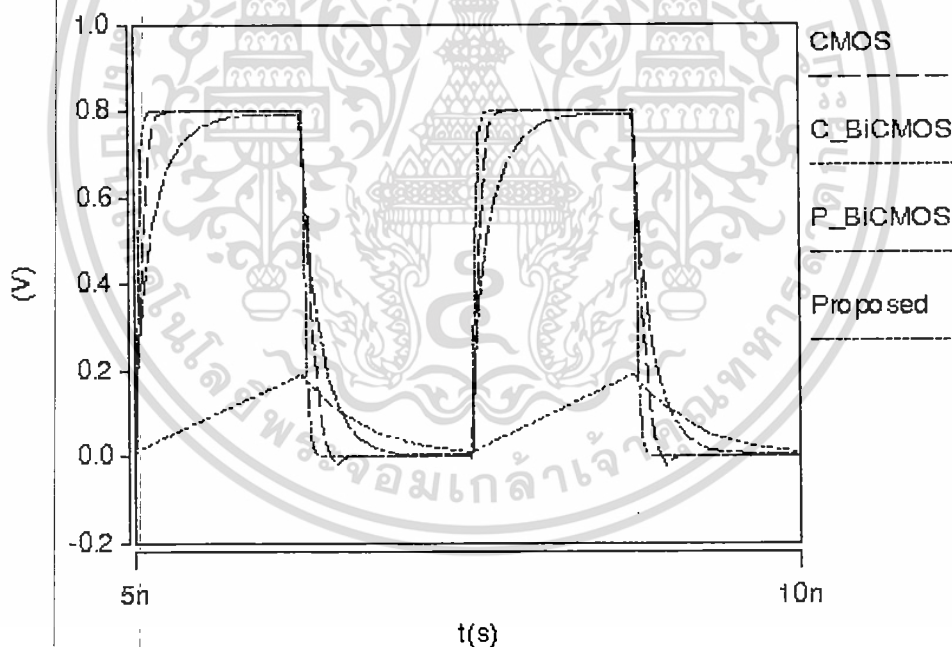
5.3 การเปรียบเทียบสัญญาณเอาต์พุตของวงจรไบโตรีสเททท์เฟอ์กับวงจรที่นำเสนอ



รูปที่ 5.13 สัญญาณเอาต์พุตของวงจรเมื่อค่าโหลดคาปาซิแตนซ์ 0.5 pF ที่ความถี่ 400 MHz

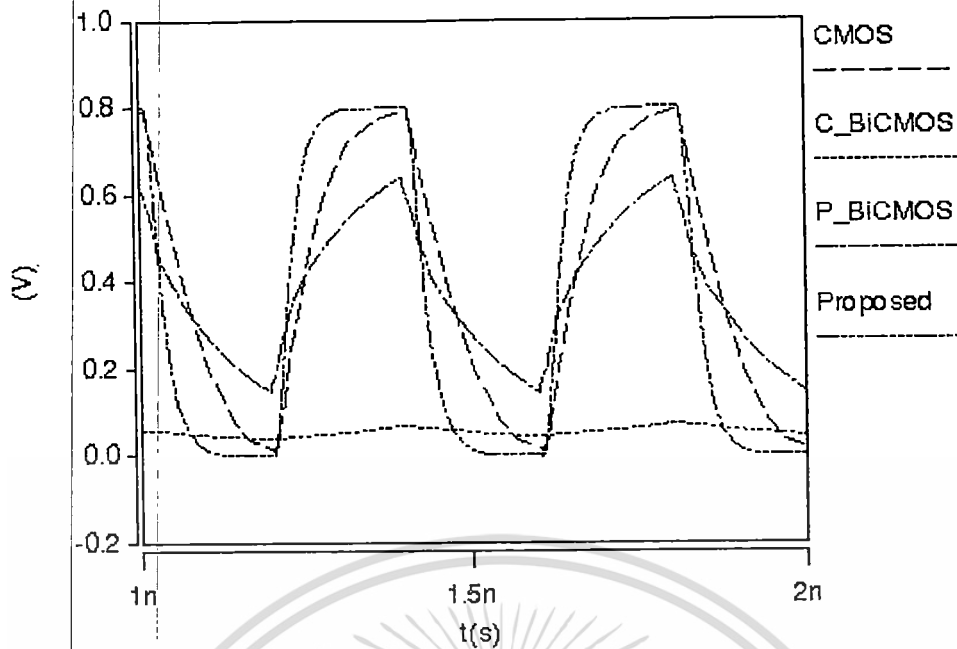


รูปที่ 5.14 สัญญาณเอาต์พุตของวงจรเมื่อค่าโหลดคาปาซิแตนซ์ 0.5 pF ที่ความถี่ 2.5 GHz



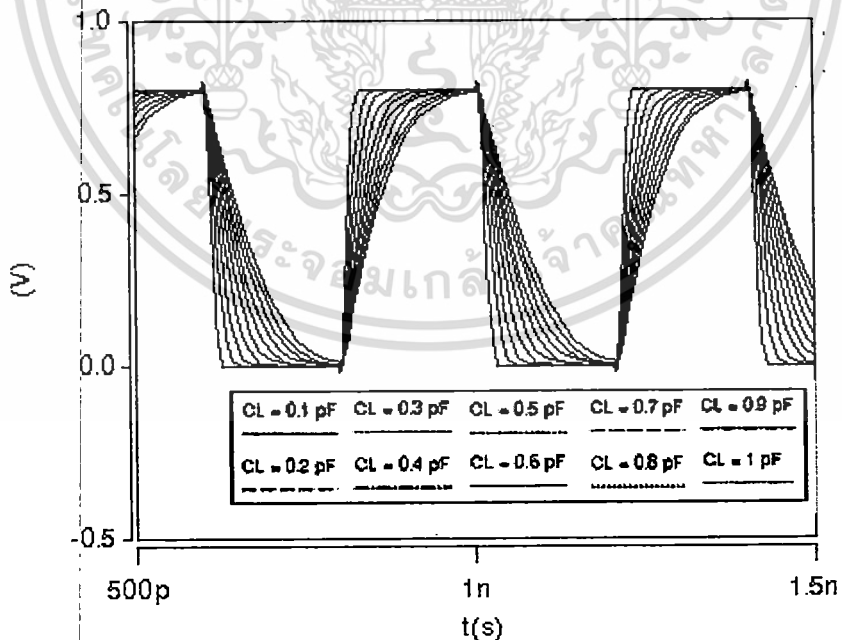
รูปที่ 5.15 สัญญาณเอาต์พุตของวงจรเมื่อค่าโหลดคาปาซิแตนซ์ 1 pF ที่ความถี่ 400 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



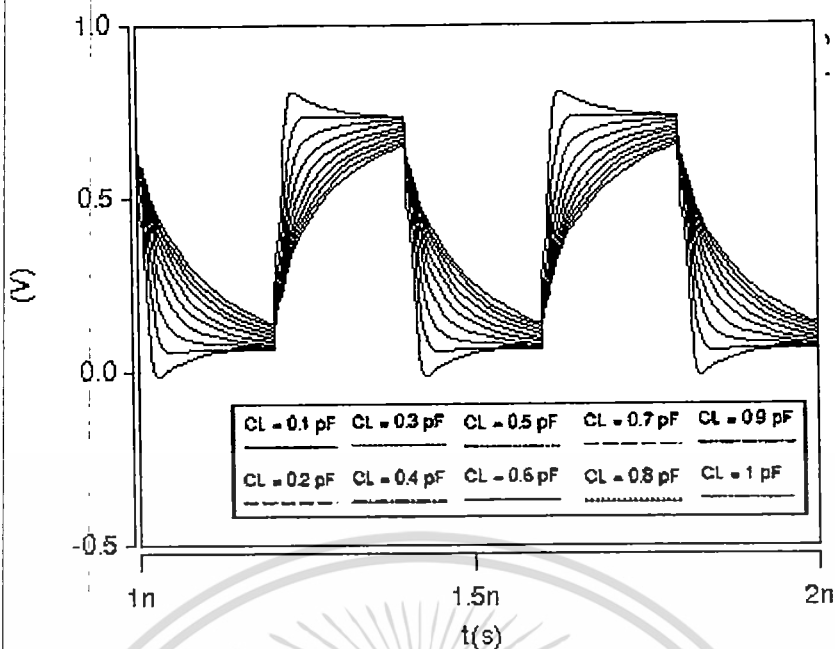
รูปที่ 5.16 สัญญาณเอาต์พุตของวงจรเมื่อค่าโหลดคาปาซิแตนซ์ 1 pF ที่ความถี่ 2.5 GHz

5.4 การเปรียบเทียบสัญญาณเอาต์พุตของวงจรเมื่อปรับค่าโหลดคาปาซิแตนซ์ค่า 0.1pF ถึง 1pF ที่ความถี่ 2.5 GHz

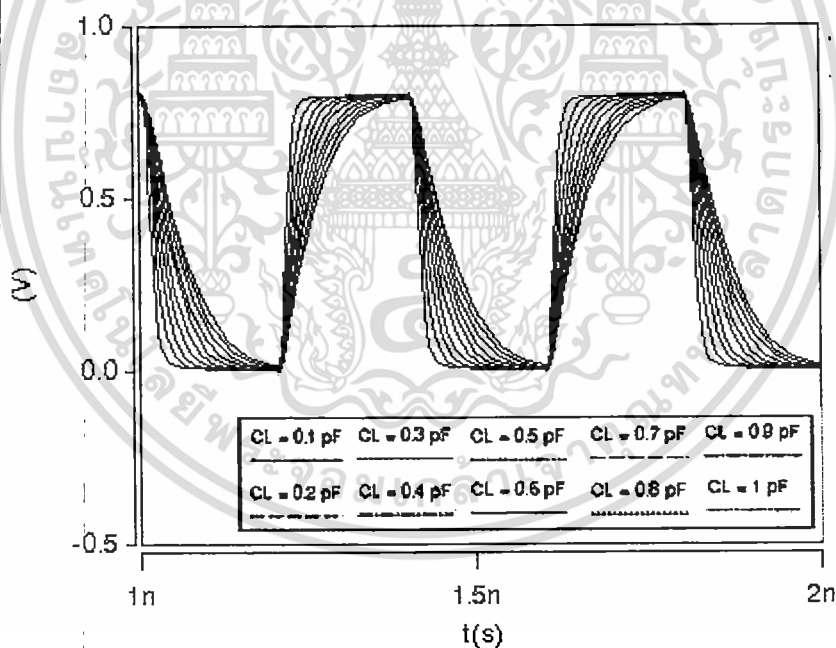


รูปที่ 5.17 สัญญาณเอาต์พุตของวงจรซีมอสไตรสเตทแบบทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.18 สัญญาณเอาต์พุตของวงจรไบซีมอสไตรสเตทบัฟเฟอร์ โดยอาศัยเทคนิคชาร์จ์ปั๊ม



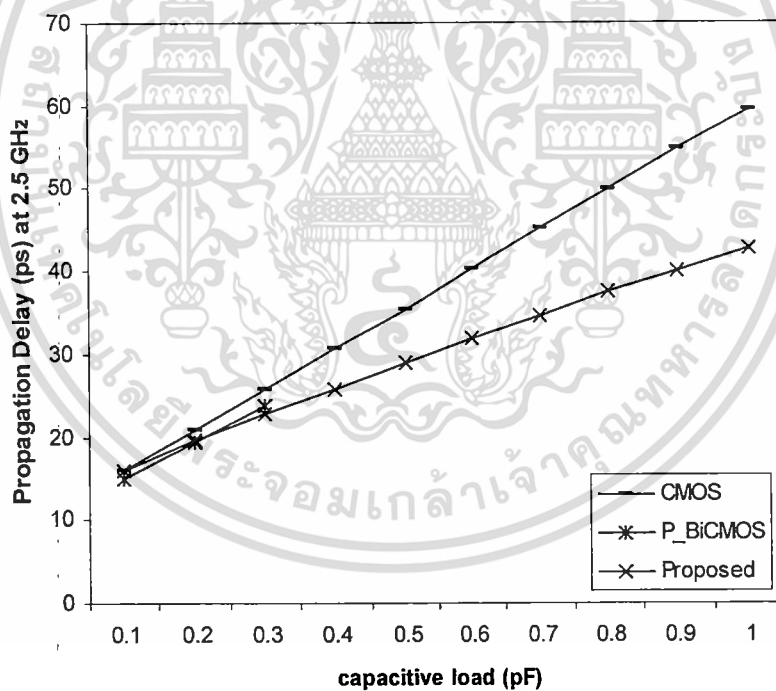
รูปที่ 5.19 สัญญาณเอาต์พุตของวงจรไบซีมอสไตรสเตทบัฟเฟอร์ โดยไม่ใช่ชาร์จ์ปั๊มที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.5 การเปรียบเทียบค่าเวลาการประวิงการแพร่กระจายของวงจร

ตารางที่ 5.1 ความสัมพันธ์ของ โหลดคาปาซิแตนซ์กับค่าเวลาการประวิงการแพร่กระจาย

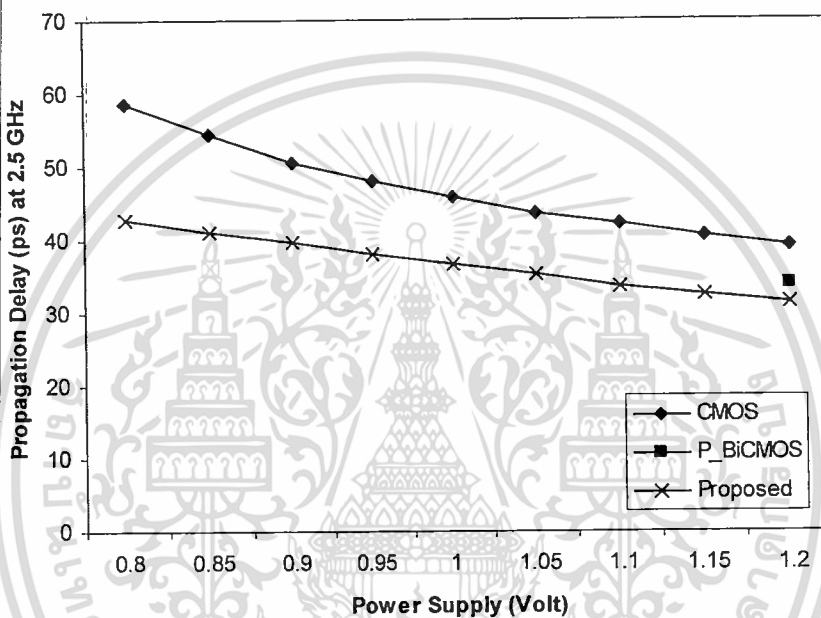
วงจรที่เปรียบเทียบ	ค่าเวลาการประวิงการแพร่กระจาย (ps) ที่ค่าโหลด (CL) ต่างๆ									
	0.1 pF	0.2 pF	0.3 pF	0.4 pF	0.5 pF	0.6 pF	0.7pF	0.8 pF	0.9 pF	1 pF
Proposed Circuit	16.07	19.606	22.784	25.837	28.913	31.862	34.657	37.512	40.117	42.667
P_BiCMOS	14.968	19.465	23.876	NA	NA	NA	NA	NA	NA	NA
CMOS	15.867	20.893	25.761	30.613	35.434	40.275	45.097	49.964	54.854	59.469



รูปที่ 5.20 กราฟการเปรียบเทียบค่าเวลาการประวิงการแพร่กระจาย
เมื่อมีการเปลี่ยน โหลดคาปาซิแตนซ์ 0.1 pF ถึง 1 pF

ตารางที่ 5.2 ความสัมพันธ์ของแหล่งจ่ายแรงดันอินพุตกับค่าเวลาการประวิงการแพร่กระจาย

วงจรที่เปรียบเทียบ	ค่าเวลาการประวิงการแพร่กระจาย (ps) ที่ระดับแรงดันต่างๆ (V)								
	0.80	0.85	0.90	0.95	1.00	1.05	1.10	1.15	1.20
Proposed Circuit	42.667	41.198	39.747	37.998	36.635	35.252	33.723	32.298	31.385
P_BiCMOS	NA	NA	NA	NA	NA	NA	NA	NA	33.898
CMOS	58.554	54.385	50.642	48.141	45.747	43.743	42.170	40.542	39.223

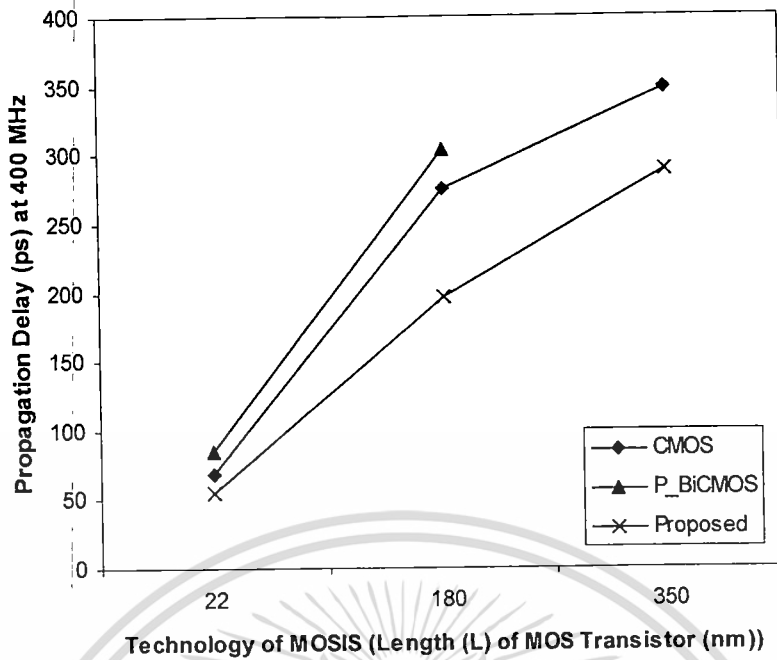


รูปที่ 5.21 กราฟการเปรียบเทียบค่าเวลาการประวิงการแพร่กระจาย
เมื่อมีการเปลี่ยนแหล่งจ่ายแรงดัน

ตารางที่ 5.3 ความสัมพันธ์ของเทคโนโลยีที่ใช้กับค่าเวลาการประวิงการแพร่กระจาย

วงจรที่เปรียบเทียบ	ค่าเวลาการประวิงการแพร่กระจาย (ps) ที่ระดับแรงดันต่างๆ		
	22 nm	180 nm	350 nm
Proposed Circuit	55.142	196.55	288.97
P_BiCMOS	84.183	303.15	NA
CMOS	68.837	274.61	347.595

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



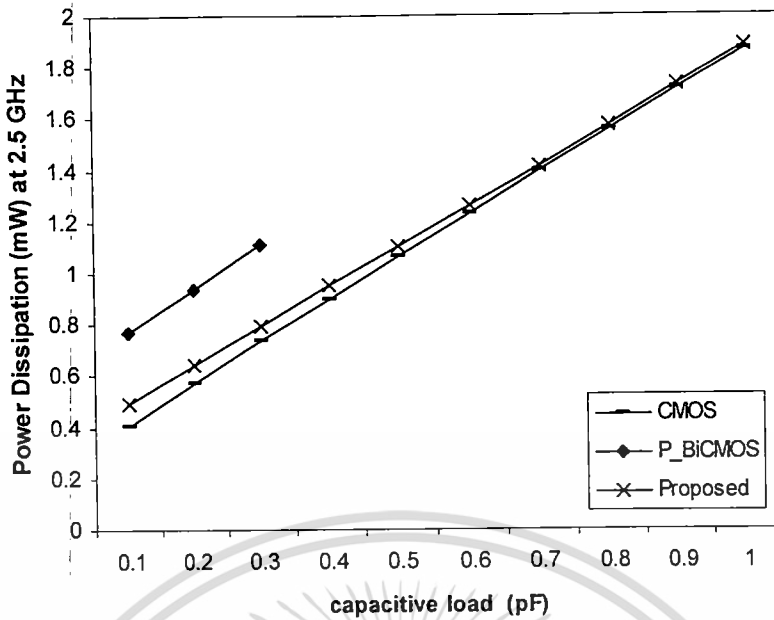
รูปที่ 5.22 กราฟการเปรียบเทียบค่าเวลาการประวิงการแพร่กระจาย
เมื่อมีการเปลี่ยนเทคโนโลยีที่ใช้

5.6 การเปรียบเทียบค่าการสิ้นเปลืองพลังงานของวงจร (Power dissipation)

ตารางที่ 5.4 ความสัมพันธ์ของโหลดคาปาซิแตนซ์กับค่าการสิ้นเปลืองพลังงานของวงจร

วงจรที่เปรียบเทียบ	ค่า Power Dissipation (mW) ที่ค่าโหลด (CL) ต่างๆ									
	0.1 pF	0.2 pF	0.3 pF	0.4 pF	0.5 pF	0.6 pF	0.7pF	0.8 pF	0.9 pF	1 pF
Proposed Circuit	0.4921	0.642	0.7947	0.9499	1.105	1.261	1.416	1.573	1.727	1.881
P_BiCMOS	0.768	0.935	1.111	NA	NA	NA	NA	NA	NA	NA
CMOS	0.4056	0.5696	0.7344	0.8984	1.062	1.229	1.394	1.553	1.711	1.864

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

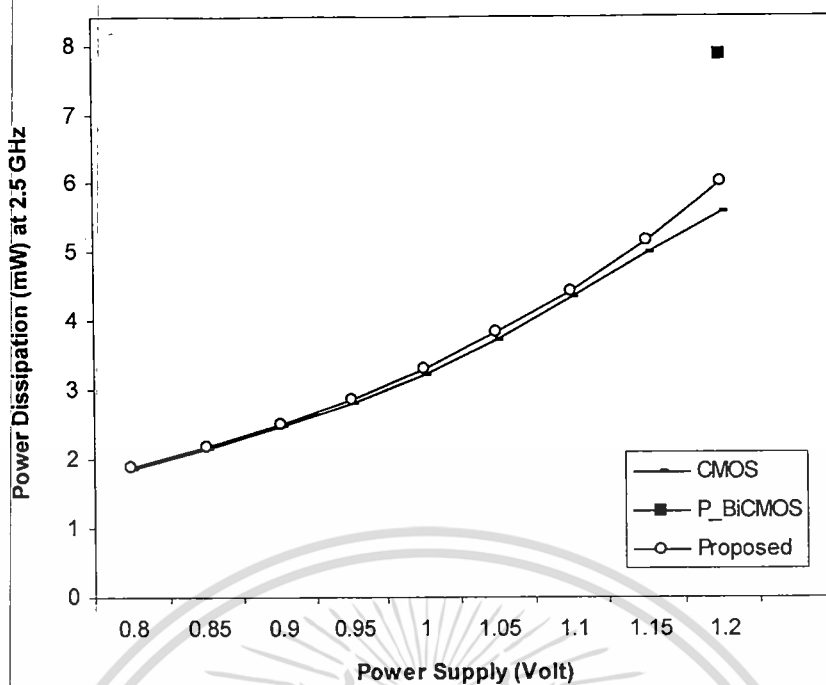


รูปที่ 5.23 กราฟการเปรียบเทียบค่าการสิ้นเปลืองพลังงานของวงจร
เมื่อมีการเปลี่ยนโหลดคาปาซิแตนซ์ 0.1 pF ถึง 1 pF

ตารางที่ 5.5 ความสัมพันธ์ของแหล่งจ่ายแรงดันกับค่าการสิ้นเปลืองพลังงานของวงจร

วงจรที่เปรียบเทียบ	ค่า Power Dissipation (mW) ที่ระดับแรงดันต่างๆ								
	0.80	0.85	0.90	0.95	1.00	1.05	1.10	1.15	1.20
Proposed Circuit	1.881	2.167	2.494	2.873	3.308	3.819	4.428	5.157	6.008
P_BiCMOS	NA	NA	NA	NA	NA	NA	NA	NA	7.83
CMOS	1.864	2.146	2.465	2.809	3.221	3.721	4.329	4.972	5.56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

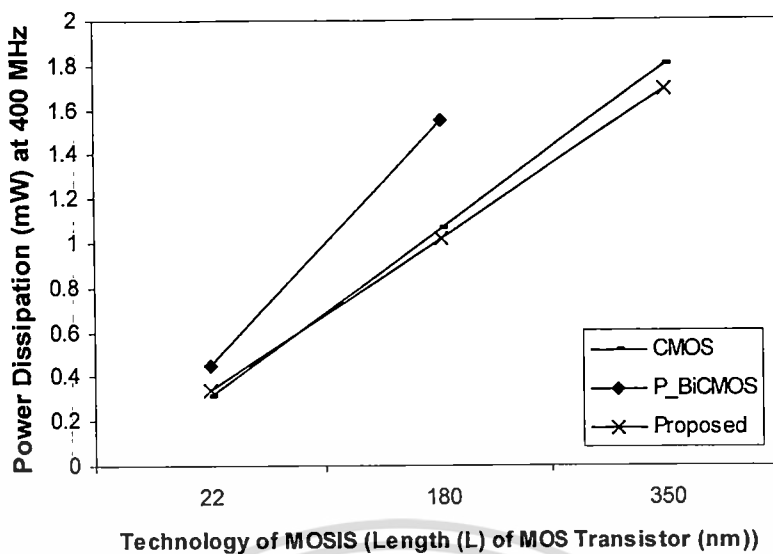


รูปที่ 5.24 กราฟการเปรียบเทียบค่าการสิ้นเปลืองพลังงานของวงจร
เมื่อมีการเปลี่ยนแหล่งจ่ายแรงดัน

ตารางที่ 5.6 ความสัมพันธ์ของเทคโนโลยีที่ใช้กับค่า Power Dissipation

วงจรที่เปรียบเทียบ	ค่า Power Dissipation (mW) ที่เทคโนโลยีต่างๆ		
	22 nm	180 nm	350nm
Proposed Circuit	0.3408	1.015	1.691
P_BiCMOS	0.452	1.551	NA
CMOS	0.3147	1.06	1.798

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.25 กราฟการเปรียบเทียบค่าการสิ้นเปลืองพลังงานของวงจร
เมื่อมีการเปลี่ยนเทคโนโลยีที่ใช้

จากรูปที่แสดงในหัวข้อที่ 5.1 การทดสอบการทำงานของวงจรในสภาวะการทำงานที่ Hi-Z ของวงจรไตรสเททบัฟเฟอร์ในรูปแบบที่นำเสนอ ด้วยการกำหนดการทำงานผ่านสภาวะที่ขา Enable ในสภาวะ “0” ทุกช่วงเวลา, ในสภาวะ “0” และเปลี่ยนเป็น “1” และในสภาวะ “1” และเปลี่ยนเป็น “0” และทำการวัดทดสอบค่า Over Shoot, Rise Time และ Delay ในขณะที่วงจรทำงานอยู่ในสภาวะ Hi-Z

จากรูปที่แสดงในหัวข้อที่ 5.2 การเปรียบเทียบสัญญาณเอาต์พุตและอินพุตของวงจรที่นำเสนอ ด้วยการเปรียบเทียบภายใต้เงื่อนไขที่กำหนดในการเปลี่ยนค่าแรงดันแหล่งจ่าย ค่าความถี่ที่ป้อนและค่าโหลดคาปาซิแตนซ์ เพื่อแสดงการทำงานของวงจรที่นำเสนอภายใต้เงื่อนไขที่กำหนด

จากรูปที่แสดงในหัวข้อที่ 5.3 การเปรียบเทียบสัญญาณเอาต์พุตของวงจรที่นำเสนอกับวงจรที่นำมาเปรียบเทียบทั้ง 2 วงจร ซึ่งจากการเปรียบเทียบจะพบว่า สัญญาณเอาต์พุตของวงจรที่นำเสนอจะมีความถี่ที่ต่ำกว่าวงจรทั้งสองวงจร

จากรูปที่แสดงในหัวข้อที่ 5.4 การเปรียบเทียบสัญญาณเอาต์พุตของแต่ละวงจรเมื่อโหลดที่ใช้มีการเปลี่ยนแปลงไป ผลจากการจำลองการทำงานแสดงให้เห็นถึงอัตราการดีเลย์ของวงจรเมื่อโหลดเพิ่มขึ้น วงจรที่นำเสนอก็ยังสามารถทำงานได้ดีกว่าวงจรทั้งสองและสามารถรองรับโหลดได้สูงกว่าวงจรทั้งสองเมื่ออยู่ในความถี่และแรงดันแหล่งจ่ายที่เท่ากัน

จากรูปที่แสดงในหัวข้อที่ 5.5 การเปรียบเทียบค่าเวลาการประจุการแพร่กระจายของวงจรที่นำเสนอเทียบกับวงจรทั้งสอง ซึ่งการเปรียบเทียบจะแบ่งออกเป็น 3 ส่วน คือ เปรียบเทียบค่าเวลาการประจุการแพร่กระจาย กับ โหลดที่เปลี่ยนไป, เปรียบเทียบ ค่าเวลาการประจุการ

แพร่กระจาย กับ แรงดันที่เปลี่ยนไป และ เปรียบเทียบ ค่าเวลาการประวิงการแพร่กระจาย กับ เทคโนโลยีที่ต่างกัน 3 เทคโนโลยี ซึ่งผลที่ออกมา นั้น วงจรที่นำเสนอเป็นวงจรที่มีค่า ค่าเวลาการประวิงการแพร่กระจาย ที่ต่ำที่สุดเมื่อเทียบกับวงจรทั้งสองในสามกรณี โดยที่เมื่อเปรียบเทียบกับ วงจรไบซีมอสไตรสเตทบัฟเฟอร์ที่ใช้ในปัจจุบันนั้นมีการดีเลย์ที่ต่ำกว่าอย่างมาก

จากรูปที่แสดงในหัวข้อที่ 5.6 การเปรียบเทียบค่าการสิ้นเปลืองพลังงานของวงจรเทียบกับวงจรทั้งสอง พบว่าวงจรที่นำเสนอ นั้นมีค่าการสิ้นเปลืองพลังงานที่ต่ำกว่าวงจรไบซีมอสไตรสเตทบัฟเฟอร์ ที่ใช้อยู่ปัจจุบันและใช้พลังงานสิ้นเปลืองใกล้เคียงกับวงจรซีมอส เมื่อเทียบค่าการใช้พลังงานสิ้นเปลืองกับวงจรซีมอสไตรสเตทบัฟเฟอร์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

การประยุกต์ใช้งานวงจรไตรสเททท์เฟลอร์

วงจรไตรสเททท์เฟลอร์สามารถนำไปประยุกต์ใช้งานในระบบบัสข้อมูล ซึ่งทำหน้าที่ในการเปิด-ปิดเส้นทางเชื่อมต่อของวงจรในระบบบัสข้อมูล ในกรณีของการส่งข้อมูลจะมีเพียงหนึ่งวงจรเท่านั้นที่สามารถทำการส่งข้อมูลได้ ซึ่งในขณะเดียวกันวงจรอื่นๆ ที่ถูกเชื่อมต่อบนระบบบัสข้อมูลต้องถูกตัดการเชื่อมต่อออก เพื่อป้องกันการส่งข้อมูลชนกันในระบบบัสข้อมูล ซึ่งเป็นสาเหตุของการส่งข้อมูลที่ผิดพลาดในระบบบัสข้อมูล นอกจากนี้วงจร ไตรสเททท์เฟลอร์ยังทำหน้าที่เป็นบัฟเฟอร์ในการเชื่อมต่อระหว่างวงจรในส่วนถัดไปและสายนำสัญญาณ ข้อดีของการนำบัฟเฟอร์มาเชื่อมต่อกันระหว่างสายนำสัญญาณและวงจรในส่วนถัดไปคือ การเพิ่มประสิทธิภาพของสัญญาณในระบบดิจิทัลให้อยู่ในระดับของสัญญาณที่เกิดการแกว่งเต็มช่วงซึ่งส่งผลกระทบต่อวงจรในส่วนถัดไปในการประมวลสัญญาณว่าข้อมูลที่ได้รับมานั้นมีค่าเป็นบิต “0” หรือบิต “1” เพื่อป้องกันความผิดพลาดในการส่งข้อมูลผ่านสายนำสัญญาณ

6.1 การประยุกต์ใช้วงจรไตรสเททท์เฟลอร์ที่นำเสนอในการเชื่อมต่อในระบบบัสข้อมูล

ในการทดสอบการนำวงจร ไตรสเททท์เฟลอร์ที่นำเสนอมาเชื่อมต่อในระบบบัสข้อมูล จะนำวงจรไตรสเททท์เฟลอร์ที่นำเสนอเชื่อมต่อในระบบบัสข้อมูลจำนวนสามวงจร โดยกำหนดเวลาในการทำงานที่สถานะ “0”, “1” และ Hi-z ของวงจรไตรสเททท์เฟลอร์ที่นำเสนอทั้งสามวงจร โดยผ่านการควบคุมการทำงานด้วยวิธีการควบคุมค่าเวลาในการป้อนสถานะทางลอจิกที่ขา Enable ในช่วงเวลาที่แตกต่างกัน ดังรูปที่ 6.1

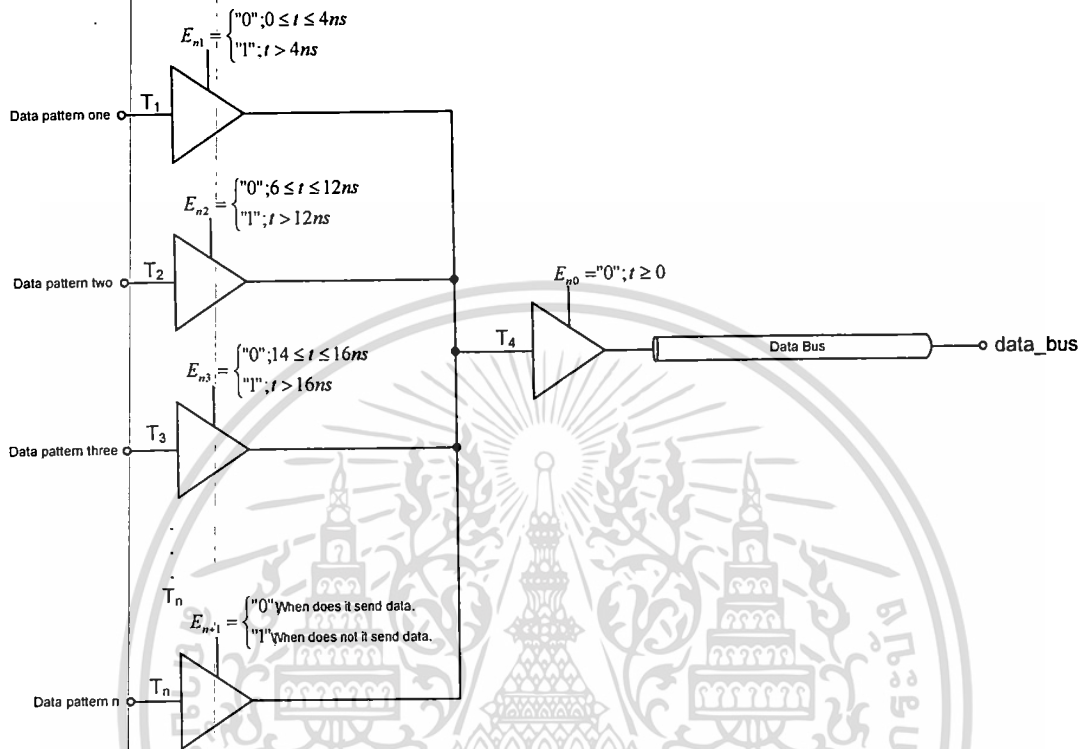
วงจรไตรสเททท์เฟลอร์ T_1 จะอยู่ในสถานะ “0” และ “1” ที่เวลา $0 \leq t \leq 4ns$ และทำงานอยู่ในสถานะ Hi-z ที่เวลา $t > 4ns$

วงจรไตรสเททท์เฟลอร์ T_2 จะอยู่ในสถานะ Hi-z ที่เวลา $0 \leq t \leq 6ns$ หลังจากนั้นทำงานอยู่ในสถานะ “0” และ “1” ที่เวลา $6 < t \leq 12ns$ และทำงานอยู่ในสถานะ Hi-z อีกครั้งที่เวลา $t > 12ns$

วงจรไตรสเททท์เฟลอร์ T_3 จะอยู่ในสถานะ Hi-z ที่เวลา $0 \leq t \leq 14ns$ หลังจากนั้นทำงานอยู่ในสถานะ “0” และ “1” ที่เวลา $14 < t \leq 18ns$ และทำงานอยู่ในสถานะ Hi-z อีกครั้งที่เวลา $t > 18ns$

วงจรไตรสเททท์เฟลอร์ T_4 จะอยู่ในสถานะ “0” และ “1” ทุกช่วงเวลา เพื่อทำหน้าที่ในการปรับระดับแรงดันของสัญญาณสี่เหลี่ยมให้แกว่งเต็มช่วง

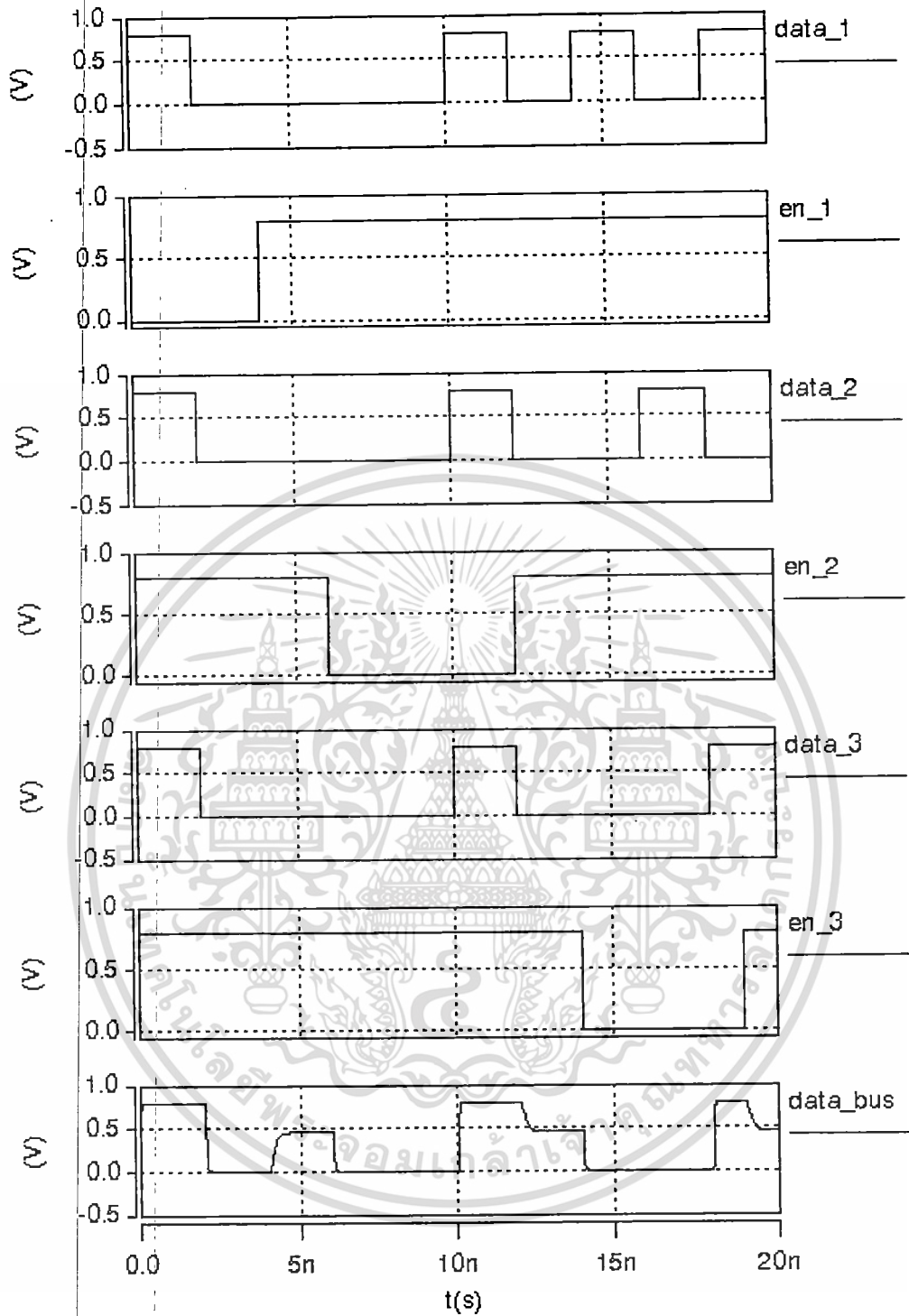
จากรูปที่ 6.1 ทำการวัดทดสอบการป้อนข้อมูลในสามรูปแบบผ่านวงจรไทรสเททบัฟเฟอร์ทั้งสามตัว และทำการรวมเอาที่พุดของวงจรทั้งสามเข้าด้วยกันโดยเชื่อมต่อผ่านวงจรไทรสเททบัฟเฟอร์อีกหนึ่งตัว เพื่อทำการปรับระดับของสัญญาณให้อยู่ในช่วงของการแกว่งเต็มช่วง



รูปที่ 6.1 ตัวอย่างการเชื่อมต่อวงจรไทรสเททบัฟเฟอร์ในระบบบัสข้อมูล

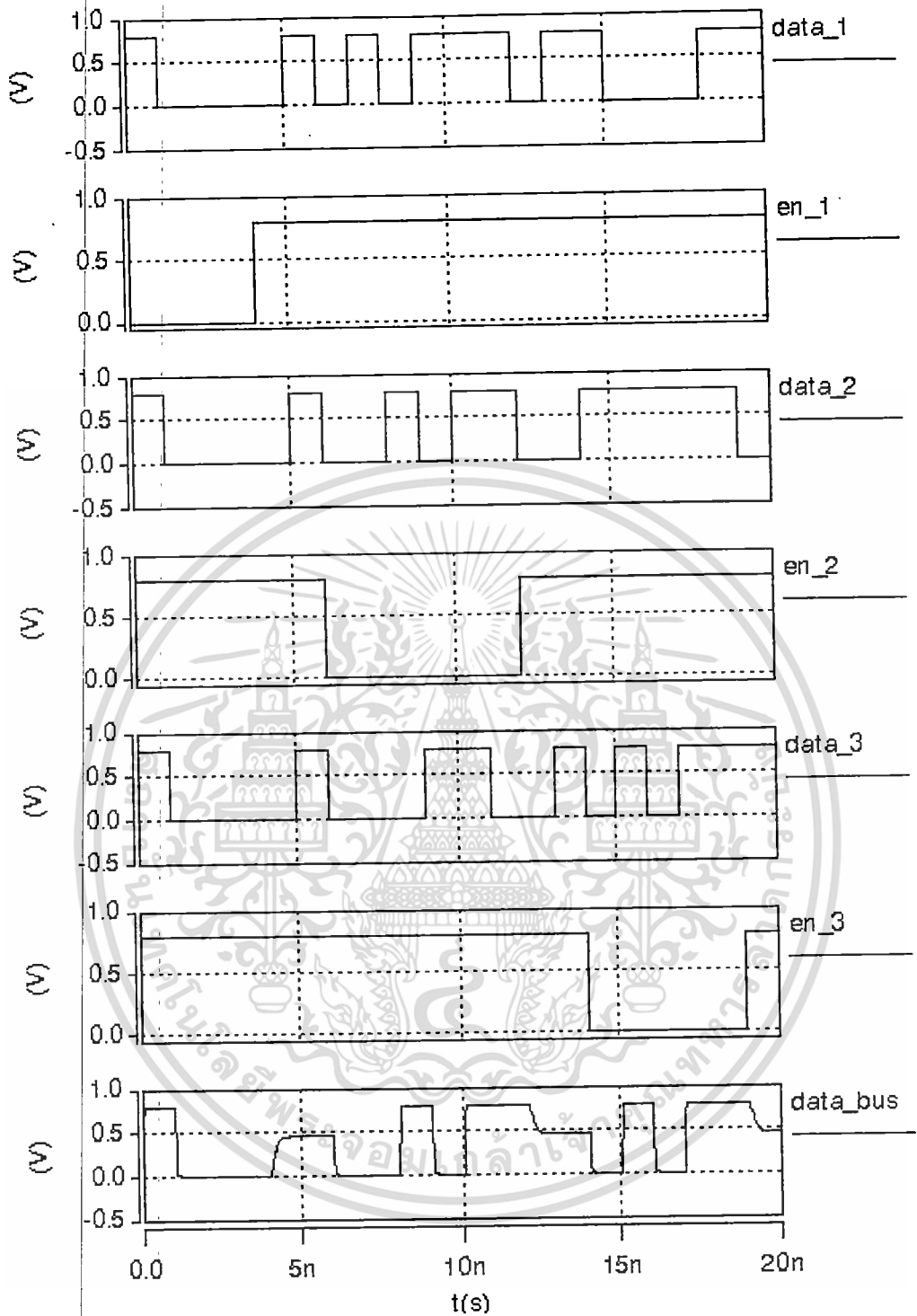
ในการทดสอบป้อนสัญญาณดิจิทัลให้วงจรไทรสเททบัฟเฟอร์ T_1 , T_2 และ T_3 ด้วยสัญญาณ data_1, data_2 และ data_3 ที่อินพุตของวงจรไทรสเททบัฟเฟอร์ และป้อนสัญญาณควบคุมสถานะการทำงานของวงจรไทรสเททบัฟเฟอร์ด้วยสัญญาณ en_1, en_2 และ en_3 โดยการกำหนดค่าเวลาในการเปลี่ยนแปลงสถานะ "0" และ "1" ของสัญญาณควบคุมเพื่อกำหนดการทำงานในวงจรไทรสเททบัฟเฟอร์ T_1 , T_2 และ T_3 ทำหน้าที่เป็นวงจรบัฟเฟอร์ในช่วงเวลาที่ต่างกัน ดังนั้นในช่วงเวลาที่ T_1 ทำงานเป็นวงจรบัฟเฟอร์สัญญาณที่บัสข้อมูล (data_bus) สัญญาณที่ปรากฏจะเป็นสัญญาณจาก data_1 ในขณะเดียวกัน T_2 และ T_3 ทำงานในสถานะ Hi-z ในเวลาต่อมาเมื่อ T_1 ทำงานในสถานะ Hi-z สัญญาณที่ data_bus จะลดระดับลงมาเหลือเพียงครึ่งของระดับแรงดันที่มีการแกว่งเต็มช่วง (ในสถานะ Hi-z ของวงจรไทรสเททบัฟเฟอร์มีค่า $vcc/2$ [14]) ในช่วงเวลาที่ T_2 และ T_3 ทำงานเป็นวงจรบัฟเฟอร์ตามลำดับ สัญญาณที่ปรากฏที่ data_bus จะเป็นสัญญาณที่มาจากสัญญาณอินพุตของ T_2 และ T_3 ตามลำดับ

ผลจากการวัดทดสอบสัญญาณของการเชื่อมต่อวงจรไทรสเททบัฟเฟอร์ในระบบบัสข้อมูลจะ
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้เรียนงานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ถูกแสดงไว้ดังนี้
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



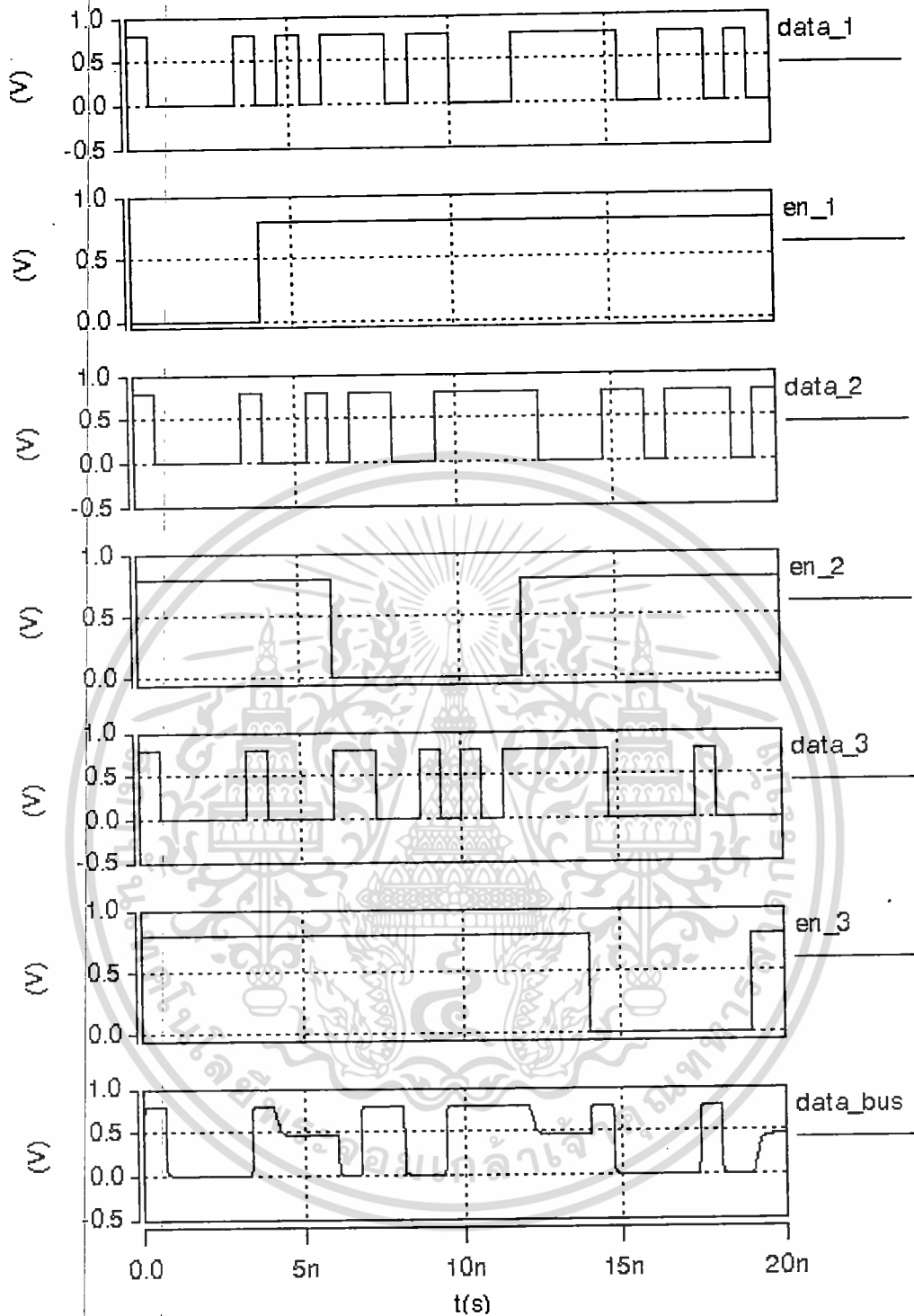
รูปที่ 6.2 ผลการทดสอบการส่งสัญญาณดิจิทัลผ่านวงจรโทรสแตทซ์เฟอ์เข้าสู่บัลข้อมูล ด้วยอัตราเร็วในการส่งข้อมูล 0.5 Gbps

จากรูปที่ 6.2 ในช่วงเวลา $0 < t < 4 \text{ ns}$ สัญญาณที่ data_bus คือสัญญาณของ data_1 ถัดมาในช่วงเวลา $6 < t < 12 \text{ ns}$ คือสัญญาณของ data_2 และในช่วงเวลา $14 < t < 18 \text{ ns}$ คือสัญญาณของ data_3 ในขณะที่ในช่วงเวลา $4 < t < 6 \text{ ns}$, $12 < t < 14 \text{ ns}$ และ $t > 18 \text{ ns}$ เป็นช่วงที่สัญญาณในสถานะ Hi-z ของวงจรโทรสแตทซ์เฟอ์ T_1 , T_2 และ T_3 จึงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



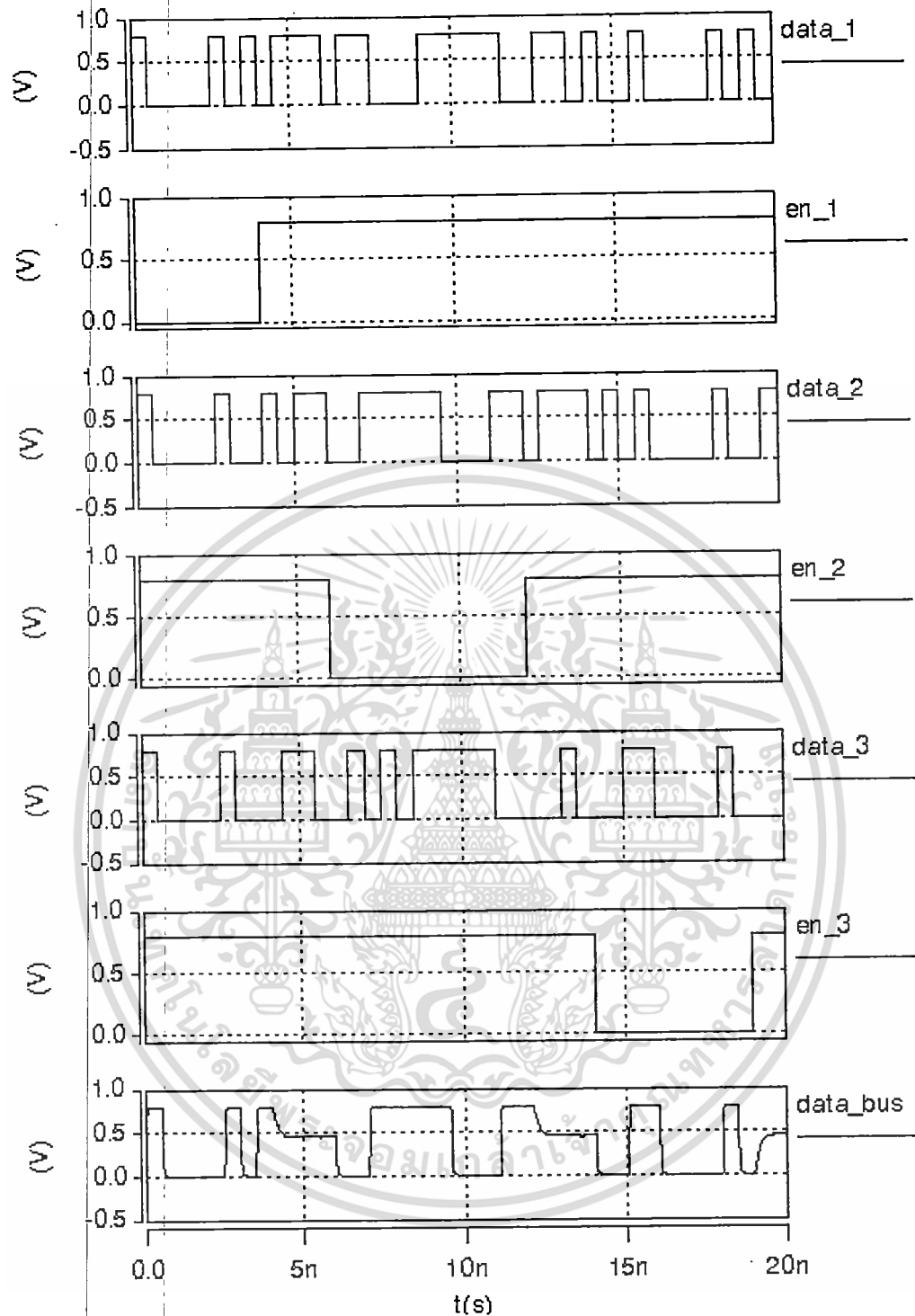
รูปที่ 6.3 ผลการทดสอบการส่งสัญญาณดิจิทัลผ่านวงจรไตรสเตทท์เฟอ์เข้าสู่บัสข้อมูล ด้วยอัตราเร็วในการส่งข้อมูล 1 Gbps

จากรูปที่ 6.3 ในช่วงเวลา $0 < t < 4 \text{ ns}$ สัญญาณที่ data_bus คือสัญญาณของ data_1 ถัดมา ในช่วงเวลา $6 < t < 12 \text{ ns}$ คือสัญญาณของ data_2 และในช่วงเวลา $14 < t < 18 \text{ ns}$ คือสัญญาณของ data_3 ในขณะที่ในช่วงเวลา $4 < t < 6 \text{ ns}$, $12 < t < 14 \text{ ns}$ และ $t > 18 \text{ ns}$ คือสัญญาณในสถานะ Hi-Z ของวงจรไตรสเตทท์เฟอ์ T_1 , T_2 และ T_3 จึงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



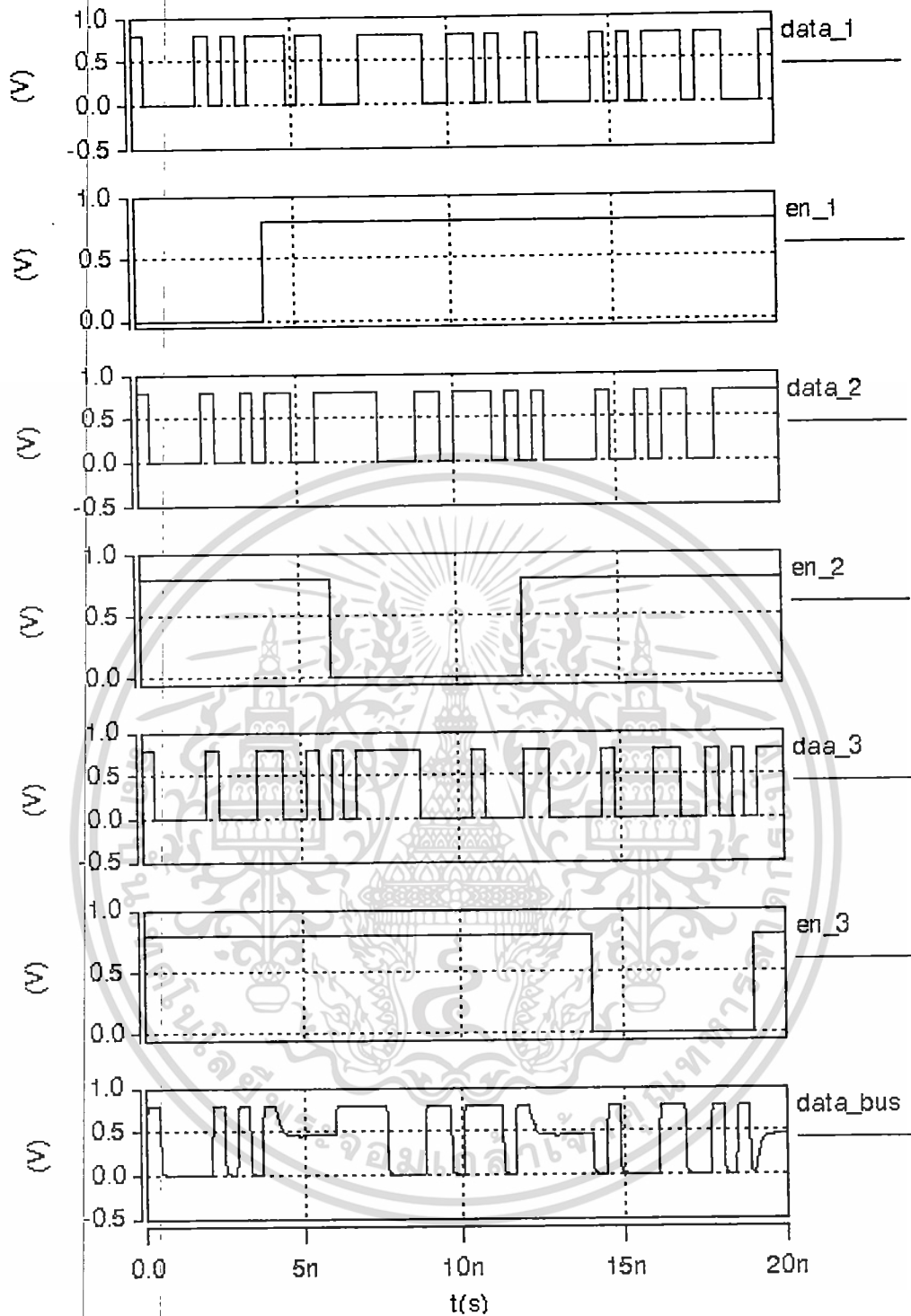
รูปที่ 6.4 ผลการทดสอบการส่งสัญญาณดิจิทัลผ่านวงจร ใยสเทททอปโฟลุ่ม์เข้าสู่บัสข้อมูล ด้วยอัตราเร็วในการส่งข้อมูล 1.5 Gbps

จากรูปที่ 6.4 ในช่วงเวลา $0 < t < 4 \text{ ns}$ สัญญาณที่ data_bus คือสัญญาณของ data_1 ถัดมาในช่วงเวลา $6 < t < 12 \text{ ns}$ คือสัญญาณของ data_2 และในช่วงเวลา $14 < t < 18 \text{ ns}$ คือสัญญาณของ data_3 ในขณะที่ในช่วงเวลา $4 < t < 6 \text{ ns}$, $12 < t < 14 \text{ ns}$ และ $t > 18 \text{ ns}$ คือสัญญาณในสถานะ Hi-Z ของวงจร ใยสเทททอปโฟลุ่ม์ T_1 , T_2 และ T_3 รวมถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.5 ผลการทดสอบการส่งสัญญาณดิจิทัลผ่านวงจรไทรสเททบัฟเฟอร์เข้าสู่บัสข้อมูล ด้วยอัตราเร็วในการส่งข้อมูล 2 Gbps

จากรูปที่ 6.5 ในช่วงเวลา $0 < t < 4 \text{ ns}$ สัญญาณที่ data_bus คือสัญญาณของ data_1 ถัดมาในช่วงเวลา $6 < t < 12 \text{ ns}$ คือสัญญาณของ data_2 และในช่วงเวลา $14 < t < 18 \text{ ns}$ คือสัญญาณของ data_3 ในขณะที่ในช่วงเวลา $4 < t < 6 \text{ ns}$, $12 < t < 14 \text{ ns}$ และ $t > 18 \text{ ns}$ คือสัญญาณในสถานะ Hi-z ของวงจรไทรสเททบัฟเฟอร์ T_1 , T_2 และ T_3 ถึงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

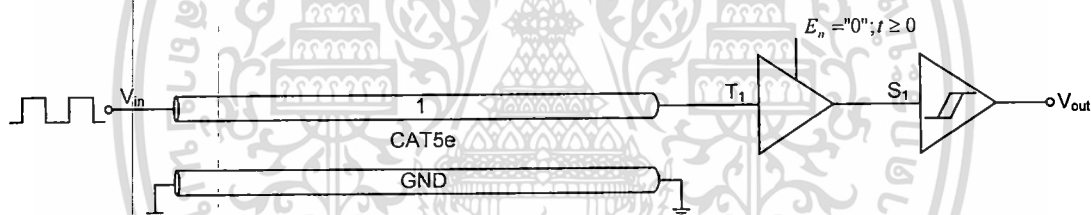


รูปที่ 6.6 ผลการทดสอบการส่งสัญญาณดิจิทัลผ่านวงจรไครสเตทบัฟเฟอร์เข้าสู่บัสข้อมูล ด้วยอัตราเร็วในการส่งข้อมูล 2.5 Gbps

จากรูปที่ 6.6 ในช่วงเวลา $0 < t < 4 \text{ ns}$ สัญญาณที่ data_bus คือสัญญาณของ data_1 ถัดมาในช่วงเวลา $6 < t < 12 \text{ ns}$ คือสัญญาณของ data_2 และในช่วงเวลา $14 < t < 18 \text{ ns}$ คือสัญญาณของ data_3 ในขณะที่ในช่วงเวลา $4 < t < 6 \text{ ns}$, $12 < t < 14 \text{ ns}$ และ $t > 18 \text{ ns}$ คือสัญญาณในสถานะ Hi-z ของวงจรไครสเตทบัฟเฟอร์ T_1 , T_2 และ T_3 จนถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 การประยุกต์ใช้งานวงจรไตรสเททท์เฟลอร์ที่นำเสนอ ในการเชื่อมต่อกับสายนำสัญญาณ เพื่อปรับปรุงประสิทธิภาพของระดับสัญญาณดิจิทัลให้ทำงานแวกเต็มช่วง

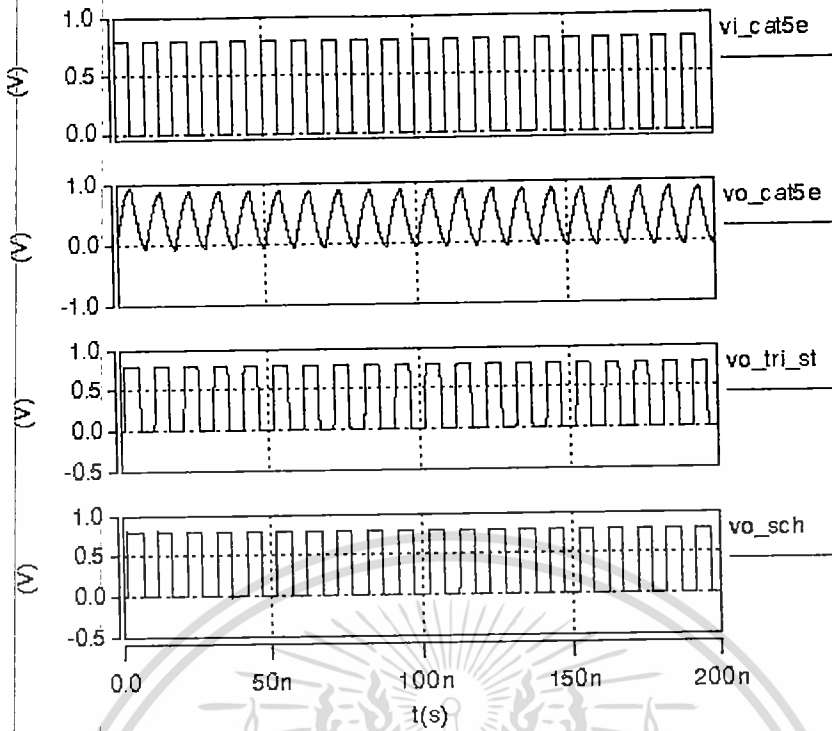
ในการทดสอบส่งสัญญาณดิจิทัลผ่านสายนำสัญญาณ ซึ่งในการทดสอบนี้ใช้สาย CAT5e ในการทดสอบ เมื่อป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ อีกปลายด้านหนึ่งของสายนำสัญญาณ จะมีการลดทอนของสัญญาณลง เนื่องจากความถี่และระยะความยาวของสายนำสัญญาณมีค่าเพิ่มสูงขึ้น สัญญาณที่ถูกส่งผ่านสายนำสัญญาณจะถูกนำมาปรับปรุงระดับของสัญญาณให้แวกเต็มช่วงด้วยวงจรไตรสเททท์เฟลอร์ที่นำเสนอ แต่เนื่องจากตัววงจรมีค่าเวลาการประวิงการแพร่กระจายที่เกิดจากสายส่ง จึงทำให้สัญญาณที่ออกมาไม่เป็นสัญญาณสี่เหลี่ยมในทางสัญญาณดิจิทัล จึงนำวงจรชmittริกเกอร์เข้ามาช่วยปรับปรุงสัญญาณให้มีลักษณะเป็นสัญญาณสี่เหลี่ยม ซึ่งสัญญาณที่ได้จะเป็นสัญญาณดิจิทัลคล้ายกับสัญญาณดิจิทัลที่ป้อนเข้าไปยังสายนำสัญญาณ แต่ค่าเวลาการประวิงการแพร่กระจายจะสูงมากเมื่อเทียบกับสัญญาณดิจิทัลที่ป้อนเข้าไป การเชื่อมต่อสายนำสัญญาณกับวงจรไตรสเททท์เฟลอร์ที่นำเสนอและวงจรชmittริกเกอร์ ดังรูปที่ 6.7



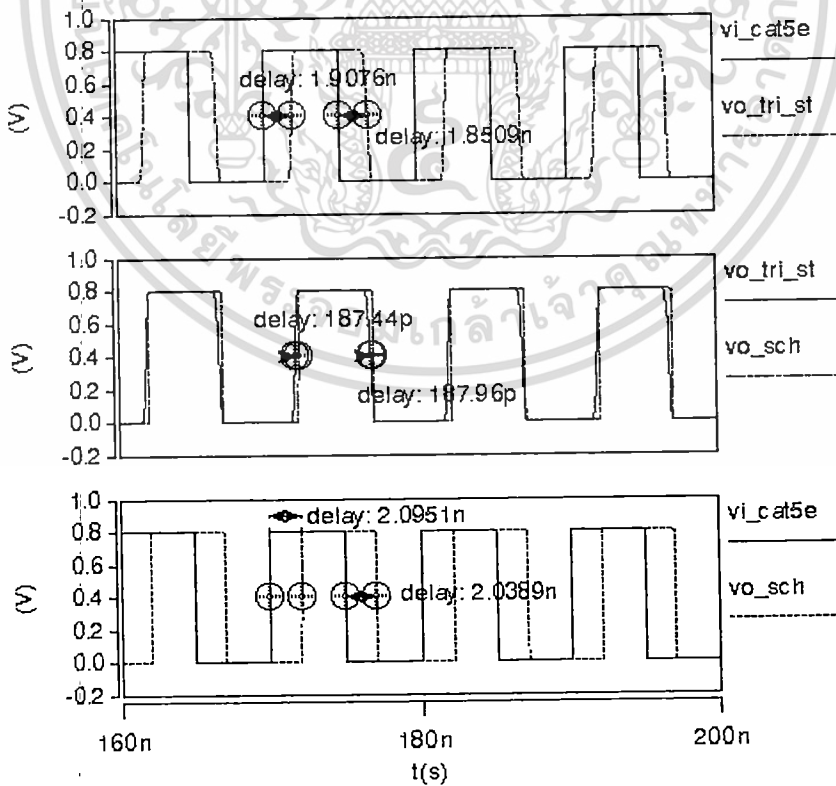
รูปที่ 6.7 ตัวอย่างการเชื่อมต่อสายนำสัญญาณ CAT5e กับวงจรไตรสเททท์เฟลอร์ และวงจรชmittริกเกอร์

การทดสอบการส่งสัญญาณดิจิทัลผ่านสาย CAT5e โดยทำการวัดทดสอบสัญญาณที่ป้อนเข้าที่สาย CAT5e (v_{i_cat5e}), สัญญาณเอาต์พุตของสาย CAT5e (v_{o_cat5e}), สัญญาณเอาต์พุตของวงจรไตรสเททท์เฟลอร์ ($v_{o_tri_st}$) และสัญญาณเอาต์พุตของวงจรชmittริกเกอร์ (v_{o_sch})

ผลการวัดทดสอบการส่งสัญญาณผ่านสายนำสัญญาณ CAT5e กับวงจรไตรสเททท์เฟลอร์ และวงจรชmittริกเกอร์ และวัดทดสอบค่าเวลาการประวิงที่ความยาวสาย 10 - 60 เมตร ที่ความถี่ 100 - 600 MHz ตามลำดับ ซึ่งถูกแสดงไว้ในรูปที่ 6.8 - 6.37

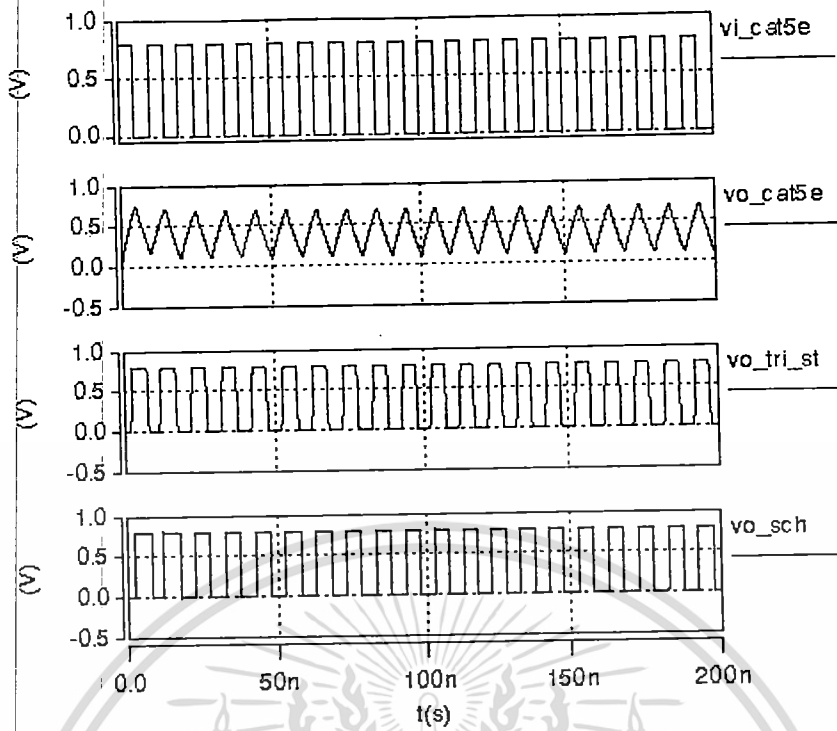


รูปที่ 6.8 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 10 เมตร ความถี่ 100 MHz

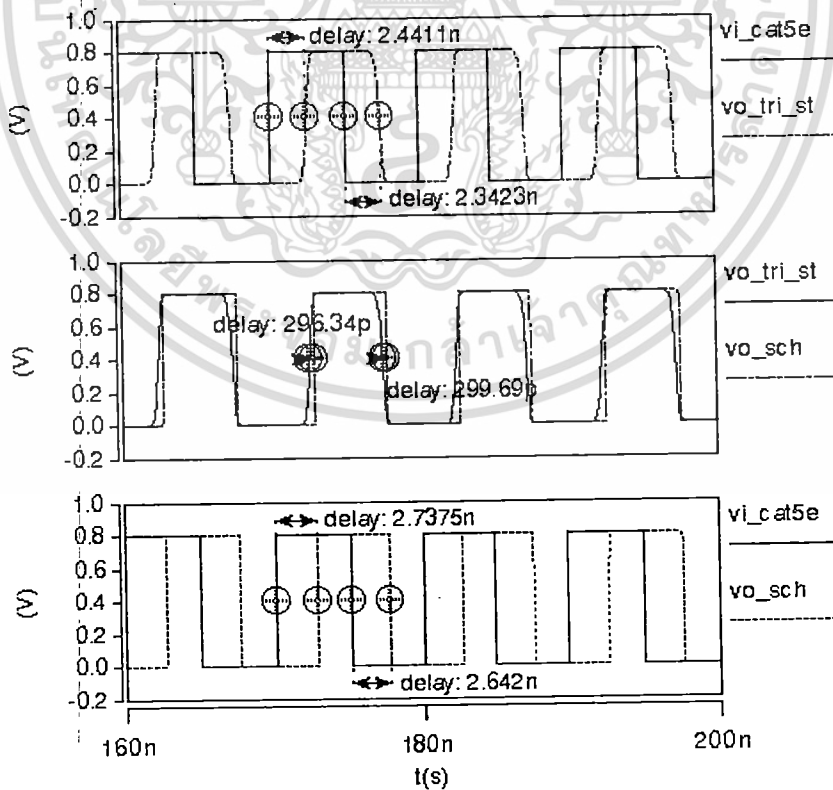


รูปที่ 6.9 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย

เอกสารนี้เป็นเอกสารที่เผยแพร่โดยมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี เพื่อใช้ในการศึกษาวิจัยเท่านั้น ไม่ควรนำเอกสารนี้ไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่เอกสารนี้โดยไม่ได้รับอนุญาตจากมหาวิทยาลัยทุกครั้งที่มีการนำไปใช้

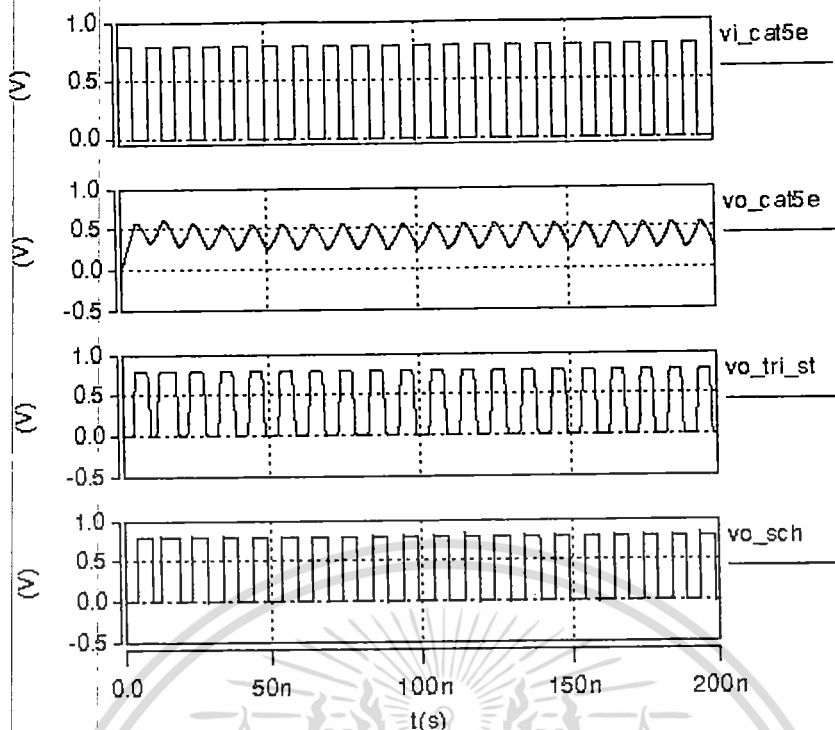


รูปที่ 6.10 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 20 เมตร ความถี่ 100 MHz

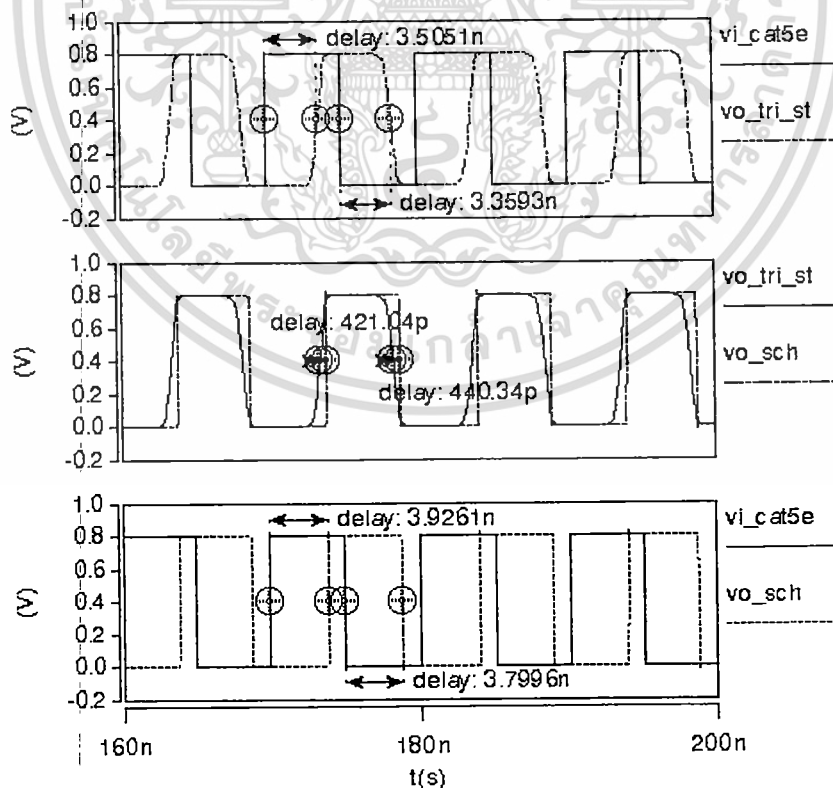


รูปที่ 6.11 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตีแผ่สิ่งนี้ไป และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

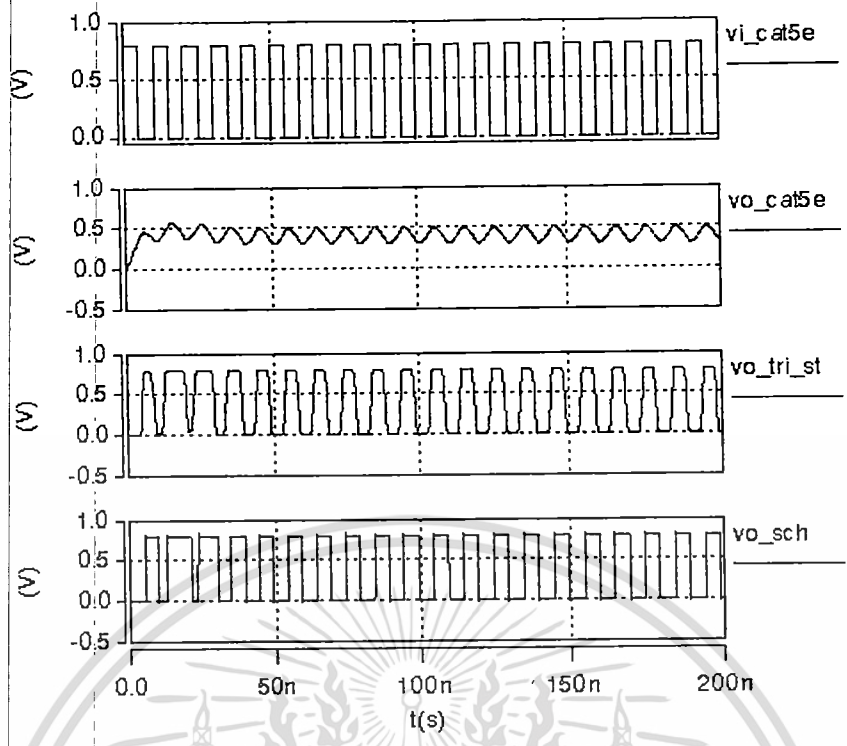


รูปที่ 6.12 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 30 เมตร ความถี่ 100 MHz

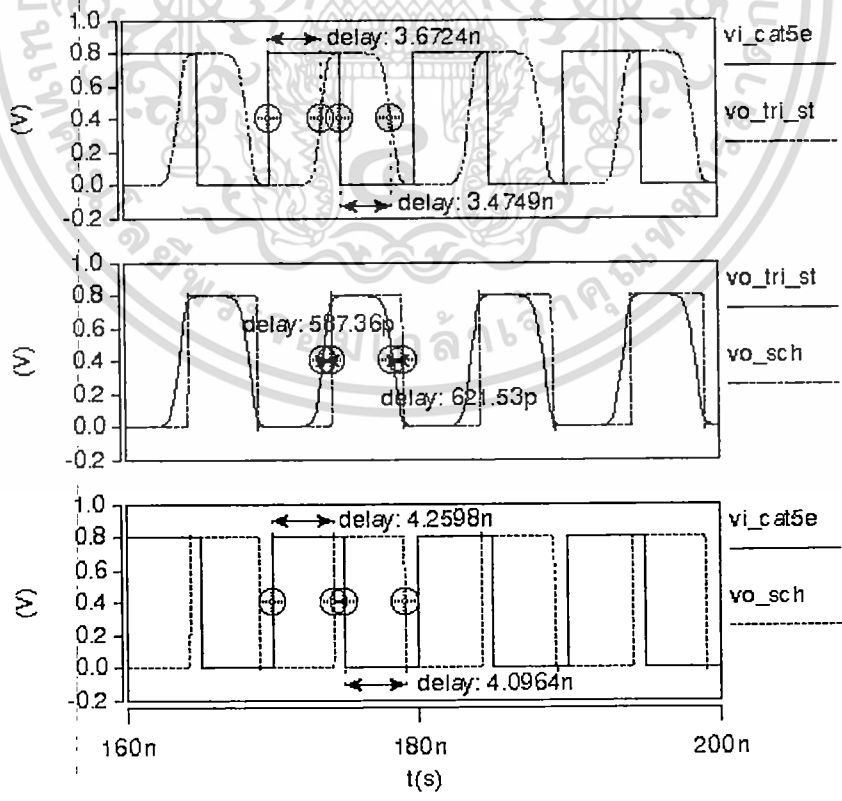


รูปที่ 6.13 ผลการวัดทดสอบค่าเวลาการแปรกระจาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ที่ระยะความยาวสาย 30 เมตร ความถี่ 100 MHz
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามเผยแพร่ต่อแบบลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

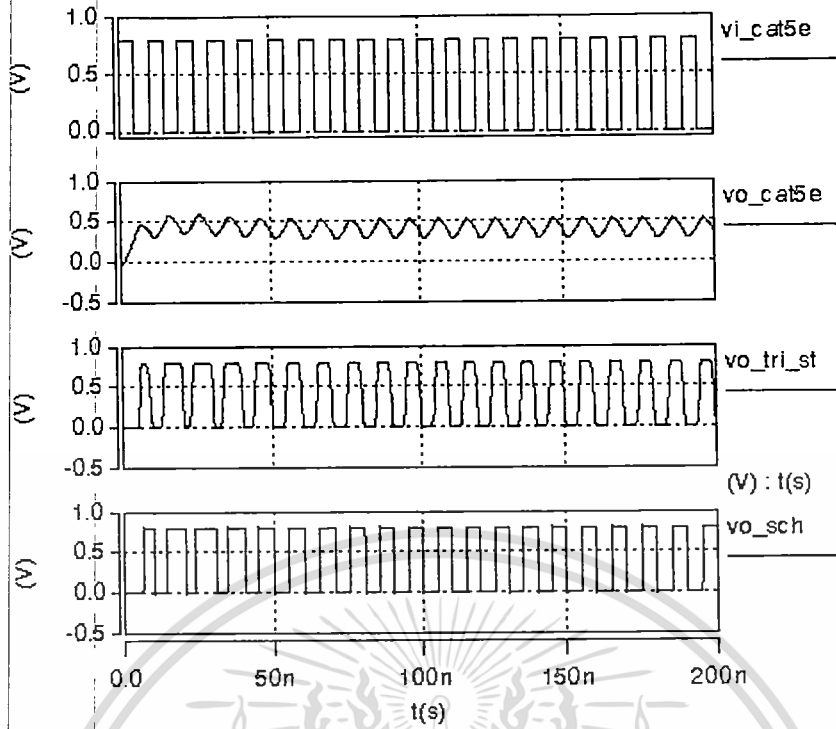


รูปที่ 6.14 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 40 เมตร ความถี่ 100 MHz

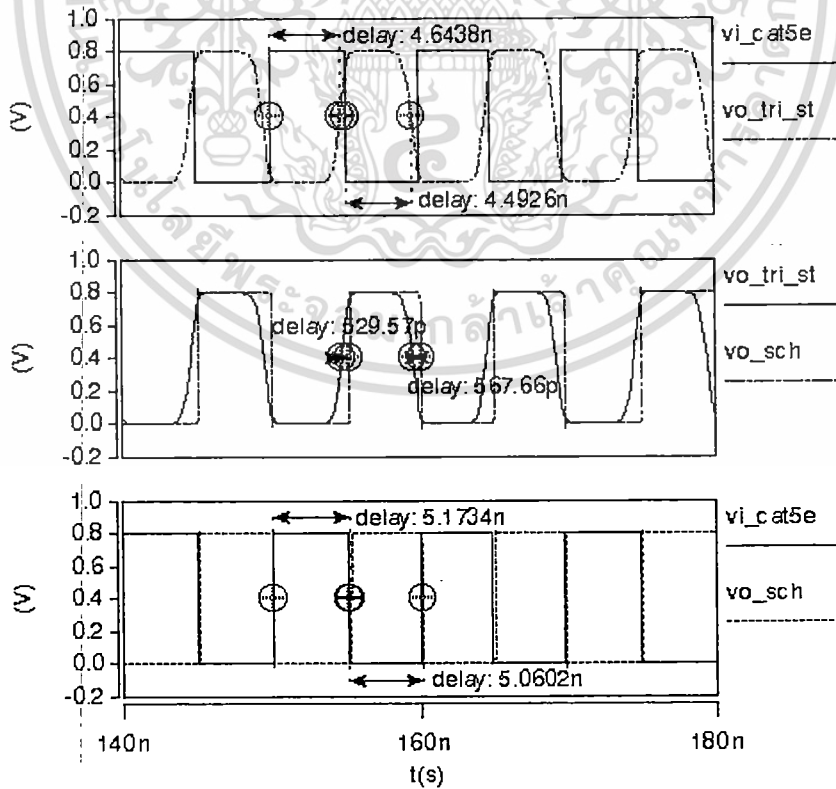


รูปที่ 6.15 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง เมื่อผู้จัดทำเห็นประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้เผยแพร่เอกสารฉบับนี้แก่บุคคลอื่นใดโดยไม่ได้รับอนุญาตทุกครั้งที่มีการนำไปใช้

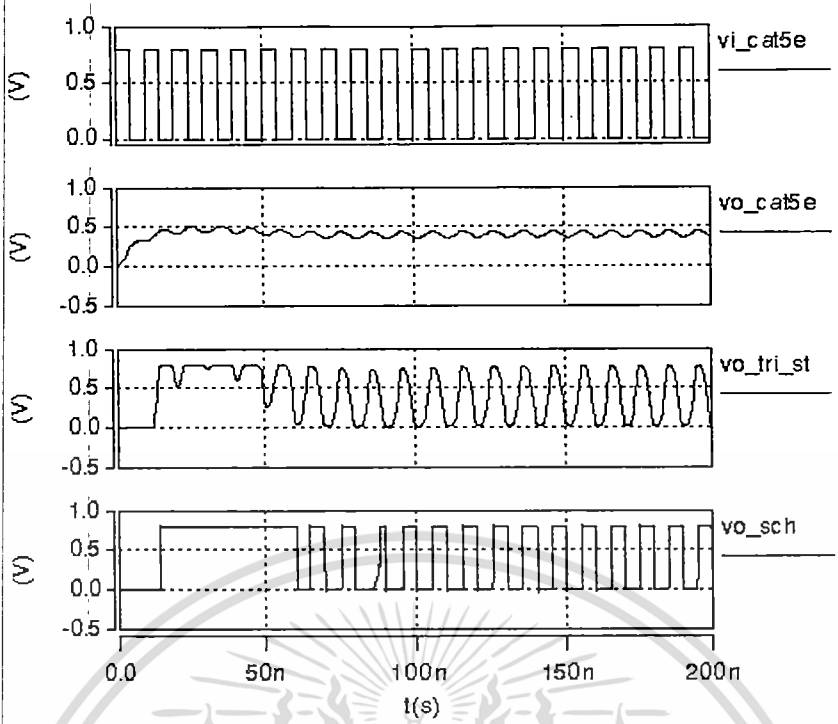


รูปที่ 6.16 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 50 เมตร ความถี่ 100 MHz

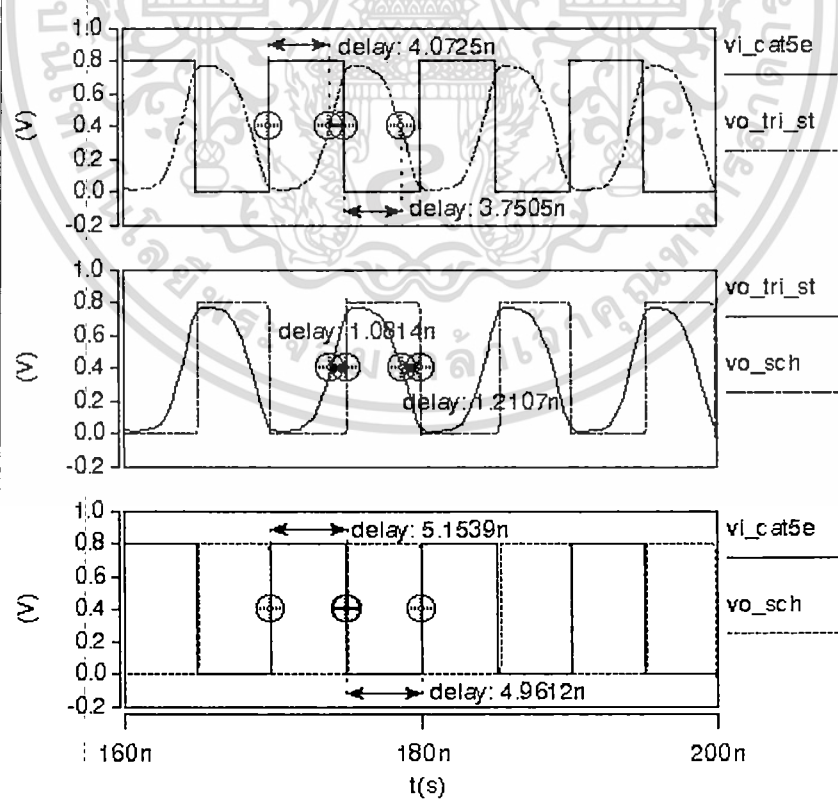


รูปที่ 6.17 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย

เอกสารนี้เป็นเอกสารที่... เอกสารทุกครั้งที่มีการนำไปใช้
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามที่ระยะความยาวสาย 50 เมตร ความถี่ 100 MHz

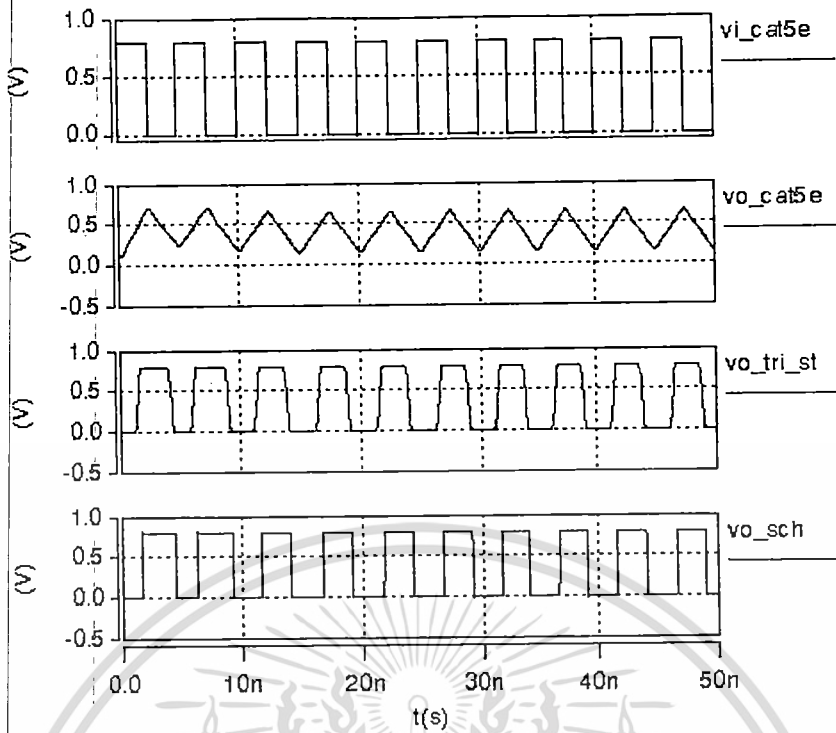


รูปที่ 6.18 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 60 เมตร ความถี่ 100 MHz

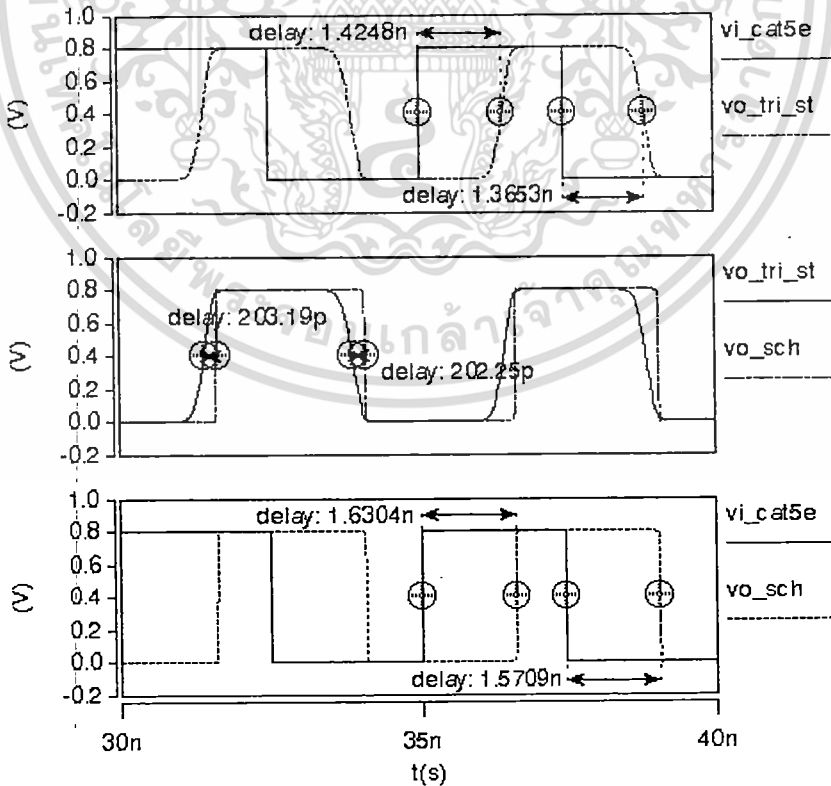


รูปที่ 6.19 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์หรือการขงนเพื่อการค้าเท่านั้น ไม่อนุญให้เห็นาไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และตองอยางองถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

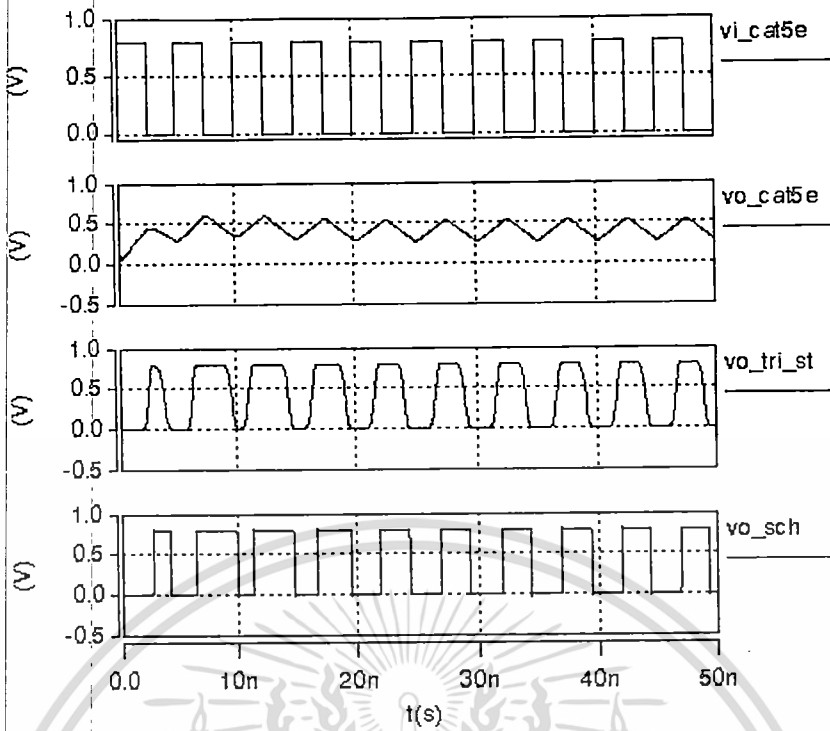


รูปที่ 6.20 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ
ที่ระยะความยาวสาย 10 เมตร ความถี่ 200 MHz

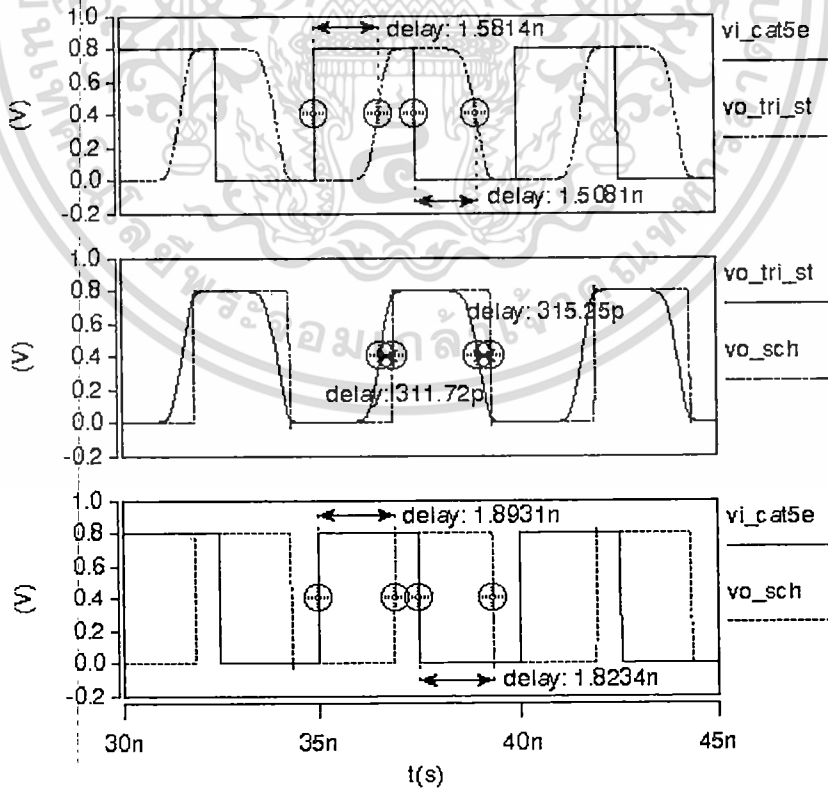


รูปที่ 6.21 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์หรือการขโมยงานเพื่อการค้าเท่านั้น มิใช่ให้เผยแพร่โดยไม่ได้รับอนุญาต
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ทำซ้ำหรือดัดแปลงในลักษณะใดๆ ที่มิใช่เพื่อใช้ในการนำออกไปใช้

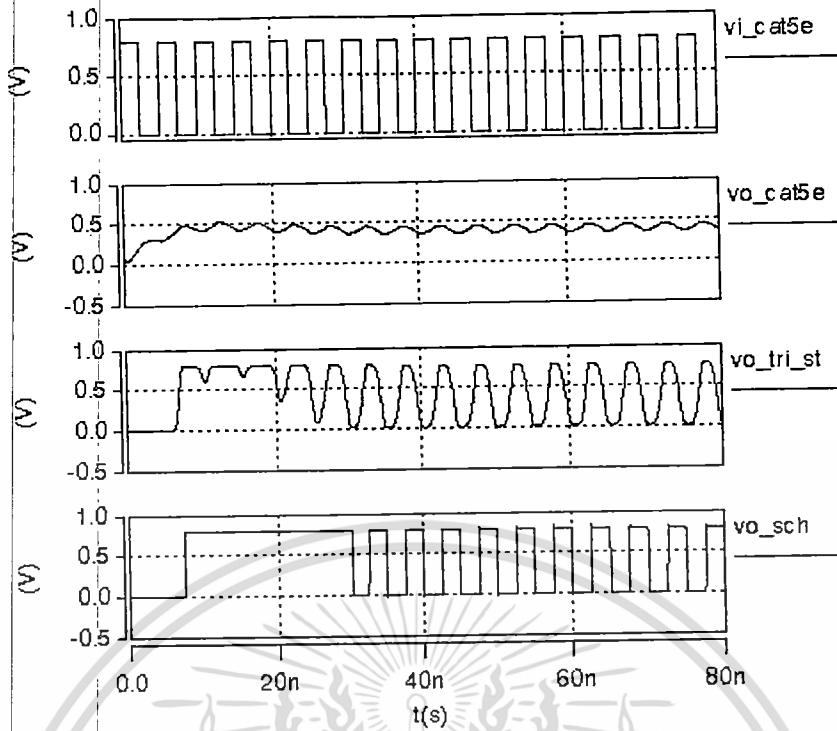


รูปที่ 6.22 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 20 เมตร ความถี่ 200 MHz

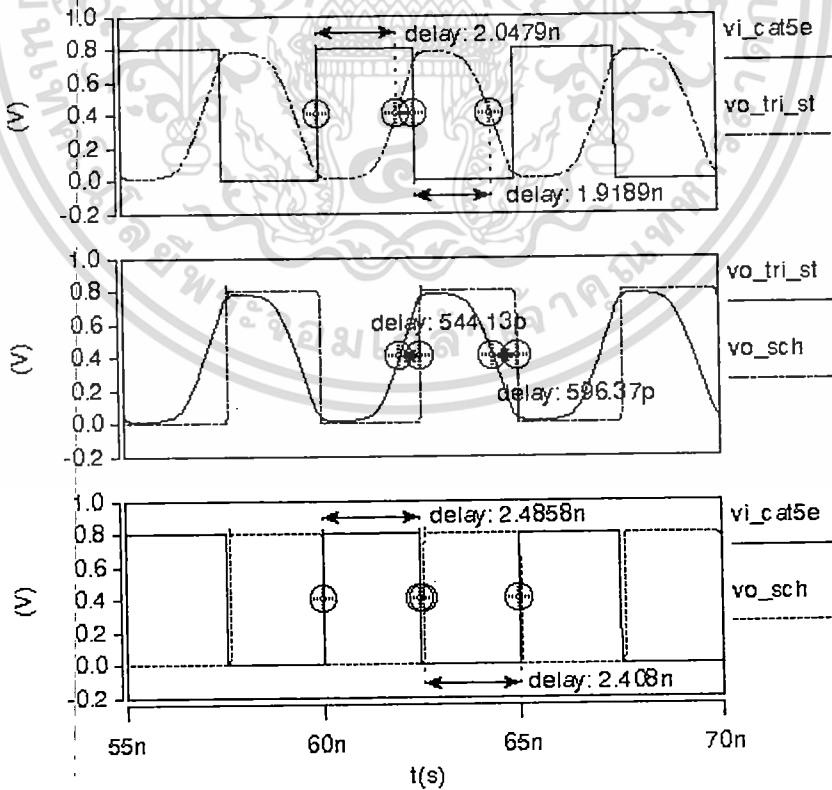


รูปที่ 6.23 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี เมื่อผู้เห็นเห็นข้อใดข้อหนึ่งซึ่งเกี่ยวข้องกับการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้เผยแพร่ข้อมูลใดๆ ที่เกี่ยวข้องกับการนำข้อมูลไปใช้

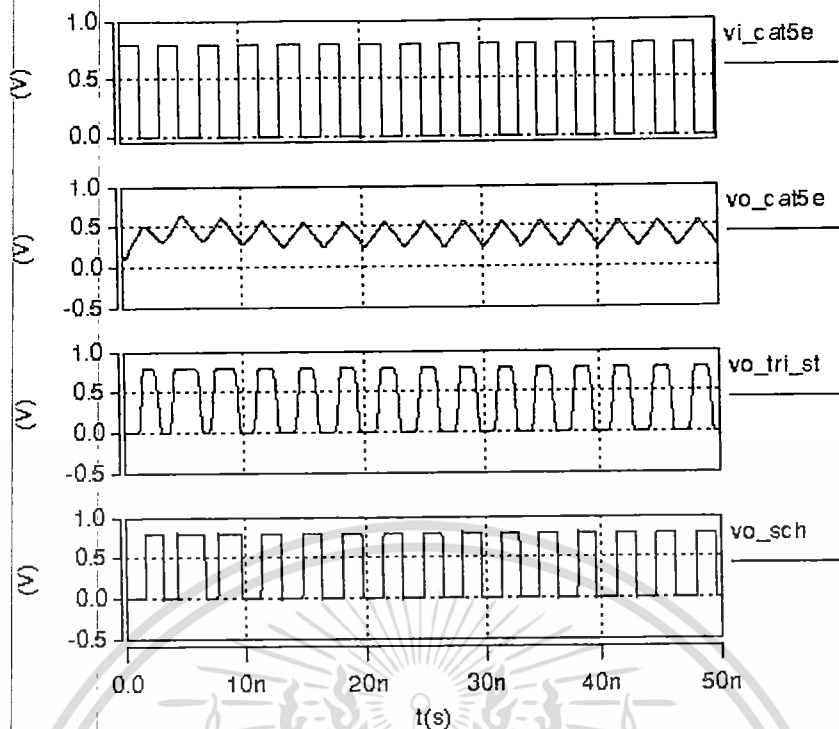


รูปที่ 6.24 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 30 เมตร ความถี่ 200 MHz

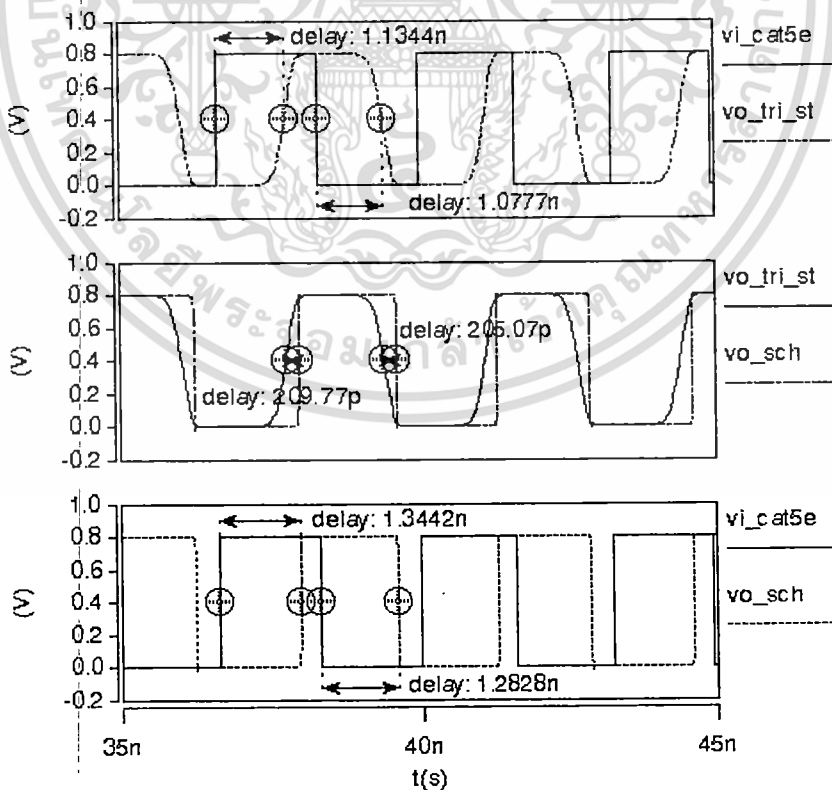


รูปที่ 6.25 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์โดยมหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ไม่ควรเผยแพร่โดยไม่ได้รับอนุญาตจากทางมหาวิทยาลัยฯ
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ทำซ้ำหรือแจกจ่ายเอกสารทุกครั้งที่มีการนำไปใช้

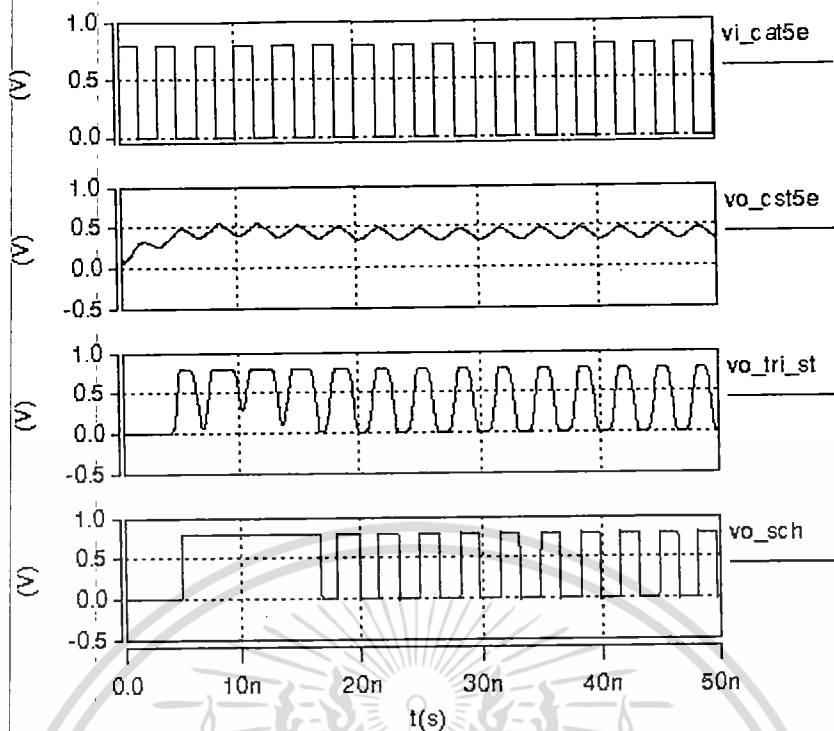


รูปที่ 6.26 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ
ที่ระยะความยาวสาย 10 เมตร ความถี่ 300 MHz

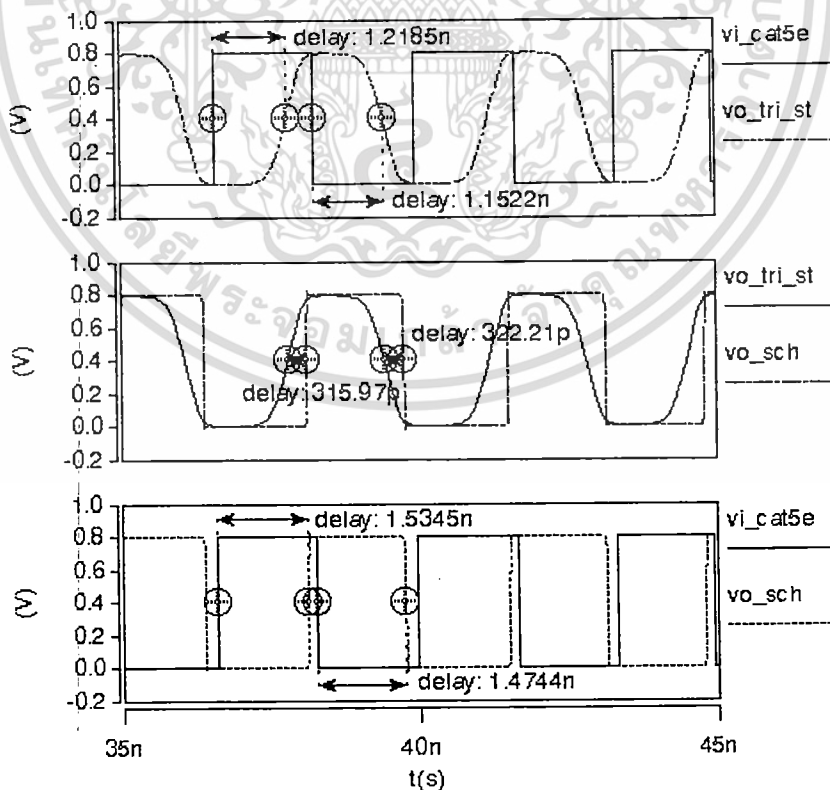


รูปที่ 6.27 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย

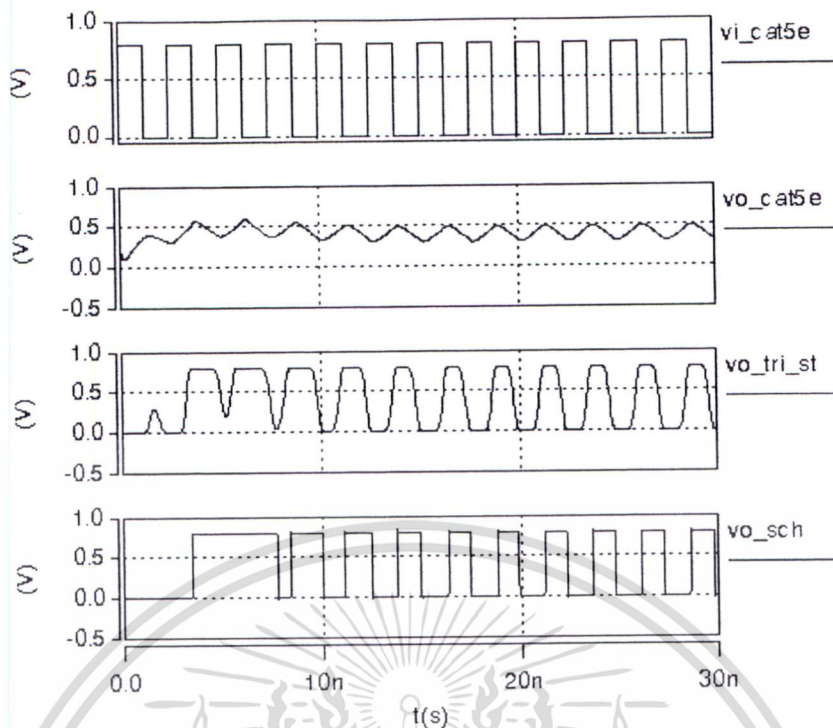
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์หรือการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



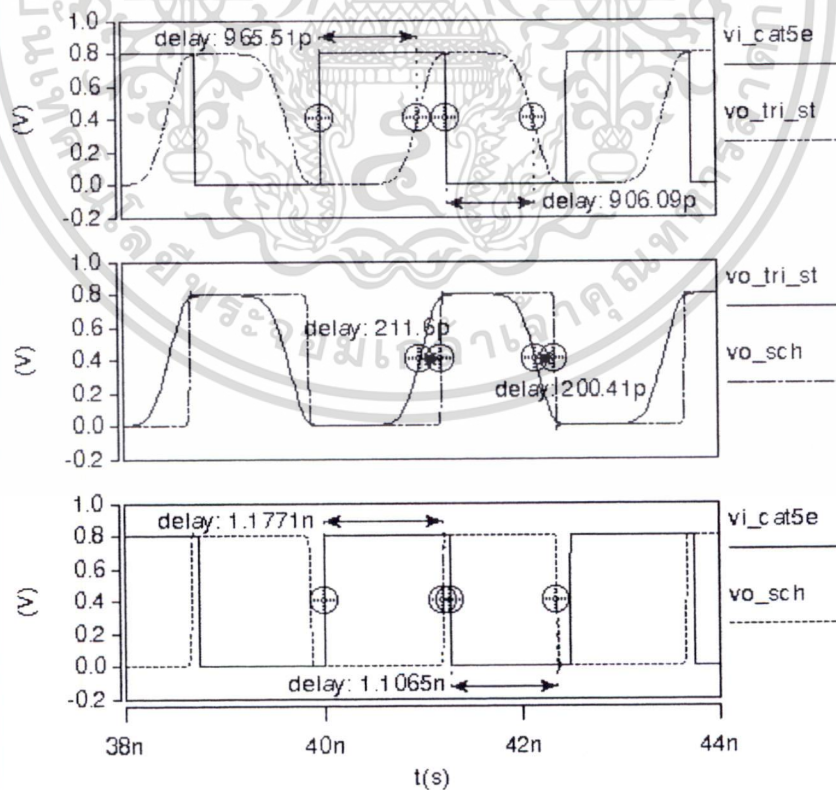
รูปที่ 6.28 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 20 เมตร ความถี่ 300 MHz



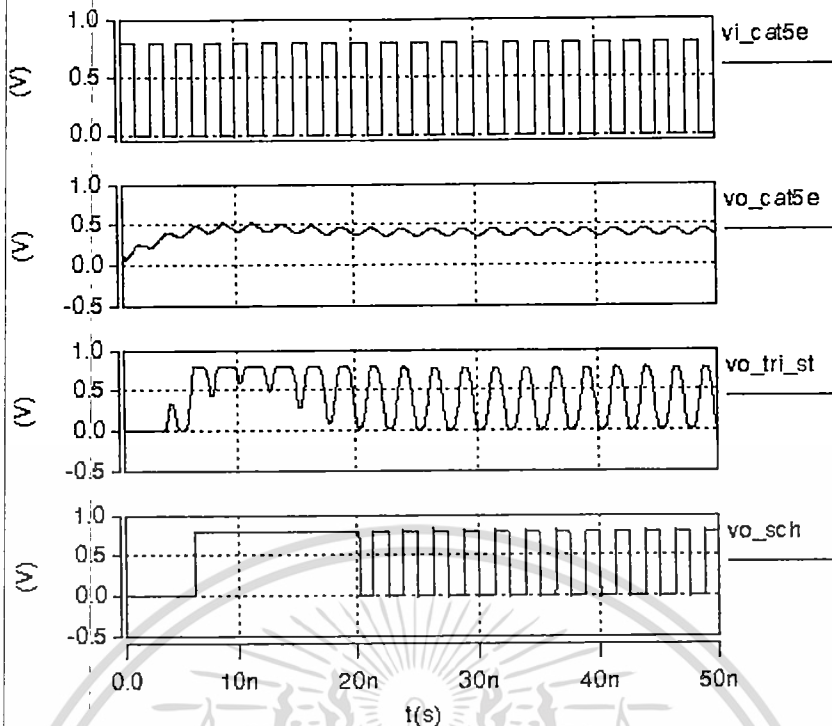
เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของสถาบันวิจัยและพัฒนาเทคโนโลยีสารสนเทศและการสื่อสาร มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิที่ระยะความยาวสาย 20 เมตร ความถี่ 300 MHz ทุกครั้งที่มีการนำไปใช้



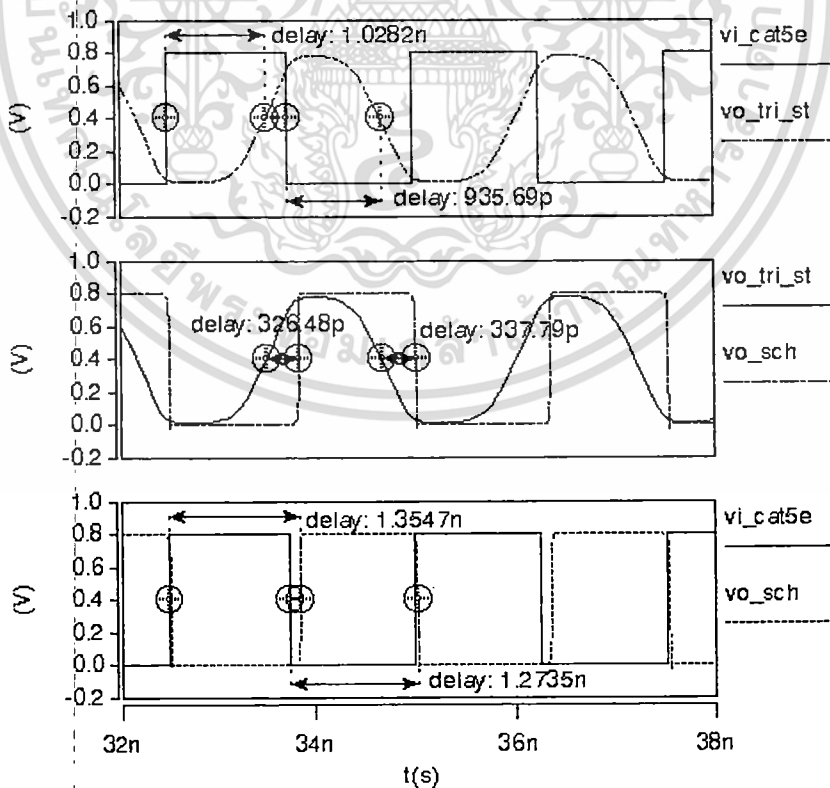
รูปที่ 6.30 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ
ที่ระยะความยาวสาย 10 เมตร ความถี่ 400 MHz



เอกสารนี้เป็นเอกสารที่สงวนรูปที่ 6.31 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ระยะความยาวสาย 10 เมตร ความถี่ 400 MHz ทุกครั้งที่มีการนำไปใช้

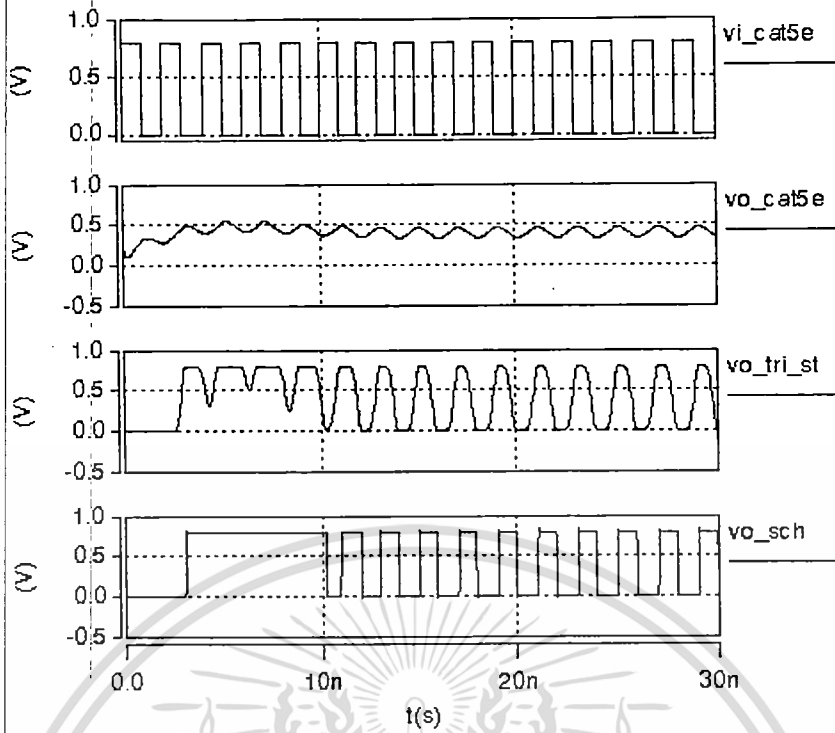


รูปที่ 6.32 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 20 เมตร ความถี่ 400 MHz

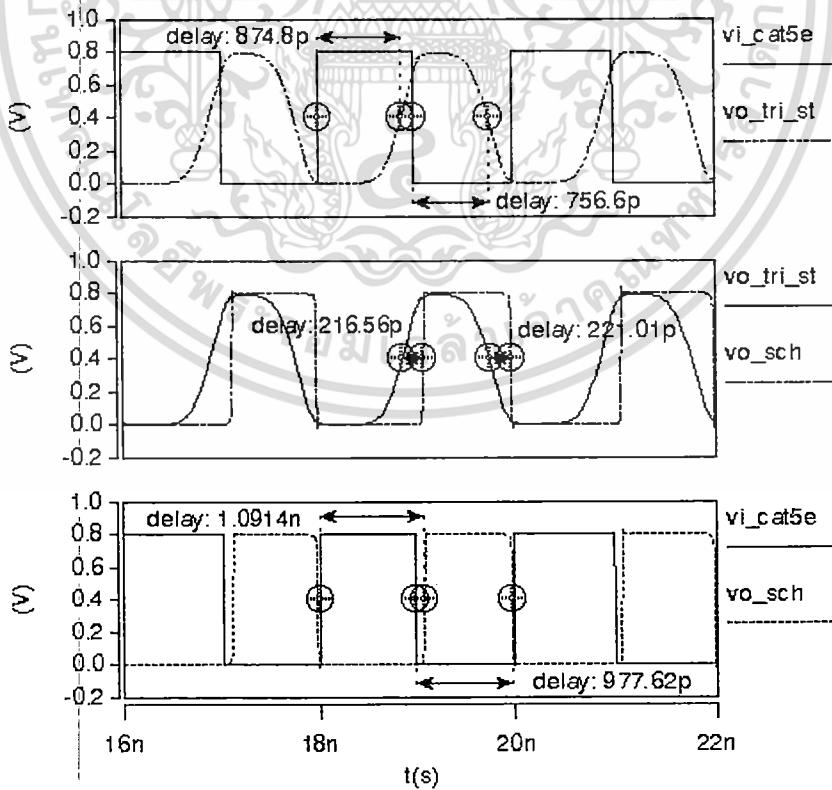


รูปที่ 6.33 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์หรือการแจ้งขึ้นเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมีเหตุใดก็ตามที่ก่อให้เกิดข้อพิพาทใดๆ และต้องยกย่องเงินเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

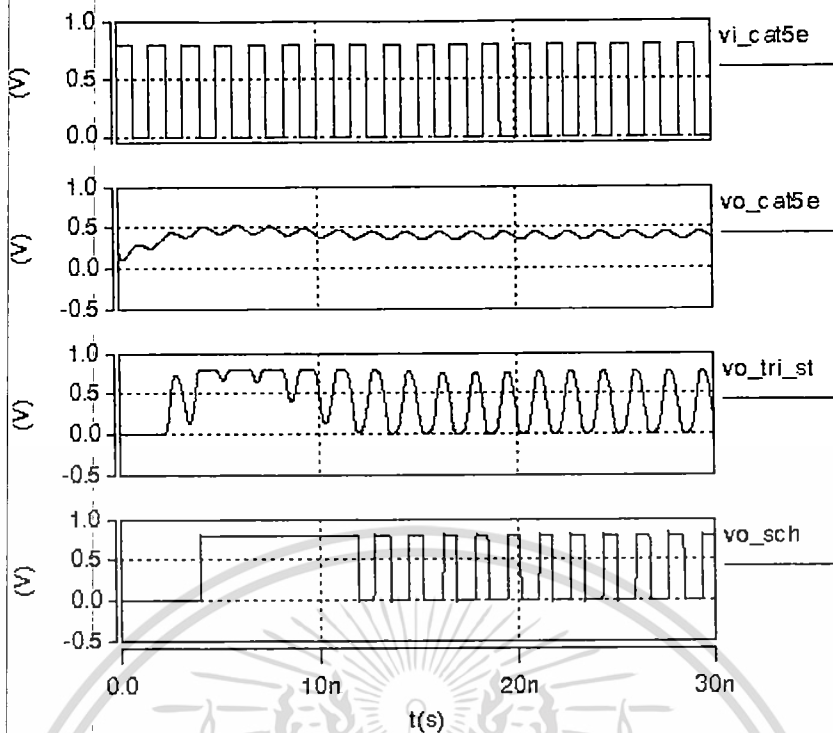


รูปที่ 6.34 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 10 เมตร ความถี่ 500 MHz

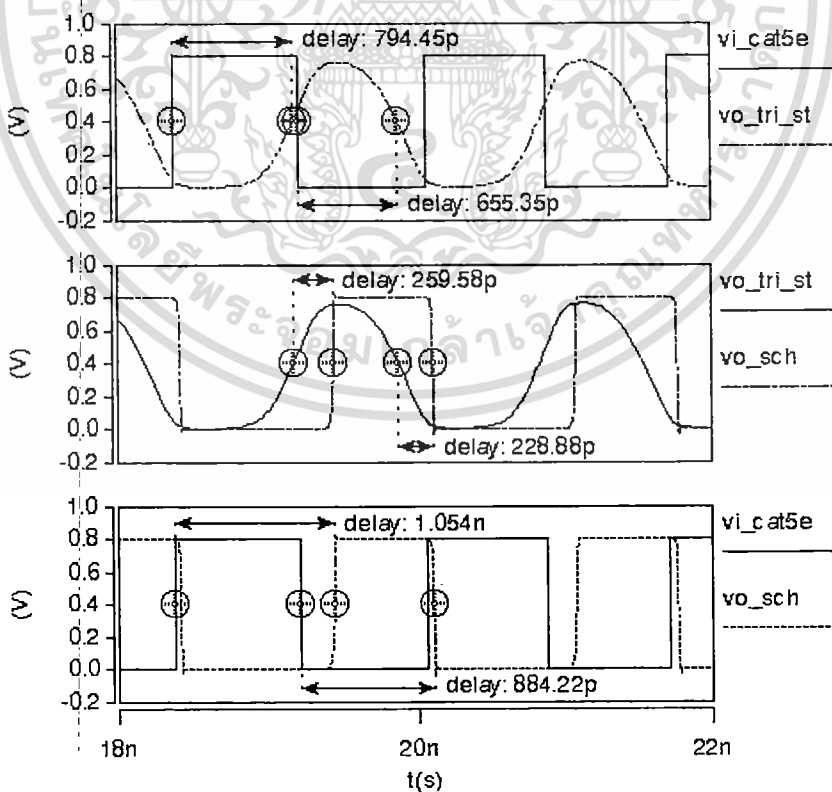


รูปที่ 6.35 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์หรือการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น มิใช่ให้เผยแพร่ไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตีแบบลงนิตยสาร และต้องขออนุญาตเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้



รูปที่ 6.36 ผลการวัดทดสอบสัญญาณจากการป้อนสัญญาณดิจิทัลผ่านสายนำสัญญาณ ที่ระยะความยาวสาย 10 เมตร ความถี่ 600 MHz



รูปที่ 6.37 ผลการวัดทดสอบค่าเวลาการประวิงการแพร่กระจาย

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์และสงวนสิทธิ์ในชื่อทางการค้าเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ได้รับอนุญาตจากทางบริษัทฯ
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกแบบใดก็ได้ และต้องขออนุญาตก่อนเผยแพร่เอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดสอบจากรูปที่ 6.8 – 6.37 การส่งสัญญาณดิจิทัลผ่านสายนำสัญญาณ CAT5e สัญญาณเอาต์พุตที่ได้จากสาย CAT5e จะมีการลดทอนขนาดของสัญญาณและการเกิดการเลื่อนเฟสของสัญญาณ โดยมีปัจจัยมาจากความยาวของสาย CAT5e และค่าความถี่ของสัญญาณดิจิทัลที่ส่งผ่านสาย CAT5e แต่ด้วยคุณสมบัติของวงจรไตรสเททท์เฟอ์ที่นำเสนอที่สามารถทำงานให้ระดับสัญญาณเอาต์พุตของวงจรแอมป์เต็มช่วงได้ถึงแม้ระดับแรงดันอินพุตจะมีค่าน้อย แต่ระดับแรงดันอ้างอิงของสัญญาณอินพุตจำเป็นต้องมีค่าเป็น $v_{cc}/2$ วงจรไตรสเททท์เฟอ์ที่นำเสนอจึงสามารถตัดสินใจค่าระดับแรงดันอินพุตที่เข้ามาเป็นสัญญาณ High หรือ Low และสัญญาณที่สวิงต้องมีค่าตั้งแต่ 0.1 โวลต์ ถึงจะสามารถทำงานให้สัญญาณเอาต์พุตที่มีการแอมป์เต็มช่วง โดยวงจรมีทริกเกอร์ที่ใช้ทำหน้าที่ในการปรับรูปร่างของสัญญาณสี่เหลี่ยม

การวัดทดสอบค่าเวลาการประวิงของสัญญาณที่เกิดขึ้น ทำการวัดทดสอบสัญญาณและเปรียบเทียบสัญญาณระหว่าง vi_{cat5e} และ vo_{tri_st} คือการวัดค่าเวลาการประวิงของสัญญาณที่เกิดจากวงจรไตรสเททท์เฟอ์ ($delay_{tri_st}$), vo_{tri_st} และ vo_{sch} คือการวัดค่าเวลาการประวิงของสัญญาณของวงจรมีทริกเกอร์ ($delay_{sch}$) และเปรียบเทียบสัญญาณระหว่าง vi_{cat5e} และ vo_{sch} คือการวัดค่าเวลาการประวิงของระบบทั้งหมด ($total_delay$) สามารถสรุปค่าเวลาการประวิงของสัญญาณได้ดังในตารางที่ 6.1 - 6.6 เพื่อทำการเปรียบเทียบค่าเวลาการประวิงที่ความถี่ 100 – 600 MHz และที่ความยาวสาย 10 – 60 เมตร

ตารางที่ 6.1 การเปรียบเทียบค่าเวลาการประวิงของสัญญาณที่ความถี่ 100 MHz

Distance (m)	Delay time		
	$delay_{tri_st}$ (ns)	$delay_{sch}$ (ps)	$total_delay$ (ns)
10	1.879	187.7	2.067
20	2.392	298.015	2.689
30	3.342	430.69	3.862
40	3.573	604.445	4.178
50	4.586	548.615	5.116
60	3.911	1146	5.057

ตารางที่ 6.2 การเปรียบเทียบค่าเวลาการประวิงของสัญญาณที่ความถี่ 200 MHz

Distance (m)	Delay time (s)		
	delay_tri_st (ns)	delay_sch (ps)	total_delay (ns)
10	1.395	202.72	1.601
20	1.544	313.485	1.858
30	1.983	570.25	2.446
40	NA	NA	NA
50	NA	NA	NA
60	NA	NA	NA

ตารางที่ 6.3 การเปรียบเทียบค่าเวลาการประวิงของสัญญาณที่ความถี่ 300 MHz

Distance (m)	Delay time		
	delay_tri_st (ns)	delay_sch (ps)	total_delay (ns)
10	1.106	207.42	1.313
20	1.185	319.09	1.504
30	NA	NA	NA
40	NA	NA	NA
50	NA	NA	NA
60	NA	NA	NA

ตารางที่ 6.4 การเปรียบเทียบค่าเวลาการประวิงของสัญญาณที่ความถี่ 400 MHz

Distance (m)	Delay time		
	delay_tri_st (ps)	delay_sch (ps)	total_delay (ns)
10	935.8	206.005	1.141
20	1045	332.135	1.313
30	NA	NA	NA
40	NA	NA	NA
50	NA	NA	NA
60	NA	NA	NA

ตารางที่ 6.5 การเปรียบเทียบค่าเวลาการประวิงของสัญญาณที่ความถี่ 500 MHz

Distance (m)	Delay time		
	delay_tri_st (ps)	delay_sch (ps)	total_delay (ps)
10	815.7	218.785	1034.31
20	NA	NA	NA
30	NA	NA	NA
40	NA	NA	NA
50	NA	NA	NA
60	NA	NA	NA

ตารางที่ 6.6 การเปรียบเทียบค่าเวลาการประวิงของสัญญาณที่ความถี่ 600 MHz

Distance (m)	Delay time		
	delay_tri_st (ps)	delay_sch (ps)	total_delay (ps)
10	724.9	244.23	969.11
20	NA	NA	NA
30	NA	NA	NA
40	NA	NA	NA
50	NA	NA	NA
60	NA	NA	NA

สรุปผลจากตารางที่ 6.1 - 6.6 ที่ค่าความถี่ของสัญญาณที่สูงขึ้น ค่าเวลาการประวิงมีค่าลดต่ำลงตาม ในขณะที่ความยาวสายที่เพิ่มขึ้นส่งผลต่อค่าเวลาการประวิงที่เพิ่มขึ้นตาม ทั้งในส่วนค่าเวลาการประวิงที่เกิดขึ้นจากสายนำสัญญาณ CAT5e วงจรไทรสเททบัฟเฟอร์ และวงจรชมิททริกเกอร์

6.1 การทดสอบการจำลองการลดระดับแรงดันของสัญญาณไซน์จากการแกว่งเต็มช่วงเพื่อจำลองการส่งสัญญาณผ่านสายนำสัญญาณที่ความถี่สูงของวงจรไทรสเททบัฟเฟอร์ที่นำเสนอ

ในการทดสอบการจำลองการลดระดับแรงดันของสัญญาณไซน์จากการแกว่งเต็มช่วงเพื่อจำลองการส่งสัญญาณผ่านสายนำสัญญาณที่ความถี่สูงของวงจรไทรสเททบัฟเฟอร์ ซึ่งเป็นการจำลองการทดสอบในกรณีของการส่งสัญญาณผ่านสายนำสัญญาณ ซึ่งระดับแรงดันที่ปลายสายนำ

สัญญาณนั้นจะมีระดับของแรงดันของสัญญาณที่ถูกส่งไปลดต่ำลง และสัญญาณที่ถูกส่งไปนั้นจะมีลักษณะของสัญญาณที่คล้ายคลึงกับสัญญาณไซน์ การทดสอบดังกล่าวนี้เพื่อแสดงให้เห็นถึงการทำงานของวงจรไทรสเททท์เฟอ์ที่นำเสนอที่ความถี่สูง และเป็นการทดสอบวงจรไทรสเททท์เฟอ์ที่นำเสนอที่ระดับแรงดันอินพุตลดลง และส่งผลให้สัญญาณเอาต์พุตของวงจรเริ่มลดลงอยู่ในระดับที่มีระดับแรงดันสัญญาณที่ไม่มีการแกว่งเต็มช่วง ซึ่งจะแสดงการทดสอบไว้ดังนี้

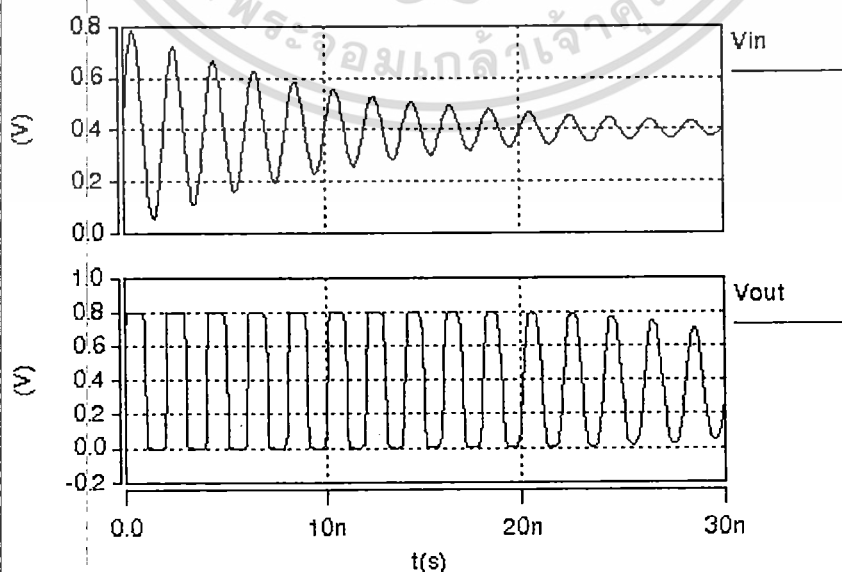
รูปที่ 6.36 การวัดสัญญาณที่การลดระดับแรงดันของสัญญาณอินพุตที่ความถี่ 500 MHz และรูปที่ 6.37 การวัดค่าระดับสัญญาณอินพุตที่ส่งผลทำให้สัญญาณเอาต์พุตของวงจรเริ่มลดระดับแรงดันจากการแกว่งเต็มช่วงที่ความถี่ 500 MHz

รูปที่ 6.38 การวัดสัญญาณที่การลดระดับแรงดันของสัญญาณอินพุตที่ความถี่ 1 GHz และรูปที่ 6.39 การวัดค่าระดับสัญญาณอินพุตที่ส่งผลทำให้สัญญาณเอาต์พุตของวงจรเริ่มลดระดับแรงดันจากการแกว่งเต็มช่วงที่ความถี่ 1 GHz

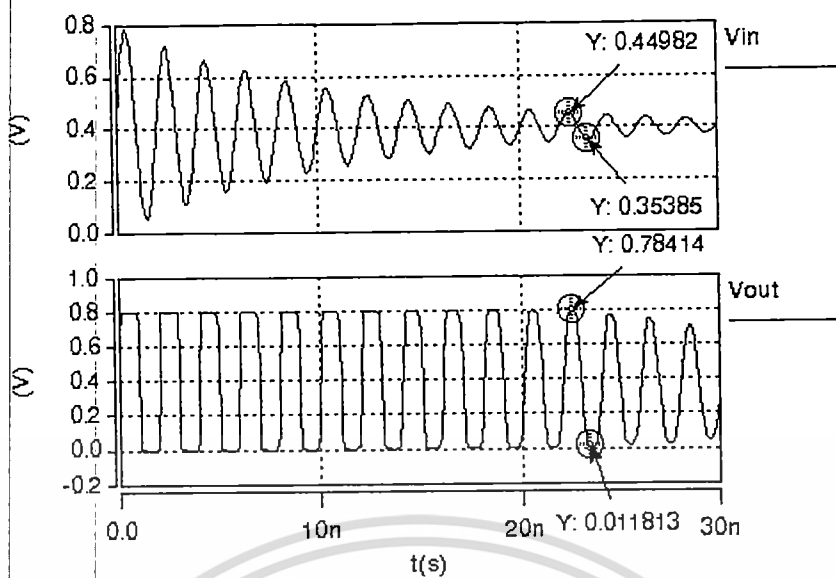
รูปที่ 6.40 การวัดสัญญาณที่การลดระดับแรงดันของสัญญาณอินพุตที่ความถี่ 1.5 GHz และรูปที่ 6.41 การวัดค่าระดับสัญญาณอินพุตที่ส่งผลทำให้สัญญาณเอาต์พุตของวงจรเริ่มลดระดับแรงดันจากการแกว่งเต็มช่วงที่ความถี่ 1.5 GHz

รูปที่ 6.42 การวัดสัญญาณที่การลดระดับแรงดันของสัญญาณอินพุตที่ความถี่ 2 GHz และรูปที่ 6.43 การวัดค่าระดับสัญญาณอินพุตที่ส่งผลทำให้สัญญาณเอาต์พุตของวงจรเริ่มลดระดับแรงดันจากการแกว่งเต็มช่วงที่ความถี่ 2 GHz

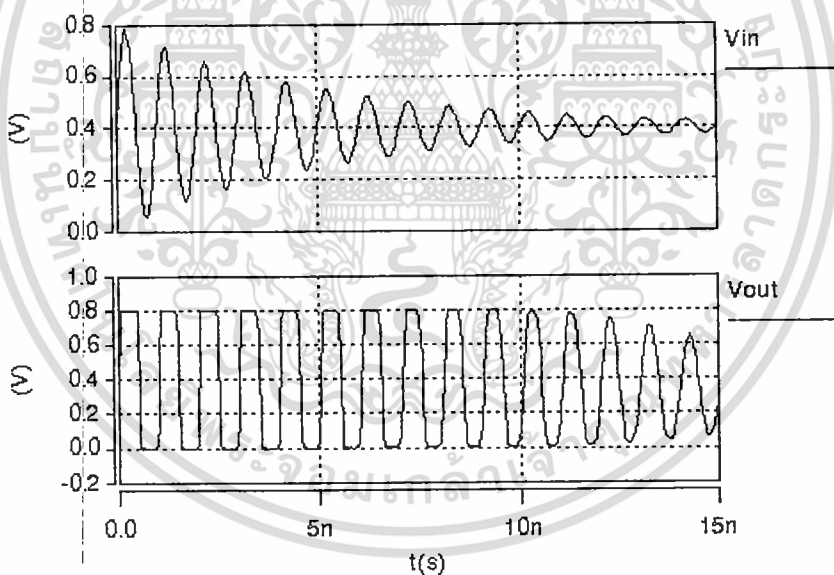
รูปที่ 6.44 การวัดสัญญาณที่การลดระดับแรงดันของสัญญาณอินพุตที่ความถี่ 2.5 GHz และรูปที่ 6.45 การวัดค่าระดับสัญญาณอินพุตที่ส่งผลทำให้สัญญาณเอาต์พุตของวงจรเริ่มลดระดับแรงดันจากการแกว่งเต็มช่วงที่ความถี่ 2.5 GHz



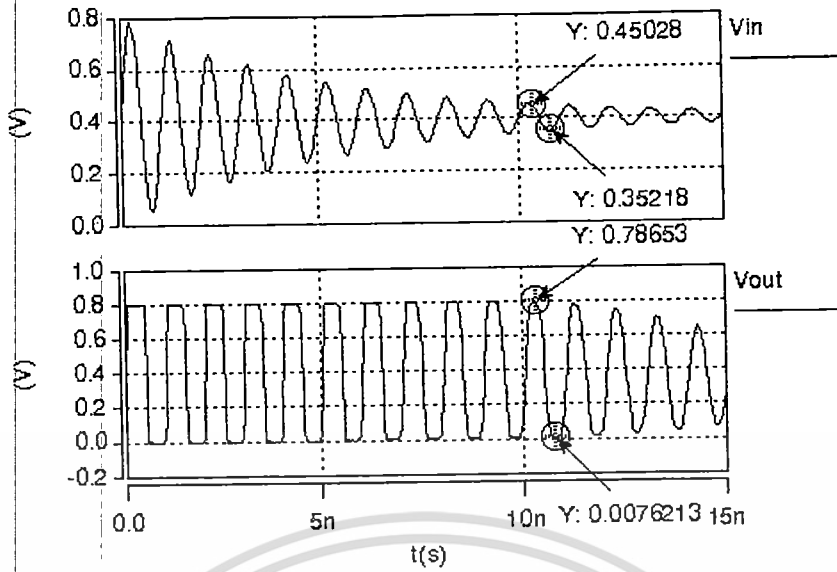
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่าการรูปที่ 6.38 ผลการวัดสัญญาณที่การลดระดับแรงดันของสัญญาณอินพุตที่ความถี่ 500 MHz



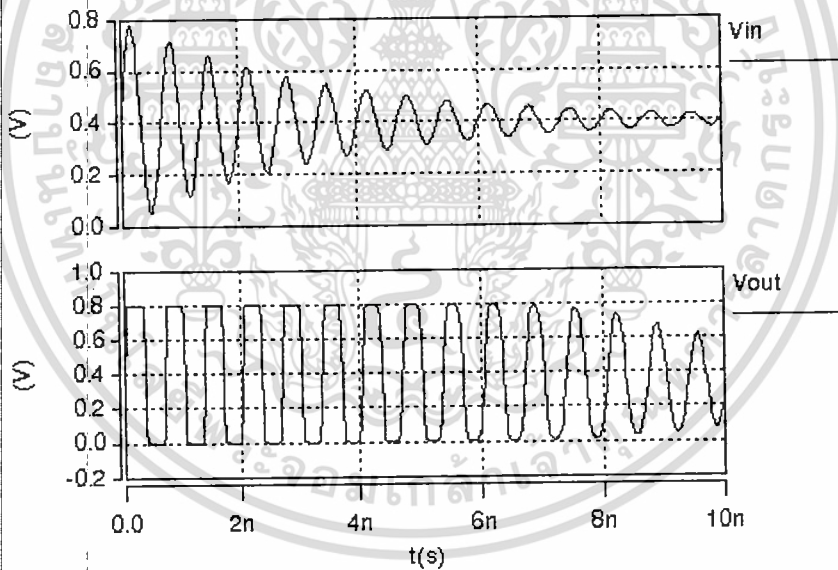
รูปที่ 6.39 ผลการวัดค่าระดับสัญญาณอินพุตที่ส่งผลทำให้สัญญาณเอาต์พุตของวงจรเริ่มลดระดับแรงดันจากการแกว่งเต็มช่วงที่ความถี่ 500 MHz



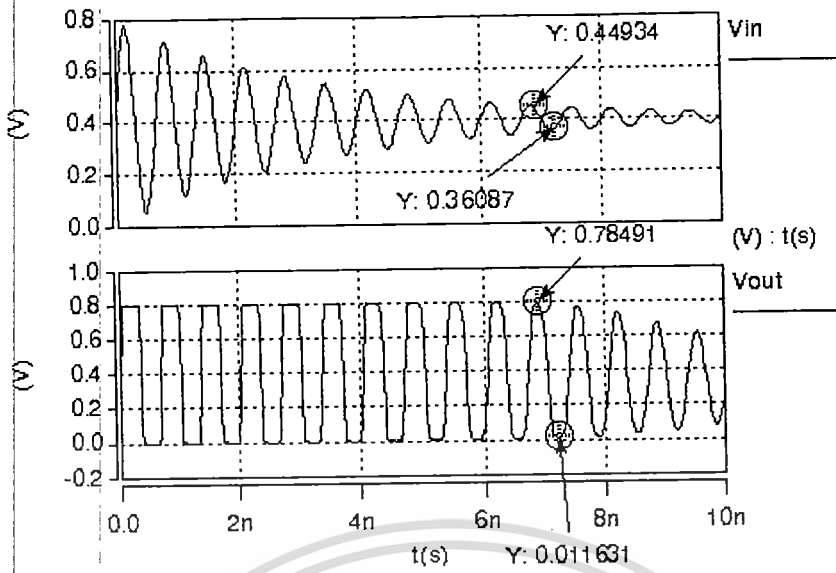
รูปที่ 6.40 ผลการวัดสัญญาณที่การลดระดับแรงดันของสัญญาณอินพุตที่ความถี่ 1 GHz



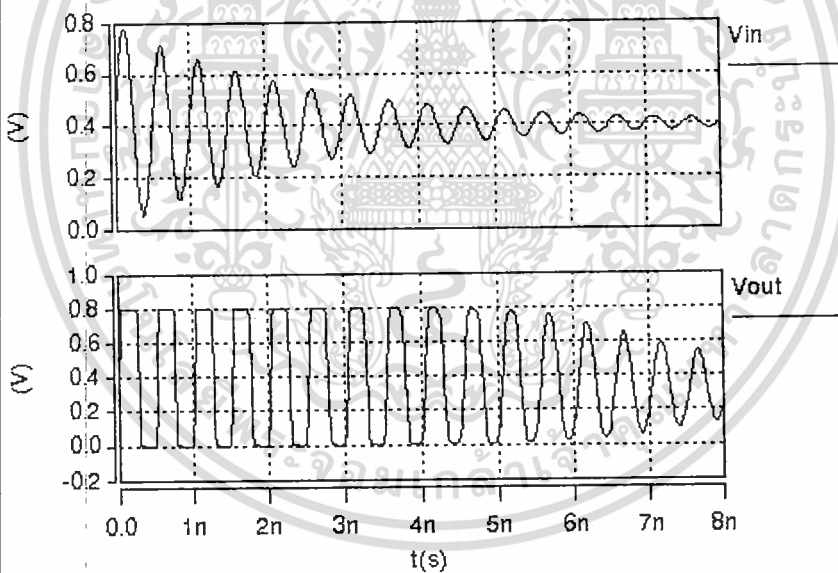
รูปที่ 6.41 ผลการวัดค่าระดับสัญญาณอินพุตที่ส่งผลทำให้สัญญาณเอาต์พุตของวงจรเริ่มลดระดับแรงดันจากการแกว่งเต็มช่วงที่ความถี่ 1 GHz



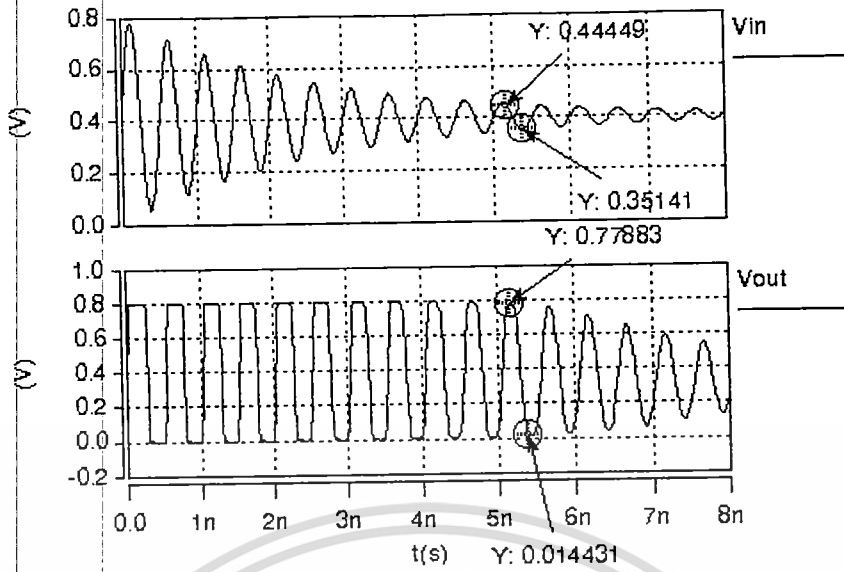
รูปที่ 6.42 ผลการวัดสัญญาณที่การลดระดับแรงดันของสัญญาณอินพุตที่ความถี่ 1.5 GHz



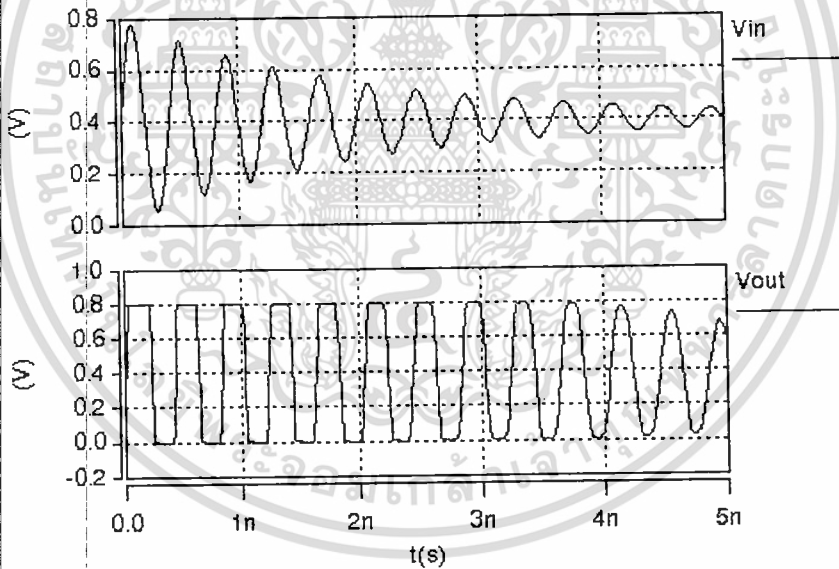
รูปที่ 6.43 ผลการวัดค่าระดับสัญญาณอินพุตที่ส่งผลทำให้สัญญาณเอาต์พุตของวงจรเริ่มลดระดับแรงดันจากการแกว่งเต็มช่วงที่ความถี่ 1.5 GHz



รูปที่ 6.44 ผลการวัดสัญญาณที่การลดระดับแรงดันของสัญญาณอินพุตที่ความถี่ 2 GHz

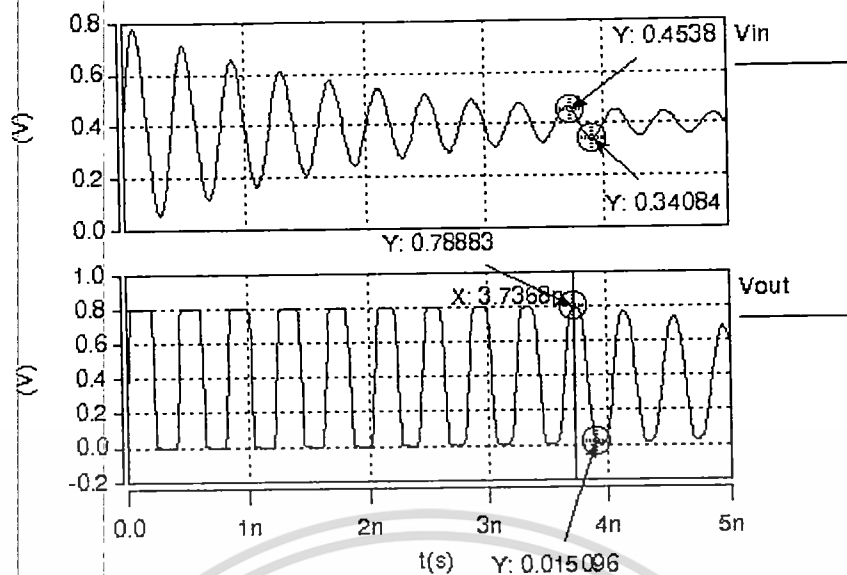


รูปที่ 6.45 ผลการวัดค่าระดับสัญญาณอินพุตที่ส่งผลทำให้สัญญาณเอาต์พุตของวงจรเริ่มลดระดับแรงดันจากการแกว่งเต็มช่วงที่ความถี่ 2 GHz



รูปที่ 6.46 ผลการวัดสัญญาณที่การลดระดับแรงดันของสัญญาณอินพุตที่ความถี่ 2.5 GHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.47 ผลการวัดค่าระดับสัญญาณอินพุตที่ส่งผลทำให้สัญญาณเอาต์พุตของวงจรเริ่มลดระดับแรงดันจากการแวงเต็มช่วงที่ความถี่ 2.5 GHz

ผลจากการทดสอบแสดงให้เห็นว่า วงจรไตรสเททป์เฟอร์สามารถทำงานได้ที่ความถี่สูงเมื่อระดับแรงดันอินพุตลดต่ำลง ซึ่งสามารถนำไปใช้กับสายนำสัญญาณได้ เนื่องจากการส่งสัญญาณผ่านสายนำสัญญาณ อีกด้านของปลายสายนั้นระดับแรงดันสัญญาณจะลดต่ำลงและมีลักษณะสัญญาณเป็นสัญญาณไซน์ แต่วงจรไตรสเททท์ที่นำเสนอไม่สามารถทำงานได้ที่ระดับแรงดันอินพุตที่มีการแวงลดต่ำกว่าระดับ 0.1 โวลต์

บทที่ 7

สรุปผลการวิจัย

ผลจากการจำลองการทำงานของวงจรไบซิมอสไทรสเททบัฟเฟอร์โดยไม่อาศัยเทคนิคชาร์จ์ปั๊มที่ได้นำเสนอ เมื่อนำผลมาเปรียบเทียบกับ วงจรซิมอสไทรสเททบัฟเฟอร์ วงจรไทรสเททบัฟเฟอร์ในรูปแบบไบซิมอส และวงจรไบซิมอสไทรสเททบัฟเฟอร์อาศัยเทคนิคชาร์จ์ปั๊ม ด้วยการโปรแกรมจำลองการทำงาน HSpice ในการจำลองการทำงานของวงจร การเปรียบเทียบผลการการทำงานของวงจรสามารถสรุปได้ดังนี้

7.1 การเปรียบเทียบสัญญาณเอาต์พุตที่ความถี่ 400 MHz และ 2.5 GHz ที่แรงดันแหล่งจ่าย 0.8 โวลต์ ที่โหลดคาปาซิแตนซ์ 1 pF

ผลจากการจำลองการทำงาน ในการวัดทดสอบสัญญาณเอาต์พุตที่ความถี่ 400 MHz วงจรไบซิมอสไทรสเททบัฟเฟอร์โดยไม่อาศัยเทคนิคชาร์จ์ปั๊มที่ได้นำเสนอ มีรูปสัญญาณที่ดีที่สุด สัญญาณมีความใกล้เคียงอินพุตที่สุด ผลของวงจรซิมอสไทรสเททบัฟเฟอร์คุณภาพของสัญญาณด้อยกว่าสัญญาณจากวงจรที่นำเสนอ ผลวงจรไทรสเททบัฟเฟอร์ในรูปแบบไบซิมอสสัญญาณเอาต์พุตไม่สามารถสวิงได้เนื่องจากวงจรไม่สามารถทำงานที่ระดับแรงดันต่ำกว่า $2V_{BE}$ และผลวงจรไบซิมอสไทรสเททบัฟเฟอร์อาศัยเทคนิคชาร์จ์ปั๊มคุณภาพของสัญญาณค่อนข้างแย่

การวัดทดสอบสัญญาณเอาต์พุตที่ความถี่ 2.5 GHz วงจรไบซิมอสไทรสเททบัฟเฟอร์โดยไม่อาศัยเทคนิคชาร์จ์ปั๊มที่ได้นำเสนอ มีรูปสัญญาณที่ดีที่สุด ผลของวงจรซิมอสไทรสเททบัฟเฟอร์คุณภาพของสัญญาณด้อยกว่าสัญญาณจากวงจรที่นำเสนอ ผลวงจรไทรสเททบัฟเฟอร์ในรูปแบบไบซิมอสสัญญาณเอาต์พุตไม่สามารถสวิงได้เนื่องจากวงจรไม่สามารถทำงานที่ระดับแรงดันต่ำกว่า $2V_{BE}$ และผลวงจรไบซิมอสไทรสเททบัฟเฟอร์อาศัยเทคนิคชาร์จ์ปั๊มคุณภาพของสัญญาณไม่สามารถสวิงเต็มช่วงได้

7.2 การเปรียบเทียบสัญญาณเอาต์พุตที่ความถี่ 400 MHz และ 2.5 GHz ปรับเปลี่ยนระดับแรงดันแหล่งจ่าย 0.8, 1 และ 1.2 โวลต์ ที่โหลดคาปาซิแตนซ์ 1 pF

ผลจากการวัดทดสอบสัญญาณเอาต์พุตของวงจรที่นำเสนอเปรียบเทียบกับสัญญาณอินพุต วงจรที่นำเสนอสามารถทำงานได้ทุกเงื่อนไข สัญญาณยังคงมีคุณภาพคืออยู่ที่ความถี่ 2.5 GHz ข้อสังเกต เมื่อปรับเพิ่มระดับแรงดันแหล่งจ่ายให้เพิ่มขึ้น คุณภาพของสัญญาณจะดีขึ้นตามไปด้วย แม้จะทำงานที่ความถี่ 2.5 GHz

7.3 การเปรียบเทียบสัญญาณเอาต์พุตที่ความถี่ 400 MHz ปรับเปลี่ยนค่าโหลดคาปาซิแตนซ์จาก 1 – 5 pF และ 2.5 GHz ปรับเปลี่ยนค่าโหลดคาปาซิแตนซ์จาก 0.1 – 0.5 pF ที่แรงดันแหล่งจ่าย 0.8 โวลต์

สัญญาณเอาต์พุตที่ได้จากการจำลองการทำงานวงจรที่นำเสนอ ที่ความถี่ 400 MHz วงจรสามารถขับโหลดได้สูงมากกว่า 5 pF ในขณะที่ความถี่ 2.5 GHz วงจรสามารถขับโหลดได้ไม่สูงมากนัก แต่ในการวัด ปรับค่าโหลดสูงสุดที่ 0.5 pF เพื่อให้เห็นสัญญาณที่เปลี่ยนแปลงไปได้ชัดเจนเมื่อโหลดมีค่าเพิ่มขึ้น

7.4 การเปรียบเทียบค่าเวลาการประวิงการแพร่กระจาย

ผลจากการจำลองการทำงาน วงจรที่นำเสนอมีค่าเวลาการประวิงการแพร่กระจายน้อยกว่าวงจรมอสไตรสเตทบัฟเฟอร์ 29.082% จากผลดังกล่าวที่ไม่ได้ทำการวัดเปรียบเทียบกับวงจรอื่น เนื่องจากด้วยเงื่อนไขที่ใช้ในการทดสอบ วงจรไบสมอสวงจรอื่นๆไม่สามารถทำงานได้ มีเพียงวงจรมอสไตรสเตทบัฟเฟอร์ที่สามารถตอบสนองการทำงานที่ความถี่ 2.2 GHz และวงจรที่นำเสนอเท่านั้นที่สามารถทำงานได้

7.5 การเปรียบเทียบค่าการสิ้นเปลืองพลังงาน

ผลจากการจำลองการทำงาน วงจรที่นำเสนอมีค่าการสิ้นเปลืองพลังงานมากกว่าวงจรมอสไตรสเตทบัฟเฟอร์ 0.0903% จากผลดังกล่าวที่ไม่ได้ทำการวัดเปรียบเทียบกับวงจรอื่น เนื่องจากด้วยเงื่อนไขที่ใช้ในการทดสอบ วงจรไบสมอสวงจรอื่นๆไม่สามารถทำงานได้ มีเพียงวงจรมอสไตรสเตทบัฟเฟอร์ที่สามารถตอบสนองการทำงานที่ความถี่ 2.2 GHz และวงจรที่นำเสนอเท่านั้นที่สามารถทำงานได้

7.6 สาเหตุที่ไม่สามารถปรับปรุงให้วงจรทำงานที่แรงดันต่ำกว่า 0.8 โวลต์

เนื่องด้วยวงจรไบสมอสนั้นมีการนำไบโพลาร์มาต่อร่วมกับซีมอส จึงเป็นสาเหตุให้วงจรไบสมอสทุกวงจรไม่สามารถทำงานที่ระดับแรงดันต่ำกว่า 0.7 โวลต์ เพราะไบโพลาร์ไม่สามารถทำงานที่แรงดันต่ำกว่า V_{BE} ได้ ($V_{BE} = 0.7$ V) แต่วงจรที่นำเสนอใช้ระดับแรงดันที่ 0.8 โวลต์ เนื่องจากที่ระดับ 0.7 โวลต์ วงจรสามารถทำงานได้แต่ค่าเวลาการประวิงการแพร่กระจายมีค่าสูง

7.7 การประยุกต์ใช้งานวงจรไตรสเตทบัฟเฟอร์

การประยุกต์ใช้งานวงจรไตรสเตทบัฟเฟอร์นั้น สามารถนำมาประยุกต์ใช้งานได้สองลักษณะ คือ การประยุกต์ใช้วงจรไตรสเตทบัฟเฟอร์ในการเชื่อมต่อในระบบบัสข้อมูล และการประยุกต์ใช้ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

งานวงจรโทรศัพทบัฟเฟอร์ในการเชื่อมต่อกับสายนำสัญญาณ เพื่อปรับปรุงประสิทธิภาพของระดับสัญญาณดิจิทัลให้ทำงานกว้างเต็มช่วง

7.7.1 ผลการทดสอบการประยุกต์ใช้วงจรโทรศัพทบัฟเฟอร์ที่นำเสนอในการเชื่อมต่อในระบบบัสข้อมูล

ผลจากการทดสอบการจำลองการทำงานของการทำงานของการประยุกต์ใช้วงจรโทรศัพทบัฟเฟอร์ในการเชื่อมต่อในระบบบัสข้อมูล วงจรโทรศัพทบัฟเฟอร์ที่ได้นำเสนอสามารถทำงานด้วยอัตราเร็วในการส่งข้อมูลสูงสุด 2.5 Gbps โดยทำการทดสอบด้วยอัตราเร็วในการส่งข้อมูลผ่านตั้งแต่ 0.5 - 2.5 Gbps ซึ่งวงจรสามารถทำหน้าที่เป็นบัฟเฟอร์ได้ข้อมูลยังไม่เกิดความผิดเพี้ยน แต่ที่อัตราเร็วในการส่งข้อมูลที่สูงกว่า 2.5 Gbps ขึ้นไปข้อมูลที่ส่งผ่านวงจรโทรศัพทบัฟเฟอร์จะมีความผิดเพี้ยนของบิตข้อมูล เนื่องจากค่าเวลากระประวิงที่สูงขึ้นที่เกิดจากตัววงจร จึงทำให้ข้อมูลที่ส่งผ่านผิดพลาด และในการทดสอบนี้ใช้วงจรโทรศัพทบัฟเฟอร์สามชุดโดยกำหนดค่าเวลาการทำงานของวงจรโทรศัพทแต่ละตัวที่แตกต่างกัน ดังนั้นข้อมูลที่ได้จากบัสข้อมูลจึงมีค่าของข้อมูลจากอินพุตข้อมูลของวงจรโทรศัพททั้งสามตามค่าเวลาที่กำหนดไว้ ในการควบคุมสภาวะการทำงานของวงจรโทรศัพทแต่ละตัว ที่ระดับแรงดัน 4 มิลลิโวลต์ จะเป็นสภาวะแรงดันที่วงจรทำงานอยู่ในสภาวะ Hi-z

7.7.2 ผลการทดสอบการประยุกต์ใช้งานวงจรโทรศัพทบัฟเฟอร์ที่นำเสนอในการเชื่อมต่อกับสายนำสัญญาณ เพื่อปรับปรุงประสิทธิภาพของระดับสัญญาณดิจิทัลให้ทำงานกว้างเต็มช่วง

ผลการทดสอบการประยุกต์ใช้งานวงจรโทรศัพทบัฟเฟอร์ในการเชื่อมต่อกับสายนำสัญญาณ เพื่อปรับปรุงประสิทธิภาพของระดับสัญญาณดิจิทัลให้ทำงานกว้างเต็มช่วง วงจรโทรศัพทสามารถปรับปรุงระดับของสัญญาณที่ถูกลดทอนลงภายในสายนำสัญญาณ ให้กลับมาอยู่ในระดับที่สวิงเต็มช่วงได้ เงื่อนไขในการทดสอบที่สำคัญคือ ชนิดของสายนำสัญญาณ และประสิทธิภาพของสายนำสัญญาณ ความถี่ของสัญญาณที่ถูกส่งผ่านสายนำสัญญาณ และระยะความยาวของสายนำสัญญาณ ซึ่งจะส่งผลกระทบต่อคุณภาพของสัญญาณที่วงจรสามารถปรับระดับของสัญญาณกลับคืนมาเป็นสัญญาณสี่เหลี่ยมที่มีการแกว่งเต็มช่วง ในการทดสอบการประยุกต์ใช้งานวงจรโทรศัพทบัฟเฟอร์ที่กล่าวมาแล้วนั้น ได้นำสาย CAT5e มาใช้เป็นสายนำสัญญาณในการทดสอบ ผลจากการจำลองการทำงานดังกล่าว วงจรโทรศัพทบัฟเฟอร์ที่ได้นำเสนอ สามารถปรับระดับสัญญาณกลับมาได้ในช่วงความถี่ 100 – 600 MHz เนื่องจากช่วงความถี่ดังกล่าวเป็นแถบความกว้างของความถี่สูงสุดของสาย CAT5e ที่ความถี่ 100 MHz สามารถส่งสัญญาณดิจิทัลและปรับระดับสัญญาณกลับได้ไกลสุดที่ระยะ 60 เมตร ที่ความถี่ 200 MHz สามารถส่งสัญญาณ

ดิจิตอลและปรับระดับสัญญาณกลับได้ไกลสุดที่ระยะ 30 เมตร ที่ความถี่ 300 MHz สามารถส่งสัญญาณดิจิตอลและปรับระดับสัญญาณกลับได้ไกลสุดที่ระยะ 20 เมตร ที่ความถี่ 400 MHz สามารถส่งสัญญาณดิจิตอลและปรับระดับสัญญาณกลับได้ไกลสุดที่ระยะ 20 เมตร ที่ความถี่ 500 MHz สามารถส่งสัญญาณดิจิตอลและปรับระดับสัญญาณกลับได้ไกลสุดที่ระยะ 10 เมตร และที่ความถี่ 600 MHz สามารถส่งสัญญาณดิจิตอลและปรับระดับสัญญาณกลับได้ไกลสุดที่ระยะ 10 เมตร

เนื่องจากวงจรสามารถทำงานที่ความถี่สูงสุด 2.5 GHz ดังนั้นขีดความสามารถในการส่งผ่านข้อมูลถึงสามารถส่งผ่านด้วยอัตราเร็ว 2.5 Gbps แต่ไม่สามารถปรับระดับสัญญาณที่ความถี่สูงกว่า 600 MHz ได้เนื่องจากข้อจำกัดของสาย CAT5e ที่มีแถบความกว้างของความถี่เพียง 600 MHz ซึ่งวงจรสามารถทำงานได้ด้วยความถี่ที่สูงกว่า แต่คุณภาพสัญญาณดิจิตอลที่ได้นั้นจะไม่มีลักษณะที่เป็นสัญญาณสี่เหลี่ยม จึงนำวงจรซิมิทริกเกอร์เข้ามาช่วยในการปรับสัญญาณให้เป็นสัญญาณสี่เหลี่ยม โดยใช้วงจรซิมิทริกเกอร์แบบซิมอสในรูปแบบทั่วไป ดังนั้นสัญญาณจะเกิดการค่าเวลาประวิงการแพร่กระจายที่สูงอันเนื่องมาจากการส่งภายในสายนำสัญญาณและวงจรไทรสเททป์ฟเฟอร์รวมทั้งวงจรซิมิทริกเกอร์ ซึ่งเป็นสาเหตุในการการประวิงเวลาการแพร่กระจายที่สูง

7.7.3 การทดสอบการจำลองการลดระดับแรงดันของสัญญาณไซน์จากการแกว้างเต็มช่วง เพื่อจำลองการส่งสัญญาณผ่านสายนำสัญญาณที่ความถี่สูงของวงจรไทรสเททป์ฟเฟอร์ที่นำเสนอ

ผลการทดสอบการจำลองการลดระดับแรงดันของสัญญาณไซน์ จากการแกว้างเต็มช่วงเพื่อจำลองการส่งสัญญาณผ่านสายนำสัญญาณที่ความถี่สูงของวงจรไทรสเททป์ฟเฟอร์ ซึ่งทำการทดสอบที่ความถี่ 500 MHz, 1 GHz, 1.5 GHz, 2 GHz และ 2.5 GHz เพื่อจำลองผลการทดสอบในกรณีการเชื่อมต่อกับวงจรไทรสเททป์ฟเฟอร์เข้ากับสายนำสัญญาณ ซึ่งสัญญาณที่ปลายสายที่ได้นั้นจะมีลักษณะคล้ายกับสัญญาณไซน์ และมีการลดทอนขนาดแรงดันของสัญญาณ ผลจากการทดสอบการจำลองดังกล่าว ได้แสดงให้เห็นว่าวงจรไทรสเททป์ฟเฟอร์ที่นำเสนอ สามารถทำงานได้ถึงแม้จะมีการลดทอนสัญญาณลงที่ความถี่สูงสุด 2.5 GHz แต่วงจรยังสามารถทำงานให้ระดับสัญญาณเอาต์พุตที่แกว้างเต็มช่วงได้ ที่ระดับแรงดันอินพุตที่มีการแกว้างมากกว่าในช่วง 0.35 – 0.45 โวลต์ ที่การแกว้างของระดับแรงดันอินพุตมีค่าเท่ากับ 0.35 – 0.45 โวลต์ สัญญาณเอาต์พุตจะเริ่มลดลงต่ำกว่าระดับแรงดันที่มีการแกว้างเต็มช่วง และระดับแรงดันเอาต์พุตที่มีการแกว้างน้อยกว่า 0.35 – 0.45 โวลต์ ระดับแรงดันเอาต์พุตจะลดต่ำลงตามระดับแรงดันอินพุต

อย่างไรก็ตาม วงจรไทรสเททป์ฟเฟอร์ที่นำเสนอจะทำงานให้ระดับแรงดันของสัญญาณเอาต์พุตที่มีการแกว้างเต็มช่วงได้ จำเป็นต้องใช้ระดับแรงดันอินพุตที่มีค่าแรงดันในการ

แกว่งมากกว่า 0.1 โวลต์ วงจรไดรสเตอร์บัพเฟอร์ที่นำเสนอจึงจะสามารถทำงานให้ระดับแรงดันเอาต์พุตที่มีการแกว่งเต็มช่วงได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

- [1] J. W. Bignell and R. Donovan, **Digital Electronics**. Thomson Learning, 2007.
- [2] S. M. Kang and Y. Leblebici, **CMOS Digital Integrated Circuits**. 3rd ed., McGraw-Hill, 2003.
- [3] N. H. E. Weste and K. Eshragian, **Principles of CMOS VLSI Design – A System Perspective**. 2nd ed., Addison-Wesley, 1994.
- [4] S. M. Kang, **CMOS Digital Integrated Circuit; Analysis and Design**. 2nd ed., McGraw-Hill, 1999
- [5] S. S. Rofal and K. S. Yeo, “**Low-Voltage, Low Power Digital BiCMOS Ciecuits**,” New Jersey: Prentice Hall PTR, 2000.
- [6] J. E. Ayers, **Digital Integrated Circuit Analysis and Design**. CRC Press LLC, 2001.
- [7] National Semiconductor, **CMOS logic data book**. National Semiconductor, 1988.
- [8] J.B. Kuo and H.J. Liao, “**A BiCMOS tristate buffer**,” IEEE J. Solid-State Circuits, vol.40, pp 440-443, Jul., 1993.
- [9] Y. Nishio, F. Murabayashi, S. Kotoku, A. Watanabe, S. Shukuri, K. Shimohikashi, “**A BiCMOS logic gate with positive feedback**,” ISSCC Tech. Dig., pp 116-117, Feb., 1989.
- [10] H.J.Y. Shin, “**Full-swing BiCMOS Circuits with complementary emitter-follow drive configuration**,” IEEE J. Solid-State Circuits, vol. 26, pp. 578-584, Apr., 1991.
- [11] H.J.Y. Shin, “**Performance comparison of driver configuration and full swing techniques for BiCMOS logic circuits**,” IEEE J. Solid-State Circuits, vol. 25, pp. 863-865, Sep., 1992.
- [12] C. Suriyaammaranon, K. Dejhan, F. Cheevasuvit and C. Soonyeeakan, “**A high speed and low voltage BiCMOS tristate buffer with positive and negative charge pump**,” Proc. of the 7th IEEE International Conference on Electronics, Circuits and Systems (ICECS’2K), Lebanon, December 17-20, 2000.
- [13] C.-H. Lin, **Compact modeling of nanoscale CMOS**. Electrical Engineering and Computer Sciences, University of California at Berkeley, pp. 124-132, Dec. 2007
- [14] John E.Ayers, **Digital Integrated Circuit Analysis and Design**. CRC Press LLC, 2003.



ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.

ค่าพารามิเตอร์ของ 22 nm BiCMOS

ตารางที่ ก.1 ค่าพารามิเตอร์ของ 22 nm BiCMOS

Mos transistor model parameter			
Name of value	PMOS	NMOS	Unit
V_{th0}	-0.4606	0.50308	V
V_{off}	-0.126	-0.13	V
V_{fb}	0.55	-0.55	V
P_{avg}	1×10^{-20}	1×10^{-20}	W
T_{nom}	27	27	°C
T_{oxe}	1.10	1.05	
T_{oxp}	0.8	0.8	nm
T_{oxm}	1.10	1.05	nm
T_{oxeref}	1.10	1.05	nm
D_{iox}	0.3	0.25	nm
n Factor	2.1	2.3	
E_{ia0}	0.0038	0.004	cm^2 / Vs
U_0	0.0095	0.04	Ω / m
R_{sh}	5	5	
R_{sw}	72.5	75	Ω / m
R_{dsw}	145	145	Ω / m
R_{sw}	72.5	75	Ω / m
C_{gso}	650	650	pF / m
C_{gdo}	650	650	pF / m
C_{gho}	256	256	pF / m
C_{gdl}	26.53	26.53	pF / m
C_{gsl}	26.53	26.53	pF / m

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bipolar transistor model parameter

Name of value	NPN	PNP	Unit
β_F	150	100	
V_{AF}	33	11	V
I_S	1×10^{-16}	6×10^{-17}	A
I_{SE}	1.5×10^{-15}	2×10^{-15}	A
I_{SC}	5×10^{-16}	5×10^{-16}	A
I_{KF}	6×10^{-2}	2×10^{-2}	A
I_{KR}	3×10^{-2}	1×10^{-2}	A
C_{JS}	1.48×10^{-13}	7.5×10^{-14}	pF
C_{JC}	1.4×10^{-5}	7.5×10^{-6}	pF
C_{JE}	0.14	4	μF
R_B	4	2	Ω
R_C	0.5	1	Ω
R_E	0.2	1	Ω

CAT5e3m model parameter

Name of value	Value	Unit
L_O	3.19×10^{-6}	mH
C_O	1.6908×10^{-23}	pF
R_O	0	Ω
G_O	0	dBm
R_S	0.00084	Ω
G_D	3.213×10^{-133}	dBm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ก.2 แสดงค่า W/L ของวงจรที่ใช้งานในบทที่ 4

MOS Transistor [nm]	CMOS	Conventional BiCMOS	BiCMOS with Charge pump	Proposed Circuit
M1	120	660	120	120
M2	60	440	60	60
M3	220	660	120	120
M4	220	660	60	60
M5	90	440	220	220
M6	90	440	90	90
M7	90	660	220	220
M8	90	660	90	90
M9	220	440	660	660
M10	220	440	440	440
M11	220	660	660	660
M12	90	440	440	440
M13		440	660	
M14		440	440	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



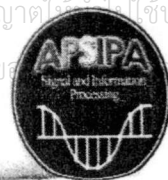
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2010 International Workshop on Information Communication Technology



August 24-25, 2010

King Mongkut's Institute of Technology
Ladkrabang, Bangkok, Thailand



A High Speed and Low Voltage BiCMOS Tristate Buffer without Charge Pump

Nattawat Phumpanyarut, Kobchai Dejhan, Siraphop Tooprakai and Sompob Thientong

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang, Bangkok 10520, Thailand
E-mail: nat_49tel@hotmail.com, {kobchai, siraphop}@telecom.kmitl.ac.th, thientong28@hotmail.com
Tel: 66-2-3298300, Fax: 66-2-3298303

Abstract— A novel high speed and low voltage BiCMOS tristate buffer without positive and negative feedback is presented. A circuit operates on high speed at low voltage without charge pump technique, storage full swing signal properties with technique designed on 22 nm technology. The single MOS driving with pass transistor technique is used to increase the driving capability; the MOS drives current directly to the bipolar transistor. The simulation can be done by testing circuit on HSpice program simulator and shown result when compared with the previous circuits.

I. INTRODUCTION

The tristate buffers are extensively used as a bus in digital systems such as microprocessor, ASIC and memories etc. While one device is sending on the bus, all other sending devices should be disconnected because sending data is electrical transmitted, one device to other devices have been broken. Also, the protection for all devices suffer derogation from reverse out signal by using other devices block connected output. Thus, the tristate buffer use to solve the problem from the properties can be setting the output buffer of those devices in high impedance state (Hi-z) that effectively disconnects the gate from output wire. Such a buffer has three possible states that are 0, 1 and Hi-z, so called a tristate buffer. Owing to wires connected to a bus, a large capacitive load driving capability is one of the most importance properties of tristate buffer. BiCMOS is an option to this requirement and substantially improve compared with standard CMOS.

The BiCMOS properties are used to drive the large capacitive load, high speed operation more than CMOS. Also, BiCMOS implement to multi devices such as RAM, gate array, ASIC etc. As VLSI technology is scaled down to deep-submicron, the supply voltage is also scaled down. The scaling supply voltage is compulsory to protect the breakdown voltage and hot electron problem as well as to reduce the power dissipation. It is extensively known that the speed degradation at low supply voltage is the major limitation factor for both CMOS and BiCMOS in submicron technologies. While the conventional BiCMOS is known that it is not applicable on low supply voltage operation, the major cause of this degradation is the $2V_{BE}$ loss in voltage swing. In order to overcome such a limitation, several BiCMOS circuit configurations [1-3] have been proposed.

Deep-submicron technology are developed to scale down the size of MOS transistor and scale down the voltage supply for repairable qualification in operation at low voltage with high speed of CMOS and BiCMOS technologies. The abbreviation name of MOS transistors called "FinFET" [4]. From these properties can be used to design the high speed circuit and used for low supply voltage less than 1 V. However, MOS transistors cannot drive large capacitive load with high speed output circuit.

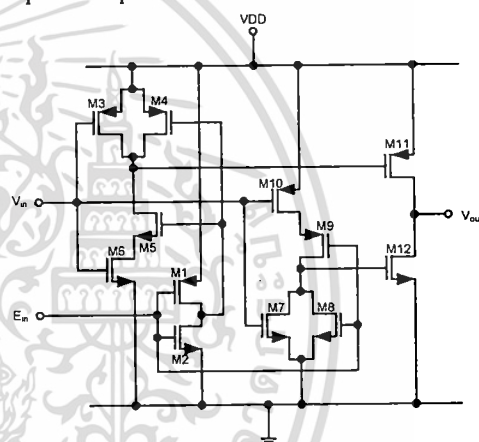


Fig.1. General CMOS tristate buffer circuit

A general CMOS tristate circuit configuration is shown in fig. 1 [5]. It can be simplified to be internal NAND and NOR gate which controls a pair of CMOS transistor to drive the output. One of the inputs is enable pin. While the enable logic is high, both driving transistors are turn-off. For this reason, the output is high impedance (Hi-z) state. On the other hand, while the enable logic is low, the circuit acts as a simple buffer circuit. However, the CMOS driver suffers from the limited driving current while the supply voltage is low and large capacitive load.

In order to improve the driving capability when the capacitive load is large, the BiCMOS circuit configuration has been proposed [6]. Its circuit configuration has been shown in fig. 2. The conventional BiCMOS circuit technique has been used while the similar concept with a general CMOS tristate circuit which neither is NOR gate driving technique has been used to drive base current of a pull up bipolar transistor.

At the same time, another NOR gate has been used to control the NMOS transistor to drive the base current of a pull down PN bipolar transistor with another NMOS transistor is used to discharge the base current which is controlled by a small inverter. While the output of a NOR gate which is the input of a small inverter is high, output inverter is low and discharge NMOS is to turn-off. However the circuit performance is degraded by voltage loss due to base-emitter turn-on voltage. Thus, the full swing operation could not be accomplished. The pull up base current is dominated by two of PMOS transistors that cause the degradation of current capability. Hence, the large area of transistor is required to get the higher base current, it is driven by output node which suffers from one V_{BE} loss. With another V_{BE} loss due to pull down transistor itself, the pull down circuit suffers from $2V_{BE}$ loss. Hence, this circuit is not applicable for low voltage operation.

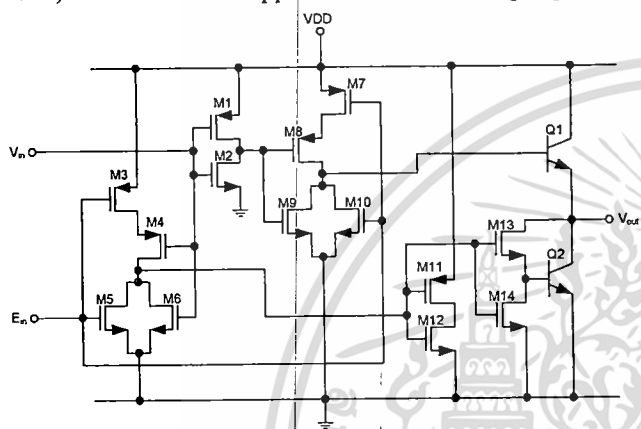


Fig.2. The conventional BiCMOS tristate buffer circuit

In order to improve a high speed, low voltage supply and the driving capability as well as symmetrical transfer characteristics, the complementary BiCMOS with positive and negative charge pump technique. The circuit configuration as shown in fig. 3 [7], the BiCMOS with charge pump circuit has been used MOS transistor to implement the small inverter input signal in conjunction with positive and negative feedback through C_{pump} and MOS transistors pair with large inverter driving base current, small inverter enable signal. The control state by MOS transistor pair for open and closed driving signal to large inverter, then can be used to configuration circuit to high impedance. Output state has been used complementary bipolar transistors for driving the large capability load but it has the base current divided from base of bipolar transistor to gate of MOS transistor. Also the base current for driving bipolar transistor has loss, the current loss driving MOS transistors for charge capacitors. At high speed operation, timer charge to capacitor is very less then it cannot operate the full swing operation because at high speed capability indirect variation to frequency, also capacitor virtual capability load into circuit while the additional load is put into circuit, timer operation increase than the low speed operation. The BiCMOS tristate buffer with positive and negative charge pump circuit use the high power consumption.

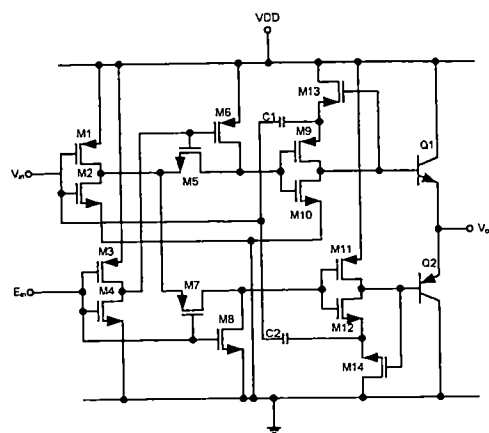


Fig.3. BiCMOS tristate buffer with positive and negative charge pump circuit

II. CIRCUIT OPERATION

As shown in fig. 4, the proposed high speed and low voltage BiCMOS tristate buffer with full swing operation, a complementary bipolar transistor without charge pump is presented. A symmetrical transfer characteristic curve with rail to rail by bipolar transistors driving is achieved. In the similar properties, a single PMOS transistor driven NPN bipolar transistor and single NMOS transistor driven PNP bipolar transistor direct are used during pull up and pull down, respectively. The circuit operations can be separated in two portions. The first portion is the controlling signal circuit. It consists of eight transistors M1 to M8. M1 and M2 are used to generate the inverting signal from input pin. M3 and M4 are used to generate inverting signal from enable/disable pin. The input and output of this inverter work together in order to control a pair of pass transistor and pull up/down transistor alternately. M5 and M7 are pass transistors used to isolate between input and output during disable. Both of them turn on and pass input through the circuit during enable. M6 is used to turn off M9 and turn on M10 at the same time M11 will be turned on and M12 will be turned off by M8 during disable. From this reason, the base of NPN (Q1) and PNP (Q2) will be absolute low and high, respectively to make sure the bipolar transistors absolutely turn off during disable. On the other hand, both M6 and M8 will be turn off and can be ignored during enable. The last portion is the driving circuit; it consists of a pair of NPN and PNP bipolar transistors Q1 and Q2, respectively. They will work together with two pairs of CMOS M9, M10 and M11, M12 inverters. M9 is used to turn on bipolar transistor NPN Q1 to pull up output as M12 is used to turn on bipolar transistor PNP Q2 to pull down alternately. M10 and M11 are used to discharge the base storage charge in bipolar transistors during turn off alternately. Q1 and Q2 are used to enhance the driving capability for high speed and large capacitive load output circuit.

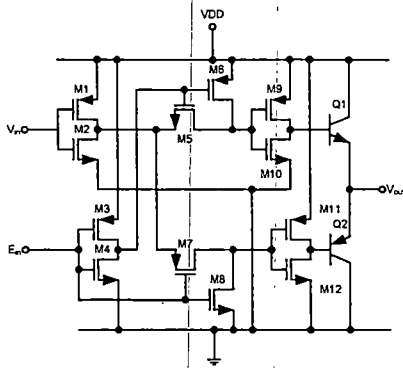


Fig.4. The proposed BiCMOS tristate buffer without charge pump circuit

III. RESULT

The simulated output voltage waveforms of a general CMOS (CMOS), Conventional BiCMOS (C_BiCMOS), complementary BiCMOS tristate buffer with positive and negative charge pump technique (P_BiCMOS) and the new proposed BiCMOS tristate buffer without charge pump with output capacitive load at 1 pF with signal input frequency 400 MHz and 2.2GHz has been shown in fig.5 and fig.6, respectively.

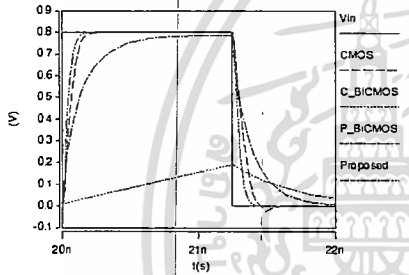


Fig.5. Input and output signal of proposed circuit and previous circuits at 400 MHz, 0.8 volts supply voltage and 1pF load capacitance.

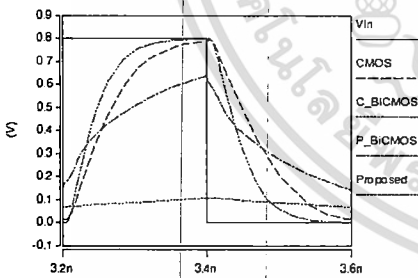


Fig.6 Input and output signal of proposed circuit and previous circuits at 2.2 GHz, 0.8 volt supply voltage and 1pF load capacitance.

The proposed BiCMOS circuit shows low propagation delay more than previous circuits at 2.2 GHz input signal frequency at supply voltage 0.8 V with variable output capacitive load has been shown in fig.7, at output capacitive load 1 pF with variable supply voltage has been shown in fig. 8 and at 1 pF output capacitive load at 2.2 GHz input signal frequency with various technologies have been shown in fig. 9.

The proposed BiCMOS circuit is used with the power consumption is less than BiCMOS circuit all other at 2.2 GHz input signal frequency with variable capacitive load at 0.8 V supply voltage has been shown in fig. 10, variable supply voltage at 1 pF capacitive load has been shown in fig. 11 and 400 MHz input signal frequency with various technologies at 1pF capacitive load has been shown in fig. 12.

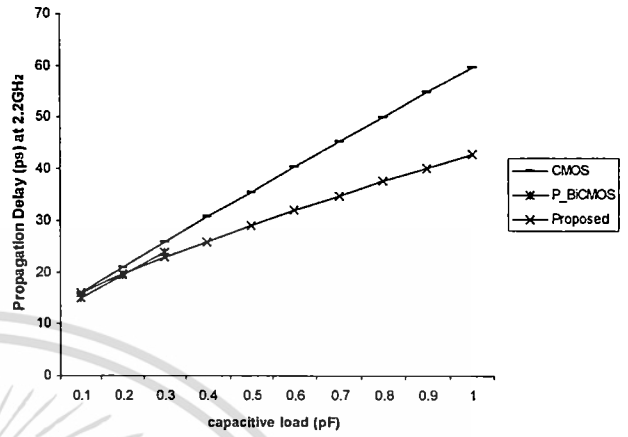


Fig.7. Comparison of propagation delay vs. capacitive load

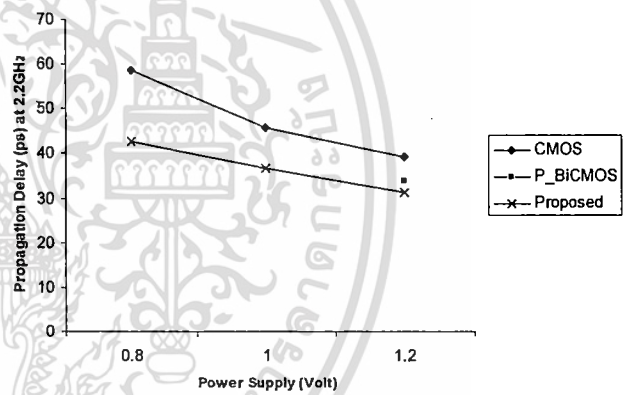


Fig.8. Comparison of propagation delay vs. supply voltage

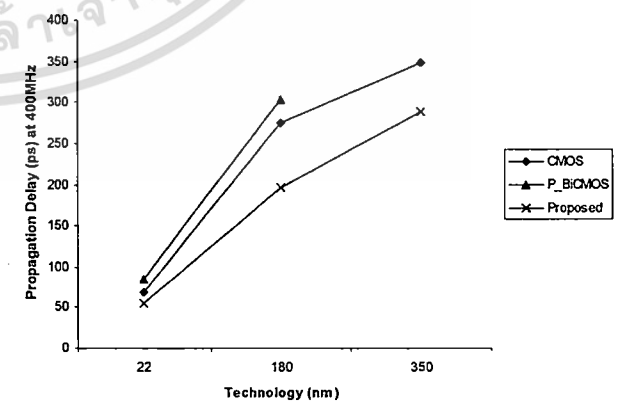


Fig.9. Comparison of propagation delay vs. technology

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

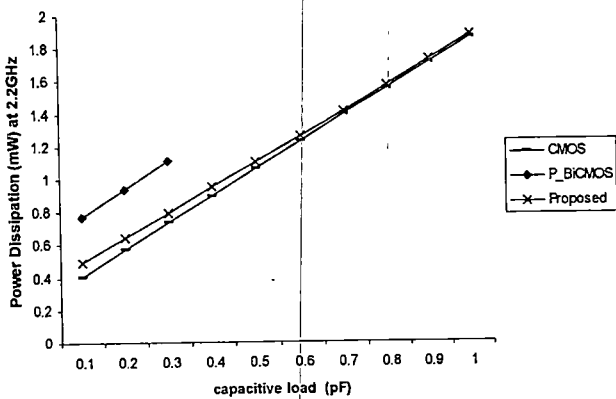


Fig.10. Comparison of power dissipation vs. capacitive load

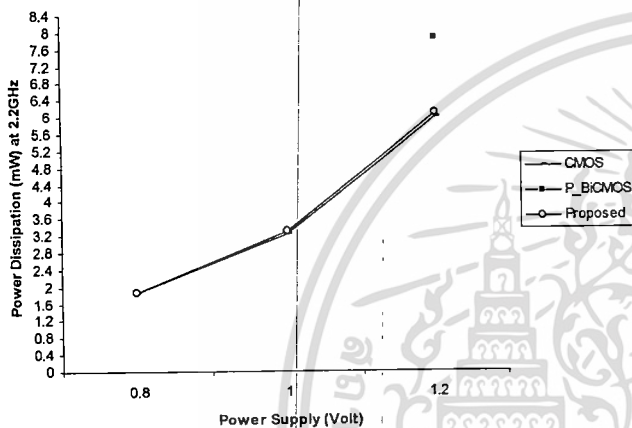


Fig.11. Comparison of power dissipation vs. supply voltage

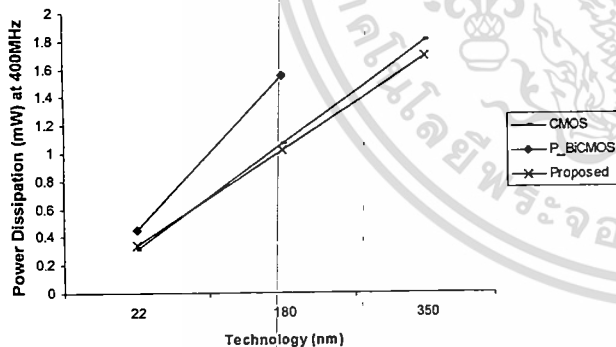


Fig.12. Comparison of power dissipation vs. technology

IV. CONCLUSIONS

Another design of BiCMOS and general CMOS tristate buffer circuit has been presented in this paper. It shows the superior performance at high speed switching and low power consumption all the previous circuits. From these results can be summarized that the delay time of new BiCMOS is less

than CMOS about 29.082% and used power consumption of CMOS is less than BiCMOS about 0.0903%. Also a proposed BiCMOS tristate buffer is better than all other tristate buffer of the previous circuits. At 0.7 volts supply voltage, the proposed circuit can be operating but it has high propagation delay time. However, those BiCMOS circuits cannot operate at 0.6 volts supply voltage because in BiCMOS circuits have bipolar transistors then these circuits cannot operate with voltage supply less than V_{BE} voltage. The V_{BE} voltage is equal 0.7 volts. Also, development CMOS is high technology but cannot development BiCMOS circuits operate at supply voltage less than V_{BE} voltage.

ACKNOWLEDGMENT

The authors would like to thank sincere to the Telecommunications Research and Industrial Development Institute (TRIDI) of The Office of National Telecommunications Commission of Thailand (NTC) for kind supporting the equipments of the research laboratory.

REFERENCES

- [1] Y. Nishio, F. Murabayashi, S. Kotoku, A. Watanabe, S. Shukuri, K. Shimohikashi, "A BiCMOS logic gate with positive feedback," ISSCC Tech. Dig., pp 116-117, Feb., 1989.
- [2] H.J.Y. Shin, "Full-swing BiCMOS Circuits with complementary emitter-follower drive configuration," IEEE J. Solid-State Circuits, vol. 26, pp. 578-584, Apr., 1991.
- [3] H.J.Y. Shin, "Performance comparison of driver configuration and full swing techniques for BiCMOS logic circuits," IEEE J. Solid-State Circuits, vol. 25, pp. 863-865, Sep., 1992.
- [4] C.-H. Lin, "Compact modeling of nanoscale CMOS," Electrical Engineering and Computer Sciences, University of California at Berkeley, pp. 124-132, Dec. 2007.
- [5] National Semiconductor, CMOS logic data book, National Semiconductor, 1988.
- [6] J.B. Kuo and H.J. Liao, "A BiCMOS tristate buffer," IEEE J. Solid-State Circuits, vol.40, pp 440-443, Jul., 1993.
- [7] C. Suriyaammaranon, K. Dejhan, F. Cheevasuvit and C. Soonyeekan, "A high speed and low voltage BiCMOS tristate buffer with positive and negative charge pump," Proc. of the 7th IEEE International Conference on Electronics, Circuits and Systems (ICECS'2K), Lebanon, December 17-20, 2000.

ประวัติผู้เขียน

นายณัฐวัฒน์ ภูมิปัญญารัตน์ เกิดเมื่อวันที่ 20 กรกฎาคม พ.ศ.2527 ที่จังหวัด กรุงเทพมหานคร สำเร็จการศึกษาปริญญาตรีวิศวกรรมศาสตรบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม จากภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังในปีการศึกษา 2549 และศึกษาในระดับปริญญาโทหลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ในปีการศึกษา 2552



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้