สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

# การออกแบบวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอลแบบซีมอส ที่ความถี่ต่ำและกินกำลังงานต่ำ

# Low-power Low-frequency CMOS Analog-to-Digital Converter

T119233

อารียา ปากบารา

AREEYA PAKBARA

เลขหมู่.....
เลขทะเบียน 119233
วัน,เดือน,ปี 6 S.A. 2554

b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2553

# Low-power Low-frequency CMOS Analog-to-Digital Converter

AREEYA PAKBARA

THIS THESIS IS SUBMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENT FOR THE DEGREE OF

BACHELOR OF ENGINEERING IN ELECTRONICS ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

ACADEMIC YEAR 2010

**ปริญญานิพนธ์เรื่อง** การออกแบบวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอลแบบซีมอสที่ความถี่ต่ำและกินกำลังงานต่ำ

(Low-power Low-frequency CMOS Analog-to-Digital Converter)

**จัดทำโดย** นางสาวอารียา ปากบารา รหัสประจำตัว 50011948

**อาจารย์ที่ปรึกษา** รศ.ดร.อภินันท์ ธนชยานนท์




ปริญญานิพนธ์ฉบับนี้ได้ผ่านการตรวจสอบโดยอาจารย์ที่ปรึกษาแล้ว

ลงชื่อ.....อาจารย์ที่ปรึกษา

(รศ.ดร.อภินันท์ ธนชยานนท์)

วันที่...../...../.....

# การออกแบบวงจรแปลงสัญญาแอนะล็อกเป็นสัญญาณดิจิตอลที่ความถี่ต่ำและกินกำลังงานต่ำ

นางสาวอารียา ปากบารา รหัส 50011948
รศ.ดร.อภินันท์ ธนชยานนท์ อาจารย์ที่ปรึกษา
ปีการศึกษา 2553

**บทคัดย่อ**

ปริญญานิพนธ์นี้เสนอการออกแบบวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอลแบบซีมอส โดยวงจรทำงานภายใต้แรงดันไฟเลี้ยงต่ำ และกินกำลังงานต่ำ เพื่อนำมาประยุกต์ใช้งานด้านเซนเซอร์ วงจรนี้เสนอการใช้เทคนิค Algorithmic Cyclic Logarithmic เนื่องจากต้องการอัตราการสุ่มสัญญาณ 1Kb/s และให้สัญญาณเอาท์พุทขนาด 6 บิต โดยวงจรทำงานภายใต้ไฟเลี้ยง 1.8 โวลต์ และจำลองการทำงานของวงจรด้วยโปรแกรม Cadence Spectre™ ด้วยเทคโนโลยีซีมอส 0.18 ไมโครเมตร

# Low-power Low-frequency CMOS Analog-to-Digital Converter

Miss.Areeya Pakbara ID.50011948

Assoc.Prof.Dr.Apinunt Thanachayanont Advisor

Education Year 2010

**Abstract**

This senior project describes the design and realization of low-power low-voltage CMOS logarithmic Analog-to-Digital converter (ADC) for sensor applications. The ADC employs the Algorithmic Cyclic technique with 1Kb/s sampling rate to achieve 6-bit digital output resolution. The 6-bit ADC was simulated by using Cadence Spectre™ with a 0.18 μm CMOS technology under a 1.8-V power supply voltage.

# กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้สำเร็จลุล่วงไปได้ด้วยดีด้วยคำแนะนำ คำสั่งสอน จากรองศาสตราจารย์ ดร.อภินันท์ ธนชยานนธ์ ซึ่งเป็นอาจารย์ที่ปรึกษา ข้าพเจ้ารู้สึกซาบซึ้งในความอนุเคราะห์จากท่าน และกราบขอบพระคุณเป็นอย่างสูง

ขอขอบคุณอาจารย์ภาควิชาอิเล็กทรอนิกส์ทุกๆ ท่านที่อบรบสั่งสอนให้ความรู้กับข้าพเจ้าและให้กำลังใจข้าพเจ้าตลอดมา

ขอขอบคุณพี่ทั้งสองคนในห้องปฏิบัติการวิจัย Pervasive Integrated Circuit And System On Chip (PICASSO©) ที่ให้คำปรึกษาและคำแนะนำ ดูแลเอาใจใส่ทั้งการทำปริญญานิพนธ์และเรื่องส่วนตัว ข้าพเจ้ารู้สึกอบอุ่นและดีใจที่ได้เจอพี่ทั้งสองคน

สุดท้ายนี้ขอขอบคุณคุณแม่ระพีพรรรณ พี่ชาย และสมาชิกในครอบครัวทุกท่าน ที่เป็นกำลังใจให้ข้าพเจ้าตลอดมา และส่งเสริมสนับสนุนในการเรียนของข้าพเจ้าจนถึงวันนี้

อารียา ปากบารา

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

# สารบัญ


หน้า

**บทคัดย่อ** I

**ABSTRACT** II

**กิตติกรรมประกาศ** III

**สารบัญ** IV

**สารบัญรูปภาพ** VI

**สารบัญตาราง** VIII

**บทที่ 1 บทนำ** 1

1.1 วัตถุประสงค์ของการศึกษา 1

1.2 ขอบเขตของการศึกษา 1

1.3 ผลที่คาดว่าจะได้รับ 1

1.4 ขั้นตอนของการศึกษา 2

**บทที่ 2 ทฤษฎีพื้นฐานที่เกี่ยวข้อง** 3

2.1 บทนำ 3

2.2 การแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอล (Analog-to-Digital Converter) 4

2.3 คุณสมบัติทาง Static ของ ADC 7

2.3.1 Offset error 9

2.3.2 Gain error 9

2.3.3 ความไม่เป็นเชิงเส้นผลรวม (Integral Nonlinearity:INL) 10

2.3.4 ความไม่เป็นเชิงเส้นผลต่าง (Differential Nonlinearity:DNL) 10

2.3.5 Monotonicity 11

2.4 คุณสมบัติทาง Dynamic ของ ADC 12

2.4.1 Dynamic Range (DR) 12

2.4.2 Signal-to-noise ratio (SNR) 12

2.4.3 Effective number of bits (ENOB) 13

2.5 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic 13

2.6 ADC เชิงเส้นแบบ Algorithmic Cyclic โหมดกระแส 15

2.7 ลอการิทึม ADC แบบ Algorithmic Cyclic โหมดกระแส 16

2.8 ทฤษฎีพื้นฐานของวงจรตามและคงค่าสัญญาณ (Sample-and-hold circuit) 18

2.9 หลักการของวงจรทรานลิเนียร์ 20
2.10 หลักการของวงจรสะท้อนกระแส 21
**บทที่ 3 โครงสร้างพื้นฐานที่นำเสนอ** 23
3.1 วงจรแปลงสัญญาณลอการิทึมแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic (Algorithmic Cyclic Logarithmic anolog-to-digital Convertor) 23
3.2 วงจรตามและคงค่าสัญญาณ(Sampling and hold Circuit : S/H) 24
3.3 วงจรเปรียบเทียบกระแส(Current Comparator Circuit) 27
3.4 วงจรยกกำลังสอง 30
**บทที่ 4 โครงสร้างวงจรที่นำเสนอและผลการจำลองการทำงาน** 36
4.1 บทนำ 36
4.2 โครงสร้างของวงจร Algorithmic Cyclic Logarithmic ADC 36
4.3 ผลการจำลองการทำงานของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic Logarithmic ADC 41
**บทที่ 5 สรุปผลการทดลองและข้อเสนอแนะ** 46
5.1 สรุปผลการทดลอง 46
5.2 ข้อเสนอแนะ 46
**บรรณานุกรม** 47

# สารบัญภาพ


| รูปที่ | หน้า |
|---|---|
| 2.1 ระบบควบคุมที่มีการประมวลผลข้อมูลแบบดิจิตอล | 3 |
| 2.2 แสดงบล็อกไดอะแกรมของการแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอล | 4 |
| 2.3 (a) สเปคตรัมของสัญญาณแอนะล็อกที่จะถูกสุ่ม | 5 |
| (b)สเปคตรัมของสัญญาณหลักจากการสุ่มเกิด frequency folding | 5 |
| 2.4 ความสัมพันธ์ระหว่างความละเอียดของข้อมูลกับอัตราการสุ่มสัญญาณ | 6 |
| 2.5 คุณลักษณะอินพุท-เอาท์พุทในอุดมคติของ ADC 3 บิต | 8 |
| 2.6 offset error ของ 3บิต ADC | 9 |
| 2.7 Gain error ของ 3 บิต ADC | 9 |
| 2.8 ตัวอย่าง INL และ DNL สำหรับ 3 บิต ADC | 10 |
| 2.9 ตัวอย่าง Nonmonotonic สำหรับ 3 บิต ADC | 11 |
| 2.10 ความสัมพันธ์ระหว่างฟังก์ชันเลขชี้กำลัง $m^{(.)}$ และฟังก์ชันลอการิทึม $\log_m(.)$ | 14 |
| 2.11 โครงสร้างของวงจรแปลงสัญญาณเชิงเส้นแอนะล็อกเป็นดิจิตอลแบบ Algorithmic | 15 |
| 2.12 โครงสร้างของวงจรแปลงสัญญาณลอการิทึมแอนะล็อกเป็นดิจิตอลแบบ Algorithmic | 16 |
| 2.13 คุณสมบัติการแปลงของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอล แบบ Algorithmic Cyclic | 17 |
| 2.14 แสดงการสุ่มสัญญาณ | 19 |
| 2.15 แสดงวงจรทรานลิเนียร์ลูป | 20 |
| 2.16 วงจรสะท้อนกระแสพื้นฐาน | 22 |
| 3.1 โครงสร้างของวงจรแปลงสัญญาณลอการิทึมแอนะล็อกเป็นดิจิตอล แบบ Algorithmic Cyclic | 23 |
| 3.2 วงจรตามและคงค่าสัญญาณพื้นฐาน | 24 |
| 3.3 วงจรตามและคงค่าสัญญาณพื้นฐานที่ใช้ในAlgorithmic Cyclic Logarithmic ADC | 25 |
| 3.4 ผลการจำลองการทำงานของวงจรตามและคงค่าสัญญาณ | 26 |
| 3.5 สัญญาณนาฬิกาที่ควบคุมการทำงานของวงจรตามและคงค่าสัญญาณ | 26 |
| 3.6 วงจรเปรียบเทียบกระแส | 27 |
| 3.7 วงจรเปรียบเทียบกระแสพื้นฐาน | 28 |
| 3.8 โครงสร้างของวงจรเปรียบเทียบกระแส | 28 |

**รูปที่** **หน้า**

3.9 แสดงการป้อนกระแสอินพุทเปรียบเทียบกับกระแสอ้างอิง (รูปบน) และการทำงานของวงจรเปรียบเทียบกระแส (รูปล่าง) 30
3.10 โครงสร้างของวงจรยกกำลังสอง 31
3.11 ผลการจำลองการทำงานแบบไฟตรงของวงจรยกกำลังสอง 33
3.12 ค่าความผิดพลาดของการจำลองการทำงานแบบไฟตรงของวงจรยกกำลัง 33
3.13 ผลการจำลองการทำงานแบบทรานเซียนของวงจรยกกำลังสอง 34
3.14 ค่าความผิดพลาดของผลการจำลองการทำงานแบบทรานเซียนของวงจรยกกำลังสอง 34
4.1 วงจร Algorithmic Cyclic Logarithmic ADC 36
4.2 โครงสร้างของวงจร Algorithmic Cyclic Logarithmic ADC 37
4.3 โครงสร้างของวงจรตามและคงค่าสัญญาณ (Sample-and-hold circuit) 39
4.4 โครงสร้างของวงจรเปรียบเทียบกระแส (Current comparator) 39
4.5 โครงสร้างของวงจรยกกำลังสอง 40
4.6 โครงสร้างของวงจรตามและคงค่าสัญญาณ (S/H1) 40
4.7 โครงสร้างของวงจรตามและคงค่าสัญญาณ (S/H2) 41
4.8 ผลการจำลองการทำงานของรหัสดิจิตอลเอาท์พุทเทียบกับกระแสอินพุท 44
4.9 ผลการจำลองการทำงานความไม่เป็นเชิงเส้นผลรวม (INL) 44
4.10 ผลการจำลองการทำงานความไม่เป็นเชิงเส้นผลต่าง (DNL) 45

# สารบัญตาราง


| ตารางที่ | หน้า |
|---|---|
| 2.1 ประเภทโครงสร้างของการแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอล | 6 |
| 2.2 รหัสตัวเลขสำหรับการเปลี่ยนข้อมูลแบบต่าง ๆ | 7 |
| 3.1 ขนาดทรานซิสเตอร์ของวงจร S/H | 27 |
| 3.2 ขนาดทรานซิสเตอร์ของวงจรเปรียบเทียบกระแส | 29 |
| 3.3 ขนาดทรานซิสเตอร์ของวงจรยกกำลังสอง | 35 |
| 4.1 ขนาดทรานซิสเตอร์ของวงจร Algorithmic Cyclic Logarithmic ADC | 42 |
| 4.2 ขนาดทรานซิสเตอร์ของวงจรวงจรตามและคงค่าสัญญาณ (Sample-and-hold circuit) และวงจรเปรียบเทียบกระแส (Current comparator) | 42 |
| 4.3 ขนาดทรานซิสเตอร์ของวงยกกำลังสองวงจรตามและคงค่าสัญญาณ (S/H1) และ (S/H2) | 43 |


สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

# บทที่ 1
# บทนำ

ในปัจจุบันนี้การประมวลผลสัญญาณดิจิตอลได้รับความนิยมเป็นอย่างมาก เนื่องจากการประมวลผลสัญญาณดิจิตอลมีข้อได้เปรียบกว่าการประมวลสัญญาณแบบแอนะล็อกหลายประการ เช่น ความสามารถในการโปรแกรมงานต่างๆ โดยไม่ต้องเปลี่ยนฮาร์ดแวร์ ทำให้มีความยืดหยุ่นในการประยุกต์ใช้งาน และผลกระทบของสัญญาณรบกวน (Noise) ที่มีต่อวงจรดิจิตอลน้อยกว่าผลกระทบที่มีต่อวงจรแอนะล็อก

แม้ว่าการประมวลสัญญาณดิจิตอลมีข้อได้เปรียบ แต่การประมวลผลสัญญาณแอนะล็อกยังคงมีความจำเป็น เนื่องจากสัญญาณในธรรมชาติเป็นสัญญาณแอนะล็อก กล่าวคือ สัญญาณมีการเปลี่ยนแปลงต่อเนื่องตลอดเวลา ดังนั้นจำเป็นที่เราจะต้องเปลี่ยนสัญญาณที่ต่อเนื่องทางเวลาให้เป็นสัญญาณที่ไม่ต่อเนื่องทางเวลา เพื่อทำการประมวลผลสัญญาณต่อไป

## 1.1 วัตถุประสงค์ของการศึกษา

ปริญญานิพนธ์ฉบับนี้มุ่งหวังเพื่อการศึกษา วิจัย ออกแบบ วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอลที่ความถี่ต่ำและกินกำลังงานต่ำ เพื่อประยุกต์ใช้งานด้านเซนเซอร์

## 1.2 ขอบเขตของการศึกษา

ปริญญานิพนธ์ฉบับนี้เสนอการออกแบบวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอลที่ความถี่ต่ำและกินกำลังต่ำ โดยในขั้นตอนแรกจะเป็นการศึกษาการทำงานของวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอลแบบต่างๆ หลังจากนั้นจะเลือกโครงสร้างของวงจรที่เราต้องใช้งานที่ความถี่ต่ำ โดยใช้คอมพิวเตอร์ในการจำลองการทำงานด้วยโปรแกรม Cadence Spectre™ ด้วยเทคโนโลยีซีมอสขนาด 0.18 μm

## 1.3 ผลที่คาดว่าจะได้รับ

มีความเข้าใจเกี่ยวกับการออกแบบและการทำงานของวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอลที่ความถี่ต่ำและกินกำลังงานต่ำ

## 1.4 ขั้นตอนของการศึกษา

เนื้อหาภายในปริญญานิพนธ์ฉบับนี้ กล่าวถึงทฤษฎีการออกแบบวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอลที่ความถี่ต่ำและกินกำลังงานต่ำ ซึ่งจะแบ่งเนื้อหาดังกล่าวออกเป็นบทต่างๆ ดังนี้

**บทที่ 1** เป็นบทนำของปริญญานิพนธ์ กล่าวถึงการประมวลผลสัญญาณ วัตถุประสงค์ของการศึกษา ขอบเขตของการศึกษา ผลที่คาดว่าจะได้รับ และขั้นตอนการศึกษา

**บทที่ 2** กล่าวถึงบทนำเกี่ยวกับการแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอล คุณสมบัติทาง Static และ Dynamic ของ ADC วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic ซึ่งแบ่งเป็นสองแบบคือแบบเชิงเส้นและแบบลอการิทึม ทฤษฎีพื้นฐานของวงจรตามและคงค่าสัญญาณ (Sample-and-hold circuit ) หลักการของวงจรทรานลิเนียร์ และหลักการของวงจรสะท้อนกระแส

**บทที่ 3** กล่าวถึงวงจรแปลงสัญญาณลอการิทึมแอนะล็อกเป็นดิจิตอลแบบอัลกอริธมิก ซึ่งประกอบไปด้วยโครงสร้างและการทำงานของวงจรสุ่มและคงค่าสัญญาณ (Sampling-and-hold circuit) วงจรเปรียบเทียบกระแส (Current Comparator Circuit) และวงจรยกกำลังสอง

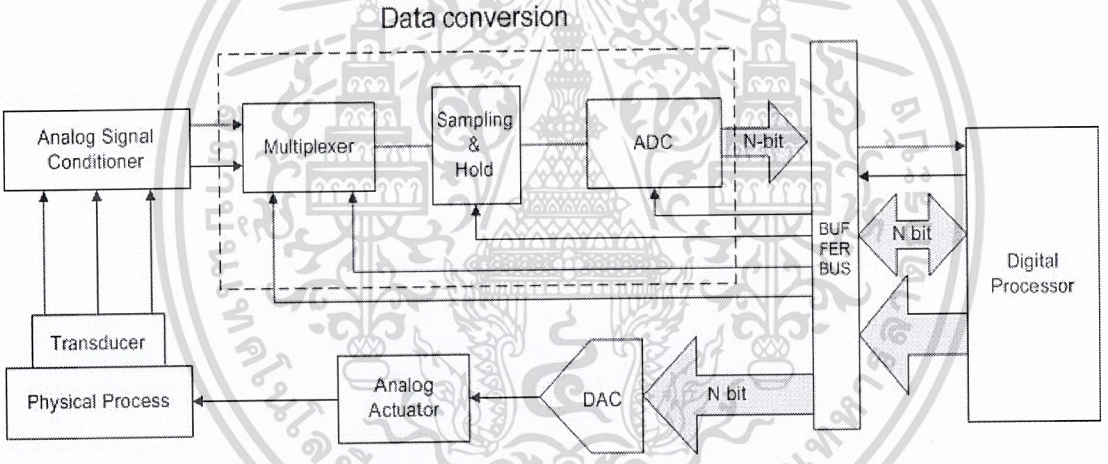
**บทที่ 4** กล่าวถึงโครงสร้างและผลการจำลองการทำงานของวงจร Algorithmic Logarithmic ADC 6-bit

**บทที่ 5** กล่าวถึงสรุปผลการทดลองและข้อเสนอแนะ

# บทที่ 2
# ทฤษฎีพื้นฐานที่เกี่ยวข้อง

## 2.1 บทนำ

รูปแบบสัญญาณไฟฟ้าที่เราพบเห็นและคุ้นเคยในชีวิตประจำวันจะอยู่ในรูปของสัญญาณที่ต่อเนื่องหรือที่เรียกว่าสัญญาณแอนะล็อก (Analog Signal) ซึ่งแต่เดิมการนำสัญญาณแอนะล็อกมาประมวลผล (Process) เพื่อให้มีรูปแบบที่เหมาะสมจะกระทำในแบบแอนะล็อก แต่เมื่อเทคนิคและอุปกรณ์การประมวลผลสัญญาณทางดิจิตอลได้รับการพัฒนาขึ้นมา พบว่าในรูปแบบดิจิตอล การประมวลผล เก็บ สื่อสาร และการนำเสนอกระทำได้ง่ายและมีประสิทธิภาพมากกว่า ดังนั้นการเปลี่ยนรูปแบบของสัญญาณ (Conversion) จึงมีความจำเป็นขึ้นมา [1] รูปที่ 2.1 เป็นตัวอย่างแสดงระบบควบคุมที่ใช้การประมวลผลข้อมูลในระบบดิจิตอล

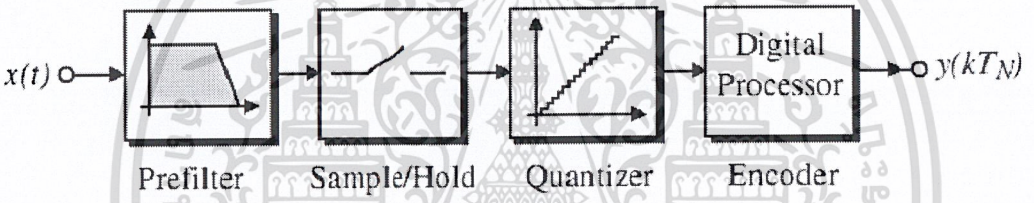



**รูปที่ 2.1** ระบบควบคุมที่มีการประมวลผลข้อมูลแบบดิจิตอล

จากรูปที่ 2.1 ในระบบที่ยกตัวอย่างนี้ เป็นการเปลี่ยนแปลงทางกายภาพในลักษณะใดๆก็ตาม (Physical Process) เช่น อุณหภูมิ ความดัน ความชื้น ฯลฯ จะถูกเปลี่ยนให้เป็นสัญญาณไฟฟ้าที่มีความต่อเนื่อง โดยทรานสดิวเซอร์ที่เหมาะสมกับรูปแบบทางกายภาพนั้น สัญญาณไฟฟ้าจะถูกปรับให้อยู่ในรูปแบบและขนาดที่เหมาะสมก่อนโดย Analog Signal Conditioner ซึ่งอาจจะเป็นวงจรขยาย หรือฟิลเตอร์ เป็นต้น ADC จะทำหน้าที่เปลี่ยนรูปแบบของสัญญาณ จากสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอล ตัวประมวลผลทางดิจิตอล (Digital Processor) เช่น คอมพิวเตอร์ จะจัดการกับข้อมูลเพื่อนำเสนอหรือถูกเปลี่ยนกลับมาอยู่ในรูปแบบของแอนะล็อกโดย DAC เพื่อป้อนกลับไปควบคุม Physical Process

## 2.2 การแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอล (Analog-Digital Converter)

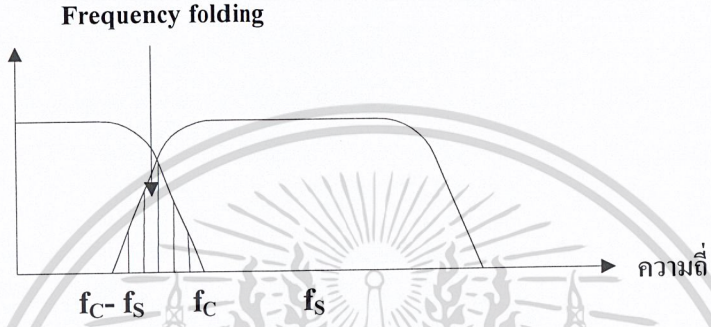
รูปที่ 2.2 แสดงบล็อกไดอะแกรมของ ADC ซึ่งมีรายละเอียดดังนี้ [2] พรีฟิลเตอร์ (Prefilter) จะทำฟิลเตอร์ความถี่ของสัญญาณแอนะล็อกก่อนการสุ่ม (Antialiasing filter) เพื่อหลีกเลี่ยงการซ้อนทับกันของสัญญาณที่ความถี่สูง ซึ่ง antialising filter จะทำหน้าที่จำกัดแบนด์วิธของสัญญาณที่เข้ามา เมื่อผ่าน antialising filter แล้วจะเข้าสู่วงตามและคงค่าสัญญาณ (Sample-and-hold circuit) ซึ่งจะคงค่าสัญญาณแอนะล็อกอินพุทให้มีค่าคงที่ในช่วงการเปลี่ยนเป็นรหัสดิจิตอลเอาท์พุท โดยในช่วงเวลานี้จะเรียกว่า เวลาในการเปลี่ยนรูปแบบของสัญญาณของ ADC ซึ่งขึ้นอยู่กับการแบ่งขั้นของระดับสัญญาณ (Quantization step) ขั้นของระดับสัญญาณจะมีจำนวน $2^N$ ขั้น โดยที่ N คือจำนวนบิทของดิจิตอลเอาท์พุท โดยที่ขั้นของระดับสัญญาณจะสัมพันธ์กับการสุ่มสัญญาณอินพุท Quantizer จะเปลี่ยนสัญญาณที่ต่อเนื่องให้เป็นสัญญาณที่ไม่ต่อเนื่อง สุดท้ายจะเข้าสู่กระบวนการถอดรหัสเป็นดิจิตอลเอาท์พุท




**รูปที่2.2** แสดงบล็อกไดอะแกรมของการแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอล

จากทฤษฎีของการสุ่มสามารถอธิบายด้วยลักษณะรูปสเปคตรัมของสัญญาณ ในรูปที่ 2.3 โดยในรูปที่ 2.3 (a) แสดงให้เห็นสเปคตรัมของสัญญาณที่ถูกสุ่มซึ่งแบนด์วิธไม่เกิน $f_C$ ในขณะที่สัญญาณนี้จะถูกสุ่มด้วยความถี่ $f_S$ กระบวนการมอดูเลชั่นจะทำให้สเปคตรัมของสัญญาณสุ่มขยายกว้างออกจาก $f_S$ เป็น $2f_S$ , $3f_S$ , ... ได้เป็นดังรูปที่ 2.3 (b) ถ้าความถี่ของสัญญาณสุ่ม $f_S$ ไม่สูงพอสเปคตรัมบางส่วนของ $f_S$ จะซ้อนทับกับสเปคตรัมของสัญญาณที่ถูกสุ่ม ซึ่งเรียกว่า frequency folding หากเป็นเช่นนี้ก็จะทำให้เกิดความผิดเพี้ยนแก่สัญญาณแอนะล็อกจากการซ้อนทับกันของสเปคตรัม เมื่อสัญญาณถูกเปลี่ยนกลับให้อยู่ในรูปเดิม และถ้าเลื่อนความถี่ของการสุ่มสัญญาณให้สูงขึ้น จนโอกาสเกิดการซ้อนทับของสเปคตรัมหมดไป ($f_S - f_C = f_C$) การเปลี่ยนกลับมาของสัญญาณหลังจากถูกสุ่มก็ยังคงเหมือนเดิมได้

(a)




(b)

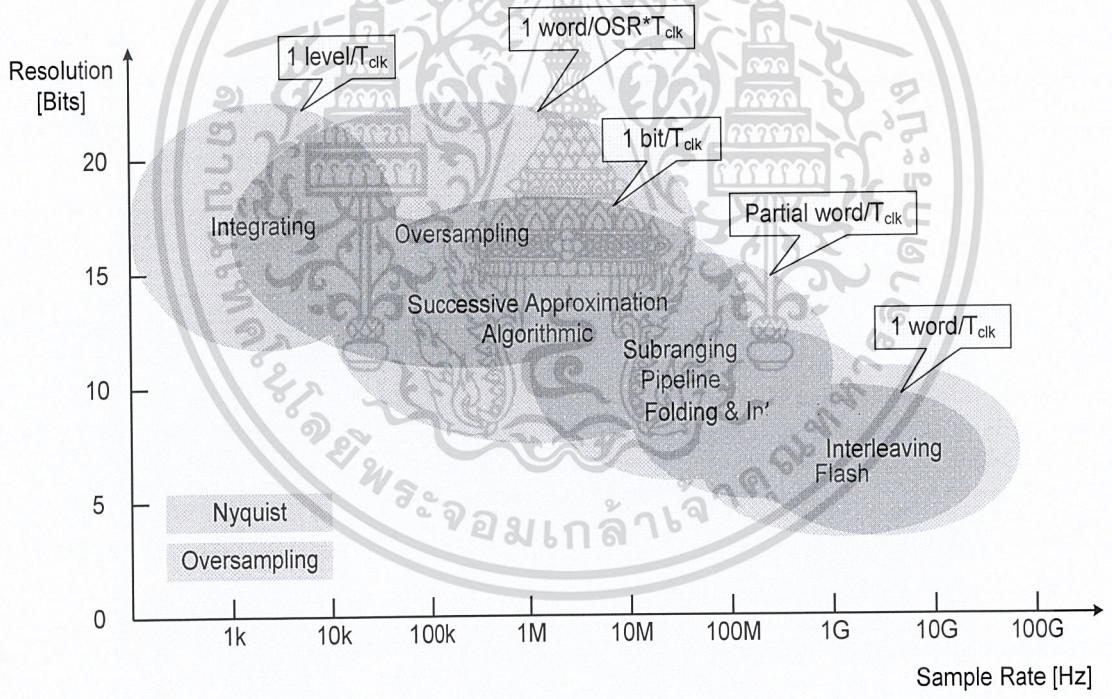
**รูปที่ 2.3** (a) สเปคตรัมของสัญญาณแอนะล็อกที่จะถูกสุ่ม
(b) สเปคตรัมหลังจากการสุ่มเกิด frequency folding

ทฤษฎีการสุ่มที่กล่าวไว้ว่า $f_S > 2f_C$ นั้นก็เพื่อกำจัดการซ้อนทับกันของสเปคตรัม ซึ่งทำได้สองวิธี คือ ด้วยการใช้อัตราการสุ่มที่สูงพอดังที่กล่าวมาข้างต้น อีกวิธีหนึ่งคือการทำฟิลเตอร์ความถี่ของสัญญาณแอนะล็อกก่อนการสุ่ม (Antialiasing filters) เพื่อจำกัดแบนด์วิธของสัญญาณที่จะถูกแปลงไม่ให้เกินไปกว่า $f_S/2$ ในทางปฏิบัติแล้ว จะยังคงเกิด frequency folding ได้เสมอจากส่วนฮาร์โมนิคของสัญญาณรวมทั้งสเปคตรัมของสัญญาณรบกวนที่ยังคงอยู่ แม้ว่าจะทำฟิลเตอร์มาก่อนหน้าแล้วก็ตาม วิธีที่จำกัดการซ้อนกันของสเปคตรัมของสัญญาณ คือ พยายามให้การสุ่มสัญญาณเป็นไปอย่างรวดเร็วมากที่สุด ซึ่งปกติจะสูงกว่าความถี่ต่ำสุด ตามทฤษฎีการสุ่มสัญญาณเสมอ

โครงสร้างของ ADC มีหลายประเภท โดยสามารถแบ่งตามการสุ่มสัญญาณได้เป็นสองประเภท คือ Nyquist ADC และ Oversampling ADC โดยที่ Nyquist ADC เป็นการสุ่มสัญญาณตามทฤษฎีการสุ่มของ Nyquist ซึ่งกล่าวไว้ว่า ถ้าสัญญาณต่อเนื่องที่มีความถี่และฮาร์โมนิคส์ไม่เกิน $f_C$ ถูกสุ่มด้วยอัตราการสุ่มไม่น้อยกว่า $2f_C$ แล้วสัญญาณดังกล่าวสามารถเปลี่ยนกลับมาได้อย่างเดิมโดยไม่สูญเสียรายละเอียดหรือผิดเพี้ยนไป ส่วน Oversampling ADC เป็น ADC ที่มีอัตราการสุ่มสัญญาณมากกว่า $2f_C$ ทำให้ได้ความละเอียดของข้อมูลสูงขึ้นเหมาะสำหรับ ADC ที่ต้องการความละเอียดสูง แต่จะทำให้แบนด์วิธของสัญญาณอินพุทลดลง

| อัตราการเปลี่ยนแปลงสัญญาณ | Nyquist ADC | Oversampling ADC |
|---|---|---|
| ช้า | Integrating | มีความละเอียดสูง > 14 บิท |
| ปานกลาง | Successive Approximation<br>1-bit Pipeline<br>Algorithmic | มีความละเอียดปานกลาง > 10 บิท |
| เร็ว | Flash<br>Multiple-bit pipeline<br>Folding and interpolating | มีความละเอียดต่ำ > 6 บิท |

**ตารางที่ 2.1** ประเภทโครงสร้างของการแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอล




**รูปที่ 2.4** ความสัมพันธ์ระหว่างความละเอียดของข้อมูลกับอัตราการสุ่มสัญญาณ [10]

เนื่องจากโครงสร้างของ ADC มีหลายแบบ ดังนั้นเราต้องเลือกโครงสร้างที่เหมาะสมในการใช้งาน ในการทดลองนี้เราต้องการใช้งาน ADC ที่ความถี่ต่ำและกินกำลังงานต่ำ ซึ่งมีความละเอียดของข้อมูล 6 บิต และอัตราการสุ่มสัญญาณ 1 kb/s ดังนั้นโครงสร้างที่มีคุณสมบัติดังกล่าวจะกล่าวถึงในหัวข้อถัดไป

## 2.3 คุณสมบัติทาง Static ของ ADC

อินพุทของ ADC เป็นสัญญาณแอนะล็อก [2] เช่น แรงดันแอนะล็อก และเอาท์พุทคือรหัสดิจิตอล ซึ่งแอนะล็อกอินพุทสามารถมีค่าในระหว่างศูนย์กับแรงดันอ้างอิง (0-$V_{REF}$) ในขณะที่รหัสดิจิตอลจะมีค่าที่จำกัด รหัสตัวเลขที่นิยมนำมาใช้ในระบบการเปลี่ยนข้อมูลแสดงดังตารางที่ 2.2 ประกอบด้วย รหัสไบนารี, thermometer, Gray และ two's complement รหัสตัวเลขที่นิยมนำมาใช้มากที่สุดในระบบการเปลี่ยนข้อมูลคือ รหัสไบนารี ซึ่งการแปลงแต่ละชนิดมีข้อดีและความเหมาะสมต่างกัน เช่น รหัส thermometer เหมาะสำหรับการแปลงสัญญาณที่ต้องการความละเอียดข้อมูลสูง เพราะข้อมูลจะค่อยๆ เพิ่มทีละบิต เหมือนกับการค่อยๆ เพิ่มขึ้นของอุณหภูมิ สำหรับรหัส two's complement เหมาะสำหรับการคำนวณลอจิกทางคณิตศาสตร์

| Decimal | Binary | Thermometer | Gray | Two's Complement |
|---|---|---|---|---|
| 0 | 000 | 0000000 | 000 | 000 |
| 1 | 001 | 0000001 | 001 | 111 |
| 2 | 010 | 0000011 | 011 | 110 |
| 3 | 011 | 0000111 | 010 | 101 |
| 4 | 100 | 0001111 | 110 | 100 |
| 5 | 101 | 0011111 | 111 | 011 |
| 6 | 110 | 0111111 | 101 | 010 |
| 7 | 111 | 1111111 | 100 | 001 |

**ตารางที่ 2.2** รหัสตัวเลขสำหรับการเปลี่ยนข้อมูลแบบต่างๆ

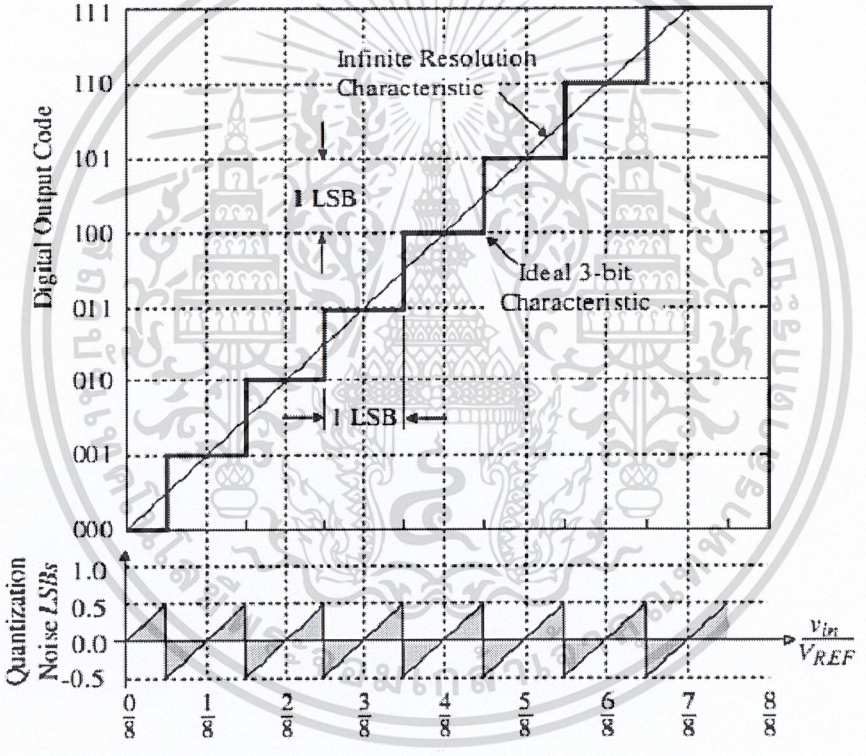
คุณสมบัติทาง Static ของ ADC ขึ้นอยู่กับ คุณลักษณะของอินพุท-เอาท์พุท แสดงดังรูปที่ 2.5 สำหรับ ADC 3 บิต ซึ่งคุณสมบัตินี้ อินพุทจะถูกเลื่อนดังนั้นจะเกิดการเปลี่ยนแปลงของขั้นระดับสัญญาณแอนะล็อกอินพุท ในแต่ละสถานะของสัญญาณดิจิตอลเอาท์พุทจะแทนขนาดของสัญญาณแอนะล็อกค่าใดค่าหนึ่งในช่วงเล็กๆ ระหว่างจุดแบ่งระดับ เรียกช่วงเล็กๆ นี้ว่ามีขนาดเป็น 1 LSB (Least Significant Bit) หรือคือช่วงความละเอียดของข้อมูล ซึ่งคำนวณจาก

$$LSB = \frac{FS}{2^n} \tag{2.1}$$

โดยที่ $FS$ คือ ช่วงเต็มสเกลของแรงดันแอนะล็อก (Full Scale Range)

$n$ คือ จำนวนบิทของรหัสดิจิตอล

จากคุณสมบัติอินพุท-เอาท์พุท ในรูปที่ 2.5 จะพล็อต quantization noise ซึ่งเป็นฟังก์ชันของอินพุท โดยที่ quantization noise คือผลต่างระหว่างคุณสมบัติของความละเอียดที่อนันต์ (Infinite Resolution Characteristic) กับคุณสมบัติของ ADC 3 บิต ในอุดมคติซึ่งเป็นฟังก์ชันของแรงดันอินพุท จากรูปที่ 2.5 quantization noise มีค่า ±0.5 LSB

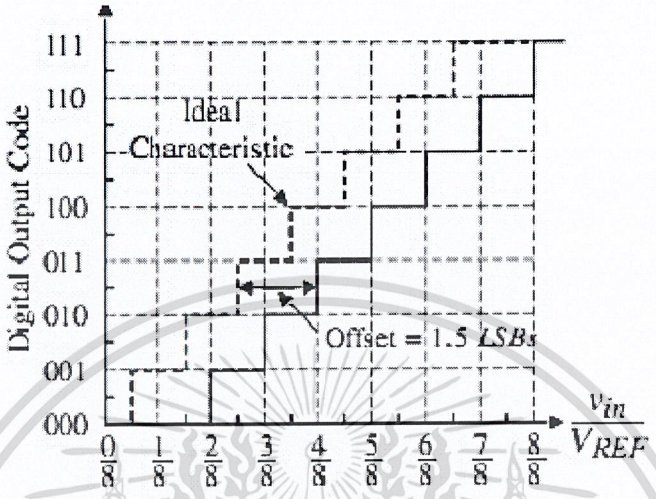



**รูปที่ 2.5** คุณลักษณะอินพุท-เอาท์พุทในอุดมคติของ ADC 3 บิต [2]

ความละเอียดของ ADC คือ ค่าแอนะล็อกที่เปลี่ยนแปลงน้อยที่สุดซึ่งเห็นความแตกต่างได้ด้วย ADC ซึ่งจะสังเกตได้จากจำนวนบิต ถ้ามีดิจิตอลเอาท์พุท N บิต จะมีความละเอียดของข้อมูล $2^N$ สถานะ คุณสมบัติทาง Static ที่ถูกนิยามสำหรับ ADC ประกอบด้วย offset error, gain error, integral nonlinearity (INL), และ differential nonlinearity (DNL) ดังจะได้อธิบายต่อไป

### 2.3.1 Offset error

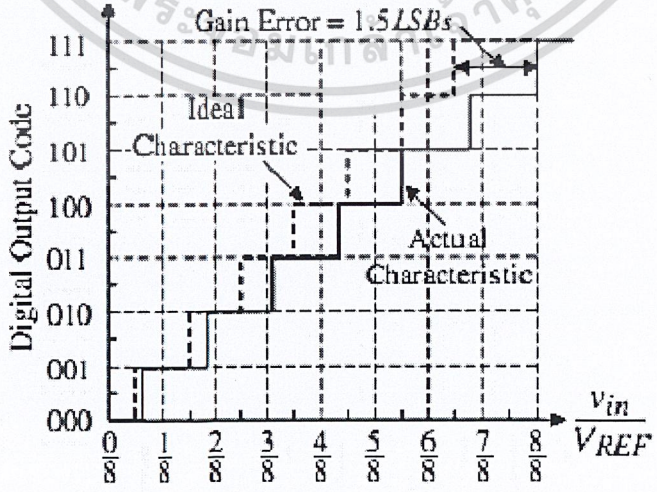
เราจะพิจารณา offset error จากการเลื่อนกราฟของคุณสมบัติในอุดมคติในแนวนอนจนกระทั่ง quantization noise มีความสมมาตร ซึ่งผลต่างที่คงที่ในแนวนอนระหว่างคุณสมบัติที่ควรจะได้กับคุณสมบัติที่ได้จริง คือค่า offset error ดังแสดงในรูปที่ 2.6




**รูปที่ 2.6** Offset error ของ 3 บิต ADC [2]

### 2.3.2 Gain error

Gain error คือผลต่างระหว่างคุณสมบัติที่ได้จริงกับคุณสมบัติในอุดมคติ ซึ่งมีขนาดเป็นสัดส่วนกับแรงดันอินพุท นอกจากนี้ยังคิด Gain error จากการเปลี่ยนแปลงของความชันของคุณสมบัติในอุดมคติที่อยู่เหนือกว่าหรือต่ำกว่าค่า 1 Gain error แสดงดังรูปที่ 2.7 ซึ่งเหมือนกันกับ DAC Gain error สามารถวัดจากผลต่างในแนวนอนระหว่างคุณสมบัติจริงกับคุณสมบัติในอุดมคติที่รหัสดิจิตอลสูงสุด เช่น ระหว่าง 110 กับ 111 ในรูปที่ 2.7




**รูปที่ 2.7** Gain error ของ 3 บิต ADC

### 2.3.3 ความไม่เป็นเชิงเส้นผลรวม (Integral Nonlinearity:INL)

การทำงานของวงจร ADC ตามทฤษฎี เมื่อแรงดันอินพุทเพิ่มขึ้น รหัสดิจิตอลเอาท์พุทที่เปลี่ยนแปลงจะเพิ่มขึ้นในอัตราคงที่ ถ้าหากนำค่าที่ได้มาเขียนกราฟความสัมพันธ์ระหว่างสัญญาณแอนะล็อกอินพุทกับรหัสดิจิตอลเอาท์พุท ควรจะได้กราฟเส้นตรง แต่ในทางปฏิบัติกราฟที่ได้มักไม่เป็นเส้นตรง ค่าเบี่ยงเบนไปจากเส้นตรงนี้เรียกว่า ความไม่เป็นเชิงเส้น (Nonlinearity)

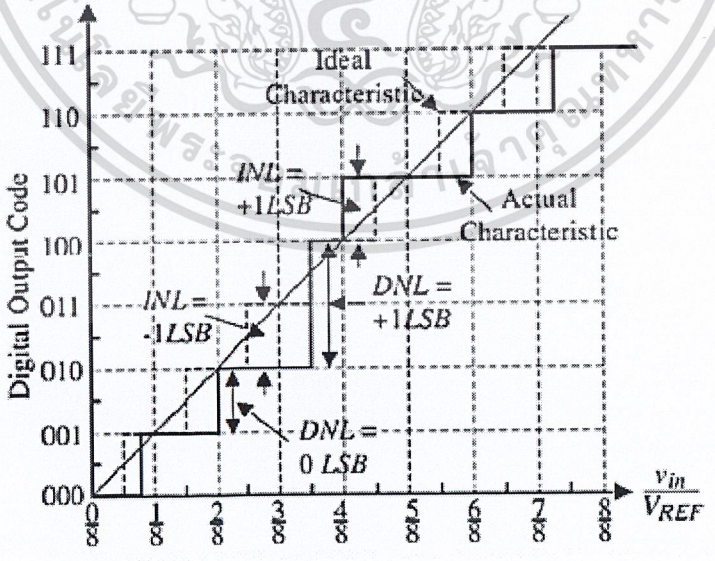
ความไม่เป็นเชิงเส้นผลรวม (INL) คือผลต่างสูงสุดระหว่างความละเอียดจริงกับความละเอียดในอุดมคติที่วัดในแนวตั้ง ซึ่งคิดเป็นเปอร์เซนต์หรือ LSB จากนิยามข้างต้น จะพบว่าจะมีเฉพาะค่าที่เป็นจำนวนจริงเท่านั้นที่เป็นไปได้เพราะรหัสดิจิตอลเอาท์พุทสัมพันธ์กับขนาดของสัญญาณที่ไม่ต่อเนื่อง ตัวอย่างของ INL แสดงดังรูปที่ 2.8

### 2.3.4 ความไม่เป็นเชิงเส้นผลต่าง (Differential Nonlinearity:DNL)

ค่าความไม่เป็นเชิงเส้นผลต่าง (DNL) เป็นค่าความเบี่ยงเบนสูงสุดของความกว้างของรหัสที่แตกต่างไปจากค่าตามทฤษฎี (1LSB) ค่า DNL มีหน่วยเป็น LSB ซึ่งสามารถเขียนได้ดังสมการที่ (2.2) ตัวอย่างของ DNL แสดงดังรูปที่ 2.8

$$DNL = (D_{CX} - 1)LSBs \tag{2.2}$$

โดยที่ $D_{CX}$ คือ step จริงในแนวตั้ง

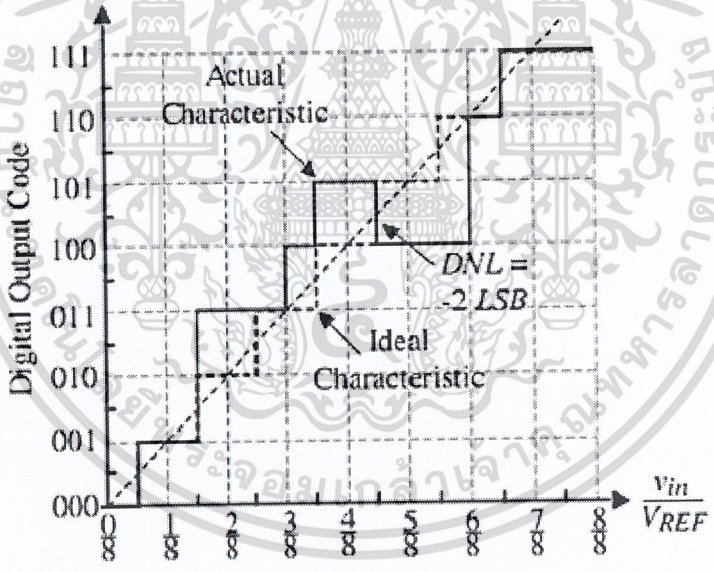



**รูปที่ 2.8** ตัวอย่าง INL และ DNL สำหรับ 3 บิต ADC [2]

จากรูปที่ 2.8 แสดง INL และ DNL สำหรับ 3 บิต ADC เมื่อเทียบกับรหัสดิจิตอลเอาท์พุท จะพบว่าค่า INL ที่สูงที่สุดและต่ำที่สุดคือ +1LSB และ -1LSB ตามลำดับ และค่า DNL ที่สูงที่สุดและต่ำที่สุดคือ +1LSB และ 0LSB ตามลำดับ ในทางปฏิบัติวงจรที่ดีจะมีค่า DNL ไม่เกิน +0.5LSB สำหรับวงจร ADC ที่มีคุณภาพต่ำ อาจมีค่า DNL มาก จนทำให้ความกว้างของรหัส ณ แรงดันช่วงใดช่วงหนึ่งมีค่าใกล้เคียงหรือเท่ากับศูนย์ ผลที่ตามมาคือวงจร ADC ไม่สามารถตรวจจับการเปลี่ยนแปลงของแรงดันช่วงดังกล่าวได้

### 2.3.5 Monotonicity

Monotonic ADC คือค่าที่เพิ่มขึ้นในแนวตั้งจะมีค่าเป็นบวก หรือกล่าวอีกนัยหนึ่งได้ว่า เมื่อดิจิตอลอินพุทเพิ่มขึ้น แรงดันเอาท์พุทก็เพิ่มขึ้นด้วยเช่นกัน ซึ่งสังเกตได้จากค่า DNL ที่มีค่าเป็นบวก แต่ถ้า DNL มีค่าเป็นลบ แสดงว่า Nonmonotonic คือเมื่อดิจิตอลอินพุทเพิ่มขึ้น แรงดันเอาท์พุทจะลดลง รูปที่ 2.9 แสดง Nonmotonic ของ 3 บิต ADC ซึ่งโดยทั่วไป Nonmonotonic จะเกิดที่ MSB (Most Significant Bit ) ซึ่งเป็นช่วงที่เปลี่ยนจาก 0111... เป็น 1000...




**รูปที่ 2.9** ตัวอย่าง Nonmonotonic สำหรับ 3 บิต ADC [2]

## 2.4 คุณสมบัติทาง Dynamic ของ ADC

### 2.4.1 Dynamic Range (DR)

Dynamic Range (DR) คืออัตราส่วนระหว่างค่าเต็มสเกลกับช่วงความละเอียดของข้อมูล (LSB) ซึ่งสามารถอธิบายได้ดังนี้

$$DR = \frac{FS}{LSB} = \frac{FS}{(FS/2^N)} = 2^N \tag{2.3}$$

หรือถ้าในคิดในเทอมของเดซิเบล

$$DR(dB) = 20\log 2^N = 6.02N(dB) \tag{2.4}$$

### 2.4.2 Signal-to-noise ratio (SNR)

Signal-to-noise ratio (SNR) คืออัตราส่วนระหว่างค่าเต็มสเกลต่อค่า rms ของ quantization noise โดยที่

$$rms(\text{quantization noise}) = \sqrt{\frac{1}{T}\int_0^T LSB^2\left(\frac{t}{T} - 0.5\right)^2 dt} = \frac{LSB}{\sqrt{12}} = \frac{FS}{2^N\sqrt{12}} \tag{2.5}$$

ดังนั้น SNR ของ ADC คือ

$$SNR = \frac{V_{OUT}(rms)}{(FS/2^N\sqrt{12})} \tag{2.6}$$

ค่า rms สูงที่สุดที่เป็นไปได้ของ $V_{OUT}$ คือ $FS/(2\sqrt{2})$ เมื่อให้สัญญาณเป็นคลื่นไซนด์ ดังนั้น SNR สูงสุดที่ ADC ต้องการคือ

$$SNR_{\max} = \frac{FS/(2\sqrt{2})}{FS/(2^N\sqrt{12})} = \frac{2^N\sqrt{6}}{2} \tag{2.7}$$

หรือถ้าในคิดในเทอมของเดซิเบล

$$SNR_{\max}(dB) = 20\log\left(\frac{2^N\sqrt{6}}{2}\right) = 20\log(2^N) + 20\log(6) - 20\log(20)$$
$$= 1.76 + 6.02N(dB) \tag{2.8}$$

### 2.4.3 Effective number of bits (ENOB)

Effective number of bits (ENOB) สามารถนิยามได้จากสมการที่ (2.8) ดังนี้

$$ENOB = \frac{SNR_{actual} - 1.76}{6.02} \tag{2.9}$$

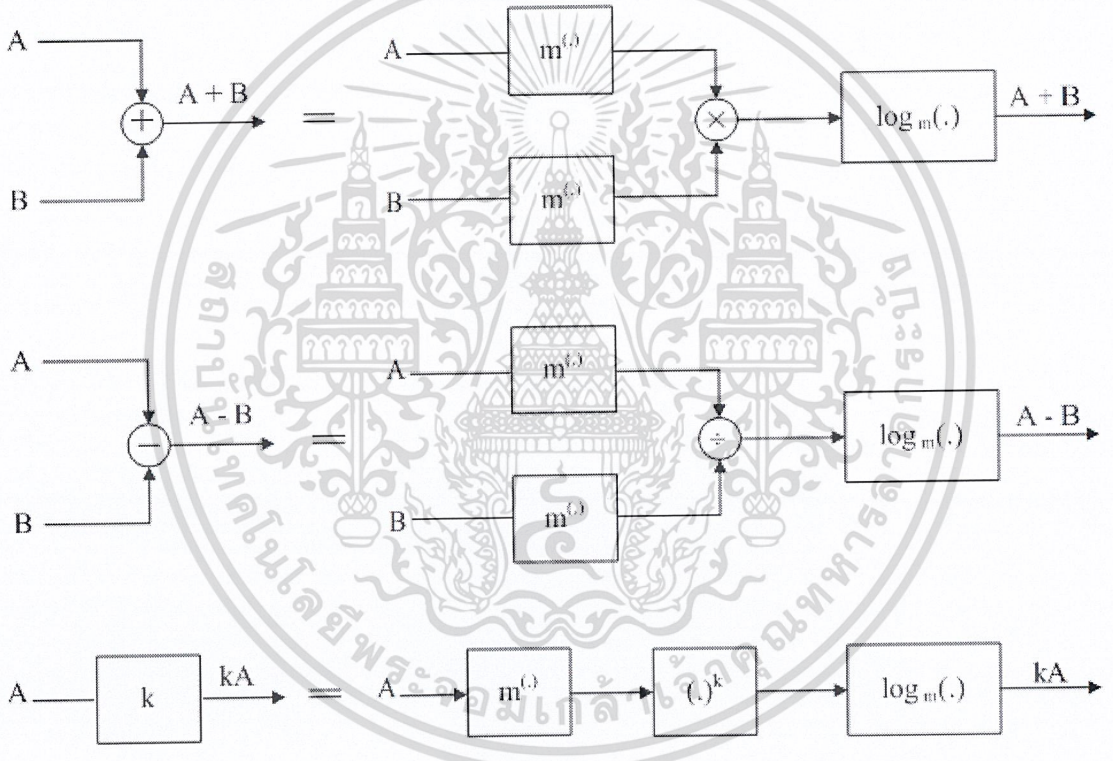
ตัวอย่างเช่น ADC ที่มีความละเอียด 10 บิท จะมีค่า $SNR_{max}$ เป็นดังนี้

$$SNR_{\max} = 1.76 + 6.02(10) = 61.96(dB) \tag{2.10}$$

ในทางปฏิบัติ $SNR_{max}$ จะมีค่าน้อยกว่า $SNR_{max}$ ที่คำนวณได้จากสมการที่ (2.10) ถ้า $SNR_{actual}$ มีค่า 58 dB เมื่อนำมาคำนวณหาค่า ENOB ในสมการที่ (2.9) จะได้ ENOB เท่ากับ 9.34 แสดงว่าในการใช้งานจริง ความละเอียดของข้อมูลจะมีไม่ถึง 10 บิท ดังนั้นในออกแบบเราจึงต้องเผื่อค่า ENOB ไว้ด้วย เช่น หากต้องการใช้ ADC ที่มีความละเอียดของข้อมูลจำนวน 10 บิท ควรออกแบบเผื่อไป 12 บิท

## 2.5 วงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic

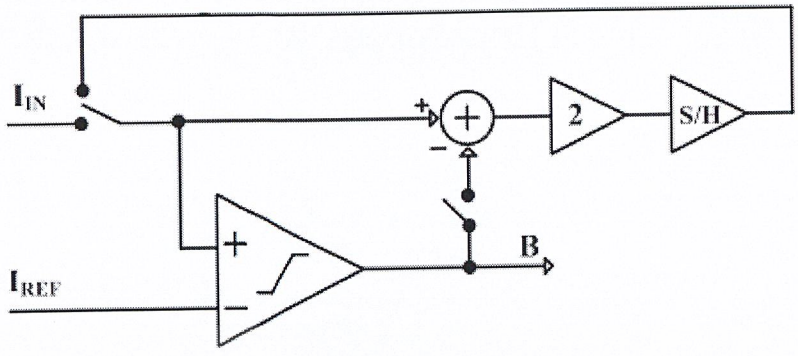
วงจรแปลงแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic ใช้หลักการเปรียบเทียบสัญญาณอินพุทกับสัญญาณอ้างอิง เพื่อให้ได้สัญญาณเอาท์พุทออกมา การนำเสนอจะแบ่งเป็นสองแบบคือ แบบเชิงเส้นและแบบลอการิทึม โดยที่โครงสร้างของวงจรลอการิทึม ADC แบบ Algorithmic Cyclic โหมดกระแส มีการพัฒนามาจากโครงสร้างของวงจร ADC เชิงเส้นแบบ Algorithmic Cyclic โหมดกระแส โดยอาศัยความสัมพันธ์ระหว่างเลขชี้กำลังและฟังก์ชันลอการิทึม ในการแปลงจากโครงสร้างเชิงเส้นเป็น โครงสร้างลอการิทึม ความสัมพันธ์ระหว่างฟังก์ชันเลขชี้กำลังและฟังก์ชันลอการิทึม แสดงดังรูปที่ 2.10




**รูปที่ 2.10** ความสัมพันธ์ระหว่างฟังก์ชันเลขชี้กำลัง $m^{(.)}$ และฟังก์ชันลอการิทึม $\log_m(.)$

จากรูปที่ 2.10 เราสามารถสรุปความสัมพันธ์ระหว่างเชิงเส้นและลอการิทึมได้ดังนี้ การบวกกันในเชิงเส้นจะเป็นการคูณกันในลอการิทึม การลบกันในเชิงเส้นจะเป็นการหารกันในลอการิทึม และการคูณกันในเชิงเส้นจะเป็นการยกกำลังในลอการิทึม

## 2.6 ADC เชิงเส้นแบบ Algorithmic Cyclic โหมดกระแส




**รูปที่ 2.11** โครงสร้างของวงจรแปลงสัญญาณเชิงเส้นแอนะล็อกเป็นดิจิตอล แบบ Algorithmic Cyclic

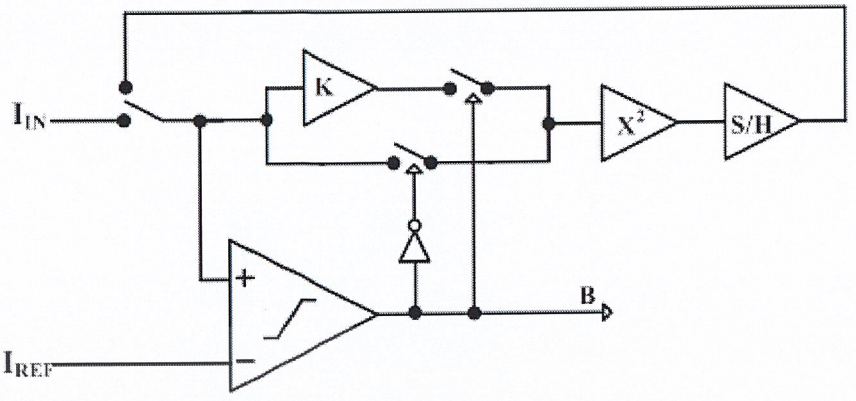
หลักการทำงานของวงจรแปลงสัญญาณเชิงเส้นแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic คือ การนำสัญญาณอินพุท $I_{IN}$ มาเปรียบเทียบกับสัญญาณอ้างอิง $I_{REf}$ ถ้าสัญญาณอินพุทน้อยกว่าสัญญาณอ้างอิง ดิจิตอลเอาท์พุท (B) ที่ได้จะเป็น “0” จากนั้นสัญญาณอินพุทจะถูกคูณด้วยสอง แล้วผ่านเข้าสู่วงจรตามและคงค่าสัญญาณ (sampling-and-hold) เพื่อป้อนกลับมาเป็นสัญญาณอินพุทอีก และถ้าสัญญาณอินพุทมากกว่าสัญญาณอ้างอิง ดิจิตอลเอาท์พุทที่ได้จะเป็น “1” จากนั้นสัญญาณอินพุทจะถูกลบด้วยสัญญาณอ้างอิงและคูณด้วยสอง ผ่านเข้าสู่วงจร sampling-and-hold แล้วป้อนกลับมาเป็นสัญญาณอินพุทเช่นเดียวกัน จนได้จำนวนบิตที่ต้องการ สัญญาณอ้างอิงของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic มีค่าเป็นครึ่งหนึ่งของช่วงสูงสุดของสัญญาณอินพุท คุณสมบัติความไม่เป็นเชิงเส้นผลต่าง (Differential Nonlinearity:DNL) และความไม่เป็นเชิงเส้นผลรวม (Integral Nonlinearity:INL) ของ ADC เชิงเส้นแบบ Algorithmic Cyclic โหมดกระแส แสดงดังสมการที่ (2.11) และ (2.12) ตามลำดับ

$$DNL_{Linear} = \frac{i_{k+1} - i_k - LSB}{LSB} \tag{2.11}$$

$$INL_{Linear} = \frac{i_k - i_i}{2^N \times LSB} \times 100\% \tag{2.12}$$

เมื่อ LSB (Least Significant Bit) คือ ระดับของสัญญาณที่มีนัยสำคัญเท่ากับ 1 บิต

## 2.7 ลอการิทึม ADC แบบ Algorithmic Cyclic โหมดกระแส




**รูปที่ 2.12** โครงสร้างของวงจรแปลงสัญญาณลอการิทึมแอนะล็อกเป็นดิจิตอล แบบ Algorithmic Cyclic

หลักการทำงานของวงจรแปลงสัญญาณลอการิทึมแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic เป็นการดัดแปลงมาจากวงจรแปลงสัญญาณเชิงเส้นแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic โดยอาศัยความสัมพันธ์ระหว่างฟังก์ชันเลขชี้กำลังและฟังก์ชันลอการิทึม ข้อแตกต่างระหว่างวงจรแปลงสัญญาณลอการิทึมแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic และวงจรแปลงสัญญาณเชิงเส้นแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic คือแบบเชิงเส้นเมื่อมีการเปรียบเทียบสัญญาณอินพุทกับสัญญาณอ้างอิง ถ้าสัญญาณอินพุทมีค่ามากกว่าสัญญาณอ้างอิง สัญญาณอินพุทจะถูกลบด้วยสัญญาณอ้างอิง แต่สำหรับแบบลอการิทึมการลบจะเปลี่ยนเป็นการหาร แต่ในที่นี้การหารจะเปลี่ยนเป็นการคูณแทน คือคูณด้วยค่าที่น้อยกว่า 1 และในแบบเชิงเส้นสัญญาณอินพุทจะถูกคูณด้วยสอง แต่ในแบบลอการิทึมการคูณสองจะเปลี่ยนเป็นการยกกำลังสองแทน ซึ่งกระแสอินพุทจะเป็นฟังก์ชันเอ็กซ์โพเนนเชียลกับดิจิตอลเอาท์พุท สามารถเขียนความสัมพันธ์ของกระแสอินพุทกับดิจิตอลเอาท์พุทได้ดังสมการที่ (2.11)

$$i_{IN} = e^{D\frac{\ln(i_{IN\max})}{2^N}} \tag{2.13}$$

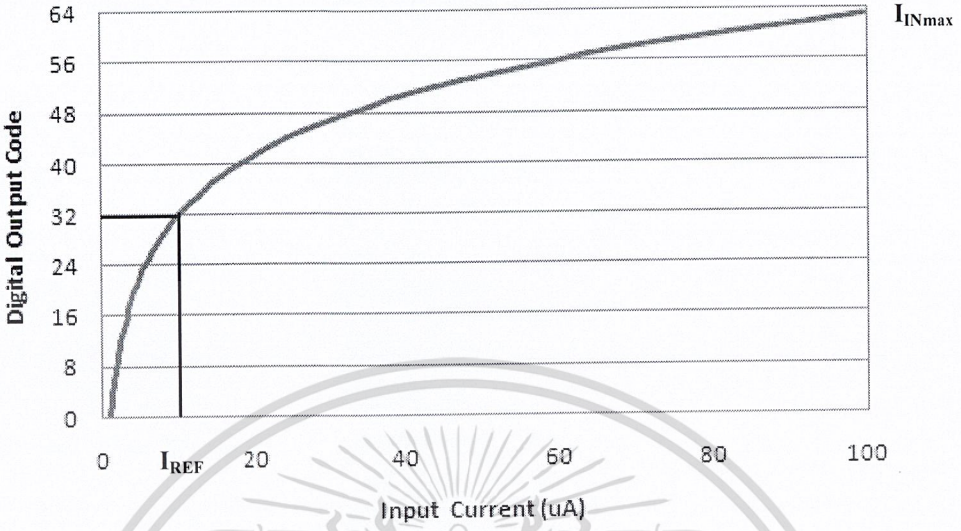
เมื่อ $D$ คือ รหัสดิจิตอลเอาท์พุท

$N$ คือ จำนวนบิต

$i_{IN\max}$ คือ กระแสอินพุทสูงสุด

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

และคุณสมบัติการแปลงของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic แสดงดังรูปที่ 2.13




**รูปที่ 2.13** คุณสมบัติการแปลงของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic

กระแสอ้างอิงของวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอลแบบ Algorithmic Cyclic Logarithmic ตรงกับรหัสดิจิตอล 32 สำหรับ 6 บิต ซึ่งตรงกับกึ่งกลางของช่วงกระแสอินพุทในลอการิทึมสเกล ดังนั้นจากสมการที่ (2.13) เราสามารถเขียนสมการกระแสอ้างอิงได้ดังสมการที่ (2.14)

$$i_{REF} = e^{32\frac{\ln(i_{IN\max})}{2^N}} \tag{2.14}$$

และกระแสอินพุทที่ถูกหารด้วยกระแสอ้างอิงก่อนทำการยกกำลังสองเมื่อดิจิตอลเอาท์พุทเป็น “1” สามารถเขียนได้ดังสมการที่ (2.15) ซึ่งการหารจะเปลี่ยนเป็นการปรับขนาดด้วย $1/I_{REF}$ แทน

$$i_{IN+1} = \frac{i_{IN}}{I_{REF}} = i_{IN} \times \frac{1}{I_{REF}} \tag{2.15}$$

คุณสมบัติความไม่เป็นเชิงเส้นผลต่าง (Differential Nonlinearity:DNL) และความไม่เป็นเชิงเส้นผลรวม (Integral Nonlinearity:INL) แสดงดังสมการที่ (2.16) และ (2.17) ตามลำดับ

119233

$$DNL = \frac{\ln(I_{k+1}) - \ln(I_k) - \Delta i_{IN}}{\Delta i_{IN}} \tag{2.16}$$

$$INL = \frac{\ln(I_{k+1}) - \ln(I_k)}{\Delta i_{IN}} \tag{2.17}$$

$$\Delta i_{IN} = \ln\left(\frac{1}{k} + 1\right) \tag{2.18}$$

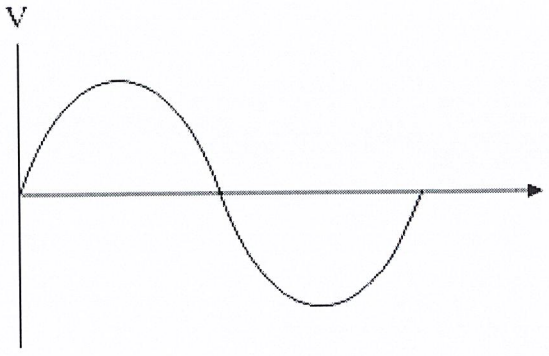
เมื่อ $K$ คือ ค่าคงที่ในสภาวะปกติ

$\Delta i_{IN}$ คือ LSB ในล็อกโดเมน

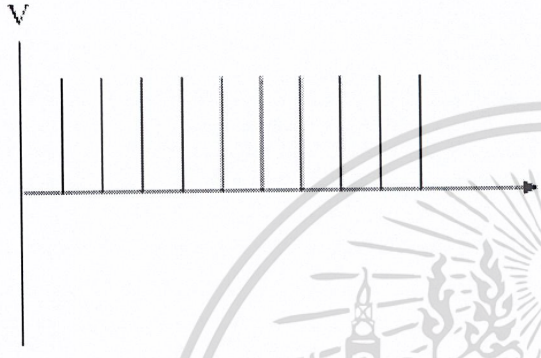
## 2.8 ทฤษฎีพื้นฐานของวงจรตามและคงค่าสัญญาณ (Sample-and-hold circuit )

วงจรตามและคงค่าสัญญาณ (Sample and hold circuit) จะทำการสุ่ม (Sampling) สัญญาณอินพุท และนำสัญญาณที่สุ่มนั้นมาเก็บ (hold) ไว้ในช่วงเวลาหนึ่งได้ การสุ่มสัญญาณแอนะล็อกจะถูกสุ่มเป็นระยะๆ คงที่ ดังรูปที่ 2.14 (c) การสุ่มจะเป็นการตัดต่อสัญญาณแอนะล็อกในช่วงเวลาอันสั้นด้วยสวิตซ์ที่ทำงานด้วยความเร็วสูง ผลของการสุ่มสัญญาณด้วยความเร็วจะเสมือนกับการคูณขบวนพัลล์แคบๆ กับสัญญาณแอนะล็อก ซึ่งจะได้เป็นสัญญาณที่มอดูเลตระหว่างขบวนพัลล์กับสัญญาณแอนะล็อก โดยเสมือนว่าสัญญาณแอนะล็อกขี่มาบนขบวนพัลล์ ถ้าสัญญาณแอนะล็อกที่ถูกสุ่มถูกคงค่าไว้ จนกว่าสัญญาณค่าใหม่จะถูกสุ่มเข้ามา จะได้ลักษณะเอาท์พุทดังแสดงในรูปที่ 2.14 (d)

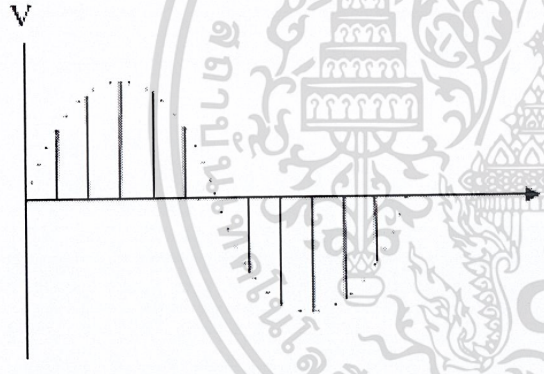
อัตราการสุ่มสัญญาณ ขึ้นอยู่กับความถี่ของสัญญาณแอนะล็อก ที่จะไม่ทำให้ข้อมูลผิดเพี้ยนไป เมื่อสัญญาณนั้นถูกเปลี่ยนกลับมาเป็นเช่นเดิม ทฤษฎีของการสุ่มกล่าวไว้ว่า “ ถ้าสัญญาณต่อเนื่องซึ่งมีความถี่และฮาร์โมนิคส์ไม่เกิน $f_C$ ถูกสุ่มด้วยอัตราการสุ่มไม่น้อยกว่า $2f_C$ แล้ว สัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้อย่างเดิมโดยไม่สูญเสียรายละเอียดหรือผิดเพี้ยนไป ”



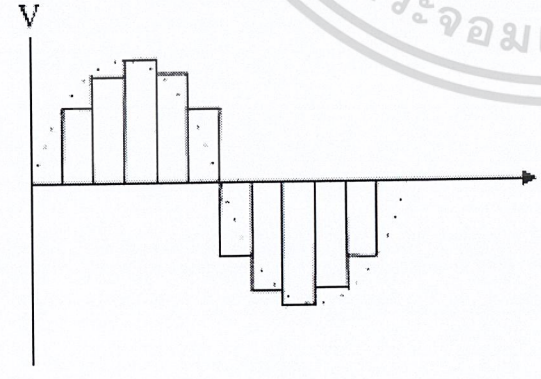

(a) สัญญาณแอนะล็อกอินพุท




(b) พัลส์ที่มาสุ่มสัญญาณ




(c) สัญญาณแอนะล็อกหลังการสุ่ม




(d) สัญญาณแอนะล็อกหลังการสุ่มและคงค่าไว้

**รูปที่ 2.14** แสดงการสุ่มสัญญาณ

## 2.9 หลักการของวงจรทรานลิเนียร์

B. Gilbert ได้นำเสนอหลักการทรานลิเนียร์เป็นครั้งแรกในปี ค.ศ. 1975 [3] โดยคำว่าทรานลิเนียร์ (translinear) มีพื้นฐานมาจากคุณสมบัติของความสัมพันธ์ในลักษณะที่เป็นเชิงเส้นระหว่างค่าทรานคอนดัคแตนซ์กับค่ากระแส (transconductance linear with current) จากคุณสมบัติที่กล่าวมา ถูกนำไปใช้เป็นเงื่อนไขของวงจรทรานลิเนียร์ (translinear circuit) กล่าวคือ วงจรทรานลิเนียร์เป็นวงจรที่ประกอบไปด้วยกลุ่มของอุปกรณ์ที่ต่อเรียงกันในลักษณะวงรอบ (loop) โดยรูปแบบของอุปกรณ์จะต้องมีคุณสมบัติที่มีความสัมพันธ์ในลักษณะที่เป็นเชิงเส้นระหว่างค่าทรานคอนดัคแตนซ์กับค่ากระแส สามารถเขียนความสัมพันธ์ได้ดังสมการที่ (2.19)

$$g = \frac{dI}{dV} = aI \tag{2.19}$$

เมื่อ $g$ คือ ค่าทรานคอนดัคแตนซ์

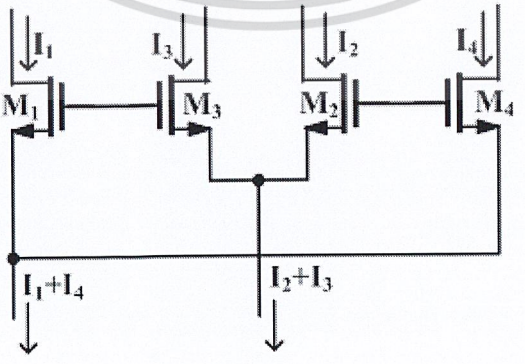
$a$ คือ ค่าคงที่

เมื่ออินทิเกรตสมการที่ (2.19) จะได้

$$I = be^{aV} \tag{2.20}$$

เมื่อ $b$ คือ ค่าคงที่

จากความสัมพันธ์ของสมการที่ (2.20) วงจรทรานลิเนียร์เป็นวงจรที่ต่อกันในลักษณะลูป โดยรูปแบบของอุปกรณ์จะต้องมีความสัมพันธ์กันแบบเอกซ์โพเนนเชียล เช่น ทรานซิสเตอร์แบบไบโพลาร์ ทรานซิสเตอร์แบบมอส เป็นต้น




**รูปที่ 2.15** แสดงวงจรทรานลิเนียร์ลูป

การอธิบายหลักการของวงจรทรานลิเนียร์มอส (MOS-Translinear Circuit Principle) [3] ให้พิจารณาลูปของทรานซิสเตอร์ที่ต่อรวมกัน ดังรูปที่ 2.15 โดยที่จำนวนทรานซิสเตอร์ที่มีการต่อรวมกันในทิศทางตามเข็มนาฬิกา (clockwise : CW) เท่ากับที่ต่อในทิศทางทวนเข็มนาฬิกา (counter-clockwise : CCW) และให้ทรานซิสเตอร์ทุกตัวทำงานในย่านผันกลับอย่างแรง (strong inversion) และย่านอิ่มตัว (saturation) จากกฎของคอร์ชอฟฟ์ (Kirchoff's Voltage Law) ผลรวมของแรงดันรอบลูปเป็นศูนย์ ดังนั้น

$$V_{GS1} + V_{GS2} = V_{GS3} + V_{GS4} \tag{2.21}$$

โดยที่แรงดันเกต-ซอร์ส มีความสัมพันธ์กับกระแสเดรน ดังนี้

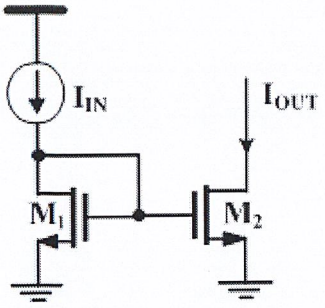
$$V_{GS} = \sqrt{\frac{2I_D}{k'_n\left(W/L\right)}} + V_{TH} \tag{2.22}$$

เมื่อ $I_D$ , W, และ L คือ กระแสเดรน, ความกว้างของช่องทางเดินกระแส และความยาวของช่องทางเดินกระแสของมอสทรานซิสเตอร์ ตามลำดับ เมื่อให้คุณสมบัติของมอสทรานซิสเตอร์เหมือนกันทุกประการ จะได้ความสัมพันธ์ระหว่างกระแสเดรน เป็นดังนี้

$$\sqrt{I_1} + \sqrt{I_2} = \sqrt{I_3} + \sqrt{I_4} \tag{2.23}$$

## 2.10 หลักการของวงจรสะท้อนกระแส

วงจรสะท้อนกระแสเป็นวงจรพื้นฐานที่ใช้กันมาก เพื่อทำหน้าที่เป็นตัวจ่ายหรือดึงกระแสให้กับวงจรในส่วนต่างๆ แทนที่จะใช้แหล่งจ่ายกระแสโดยตรง ทั้งนี้เนื่องจากค่ากระแสที่ได้จากวงจรสะท้อนกระแสมีค่าคงที่ ไม่เปลี่ยนแปลงตามแหล่งจ่ายไฟเลี้ยงของวงจรหรืออุณหภูมิ ในปัจจุบันวงจรสะท้อนกระแสจำนวนมากได้ถูกพัฒนาขึ้น ในหัวข้อนี้จะกล่าวถึงวงจรสะท้อนกระแสพื้นฐาน




**รูปที่ 2.16** วงจรสะท้อนกระแสพื้นฐาน

จากโครงสร้างของวงจรสะท้อนกระแสพื้นฐาน วงจรประกอบด้วยทรานซิสเตอร์ $M_1$ และ $M_2$ โดยทรานซิสเตอร์ $M_1$ ถูกต่อในลักษณะไดโอด ซึ่งถ้าไม่คิดผลของ channel-length modulation เราสามารถพิจารณากระแส $I_{IN}$ และ $I_{OUT}$ ได้ดังนี้

$$I_{IN} = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_1 (V_{GS} - V_{TH})^2 \tag{2.24}$$

$$I_{OUT} = \frac{1}{2}\mu_n C_{ox}\left(\frac{W}{L}\right)_2 (V_{GS} - V_{TH})^2 \tag{2.25}$$

ถ้ากำหนดให้ทรานซิสเตอร์ $M_1$ และ $M_2$ มีคุณสมบัติเหมือนกันทุกประการ จะได้ความสัมพันธ์ของกระแสเดรนของทรานซิสเตอร์ทั้งสอง คือ

$$I_{OUT} = \frac{(W/L)_2}{(W/L)_1} I_{IN} \tag{2.26}$$

หรือ

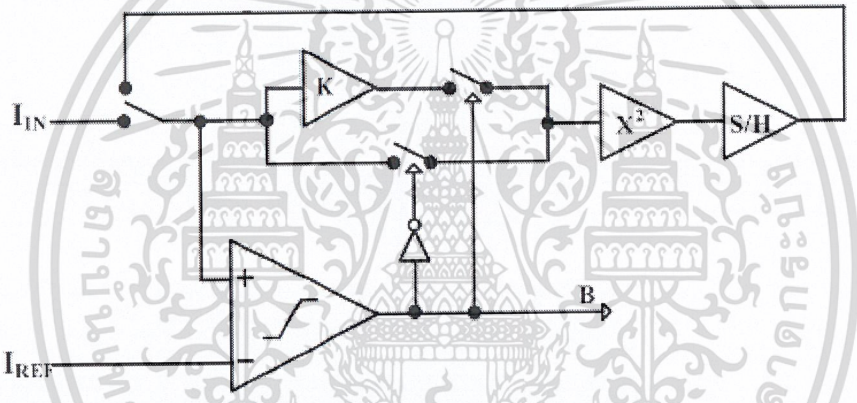
$$I_{IN} \cong I_{OUT} \tag{2.27}$$

เราจะสังเกตเห็นจากสมการที่ (2.26) ว่า การทำงานของวงจรสะท้อนกระแสอาศัยหลักการที่ว่า ทรานซิสเตอร์สองตัว (ทำงานในโหมดกระแส) ที่มี $V_{GS}$ เท่ากันจะให้กระแสที่มีอัตราส่วนขึ้นกับขนาดของทรานซิสเตอร์ทั้งสอง

# บทที่ 3
# โครงสร้างวงจรพื้นฐานที่นำเสนอ

## 3.1 วงจรแปลงสัญญาณลอการิทึมแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic (Algorithmic Cyclic Logarithmic analog-to-digital converter)

ในหนึ่งภาคของวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอบแบบ Pipeline สามารถทำงานเป็นวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclicได้ [4] ซึ่งแสดงโครงสร้างดังรูปที่ 3.1 ในกรณีนี้จะมีตัวเปรียบเทียบเพียงตัวเดียว และมีการสุ่มสัญญาณใหม่จนได้จำนวนบิตที่ต้องการ โดยที่การแปลงสัญญาณแบบ Algorithmic Cyclic ก็จะเหมือนกับแบบ Pipeline




**รูปที่ 3.1** โครงสร้างของวงจรแปลงสัญญาณลอการิทึมแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic

รูปที่ 3.1 แสดงโครงสร้างของวงจรแปลงสัญญาณลอการิทึมแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic หลักการทำงานคือ การนำสัญญาณอินพุท ($I_{IN}$) มาเปรียบเทียบกับสัญญาณอ้างอิง ($I_{REF}$) ด้วยวงจรเปรียบเทียบ (Comparator circuit) ถ้าสัญญาณอินพุทน้อยกว่าสัญญาณอ้างอิง ดิจิตอลเอาท์พุทที่ได้จะเป็น “0” จากนั้นสัญญาณอินพุทจะถูกยกกำลังสอง แต่ถ้าสัญญาณอินพุทมีค่ามากกว่าสัญญาณอ้างอิง ดิจิตอลเอาท์พุทที่ได้จะเป็น “1” จากนั้นสัญญาณอินพุทจะถูกคูณด้วย K และยกกำลังสอง เมื่อกระแสผ่านวงจรยกกำลังสองแล้ว จะผ่านเข้าสู่วงจรตามและคงค่าสัญญาณ (sample and hold circuit) และถูกป้อนกลับมาเป็นสัญญาณอินพุทอีกครั้ง โดยจะมีการป้อนกลับแบบนี้จนได้จำนวนบิตที่ต้องการ จากนั้นจะมีการนำสัญญาณอินพุท ($I_{IN}$) เข้ามาในวงจร

อีกครั้ง ซึ่งการทำงานของ Algorithmic Cyclic logarithmic ADC สามารถเขียนเป็นสมการได้ดังสมการที่ (3.1)

$$i_{IN} = e^{D\frac{\ln(i_{IN\max})}{2^N}} \tag{3.1}$$

เมื่อ $D$ คือ รหัสดิจิตอลเอาท์พุท

$N$ คือ จำนวนบิต

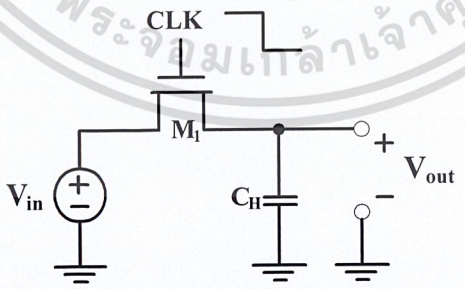
$i_{IN\max}$ คือ กระแสอินพุทสูงสุด

ในปริญญานิพนธ์ฉบับนี้จำนวนบิตของดิจิตอลเอาท์พุทและกระแสอินพุทสูงสุดของวงจรมีค่าเท่ากับ 6 บิต และ 100 ไมโครแอมป์ (μA) ตามลำดับ สำหรับกระแสอ้างอิง ($I_{ref}$) Algorithmic Logarithmic คือจุดกึ่งกลางของกระแสอินพุทสูงสุด ซึ่งตรงกับรหัสดิจิตอลเอาท์พุท คือ 32 สำหรับ 6 บิต ซึ่งจะได้กระแสอ้างอิงเท่ากับ 10 ไมโครแอมป์ โดยสามารถคำนวณได้จากสมการที่ (3.1)

$$I_{ref} = e^{32\frac{\ln(100)}{64}} = 10\mu A \tag{3.2}$$

## 3.2 วงจรตามและคงค่าสัญญาณ (Sampling and hold Circuit:S/H)

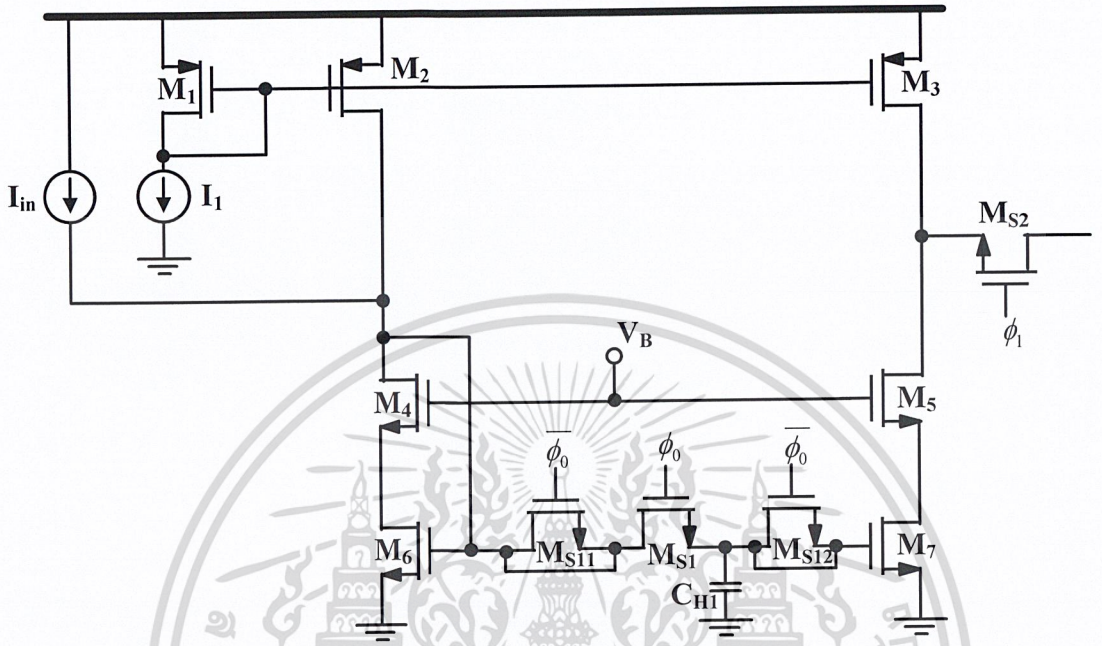
วงจรตามและคงค่าสัญญาณ จะทำการสุ่ม (sampling) สัญญาณอินพุท และนำสัญญาณที่สุ่มนั้นมาเก็บ (hold) ไว้ในช่วงเวลาหนึ่ง หลังจากนั้นก็จะทำการสุ่มสัญญาณใหม่อีกครั้ง




**รูปที่ 3.2** วงจรตามและคงค่าสัญญาณพื้นฐาน

พื้นฐานของวงจร S/H [5] แสดงดังรูปที่ 3.2 วงจรประกอบด้วยทรานซิสเตอร์ $M_1$ ที่ทำหน้าที่เป็นแอนะล็อกสวิตซ์ และตัวเก็บประจุ $C_H$ ซึ่งทำหน้าที่คงค่าแรงดันที่สุ่มได้ ในโหมดการสุ่มสัญญาณ (sampling mode) สวิตซ์จะปิดและแรงดันที่ตัวเก็บประจุ $C_H$ จะสุ่มสัญญาณอินพุท $V_{in}$

ส่วนในโหมดคงค่าสัญญาณ (hold mode) สวิตซ์จะเปิด ค่าแรงดันอินที่สุ่มได้จะถูกเก็บไว้ในตัวเก็บประจุ $C_H$ ซึ่งทรานซิสเตอร์ที่ทำหน้าที่เป็นสวิตซ์จะถูกควบคุมด้วยสัญญาณนาฬิกา (CLK) ที่ต่ออยู่ที่ขาเกต ซึ่งโครงสร้างของวงจร S/H ที่ใช้ในวงจร Algorithmic Logarithmic ADC จะกล่าวต่อไป

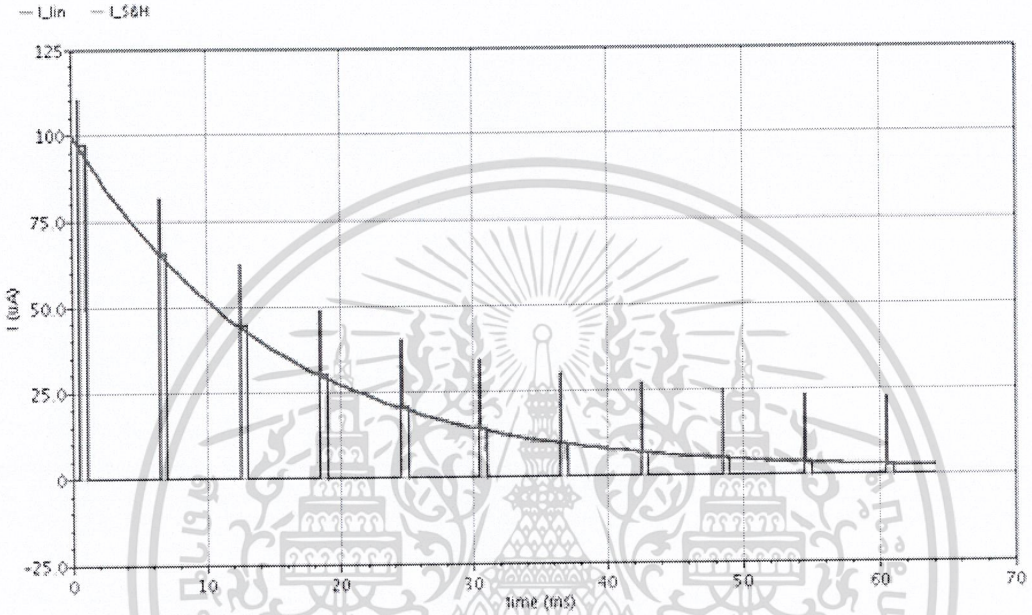



**รูปที่ 3.3** วงจรตามและคงค่าสัญญาณที่ใช้ใน Algorithmic Cyclic Logarithmic ADC

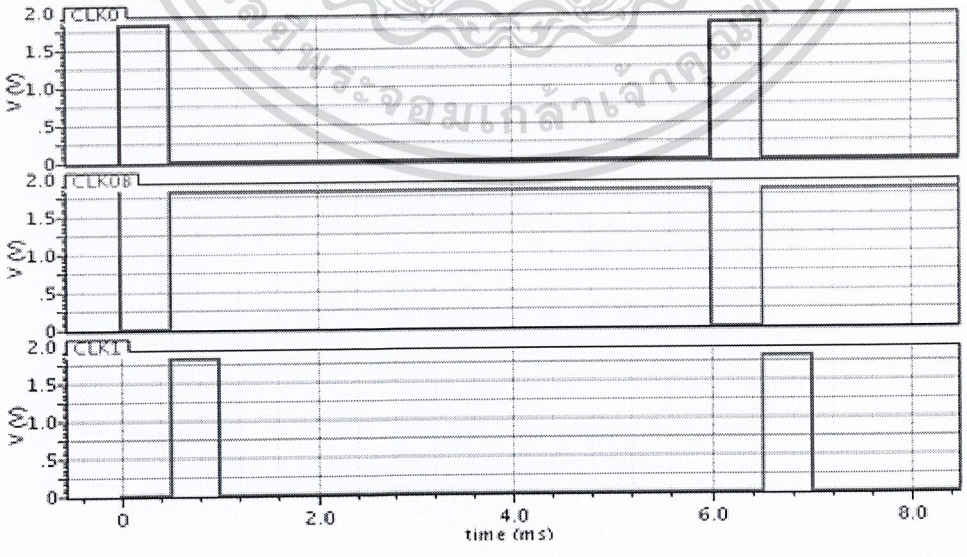
วงจรตามและคงค่าสัญญาณในรูปที่ 3.3 ประกอบด้วยทรานซิสเตอร์ $M_1$–$M_7$ ,สวิตซ์ $M_{S1}$-$M_{S2}$ , สวิตซ์ $M_{S11}$-$M_{S12}$ และตัวเก็บประจุ $C_{H1}$ โดยที่ทรานซิสเตอร์ $M_1$–$M_3$ ทำหน้าที่สะท้อนกระแส $I_1$ มายังวงจร S/H ทรานซิสเตอร์ $M_4$–$M_7$ เป็นวงจรสะท้อนกระแสคาสโคดแบบสวิงกว้าง (wide-swing cascode) สวิตซ์ $M_{S1}$-$M_{S2}$ ทำหน้าที่สุ่ม (sampling) และคงค่า (hold) สัญญาณอินพุท สวิตซ์ $M_{S11}$-$M_{S12}$ ต่อเป็น dummy switch เพื่อช่วยลดปัญหา charge injection การทำงานของวงจรคือ เมื่อสวิตซ์ $M_{S1}$ ทำงาน สัญญาณกระแสอินพุทจะผ่านมายังวงจรสะท้อนกระแสคาสโคดแบบสวิงกว้าง โดยทรานซิสเตอร์ $M_4$ และ $M_6$ สะท้อนไปยังทรานซิสเตอร์ $M_5$ และ $M_7$ ตามลำดับ โดยที่สวิตซ์ $M_{S11}$-$M_{S12}$ ไม่ทำงาน เพราะขาซอร์สและขาเดรนต่อเชื่อมกัน และเมื่อสวิตซ์ $M_{S1}$ ไม่ทำงาน แรงดันเกต–ซอร์ส ของทรานซิสเตอร์ $M_7$ ณ เวลานั้นจะถูกเก็บอยู่ในตัวเก็บประจุ $C_{H1}$ ทำให้มีกระแสไหลคงที่ แต่ในความเป็นจริงจะมีการ Charge injection เกิดขึ้น ซึ่งแก้ปัญหาโดยการต่อ dummy switch ($M_{S11}$-$M_{S12}$) โดยจะทำงานตรงข้ามกับสวิตซ์ $M_{S1}$ เมื่อ dummy switch ทำงานจึงไม่ไปรบกวนการชาร์จของตัวเก็บประจุ $C_{H1}$ ซึ่งกระแสที่ได้จากการคงค่าจะไปหักล้างกับกระแส $I_1$ ทำให้เหลือเฉพาะกระแสอินพุท $I_{IN}$ เพื่อไปยังวงจรเปรียบเทียบกระแสต่อไป ซึ่งวงจร S/H จะมีสวิตซ์ $M_{S1}$-$M_{S2}$

สลับกันทำงาน โดยมีสัญญาณนาฬิกา $\phi_0$ (CLK0) และ $\phi_1$ (CLK1) เป็นสัญญาณนาฬิกาที่ควบคุมการทำงานของสวิตซ์ $M_{S1}$-$M_{S2}$

การจำลองการทำงานแบบทรานเซียนของวงจร S/H ทดสอบโดยการป้อนสัญญาณกระแสอินพุทแบบเอ็กซ์โพเนนเชียล มีขนาดตั้งแต่ 100 μA ถึง 1 μA ในเวลา 64 ms ผลการทดลองแสดงดังรูปที่ 3.4 ซึ่งวงจรจะทำงานตามสัญญาณนาฬิกา ดังรูปที่ 3.5




**รูปที่ 3.4** ผลการจำลองการทำงานของวงจรตามและคงค่าสัญญาณ




**รูปที่ 3.5** สัญญาณนาฬิกาที่ควบคุมการทำงานของวงจรตามและคงค่าสัญญาณ

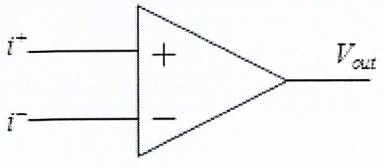
จากผลการจำลองการทำงานวงจร S/H พบว่าวงจรสามารถสุ่มและคงค่าสัญญาณได้ โดยวงจรมีความผิดพลาดอยู่ในช่วง 0.1-0.4 μA ซึ่งค่าความผิดพลาดที่เกิดขึ้นสามารถยอมรับได้ เนื่องจากความละเอียดที่ต้องการมีค่าประมาณ 1.55 μA โดยในช่วงที่กระแสอินพุทมีค่าสูงจะมีความผิดพลาดเกิดขึ้นมากที่สุด การใช้ dummy switch และวงจรสะท้อนกระแสคาสโคดแบบสวิงกว้าง จะช่วยแก้ปัญหาการสุ่มและการคงค่าสัญญาณให้มีค่าความผิดพลาดน้อยที่สุดได้ และขนาดของทรานซิสเตอร์ของวงจร S/H แสดงดังตารางที่ 3.1

| ทรานซิสเตอร์ | ความกว้าง (ไมโครเมตร) | ความยาว (ไมโครเมตร) |
|---|---|---|
| $M_1$–$M_3$ | 50 | 10 |
| $M_4$-$M_5$ | 15 | 0.2 |
| $M_6$-$M_7$ | 5 | 2 |
| $M_8$-$M_9$ | 60 | 2 |
| $M_{10}$-$M_{11}$ | 20 | 0.2 |
| $M_{S1}$-$M_{S2}$ | 5 | 0.18 |
| $M_{S11}$-$M_{S12}$ | 2.5 | 0.18 |

**ตารางที่ 3.1** ขนาดทรานซิสเตอร์ของวงจร S/H

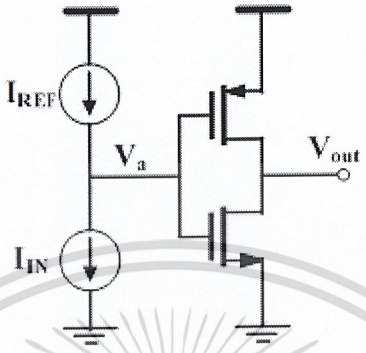
## 3.3 วงจรเปรียบเทียบกระแส (Current Comparator Circuit)

วงจรเปรียบเทียบกระแสใช้สำหรับเปรียบเทียบระหว่างสัญญาณกระแสอินพุทกับสัญญาณกระแสอ้างอิง รูปที่ 3.6 แสดงสัญลักษณ์ของวงจรเปรียบเทียบกระแส [6] ซึ่งวงจรประกอบด้วยขาอินพุทสองขา คือ ขาบวก (ขานอนอินเวอร์ทติ้ง) และขาลบ (ขาอินเวอร์ติ้ง) การทำงานของวงจร ถ้ากระแสที่ขาบวกมีค่ามากกว่ากระแสที่ขาลบ ( $i^+ > i^-$ ) แรงดันเอาท์พุทจะมีค่าเป็นบวก ในทางกลับกัน ถ้ากระแสที่ขาบวกมีค่าน้อยกว่ากระแสที่ขาลบ ( $i^+ < i^-$ ) แรงดันเอาท์พุทจะมีค่าเป็นลบ



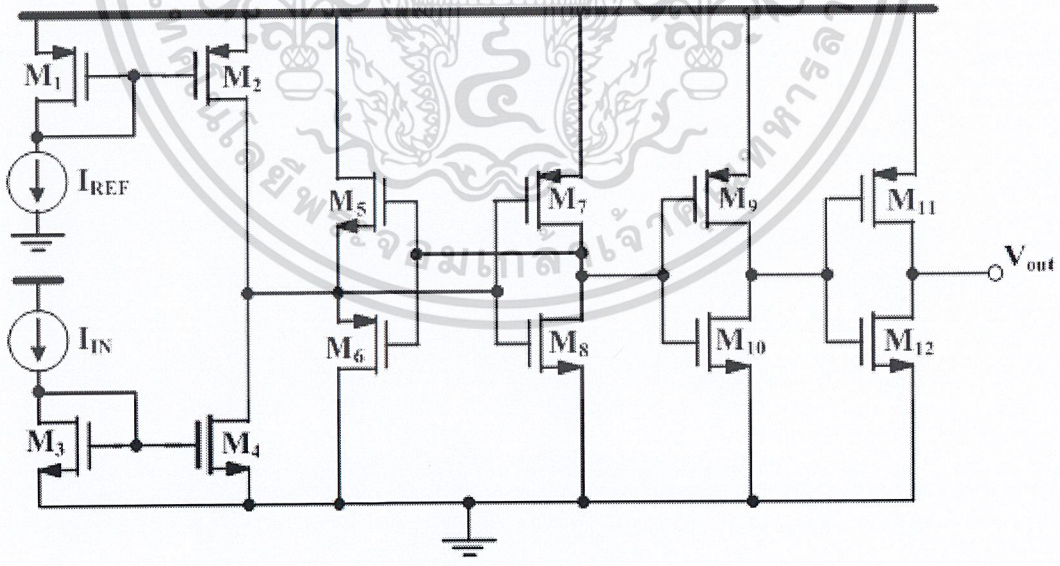

**รูปที่ 3.6** วงจรเปรียบเทียบกระแส

โครงสร้างพื้นฐานของวงจรเปรียบเทียบกระแสแสดงดังรูปที่ 3.7 [7] เมื่อสัญญาณอินพุท ($I_{IN}$) ที่เข้ามามีค่าน้อยกว่าสัญญาณอ้างอิง ($I_{REF}$) แรงดัน ($V_a$) ก็จะสูงขึ้น ดังนั้นแรงดันที่เอาท์พุท ($V_{OUT}$) จะมีสถานะเป็นลอจิก “0” และเมื่อ ($I_{IN}$) มีค่ามากกว่าหรือเท่ากับ ($I_{REF}$) แรงดัน ($V_a$) ก็จะลดลง และ ($V_{OUT}$) จะมีสถานะเป็นลอจิก “1”




**รูปที่ 3.7** วงจรเปรียบเทียบกระแสพื้นฐาน

เงื่อนไขของการออกแบบวงจรเปรียบเทียบกระแสประกอบด้วย [8] ต้องมีความเร็วสูง(high speed), อินพุทอิมแดนซ์ต่ำ (low input impedance), มีการสูญเสียกำลังงานต่ำ (low power), และมีแรงดันไฟเลี้ยงต่ำ (low supply voltage)




**รูปที่ 3.8** โครงสร้างของวงจรเปรียบเทียบกระแส

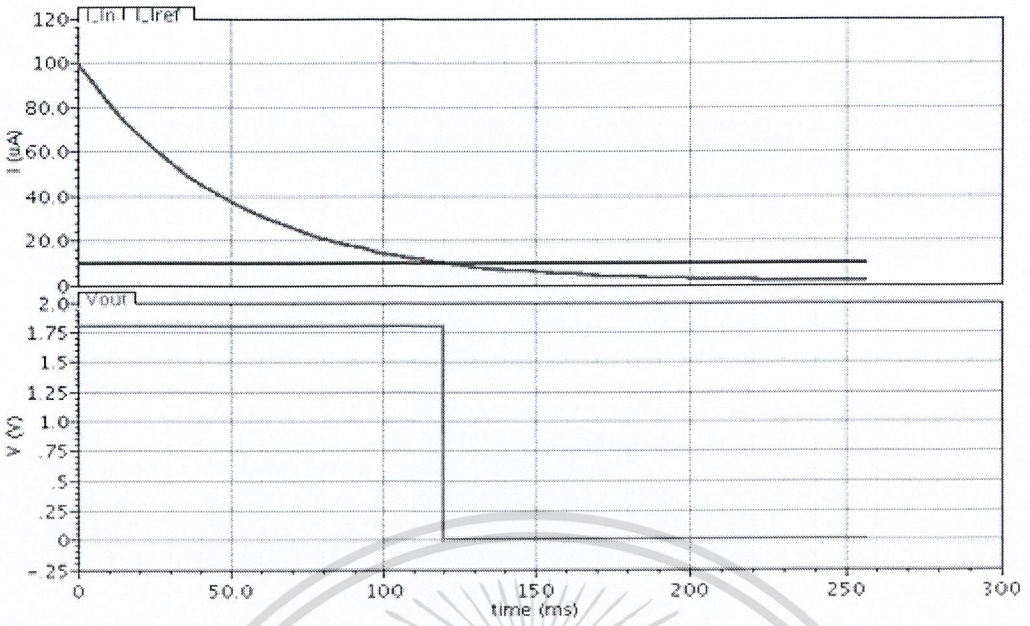
โครงสร้างของวงจรเปรียบเทียบกระแส แสดงดังรูปที่ 3.8 ทรานซิสเตอร์ $M_1$-$M_2$ ทำหน้าที่สะท้อนกระแสจากแหล่งจ่ายกระแสอ้างอิงไปยังวงจรเปรียบเทียบ ทรานซิสเตอร์ $M_3$-$M_4$ ทำหน้าที่สะท้อนกระแสจากแหล่งจ่ายกระแสอินพุทไปยังวงจรเปรียบเทียบเช่นเดียวกัน การทำงานของของวงจรคือ เมื่อ $I_{IN}$ มีค่าน้อยกว่า $I_{REF}$ แรงดันเกตของทรานซิสเตอร์ $M_7$ และ $M_8$ เพิ่มขึ้นเข้าใกล้ Vdd ทำให้ทรานซิสเตอร์ $M_7$ ไม่ทำงาน ทรานซิสเตอร์ $M_8$ ทำงาน ส่งผลให้แรงดันเกตของทรานซิสเตอร์ $M_5$ และ $M_6$ ลดลงเข้าใกล้ศูนย์ ทำให้ทรานซิสเตอร์ $M_5$ ไม่ทำงาน ทรานซิสเตอร์ $M_6$ ทำงาน ซึ่งทรานซิสเตอร์ $M_5$ และ $M_6$ ทำให้วงจรเปรียบเทียบกระแสมีอินพุทอิมพีแดนซ์ต่ำ นอกจากนี้ยังทำให้แรงดันเกตของทรานซิสเตอร์ $M_9$ และ $M_{10}$ ลดลงเข้าใกล้ศูนย์ด้วย ทำให้แรงดันเกตของทรานซิสเตอร์ $M_{11}$ และ $M_{12}$ เพิ่มขึ้นเข้าใกล้ Vdd ทำให้แรงดันที่เอาท์พุทมีสถานะเป็นลอจิก “0” และเมื่อ $I_{IN}$ มีค่ามากกว่า $I_{REF}$ แรงดันเกตของทรานซิสเตอร์ $M_7$ และ $M_8$ ลดลงเข้าใกล้ศูนย์ ทำให้ทรานซิสเตอร์ $M_7$ ทำงาน ทรานซิสเตอร์ $M_8$ ไม่ทำงาน ส่งผลให้แรงดันเกตของทรานซิสเตอร์ $M_5$ และ $M_6$ เพิ่มขึ้นเข้าใกล้ Vdd ทำให้ทรานซิสเตอร์ $M_5$ ทำงาน ทรานซิสเตอร์ $M_6$ ไม่ทำงาน นอกจากนี้ยังทำให้แรงดันเกตของทรานซิสเตอร์ $M_9$ และ $M_{10}$ เพิ่มขึ้นเข้าใกล้ Vdd ด้วย ทำให้แรงดันเกตของทรานซิสเตอร์ $M_{11}$ และ $M_{12}$ ลดลงเข้าใกล้ศูนย์ ทำให้แรงดันที่เอาท์พุทมีสถานะเป็นลอจิก “1”

การจำลองการทำงานแบบทรานเซียนของวงจรเปรียบเทียบกระแส กำหนดให้แหล่งจ่ายแรงดัน Vdd มีขนาด 1.8 โวลต์ กระแสอ้างอิง($I_{ref}$) มีขนาด 10 μA และป้อนสัญญาณกระแสอินพุทที่เป็นเอกซ์โพเนนเชียล มีขนาดตั้งแต่ 100 μA ถึง 1 μA ในเวลา 256 ms ซึ่งผลการจำลองการทำงานของวงจรเปรียบเทียบกระแส แสดงดังรูปที่ 3.9

จากผลการจำลองการทำงานพบว่า ถ้ากระแสอินพุทมีค่ามากกว่ากระแสอ้างอิง ($I_{IN} > I_{ref}$) แรงดันเอาท์พุทจะเป็น 1.8 โวลต์ และถ้ากระแสอินพุทมีค่าน้อยกว่ากระแสอ้างอิง ($I_{IN} < I_{ref}$) แรงดันเอาท์พุทจะเป็น 0 โวลต์

| ทรานซิสเตอร์ | ความกว้าง (ไมโครเมตร) | ความยาว (ไมโครเมตร) |
|---|---|---|
| $M_1$–$M_4$ | 50 | 5 |
| $M_6$ , $M_7$, $M_9$, $M_{11}$ | 20 | 5 |
| $M_5$ , $M_6$, $M_8$, $M_{10}$ | 10 | 5 |

**ตารางที่ 3.2** ขนาดทรานซิสเตอร์ของวงจรเปรียบเทียบกระแส




**รูปที่ 3.9** แสดงการป้อนกระแสอินพุทเปรียบเทียบกับกระแสอ้างอิง(รูปบน) และการทำงานของวงจรเปรียบเทียบกระแส (รูปล่าง)

## 3.4 วงจรยกกำลังสอง

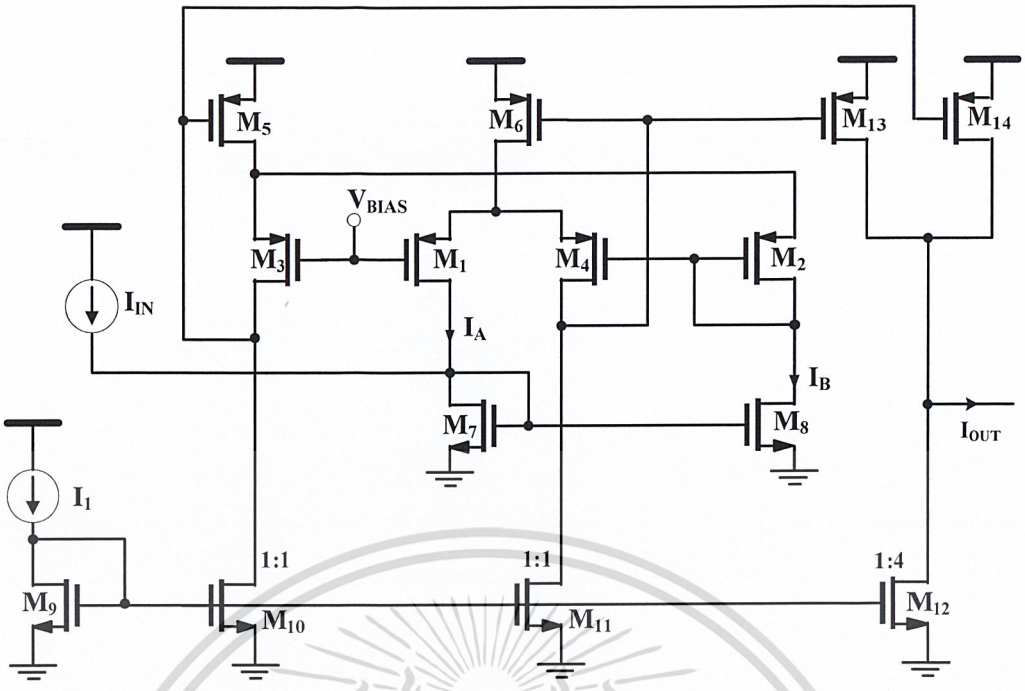
วงจรยกกำลังสองเป็นวงจรที่ใช้หลักการของทรานลิเนียร์ในการสร้างวงจรยกกำลังสอง โดยโครงสร้างของวงจรยกกำลังสองแสดงดังรูปที่ 3.10 วงจรยกกำลังสอง [9] ที่นำเสนอนี้ จะลดจำนวนทรานซิสเตอร์และอัตราการสูญเสียกำลังงาน และยังเพิ่มแบนด์วิธของวงจรอีกด้วย

รูปที่ 3.10 แสดงโครงสร้างของวงจรยกกำลังสองที่ทำงานในโหมดกระแส โดยที่ทรานซิสเตอร์ $M_9 = M_{10} = M_{11}$ , $M_5 = M_6 = M_{13} = M_{14}$ , และ $M_{12} = 4M_9$ ซึ่งวงจรประกอบทรานซิสเตอร์ $M_1 - M_4$ ที่ต่อเป็นวงจรทรานลิเนียร์ แรงดันไบอัส $V_{BIAS}$ ที่ทำให้วงจรทรานลิเนียร์ทำงาน ทรานซิสเตอร์ $M_5$ และ $M_6$ ต่อเป็น shunt feedback เพื่อให้มีอิมพีแดนซ์ต่ำ โดยมีกระแสเดรนเป็น $I_1+I_B$ และ $I_1+I_A$ ตามลำดับ กระแส $I_1$ ที่มีค่าคงที่ จะไหลผ่านไปยังทรานซิสเตอร์ $M_3$ และ $M_4$ จากหลักการของวงจรทรานลิเนียร์ในรูปที่ 3.4 จะได้ความสัมพันธ์ของกระแสเดรนดังนี้

$$\sqrt{I_1} + \sqrt{I_1} = \sqrt{I_A} + \sqrt{I_B} \tag{3.3}$$

จะได้ว่า

$$\sqrt{I_A} = 2\sqrt{I_1} - \sqrt{I_B} \tag{3.4}$$




**รูปที่ 3.10** โครงสร้างของวงจรยกกำลังสอง

ในทางตรงกันข้าม จากรูปที่ 3.10 สามารถสรุปได้ว่า

$$I_B = I_A + I_{IN} \tag{3.5}$$

ยกกำลังสองสมการที่ (3.4) และแทนค่า $I_B$ จากสมการที่ (3.5)

$$\begin{aligned} I_A &= 4I_1 - 4\sqrt{I_1 I_B} + I_B \\ I_A &= 4I_1 - 4\sqrt{I_1 I_B} + I_A + I_{IN} \end{aligned} \tag{3.6}$$

แก้สมการหาค่า $I_B$ จะได้

$$I_B = \frac{(4I_1 + I_{IN})^2}{16I_1} \tag{3.7}$$

และแก้สมการหาค่า $I_A$ จะได้

$$I_A = \frac{(4I_1 - I_{IN})^2}{16I_1} \tag{3.8}$$

เพื่อให้ได้กระแสเอาท์พุทจากวงจรที่นำเสนอ ทรานซิสเตอร์ $M_{13}$ และ $M_{14}$ จะคัดลอกกระแสจากทรานซิสเตอร์ $M_5$ และ $M_6$ ตามลำดับ จะได้

$$\begin{aligned} I_{OUT} &= (I_{13} + I_{14}) - 4I_1 \\ &= (I_5 + I_6) - 4I_1 \\ &= (I_1 + I_B + I_1 + I_A) - 4I_1 \\ &= I_A + I_B - 2I_1 \end{aligned} \tag{3.9}$$

แทนค่า $I_A$ , $I_B$ จะได้

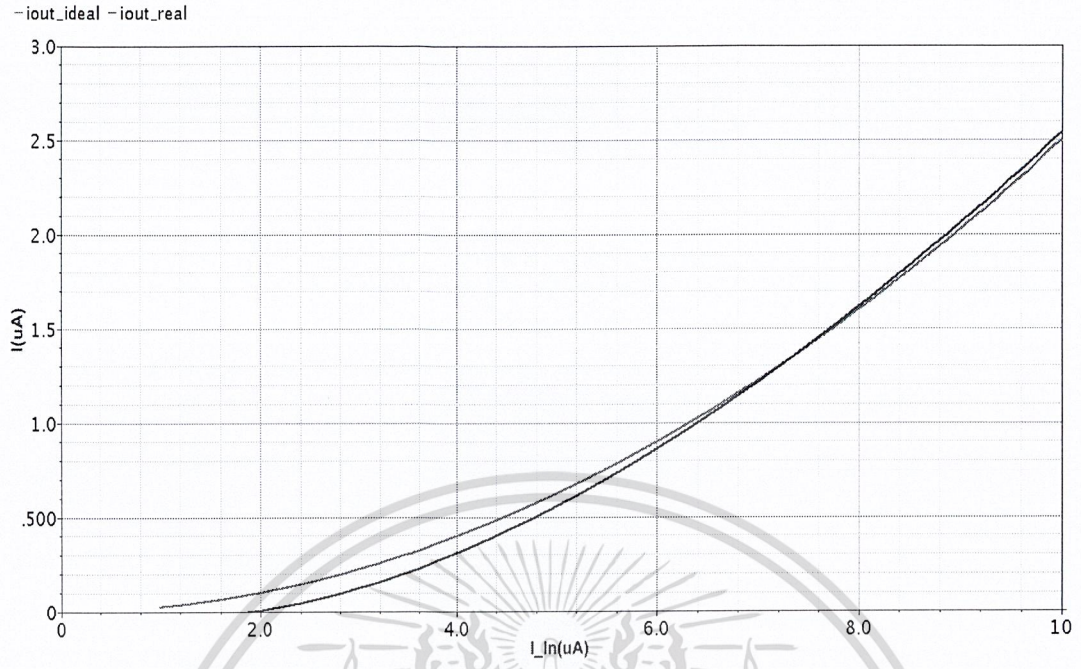
$$I_{OUT} = \frac{(4I_1 - I_{IN})^2}{16I_1} + \frac{(4I_1 + I_{IN})^2}{16I_1} - 2I_1$$

$$= \frac{32I_1^{\,2} + 2I_{IN}^{\,2}}{16I_1} - 2I_1$$

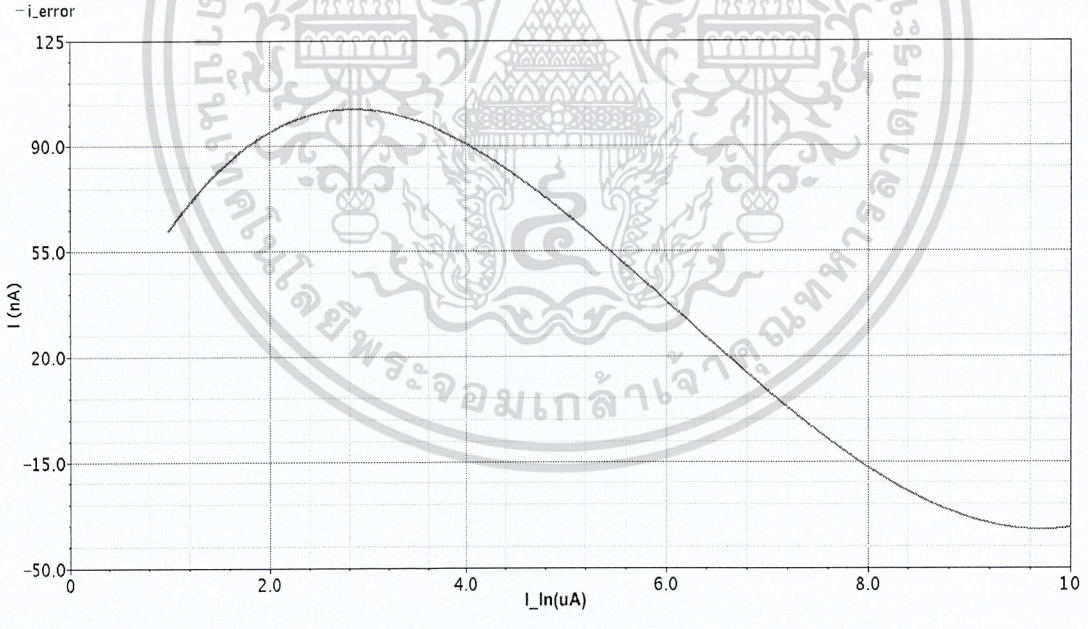
ดังนั้น

$$I_{OUT} = \frac{I_{IN}^{\,2}}{8I_1} \tag{3.10}$$

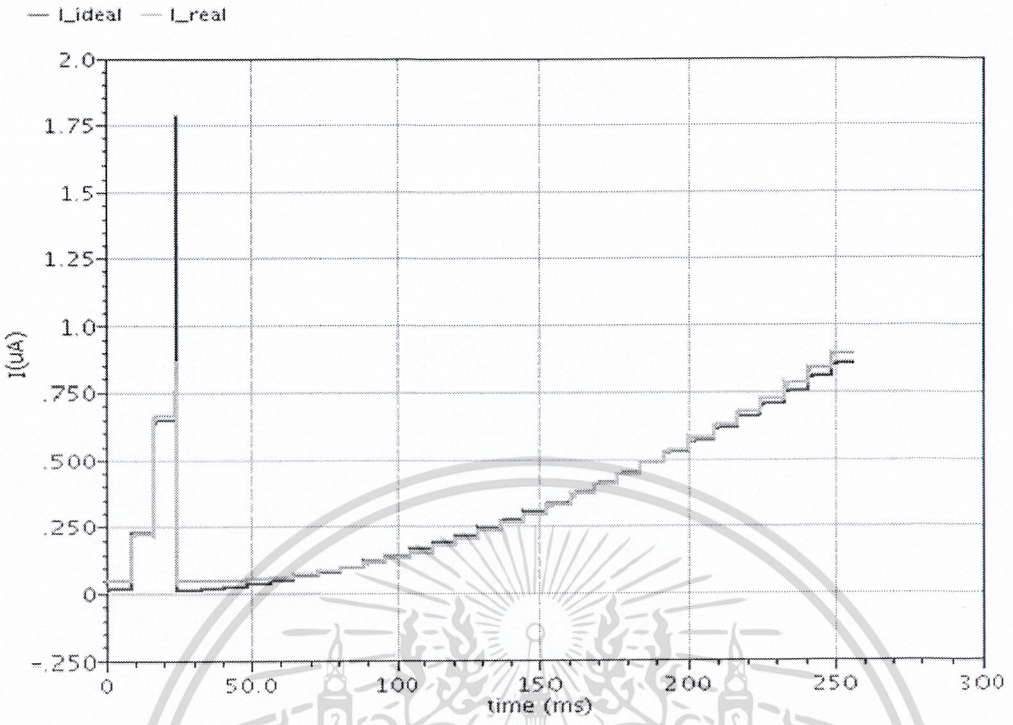
การจำลองการทำงานแบบไฟตรงของวงจรยกกำลังสอง กำหนดให้กระแสอินพุท $I_{IN}$ เปลี่ยนจาก 1-10μA ครั้งละ 0.01 μA ผลการจำลองการทำงานของกระแสเอาท์พุท และกราฟกระแสเอาท์พุทจากการคำนวณในสมการที่ (3.10) แสดงในรูปที่ 3.11 และค่าความผิดของการจำลองการทำงานแบบไฟตรงแสดงในรูปที่ 3.12 การจำลองการทำงานแบบทรานเซียน กำหนดให้กระแสอินพุท $I_{IN}$ เปลี่ยนแปลงจาก 1 μA ถึง 100 μA ในเวลา 256 ms กระแสไฟตรงไบอัส $I_1$ มีขนาด 5 μA ผลการจำลองการทำงานของกระแสเอาท์พุทเปรียบเทียบกับการคำนวณจากสมการที่ (3.10) แสดงดังรูปที่ 3.13 และค่าความผิดพลาดของการจำลองการทำงานแบบทรานเซียนแสดงดังรูปที่ 3.14



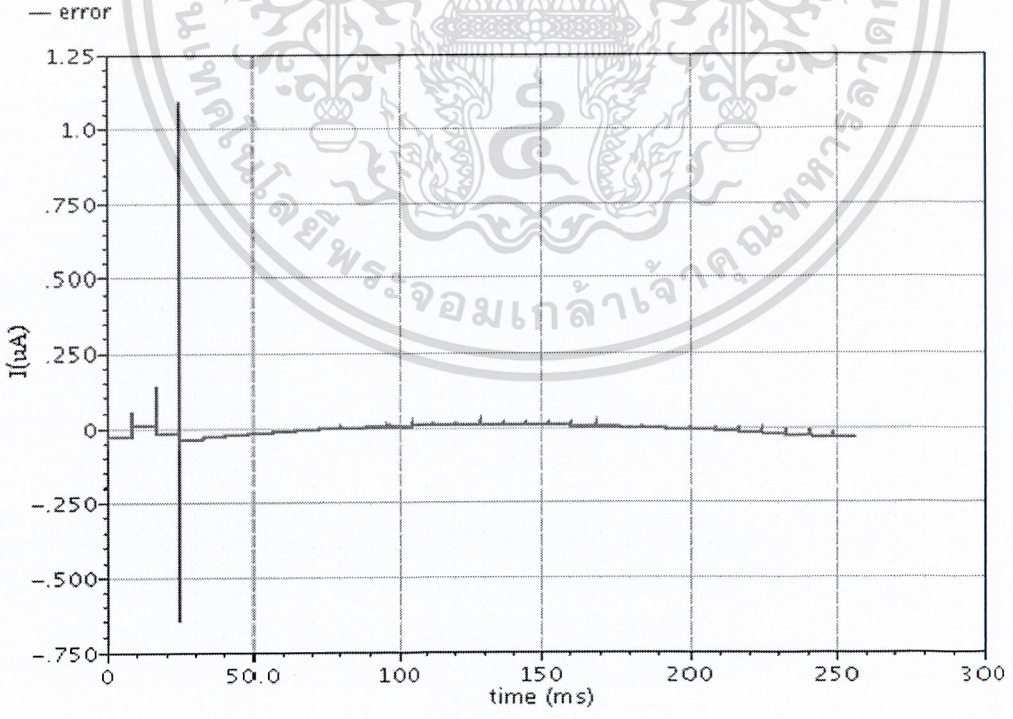

**รูปที่ 3.11** ผลการจำลองการทำงานแบบไฟตรงของวงจรยกกำลังสอง




**รูปที่ 3.12** ค่าความผิดพลาดของการจำลองการทำงานแบบไฟตรงของวงจรยกกำลังสอง




**รูปที่ 3.13** ผลการจำลองการทำงานแบบทรานเซียนของวงจรยกกำลังสอง




**รูปที่ 3.14** ค่าความผิดพลาดของผลการจำลองการทำงานแบบทรานเซียนของวงจรยกกำลังสอง

จากผลการจำลองการทำงานของวงจรยกกำลังสองพบว่า เมื่อป้อนสัญญาณอินพุทเป็นแบบเชิงเส้น สัญญาณเอาท์พุทที่ได้จะเป็นฟังก์ชันเอ็กซ์โพเนนเชียล แสดงว่าวงจรยกกำลังสองสามารถทำงานได้ และมีค่าความผิดพลาดอยู่ในเกณฑ์ที่ยอมรับได้ คือมีค่าความผิดพลาดสูงสุด 137 nA

| ทรานซิสเตอร์ | ความกว้าง (ไมโครเมตร) | ความยาว (ไมโครเมตร) |
|---|---|---|
| $M_1$–$M_4$ | 50 | 5 |
| $M_5$–$M_6$ , $M_{13}$–$M_{14}$ | 4 | 2 |
| $M_7$–$M_{11}$ | 20 | 5 |
| $M_{12}$ | 80 | 5 |

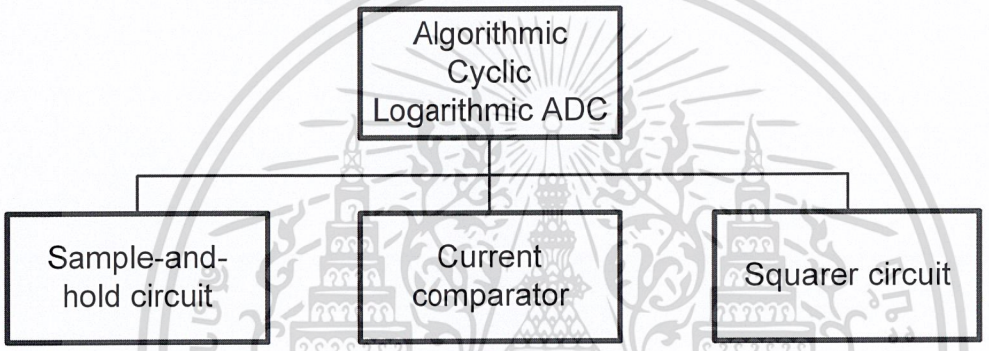
**ตารางที่ 3.3** ขนาดทรานซิสเตอร์ของวงจรยกกำลังสอง

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

# บทที่ 4
# โครงสร้างวงจรที่นำเสนอและผลการจำลองการทำงาน

## 4.1 บทนำ

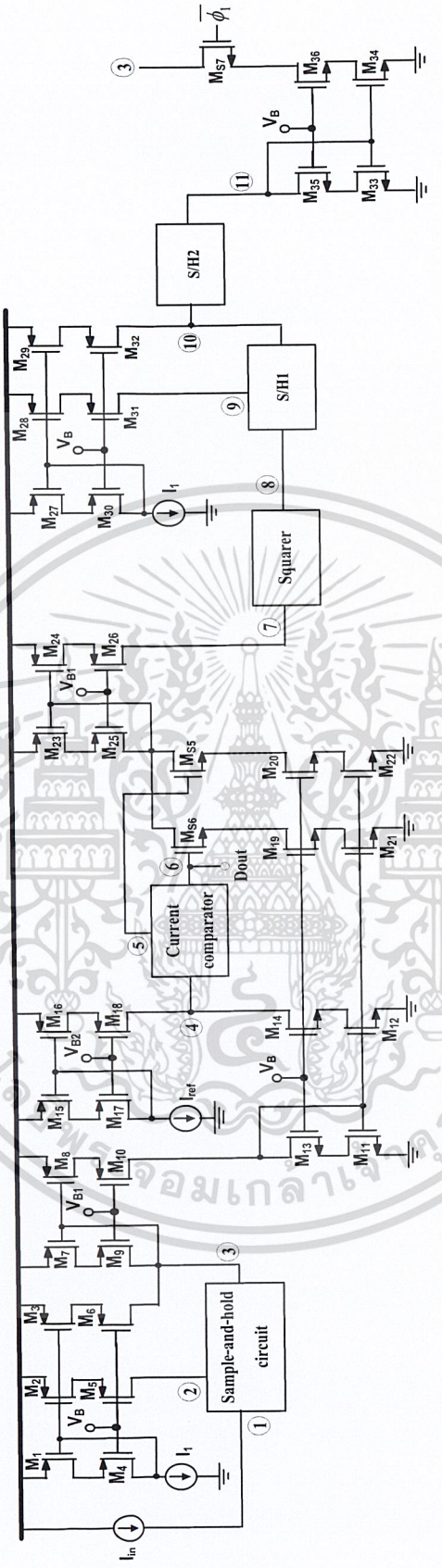
โครงสร้างของวงจรแปลงสัญญาณลอการิทึมแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic ที่ความถี่ต่ำและกินกำลังงานต่ำ ที่นำเสนอดังแสดงในรูปที่ 4.1 ประกอบด้วยวงจรตามและคงค่าสัญญาณ วงจรเปรียบเทียบกระแส และวงจรยกกำลังสอง ในบทนี้จะอธิบายโครงสร้างของวงจรและผลการจำลองการทำงาน




**รูปที่4.1** วงจร Algorithmic Cyclic Logarithmic ADC

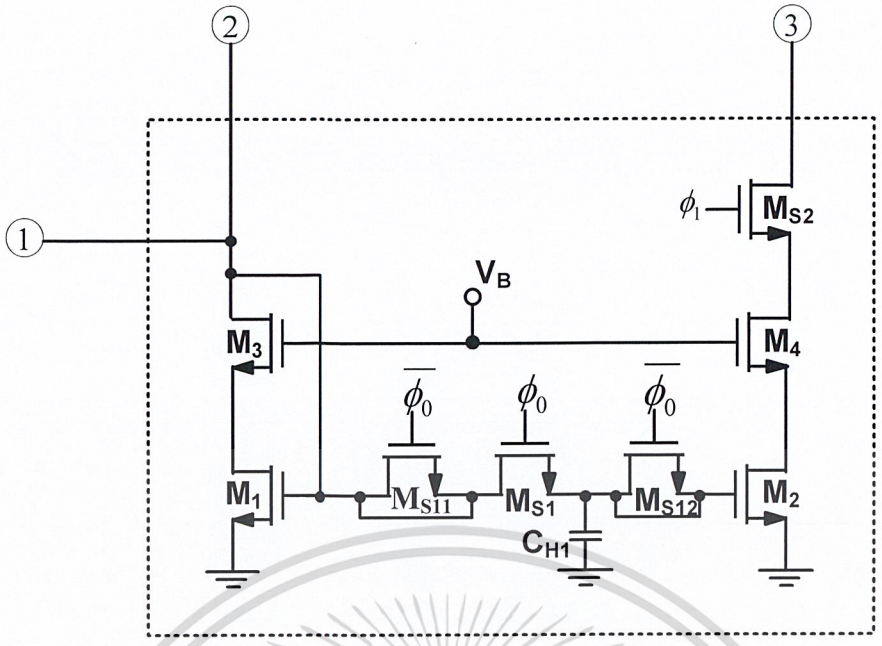
## 4.2 โครงสร้างของวงจร Algorithmic Logarithmic ADC

วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอลแบบ Algorithmic Logarithmic แสดงดังรูปที่ 4.2 วงจรประกอบด้วยวงจรในส่วนต่างๆ ได้แก่ ทรานซิสเตอร์ $M_1$-$M_6$ ทำหน้าที่สะท้อนกระแส $I_1$ มายังวงจรตามและคงค่าสัญญาณ (Sample-and-hold circuit:S/H ) ดังแสดงในรูปที่ 4.3 โดยที่จุดเชื่อมต่อที่ 1 เชื่อมต่อกับกระแสอินพุท จุดเชื่อมต่อที่ 2 และ 3 เชื่อมต่อกับวงจรสะท้อนกระแสคาสโคดแบบสวิงกว้าง วงจรจะทำหน้าที่สุ่มและคงค่าสัญญาณไว้ในช่วงเวลาหนึ่ง โดยสวิตซ์ $M_{S1}$-$M_{S2}$ ซึ่งถูกควบคุมด้วยสัญญาณนาฬิกาที่ไม่ซ้อนทับกัน (Non-Overlapping Clock Signal) $\phi_0$ และ $\phi_1$ ตามลำดับ และสวิตซ์ $M_{S11}$-$M_{S12}$ ถูกควบคุมด้วยสัญญาณนาฬิกา $\overline{\phi_0}$ เพื่อช่วยลดปัญหา charge injection ค่าที่ได้จากวงจร S/H จะเข้าสู่วงจรสะท้อนกระแสคาสโคดแบบสวิงกว้างด้วยทรานซิสเตอร์ $M_7$-$M_{14}$ เพื่อส่งไปยังวงจรเปรียบเทียบกระแส (Current comparator)

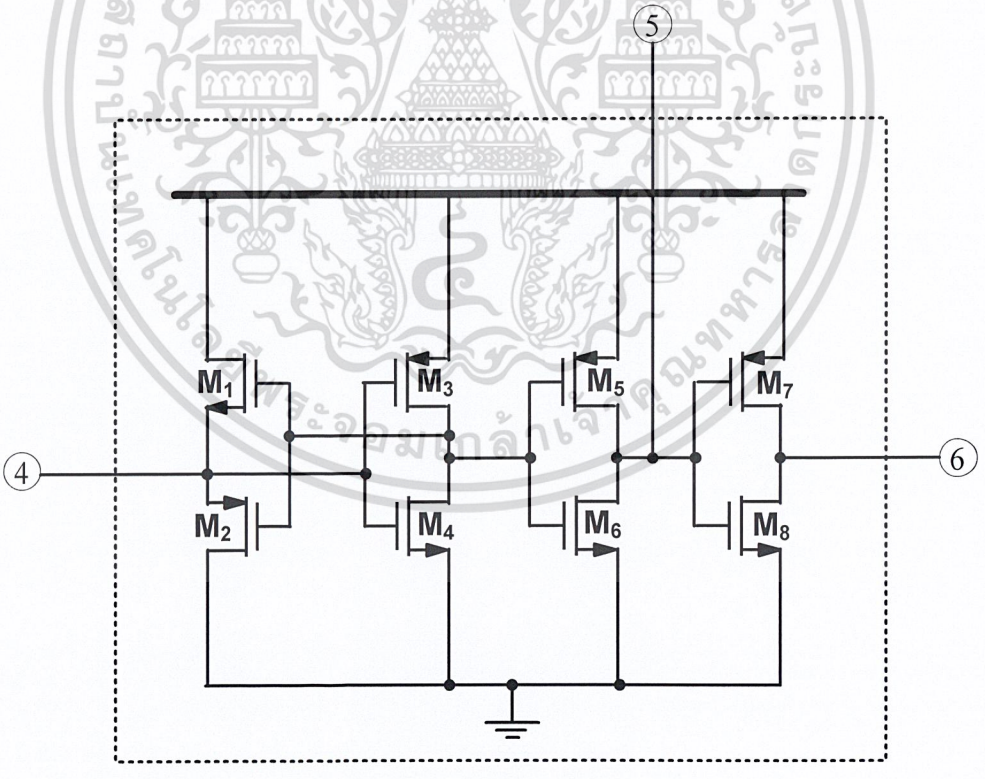



**รูปที่4.2** โครงสร้างของวงจร Algorithmic Cyclic Logarithmic ADC

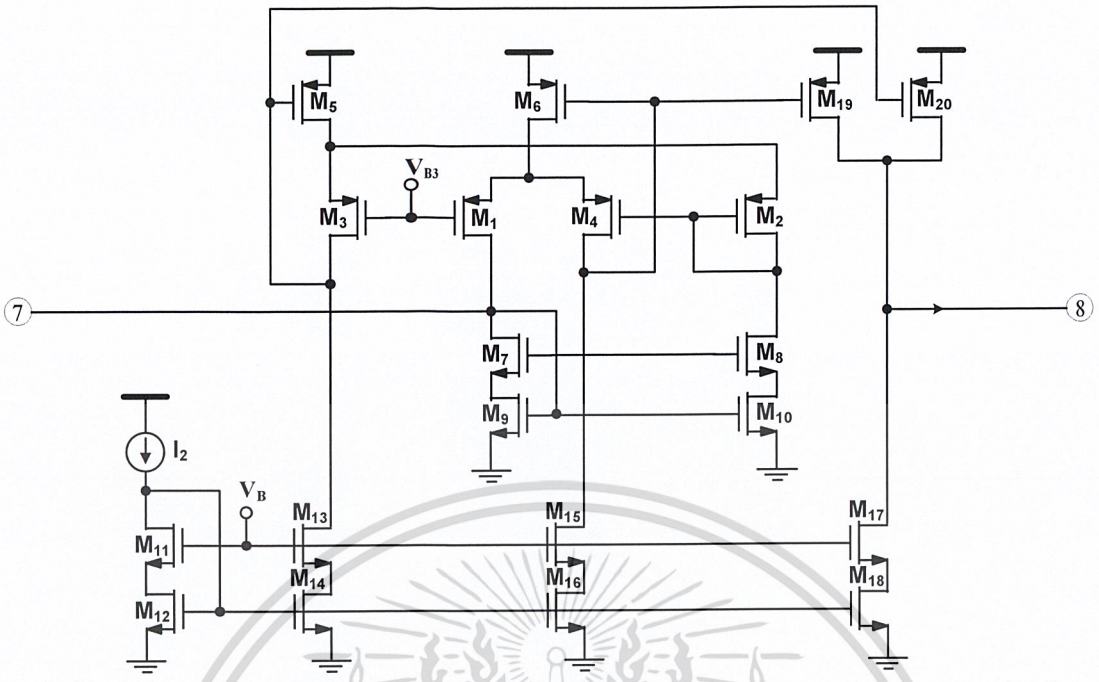
และทรานซิสเตอร์ $M_{15}$-$M_{18}$ เป็นวงจรสะท้อนกระแสคาสโคดแบบสวิงกว้างเช่นเดียวกัน ทำหน้าที่สะท้อนสัญญาณกระแสอ้างอิงมายังวงจรเปรียบเทียบกระแส วงจรเปรียบเทียบกระแสแสดงดังรูปที่ 4.4 ซึ่งจะทำหน้าที่เปรียบเทียบระหว่างกระแสอินพุทกับกระแสอ้างอิง โดยจุดเชื่อมต่อที่ 4 เป็นจุดที่สัญญาณอินพุทกับสัญญาณอ้างอิงเปรียบเทียบกัน ถ้าสัญญาณกระแสอินพุทที่เข้ามามีค่ามากกว่าสัญญาณกระแสอ้างอิง จุดเชื่อมต่อที่ 6 ซึ่งเป็นดิจิตอลเอาท์พุทจะมีสถานะเป็น “1” ทำให้สวิตซ์ $M_{S6}$ ทำงาน สัญญาณอินพุทจะถูกปรับขนาดด้วย 0.1 ที่ทรานซิสเตอร์ $M_{19}$ และ $M_{21}$ ก่อนส่งต่อไปยังวงจรยกกำลังสอง และถ้าสัญญาณกระแสอินพุทที่เข้ามามีค่าน้อยกว่าน้อยกว่าสัญญาณกระแสอ้างอิง ดิจิตอลเอาท์พุทจะมีสถานะเป็น “0” ทำให้สวิตซ์ $M_{S5}$ ซึ่งเป็นจุดเชื่อมต่อที่ 5 ทำงาน สัญญาณอินพุทจะถูกปรับขนาดด้วย 1 ที่ทรานซิสเตอร์ $M_{20}$ และ $M_{22}$ ก่อนส่งไปยังวงจรยกกำลังสองด้วยทรานซิสเตอร์ $M_{23}$-$M_{26}$ ซึ่งเป็นวงจรสะท้อนกระแสคาสโคดแบบสวิงกว้างเข้าที่จุดเชื่อมต่อที่ 7 โดยที่วงจรยกกำลังสองแสดงดังรูปที่ 4.5 วงจรประกอบด้วยทรานซิสเตอร์ $M_1$-$M_4$ ที่ต่อเป็นวงจรทรานลิเนียร์ แรงดันไบอัส $V_{B3}$ ที่ทำให้วงจรทรานลิเนียร์ทำงาน ทรานซิสเตอร์ $M_{11}$-$M_{18}$ เป็นวงจรสะท้อนกระแสคาสโคดแบบสวิงกว้างทำหน้าที่สะท้อนกระแสไฟตรง $I_2$ มายังวงจรทรานลิเนียร์ กระแสเอาท์พุทที่ออกจากวงจร มีค่าเท่ากับยกกำลังสองของกระแสอินพุท หรือ 0.1 ของกระแสอินพุท หารด้วยแปดเท่าของกระแสไฟตรง $I_2$ ออกสู่จุดเชื่อมต่อที่ 8 ซึ่งเป็นวงจรตามและคงค่าสัญญาณ (S/H1) แสดงดังรูปที่ 4.6 โดยมีสวิตซ์ $M_{S3}$ ควบคุมการทำงานของวงจร สวิตซ์ $M_{S31}$-$M_{S32}$ ต่อเป็น dummy switch ปัญหา charge injection ซึ่งถูกควบคุมด้วยสัญญาณนาฬิกา $\phi_2$ และ $\overline{\phi_2}$ ตามลำดับ ตัวเก็บประจุ $C_{H2}$ ทำหน้าที่เก็บค่าหรือส่งผ่านกระแสเอาท์พุทไปยังวงจรต่อไป จุดเชื่อมต่อที่ 9 และ 10 เชื่อมต่อกับทรานซิสเตอร์ $M_{27}$-$M_{32}$ ซึ่งเป็นวงจรสะท้อนกระแสคาสโคดแบบสวิงกว้าง โดยสะท้อนกระแสไบอัส $I_1$ มายังวงจรตามและคงค่าสัญญาณ ทำให้สัญญาณอินพุทที่จุดเชื่อมต่อที่ 8 กับจุดเชื่อมต่อที่ 10 มีค่าเท่ากัน จากนั้นจะเข้าสู่วงจรตามและคงค่าสัญญาณ (S/H2) อีกครั้งที่จุดเชื่อมต่อที่ 10 แสดงดังรูปที่ 4.7 โดยมีสวิตซ์ $M_{S4}$ ควบคุมการทำงานของวงจร สวิตซ์ $M_{341}$-$M_{S42}$ ต่อเป็น dummy switch ปัญหา charge injection ซึ่งถูกควบคุมด้วยสัญญาณนาฬิกา $\overline{\phi_2}$ และ $\phi_2$ ตามลำดับ ตัวเก็บประจุ $C_{H3}$ ทำหน้าที่เก็บค่าหรือส่งผ่านกระแสเอาท์พุทไปยังวงจรต่อไปยังจุดเชื่อมต่อที่ 11 ซึ่งทำหน้าจำกัดค่าแปดเท่าของกระแสไฟตรง $I_2$ และผ่านไปยังสวิตซ์ $M_{S7}$ เพื่อส่งกลับไปยังวงจรเปรียบเทียบกระแส จนได้จำนวนบิตที่ต้องการ โดยที่สวิตซ์ $M_{S7}$ ถูกควบคุมด้วยสัญญาณนาฬิกา $\overline{\phi_1}$



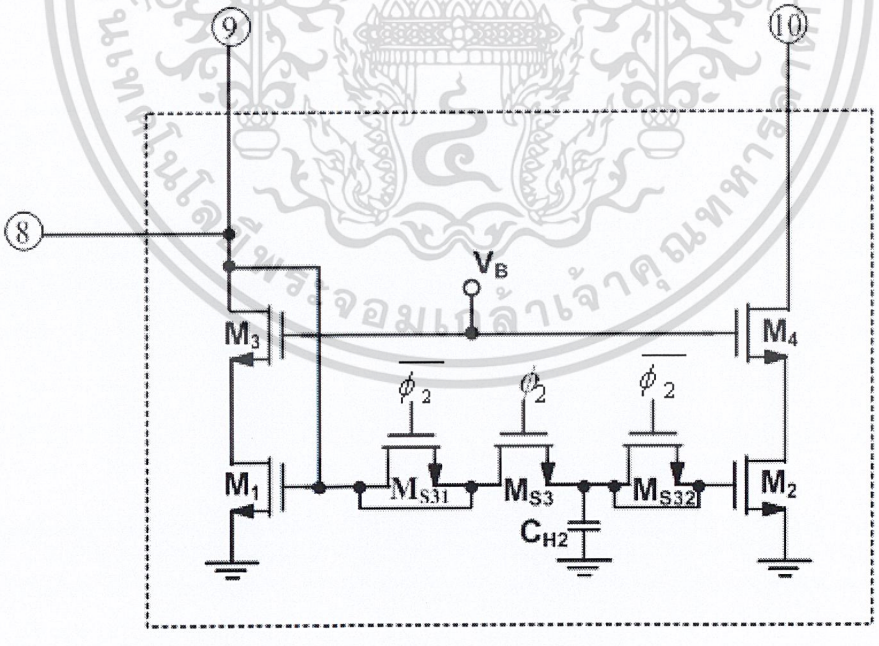

**รูปที่ 4.3** โครงสร้างของวงจรตามและคงค่าสัญญาณ (Sample-and-hold circuit)



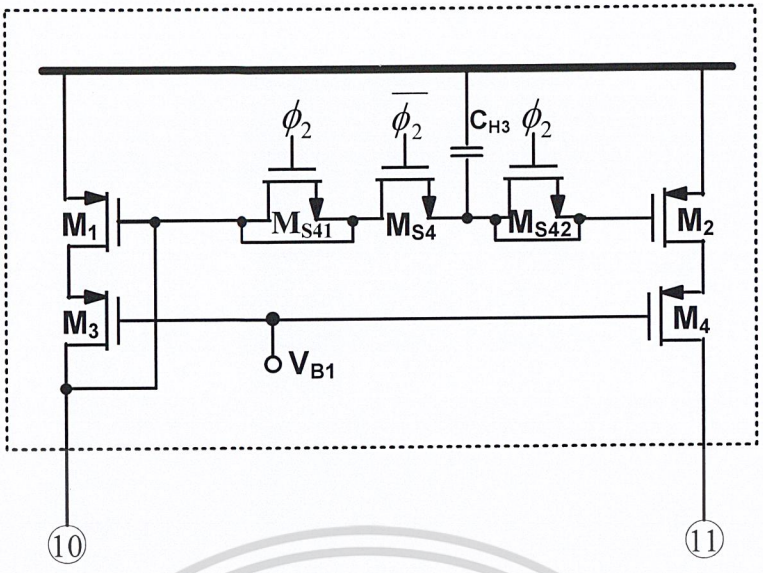

**รูปที่ 4.4** โครงสร้างของวงจรเปรียบเทียบกระแส (Current comparator)




**รูปที่ 4.5** โครงสร้างของวงจรยกกำลังสอง




**รูปที่ 4.6** โครงสร้างของวงจรตามและคงค่าสัญญาณ (S/H1)




**รูปที่ 4.7** โครงสร้างของวงจรตามและคงค่าสัญญาณ (S/H2)

## 4.3 ผลการจำลองการทำงานของจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic Logarithmic

การจำลองการทำงานของวงจรแปลงสัญญาณแอนะล็อกเป็นดิจิตอลแบบ Algorithmic Cyclic Logarithmic ได้มีการจำลองการทำงานด้วยโปรแกรม Cadence Spectre ใช้เทคโนโลยี CMOS 0.18 ไมโครเมตร วงจรทำงานโดยใช้แหล่งจ่ายแรงดัน 1.8 โวลต์ กระแสอินพุท $I_{in}$ เป็นสัญญาณเอ็กซ์โนเนนเชียลเปลี่ยนแปลงจาก 100 μA ถึง 1μA กระแสไฟตรง $I_1$ มีขนาด 1 μA กระแสไฟตรง $I_2$ มีขนาด 5 μA กระแสอ้างอิง $I_{REF}$ มีขนาด 10μA ตัวเก็บประจุ $C_{H1}$ , $C_{H2}$- $C_{H3}$ มีขนาด 0.5 pF และ 5pF ตามลำดับ แรงดันไบอัสไฟตรง $V_B$ , $V_{B1}$ ,$V_{B2}$ และ $V_{B3}$ ขนาด 1 โวลต์ , 0.5 โวลต์ , 0.75 โวลต์ และ 0.9 โวลต์ ตามลำดับ สัญญาณนาฬิกามีขนาด 1kHz ผลการจำลองการทำงานแสดงดังรูปที่ 4.8 รูปที่ 4.9 และ รูปที่ 4.10 เป็นผลการจำลองการทำงานความไม่เป็นเชิงเส้นผลรวม (INL) และความไม่เป็นเชิงเส้นผลต่าง (DNL) ตามลำดับ ขนาดของทรานซิสเตอร์แสดงดังตารางที่ 4.1, ตารางที่ 4.2 และตารางที่ 4.3 ตามลำดับ

| | ทรานซิสเตอร์ | ความกว้าง (ไมโครเมตร) | ความยาว (ไมโครเมตร) |
|---|---|---|---|
| รูปที่ 4.2 | $M_1$ - $M_6$ | 15 | 2 |
| | $M_7$ - $M_8$ , $M_{15}$ – $M_{16}$ | 45 | 2 |
| | $M_9$ - $M_{10}$ | 12 | 0.2 |
| | $M_{13}$ - $M_{14}$ , $M_{20}$ | 30 | 0.2 |
| | $M_{11}$ - $M_{12}$ , $M_{22}$ | 6.4 | 2 |
| | $M_{17}$ - $M_{18}$ | 20 | 2 |
| | $M_{19}$ | 3 | 0.2 |
| | $M_{21}$ | 0.64 | 2 |
| | $M_{S5}$ – $M_{S7}$ | 5 | 0.18 |
| | $M_{23}$ - $M_{24}$ | 8 | 5 |
| | $M_{25}$ - $M_{26}$ | 1 | 0.2 |

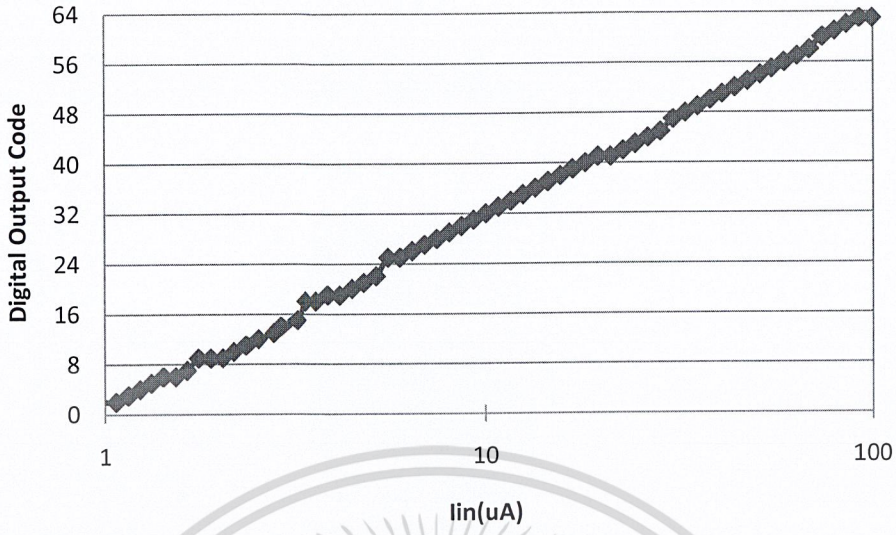
**ตารางที่ 4.1** ขนาดทรานซิสเตอร์ของวงจร Algorithmic Logarithmic ADC

| | ทรานซิสเตอร์ | ความกว้าง (ไมโครเมตร) | ความยาว (ไมโครเมตร) |
|---|---|---|---|
| รูปที่ 4.3 | $M_1$ - $M_2$ | 3.2 | 1 |
| | $M_3$ - $M_4$ | 30 | 0.2 |
| | $M_{S1}$ – $M_{S2}$ | 5 | 0.18 |
| | $M_{S11}$ – $M_{S12}$ | 2.5 | 0.18 |
| รูปที่ 4.4 | $M_1$ , $M_4$ , $M_6$ , $M_8$ | 12.5 | 0.18 |
| | $M_2$ , $M_3$ , $M_5$ , $M_7$ | 25 | 0.18 |

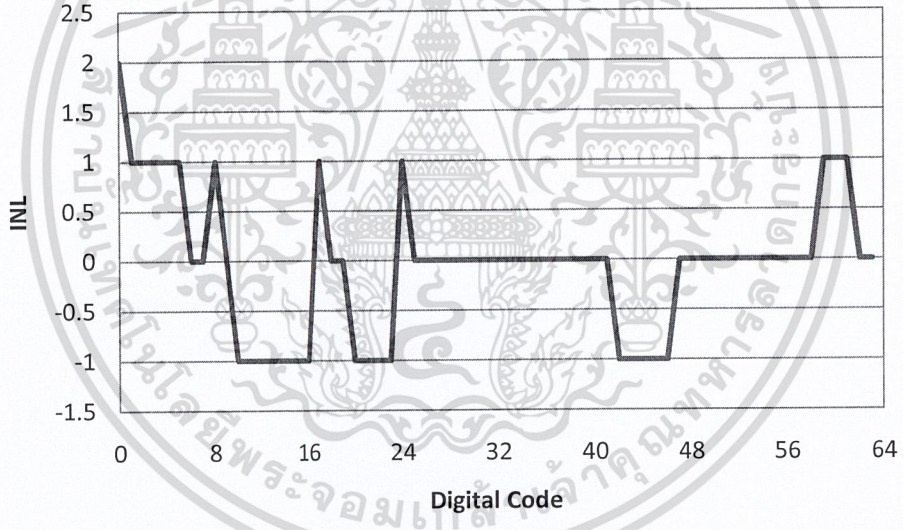
**ตารางที่ 4.2** ขนาดทรานซิสเตอร์ของวงจรวงจรตามและคงค่าสัญญาณ (Sample-and-hold circuit) และวงจรเปรียบเทียบกระแส (Current comparator)

| | ทรานซิสเตอร์ | ความกว้าง (ไมโครเมตร) | ความยาว (ไมโครเมตร) |
|---|---|---|---|
| รูปที่ 4.5 | $M_1 - M_4$ | 50 | 5 |
| | $M_5$ - $M_6$ , $M_{19}$ - $M_{20}$ | 4 | 2 |
| | $M_7 - M_8$ | 3 | 0.2 |
| | $M_9 - M_{10}$ | 1 | 2 |
| | $M_{11}$ , $M_{13}$ , $M_{15}$ | 4 | 0.5 |
| | $M_{12}$ , $M_{14}$ , $M_{16}$ | 0.3 | 2 |
| | $M_{17}$ | 16 | 0.5 |
| | $M_{18}$ | 1.2 | 2 |
| รูปที่ 4.6 | $M_1$ - $M_2$ | 0.48 | 2 |
| | $M_3$ - $M_4$ | 2.2 | 0.2 |
| | $M_{S3}$ | 5 | 0.18 |
| | $M_{S31} - M_{S32}$ | 2.5 | 0.18 |
| รูปที่ 4.7 | $M_1$ - $M_2$ | 3 | 2 |
| | $M_3$ - $M_4$ | 0.7 | 0.2 |
| | $M_{S4}$ | 5 | 0.18 |
| | $M_{S41} - M_{S42}$ | 2.5 | 0.18 |

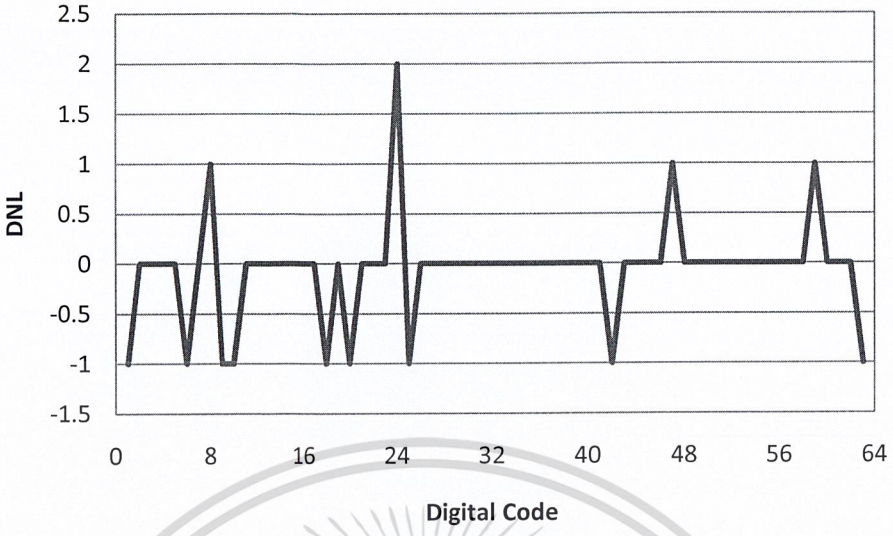
**ตารางที่ 4.3** ขนาดทรานซิสเตอร์ของวงจรยกกำลังสอง วงจรตามแลคงค่าสัญญาณ (S/H1) และ (S/H2)




**รูปที่ 4.8** ผลการจำลองการทำงานของรหัสดิจิตอลเอาท์พุทเทียบกับกระแสอินพุท




**รูปที่ 4.9** ผลการจำลองการทำงานความไม่เป็นเชิงเส้นผลรวม (INL)




**รูปที่ 4.10** ผลการจำลองการทำงานความไม่เป็นเชิงเส้นผลต่าง (DNL)

# บทที่ 5
# สรุปผลการทดลองและข้อเสนอแนะ

## 5.1 สรุปผลการทดลอง

ปริญญานิพนธ์ฉบับนี้นำเสนอการออกแบบวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิตอลที่ความถี่ต่ำและกินกำลังงานต่ำ เพื่อประยุกต์ใช้งานด้านเซนเซอร์ โดยการทำงานของวงจรจะทำงานในโหมดกระแส และรับสัญญาณอินพุทที่ไม่เป็นเชิงเส้น เพื่อให้ดิจิตอลเอาท์พุทที่ได้มีการเปลี่ยนแปลงเป็นเชิงเส้นกับการเปลี่ยนแปลงของสัญญาณอินพุท ซึ่งสัญญาณกระแสอินพุทที่เข้ามาเป็นฟังก์ชันเอ็กซ์โพเนนเชียลและมีค่าอยู่ในระดับไมโครแอมแปร์ ดังนั้นดิจิตอลเอาท์พุทที่ได้จะมีการเปลี่ยนแปลงเป็นเชิงเส้น ซึ่งจะใช้โครงสร้างของวงจร Algorithmic Cyclic Logarithmic และใช้หลักการของวงจรทรานลิเนียร์ จากผลการจำลองการทำงานของวงจรจะได้ว่าสัญญาณดิจิตอลเอาท์พุทที่ได้มีการเปลี่ยนแปลงเป็นเชิงเส้น ซึ่งสอดคล้องกับการทำงานของวงจร และวงจรมีการสูญเสียกำลังงานต่ำ โดยกำลังงานที่สูญเสียสูงสุดคือ 2.4 มิลลิวัตต์

## 5.2 ข้อเสนอแนะ

วงจรที่นำเสนอในปริญญานิพนธ์นี้จะรับสัญญาณที่ไม่เป็นเชิงเส้น คือรับสัญญาณที่เป็นเอ็กโพเนนเชียล ในการสุ่มสัญญาณถ้าการสุ่มสัญญาณอินพุทที่มีค่าใกล้เคียงกับสัญญาณอ้างอิง โอกาสที่จะเกิดความผิดพลาดมีมาก เนื่องจากวงจรอาจทำงานผิดพลาดในบิต MSB ทำให้ค่าความไม่เป็นเชิงเส้นผลรวม (INL) และความไม่เป็นเชิงเส้นผลต่าง (DNL) มีค่าเพิ่มขึ้น ทำให้วงจรมีคุณสมบัติที่ไม่ดี ดังนั้นในการสุ่มสัญญาณไม่ควรสุ่มค่าที่ใกล้กับสัญญาณอ้างอิงมากๆ จะทำให้ลดความไม่เป็นเชิงเส้นผลรวมและความไม่เป็นเชิงเส้นผลต่างได้

# บรรณานุกรม


[1] EL327, **Data Acquisition and Conversion** , คู่มือปฏิบัติการอิเล็กทรอนิกส์ชั้นปีที่3, ภาควิชาอิเล็กทรอนิกส์

[2] P.E. Allen and D.R. Holberg , **CMOS analog circuit design**, Oxford University Press,2002

[3] ANTONIO J, LOPEZ-MARTIN,ALFONSO CARLOSENA AND JAIME RAMIREZ-ANGULO, **Very Low Votage MOS Translinear Loops Based on Flipped Voltage Follower,** Analog Integrated Circuits and Signal Processing, 40, 71-74, 2004

[4] J. Guilherme and Jose E. Franca, **New CMOS Logarithmicc A/D converters Employing Pipeline and Algorithmic Architectures**, Proc. IEEE ISCAS 1995, Vol. 1 , pp. 529-532, 1995

[5] Darraji, R.; Barrak, R.; Rebai, C.; Ghazel, A.; Deval, Y.; Ghannouchi, F., **Track and hold circuit and implementation in 65 nm CMOS techonology for RF subsampling receivers**, Electronics, Circuits and Systems , 2008. ICECS 2008.15 th IEEE International Conference on, pp. 1249-1252, 2008

[6] วรากร เกษมสุวรรณ์, **การวิเคราะห์วงจรรวมซีมอสแบบแอนะล็อก**, คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, ตุลาคม 2552

[7] M.S. Bhat, Rekha S, and H.S. Jamadagni, **DESIGN OF LOW POWER CURRENT-MODE FLASH ADC,** TENCON 2004, Vol. 4, pp. 241-244 ,2004

[8] X.Tang and K.-P. Pun, **High-performance CMOS current comparator**, ELECTRONICS LETTERS 24th September 2009, Vol.45, No.20

[9] Carlos A. De La Cruz Blas, and Antonio Lopez, **A Novel Two Quadrant MOS Translinear Squarer-divider Cell**, Electronics, Circuits and Systems, 2008. ICECS 2008, Aug. 31 2008-Sept. 3 2008

[10] Y. Chiu, **Nyquist-Rate ADC**, Advanced Analog IC Design, ECE 581, Fall 2009