สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การใช้ FPGA ควบคุมระบบไฟส่องสว่าง

FPGA Control Lighting System

T119171

นางสาวกนกวรรณ ม่านตา
นายกฤต ซำเจริญ
นางสาวกานท์นที กิตติยาวนานนท์
นายชาญเดช หลีทศรัตน์

เลขหมู่..........
เลขทะเบียน 119171
วัน,เดือน,ปี - 6 ธ.ค. 2554
b.............
i.............

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรวิศวกรรมศาสตร์บัณฑิต
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2553

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2553
ภาควิชา อิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การใช้ FPGA ควบคุมไฟส่องสว่าง (FPGA Control Lighting System)

ผู้จัดทำ	1. นางสาวกนกวรรณ	ม่านตา	50010006
	2. นายกฤต	ซ้ำเจริญ	50010034
	3. นางสาวกานท์นที	กิตติยาวนานนท์	50010088
	4. นายชาญเดช	หลีทศรัตน์	50010361

.... อาจารย์ที่ปรึกษา
(รศ. ดร. มนัส สังวรศิลป์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้ FPGA ควบคุมระบบไฟส่องสว่าง

กนกวรรณ	ม่านตา	**รหัสประจำตัว**	50010006
กฤต	ซำเจริญ	**รหัสประจำตัว**	50010034
กานต์นที	กิติยาวนานนท์	**รหัสประจำตัว**	50010088
ชาญเดช	หลีทศรัตน์	**รหัสประจำตัว**	50010361
รศ. ดร. มนัส	สังวรศิลป์	**อาจารย์ที่ปรึกษา**	

ปีการศึกษา 2553

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ กล่าวถึง การออกแบบ FIR Filter ซึ่งได้นำสมการและแบบจำลองของ FIR Filter มาอ้างอิงในการออกแบบ จากนั้นออกแบบการทำงานโดยใช้ ภาษา HDL ในการควบคุมการทำงาน ตั้งแต่ส่งสัญญาณจาก ADC ไปยังการประมวลผลในกระบวนการของ FPGA ซึ่งอยู่ในรูป FIR Filter โดยมีย่านความถี่ผ่านตั่งแต่ 1 k-5 kHz. Sampling Rate 60 kHz. มีจำนวนตัวกรองความถี่ทั้งหมด 50 orders ภายในมีการจำลอง โมดูลไว้ 5 โมดูล มี ADC, Delay, Multiplier, Adder และ Dot Matrix LED จากนั้นจึงส่งผลต่อไปยัง Output ซึ่ง Input นี้จะแสดงออก 2 ส่วน คือส่วนของ DAC ที่จะแสดงออกเป็นกราฟเพื่อเปรียบเทียบกับสัญญาณในอุดมคติ และส่วนของ DOT Matrix LED ที่จะแสดงการส่องสว่างตามคำสั่ง โดยเป็นไปตามแต่ละช่วงความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FPGA Control Lighting System

Kanokwan MarnTa ID.50010006

Krrish Sumcharoen ID.50010034

Kannatee Kittiyavananon ID.50010088

Chandech Leethodsarat ID.50010361

Assoc. Prof. Dr. Manas Sangworasil (Advisor)

Semester Years 2010

Abstract

This thesis concerns about designing FIR Filter that is referred from equation and module of FIR Filter. This design uses HDL language for controlling the processes, sending signal from ADC to the complier and sending to the output. In FPGA, we use FIR Filter theorem for design the system. The Band pass frequency is 1-5 kHz., the sampling rate is of 60 kHz and the order of the FIR is 50 orders. The model consists of ADC, Delay, Multiplier, Adder and Dot Matrix LED. The output has 2 outputs which are DAC for signal comparison with the ideal filter and DOT Matrix LED for display of LED corresponding to each frequency channels.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์เล่มนี้สำเร็จได้ด้วยความกรุณาจากบุพการีอันประกอบด้วยบิดาและมารดา ผู้ให้ความช่วยเหลือข้าพเจ้าและเป็นกำลังใจตลอดจนประสบความสำเร็จ

ขอขอบพระคุณ อาจารย์ที่ปรึกษา รองศาสตราจารย์ ดร. มนัส สังวรศิลป์ ที่ให้ความช่วยเหลือ ให้คำชี้แนะช่วยแก้ปัญหาตลอดจนให้ความรู้พร้อมด้วยความสนับสนุนต่าง ๆ ทำให้ข้าพเจ้าได้มีประสบการณ์ที่ดีและสามารถนำไปพัฒนาตนเองและผู้อื่นเพื่อให้เกิดคุณประโยชน์ต่อประเทศชาติในอนาคตต่อไป

ขอขอบพระคุณ นายบุญญฤทธิ์ ลักษณประนัย สำหรับการเสนอแนะแนวทางการเขียน FPGA รวมไปถึงการออกแบบการทดลองต่าง ๆ และข้อแนะนำเกี่ยวกับหลักการต่าง ๆ ที่เกี่ยวข้องกับปริญญานิพนธ์

ขอขอบพระคุณ นายสารัตถ์ อยู่วัฒนะหรับคำปรึกษาเกี่ยวกับงานวิจัย รวมไปทั้งแนวคิดและความรู้พื้นฐานต่าง ๆ เกี่ยวกับการออกแบบที่ดีและการนำไปพัฒนาต่อยอดในงานอื่นได้

ขอขอบคุณ นายกฤษณพันธุ์ มหาพรชัยกุล ที่คอยให้คำปรึกษาและชี้แนะแนวทางการออกแบบเกี่ยวกับการใช้โปรแกรม MATLAB การทำรูปเล่ม พร้อมทั้งกำลังใจต่าง ๆ ที่ได้ ซึ่งทำให้ปริญญานิพนธ์สำเร็จได้

ขอขอบพระคุณ นายกิตตินันท์ น้อยมณี สำหรับแหล่งข้อมูล พร้อมทั้งแนวคิดต่าง ๆ ที่สามารถนำมาปรับปรุงและเปลี่ยนแปลงเพื่อให้ปริญญานิพนธ์สามารถดำเนินงานไปได้ด้วยดี

ขอขอบพระคุณ นายกฤษวรา วาวิลัยสำหรับกำลังใจต่าง ๆ พร้อมทั้งคำแนะนำที่ดีในการออกแบบวงจรพร้อมทั้งให้ความช่วยเหลือและกำลังใจตลอดมา

ขอขอบพระคุณ นายเจริญชัย เจนหรรษา ที่คอยให้คำปรึกษาในการใช้โปรแกรม Altium ในการวาดวงจรรวมถึง เป็นผู้ช่วยในการออกแบบวงจรต่างและคอยให้คำปรึกษาต่างๆ รวมทั้งให้กำลังใจที่ดีเสมอมา

ขอขอบคุณ พี่ ๆ เพื่อน ๆ ในห้องปฏิบัติการ ทั้งสาขาวิชาวิศวกรรมชีวการแพทย์ และสาขาวิชาอิเล็กทรอนิกส์ สำหรับทุกความช่วยเหลือและความเอาใจใส่ในทุกรายละเอียดต่าง ๆ ที่ทำให้ปริญญานิพนธ์นี้สามารถสำเร็จลุล่วงไปได้ด้วยดี หากขาดบุคคลข้างต้นปริญญานิพนธ์นี้จะไม่สามารถสำเร็จลุล่วงไปได้เลย

สำหรับคุณงามความดีอันใดที่เกิดจากปริญญานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับบิดามารดา ซึ่งเป็นที่รักและเคารพยิ่ง ตลอดจนครูอาจารย์ที่เคารพทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้และถ่ายทอดประสบการณ์ที่ดีให้แก่ข้าพเจ้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

หน้า
บทคัดย่อภาษาไทย......I
บทคัดย่อภาษาอังกฤษ......II
กิตติกรรมประกาศ......III
สารบัญ......IV
สารบัญตาราง......VII
สารบัญรูป......VIII
บทที่ 1 บทนำ......1
1.1 ความเป็นมาและความสำคัญ......1
1.2 วัตถุประสงค์......1
1.3 แนวคิดและโครงสร้างของงาน......1
บทที่ 2 ทฤษฎีและหลักการ......2
2.1 วงจรแปลอนาล็อกเป็นดิจิตอล......2
2.1.1 Counting Converter......2
2.1.2 Successive Approximation......4
2.1.3 Dual-Slope ADC......5
2.1.4 Flash Converter......8
2.2 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก......9
2.2.1 ความถูกต้องของ DAC......11
2.2.2 Summed Source DAC......12
2.2.3 Switched Voltage R-2R DAC......12
2.2.4 Switched Current R-2R DAC......13
2.3 ทฤษฎีพื้นฐานของวงจรกรองความถี่ดิจิตอล......13
2.4 การออกแบบวงจรกรองความถี่ไม่ป้อนกลับเชิงเส้น......15
2.4.1 โครงสร้างพื้นฐานของวงจรกรองความถี่ไม่ป้อนกลับ......15
2.4.2 วิธีการใช้หน้าต่าง (Window Method)......16
2.4.3 Windows Function......19
2.4.4 ขั้นตอนการออกแบบ Windows Function......21
2.5 โครงสร้างและสถาปัตยกรรมของ FPGA (Felid Programming Gate Array)......21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.1 Mask Programmable 22
2.5.2 Field Programmable 22
2.5.3 Field Programmable 23
2.5.4 PLD (Programmable Logic Device) 23
2.5.1 PROM (Programmable Read Only Memory) 24
2.5.1 PAL (Programmable Array Logic) 25
2.5.2 PLA (Programmable Logic Array) 25
2.5.1 FPGA (Field Programmable Gate Array) 26
2.5.2 โครงสร้างภายในของ FPGA 26
2.5.2.1 การออกแบบโดยใช้ภาษาอธิบายพฤติกรรมของฮาร์ดแวร์ 28
2.5.2.2 การสังเคราะห์วงจร (Logic Synthesis) 28
บทที่ 3 การออกแบบและการสร้าง 30
3.1 การออกแบบส่วนของ Hardware 30
3.1.1 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล 31
3.1.2 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก 32
3.2 การออกแบบส่วนของ Software 33
3.2.1 Software ที่ใช้ในการคำนวณค่าสัมประสิทธิ์ 33
3.2.2 การออกแบบวงจร FPGA 36
3.2.2.1 วงจร DAC 37
3.2.2.2 วงจร Delay 41
3.2.2.3 วงจร Multiplier 42
3.2.2.4 วงจร adder 43
3.2.2.5 วงจร DOT Matrix LED 44
บทที่ 4 ผลการทดลอง 45
4.1 การทดลอง 45
4.2 ผลการทดลองวงจรกรองแถบความถี่ผ่าน (Band Pass Filter) 45
4.3 กราฟผลตอบสนองทางความถี่ของ Band Pass Filter 48
4.4 ผลการทดลองควบคุมความส่องสว่างของ DOT Matrix LED 51
บทที่ 5 สรุปผลและวิจารณ์ 54
5.1 สรุปผลการทดลอง 54
5.2 ปัญหาที่พบจากโครงงาน 54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 แนวทางในการแก้ปัญหา..55
บรรณานุกรม 56
ภาคผนวก 57

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

ตารางที่ 2.1 ผลการตอบสนองความถี่ของตัวกรองอุดมคติ 18

ตารางที่ 2.2 ผลตอบสนองอิมพัลส์ของตัวกรองอุดมคติต่างๆ 20

ตารางที่ 3.1 ตารางการแสดงค่าสัมประสิทธิ์ที่ได้และค่าที่แปลงเป็นเลขฐานสอง 36

ตารางที่ 4.1 ตารางผลการทดลองของวงจรกรอง.. 49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่ 2.1 ลักษณะการทำงานของวงจรแปลงอนาล็อกเป็นดิจิตอล......3
รูปที่ 2.2 กราฟแสดงแรงดันของวงจรแปลงอนาล็อกเป็นดิจิตอล......3
รูปที่ 2.3 หลักการของไปนารีเซิร์ท......4
รูปที่ 2.4 ตัวอย่างของผลที่ได้จากวิธีการไบนารีเซิร์ท......5
รูปที่ 2.5 วงจรแปลงอนาล็อกเป็นดิจิตอลแบบอันดูสโลป......5
รูปที่ 2.6 เอาท์พุทของวงจรอันดูสโลป......7
รูปที่ 2.7 วงจรเต็มของวงจรอันดูสโลป......7
รูปที่ 2.8 เอาท์พุทของวงจรอันดูสโลปที่เพิ่มค่าความต่างศักย์ให้กับV_{ref}......8
รูปที่ 2.9 แฟลตคอนเวอร์เตอร์......8
รูปที่ 2.10 ลำดับของความเร็วและความละเอียดของอัลกอลิทึม......9
รูปที่ 2.11 ระบบแปลงสัญญาณดิจิตอลเป็นอนาล็อก......9
รูปที่ 2.12 ฟังก์ชั่นถ่ายโอนในอุดมคติของ ADC ขนาด 3 บิต......10
รูปที่ 2.13 แสดงคลื่นไซน์จาก DAC......11
รูปที่ 2.14 วงจร DAC แบบ Summed Source......12
รูปที่ 2.15 วงจร DAC แบบ Switched Voltege R-2R......12
รูปที่ 2.16 วงจร ADC แบบ Switched Current R-2R......13
รูปที่ 2.17 แผนภาพแสดงวงจรกรองสัญญาณดิจิตอล......14
รูปที่ 2.18 ผลการตอบสนองความถี่ของตัวกรองอุดมคติ......16
รูปที่ 2.19 คุณลักษณะเฉพาะของผลตอบสนองความถี่ของตัวกรองแบบ FIR......19
รูปที่ 2.20แผนผังแสดงการแบ่งกลุ่มของวงจรรวม ASIS......22
รูปที่ 2.21 แสดงวงจรพื้นฐานของอุปกรณ์พีแอลดีซึ่งอยู่ในรูปผลคูณร่วมบวก......24
รูปที่ 2.22 แสดงลักษณะของพรอมเมื่อเปรียบเทียบเป็นวงจรในรูปผลคูณร่วมบวก......24
รูปที่ 2.23 แสดงโครงสร้างภายในของพีแอลดี......25
รูปที่ 2.24 แสดงวงจรพื้นญานภายในของพีแอลดี......26
รูปที่ 2.25 โครงสร้างภายในของ FPGA ตระกูล MAX7000S......26
รูปที่ 2.26 โครงสร้างภายในของ FPGA ตระกูล MAX7000S......27
รูปที่ 2.27 การโปรแกรมลงในชิพ......28
รูปที่ 3.1 ส่วนประกอบหลักของดิจิตอลฟิลเตอร์......30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.2 ส่วนของวงจร ADC8020..31
รูปที่ 3.3 แสดงการทำงานของ ADC8020 ในแบบ WR-RD..31
รูปที่ 3.4 ส่วนของวงจร DAC0808..32
รูปที่ 3.5 โปรแกรมที่ใช้ออกแบบ Filter..33
รูปที่ 3.6 กราฟผลตอบสนองความถี่ที่ได้จากการออกแบบ Filter..33
รูปที่ 3.7 แสดงค่าสัมประสิทธิ์..34
รูปที่ 3.8 Block Daigram ในส่วนของ FPGA..36
รูปที่ 3.9 Flowchart's ADC..37
รูปที่ 3.10 Flowchart's ADC (Counter)..38
รูปที่ 3.11 Flowchart's ADC (Clk)..39
รูปที่ 3.12 Flowchart's ADC (Out)..40
รูปที่ 3.13 Flowchart's Delay..41
รูปที่ 3.14 Flowchart's Multiplier..42
รูปที่ 3.15 Flowchart's Adder..43
รูปที่ 3.16 Flowchart's Dot Matrix LED..44
รูปที่ 4.1 ผลการทดลองวงจรกรองความถี่ที่ย่าน 1 kHz..45
รูปที่ 4.2 ผลการทดลองวงจรกรองความถี่ที่ย่าน 2 kHz..46
รูปที่ 4.3 ผลการทดลองวงจรกรองความถี่ที่ย่าน 3 kHz..46
รูปที่ 4.4 ผลการทดลองวงจรกรองความถี่ที่ย่าน 4 kHz..47
รูปที่ 4.5 ผลการทดลองวงจรกรองความถี่ที่ย่าน 5 kHz..47
รูปที่ 4.6 ผลการทดลองวงจรกรองความถี่ที่ย่าน 6 kHz..48
รูปที่ 4.7 กราฟผลตอบสนองความถี่ที่ได้จากการทดลองตามตาราง..50
รูปที่ 4.8 กราฟผลตอบสนองความถี่ที่ได้จากการออกแบบโดย Software..50
รูปที่ 4.9 ผลการทดลองควบคุมความส่องสว่างของ **DOT Matrix LED** ที่ความถี่ 1 kHz..51
รูปที่ 4.10 ผลการทดลองควบคุมความส่องสว่างของ **DOT Matrix LED** ที่ความถี่ 2 kHz..51
รูปที่ 4.11 ผลการทดลองควบคุมความส่องสว่างของ **DOT Matrix LED** ที่ความถี่ 3 kHz..52
รูปที่ 4.12ผลการทดลองควบคุมความส่องสว่างของ **DOT Matrix LED** ที่ความถี่ 4 kHz..52
รูปที่ 4.13ผลการทดลองควบคุมความส่องสว่างของ **DOT Matrix LED** ที่ความถี่ 5 kHz..53

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญ

ในปัจจุบันความก้าวหน้าทางเทคโนโลยีอิเล็กทรอนิกส์มีการพัฒนาไปเร็วมาก รวมทั้งการพัฒนาทางด้านอุปกรณ์อิเล็กทรอนิกส์ที่ต้องการให้มีขนาดเล็กลงแต่ประสิทธิภาพสูงขึ้นและใช้พลังงานต่ำลง มีเสถียรภาพในการทำงานสูงใช้งานง่าย FPGA (Field Programmable Gate Array) ก็เป็นอุปกรณ์ชนิดหนึ่งที่ได้มีการพัฒนาขึ้นมาเพื่อให้ผู้ใช้สามารถสร้างวงจรที่ต้องการลงในอุปกรณ์ได้เอง โดยไม่จำเป็นต้องสร้างวงจรอนาลอกใหญ่ๆ โดยที่ปัจจุบันมีเครื่องมือที่ช่วยในการออกแบบ การจำลองการทำงาน จนถึงการจัดสร้างวงจรลงในตัวอุปกรณ์ ทำให้ปัจจุบันได้มีการใช้ FPGA

1.2 วัตถุประสงค์

เพื่อศึกษาการใช้งานอุปกรณ์ FPGA
เพื่อศึกษาภาษา VHDL ที่ใช้ในการออกแบบวงจร
เพื่อศึกษาการออกแบบดิจิตอลฟิลเตอร์โดยใช้ FPGA

1.3 แนวคิดและโครงสร้างของงาน

แนวคิดคือ การนำอุปกรณ์ FPGA มาใช้ในงานวงจรกรองสัญญาณ โดยทำการสุ่มสัญญาณอินพุทมาทำการแปลงจากอนาลอกเป็นดิจิตอล นำสัญญาณดิจิตอลที่ได้มาประมวลผลบน FPGA กับสัมประสิทธิ์ของวงจรกรองสัญญาณ จากนั้นนำสัญญาณที่ได้มาแปลงกลับเป็นสัญญาณอนาลอก เพื่อส่งออกเป็นเอาท์พุตวงจรต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

ทฤษฎีและหลักการ

2.1 วงจรแปลอนาล็อกเป็นดิจิตอล

Analog to Digital Conversation (ADC) คือ ระบบการแปลงสัญญาณอนาล็อกให้เป็นสัญญาณดิจิตอลซึ่งจะได้ค่าเท่ากับสัญญาณอนาล็อกในขณะนั้นๆ

Resolution คือ การเปลี่ยนแปลงค่าที่น้อยที่สุดของแรงดันที่สามารถตรวจจับได้โดยระบบจะถูกแสดงเป็นดิจิตอล และถูกแสดงเป็น Digital code ซึ่ง resolution คือจำนวนของ digital code ทั้งหมด

$$\text{Resolution} = n \text{ bit}$$

Quantization Level คือ ค่าระดับทั้งหมดของจำนวนค่า Analog

$$\text{Quantization Level} = 2^n$$

Quantization Step คือ จำนวนขั้นระหว่าง Quantization Level ทั้งหมด

$$\text{Quantization Step} = 2^n - 1$$

Voltage Resolution = (Full Scale Voltage)/(2^{n-1})

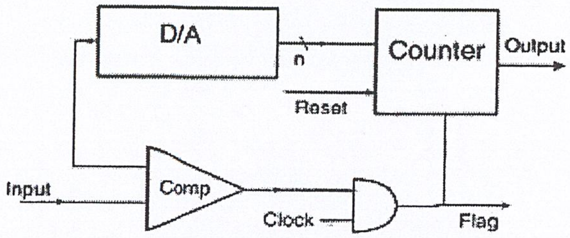
Sampling rate เป็นปริมาณที่มักจะถูกใช้กับ Analog to Digital Conversion ซึ่ง Sampling rate เป็นจำนวนของเวลาต่อวินาทีที่สัญญาณ Analog ถูกเปลี่ยนเป็น Digital Code สำหรับค่าที่น้อยที่สุดของ Sampling rate ที่น้อยที่สุดนี้เรียกว่า Nyquist sampling rate

ถ้า Sampling frequency น้อยกว่าสองเท่าของความถี่ค่า Analog ที่แปลงจาก digital จะเกิด Aliasing error ขึ้น Aliasing error จะทำให้เกิดความผิดเพี้ยน จะทำให้เกิดความผิดเพี้ยนของความถี่สูงของสัญญาณ เนื่องจากตัว Spectral ของสัญญาณที่ถูก Sampling ซึ่ง Aliasing error เป็นปรากฏการที่มีสาเหตุมาจากส่วนประกอบของความถี่ที่เกิดขึ้นจากสัญญาณ Sampling จะถูกสอดแทรกจากความถี่ของสัญญาณที่ถูก Sampling เราสามารถที่จะหลีกเลี่ยง Aliasing error ได้โดยการใช้ความถี่ Sampling ที่น้อยกว่า 2 เท่า Analog frequency ที่สูงสุด

2.1.1 Counting Converter

Counting Converter เป็นวิธีที่ง่ายที่สุดของการแปลงสัญญาณอนาล็อก เป็นสัญญาณดิจิตอล โดยใช้อัลกอริทึม การนับค่าเพิ่มขึ้นเรื่อยๆ แล้วนำผลที่ได้จากการนับไปเปรียบเทียบกับค่าที่ต้องการที่ตั้งไว้ ลักษณะการทำงานเป็นดังรูปที่ 2.1

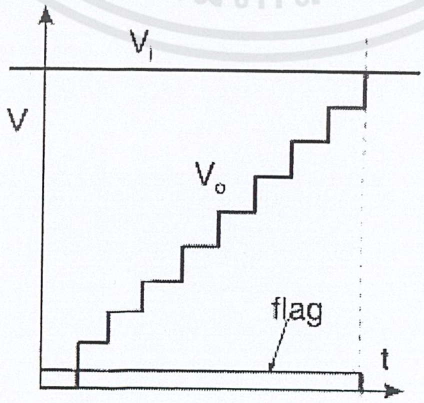
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Analog To digital Converter

รูปที่ 2.1 ลักษณะการทำงานของวงจรแปลงอนาล็อกเป็นดิจิตอล

จากวงจร Counter เป็นอุปกรณ์นับค่าที่เพิ่มขึ้นทีละหนึ่ง แล้วส่งค่าที่ได้ให้ D/A มีขา Reset รับสัญญาณ Reset เมื่อต้องการให้เริ่มนับใหม่ D/A เมื่อรับค่าที่นับเพิ่มขึ้นทีละหนึ่งจากตัวนับ ก็แปลงค่าให้เป็นสัญญาณ อนาล็อกที่มีค่าความต่างศักย์ค่าๆ หนึ่ง แล้วส่งต่อเข้าไปที่อุปกรณ์ตัวเปรียบเทียบ (Comparator) Comparator จะเป็นอุปกรณ์ตัวเปรียบเทียบค่าความต่างศักย์ ของอินพุต และค่าจากที่ตัวนับ ถ้าหากทั้งสองสัญญาณมีค่าเท่ากันส่งค่าความต่างศักย์ 0 โวลต์ออกมา(ลอจิก 0) ถ้าไม่เท่ากันก็จะส่งความต่างศักย์ที่ไม่ใช่ 0 โวลต์ออกมา(ลอจิก 1) ซึ่งค่าความต่างศักย์ที่ออกมา จะนำมาเข้าลอจิกเกต "และ" กับ สัญญาณนาฬิกา จะได้ค่าลอจิกออกมา ถ้าผลลัพธ์ออกมาเป็นสัญญาณนาฬิกาแสดงว่ายังไม่ได้ผลลัพธ์เท่าที่ต้องการ สัญญาณนาฬิกาก็จะไปทำให้ตัวนับนับเพิ่มขึ้นต่อไป และเมื่อได้ค่าผลลัพธ์ดิจิตอลที่ต้องการแล้ว ค่าที่ได้จาก ตัวเปรียบเทียบจะให้ค่าความต่างศักย์เป็น 0 (ลอจิก 0) ซึ่งเมื่อนำมาเข้าลอจิกเกต "และ" กับสัญญาณนาฬิกาแล้ว ก็จะให้ลอจิก 0 ซึ่งทำให้ตัวนับไม่นับเพิ่มอีก ก็จะได้ค่าดิจิตอลจากตัวนับที่ต้องการ จากคำอธิบายข้างต้นจะได้กราฟของ V_o ดังนี้



Output voltage Graph from A/D converter.

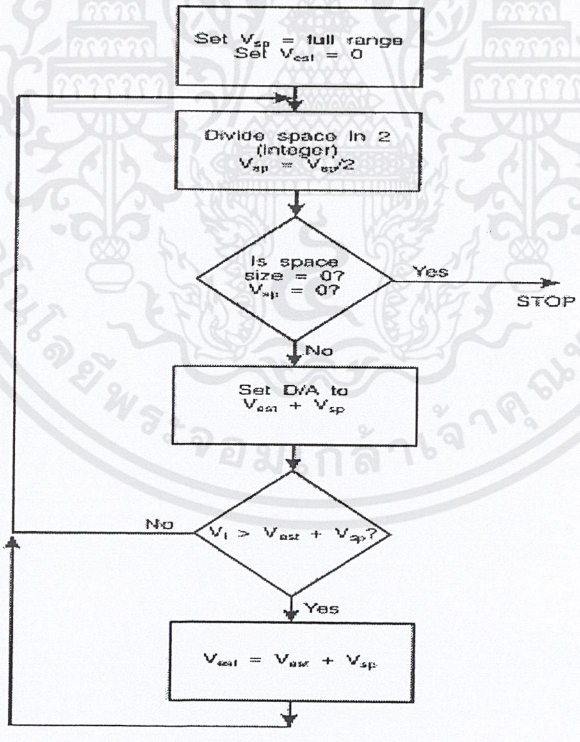
รูปที่ 2.2 กราฟแสดงแรงดันของวงจรแปลงอนาล็อกเป็นดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อเสียของวิธีนี้ คือ การนับต้องเริ่มนับที่ 0 เสมอ และนับเพิ่มขึ้นเรื่อยๆ ทำให้ช้า เอาท์พุตที่ได้จะมี delay จึงไม่ค่อยนิยมใช้เท่าที่ควร จึงได้เปลี่ยนตัวนับเป็นแบบนับลงได้ด้วย ซึ่งจะอ้างอิงระดับจากระดับเก่า ทำให้ไม่จำเป็นต้องนับ 0 ใหม่ เมื่อมีการเปลี่ยนอินพุตใหม่ แต่ให้อ้างอิงกับผลลัพธ์เดิม ทำให้ได้ผลลัพธ์เร็วขึ้น

2.1.2 Successive Approximation

ใช้หลักการของ "binary search" ในการหาคำตอบ โดยนำค่าผลลัพธ์มาเปรียบเทียบกับค่ากึ่งกลางของช่วง เพื่อให้ทราบว่า ค่านั้นๆ มากกว่า หรือน้อยกว่า โดยจะปรับช่วงให้แคบลงมาเรื่อยๆ แล้วเปรียบเทียบผลลัพธ์กับค่ากึ่งกลางของช่วงไปเรื่อยๆ จนได้ผลลัพธ์ที่ต้องการ เช่น เลขที่เป็นคำตอบคือ 3 จากช่วงของคำตอบที่ 0-7 ครั้งแรกเอาค่า (0+7)/2 = 4 มาเปรียบเทียบ ได้ผลว่า คำตอบที่ต้องการอยู่ในช่วงที่น้อยกว่า4 ครั้งที่ 2 ก็เลือกค่า (0+4)/2 = 2 มาเปรียบเทียบ ได้ผลว่าคำตอบที่ต้องการอยู่ในช่วงที่มากกว่า 2 แต่น้อยกว่า 4 ครั้งที่ 3 ก็เลือกค่า (2+4)/2 = 3 มาเปรียบเทียบ ได้ผลว่าคำตอบที่กล่าวมาอาจเขียน Flow Chart ได้ดังนี้

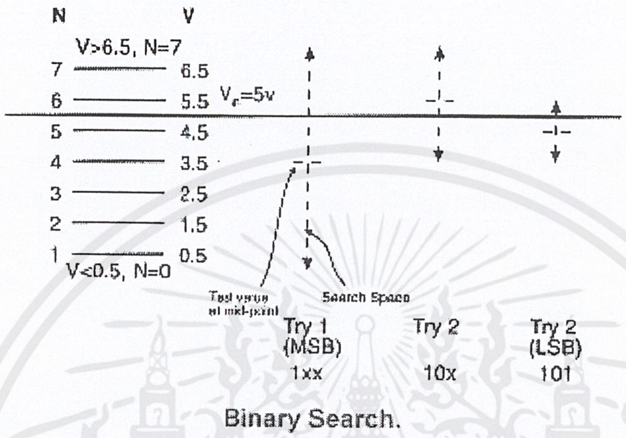


Binary Search Strategy

รูปที่ 2.3 หลักการของไบนารีเซิร์ท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของวิธีนี้ คือ เวลาที่ใช้ในการหาคำตอบ n รอบ แน่นอน (สำหรับ n bit converter ซึ่งอ้างอิงได้ 2n ระดับ และระดับ Vin ที่คงที่) ซึ่งใช้เวลาน้อยกว่าแบบ "Counting Algorithm" แต่มีข้อเสีย คือถ้า V_{in} เปลี่ยนทันทีทันใด ขณะที่กำลังทำ binary search อยู่นั้น คำตอบที่ได้จะผิดพลาด ตัวอย่างเช่น เปลี่ยน V_{in} จาก 5 Volt เป็น 2 Volt

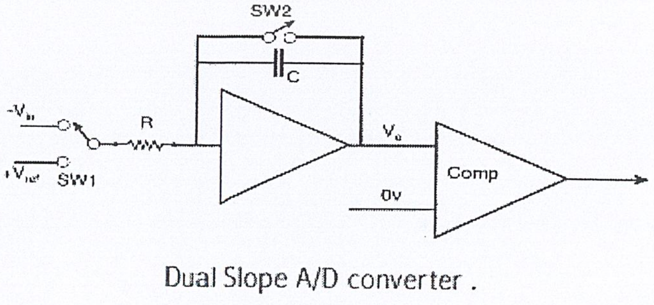


รูปที่ 2.4 ตัวอย่างของผลที่ได้จากวิธีการไบนารีเซิร์ท

ช่วงของ V_{in} คือ 1-7 ใช้ n=3 (เพราะว่า 23=8)
ครั้งแรก ใช้ 4 เปรียบเทียบกับ V_{in} (ซึ่งเท่ากับ 5 โวลต์) พบว่า อยู่ในช่วง lower ได้ 1xx
ครั้งที่ 2 ใช้ 2 เปรียบเทียบกับ V_{in} (ซึ่งเท่ากับ 5 โวลต์) พบว่า อยู่ในช่วง upper ได้ 10x
ครั้งที่ 3 ใช้ 3 เปรียบเทียบกับ V_{in} (ซึ่งเท่ากับ 5 โวลต์) พบว่า ผลลัพธ์ที่ได้จะผิดพลาด ได้ 100

2.1.3 Dual-Slope ADC

ใช้หลักการของวงจร Integrator ทำงานร่วมกับตัว Comparator ดังรูป



รูปที่ 2.5 วงจรแปลงอนาลอกเป็นดิจิตอลแบบดูอันสโลป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Input Voltage มี 2 ตัว คือ ค่าความต่างศักย์อนาล็อกที่ต้องการแปลงเป็นดิจิตอล ($-V_{in}$) และความต่างศักย์ที่คงที่ค่าหนึ่ง (V_{ref}) และมีสวิตช์ SW1 ซึ่งทำหน้าที่เลือกค่าสัญญาณ จากวงจรตอนเริ่มต้นสวิตช์ SW2 ทำหน้าที่คายประจุของตัวเก็บประจุ C แล้วจึงเปิด SW2 ออก เมื่อสวิตช์ SW1 สับมาที่ $-V_{in}$ จากวงจร Integrator จะพิสูจน์สมการได้ดังนี้

$$I = C\frac{dV_0}{dt}$$

$$-V_{in} + iR - V_0 + V_0 = 0$$

$$-V_{in} + RC\frac{dV_0}{dt} = 0$$

$$V_{in} = RC\frac{dV_0}{dt}$$

$$\int dV_0 = \int \frac{V_{in}}{RC} dt$$

$$V_0 = \frac{V_{in}(t)}{RC}$$

Slope มีค่าเท่ากับ $\frac{V_{in}}{RC}$

ค่า t ที่ใช้มีค่าคงที่ t_m

เมื่อ t เพิ่มจากศูนย์ถึง t_m ให้ SW1 สับไปที่ V_{ref}

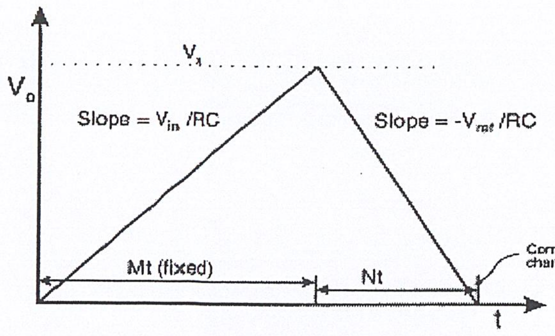
$$V_0 = \frac{V_{ref}(t)}{RC}$$

จะได้สมการ

Slope มีค่า $\frac{V_{ref}}{RC}$

สมมติ ช่วงเวลาตั้งแต่ความต่างศักย์ที่ t_m จนความต่างศักย์เป็น 0 มีค่าเท่ากับ t_n ได้ดังแสดงในกราฟ

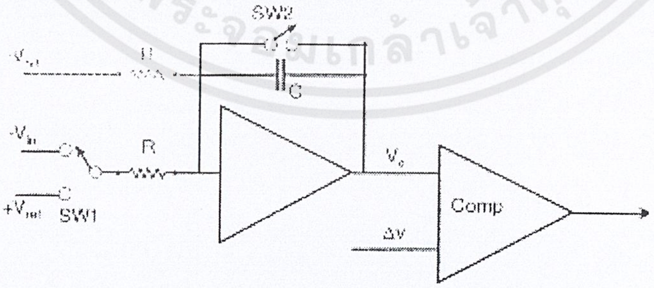
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Dual Slope A/D Converter Output and Timing

รูปที่ 2.6 เอาท์พุทของวงจรดูอัลสโลป

จากหลักของสามเหลี่ยมคล้าย จะได้สมการ $V_{in} = V_{ref}\dfrac{tn}{tm}$ เนื่องจาก V_{ref} และ tn มีค่าคงที่ สัญญาณอนาล็อกขึ้นกับค่า tn เพราะการควบคุมการเปลี่ยนสัญญาณดิจิตอล ที่ขึ้นกับค่า tn การแปลงเป็นสัญญาณดิจิตอลจะทำโดยจับคู่ค่า tn กับเอาต์พุตค่าๆ หนึ่ง ตามความเหมาะสมสำหรับ V_{ref} นั้นๆ เหมือนการเทียบค่าในตาราง ความเร็วของการแปลงสัญญาณแบบนี้ ขึ้นอยู่กับ Vin และ Slope ของวงจร integrator โดยธรรมชาติแล้ว ลักษณะของตัวเปรียบเทียบเองนั้น จะไม่เป็นอุดมคติ คือจะมีผลต่างของความต่างศักย์อยู่ V โวลต์ แม้ว่าจะต่ออินพุตทั้งสองลงกราวด์แล้วก็ตาม ซึ่งถ้า V_{ref} ที่ใช้อยู่นั้นมีค่าน้อยกว่าค่าผลต่างของความต่างศักย์ที่เกิดจากตัวเปรียบเทียบ ความชันก็จะน้อย ทำให้เวลา tm ใช้เวลานานมาก กว่าที่จะพ้นค่าความต่างศักย์ที่เกิดจากตัวเปรียบเทียบ เราจึงต้องนำค่าความต่างศักย์มาเพิ่มให้กับ V_{ref} เพื่อหาผลลัพธ์ ดังรูป

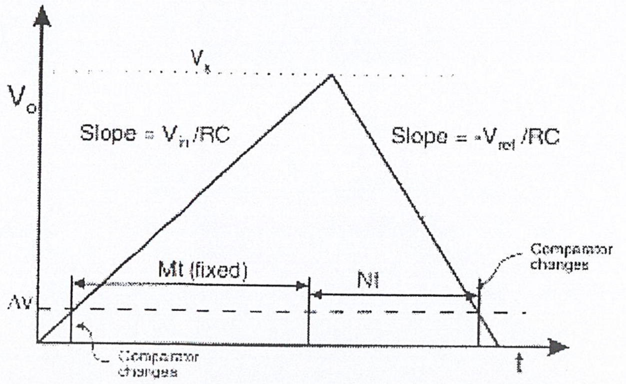


Dual Slope A/D Converter - Full Circuit

รูปที่ 2.7 วงจรเต็มของวงจรดูอัลสโลป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

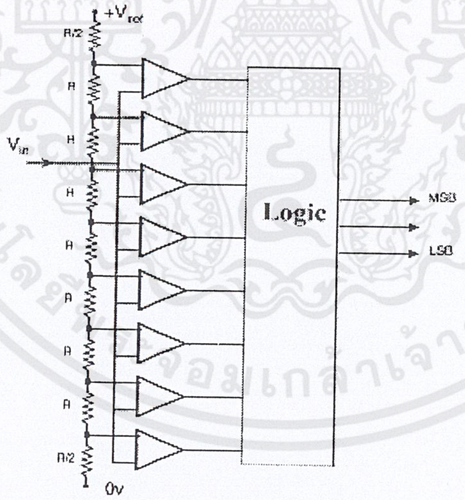
จากวงจรดังกล่าวทำให้ได้กราฟดังรูป



Dual Slope A/D Converter - Zero Offset

รูปที่ 2.8 เอาท์พุตของวงจรดูอัลสโลปที่เพิ่มค่าความต่างศักย์ให้กับ V_{ref}

2.1.4 Flash Converter



A "Flash "converter.

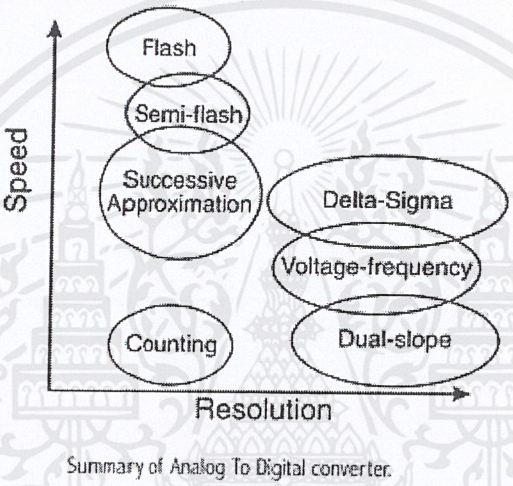
รูปที่ 2.9 แฟลชคอนเวอร์เตอร์

หลักการของ Flash Converter คือการใช้การแบ่งแรงดันเป็น Voltage หลายๆ ค่า แล้วเปรียบเทียบกับ V_{in} เป็นคู่ๆ พร้อมกัน แล้วกระทำการทาง logic จากรูปมี Voltage เปรียบเทียบ 8 bit ค่าความต่างศักย์จะเพิ่มขึ้นเรื่อยๆ จากค่าความต้านทานที่ต่อเพิ่มขึ้น ความต่างศักย์ที่ได้นั้น เมื่อนำไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

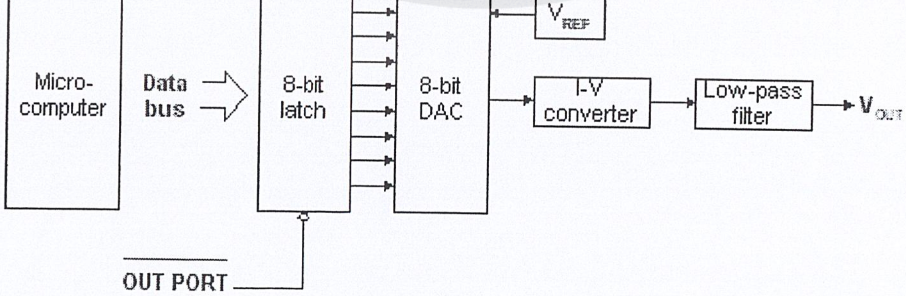
เปรียบเทียบกับ V_{in} แล้วมากกว่าก็จะปล่อยลอจิกออกมา ถ้ามากกว่าก็จะให้ลอจิก 1 ถ้าน้อยกว่าหรือเท่ากันก็จะให้ลอจิก 0 วิธี Flash Converter นี้จะเร็วที่สุด แต่ใช้อุปกรณ์ทาง Hardware มากกว่าแบบอื่นๆ

การแปลงสัญญาณอนาล็อก เป็นสัญญาณดิจิตอล มีประโยชน์มากในการควบคุมอุปกรณ์สวิตชิ่ง ซึ่งมีลักษณะการแปลงสัญญาณได้หลายวิธี แต่ละวิธีจะมีอัลกอริทึม ความรวดเร็วในการทำงาน และการใช้อุปกรณ์ฮาร์ดแวร์ต่างกันด้วย ทำให้ขนาด และราคาต่างกัน ขึ้นกับความต้องการของผู้ใช้ที่จะต้องเลือกให้เหมาะสมกับงานที่ใช้ และงบประมาณที่มีอยู่ ลำดับของความเร็ว และความละเอียดของอัลกอริทึมต่างๆ เป็นดังรูป



รูปที่ 2.10 ลำดับของความเร็วและความละเอียดของอัลกอลิทึม

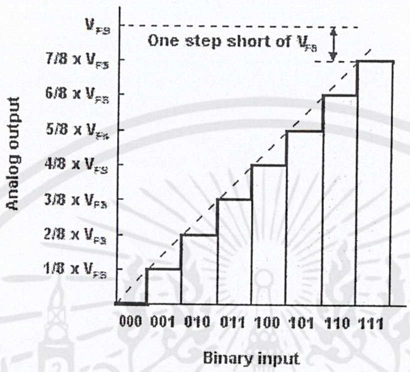
2.2 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก



รูปที่ 2.11 ระบบการแปลงสัญญาณดิจิตอลเป็นอนาล็อก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.11 แสดงถึงส่วนประกอบหลักของระบบ DAC โดยทั่วไป ไมโครคอมพิวเตอร์จะมีเอาต์พุตเป็นค่าไบนารี วงจรแลทช์รับค่าไบนารีเข้ามาเพื่อส่งไปยัง DAC ในวงจรจะใช้แหล่งกำเนิดแรงดันหรือ กระแสคงที่เพื่ออ้างอิงในการแปลงข้อมูล ไบนารีเป็นระดับกระแส ต่อมาจะมีวงจรแปลงจากกระแสเป็นระดับแรงดัน (current-to-voltage converter) ซึ่ง ปกติจะใช้ออปแอมป์ ท้ายสุด สัญญาณอนาลอกที่ได้จะผ่าน วงจร low-pass filter เพื่อกำจัดสัญญาณความถี่สูงที่ แฝงอยู่ในสัญญาณที่ถูกสร้างขึ้นมา



รูปที่ 2.12 ฟังก์ชันโอนถ่ายในอุดมคติของ ADC ขนาด 3 บิต

รูปที่ 2.12 เป็นกราฟแสดงถึงความสัมพันธ์ระหว่าง เอาต์พุตที่เป็นอนาล็อกกับอินพุตที่เป็นดิจิตอลขนาด 3 บิตเรียกว่า transfer curve สังเกตว่าเมื่ออินพุตไบนารีเพิ่มขึ้น เอาต์พุตอนาล็อกจะเพิ่ม ในลักษณะขั้นบันได ขนาดของแต่ละขั้นจะ หาได้จาก

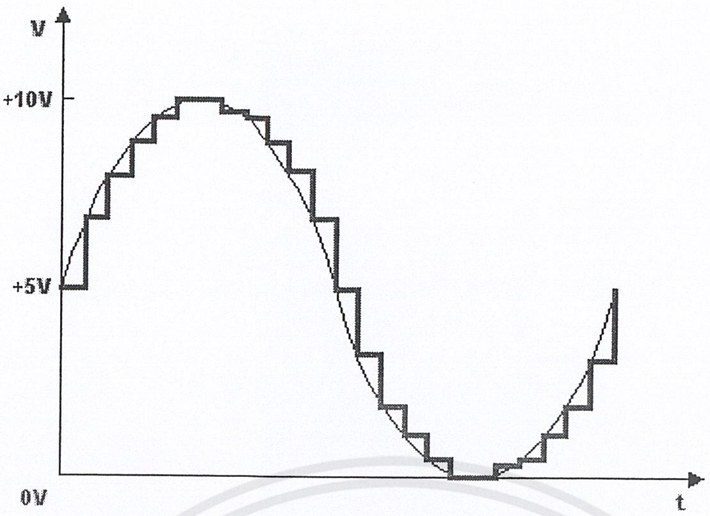
$$\text{Step size} = V_{FS}/2^n$$

เมื่อให้ V_{FS} คือ ระดับแรงดันเอาต์พุตสูงสุด

n คือ จำนวนบิตของอินพุต

เนื่องจากเอาต์พุตของ DAC จะเพิ่มเป็นขั้นๆ รูปคลื่นสัญญาณ ที่ได้จาก DAC จึงมีลักษณะไม่เรียบ ดังตัวอย่าง ในรูปที่ 2.13 ซึ่งแสดงถึงสัญญาณไซน์ ที่สร้างจาก DAC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 แสดงคลื่นไซน์ที่สร้างจาก DAC

ถ้าเพิ่มจำนวนบิต ความละเอียดของ DAC จะเพิ่มขึ้น เช่น เมื่อ ใช้ DAC 12 บิต และ V_{FS} = 5.0 V ความละเอียดคือ 5.0 V / 4096 = 1.22 mV ซึ่งจะ ละเอียดกว่า DAC 8 บิตถึง 16 เท่า

2.2.1 ความถูกต้องของ DAC

ความถูกต้องของ DAC ขึ้นอยู่กับหลายส่วน

Quantization error DAC บิต V_{FS} = 5.0 V เอาต์พุตจะมีความละเอียด 19.53 mV ถ้าต้องการเอาต์พุต 4.00 V DAC จะให้เอาต์พุตได้ใกล้เคียง ที่สุดคือ 4.04 V (19.53 mV x 205) ผิดพลาด 4 mV โดยทั่วไปค่าผิด พลาดจะเท่ากับ +/- 0.5 LSB (least significant bit) ตัวอย่างเช่น DAC 8 บิต ความผิดพลาดจะเป็น 1 ใน 512 หรือ +/- 0.195 %

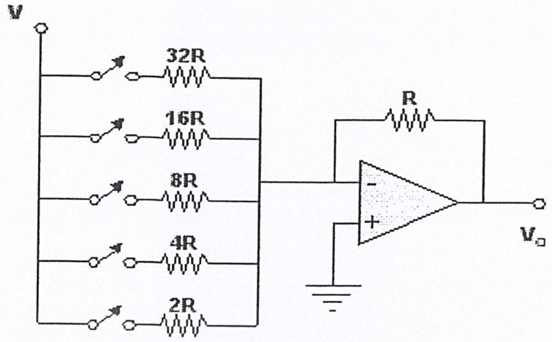
Offset and gain errors เมื่ออินพุตไบนารีเท่ากับ 0 แต่เอาต์พุตของ DAC ไม่เป็น 0 เรียก ว่า offset error และอาจเกิดร่วมกับ gain error ความผิดพลาดเหล่า นี้จะทำให้ transfer curve ในรูปที่ 2.12 โค้งขึ้น หรือลง ขึ้นอยู่กับความไม่สมดุลภายใน DAC อย่างไรก็ ตาม offset error และ gain error จะแก้ได้โดยใช้ความต้าน ทานปรับค่าได้ต่อไว้ภายนอก

Nonlinearity คือค่าความคลาดเคลื่อนสูงสุดของ transfer curve เทียบกับเส้นตรงจากจุดศูนย์และจุดสูงสุด ซึ่งจะขึ้นอยู่กับความผิดพลาดของส่วนประกอบภาย ใน DAC ใน data sheet ของ DAC จะระบุเป็นเปอร์เซ็นต์เทียบกับค่าสูงสุด หรือ ระบุเป็นเศษส่วนของ LSB (โดยทั่วไปคือ +/- 0.5 LSB)

Settling time คือช่วงเวลานับแต่ให้อินพุตจนกระทั่ง DAC ให้ เอาต์พุต วัดเมื่อเอาต์พุตที่ได้ผิดพลาดจากค่าจริง น้อยกว่า 0.5 LSB ค่าเวลานี้อาจน้อยกว่า 100 ns สำหรับ DAC ความ เร็วสูง และอาจมากกว่า 100 us สำหรับ DAC ราคาถูก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

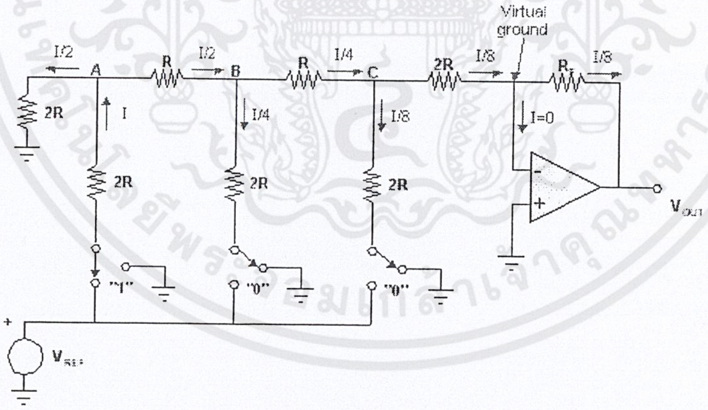
2.2.2 Summed Source DAC



รูปที่ 2.14 วงจร DAC แบบ Summed Source

เป็นวงจรอย่างง่ายในการแปลงสัญญาณดิจิตอลเป็นอนาลอก จาก รูปที่ 2.14 จะเห็นว่าเป็นวง จร Summing Amp มีความต้านทานค่า 2R, 4R และ 8R เพื่อทำให้ กระแสที่ผ่านความต้านทานแต่ละตัวมีค่า ลดลงเป็น 2 เท่า ความต้านทานตัวล่างสุด (2R) จะ เป็น MSB ส่วนตัวบนสุดจะเป็น LSB ข้อเสียของการใช้วงจรลักษณะนี้ ในทางปฏิบัติ ค่าความต้านทานที่ต่างกันเป็น 2 เท่า คือ 2R, 4R, 8R, ... จะไม่สามารถหาได้ง่าย จึงมีการปรับปรุงเป็น วงจร R-2R

2.2.3 Switched Voltage R-2R DAC



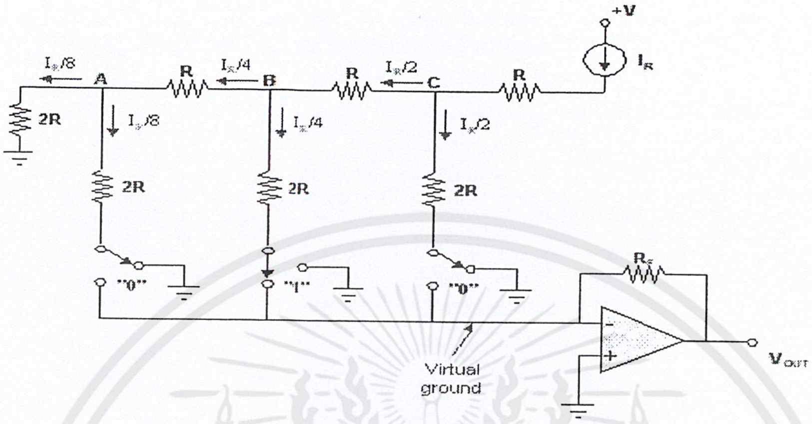
รูปที่ 2.15 วงจร DAC แบบ Switched Voltage R-2R

รูปที่ 2.15 เป็น DAC 3 บิต ใช้ออปแอมป์และความต้านทาน เพียง 2 ค่าคือ R และ 2R สังเกตว่า อินพุตดิจิตอลจะมาจากสวิตช์ทั้ง 3 ซึ่ง อาจต่อกับกราวด์ (ลอจิก 0) หรือต่อกับ V_{REF} (ลอจิก 1) ตัวอย่างนี้อินพุตเป็น 001 พิจารณากระแส I เมื่อผ่านจุด A จะถูกแบ่งเป็นสองส่วน เท่าๆ กัน เหลือ I/2 เมื่อผ่านจุด B และ C จะถูกแบ่งอีกครั้ง เหลือ I/4 และ I/8 ตามลำดับ ดังนั้นกระแสที่ป้อนให้กับออปแอมป์จะเหลือ I/8 เมื่อพิจารณาที่สวิตช์ตัวอื่นๆ ก็จะมีลักษณะคล้ายกัน ดังนั้นกระแสที่ผ่านออปแอมป์เมื่อปิด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สวิตช์อื่นนับจากซ้าย มาขวา จะมีขนาด I/8, I/4 และ I/2 ตามลำดับ สวิตช์ซ้ายสุด จะเป็น LSB ส่วนขวาสุดจะเป็น MSB

2.2.4 Switched Current R-2R DAC



รูปที่ 2.16 วงจร DAC แบบ Switched Current R-2R

วงจรนี้เปลี่ยนจากการใช้แรงดันอ้างอิง (V_{REF}) มาเป็นกระแสอ้างอิง (I_R) กระแสที่ ผ่านสวิตช์แต่ละตัวจากขวามาซ้ายจะเป็น $I_R/2$, $I_R/4$ และ $I_R/8$ ตามลำดับ วงจร ลักษณะนี้จะมีความเร็วสูงกว่าวงจร Switched Voltage เนื่องจาก คาปาซิแตนซ์ที่รอยต่อ (junction capacitance) ของความต้านทานแต่ละตัวจะไม่ถูกชาร์จและดิสชาร์จเหมือนวง จร Switched Voltage

2.3 ทฤษฎีพื้นฐานของวงจรกรองความถี่ดิจิตอล

วงจรกรองความถี่แบบดิจิตอล คือ กระบวนการที่ไปดัดแปลงสเปกตัมของสัญญาณให้มีสเปกตัมไปตามข้อกำหนดที่ต้องการ ซึ่งอาจเป็นการเพิ่มค่าหรือลดทอนค่าขนาดของสัญญาณในแถบความถี่ที่กำหนด ซึ่งในการวิเคราะห์และสังเคราะห์สัญญาณนั้น ต้องใช้เครื่องมือพื้นฐานทางคณิตเข้าช่วย ดังนั้นเราจึงเรียกว่า วงจรกรองความถี่เชิงเลข

การที่วงจรกรองความถี่เชิงเลขมีการนำมาประยุกต์ใช้งานอย่างกว้างขวาง อาจมีข้อได้เปรียบหลายประการดังต่อไปนี้

1. ผลตอบสนองทางความถี่ของวงจรกรองความถี่นั้น สามารถที่จะออกแบบให้มีความใกล้เคียงกับผลตอบสนองความถี่ที่กำหนดให้ หรือผลตอบสนองความถี่ที่ต้องการให้ นอกจากนี้การออกแบบวงจรกรองความถี่ให้มีผลตอบสนองเชิงเส้นทำได้ง่าย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

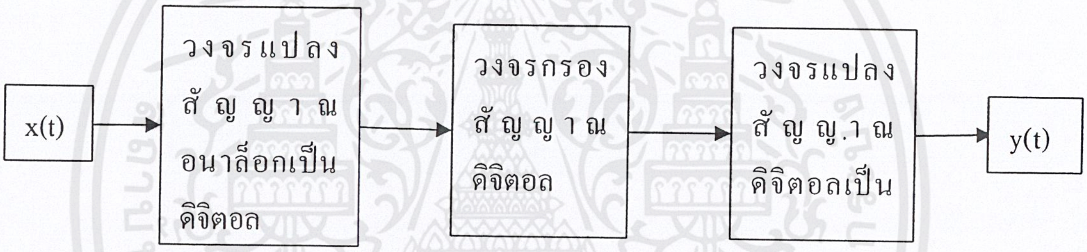
2. คุณสมบัติวงจรกรองความถี่ที่ออกแบบ และสร้างแล้วไม่ขยับเลื่อน (Drift)ไปตามสภาพแวดล้อมหรืออุณหภูมิ หรือตามระยะเวลาการใช้งาน นอกจากนี้ยังใช้ในย่านความถี่ต่ำเป็นอย่างดี

3. การประยุกต์ใช้งานเป็นวงจรกรองความถี่แบบปรับตัวได้ (Adaptive filter)

4. ผู้ออกแบบสามารถออกโดยคำนึงถึงความยาวของคำของตัวเลขฐานสองที่ต้องการใช้และยังสามารถออกแบบให้มีผลตอบสนองความถี่ตามที่ต้องการได้

5. ในปัจจุบันถ้าพิจารณาในแง่มุมของเสถียรภาพของวงจรกรองความถี่ ความเชื่อถือได้ ราคาหรือขนาดของวงจรกรองความถี่เชิงเลข สิ่งเหล่านี้กำลังได้รับการพัฒนาและปรับปรุงและมีแนวโน้มที่จะให้ผลลัทธ์ที่ดีกว่าวงจรกรองความถี่แบบอนาล็อก (Analog filter)

วงจรกรองสัญญาณดิจิตอลสามาเขียนอธิบายในรูปบล็อกไดอะแกรมดังรูปที่ 2.17 โดยสัญญาณอินพุตซึ่งเป็นอนาล็อกจะถูกสุ่ม (Sampling) ด้วยช่วงเวลาคงที่ค่าหนึ่ง และสัญญาณที่ถูกสุ่มนี้จะเปลี่ยนให้อยู่ในรูปเลขฐานสองโดยการแปลงสัญญาณดิจิตอลหรือสัญญาณเชิงเลข



รูปที่ 2.17 แผนภาพแสดงวงจรกรองสัญญาณดิจิตอล

หลังจากนั้นเลขฐานสองที่แทนสัญญาณอนาล็อกที่เข้ามาทางอินพุตจะผ่านวงจรกรองสัญญาณดิจิตอล ต่อมาค่าเอาท์พุทที่ได้จากวงจรกรองสัญญาณดิจิตอลนี้จะถูกแปลงกลับเป็นสัญญาณอนาล็อกด้วงวงจรแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก วงจรกรองสัญญาณดิจิตอลสามารถแบ่งออกได้เป็น 2 ประเภท ตามลักษณะการตอบสนองอิมพัลส์ ได้แก่

1. วงจรกรองความถี่ดิจิตอลแบบผลตอบสนองอิทพัลส์จำกัดผลตอบสนองอิมพัลส์

2. วงจรกรองความถี่ดิจิตอลแบบผลตอบสนองอิมพัลส์ไม่จำกัดผลตอบสนองอิมพัลส์

วงจรกรองความถี่ดิจิตอลแบบผลตอบสนองอิทพัลส์จำกัดผลตอบสนองอิมพัลส์ มักเป็นตัวกรองที่ไม่มีการป้อนกลับเป็นวงจรที่มีโครงสร้างง่ายๆ และมีเสถียรภาพที่ดี แต่มีข้อเสียจะให้วงจรกรองอันดับสูงถึงแม้จะต้องการให้มีลักษณะที่ความถี่ง่ายๆ ก็ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่ดิจิตอลแบบผลตอบสนองอิมพัลส์ไม่จำกัดผลตอบสนองอิมพัลส์ เป็นตัวกรองที่มีการป้อนกลับ เป็นวงจรที่ใช้อันดับต่ำกว่าวงจรกรองแบบผลตอบสนองอิมพัลส์จำกัดที่ต้องการลักษณะความถี่เหมือนกันแต่การกรองจะยุ่งยากกว่าและมีปัญหาเรื่องความมีเสถียรภาพไม่ดีนัก

2.4 การออกแบบวงจรกรองความถี่ไม่ป้อนกลับเชิงเส้น

2.4.1 โครงสร้างพื้นฐานของวงจรกรองความถี่ไม่ป้อนกลับ

FIR ย่อมาจาก Finite Impulse Response ซึ่งแปลว่า ผลตอบสนองอิมพลัส์จำกัด นั้นคือหากเราป้อนสัญญาณให้กับอิมพัลส์นี้แล้ว สัญญาณตอบสนองจะมีค่าจำกัด โดยสัญญาณเอาท์พุตของระบบจะขึ้นอยู่กับสัญญาณอินพุตนั้น จึงเรียกว่า วงจรกรองความถี่ไม่ป้อนกลับ (Non-Recursive filter) หรือไม่ป้อนกลับเชิงเลข ซึ่งสามารถเขียนสมการ ได้ดังนี้

$$y(n) = \sum_{k=0}^{N-1} b_k(n-k) \quad (2.1)$$

โดยที่ b_k เป็นค่าคงที่ใดๆที่แทนค่าสัมประสิทธิ์ (Coefficient) ของวงจรกรองความถี่และในทางปฏิบัติค่า k จะมีค่าคงที่ ไม่ถึงกับมีค่าอนันต์ ขึ้นกับอันดับวงจรกรองความถี่ N ที่ต้องการใช้ จะได้

$$y(n) = \sum_{k=0}^{N-1} b_k(n-k)$$

และได้สมการคอนโวลูชั่น (Convolution) เป็น

$$y(n) = \sum_{m=o}^{N-1} h(m)x(n-m) \quad (2.2)$$

เปลี่ยนค่าตัวแปร จะได้

$$y(n) \sum_{m=n}^{n-N-1} h(n-m)x(m) \quad (2.3)$$

เมื่อ x(n) เป็นอินพุตและ h(n) เป็นผลตอบสนองอิมพัลส์ลำดับที่ N เมื่อนำมาประยุกต์ใช้งานกับการแปลง Z จะได้ฟังก์ชั่นถ่ายโอน

$$H(Z) = \sum_{n=0}^{N-1} h(n)z^{-n} \quad (2.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทน $z=e^{j\omega}$ จะได้ผลตอบสนองความถี่ของวงจรกรองความถี่ไม่ป้อนกลับเชิงเลข

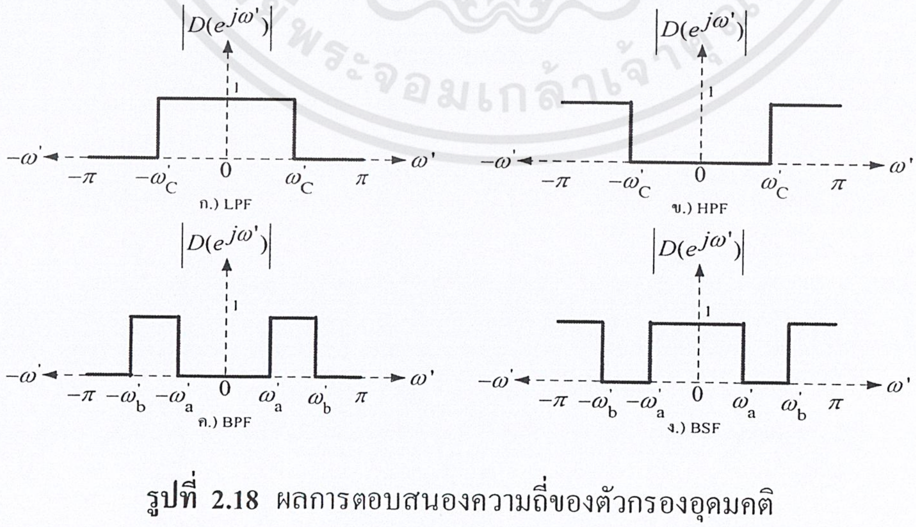
$$H(\omega) = \sum_{n=0}^{N-1} h(n)e^{-j\omega n} \qquad (2.5)$$

∴ สำหรับตัวกรอง FIR นั้น ในการออกแบบสิ่งที่เราต้องการหา คือ ผลของค่าตอบสนองต่ออิมพัลส์ หรือ h(n) ของระบบ สำหรับตัวกรอง FIR ที่ h(n) ยาว N จุด เรากล่าวว่า ตัวกรองนี้มีอันดับเท่ากับ N-1 เหตุผลก็คือ มีการใช้สัญญาณขาเข้าในอดีตย้อนหลังไป N-1 ตำแหน่ง

2.4.2 วิธีการใช้หน้าต่าง (Window Method)

ในส่วนนี้จะกล่าวถึง การหาค่าสัมประสิทธิ์ของตัวกรอง FIR เมื่อกำหนดคุณลักษณะเฉพาะของตัวกรองมา ซึ่งคุณลักษณะเฉพาะนี้ส่วนใหญ่จะเป็นการกำหนดลักษณะผลตอบสนองเชิงความถี่ที่ต้องการ ได้แก่ ความถี่ตัด, ความคมของตัวกรอง, การลดทอนในแทบหยุด, และอื่นๆ โดยจะทำการออกแบบโดยคำนึงถึงความถี่ดิจิตอล ω' ที่มีย่านความถี่ที่สนใจในช่วง $-\pi$ ถึง π หรือ f

วิธีหน้าต่างเป็นวิธีพื้นฐานวิธีหนึ่งที่จะใช้หาสัมประสิทธ์ของตัวกรองเป็นวิธีที่ง่ายต่อการออกแบบและสามารถใช้ออกแบบตัวกรองแบบต่างๆได้ไม่ว่าจะเป็นแบบผ่านต่ำ(low-pass filter ; LPF) , ผ่านสูง(high-pass filter ; HPF) , ผ่านแถบความถี่(band-pass filter ; BPF) หรือตัดแถบความถี่(band-stop filter ; BSF) โดยการออกแบบจะใช้ต้นแบบจากตัวกรองอุดมคติ ซึ่งผลตอบสนองเชิงความถี่ของตัวกรองอุดมคติทั้งสี่แบบ แสดงไว้ดังรูปที่ 2.18 โดยที่มีความถี่ตัด (cutoff frequency) เท่ากับ ω'_c สำหรับแบบผ่านต่ำและผ่านสูง ส่วนแบบผ่านแถบความถี่ และตัดแถบความถี่มีความถี่ตัดของแถบความถี่ที่ ω'_a และ ω'_b



รูปที่ 2.18 ผลการตอบสนองความถี่ของตัวกรองอุดมคติ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

จากรูปที่ 2.18 จะสมมติให้ $d(n)$ แทนเป็นผลตอบสนองต่ออิมพัลส์ และกำหนดให้ $D(e^{j\omega'})$ แทนผลตอบสนองเชิงความถี่สำหรับตัวกรองความถี่ในอุดมคติของวงจรกรองความถี่ต่ำผ่านดังที่ได้แสดงในรูปที่2.18 (ก) เราจะหาผลตอบสนองต่ออิมพัลส์ของตัวกรองความถี่ในอุดมคติได้โดยใช้เทคนิคของการแปลงฟูริเยร์แบบเวลาไม่ต่อเนื่องชนิดผกผัน (Inverse Discrete Fourier Transform: IDTFT) ดังนี้

$$d(n) = IDTFT\{D\} \qquad (2.1)$$

$$= \frac{1}{2\pi}\int_{-\pi}^{\pi} D\left(e^{j\omega'}\right) e^{j\omega' n} d\omega'$$

$$= \frac{1}{2\pi}\int_{-\omega'_c}^{\omega'_c} 1\, e^{j\omega' n} d\omega'$$

$$d(n) = \frac{\sin(\omega'_c n)}{\pi n}, -\infty < n < \infty \qquad (2.2)$$

ในสมการนี้มีปัญหาที่ $n = 0$ เพราะผลตอบสนองต่ออิมพัลส์ $d(n)$ มีค่าเป็นเศษศูนย์ส่วนด้วยศูนย์ วิธีแก้ไขปัญหา เราสามารถหาค่า $d(0)$ ได้โดยใช้ทฤษฎีของโลปิตัล จะได้ว่า

$$d(0) = \frac{\lim_{n\to 0}\frac{d(\sin\omega'_c n)}{dn}}{\lim_{n\to 0}\frac{d(\pi n)}{dn}} = \frac{\omega'_c}{\pi} \qquad (2.3)$$

สำหรับวงจรกรองความถี่แบบอื่นๆ เราสามารถหาผลตอบสนองต่ออิมพัลส์ $d(n)$ ได้โดยการแปลง IDTFT เพื่อหาผลตอบสนองเชิงความถี่ของตัวกรองนั้นๆ ได้ดังตารางที่ 2.1 เพื่อใช้ในการออกแบบต่อไป

119171

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชนิดของตัวกรอง	$D(n), -\infty < n < \infty$	$D(n), n = 0$
วงจรกรองความถี่ต่ำผ่าน	$\dfrac{\sin(\omega_C' n)}{\pi n}$	$\dfrac{\omega_C'}{\pi}$
วงจรกรองความถี่สูงผ่าน	$\delta(n) - \dfrac{\sin(\omega_C' n)}{\pi n}$	$1 - \dfrac{\omega_C'}{\pi}$
วงจรกรองแถบความถี่ผ่าน	$\dfrac{\sin(\omega_b' n) - \sin(\omega_a' n)}{\pi n}$	$\dfrac{\omega_b'}{\pi} - \dfrac{\omega_a'}{\pi}$
วงจรแถบความถี่หยุดผ่าน	$\delta(n) - \dfrac{\sin(\omega_b' n) - \sin(\omega_a' n)}{\pi n}$	$1 - \left(\dfrac{\omega_b'}{\pi} + \dfrac{\omega_a'}{\pi}\right)$

ตารางที่ 2.1 ผลการตอบสนองความถี่ของตัวกรองอุดมคติ

จากรูปที่ 2.19 เป็นการแสดงค่าที่จะใช้ในการกำหนดเป็นคุณลักษณะเฉพาะของวิธีหน้าต่าง ได้แก่

– **ความถี่ตัด (cutoff frequency ;** f_C **)** หมายถึงจุดตัดของความถี่ที่ให้สัญญาณผ่านหรือไม่ผ่านไปยังขั้วออกของวงจรกรอง สำหรับวงจรกรองความถี่ของ FIR กำหนดค่าความถี่ที่ขนาดลดลงประมาณ 0.5 นิยามนี้แตกต่างกับแบบ IIR ที่ใช้นิยามเดียวกันกับวงจรกรองแบบแอนาลอกคือที่ขนาดลดลงประมาณ 0.707

– **การลดทอนของแถบหยุด (stop-band attenuation ;** A_{stop} **)** คือ จำนวนเท่าที่แถบหยุดลดทอนลง วัดค่าเป็น dB โดยการลดทอนของแถบหยุดมีความสัมพันธ์กับความพลิ้วของแถบหยุด แสดงดังสมการที่ 2.4

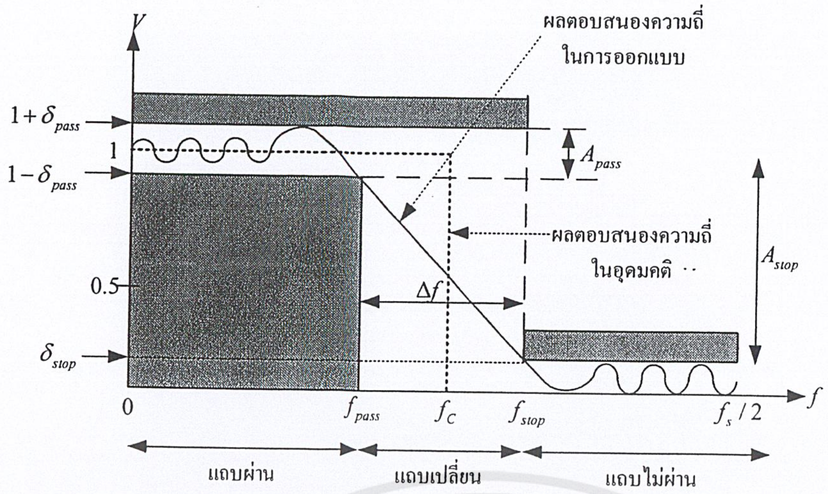
$$A_{stop} = -20\log \delta_{stop} \quad (d\beta) \quad (2.4)$$

– **ความพลิ้วหรือริปเปิลของแถบผ่าน (pass-band ripple ;** δ_{pass}**)** หมายถึง ค่าสูงสุดที่ขนาดแถบผ่านแกว่งออกห่างจากค่า 1 ตามรูปที่ 2.19 เขียนเป็นสมการได้ดังนี้

$$A_{pass} = 20\log \frac{1+\delta_{pass}}{1-\delta_{pass}} \quad (d\beta) \quad (2.5)$$

– **ความกว้างของแถบเปลี่ยน (transition band width ;** Δf **)** คืออัตราการเปลี่ยนแปลงของขนาดเทียบกับช่วงความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.19 คุณลักษณะเฉพาะของผลตอบสนองความถี่ของตัวกรองแบบ FIR

2.4.3 Windows Function

ส่วนของทฤษฎีจะใช้ Window Function ในการควบคุมค่าของ Transition Band, Rippie มี Window Function ซึ่งมีอยู่หลายแบบเช่น Rectangular, Hamming, Hanming, Barllet, Keirser ในแต่ละแบบจะมีผลที่ออกมาไม่เหมือนกันเช่น การลด Passband, Stopband, Ripple ที่ไม่เท่ากันแสดงถึงชนิดวินโดว์ต่างๆ

Rectangular window

$$w(n) = \begin{cases} 1 & -\omega < \omega < \omega c \\ 0 & \text{otherwher} \end{cases}$$

Hann window

$$\mathrm{w(n)} = 0.5\left[1 - \cos\left(\frac{2\pi \mathrm{n}}{\mathrm{N}-1}\right)\right] \quad ; 0 < n < N-1$$

Hamming window

$$\mathrm{w(n)} = 0.54 - 0.46\cos \quad ; 0 < n < N-1$$

Bartlett–Hann window

$$\mathrm{w(n)} = 1 - 2\frac{[\mathrm{n}-\frac{(\mathrm{N}-1)}{2}]}{\mathrm{N}-1} \quad ; 0 < n < N-1$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Blackman windows

$$w(n) = 0.42 + 0.5\cos\left(\frac{2\pi n}{N-1}\right) + 0.08\cos\left(\frac{4\pi n}{N-1}\right) \quad ; 0 < n < N-1$$

Kaiser windows

$$W(n) = \begin{cases} \dfrac{Io\{\beta\sqrt{1-\left[\frac{n}{\left(\frac{N-1}{2}\right)}\right]^2}\}}{Io(\beta)} & ; 0 < n < N-1 \\ 0 & \text{otherwher} \end{cases}$$

$$Io(x) = 1 + \sum_{k=1}^{L}\left[\left(\frac{1}{k!}\right)\cdot\left(\frac{x}{2}\right)^k\right]^2$$

โดยที่ β เป็นพารามิเตอร์ในการควบคุม Transition Band และ Pass Band Ripple, Stop Band Ripple ได้ ในตารางที่ 2.2 แสดงถึง Transition Band และการลดทอนแต่ละ Windows

Type of Windows	Transition Band	Attend(dB)
Retangular	1.8π/N	20.9
Bartlett	6.1π/N	25
Hanning	6.2π/N	43.9
Hamming	6.6π/N	54.5
Blackman	11π/N	75.3
Kaiser	Variable	Variable

ตารางที่ 2.2 ผลตอบสนองอิมพัลส์ของตัวกรองอุดมคติต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.4 ขั้นตอนการออกแบบ Windows Function

1. กำหนดคุณสมบัติของวงจรกรองความถี่ที่ต้องการ
2. หาค่าสัมประสิทธิ์หรือ d(n)
3. จำกัดจำนวนของการตอบสนองความถี่ (กำหนดความยาว N ของวงจรกรอง)
4. เลือกหน้าต่างที่เหมาะสมกับความต้องการ,w(n)
5. ปรับค่าของสัมประสิทธิ์ h(n) = d(n)*w(n)

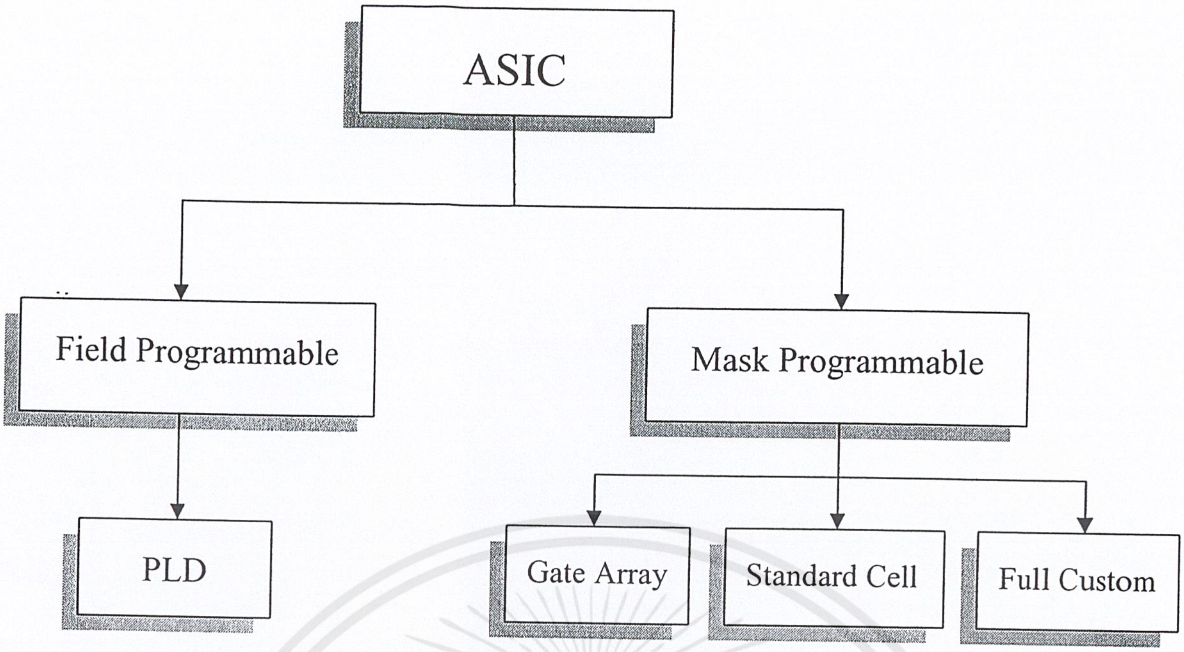
2.5 โครงสร้างและสถาปัตยกรรมของ FPGA (Felid Programming Gate Array)

ความก้าวหน้าของเทคโนโลยีอิเล็กทรอนิกส์ในปัจจุบัน ทำให้เกิดการพัฒนาความสามารถของอุปกรณ์อิเล็กทรอนิกส์ต่างๆมากมาย ซึ่งทำให้อุปกรณ์อิเล็กทรอนิกส์มีขนาดเล็กลง ใช้งานง่ายขึ้น และราคาถูกลง ทำให้เกิดการลดค่าใช้จ่ายและใช้พลังงานน้อยลง ในขณะเดียวกันก็ได้มีการเพิ่มประสิทธิภาพและระดับความเชื่อได้ของวงจรที่สูงขึ้น เห็นได้ชัดจากเทคโนโลยีไมโครโปรเซสเซอร์และหน่วยความจำในปัจจุบัน ในการพัฒนาวงจรอิเล็กทรอนิกส์เราจะพิจารณาออกเป็น 2 ส่วน ส่วนที่ 1 เป็นการพัฒนาทางด้านวงจรอนาลอก ซึ่งการพัฒนาในส่วนนี้เมื่อเราออกแบบวงจรออกมาได้ได้แล้วจำเป็นต้องนำไป Fabrication ซึ่งต้องทราบเทคโนโลยีที่จะต้องใช้ในการสร้างมีค่าใช้จ่ายที่สูงและใช้ระยะเวลานาน ส่วนที่ 2 เป็นการพัฒนาทางด้านดิจิตอล ในปัจจุบันเทคโนโลยีการผลิตอุปกรณ์อิเล็กทรอนิกส์ ได้มีความก้าวหน้ามากขึ้นซึ่งเมื่อเราออกแบบวงจรทางดิจิตอลแล้วเราสามารถที่จะ Implement ลงบนชิปไอซีได้เลยซึ่งจะกล่าวต่อไป

ในการพัฒนาวงจรดิจิตอลแบบเก่าซึ่งใช้ดิจิตอลไอซีมาต่อวงจรจะเห็นว่ามีความยุ่งยากมากทั้งขนาดและการทดสอบความถูกต้องในการทำงานให้เกิดช่องว่างระหว่างไอซีมาตรฐานและและวงจรรวมมากยิ่งขึ้นในการพัฒนาวงจรรวมทางดิจิตอลได้เพิ่มความหนาแน่นและจำนวนฟังก์ชันลอจิก (Function Logic) ที่เหมาะสม นักออกแบบอุปกรณ์ทางด้านดิจิตอลได้พิจารณาถึงการให้มีปริมาณมากๆและในการผลิตวงจรรวมเฉพาะงาน

ASIC : Application Specific Integrated Circuit จะแบ่งตามการสร้างออกเป็น 2 กลุ่ม คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.20 แสดงแผนผังของการแบ่งกลุ่มของวงจรรวม ASIC

2.5.1 Mask Programmable

การใช้งานวงจรรวมเฉพาะงาน ASIC ในเชิงพาณิชย์ จำเป็นต้องใช้วงจรรวมเฉพาะงาน ASIC แบบ Mask programmable เนื่องจากต้นทุนต่อเนื่องต่อหนึ่งตัวจำต่ำกว่าแบบ Field Programmable ASIC ในกรณีที่ปริมาณการผลิตสูงนับพันนับหมื่นตัวขึ้นไป ตัวอย่างเช่น CPLD ตัวหนึ่งอาจสูงถึงหนึ่งพันบาท ในขณะที่ผลิตวงจรรวมที่มีคุณสมบัติเหมือนกันทุกประการโดยใช้ Mask programmable แล้ว ราคาตัวหนึ่งจะลดลงเหลือเพียงไม่ถึงหนึ่งร้อยบาท การใช้วงจรรวมแบบ Mask programmable จึงมีบทบาทสำคัญในการผลิตสินค้า อิเล็กทรอนิกส์ในเชิงพาณิชย์ปัจจุบัน

วงจรเฉพาะงานประเภทนี้ หลังจากผู้ใช้ออกแบบวงจรและตรวจสอบการทำงานเป็นที่น่าพอใจแล้ว ต้องส่งให้ผู้ผลิตทำการเจือสาร ไม่สามารถโปรแกรมได้ด้วยตัวเองเหมือนกับวงจรรวมเฉพาะงานแบบ Field Programmable ช่วงเวลาการผลิตใช้งานจึงให้เวลานับเดือนและมีค่าใช้จ่ายเบื้องต้นในการเจือสารสูง วงจรรวมเฉพาะงานแบบ Mask programmable ASIC ในปัจจุบันได้แก่ เกตอะเรย์, เซลล์มาตรฐานและฟูคัสตัม (Full Custom)

2.5.2 Field Programmable

อุปกรณ์รวมวงจรเฉพาะงาน ASIC แบบ Field Programmable มีอยู่มากมายหลายชนิด แต่มีลักษณะการสร้างหรือกำหนดการทำงานของวงจรที่เหมือนกัน กล่าวคือ ผู้ใช้งานสามารถออกแบบและสร้างวงจรที่ต้องการใช้ลงในอุปกรณ์ได้เองโดยไม่ต้องไปโรงงานเพื่อผลิต โดยเฉพาะอย่างยิ่งใน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปัจจุบันนี้มีเครื่องมือที่ช่วยในการออกแบบ และสร้างวงจรรวมกับคอมพิวเตอร์ที่มีความสามารถในการพิจารณาตั้งแต่ขั้นตอนการออกแบบ การจำลองการทำงาน จนถึงจัดสร้างวงจรลงในอุปกรณ์ รวมทั้งอุปกรณ์ Field Programmable เหล่านี้สามารถหาซื้อได้ง่าย ทำให้การสร้างวงจรอิเล็กทรอนิกส์จนถึงระบบไมโครโปรเซสเซอร์หันมาใช้อุปกรณ์จำพวกนี้ เป็นอุปกรณ์ประกอบในวงจรแทนอุปกรณ์ย่อยๆ แยกชิ้น

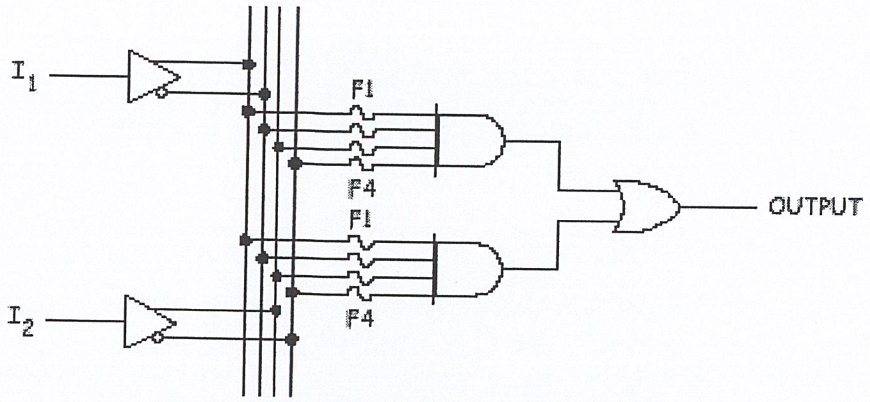
2.5.3 Field Programmable

อุปกรณ์รวมวงจรเฉพาะงาน ASIC แบบ Field Programmable มีอยู่มากมายหลายชนิด แต่มีลักษณะการสร้างหรือกำหนดการทำงานของวงจรที่เหมือนกัน กล่าวคือ ผู้ใช้งานสามารถออกแบบและสร้างวงจรที่ต้องการใช้ลงในอุปกรณ์ได้เองโดยไม่ต้องไปโรงงานเพื่อผลิต โดยเฉพาะอย่างยิ่งใน ปัจจุบันนี้มีเครื่องมือที่ช่วยในการออกแบบ และสร้างวงจรรวมกับคอมพิวเตอร์ที่มีความสามารถในการพิจารณาตั้งแต่ขั้นตอนการออกแบบ การจำลองการทำงาน จนถึงจัดสร้างวงจรลงในอุปกรณ์ รวมทั้งอุปกรณ์ Field Programmable เหล่านี้สามารถหาซื้อได้ง่าย ทำให้การสร้างวงจรอิเล็กทรอนิกส์จนถึงระบบไมโครโปรเซสเซอร์หันมาใช้อุปกรณ์จำพวกนี้ เป็นอุปกรณ์ประกอบในวงจรแทนอุปกรณ์ย่อยๆ แยกชิ้น

2.5.4 PLD (Programmable Logic Device)

ภายในอุปกรณ์พีแอลดีถูกเตรียมเป็นวงจรพื้นฐาน ทางด้านลอจิกต่อกันอยู่เป็นกลุ่ม มีทั้งวงจรคอมไบเนชั่น(Combination) และซีเคว็นเชียล (Sequention) ซึ่งมีส่วนประกอบเป็นวงจรภายในเทคโนโลยีของวงจรที่ใช้สร้างพีแอลดี มีทั้ง ทีทีแอล (TTL) อีซีแอล (ECL) และ ซีมอส (CMOS) ตามความเหมาะสมของแต่ละระบบ อุปกรณ์พีแอบดีทุกชนิดมีหลักการพื้นฐานของวงจรภายในที่เหมือนกันโดยมีวงจรคอมไบเนชั่นที่ให้ผลเป็นผลคูณร่วมบวก (Sum of Product) ประกอบไปด้วยชุดของแอนเกตที่ต่อร่วมกับออเกต การโปรแกรมคือการเลือกว่าจะให้มีการต่ออินพุตภายในของแอนเกตกับสัญญาณอินพุตใดบ้าง ซึ่งมีทั้งจากสัญญาณภายนอกและสัญญาณป้อนกลับจากเอาท์พุตภายในเองการติดต่ออินพุตของออเกตกับเอาท์พุตของแอนเกตตัวต่างๆ วิธีการเลือกหรือโปรแกรมทางกายภาพอินพุตต่างๆของอุปกรณ์ทุกตัวจะถูกต่อผ่านฟิวส์เข้ากับแหล่งสัญญาณ ซึ่งถ้าไม่ต้องการใช้สัญญาณใดจะตัดฟิวส์ทำให้สามารถโปรแกรมได้ครั้งเดียว อุปกรณ์พีแอลดีบางชนิดใช้มอสทรานซิสเตอร์แทนฟิวส์ทำให้สามารถโปรแกรมแทนกระแสไฟฟ้า และสามารถลบและโปรแกรมใหม่เข้าไปได้อีก

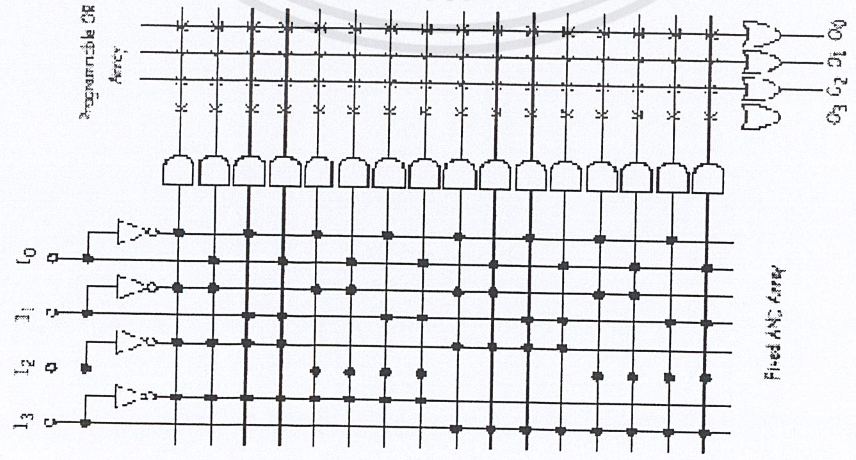
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 แสดงวงจรพื้นฐานของอุปกรณ์พีแอลดีซึ่งอยู่ในรูปผลคูณร่วมบวก

2.5.1 PROM (Programmable Read Only Memory)

พรอมคือหน่วยความจำรอม (ROM) โปรแกรมได้ซึ่งนับว่าเป็นอุปกรณ์พีแอลดี ชนิดหนึ่งซึ่งวงจรภายในของพรอมเสมือนกับประกอบไปด้วย แถวลำดับของแอนและออเกต (And/Or Array) ผลเอาท์พุตที่ขาดาต้าเอาท์พุตสามารถแสดงในสมการฟังชั่นผลคูณร่วมบวก (Sum of Product) ของสัญญาณอินพุตที่ขาแอดเดรส รูปที่ 2.3 แสดงถึงลักษณะการต่อเป็นแถวลำดับของแอนเกตและออเกตของพรอมขนาด 16×4 บิต วงจรางด้านซ้ายบนสุดเป็น แอนเกตที่ให้ผลเป็นผลคูณของกรณีอินพุตเป็น 0000 แอนเกตที่อยู่ถัดลงเป็นผลคูณที่กรณีของอินพุตเป็น 0001,0010, … จนถึงตัวล่างสุดเป็นผลคูณในกรณีที่อินพุตเป็น 1111 ที่เอาท์พุตแต่ละบิตของหน่วยความจำ สามารถเลือกได้ว่าให้เป็น 1 ในกรณีที่อินพุตจากแอดเดรสเป็นอย่างไรบ้าง เหมือนกับเป็นการนำเอาท์พุตจำผลคูณที่ต้องการให้เอาท์พุตแต่ละบิตเป็น 1 ไปออกันจึงเปรียบเหมือนกับว่าในพรอมมีจำนวนแอนเกตจำนวนตำแหน่งความจำ และมีออเกตเท่ากับจำนวนบิตขิงสัญญาณข้อมูลออก (Data Output) อินพุตออเกตทุกตัวสามาต่อเข้ากับแอนเกตตัวใดก็ได้ทุกตัว ซึ่งอาจเรียกได้ว่าเป็นพีแอลดีแบบ Fixed AND /Programmable OR

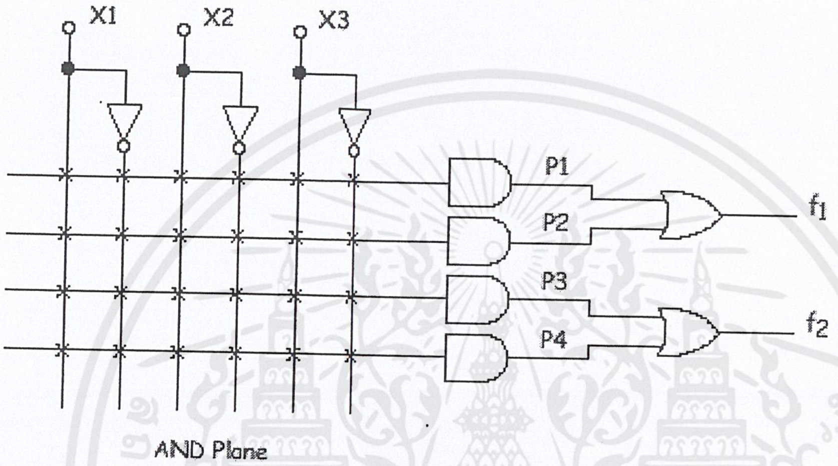


รูปที่ 2.22 แสดงลักษณะของพรอมเมื่อเปรียบเทียบเป็นวงจรในรูปผลคูณร่วมบวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.1 PAL (Programmable Array Logic)

ในช่วงกลางปี ค.ศ. 1970 บริษัทเอ็มเอ็มไอ (MMI: Monolithic Memory) ในประเทศสหรัฐอเมริกา ได้พัฒนาอุปกรณ์พีเอแอลเป็นพีเอแอลชนิดใหม่โดยใช้เทคโนโลยีแบบแอลเอสไอ (LSI: Large Scale Integration) สามารถเลือกโปรแกรมเลือกวงจรภายใน โดยใช้ฟิวส์ที่เชื่อมต่ออยู่กับระบบสัญญาณอินพุตภายนอก และการป้อนกลับจากภายในกับแอนเกตที่ต่อเป็นฟังก์ชั่นผลคูณ (Product) อยู่ในตัววงจรรวม

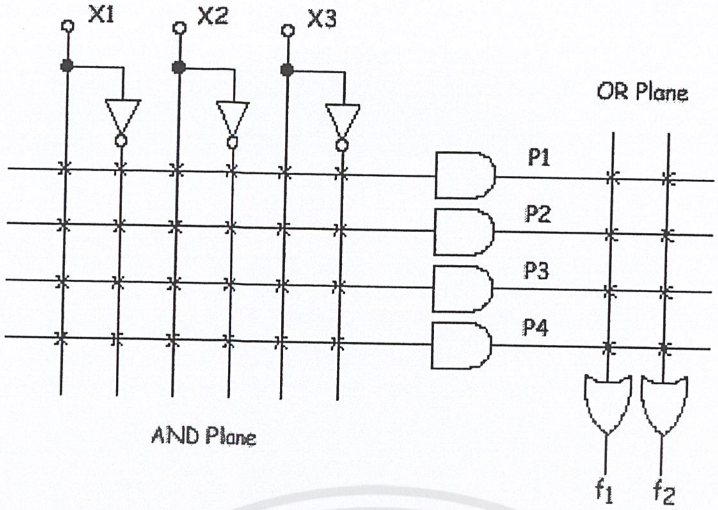


รูปที่ 2.23 แสดงโครงสร้างภายในของพีเอแอล

2.5.2 PLA (Programmable Logic Array)

อุปกรณ์ที่สามารถลงโปรแกรมได้แบบพีเอแอลเกิดขึ้นเมื่อปี ค.ศ.1975 โดยบริษัทซิกเนทริกส์ (Signetics) สหรัฐอเมริกา ซึ่งเป็นผู้ผลิตวงจรรวมรายใหญ่รายหนึ่ง ผลิตและนำเสนออุปกรณ์โดยใช้ชื่อว่า เอฟพีแอลเอ(FPLA :Field Programmable Logic Array) สามารถโปรแกรมการต่อลอจิกทั้งทางด้านแอนเกตและออเกตได้ และยังเลือกเอาท์พุตเป็น Active High หรือ Active Low โดยต่อผ่านเอ็กคลูซีพออเกต ให้ทำหน้าที่เป็นนอนอินเวอร์เตอร์หรือเป็นอินเวอร์เตอร์แล้วแต่ภายในของพีแอลเอ ต่อมาปี ค.ศ. 1979 บริษัทซิกเนทริกส์ ได้สร้างเอฟพีแอลเอใหม่ต่ออยู่ภายในวงจรเพิ่มขึ้น รวมทั้งสามารถเลือกสัญญาณอินพุตที่มาจากการป้อนกลับจากรีจิสเตอร์ได้ด้วย ทำให้สามารถใช้อุปกรณ์พีแอลเอใหม่นี้สร้างวงจร State Machine ได้ อุปกรณ์ใหม่ที่มีรีจิสเตอร์อยู่ด้วยนี้ถูกตั้งชื่อใหม่เป็น เอฟพีแอลเอส (FPLS: Field Programmable Logic Sequencers) มีทั้งที่เป็น ทีทีแอลและซีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



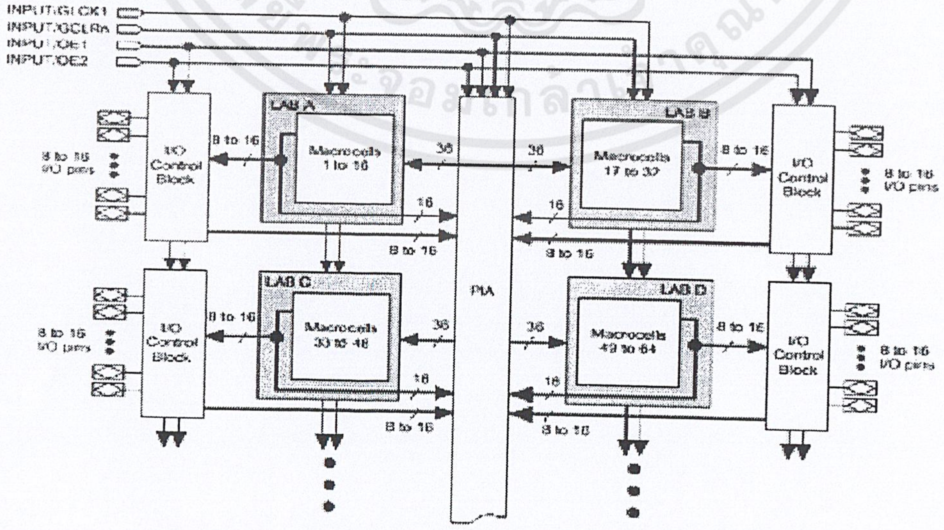
รูปที่ 2.24 แสดงวงจรพื้นฐานภายในของพีแอลเอ

2.5.1 FPGA (Field Programmable Gate Array)

ในปัจจุบันมี FPGA อยู่ 4 ชนิดที่วางขายอยู่ในท้องตลาดได้แก่ Symmetrical Array, Row-Based, Hierarchical PLD และ Sea-of-Gates ซึ่งแต่ละชนิดก็มีลักษณะการเชื่อมต่อภายในและการโปรแกรม ที่แตกต่างกันไป นอกจากนี้ในการแบ่งประเภทของ FPGA อาจแบ่งได้ตามเทคโนโลยีที่ใช้ในการโปรแกรม ซึ่งมีอยู่ 2 แบบคือ การโปรแกรมโดยการทำให้เกิดการเปลี่ยนแปลงทางกายภาพของตัวชิพ และการโปรแกรม โดยการใช้หน่วยความจำ

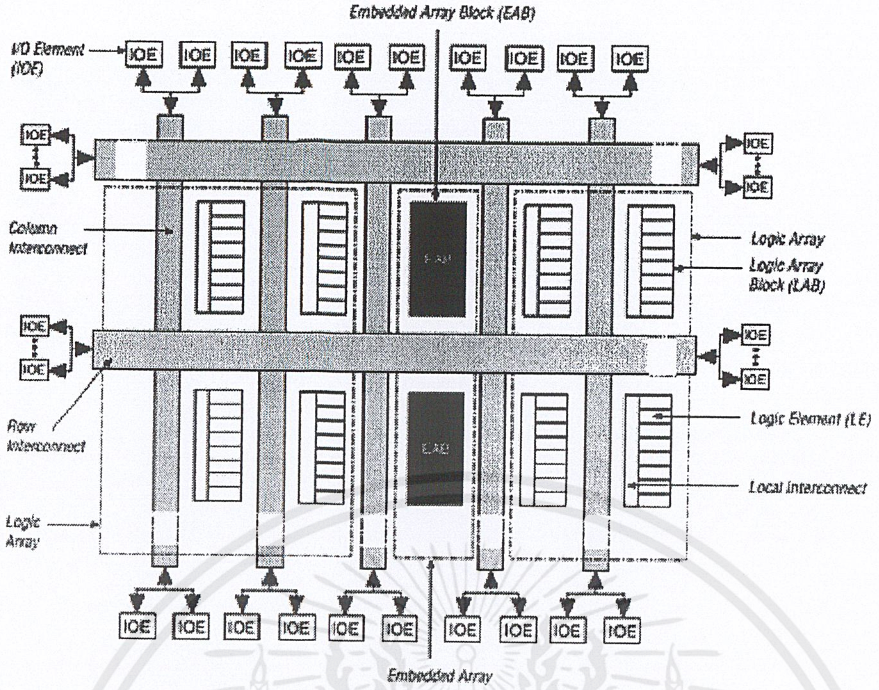
2.5.2 โครงสร้างภายในของ FPGA

ลักษณะโครงสร้างภายในของ FPGA จะเป็นอะเรย์ของบล็อกลอจิกที่สามารถทำการโปรแกรมได้ดังรูปที่ 2.25 และ 2.26



รูปที่ 2.25 โครงสร้างภายในของ FPGA ตระกูล MAX7000S

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 โครงสร้างภายในของ FPGA ตระกูล MAX7000S

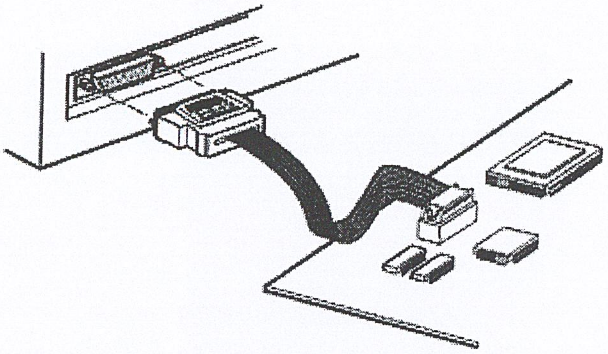
ปัจจัยที่ทำให้การออกแบบ FPGA ทำได้ง่ายและสะดวกรวดเร็ว

1. ผู้ออกแบบไม่จำเป็นต้องทราบถึงโครงสร้างภายในของตัวชิพ เพียงแต่มีความรู้เกี่ยวกับขั้นตอนการออก แบบลอจิกก็เพียงพอแล้ว ต่างกับการใช้ไมโครโปรเซสเซอร์ซึ่งจำเป็นต้องศึกษาโครงสร้างภายในรวมถึง ภาษา Assembly ของไมโครโปรเซสเซอร์ตัวนั้นด้วย

2. มีการออกแบบ โดยใช้ภาษาในการอธิบายการทำงานของวงจร หรือ HDL (Hardware Description Language) เป็นเครื่องมือในการออกแบบ ซึ่งเป็นวิธีการที่มีความยืดหยุ่นสูง ทำได้รวดเร็ว และไม่จำเป็น ต้องทราบถึงลักษณะของวงจรที่ต้องการว่าจะเชื่อมต่อกันอย่างไร เพียงแต่กำหนดลักษณะการทำงานให้มัน จากนั้นตัวซอฟต์แวร์จะทำ Synthesis and Optimize ให้ทั้งหมด นอกจากนี้ภาษาที่ใช้ยังเป็นมาตรฐาน เดียวกันสามารถใช้ได้กับชิพทุกตัวและทุกบริษัท

3. การโปรแกรมสามารถทำได้เองและใช้เวลาไม่นาน เพียงแค่ส่งข้อมูลผ่านสายดาวน์โหลดทางพอร์ตของ คอมพิวเตอร์ก็สามารถโปรแกรมตัวชิพขณะที่อยู่ในระบบได้ โดยไม่จำเป็นต้องถอดมาโปรแกรมข้างนอก ดังรูปที่ 2.3 และที่สำคัญสามารถโปรแกรมได้หลายครั้ง จึงทำให้ง่ายในการแก้ไขและพัฒนาโดยไม่ต้องเสีย ค่าใช้จ่ายเพิ่มแต่อย่างใด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.27 การโปรแกรมลงในชิพ

2.5.2.1 การออกแบบโดยใช้ภาษาอธิบายพฤติกรรมของฮาร์ดแวร์

ในการออกแบบวงจรดิจิตอลนั้นสามารถทำได้โดยการวาดวงจร (Schematic) หรือใช้ภาษาอธิบายพฤติกรรม (Hardware Description Language) ของฮาร์ดแวร์ จากที่ได้กล่าวไปแล้วในบทที่ 1 ในกรณีของการออก แบบวงจรด้วย ASIC ชนิด Full Custom ผู้ออกแบบจะต้องเขียนวงจรด้วย Schematic จากนั้นจะนำวงจรที่ออกแบบไว้ไปทำการจำลองการทำงาน (Simulate) ซึ่งหากผลออกมาเป็นที่พอใจก็จะต้อง Layout เป็นชั้นสาร และในการออกแบบ ASIC ชนิดนี้ผู้ออกแบบจำเป็นจะต้องทราบถึงเทคโนโลยีที่ใช้ในการสร้างด้วย หลังจากได้ Layout ที่สมบูรณ์แล้วจึงจะส่งไปเข้ากระบวนการสร้างไอซีหรือ Fabrication เพื่อสร้างเป็นชิพไอซีออกมา แต่ในการออกแบบวงจรด้วย FPGA โดยการใช้ Schematic หรือใช้ภาษาอธิบายการทำงานของวงจรจะทำ ได้สะดวกกว่า เนื่องจากวิธีการนี้ผู้ออกแบบไม่จำเป็นต้องคำนึงถึงเทคโนโลยีที่จะใช้สร้างไอซีและที่สำคัญ การออก แบบโดยวิธีนี้สามารถแก้ไขโมเดล (Model) หรือเปลี่ยนแปลงเทคโนโลยีได้สะดวกกว่า เพราะไม่ต้องวาดวงจร ใหม่ นั่นคือการออกแบบโดยใช้ภาษาอธิบายฮาร์ดแวร์ จะทำให้โมเดลที่ได้ไม่ขึ้นกับเทคโนโลยีสำหรับภาษาที่ใช้สำหรับอธิบายพฤติกรรมของฮาร์ดแวร์ที่ใช้กันก็มี VHDL, AHDL และ Verilog เป็นต้น

2.5.2.2 การสังเคราะห์วงจร (Logic Synthesis)

ในขั้นตอนนี้จะใช้ซอฟต์แวร์ในการสังเคราะห์วงจร (Synthesis Tools) ทำการสังเคราะห์พฤติกรรม ของวงจรที่ได้จากการออกแบบด้วย Schematic หรือ VHDL ซึ่งต้องทำการตรวจสอบด้วยว่าซอฟต์แวร์ นั้นสนับสนุนเทคโนโลยี FPGA (FPGA Library) ที่ต้องการหรือไม่ ตัวอย่างเช่น FPGA ของบริษัท XILINX และบริษัท ALTERA จะมีซอฟต์แวร์หลายตัวที่สามารถใช้ได้ เช่น Max Plus II ในขั้นตอนนี้ ซอฟต์แวร์สังเคราะห์วงจรจะทำการแปลงโค้ด VHDL และทำการ Optimize เพื่อให้ได้วงจรตาม เทคโนโลยีที่เลือกใช้ในการสังเคราะห์วงจรนั้นวงจรระดับเกท (Gate Level) จะไม่เหมาะสมกับโครง สร้างที่มีอยู่ในอุปกรณ์ FPGA ดังนั้นในการ Optimize ซอฟต์แวร์สังเคราะห์วงจร จะต้องทำการ Optimize ให้ได้เป็นวงจรที่ประกอบ ด้วยกลุ่มของลอจิกที่เหมาะสมกับอุปกรณ์ FPGA นั้นๆจึงทำให้ผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ได้มีประสิทธิภาพและในขั้นตอนการสังเคราะห์วงจรนี้ ผู้ออกแบบสามารถกำหนดข้อบังคับสำหรับโมเดล แต่ละตัวได้ เช่น ข้อบังคับในเรื่องเวลา (Timing Constraints) หรือข้อบังคับในเรื่องของพื้นที่ (Area)หรือกำหนดชนิดและตำแหน่งของ I/O ซึ่งข้อบังคับเหล่านี้จะถูกนำไปใช้ในขั้นตอน Optimize เพื่อให้วงจร ที่ได้เป็นไปตามที่กำหนด ส่วนสำคัญในการ Optimize คือการเทียบ (Mapping) โมเดลให้เข้ากับ เทคโนโลยีที่ใช้เพื่อให้ได้วงจรที่เหมาะสมกับโครงสร้างและสถาปัตยกรรมภายในอุปกรณ์ FPGA เมื่อทำ การสังเคราะห์วงจรเสร็จแล้ว ซอฟแวร์การสังเคราะห์วงจรก็จะมีการรายงานผลว่าโมเดลที่ออกแบบไปนั้น เป็นอย่างไร เช่นมีค่าความหน่วง (Delay) เท่าใด ใช้ทรัพยากรต่างๆใน FPGA อะไรบ้าง เมื่อมาถึงขั้น ตอนนี้ ผู้ออกแบบก็จะทราบว่าโมเดลเป็นไปตามข้อบังคับหรือไม่ ถ้าไม่ก็สังเคราะห์ใหม่จนกว่าจะเป็นไปตาม ที่กำหนด

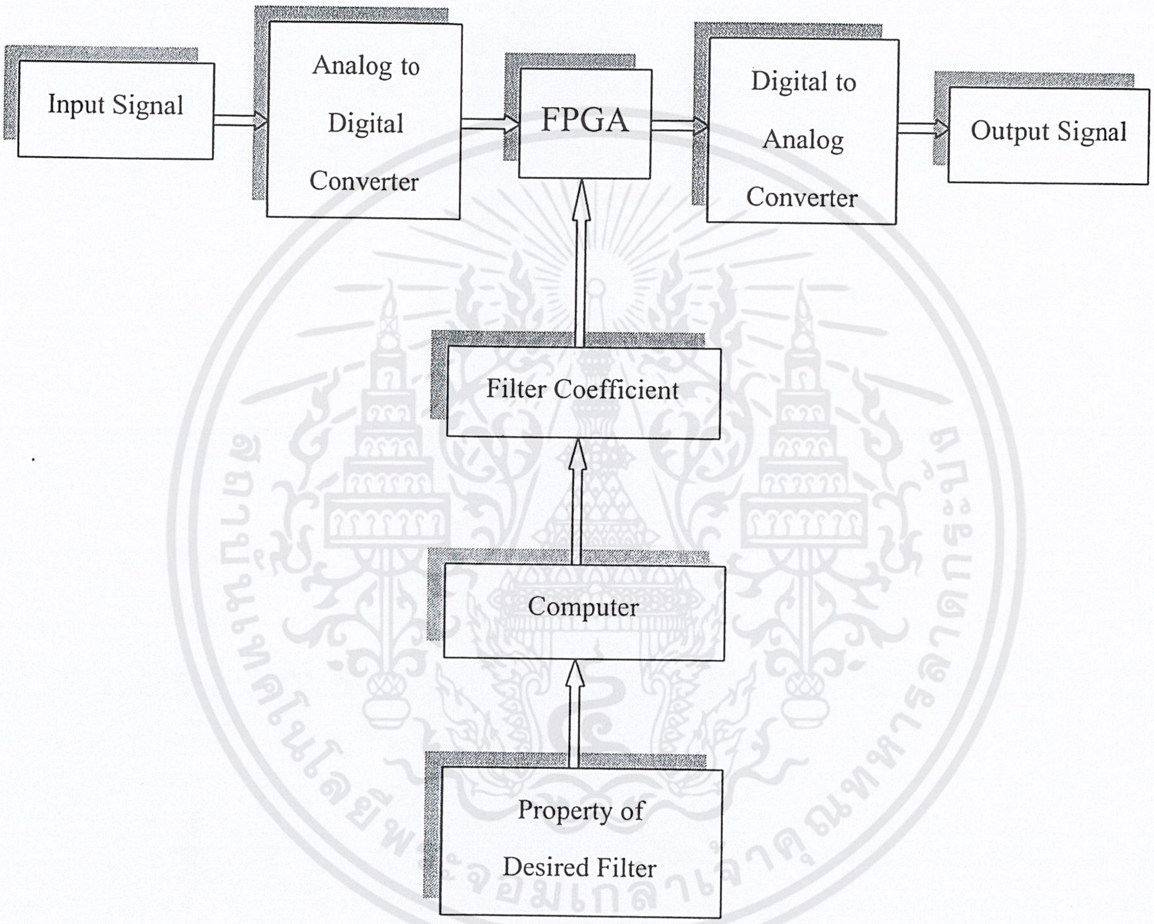
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบและการสร้าง

3.1 การออกแบบส่วนของ Hardware

แผนผังการออกแบบวงจรทั้งหมดของโครงงาน



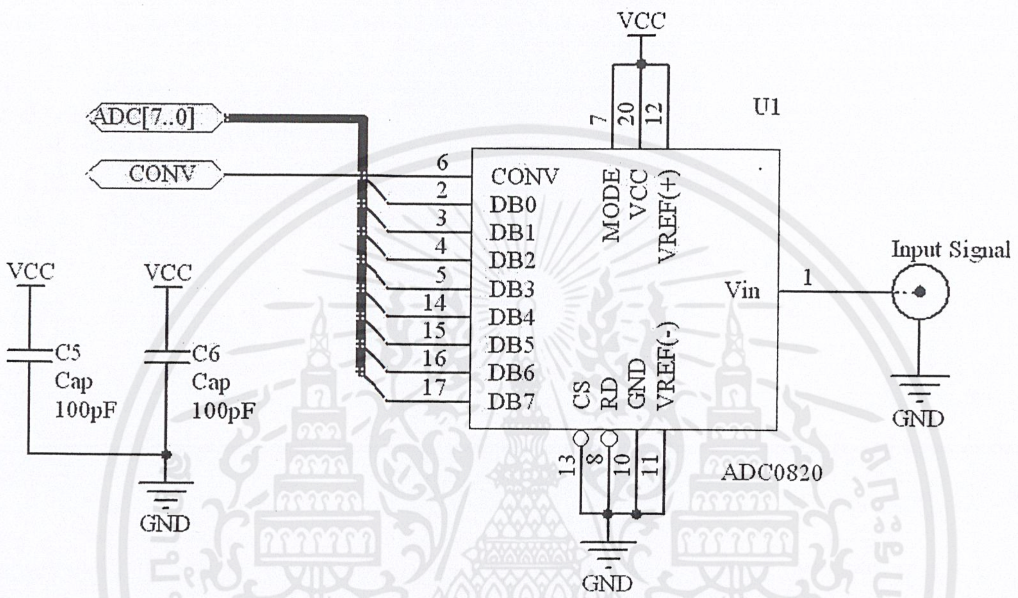
รูปที่ 3.1 ส่วนประกอบหลักของดิจิตอลฟิลเตอร์

การทำงานในส่วนหลักนี้จะประกอบไปด้วยภาคแปลงสัญญาณอินพุตเป็นสัญญาณทางดิจิตอล (ADC) โดยใช้ IC เบอร์ ADC8020 การแปลงสัญญาณนั้นจะใช้ CLK ตัว FPGA มาทำการแปลงสัญญาณที่ทำการทดลองใช้ Sampling Frequency = 60 kHz เมื่อได้มานำข้อมูลไปประมวลผลภายใน FPGA ซึ่งในตัวของ FPGA นั้นมีวงจรที่ใช้สำหรับ Convolution ตัวสัญญาณอินพุต x(n) กับค่าสัมประสิทธิ์ h(n) ด้วยความถี่ 25 kHz เมื่อทำการ Convolution เสร็จแล้วจะส่งของมูลออกไปแสดงผลต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

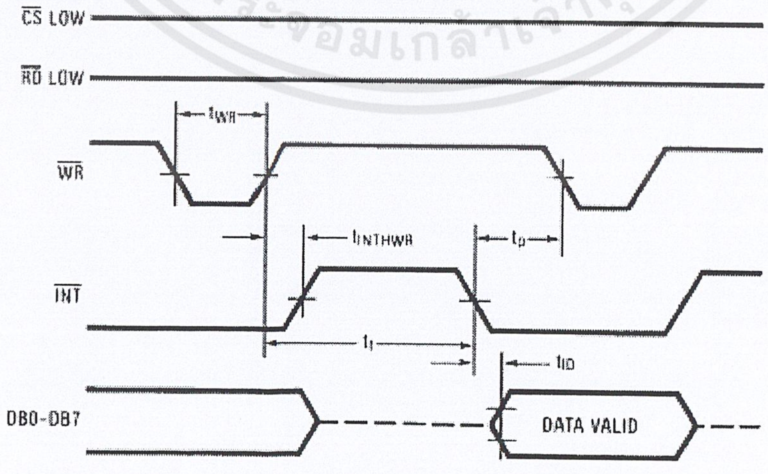
อีกส่วนหนึ่งนั้นส่วนคำนวณสัมประสิทธิ์เราจะใช้โปรแกรม matlab ในการคำนวณค่าสัมประสิทธิ์แล้วดาวน์โหลดลงแรมภายใน FPGA เพื่อทำการ Convolution ต่อไป ในการคำนวนนั้นจะใช้ Windows function เพื่อหาค่าสัมประสิทธิ์ออกมา สามารถที่จะเลือกค่า Cutoff Frequency , Stop Band ได้

3.1.1 วงจรแปลงสัญญาณอนาล็อกเป็นดิจิตอล



รูปที่ 3.2 ส่วนของวงจร ADC0820

ส่วนของวงจรสัญญาณอนาล็อกเป็นดิจิตอลใช้ ATOD เบอร์ ADC0820 มาใช้ร่วมกับ FPGA การทำงานนั้นแสดงได้ดังรูปที่ 3.3 แสดงถึง Timing Diagram ของ ADC0820

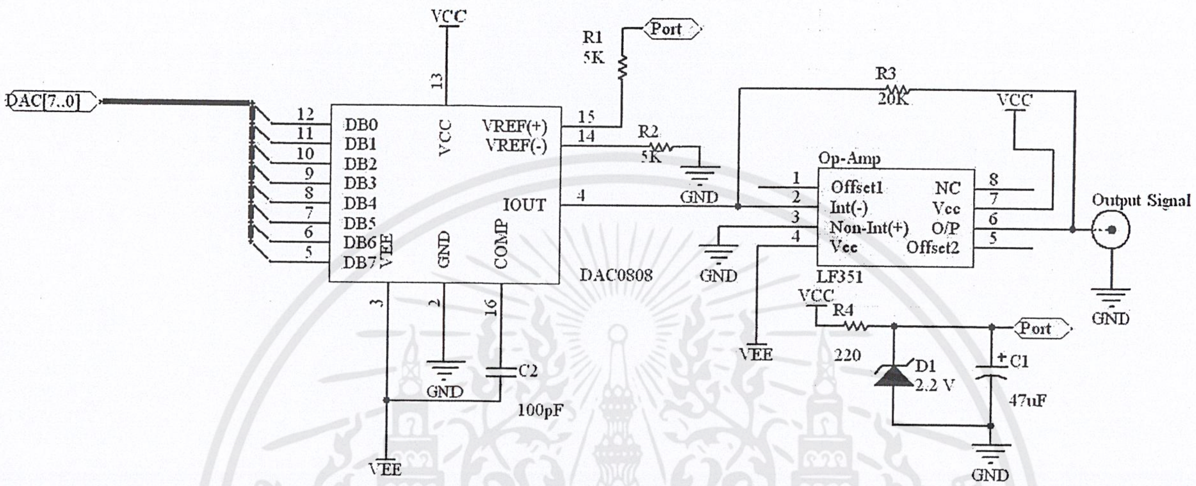


รูปที่ 3.3 แสดงการทำงานของ ADC0820 ในแบบ WR-RD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในโหมด WR-RD นั้นมีเวลาการแปลงสัญญาณเท่ากับ 1.5 us เพราะฉะนั้นความถี่สูงที่สุดที่ใช้ คือ 1/1.5us = 666.66KHz แต่ที่ใช้ในโครงงานนี้เพียง 60 KHz เท่านั้นจึงเพียงพอที่ใช้ได้ การใช้งานคือ การส่งสัญญาณจากตัว FPGA มายัง ADC0820 นี้จะรับอินพุตได้ 0-5 V แล้วแปลงไปเป็นบิตดิจิตอล

3.1.2 วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อก



รูปที่ 3.4 ส่วนของวงจร DAC0808

วงจรแปลงสัญญาณดิจิตอลเป็นอนาล็อกโดยข้อมูลจะออกมาจากตัว FPGA เมื่อผ่านการ Convolution แล้ว จะนำค่าที่ได้ไปแปลงเป็นสัญญาณอนาล็อกแต่ค่าที่ออกมาจะเป็นกระแสจึงต้องต่อ Op-Amp เพื่อเปลี่ยนกระแสให้เป็นแรงดัน โดยโครงสร้างภายในของตัว DAC นั้นเป็นแบบ Current R-2R Ladder จึงมีความเร็วในการแปลงสัญญาณมาก

I_{OUT} ที่ออกมาจากตัว DAC จะสามารถคำนวณได้จากสมการ

$$I_O = K\left(\frac{A1}{2} + \frac{A2}{4} + \frac{A3}{8} + \frac{A4}{16} + \frac{A5}{32} + \frac{A6}{64} + \frac{A7}{128} + \frac{A8}{256}\right)$$

เมื่อให้

$$K \cong \frac{V_{REF}}{R14}$$

โดยที่ R14 คือ ค่าความต้านทานที่ขา REF(+), A[1..8] คือ บิตของข้อมูล

นำ I_{OUT} ที่ได้ไปคูณกับค่าความต้านทาน RF = 5kohm

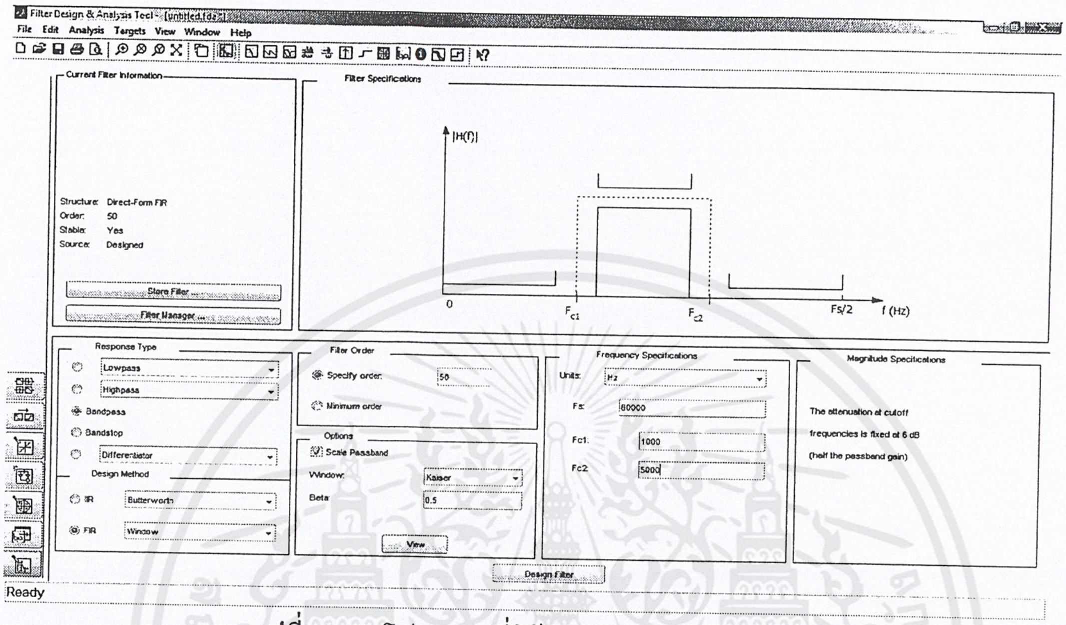
จะได้ $V_{OUT} = RF * I_{OUT}$: $V_{REF} = 2.2$ Volt

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การออกแบบส่วนของ Software

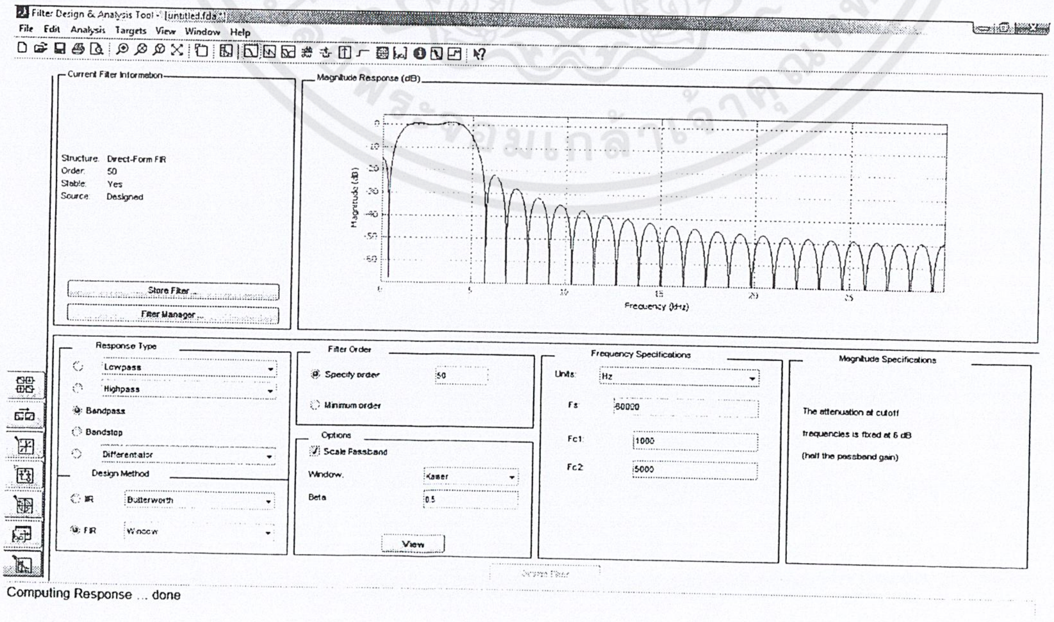
3.2.1 Software ที่ใช้ในการคำนวณค่าสัมประสิทธิ์

ในการคำนวณค่าสัมประสิทธิ์นั้น เราจะใช้ Windows มาทำการออกแบบเป็นไปดังรูปที่ 3.5



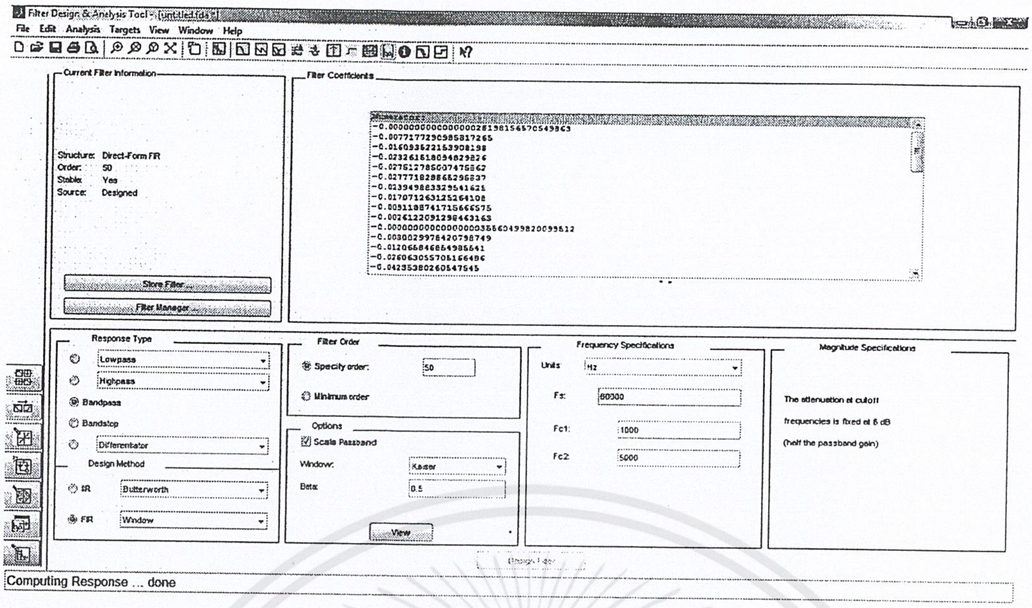
รูปที่ 3.5 โปรแกรมที่ใช้ในการออกแบบ Filter

เมื่อทำการใส่ค่าต่างๆวงไปแล้วให้กดปุ่ม Design Filter จะได้ผลกราฟผลตอบสนองทางความถี่ดังรูปที่ 3.6 และได้ค่าสัมประสิทธิ์ดังรูปที่ 3.7 เราจะได้สัมประสิทธ์ ออกมาแต่มันยังอยู่ในรูปจุดทศนิยมต้องทำการแปลงเป็นจำนวนเต็มโดยการคูณ 2^{16} เข้าไป แล้วแปลงเป็นเลขฐานสองจึงจะเสร็จสมบูรณ์



รูปที่ 3.6 กราฟผลตอบสนองทางความถี่ที่ได้จากการออกแบบ Filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 แสดงค่าสัมประสิทธิ์

จากนั้นทำการนำค่าสัมประสิทธิ์ที่ได้จากการออกแบบใน MATLAB ไปแปลงเป็นเลขฐานสอง แล้วจึงนำค่านั้นไปใช้ FPGA ต่อไปตามตาราง

ค่าสัมประสิทธิ์	**ค่าที่ทำการแปลงเลขฐาน**
-2.81982E-17	0000000000000000
-0.0077177290985817200	0000000111111000
-0.0160935221539081000	0000010000011110
-0.0232615180948298000	0000010111110100
-0.0275127850074758000	0000011100001011
-0.0277718288652958000	0000011100011100
-0.0239498833295416000	0000011000100001
-0.0170712631252641000	0000010001011110
-0.0091188741715666500	0000001001010101
-0.0026122091298463100	0000000010101011
-3.55605E-18	0000000000000000
-0.0030029978420798700	0000000011000100
-0.0120658468549855000	0000001100010110
-0.0260630557051664000	0000011010101100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-0.042353802605475400	0000101011010111
-0.057203852145733400	0000111010100100
-0.066507197925493300	0001000100000110
-0.066665193553048200	0001000100010000
-0.055435214457572500	0000111000110001
-0.032556441573030600	0000100001010101
2.18E-17	0000000000000000
0.038233045577703700	0000100111001001
0.076745733329484100	0001001110100101
0.109695742175646000	0001110000010101
0.131874386515409000	0010000111000010
0.139693422459779000	0010001111000010
-2.81982E-17	0010001111000010
-0.007717729098581720	0010000111000010
-0.016093522153908100	0001110000010101
-0.023261518094829800	0001001110100101
-0.027512785007475800	0000100111001001
-0.027771828865295800	0000000000000000
-0.023949883329541600	0000100001010101
-0.017071263125264100	0000111000110001
-0.009118874171566650	0001000100010000
-0.002612209129846310	0001000100000110
-3.55605E-18	0000111010100100
-0.003002997842079870	0000101011010111
-0.012065846854985500	0000011010101100
-0.026063055705166400	0000001100010110
-0.042353802605475400	0000000011000100
-0.057203852145733400	0000000000000000
-0.066507197925493300	0000000010101011
-0.066665193553048200	0000001001010101
-0.055435214457572500	0000010001011110

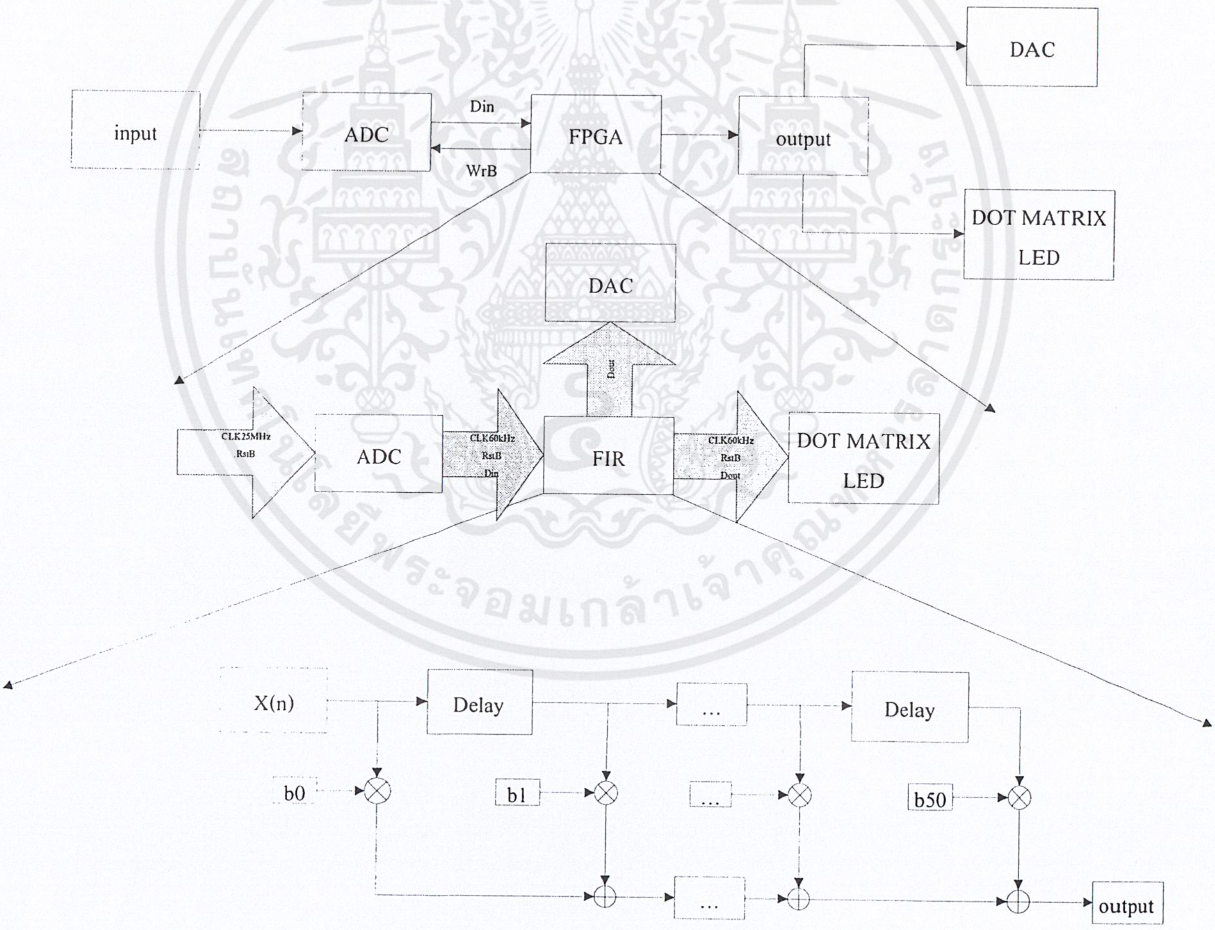
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

-0.0325564415730306000	0000011000100001
2.18E-17	0000011100011100
0.0382330455777703700	0000011100001011
0.076745733329484100	0000010111110100
0.109695742175646000	0000010000011110
0.131874386515409000	0000000111111001

ตารางที่ 3.1 ตารางการแสดงค่าสัมประสิทธิ์ที่ได้และค่าที่แปลงเป็นเลขฐานสอง

3.2.2 การออกแบบวงจร FPGA

Block diagram ของการออกแบบวงจรภายใน FPGA



รูปที่ 3.8 Block Diagram ในส่วนของ FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

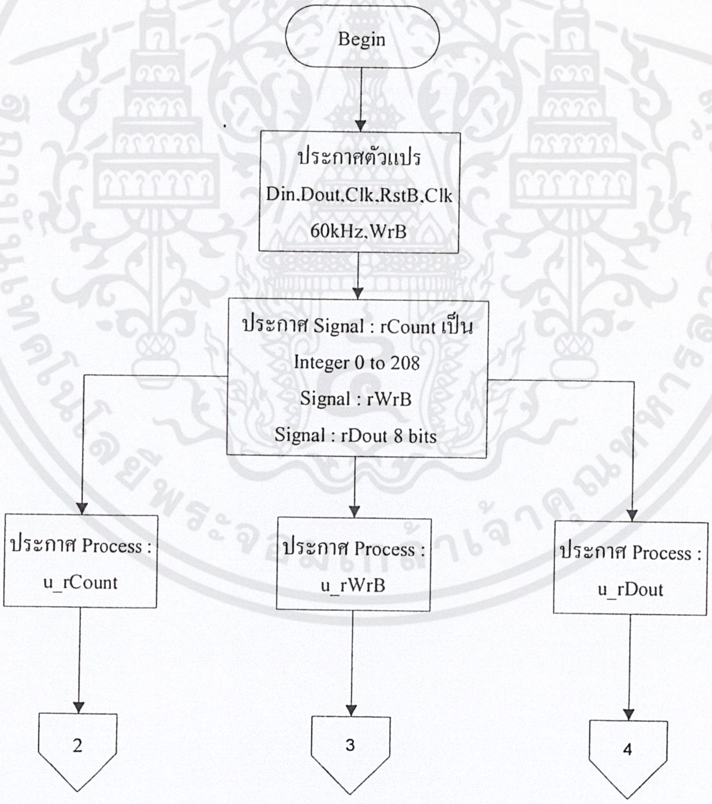
3.2.2.1 วงจร DAC

ในส่วนของวงจร ADC จะประกอบด้วย 3 กระบวนการ (Process) ด้วยกัน ซึ่งทั้งหมดจะทำงานที่ขอบขาขึ้นของสัญญาณ clk คือ

– กระบวนการของวงจรนับ เป็นการนับค่า 0 ถึง 207 ให้กับการทำงานตามสัญญาณ clk 1 cycle แต่ถ้า RstB ถูกกด จะทำให้การนับค่ากลับไปเริ่มที่ 0 ใหม่อีกครั้ง

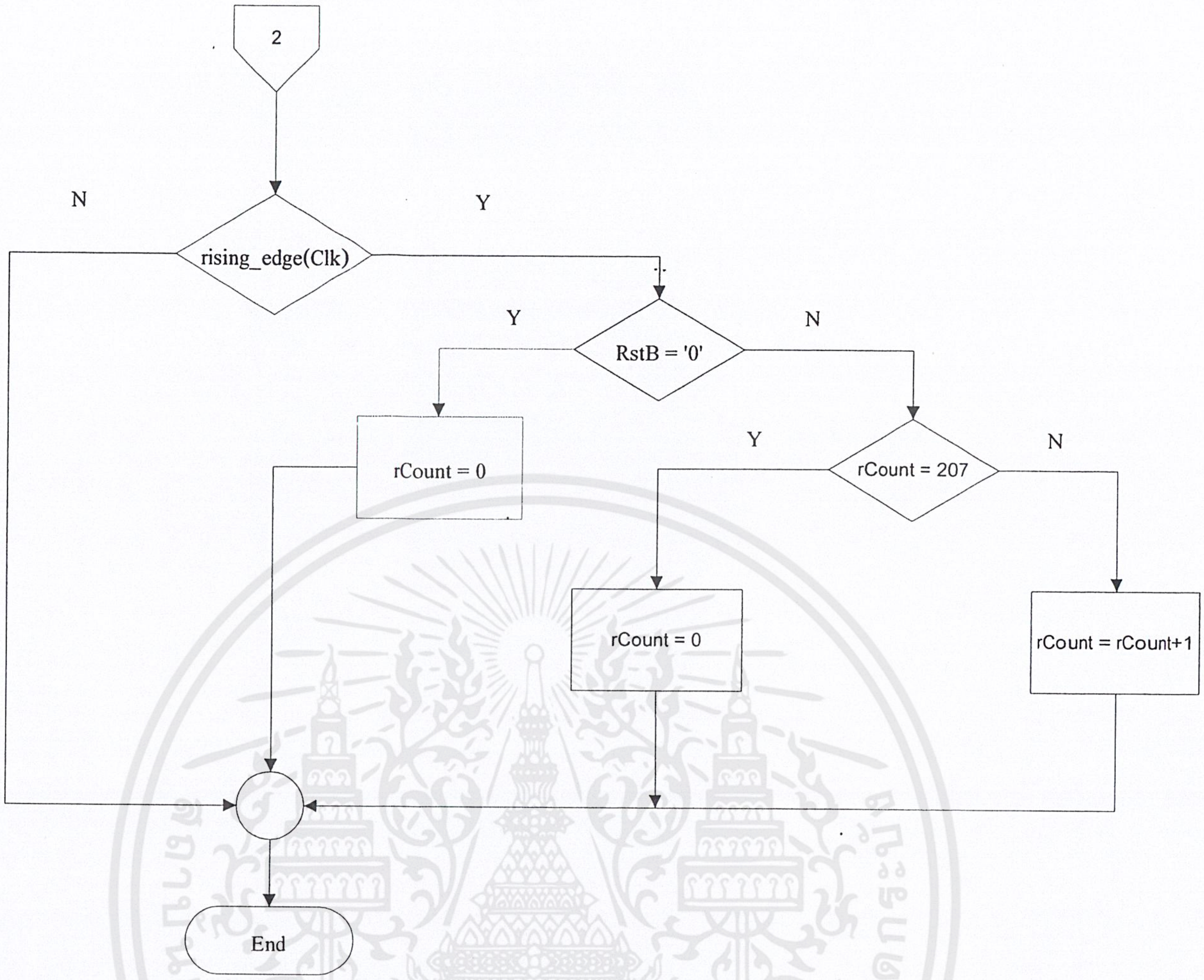
– กระบวนการของวงจรสร้าง clock ให้แก่ บอร์ด ADC และ ระบบ ซึ่งในขณะที่วงจรนับไปเรื่อยๆ และปุ่ม RstB ไม่ถูกกด เมื่อนับถึง 207 สัญญาณของ WrB จะกลับสัญญาณ เพื่อเป็นการเริ่มการทำงานของสัญญาณ int ซึ่งจะเป็นการทำงานไปตามดาต้าชีท

– กระบวนการของวงจรสร้างสัญญาณ Digital หลังจากที่มีการสร้างสัญญาณเริ่มการทำงานแล้ว เมื่อ Count และ WrB มีค่าเท่ากับ 0 จะทำให้ค่าอินพุท เท่ากับ 0 ในทางตรงกันข้าม จะมีค่าเท่ากับค่าเอาท์พุทตามค่าอินพุทที่ป้อนเข้ามา



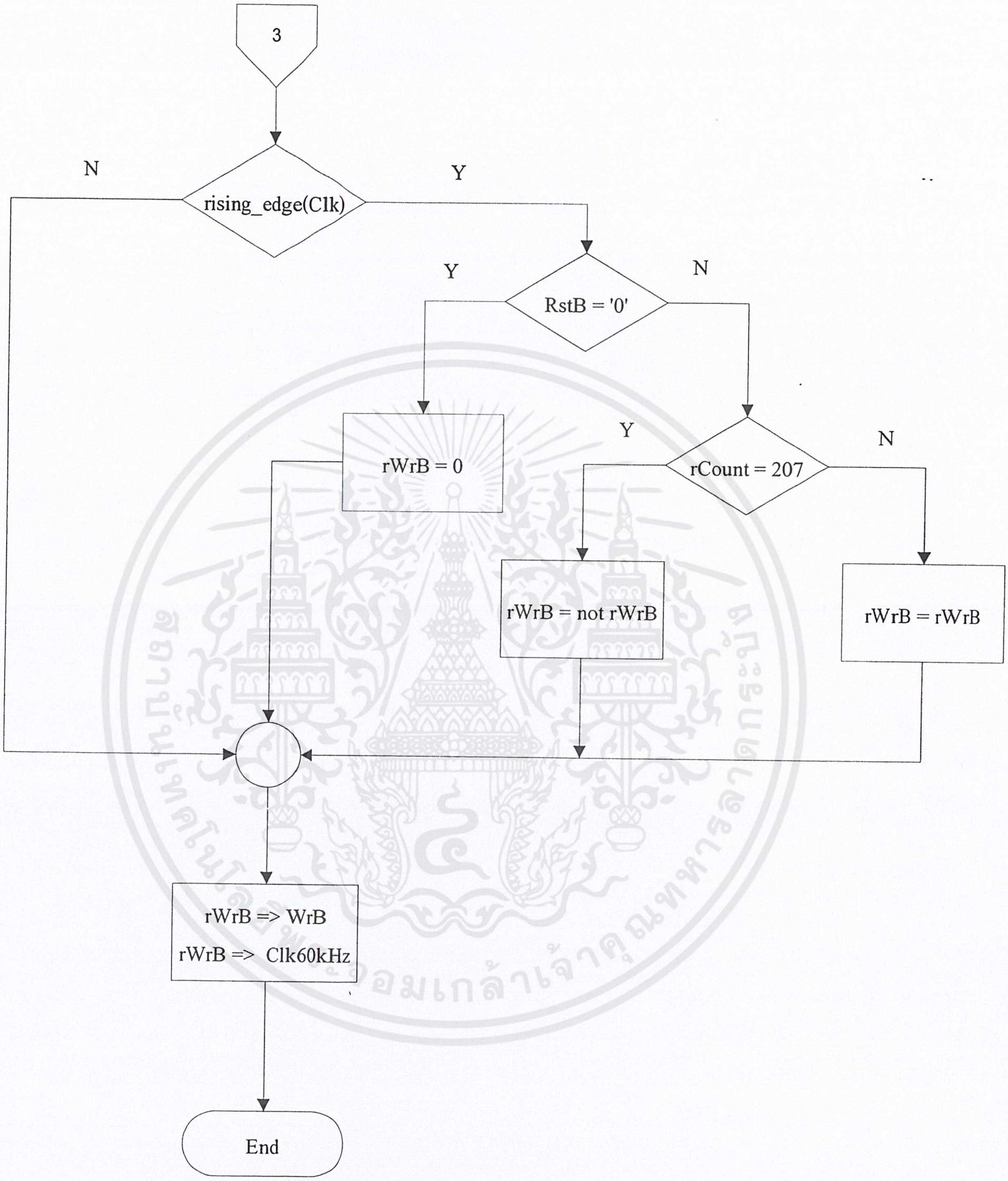
รูปที่ 3.9 Flowchart's ADC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



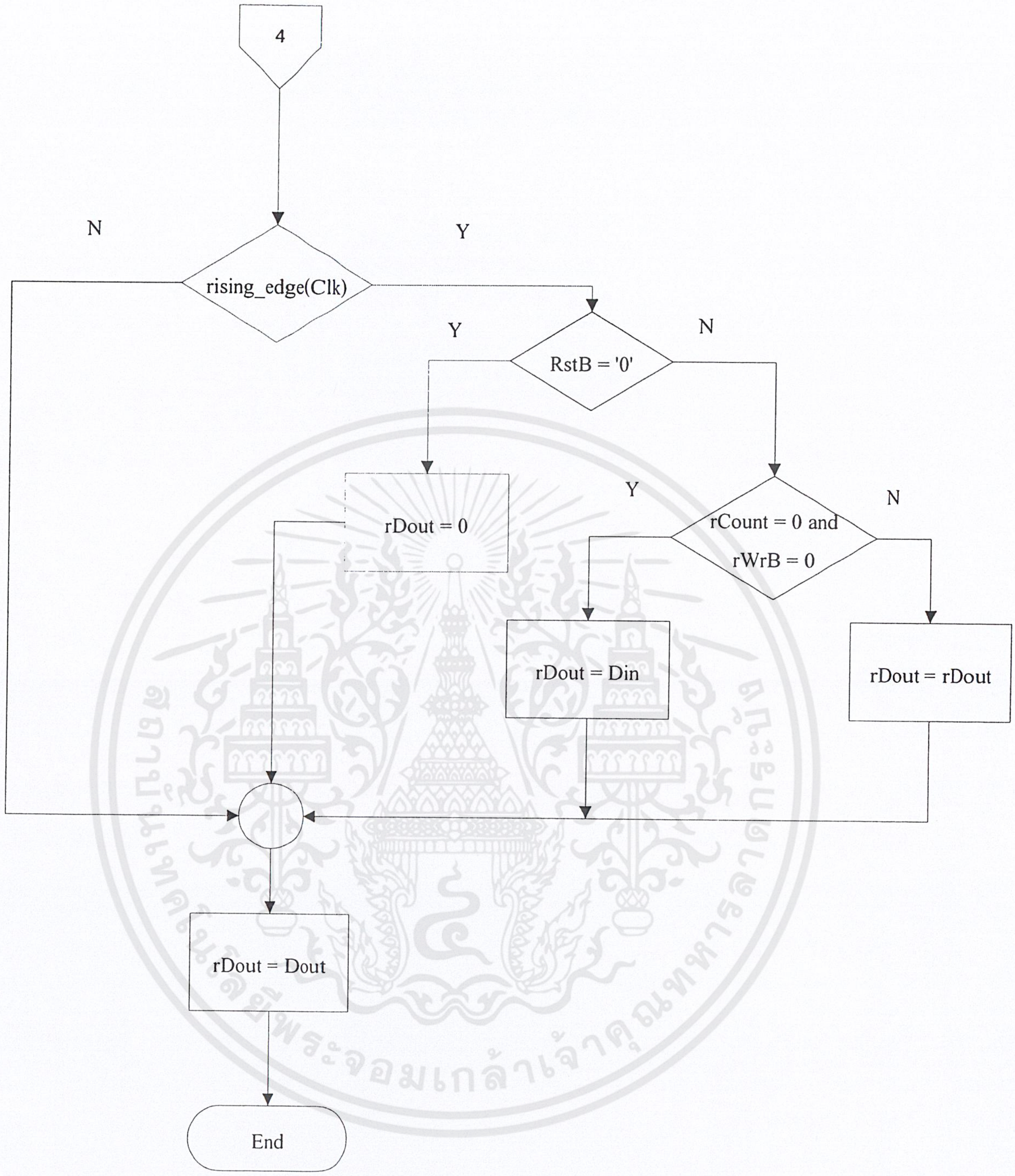
รูปที่ 3.10 Flowchart's ADC (Counter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 Flowchart's ADC (Clk)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

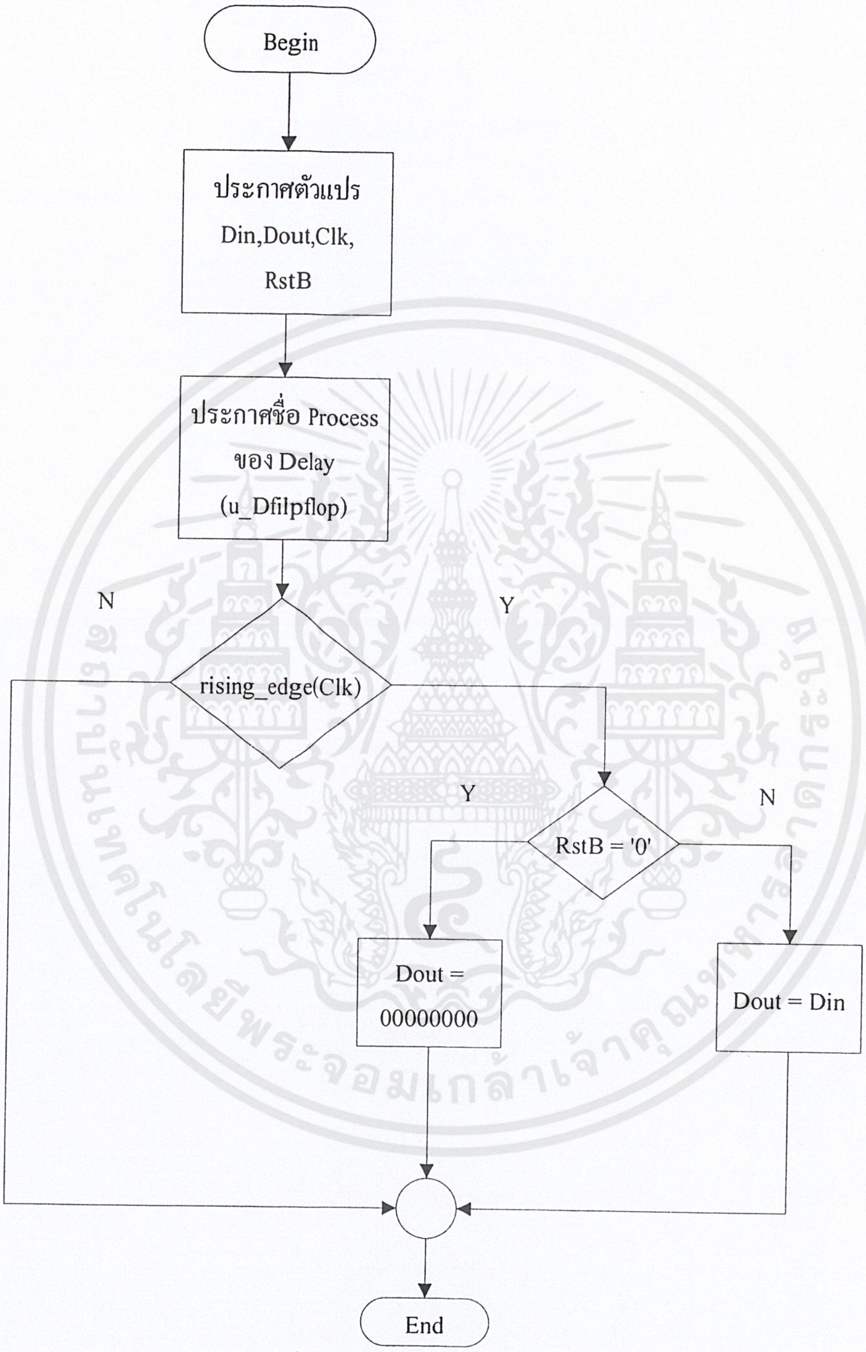


รูปที่ 3.12 Flowchart's ADC (Out)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2.2 วงจร Delay

เป็นการสร้างส่วนดีเลย์ในส่วนของการออกแบบ FIR เมื่อทำการ Reset ค่าจะทำให้สัญญาณที่ออกไปมีค่าเป็น 0 แต่ถ้าไม่ได้กดก็ให้สัญญาณที่ออกไปมีค่าเท่ากับสัญญาณขาเข้า

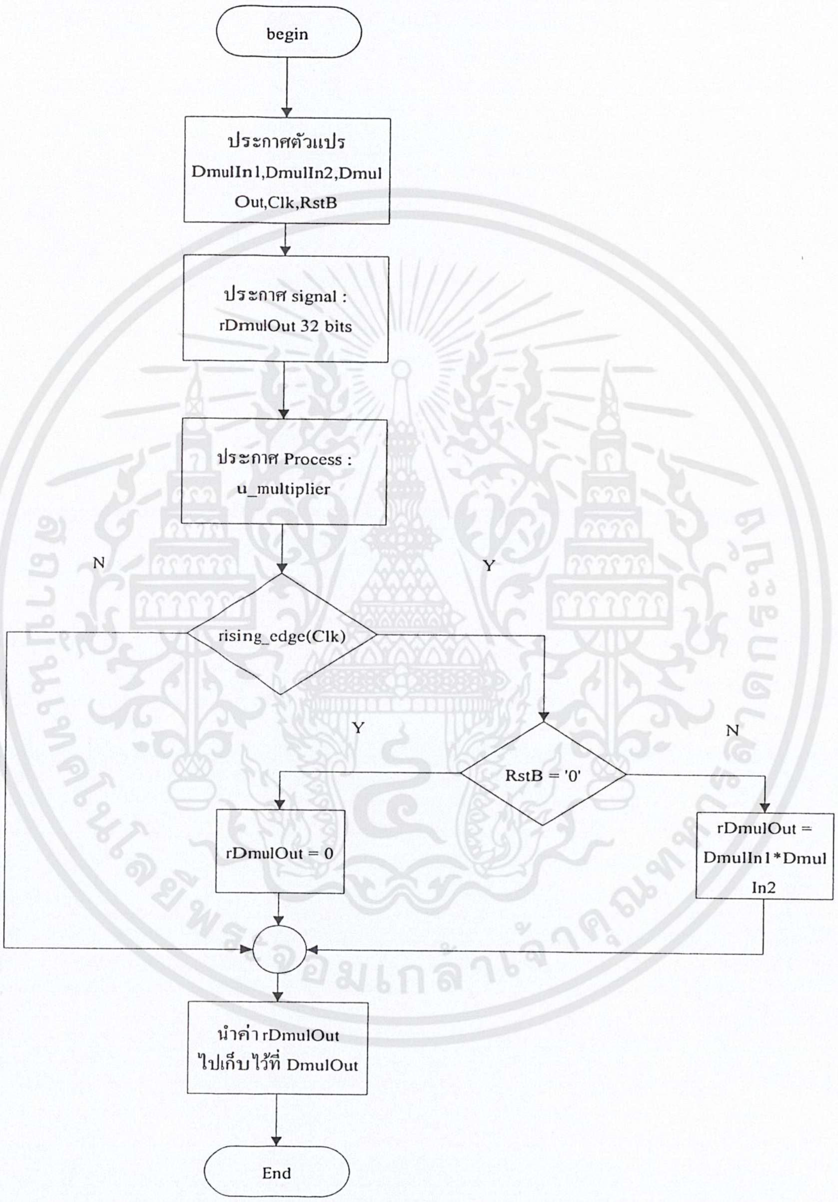


รูปที่ 3.13 Flowchart's Delay

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2.3 วงจร Multiplier

เป็นการสร้างส่วนของการคูณ ระหว่าง ค่าคงที่ กับ ค่าดาต้าอินพุท ในส่วนของการออกแบบ FIR ค่าคงที่ที่ได้จาก matlab เป็นค่าทศนิยมดังนั้นจึงทำการคูณด้วย 2^{16} แล้วนำมาแปลงค่าเป็นเลขฐานสอง ซึ่งมีขนาด 16 bit แต่เนื่องจากข้อมูลก่อนเข้าวงจรมีค่าเพียง 8 bits จึงต้องทำการ add 0 เข้าไปข้างหน้าอีก 8 bits เพื่อให้เป็น 16 bits แล้วทำการคูณ จะได้สัญญาณที่ออกมามีค่าเป็น 32 bits

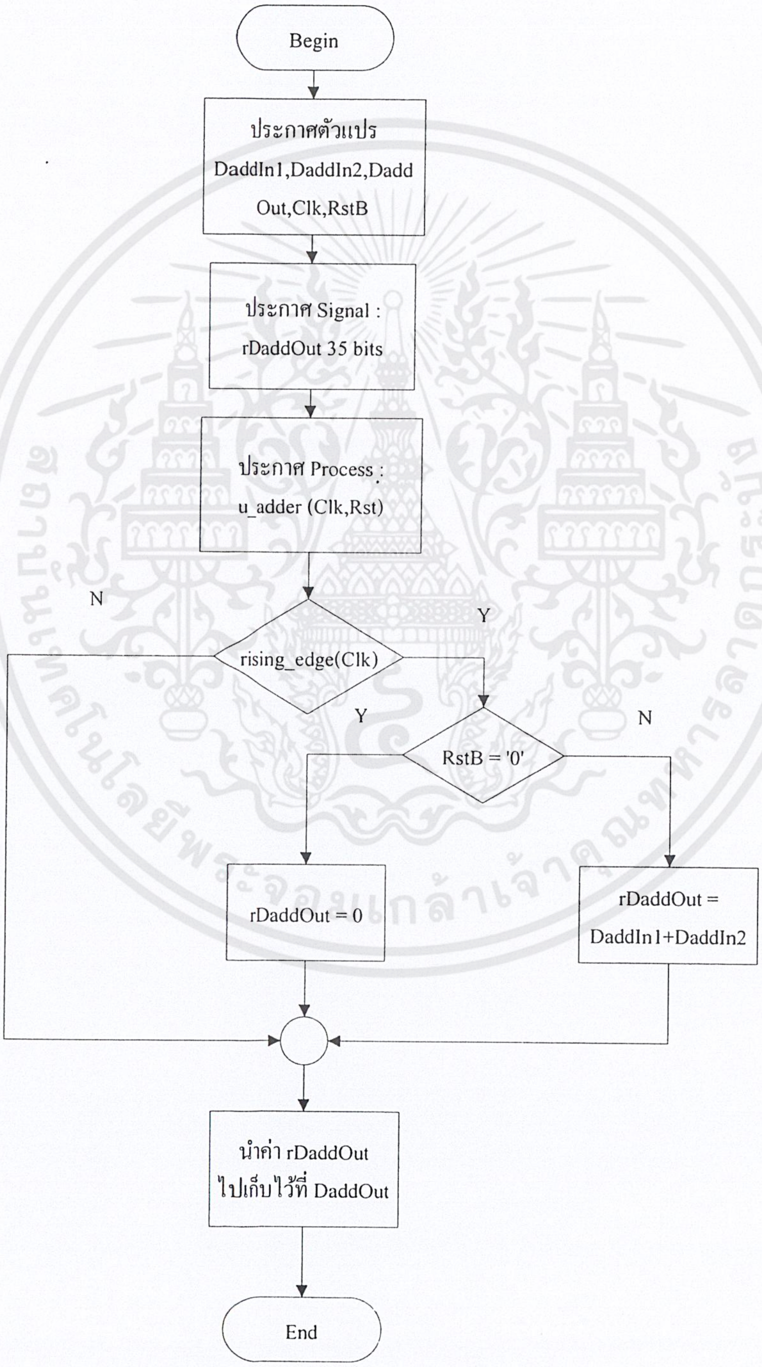


รูปที่ 3.14 Flowchart's Multiplier

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2.4 วงจร adder

เป็นการสร้างส่วนของการบวก ระหว่าง ค่าจากวงจรคูณตัวแรก กับ ค่าจากวงจรคูณตัวถัดมา ในส่วนของการออกแบบ FIR เนื่องจากข้อมูลที่ออกมาจากวงจร Multiplier มีขนาด 32 bits จึงออกแบบให้ input ของวงจร adder มีขนาด 35 bits เนื่องจากการบวกค่าจะเกิดตัวเกินออกมา จึงทำการเผื่อค่าไว้ แล้วจึงนำข้อมูลจากวงจร multiplier มาบวกกัน

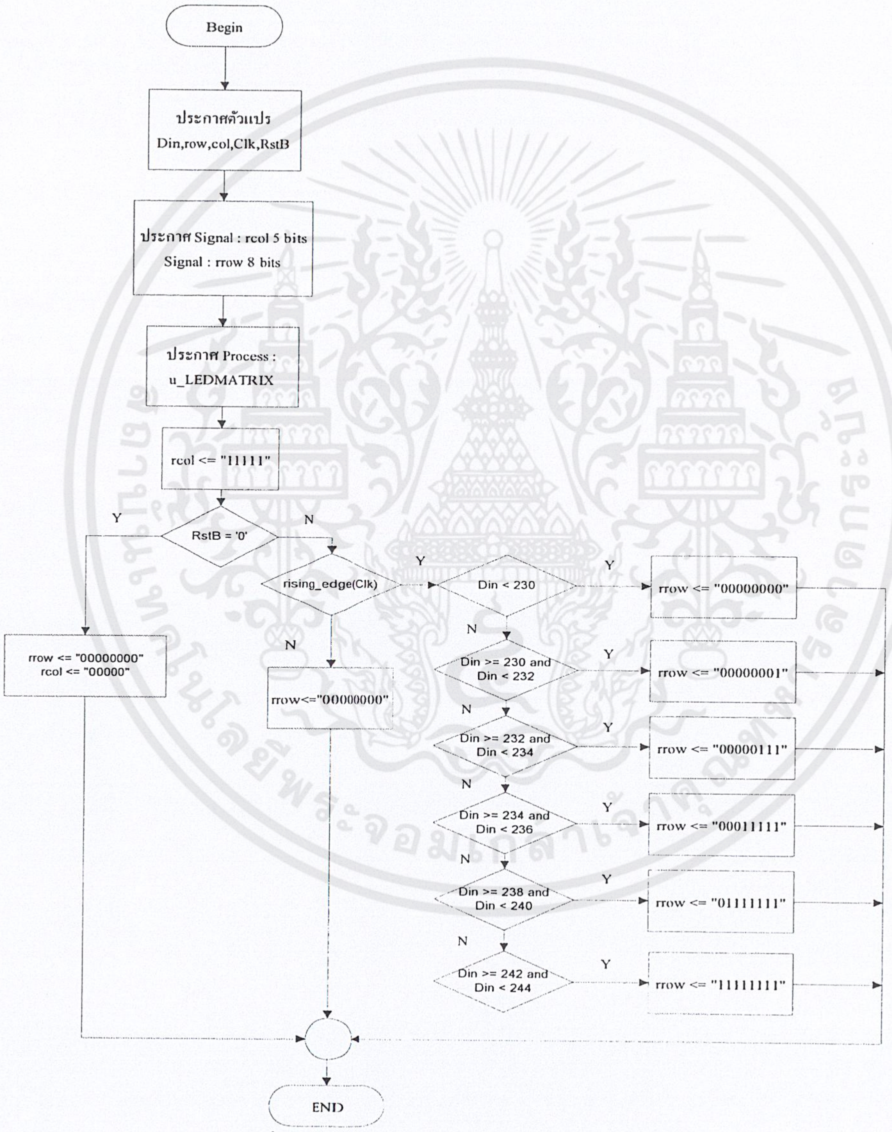


รูปที่ 3.15 Flowchart's Adder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.2.5 วงจร DOT Matrix LED

จาก Dot Matrix LED บนบอร์ด FPGA มี 8 แถว (Row) และ 5 หลัก (Column) ได้กำหนดให้ Column ทั้ง 5 Column มี Bit เป็น 1 นั้นก็คือ ไฟติดทั้งหมด เมื่อ Reset เท่ากับ 0 จะทำการล้างค่าของ Row และ Column แต่ถ้า Reset ไม่ได้รับการกด โปรแกรมก็จะไปพิจารณาที่ Clk เป็นลำดับถัดไปโดยพิจารณาที่ขอบขาขึ้นของ Clk แล้วจะนำข้อมูลไปวิเคราะห์แต่ละกรณีที่ได้กำหนดไว้ แต่ถ้าไม่เป็นช่วงขอบขาขึ้นของ Clk ก็จะทำการล้างค่า Row



รูปที่ 3.16 Flowchart's Dot Matrix LED

หลังจากที่ออกแบบแต่ละส่วนเสร็จแล้ว จึงทำการเชื่อมต่อโค้ด เพื่อทำการเชื่อมโยงการทำงานของแต่ละส่วนเนื่องจากเป็นการออกแบบในลักษณะการมองแบบ Hardware

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

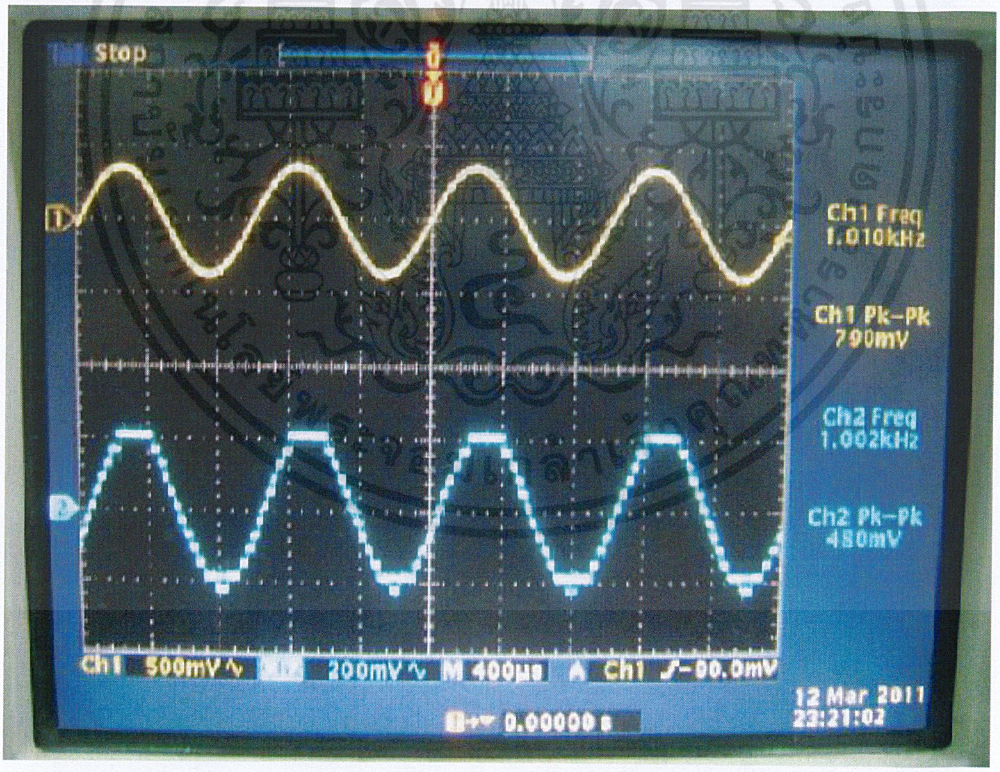
บทที่ 4

ผลการทดลอง

4.1 การทดลอง

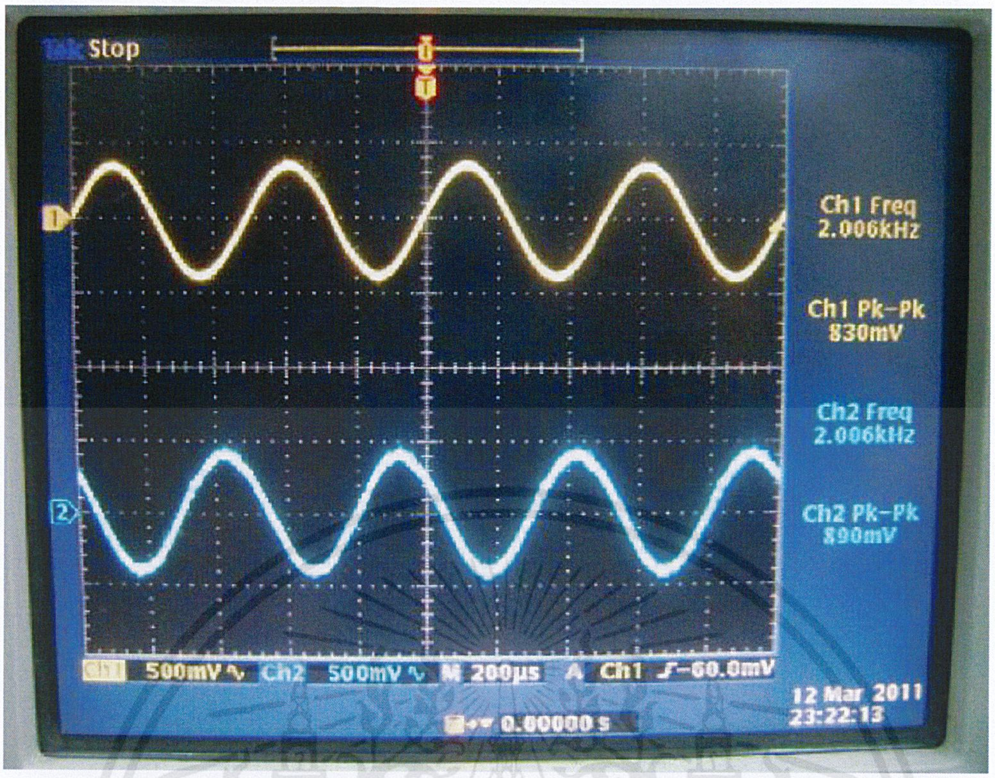
ในการทดลองวงจรนั้น จะเป็นการทดลองเพื่อดูผลการทำงานจริงว่าเป็นไปตามที่ได้ออกแบบไว้หรือไม่ โดยในการทดลองจะเริ่มจากจ่ายไฟเลี้ยงเข้าวงจรและโหลดโปรแกรมจากคอมพิวเตอร์ลงสู่อุปกรณ์ FPGA หลังจากนั้นแหล่งจ่ายสัญญาณลูกคลื่นซายน์ ค่าความถี่ตั้งแต่ 1000 Hz ถึง 6000 Hz ขนาดแรงดัน 800 mVp-p โดยใช้ออสซิโลสโคปวัดสัญญาณที่เอาท์พุตของวงจร กับสัญญาณอินพุตของวงจร โดยผลที่ได้จากการ จะแสดงบางช่วงความถี่เท่านั้นและจากนั้นจะนำผลที่ได้จากการทดลองมาพล็อตกราฟผลตอบสนองความถี่แสดงให้ดูเพื่อง่ายต่อการเข้าใจ

4.2 ผลการทดลองวงจรกรองแถบความถี่ผ่าน (Band Pass Filter)

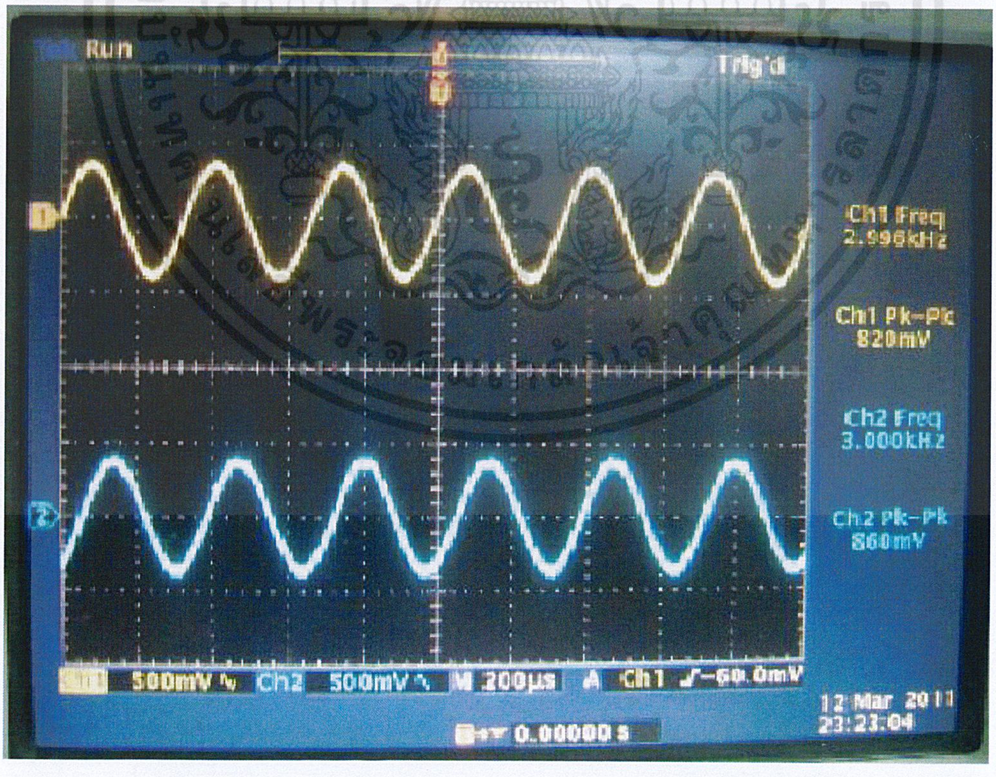


รูปที่ 4.1 ผลการทดลองวงจรกรองที่ความถี่ย่าน 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

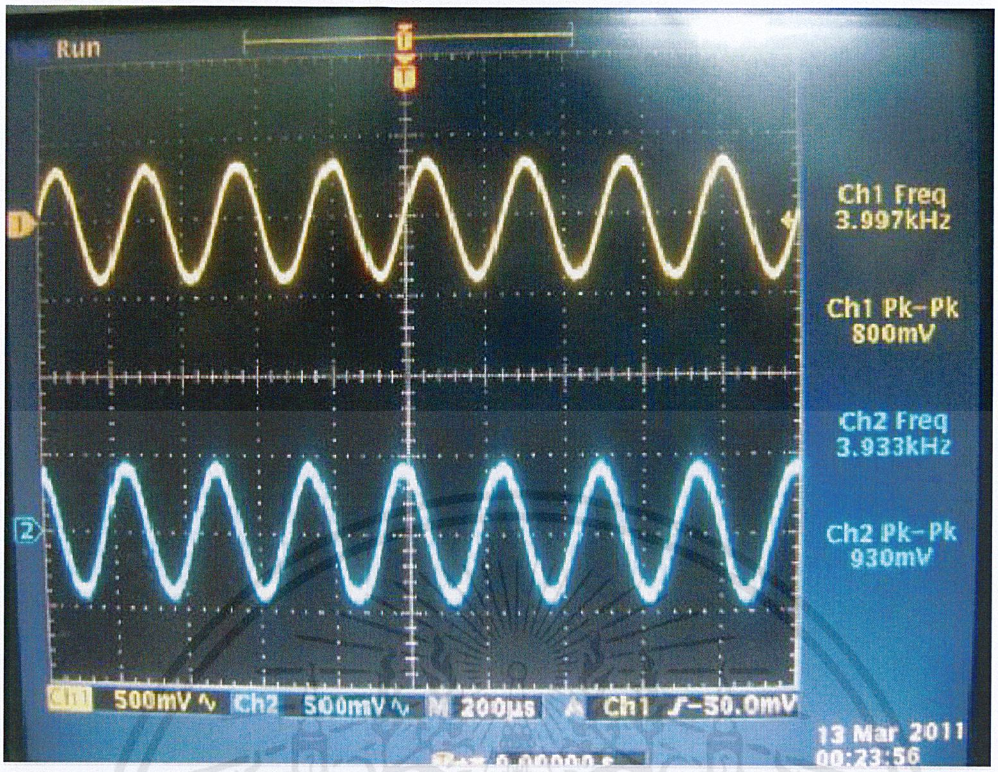


รูปที่ 4.2 ผลการทดลองวงจรกรองที่ความถี่ย่าน 2 kHz

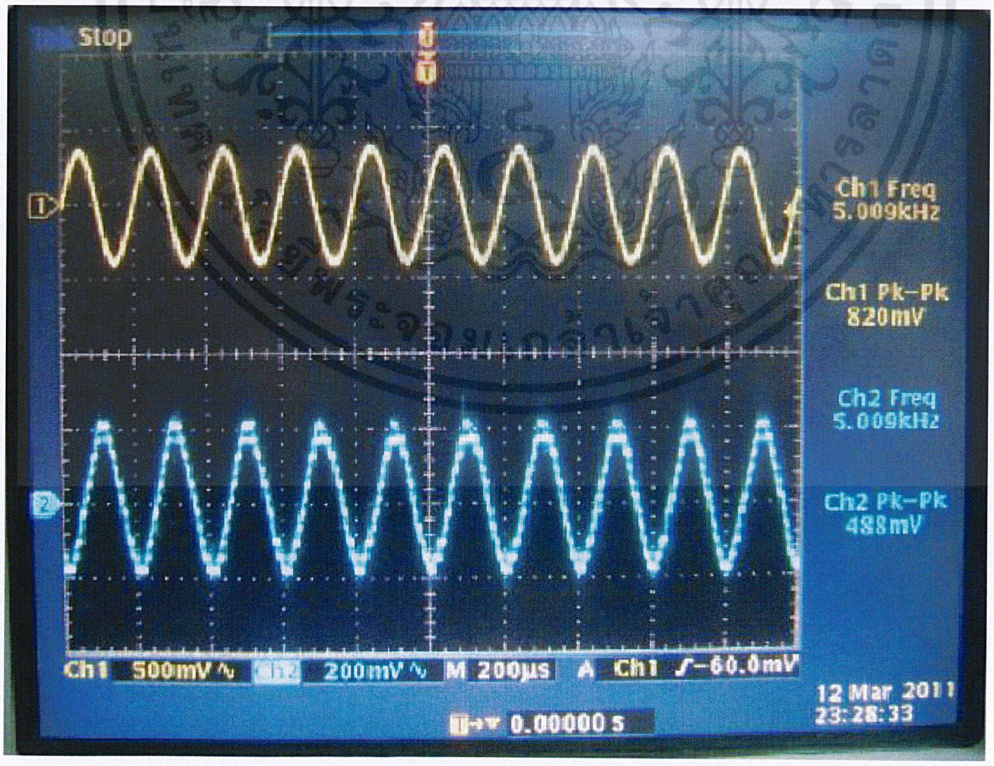


รูปที่ 4.3 ผลการทดลองวงจรกรองที่ความถี่ย่าน 3 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

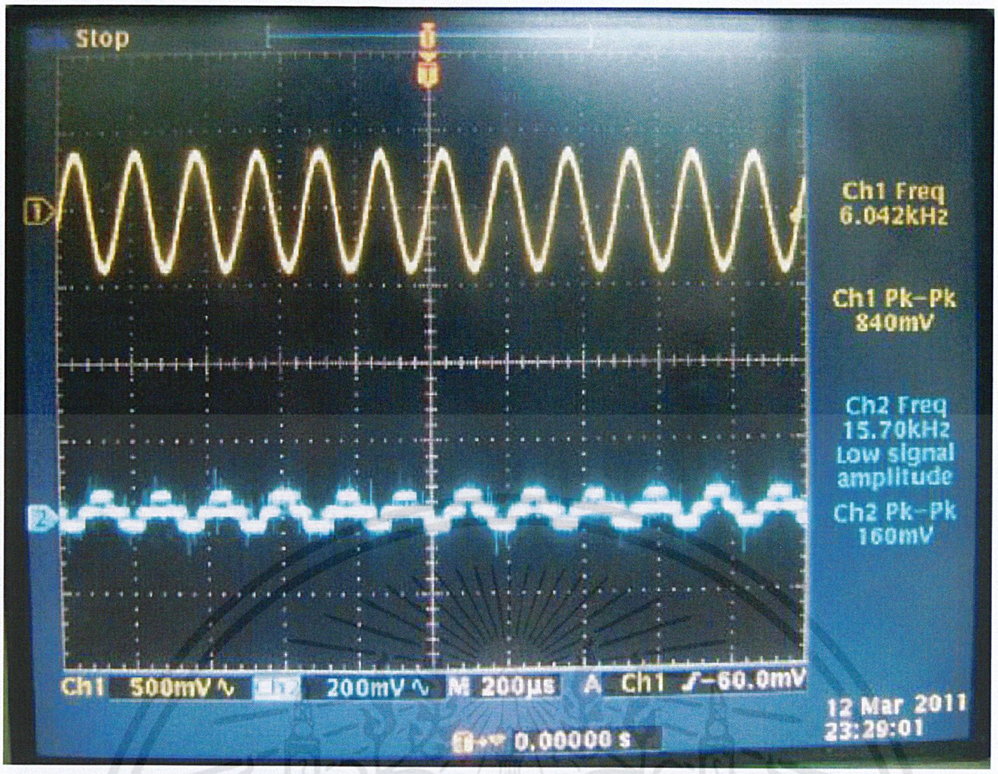


รูปที่ 4.4 ผลการทดลองวงจรกรองที่ความถี่ย่าน 4 kHz



รูปที่ 4.5 ผลการทดลองวงจรกรองที่ความถี่ย่าน 5 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 ผลการทดลองวงจรกรองที่ความถี่ย่าน 6 kHz

4.3 กราฟผลตอบสนองทางความถี่ของ Band Pass Filter

ในการนั้นค่าที่วัดได้สามารถนำผลการทดลองมาเขียนกราฟผลตอบสนองทางความถี่ เพื่อให้ทราบได้ว่าวงจรที่ได้ออกแบบนั้นเป็นไปตามหลักการออกแบบโดย Software โดยให้แรงดัน อินพุตที่มีค่า 800 mVp-p และวัดค่าแรงดันเอาท์พุตจากนั้นจึงนำพล็อตกราฟผลที่ได้เป็นไปตามตารางดังนี้

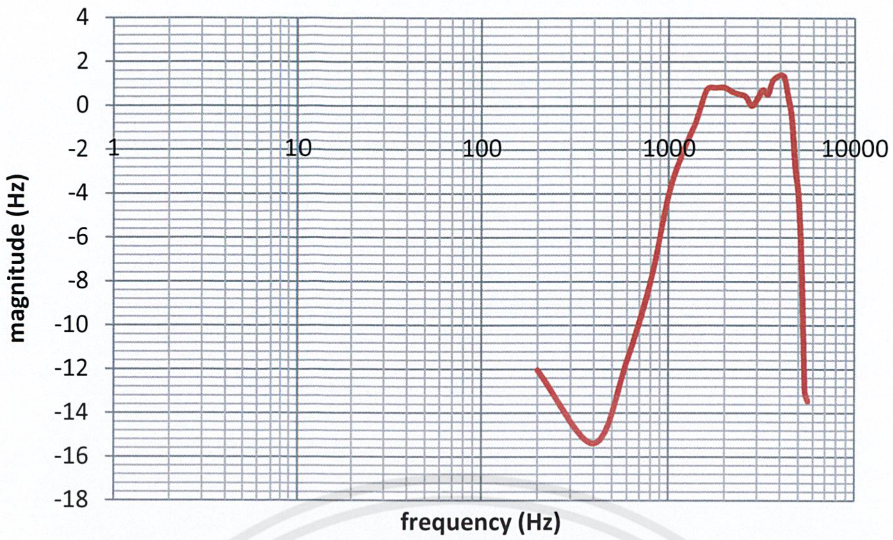
Frequency (Hz)	**Vout (mVp-p)**	**dB**
200	200	-12.0412
400	136	-15.391
600	210	-11.6174
800	318	-8.01326
1000	500	-4.0824
1200	632	-2.04746
1400	736	-0.72424
1600	870	0.728585

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

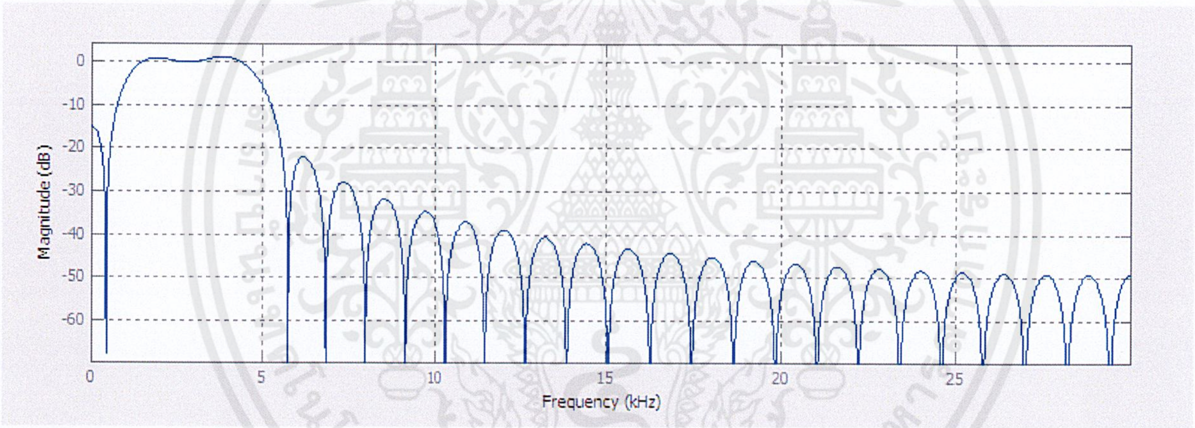
1800	880	0.827854
2000	880	0.827854
2200	860	0.628169
2400	850	0.526579
2600	840	0.423786
2800	800	0
3000	830	0.319762
3200	870	0.728585
3400	850	0.526579
3600	910	1.119028
3800	930	1.307859
4000	940	1.400757
4200	930	1.307859
4400	840	0.423786
4600	750	-0.56057
4800	580	-2.79324
5000	492	-4.2225
5200	332	-7.63904
5400	180	-12.9563
5600	170	-13.4528

ตารางที่ 4.1 ตารางผลการทดลองของวงจรกรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



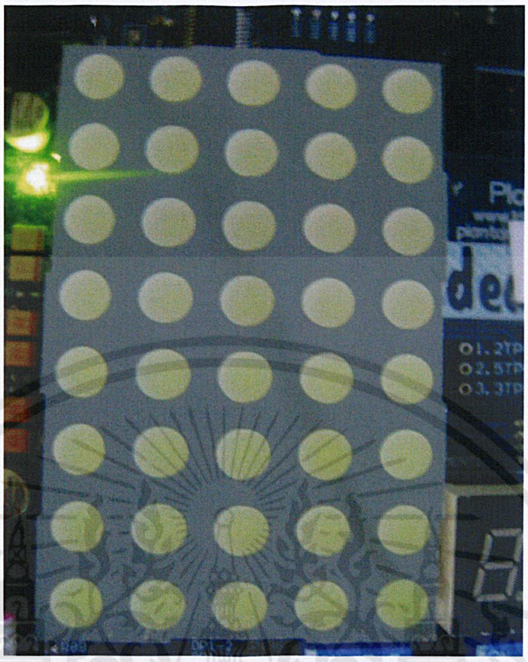
รูปที่ 4.7 กราฟผลตอบสนองความถี่ที่ได้จากการทดลองตามตาราง



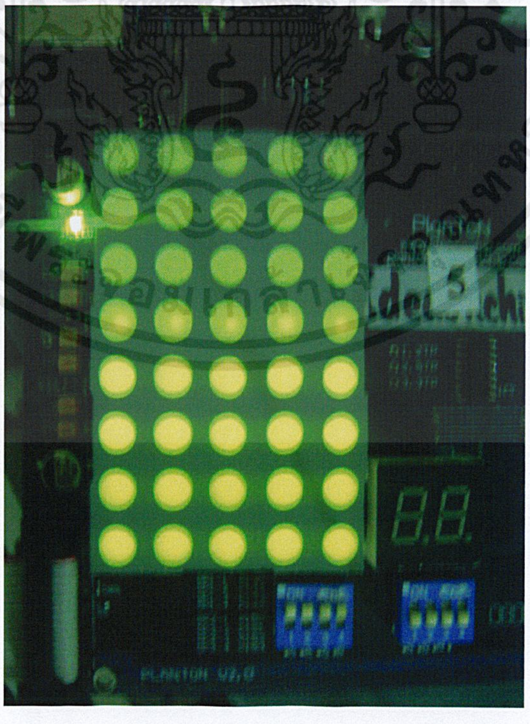
รูปที่ 4.8 กราฟผลตอบสนองความถี่ที่ได้จากการออกแบบโดย Software

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 ผลการทดลองควบคุมความส่องสว่างของ DOT Matrix LED

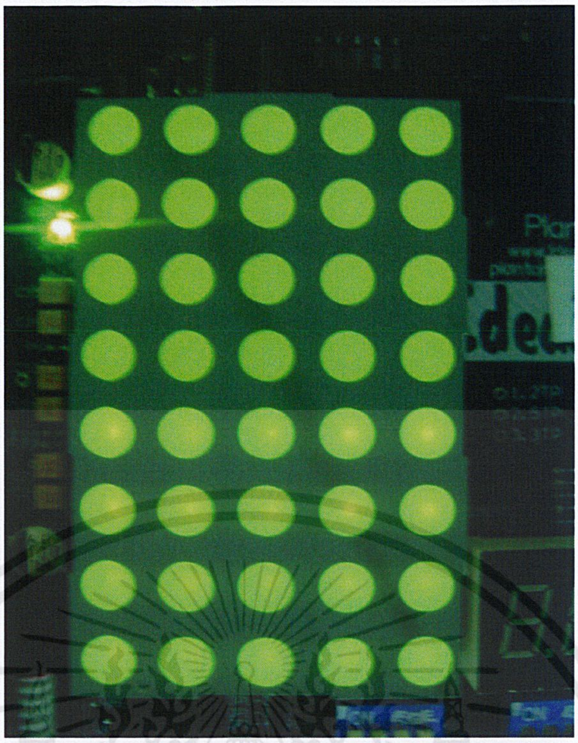


รูปที่ 4.9 ผลการทดลองควบคุมความส่องสว่างของ DOT Matrix LED ที่ความถี่ 1 kHz

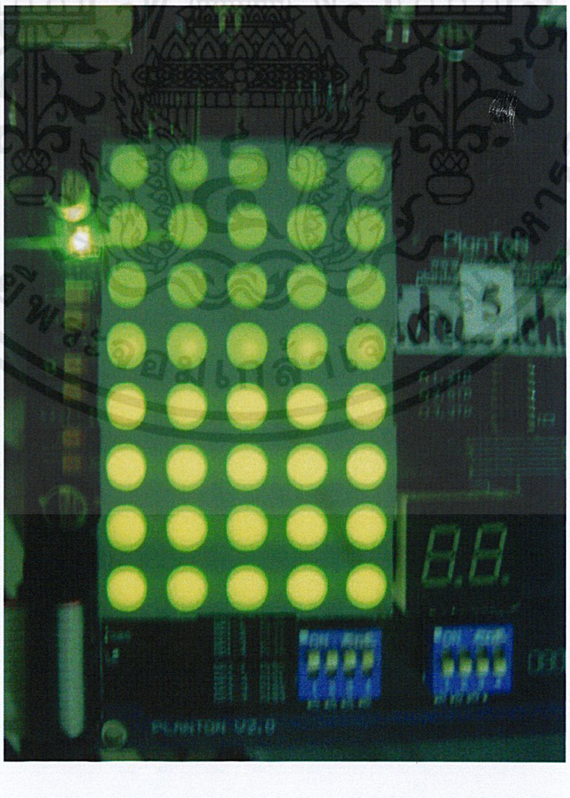


รูปที่ 4.10 การทดลองควบคุมความส่องสว่างของ DOT Matrix LED ที่ความถี่ 2 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

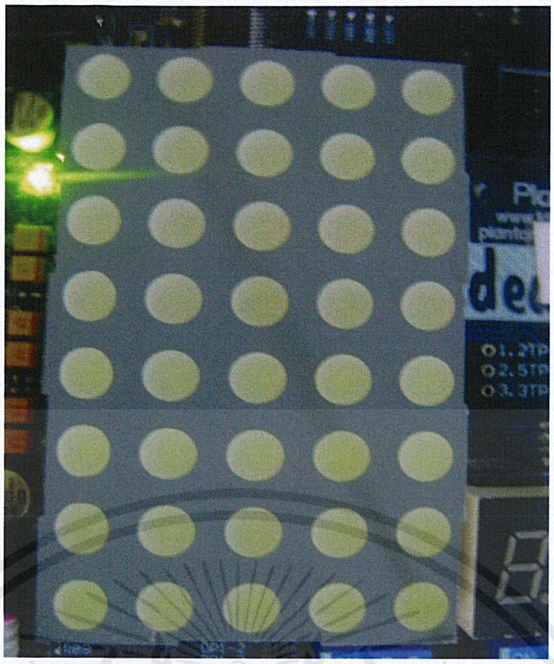


รูปที่ 4.11 การทดลองควบคุมความส่องสว่างของ DOT Matrix LED ที่ความถี่ 2 kHz



รูปที่ 4.12 ผลการทดลองควบคุมความส่องสว่างของ DOT Matrix LED ที่ความถี่ 4 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.13 ผลการทดลองควบคุมความส่องสว่างของ DOT Matrix LED ที่ความถี่ 5 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปผลและวิจารณ์

5.1 สรุปผลการทดลอง

โครงงานนี้เป็นการควบคุมไฟส่องสว่างด้วย FPGA ซึ่งในการสร้างการควบคุมไฟส่องสว่างด้วย FPGAนั้น สร้างโดยใช้โปรแกรม Xilinx และภาษา VHDL ในการออกแบบ และใช้โปรแกรม Matlab ในการหาค่าสัมประสิทธิ์ของตัวกรอง ในการสร้างตัวกรองได้แบ่งออกเป็นส่วนใหญ่ๆ คือ วงจรแปลงสัญญาณอนาล็อกเป็นสัญญาณดิจิตอล ตัวแยกสัญญาณ ตัวคูณสัญญาณ ตัวรวมสัญญาณ และตัวแปลงสัญญาณดิจิตอลเป็นสัญญาณอนาล็อก

จากการทดลองสร้างวงจรกรองความถี่ด้วยชิป FPGA เพื่อใช้ควบคุมไปส่องสว่าง ในส่วนของวงจรกรองความถี่ Pass band ที่ความถี่ 1k-5k นั้น จะพบว่า เมื่อป้อนสัญญาณที่ความถี่ต่ำกว่า 1kHz และที่ความถี่สูงกว่า 5kHz พบว่าสัญญาณเอาท์พุทที่ได้ในย่านความถี่นี้มีการลดทอนสัญญาณลงแสดงว่าความถี่ในย่านที่ต่ำกว่า 1kHzและสูงกว่า5kHzไม่สามารถผ่านวงจรกรองไปได้ และเมื่อทำการป้อนสัญญาณอินพุทที่ความถี่ระหว่าง 1kHz-5kHz สัญญาณเอาท์พุทที่ตามลักษณะสัญญาณอินพุท ดังนั้นวงจรกรองสัญญาณที่ทำการสร้างสามารถทำงานได้จริงตามที่ได้ออกไว้ในโปรแกรม Matlab จากนั้นได้นำผลการทดลองที่ได้ไปพล็อตกราฟผลตอบสนองทางความถี่ และนำมาเปรียบเทียบกับกราฟผลตอบสนองทางความถี่จากการจำลองโดยโปรแกรม Matlab พบว่ามีความใกล้เคียงกับที่ได้ออกแบบไว้

จากการทดลองในส่วนของการควบคุมไฟส่องสว่าง จะพบว่า เมื่อป้อนสัญญาณอินพุทที่ความถี่1kHz ไปเรื่อยๆจนถึงที่ความถี่ 5kHz พบว่า Dot matrix led จะค่อยสว่างเพิ่มขึ้นเรื่อยๆและสว่างมากที่สุดที่ความถี่ที่ 2.5 kHz และความสว่างจะค่อยลดลงเมื่อความถี่ลดลงไปที่ 5kHz ซึ่งผลที่ได้เป็นตามที่ได้ออกแบบไว้

5.2 ปัญหาที่พบจากโครงงาน

1.สัญญาณเอาท์พุทที่ได้จากการทดลองไม่ได้ใกล้เคียงกับสัญญาณอินพุทที่ป้อนเข้าไป

2.สัญญาณเอาท์พุทที่ได้จากการทดลองของ Band pass มีลักษณะใกล้เคียงกับ Low pass

3. สายสัญญาณการเชื่อมต่อจาก ADC ไม่แน่นพอทำให้ค่าสัญญาณเอาท์พุทที่ออกทาง DAC ไม่เป็นไปตามที่ออกแบบไว้

4.เนื่องจากภาษา HDL เป็นภาษาใหม่สำหรับผู้ทำการทดลอง จึงต้องใช้เวลาในการศึกษานานพอสมควร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.ผู้เขียนมองการทำงานและการออกแบบไม่ชัดแจ้ง จึงมีความผิดพลาดในการเขียนบ่อยครั้ง

6.สัญญาณที่ได้จากไฟ อาจเห็นลักษณะการไล่การสว่างไม่ชัดนัก เนื่องจากค่าช่วงที่แบ่งในการติดตามลำดับนั้นแคบเกินไป

5.3 แนวทางในการแก้ปัญหา

1.สัญญาณเอาท์พุทที่ได้จากการทดลอง ไม่ได้ใกล้เคียงกับสัญญาณอินพุทที่ป้อนเข้าไป เนื่องจากความถี่สุ่มต่ำเมื่อทำการเพิ่มความถี่สุ่มสัญญาณเข้าไป สัญญาณเอาท์พุทที่ได้ก็มีลักษณะใกล้เคียงกับสัญญาณอินพุทมากขึ้น

2.สัญญาณเอาท์พุทที่ได้จากการทดลองของ Band pass มีลักษณะใกล้เคียงกับ Low pass เนื่องจากอันดับของตัวกรองมีจำนวนน้อยเกินไป แก้ไขโดยการเพิ่มจำนวนอันดับของตัวกรองให้มากขึ้น

3. ทำการเปลี่ยนสายใหม่และ และต่อสายต่างๆให้แน่นมากขึ้น เพื่อลดสัญญาณรบกนจากจุดต่อ

4.ใช้เวลาในการศึกษา ภาษา และ โปรแกรม และสอบถามจากผู้มีประสบการณ์ในการใช้โปรแกรม

5.เปลี่ยนมุมมอง ในการที่จะเขียนโปรแกรม โดยมองการทำงานในลักษณะฮาดแวร์ทีละส่วนแล้วจึงเชื่อมโยงการทำงานด้วยโค้ด

6.ต้องทำการขยายช่วง หรือออกแบบให้มีความกว้างมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ทวี ป๊อกฝ้าย และธรีพันธ์ บูรณ์จินดา, 2549. ดิจิตอล อีควอไลเซอร์. *ปริญญานิพนธ์หลักสูตรปริญญาวิศวกรรมศาสตร์บัณฑิต สาขาวิชาอิเล็คทรอนิกส์. สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.*

สัญฉกร วุฒิสิทธิกุลกิจ., 2547. พื้นฐานกรรมวิธีสัญญาณดิจิทัล. *สำนักพิมพ์แห่งจุฬาลงกรณ์มหาวิทยาลัย.*

สมศักดิ์ ชุมช่วย, 2545. การประมวลสัญญาณเชิงเลขเบื้องต้น. ภาควิชาอิเล็คทรอนิคส์ คณะวิศวกรรมศาสตร์ *สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง.*

Sophocle J., 1998. Introduction to Signal Processing. *Prentice-Hall, Inc.*

Vinay K. & John G., 2007. Digital Signal Processing using MATLAB. *International Student Edition, Northeastern University.*

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

June 1999

ADC0820
8-Bit High Speed µP Compatible A/D Converter with Track/Hold Function

General Description

By using a half-flash conversion technique, the 8-bit ADC0820 CMOS A/D offers a 1.5 µs conversion time and dissipates only 75 mW of power. The half-flash technique consists of 32 comparators, a most significant 4-bit ADC and a least significant 4-bit ADC.

The input to the ADC0820 is tracked and held by the input sampling circuitry eliminating the need for an external sample-and-hold for signals moving at less than 100 mV/µs.

For ease of interface to microprocessors, the ADC0820 has been designed to appear as a memory location or I/O port without the need for external interfacing logic.

Key Specifications

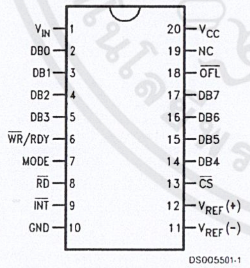
- Resolution: 8 Bits
- Conversion Time: 2.5 µs Max (RD Mode); 1.5 µs Max (WR-RD Mode)
- Low Power: 75 mW Max
- Total Unadjusted Error: ±½ LSB and ± 1 LSB

Features

- Built-in track-and-hold function
- No missing codes
- No external clocking
- Single supply — 5 V_{DC}
- Easy interface to all microprocessors, or operates stand-alone
- Latched TRI-STATE® output
- Logic inputs and outputs meet both MOS and T^2L voltage level specifications
- Operates ratiometrically or with any reference value equal to or less than V_{CC}
- 0V to 5V analog input voltage range with single 5V supply
- No zero or full-scale adjust required
- Overflow output available for cascading
- 0.3" standard width 20-pin DIP
- 20-pin molded chip carrier package
- 20-pin small outline package
- 20-pin shrink small outline package (SSOP)

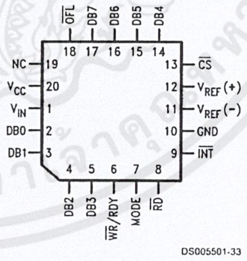
Connection and Functional Diagrams

Dual-In-Line, Small Outline and SSOP Packages



Top View

Molded Chip Carrier Package



TRI-STATE® is a registered trademark of National Semiconductor Corporation.

© 1999 National Semiconductor Corporation DS005501

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Connection and Functional Diagrams (Continued)

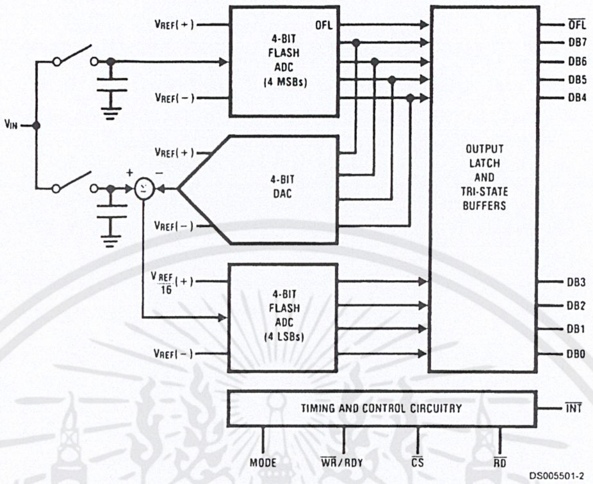


FIGURE 1.

Ordering Information

Part Number	Total Unadjusted Error	Package	Temperature Range
ADC0820BCV		V20A — Molded Chip Carrier	0°C to +70°C
ADC0820BCWM	±½ LSB	M20B — Wide Body Small Outline	0°C to +70°C
ADC0820BCN		N20A — Molded DIP	0°C to +70°C
ADC0820CCJ		J20A — Cerdip	−40°C to +85°C
ADC0820CCWM	±1 LSB	M20B — Wide Body Small Outline	0°C to +70°C
ADC0820CIWM		M20B — Wide Body Small Outline	−40°C to +85°C
ADC0820CCN		N20A — Molded DIP	0°C to +70°C

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Notes 1, 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Supply Voltage (V_{CC})	10V
Logic Control Inputs	−0.2V to V_{CC} +0.2V
Voltage at Other Inputs and Output	−0.2V to V_{CC} +0.2V
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
Input Current at Any Pin (Note 5)	1 mA
Package Input Current (Note 5)	4 mA
ESD Susceptability (Note 9)	1200V
Lead Temp. (Soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
Surface Mount Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

Operating Ratings (Notes 1, 2)

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
ADC0820CCJ	$-40°C \le T_A \le +85°C$
ADC0820CIWM	$-40°C \le T_A \le +85°C$
ADC0820BCN, ADC0820CCN	$0°C \le T_A \le 70°C$
ADC0820BCV	$0°C \le T_A \le 70°C$
ADC0820BCWM, ADC0820CCWM	$0°C \le T_A \le 70°C$
V_{CC} Range	4.5V to 8V

Converter Characteristics

The following specifications apply for RD mode (pin 7=0), V_{CC}=5V, $V_{REF}(+)$=5V,and $V_{REF}(-)$=GND unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX};** all other limits $T_A=T_j=25°C$.

Parameter	Conditions	ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820BCWM ADC0820CCWM, ADC0820CIWM			Limit Units
		Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
Resolution			**8**			8	**8**	Bits
Total Unadjusted Error (Note 3)	ADC0820BCN, BCWM					±½	**±½**	LSB
	ADC0820CCJ		±1					LSB
	ADC0820CCN, CCWM, CIWM,					±1	**±1**	LSB
	ADC0820CCMSA					±1	**±1**	LSB
Minimum Reference Resistance		2.3	**1.00**		2.3	1.2		kΩ
Maximum Reference Resistance		2.3	**6**		2.3	5.3	**6**	kΩ
Maximum $V_{REF}(+)$ Input Voltage			**V_{CC}**			V_{CC}	**V_{CC}**	V
Minimum $V_{REF}(-)$ Input Voltage			**GND**			GND	**GND**	V
Minimum $V_{REF}(+)$ Input Voltage			**$V_{REF}(-)$**			$V_{REF}(-)$	**$V_{REF}(-)$**	V
Maximum $V_{REF}(-)$ Input Voltage			**$V_{REF}(+)$**			$V_{REF}(+)$	**$V_{REF}(+)$**	V
Maximum V_{IN} Input Voltage			**V_{CC}+0.1**			V_{CC}+0.1	**V_{CC}+0.1**	V
Minimum V_{IN} Input Voltage			**GND−0.1**			GND−0.1	**GND−0.1**	V
Maximum Analog Input Leakage Current	$\overline{CS}$ = V_{CC}							
	V_{IN}=V_{CC}		**3**			0.3	**3**	μA
	V_{IN}=GND		**−3**			−0.3	**−3**	μA
Power Supply Sensitivity	V_{CC}=5V±5%	±1/16	**±¼**		±1/16	±¼	**±¼**	LSB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DC Electrical Characteristics

The following specifications apply for V_{CC}=5V, unless otherwise specified. **Boldface limits apply from T_{MIN} to T_{MAX}**; all other limits T_A=T_J=25˚C.

Parameter	Conditions		ADC0820CCJ			ADC0820BCN, ADC0820CCN ADC0820BCV, ADC0820BCWM ADC0820CCWM, ADC0820CIWM			Limit Units
			Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	
$V_{IN(1)}$, Logical "1" Input Voltage	V_{CC}=5.25V	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		**2.0**			2.0	**2.0**	V
		Mode		**3.5**			3.5	**3.5**	V
$V_{IN(0)}$, Logical "0" Input Voltage	V_{CC}=4.75V	$\overline{CS}$, $\overline{WR}$, $\overline{RD}$		**0.8**			0.8	**0.8**	V
		Mode		**1.5**			1.5	**1.5**	V
$I_{IN(1)}$, Logical "1" Input Current	$V_{IN(1)}$=5V; $\overline{CS}$, $\overline{RD}$		0.005	**1**		0.005		**1**	µA
	$V_{IN(1)}$=5V; $\overline{WR}$		0.1	**3**		0.1	0.3	**3**	µA
	$V_{IN(1)}$=5V; Mode		50	**200**		50	170	**200**	µA
$I_{IN(0)}$, Logical "0" Input Current	$V_{IN(0)}$=0V; $\overline{CS}$, $\overline{RD}$, $\overline{WR}$, Mode		−0.005	**−1**		−0.005		**−1**	µA
$V_{OUT(1)}$, Logical "1" Output Voltage	V_{CC}=4.75V, I_{OUT}=−360 µA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			**2.4**			2.8	**2.4**	V
	V_{CC}=4.75V, I_{OUT}=−10 µA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$			**4.5**			4.6	**4.5**	V
$V_{OUT(0)}$, Logical "0" Output Voltage	V_{CC}=4.75V, I_{OUT}=1.6 mA; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY			**0.4**			0.34	**0.4**	V
I_{OUT}, TRI-STATE Output Current	V_{OUT}=5V; DB0–DB7, RDY		0.1	**3**		0.1	0.3	**3**	µA
	V_{OUT}=0V; DB0–DB7, RDY		−0.1	**−3**		−0.1	−0.3	**−3**	µA
I_{SOURCE}, Output Source Current	V_{OUT}=0V; DB0–DB7, $\overline{OFL}$		−12	**−6**		−12	−7.2	**−6**	mA
	$\overline{INT}$		−9	**−4.0**		−9	−5.3	**−4.0**	mA
I_{SINK}, Output Sink Current	V_{OUT}=5V; DB0–DB7, $\overline{OFL}$, $\overline{INT}$, RDY		14	**7**		14	8.4	**7**	mA
I_{CC}, Supply Current	$\overline{CS}$=$\overline{WR}$=$\overline{RD}$=0		7.5	**15**		7.5	13	**15**	mA

AC Electrical Characteristics

The following specifications apply for V_{CC}=5V, t_r=t_f=20 ns, $V_{REF}(+)$=5V, $V_{REF}(-)$=0V and T_A=25˚C unless otherwise specified.

Parameter		Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{CRD}, Conversion Time for RD Mode		Pin 7 = 0, *Figure 2*	1.6		2.5	µs
t_{ACC0}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = 0, *Figure 2*	t_{CRD}+20		t_{CRD}+50	ns
t_{CWR-RD}, Conversion Time for WR-RD Mode		Pin 7 = V_{CC}; t_{WR} = 600 ns, t_{RD}=600 ns; *Figures 3, 4*			1.52	µs
t_{WR}, Write Time	Min	Pin 7 = V_{CC}; *Figures 3, 4*		600		ns
	Max	(Note 4) See Graph	50			µs
t_{RD}, Read Time	Min	Pin 7 = V_{CC}; *Figures 3, 4* (Note 4) See Graph		600		ns
t_{ACC1}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)		Pin 7 = V_{CC}, t_{RD}<t_I; *Figure 3* C_L=15 pF	190		280	ns
		C_L=100 pF	210		320	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AC Electrical Characteristics (Continued)

The following specifications apply for V_{CC}=5V, t_r=t_f=20 ns, $V_{REF}(+)$=5V, $V_{REF}(-)$=0V and T_A=25˚C unless otherwise specified.

Parameter	Conditions	Typ (Note 6)	Tested Limit (Note 7)	Design Limit (Note 8)	Units
t_{ACC2}, Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Valid)	Pin 7 = V_{CC}, t_{RD}>t_I; *Figure 4* C_L=15 pF	70		120	ns
	C_L=100 pF	90		150	ns
t_{ACC3}, Access Time (Delay from Rising Edge of RDY to Output Valid)	R_{PULLUP} = 1k and C_L = 15 pF	30			ns
t_I, Internal Comparison Time	Pin 7=V_{CC}; *Figures 4, 5* C_L=50 pF	800		1300	ns
t_{1H}, t_{0H}, TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	R_L=1k, C_L=10 pF	100		200	ns
$t_{\overline{INTL}}$, Delay from Rising Edge of $\overline{WR}$ to Falling Edge of $\overline{INT}$	Pin 7 = V_{CC}, C_L= 50 pF t_{RD}>t_I; *Figure 4*			t_I	ns
	t_{RD}<t_I; *Figure 3*	t_{RD}+200		t_{RD}+290	ns
$t_{\overline{INTH}}$, Delay from Rising Edge of $\overline{RD}$ to Rising Edge of $\overline{INT}$	*Figures 2, 3, 4* C_L=50 pFc	125		225	ns
$t_{\overline{INTHWR}}$, Delay from Rising Edge of $\overline{WR}$ to Rising Edge of $\overline{INT}$	*Figure 5*, C_L=50 pF	175		270	ns
t_{RDY}, Delay from $\overline{CS}$ to RDY	*Figure 2*, C_L=50 pF, Pin 7 =0	50		100	ns
t_{ID}, Delay from $\overline{INT}$ to Output Valid	*Figure 5*	20		50	ns
t_{RI}, Delay from $\overline{RD}$ to $\overline{INT}$	Pin 7=V_{CC}, t_{RD}<t_I *Figure 3*	200		290	ns
t_P, Delay from End of Conversion to Next Conversion	*Figures 2, 3, 4, 5* (Note 4) See Graph			500	ns
Slew Rate, Tracking		0.1			V/µs
C_{VIN}, Analog Input Capacitance		45			pF
C_{OUT}, Logic Output Capacitance		5			pF
C_{IN}, Logic Input Capacitance		5			pF

Note 1: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 2: All voltages are measured with respect to the GND pin, unless otherwise specified.

Note 3: Total unadjusted error includes offset, full-scale, and linearity errors.

Note 4: Accuracy may degrade if t_{WR} or t_{RD} is shorter than the minimum value specified. See Accuracy vs t_{WR} and Accuracy vs t_{RD} graphs.

Note 5: When the input voltage (V_{IN}) at any pin exceeds the power supply rails (V_{IN} < V^- or V_{IN} > V^+) the absolute value of current at that pin should be limited to 1 mA or less. The 4 mA package input current limits the number of pins that can exceed the power supply boundaries with a 1 mA current limit to four.

Note 6: Typicals are at 25˚C and represent most likely parametric norm.

Note 7: Tested limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

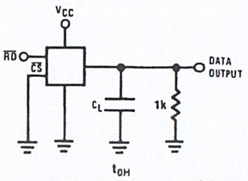
Note 8: Design limits are guaranteed but not 100% tested. These limits are not used to calculate outgoing quality levels.

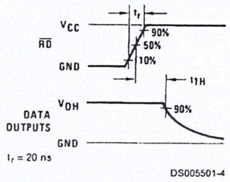
Note 9: Human body model, 100 pF discharaged through a 1.5 kΩ resistor.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TRI-STATE Test Circuits and Waveforms

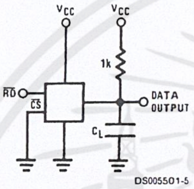
t_{1H}

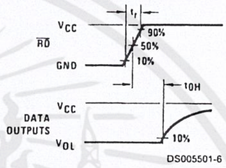




t_r=20 ns

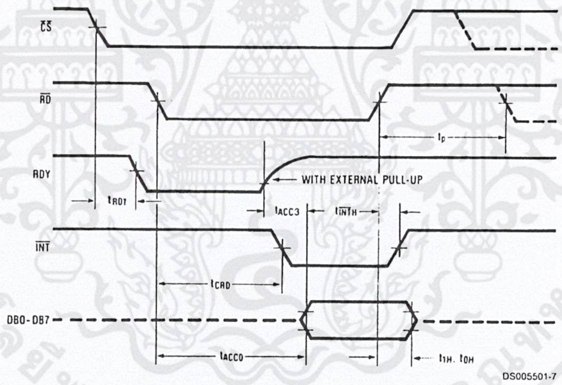
t_{OH}





t_r=20 ns

Timing Diagrams



Note: On power-up the state of $\overline{INT}$ can be high or low.

FIGURE 2. RD Mode (Pin 7 is Low)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Timing Diagrams (Continued)

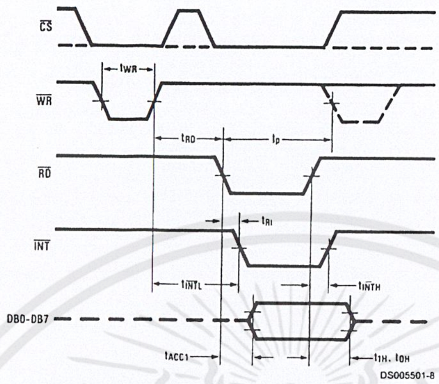


FIGURE 3. WR-RD Mode (Pin 7 is High and $t_{RD} < t_I$)

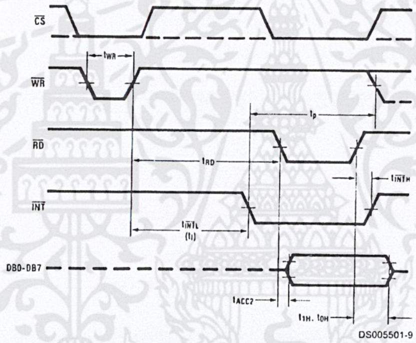


FIGURE 4. WR-RD Mode (Pin 7 is High and $t_{RD} > t_I$)

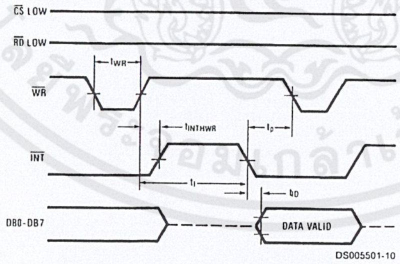
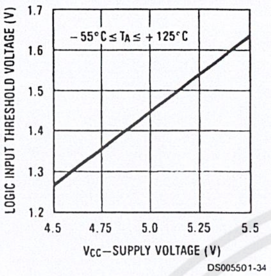


FIGURE 5. WR-RD Mode (Pin 7 is High)
Stand-Alone Operation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

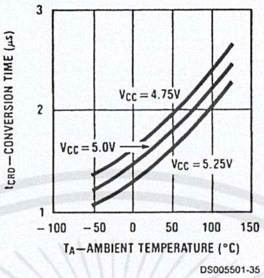
Typical Performance Characteristics

Logic Input Threshold Voltage vs Supply Voltage



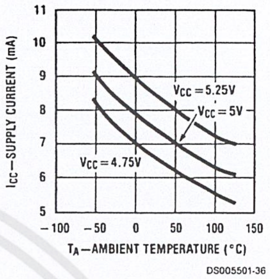
DS005501-34

Conversion Time (RD Mode) vs Temperature



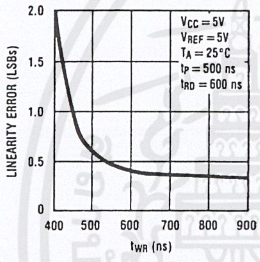
DS005501-35

Power Supply Current vs Temperature (not including reference ladder)



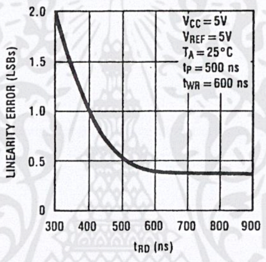
DS005501-36

Accuracy vs t_{WR}



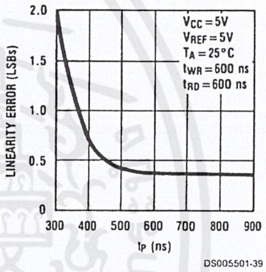
DS005501-37

Accuracy vs t_{RD}



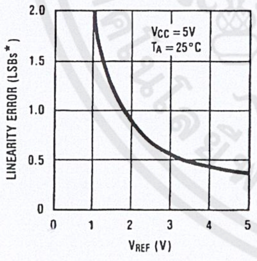
DS005501-38

Accuracy vs t_p



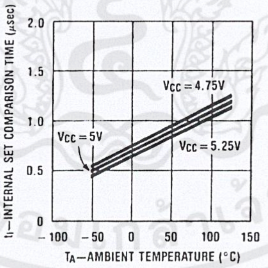
DS005501-39

Accuracy vs V_{REF} [V_{REF}=$V_{REF}(+)$-$V_{REF}(-)$]



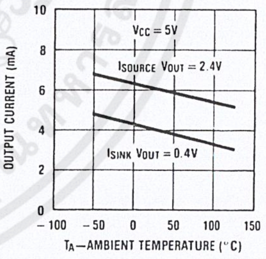
DS005501-40

t_I, Internal Time Delay vs Temperature



DS005501-41

Output Current vs Temperature



DS005501-42

$*1\ LSB = \frac{V_{REF}}{256}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Description of Pin Functions

Pin	Name	Function
1	V_{IN}	Analog input; range $=GND \le V_{IN} \le V_{CC}$
2	DB0	TRI-STATE data output — bit 0 (LSB)
3	DB1	TRI-STATE data output — bit 1
4	DB2	TRI-STATE data output — bit 2
5	DB3	TRI-STATE data output — bit 3
6	$\overline{WR}$ /RDY	**WR-RD Mode** **$\overline{WR}$:** With $\overline{CS}$ low, the conversion is started on the falling edge of $\overline{WR}$. Approximately 800 ns (the preset internal time out, t_I) after the $\overline{WR}$ rising edge, the result of the conversion will be strobed into the output latch, provided that $\overline{RD}$ does not occur prior to this time out (see *Figures 3, 4*). **RD Mode** **RDY:** This is an open drain output (no internal pull-up device). RDY will go low after the falling edge of $\overline{CS}$; RDY will go TRI-STATE when the result of the conversion is strobed into the output latch. It is used to simplify the interface to a microprocessor system (see *Figure 2*).
7	Mode	**Mode:** Mode selection input — it is internally tied to GND through a 50 µA current source. **RD Mode:** When mode is low **WR-RD Mode:** When mode is high
8	$\overline{RD}$	**WR-RD Mode** With $\overline{CS}$ low, the TRI-STATE data outputs (DB0-DB7) will be activated when $\overline{RD}$ goes low (see *Figure 5*). $\overline{RD}$ can also be used to increase the speed of the converter by reading data prior to the preset internal time out (t_I, ~800 ns). If this is done, the data result transferred to output latch is latched after the falling edge of the $\overline{RD}$ (see *Figures 3, 4*). **RD Mode** With $\overline{CS}$ low, the conversion will start with $\overline{RD}$ going low, also $\overline{RD}$ will enable the TRI-STATE data outputs at the completion of the conversion. RDY going TRI-STATE and $\overline{INT}$ going low indicates the completion of the conversion (see *Figure 2*).
9	$\overline{INT}$	**WR-RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ will go low, ~800 ns (the preset internal time out, t_I) after the rising edge of $\overline{WR}$ (see *Figure 4*); or $\overline{INT}$ will go low after the falling edge of $\overline{RD}$, if $\overline{RD}$ goes low prior to the 800 ns time out (see *Figure 3*). $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see *Figures 3, 4*). **RD Mode** $\overline{INT}$ going low indicates that the conversion is completed and the data result is in the output latch. $\overline{INT}$ is reset by the rising edge of $\overline{RD}$ or $\overline{CS}$ (see *Figure 2*).
10	GND	Ground
11	$V_{REF}(-)$	The bottom of resistor ladder, voltage range: $GND \le V_{REF}(-) \le V_{REF}(+)$ (Note 5)
12	$V_{REF}(+)$	The top of resistor ladder, voltage range: $V_{REF}(-) \le V_{REF}(+) \le V_{CC}$ (Note 5)
13	$\overline{CS}$	$\overline{CS}$ must be low in order for the $\overline{RD}$ or $\overline{WR}$ to be recognized by the converter.
14	DB4	TRI-STATE data output — bit 4
15	DB5	TRI-STATE data output — bit 5
16	DB6	TRI-STATE data output — bit 6
17	DB7	TRI-STATE data output — bit 7 (MSB)
18	$\overline{OFL}$	Overflow output — If the analog input is higher than the $V_{REF}(+)$, $\overline{OFL}$ will be low at the end of conversion. It can be used to cascade 2 or more devices to have more resolution (9, 10-bit). This output is always active and does not go into TRI-STATE as DB0–DB7 do.
19	NC	No connection
20	V_{CC}	Power supply voltage

1.0 Functional Description

1.1 GENERAL OPERATION

The ADC0820 uses two 4-bit flash A/D converters to make an 8-bit measurement (*Figure 1*). Each flash ADC is made up of 15 comparators which compare the unknown input to a reference ladder to get a 4-bit result. To take a full 8-bit reading, one flash conversion is done to provide the 4 most significant data bits (via the MS flash ADC). Driven by the 4 MSBs, an internal DAC recreates an analog approximation of the input voltage. This analog signal is then subtracted from the input, and the difference voltage is converted by a second 4-bit flash ADC (the LS ADC), providing the 4 least significant bits of the output data word.

The internal DAC is actually a subsection of the MS flash converter. This is accomplished by using the same resistor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)

ladder for the A/D as well as for generating the DAC signal. The DAC output is actually the tap on the resistor ladder which most closely approximates the analog input. In addition, the "sampled-data" comparators used in the ADC0820 provide the ability to compare the magnitudes of several analog signals simultaneously, without using input summing amplifiers. This is especially useful in the LS flash ADC, where the signal to be converted is an analog difference.

1.2 THE SAMPLED-DATA COMPARATOR

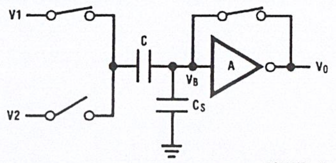
Each comparator in the ADC0820 consists of a CMOS inverter with a capacitively coupled input (*Figures 6, 7*). Analog switches connect the two comparator inputs to the input capacitor (C) and also connect the inverter's input and output. This device in effect now has one differential input pair. A comparison requires two cycles, one for zeroing the comparator, and another for making the comparison.

In the first cycle, one input switch and the inverter's feedback switch (*Figure 6*) are closed. In this interval, C is charged to the connected input (V1) less the inverter's bias voltage (V_B, approximately 1.2V). In the second cycle (*Figure 7*), these two switches are opened and the other (V2) input's switch is closed. The input capacitor now subtracts its stored voltage from the second input and the difference is amplified by the inverter's open loop gain. The inverter's input (V_B') becomes

$$V_B - (V1 - V2)\frac{C}{C + C_S}$$

and the output will go high or low depending on the sign of $V_B' - V_B$.

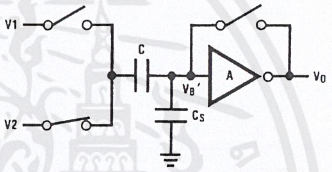
The actual circuitry used in the ADC0820 is a simple but important expansion of the basic comparator described above. By adding a second capacitor and another set of switches to the input (*Figure 8*), the scheme can be expanded to make dual differential comparisons. In this circuit, the feedback switch and one input switch on each capacitor (Z switches) are closed in the zeroing cycle. A comparison is then made by connecting the second input on each capacitor and opening all of the other switches (S switches). The change in voltage at the inverter's input, as a result of the change in charge on each input capacitor, will now depend on both input signal differences.



- $V_O = V_B$
- V on C = $V1 - V_B$
- C_S = stray input node capacitor
- V_B = inverter input bias voltage

Zeroing Phase

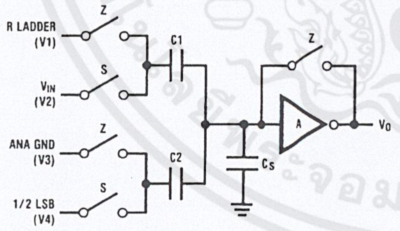
FIGURE 6. Sampled-Data Comparator



- $V_B' - V_B = (V2 - V1)\frac{C}{C + C_S}$
- $V_O' = \frac{-A}{C + C_S}[CV2 - CV1]$
- V_O' is dependent on $V2 - V1$

Compare Phase

FIGURE 7. Sampled-Data Comparator



$$V_O = \frac{-A}{C1 + C2 + C_S}[C1(V2 - V1) + C2(V4 - V3)]$$

$$= \frac{-A}{C1 + C2 + C_S}[\Delta Q_{C1} + \Delta Q_{C2}]$$

DS005501-45

FIGURE 8. ADC0820 Comparator (from MS Flash ADC)

1.3 ARCHITECTURE

In the ADC0820, one bank of 15 comparators is used in each 4-bit flash A/D converter (*Figure 12*). The MS (most significant) flash ADC also has one additional comparator to detect input overrange. These two sets of comparators operate alternately, with one group in its zeroing cycle while the other is comparing.

When a typical conversion is started, the $\overline{WR}$ line is brought low. At this instant the MS comparators go from zeroing to comparison mode (*Figure 11*). When $\overline{WR}$ is returned high after at least 600 ns, the output from the first set of comparators (the first flash) is decoded and latched. At this point the two 4-bit converters change modes and the LS (least significant) flash ADC enters its compare cycle. No less than 600 ns later, the $\overline{RD}$ line may be pulled low to latch the lower 4 data bits and finish the 8-bit conversion. When $\overline{RD}$ goes low, the flash A/Ds change state once again in preparation for the next conversion.

Figure 11 also outlines how the converter's interface timing relates to its analog input (V_{IN}). In WR-RD mode, V_{IN} is mea-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)

sured while $\overline{WR}$ is low. In RD mode, sampling occurs during the first 800 ns of $\overline{RD}$. Because of the input connections to the ADC0820's LS and MS comparators, the converter has the ability to sample V_{IN} at one instant (Section 2.4), despite the fact that two separate 4-bit conversions are being done. More specifically, when $\overline{WR}$ is low the MS flash is in compare mode (connected to V_{IN}), and the LS flash is in zero mode (also connected to V_{IN}). Therefore both flash ADCs sample V_{IN} at the same time.

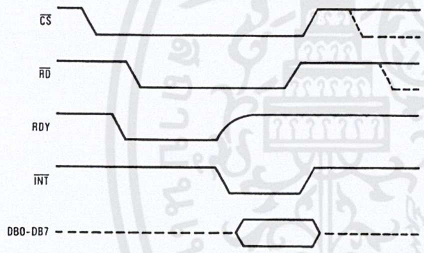
1.4 DIGITAL INTERFACE

The ADC0820 has two basic interface modes which are selected by strapping the MODE pin high or low.

RD Mode

With the MODE pin grounded, the converter is set to Read mode. In this configuration, a complete conversion is done by pulling $\overline{RD}$ low until output data appears. An $\overline{INT}$ line is provided which goes low at the end of the conversion as well as a RDY output which can be used to signal a processor that the converter is busy or can also serve as a system Transfer Acknowledge signal.

RD Mode (Pin 7 is Low)

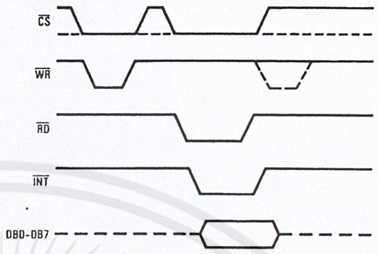


DS005501-16

When in RD mode, the comparator phases are internally triggered. At the falling edge of $\overline{RD}$, the MS flash converter goes from zero to compare mode and the LS ADC's comparators enter their zero cycle. After 800 ns, data from the MS flash is latched and the LS flash ADC enters compare mode. Following another 800 ns, the lower 4 bits are recovered.

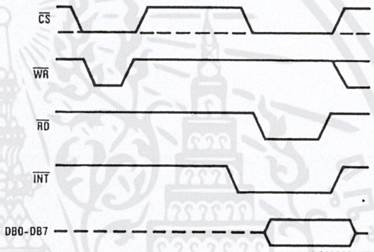
WR then RD Mode

With the MODE pin tied high, the A/D will be set up for the WR-RD mode. Here, a conversion is started with the $\overline{WR}$ input; however, there are two options for reading the output data which relate to interface timing. If an interrupt driven scheme is desired, the user can wait for $\overline{INT}$ to go low before reading the conversion result (*Figure 10*). $\overline{INT}$ will typically go low 800 ns after $\overline{WR}$'s rising edge. However, if a shorter conversion time is desired, the processor need not wait for $\overline{INT}$ and can exercise a read after only 600 ns (*Figure 9*). If this is done, $\overline{INT}$ will immediately go low and data will appear at the outputs.



DS005501-17

FIGURE 9. WR-RD Mode (Pin 7 is High and $t_{RD}<t_I$)



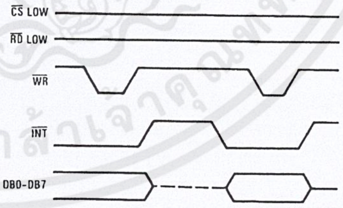
DS005501-18

FIGURE 10. WR-RD Mode (Pin 7 is High and $t_{RD}>t_I$)

Stand-Alone

For stand-alone operation in WR-RD mode, $\overline{CS}$ and $\overline{RD}$ can be tied low and a conversion can be started with $\overline{WR}$. Data will be valid approximately 800 ns following $\overline{WR}$'s rising edge.

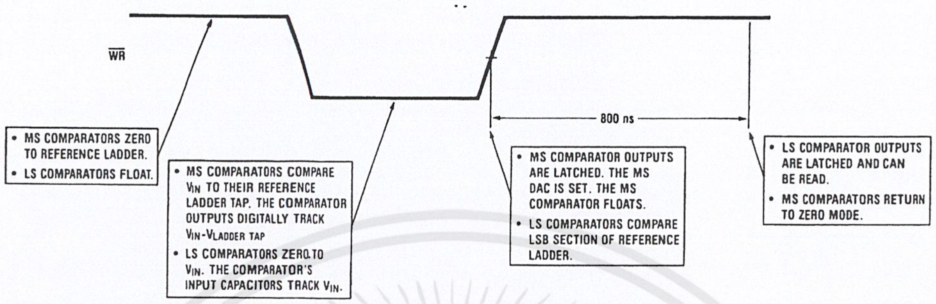
WR-RD Mode (Pin 7 is High) Stand-Alone Operation



DS005501-19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.0 Functional Description (Continued)



DS005501-20

Note: MS means most significant
LS means least significant

FIGURE 11. Operating Sequence (WR-RD Mode)

OTHER INTERFACE CONSIDERATIONS

In order to maintain conversion accuracy, $\overline{WR}$ has a maximum width spec of 50 μs. When the MS flash ADC's sampled-data comparators (Section 1.2) are in comparison mode ($\overline{WR}$ is low), the input capacitors (C, *Figure 8*) must hold their charge. Switch leakage and inverter bias current can cause errors if the comparator is left in this phase for too long.

Since the MS flash ADC enters its zeroing phase at the end of a conversion (Section 1.3), a new conversion cannot be started until this phase is complete. The minimum spec for this time (t_P, *Figures 2, 3, 4, 5*) is 500 ns.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

National Semiconductor

May 1999

DAC0808
8-Bit D/A Converter

General Description

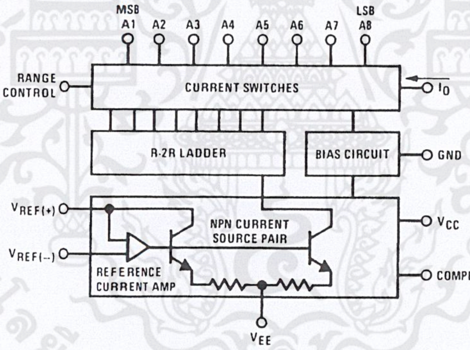
The DAC0808 is an 8-bit monolithic digital-to-analog converter (DAC) featuring a full scale output current settling time of 150 ns while dissipating only 33 mW with ±5V supplies. No reference current (I_{REF}) trimming is required for most applications since the full scale output current is typically ±1 LSB of 255 I_{REF}/256. Relative accuracies of better than ±0.19% assure 8-bit monotonicity and linearity while zero level output current of less than 4 µA provides 8-bit zero accuracy for I_{REF}≥2 mA. The power supply currents of the DAC0808 is independent of bit codes, and exhibits essentially constant device characteristics over the entire supply voltage range.

The DAC0808 will interface directly with popular TTL, DTL or CMOS logic levels, and is a direct replacement for the MC1508/MC1408. For higher speed applications, see DAC0800 data sheet.

Features

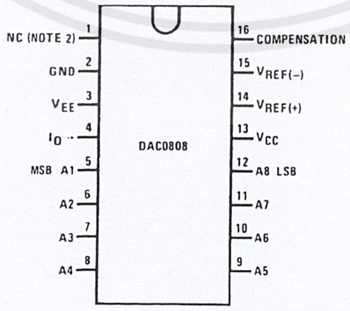
- Relative accuracy: ±0.19% error maximum
- Full scale current match: ±1 LSB typ
- Fast settling time: 150 ns typ
- Noninverting digital inputs are TTL and CMOS compatible
- High speed multiplying input slew rate: 8 mA/µs
- Power supply voltage range: ±4.5V to ±18V
- Low power consumption: 33 mW @ ±5V

Block and Connection Diagrams



DS005687-1

Dual-In-Line Package



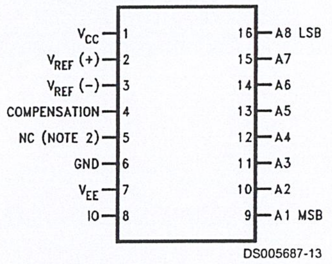
DS005687-2

Top View
Order Number DAC0808
See NS Package M16A or N16A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Block and Connection Diagrams (Continued)

Small-Outline Package



Ordering Information

ACCURACY	OPERATING TEMPERATURE RANGE	N PACKAGE (N16A) (Note 1)		SO PACKAGE (M16A)
8-bit	$0^{\circ}C \le T_A \le +75^{\circ}C$	DAC0808LCN	MC1408P8	DAC0808LCM

Note 1: Devices may be ordered by using either order number.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings (Note 2)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/ Distributors for availability and specifications.

Power Supply Voltage	
V_{CC}	$+18\ V_{DC}$
V_{EE}	$-18\ V_{DC}$
Digital Input Voltage, V5–V12	$-10\ V_{DC}$ to $+18\ V_{DC}$
Applied Output Voltage, V_O	$-11\ V_{DC}$ to $+18\ V_{DC}$
Reference Current, I_{14}	5 mA
Reference Amplifier Inputs, V14, V15	V_{CC}, V_{EE}
Power Dissipation (Note 4)	1000 mW
ESD Susceptibility (Note 5)	TBD
Storage Temperature Range	−65˚C to +150˚C
Lead Temp. (Soldering, 10 seconds)	
Dual-In-Line Package (Plastic)	260˚C
Dual-In-Line Package (Ceramic)	300˚C
Surface Mount Package	
Vapor Phase (60 seconds)	215˚C
Infrared (15 seconds)	220˚C

Operating Ratings

Temperature Range	$T_{MIN} \le T_A \le T_{MAX}$
DAC0808	$0 \le T_A \le +75$˚C

Electrical Characteristics

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, V_{REF}/R14 = 2 mA, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
E_r	Relative Accuracy (Error Relative to Full Scale I_O)	(*Figure 4*)				%
	DAC0808LC (LM1408-8)				**±0.19**	%
	Settling Time to Within ½ LSB (Includes t_{PLH})	T_A=25˚C (Note 7), (*Figure 5*)		150		ns
t_{PLH}, t_{PHL}	Propagation Delay Time	T_A = 25˚C, (*Figure 5*)		30	100	ns
TCI_O	Output Full Scale Current Drift			±20		ppm/˚C
MSB	Digital Input Logic Levels	(*Figure 3*)				
V_{IH}	High Level, Logic "1"		2			V_{DC}
V_{IL}	Low Level, Logic "0"				0.8	V_{DC}
MSB	Digital Input Current	(*Figure 3*)				
	High Level	V_{IH} = 5V		0	0.040	mA
	Low Level	V_{IL} = 0.8V		−0.003	−0.8	mA
I_{15}	Reference Input Bias Current	(*Figure 3*)		−1	−3	μA
	Output Current Range	(*Figure 3*)				
		V_{EE} = −5V	0	2.0	2.1	mA
		V_{EE} = −15V, T_A = 25˚C	0	2.0	4.2	mA
I_O	Output Current	V_{REF} = 2.000V, R14 = 1000Ω, (*Figure 3*)	1.9	1.99	2.1	mA
	Output Current, All Bits Low	(*Figure 3*)		0	4	μA
	Output Voltage Compliance (Note 3)	$E_r \le$ 0.19%, T_A = 25˚C				
	V_{EE}=−5V, I_{REF}=1 mA				−0.55, +0.4	V_{DC}
	V_{EE} Below −10V				−5.0, +0.4	V_{DC}
SRI_{REF}	Reference Current Slew Rate	(*Figure 6*)	4	8		mA/μs
	Output Current Power Supply Sensitivity	$-5V \le V_{EE} \le -16.5V$		0.05	2.7	μA/V
	Power Supply Current (All Bits Low)	(*Figure 3*)				
I_{CC}				2.3	22	mA
I_{EE}				−4.3	−13	mA
	Power Supply Voltage Range	T_A = 25˚C, (*Figure 3*)				
V_{CC}			4.5	5.0	5.5	V_{DC}
V_{EE}			−4.5	−15	−16.5	V_{DC}
	Power Dissipation					

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Electrical Characteristics (Continued)

(V_{CC} = 5V, V_{EE} = −15 V_{DC}, V_{REF}/R14 = 2 mA, and all digital inputs at high logic level unless otherwise noted.)

Symbol	Parameter	Conditions	Min	Typ	Max	Units
	All Bits Low	V_{CC} = 5V, V_{EE} = −5V		33	170	mW
		V_{CC} = 5V, V_{EE} = −15V		106	305	mW
	All Bits High	V_{CC} = 15V, V_{EE} = −5V		90		mW
		V_{CC} = 15V, V_{EE} = −15V		160		mW

Note 2: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 3: Range control is not required.

Note 4: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX}, θ_{JA}, and the ambient temperature, T_A. The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maixmum Ratings, whichever is lower. For this device, T_{JMAX} = 125˚C, and the typical junction-to-ambient thermal resistance of the dual-in-line J package when the board mounted is 100˚C/W. For the dual-in-line N package, this number increases to 175˚C/W and for the small outline M package this number is 100˚C/W.

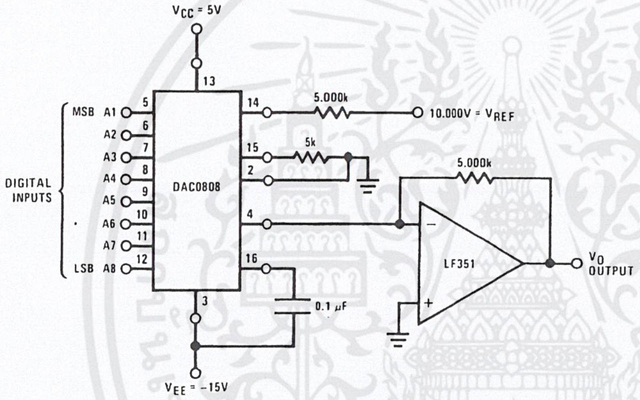
Note 5: Human body model, 100 pF discharged through a 1.5 kΩ resistor.

Note 6: All current switches are tested to guarantee at least 50% of rated current.

Note 7: All bits switched.

Note 8: Pin-out numbers for the DAL080X represent the dual-in-line package. The small outline package pinout differs from the dual-in-line package.

Typical Application



$$V_O = 10V\left(\frac{A1}{2} + \frac{A2}{4} + \ldots \frac{A8}{256}\right)$$

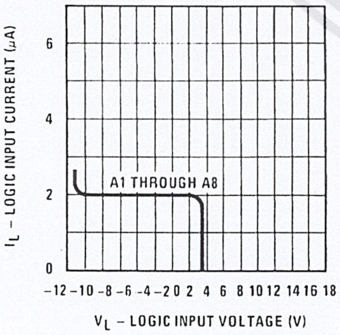
DS005687-23

DS005687-3

FIGURE 1. +10V Output Digital to Analog Converter (Note 8)

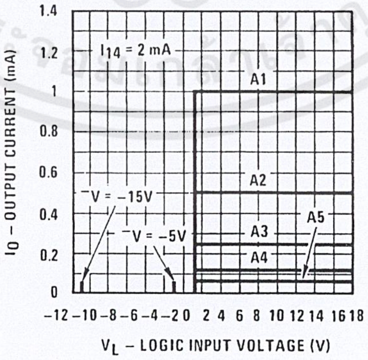
Typical Performance Characteristics V_{CC} = 5V, V_{EE} = −15V, T_A = 25˚C, unless otherwise noted

Logic Input Current vs Input Voltage



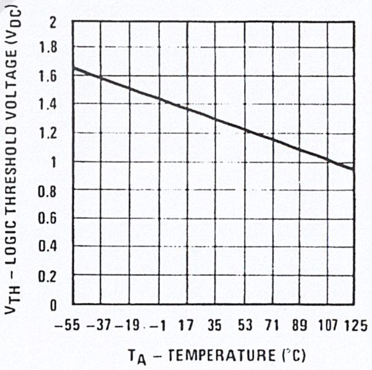
DS005687-14

Bit Transfer Characteristics



DS005687-15

Logic Threshold Voltage vs Temperature

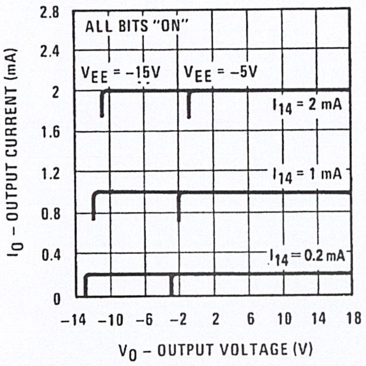


DS005687-16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

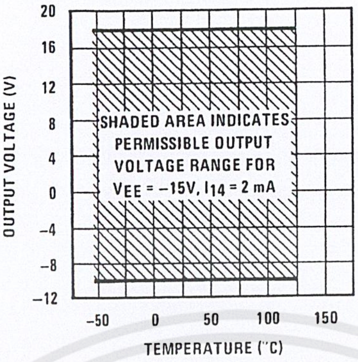
Typical Performance Characteristics V_{CC} = 5V, V_{EE} = −15V, T_A = 25˚C, unless otherwise noted (Continued)

Output Current vs Output Voltage (Output Voltage Compliance)



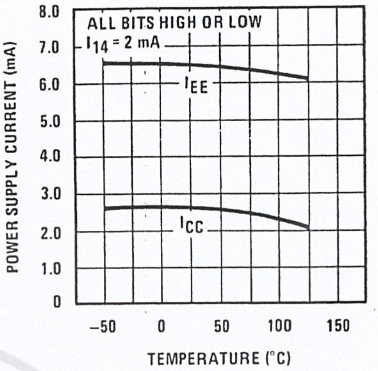
DS005687-17

Output Voltage Compliance vs Temperature



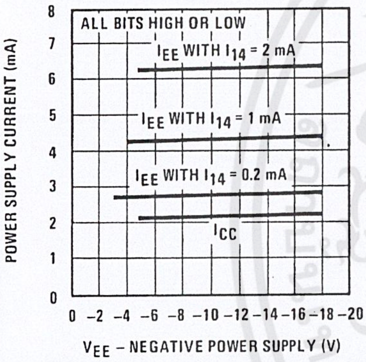
DS005687-18

Typical Power Supply Current vs Temperature



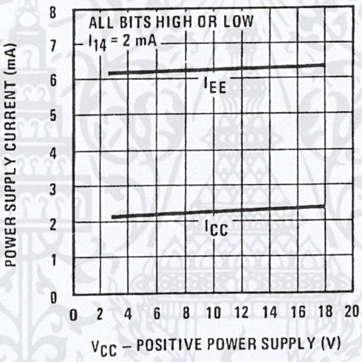
DS005687-19

Typical Power Supply Current vs V_{EE}



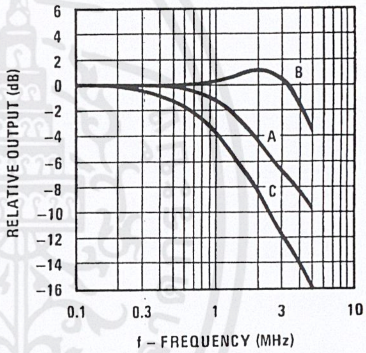
DS005687-20

Typical Power Supply Current vs V_{CC}



DS005687-21

Reference Input Frequency Response



DS005687-22

Unless otherwise specified: R14 = R15 = 1 kΩ, C = 15 pF, pin 16 to V_{EE}; R_L = 50Ω, pin 4 to ground.

Curve A: Large Signal Bandwidth Method of *Figure 7*, V_{REF} = 2 Vp-p offset 1V above ground.

Curve B: Small Signal Bandwidth Method of *Figure 7*, R_L = 250Ω, V_{REF} = 50 mVp-p offset 200 mV above ground.

Curve C: Large and Small Signal Bandwidth Method of *Figure 9* (no op amp, R_L = 50Ω), R_S = 50Ω, V_{REF} = 2V, V_S = 100 mVp-p centered at 0V.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้