สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

อุปกรณ์เข้ารหัส – ถอดรหัสแบบ CHAOTIC บนพื้นฐานความไม่เป็นเชิงเส้น จากการล้นในวงจรกรองสัญญาณดิจิตอลสำหรับความปลอดภัยในการสื่อสาร

CHAOTIC ENCODER – DECODER BASED ON OVERFLOW NONLINEARITIES IN DIGITAL FILTER FOR SECURE COMMUNICATIONS

T119160

โดย

สิทธิพงษ์ คิวหา

สุนทรินทร์ ศิลป์ท้าว

สุนัย เนสะแล

เลขหมู่.....
เลขทะเบียน.....113160
วัน,เดือน,ปี.....6 ส.ค. 2554

b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2553

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์เข้ารหัส – ถอดรหัสแบบ CHAOTIC บนพื้นฐานความไม่เป็นเชิงเส้น จากการล้นในวงจรกรองสัญญาณดิจิตอลสำหรับความปลอดภัยในการสื่อสาร

CHAOTIC ENCODER – DECODER BASED ON OVERFLOW NONLINEARITIES IN DIGITAL FILTER FOR SECURE COMMUNICATIONS

โดย

สิทธิพงษ์ คิวหา 50011677

สุนทรินทร์ ศิลป์ท้าว 50011725

สุนัย เนสะและ 50011727

อาจารย์ที่ปรึกษา

ผศ.ดร. ศรวัฒน์ ชิวปรีชา

ผศ. อัครพล ตรีรัตน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2553

ผ่านการตรวจชิ้นงานแล้ว

(ลงชื่อ).....ผู้ตรวจ

ผ่านการตรวจรูปเล่มแล้ว

(ลงชื่อ).....ผู้ตรวจ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2553

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง อุปกรณ์เข้ารหัส – ถอดรหัสแบบ CHAOTIC บนพื้นฐานความไม่เป็นเชิงเส้นจากการล้นในวงจรกรองสัญญาณดิจิตอลสำหรับความปลอดภัยในการสื่อสาร

CHAOTIC ENCODER – DECODER BASED ON OVERFLOW NONLINEARITIES IN DIGITAL FILTER FOR SECURE COMMUNICATION

ผู้จัดทำ

1. สิทธิพงษ์ ศิวหา 50011677
2. สุนทรินทร์ ศิลป์ท้าว 50011725
3. สุนัย เนสะและ 50011727

..... อาจารย์ที่ปรึกษา

(ผศ.ดร. ศรวัฒน์ ชิวปรีชา)

..... อาจารย์ที่ปรึกษาร่วม

(ผศ. อัครพล ตรีรัตน์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์นี้คงจะสำเร็จลุล่วงลงไม่ได้หากไม่ได้รับความอนุเคราะห์และการให้ความช่วยเหลือจาก ผศ.ดร.ศรวัฒน์ ชิวปรีชา จึงขอกราบขอบพระคุณอาจารย์ที่ได้ช่วยให้คำแนะนำ และคำชี้แนะมาโดยตลอด ขอขอบคุณสมาชิกภายในกลุ่มที่ร่วมมือร่วมใจและตั้งใจในการทำงานเป็นอย่างดีจึงทำให้ปริญญานิพนธ์นี้สามารถดำเนินการได้อย่างต่อเนื่องและขอกราบขอบพระคุณคุณพ่อคุณแม่ที่ให้กำลังใจและสนับสนุนมาโดยตลอด รวมทั้งขอบคุณกัลยาณมิตรที่ดีทุกท่านที่คอยให้ความช่วยเหลือตลอดมา

หากมีคุณความดีหรือประโยชน์อันใดที่เกิดจากปริญญานิพนธ์นี้ขอยกคุณงามความดีทั้งหมดนี้ให้กับทุกๆท่านที่ได้กล่าวถึงมาในเบื้องต้น

สิทธิพงษ์ คิวหา
สุนทรินทร์ ศิลป์ท้าว
สุนัย เนสะและ
ผู้จัดทำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อุปกรณ์เข้ารหัส – ถอดรหัสแบบ CHAOTIC บนพื้นฐานความไม่เป็นเชิงเส้นจากการล้นของวงจรกรองสัญญาณดิจิตอลสำหรับความปลอดภัยในการสื่อสาร

CHAOTIC ENCODER – DECODER BASED ON OVERFLOW NONLINEARITIES IN DIGITAL FILTER FOR SECURE COMMUNICATION

โดย สิทธิพงษ์ คิวหา 50011677

สุนทรินทร์ ศิลป์ท้าว 50011725

สุนัย เนสะและ 50011727

อาจารย์ที่ปรึกษา ผศ.ดร. ศรวัฒน์ ชิวปรีชา

อาจารย์ที่ปรึกษาร่วม ผศ. อัครพล ตรีรัตน์

บทคัดย่อ

โครงงานนี้เป็นการศึกษาและประยุกต์ใช้งานการเข้ารหัสและถอดรหัสแบบ CHAOTIC กับสัญญาณหรือข้อมูลเพื่อความปลอดภัยในการสื่อสาร โดยใช้ MATLAB ในการจำลองการทำงานเบื้องต้นบนพื้นฐานความไม่เป็นเชิงเส้นจากการล้นในวงจรกรองสัญญาณดิจิตอล แล้วใช้ภาษา VHDL บรรยายพฤติกรรมการทำงานเพื่อสังเคราะห์และสร้างวงจรลงบนอุปกรณ์ FPGA เพื่อใช้สำหรับความปลอดภัยในการสื่อสาร โดยเฉพาะต้นแบบฮาร์ดแวร์จะประยุกต์ใช้งานเพื่อป้องกันการดักฟังของวิทยุสื่อสาร

ABSTRACT

This project is study and application of chaotic encoder – decoder for secure communications. The MATLAB is used for simulation based on overflow nonlinearities in digital filter in order to generate the chaotic signals. Thence, the behavior of actual circuits are described by VHDL. The synthesized circuits will be programmed on FPGA for secure communications. Especially, the hardware prototype will be applied to protect trapping on radio communications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

		หน้า
กิตติกรรมประกาศ		I
บทคัดย่อ		II
สารบัญ		III
สารบัญรูป		VII
สารบัญตาราง		XVI
บทที่ 1	**บทนำ**	**1**
	1.1 ความเป็นมาและความสำคัญของปัญหา	1
	1.2 วัตถุประสงค์ของปริญญานิพนธ์	2
	1.3 ขอบเขตของปริญญานิพนธ์	3
	1.4 บล็อกไดอะแกรมของปริญญานิพนธ์	3
บทที่ 2	**ทฤษฎีและหลักการที่เกี่ยวข้อง**	**5**
	2.1 กล่าวนำเกี่ยวกับระบบเคออติก	5
	2.1.1 ประวัติของระบบเคออติก	6
	2.1.2 นิยามของเคออส	8
	2.1.3 คุณลักษณะของเคออส	8
	2.2 วงจรกรองดิจิตอล	10
	2.2.1 ส่วนประกอบของวงจรกรองดิจิตอล	10
	2.2.2 ระบบตัวเลขในการประมวลผลของวงจรดิจิตอล	12
	2.2.3 ความคลาดเคลื่อนจากการใช้ระบบจำนวนโดยตรง	13
	2.3 อัตสหสัมพันธ์	15
	2.4 ฟังก์ชันความหนาแน่นความน่าจะเป็น	16
	2.5 ภาษา VHDL	17
	2.5.1 องค์ประกอบพื้นฐานของภาษา VHDL	17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

		หน้า
	2.5.2 การออกแบบจากบนลงล่าง	23
	2.6 Delta Modulation	25
	2.6.1 Linear Delta Modulation (LDM)	26
	2.6.2 Adaptive Delta Modulation	27
	2.6.3 Continuous Vary Slope Delta Modulation (CVSD)	28
	2.6.4 คุณสมบัติของไอซีเบอร์ MC34115	30
	2.7 วงจรกรองสัญญาณความถี่ต่ำผ่านแบบอนาลอก	32
	2.7.1 วงจรกรองสัญญาณความถี่ต่ำผ่าน	32
	2.7.2 ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณ	33
	2.8 วงจรขยาย	35
บทที่3	**การออกแบบและการจัดทำปริญญานิพนธ์**	**36**
	3.1 การทดลองวงจรขยาย (pre Mic. and amplifier)	36
	3.2 การทดลองวงจรกรองความถี่ต่ำผ่านแบบอนาลอก	38
	3.3 การประยุกต์ใช้งานไอซี MC34115 สำหรับแปลงสัญญาณอนาลอกเป็นดิจิตอล และแปลงสัญญาณดิจิตอลเป็นอนาลอกแบบ CVSD	40
	3.4 การออกแบบการทดลองโดยใช้โปรแกรม MATLAB	42
	3.4.1 วงจรเข้ารหัสโดยใช้วงจรกรองสัญญาณดิจิตอลชนิดอิมพัลส์ไม่จำกัด	42
	3.4.2 วงจรถอดรหัสใช้วงจรกรองสัญญาณดิจิตอลชนิดอิมพัลส์จำกัด	48
	3.5 การออกแบบในส่วนของ FPGA	54
	3.5.1 วงจรควบคุมสัญญาณ (control_unit)	54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

		หน้า
	3.5.2 วงจรเรียงข้อมูลแบบอนุกรมเป็นขนาน (Serial In Parallel Out : SIPO)	57
	3.5.3 วงจรเรียงข้อมูลแบบขนานเป็นอนุกรม (Parallel In Serial Out : PISO)	58
	3.5.4 การจำลองการทำงานของวงจรเข้ารหัส	60
	3.5.5 การจำลองการทำงานของวงจรถอดรหัส	65
บทที่ 4	**ผลการทดลอง**	**70**
	4.1 ผลการจำลองการทำงานของวงจรเข้ารหัสและวงจรถอดรหัส	71
	4.1.1 อัตสหสัมพันธ์	71
	4.1.2 ผลการจำลองวงจรเข้ารหัสและถอดรหัสกับสัญญาณคลื่นรูปไซน์	74
	4.1.3 ผลการจำลองวงจรเข้ารหัสและถอดรหัสกับข้อมูลเสียง	76
	4.1.4 ผลการจำลองการทำงานกับข้อมูลภาพ	79
	4.1.5 ผลการจำลองการเข้ารหัสและถอดรหัสโดยส่งผ่านช่องสัญญาณ	81
	4.2 ผลการทดลองของวงจรแต่ละส่วนที่สร้างเพื่อนำไปใช้งานกับอุปกรณ์ FPGA	85
	4.2.1 ผลการทดลองของวงจรขยาย (pre Mic. and amplifier)	86
	4.2.2 วงจรกรองสัญญาณความถี่ต่ำผ่านแบบอนาลอก	90
	4.2.3 วงจรแปลงสัญญาณอนลอกเป็นดิจิตอล และวงจรแปลงดิจิตอลเป็นอนาลอก แบบ CVSD	93
	4.3 ผลการทดลองส่วนของวงจรเข้ารหัสและถอดรหัสโดยอุปกรณ์ FPGA	98

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

		หน้า
	4.3.1 ผลการทดลองส่วนของวงจรเรียงข้อมูล	98
	4.3.2 ผลการทดลองของวงจรเข้ารหัส (Encoder)	102
	4.3.3 ผลการทดลองของวงจรเข้ารหัส (Encoder) และถอดรหัส (Decoder)	106
	4.3.4 ผลการทดลองขนาดความยาวของข้อมูลที่ใช้ในการประมวลกับวงจรเข้าและถอดรหัส	112
	4.3.5 ผลการทดลองของวงจรเข้าและถอดรหัสที่นำไปใช้งานจริง	129
บทที่ 5	**สรุปผลและข้อเสนอแนะ**	**136**
	5.1 สรุปผล	136
	5.2 ข้อเสนอแนะ	138
บรรณานุกรม		**139**
ภาคผนวก ก	ส่วนต่อประสานกราฟฟิกกับผู้ใช้ (Graphical User Interface : GUI)	140
ภาคผนวก ข	วงจรและแผ่นวงจรพิมพ์	147
ภาคผนวก ค	โปรแกรมภาษา VHDL ที่ใช้ในปริญญานิพนธ์	152
ภาคผนวก ง	รูปของอุปกรณ์ที่ใช้ในการทดลอง	161
ภาคผนวก จ	Datasheet ของไอซีเบอร์ MC34115	165

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

หน้า

รูปที่

1.1	บล็อกไดอะแกรมของปริญญานิพนธ์	3
1.2	รูปแบบการสื่อสารของชุดอุปกรณ์เข้ารหัส-ถอดรหัสเคออติกแบบดิจิตอล	4
2.1	แนวโคจรของตัวดึงดูดลอเรนซ์	7
2.2	ใบเฟิร์นที่ได้จากการพล็อตแฟรกตัล	9
2.3	ส่วนประกอบพื้นฐานของวงจรกรองดิจิตอล	11
2.4	การล้นแบบส่วนเติมเต็มสอง	14
2.5	ค่า $x_1(n)$ ที่เวลา n ต่างกัน	15
2.6	การกำหนดการเชื่อมต่อและสถาปัตยกรรมของภาษา VHDL	17
2.7	บล็อกไดอะแกรมและการบรรยายการเชื่อมต่อของ clock_component	18
2.8	การบรรยายเชิงพฤติกรรมของ clock_component	19
2.9	โครงสร้างของบอดี้แพ็กเกจ	20
2.10	การใช้โพรซีเจอร์	21
2.11	การใช้ฟังก์ชัน	21
2.12	ตัวดำเนินการใน VHDL	22
2.13	ขั้นตอนการออกแบบจากบนลงล่าง	23
2.14	การเข้ารหัสแบบ differential encoding ของระบบ delta modulation	25
2.15	วงจร Linear Delta Modulation (LDM)	26
2.16	ปัญหา slope overload ของระบบ LDM	27
2.17	ปัญหา Garnural noise ของระบบ LDM	27
2.18	ระบบ CVSD encoder	28
2.19	ระบบ CVSD decoder	29
2.20	ไอซีเบอร์ MC34115	30
2.21	วงจรเข้ารหัสถอดรหัสพื้นฐานแบบ CVSD	31
2.22	ขนาดการตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่ต่ำผ่าน	33

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่

2.23 วงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสอง 34

2.24 วงจรขยายสัญญาณแบบกลับเฟส 35

3.1 วงจรขยายของ pre Mic. 36

3.2 วงจร amplifier 37

3.3 วงจรกรองความถี่ต่ำผ่านอันดับสอง 38

3.4 ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสอง 39

3.5 โครงสร้างของไอซีเบอร์ MC34115 40

3.6 วงจร CVSD ที่ใช้ในการทดลอง 41

3.7 โครงสร้างของวงจรเข้ารหัส 42

3.8 ขอบเขตพื้นที่สามเหลี่ยมเสถียรภาพ 44

3.9 ตำแหน่งโพลของวงจรเข้ารหัส กรณี $c_1 = 3$ และ $c_2 = -1$ 44

3.10 ค่า $y(k)$ ที่ได้จากการจำลองการทำงานของวงจรเข้ารหัส 45

3.11 คุณลักษณะของฟังก์ชั่น $f(\cdot)$ 46

3.12 ค่าเอาท์พุทจากการจำลองการทำงานของวงจรเข้ารหัสเมื่อมีฟังก์ชั่น $f(\cdot)$ 47

3.13 โครงสร้างของวงจรถอดรหัส 48

3.14 ตำแหน่งซีโร่ของวงจรถอดรหัส กรณี $c_1 = 3$ และ $c_2 = -1$ 50

3.15 เอาท์พุทของวงจรถอดรหัสกรณีไม่จำกัดความยาวข้อมูล 51

3.16 ค่าเอาท์พุทของวงจรถอดรหัสกรณีที่มีฟังก์ชั่น $f(\cdot)$ 53

3.17 โครงสร้างภายในของ FPGA ที่ใช้ในการสร้างวงจรเข้ารหัสและถอดรหัส 55

3.18 สเตทไดอะแกรมวงจรควบคุมสัญญาณ (control_unit) 55

3.19 ผลการจำลองการทำงานของวงจรควบคุมสัญญาณ (control_unit) 57

3.20 โครงสร้างภายในของวงจรเรียงข้อมูลอนุกรมเป็นขนาน (SIPO) 58

3.21 ผลการจำลองการทำงานของวงจร SIPO 58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่		หน้า
3.22	โครงสร้างของวงจรเรียงข้อมูลขนานเป็นอนุกรม (PISO)	59
3.23	โครงสร้าง RTL Schematic ที่ใช้ในการจำลองการทำงานของส่วนเรียงข้อมูล	59
3.24	ผลการจำลองการทำงานของวงจรเรียงข้อมูล	59
3.25	โครงสร้างที่ใช้สร้างวงจรเข้ารหัสที่ใช้ในการจำลองการทำงานจากโดย MATLAB	60
3.26	โครงสร้างแบบละเอียดที่ใช้สร้างวงจรเข้ารหัส	61
3.27	โปรแกรม MATLAB ที่ใช้นำกรจำลองการทำงานของวงจรเข้ารหัส	64
3.28	ผลการจำลองการทำงานโดยแสดงในรูปของเลขฐานสอง	64
3.29	ผลการจำลองการทำงานโดยแสดงในรูปของเลขฐานสิบ	65
3.30	โครงสร้างของวงจรถอดรหัสที่ใช้ในการจำลองการทำงาน	65
3.31	โครงสร้างแบบละเอียดภายในของวงจรถอดรหัส	66
3.32	โปรแกรม MATLAB ที่ใช้นำกรจำลองการทำงานของวงจรถอดรหัส	69
4.1	โครงสร้างของวงจรเข้ารหัสและถอดรหัสที่ใช้ในการจำลองการทำงาน	70
4.2	อัตสหสัมพันธ์ของเอาต์พุตของวงจรเข้ารหัส 8 บิต เทียบกับอัตสหสัมพันธ์ของสัญญาณรบกวน	72
4.3	อัตสหสัมพันธ์ของเอาต์พุตของวงจรเข้ารหัส 8 บิต และ 16 บิต เทียบกับอัตสหสัมพันธ์ของสัญญาณรบกวน	72
4.4	สหสัมพันธ์ของเอาต์พุตของวงจรเข้ารหัส 32 บิต เทียบกับอัตสหสัมพันธ์ของสัญญาณรบกวน	73
4.5	ผลการจำลองการทำงานกับสัญญาณไซน์โดยค่าสัมประสิทธิ์เหมือนกัน	74
4.6	ผลการจำลองการทำงานกับสัญญาณไซน์โดยค่าสัมประสิทธิ์ต่างกัน	75
4.7	ผลการจำลองการทำงานกับข้อมูลเสียงโดยค่าสัมประสิทธิ์เหมือนกัน	76

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่

4.8 ผลการจำลองการทำงานกับข้อมูลเสียงโดยค่าสัมประสิทธิ์ต่างกัน 77

4.9 ผลการจำลองการทำงานกับข้อมูลเสียงที่เป็นห้วงๆ โดยค่าสัมประสิทธิ์เหมือนกัน 78

4.10 ผลการจำลองการทำงานกับข้อมูลภาพโดยกำหนดค่าสัมประสิทธิ์เหมือนกัน 79

4.11 ผลการจำลองการทำงานกับข้อมูลภาพโดยกำหนดค่าสัมประสิทธิ์ต่างกัน 79

4.12 ผลการจำลองการทำงานกับข้อมูลภาพ QR code โดยกำหนดค่าสัมประสิทธิ์เหมือนกัน 80

4.13 โครงสร้างของวงจรเข้าและถอดรหัสโดยส่งผ่านช่องสัญญาณ 81

4.14 ผลการจำลองการเข้ารหัสถอดรหัสผ่านช่องสัญญาณโดยค่า $\sigma^2 = 0.0001$ 82

4.15 ผลการจำลองการเข้ารหัสถอดรหัสผ่านช่องสัญญาณโดยค่า $\sigma^2 = 0.001$ 82

4.16 ผลการจำลองการเข้ารหัสถอดรหัสผ่านช่องสัญญาณโดยค่า $\sigma^2 = 0.01$ 83

4.17 ผลการจำลองการเข้ารหัสถอดรหัสผ่านช่องสัญญาณโดยค่า $\sigma^2 = 0.02$ 83

4.18 โครงสร้างของวงจรเข้ารหัสและถอดรหัสที่ต่อร่วมกับอุปกรณ์อื่นๆ 85

4.19 ผลการทดลองของวงจร pre Mic. ที่ความถี่ 3 kHz 86

4.20 ผลตอบสนองทางความถี่ของวงจร pre Mic. 88

4.21 ผลการทดลองของวงจร amplifier ที่ความถี่ 3 kHz 88

4.22 ผลตอบสนองทางความถี่ของวงจร amplifier 89

4.23 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านที่ความถี่ 100 Hz 90

4.24 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านที่ความถี่ 1 kHz 90

4.25 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านที่ความถี่ 4 kHz 91

4.26 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านที่ความถี่ 8 kHz 91

4.27 ผลตอบสนองทางคามถี่ของวงจรกรองความถี่ต่ำผ่านจากการทดลองเทียบกับทฤษฎี 92

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

หน้า

รูปที่

4.28 รูปแบบในการทดลองวงจรแปลงอนาลอกเป็นดิจิตอล และวงจรแปลงดิจิตอลเป็นอนาลอกแบบ CVSD 93

4.29 วงจรแปลงอนาลอกเป็นดิจิตอล และวงจรแปลงดิจิตอลเป็นอนาลอกแบบ CVSD 93

4.30 ผลการทดลองของวงจรแปลงอนาลอกเป็นดิจิตอลแบบ CVSD ที่มีความถี่ 200 Hz 94

4.31 ผลการทดลองของวงจรแปลงอนาลอกเป็นดิจิตอลแบบ CVSD ที่มีความถี่ 500 Hz 94

4.32 ผลการทดลองของวงจรแปลงอนาลอกเป็นดิจิตอลแบบ CVSD ที่มีความถี่ 1 kHz 95

4.33 ผลการทดลองของวงจรแปลงอนาลอกเป็นดิจิตอลและวงจรแปลงดิจิตอลเป็นอนาลอกแบบ CVSD ที่มีความถี่ 200 Hz 95

4.34 ผลการทดลองของวงจรแปลงอนาลอกเป็นดิจิตอลและวงจรแปลงดิจิตอลเป็นอนาลอกแบบ CVSD ที่มีความถี่ 500 Hz 96

4.35 ผลการทดลองของวงจรแปลงอนาลอกเป็นดิจิตอลและวงจรแปลงดิจิตอลเป็นอนาลอกแบบ CVSD ที่มีความถี่ 1 kHz 96

4.36 ผลการทดลองของวงจรแปลงอนาลอกเป็นดิจิตอลและวงจรแปลงดิจิตอลเป็นอนาลอกแบบ CVSD ที่มีความถี่ 2 kHz 97

4.37 ผลการทดลองของวงจรแปลงอนาลอกเป็นดิจิตอลและวงจรแปลงดิจิตอลเป็นอนาลอกแบบ CVSD ที่มีความถี่ 4 kHz 97

4.38 โครงสร้างของส่วนวงจรเรียงข้อมูลที่ใช้ในการทดลอง 99

4.39 โครงสร้าง RTL Schematic ของวงจรเรียงข้อมูล 99

4.40 ผลการทดลองของวงจรเรียงข้อมูลชุดที่ 1 (Input 1) 100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่		หน้า
4.41	ผลการทดลองของวงจรเรียงข้อมูลชุดที่ 2 (Input 2)	100
4.42	ผลการทดลองของวงจรเรียงข้อมูลที่ทำการแปลงสัญญาณดิจิตอลเป็นอนาลอก	101
4.43	โครงสร้างของวงจรเข้ารหัสและรูปแบบการทดลอง	102
4.44	โครงสร้าง RTL Schematic ของวงจรเข้ารหัส	102
4.45	ผลการทดลองของวงจรเข้ารหัสที่ความถี่ 1 kHz	103
4.46	ผลการทดลองของวงจรเข้ารหัสกับสัญญาณไซน์ที่ความถี่ 100 Hz	103
4.47	ผลการทดลองของวงจรเข้ารหัสกับสัญญาณสี่เหลี่ยมที่ความถี่ 100 Hz	104
4.48	ผลการทดลองของวงจรเข้ารหัสกับสัญญาณสามเหลี่ยมที่ความถี่ 100 Hz	104
4.49	ผลการทดลองของวงจรเข้ารหัสกับสัญญาณฟันเลื่อยที่ความถี่ 100 Hz	105
4.50	โครงสร้างของวงจรเข้าและถอดรหัส และรูปแบบของการทดลอง	106
4.51	โครงสร้าง RTL Schematic ของวงจรเข้าและถอดรหัส	107
4.52	ผลการทดลองโดยต่อวงจรเข้ารหัสเข้ากับวงจรถอดรหัสโดยตรง	107
4.53	ผลการทดลองจากการเข้าและถอดรหัสโดยตรงซึ่งอินพุตเป็นสัญญาณไซน์ความถี่ 1 kHz	108
4.54	ผลการทดลองจากการเข้าและถอดรหัสโดยตรงซึ่งอินพุตเป็นสัญญาณสี่เหลี่ยมความถี่ 1 kHz	108
4.55	ผลการทดลองจากการเข้าและถอดรหัสโดยตรงซึ่งอินพุตเป็นสัญญาณสามเหลี่ยมความถี่ 1 kHz	109
4.56	ผลการทดลองจากการเข้าและถอดรหัสโดยตรงซึ่งอินพุตเป็นสัญญาณไซน์ความถี่ 4 kHz	109
4.57	ผลการทดลองจากการเข้าและถอดรหัสโดยตรงซึ่งอินพุตเป็นสัญญาณไซน์ความถี่ 100 Hz ในกรณีค่าสัมประสิทธิ์ต่างกัน	111

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่		หน้า
4.58	ผลการทดลองจากการเข้าและถอดรหัสโดยตรงซึ่งอินพุตเป็นสัญญาณไซน์ความถี่ 1 kHz ในกรณีค่าสัมประสิทธิ์ต่างกัน	111
4.59	โครงสร้างวงจรเข้าและถอดรหัสที่ใช้ในการทดสอบความยาวของข้อมูล	112
4.60	โครงสร้างของวงจรเข้ารหัสขนาด 8 บิต	113
4.61	โครงสร้างของวงจรถอดรหัสขนาด 8 บิต	113
4.62	โครงสร้าง RTL Schematic ของวงจรเข้าและถอดรหัสขนาด 8 บิต	114
4.63	ผลการจำลองการทำงานของวงจรเข้าและถอดรหัสในรูปเลขฐานสอง	114
4.64	ผลการจำลองการทำงานของวงจรเข้าและถอดรหัสในรูปเลขฐานสิบ	114
4.65	ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 8 บิตกับสัญญาณไซน์ความถี่ 1 kHz	115
4.66	ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 8 บิตกับสัญญาณไซน์ความถี่ 3.4 kHz	115
4.67	ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 8 บิตกับสัญญาณสามเหลี่ยมความถี่ 1 kHz	116
4.68	ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 8 บิตกับสัญญาณสามเหลี่ยมความถี่ 3.4 kHz	116
4.69	โครงสร้างของวงจรเข้ารหัสขนาด 16 บิต	117
4.70	โครงสร้างของวงจรถอดรหัสขนาด 16 บิต	117
4.71	ผลการจำลองการทำงานของวงจรเข้าและถอดรหัสขนาด 16 บิตในรูปเลขฐานสิบ	118
4.72	ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 16 บิตกับสัญญาณไซน์ความถี่ 1 kHz	118

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่		หน้า
4.73	ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 16 บิตกับสัญญาณไซน์ความถี่ 3.4 kHz	119
4.74	ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 16 บิตกับสัญญาณสามเหลี่ยมความถี่ 1 kHz	119
4.75	ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 16 บิตกับสัญญาณสามเหลี่ยมความถี่ 3.4 kHz	120
4.76	โครงสร้างของวงจรเข้ารหัสขนาด 32 บิต	121
4.77	โครงสร้างของวงจรถอดรหัสขนาด 32 บิต	121
4.78	ผลการจำลองการทำงานของวงจรเข้าและถอดรหัสขนาด 32 บิตในรูปเลขฐานสิบ	122
4.79	ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 32 บิตกับสัญญาณไซน์ความถี่ 1 kHz	122
4.80	ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 32 บิตกับสัญญาณไซน์ความถี่ 3.4 kHz	123
4.81	ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 32 บิตกับสัญญาณสามเหลี่ยมความถี่ 1 kHz	123
4.82	ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 32 บิตกับสัญญาณสามเหลี่ยมความถี่ 3.4 kHz	124
4.83	โครงสร้างของวงจรเข้ารหัสขนาด 48 บิต	125
4.84	โครงสร้างของวงจรถอดรหัสขนาด 48 บิต	125
4.85	ผลการจำลองการทำงานของวงจรเข้าและถอดรหัสขนาด 48 บิตในรูปเลขฐานสิบ	126
4.86	ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 48 บิตกับสัญญาณไซน์ความถี่ 1 kHz	126

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่		หน้า
4.87	ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 48 บิตกับสัญญาณไซน์ความถี่ 3.4 kHz	127
4.88	ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 48 บิตกับสัญญาณสามเหลี่ยมความถี่ 1 kHz	127
4.89	ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 48 บิตกับสัญญาณสามเหลี่ยมความถี่ 3.4 kHz	128
4.90	โครงสร้างของวงจรเข้าและถอดรหัสที่นำไปใช้งานจริง	129
4.91	โครงสร้างแบบ RTL Schematic ของวงจรเข้าและถอดรหัสที่นำไปใช้งานจริง	130
4.92	ผลการทดลองของวงจรเข้าและถอดรหัสที่นำไปใช้งานจริงกับสัญญาณไซน์ความถี่ 1kHz	131
4.93	ผลการทดลองของวงจรเข้าและถอดรหัสที่นำไปใช้งานจริงกับสัญญาณไซน์ความถี่ 1 kHz	131
4.94	ผลการทดลองของวงจรเข้าและถอดรหัสที่นำไปใช้งานจริงกับสัญญาณไซน์ความถี่ 2 kHz	132
4.95	ผลการทดลองของวงจรเข้าและถอดรหัสที่นำไปใช้งานจริงกับสัญญาณไซน์ความถี่ 3 kHz	132
4.96	โครงสร้างของวงจรที่ใช้ในการทดลองส่งข้อมูลเข้ารหัสแบบดิจิตอล	133
4.97	ผลการทดลองของวงจรเข้าและถอดรหัสโดยส่งข้อมูลเข้ารหัสแบบดิจิตอลกับสัญญาณไซน์ความถี่ 1 kHz	134
4.98	ผลการทดลองของวงจรเข้าและถอดรหัสโดยส่งข้อมูลเข้ารหัสแบบดิจิตอลกับสัญญาณไซน์ความถี่ 1 kHz	134
4.99	ผลการทดลองของวงจรเข้าและถอดรหัสโดยส่งข้อมูลเข้ารหัสแบบดิจิตอลกับสัญญาณไซน์ความถี่ 2 kHz	135

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่		หน้า
3.1	ผลการคำนวณจากโปรแกรม MATLAB เทียบกับการคำนวณในระบบเลขฐานสองของวงจรเข้ารหัส	62
3.2	ผลการคำนวณจากโปรแกรม MATLAB เทียบกับการคำนวณในระบบเลขฐานสองของวงจรถอดรหัส	67
4.1	ผลตอบสนองทางความถี่ของวงจร pre Mic. ที่ความถี่ต่างๆ	87
4.2	ผลตอบสนองทางความถี่ของวงจร amplifier	89
4.3	ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบบอนาลอก	92

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

โลกในปัจจุบันกำลังอยู่ในยุคของเทคโนโลยีสารสนเทศ อันเนื่องมาจากความก้าวหน้าทางเศรษฐกิจ และความก้าวหน้าทางด้านเทคโนโลยีคอมพิวเตอร์ อิเล็กทรอนิกส์ และโทรคมนาคม ซึ่งตัวอย่างของความก้าวหน้าทางด้านเทคโนโลยีเหล่านี้ที่เห็นได้อย่างชัดเจน ได้แก่ ระบบอินเตอร์เน็ต ระบบสื่อสารผ่านดาวเทียม ระบบสื่อสารผ่านเส้นใยแก้วนำแสง และระบบโทรศัพท์ดิจิตอล เป็นต้น ดังนั้นการเผยแพร่ข้อมูลข่าวสารจากองค์กรต่างๆสู่ประชาชน ผ่านระบบเหล่านี้จึงเกิดขึ้นมากมายในปัจจุบัน แต่ในบางองค์กรจำเป็นที่จะต้องมีการรักษาความลับของข้อมูลข่าวสารก่อนที่จะส่งเข้าไปในระบบสื่อสารข้อมูล เช่น ทหาร หรือตำรวจจำเป็นต้องปกปิดข้อมูลข่าวสารเพื่อความมั่นคงของชาติ รวมทั้งธนาคารจำเป็นต้องปกปิดข้อมูลข่าวสารในการส่งข้อมูลผ่านระบบเบิกเงินสดอัตโนมัติ (ATM) เป็นต้น ดังนั้นการวิจัยในด้านการรักษาความลับของข้อมูลข่าวสารจึงนับเป็นสิ่งสำคัญและมีประโยชน์ไม่น้อย

ในระยะไม่นานมานี้ ได้มีการวิจัยเกี่ยวกับการนำระบบเคออติก (chaotic system) เข้ามาประยุกต์ใช้กับการรักษาความลับของข้อมูลข่าวสาร โดยได้รับการศึกษาและพัฒนาอย่างจริงจังจากนักวิจัยด้วยเหตุผลที่ได้นำระบบเคออติกเข้ามาใช้ในการรักษาความลับข้อมูลข่าวสาร เนื่องจากคุณสมบัติที่สำคัญของระบบเคออติก ซึ่งได้แก่การที่ไม่สามารถคาดเดารูปแบบของสัญญาณเคออติกได้ และการที่ระบบเคออติกมีความไวสูงต่อค่าเงื่อนไขเริ่มต้น โดยในระยะเริ่มต้นการนำระบบเคออติกมาใช้ในการรักษาความลับจะใช้วงจรเคออติกทางอนาลอก ซึ่งจะมีข้อเสียตรงที่วงจรที่ผลิตสัญญาณเคออติกในภาคส่งและภาครับจะต้องแมชต์ (match) กันอย่างสมบรูณ์ ไม่เช่นนั้นจะไม่สามารถนำเอาสัญญาณข่าวสารออกมาได้ซึ่งการแมชต์กันที่สมบรูณ์นั้นในทางอนาลอกเป็นไปได้ยากมาก และการที่รวมข่าวสารเข้ากับสัญญาณเคออติก จะทำให้อัตราส่วนสัญญาณต่อสัญญาณรบกวน (signal to noise ratio) ที่เครื่องรับมีคุณภาพลดลง จึงอาจต้องใช้วิธีของการกรองแบบปรับตัว (adaptive filtering) ในการค้นหาข่าวสารจากสัญญาณเคออติกที่ส่งออกมา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนวงจรกรองสัญญาณดิจิตอล วงจรเข้ารหัส (encoder) และวงจรถอดรหัส (decoder) สามารถแมตช์กันได้อย่างสมบรูณ์เนื่องจากเป็นระบบดิจิตอล อีกทั้งสัญญาณเอาต์พุตจากวงจรเข้ารหัสจะไม่ปรากฏความสัมพันธ์ใดๆเลยกับสัญญาณอินพุต ดังนั้นการแก้ไขปัญหาในการรักษาความลับของข้อมูลข่าวสารในวงจรเคออติกแบบอนาลอกที่แมตซ์กันอย่างสมบรูณ์ได้ยาก จึงได้มีการเสนอให้ใช้วงจรกรองสัญญาณดิจิตอล (digital filter) เพื่อรักษาความลับของข้อมูลแทนวงจรแบบอนาลอก โดยวงจรเข้ารหัสเคออติกแบบดิจิตอลจะทำงานอยู่บนพื้นฐานของความไม่เป็นเชิงเส้นจากการล้น (overflow nonlinearity) ในวงจรกรองสัญญาณดิจิตอล ซึ่งฟังก์ชันนี้เป็นส่วนสำคัญในการทำให้วงจรกรองดิจิตอลกำเนิดสัญญาณเคออติกขึ้นมาได้

ดังนั้นการวิจัยในด้านการรักษาความลับของข้อมูลข่าวสารจึงนับเป็นสิ่งที่สำคัญ และมีประโยชน์สำหรับบางองค์กรที่จำเป็นจะต้องมีการรักษาความลับของข้อมูลข่าวสารก่อนที่จะส่งเข้าไปในระบบสื่อสารข้อมูล จากความสำคัญในข้างต้นปริญญานิพนธ์นี้จึงได้ศึกษาออกแบบและสร้างอุปกรณ์เข้ารหัส - ถอดรหัสแบบเคออติกสำหรับใช้ในการรักษาความปลอดภัยของข้อมูลข่าวสาร

1.2 วัตถุประสงค์ของปริญญานิพนธ์

1) ศึกษาการเกิดปรากฏการณ์เคออส ในวงจรกรองสัญญาณดิจิตอลและการทำงานของ chaotic encoder - decoder บนพื้นฐานของวงจรกรองสัญญาณดิจิตอลโดยใช้ MATLAB ในการจำลองการทำงานของวงจรกรองสัญญาณดิจิตอลก่อนนำไปสร้างวงจรเข้าและถอดรหัสในลำดับต่อไป
2) ศึกษาภาษา VHDL ในการบรรยายพฤติกรรมการทำงานของวงจรเข้าและถอดรหัสแบบดิจิตอล เพื่อสังเคราะห์และโปรแกรมวงจรลงบนอุปกรณ์ FPGA
3) ศึกษาและประยุกต์ใช้งานวงจร A/D และ D/A แบบ CVSD ที่จะใช้งานร่วมกับระบบการประมวลผลสัญญาณดิจิตอลที่จะสร้างขึ้น
4) ศึกษาและประยุกต์ใช้งานวงจรเข้าและถอดรหัสบนอุปกรณ์ FPGA ร่วมกับระบบวิทยุสื่อสาร

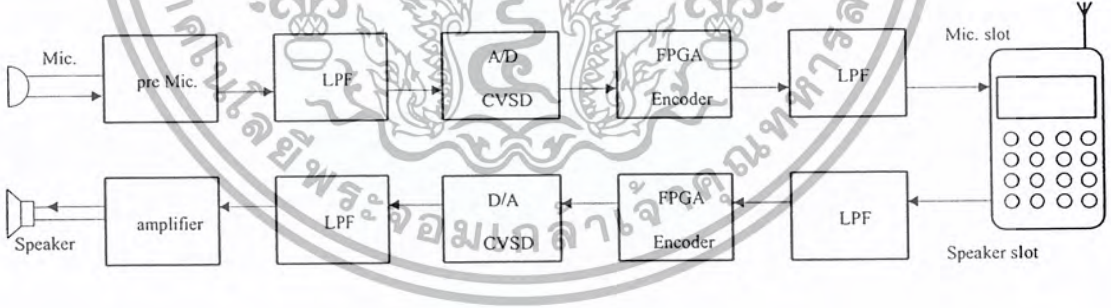
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 ขอบเขตของปริญญานิพนธ์

1) สามารถจำลองปรากฏการณ์เคออส และการทำงานของ chaotic encoder – decoder โดยใช้โปรแกรม MATLAB แล้วใช้ภาษา VHDL ในการบรรยายพฤติกรรมการทำงานของวงจร เพื่อสังเคราะห์และโปรแกรมวงจรลงบนอุปกรณ์ FPGA
2) สามารถประยุกต์ใช้งานวงจร A/D และ D/A แบบ CVSD เพื่อนำไปใช้งานร่วมกับระบบการประมวลผลสัญญาณดิจิตอลที่จะสร้างขึ้นได้
3) สามารถนำวงจรเข้าและถอดรหัสที่ออกแบบบนอุปกรณ์ FPGA ไปประยุกต์ใช้งานกับระบบวิทยุสื่อสารได้

1.4 บล็อกไดอะแกรมของปริญญานิพนธ์

ปริญญานิพนธ์ฉบับนี้เป็นการสร้างอุปกรณ์เข้ารหัส – ถอดรหัสสัญญาณเคออติกแบบดิจิตอลเพื่อนำไปใช้งานร่วมกับวิทยุสื่อสารซึ่งมีส่วนประกอบต่างๆของอุปกรณ์ดังในรูปที่ 1.1



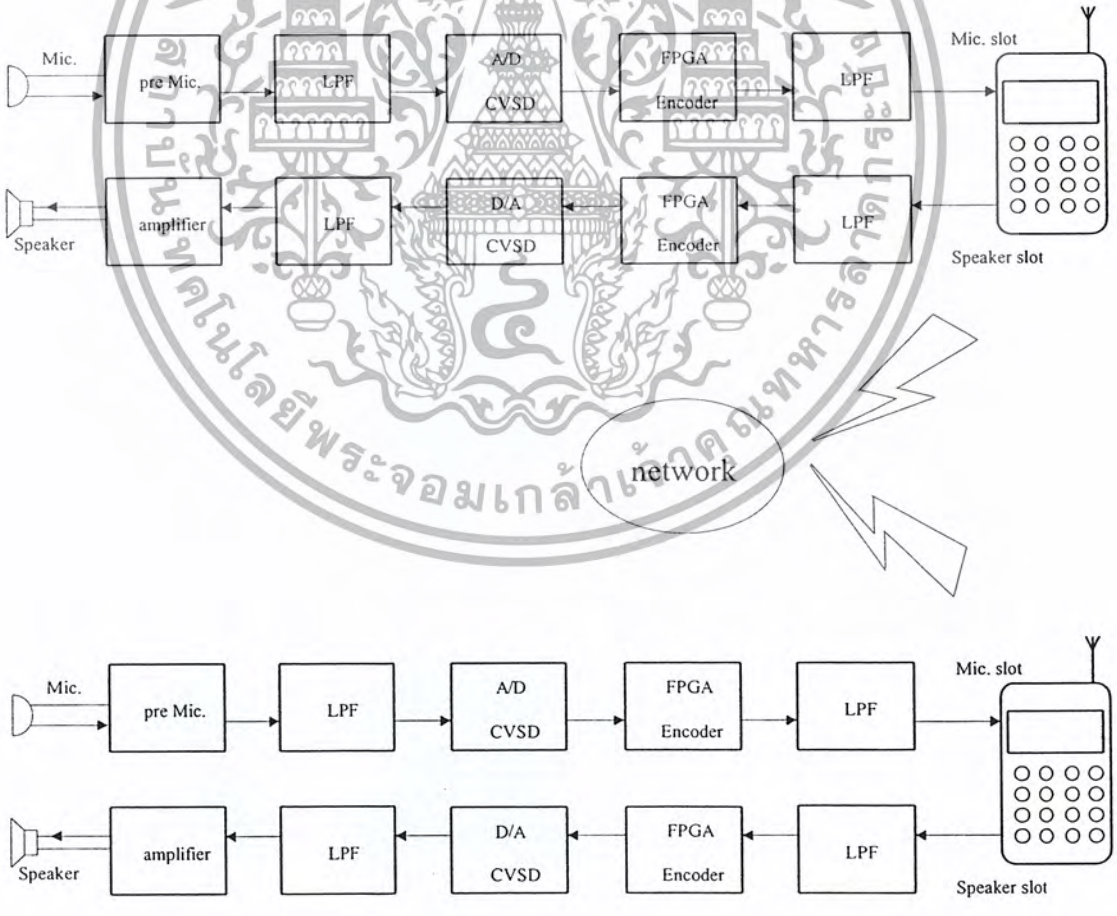
รูปที่ 1.1 บล็อกไดอะแกรมของปริญญานิพนธ์

รูปที่ 1.1 เป็นบล็อกไดอะแกรมของอุปกรณ์เข้ารหัส-ถอดรหัสเคออติกแบบดิจิตอลที่ต่อใช้งานร่วมกับวิทยุสื่อสาร ซึ่งวิทยุสื่อสารจะทำงานเป็นได้ทั้งเครื่องส่งและเครื่องรับ (transciever) โดยในการทำงานเป็นภาคส่งสัญญาณนั้นจะรับสัญญาณเสียงผ่านไมโครโฟนเข้ามา เพื่อทำการขยายสัญญาณที่วงจร pre Mic. ก่อนส่งสัญญาณเข้าสู่วงจรกรองความถี่ต่ำผ่านแบบอนาลอกเพื่อกรองเอาความถี่ที่ไม่ต้องการทิ้งไป และทำการแปลงสัญญาณอนาลอกที่ผ่านวงจรกรองความถี่ต่ำผ่านแบบอนาลอกมาแล้วไปเป็นสัญญาณดิจิตอลด้วยวงจร A/D แบบ CVSD เมื่อได้สัญญาณดิจิตอลเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ออกมาจากวงจร A/D แบบ CVSD แล้วก็จะส่งต่อให้ FPGA ทำการเข้ารหัสแบบดิจิตอลก่อนที่จะแปลงสัญญาณดิจิตอลที่เข้ารหัสแล้วเป็นอนาลอก เพื่อส่งสัญญาณอนาลอกที่ทำการเข้ารหัสแล้วออกวิทยุต่อไป

ส่วนในการทำงานเป็นภาครับ เมื่อวิทยุรับสัญญาณอนาลอกที่ผ่านการเข้ารหัสแล้วมาจะส่งให้วงจร A/D แบบ CVSD ทำการแปลงสัญญาณอนาลอกเป็นดิจิตอล เพื่อส่งสัญญาณดิจิตอลให้ FPGA ทำการถอดรหัสสัญญาณ หลังจากทำการถอดรหัสสัญญาณแล้วจะส่งสัญญาณดิจิตอลนั้นไปยังวงจร D/A แบบ CVSD เพื่อแปลงสัญญาณกลับเป็นอนาลอก ก่อนส่งสัญญาณอนาลอกเข้าวงจรกรองความถี่ต่ำผ่านแบบอนาลอก และผ่านวงจรขยายสัญญาณก่อนส่งออกลำโพงต่อไป โดยในการใช้งานเพื่อสื่อสารจริงอาจมีชุดอุปกรณ์ดังรูปที่ 1.1 สองชุดหรือมากกว่านั้นก็ได้ ซึ่งรูปที่ 1.2 แสดงการใช้งานชุดอุปกรณ์เข้ารหัส-ถอดรหัสสัญญาณเคออติกแบบดิจิตอลจำนวนสองชุด



รูปที่ 1.2 รูปแบบการสื่อสารของชุดอุปกรณ์เข้ารหัส-ถอดรหัสเคออติกแบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการที่เกี่ยวข้อง

ในบทนี้ได้กล่าวถึงความหมายของระบบเคออติก ทฤษฎีของวงจรกรองสัญญาณดิจิตอล เช่น การเกิดการล้นแบบส่วนเติมเต็มสอง ซึ่งเป็นลักษณะของการล้นภายในวงจรเข้ารหัสแบบเคออติก ค่าอัตสหสัมพันธ์ (autocorrelation) และ ฟังก์ชันความหนาแน่นความน่าจะเป็น (Probability Density Function : PDF) ที่จะใช้ในการดูคุณลักษณะของสัญญาณเคออติกในเชิงสถิติ และหลักการในการเขียนภาษา VHDL รวมถึงวงจรวงจรแปลงดิจิตอลเป็นอนาลอก วงจรแปลงอนาลอกเป็นดิจิตอลแบบ CVSD วงจรกรองความถี่ต่ำผ่านแบบอนาลอก และ วงจรขยาย ที่จะใช้ทำงานร่วมกันในปริญญานิพนธ์นี้ด้วย

2.1 กล่าวนำเกี่ยวกับระบบเคออติก

ทฤษฎีเคออส (chaos theory) เป็นทฤษฎีที่อธิบายถึงลักษณะพฤติกรรมของระบบพลวัต (ระบบที่มีการเปลี่ยนแปลงตามเวลาที่เปลี่ยนไป) โดยลักษณะการเปลี่ยนแปลงของระบบที่เรียกว่าเคออติกนี้ จะมีลักษณะที่ปั่นป่วนจนดูคล้ายว่าการเปลี่ยนแปลงนั้นเป็นแบบสุ่มหรือไร้ระเบียบ (random/stochastic) แต่จริง ๆแล้วระบบเคออติกนี้เป็นระบบแบบไม่สุ่ม หรือเป็นระบบที่มีระเบียบ (deterministic) ซึ่งในทางคณิตศาสตร์และฟิสิกส์ให้คำจำกัดความของระบบเคออติก ว่าระบบไม่เชิงเส้น (nonlinear system) ประเภทหนึ่งที่มีความไวต่อค่าเงื่อนไขเริ่มต้น เรามักจะได้ยินคำพูดที่นิยมพูดกันอย่างกว้างขวางว่า " เด็ดดอกไม้สะเทือนถึงดวงดาว " หรือ " ผีเสื้อขยับปีกทำให้เกิดพายุ " (จาก " butterfly effect ") จึงมีคนจำนวนไม่น้อยที่ตีความคำพูดนี้ในลักษณะของขนาดความรุนแรงของผลลัพธ์เท่านั้น ซึ่งในความจริงแล้วระบบเคออติกไม่จำเป็นต้องแตกต่างกันในแง่ขนาดของผลลัพธ์เสมอไป แต่อาจแตกต่างกันในแง่ของพฤติกรรมการเปลี่ยนแปลงก็ได้ ตัวอย่างเช่น ถ้ามีระบบอยู่สองระบบแล้วกำหนดให้ค่าเงื่อนไขเริ่มต้นต่างกันเพียงเล็กน้อย การเปลี่ยนแปลงของระบบทั้งสองนั้นจะมีลักษณะที่คล้ายคลึงกันมากในขณะเริ่มต้น แต่เมื่อเวลาผ่านไปการเปลี่ยนแปลงนั้นแทบจะเรียกได้ว่าไม่มีอะไรที่เหมือนกันเลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

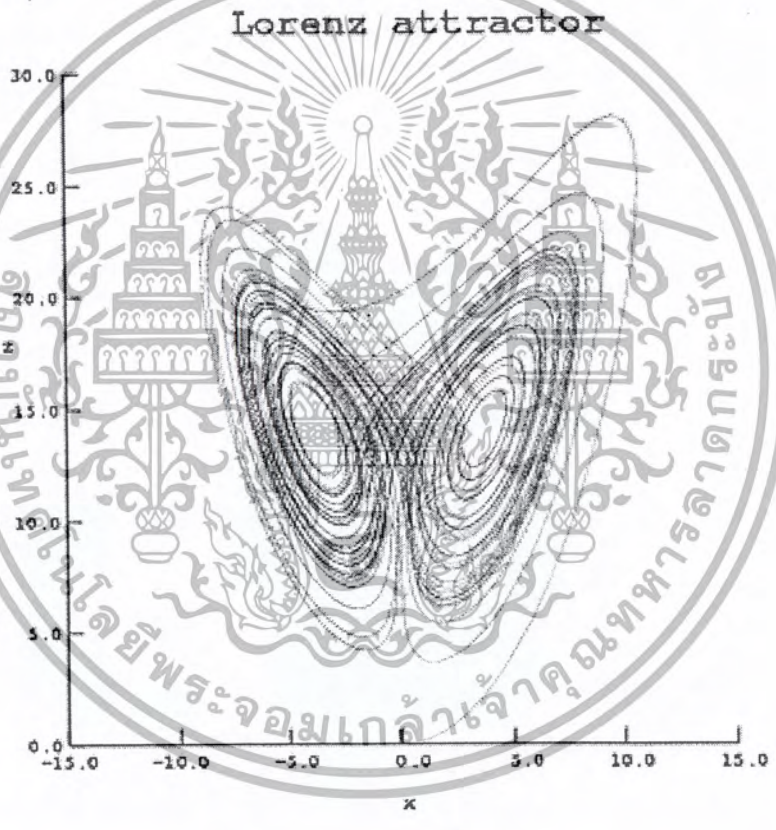
2.1.1 ประวัติของระบบเคออติก

จุดเริ่มต้นของทฤษฎีเคออสนี้สามารถสืบย้อนกลับไปได้ถึงในช่วงปี พ.ศ. 2443 (ค.ศ. 1900) จากการศึกษาปัญหาวงโคจรของวัตถุสามชิ้นในสนามแรงดึงดูดระหว่างกัน ซึ่งมีชื่อเรียกอย่างเป็นทางการว่า ปัญหาสามวัตถุ (three-body problem) โดย อองรี ปวงกาเร ซึ่งเขาได้ค้นพบว่าวงโคจรที่ศึกษานั้นอาจจะมีลักษณะที่ไม่ได้เป็นวงรอบ (periodic) คือไม่ได้มีทางวิ่งซ้ำเป็นวงรอบยิ่งไปกว่านั้นวงโคจรก็ไม่ได้ขยายวงออกไปเรื่อยๆ คือมีลักษณะที่ลู่เข้าหาจุดใดๆ ต่อมาได้มีการศึกษาถึงปัญหาสมการเชิงอนุพันธ์ไม่เป็นเชิงเส้นที่เกี่ยวข้อง โดยที่เบอร์คอฟ (G.D. Birkhoff) นั้นศึกษาปัญหาสามวัตถุ ดอลโมโกรอฟศึกษาปัญหาความปั่นป่วน (หรือ เทอร์บิวเลนซ์) และปัญหาเกี่ยวกับดาราศาสตร์ ส่วนคาร์ทไรท์ (M.L. Cartwright) และ ลิตเติลวูด (J.E. Littlewood) นั้นศึกษาปัญหาทางวิศวกรรมการสื่อสารด้วยคลื่นวิทยุ สเมล (Stephen Smale) อาจเป็นนักคณิตศาสตร์คนแรกที่ทำการศึกษาถึงปัญหาทางด้านพลศาสตร์ของระบบไม่เป็นเชิงเส้น แต่ก็ได้มีการสังเกตพบพฤติกรรมความอลวนในการเคลื่อนที่ของของไหล และในการออสซิลเลทแบบไม่เป็นวงรอบของวงจรวิทยุซึ่งไม่มีทฤษฎีใดในขณะนั้นสามารถอธิบายพฤติกรรมเหล่านี้ได้ ความตื่นตัวในการพัฒนาทฤษฎีเคออสนี้เกิดขึ้นในช่วงกลางของศตวรรษที่ 20 เมื่อเป็นที่รู้กันว่าทฤษฎีของระบบเชิงเส้นนั้นไม่สามารถใช้อธิบายพฤติกรรมบางอย่าง แม้กระทั่งพฤติกรรมของระบบที่ไม่ซับซ้อนอย่าง แมพลอจิสติก (Logistic map) และอีกปัจจัยหนึ่งที่ส่งผลให้พัฒนาการของทฤษฎีเคออสเป็นไปได้อย่างรวดเร็วก็คือ การใช้คอมพิวเตอร์ช่วยในการคำนวณทฤษฎีเคออส ซึ่งโดยส่วนใหญ่จะมีลักษณะที่เป็นการคำนวณค่าแบบซ้ำๆจากสูตรคณิตศาสตร์จึงสามารถใช้คอมพิวเตอร์ช่วยในการคำนวณได้อย่างมีประสิทธิภาพ

เอ็ดเวิร์ด ลอเรนซ์ (Edward Lorenz) เป็นผู้ริเริ่มบุกเบิกทฤษฎีเคออส เขาได้สังเกตพฤติกรรมแบบเคออสในขณะทำการทดลองทางด้านการพยากรณ์อากาศในปี ค.ศ. 1961 ลอเรนซ์ใช้คอมพิวเตอร์จำลองการทำงานแบบจำลองสภาพอากาศ ซึ่งในการคำนวณครั้งถัดมาเขาไม่ต้องการเริ่มจำลองการทำงานจากจุดเริ่มต้นใหม่เพื่อประหยัดเวลาในการคำนวณ เขาจึงใช้ข้อมูลในการคำนวณก่อนหน้านี้เพื่อเป็นค่าเริ่มต้น ปรากฏว่าค่าที่คำนวณได้มีความแตกต่างไปจากเดิมอย่างสิ้นเชิง เขาพบว่าสาเหตุเกิดจากการปัดเศษของค่าที่พิมพ์ออกมาจากค่าที่ใช้ในคอมพิวเตอร์ซึ่งมีค่าน้อยมากแต่สามารถนำไปสู่ความแตกต่างอย่างมากมายเรียกว่า ความไวต่อค่าเงื่อนไข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เริ่มต้น คำว่า "butterfly effect" ซึ่งเป็นคำที่นิยมใช้เมื่อกล่าวถึงทฤษฎีเคออสนั้นมีที่มาไม่ชัดเจน แต่เริ่มปรากฏแพร่หลายหลังจากการบรรยายของลอเรนซ์ในปี ค.ศ. 1972 ภายใต้ชื่อหัวข้อ "Does the Flap of a Butterfly's Wings in Brazil Set Off a Tornado in Texas?" นอกจากนี้แล้วยังอาจมีส่วนมาจากรูปที่ 2.1 ซึ่งเป็นรูปแนวโคจรของตัวดึงดูดลอเรนซ์ (Lorenz attractor) ที่มีรูปร่างคล้ายปีกผีเสื้อ ซึ่งเขาได้ตีพิมพ์ในบทความวิชาการก่อนหน้านี้ ส่วนคำว่า "chaos" (เคออส) บัญญัติขึ้นโดยนักคณิตศาสตร์ประยุกต์ เจมส์ เอ ยอร์ค (James A. Yorke)



รูปที่ 2.1 แนวโคจรของตัวดึงดูดลอเรนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.2 นิยามของเคออส

เคออสตามนิยามในพจนานุกรมหมายถึง ความสับสนวุ่นวายไร้ระเบียบแต่เคออสที่ศึกษาในปริญญานิพนธ์นี้ ศึกษาเกี่ยวกับเคออสทางคณิตศาสตร์ในระบบที่กำหนดได้ (deterministic chaos) โดยพฤติกรรมแบบเคออส (chaos behavior) เป็นพฤติกรรมที่ดูไร้ระเบียบเหมือนว่าเกิดขึ้นอย่างสุ่มเอา (random) แต่ที่จริงเป็นพฤติกรรมที่กำหนดได้ และแฝงไปด้วยความเป็นระเบียบ (order) จุดเด่นที่สำคัญอีกอย่างหนึ่งของทฤษฎีเคออสก็คือ ระบบที่ประพฤติตัวแบบเคออสจะไวต่อการเปลี่ยนแปลงของค่าเงื่อนไขเริ่มต้น (sensitivity dependent on initial condition) ทำให้ไม่สามารถทำนายระบบเคออติกได้ในระยะยาว (long-term unpredictable)

2.1.3 คุณลักษณะของเคออส

มีคุณสมบัติแบบไม่เป็นเชิงเส้นคือ ระบบแบบไม่เป็นเชิงเส้นผลลัพธ์ของระบบทั้งหมดจะไม่เท่ากับผลรวมของผลลัพธ์ของระบบย่อยๆรวมกัน (โดยอาจจะมากหรือน้อยก็ได้) แต่มีข้อพึงระวังก็คือ การที่กล่าวว่าระบบเคออติกทุกระบบจะต้องเป็นระบบที่ไม่เป็นเชิงเส้นนั้นไม่ได้หมายความว่าระบบที่ไม่เป็นเชิงเส้นทุกระบบจะเป็นระบบเคออติกเสมอไป

ไม่ใช่ระบบที่เกิดขึ้นแบบสุ่ม คือเป็นระบบที่สามารถกำหนดได้หรือกล่าวอีกแบบหนึ่งก็คือในระบบเคออติกนั้น พฤติกรรมทั้งหลายจะเกิดขึ้นภายใต้กฎเกณฑ์ที่แน่นอน ดังนั้นเหตุการณ์ที่ไม่สามารถทำนายล่วงหน้าได้อย่างเช่นการทอดลูกเต๋าจึงไม่ใช่ความเป็นเคออสแต่เป็นการสุ่ม เพื่อป้องกันการเข้าใจผิดว่าระบบเคออติกเป็นระบบแบบสุ่มจึงมีคนเรียกระบบเคออติกว่า deterministic chaotic

มีความไวต่อค่าเงื่อนไขเริ่มต้น (sensitivity to initial conditions) การที่ระบบมีค่าเงื่อนไขเริ่มต้นต่างกันเพียงนิดเดียวก็อาจจะทำให้ผลลัพธ์ของระบบในตอนสุดท้ายต่างกันอย่างมากมาย ซึ่งสาเหตุที่ทำให้ระบบเคออติกมีความไวต่อค่าเงื่อนไขเริ่มต้นนั้นก็เพราะว่ามันจะขยายความแตกต่างของผลลัพธ์ให้เพิ่มมากขึ้นอย่างรวดเร็วในระดับยกกำลังของเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไม่สามารถทำนายระบบล่วงหน้าในระยะยาวๆได้ (long-term prediction is impossible) ซึ่งเป็นผลสืบเนื่องจากความไวต่อค่าเงื่อนไขเริ่มต้น เพราะการที่ระบบไวต่อค่าเงื่อนไขเริ่มต้นนั้นจะทำให้เราไม่สามารถรู้ว่าระบบที่เราสนใจอยู่นั้นจะเป็นอย่างไรในระยะยาว แต่อย่างไรก็ตามคุณสมบัติข้อนี้ไม่ได้แปลว่าการทำนายระยะสั้น (short-term prediction) ของระบบแบบเคออติกจะเป็นสิ่งที่เป็นไปไม่ได้

การแสดงลักษณะคล้ายกับตัวเอง (self similarity) หรือที่เรียกว่า แฟรกตัล (fractal) ซึ่งในรูปที่ 2.2 แสดงรูปใบเฟิร์นที่ได้จากการพล็อตแฟรกตัล จากรูปจะเห็นว่าลักษณะของใบเฟิร์นใบใหญ่หนึ่งใบนั้นจะมีใบเล็กแยกออกมาอีกก้านละหนึ่งใบ และในก้านที่แยกออกมาก็จะมีใบเฟิร์นเล็กๆที่ยังมีลักษณะเหมือนใบใหญ่อยู่ ซึ่งความเหมือนนี้ไม่ว่าจะมองใบเฟิร์นหนึ่งใบใหญ่ ใบเฟิร์นในแต่ละก้าน หรือใบเฟิร์นเล็กๆที่อยู่ในก้านก็ยังคงมีลักษณะที่เหมือนกันอยู่ ซึ่งก็คือแฟรกตัลนั้นเอง โดยลักษณะนี้จะปรากฏขึ้นเมื่อเราพล็อตเส้นทางการเคลื่อนที่ของระบบในพิกัดที่บ่งบอกถึงสภาวะ (phase space) อย่างไรก็ตามแฟลกตัลนี้ไม่ได้เป็นเงื่อนไขที่จำเป็นในการเกิดเคออสแต่อย่างใด เพียงแต่มักพบร่วมกันบ่อยครั้งเท่านั้น

รูปที่ 2.2 ใบเฟิร์นที่ได้จากการพล็อตแฟรกตัล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจรกรองดิจิตอล

วงจรกรองดิจิตอลคือ กระบวนการเชิงเลข (numerical procedure) ซึ่งเปลี่ยนลำดับของจำนวนๆหนึ่งเข้าไปสู่อีกลำดับหนึ่งที่มีคุณสมบัติตามที่ต้องการ เช่น การลดสัญญาณรบกวน เป็นต้น โดยวงจรกรองดิจิตอลจะทำการเปลี่ยนลำดับสัญญาณอินพุต $x(n)$ เป็นลำดับสัญญาณเอาต์พุต $y(n)$ โดย n แสดงถึงดัชนี (index) ของลำดับสัญญาณ ซึ่งโดยปกติจะเป็นเลขจำนวนเต็ม และลำดับสัญญาณเอาต์พุตของวงจรกรองดิจิตอลที่ต้องการจะขึ้นอยู่กับการประยุกต์ใช้งาน ตัวอย่างเช่น ถ้าลำดับสัญญาณอินพุตถูกสร้างมาจากอุปกรณ์เซนเซอร์เช่น จากไมโครโฟน วงจรกรองดิจิตอลจะพยายามผลิตลำดับสัญญาณเอาต์พุตที่มีสัญญาณรบกวนต่ำลง ส่วนในระบบเรดาห์ วงจรกรองดิจิตอลจะถูกใช้ในการปรับปรุงการตรวจจับอากาศยานเป็นต้น และได้มีการประยุกต์วงจรกรองดิจิตอลในการใช้งานด้านการเข้ารหัสเพื่อรักษาความลับของข้อมูล โดยทำให้วงจรกรองดิจิตอลเกิดการล้นแบบไม่เป็นเชิงเส้น

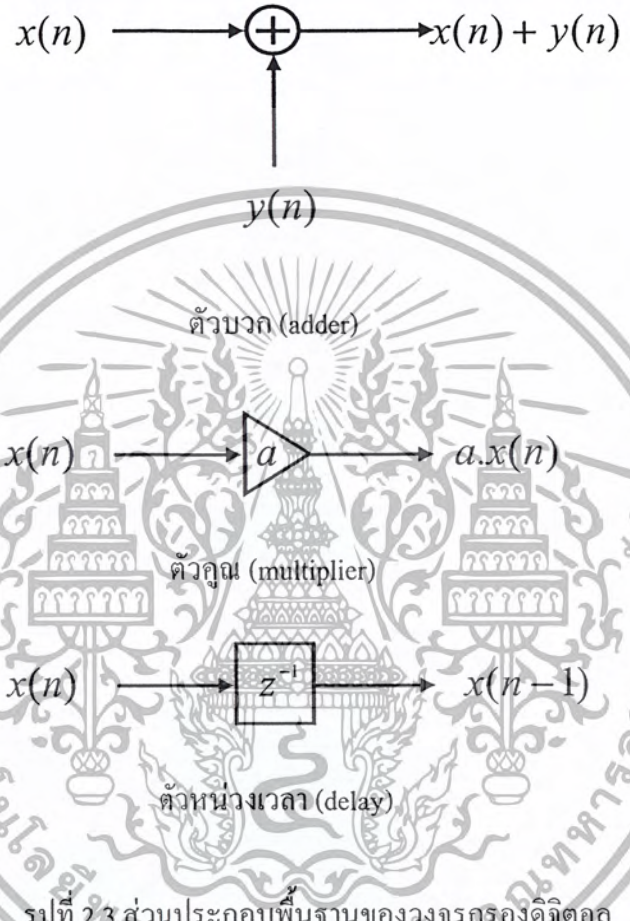
2.2.1 ส่วนประกอบของวงจรกรองดิจิตอล

วงจรกรองดิจิตอลประกอบด้วยการเชื่อมต่อของของอุปกรณ์พื้นฐาน 3 แบบด้วยกัน คือ ตัวบวก (adder) ตัวคูณ (multiplier) และตัวหน่วงเวลา (unit delay) ซึ่งแสดงในรูปที่ 2.3 โดยตัวบวกและตัวคูณเป็นอุปกรณ์พื้นฐาน ซึ่งมีในหน่วยคำนวณและตรรกะของคอมพิวเตอร์ ส่วนตัวหน่วงเวลาเป็นอุปกรณ์สำหรับการเข้าถึงค่าในอดีตของลำดับข้อมูล

โดยปกติตัวหน่วงเวลาจะถูกสร้างด้วยรีจีสเตอร์หน่วยความจำ สามารถเก็บค่าในปัจจุบันของลำดับข้อมูลในช่วงเวลาหนึ่ง ตัวหน่วงเวลาจะถูกแสดงด้วยกล่องสี่เหลี่ยมที่มีเครื่องหมาย z^{-1} ส่วนตัวล่วงหน้าเวลา (unit advance) จะถูกใช้เมื่อต้องการค่าในอนาคตของลำดับข้อมูลโดยจะถูกแสดงด้วยกล่องสี่เหลี่ยมที่มีเครื่องหมาย z ซึ่งจะถูกนำไปใช้กับงานบางอย่าง เช่น การประมวลผลสัญญาณภาพ (image processing) ซึ่งข้อมูลทั้งหมดที่จะทำการประมวลผลมีพร้อมอยู่แล้วในขั้นตอนเริ่มต้นของการประมวลผล เพราะฉะนั้นตัวล่วงหน้าเวลาจะไม่สามารถใช้ได้กับงานบางอย่างเช่น งานที่ลำดับข้อมูลได้มาจากการสุ่มตัวอย่างของฟังก์ชันทางเวลา ซึ่งแต่ละ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างจะถูกประมวลผลทันที (real-time processing) เมื่อรับข้อมูลเข้ามา ดังนั้นตัวล่วงหน้าเวลาจะใช้ไม่ได้เนื่องจากไม่สามารถรับค่าของข้อมูลในอนาคตเข้ามาได้



รูปที่ 2.3 ส่วนประกอบพื้นฐานของวงจรกรองดิจิตอล

ต่อไปนี้เป็นตัวอย่างของวงจรกรองดิจิตอลที่ถูกใช้เป็นตัวหาค่าเฉลี่ยของตัวอย่าง (sample) 3 ตัวอย่าง โดยจะพิจารณาถึงความสัมพันธ์ระหว่างค่าของลำดับเอาต์พุตที่เวลา n ซึ่งแสดงโดย $y(n)$ และค่าของลำดับอินพุตซึ่งแสดงโดย $x(n-1)$ $x(n)$ และ $x(n+1)$ จะได้ความสัมพันธ์ดังสมการที่ (2.1)

$$y(n)=\frac{1}{3}[x(n+1)+x(n)+x(n-1)] \tag{2.1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.1) $y(n)$ คือค่าของเอาต์พุตปัจจุบัน จะเท่ากับการเฉลี่ยค่าอินพุตในอดีต $x(n-1)$ ค่าอินพุตในปัจจุบัน $x(n)$ และค่าอินพุตในอนาคต $x(n+1)$ โดยตัวล่วงหน้าเวลาจะใช้ในการเข้าถึงลำดับข้อมูลในอนาคต ในขณะที่ตัวหน่วงเวลาจะใช้กับข้อมูลในอดีต และสามารถรวมข้อมูลเข้าด้วยกันโดยใช้ตัวบวก และถ้าเอาต์พุตของวงจรกรองเป็นฟังก์ชันเฉพาะลำดับอินพุตเราจะเรียกวงจรกรองรูปแบบนี้ว่าเป็นวงจรกรองแบบไม่ป้อนกลับ (nonrecursive filter) แต่ถ้าเอาต์พุตของวงจรกรองเป็นฟังก์ชันของทั้งลำดับอินพุตและเอาต์พุตจะเรียกวงจรกรองนั้นว่าเป็นวงจรกรองแบบป้อนกลับ (recursive filter)

2.2.2 ระบบตัวเลขในการประมวลผลของวงจรดิจิตอล

ในระบบคอมพิวเตอร์หรือโครงสร้างฮาร์ดแวร์ของระบบดิจิตอลอื่นๆ เช่นวงจรกรองดิจิตอล ตัวเลขจะถูกแสดงด้วยการรวมกันของเลขฐานสอง (binary digit or bit) ที่มีจำนวนจำกัดซึ่งจะมีค่า 1 และ 0 โดยบิตเหล่านี้ปกติจะถูกจัดให้อยู่ในรูปแบบของไบต์ (byte) ซึ่งประกอบด้วย 8 บิต โดยในระบบดิจิตอลจะมีรูปแบบในการแสดงตัวเลขอยู่ 2 รูปแบบด้วยกัน รูปแบบแรกคือ ระบบจำนวนโดยตรง ซึ่งเป็นระบบตัวเลขที่มีจำนวนจุดทศนิยมคงที่และรูปแบบที่สองคือ ระบบจำนวนอิงดรรชนี ซึ่งเป็นระบบตัวเลขที่มีจำนวนตำแหน่งจุดทศนิยมลอยตัว ซึ่งในวงจรเข้ารหัสเดออดิกแบบดิจิตอลจะใช้การคำนวณในรูปแบบของระบบจำนวนโดยตรง

2.2.2.1 ระบบจำนวนโดยตรง

ในระบบจำนวนโดยตรง จุดทศนิยมของเลขฐาน 2 (binary point) ที่แบ่งระหว่างจำนวนเต็ม (integer) และจำนวนทศนิยม (Fraction) จะถูกจำกัดให้คงที่อยู่โดยบิตแรกจะเรียกว่า (sign bit) ใช้ในการแสดงเครื่องหมายของตัวเลข โดยถ้าเป็นเครื่องหมายบวกจะแทนด้วน 0 และถ้าเป็นเครื่องหมายลบจะแทนด้วย 1 ซึ่งขนาดของตัวเลขจะแสดงในรูปแบบการยกกำลังของเลข 2 โดยหน้าจุดทศนิยมจะมีกำลังเป็นบวกรวมกำลัง 0 ด้วย และหลังจุดทศนิยมจะมีกำลังเป็นลบ ดังตัวอย่างการหาค่าจำนวนเต็มของเลขฐานสอง 01.101_2 ดังสมการที่ (2.2)

$$01.101_2 = (+)(1\times 2^0) + (1\times 2^{-1}) + (0\times 2^{-2}) + (1\times 2^{-3}) = 1.625_{10} \qquad (2.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความเที่ยงตรงของระบบตัวเลขจะถูกกำหนดโดยบิตที่อยู่ทางขวาสุดหรือบิตนัยสำคัญต่ำสุด (least significant bit) ส่วนขอบเขต (range) ของระบบตัวเลขจะนิยามโดยช่วงระหว่างจำนวนเลขลบมากที่สุดที่สามารถแสดงได้ ซึ่งจุดทศนิยมจะเป็นตัวกำหนดความเที่ยงตรงและ ขอบเขตของระบบตัวเลข เมื่อกำหนดจุดทศนิยมให้อยู่ทางขวาสุดรูปแบบบิตจะมีเพียงเลขจำนวนเต็มและไม่มีเลขทศนิยม

2.2.2.2 ส่วนเติมเต็มสอง

ส่วนเติมเต็มสองเป็นรูปแบบหนึ่งในการแสดงตัวเลขของระบบจำนวนโดยตรง เนื่องจากมีประสิทธิภาพในการคำนวณ โดยรูปแบบบิตของจำนวนเลขลบ จะได้มาจากขนาดของจำนวนเลขบวก หลังจากนั้นบิตแต่ละตัวจะถูกสลับค่า และบิต "1" จะถูกบวกเข้าไปกับบิตนัยสำคัญต่ำสุด

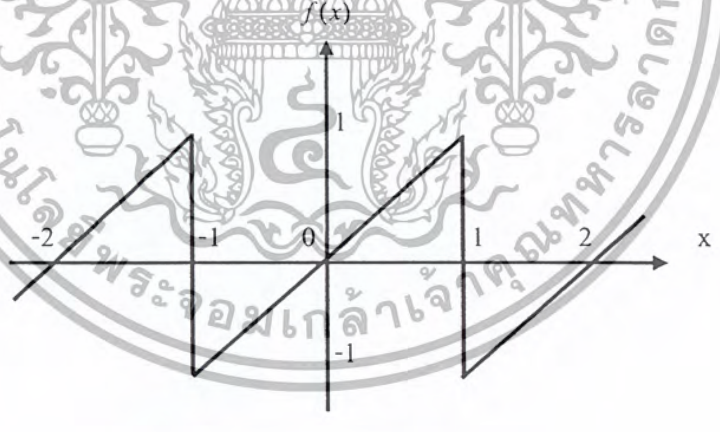
2.2.3 ความคลาดเคลื่อนจากการใช้ระบบจำนวนโดยตรง

เมื่อนำระบบจำนวนโดยตรงมาใช้แทนค่าสัญญาณหรือนำมาใช้ในการประมวลผลของวงจรกรองดิจิตอลจะมีความคลาดเคลื่อนเกิดขึ้น โดยจะยกตัวอย่างการแปลงเลขฐานสิบไปเป็นเลขฐานสองของจำนวนลบมาอธิบาย ซึ่งเลขจำนวนลบที่จะทำการแปลงได้แก่ -6.86_{10} เมื่อทำการแปลงขนาดของเลขฐานสิบไปเป็นเลขฐานสองได้ $6.86_{10} = 0110.1110_2$ จากนั้นทำการสลับค่าบิตต่อบิตได้ 1001.0001_2 แล้วทำการบวกค่า 0.0001_2 เข้าไปจะได้ว่า $-6.86_{10} = 1001.0010_2 (= -6.875_{10})$ ซึ่งจะเห็นว่าค่าที่ได้ออกมานั้นมีความคลาดเคลื่อนไปจากค่าเดิม โดยความคลาดเคลื่อนที่เกิดขึ้นอาจเกิดจากความผิดพลาดจากการจัดลำดับสัญญาณ (quantization error) หรือความคลาดเคลื่อนที่เกิดจากการล้น (overflow) แต่ในที่นี้จะให้ความสัมพันธ์เฉพาะความคลาดเคลื่อนจากการล้นเท่านั้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความคลาดเคลื่อนจากการล้น หมายถึงการที่ผลลัพธ์ที่ได้จากการประมวลผล มีค่ามากเกินกว่าขอบเขตที่สามารถแทนค่าในระบบจำนวนโดยตรงได้ โดยการล้นที่จะกล่าวนี้เป็นการล้นที่เกิดจากการบวก โดยจะพิจารณาการล้นที่เกิดกับผลลัพธ์ของการบวกเลขในระบบส่วนเติมเต็มสอง ซึ่งตัวอย่างของการเกิดการล้นมีดังนี้ ให้ตัวตั้งเป็น 0100 (= 4) และตัวบวก 0100 เช่นกัน ซึ่งเมื่อบวกกันควรจะได้ผลลัพธ์เป็น 8 จึงจะถูกต้องแต่ผลลัพธ์ที่ได้ไม่สามารถแทนค่าได้ในขอบเขตระหว่าง -8 ถึง 7 ดังนั้นการล้นจึงเกิดขึ้น ซึ่งผลลัพธ์ที่ได้จากการเกิดการล้น คือ 1000 (= −8)

จากการเกิดการล้นแบบส่วนเติมเต็มสอง สามารถนำมาพล็อตเป็นกราฟได้ดังรูปที่ 2.4 ซึ่งเป็นกราฟแสดงค่าที่เกิดจากการบวกเลขฐานสอง 8 บิต โดยแกนนอนแสดงค่าที่ถูกต้องที่เกิดจากการบวก ส่วนแกนตั้งแสดงค่าที่เกิดจากการล้น ซึ่งทั้งสองแกนได้แปลงเป็นเลขฐานสิบ จากกราฟจะเห็นว่าการล้นแบบส่วนเติมเต็มสองจะทำให้ผลลัพธ์ที่ได้เปลี่ยนไปมาก ดังนั้นเมื่อเกิดการล้นวงจรกรองดิจิตอลจะผลลัพธ์ที่ผิด



รูปที่ 2.4 การล้นแบบส่วนเติมเต็มสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 อัตสหสัมพันธ์

อัตสหสัมพันธ์ (autocorrelation) เป็นสิ่งบอกถึงความเหมือนกันหรือความคล้ายคลึงกันระหว่างสัญญาณสุ่มตัวแปรเดียวกัน ตัวอย่างเช่นการหาค่าสหสัมพันธ์ของ $x_1(1)$ และ $x_1(4)$ ดังรูปที่ 2.5

รูปที่ 2.5 ค่า $x_1(n)$ ที่เวลา n ต่างกัน

จากรูปที่ 2.5 การหาค่าสหสัมพันธ์ของ $r_{xx}(n,m)$ นี้ เป็นการหาความสัมพันธ์ระหว่างสัญญาณ $x_1(1)$ และ $x_1(4)$ แต่ทั้งคู่เป็น x_1 เหมือนกัน ดังนั้นเราจึงเรียก $r_{xx}(n,m)$ ว่าเป็นอัตสหสัมพันธ์ (autocorrelation) ของ x_1 ซึ่งสามารถหาค่าอัตสหสัมพันธ์ได้จากสมการที่ (2.3)

$$r_{XX}(n.m) = \lim_{N\to\infty} \frac{1}{N} \sum_{i=1}^{N} x_i(n) x_i(m) \qquad (2.3)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 ฟังก์ชันความหนาแน่นความน่าจะเป็น

ในการประมวลผลสัญญาณดิจิตอล (digital signal processing) นั้น สัญญาณ (signal) หมายถึง ข้อมูลที่มาจากการสังเกตการณ์หรือเป็นผลที่ได้มาจากการวัด ซึ่งสัญญาณพื้นฐานในการประมวลผลสัญญาณดิจิตอลนั้นสามารถสังเคราะห์ (synthesis) ขึ้นได้ด้วยตัวกำเนิดสัญญาณ (signal generator) โดยสัญญาณจะมีลักษณะเป็นคาบ (periodic signals) เช่น สัญญาณไซน์ $s(t)$ ถูกสร้างจากฟังก์ชั่น $s(t) = \sin(2\pi ft)$ เป็นต้น โดยสามารถกำหนดให้สัญญาณมีคุณสมบัติต่างๆ เช่น ขนาด (amplitude) ความถี่ (frequency) และ เฟส (phase) ได้ตามต้องการ ส่วนการวิเคราะห์ (analysis) สัญญาณพื้นฐาน สามารถทำได้โดยการแปลงฟูเรียร์ (fourier transform) เพื่อแยกความถี่ย่อยที่อยู่ในสัญญาณนั้นๆ

ส่วนสัญญาณที่ไม่ใช่สัญญาณพื้นฐานไม่มีคาบ และไม่สามารถสร้างขึ้นได้จากฟังก์ชันนั้น ส่วนใหญ่จะเป็นสัญญาณที่พบจริงๆในธรรมชาติ เช่น เสียงของคน เป็นต้น โดยเราจะเรียกสัญญาณพวกนี้ว่า สัญญาณสุ่ม (random signals) เนื่องจากเราไม่สามารถสร้างสัญญาณสุ่มขึ้นมาจากฟังก์ชันได้ ดังนั้นการอธิบายโครงสร้างของสัญญาณสุ่มจึงต้องอาศัยคุณสมบัติของความน่าจะเป็น (probability) มาช่วยในการใช้อธิบาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

2.5 ภาษา VHDL

VHDL (Very high speed integrated circuit Hardware Discription Languange) เป็นภาษาที่ใช้บรรยายพฤติกรรมการทำงานของวงจร ซึ่งในที่นี้จะใช้บรรยายพฤติกรรมการทำงานของวงจรเข้ารหัสและถอดรหัสสัญญาณเคออติกแบบดิจิตอลที่โปรแกรมลงบนอุปกรณ์ FPGA

2.5.1 องค์ประกอบพื้นฐานของภาษา VHDL

รูปแบบพื้นฐานที่ใช้ในการบรรยายถึงองค์ประกอบของ VHDL จะประกอบไปด้วยส่วนกำหนดการเชื่อมต่อ (interface) และส่วนกำหนดลักษณะเชิงสถาปัตยกรรม (architecture) โดยในการบรรยายการเชื่อมต่อจะขึ้นต้นด้วยคำว่า ENTITY แล้วตามด้วยชื่อขององค์ประกอบ จากนั้นตามด้วยคำว่า IS และถัดมาจะเป็นการบรรยายถึงพอร์ตการติดต่อ อินพุท - เอาท์พุทขององค์ประกอบ ในส่วนของการกำหนดลักษณะเชิงสถาปัตยกรรมจะขึ้นต้นด้วยคำว่า ARCHITECTURE ซึ่งเป็นส่วนที่ใช้บรรยายหน้าที่การทำงานขององค์ประกอบ โดยหน้าที่การทำงานนี้จะขึ้นอยู่กับสัญญาณอินพุท - เอาท์พุทและพารามิเตอร์อื่นๆ ที่ได้กำหนดไว้ในส่วนของการเชื่อมต่อดังรูปที่ 2.6 และสำหรับการบรรยายหน้าที่ขององค์ประกอบจะเริ่มต้นหลังจากคำว่า BEGIN เป็นต้นไป

```
ENTITY component_name IS
    Input and output ports
    Physical and other parameters
END [component_name];

ARCHITECTURE identifier OF component_name IS
    [declaration]
BEGIN
    Specification of the functionality of component
    in terms of its input lines and as influenced
    by physical and other parameters
END [identifier];
```

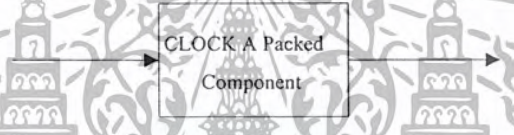
รูปที่ 2.6 การกำหนดการเชื่อมต่อและสถาปัตยกรรมของภาษา VHDL

115160

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.1.1 การกำหนดการเชื่อมต่อ

การกำหนดการเชื่อมต่อเป็นระดับบนสุดของการออกแบบ โดยในระดับนี้ต้องกำหนดพอร์ตสำหรับการติดต่อกับองค์ประกอบภายนอกอื่นๆ ดังตัวอย่างในรูปที่ 2.7 ซึ่งเป็นบล็อกไดอะแกรม และการบรรยายการเชื่อมต่อขององค์ประกอบสำหรับตัวจ่าย สัญญาณนาฬิกาในบรรทัดแรกของการบรรยายการเชื่อมต่อเป็นการกำหนดชื่อขององค์ประกอบซึ่งกำหนดเป็น clock_ component ตามด้วยคำว่า PORT และชื่อของพอร์ตอยู่ภายในวงเล็บ ส่วน IN และ OUT เป็นการกำหนดโหนดของสัญญาณให้เป็นอินพุทหรือเอาท์พุทและ BIT เป็นการแสดงชนิดของข้อมูล




```
ENTITY component_name IS
        PORT (en : IN BIT; ck : OUT BIT);
END [clock_name];
```

รูปที่ 2.7 บล็อคไดอะแกรมและการบรรยายการเชื่อมต่อของ clock_component

2.5.1.2 การกำหนดรูปแบบการบรรยาย

หน้าที่การทำงานขององค์ประกอบจะถูกบรรยายภายในส่วนนี้ ซึ่งในการบรรยายสามารถกำหนดค่าของสัญญาณเอาท์พุทในเทอมของอินพุท หรือในรูปขององค์ประกอบอื่นๆ หรือทั้งสองอย่างรวมกันก็ได้ ดังตัวอย่างการบรรยายของ clock_component ในรูปที่ 2.8 ซึ่งเป็นการบรรยายในเชิงพฤติกรรมโดยมี en เป็นอินพุทและ ck เป็นเอาท์พุท PROCESS เป็นคำที่ใช้ในการเริ่มต้นสำหรับการบรรยายในเชิงพฤติกรรม และภายในโปรเซสกำหนดให้ periodic เป็นตัวแปรที่มีคำเริ่มต้นเป็น "0" ถ้าสัญญาณ en มีค่าเป็น "1"' จะทำให้ตัวแปร periodic ถูกคอมพลีเมนท์ (complement) และส่งค่าให้กับ ck ซึ่งเป็นสัญญาณเอาท์พุท และสำหรับคำสั่ง WAIT จะเป็นการกำหนดให้สัญญาณมีคาบเวลาเท่ากับ 1 ไมโครวินาที

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
ARCHITECTURE behavioral OF clock_component IS

BEGIN
   PROCESS
       VARIABLE periodic : BIT = '0';PORT(en:IN BIT;ck:OUT BIT);
   BEGIN
       IF en = '1' THEN
       periodic := Not periodic ;
       END IF ;
       ck <= periodic ;
       WAIT FOR 1 US;
   END PROCESS ;
END behaviorai ;
```

รูปที่ 2.8 การบรรยายเชิงพฤติกรรมของ clock _ component

2.5.1.3 หน่วยการออกแบบแพ็กเกจ

ข้อมูลต่างๆตลอดจนโปรแกรมย่อยที่เป็นประโยชน์ต่อการเขียนรูปแบบการบรรยายระบบดิจิตอล สามารถเก็บไว้ในส่วนของแพ็กเกจซึ่งหน่วยการออกแบบต่างๆ เช่น หน่วยการออกแบบ entity หน่วยการออกแบบสถาปัตยกรรมหรือ หน่วยการออกแบบแพ็กเกจอื่นๆ สามารถเรียกข้อมูลเหล่านี้ไปใช้ได้นอกจากนั้นสิ่งที่นิยมทำกันมากคือการนำรูปแบบมาตรฐานต่างๆ เช่น อุปกรณ์มาตรฐาน (ไอซีตระกูล 74XX เป็นต้น) มาเก็บไว้ในรูปของแพ็กเกจที่ทุกคนสามารถเข้าถึงได้ ตามปกติแล้วแพ็กเกจจะแบ่งออกเป็น 2 ส่วนคือ การประกาศแพ็กเกจ (package declaration) และส่วนของบอดี้แพ็กเกจ (package body) เนื่องจาก แพ็กเกจถูกสร้างขึ้นเป็นส่วนแยกต่างหากออกจากรูปแบบที่กำลังเขียนอยู่ ฉะนั้นการที่นำแพ็คเกจไปใช้นั้นจะต้องมีการเชื่อมโยงหรืออ้างอิงเสียก่อน

package declaration ส่วนที่มีความสำคัญที่สุดของแพ็กเกจ (ถ้ามองในแง่ของการนำไปใช้จากภายนอก) ได้แก่ส่วนการประกาศแพ็กเกจ เนื่องจากเป็นส่วนที่ใช้กำหนดชื่อของสิ่งที่ประกาศอยู่ภายในแพ็กเกจ สำหรับนำไปใช้ภายนอกตัวของแพ็กเกจเอง ถ้ามีการประกาศสิ่งใดๆ ในส่วนของบอดี้แพ็กเกจ แต่ไม่ถูกประกาศในส่วนการประกาศแพ็กเกจจะทำให้ค่าและพฤติกรรมไม่สามารถนำไปใช้งานในส่วนนอกได้ ซึ่งเปรียบเทียบได้กับสิ่งที่ประกาศไว้ในส่วนของการประกาศ entity คือ จุดเชื่อมต่อหรือ พอร์ตที่มีหน้าที่ติดต่อกับโลกภายนอก ฉะนั้นโดยทั่วไปแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แพ็กเกจสามารถสร้างขึ้นได้โดยไม่จำเป็นต้องมีส่วนบอดี้ และยังสามารถนำไปใช้งานจากรูปแบบภายนอกได้เช่น ใช้สำหรับประกาศชนิด (type) หรือสัญญาณ เช่นเดียวกับส่วนบอดี้แพ็กเกจที่ไม่จำเป็นต้องมีส่วนของการประกาศแพ็กเกจ แต่แพ็กเกจนั้นไม่สามารถนำไปใช้จากรูปแบบอื่นได้

โครงสร้างซึ่งประกอบด้วยลำดับคำสั่งที่ใช้บรรยายฟังก์ชันการทำงานของโปรแกรมย่อยทั้งหลาย ซึ่งชื่อของโปรแกรมย่อยนั้นๆได้ถูกประกาศไปแล้วในส่วนของการประกาศแพ็กเกจจะถูกเก็บไว้ในส่วนของบอดี้แพ็กเกจ ทั้งนี้รวมถึงการกำหนดค่าคงที่ต่างๆ อันได้แก่ค่าคงที่ที่ถูกประกาศชื่อไว้ก่อนในส่วนของการประกาศแพ็กเกจ และถูกกำหนดค่าในส่วนของบอดี้แพ็กเกจ ฉะนั้นในส่วนของบอดี้แพ็กเกจจึงไม่จำเป็นต้องมี ถ้าในส่วนของการประกาศแพ็กเกจไม่มีการประกาศชื่อที่เป็นโปรแกรมย่อย หรือค่าคงที่ การเขียนบอดี้แพ็กเกจนั้นจะเป็นไปตามกฎเกณฑ์ดังแสดงในรูปที่ 2.9

```
PACKAGE BODY package_name IS
    declarative part
END package_name ;
```

รูปที่ 2.9 โครงสร้างของบอดี้แพ็กเกจ

หน่วยการออกแบบ configuration ดังที่ทราบกันแล้วว่าระบบดิจิตอลรูปแบบหนึ่งไม่ว่าจะเป็นอะไรก็ตามจะสามารถมีหน่วยการออกแบบ entity ได้ เพียงหนึ่งเดียวเท่านั้น ซึ่งในหน่วยการออกแบบ entity หนึ่งหน่วยนี้อาจจะมีสถาปัตยกรรมที่เป็นหน่วยรองได้หลายหน่วย ดังนั้นจะต้องมีหน่วยการออกแบบ configuration มาเพื่อกำหนดการใช้ configuration ของการประกอบ entity กับหน่วยการออกแบบสถาปัตยกรรมหน่วยใดๆเข้าด้วยกัน

โปรแกรมย่อย การใช้ฟังก์ชันและโพรซีเจอร์ใน VHDL เปรียบได้กับการใช้โปรแกรมย่อยในการเขียนโปรแกรมภาษาชั้นสูงทั่วๆไป ค่าที่ถูกส่งกลับหรือถูกเปลี่ยนแปลงโดยโปรแกรมย่อย อาจจะมีหรือไม่มีผลต่อฮาร์ดแวร์โดยตรงก็ได้ เช่นถ้าใช้ฟังก์ชันแทนการกระทำในสมการบูลีน ก็จะมีผลต่อวงจรลอจิกจริงๆในขณะที่ถ้าใช้โปรแกรมย่อยในการเปลี่ยนชนิดของข้อมูล หรือในการคำนวณค่าการหน่วงเวลาแล้ว ก็จะไม่มีผลต่อโครงสร้างของฮาร์ดแวร์ รูปที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.10 แสดงการใช้โพรซีเจอร์เพื่อเปลี่ยนข้อมูลชนิด 8 บิตเป็นค่าจำนวนเต็ม และรูปที่ 2.11 แสดงการใช้ฟังก์ชันโดยกำหนดให้ X เป็นตัวแปรชนิดบิต แทนการกระทำในสมการบูลีน

```
TYPE byte IS ARRAY (7 downto 0) OF BIT ;

PROCEDURE byte_to_integer (ib: IN byte : oi : OUT INTEGER) IS
    VARIABLE result : INTEGER := 0;
BEGIN
    FOR I IN 0 TO 7 LOOP
        IF ib(i) = '1' THEN
        Result := result + 2**I ;
        END IF ;
    END LOOP;
    Oi :=result ;
END byte_to_integer
```

รูปที่ 2.10 การใช้โพรซีเจอร์

```
FUNCTION f(a,b,c : BIT) RETURN BIT IS
    VARIABLE x : BIT;
BEGIN
    x := ((NOT a) AND (NOT b) AND c) ;
    RETURN x ;
END f ;
```

รูปที่ 2.11 การใช้ฟังก์ชัน

โอเปอร์เรเตอร์ การบรรยายเชิงพฤติกรรมในภาษา VHDL มีตัวดำเนินการหรือโอเปอร์เรเตอร์ทางลอจิกและคณิตศาสตร์เช่นเดียวกับภาษาซอฟต์แวร์ทั่วไปดังรูปที่ 2.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PREDEFIND OPERATORS	
LOGICAL OPERATORS	:NOT AND OR NAND NOR XOR
OPERAND TYPE	:BIT BOOLEAN
RESULT TYPE	:BIT BOOLEAN
RELATIONAL OPERATORS	:= /= < <= > >=
OPERAND TYPE	:any type
RESULT TYPE	:Boolean
ARITHMATIC OPERATORS	:+-*//** MOD REM ABS
OPERAND TYPE	:INTEGER REAL physical
RESULT TYPE	:INTEGER REAL physical
CONCANTENATION OPERATOR	:&
OPERAND TYPE	:ARRAY of any type
RESULT TYPE	:array of any type
RESULT TYPE	:array of any type

รูปที่ 2.12 ตัวดำเนินการใน VHDL

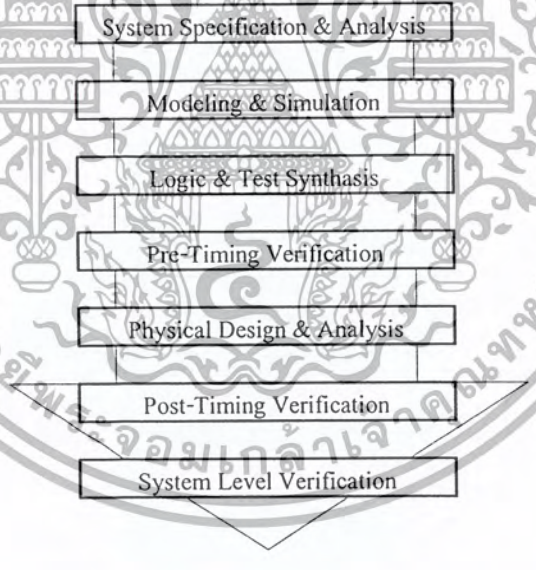
เวลาและความพร้อมเพรียง ในวงจรอิเล็กทรอนิกส์ อุปกรณ์ทุกๆตัวจะอยู่ในสภาพเตรียมพร้อมเสมอ (always active) และจะมีเรื่องของเวลาเข้ามาเกี่ยวข้องในทุกๆเหตุการณ์ที่เกิดขึ้นเสมอ VHDL เป็นภาษาที่ได้รับการออกแบบมาเพื่อให้สามารถบรรยายรูปแบบและการพ้องกันของเวลา สำหรับการทำงานของอุปกรณ์ได้อย่างถูกต้อง การบรรยายการทำงานที่อยู่ภายในส่วนของการบรรยายสถาปัตยกรรม จะมีการทำงานที่พร้อมเพรียงกันเสมอ หรือแม้แต่โปรเซสซึ่งมีการทำงานภายในเป็นแบบลำดับคำสั่งก็ตาม ซึ่งหากมีหลายๆโปรเซสอยู่ภายในโครงสร้างเดียวกัน ทุกๆโปรเซสก็จะทำงานไปพร้อมๆกันด้วย

สัญญาณและตัวแปรสัญญาณ มีลักษณะเป็นเสมือนตัวกลางฮาร์ดแวร์ ที่ใช้ในการส่งผ่านข้อมูลและมีเรื่องของเวลาเข้ามาเกี่ยวข้องด้วยการ กำหนดค่าให้กับสัญญาณจะใช้สัญลักษณ์ <= ในการส่งค่าและสามารถใช้คำสั่ง AFTER เพื่อกำหนดช่วงเวลาในการส่งผ่านค่าของสัญญาณ เช่น w <= a AFTER 12 ns หมายถึงการกำหนดค่าสัญญาณ a ให้กับ w หลังจากเวลาผ่านไป 12 นาโนวินาที ในทางตรงข้ามตัวแปรมีลักษณะเป็นเสมือนตัวกลาง ที่ใช้ในการส่งผ่านข้อมูล และไม่มีเรื่องของเวลาเข้ามาเกี่ยวข้องด้วย ซึ่งตัวแปรจะถูกใช้ในส่วนที่มีการทำงานเป็นแบบลำดับคำสั่งเช่นใน ฟังก์ชันโพรซีเจอร์ และโปรเซส สำหรับการกำหนดค่าให้กับตัวแปรจะใช้สัญลักษณ์ :=

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.2 การออกแบบจากบนลงล่าง

ในการพัฒนาวงจรรวมดิจิตอลขนาดใหญ่ที่มีความซับซ้อน วิศวกรหรือผู้ออกแบบมักจะมองการออกแบบให้อยู่ในรูปของ บล็อกไดอะแกรมก่อนที่ทำวิเคราะห์ให้ลึกถึงรายละเอียดต่อไป ซึ่งภาษา VHDL นั้นอนุญาตให้อธิบายและวิเคราะห์การทำงานของแต่ละบล็อก รวมถึงการปรับปรุงการทำงานจากผลที่วิเคราะห์ เพื่อให้ได้การทำงานตามต้องการ นอกจากนี้ยัง สามารถเพิ่มเติมในรายละเอียดในแต่ละขั้นตอนได้ ซึ่งหลักการออกแบบนี้เรียกว่า การออกแบบจากบนลงล่าง (top - down design) นั่นเอง ซึ่งหลักการออกแบบนี้ ทำให้วิศวกรสามารถออกแบบและพัฒนาวงจรที่มีความซับซ้อนได้มากขึ้น ทั้งยังช่วยลดเวลาและค่าใช้จ่ายในการออกแบบด้วย ซึ่งขั้นตอนของการออกแบบจากบนลงล่างแสดงดังรูปที่ 2.13



รูปที่ 2.13 ขั้นตอนการออกแบบจากบนลงล่าง

ทั้งนี้ในทางปฏิบัติอาจมีข้อแตกต่างไปจากนี้บ้างเล็กน้อย เนื่องจากขั้นตอนของการผลิต (implementation) สามารถกระทำได้หลายเทคโนโลยี สำหรับรายละเอียดของขั้นตอนการออกแบบจากบนลงล่างในแต่ละขั้นตอนมีดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) สร้างข้อกำหนดของความต้องการ และวิเคราะห์ระบบเพื่อหาแนวความคิดและหลักการ (idea and concept) ในการแก้ปัญหา
2) เขียนรูปแบบของระบบที่ต้องการออกแบบโดยใช้ภาษา VHDL หรือภาษา HDL อื่นๆสำหรับบรรยายพฤติกรรมการทำงานพร้อมทั้งจำลองการทำงาน เพื่อเปรียบเทียบและตรวจสอบความถูกต้องกับข้อกำหนด
3) หลังจากที่ได้หลักการขั้นต้นพร้อมแนวความคิดที่ผ่านการตรวจสอบแล้ว หลักการนี้จะถูกเพิ่มเติมในรายละเอียดลงมาเป็นลำดับขั้นที่สอง จนกระทั่งอยู่ในระดับที่จะนำไปผลิตหรือสังเคราะห์วงจรจริง ในขั้นตอนนี้เองเทคโนโลยีที่จะมารองรับวงจรที่ออกแบบจะถูกกำหนดขึ้น และระบบช่วยการออกแบบจะสังเคราะห์วงจรที่ได้จากรูปแบบที่เขียนขึ้นให้อยู่ในรูปของวงจรที่ประกอบด้วยอุปกรณ์อิเล็กทรอนิกส์ หรือวงจรในระดับเกท และการเชื่อมต่อระหว่างกันของอุปกรณ์เหล่านั้นหรือไม่ก็อยู่ในรูปของ netlist ที่สามารถนำไปผลิตในอุปกรณ์อื่นได้
4) หลังจากการสังเคราะห์วงจรให้อยู่ในระดับเกทหรือ netlist แล้ว ข้อมูลนี้จะถูกใช้สำหรับจำลองการทำงาน ในเรื่องความถูกต้องของฟังก์ชัน พร้อมกับนำข้อมูลที่เกี่ยวข้องกับเวลาเข้ามาประกอบการพิจารณาด้วย ซึ่งตามปกติแล้วอุปกรณ์ทางอิเล็กทรอนิกส์ทุกชิ้น จะมีเวลาหน่วงของการแพร่กระจาย (propagation delay time) เสมอ ถึงแม้ว่าจะเป็นเวลาที่น้อยมากในระดับนาโนวินาทีก็ตาม แต่ถ้าภายในวงจรหนึ่งประกอบด้วยเกทของฟังก์ชันต่างๆ จำนวน 10,000 เกทขึ้นไป เวลาดังกล่าวนี้จะสะสมกันมากขึ้น จนอาจทำให้การทำงานของวงจรรวมทั้งหมดผิดพลาดไปหรือไม่สามารถทำงานในย่านความถี่สัญญาณนาฬิกาที่สูงได้
5) ผลิตเป็นวงจรจริง (technology and device mapping) โดยนำข้อมูลที่ได้จากการสังเคราะห์มาผลิต ซึ่งอาจจะอยู่ในรูปของแผงวงจรไฟฟ้าที่ประกอบด้วยอุปกรณ์หลายๆชิ้นหรืออยู่ในรูปของวงจรรวม ASIC
6) ทำการตรวจสอบการทำงาน และตัวแปรทางด้านเวลาทั้งหมด เพื่อความถูกต้องของวงจรเป็นครั้งสุดท้าย ก่อนนำไปรวมเข้ากับอุปกรณ์อื่นๆให้เป็นระบบดิจิตอล เนื่องจากในขั้นตอนนี้วงจรที่ออกแบบจะประกอบด้วย จุดต่อทางอินพุทและเอาท์พุท ซึ่งเป็นจุดต่อสำหรับการรับและส่งสัญญาณกับภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7) นำวงจรที่ออกแบบไว้ประกอบเข้ากับอุปกรณ์อื่นๆ ให้เป็นระบบที่สมบูรณ์ แล้วทำการทดสอบการทำงานทั้งระบบร่วมกับอุปกรณ์อื่นๆอีกครั้ง เพื่อควบคุมคุณภาพของผลิตภัณฑ์

2.6 Delta Modulation

เดลต้ามอดูเลชั่นเป็นเทคนิคของการมอดูเลตอย่างหนึ่ง ที่เปลี่ยนสัญญาณอนาลอกเป็นสัญญาณดิจิตอล โดยการเข้ารหัสเป็นเลขไบนารี เดลต้ามอดูเลชั่นมีข้อดีคือ วงจรมีความยุ่งยากน้อยแต่มีความยืดหยุ่นสูง ซึ่งใช้การเข้ารหัสแบบดิฟเฟอเรนเชียล (differential encoding) คือการกำหนดระดับแอมปลิจูดของสัญญาณ ขณะเดียวกันก็เข้ารหัสจากระดับสัญญาณที่มีการเปลี่ยนแปลง แทนที่จะเข้ารหัสจากสัญญาณที่สุ่มตัวมาดังรูปที่ 2.14

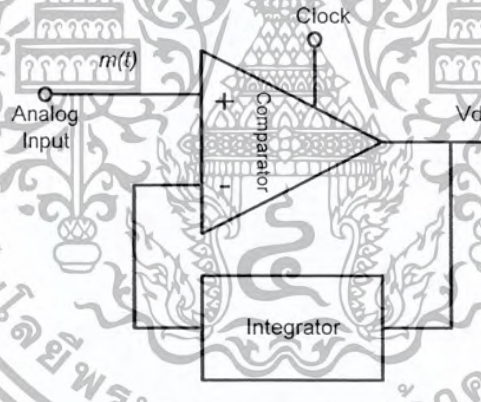
รูปที่ 2.14 การเข้ารหัสแบบ differential encoding ของระบบ delta modulation

ต่อไปจะกล่าวถึงการทำงานของระบบเดลต้ามอดูเลชั่นอย่างกว้างๆซึ่งแบ่งออกเป็น 3 รูปแบบดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.1 Linear Delta Modulation (LDM)

จากรูปที่ 2.14 สัญญาณอนาลอกถูกประมาณค่าโดยสัญญาณอินทิเกรเตอร์เอาต์พุต เพื่อดูว่าระดับสัญญาณอนาลอกกำลังเพิ่มสูงขึ้นหรือลดต่ำลง ในขณะเดียวกันมอดูเลเตอร์ก็จะให้สัญญาณดิจิตอลเอาต์พุต โดยสัญญาณดิจิตอลเอาต์พุตจะแสดงให้เห็นว่า สัญญาณอินทิเกรเตอร์เอาต์พุตเพิ่มสูงขึ้นหรือลดต่ำลง ถ้าสัญญาณอินทิเกรเตอร์เอาต์พุตมีค่าเพิ่มสูงขึ้น สัญญาณดิจิตอลเอาต์พุตจะเป็นลอจิก "1" แต่ถ้าสัญญาณอินทิเกรเตอร์เอาต์พุตมีค่าลดต่ำลง สัญญาณดิจิตอลเอาต์พุตจะเป็นลอจิก "0" ด้วยวิธีการดังกล่าว การเพิ่มขึ้นหรือลดลงของระดับสัญญาณอนาลอกจะถูกเปลี่ยนแปลงให้เป็นแถวของสัญญาณไบนารี (0 หรือ 1) และถ้าระดับของสัญญาณอนาลอกคงที่ (ไม่มีการเปลี่ยนแปลง) มอดูเลเตอร์ก็จะให้สัญญาณเอาต์พุตเป็น "010101" ต่อกันไป การทำงานดังกล่าวสามารถเขียนเป็นแผนภาพได้ดังรูปที่ 2.14 ซึ่งมีวงจรดังรูปที่ 2.15



รูปที่ 2.15 วงจร Lincar Delta Modulation (LDM)

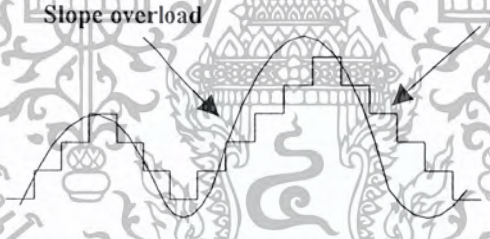
จากรูปที่ 2.15 วงจรทำหน้าที่เป็น feedback network คือวงจร integrator จะทำหน้าที่แปลงสัญญาณไบนารี ให้เป็นสัญญาณอินทิเกรเตอร์เอาต์พุต แล้วทำการเปรียบเทียบ สัญญาณอนาลอกอินพุตกับสัญญาณอินทิเกรเตอร์เอาต์พุตที่ comparator ถ้าสัญญาณอนาลอกอินพุตมีค่ามากกว่าสัญญาณอินทิเกรเตอร์เอาต์พุต comparator จะมีเอาต์พุตเป็น "1" แต่ถ้ามีค่าน้อยกว่า comparator จะมีเอาต์พุตเป็น "0" มอดูเลเตอร์จึงเป็นตัวบอกความแตกต่างระหว่างสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

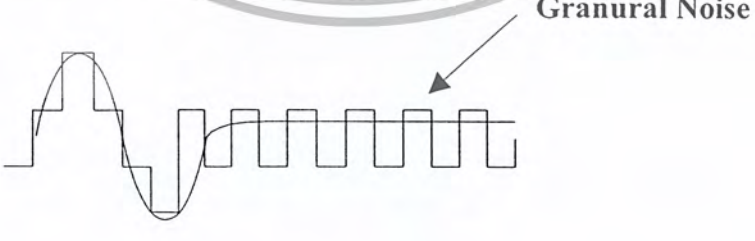
อนาลอกอินพุตกับสัญญาณอินทิเกรเตอร์เอาต์พุต ดังนั้นเราจึงเรียกระบบนี้ว่า เดลต้ามอดูเลชั่น ซึ่งคำว่าเดลต้ามีความหมายว่าการเปลี่ยนแปลงเล็กน้อย

2.6.2 Adaptive Delta Modulation

ข้อเสียของ Linear Delta Modulation คือสัญญาณที่เกิดจากการมอดูเลต (modulated signal) เพี้ยนจากสัญญาณเดิม (original signal) โดยพิจารณาจากอัตราส่วนของสัญญาณอนาลอกอินพุตกับความชันของสัญญาณอินทิเกรเตอร์เอาต์พุตดังรูปที่ 2.14 โดยความชันของสัญญาณอินทิเกรเตอร์เอาต์พุต จะสัมพันธ์กับการเพิ่มสูงขึ้น หรือลดต่ำลงของสัญญาณอนาลอก ซึ่งแทนด้วย 1 บิตด้วยดิจิตอลเอาต์พุต ถ้าความชันยังคงที่อยู่แต่สัญญาณอินพุตเปลี่ยนแปลงไปมากจะเกิดปัญหาที่เรียกว่า slope overload ดังรูปที่ 2.16 แต่ถ้าสัญญาณอินพุตเปลี่ยนแปลงไปเล็กน้อยในขณะที่ความชันยังคงที่เหมือนเดิมก็จะเกิดปัญหาที่เรียกว่า granular noise ดังรูปที่ 2.17



รูปที่ 2.16 ปัญหา slope overload ของระบบ LDM



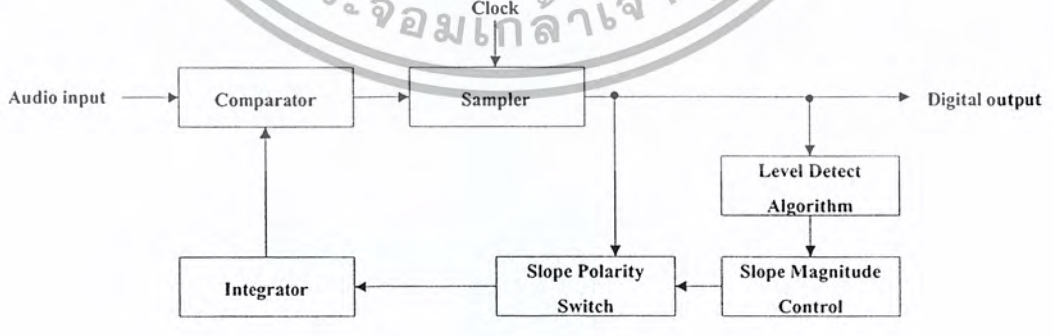
รูปที่ 2.17 ปัญหา Garnural noise ของระบบ LDM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เราสามารถลดปัญหาของสัญญาณในระบบ LDM ได้ โดยการทำให้ความชันของสัญญาณอินทิเกรเตอร์เอาต์พุตขึ้นอยู่กับระดับของสัญญาณอนาลอกอินพุท ซึ่งการทำให้ความชันของสัญญาณอินทิเกรเตอร์เอาต์พุตเปลี่ยนแปลงเป็นสัดส่วนโดยตรงกับค่าชั่วขณะของสัญญาณอนาลอกอินพุตนั้น คือการทำให้มอดูเลเตอร์มีคุณลักษณะแบบ nonlinear transfer characteristic ก็จะสามารถเปลี่ยนค่าความชันของสัญญาณอินทิเกรเตอร์เอาต์พุตให้สอดคล้องกับ envelope ของสัญญาณอนาลอกอินพุตได้ โดยมอดูเลเตอร์ที่ความชันของสัญญาณอินทิเกรเตอร์เอาต์พุตขึ้นอยู่กับการทำงานของ envelope ของสัญญาณอนาลอกอินพุตนั้น เปรียบได้กับการทำงานของวงจร Automatic Gain Control (AGC) ซึ่งการมอดูเลตของมอดูเลเตอร์ชนิดนี้ เรียกว่า Adaptive Delta Modulatoin

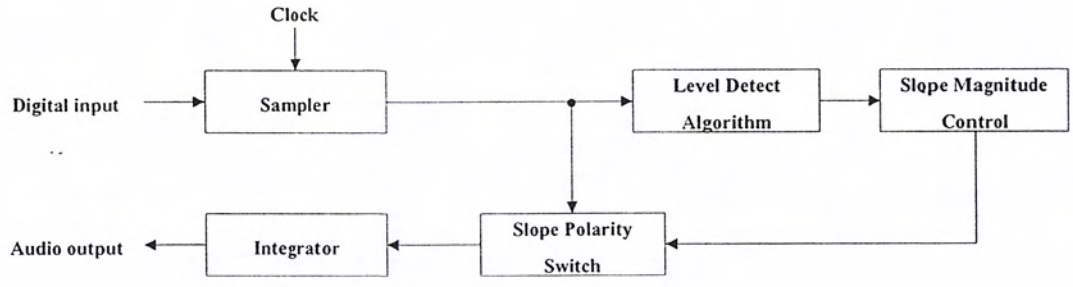
2.6.3 Continuous Vary Slope Delta Modulation (CVSD)

จากปัญหา slope overload และ granular noise ของระบบเดลต้ามอดดูเลชันนั้นจะสามารถแก้ไขโดยการปรับเปลี่ยนขนาดของ step ไปตามการเปลี่ยนแปลงของสัญญาณอินพุตซึ่งถ้าอินพุตมีการเปลี่ยนแปลงที่รวดเร็วก็ทำการเปลี่ยนขนาดของ step ให้มีค่ามากขึ้นในทางตรงกันข้ามถ้าสัญญาณอินพุตมีการเปลี่ยนแปลงไม่มากนักก็ทำการเปลี่ยนขนาดของ step ให้มีค่าลดลง หลักการข้างต้นนี้ก็คือหลักการของ CVSD นั้นเองระบบ CVSD มีผังการทำงานดังรูปที่ 2.18 และรูปที่ 2.19



รูปที่ 2.18 ระบบ CVSD encoder

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



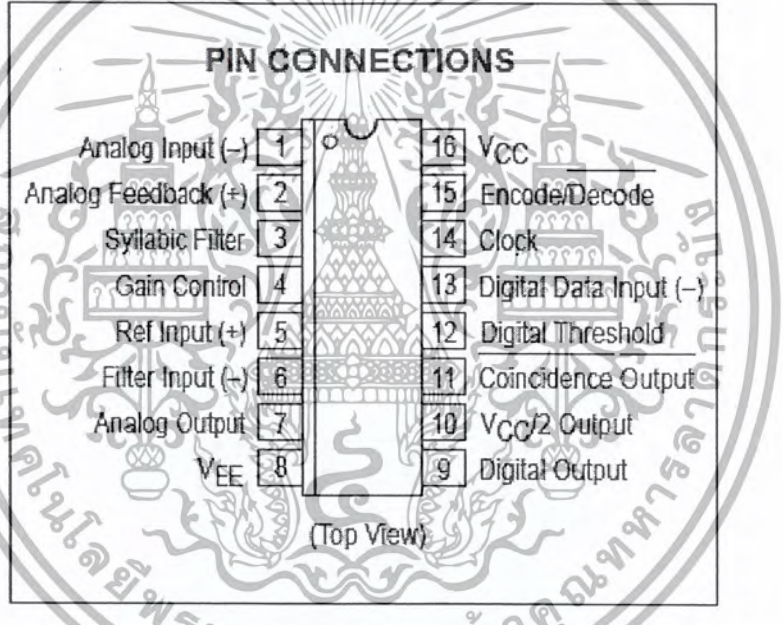
รูปที่ 2.19 ระบบ CVSD decoder

ในการเปลี่ยนขนาด step ของระบบ CVSD ทำได้โดยการใช้ส่วนตรวจระดับสัญญาณ (level detect algorithm) ซึ่งจะประกอบด้วย shift register ขนาด 3 หรือ 4 บิตในการตรวจสอบข้อมูลดิจิตอลว่าเป็นข้อมูล "0" หรือ "1" ติดกันถึง 3 หรือ 4 บิต หรือไม่ ถ้าเกิดเหตุการณ์ดังกล่าวขึ้นแสดงว่าขนาดของ step เล็กเกินไปส่วนตรวจระดับสัญญาณจะส่งสัญญาณไปยังส่วนเปลี่ยนขนาดของความชัน (slope magnitude control) เพื่อทำการเปลี่ยนขนาดของ step ให้มีค่าเพิ่มมากขึ้น ส่วนของ slope polarity switch จะทำหน้าที่ควบคุมการเปลี่ยนแปลงเอาต์พุตของส่วน integrator ว่าจะให้เปลี่ยนแปลงขึ้นหรือเปลี่ยนแปลงลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.6.4 คุณสมบัติของไอซีเบอร์ MC34115

ไอซีเบอร์ MC 34115 เป็นไอซีสำหรับการเข้ารหัสถอดรหัสแบบ CVSD ที่ออกแบบมาสำหรับในการสื่อสารทางด้านการทหารและการใช้งานด้านโทรศัพท์ โดยไอซีตัวเดียวสามารถจะเลือกได้ว่าเป็นตัวเข้ารหัสหรือตัวถอดรหัส โดยใช้สัญญาณดิจิตอลมาเป็นตำกำหนด ภายในประกอบด้วย shift register ขนาด 3 บิต มีแรงดันอ้างอิง $v_{CC}/2$ ในตัว ซึ่งไอซีเบอร์ MC34115 มี 16 ขา โดยแต่ละขาของไอซีมีหน้าที่แสดงไว้ดังรูปที่ 2.20

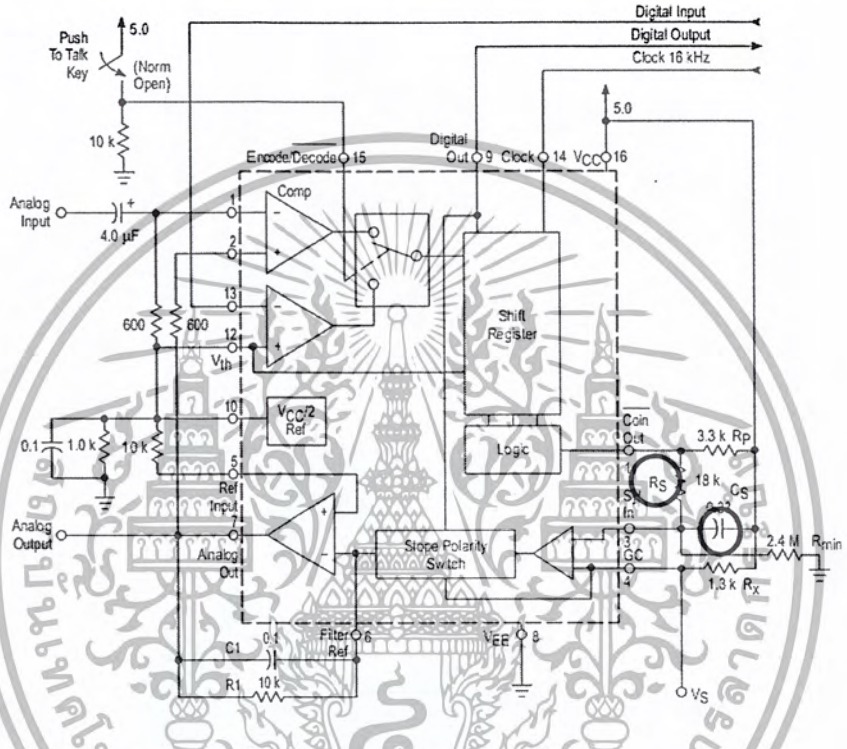


รูปที่ 2.20 ไอซีเบอร์ MC34115

shift register ขนาด 3 บิตภายในไอซี MC34115 ใช้สำหรับตรวจสอบสัญญาณเอาต์พุตที่จะแสดงออกมาที่ขา coincidence output เมื่อภายใน register ประกอบด้วยลอจิก '1' หรือลอจิก '0' ทั้งหมดซึ่งนั้นจะหมายถึงความชันของเอาต์พุตของวงจรอินทิเกรตมีค่าน้อยเกินไปจะต้องมีการปรับค่าความชันหรืออัตราขยายของวงจรอินทิเกรตเพิ่มขึ้น โดยเอาต์พุตที่แสดงออกมาที่ขา coincidence output จะไปทำหน้าที่ charge วงจรกรองความถี่ต่ำผ่านภายนอกตัวไอซี ซึ่งมีผลทำให้ค่าความชันหรืออัตราขยายซึ่งมีผลให้ค่าความชันหรืออัตราขยายของวงจรอินทิเกรต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เพิ่มขึ้น ซึ่งวงจรกรองความถี่ต่ำผ่านนี้เองที่จะทำให้ความชันของวงจรอินทิเกรตมีค่าเปลี่ยนแปลงอย่างต่อเนื่องซึ่งก็จะทำให้ความชันของสัญญาณเอาต์พุตมีค่าที่เปลี่ยนแปลงตามสัญญาณอินพุต โดยวงจรกรองความถี่ต่ำผ่าน คือวงจรที่ประกอบด้วย C_S และ R_S ดังในรูปที่ 2.21 ..



รูปที่ 2.21 วงจรเข้ารหัสถอดรหัสพื้นฐานแบบ CVSD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.7 วงจรกรองสัญญาณความถี่ต่ำผ่านแบบอนาลอก

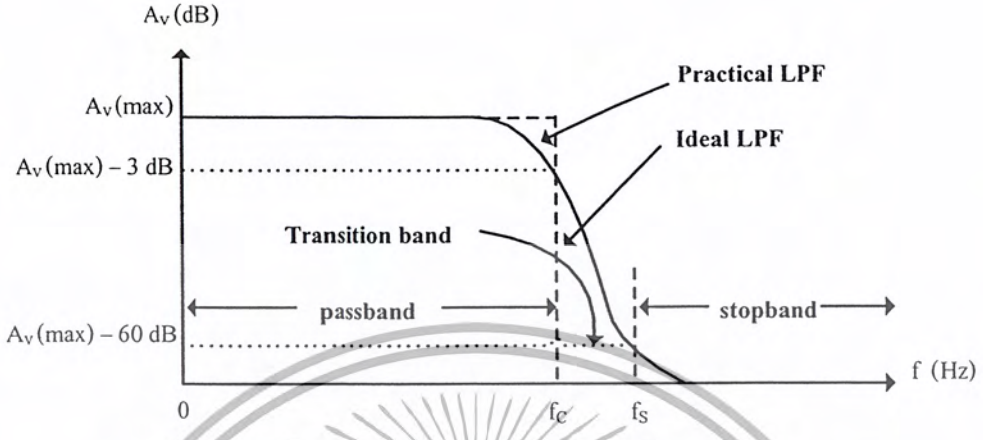
วงจรกรองสัญญาณนั้นเป็นวงจรหนึ่งที่นับได้ว่าเป็นหัวใจสำคัญในระบบอิเล็กทรอนิกส์ โดยหลักการพื้นฐานแล้ววงจรจะยอมให้สัญญาณเฉพาะบางความถี่ผ่านไปได้ จึงเสมือนเป็นตัวกรองสัญญาณให้ผ่านหากความถี่ของสัญญาณอยู่ในช่วงหรือไม่ให้ผ่านหากความถี่ของสัญญาณอยู่นอกช่วงความถี่นั้น วงจรกรองสามารถแบ่งออกได้เป็น 2 ประเภทใหญ่ๆ คือ ประเภทพาสซีฟ (passive filters) ซึ่งจะใช้อุปกรณ์ประเภทตัวต้านทาน ตัวเก็บประจุ และตัวเหนี่ยวนำเป็นหลัก และอีกประเภทหนึ่งก็คือ ประเภทแอกทีฟ (active filters) ซึ่งโดยทั่วไปจะใช้ออปแอมป์ร่วมกับตัวต้านทานและตัวเก็บประจุ โดยจะไม่มีการใช้ตัวเหนี่ยวนำเพื่อหลีกเลี่ยงปัญหาขนาดของวงจรที่ใหญ่ สำหรับวงจรกรองความถี่ต่ำผ่านที่ใช้ในปริญญานิพนธ์เล่มนี้จะเป็นวงจรชนิดแอกทีฟ ใช้ออปแอมป์เบอร์ LF351 ที่มีความถี่ตัด 4 kHz โดยวงจรกรองความถี่ต่ำผ่านแบบอนาลอกจะรับสัญญาณอนาลอกอินพุตที่ผ่านวงจรขยายมาเพื่อกรองเอาความถี่ที่สูงกว่า 4 kHz ทิ้งไป

2.7.1 วงจรกรองสัญญาณความถี่ต่ำผ่าน

วงจรกรองสัญญาณความถี่ต่ำผ่าน (low-pass filter) ดังรูปที่ 2.22 ในช่วงความถี่ 0 - f_c Hz คือช่วงความถี่ให้ผ่าน (passband) โดย f_c คือค่าความถี่ที่อัตราขยายลดลงจากขนาดสูงสุด 3 dB

จากรูปที่ 2.22 ในช่วงความถี่ f_s ถึง ∞ Hz คือช่วงความถี่ไม่ให้ผ่าน (stopband frequency) ซึ่ง f_s คือค่าความถี่ที่อัตราขยายลดลงจากขนาดสูงสุด 60 dB ในช่วงความถี่ f_c ถึง f_s Hz คือช่วงความถี่เปลี่ยนผ่าน (transition frequency) จากช่วงความถี่ให้ผ่านเป็นช่วงความถี่ไม่ให้ผ่าน ขนาดการตอบสนองของวงจรในทางปฏิบัตินั้น (แสดงด้วยเส้นทึบ) จะค่อยๆลดลง ไม่ได้มีการเปลี่ยนแปลงอย่างทันทีทันใดเหมือนกับกรณีอุดมคติ (แสดงด้วยเส้นประ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 ขนาดการตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่ต่ำผ่าน

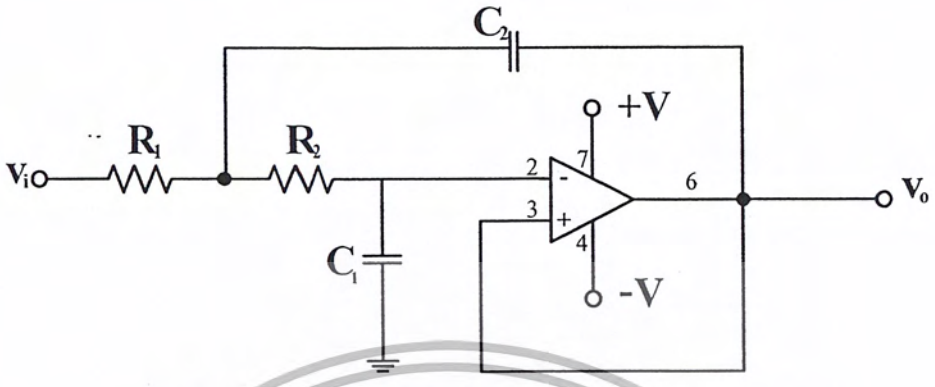
2.7.2 ฟังก์ชันถ่ายโอนของวงจรกรองสัญญาณ

ฟังก์ชันถ่ายโอนของวงจร (transfer function) คือ ค่าอัตราส่วนระหว่างสัญญาณขาออกซึ่งเป็นฟังก์ชันของความถี่ $v_o(s)$ และสัญญาณขาเข้าที่เป็นฟังก์ชันของความถี่ $v_i(s)$ โดย $s = j\varpi = j(2\pi f)$ ซึ่งสามารถแสดงในรูปสมการโพลิโนเมียลของ s ดังสมการที่ (2.4)

$$T(s) = \frac{v_o(s)}{v_i(s)} = \frac{s^m + b_{m-1}s^{m-1} + b_{m-2}s^{m-2} + \cdots + b_1 s + b_0}{s^n + a_{n-1}s^{n-1} + a_{n-2}s^{n-2} + \cdots + a_1 s + a_0} \tag{2.4}$$

โดย m, n คือค่าจำนวนเต็มและ n คือค่าอันดับของวงจร ซึ่งในปริญญานิพนธ์นี้ใช้วงจรกรองความถี่ต่ำผ่านอันดับสองแสดงดังรูปที่ 2.23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.23 วงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสอง

สามารถวิเคราะห์หาค่าฟังก์ชันถ่ายโอนของวงจรในรูป 2.23 ซึ่งมีอัตราขยายของวงจรเท่ากับ 1 ได้ดังสมการที่ (2.5)

$$\frac{v_o(s)}{v_i(s)} = \frac{\dfrac{1}{C_1C_2R_1R_2}}{s^2 + s\dfrac{(R_1C_1(k-1)+kC_1(R_1+R_2))}{kC_1C_2R_1R_2} + \dfrac{1}{C_1C_2R_1R_2}} \tag{2.5}$$

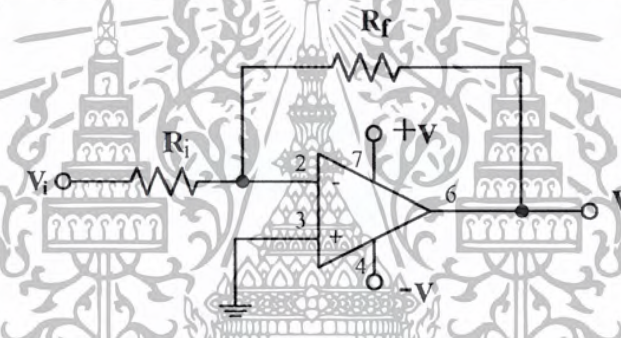
และค่าความถี่ตัดของวงจรสามารถคำนวณดังสมการที่ (2.6)

$$f_C = \frac{1}{2\pi\sqrt{C_1C_2R_1R_2}}\,Hz \tag{2.6}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 วงจรขยาย

ในปริญญานิพนธ์นี้ใช้วงจรขยายในการทำงาน 2 หน้าที่ด้วยกันคือ เป็นวงจรขยายสัญญาณเสียงที่พูดผ่านไมโครโฟนให้มีขนาดของสัญญาณเพิ่มขึ้นก่อนที่จะส่งผ่านเข้าสู่วงจรกรองสัญญาณความถี่ต่ำผ่าน และวงจรที่ใช้ขยายสัญญาณก่อนที่จะทำการส่งออกลำโพง ซึ่งวงจรขยายทั้งสองวงจรเป็นวงจรขยายแบบกลับเฟสเหมือนกัน ต่างกันแค่เพียงอัตราขยายเท่านั้น โดยในปริญญานิพนธ์นี้ใช้ออปแอมป์เบอร์ LF351 ในการทำวงจรขยายสัญญาณซึ่งแสดงดังในรูปที่ 2.24



รูปที่ 2.24 วงจรขยายสัญญาณแบบกลับเฟส

ซึ่งเมื่อทำการวิเคราะห์ความสัมพันธ์ของกระแสที่โหนดขาลบของออปแอมป์โดยสมมุติให้ทิศทางของกระแสไหลออกจากโหนดทั้งหมดจะได้อัตราขยายวงจรของลูปปิดดังสมการที่ (2.7)

$$\frac{0-v_i}{R_i}+\frac{0-v_o}{R_f}=0$$

$$\frac{v_o}{v_i}=-\frac{R_f}{R_i} \qquad (2.7)$$

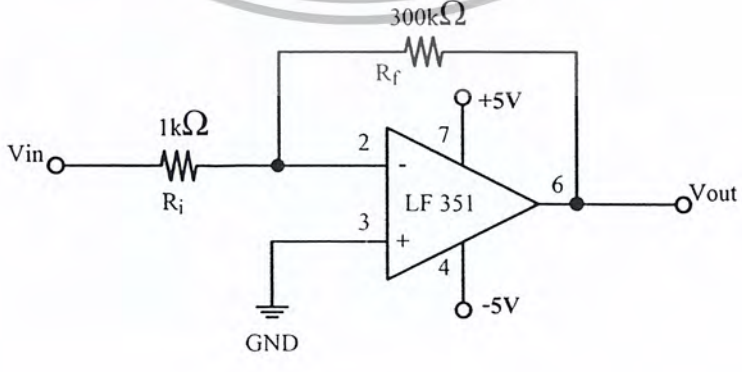
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การออกแบบและการจัดทำปริญญานิพนธ์

บทที่ 3 นี้เป็นการศึกษาพฤติกรรมเคออสที่เกิดขึ้นในวงจรกรองสัญญาณดิจิตอล ซึ่งเป็นการศึกษาในเชิงของทฤษฎี รวมถึงการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสโดยใช้โปรแกรม MATLAB จากนั้นจะใช้ ISE Webpack ในการจำลองการทำงานและออกแบบวงจรเข้ารหัสและถอดรหัสโดยใช้ภาษา VHDL นอกจากนี้ยังมีวงจรที่จำเป็นต้องใช้ในการทำงานร่วมกับวงจรเข้ารหัสและถอดรหัสด้วย คือ วงจรกรองความถี่ต่ำผ่านแบบอนาลอก วงจรขยายทั้งในส่วนของวงจร pre Mic. และวงจร amplifier รวมถึงการประยุกต์ใช้งานไอซีเบอร์ MC34115 ในการสร้างวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลและวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกแบบ CVSD ดังต่อไปนี้

3.1 การทดลองวงจรขยาย (pre Mic. and amplifier)

วงจรขยายในปริญญานิพนธ์นี้มีอยู่ด้วยกัน 2 วงจรคือ วงจรขยาย pre Mic. ใช้ในการขยายสัญญาณเสียงที่ผ่านไมโครโฟนเข้ามาก่อนจะส่งเข้าวงจรกรองความถี่ต่ำผ่านแบบอนาลอก และวงจร amplifier ที่มีหน้าที่ในการขยายสัญญาณก่อนทำการส่งออกทางลำโพง ซึ่งทั้งสองวงจรเป็นวงจรขยายแบบกลับเฟสเหมือนกันแต่มีอัตราขยายต่างกัน ซึ่งวงจรขยาย pre Mic. ใช้ออปแอมป์เบอร์ LF351 มีวงจรดังรูปที่ 3.1



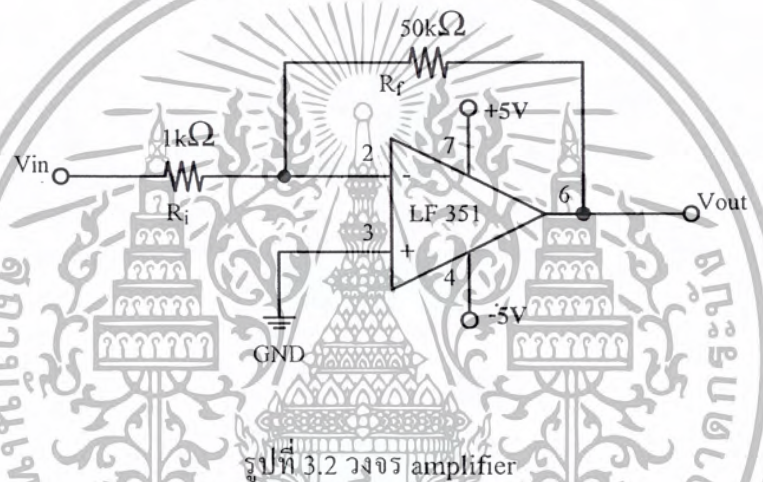
รูปที่ 3.1 วงจรขยายของ pre Mic.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.1 สามารถคำนวณหาอัตราขยายสัญญาณของวงจรได้จากสมการที่ (2.7) โดยการแทนค่า R_f และ R_i ลงในสมการที่ (2.7) ดังสมากรที่ (3.1)

$$\frac{v_o}{v_i} = -\frac{R_f}{R_i} = -\frac{300k\Omega}{1k\Omega} = -300 \text{ เท่า} \tag{3.1}$$

ส่วนวงจร amplifier ใช้ออปแอมป์เบอร์ LF351 มีวงจรดังรูปที่ 3.2



รูปที่ 3.2 วงจร amplifier

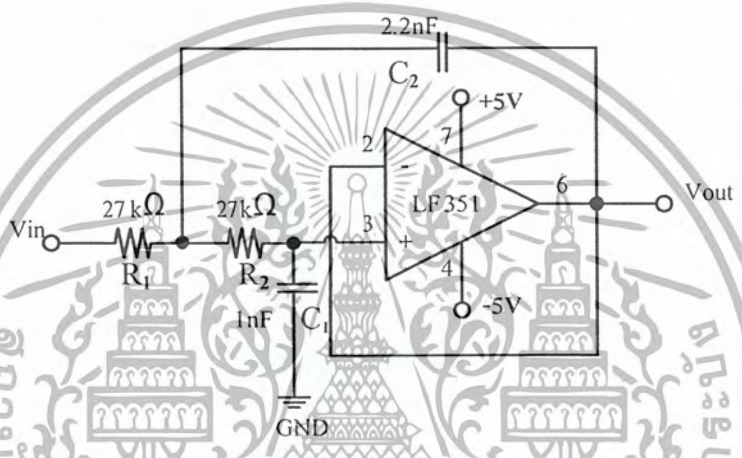
จากรูปที่ 3.2 สามารถคำนวณหาอัตราขยายสัญญาณของวงจรได้จากสมการที่ (2.7) โดยการแทนค่า R_f และ R_i ลงในสมการที่ (2.7) ดังสมากรที่ (3.2)

$$\frac{v_o}{v_i} = -\frac{R_f}{R_i} = -\frac{50k\Omega}{1k\Omega} = -50 \text{ เท่า} \tag{3.2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 การทดลองวงจรกรองความถี่ต่ำผ่านแบบอนาลอก

ในปริญญานิพนธ์นี้ วงจรกรองความถี่ต่ำผ่านแบบอนาลอกที่ใช้ จะเป็นวงจรกรองความถี่ต่ำผ่านอันดับสองซึ่งมีความถี่ตัดที่ 4 kHz โดยวงจรกรองความถี่ต่ำผ่านอันดับสองที่ใช้ในปริญญานิพนธ์นี้แสดงดังรูปที่ 3.3



รูปที่ 3.3 วงจรกรองความถี่ต่ำผ่านอันดับสอง

โดยสามารถคำนวณหาค่ารากโพล (วงจร RC) สองค่า ที่จะนำมาใช้ในวงจรกรองความถี่ต่ำผ่าน ได้ด้วยสมการหาค่าความถี่ตัดของวงจรกรองสัญญาณ (สมการที่ 2.6) โดยกำหนด $f_c = 4kHz$, $C_1 = 1nF$, $R_1 = R_2 = 27k\Omega$ แทนค่าทั้งหมดลงในสมการที่ (2.6) เพื่อหาค่า C_2 ออกมาจะได้ค่า C_2 ตามสมการที่ (3.3)

$$f_C = \frac{1}{2\pi\sqrt{C_1 C_2 R_1 R_2}} Hz$$ แต่เนื่องจาก $R_1 = R_2$ จะได้สมการใหม่ว่า

$$f_C = \frac{1}{2\pi R\sqrt{C_1 C_2}} Hz$$

$$(4\times10^3) = \frac{1}{2\times\pi\times(27\times10^3)\times\sqrt{(1\times10^{-9})\times C_2}}$$

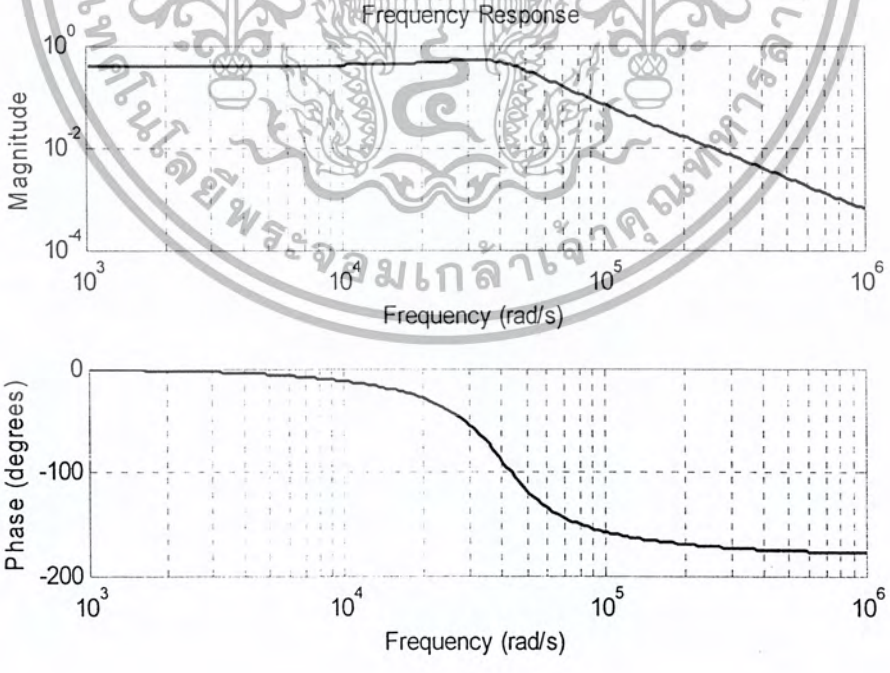
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\left[(4\times10^{3})\times2\times\pi\times(27\times10^{3})\right]^{2}=\left(\frac{1}{\sqrt{(1\times10^{-9})\times C_{2}}}\right)^{2}$$

$$C_{2}=\frac{1}{(1\times10^{-9})\times\left[(4\times10^{3})\times2\times\pi\times(27\times10^{3})\right]^{2}}=2.2\ nF \qquad (3.3)$$

ในขั้นตอนต่อไปจะเป็นการจำลองการทำงานของวงจรกรองความถี่ต่ำผ่านอันดับสองโดยใช้โปรแกรม MATLAB เพื่อนำผลการจำลองการทำงานทางอุดมคติที่ได้ ไปทำการเปรียบเทียบเพื่อดูความผิดพลาดที่เกิดขึ้นของวงจรในทางปฏิบัติ

โดยการจำลองการทำงานของวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสอง จำลองโดยการใช้สมการ transfer function ดังสมการที่ (2.5) และกำหนดค่า $C_1 = 1nF$, $C_2 = 2.2nF$, $R_1 = R_2 = 27k\Omega$ และใช้คำสั่ง freqs . ในการพล็อตผลตอบสนองทางความถี่ (frequency response) ได้ผลการรันโปรแกรม MATLAB ดังในรูปที่ 3.4

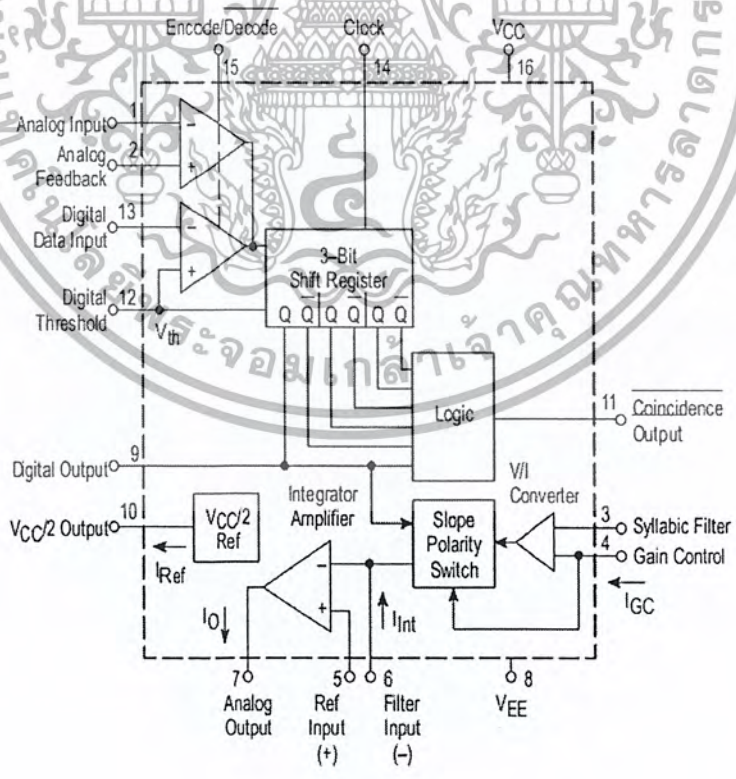


รูปที่ 3.4 ผลตอบสนองทางความถี่ของวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

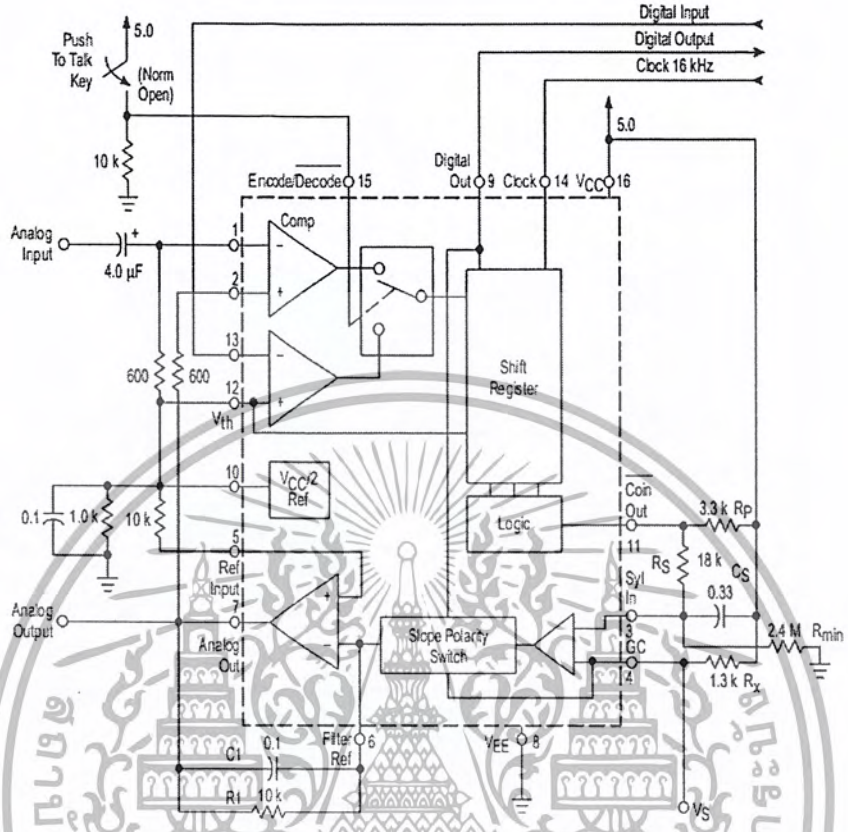
3.3 การประยุกต์ใช้งานไอซี MC34115 สำหรับแปลงสัญญาณอนาลอกเป็นดิจิตอล และแปลงสัญญาณดิจิตอลเป็นอนาลอกแบบ CVSD

สำหรับการแปลงอนาลอกเป็นดิจิตอลและการแปลงดิจิตอลเป็นอนาลอกนั้นเป็นสิ่งที่จำเป็นในการทำปริญญานิพนธ์นี้เพราะต้องนำสัญญาณเสียงที่เป็นอนาลอกมาแปลงเป็นดิจิตอลก่อนที่จะทำการส่งให้วงจรกรองดิจิตอลทำการเข้ารหัส และก่อนที่จะส่งออกวิทยุก็ต้องแปลงดิจิตอลกลับเป็นอนาล็อกด้วย โดยในการทำได้เลือกใช้ไอซีเบอร์ MC34115 ซึ่งเป็นไอซีแบบ Continuously Variable Slope Delta (CVSD) ที่ออกแบบมาสำหรับการใช้งานเฉพาะทางด้านข้อมูลเสียง โดยที่ไอซีเบอร์นี้เป็นได้ทั้งตัวแปลงอนาลอกเป็นดิจิตอล และตัวแปลงดิจิตอลเป็นอนาลอกภายในตัวเดียวกัน สามารถเลือกฟังก์ชันการทำงานของไอซีได้ด้วยการป้อนดิจิตอลอินพุต (0 หรือ 1) ไอซีเบอร์นี้เป็นไอซีแบบ CMOS ขนาด 16 ขา โดยแต่ละขาของไอซีมีหน้าที่แสดงไว้ดังโครงสร้างในรูปที่ 3.5 และมีวงจรในการทดลองดังรูที่ 3.6



รูปที่ 3.5 โครงสร้างของไอซีเบอร์ MC34115

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 วงจร CVSD ที่ใช้ในการทดลอง

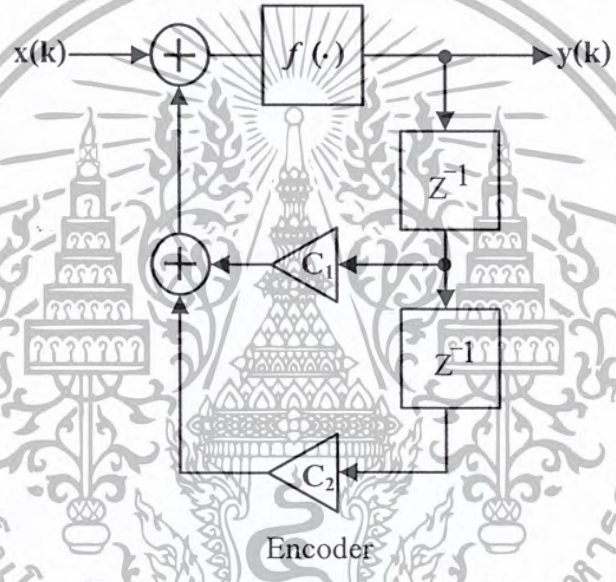
ในการออกแบบวงจรเข้ารหัสถอดรหัสที่ใช้ MC34115 นั้นต้องพิจารณาสิ่งต่างๆเช่น สัญญาณนาฬิกาซึ่งปกติจะใช้สัญญาณนาฬิกาที่อยู่ระหว่าง 9.6 ถึง 64 kHz โดยสัญญาณนาฬิกาที่มีความถี่สูงๆจะทำให้ระบบมีค่า S/N ดีขึ้น ในการเลือกความถี่ของสัญญาณนาฬิกานั้นมักจะถูกกำหนดด้วยแบนด์วิทของตัวกลางในการส่งสัญญาณในระบบเสียงทั่วๆไปมักจะใช้ความถี่ที่ 9600 Hz ในระบบวิทยุบางประเภทจะใช้ความถี่ที่ 12 kHz ในระบบของโทรศัพท์มักจะใช้ความถี่ที่ 16 kHz หรือ 32 kHz หรือมากกว่านี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 การออกแบบการทดลองโดยใช้โปรแกรม MATLAB

3.4.1 วงจรเข้ารหัสโดยใช้วงจรกรองสัญญาณดิจิตอลชนิดอิมพัลส์ไม่จำกัด

สำหรับปริญญานิพนธ์นี้ใช้วงจรกรองสัญญาณดิจิตอลอันดับที่สองซึ่งวงจรกรองมีโครงสร้างแบบโดยตรง (direct form) ซึ่งมีโครงสร้างดังรูปที่ 3.7



รูปที่ 3.7 โครงสร้างของวงจรเข้ารหัส

จากรูปที่ 3.7 วงจรเข้ารหัสมีโครงสร้างแบบวงจรกรองสัญญาณดิจิตอลชนิดอิมพัลส์ไม่จำกัด (Infinite Impulse Response : IIR) ซึ่งหากยังไม่พิจารณาถึงฟังก์ชั่น $f(\cdot)$ สามารถเขียนเป็นสมการผลต่างสืบเนื่อง (difference equation) ในรูปแบบของสมการป้อนกลับ (recursive equation) ดังสมการที่ (3.4)

$$y(k) = x(k) + c_1 y(k-1) + c_2 y(k-2) \tag{3.4}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการ (3.4) สามารถเขียนแทนฟังก์ชั่นถ่ายโอน (transfer function) ได้ดังสมการที่ (3.5)

$$Y(z) = X(z) + c_1 Y(z) z^{-1} + c_2 Y(z) z^{-2}$$

$$Y(z)\left(1 - c_1 z^{-1} - c_2 z^{-2}\right) = X(z)$$

$$H(z) = \frac{Y(z)}{X(z)} = \frac{1}{1 - c_1 z^{-1} - c_2 z^{-2}} \tag{3.5}$$

จากสมการ (3.5) จะเห็นได้ว่ามีตำแหน่งของโพล (pole) อยู่ 2 ตัวซึ่งสามารถหาได้จาก

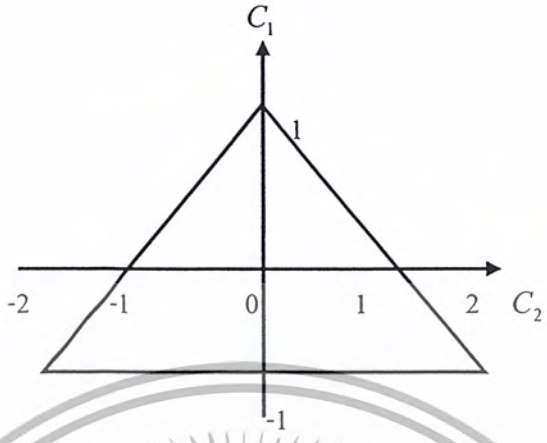
$$1 - c_1 z^{-1} - c_2 z^{-2} = 0$$

$$z^2 - c_1 z - c_2 = 0$$

ดังนั้น $p_1 = \frac{c_1 + \sqrt{c_1^2 + 4c_2}}{2}$ และ $p_2 = \frac{c_1 - \sqrt{c_1^2 + 4c_2}}{2}$

จากเงื่อนไขของการทำให้ระบบไม่มีเสถียรภาพ จะต้องมีค่าสัมประสิทธิ์ของวงจรกรองสัญญาณดิจิตอลอย่างน้อย 1 ตัว อยู่ภายนอกขอบเขตพื้นที่เสถียรภาพ ดังรูปที่ 3.8

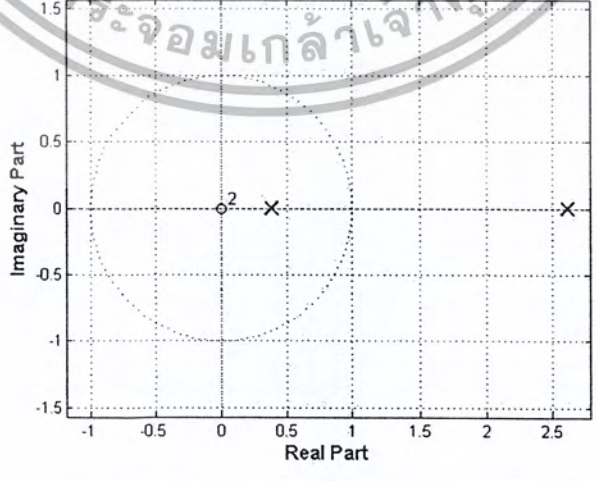
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 ขอบเขตพื้นที่สามเหลี่ยมเสถียรภาพ

หากเลือกค่าสัมประสิทธิ์อย่างน้อย 1 ตัวให้อยู่ภายนอกพื้นที่เสถียรภาพแล้วจะพบว่าค่าโพลของฟังก์ชั่นถ่ายโอนจะมีค่ามากกว่าหนึ่ง ซึ่งทำให้อยู่นอกพื้นที่วงกลมหนึ่งหน่วย แสดงให้เห็นว่าวงจรกรองสัญญาณดิจิตอลนี้จะ ไม่มีเสถียรภาพ

เช่น ถ้าเลือกค่า $c_1 = 3$ และ $c_2 = -1$ แล้วจะได้ตำแหน่งของโพลของวงจรเข้ารหัสดังต่อไปนี้ $p_1 = \frac{3+\sqrt{3^2-4}}{2} \approx 2.61$ และ $p_2 = \frac{3-\sqrt{3^2-4}}{2} \approx 0.38$ ดังแสดงในรูปที่ 3.9



รูปที่ 3.9 ตำแหน่งโพลของวงจรเข้ารหัส กรณี $c_1 = 3$ และ $c_2 = -1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หากทำการจำลองพฤติกรรมการทำงานของวงจรเข้ารหัสโดยไม่มีฟังก์ชั่น $f(\cdot)$ ตามสมการที่ (3.4) แล้วกำหนดค่าเงื่อนไขเริ่มต้นในการจำลองการทำงานโดยไม่มีการป้อนอินพุทเข้าไปยังวงจร (zero input) ซึ่งจะกำหนดดังต่อไปนี้

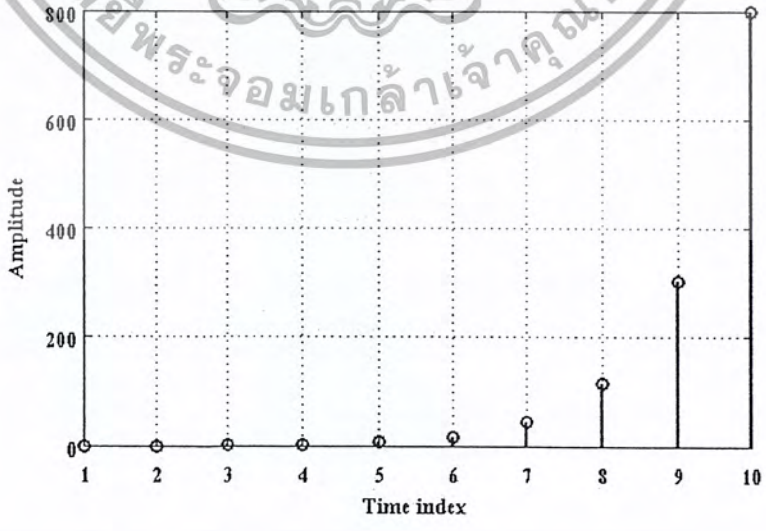
$c_1 = 3$ และ $c_2 = -1$ แล้วให้ $x(k) = 0.5$ เนื่องจากในการจำลองการทำงานโดยใช้โปรแกรม MATLAB จำเป็นต้องกำหนดค่าเงื่อนไขเริ่มต้นคือ $y(1) = 0, \quad y(2) = 0$ โดยกำหนดให้ $k = 3:10$ จะได้ผลดังรูปที่ 3.10 และเมื่อเทียบกับการคำนวณโดยเลือกยกตัวอย่างมาเพียงบางค่าก็จะได้ผลลัพธ์ดังต่อไปนี้

$$y(3) = x(3) + 3y(2) - y(1) = 0.5 + 3(0) - (0) = 0.5$$

$$y(4) = x(4) + 3y(3) - y(2) = 0.5 + 3(0.5) - (0) = 2$$

เมื่อตรวจสอบจากผลการรันโปรแกรมพบว่าผลที่ได้จากการคำนวณและผลที่ได้จากการรันโปรแกรมมีค่าตรงกันดังนี้

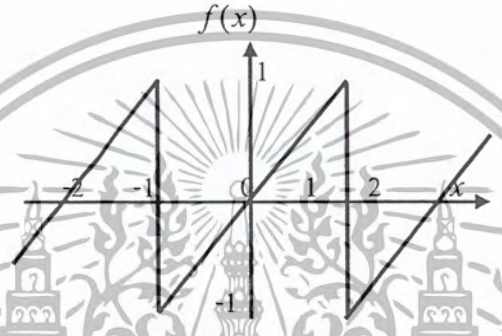
y(k) = 0, 0, 0.5000, 2.0000, 6.0000, 16.5000, 44.0000, 116.0000, 304.5000, 798.0000



รูปที่ 3.10 ค่า $y(k)$ ที่ได้จากการจำลองการทำงานของวงจรเข้ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.10 จะเห็นได้ว่าค่าของ $y(k)$ จะมีค่าที่เพิ่มขึ้นเรื่อยๆซึ่งแสดงให้เห็นว่าวงจรเข้ารหัสนี้จะไม่มีเสถียรภาพ และเมื่อนำไปสร้างเป็นอุปกรณ์ จำเป็นต้องกำหนดความยาวของข้อมูลให้มีความยาวที่จำกัด (finite word-length) ซึ่งจะทำให้เกิดการล้นขึ้นอย่างแน่นอน ดังนั้นในการจำลองการทำงานจึงต้องอาศัยฟังก์ชั่น $f(\cdot)$ เพื่อจำลองการล้นของข้อมูลซึ่งฟังก์ชั่น $f(\cdot)$ จะมีคุณลักษณะ (characteristic) ดังรูปที่ 3.11



รูปที่ 3.11 คุณลักษณะของฟังก์ชั่น $f(\cdot)$

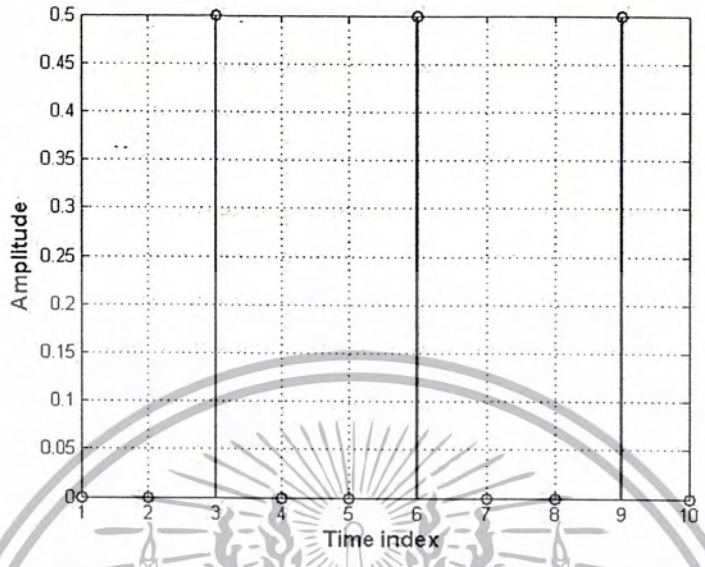
ซึ่งฟังก์ชั่นของ $f(\cdot)$ จะมีสมการคือ $f(x) = (x+1) \bmod 2 \ -1$ ดังนั้นหลังจากเพิ่มฟังก์ชันนี้ลงไปแล้วค่า $y(k)$ จะเกิดการเปลี่ยนแปลงตามสมการของฟังก์ชั่น $f(\cdot)$ ยกตัวอย่างเช่นที่ $y(3) = 0.5$ เมื่อผ่านฟังก์ชั่น $f(\cdot)$ จะกำหนดให้เป็นค่าใหม่คือ $y^*(3)$ จะได้

$$y^*(k) = (y(k)+1) \bmod 2 - 1$$

$$y^*(3) = (0.5+1) \bmod 2 \ -1 = 1.5 \bmod 2 \ -1 = 1.5 - 1 = 0.5$$

ตรวจสอบผลการทำงานของวงจรเข้ารหัสเมื่อมีฟังก์ชั่น $f(\cdot)$ โดยกำหนด $c_1 = 3$ และ $c_2 = -1$ แล้วให้ $x(k) = 0.5$ กำหนดค่าเงื่อนไขเริ่มต้นคือ $y(1) = 0, \quad y(2) = 0$ โดยกำหนดให้ $k = 3:10$ จะได้ผลดังรูปที่ 3.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.12 ค่าเอาท์พุทจากการจำลองการทำงานของวงจรเข้ารหัสเมื่อมีฟังก์ชั่น $f(\cdot)$

ซึ่งตรวจสอบค่าจากการรันโปรแกรมได้ดังนี้

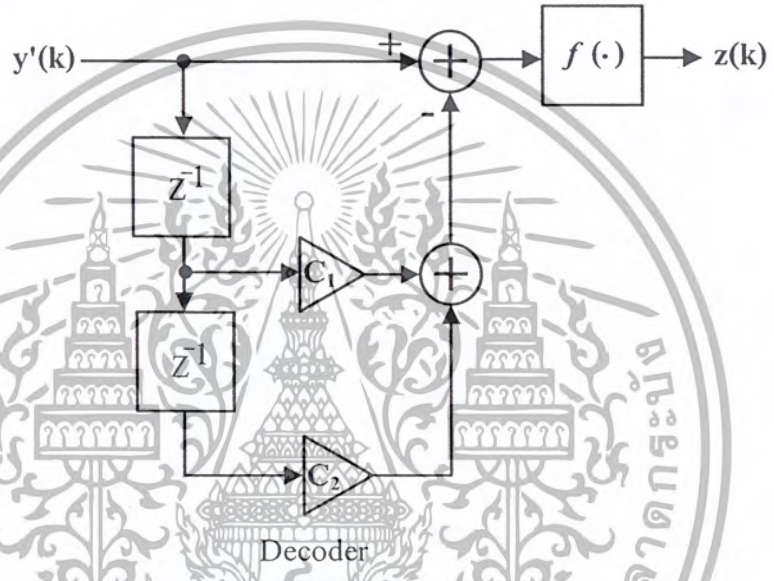
$$y^*(k) = 0, 0, 0.5000, 0, 0, 0.5000, 0, 0, 0.5000, 0$$

ซึ่งเมื่อพิจารณาจะพบว่าค่าที่ได้จากการคำนวณจะมีค่าที่ตรงกับในรูปที่ 3.12 ดังนั้นจึงสามารถบอกได้ว่า เมื่อกำหนดให้ค่าสัมประสิทธิ์อย่างน้อยหนึ่งตัวมีค่าที่มากกว่าขอบเขตพื้นที่สามเหลี่ยมเสถียรภาพแล้วจะทำให้วงจรเข้ารหัสซึ่งมีโครงสร้างแบบอิมพัลส์ไม่จำกัดเกิดตำแหน่งของโพลที่อยู่ภายนอกขอบเขตพื้นที่วงกลมหนึ่งหน่วย (unit cycle) ซึ่งทำให้วงจรไม่มีความเสถียรภาพทำให้ค่าที่ได้จากวงจรจะมีค่าเพิ่มขึ้นเรื่อยๆซึ่งจะใช้ฟังก์ชั่น $f(\cdot)$ ซึ่งทำให้เกิดการล้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2 วงจรถอดรหัสใช้วงจรกรองสัญญาณดิจิตอลชนิดอิมพัลส์จำกัด

สำหรับวงจรถอดรหัสใช้วงจรกรองสัญญาณดิจิตอลซึ่งจะมีโครงสร้างที่เป็นส่วนกลับ (inverse) กับวงจรเข้ารหัสซึ่งก็คือ โครงสร้างชนิดอิมพัลส์จำกัด (Finite Impulse Response : FIR) ที่มีโครงสร้างดังรูปที่ 3.13



รูปที่ 3.13 โครงสร้างของวงจรถอดรหัส

จากรูปที่ 3.13 เมื่อยังไม่พิจารณาฟังก์ชั่น $f(\cdot)$ สามารถเขียนสมการผลต่างสืบเนื่องและฟังก์ชั่นถ่ายโอนได้ดังต่อไปนี้

$$z(k) = y'(k) - c_1 y'(k-1) - c_2 y'(k-2) \tag{3.6}$$

$$Z(z) = Y'(z) - c_1 Y'(z) z^{-1} - c_2 Y'(z) z^{-2}$$

$$H(z) = \frac{Z(z)}{Y'(z)} = 1 - c_1 z^{-1} - c_2 z^{-2} \tag{3.7}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.6) จะเห็นได้ว่ามีโครงสร้างแบบไม่ป้อนกลับ (non-recursive) ซึ่งเป็นลักษณะทั่วไปของวงจรกรองสัญญาณดิจิตอลชนิดอิมพัลส์จำกัด และจากสมการที่ (3.7) ฟังก์ชั่นถ่ายโอนของวงจรถอดรหัสจะมีตำแหน่งของซีโร่ (zero) ดังต่อไปนี้

$$1 - c_1 z^{-1} - c_2 z^{-2} = 0$$

$$z^2 - c_1 z - c_2 z = 0$$

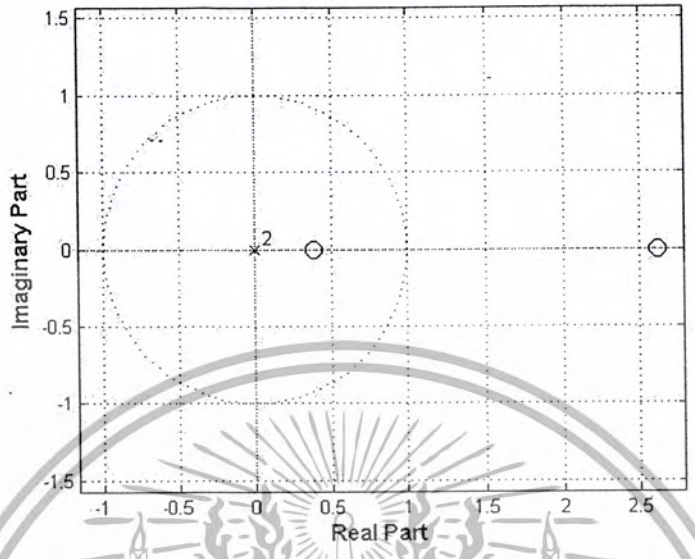
ดังนั้น $z_1 = \dfrac{c_1 + \sqrt{c_1^2 + 4c_2}}{2}$ และ $z_2 = \dfrac{c_1 - \sqrt{c_1^2 + 4c_2}}{2}$

ซึ่งค่าสัมประสิทธิ์ของวงจรถอดรหัสจะต้องใช้ค่าเดียวกันกับวงจรเข้ารหัส ดังนั้นจึงกำหนดค่าสัมประสิทธิ์ให้เหมือนกับตัวอย่างก่อนหน้านี้คือให้ค่า $c_1 = 3$ และ $c_2 = -1$ แล้วจะได้ว่า

$$z_1 = \frac{3 + \sqrt{3^2 + 4(-1)}}{2} \approx 2.61 \text{ และ } z_2 = \frac{3 - \sqrt{3^2 + 4(-1)}}{2} \approx 0.38$$

แสดงตำแหน่งของซีโร่ดังรูปที่ 3.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



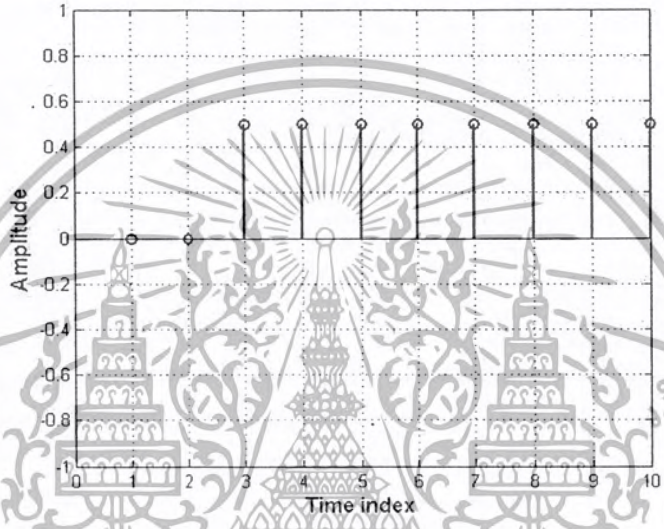
รูปที่ 3.14 ตำแหน่งซีโร่ของวงจรถอดรหัส กรณี $c_1 = 3$ และ $c_2 = -1$

เมื่อพิจารณาตำแหน่งของซีโร่จากรูปที่ 3.14 แล้วนำไปเปรียบเทียบกับตำแหน่งของโพลในรูปที่ 3.9 จะพบว่าค่าโพลของวงจรเข้ารหัสกับค่าซีโร่ของวงจรถอดรหัส นั้นจะมีหักล้างกัน อธิบายคือ ค่าโพลของวงจรเข้ารหัสจะมีค่าเท่ากับค่าซีโร่ของวงจรถอดรหัส ดังนั้นจึงทำให้ตำแหน่งของโพลและซีโร่ของวงจรทั้งสองหักล้างกัน จึงส่งผลให้ในการเข้ารหัสและถอดรหัสจะต้องมีค่าสัมประสิทธิ์ที่เท่ากันทั้งวงจรเข้ารหัสและวงจรถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.7) เมื่อจำลองการทำงานโดยแยกเป็น 2 กรณีคือ

1. ไม่มีฟังก์ชั่น $f(\cdot)$ ดังนั้น $y'(k) = y(k)$ และกำหนดค่าสัมประสิทธิ์ชุดเดียวกัน คือ $c_1 = 3$ และ $c_2 = -1$ ซึ่งแสดงเอาต์พุตของวงจรได้ดังรูปที่ 3.15



รูปที่ 3.15 เอาท์พุทของวงจรถอดรหัสกรณีไม่จำกัดความยาวข้อมูล

จากการจำลองการทำงานได้ค่าของ $z(k)$ ดังนี้

$$z(k) = 0, 0, 0.5000, 0.5000, 0.5000, 0.5000, 0.5000, 0.5000, 0.5000, 0.5000$$

จากรูปที่ 3.15 จะเห็นได้ว่าค่าที่ตำแหน่ง $z(1) = z(2) = 0$ จะมีค่าเท่ากับศูนย์ เนื่องจากการกำหนดให้ค่า $y(1) = y(2) = 0$ ดังนั้นค่าที่ถอดรหัสออกมาได้ก็จะมีค่าเป็นศูนย์ด้วยเช่นกัน แต่เพื่อพิสูจน์ว่าถูกต้องจะทำการคำนวณตามสมการต่อไปนี้

$$z(k) = y'(k) - c_1 y'(k-1) - c_2 y'(k-2)$$

$$z(3) = y'(3) - 3y'(2) - (-1)y'(1) = 0.5 - 3(0) + (0) = 0.5$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$z(4) = y'(4) - 3y'(3) - (-1)y'(2) = 2 - 3(0.5) + (0) = 0.5$$

สังเกตค่าของ $z(k)$ ที่ตำแหน่งต่างๆ จากการคำนวณจะมีค่าเท่ากับค่าที่ได้จากการรันโปรแกรม ดังนั้นจึงสามารถสรุปได้ว่า หากกำหนดค่าสัมประสิทธิ์ของทั้งสองวงจรให้มีค่าเท่ากันแล้ว จะสามารถทำการเข้ารหัสและถอดรหัสได้

2. เพิ่มฟังก์ชั่น $f(\cdot)$ เข้าไป ดังนั้นกำหนดตัวแปร $y*(k)$ คือค่าของ $y(k)$ ที่ผ่านฟังก์ชั่นนี้แล้ว ซึ่งจะกำหนดให้ $y'(k) = y*(k)$ ดังนั้นจะหาค่า $z(k)$ ได้ดังต่อไปนี้

$$z(3) = f\{y'(3) - 3y'(2) - (-1)y'(1)\} = f\{0.5 - 3(0) + (0)\}$$

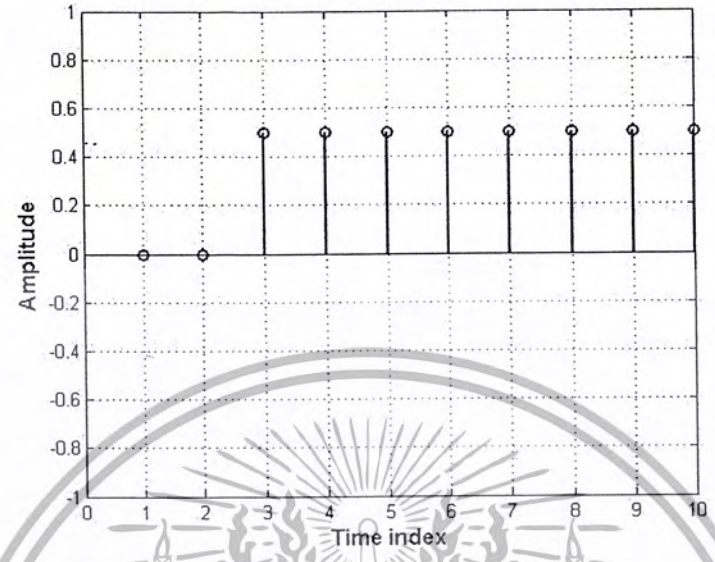
$$z(3) = (0.5+1) \bmod 2 - 1 = 1.5 - 1 = 0$$

$$z(4) = f\{y'(4) - 3y'(3) - (-1)y'(2)\} = f\{0 - 3(0.5) + (0)\}$$

$$z(4) = (-1.5+1) \bmod 2 - 1 = 1.5 - 1 = 0.5$$

สังเกตค่าของ $z(k)$ ที่ตำแหน่งต่างๆ จากการคำนวณจะมีค่าเท่ากับค่าที่ได้จากการรันโปรแกรม ดังรูปที่ 3.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.16 ค่าเอาท์พุทของวงจรถอดรหัสกรณีที่มีฟังก์ชัน $f(\cdot)$

ซึ่งเมื่อตรวจสอบจากผลการรันโดยใช้โปรแกรมจะได้ดังนี้

$$z(k) = 0, 0, 0.5000, 0.5000, 0.5000, 0.5000, 0.5000, 0.5000, 0.5000, 0.5000$$

เพิ่มเติม สำหรับการหารเอาเศษหรือในที่นี้ใช้ฟังก์ชั่นที่เรียกว่า mod นั้นใน โปรแกรม MATLAB เขียนได้เป็น $\mathrm{mod}(x, y)$ คือ นำค่า x มา mod ด้วย y หรือเขียนโดยทั่วไปได้ คือ $x \bmod y$ ซึ่งจะมีวิธีการคิดแบ่งเป็น 2 กรณีดังนี้

กรณีที่เป็นค่าบวก คือ

$3 \bmod 2 = 1$ คือ $\frac{3}{2} = 1$ เศษเกินมา 1 ดังนั้นคำตอบคือ 1

$3.5 \bmod 2 = 1.5$ คือ $\frac{3.5}{2} = 1$ เศษเกินมา 1.5 ดังนั้นคำตอบคือ 1.5

กรณีที่เป็นค่าลบ คือ $-3 \bmod 2 = 1$ อธิบายได้คือ ให้มองว่า 2 คูณด้วยอะไรที่จะได้ ค่าถัดไปที่จะทำให้สามารถหารลงตัวได้ ซึ่งก็คือ 2 คูณด้วย -2 ได้ -4 แต่ค่าที่นำมา mod คือ -3 ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ยังขาดอีก 1 (ให้มองเป็นขนาด) ดังนั้น $-3 \bmod 2 = 1$ อีกตัวอย่างหนึ่งที่จะยกมาให้เห็นคือ $-7.5 \bmod 2 = 0.5$

ดังนั้นสรุปคือ วิธีการ mod คือ หารเฉพาะจำนวนเต็ม จุดทศนิยมจะไม่หารแล้วมอง 2 กรณีคือ จำนวนบวกกับจำนวนลบ ถ้าเป็นบวกก็เอาเศษที่เกินจากการหารเป็นคำตอบเลย แต่ถ้าเป็นจำนวนเต็มลบแล้วให้หาค่าถัดไปที่จะหารได้ลงตัว แล้วนับย้อนกลับมายังค่าที่นำมา mod ซึ่งคำตอบที่ได้จากการ mod จะมีคำตอบเป็นบวกเสมอ ดังเช่น $-7.5 \bmod 2 = 0.5$ และ $7.5 \bmod 2 = 1.5$

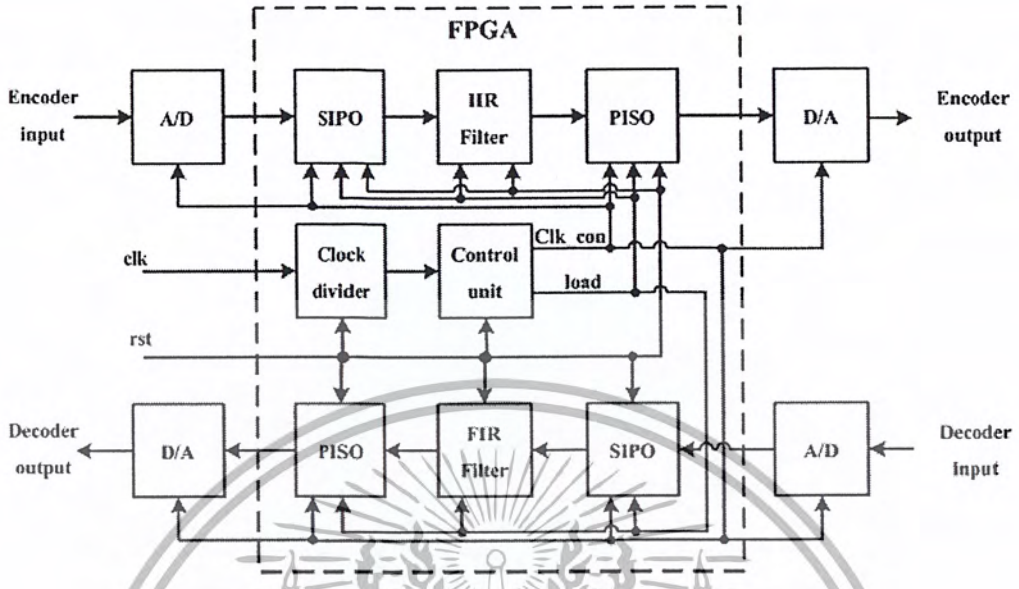
3.5 การออกแบบในส่วนของ FPGA

โครงสร้างภายในส่วนของ FPGA ที่ใช้สำหรับสร้างวงจรเข้ารหัสและถอดรหัสเป็นดังรูปที่ 3.17 เนื่องจากผลของการแปลงสัญญาณอนาลอกเป็นดิจิตอลที่ใช้ในปริญญานิพนธ์นี้ให้เอาท์พุทขนาด 1 บิต จึงจำเป็นต้องนำข้อมูลมาเรียงให้มีขนาดมากขึ้นเพื่อที่จะสามารถนำไปใช้ดำเนินการทางคณิตศาสตร์ได้ ดังนั้นจึงออกแบบส่วนของวงจรเรียงข้อมูลแบบอนุกรมเป็นแบบขนาน (Serial In Parallel Out : SIPO) และวงจรเรียงข้อมูลขนานเป็นอนุกรม (Parallel In Serial Out : PISO) เพื่อใช้ประกอบกับวงจรกรองสัญญาณดิจิตอลที่เป็นตัวเข้าและถอดรหัสที่มีขนาด 8 บิต

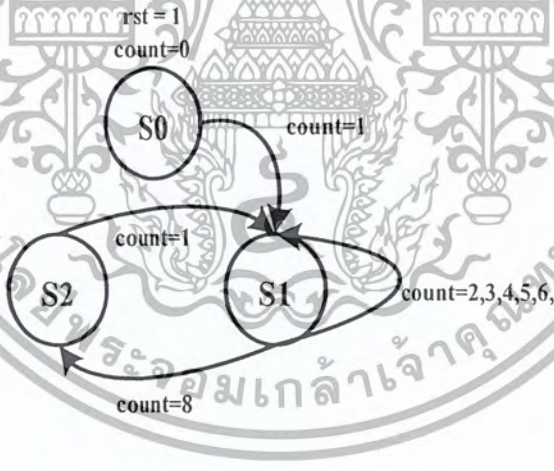
3.5.1 วงจรควบคุมสัญญาณ (control_unit)

เนื่องจากวงจรแต่ละวงจรต้องการสัญญาณควบคุมเพื่อให้วงจรทั้งหมดทำงานสอดคล้องกันโดยในที่นี้จะอาศัยการนับเป็นตัวกำหนดการทำงานโดยใช้สัญญาณ clock ที่ได้จากวงจรหารความถี่ (clock divider) เพื่อใช้ในการนับโดยสามารถเขียนเป็นสเตทไดอะแกรม (stage diagram) ได้ดังรูปที่ 3.18

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.17 โครงสร้างภายในของ FPGA ที่ใช้ในการสร้างวงจรเข้ารหัสและถอดรหัส



รูปที่ 3.18 สเตทไดอะแกรมวงจรควบคุมสัญญาณ (control_unit)

โดยจะกำหนดอินพุตของวงจรดังนี้

สัญญาณ clk และ rst โดยสัญญาณ clk จะได้มาจากวงจรหารความถี่ (clock divider) ซึ่งจะใช้ในการนับเพื่อเป็นตัวกำหนดค่าในสเตทต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ rst จะเป็นสัญญาณที่ใช้ในการรีเซ็ตหรือเคลียร์ (reset or clear) ให้ทุกๆค่า และทุกๆสัญญาณของวงจรมีค่าเป็นศูนย์ ยกเว้นให้แต่สัญญาณ count = 1

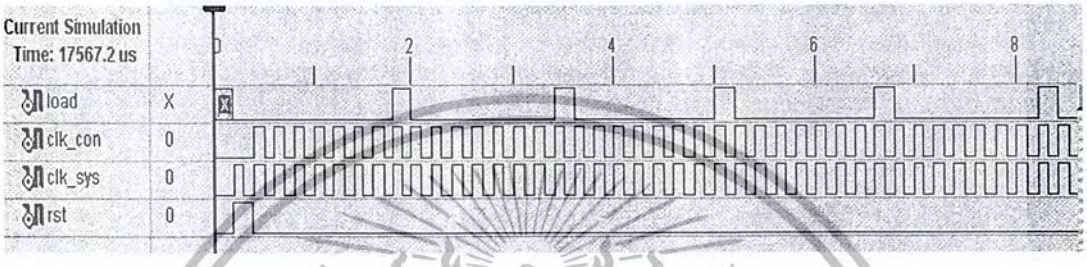
ในการนับจะสร้างตัวแปร count มีค่าตั้งแต่ 0 ถึง 8 ซึ่งจะเป็นตัวกำหนด สถานะของสเตทต่างๆสำหรับควบคุมการทำงานของวงจร ซึ่งหลักการทำงานของวงจรควบคุมสัญญาณ (control_unit) มีลำดับขั้นตอนการทำงานดังต่อไปนี้

1) เมื่อให้สัญญาณ rst = 1 แล้วจะทำให้ค่า count = 1 ทำให้สเตจที่ได้คือ S1 ได้เอาท์พุท load = 0 และ clk_con = clk
2) เมื่อ rst = 0 แล้วสัญญาณ clk ขอบขาขึ้นเข้ามาจะทำให้เริ่มตรวจสอบค่าสเตจ ซึ่งคือ count = 1 จะได้ค่าสเตจคือ S1 จะได้เอาท์พุท load = 0 และ clk_con = clk จากนั้นก็เพิ่มค่าของ count ขึ้น 1 ค่า จะทำให้ค่า count = 2
3) เมื่อ rst = 0 แล้วสัญญาณ clk ขอบขาขึ้นเข้ามาจะทำให้ตรวจสอบค่าสเตจ ซึ่งคือ count = 2 จะได้ค่าสเตจคือ S1 ซึ่งจะได้เอาท์พุท load = 0 และ clk_con = clk และเพิ่มค่าของ count ขึ้น 1 ค่า จะทำให้ค่า count = 3
4) เมื่อ rst = 0 แล้วสัญญาณ clk ขอบขาขึ้นเข้ามาจะทำให้ตรวจสอบค่าสเตจ ซึ่งคือ count = 3 จะได้ค่าสเตจคือ S1 ซึ่งจะได้เอาท์พุท load = 0 และ clk_con = clk และเพิ่มค่าของ count ขึ้น 1 ค่า จะทำให้ค่า count = 4
5) เช่นกันดังข้อ 4 คือที่ค่า count = 4, 5, 6 และ 7 จะได้ค่าสเตจคือ S1 ซึ่งจะได้เอาท์พุท load = 0 และ clk_con = clk และเพิ่มค่าของ count ขึ้น 1 ค่า จะทำให้ค่า count = 5, 6, 7 และ 8 ตามลำดับ
6) เมื่อ rst = 0 แล้วสัญญาณ clk ขอบขาขึ้นเข้ามาจะทำให้ตรวจสอบค่าสเตจ ซึ่งคือ count = 8 จะได้ค่าสเตจใหม่คือ S2 ซึ่งจะได้เอาท์พุท load = 1 และ clk_con = clk และทำการกำหนดค่า count เพื่อให้นับใหม่คือ count = 1
7) เมื่อ rst = 0 แล้วสัญญาณ clk ขอบขาขึ้นเข้ามาจะทำให้ตรวจสอบค่าสเตจ ซึ่งคือ count = 1 ซึ่งจะวนกลับไปที่สเตจ S1 ซึ่งจะทำงานวนซ้ำตั้งแต่ข้อ 3 ไปเรื่อยๆ
8) สำหรับสเตจ S0 จะเป็นกรณีที่นอกเหนือจากที่กล่าวโดยจะให้เอาต์พุตคือ load = 0 และ clk_con = clk ซึ่งอาจจะเกิดขึ้นเมื่อสภาวะเริ่มต้นแล้ว rst = 0 ทำให้ค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

count = 0 เมื่อมีสัญญาณ clk ขอบขาขึ้นเข้ามา ก็จะทำการเพิ่มค่าขึ้น 1 จะได้ count = 1 ซึ่งหลังจากนี้ก็จะทำงานในสเตจ S1

เมื่อนำไปจำลองการทำงานจะได้ดังรูปที่ 3.19



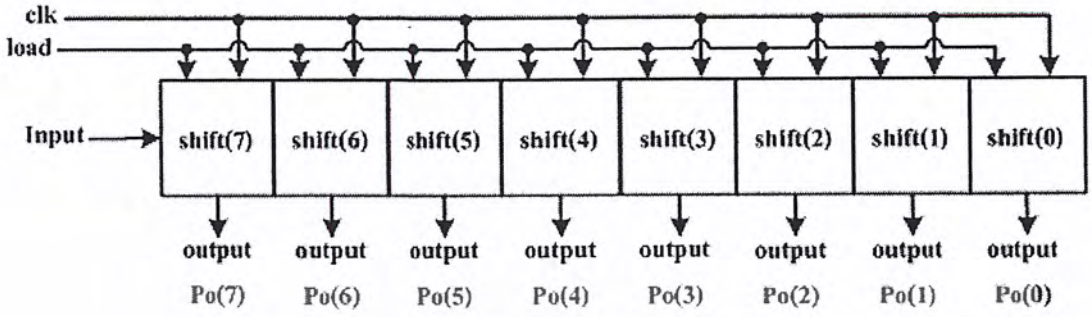
รูปที่ 3.19 ผลการจำลองการทำงานของวงจรควบคุมสัญญาณ (control_unit)

3.5.2 วงจรเรียงข้อมูลแบบอนุกรมเป็นขนาน (Serial In Parallel Out : SIPO)

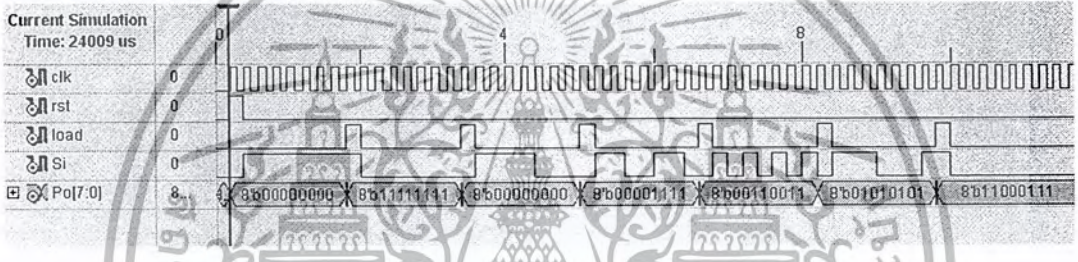
เนื่องจากผลของการแปลงสัญญาณอนาลอกเป็นดิจิตอลได้ผลลัพท์ดิจิตอลขนาด 1 บิต แต่วงจรเข้าและถอดรหัสหรือว่าวงจรกรองสัญญาณดิจิตอลในที่นี้ได้ออกแบบไว้ที่ 8 บิต ดังนั้นจึงต้องมีวงจรเรียงข้อมูลอนุกรมให้เป็นขนานขนาด 8 บิต

โดยใช้สัญญาณ clk_con ในการกำหนดความเร็วของในการสุ่มสัญญาณ (sampling) ทำให้ผลลัพท์ที่ได้จากการแปลงสัญญาณอนาลอกเป็นดิจิตอลจะมีความเร็วเท่ากับสัญญาณ clk_con ซึ่งจะใช้ในการเลื่อนข้อมูล โดยออกแบบรีจิสเตอร์ขนาด 8 บิตคือ shift (7 downto 0) และกำหนดให้สัญญาณ load เป็นตัวกำหนดจังหวะการโหลดขอมูลออกจากรีจิสเตอร์ซึ่งจะถูกควบคุมจากวงจร control_unit โดยโครงสร้างและสัญญาณที่ใช้ของวงจรเรียงข้อมูลอนุกรมเป็นขนานเป็นดังรูปที่ 3.20 ซึ่งวงจรเรียงข้อมูลอนุกรมเป็นขนาน (SIPO) มีพฤติกรรมการทำงานของวงจรดังรูปที่ 3.21

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.20 โครงสร้างภายในของวงจรเรียงข้อมูลอนุกรมเป็นขนาน (SIPO)



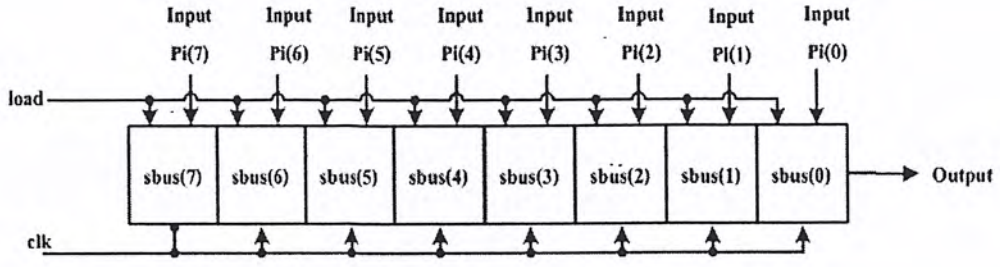
รูปที่ 3.21 ผลการจำลองการทำงานของวงจร SIPO

3.5.3 วงจรเรียงข้อมูลแบบขนานเป็นอนุกรม (Parallel In Serial Out : PISO)

ผลลัพธ์จากวงจรเข้าและถอดรหัสหรือว่าวงจรกรองสัญญาณดิจิตอลที่ออกแบบให้เอาท์พุทออกมา 8 บิต แต่เนื่องจากใช้วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกที่มีขนาด 1 บิต จึงจำเป็นต้องอาศัยวงจรเรียงข้อมูลขนานเป็นอนุกรมในการเรียงข้อมูลก่อนเข้าวงจรแปลงดิจิตอลเป็นอนาลอก

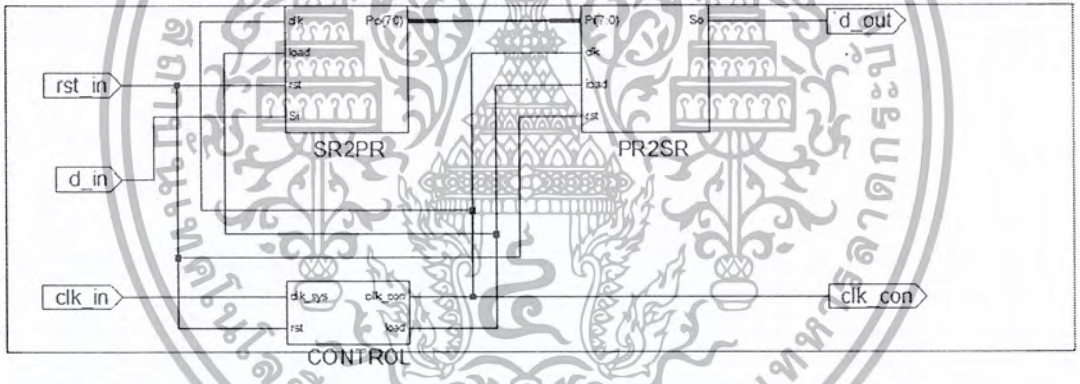
โดยกำหนดให้สัญญาณ load ควบคุมการโหลดของข้อมูลจากวงจรกรองสัญญาณดิจิตอลเพื่อมาเรียงข้อมูลโดยทำการเก็บข้อมูลที่โหลดไว้ในรีจิสเตอร์ sbus(7 downto 0) ที่มีขนาด 8 บิต แล้วจากนั้นก็ทำการเลื่อนข้อมูลออกจากรีจิสเตอร์โดยจะใช้สัญญาณ clk_con ซึ่งได้มาจากวงจร control_unit มาเป็นตัวเลื่อนข้อมูลออก ซึ่งจะมีความเร็วเท่ากับสัญญาณสุ่ม (sampling) ที่ใช้ในการแปลงข้อมูลดิจิตอลเป็นอนาลอก ดังนั้นโครงสร้างภายในของวงจรเรียงข้อมูลขนานเป็นอนุกรมมีดังรูปที่ 3.22

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

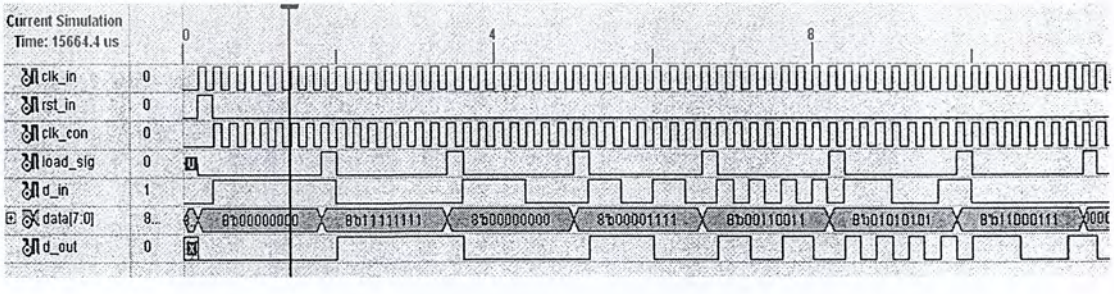


รูปที่ 3.22 โครงสร้างของวงจรเรียงข้อมูลขนานเป็นอนุกรม (PISO)

ซึ่งในการจำลองการทำงานจะทำโดยต่อส่วนของวงจร SIPO, PISO และ control_unit เข้าด้วยกัน โดยโครงสร้าง RTL Schematic แสดงดังรูปที่ 3.23 และผลการจำลองการทำงานแสดงไว้ดังรูปที่ 3.24



รูปที่ 3.23 โครงสร้าง RTL Schematic ที่ใช้ในการจำลองการทำงานของส่วนเรียงข้อมูล

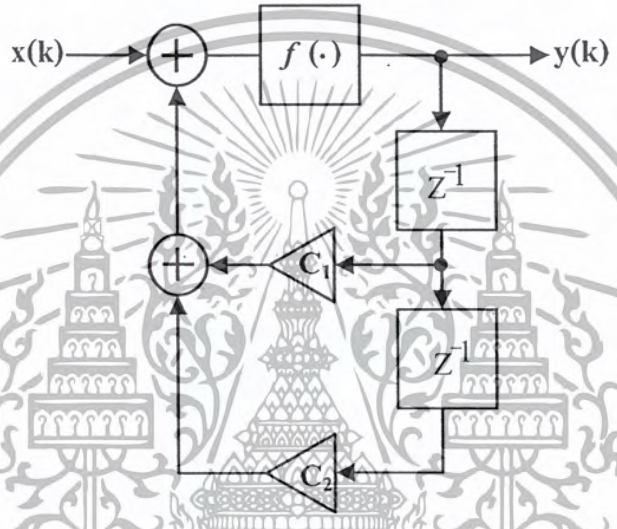


รูปที่ 3.24 ผลการจำลองการทำงานของวงจรเรียงข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5.4 การจำลองการทำงานของวงจรเข้ารหัส

จากส่วนของการจำลองการทำงานโดยโปรแกรม MATLAB ก่อนหน้านี้ใช้ค่าสัมประสิทธิ์ $C_1 = 3$ กับ $C_2 = -1$ ดังนั้นในการสร้างวงจรเข้ารหัสนี้จะใช้ค่าสัมประสิทธิ์ชุดเดียวกัน ซึ่งโครงสร้างที่ใช้ในการสร้างมีดังรูปที่ 3.25



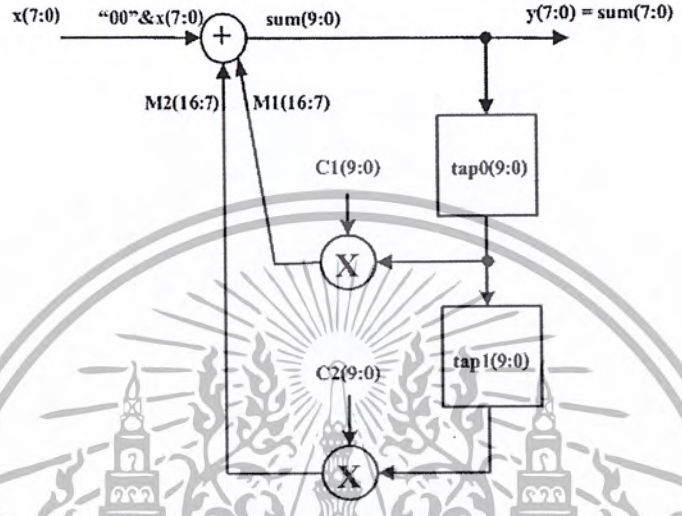
รูปที่ 3.25 โครงสร้างที่ใช้สร้างวงจรเข้ารหัสที่ใช้ในการจำลองการทำงานจากโดย MATLAB

โดยการจำลองการทำงานของวงจรเข้ารหัสกำหนดเงื่อนไขดังนี้

1) สมการผลต่างสืบเนื่องของวงจรเข้ารหัส
   $y(k) = f(x(k) + c_1 y(k-1) + c_2 y(k-2))$
2) อินพุต $x(k) = 0.25$
3) กำหนดเงื่อนไขเริ่มต้น $y(-1) = 0, y(-2) = 0$
4) สมการฟังก์ชันที่ทำให้เกิดการล้น $f(x) = (x+1) \bmod 2 - 1$
5) โดยกำหนด รูปแบบตัวเลขของอินพุตและเอาท์พุตคือ x.xxx xxxx
6) ค่าสัมประสิทธิ์จะถูกแทนด้วยรูปแบบตัวเลขคือ xxx.xxx xxxx
7) ในการออกแบบจริงจึงต้องมีการเพิ่มความยาวข้อมูลของอินพุตอีก 2บิตหน้าเพื่อใช้ในการประมวลผล และเอาท์พุตก็จะตัด 2 บิตหน้าทิ้งเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างที่จะใช้ในการออกแบบวงจรเข้ารหัสโดยแสดงขนาดความยาวของข้อมูลโดยละเอียด ซึ่งในรูปที่ 3.26 แสดงโครงสร้างของวงจรเข้ารหัสขนาด 8 บิต



รูปที่ 3.26 โครงสร้างแบบละเอียดที่ใช้สร้างวงจรเข้ารหัส

โดยกำหนดค่าสัมประสิทธิ์ของวงจรกรองสัญญาณดิจิตอลเป็น $c_1 = 3 = 011.0\ 0000$ และ $c_2 = -1 = 111.0\ 0000$ กำหนดค่า $x(k) = 0.25 = 0.010\ 0000$ สำหรับทุกค่าของ k และให้ $y(-1) = 0, y(-2) = 0$ โดยกำหนดให้เอาต์พุตมี format เป็น $x.xxx\ xxxx$ โดยให้บิตแรกเป็นบิตเครื่องหมาย

ซึ่งทั้งการคำนวณค่าเอาต์พุต $y(k)$ ของวงจรกรองสัญญาณดิจิตอลที่จำลองการทำงานจากโปรแกรม MATLAB และ วงจรกรองสัญญาณดิจิตอลในทางปฏิบัตินั้นจะแสดงควบคู่กันไปเพื่อให้สามารถเห็นผลลัพธ์ได้อย่างชัดเจนดังตารางที่ 3.1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 ผลการคำนวณจากโปรแกรม MATLAB เทียบกับการคำนวณในระบบเลขฐานสอง ของวงจรเข้ารหัส

ฐานสิบ	ฐานสองแบบ 2's complement
$k=0;\ I(0)=x(1)+c_1y(-1)+c_2y(-2)$ $=0.25+(3\times0)+(-1\times0)=0.25$ $\therefore y(0)=[(0.25+1)\bmod 2]-1=0.25$	000.010 0000 + <= 0.25 000.000 0000 + <= 0 000.000 0000 <= 0 000.010 0000 <= 0.25
$k=1;\ I(1)=x(1)+c_1y(0)+c_2y(-1)$ $=0.25+(3\times0.25)+(-1\times0)=1$ $\therefore y(1)=[(1+1)\bmod 2]-1=-1$	000.010 0000 + <= 0.25 000.110 0000 + <= 0.75 000.000 0000 <= 0 001.000 0000 <= −1
$k=2;\ I(2)=x(2)+c_1y(1)+c_2y(0)$ $=0.25+(3\times-1)+(-1\times0.25)=-3$ $\therefore y(2)=[(-3+1)\bmod 2]-1=-1$	000.010 0000 + <= 0.25 101.000 0000 + <= −3 001.110 0000 <= −0.25 111.000 0000 <= −1
$k=3;\ I(3)=x(3)+c_1y(2)+c_2y(1)$ $=0.25+(3\times-1)+(-1\times-1)=-1.75$ $\therefore y(3)=[(-1.75+1)\bmod 2]-1=0.25$	000.010 0000 + <= 0.25 101.000 0000 + <= −3 001.000 0000 <= 1 110.010 0000 <= 0.25
$k=4;\ I(4)=x(4)+c_1y(3)+c_2y(2)$ $=0.25+(3\times0.25)+(-1\times-1)=2$ $\therefore y(4)=[(2+1)\bmod 2]-1=0$	000.010 0000 + <= 0.25 000.110 0000 + <= 0.75 001.000 0000 <= 1 010.000 0000 <= 0
$k=5;\ I(5)=x(5)+c_1y(4)+c_2y(3)$ $=0.25+(3\times0)+(-1\times0.25)=0$ $\therefore y(5)=[(0+1)\bmod 2]-1=0$	000.010 0000 + <= 0.25 000.000 0000 + <= 0 001.110 0000 <= −0.25 010.000 0000 <= 0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 ผลการคำนวณจากโปรแกรม MATLAB เทียบกับการคำนวณในระบบเลขฐานสอง ของวงจรเข้ารหัส (ต่อ)

ฐานสิบ	ฐานสองแบบ 2's complement
$k=6;\ I(6)=x(6)+c_1y(5)+c_2y(4)$ $=0.25+(3\times0)+(-1\times0)=0.25$ $\therefore y(6)=[(0.25+1)\bmod 2]-1=0.25$	000.010 0000 + <= 0.25 000.000 0000 + <= 0 000.000 0000 <= 0 000.010 0000 <= 0.25
$k=7;\ I(7)=x(7)+c_1y(6)+c_2y(5)$ $=0.25+(3\times0.25)+(-1\times0)=1$ $\therefore y(7)=[(1+1)\bmod 2]-1=-1$	000.010 0000 + <= 0.25 000.110 0000 + <= 0.75 000.000 0000 <= 0 001.000 0000 <= −1
$k=8;\ I(8)=x(8)+c_1y(7)+c_2y(6)$ $=0.25+(3\times-1)+(-1\times0.25)=-3$ $\therefore y(8)=[(-3+1)\bmod 2]-1=-1$	000.010 0000 + <= 0.25 101.000 0000 + <= −3 001.110 0000 <= −0.25 111.000 0000 <= −1
$k=9;\ I(9)=x(9)+c_1y(8)+c_2y(7)$ $=0.25+(3\times-1)+(-1\times-1)=-1.75$ $\therefore y(9)=[(-1.75+1)\bmod 2]-1=0.25$	000.010 0000 + <= 0.25 101.000 0000 + <= −3 001.000 0000 <= 1 110.010 0000 <= 0.25

ตรวจสอบผลการคำนวณโดยการใช้ค่าที่คำนวณได้เทียบกับค่าที่ได้จากโปรแกรม MATLAB ซึ่งมี code ของโปรแกรมดังรูปที่ 3.27 และกำหนดให้ค่าเงื่อนไขเริ่มต้นอยู่ที่ตำแหน่ง $y(-2) => y(1)=0$ และ $y(-1) => y(2)=0$ ดังนั้นจึงเริ่มคำนวณที่ $y(0)=y(3)$ ขึ้นไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
clear all;
clc;
% coefficient1 & coefficient2
c1=3; c2=-1;
% initial value
y(1)=0;y(2)=0;
%encoder
for k=3:12;
    x(k)=0.25;
    I=x(k)+c1*y(k-1)+c2*y(k-2);
    y(k)=mod(I+1,2)-1;
end;
```

รูปที่ 3.27 โปรแกรม MATLAB ที่ใช้น้ำกรจำลองการทำงานของวงจรเข้ารหัส

ผลการคำนวณจากโปรแกรมได้ดังนี้

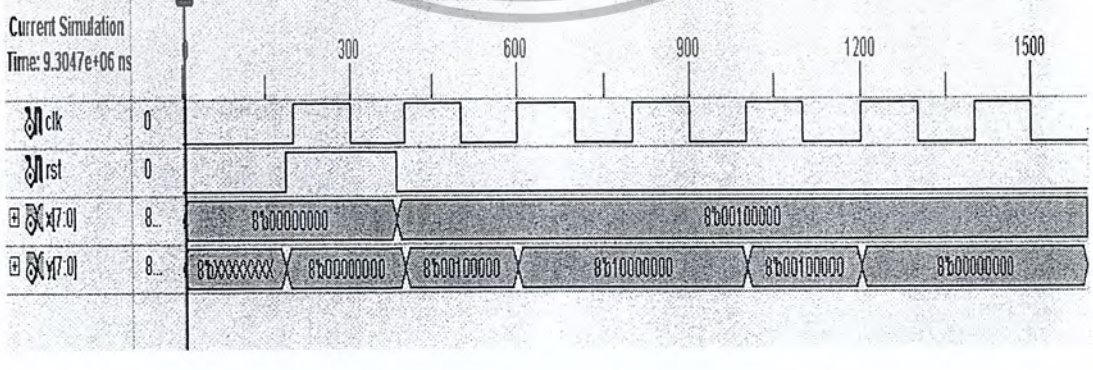
Columns 1 through 7

0 0 0.2500 -1.0000 -1.0000 0.2500 0

Columns 8 through 12

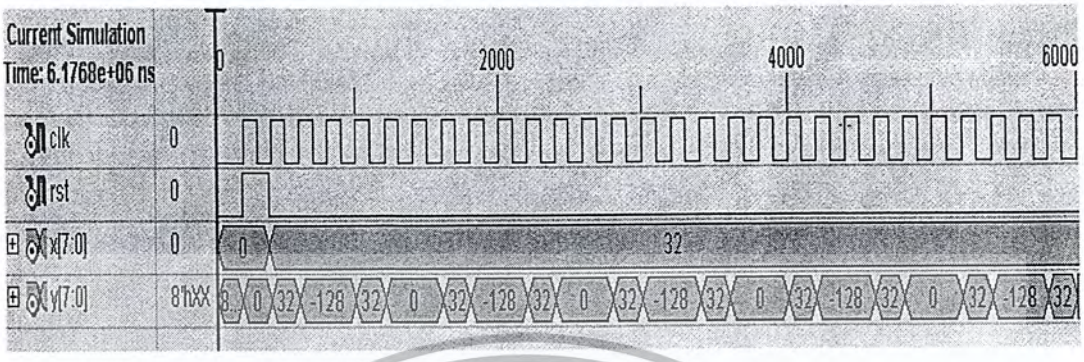
0 0.2500 -1.0000 -1.0000 0.2500

จากการตรวจสอบผลการคำนวณและ ผลที่ได้จากโปรแกรม MATLAB พบว่าค่าที่ได้มีค่าที่ตรงกัน ดังนั้นจึงสรุปได้ว่าวงจรเข้ารหัสสามารถทำงานได้อย่างถูกต้อง และเกิดการล้นขึ้นจริงในฮาร์ดแวร์ที่ออกแบบ จากนั้นจำลองการทำงานโดย Xilinx ISE Simulator ซึ่งผลการจำลองการทำงาน แสดงดังรูปที่ 3.28 และรูปที่ 3.29



รูปที่ 3.28 ผลการจำลองการทำงานโดยแสดงในรูปของเลขฐานสอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

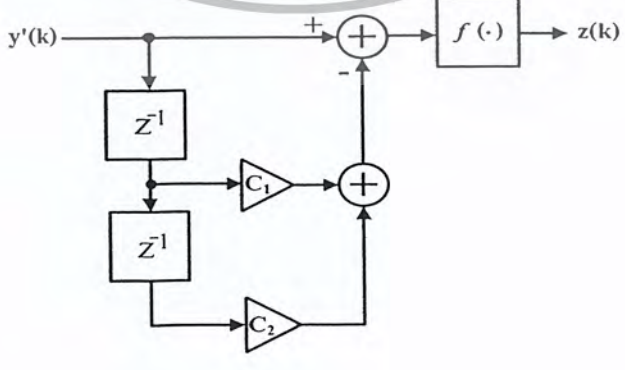


รูปที่ 3.29 ผลการจำลองการทำงานโดยแสดงในรูปของเลขฐานสิบ

เนื่องจากโปรแกรมจำลองการทำงานมองเลขฐานสิบเป็นแบบจำนวนเต็ม ดังนั้นค่า 32 คือ 0.25 และ -128 คือ -1 ซึ่งจะเห็นได้ว่าตรงตามที่คำนวณไว้ แสดงว่าสามารถออกแบบวงจรเข้ารหัสได้ตรงตามที่ต้องการและถูกต้อง

3.5.5 การจำลองการทำงานของวงจรถอดรหัส

วงจรถอดรหัสเป็นวงจรกรองสัญญาณดิจิตอลอันดับที่สอง ชนิดผลตอบสนองอิมพัลส์จำกัด (FIR filter) ซึ่งในการจำลองการทำงานโดยใช้โปรแกรม MATLAB นั้นจะต้องมีฟังก์ชัน overflow ($f(\cdot)$) เพื่อทำให้เกิดการล้นขึ้นในวงจรกรองสัญญาณดิจิตอล ซึ่งมีโครงสร้างของวงจรดังรูปที่ 3.30



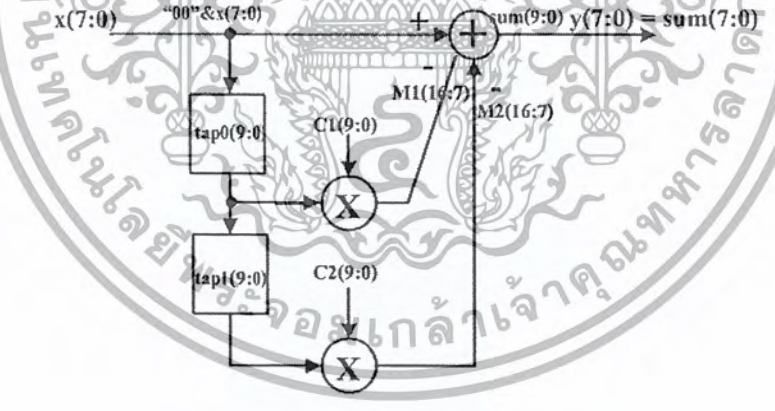
รูปที่ 3.30 โครงสร้างของวงจรถอดรหัสที่ใช้ในการจำลองการทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยการจำลองการทำงานของวงจรถอดรหัสกำหนดเงื่อนไขดังนี้

1) สมการผลต่างสืบเนื่องของวงจรถอดรหัส
   $z(k) = f(y'(k) - c_1 y'(k-1) - c_2 y'(k-2))$
2) กำหนดเงื่อนไขเริ่มต้น $y(-1) = 0, y(-2) = 0$
3) สมการฟังก์ชันที่ทำให้เกิดการล้น $f(x) = (x+1) \bmod 2 - 1$
4) โดยกำหนด รูปแบบตัวเลขของอินพุตและเอาท์พุตคือ x.xxx xxxx
5) ค่าสัมประสิทธิ์จะถูกแทนด้วยรูปแบบตัวเลขคือ xxx.xxx xxxx
6) ในการออกแบบจริงจึงต้องมีการเพิ่มความยาวข้อมูลของอินพุตอีก 2บิตหน้าเพื่อใช้ในการประมวลผล และเอาท์พุตก็จะตัด 2 บิตหน้าทิ้งเช่นกัน

โครงสร้างที่จะใช้ในการออกแบบวงจรถอดรหัสโดยแสดงขนาดความยาวของข้อมูลโดยละเอียด ซึ่งในรูปนี้แสดงโครงสร้างของวงจรเข้ารหัสขนาด 8 บิตรูปที่ 3.31



รูปที่ 3.31 โครงสร้างแบบละเอียดภายในของวงจรถอดรหัส

โดยกำหนดค่าสัมประสิทธิ์ของวงจรกรองสัญญาณดิจิตอลเป็น $c_1 = 3 = 011.0\ 0000$ และ $c_2 = -1 = 111.0\ 0000$ กำหนดค่า $y'(k) = y(k)$ ที่ตำแหน่งของ k ใดๆ และให้ $y'(-1) = 0, y'(-2) = 0$ โดยกำหนดให้เอาต์พุตมี format เป็น *x.xxx xxxx* โดยให้บิตแรกเป็นบิตเครื่องหมาย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งทั้งการคำนวณค่าเอาต์พุต $y(k)$ ของวงจรกรองสัญญาณดิจิตอลที่จำลองการทำงานจากโปรแกรม MATLAB และ วงจรกรองสัญญาณดิจิตอลในทางปฏิบัตินั้นจะแสดงควบคู่กันไปเพื่อให้สามารถเห็นผลลัพธ์ได้อย่างชัดเจนดังตารางที่ 3.2

ตารางที่ 3.2 ผลการคำนวณจากโปรแกรม MATLAB เทียบกับการคำนวณในระบบเลขฐานสองของวงจรถอดรหัส

ฐานสิบ	ฐานสองแบบ 2's complement
$k=0;\ I(0)=y'(0)-c_1y'(-1)-c_2y'(-2)$ $=0.25-(3\times0)-(-1\times0)=0.25$ $\therefore z(0)=[(0.25+1)\bmod 2]-1=0.25$	000.010 0000 + <= 0.25 000.000 0000 + <= 0 000.000 0000 <= 0 000.010 0000 <= 0.25
$k=1;\ I(1)=y'(1)-c_1y'(0)-c_2y'(-1)$ $=-1-(3\times0.25)-(-1\times0)=-1.75$ $\therefore z(1)=[(-1.75+1)\bmod 2]-1=0.25$	111.000 0000 + <= −1 001.010 0000 + <= −0.75 000.000 0000 <= 0 000.010 0000 <= 0.25
$k=2;\ I(2)=y'(2)-c_1y'(1)-c_2y'(0)$ $=-1-(3\times-1)-(-1\times0.25)=2.25$ $\therefore z(2)=[(2.25+1)\bmod 2]-1=0.25$	111.000 0000 + <= −1 011.000 0000 + <= 3 000.010 0000 <= 0.25 010.010 0000 <= 0.25
$k=3;\ I(3)=y'(3)-c_1y'(2)-c_2y'(1)$ $=0.25-(3\times-1)-(-1\times-1)=2.25$ $\therefore z(3)=[(2.25+1)\bmod 2]-1=0.25$	000.010 0000 + <= 0.25 011.000 0000 + <= 3 111.000 0000 <= −1 010.010 0000 <= 0.25
$k=4;\ I(4)=y'(4)-c_1y'(3)-c_2y'(2)$ $=0-(3\times0.25)-(-1\times-1)=-1.75$ $\therefore z(4)=[(-1.75+1)\bmod 2]-1=0.25$	000.000 0000 + <= 0 001.010 0000 + <= −0.75 111.000 0000 <= −1 000.010 0000 <= 0.25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.2 ผลการคำนวณจากโปรแกรม MATLAB เทียบกับการคำนวณในระบบเลขฐานสอง ของวงจรถอดรหัส (ต่อ)

ฐานสิบ	ฐานสองแบบ 2's complement
$k=5;\ I(5)=y'(5)-c_1y'(4)-c_2y'(3)$ $=0-(3\times0)-(-1\times0.25)=0.25$ $\therefore z(5)=[(0.25+1)\bmod 2]-1=0.25$	000.000 0000 + <= 0 000.000 0000 + <= 0 000.010 0000 <= 0.25 000.010 0000 <= 0.25
$k=6;\ I(6)=y'(6)-c_1y'(5)-c_2y'(4)$ $=0.25-(3\times0)-(-1\times0)=0.25$ $\therefore z(6)=[(0.25+1)\bmod 2]-1=0.25$	000.010 0000 + <= 0.25 000.000 0000 + <= 0 000.000 0000 <= 0 000.010 0000 <= 0.25
$k=7;\ I(7)=y'(7)-c_1y'(6)-c_2y'(5)$ $=-1-(3\times0.25)-(-1\times0)=-1.75$ $\therefore z(7)=[(-1.75+1)\bmod 2]-1=0.25$	111.000 0000 + <= -1 001.010 0000 + <= -0.75 000.000 0000 <= 0 000.010 0000 <= 0.25
$k=8;\ I(8)=y(8)-c_1y'(7)-c_2y'(6)$ $=-1-(3\times-1)-(-1\times0.25)=2.25$ $\therefore z(8)=[(2.25+1)\bmod 2]-1=0.25$	111.000 0000 + <= -1 011.000 0000 + <= 3 000.010 0000 <= 0.25 010.010 0000 <= 0.25
$k=9;\ I(9)=y(9)-c_1y'(8)-c_2y'(7)$ $=0.25-(3\times-1)-(-1\times-1)=2.25$ $\therefore z(9)=[(2.25+1)\bmod 2]-1=0.25$	000.010 0000 + <= 0.25 011.000 0000 + <= 3 111.000 0000 <= -1 010.010 0000 <= -1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตรวจสอบผลการคำนวณโดยการใช้ค่าที่คำนวณได้เทียบกับค่าที่ได้จากโปรแกรม MATLAB ซึ่งมี code ของโปรแกรมดังรูปที่ 3.32

```
clear all;
clc;
% coefficient 1 & % coefficient 2
c1=3;
c2=-1;
% coefficient 3 & % coefficient 4
c3=3;
c4=-1;
% initial value
y(1)=0;
y(2)=0;
%%%%%%%%%% Encoder %%%%%%%%%%
for k=3:12;
                x(k)=0.25;
          I=x(k)+c1*y(k-1)+c2*y(k-2);
                y(k)=mod(I+1,2)-1;
end;
%%%%%%%%%% Decoder %%%%%%%%%%
yr=y;
for k=3:12;
          J=yr(k)-(c3*yr(k-1) + c4*yr(k-2));
          z(k)=mod(J+1,2)-1;
end;
```

รูปที่ 3.32 โปรแกรม MATLAB ที่ใช้น้ำกรจำลองการทำงานของวงจรถอดรหัส

จากโปรแกรม MATLAB จะได้ผลลัพธ์ดังต่อไปนี้

Columns 1 through 7

0 0 0.2500 0.2500 0.2500 0.2500 0.2500

Columns 8 through 12

0.2500 0.2500 0.2500 0.2500 0.2500

จากการตรวจสอบผลการคำนวณและ ผลที่ได้จากโปรแกรม MATLAB พบว่าค่าที่ได้มีค่าที่ตรงกัน ดังนั้นจึงสรุปได้ว่าวงจรถอดรหัสสามารถทำงานได้อย่างถูกต้อง และสามารถถอดรหัสเอาข้อมูลเดิมกลับมาได้อย่างถูกต้องตรงกับอินพุตของวงจรเข้ารหัส

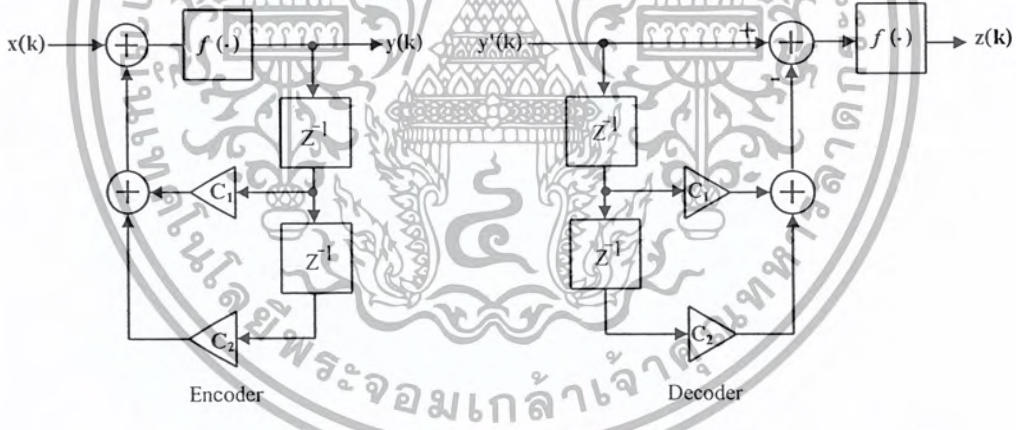
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ผลการทดลอง

บทนี้เป็นการเก็บผลการทดลองจากการออกแบบวงจรเข้ารหัสและถอดรหัส โดยใช้วงจรสัญญาณดิจิตอลอันดับที่สอง ซึ่งผลการทดลองมีทั้งที่ได้จากโปรแกรม MATLAB และผลจากการทดลองจริงในทางปฏิบัติ รวมทั้งผลการทดลองของวงจรกรองความถี่ต่ำผ่านอันดับสองแบบอนาลอก และวงจรขยาย pre Mic., amplifier ด้วย

โดยโครงสร้างของวงจรกรองสัญญาณดิจิตอลอันดับสอง ที่ใช้ในการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสแสดงได้ดังรูปที่ 4.1



รูปที่ 4.1 โครงสร้างของวงจรเข้ารหัสและถอดรหัสที่ใช้ในการจำลองการทำงาน

จากโครงสร้างของวงจรเข้ารหัสและถอดรหัสในรูปที่ 4.1 สามารถเขียนเป็นสมการผลต่างสืบเนื่องได้ดังนี้

สมการผลต่างสืบเนื่องของวงจรเข้ารหัส : $y(k) = f(x(k) + c_1 y(k-1) + c_2 y(k-2))$

สมการผลต่างสืบเนื่องของวงจรถอดรหัส : $z(k) = f(y(k) - c_1 y(k-1) - c_2 y(k-2))$

ฟังก์ชั่น $f(\cdot)$: $f(x) = (x+1) \bmod 2 - 1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 ผลการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัส

เพื่อให้เข้าใจการทำงานของวงจรกรองสัญญาณดิจิตอลที่ใช้เป็นวงจรเข้ารหัสและถอดรหัส จึงต้องมีการวิเคราะห์วงจรเข้ารหัสและถอดรหัส ซึ่งในปริญญานิพนธ์นี้ได้ทำการวิเคราะห์พฤติกรรมของวงจรเข้ารหัสและถอดรหัสแบบไม่สนใจปัจจัยภายนอก โดยใช้คุณสมบัติของระบบที่ไม่เป็นเชิงเส้น (nonlinear system) คืออินพุตเท่ากับศูนย์แต่เอาต์พุตไม่เท่ากับศูนย์ (zero in non zero out) แต่เนื่องจากอินพุตของระบบเท่ากับศูนย์ (zero input) จึงต้องกำหนดค่าเริ่มต้น (initial value) ให้กับระบบด้วย

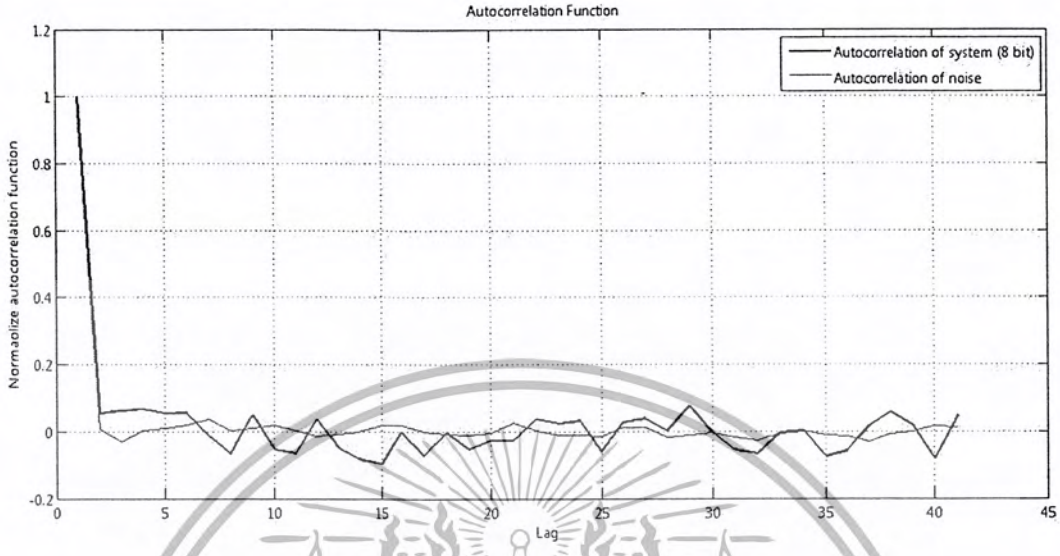
4.1.1 อัตสหสัมพันธ์ของเอาต์พุตของวงจรเข้ารหัส

เมื่อระบบมีอินพุตเป็นศูนย์ ลักษณะอัตสหสัมพันธ์ของผลตอบสนองของระบบจะมีลักษณะคล้ายกับอัตสหสัมพันธ์ของสัญญาณรบกวน โดยการวิเคราะห์ฟังก์ชันอัตสหสัมพันธ์ของเอาต์พุตของวงจรเข้ารหัส กำหนดให้ค่าเริ่มต้นให้ y(1) = 0.6135, y(2) = 0 โดยกำหนดให้ระบบมีขนาดของข้อมูลเป็น 8 บิต และใช้จำนวนจุดในการทดลอง 5,000 จุดจะได้ผลการทดลองดังรูปที่ 4.2

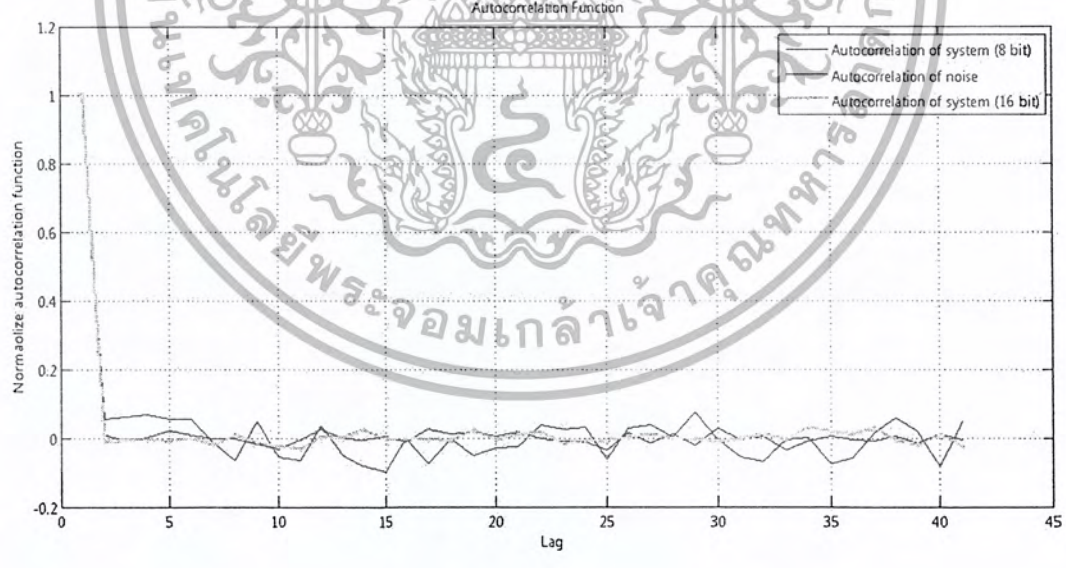
การวิเคราะห์ฟังก์ชันอัตสหสัมพันธ์ของเอาต์พุตของวงจรเข้ารหัส ที่กำหนดให้ระบบมีขนาดของข้อมูลเป็น 16 บิตจะได้ผลการทดลองดังรูปที่ 4.3 โดยกำหนดให้ค่าเริ่มต้น y(1) = 0.6135, y(2) = 0 และใช้จำนวนจุดในการทดลอง 5,000 จุด

การวิเคราะห์ฟังก์ชันอัตสหสัมพันธ์ของเอาต์พุตของวงจรเข้ารหัส ที่กำหนดให้ระบบมีขนาดของข้อมูลเป็น 32 บิตจะได้ผลการทดลองดังรูปที่ 4.4 โดยกำหนดให้ค่าเริ่มต้น y(1) = 0.6135, y(2) = 0 และใช้จำนวนจุดในการทดลอง 5,000 จุด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

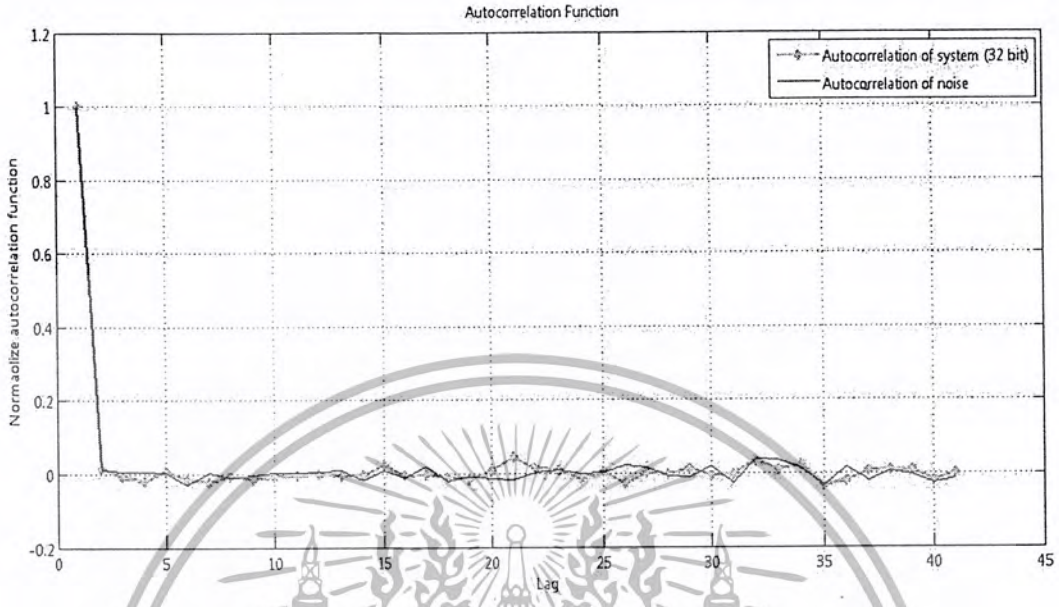


รูปที่ 4.2 อัตสหสัมพันธ์ของเอาต์พุตของวงจรเข้ารหัส 8 บิต เทียบกับอัตสหสัมพันธ์ของสัญญาณรบกวน



รูปที่ 4.3 อัตสหสัมพันธ์ของเอาต์พุตของวงจรเข้ารหัส 8 บิต และ 16 บิต เทียบกับอัตสหสัมพันธ์ของสัญญาณรบกวน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.4 สหสัมพันธ์ของเอาต์พุตของวงจรเข้ารหัส 32 บิต เทียบกับอัตสหสัมพันธ์ของสัญญาณรบกวน

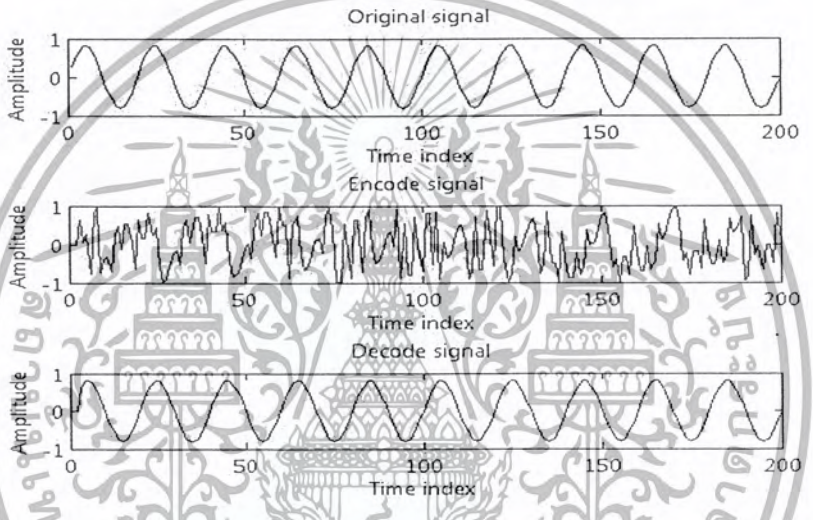
จากรูปที่ 4.2, 4.3 และ 4.4 ซึ่งแสดงการพล็อตนอร์มอลไลซ์ฟังก์ชันอัตสหสัมพันธ์ของเอาต์พุตของวงจรเข้ารหัส จะเห็นได้ว่ามีลักษณะเหมือนฟังก์ชันอัตสหสัมพันธ์ของสัญญาณรบกวน แสดงให้เห็นว่าเอาต์พุตของวงจรเข้ารหัสมีความสัมพันธ์กันต่ำมาก ซึ่งเป็นลักษณะของการเข้ารหัสที่ดีแสดงว่าเอาต์พุตของวงจรเข้ารหัสเป็นข้อมูลแบบสุ่มที่สามารถคาดเดาได้ยาก

จากรูปที่ 4.2, 4.3 และ 4.4 แสดงนอร์มอลไลซ์ฟังก์ชันอัตสหสัมพันธ์ของเอาต์พุตของวงจรเข้ารหัส จะเห็นได้ว่าถ้ากำหนดให้ระบบมีจำนวนบิตมากขึ้น ฟังก์ชันอัตสหสัมพันธ์ของวงเข้ารหัสจะมีความใกล้เคียงกับฟังก์ชันอัตสหสัมพันธ์ของสัญญาณรบกวนมากขึ้น แต่ข้อเสียของการกำหนดให้ระบบมีจำนวนบิตมากขึ้น คือจะทำให้ระบบมีการคำนวณที่ซับซ้อนขึ้นทำให้การทำงานของระบบมีความล่าช้า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 ผลการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสกับสัญญาณไซน์

โดยกำหนดให้มีความถี่ $\omega=0.1\pi$ *rad* กำหนดให้มีความยาว $k=1:200$ แอมปลิจูด ± 0.8 และกำหนดค่าสัมประสิทธิ์ของวงจรกรองสัญญาณดิจิตอลเป็น $c_1=3$ และ $c_2=-1$ ให้เหมือนกันทั้งวงจรเข้ารหัสและวงจรถอดหัสซึ่งผลของการจำลองการทำงานที่ได้แสดงดังรูปที่ 4.5



รูปที่ 4.5 ผลการจำลองการทำงานกับสัญญาณไซน์โดยค่าสัมประสิทธิ์เหมือนกัน

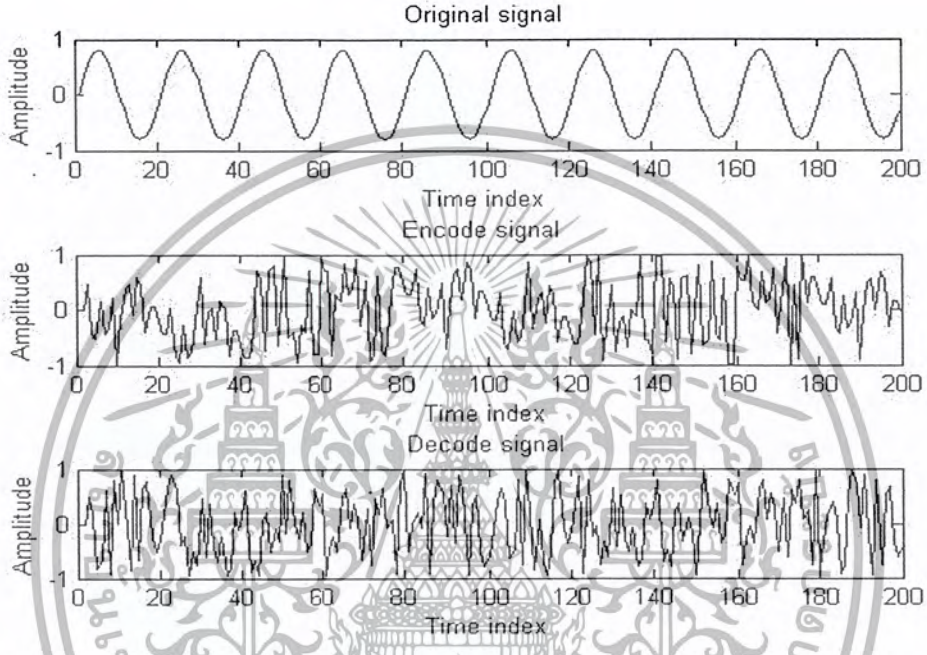
จากรูปที่ 4.5 จะเห็นว่าสามารถทำการเข้ารหัสและถอดรหัสได้ เมื่อกำหนดค่าสัมประสิทธิ์ของวงจรเข้ารหัสและถอดรหัสให้เหมือนกัน คือ $c_1=3$ และ $c_2=-1$ ซึ่งหาค่าระยะห่างยูคลีดีน (Euclidean distance) ระหว่างสัญญาณ Original signal และ Decode signal จะได้ดังสมการที่ (4.1)

$$D=\sqrt{\sum_{k=1}^{200}\left\{\left(x(k)-z(k)\right)^2\right\}}=1.72385665\ 2097122e\ -015\approx 0 \qquad (4.1)$$

จากสมการที่ (4.1) จะเห็นได้ว่าค่าระยะห่างยูคลีดีนมีค่าประมาณ 0 ซึ่งแสดงว่าสัญญาณทั้งสองนั้นมีความใกล้เคียงกันมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นทำการทดลองเปลี่ยนค่าสัมประสิทธิ์ของวงจรเข้ารหัสและวงจรถอดรหัสให้มีค่าต่างกัน โดยวงจรเข้ารหัสกำหนดให้ $c_1 = 2$ และ $c_2 = -1$ ส่วนวงจรถอดรหัสกำหนดให้ $c_1 = 3$ และ $c_2 = -1$ จะได้ผลการทดลองดังรูปที่ 4.6



รูปที่ 4.6 ผลการจำลองการทำงานกับสัญญาณไซน์โดยค่าสัมประสิทธิ์ต่างกัน

จากรูปที่ 4.6 จะเห็นว่าวงจรถอดรหัสไม่สามารถทำการถอดรหัสได้ เมื่อกำหนดค่าสัมประสิทธิ์ต่างกัน ซึ่งหาค่าระยะห่างยูคลีดีน (Euclidean distance) ได้ดังสมการที่ (4.2)

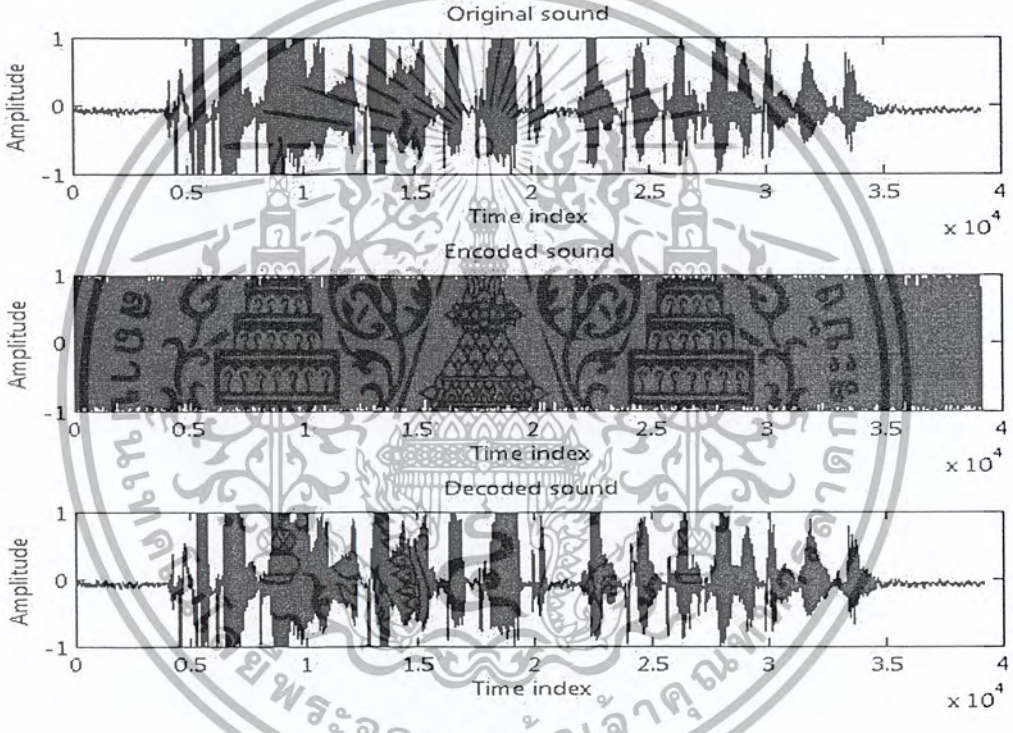
$$D = \sqrt{\sum_{k=1}^{200} \left\{ \left(x(k) - z(k) \right)^2 \right\}} = 11.6284628\ 56450316 \tag{4.2}$$

จากสมการที่ (4.2) เห็นว่าค่าระยะห่างยูคลีดีนมีค่ามาก แสดงว่าสัญญาณทั้งสองนั้นมีความใกล้เคียงกันน้อยมากเมื่อสัญญาณก่อนเข้ารหัสและหลังการถอดรหัสต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 ผลการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสกับข้อมูลเสียง

ในการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสกับสัญญาณเสียง โดยใช้โปรแกรม MATLAB อ่านข้อมูลเสียงแล้วนำข้อมูลที่ได้ไปทำการเข้ารหัสและถอดรหัส กำหนดค่าสัมประสิทธิ์เหมือนกันคือกำหนดให้ $c_1 = 3$ และ $c_2 = -1$ ซึ่งผลการทดลองแสดงได้ดังรูปที่ 4.7

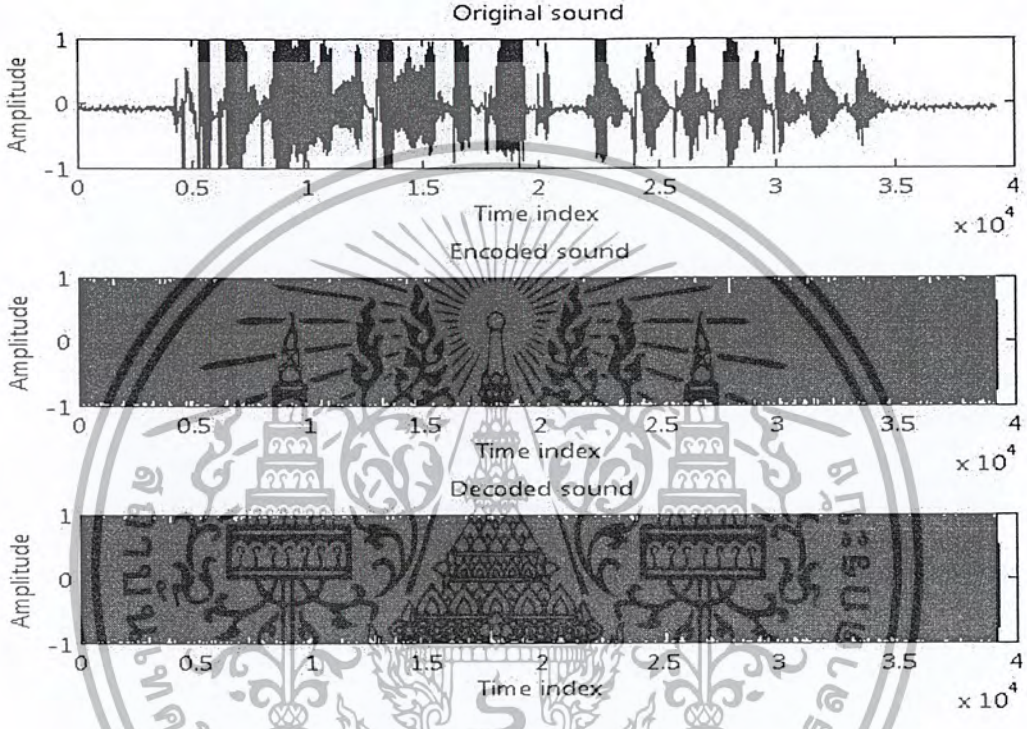


รูปที่ 4.7 ผลการจำลองการทำงานกับข้อมูลเสียงโดยค่าสัมประสิทธิ์เหมือนกัน

จากรูปที่ 4.7 เห็นได้ว่าสามารถถอดรหัสสัญญาณเสียงออกมาได้ เมื่อกำหนดค่าสัมประสิทธิ์ให้เหมือนกันทั้งฝั่งเข้ารหัสและถอดรหัส ซึ่งแสดงว่าวงจรเข้ารหัสและถอดรหัสสามารถนำไปใช้กับการเข้ารหัสและถอดรหัสเสียงได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากนั้นทดลองเปลี่ยนค่าสัมประสิทธิ์ของวงจรเข้ารหัสและวงจรถอดรหัสให้มีค่าต่างกัน โดยวงจรเข้ารหัสกำหนดให้ $c_1 = 2$ และ $c_2 = -1$ ส่วนวงจรถอดรหัสกำหนดให้ $c_1 = 3$ และ $c_2 = -1$ จะได้ผลการทดลองดังรูปที่ 4.8

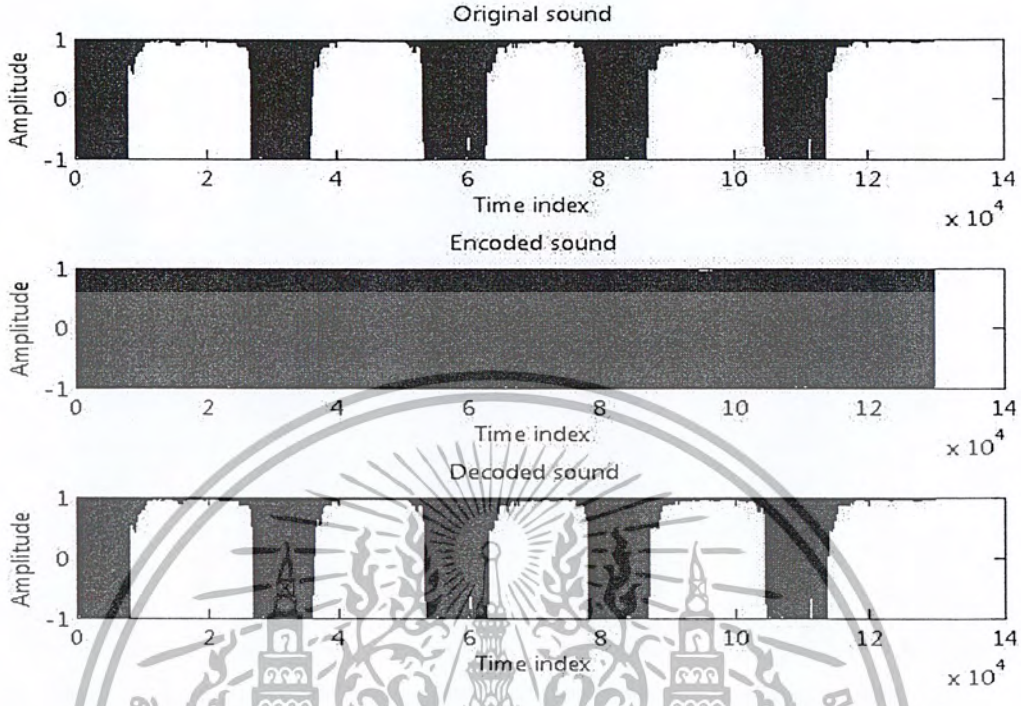


รูปที่ 4.8 ผลการจำลองการทำงานกับข้อมูลเสียงโดยค่าสัมประสิทธิ์ต่างกัน

จากรูปที่ 4.8 เห็นได้ว่าไม่สามารถถอดรหัสสัญญาณเสียงออกมาได้ เมื่อกำหนดค่าสัมประสิทธิ์ของวงจรเข้าและถอดรหัสให้ต่างกัน ซึ่งแสดงว่าถ้าวงจรเข้ารหัสและถอดรหัสที่มีค่าสัมประสิทธิ์ต่างกันจะไม่สามารถถอดรหัสเสียงได้

นอกจากกรณีจำลองการทำงานในรูปแบบของสัญญาณเสียงอินพุตที่เป็นแบบข้างต้นแล้ว ยังได้มีการทดลองกับสัญญาณเสียงที่เป็นห้วงๆดังรูปที่ 4.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 ผลการจำลองการทำงานกับข้อมูลเสียงที่เป็นห้วงๆ โดยค่าสัมประสิทธิ์เหมือนกัน

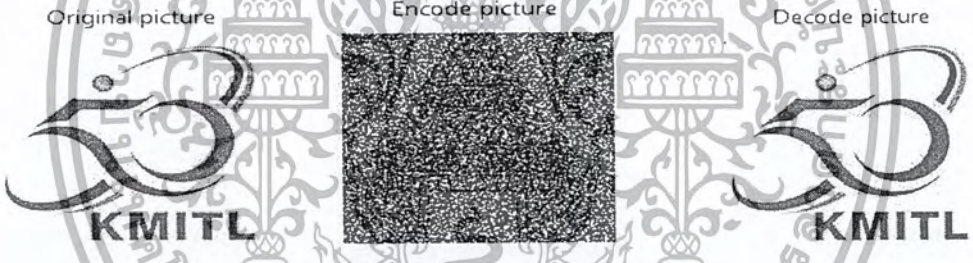
จากรูปที่ 4.9 จะเห็นว่าสัญญาณที่ผ่านการเข้ารหัสแล้วจะไม่เหลือเค้าโครงของสัญญาณเดิมเหลืออยู่เลยซึ่งถือเป็นคุณสมบัติที่ดีของการเข้ารหัสสัญญาณแบบเคออติก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.4 ผลการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสกับข้อมูลภาพ

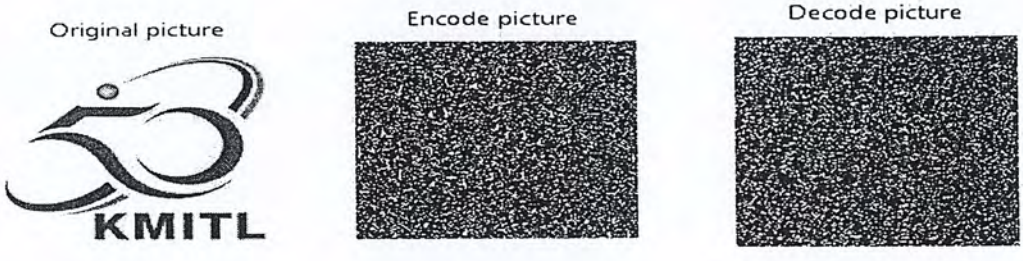
สำหรับการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสกับข้อมูลภาพ โดยให้โปรแกรม MATLAB อ่านภาพขาวดำ (gray scale) ซึ่งค่าที่อ่านได้จะอยู่ในรูปของเมทริกซ์ 2 มิติ คือขนาดกว้างคูณยาวของรูปหรือค่าพิกเซล (pixel) แต่ในการเข้ารหัสและถอดรหัสของปริญญานิพนธ์นี้ทำงานแบบ 1 มิติ ดังนั้นจึงต้องเรียงข้อมูลใหม่โดยใช้คำสั่ง reshape ของโปรแกรม MATLAB แล้วจึงทำการเข้าและถอดรหัสโดยเลือกใช้ค่าสัมประสิทธิ์เป็น $c_1 = 3$ และ $c_2 = -1$

โดยรูปที่ 4.10 เป็นการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสกับข้อมูลภาพ โดยกำหนดให้ค่าสัมประสิทธิ์ของวงจรเข้ารหัสและถอดรหัสเหมือนกันคือ $c_1 = 3$ และ $c_2 = -1$



รูปที่ 4.10 ผลการจำลองการทำงานกับข้อมูลภาพโดยกำหนดค่าสัมประสิทธิ์เหมือนกัน

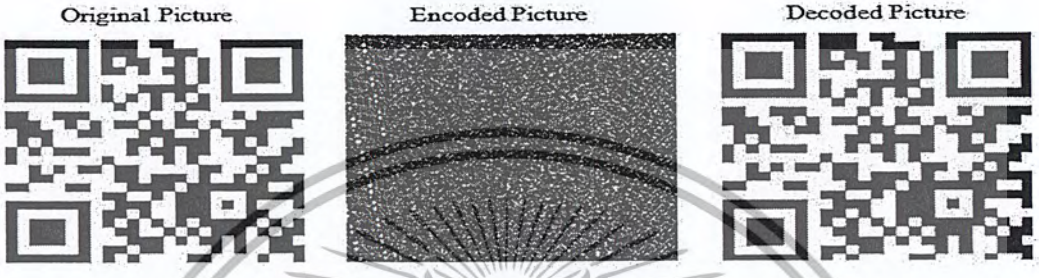
รูปที่ 4.11 เป็นการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสกับข้อมูลภาพ โดยกำหนดให้ค่าสัมประสิทธิ์ของวงจรเข้ารหัสและถอดรหัสต่างกัน



รูปที่ 4.11 ผลการจำลองการทำงานกับข้อมูลภาพโดยกำหนดค่าสัมประสิทธิ์ต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำลองการทำงานของวงจรเข้ารหัสและถอดรหัสกับภาพบาร์โค้ดสองมิติ (QR Code) โดยให้โปรแกรมอ่านภาพแล้วทำการเข้าและถอดรหัส โดยกำหนดค่าสัมประสิทธิ์เหมือนกันคือ $c_1 = 3$ และ $c_2 = -1$ ได้ผลการทดลองดังรูปที่ 4.12



รูปที่ 4.12 ผลการจำลองการทำงานกับข้อมูลภาพ QR code โดยกำหนดค่าสัมประสิทธิ์เหมือนกัน

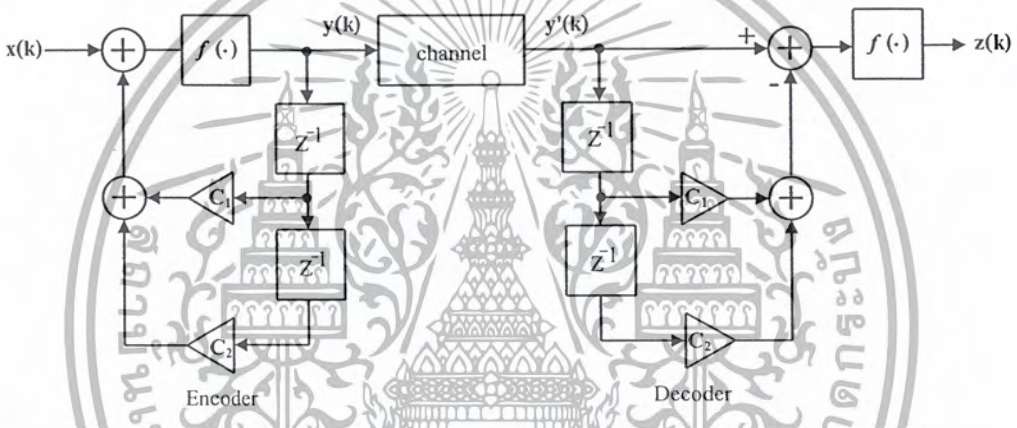
จากรูปที่ 4.12 ภาพต้นฉบับเป็นบาร์โค้ดสองมิติ มีลักษณะสีขาวและสีดำสลับกัน โดยภายในภาพชนิดนี้มีข้อมูลซ้อนอยู่ ซึ่งจะทำการทดลองโดยใช้วงจรเข้ารหัสและถอดรหัสในการเข้าและถอดรหัสภาพ หลังจากนั้นทำการตรวจสอบดูว่าสามารถอ่านข้อมูลที่ซ้อนอยู่ในรูปได้เหมือนเดิมหรือไม่

จากผลการทดลองพบว่าภาพที่ถูกเข้ารหัสไม่สามารถอ่านข้อมูลที่ซ้อนอยู่ได้และภาพหลังจากถอดรหัสแล้วสามารถอ่านข้อมูลที่ซ้อนอยู่ได้ และมีข้อมูลตรงกันทั้งภาพก่อนเข้ารหัสและภาพหลังจากถอดรหัสแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.5 ผลการจำลองการเข้ารหัสและถอดรหัสโดยส่งผ่านช่องสัญญาณ

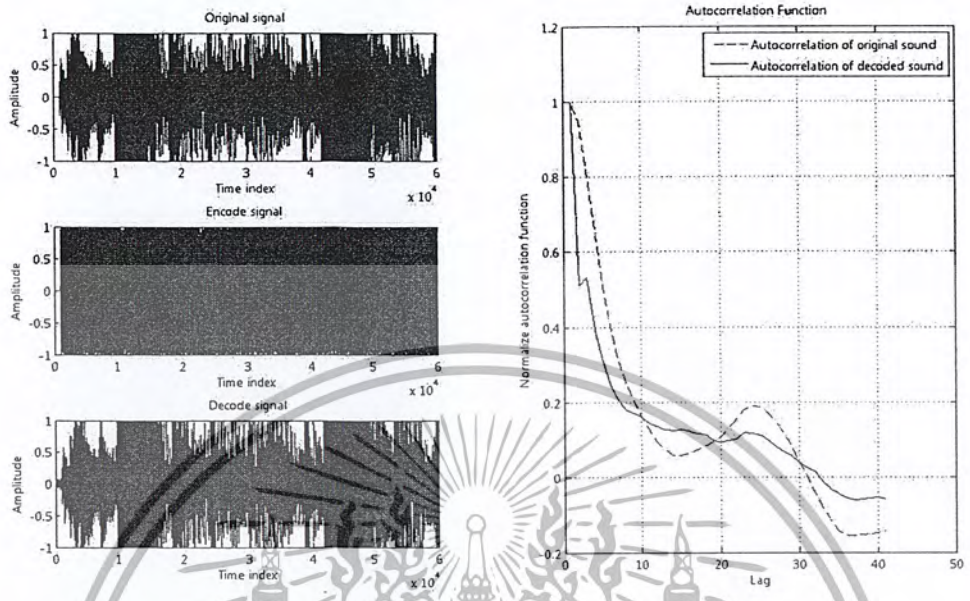
ในการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสโดยส่งผ่านช่องสัญญาณนี้ จะทำการสร้างสัญญาณรบกวนขึ้นมาจากตัวแปรสุ่มค่า แล้วทำการปรับระดับความแรงของสัญญาณรบกวนด้วยค่าความแปรปรวนไปเรื่อยๆ แล้วสังเกตข้อมูลที่ถอดรหัสว่าเหมือนกับต้นฉบับหรือไม่ ซึ่งโครงสร้างของวงจรเข้าและถอดรหัสโดยส่งผ่านช่องสัญญาณแสดงดังรูปที่ 4.13



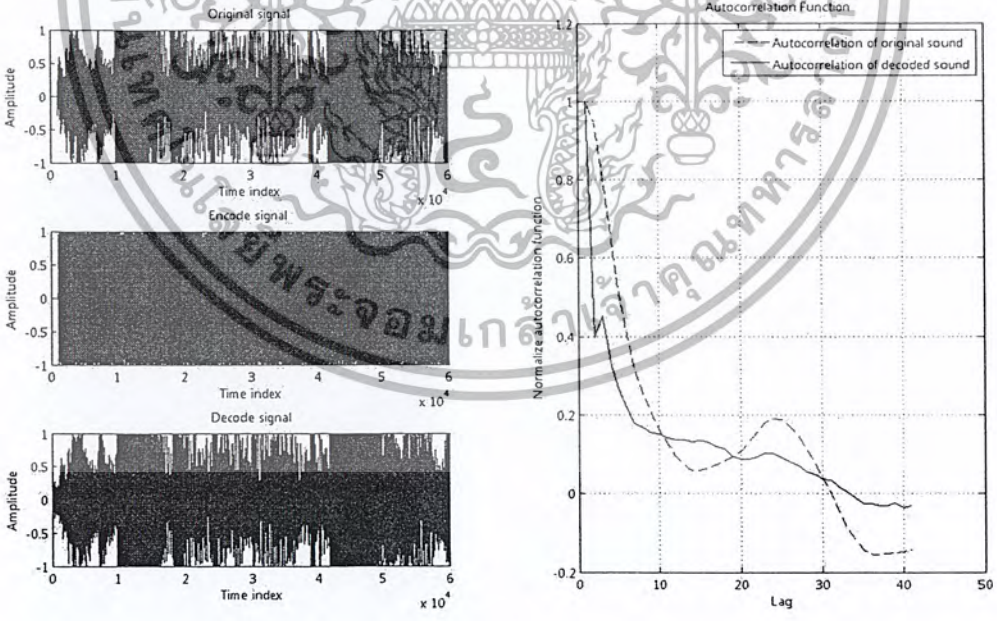
รูปที่ 4.13 โครงสร้างของวงจรเข้าและถอดรหัสโดยส่งผ่านช่องสัญญาณ

โดยการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสโดยผ่านช่องสัญญาณกับข้อมูลเสียงแสดงได้รูปที่ 4.14, 4.15, 4.16 และ 4.17

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

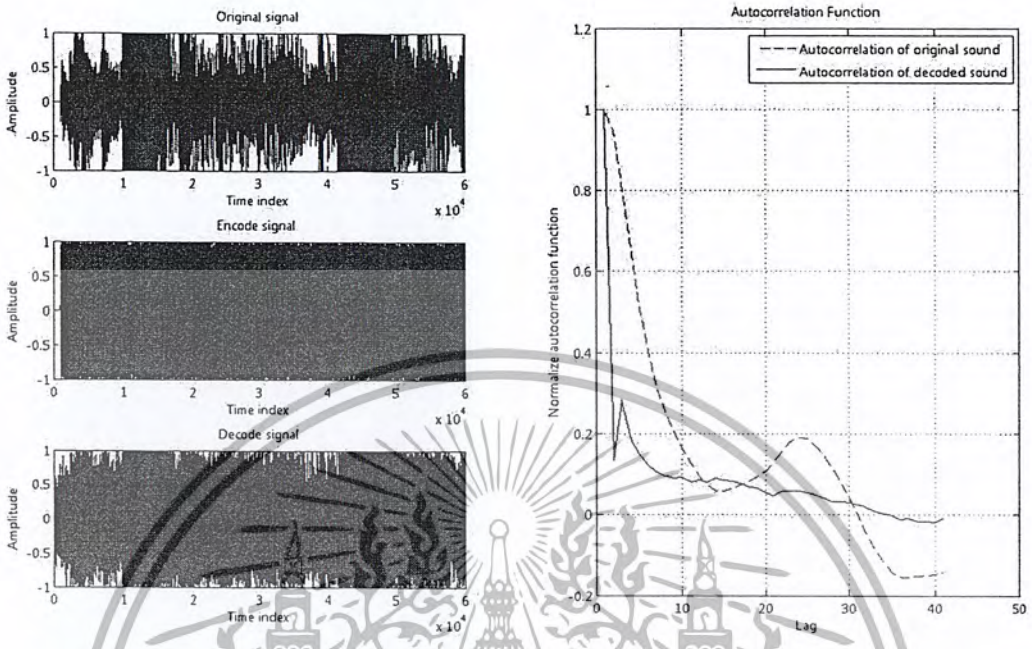


รูปที่ 4.14 ผลการจำลองการเข้ารหัสถอดรหัสผ่านช่องสัญญาณโดยค่า $\sigma^2 = 0.0001$

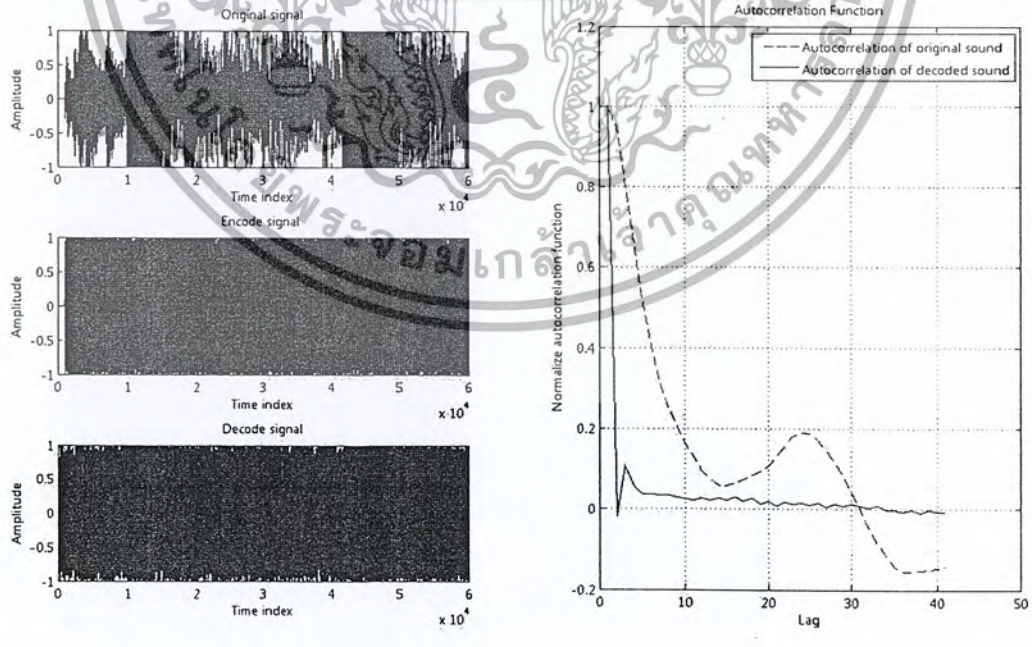


รูปที่ 4.15 ผลการจำลองการเข้ารหัสถอดรหัสผ่านช่องสัญญาณโดยค่า $\sigma^2 = 0.001$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.16 ผลการจำลองการเข้ารหัสถอดรหัสผ่านช่องสัญญาณโดยค่า $\sigma^2 = 0.01$



รูปที่ 4.17 ผลการจำลองการเข้ารหัสถอดรหัสผ่านช่องสัญญาณโดยค่า $\sigma^2 = 0.02$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.14, 4.15, 4.16 และ 4.17 แสดงผลการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสโดยผ่านช่องสัญญาณกับข้อมูลเสียง จะเห็นว่าเมื่อค่าความแปรปรวนมีค่าที่มากกว่า 0.01 ทั้งกราฟที่แสดงรูปแบบของสัญญาณในแกนเวลา และค่าอัตสหสัมพันธ์จะเริ่มมีความคล้ายกันลดลงอย่างมากจนที่ค่าที่ 0.02 รูปแบบของสัญญาณเสียงที่ได้จะมีลักษณะที่เหมือนสัญญาณรบกวนมากจนไม่สามารถแยกแยะความแตกต่างของข้อมูลเสียงกับสัญญาณรบกวนได้

เมื่อพิจารณาค่าอัตสหสัมพันธ์ของเสียงต้นฉบับและเสียงที่ถอดรหัสออกมาแล้วพบว่ามีแนวโน้มไปในทางเดียวกันคือ ยิ่งมีความแปรปรวนมากเสียงที่ถอดรหัสออกมาได้จะมีลักษณะที่เหมือนสัญญาณรบกวนมากขึ้น ซึ่งเป็นผลมาจากความแรงของสัญญาณรบกวน

นอกจากความแรงของสัญญาณรบกวนแล้วขนาดของสัญญาณเสียงต้นฉบับเองก็มีผลต่อเสียงที่ถอดรหัสออกมาได้เช่นกันคือ ถ้าเสียงต้นฉบับมีแอมปลิจูดมากจะสามารถทนต่อสัญญาณรบกวนได้ดี แต่ถ้าเสียงต้นฉบับมีแอมปลิจูดน้อยจะสามารถทนต่อสัญญาณรบกวนได้ไม่ดี ถึงแม้ค่าความแปรปรวนหรือที่สัญญาณรบกวนต่ำก็ไม่สามารถที่จะถอดรหัสสัญญาณเสียงต้นฉบับกลับมา

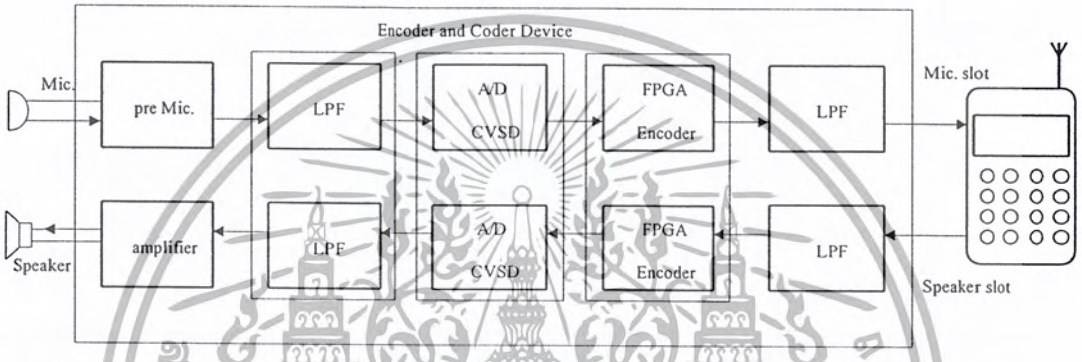
สำหรับการทดสอบวงจรเข้ารหัสและถอดรหัสโดยผ่านช่องสัญญาณแบบเกาส์เซียน (AWGN) พบว่าที่ค่าอัตราส่วนของสัญญาณต่อสัญญาณรบกวน (signal to noise ratio : SNR) มีค่า SNR > 20 แล้วสัญญาณที่ถอดรหัสมาจะสามารถฟังได้ชัดเจน แต่หากน้อยกว่านั้นจะทำให้เสียงที่ถอดรหัสมาสามารถฟังได้ไม่ชัดเจน

จากการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสที่ผ่านมาเมื่อทำการกำหนดค่าสัมประสิทธิ์ให้มีค่าใกล้เคียงกับค่าที่ใช้จริงประมาณ $C_i = C_i \pm 0.2$ แล้ว สังเกตว่าสามารถถอดรหัสออกมาได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 ผลการทดลองของวงจรแต่ละส่วนที่สร้างเพื่อนำไปใช้งานกับอุปกรณ์ FPGA

โครงสร้างบล็อกไดอะแกรมรวมของปริญญานิพนธ์แสดงได้ดังรูปที่ 4.18 ซึ่งประกอบด้วย วงจร pre Mic., วงจร amplifier, วงจรกรองสัญญาณความถี่ต่ำผ่านแบบอนาลอก, วงจรเข้าและถอดรหัสที่สร้างลงบนอุปกรณ์ FPGA ซึ่งทุกส่วนจะต้องทำงานร่วมกัน



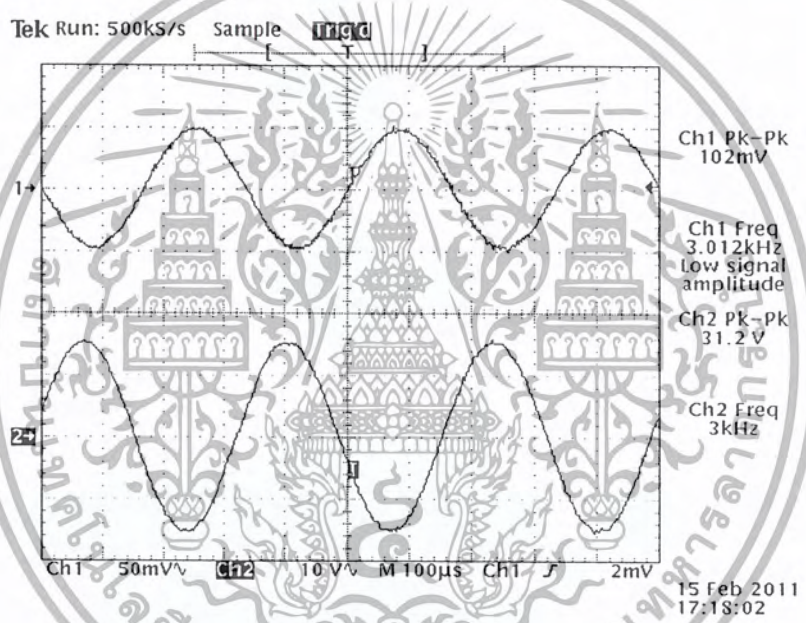
รูปที่ 4.18 โครงสร้างของวงจรเข้ารหัสและถอดรหัสที่ต่อร่วมกับอุปกรณ์อื่นๆ

ในการสร้างวงจรเพื่อทดลองในส่วนนี้ยังไม่ได้ระบุถึงส่วนของวงจรเข้าและถอดรหัสที่สร้างลงบนอุปกรณ์ FPGA โดยจะแยกไปทดลองในหัวข้อถัดไป ซึ่งสำหรับการสร้างอุปกรณ์ชุดนี้จะทำการสร้าง 2 ชุด เพื่อใช้ติดต่อสื่อสารระหว่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.1 ผลการทดลองของวงจรขยาย (pre Mic, and amplifier)

ในการออกแบบได้กำหนดให้วงจร pre. Mic. และวงจร amplifier มีอัตราขยายที่ต่างกันโดยให้ วงจร pre Mic. มีอัตราขยาย 300 เท่า และวงจร amplifier มีอัตราขยาย 50 เท่า ซึ่งในการทดลองกำหนดให้อินพุตเป็นสัญญาณไซน์ขนาด $100 mV_{PP}$ แล้ววัดสัญญาณเอาท์พุตเทียบกับอินพุต ซึ่งแสดงผลการทดลองได้ดังรูปที่ 4.19 โดย Ch1 วัดสัญญาณอินพุตและ Ch2 วัดสัญญาณเอาท์พุต



รูปที่ 4.19 ผลการทดลองของวงจร pre Mic. ที่ความถี่ 3 kHz

จากรูปที่ 4.19 เมื่อนำสัญญาณเอาท์พุตไปคำนวณหาค่าอัตราขยายแล้วได้ประมาณ 306 เท่าของสัญญาณอินพุต และมีลักษณะกลับเฟสซึ่งตรงตามที่ออกแบบไว้ แต่เนื่องจากวงจรขยายจะมีอัตราขยายที่ขึ้นอยู่กับความถี่ด้วย ดังนั้นจึงทำการหาค่าผลตอบสนองทางความถี่ของวงจรขยายที่ความถี่ต่างๆได้ดังตารางที่ 4.1

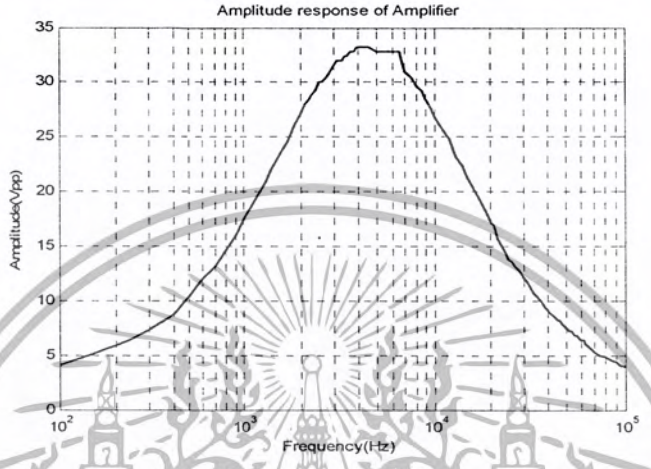
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.1 ผลตอบสนองทางความถี่ของวงจร pre Mic. ที่ความถี่ต่างๆ

ความถี่ (Hz)	แอมปลิจูด V_{pp}	ความถี่ (Hz)	แอมปลิจูด V_{pp}	ความถี่ (Hz)	แอมปลิจูด V_{pp}	ความถี่ (Hz)	แอมปลิจูด V_{pp}
100	4.08	3.8k	32.8	20k	17.2	43k	8.6
200	5.93	4k	33.2	21k	16.8	44k	8.4
300	7.36	4.5k	33.2	22k	15.6	45k	8.2
400	8.72	5k	32.8	23k	15	46k	8.2
500	10.4	5.5k	32.8	24k	14.4	47k	8
600	12	6k	32.8	25k	13.8	48k	7.8
700	13.2	6.5k	32.8	26k	13.6	49k	76
800	14.6	7k	31	27k	13.2	50k	7.4
900	16	7.5k	30.4	28k	12.8	55k	6.8
1k	17.4	8k	29.6	29k	12.4	60k	6.4
1.2k	19.8	8.5k	29.2	30k	12	65k	5.8
1.4k	22	9k	28.4	31k	11.8	70k	5.3
1.6k	23.8	9.5k	27.6	32k	11.4	75k	5
1.8k	25.4	10k	26.8	33k	11	80k	4.88
2k	27.2	11k	25.6	34k	10.6	85k	4.56
2.2k	28.4	12k	24.8	35k	10.4	90k	4.32
2.4k	29.2	13k	23.2	36k	10.2	95k	4.08
2.6k	30	14k	22.4	37k	10	100k	3.9
2.8k	30.8	15k	21.2	38k	9.6		
3k	31.6	16k	20.4	39k	9.4		
3.2k	32	17k	19.6	40k	9.2		
3.4k	32.4	18k	18.8	41k	9		
3.6k	32.8	19k	18	42k	8.8		

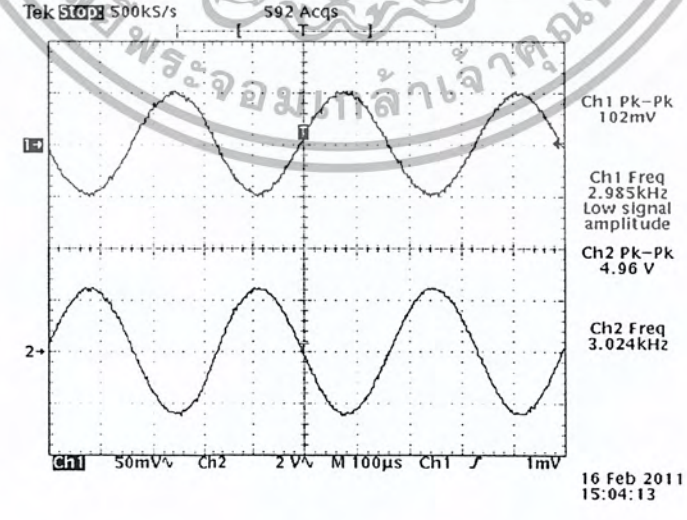
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากตารางที่ 4.1 เมื่อนำไปพล๊อตกราฟผลตอบสนองทางความถี่ของวงจร pre Mic. ด้วยโปรแกรม MATLAB จะได้กราฟของผลตอบสนองทางความถี่ดังรูปที่ 4.20



รูปที่ 4.20 ผลตอบสนองทางความถี่ของวงจร pre Mic.

สำหรับวงจร amplifier จะทำการทดลองในลักษณะเดียวกันคือ ป้อนอินพุตเป็นสัญญาณไซน์ขนาด $100mV_{pp}$ โดย Ch1 วัดสัญญาณอินพุต และ Ch2 วัดสัญญาณเอาท์พุตแสดงผลได้ดังรูปที่ 4.21



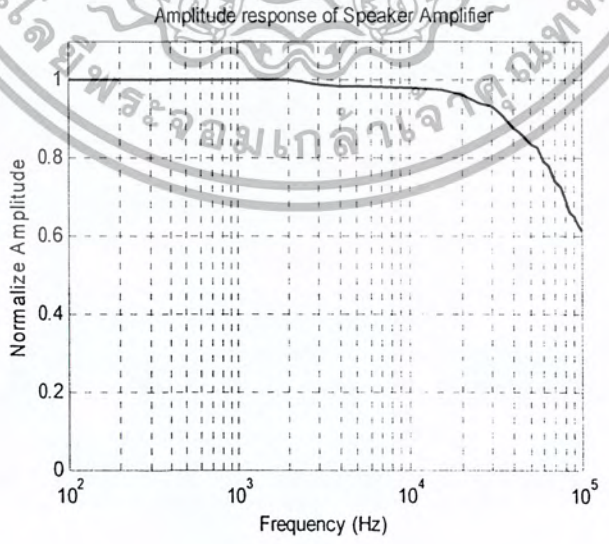
รูปที่ 4.21 ผลการทดลองของวงจร amplifier ที่ความถี่ 3 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.21 หาอัตราขยายของวงจรได้ประมาณ 50 เท่ากลับเฟส ซึ่งผลตอบสนองทางความถี่แสดงดังตารางที่ 4.2 และกราฟผลตอบสนองทางความถี่แสดงดังรูปที่ 4.22

ตารางที่ 4.2 ผลตอบสนองทางความถี่ของวงจร amplifier

ความถี่ (Hz)	แอมปลิจูด V_{pp}	ความถี่ (Hz)	แอมปลิจูด V_{pp}	ความถี่ (Hz)	แอมปลิจูด V_{pp}
100	5.02	20k	4.84	65k	3.91
500	5.02	25k	4.72	70k	3.72
1k	5.03	30k	4.69	75k	3.64
2k	5.02	35k	4.56	80k	3.48
3k	4.96	40k	4.40	85k	3.32
4k	4.95	45k	4.32	90k	3.28
5k	4.95	50k	4.20	95k	3.16
10k	4.93	55k	4.16	100k	3.08
15k	4.90	60k	3.98		

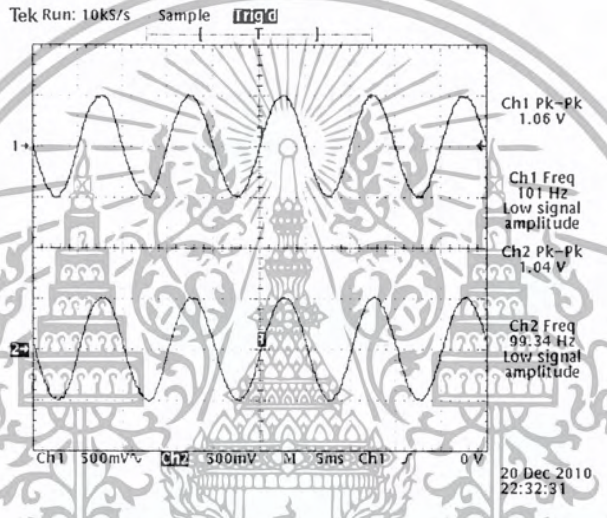


รูปที่ 4.22 ผลตอบสนองทางความถี่ของวงจร amplifier

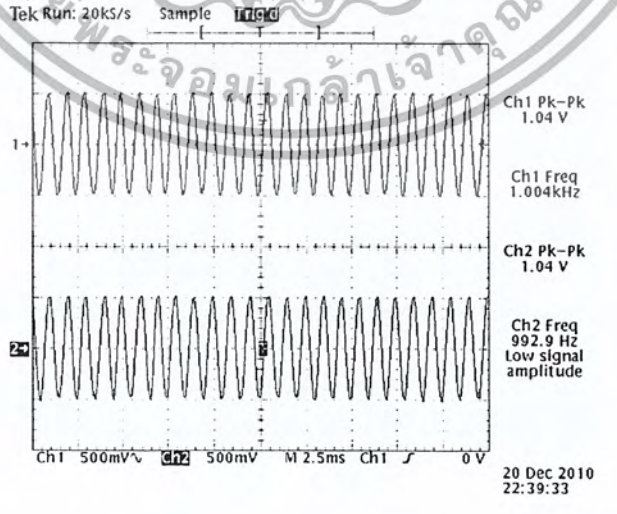
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 ผลการทดลองของวงจรกรองสัญญาณความถี่ต่ำผ่านแบบอนาลอก

ในการออกแบบวงจรกรองสัญญาณความถี่ต่ำผ่านอันดับสองแบบอนาลอก กำหนดให้มีความถี่ตัดที่ 4 kHz ซึ่งในการทดลองจะป้อนอินพุตเป็นสัญญาณไซน์ที่มีแอมปลิจูด $1V_{pp}$ แล้วเปลี่ยนค่าความถี่ต่างๆ ซึ่งผลการทดลองแสดงดังรูปที่ 4.23, 4.24, 4.25, และ 4.26 โดย Ch1 เป็นสัญญาณอินพุตและ Ch2 เป็นสัญญาณเอาท์พุต

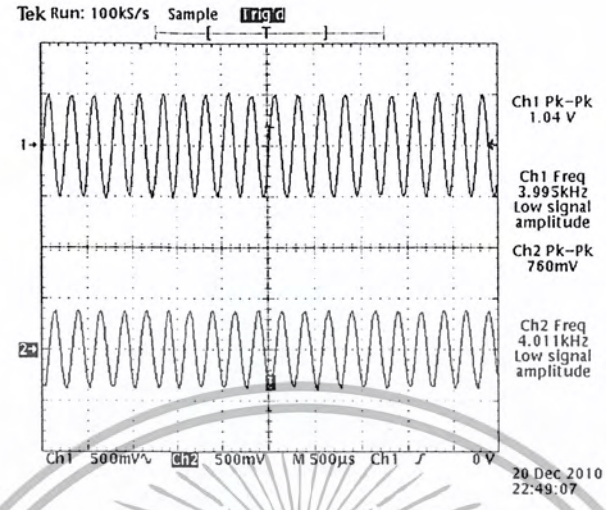


รูปที่ 4.23 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านที่ความถี่ 100 Hz

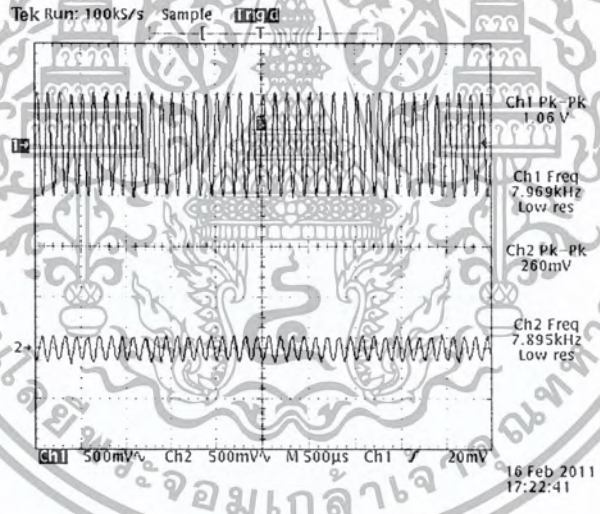


รูปที่ 4.24 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านที่ความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.25 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านที่ความถี่ 4 kHz



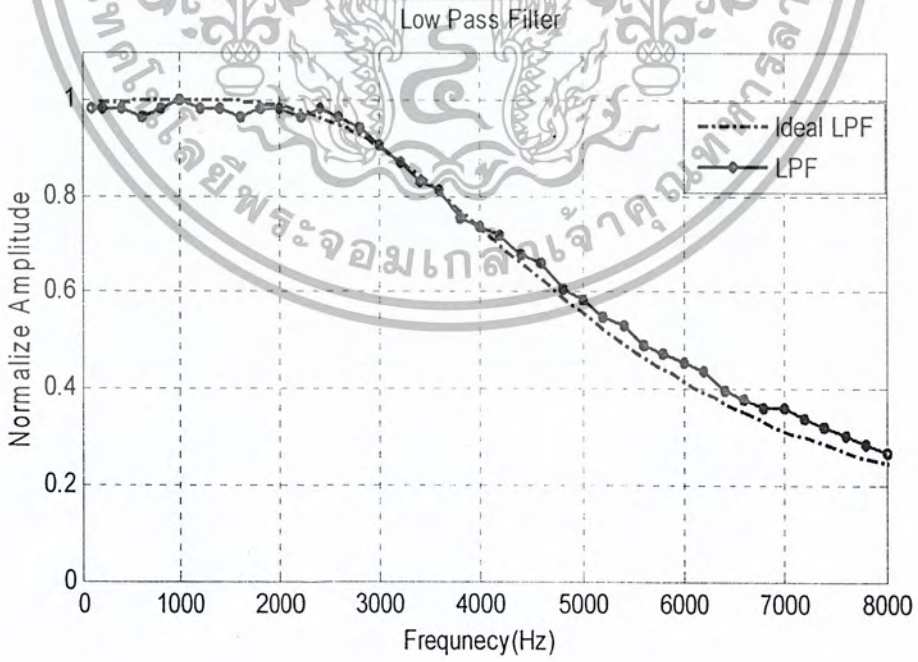
รูปที่ 4.26 ผลการทดลองของวงจรกรองความถี่ต่ำผ่านที่ความถี่ 8 kHz

จากผลการทดลองจะเห็นว่าเมื่อความถี่เป็น 4 kHz เอาท์พุตของวงจรกรองความถี่ต่ำผ่านจะมีแอมปลิจูดเหลือประมาณ 770 mV ซึ่งตรงตามที่ออกแบบไว้ จากนั้นเก็บผลโดยการเปลี่ยนความถี่เป็นต่างๆดังตารางที่ 4.3 เพื่อดูผลตอบสนองทางความถี่แล้วนำไปพล็อตเทียบกับผลตอบสนองความถี่ทางทฤษฎีดังรูปที่ 4.27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.3 ผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านแบบอนาลอก

ความถี่ (Hz)	แอมปลิจูด V_{pp}	ความถี่ (Hz)	แอมปลิจูด V_{pp}	ความถี่ (Hz)	แอมปลิจูด V_{pp}	ความถี่ (Hz)	แอมปลิจูด V_{pp}
100	1.04	2 k	1.04	4 k	0.78	6 k	0.48
200	1.04	2.2 k	1.02	4.2 k	0.76	6.2 k	0.46
400	1.04	2.4 k	1.04	4.4 k	0.72	6.4 k	0.42
600	1.02	2.6 k	1.02	4.6 k	0.7	6.6 k	0.4
800	1.04	2.8 k	1	4.8 k	0.64	6.8 k	0.38
1 k	1.06	3 k	0.96	5 k	0.62	7 k	0.38
1.2 k	1.04	3.2 k	0.92	5.2 k	0.58	7.2 k	0.36
1.4 k	1.04	3.4 k	0.88	5.4 k	0.56	7.4 k	0.34
1.6 k	1.02	3.6 k	0.86	5.6 k	0.52	7.6 k	0.32
1.8 k	1.04	3.8 k	0.8	5.8 k	0.5	8 k	0.28



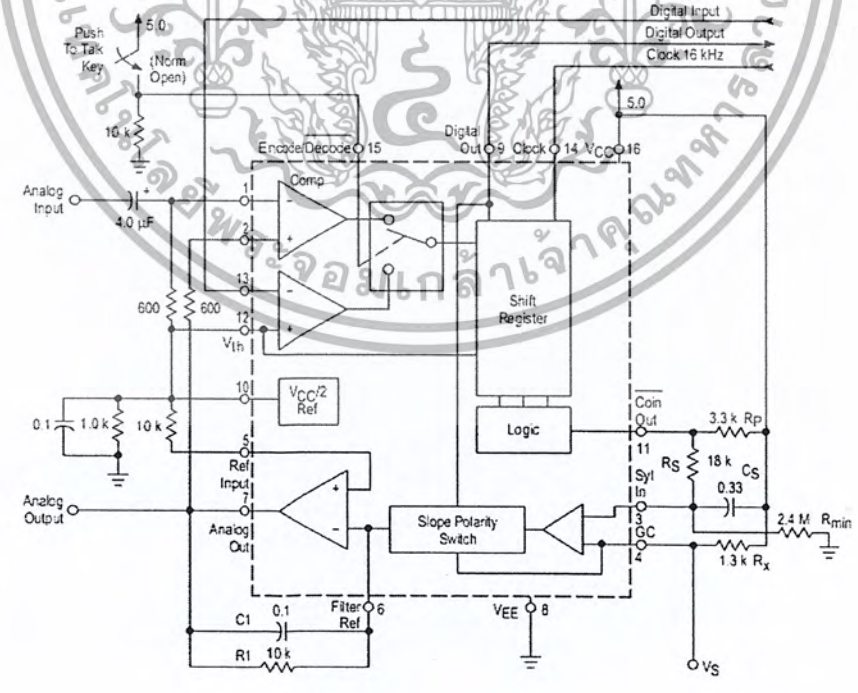
รูปที่ 4.27 ผลตอบสนองทางคามถี่ของวงจรกรองความถี่ต่ำผ่านจากการทดลองเทียบกับทฤษฎี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.3 ผลการทดลองของวงจรแปลงสัญญาณอนลอกเป็นดิจิตอล และวงจรแปลงดิจิตอลเป็นอนาลอก แบบ CVSD

การทดลองของวงจรแปลงดิจิตอลเป็นอนาลอก และวงจรแปลงอนาลอกเป็นดิจิตอล แบบ CVSD ทำโดยการป้อนสัญญาณคลื่นรูปไซน์ (sine wave) และสัญญาณเสียงเข้าวงจรแปลงอนาลอกเป็นดิจิตอล และนำสัญญาณดิจิตอลที่ได้ป้อนเข้าสู่วงจรแปลงดิจิตอลเป็นอนาลอกซึ่งมีบล็อกไดอะแกรมในการทดลองดังรูปที่ 4.28 และวงจรในการทดลองดังรูปที่ 4.29

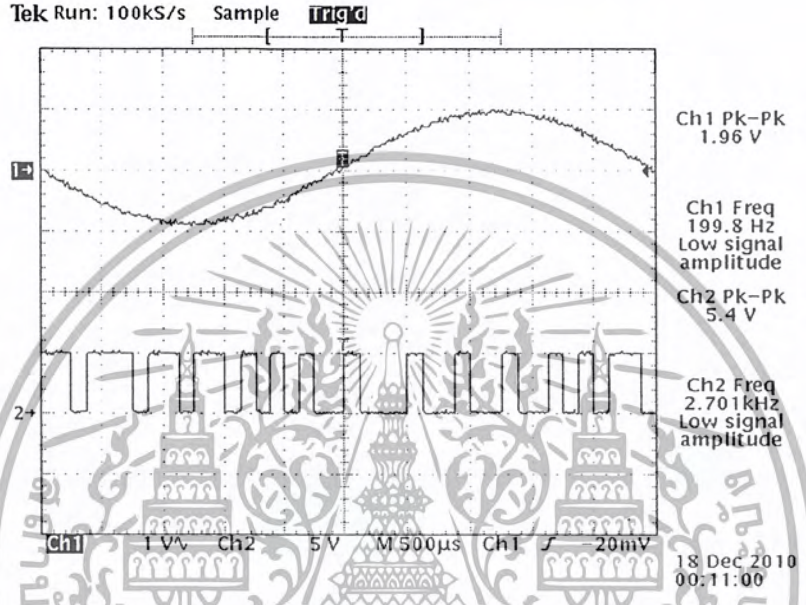
รูปที่ 4.28 รูปแบบในการทดลองวงจรแปลงอนาลอกเป็นดิจิตอล และวงจรแปลงดิจิตอลเป็นอนาลอกแบบ CVSD



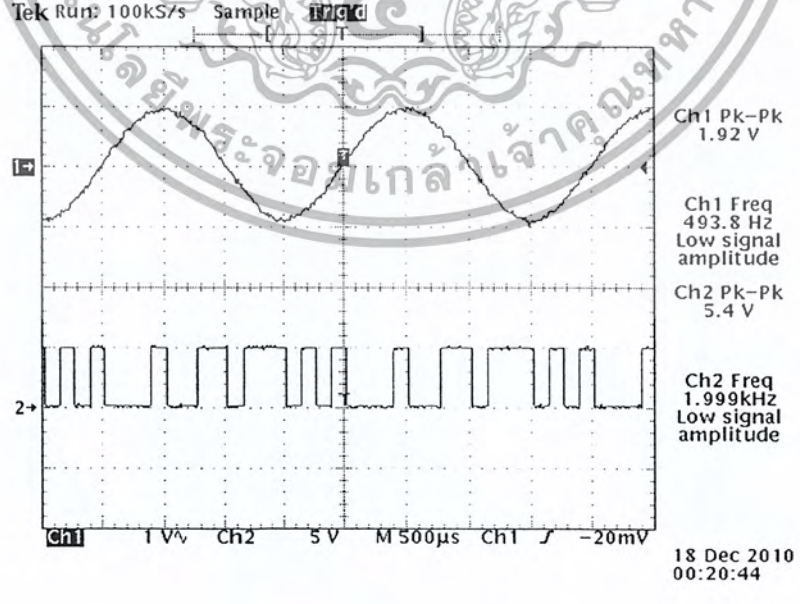
รูปที่ 4.29 วงจรแปลงอนาลอกเป็นดิจิตอล และวงจรแปลงดิจิตอลเป็นอนาลอกแบบ CVSD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งผลการทดลองของการแปลงสัญญาณอนาลอกเป็นดิจิตอลแสดงดังรูปที่ 4.30, 4.31 และ 4.32 และผลการทดลองของการแปลงสัญญาณดิจิตอลกลับเป็นอนาลอกแสดงดังรูปที่ 4.33, 4.34, 4.35, 4.36 และ 4.37

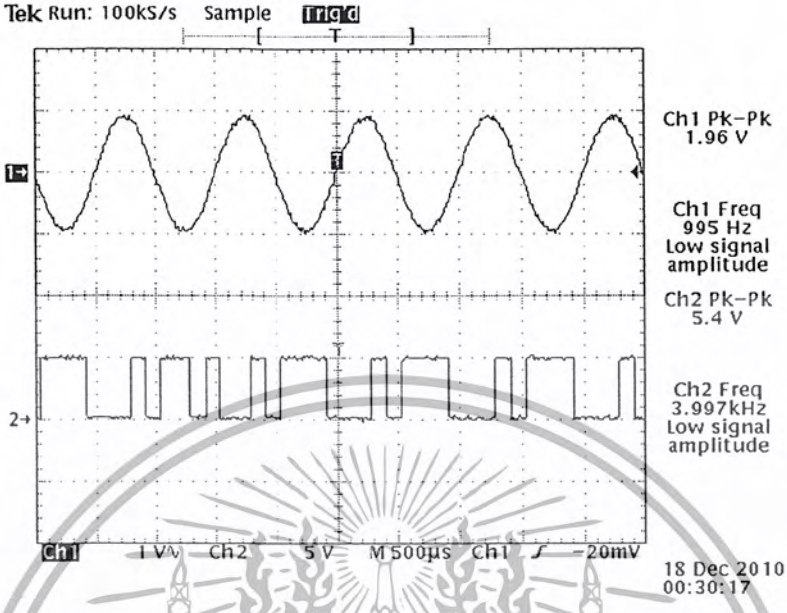


รูปที่ 4.30 ผลการทดลองของวงจรแปลงอนาลอกเป็นดิจิตอลแบบ CVSD ที่มีความถี่ 200 Hz

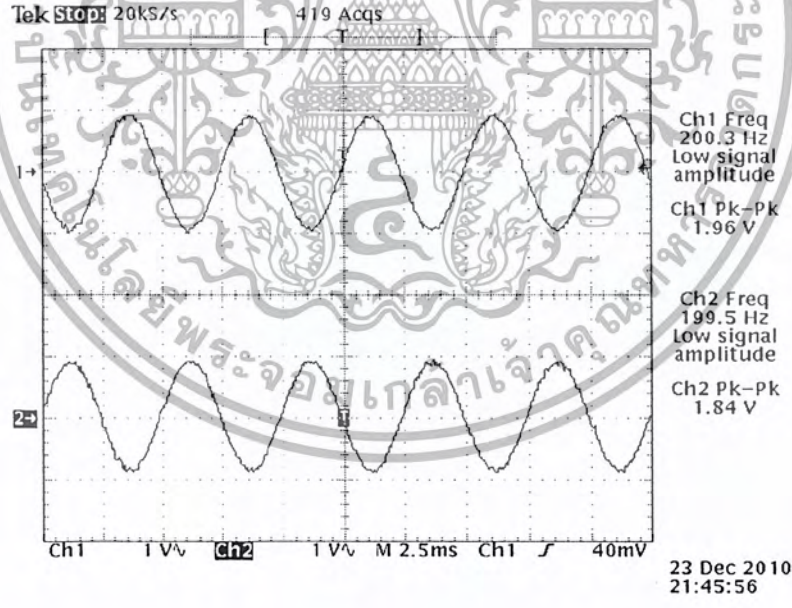


รูปที่ 4.31 ผลการทดลองของวงจรแปลงอนาลอกเป็นดิจิตอลแบบ CVSD ที่มีความถี่ 500 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

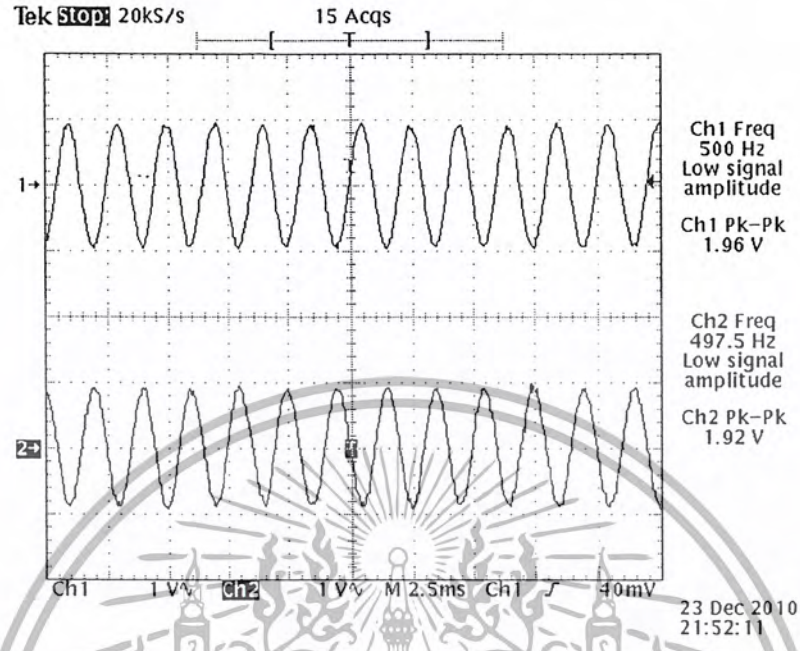


รูปที่ 4.32 ผลการทดลองของวงจรแปลงอนาลอกเป็นดิจิตอลแบบ CVSD ที่มีความถี่ 1 kHz

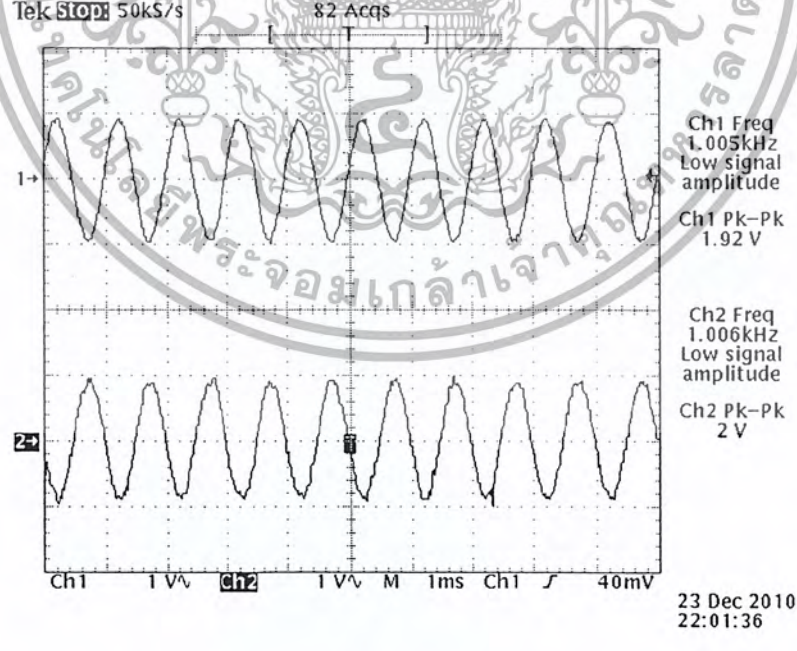


รูปที่ 4.33 ผลการทดลองของวงจรแปลงอนาลอกเป็นดิจิตอลและวงจรแปลงดิจิตอลเป็นอนาลอกแบบ CVSD ที่มีความถี่ 200 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

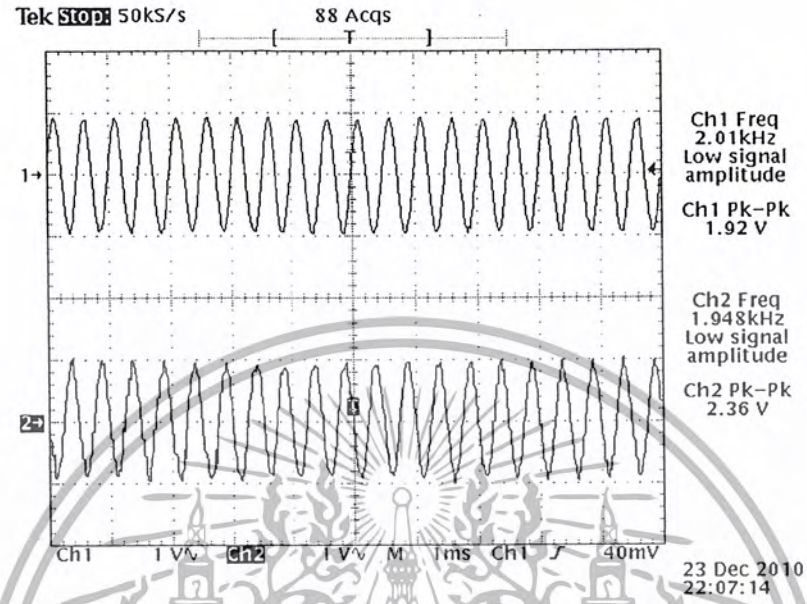


รูปที่ 4.34 ผลการทดลองของวงจรแปลงอนาลอกเป็นดิจิตอลและวงจรแปลงดิจิตอลเป็นอนาลอกแบบ CVSD ที่มีความถี่ 500 Hz

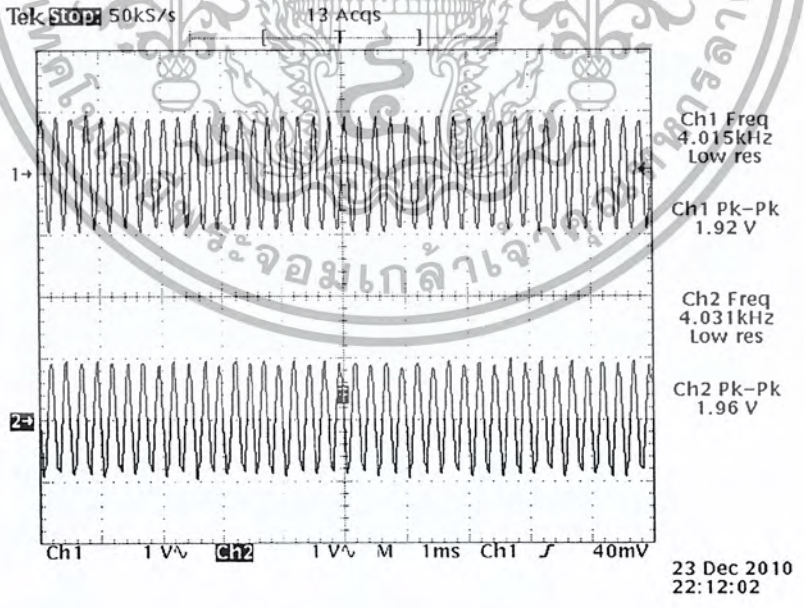


รูปที่ 4.35 ผลการทดลองของวงจรแปลงอนาลอกเป็นดิจิตอลและวงจรแปลงดิจิตอลเป็นอนาลอกแบบ CVSD ที่มีความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.36 ผลการทดลองของวงจรแปลงอนาลอกเป็นดิจิตอลและวงจรแปลงดิจิตอลเป็นอนาลอกแบบ CVSD ที่มีความถี่ 2 kHz



รูปที่ 4.37 ผลการทดลองของวงจรแปลงอนาลอกเป็นดิจิตอลและวงจรแปลงดิจิตอลเป็นอนาลอกแบบ CVSD ที่มีความถี่ 4 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

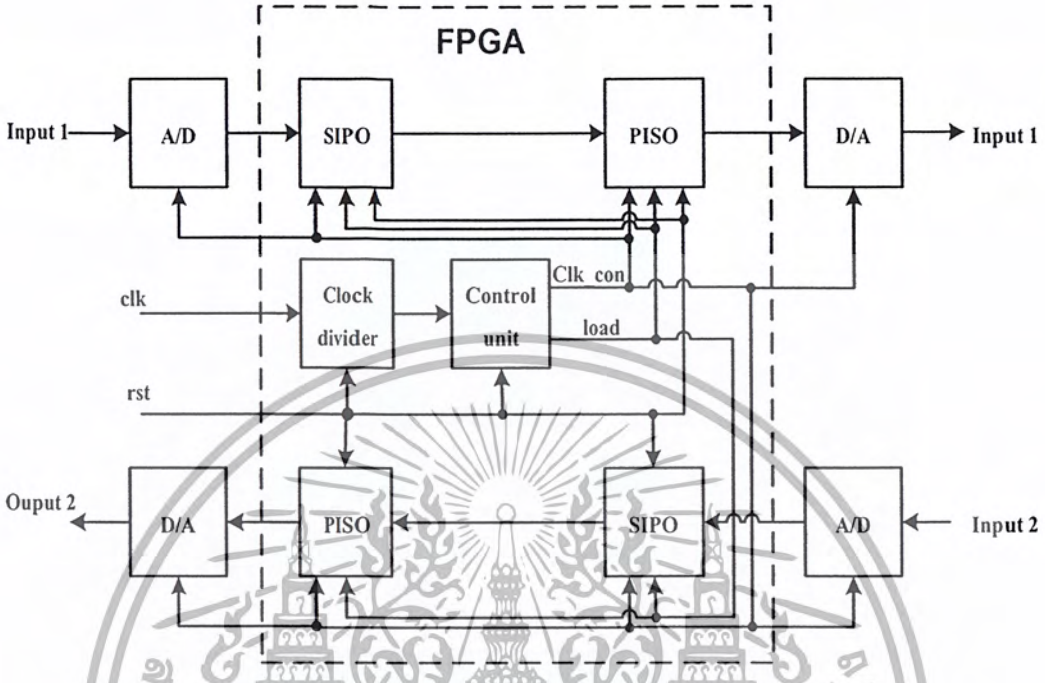
จากผลการทดลองดังรูปที่ 4.30, 4.31 และ 4.32 ทำการแปลงสัญญาณอนาลอกเป็นดิจิตอล โดยอินพุตเป็นสัญญาณไซน์ที่ความถี่ต่างๆ และความถี่สุ่ม (sampling) คงที่ จากนั้นก็ทำการแปลงสัญญาณดิจิตอลกลับเป็นอนาลอกดังรูปที่ 4.33, 4.34, 4.35, 4.36 และ 4.37 โดยมีสัญญาณอินพุตเป็นสัญญาณไซน์ความถี่ต่างๆ จะพบว่าที่ความถี่สุ่มคงที่ แต่อินพุตมีความถี่ที่สูงขึ้น จะส่งผลให้การแปลงสัญญาณดิจิตอลเป็นอนาลอกมีข้อผิดพลาดมากขึ้น ดังนั้นจึงต้องป้อนสัญญาณความถี่สุ่มให้มีค่ามากกว่าความถี่อินพุตเกิน 2 เท่าตามทฤษฎี แต่ในทางปฏิบัติจะต้องมีค่าความถี่สุ่มที่มากกว่าอินพุตหลายเท่ามาก จึงจะทำให้สามารถแปลงสัญญาณดิจิตอลเป็นอนาลอกได้

4.3 ผลการทดลองส่วนของวงจรเข้ารหัสและถอดรหัสโดยอุปกรณ์ FPGA

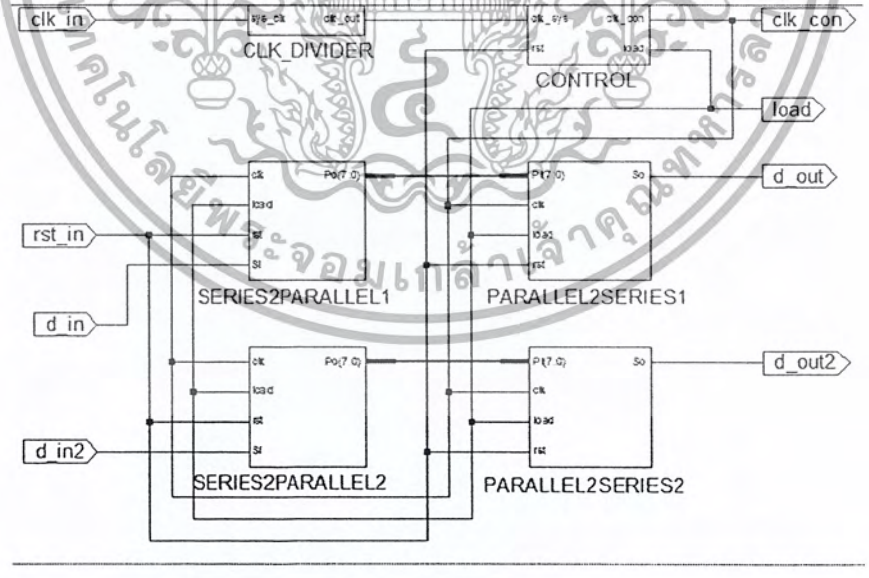
4.3.1 ผลการทดลองส่วนของวงจรเรียงข้อมูล

เนื่องจากวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบ CVSD จะให้เอาท์พุตเป็นสัญญาณดิจิตอลขนาด 1 บิต และวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกจะรับอินพุตเป็นสัญญาณดิจิตอลขนาด 1 บิตเท่านั้น แต่การออกแบบวงจรเข้ารหัสและถอดรหัสได้ออกแบบไว้ที่ขนาด 8 บิต ดังนั้นจึงต้องสร้างส่วนของวงจรเรียงข้อมูลเพื่อให้สามารถประยุกต์ใช้งานร่วมกับวงจรเข้าและถอดรหัสได้ ซึ่งในการทดลองนี้จะสร้างวงจรเรียงข้อมูลเพื่อทดสอบการทำงานร่วมกับวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล และวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก ว่าสามารถทำงานร่วมกันได้ถูกต้องหรือไม่ โดยใช้โครงสร้างของการทดลองดังรูปที่ 4.38 และโครงสร้าง RTL Schematic ของวงจรเรียงข้อมูลแสดงดังรูปที่ 4.39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



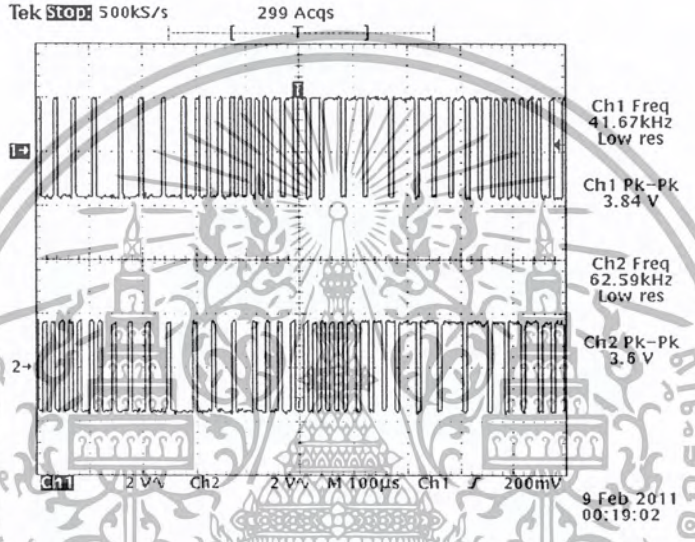
รูปที่ 4.38 โครงสร้างของส่วนวงจรเรียงข้อมูลที่ใช้ในการทดลอง



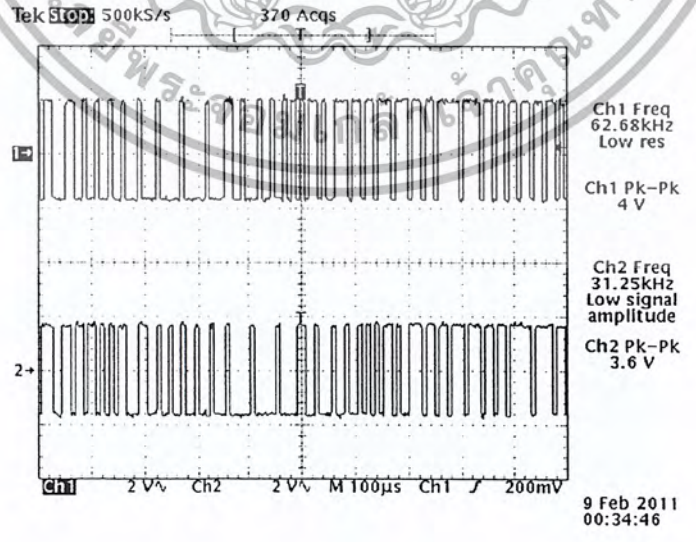
รูปที่ 4.39 โครงสร้าง RTL Schematic ของวงจรเรียงข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการทดลองโดยการป้อนสัญญาณไซน์เข้าสู่วงจรแปลงอนาลอกเป็นดิจิตอลเพื่อนำข้อมูลดิจิตอลเอาต์พุตขนาด 1 บิตที่ได้ไปเป็นอินพุตของวงจรเรียงข้อมูล SIPO จะได้ข้อมูลขนาด 8 บิต แล้วทำการเรียงข้อมูลที่วงจร PISO ก่อนส่งดิจิตอลเอาต์พุตขนาด 1 บิตให้วงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกดังรูปที่ 4.38 ซึ่งผลของการทดลองแสดงดังรูปที่ 4.40 และ 4.41 โดย Ch 1 เป็นอินพุตของวงจร SIPO และ Ch 2 เป็นเอาต์พุตของวงจร PISO



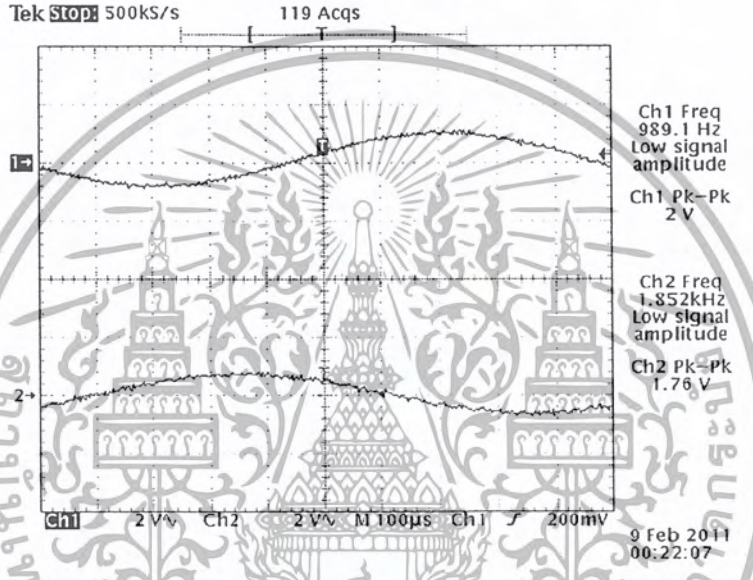
รูปที่ 4.40 ผลการทดลองของวงจรเรียงข้อมูลชุดที่ 1 (Input 1)



รูปที่ 4.41 ผลการทดลองของวงจรเรียงข้อมูลชุดที่ 2 (Input 2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลองจะเห็นว่าวงจรเรียงข้อมูลสามารถทำการเรียงข้อมูลได้ตามที่ออกแบบไว้ แต่จะเกิดการหน่วงเวลา (delay) และทำการทดลองแปลงสัญญาณดิจิตอลเอาต์พุตของวงจร PISO กลับไปเป็นสัญญาณอนาลอก ซึ่งผลการทดลองแสดงดังในรูปที่ 4.42 โดย Ch 1 เป็นสัญญาณอนาลอกอินพุตของวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล และ Ch 2 เป็นสัญญาณอนาลอกเอาต์พุตของวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอก

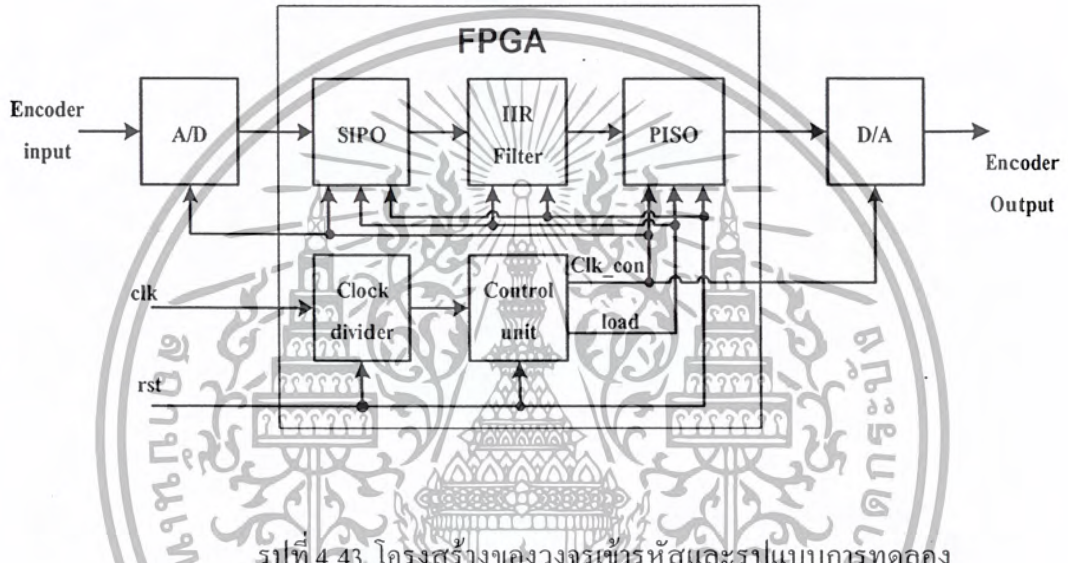


รูปที่ 4.42 ผลการทดลองของวงจรเรียงข้อมูลที่ทำการแปลงสัญญาณดิจิตอลเป็นอนาลอก

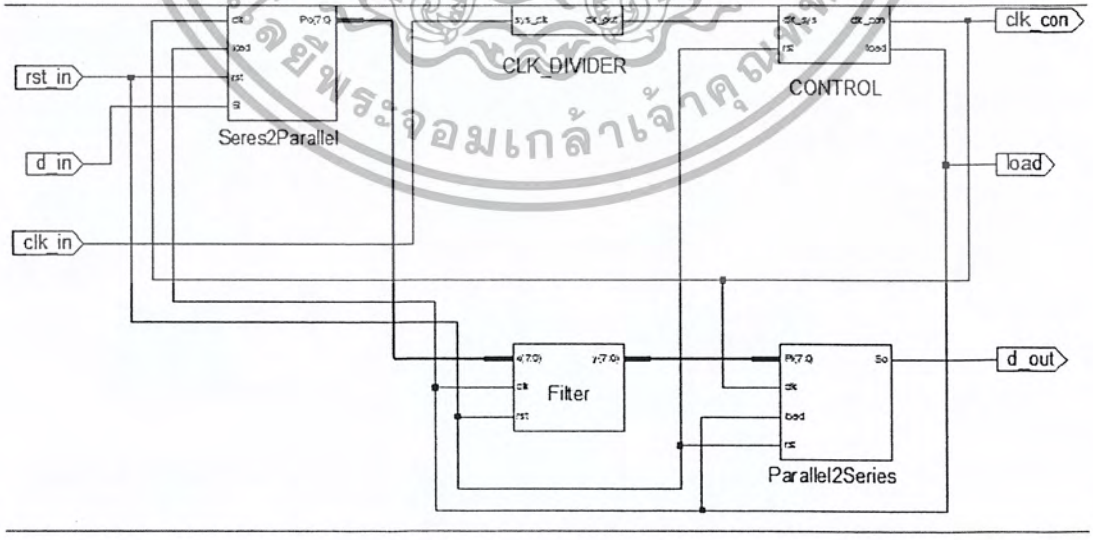
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2 ผลการทดลองของวงจรเข้ารหัส (Encoder)

การทดลองนี้เป็นการทดลองวงจรเข้ารหัส เพื่อดูผลของสัญญาณที่ถูกเข้ารหัสแล้ว เทียบกับสัญญาณก่อนเข้ารหัส โดยใช้โครงสร้างของวงจรเข้ารหัสและรูปแบบในการทดลองดัง รูปที่ 4.43 โครงสร้าง RTL Schematic ของวงจรเข้ารหัสแสดงดังรูปที่ 4.44



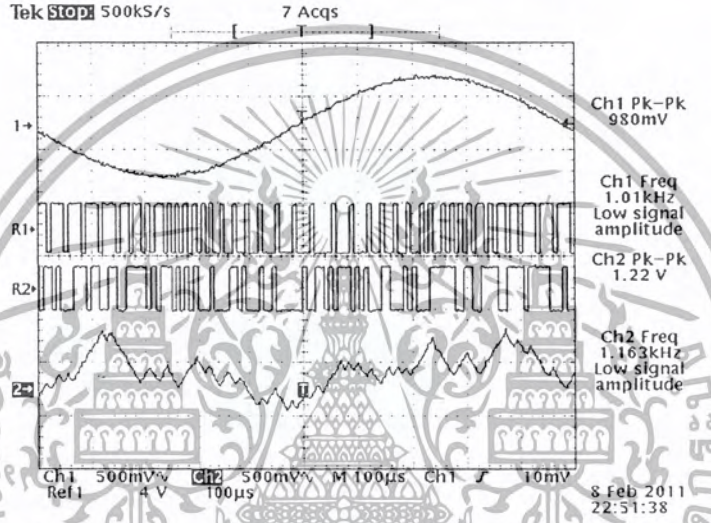
รูปที่ 4.43 โครงสร้างของวงจรเข้ารหัสและรูปแบบการทดลอง



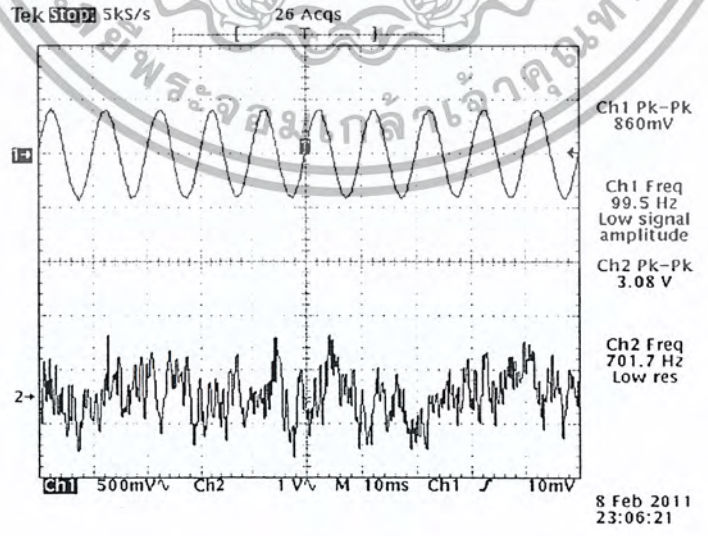
รูปที่ 4.44 โครงสร้าง RTL Schematic ของวงจรเข้ารหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทดลองป้อนอินพุตเป็นสัญญาณรูปแบบต่างๆ เพื่อดูสัญญาณที่ได้จากการเข้ารหัสเทียบกับสัญญาณอินพุต ซึ่งผลการทดลองแสดงดังรูปที่ 4.45, 4.46, 4.47, 4.48, และ4.49 โดย Ch1 เป็นสัญญาณอินพุต, R1 เป็นสัญญาณดิจิตอลอินพุตก่อนเข้า FPGA, R2 เป็นสัญญาณดิจิตอลเอาต์พุตที่เข้ารหัสจาก FPGA, และ Ch2 เป็นสัญญาณอนาลอกเอาท์พุตที่ได้จากการแปลงสัญญาณดิจิตอล R2 เป็นสัญญาณอนาลอก

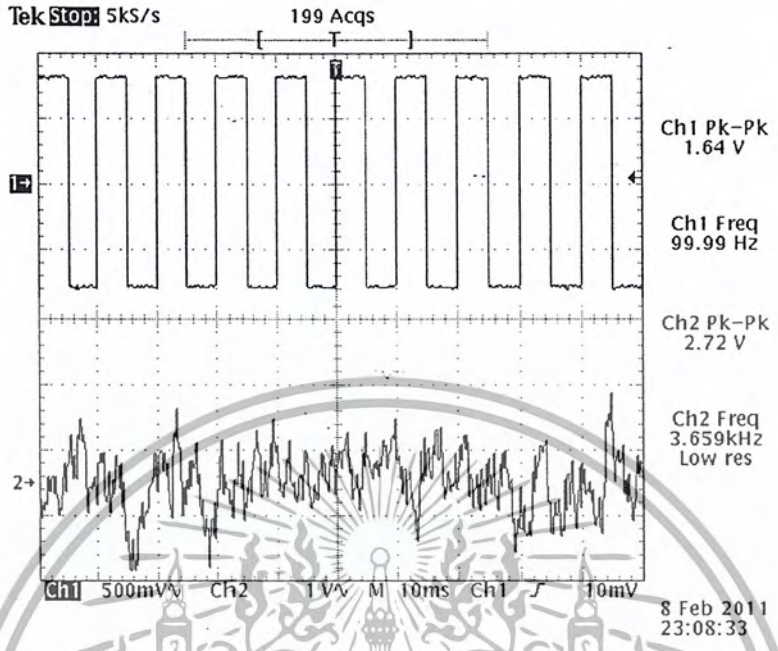


รูปที่ 4.45 ผลการทดลองของวงจรเข้ารหัสที่ความถี่ 1 kHz

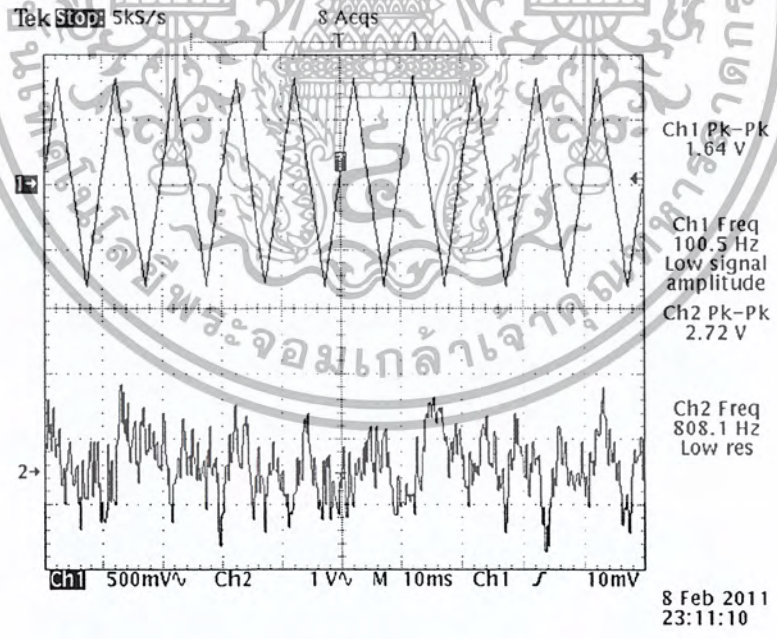


รูปที่ 4.46 ผลการทดลองของวงจรเข้ารหัสกับสัญญาณไซน์ที่ความถี่ 100 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

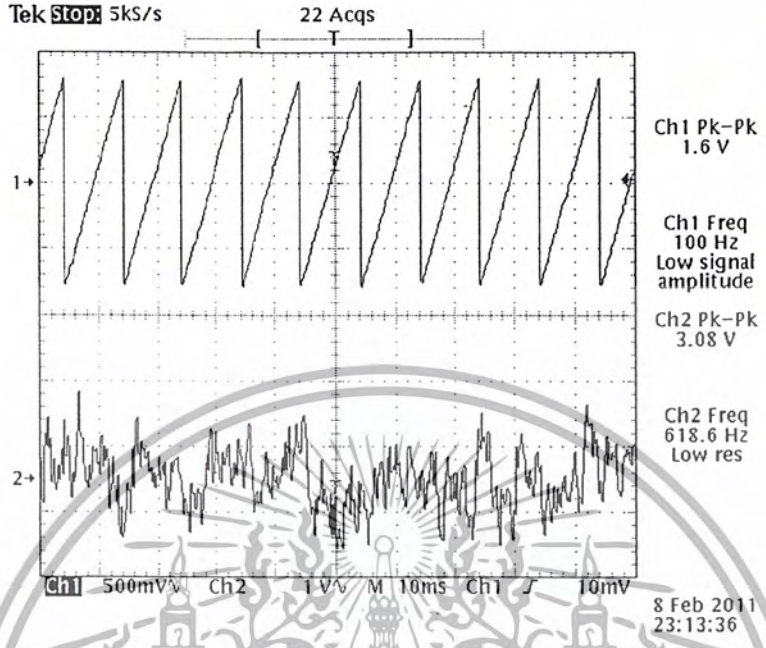


รูปที่ 4.47 ผลการทดลองของวงจรเข้ารหัสกับสัญญาณสี่เหลี่ยมที่ความถี่ 100 Hz



รูปที่ 4.48 ผลการทดลองของวงจรเข้ารหัสกับสัญญาณสามเหลี่ยมที่ความถี่ 100 Hz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



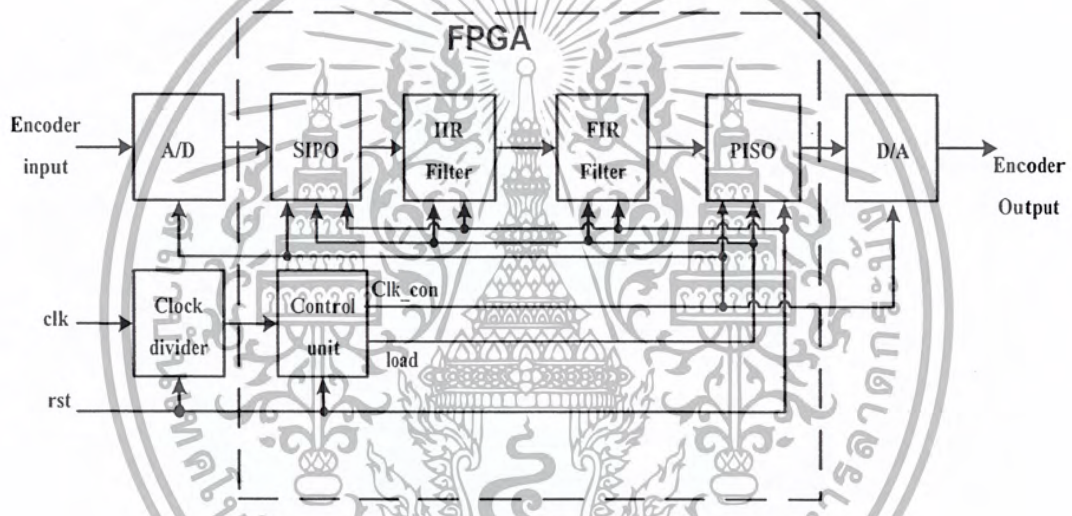
รูปที่ 4.49 ผลการทดลองของวงจรเข้ารหัสกับสัญญาณฟันเลื่อยที่ความถี่ 100 Hz

จากผลการทดลองในรูปที่ 4.45, 4.46, 4.47, 4.48, และ 4.49 โดย Ch1 เป็นสัญญาณก่อนเข้ารหัส และ Ch2 เป็นสัญญาณที่เข้ารหัสแล้ว จะเห็นว่าไม่ว่าอินพุตจะเป็นสัญญาณรูปแบบใดสัญญาณที่ได้จากการเข้ารหัสก็มีลักษณะเหมือนเดิม คือมีลักษณะคล้ายสัญญาณรบกวน และจากรูปที่ 4.45 สัญญาณ R2 ที่เป็นดิจิตอลเอาท์พุตจาก FPGA จะมีคาบและความถี่เดียวกับสัญญาณ R1 ที่เป็นดิจิตอลอินพุตของ FPGA ซึ่งแสดงว่าวงจรเข้ารหัสสามารถทำงานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

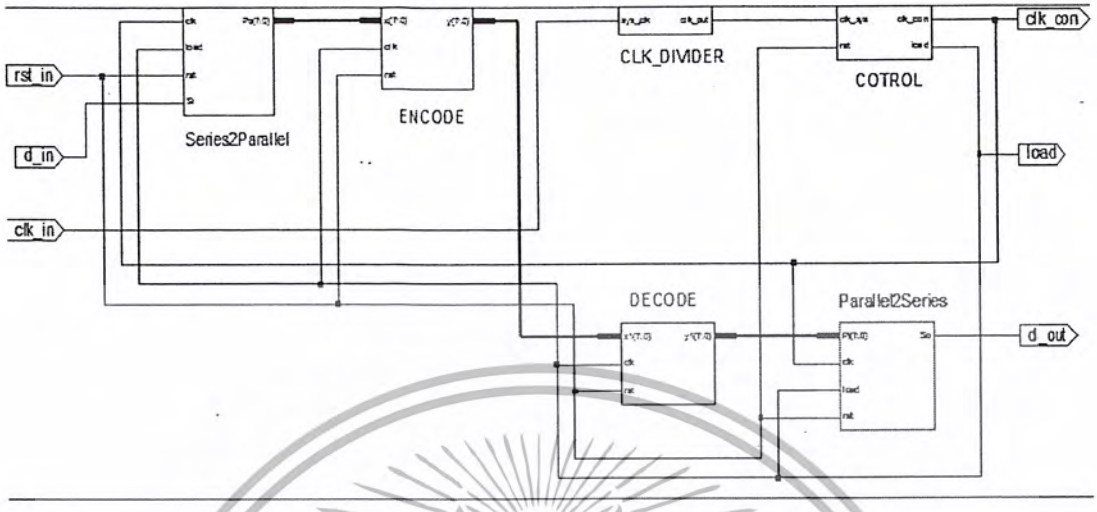
4.3.3 ผลการทดลองของวงจรเข้ารหัส (Encoder) และถอดรหัส (Decoder)

ในการทดลองเบื้องต้นเพื่อทดสอบการเข้าและถอดรหัส จะทดลองโดยต่อวงจรเข้ารหัสเข้ากับวงจรถอดรหัสโดยตรง เพื่อดูผลของการเข้ารหัสและถอดรหัสว่าสามารถทำการเข้าและถอดรหัสได้ถูกต้องตามที่ออกแบบไว้หรือไม่ โดยใช้โครงสร้างของวงจรเข้าและถอดรหัสและรูปแบบของการทดลองดังรูปที่ 4.50 โดยมีโครงสร้าง RTL Schematic ของวงจรเข้าและถอดรหัสดังรูปที่ 4.51



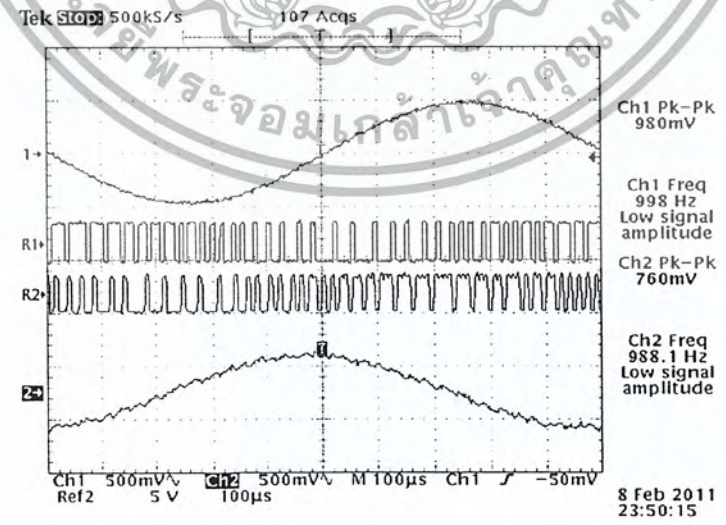
รูปที่ 4.50 โครงสร้างของวงจรเข้าและถอดรหัส และรูปแบบของการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



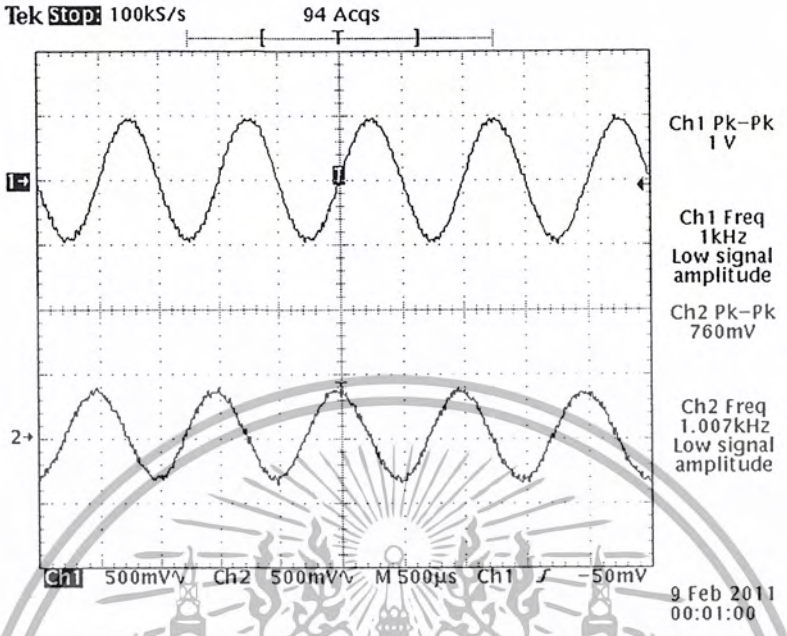
รูปที่ 4.51 โครงสร้าง RTL Schematic ของวงจรเข้าและถอดรหัส

ผลการทดลองของวงจรเข้าและถอดรหัสสัญญาณ ที่ได้จากการป้อนอินพุตเป็นสัญญาณไซน์แสดงดังรูปที่ 4.52, 4.53, 4.54, 4.55, 4.56 โดย Ch1 เป็นสัญญาณอนาลอกอินพุต, R1 เป็นสัญญาณดิจิตอลอินพุตของ FPGA ที่ได้จากการแปลงสัญญาณอนาลอกอินพุต, R2 เป็นสัญญาณดิจิตอลเอาท์พุตของ FPGA ที่ได้จากการถอดรหัสสัญญาณดิจิตอลที่ถูกเข้ารหัส, Ch2 เป็นสัญญาณอนาลอกเอาต์พุตที่ได้จากการแปลงสัญญาณดิจิตอล R2

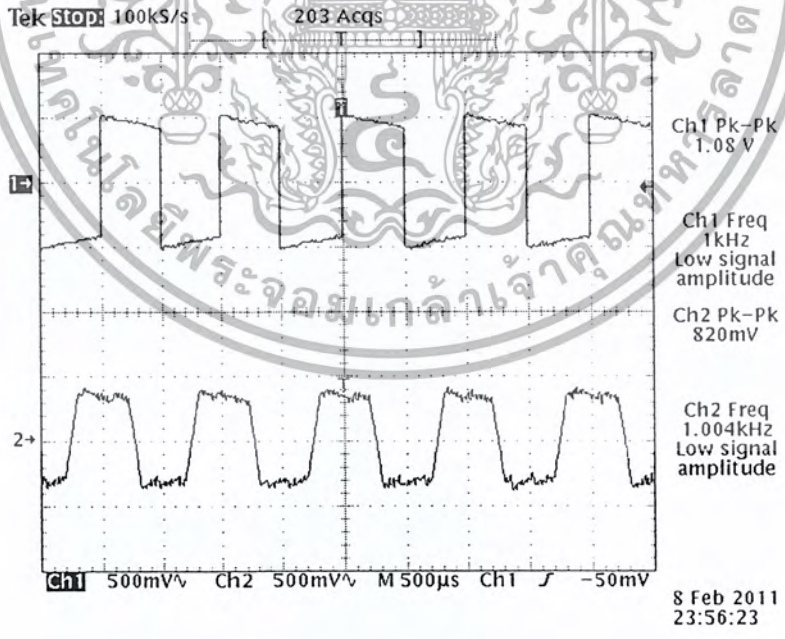


รูปที่ 4.52 ผลการทดลองโดยต่อวงจรเข้ารหัสเข้ากับวงจรถอดรหัสโดยตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

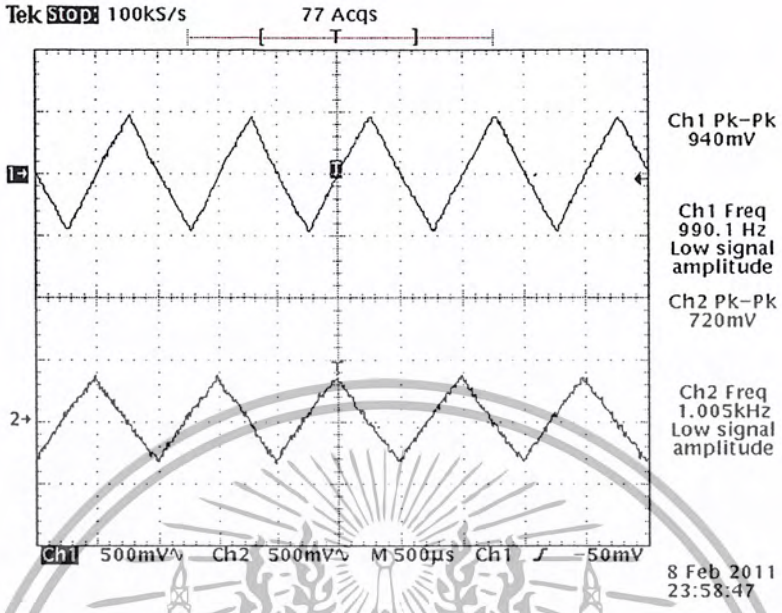


รูปที่ 4.53 ผลการทดลองจากการเข้าและถอดรหัสโดยตรงซึ่งอินพุตเป็นสัญญาณไซน์ความถี่ 1 kHz

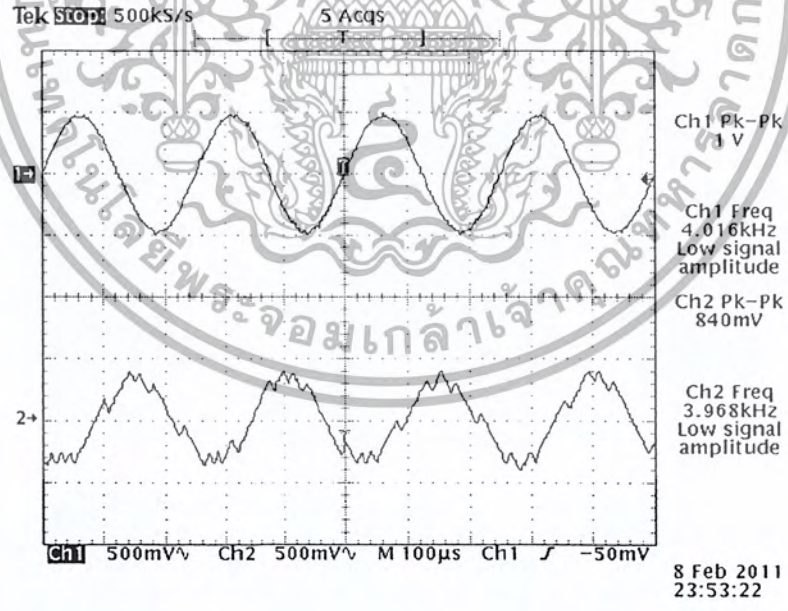


รูปที่ 4.54 ผลการทดลองจากการเข้าและถอดรหัสโดยตรงซึ่งอินพุตเป็นสัญญาณสี่เหลี่ยมความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.55 ผลการทดลองจากการเข้าและถอดรหัสโดยตรงซึ่งอินพุตเป็นสัญญาณสามเหลี่ยม ความถี่ 1 kHz



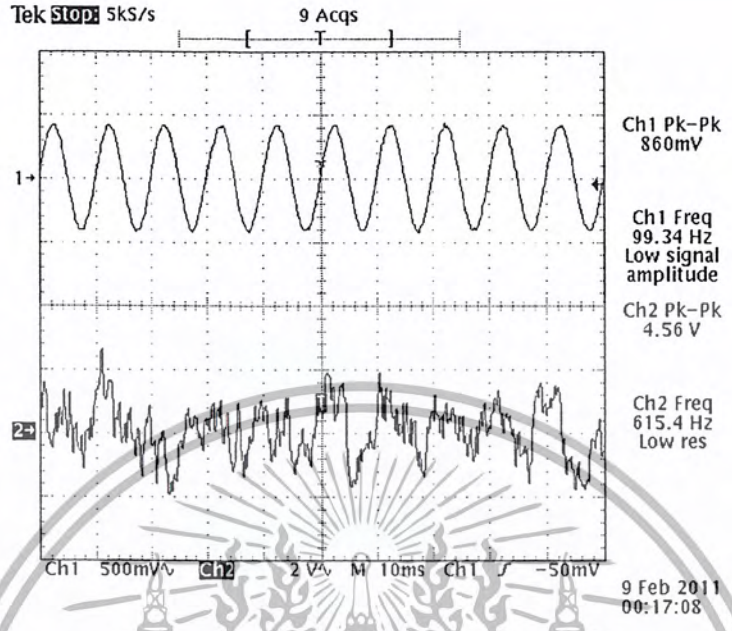
รูปที่ 4.56 ผลการทดลองจากการเข้าและถอดรหัสโดยตรงซึ่งอินพุตเป็นสัญญาณไซน์ความถี่ 4 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

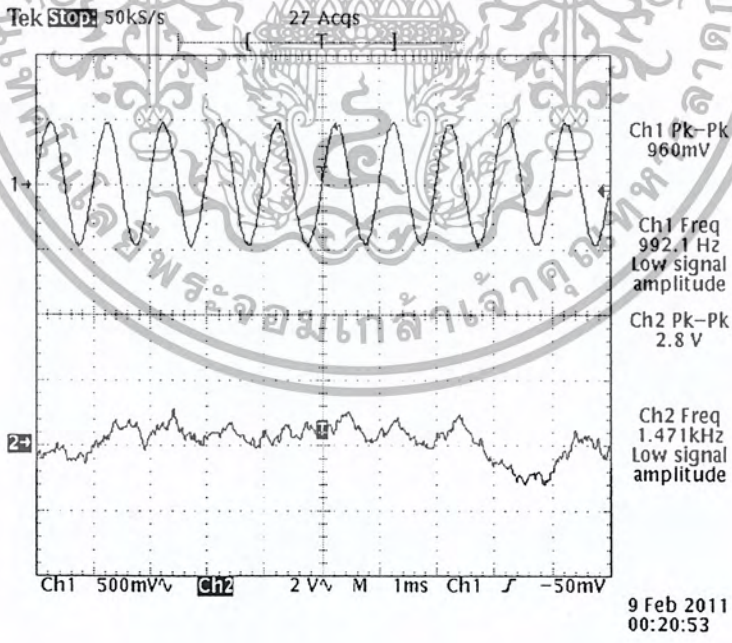
จากผลการทดลองดังรูปที่ 4.52, 4.53, 4.54, 4.55, 4.56 โดย Ch1 เป็นสัญญาณอนาลอกอินพุตก่อนเข้าสู่ FPGA และ Ch2 เป็นสัญญาณอนาลอกเอาต์พุตที่ผ่านการเข้าและถอดรหัสแล้ว ซึ่งจะเห็นว่า วงจรเข้ารหัสที่ต่อเข้ากับวงจรถอดรหัสโดยตรง สามารถเข้าและถอดรหัสข้อมูลในรูปแบบดิจิตอล และแปลงกลับเป็นสัญญาณอนาลอกได้ แต่ที่ความถี่ของสัญญาณอินพุตสูงขึ้นเป็น 4 kHz สัญญาณอนาลอกอินพุตที่ผ่านการเข้าและถอดรหัสแล้วจะมีลักษณะเป็นขั้นบันได ซึ่งเป็นผลของการแปลงสัญญาณอนาลอกและดิจิตอล และการแปลงสัญญาณดิจิตอลเป็นอนาลอกของวงจรแปลงแบบ CVSD รวมทั้งการเลือกบิตข้อมูลที่ใช้ในการเข้าและถอดรหัสแบบดิจิตอล อธิบายคือ ภายในวงจรเข้าและถอดรหัสจะเป็นโครงของสร้างตัวดำเนินการทางคณิตศาสตร์ โดยมีส่วนของตัวคูณระหว่างค่าสัมประสิทธิ์ขนาด 8 บิต กับตัวหน่วงเวลาขนาด 8 บิต ซึ่งผลลัพธ์ที่ได้จากการคูณจะมีขนาด 16 บิต แต่วงจรเข้าและถอดรหัสออกแบบไว้ที่ 8 บิต จึงจำเป็นต้องมีการเลือกบิตโดยจะเลือกบิตที่มีค่านัยสำคัญสูงสุด 8 บิต (16 บิต คือบิตที่ 15 ถึง 0 แต่จะเลือกเพียง 8 บิต คือบิตที่ 15 ถึง 8 ซึ่งคือการสเกลค่าของข้อมูลลงด้วย 2 กำลัง 8)

สำหรับกรณีที่ค่าสัมประสิทธิ์ของวงจรเข้าและถอดรหัสไม่ตรงกันจะได้ผลการทดลองดังรูปที่ 4.57 และ 4.58 โดย Ch1 เป็นสัญญาณอนาลอกอินพุตก่อนเข้าสู่ FPGA และ Ch2 เป็นสัญญาณอนาลอกเอาต์พุตที่ผ่านเข้าและถอดรหัสแล้วในกรณีที่ค่าสัมประสิทธิ์ไม่ตรงกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.57 ผลการทดลองจากการเข้าและถอดรหัสโดยตรงซึ่งอินพุตเป็นสัญญาณไซน์ความถี่ 100 Hz ในกรณีค่าสัมประสิทธิ์ต่างกัน

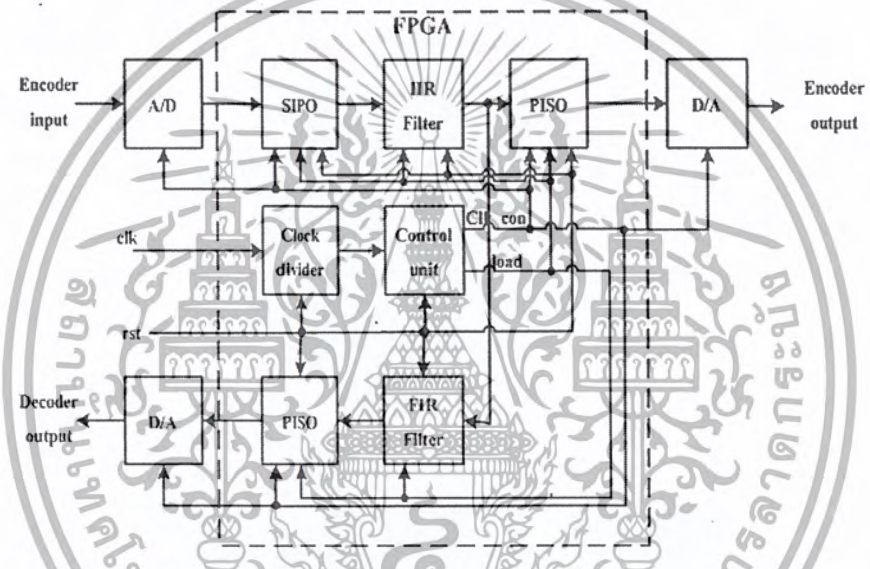


รูปที่ 4.58 ผลการทดลองจากการเข้าและถอดรหัสโดยตรงซึ่งอินพุตเป็นสัญญาณไซน์ความถี่ 1 kHz ในกรณีค่าสัมประสิทธิ์ต่างกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.4 ผลการทดลองขนาดความยาวของข้อมูลที่ใช้ในการประมวลกับวงจรเข้าและถอดรหัส

ในการทดลองนี้เป็นการทดลองวงจรเข้าและถอดรหัส โดยกำหนดขนาดของข้อมูลซึ่งใช้ขนาดของข้อมูลอินพุตและเอาต์พุต เป็นตัวกำหนดขนาดของข้อมูลของระบบ ซึ่งมีโครงสร้างของวงจรเข้าและถอดรหัสที่ใช้ในการทดสอบขนาดของข้อมูลดังรูปที่ 4.59

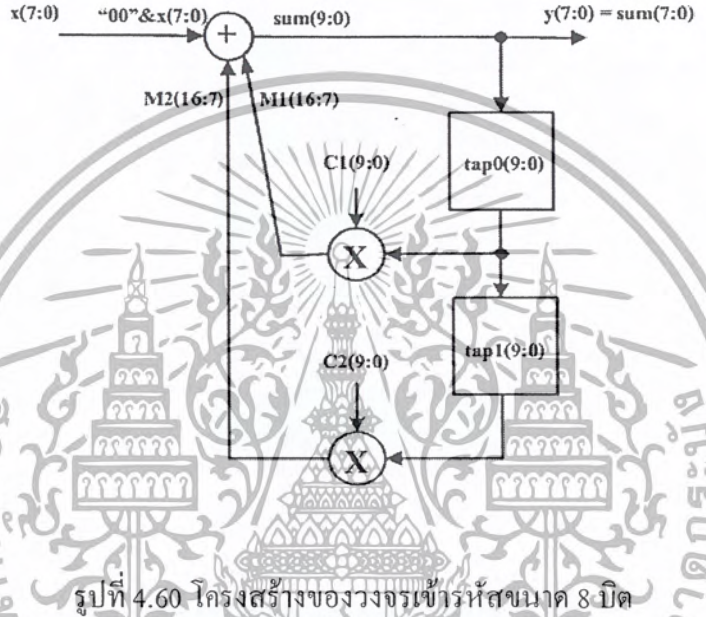


รูปที่ 4.59 โครงสร้างของวงจรเข้าและถอดรหัสที่ใช้ในการทดสอบความยาวของข้อมูล

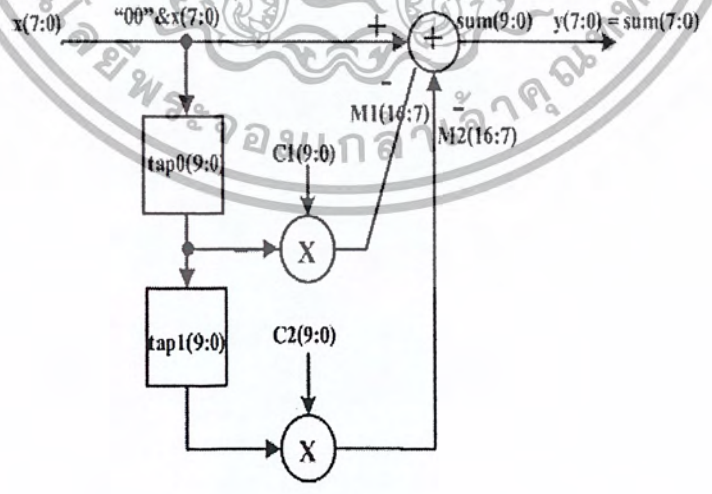
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.4.1 วงจรเข้าและถอดรหัสที่มีอินพุตและเอาต์พุตขนาด 8 บิต

โดยโครงสร้างวงจรเข้าและถอดรหัสที่มีอินพุตและเอาต์พุตขนาด 8 บิต แสดงได้ดังรูปที่ 4.60 และ 4.61 ตามลำดับ



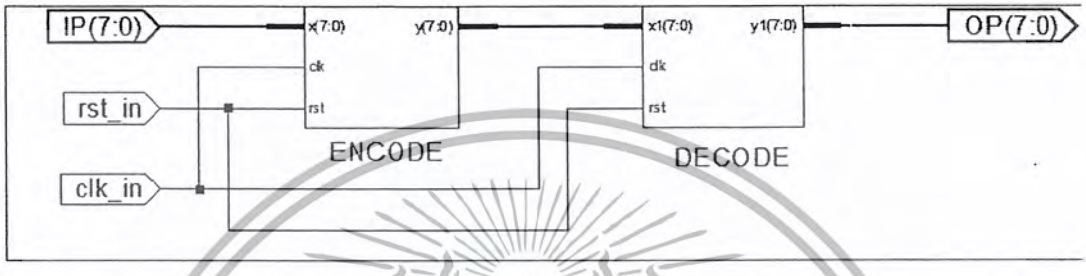
รูปที่ 4.60 โครงสร้างของวงจรเข้ารหัสขนาด 8 บิต



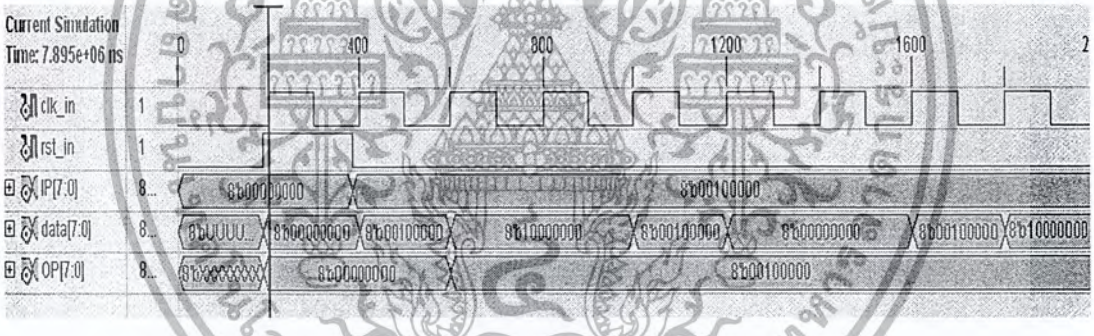
รูปที่ 4.61 โครงสร้างของวงจรถอดรหัสขนาด 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

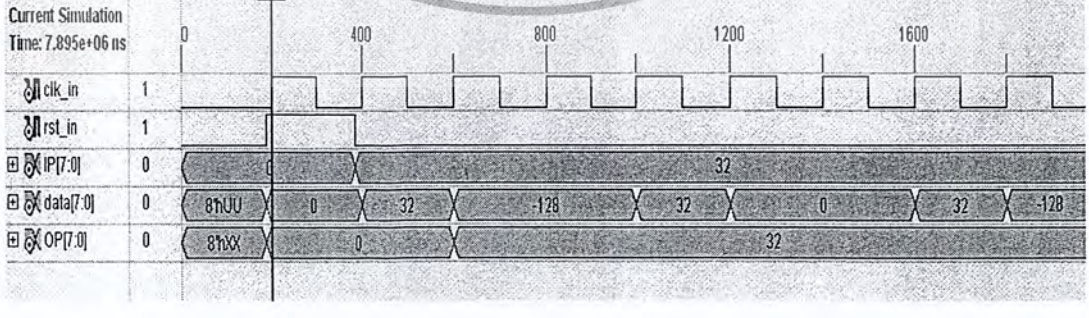
โดยโครงสร้าง RTL Schematic แสดงดังรูปที่ 4.62 สามารจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสขนาด 8 บิต ในรูปแบบเลขฐานสอง และเลขฐานสิบได้ดังรูปที่ 4.63 และ4.64 ตามลำดับ



รูปที่ 4.62 โครงสร้าง RTL Schematic ของวงจรเข้าและถอดรหัสขนาด 8 บิต



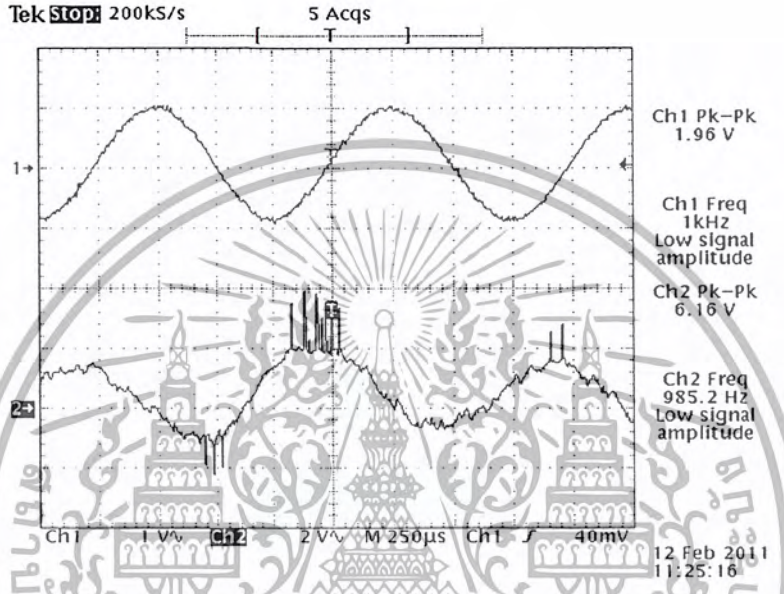
รูปที่ 4.63 ผลการจำลองการทำงานของวงจรเข้าและถอดรหัสในรูปเลขฐานสอง



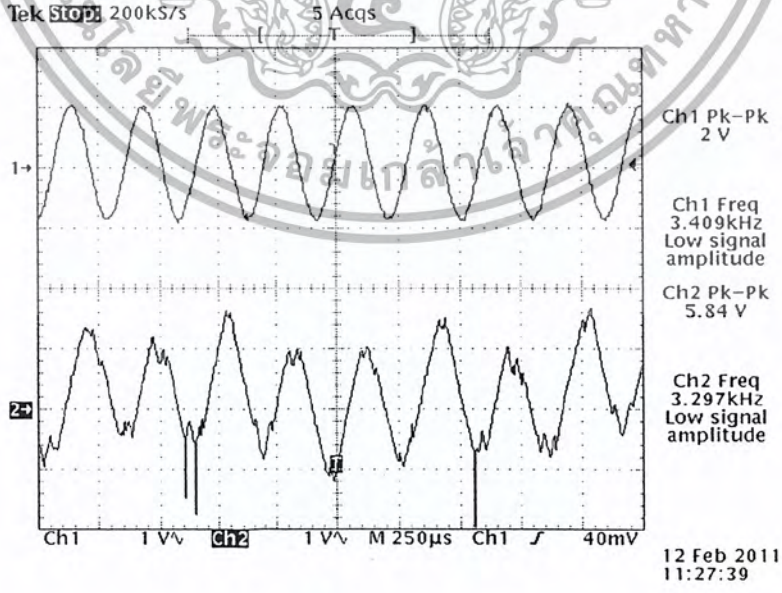
รูปที่ 4.64 ผลการจำลองการทำงานของวงจรเข้าและถอดรหัสในรูปเลขฐานสิบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยในการทดลองจะป้อนอินพุตในรูปแบบและความถี่ต่างๆ ซึ่งผลการทดลองเป็นดังรูปที่ 4.65, 4.66, 4.67 และ 4.68 โดย Ch1 เป็นสัญญาณอนาลอกอินพุตก่อนเข้ารหัส และ Ch2 เป็นสัญญาณอนาลอกเอาต์พุตที่ถอดรหัสแล้ว

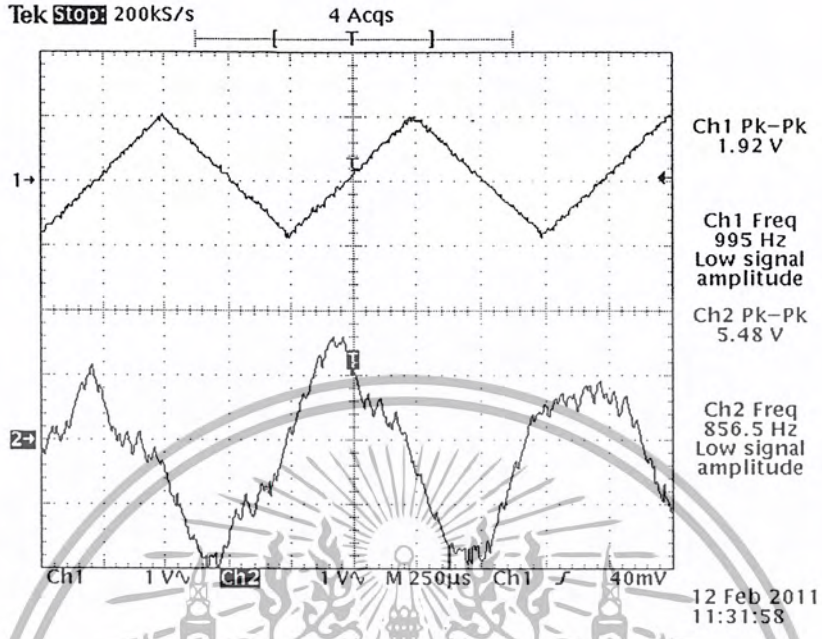


รูปที่ 4.65 ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 8 บิตกับสัญญาณไซน์ความถี่ 1 kHz

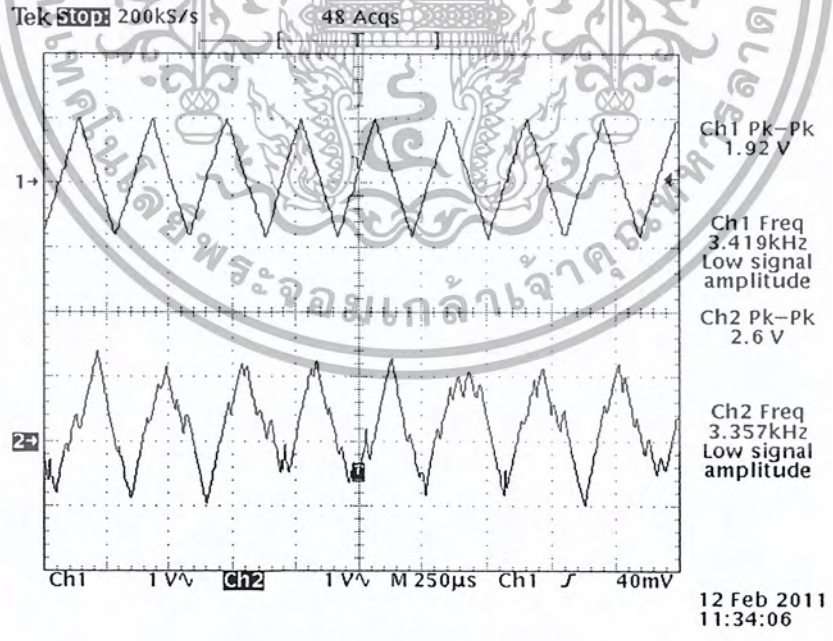


รูปที่ 4.66 ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 8 บิตกับสัญญาณไซน์ความถี่ 3.4 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.67 ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 8 บิตกับสัญญาณสามเหลี่ยมความถี่ 1 kHz

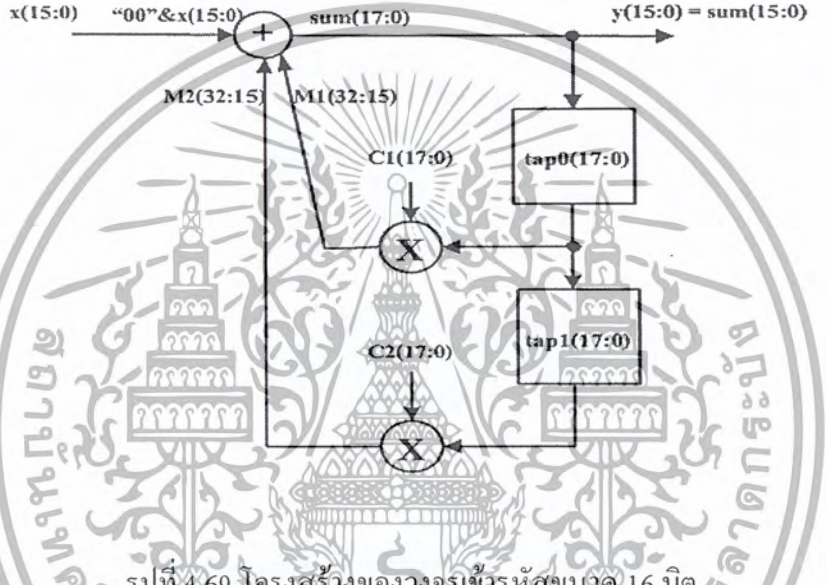


รูปที่ 4.68 ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 8 บิตกับสัญญาณสามเหลี่ยมความถี่ 3.4 kHz

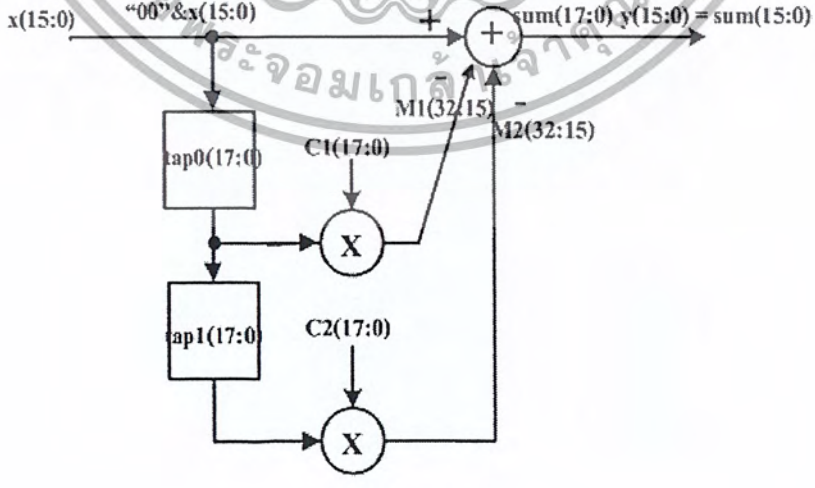
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.4.2 วงจรเข้าและถอดรหัสที่มีอินพุตและเอาต์พุตขนาด 16 บิต

โดยโครงสร้างวงจรเข้าและถอดรหัสที่มีอินพุตและเอาต์พุตขนาด 16 บิต แสดงได้ดังรูปที่ 4.69 และ 4.70 ตามลำดับ โดยการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสขนาด 16 บิต ในรูปแบบเลขฐานสิบได้ดังรูปที่ 4.71

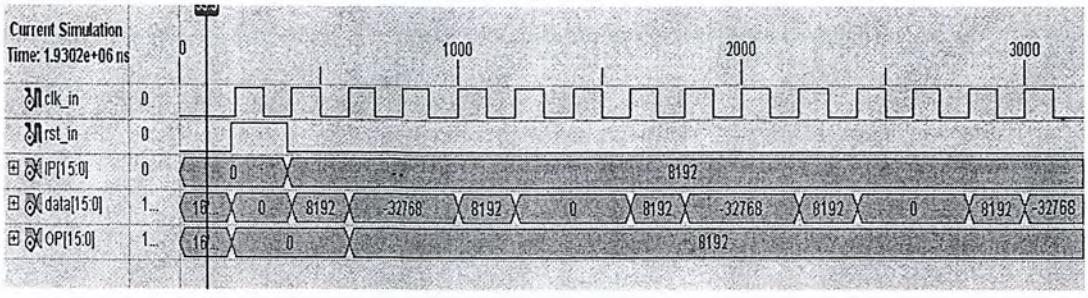


รูปที่ 4.69 โครงสร้างของวงจรเข้ารหัสขนาด 16 บิต



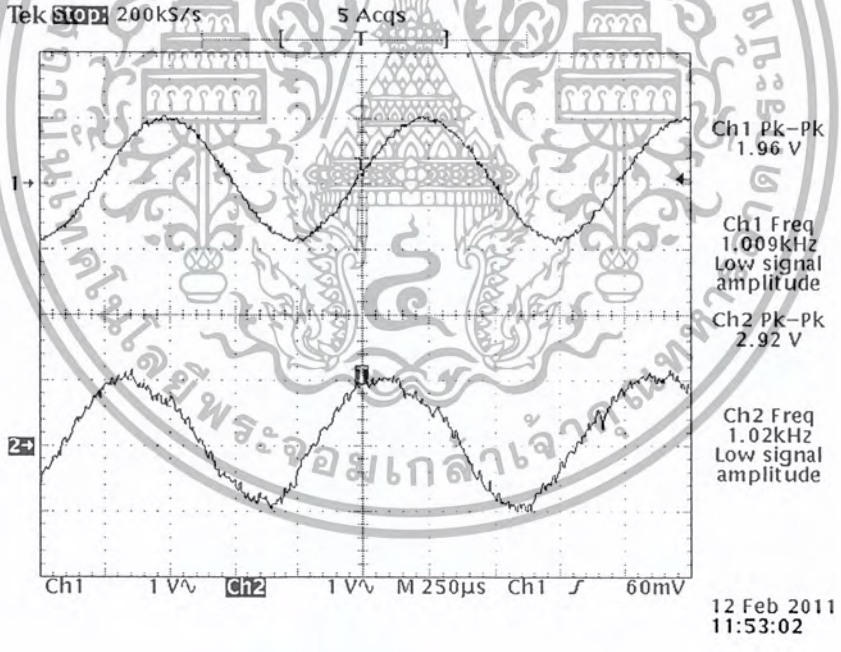
รูปที่ 4.70 โครงสร้างของวงจรถอดรหัสขนาด 16 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



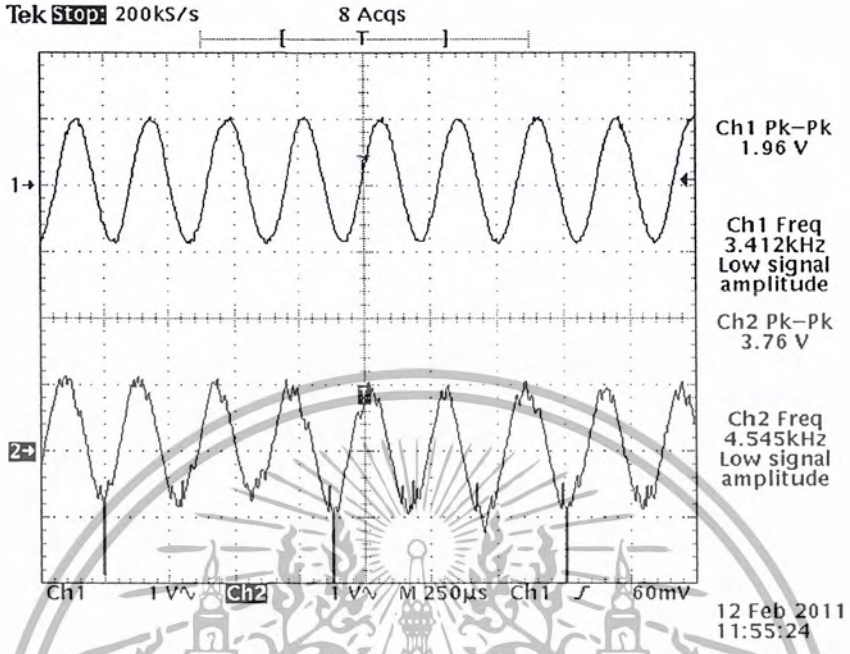
รูปที่ 4.71 ผลการจำลองการทำงานของวงจรเข้าและถอดรหัสขนาด 16 บิตในรูปเลขฐานสิบ

โดยในการทดลองจะป้อนอินพุตในรูปแบบและความถี่ต่างๆ ซึ่งผลการทดลองเป็นดังรูปที่ 4.72, 4.73, 4.74 และ 4.75 โดย Ch1 เป็นสัญญาณอนาลอกอินพุตก่อนเข้ารหัส และ Ch2 เป็นสัญญาณอนาลอกเอาต์พุตที่ถอดรหัสแล้ว

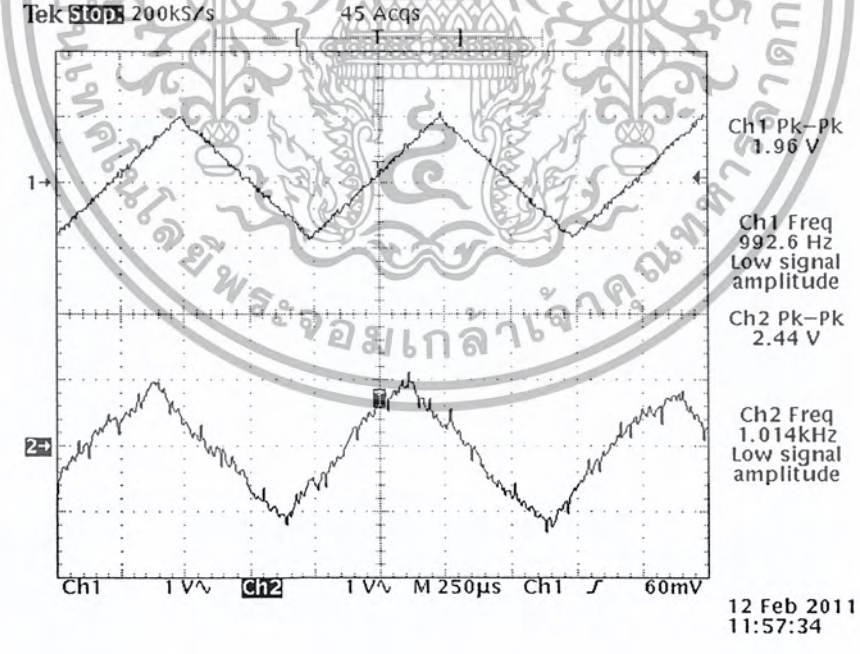


รูปที่ 4.72 ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 16 บิตกับสัญญาณไซน์ความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

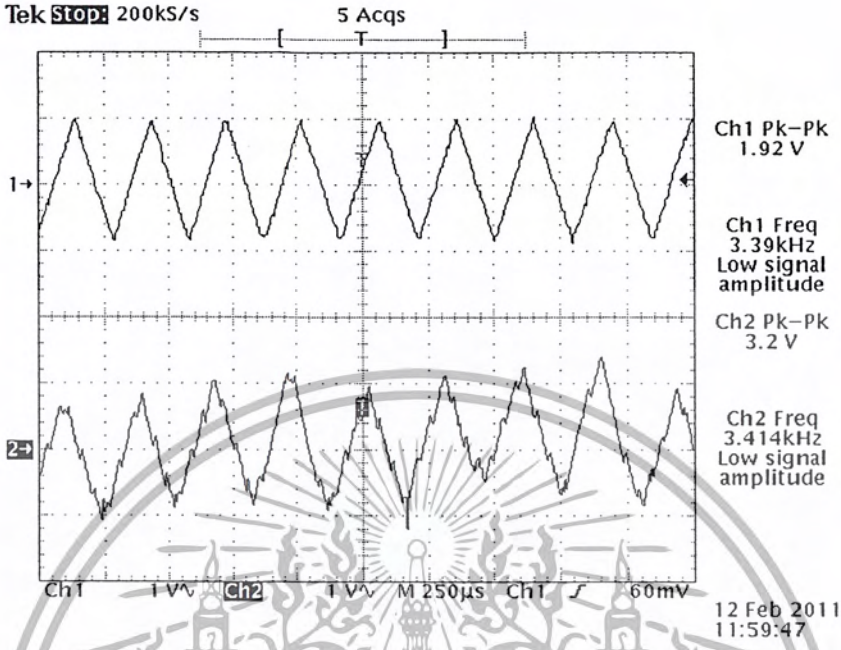


รูปที่ 4.73 ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 16 บิตกับสัญญาณไซน์ความถี่ 3.4 kHz



รูปที่ 4.74 ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 16 บิตกับสัญญาณสามเหลี่ยมความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

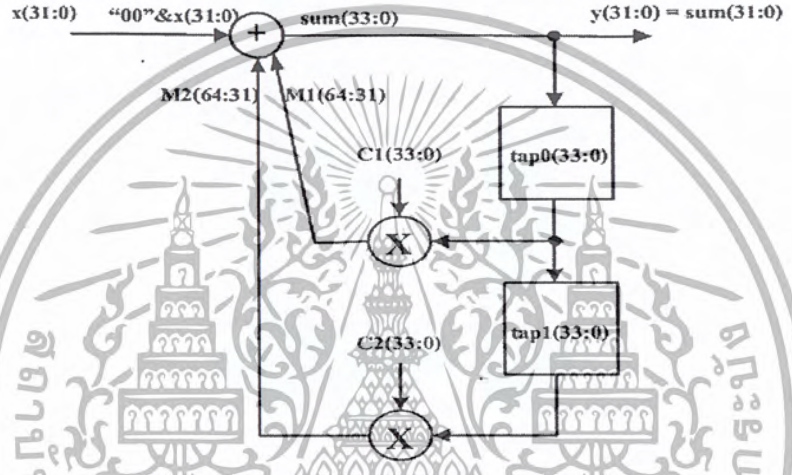


รูปที่ 4.75 ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 16 บิตกับสัญญาณสามเหลี่ยมความถี่ 3.4 kHz

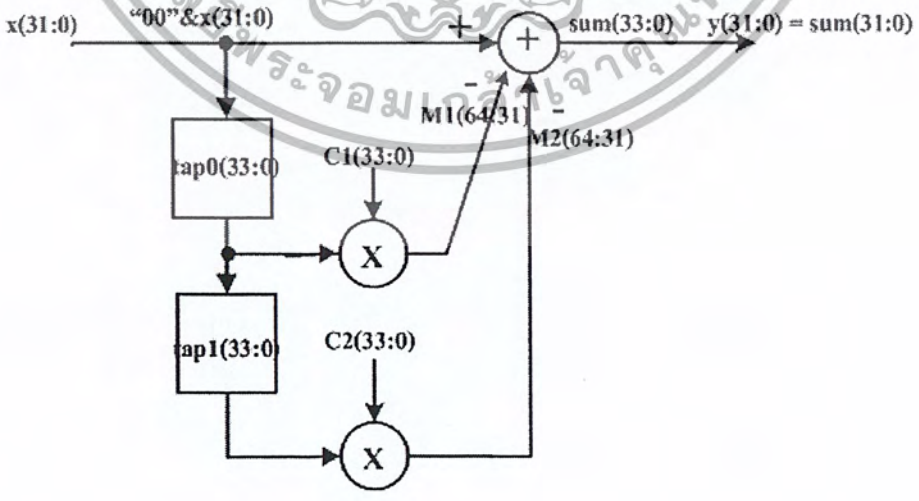
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.4.3 วงจรเข้าและถอดรหัสที่มีอินพุตและเอาต์พุตขนาด 32 บิต

โดยโครงสร้างวงจรเข้าและถอดรหัสที่มีอินพุตและเอาต์พุตขนาด 32 บิต แสดงได้ดังรูปที่ 4.76 และ 4.77 ตามลำดับ โดยการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสขนาด 32 บิต ในรูปแบบเลขฐานสิบได้ดังรูปที่ 4.78

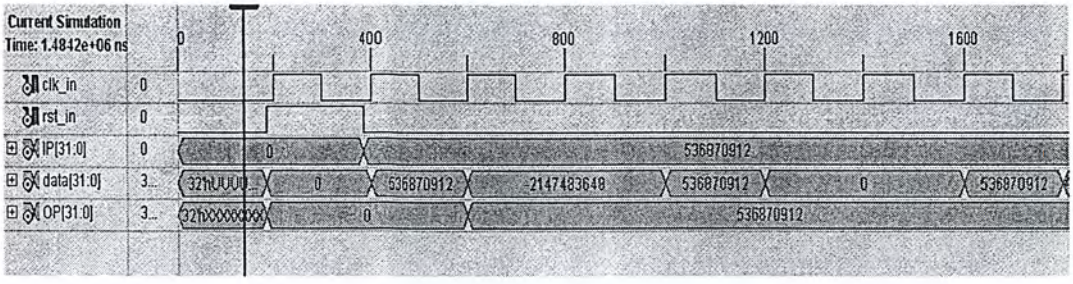


รูปที่ 4.76 โครงสร้างของวงจรเข้ารหัสขนาด 32 บิต



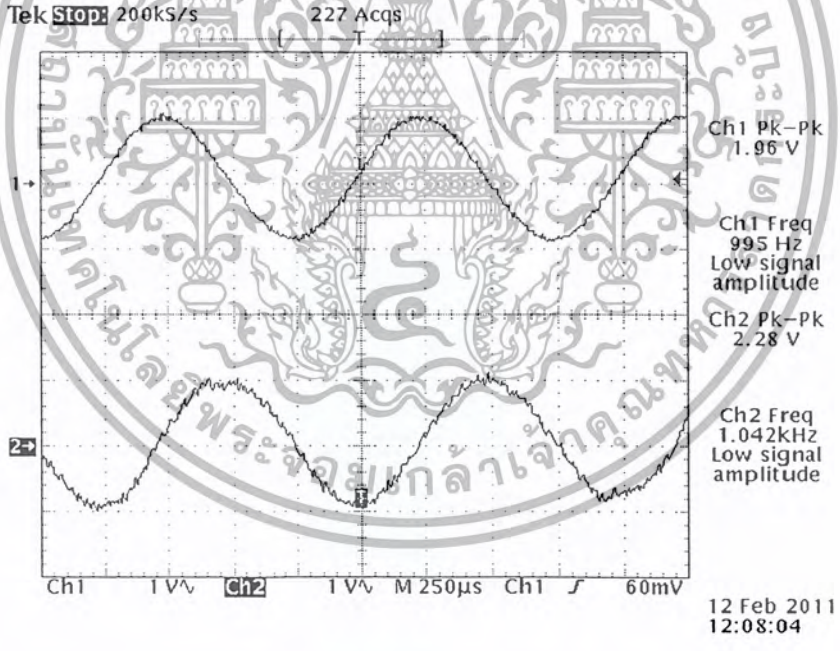
รูปที่ 4.77 โครงสร้างของวงจรถอดรหัสขนาด 32 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



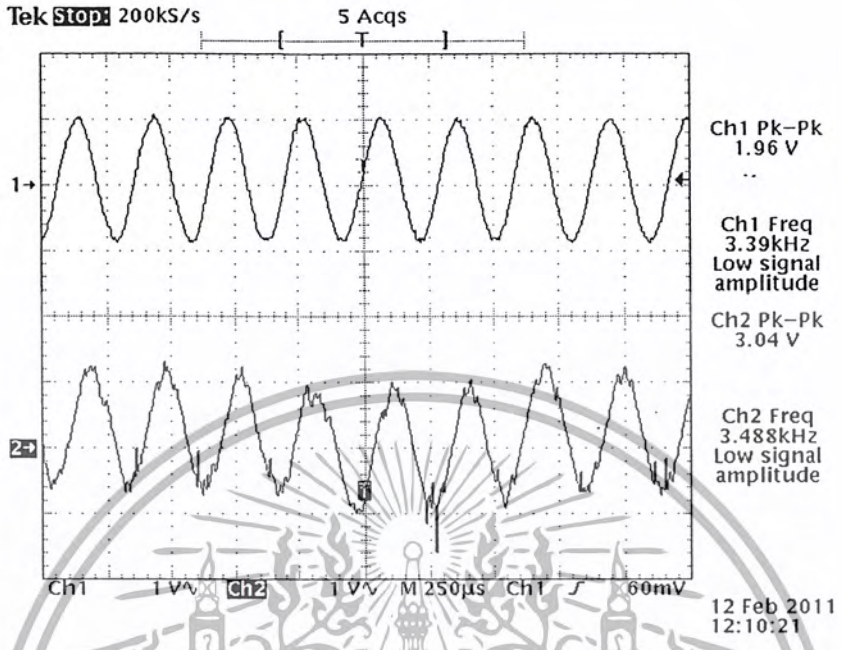
รูปที่ 4.78 ผลการจำลองการทำงานของวงจรเข้าและถอดรหัสขนาด 32 บิตในรูปเลขฐานสิบ

โดยในการทดลองจะป้อนอินพุตในรูปแบบและความถี่ต่างๆ ซึ่งผลการทดลองเป็นดังรูปที่ 4.79, 4.80, 4.81 และ 4.82 โดย Ch1 เป็นสัญญาณอนาลอกอินพุตก่อนเข้ารหัส และ Ch2 เป็นสัญญาณอนาลอกเอาต์พุตที่ถอดรหัสแล้ว

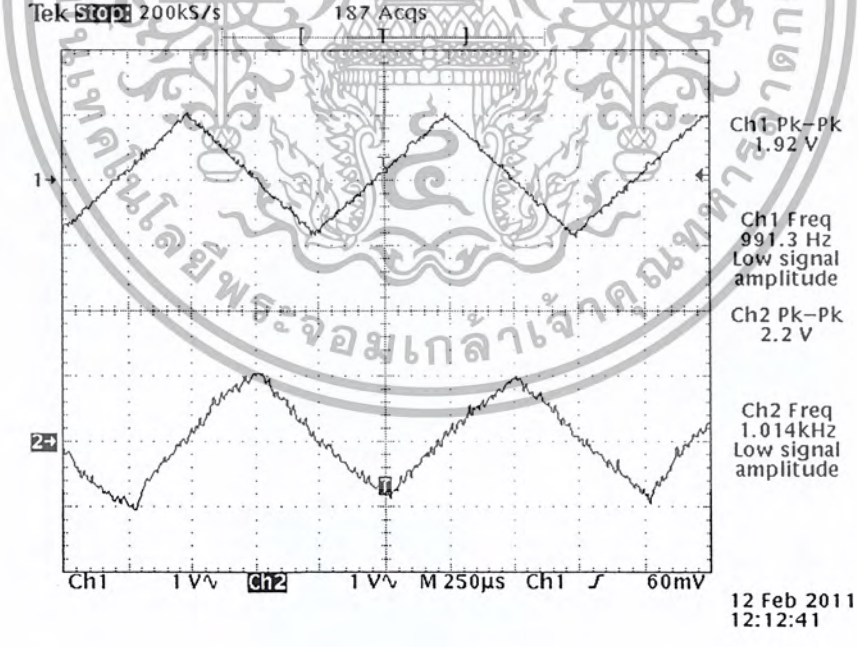


รูปที่ 4.79 ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 32 บิตกับสัญญาณไซน์ความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

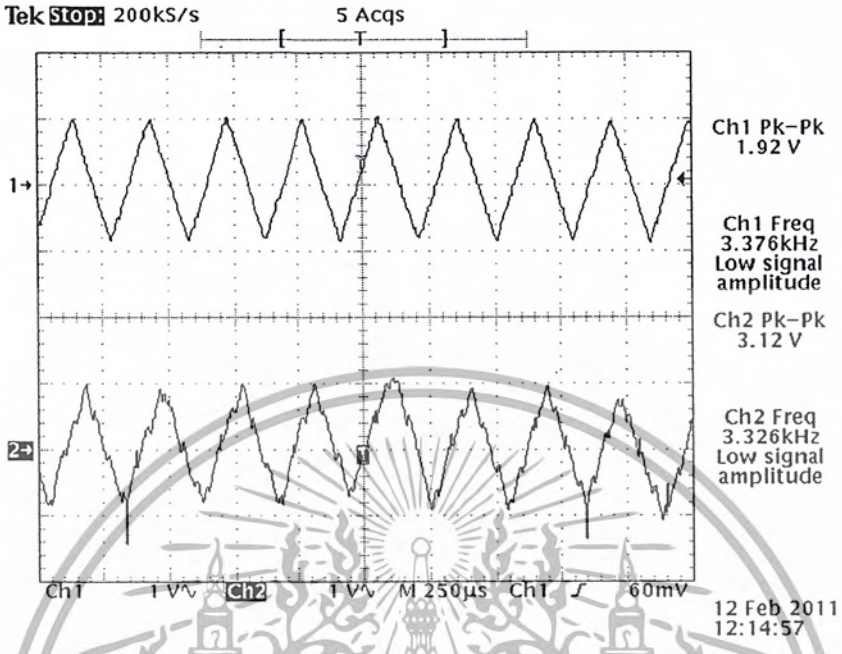


รูปที่ 4.80 ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 32 บิตกับสัญญาณไซน์ความถี่ 3.4 kHz



รูปที่ 4.81 ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 32 บิตกับสัญญาณสามเหลี่ยมความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

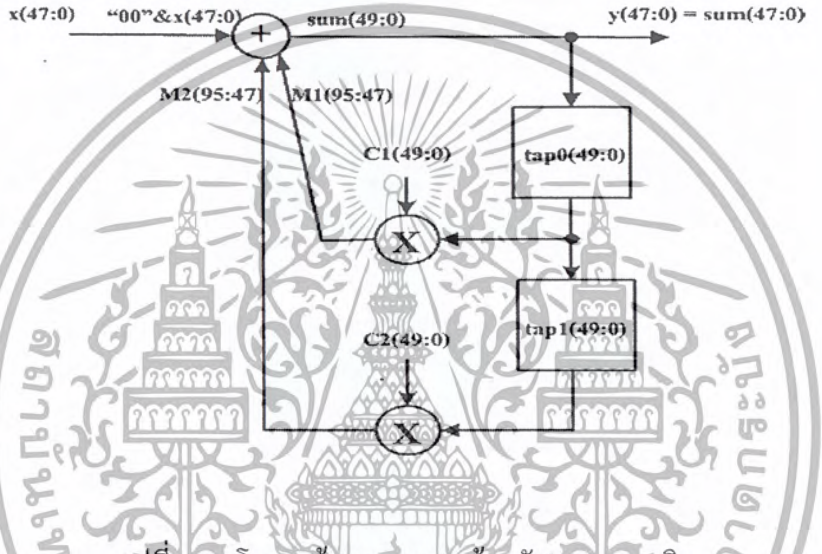


รูปที่ 4.82 ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 32 บิตกับสัญญาณสามเหลี่ยมความถี่ 3.4 kHz

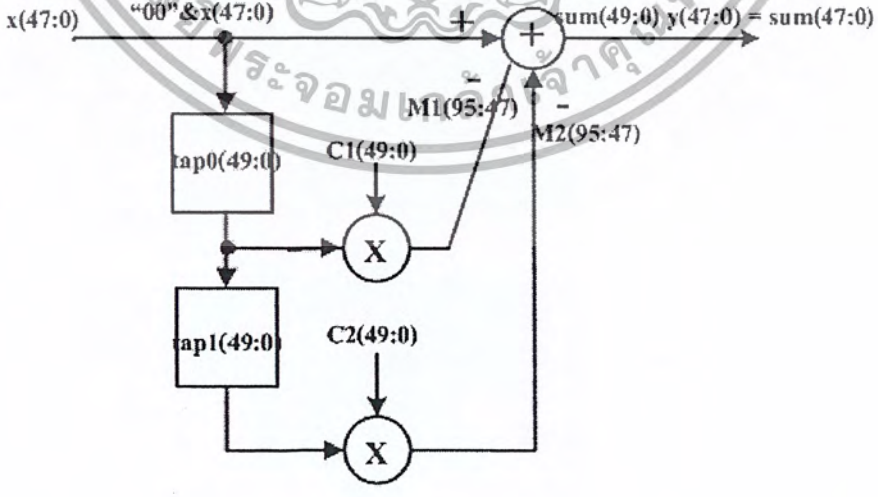
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.4.4 วงจรเข้าและถอดรหัสที่มีอินพุตและเอาต์พุตขนาด 48 บิต

โดยโครงสร้างวงจรเข้าและถอดรหัสที่มีอินพุตและเอาต์พุตขนาด 32 บิต แสดงได้ดังรูปที่ 4.83 และ 4.84 ตามลำดับ โดยการจำลองการทำงานของวงจรเข้ารหัสและถอดรหัสขนาด 48 บิต ในรูปแบบเลขฐานสิบได้ดังรูปที่ 4.85

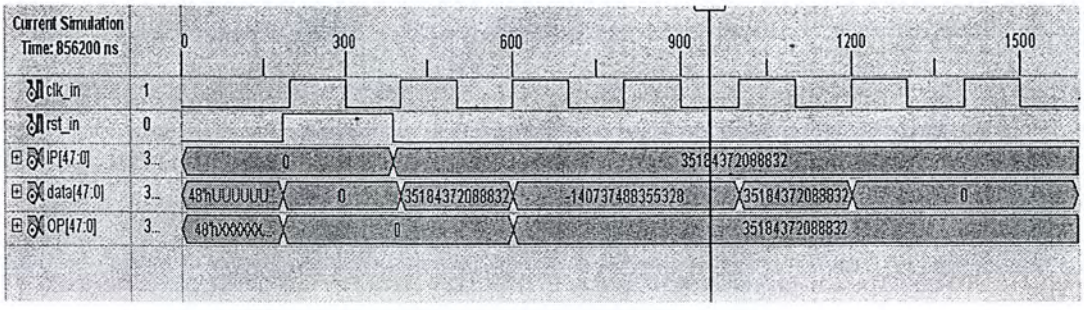


รูปที่ 4.83 โครงสร้างของวงจรเข้ารหัสขนาด 48 บิต



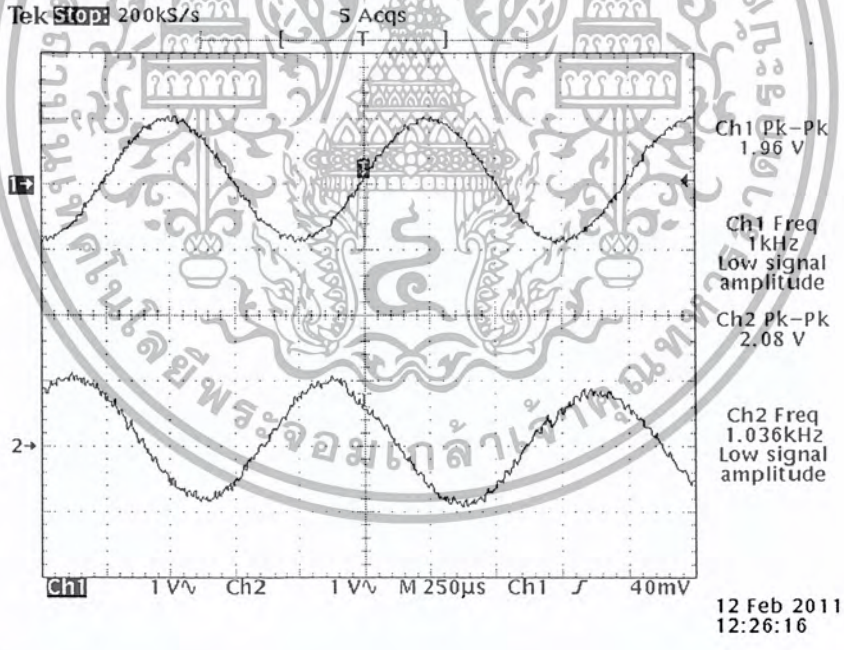
รูปที่ 4.84 โครงสร้างของวงจรถอดรหัสขนาด 48 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



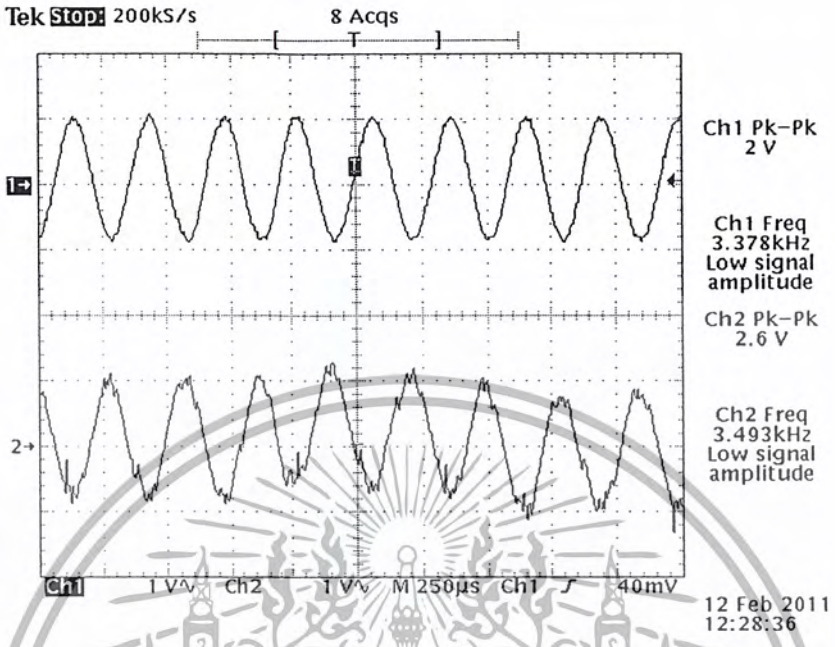
รูปที่ 4.85 ผลการจำลองการทำงานของวงจรเข้าและถอดรหัสขนาด 48 บิตในรูปเลขฐานสิบ

โดยในการทดลองจะป้อนอินพุตในรูปแบบและความถี่ต่างๆ ซึ่งผลการทดลองเป็นดังรูปที่ 4.86, 4.87, 4.88 และ 4.89 โดย Ch1 เป็นสัญญาณอนาลอกอินพุตก่อนเข้ารหัส และ Ch2 เป็นสัญญาณอนาลอกเอาต์พุตที่ถอดรหัสแล้ว

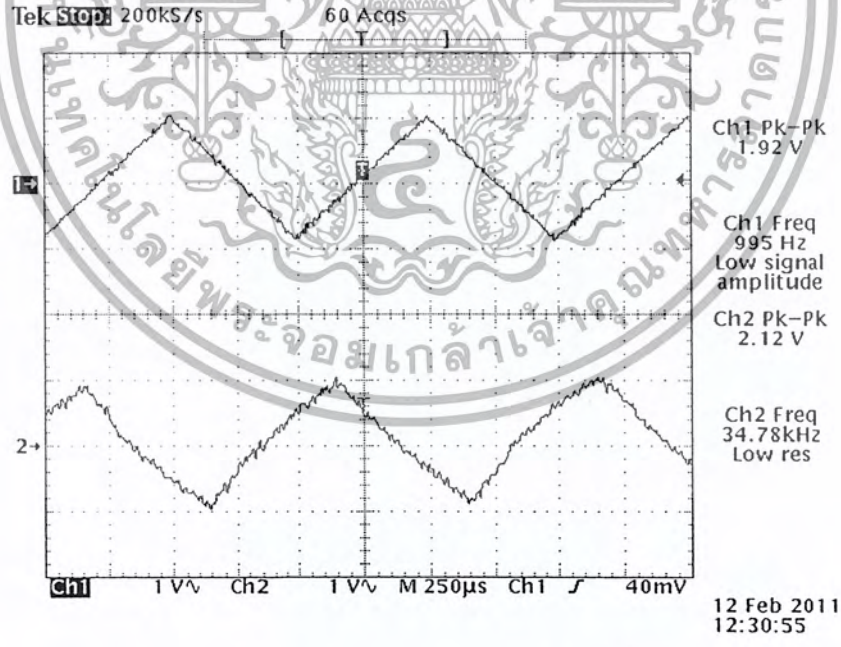


รูปที่ 4.86 ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 48 บิตกับสัญญาณไซน์ความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

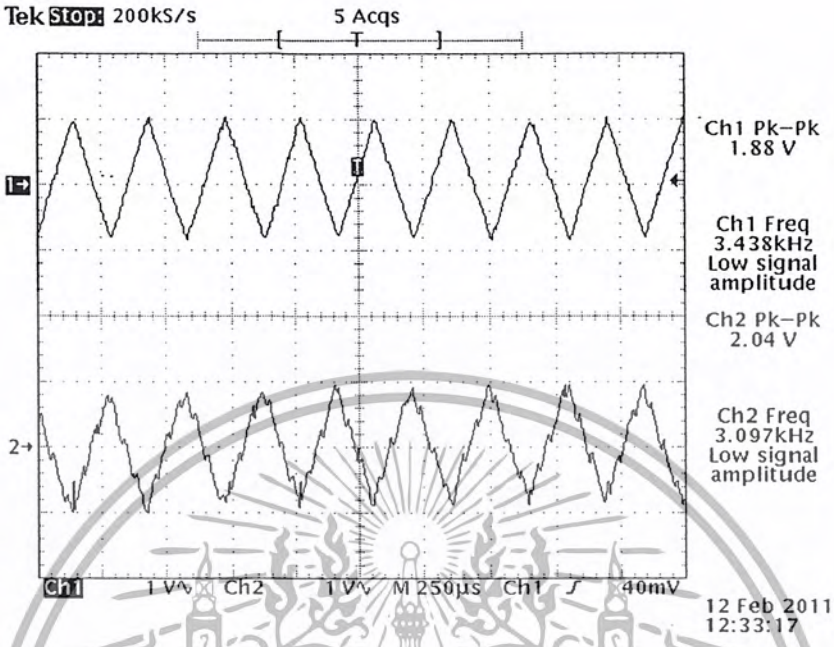


รูปที่ 4.87 ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 48 บิตกับสัญญาณไซน์ความถี่ 3.4 kHz



รูปที่ 4.88 ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 48 บิตกับสัญญาณสามเหลี่ยมความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



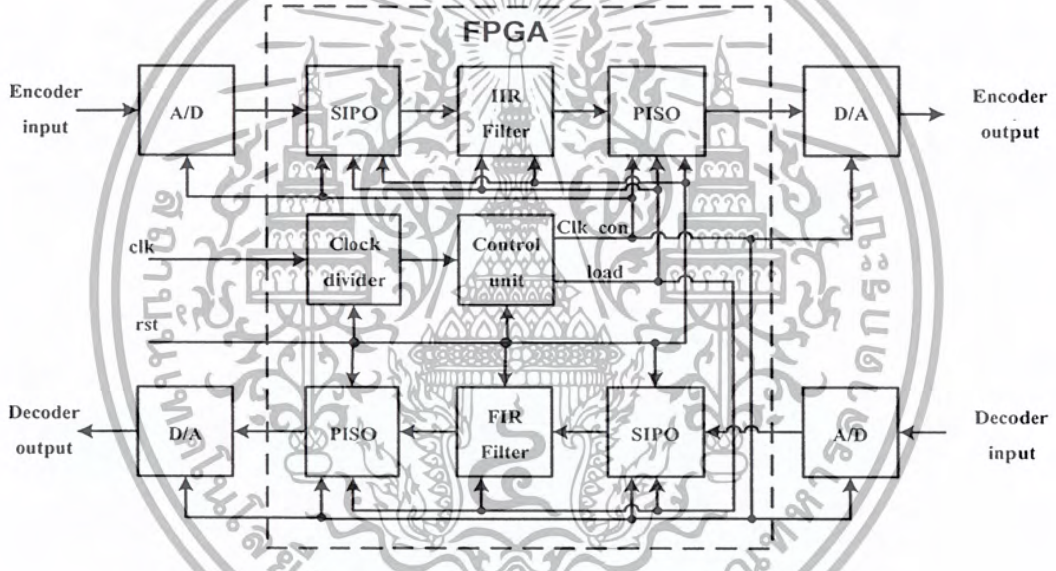
รูปที่ 4.89 ผลการทดลองของวงจรเข้าและถอดรหัสขนาด 48 บิตกับสัญญาณสามเหลี่ยมความถี่ 3.4 kHz

จากผลการทดลองในหัวข้อที่ 4.3.4.1 ถึงหัวข้อที่ 4.3.4.4 ได้ทำการกำหนดขนาดของข้อมูลเป็น 8, 16, 32 และ 48 บิตตามลำดับ จะเห็นว่าผลของการเข้าและถอดรหัสมีลักษณะของสัญญาณเอาต์พุตที่ดีขึ้นตามลำดับ เนื่องจากขนาดของข้อมูลที่ใหญ่ขึ้นทำให้ข้อมูลมีความละเอียดมากขึ้น ทำให้สามารถเข้าและถอดรหัสสัญญาณออกมาได้ใกล้เคียงสัญญาณอินพุตเดิมมากขึ้น โดยเมื่อเพิ่มความถี่ของสัญญาณอินพุตสูงขึ้น จะทำให้เห็นความแตกต่างของขนาดมูลที่มีผลต่อการเข้าและถอดรหัสสัญญาณได้อย่างชัดเจน แต่การออกแบบวงจรเข้าและถอดรหัสที่มีขนาดของข้อมูลใหญ่ขึ้นก็จะยากขึ้นเช่นกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

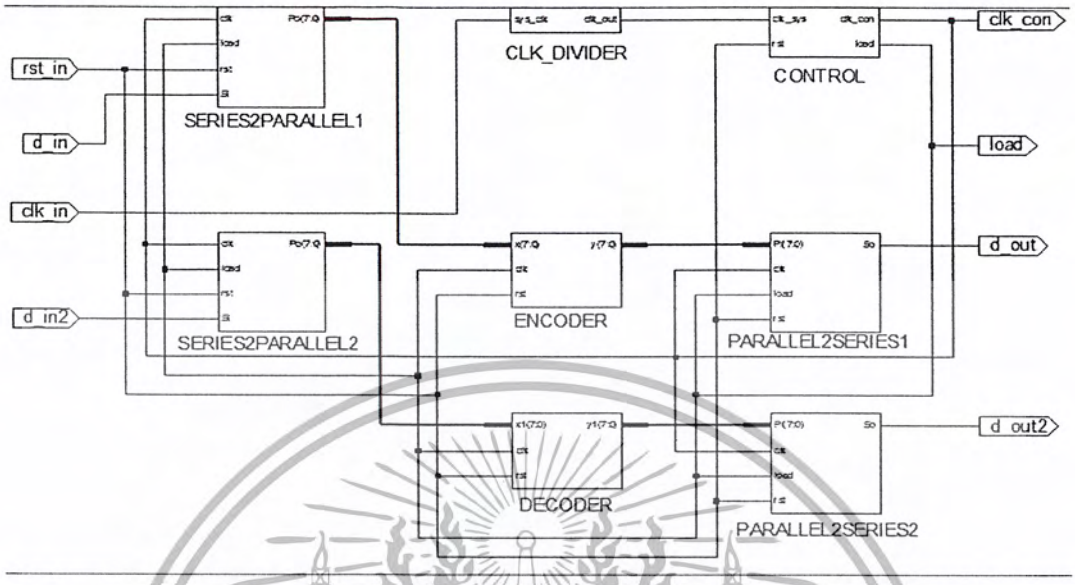
4.3.5 ผลการทดลองของวงจรเข้าและถอดรหัสที่นำไปใช้งานจริง

จากผลการทดลองตั้งแต่หัวข้อที่ 4.3.1 ถึงหัวข้อที่ 4.3.4 จะเห็นผลการทดลองในแต่ละหัวข้อมีความถูกต้องตามที่ได้ออกแบบไว้ โดยการทดลองต่อไปจะเป็นการทดลองโดยนำส่วนประกอบทั้งหมดของวงจรเข้าและถอดรหัสมาทดสอบการทำงานร่วมกันซึ่งมี รูปแบบการทดลองดังรูปที่ 4.90 และ รูปที่ 4.91 แสดง RTL Schematic ของวงจรเข้าและถอดรหัสที่นำไปใช้งานจริง



รูปที่ 4.90 โครงสร้างของวงจรเข้าและถอดรหัสที่นำไปใช้งานจริง

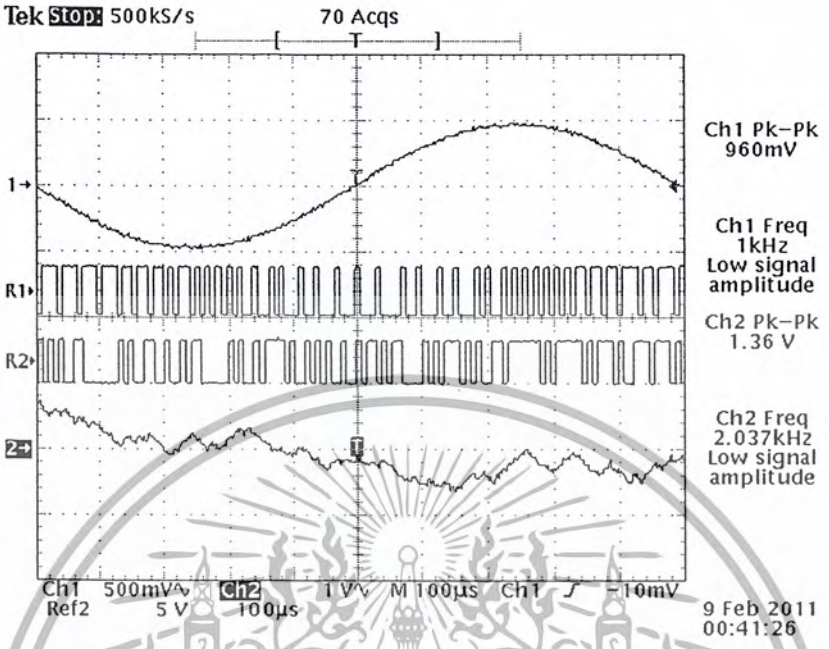
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



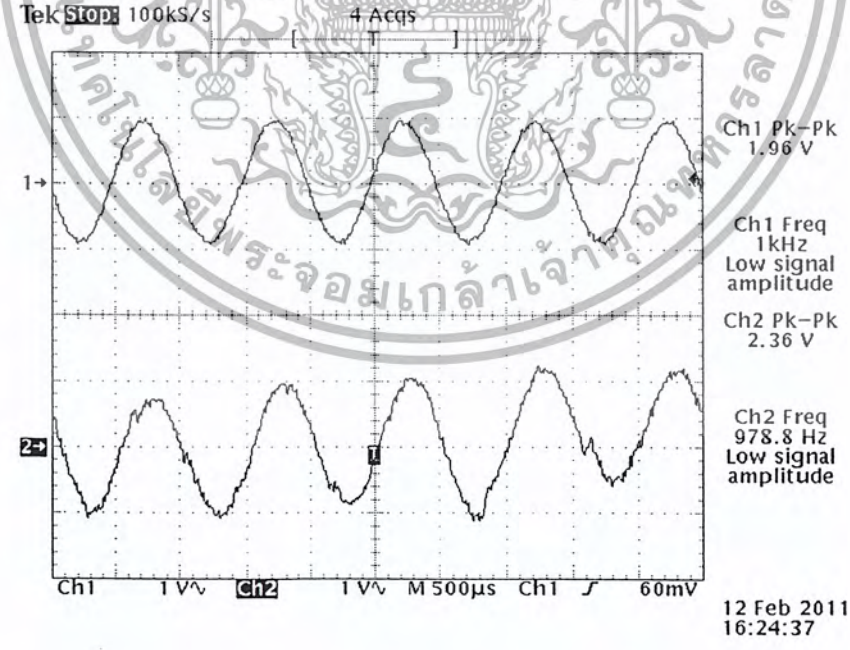
รูปที่ 4.91 โครงสร้างแบบ RTL Schematic ของวงจรเข้าและถอดรหัสที่นำไปใช้งานจริง

โดยการทดลองกำหนดสัญญาณอินพุตเป็นสัญญาณไซน์ความถี่ต่างๆซึ่งมีผลการทดลองดังรูปที่ 4.92, 4.93, 4.94 และ 4.95 โดย R1 เป็นสัญญาณดิจิตอลอินพุตของวงจรเข้ารหัส, R2 เป็นสัญญาณดิจิตอลเอาต์พุตของวงจรถอดรหัส, Ch1 เป็นสัญญาณอนาลอกอินพุต และ Ch2 เป็นสัญญาณนาลอดเอาต์พุตที่ผ่านการเข้าและถอดรหัสแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

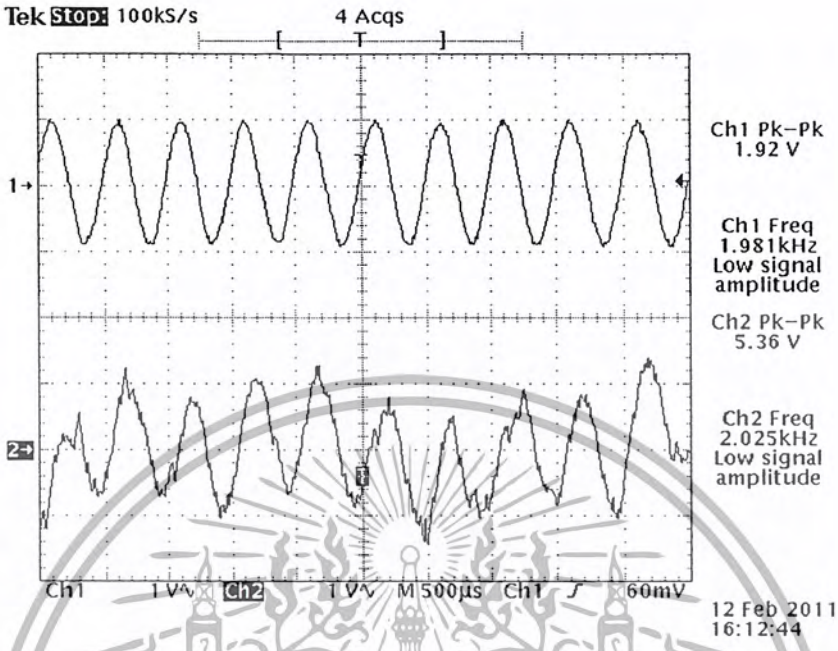


รูปที่ 4.92 ผลการทดลองของวงจรเข้าและถอดรหัสที่นำไปใช้งานจริงกับสัญญาณไซน์ความถี่ 1kHz

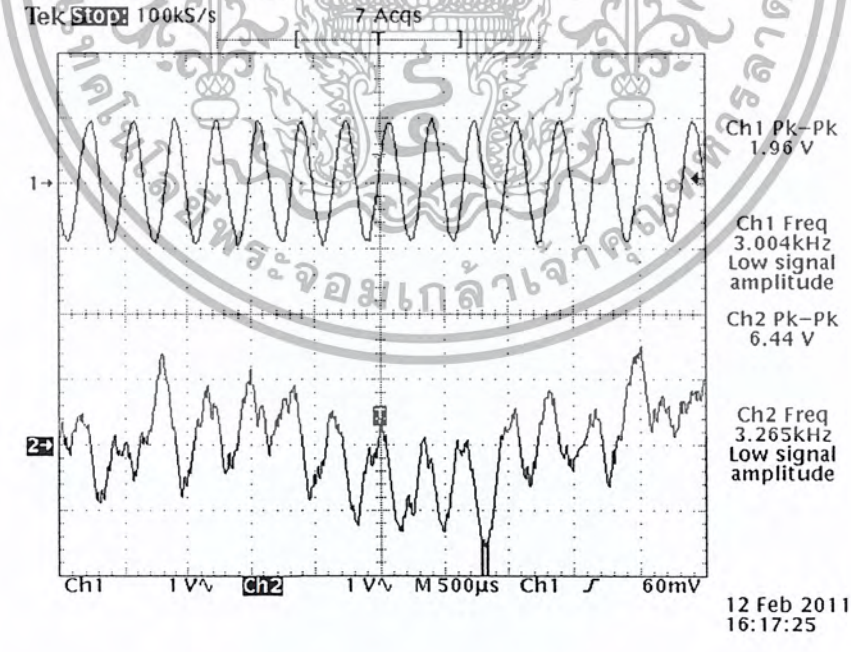


รูปที่ 4.93 ผลการทดลองของวงจรเข้าและถอดรหัสที่นำไปใช้งานจริงกับสัญญาณไซน์ความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.94 ผลการทดลองของวงจรเข้าและถอดรหัสที่นำไปใช้งานจริงกับสัญญาณไซน์ความถี่ 2 kHz

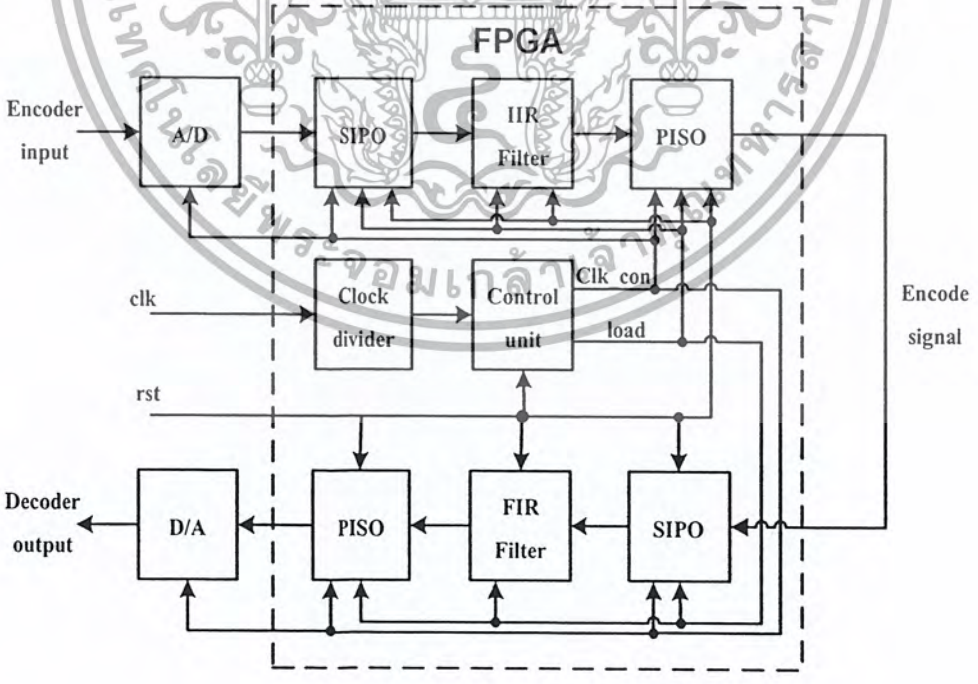


รูปที่ 4.95 ผลการทดลองของวงจรเข้าและถอดรหัสที่นำไปใช้งานจริงกับสัญญาณไซน์ความถี่ 3 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากผลการทดลองจะเห็นว่าที่ความถี่อินพุตสูง สัญญาณอนาลอกเอาต์พุตที่ถอดรหัสออกมาได้จะมีความผิดเพี้ยนจากสัญญาณอนาลอกอินพุต จนที่ทีความถี่อินพุตสูงเกิน 3 kHz จะไม่สามารถทำการถอดรหัสออกมาได้ ซึ่งเป็นผลมาจากการแปลงสัญญาณดิจิตอลที่เข้ารหัสแล้วกลับไปเป็นสัญญาณอนาลอก และนำสัญญาณอนาลอกที่ได้ไปแปลงกลับเป็นสัญญาณดิจิตอลเพื่อเข้าสู่วงจรถอดรหัสอีกครั้ง เนื่องจากการสุ่มตัวอย่างจากสัญญาณอนาลอกที่เข้ารหัสแล้วกลับมาเป็นดิจิตอลนั้น มีโอกาสที่จะสุ่มตัวอย่างได้ไม่ตรงกับสัญญาณดิจิตอลที่เข้ารหัสมา จึงเป็นผลทำให้เกิดข้อผิดพลาดในการถอดรหัส โดยที่ความถี่สุ่มคง และสัญญาณอินพุตมีความถี่ต่ำจะมีโอกาสในการค่าสุ่มตัวอย่างได้ตัวอย่างสัญญาณเดิมกลับมามากกว่าสัญญาณอินพุตที่มีความถี่สูง จึงทำให้ที่สัญญาณอินพุตความถี่สูงๆ ไม่สามารถเข้าและถอดรหัสในรูปแบบของสัญญาณอนาลอกได้

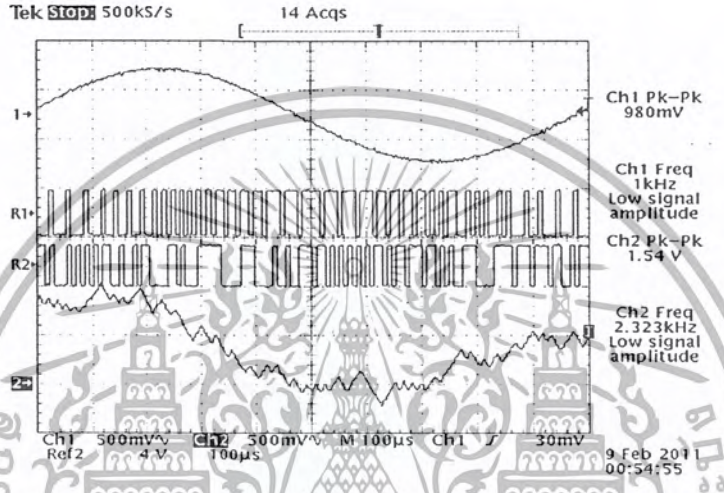
จากข้อสังเกตของการทดลองที่ผ่านมา จึงได้ทดลองทำการส่งข้อมูลที่เข้ารหัสแล้วในรูปแบบของข้อมูลดิจิตอลแทนอนาลอกเพื่อทดสอบว่าสามารถเข้าและถอดรหัสสัญญาณได้หรือไม่ โดยใช้รูปแบบของการทดลองดังรูปที่ 4.96



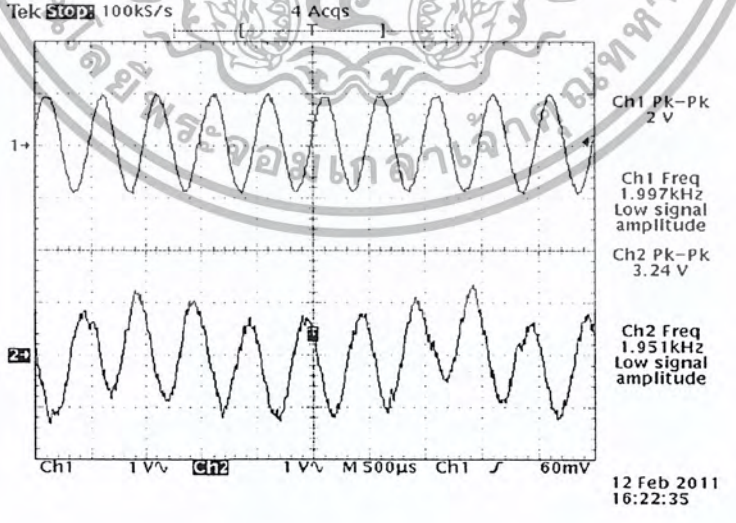
รูปที่ 4.96 โครงสร้างของวงจรที่ใช้ในการทดลองส่งข้อมูลเข้ารหัสแบบดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำการทดลองโดยการป้อนสัญญาณอินพุตเป็นสัญญาณไซน์ความถี่ต่างๆ ซึ่งมีผลการทดลองดังรูปที่ 4.97, 4.98 และ 4.99 โดย Ch1 เป็นสัญญาณอนาลอกอินพุต, R1 เป็นสัญญาณดิจิตอลอินพุตของวงจรเข้ารหัส, R2 เป็นสัญญาณดิจิตอลเอาต์พุตของวงจรถอดรหัส และ Ch2 เป็นสัญญาณอนาลอกเอาต์พุตที่แปลงจากสัญญาณดิจิตอล R2

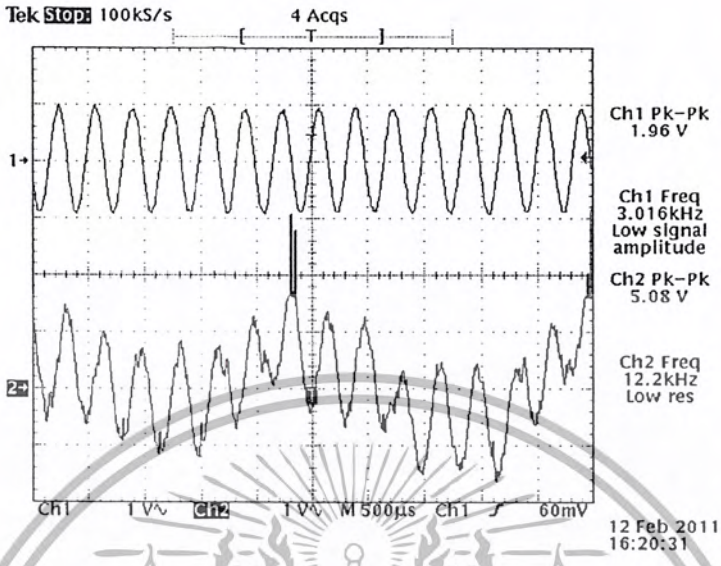


รูปที่ 4.97 ผลการทดลองของวงจรเข้าและถอดรหัสโดยส่งข้อมูลเข้ารหัสแบบดิจิตอลกับสัญญาณไซน์ความถี่ 1 kHz



รูปที่ 4.98 ผลการทดลองของวงจรเข้าและถอดรหัสโดยส่งข้อมูลเข้ารหัสแบบดิจิตอลกับสัญญาณไซน์ความถี่ 1 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.99 ผลการทดลองของวงจรเข้าและถอดรหัสโดยส่งข้อมูลเข้ารหัสแบบดิจิตอลกับสัญญาณไซน์ความถี่ 2 kHz

จากผลการทดลองพบว่า สามารถทำการเข้าและถอดรหัสได้ดีกว่าการทดลองก่อนหน้า แต่ยังคงมีความผิดเพี้ยนของสัญญาณอยู่ ซึ่งปัญหาที่เกิดขึ้นอาจเป็นผลมาจาก การเลือกบิตข้อมูลของวงจรเข้ารหัสและถอดรหัส และการส่งข้อมูลที่เข้ารหัสแล้วเข้าสู่วงจรถอดรหัส อาจจะต้องการชุดควบคุมสัญญาณที่มีความซับซ้อนมากกว่านี้ เพื่อให้วงจรทำงานสอดคล้องกันมากขึ้น หรือ อาจจะเป็นผลมาจากดีเลย์ที่เกิดขึ้นภายในอุปกรณ์ FPGA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลและข้อเสนอแนะ

5.1 สรุปผล

ในปริญญานิพนธ์นี้ได้ใช้วงจรกรองสัญญาณดิจิตอลอันดับที่สอง ในการสร้างวงจรเข้ารหัสและถอดรหัสแบบเคออติก ซึ่งวงจรเข้ารหัสเป็นวงจรกรองสัญญาณดิจิตอลชนิดผลตอบสนองอิมพัลส์ไม่จำกัด (IIR filter) โดยถ้าเลือกค่าสัมประสิทธิ์ของวงจรกรองอย่างน้อยหนึ่งตัวให้อยู่ภายนอกขอบเขตพื้นที่สามเหลี่ยมเสถียรภาพ จะทำให้ตำแหน่งของโพลอยู่ภายนอกวงกลมหนึ่งหน่วย ซึ่งทำให้วงจรเข้ารหัสเกิดความไม่มีเสถียรภาพ และในการจำลองการทำงานได้อาศัยฟังก์ชัน $f(\cdot)$ ทำให้เกิดการล้นที่ไม่เป็นเชิงเส้นเป็นผลให้เกิดพฤติกรรมเคออสขึ้น สำหรับวงจรถอดรหัสใช้วงจรกรองสัญญาณแบบผลตอบสนองอิมพัลส์จำกัด (FIR filter) ซึ่งเป็นส่วนกลับ (inverse) ของวงจรเข้ารหัส โดยเมื่อเลือกค่าสัมประสิทธิ์ให้มีมีค่าตรงกับวงจรเข้ารหัสจะทำให้ตำแหน่งซีโร่ของวงจรถอดรหัสตรงกับตำแหน่งโพลของวงจรเข้ารหัสทำให้เกิดการหักล้าง (cancel) กัน ดังนั้นจึงต้องเลือกค่าสัมประสิทธิ์ของวงจรเข้าและถอดรหัสให้ตรงกันจึงจะสามารถเข้ารหัสและถอดรหัสได้

ในการจำลองการทำงานของวงจรเข้ารหัสโดยกำหนดให้มีอินพุตเป็นศูนย์แล้วได้เอาต์พุตที่ไม่เป็นศูนย์ (zero in non zero out) นั้นเป็นคุณสมบัติของระบบที่ไม่เป็นเชิงเส้น ซึ่งพบว่าพฤติกรรมของวงจรเข้ารหัสจะสร้างสัญญาณเอาต์พุตที่มีลักษณะคล้ายสัญญาณรบกวน และเมื่อนำวงจรเข้ารหัสและถอดรหัสไปประยุกต์ใช้งานกับการเข้ารหัสข้อมูลชนิดต่างๆ เช่น สัญญาณคลื่นรูปไซน์, ข้อมูลเสียง และข้อมูลภาพ พบว่าสามารถนำไปใช้กับการเข้ารหัสข้อมูลเหล่านี้ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับในส่วนของการออกแบบและสร้างวงจรเข้ารหัสและถอดรหัสเพื่อนำไปประยุกต์ใช้กับระบบวิทยุสื่อสาร จำเป็นต้องมีส่วนประกอบของวงจรภายนอกเพื่อใช้ทำงานร่วมกับอุปกรณ์ FPGA ซึ่งประกอบไปด้วย วงจร pre Mic. และ amplifier เพื่อขยายสัญญาณเสียง, วงจรกรองความถี่ต่ำผ่านแบบอนาลอกที่มีความถี่ตัด 4 kHz, วงจรแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบและวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกแบบ CVSD ซึ่งใช้ไอซี MC34115 ที่สามารถแปลงสัญญาณอนาลอกเป็นดิจิตอลและแปลงสัญญาณดิจิตอลเป็นอนาลอกได้ภายในตัวเดียว แต่ที่เวลาหนึ่งๆสามารถทำงานเพียงโหมดเดียวเท่านั้นโดยสามารถกำหนดได้ ซึ่งจะต้องใช้อินพุตและเอาท์พุตที่เป็นดิจิตอลขนาด 1 บิตเท่านั้น ส่วนของวงจรเข้าและถอดรหัสซึ่งออกแบบโดยใช้ภาษา VHDL ในการบรรยายพฤติกรรมการทำงาน จะประกอบไปด้วย ส่วนของวงจรเรียงข้อมูลแบบอนุกรมเป็นขนาน (SIPO), วงจรเรียงข้อมูลแบบขนานเป็นอนุกรม (PISO), วงจรควบคุมการทำงาน (control_unit), วงจรหารความถี่ (clk_divider), วงจรเข้ารหัส (IIR) และวงจรถอดรหัส (FIR) โดยจำลองการทำงานด้วยโปรแกรม ISE Webpack และสร้างวงจรลงบนอุปกรณ์ FPGA จากทดลองพบว่าทุกวงจรสามารถทำงานได้ แต่เมื่อทดลองส่งข้อมูลที่เข้ารหัสแล้วในรูปแบบของสัญญาณอนาลอกไปยังวงจรถอดรหัสปรากฏว่าไม่สามารถถอดรหัสสัญญาณที่ความถี่ของสัญญาณอินพุตสูงได้ แต่ในการทดลองส่งข้อมูลที่เข้ารหัสแล้วในรูปแบบของสัญญาณดิจิตอลโดยตรง พบว่าสามารถทำงานได้ดีกว่าการส่งข้อมูลที่เข้ารหัสแล้วในรูปแบบของสัญญาณอนาลอก อย่างไรก็ตามการประยุกต์ใช้งานวงจรเข้าและถอดรหัสแบบเคออติกกับวิทยุสื่อสารยังไม่สามารถทำได้ เนื่องจากปัญหาในการส่งข้อมูลที่ผ่านการเข้ารหัสแล้วแบบอนาลอกทำให้ไม่สามารถถอดรหัสสัญญาณเดิมกลับมาได้ และการสื่อสารผ่านระบบวิทยุจริงจะมีสัญญาณรบกวนจากปัจจัยภายนอกเข้ามาด้วย จึงทำให้ไม่สามารถประยุกต์ใช้งานวงจรเข้าและถอดรหัสแบบเคออติกกับวิทยุสื่อสารได้

โดยภาพรวมของปริญญานิพนธ์ การทดลองการทำงานของแต่ละส่วนประกอบพบว่า ผลการทดลองในแต่ละส่วน สามารถทำงานได้ถูกต้องตามที่ออกแบบไว้ แต่เมื่อนำแต่ละส่วนมาประกอบเพื่อทำงานร่วมกัน พบว่าระบบไม่สามรถทำงานได้ถูกต้อง ซึ่งจากการสังเกตพบว่าปัญหาเกิดจากสาเหตุหลายประการคือ ปัญหาของการถอดรหัสสัญญาณอนาลอกที่ผ่านการเข้ารหัสแล้วไม่สามารถทำการถอดรหัสได้ ปัญหาของการจำกัดขนาดความยาวของข้อมูลในระบบประมวลผลสัญญาณ ปัญหาสัญญาณรบกวนในระบบวิทยุสื่อสาร และปัญหาการหน่วง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เวลาที่เกิดขึ้นภายในอุปกรณ์ FPGA ด้วยปัญหาต่างๆเหล่านี้ จึงส่งผลให้อุปกรณ์เข้าและถอดรหัสไม่สามารถทำงานได้อย่างสมบูรณ์แบบ ตามที่ได้ตั้งวัตถุประสงค์ของปริญญานิพนธ์เอาไว้

5.2 ข้อเสนอแนะ

สำหรับปริญญานิพนธ์นี้เป็นการศึกษาและจำลองพฤติกรรมของเคออสที่เกิดขึ้นภายในวงจรกรองสัญญาณดิจิตอล แล้วนำไปออกแบบและสร้างวงจรเข้าและถอดรหัส ซึ่งในการสร้างอุปกรณ์เข้ารหัสและถอดรหัส จำเป็นต้องพิจารณาถึงผลของความยาวของข้อมูลที่จำกัด (finite wordlength effect) ที่ทำให้เกิดการล้นของข้อมูล โดยเปรียบเทียบได้กับฟังก์ชัน $f(\cdot)$ ในการจำลองการทำงานด้วยโปรแกรม MATLAB ดังนั้นการสร้างอุปกรณ์เข้าและถอดรหัสในทางปฏิบัติจึงไม่จำเป็นต้องมีฟังก์ชัน $f(\cdot)$ ตามหลักการ แต่เมื่อทำการสร้างอุปกรณ์การเข้าและถอดรหัสจริงได้เกิดความผิดพลาด เนื่องจากสาเหตุหลายประการ ทั้งจากวงจรแปลงสัญญาณอนาลอกเป็นดิจิตอล ปัญหาจากการจำกัดขนาดของข้อมูลของวงจรเข้ารหัสและถอดรหัส ปัญหาสัญญาณรบกวนในระบบวิทยุสื่อสาร ซึ่งความผิดพลาดเหล่านี้ส่งผลทำให้การถอดรหัสสัญญาณที่ผ่านการเข้ารหัสแล้วไม่สามารถทำได้อย่างสมบูรณ์ โดยแนวทางการแก้ไขที่คาดว่าจะได้ผลคือการเปลี่ยนรูปแบบของการส่งสัญญาณที่ผ่านการเข้ารหัสแล้วในรูปแบบของการส่งแบบอนาลอกไปเป็นการส่งสัญญาณในรูปแบบดิจิตอล เช่น FSK, DTMF หรือการส่งสัญญาณในรูปแบบดิจิตอลชนิดอื่นๆ เพื่อลดปัญหาของการสุ่มตัวอย่างสัญญาณของสัญญาณที่ผ่านการเข้ารหัสมาแล้วที่เกิดความผิดพลาดลง โดยปริญญานิพนธ์นี้เป็นเพียงต้นแบบหนึ่งที่ใช้ในการศึกษาพฤติกรรมเคออสที่เกิดขึ้นในวงจรกรองสัญญาณดิจิตอลเล่มหนึ่งเท่านั้น ทางผู้จัดทำคิดว่าเรื่องของพฤติกรรมเคออสในวงจรกรองสัญญาณดิจิตอลนี้สามารถทำการศึกษาต่อยอดได้อีกมาก เนื่องจากยังมีผู้ที่ศึกษาพฤติกรรมเคออสในวงจรกรองสัญญาณดิจิตอลและนำไปประยุกต์ใช้งานอยู่ไม่มากนัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

[1] สุวิพล สิทธิชีวภาค. *ความน่าจะเป็น ตัวแปรสุ่ม และกระบวนการเฟ้นสุ่ม*. พิมพ์ครั้งที่ 2. กรุงเทพฯ : หจก.วี.เจ.พริ้นติ้ง, 2551.

[2] พีระพล ยุวภูษิตานนท์. *การประมวลผลสัญญาณดิจิตอลขั้นสูง พื้นฐานของทฤษฎีการประมาณค่า*. กรุงเทพฯ.

[3] ณรงค์ ทองฉิม. *ออกแบบไอซีดิจิตอลด้วย FPGA และ CPLD ภาคปฏิบัติโดยใช้ภาษา VHDL*. กรุงเทพฯ : ซีเอ็ดยูเคชั่น, 2552.

[4] จีรสุดา โกษียาภรณ์. *วิศวกรรมอิเล็กทรอนิกส์*. พิมพ์ครั้งที่ 1. กรุงเทพฯ : หจก.วี.เจ.พริ้นติ้ง, 2551.

[5] ชำนาญ ปัญญาใส. *ภาษา VHDL สำหรับการออกแบบวงจรดิจิตอล*. กรุงเทพฯ : ซีเอ็ดยูเคชั่น, 2547.

[6] อภิฌาน กาญจนวาปสถิตย์. *"การวิเคราะห์เชิงคณิตศาสตร์ของวงจรเข้ารหัสเคออสแบบดิจิตอล."* วิทยานิพนธ์ปริญญาวิศวกรรมศาสตรมหาบัณฑิต, สาขาวิชาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, มหาวิทยาลัยเทคโนโลยีมหานคร, 2542.

[7] สมคิด จรัสกิจวิกัยกุล. *"ชุดฝึกพิมพ์สำหรับคนตาบอด."* วิทยานิพนธ์ปริญญาวิศวกรรมศาสตรมหาบัณฑิต, ภาควิชาวิศวกรรมไฟฟ้า, คณะวิศวกรรมศาสตร์, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2544.

[8] "ทฤษฎีความอลวน." http://th.wikipedia.org/wiki/ทฤษฎีความอลวน.

[9] สมเกียรติ ตั้งกิจวานิชย์. "ทฤษฎีความโกลาหล." http://th.wikipedia.org/wiki/ทฤษฎีความอลวน.

[10] Frey, D.R.. "Chaotic Digital Encoding: An Approach to Secure Communication." *IEEE Trans. Circ & Syst. II,* vol. 40, No. 10 (1993) : 660-666.

[11] L.O. Chua. "Chaos in Digital Filters." *IEEE Trans. Circ. & Syst.,35,* No. 6 (June 1988) : 648-658.

[12] Kutzer . "Chaotic Signals generated by Digital Filter Overflow,." *Proc. ISCAS'94,*London, Vol 6. (1994) : 17-20.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

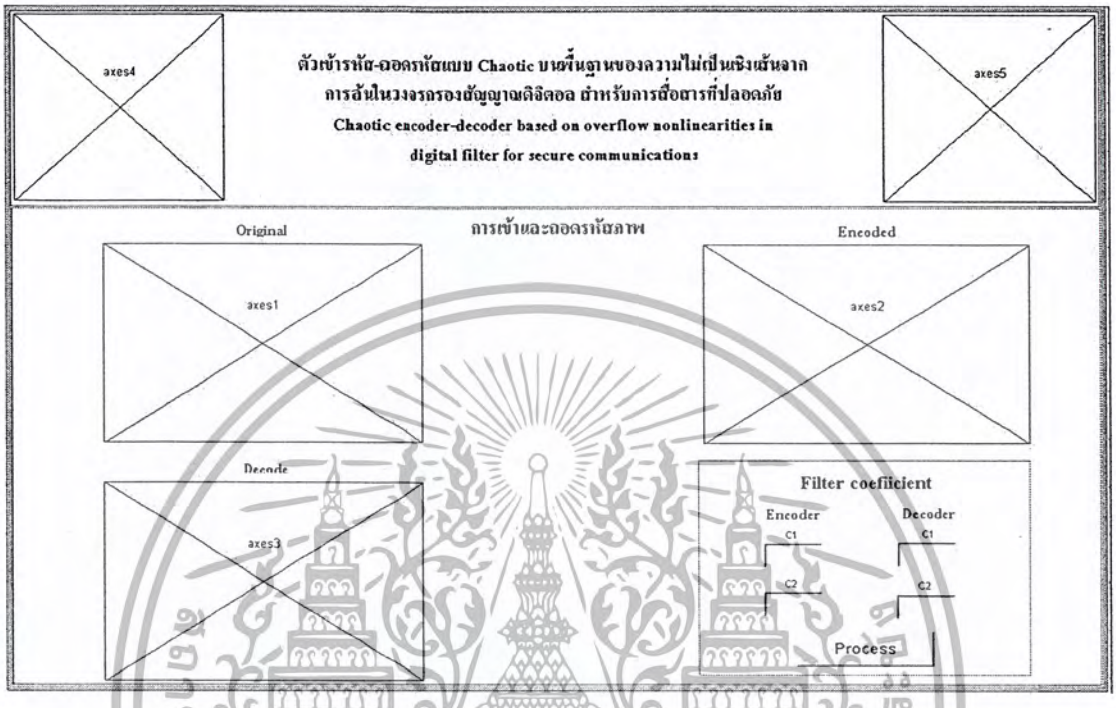
ภาคผนวก ก

ส่วนต่อประสานกราฟิกกับผู้ใช้

(Graphical User Interface : GUI)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมเข้ารหัสและถอดรหัสภาพโดยเขียนเป็น GUI



โค้ดโปรแกรม GUI ของการเข้ารหัสและถอดรหัสภาพ

```
function varargout = GUI_PIC(varargin)
gui_Singleton = 1;
gui_State = struct('gui_Name',       mfilename, ...
                   'gui_Singleton',  gui_Singleton, ...
                   'gui_OpeningFcn', @GUI_PIC_OpeningFcn, ...
                   'gui_OutputFcn',  @GUI_PIC_OutputFcn, ...
                   'gui_LayoutFcn',  [] , ...
                   'gui_Callback',   []);
if nargin && ischar(varargin{1})
    gui_State.gui_Callback = str2func(varargin{1});
end
if nargout
    [varargout{1:nargout}] = gui_mainfcn(gui_State, varargin{:});
else
    gui_mainfcn(gui_State, varargin{:});
end
function GUI_PIC_OpeningFcn(hObject, eventdata, handles, varargin)
handles.output = hObject;
guidata(hObject, handles);
function varargout = GUI_PIC_OutputFcn(hObject, eventdata, handles)
varargout{1} = handles.output;
kmitl=imread('kmitl copy.jpg');
axes(handles.axes4);imshow(kmitl);
kmitl50y=imread('logo502.jpg');
axes(handles.axes5);imshow(kmitl50y);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
function pushbutton1_Callback(hObject, eventdata, handles)
function pushbutton2_Callback(hObject, eventdata, handles)
[filename pathname]=uigetfile('*.bmp;*.jpg;*.tif;*.png','get file');
i1st=imread([pathname filename]);
i=imresize(i1st,[256,256]);
%%%%%%%%%%%%%%%%%%%%%%%% get filter coefficient %%%%%%%%%
c1=str2num(get(handles.edit2,'string'));
c2=str2num(get(handles.edit3,'string'));
c3=str2num(get(handles.edit4,'string'));
c4=str2num(get(handles.edit5,'string'));
axes(handles.axes1);imshow(i);
[M,N]=size(i);
mat2vec=reshape(i,1,M*N);
db_mat2vec=double(mat2vec);
scale_x=db_mat2vec/256;
x=scale_x;
%%%%%%%%%%%%%%%%%%%%%%%%%% Encode %%%%%%%%%%%%%%%%
y(1)=0;
y(2)=0;
for k=3:M*N;
    I=x(k)+c1*y(k-1)+c2*y(k-2);
    y(k)=mod(I+1,2)-1;
end;
y2mat=reshape(y,M,N);
scale_y=y2mat*256;
axes(handles.axes2);imshow(uint8(scale_y));
%%%%%%%%%%%%%%%%%%%%%%%%%% Decode %%%%%%%%%%%%%%%%
yr=y;
for k=43:M*N;
    J=yr(k)-(c3*yr(k-1) + c4*yr(k-2));
    z(k)=mod(J+1,2)-1;
end;
z2mat=reshape(z,M,N);
scale_z=z2mat*256;
axes(handles.axes3);
imshow(uint8(scale_z));

function edit2_Callback(hObject, eventdata, handles)
function edit2_CreateFcn(hObject, eventdata, handles)
if ispc && isequal(get(hObject,'BackgroundColor'),
get(0,'defaultUicontrolBackgroundColor'))
    set(hObject,'BackgroundColor','white');
end
function edit3_Callback(hObject, eventdata, handles)
function edit3_CreateFcn(hObject, eventdata, handles)
if ispc && isequal(get(hObject,'BackgroundColor'),
get(0,'defaultUicontrolBackgroundColor'))
    set(hObject,'BackgroundColor','white');
end
function edit4_Callback(hObject, eventdata, handles)
function edit4_CreateFcn(hObject, eventdata, handles)
if ispc && isequal(get(hObject,'BackgroundColor'),
get(0,'defaultUicontrolBackgroundColor'))
```

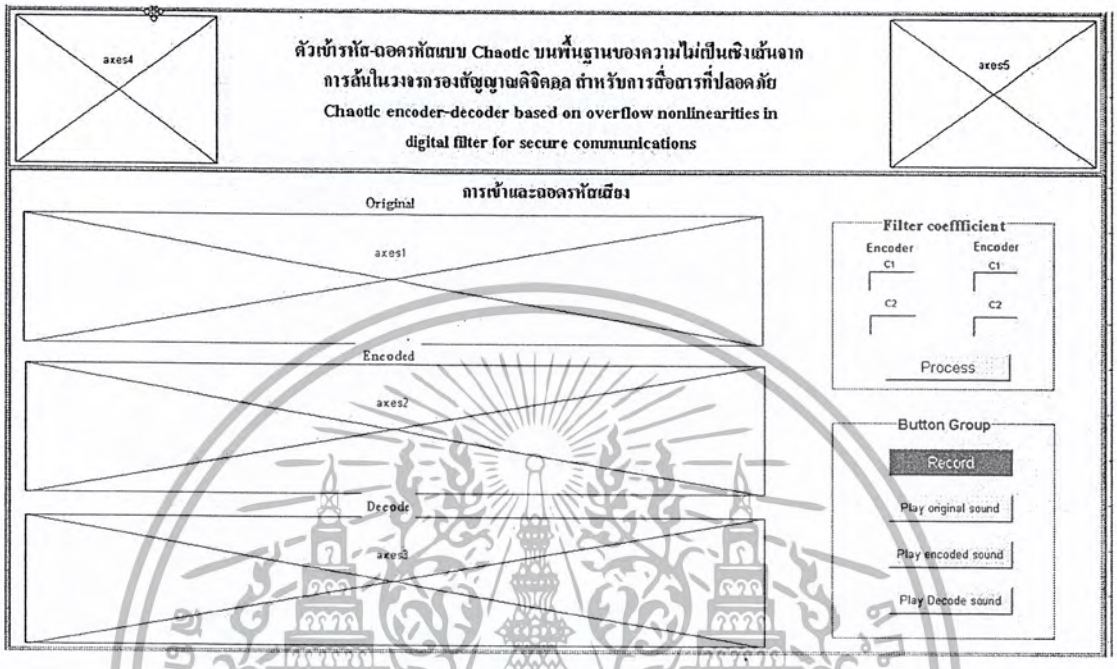
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    set(hObject,'BackgroundColor','white');
end
function edit5_Callback(hObject, eventdata, handles)
function edit5_CreateFcn(hObject, eventdata, handles)
if ispc && isequal(get(hObject,'BackgroundColor'),
get(0,'defaultUicontrolBackgroundColor'))
    set(hObject,'BackgroundColor','white');
end
function figure1_ButtonDownFcn(hObject, eventdata, handles)
```

จากโปรแกรมหน้าต่าง GUI เมื่อรันโปรแกรมแล้วจะได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมเข้ารหัสและถอดรหัสเสียงโดยเขียนเป็น GUI



โค้ดโปรแกรม GUI ของการเข้ารหัสและถอดรหัสเสียง

```
function varargout = GUI_sound(varargin)
gui_Singleton = 1;
gui_State = struct('gui_Name',       mfilename, ...
                   'gui_Singleton',  gui_Singleton, ...
                   'gui_OpeningFcn', @GUI_sound_OpeningFcn, ...
                   'gui_OutputFcn',  @GUI_sound_OutputFcn, ...
                   'gui_LayoutFcn',  [] , ...
                   'gui_Callback',   []);
if nargin && ischar(varargin{1})
    gui_State.gui_Callback = str2func(varargin{1});
end
if nargout
    [varargout{1:nargout}] = gui_mainfcn(gui_State, varargin{:});
else
    gui_mainfcn(gui_State, varargin{:});
end

function GUI_sound_OpeningFcn(hObject, eventdata, handles, varargin)
handles.output = hObject;
guidata(hObject, handles);

function varargout = GUI_sound_OutputFcn(hObject, eventdata, handles)
varargout{1} = handles.output;
```

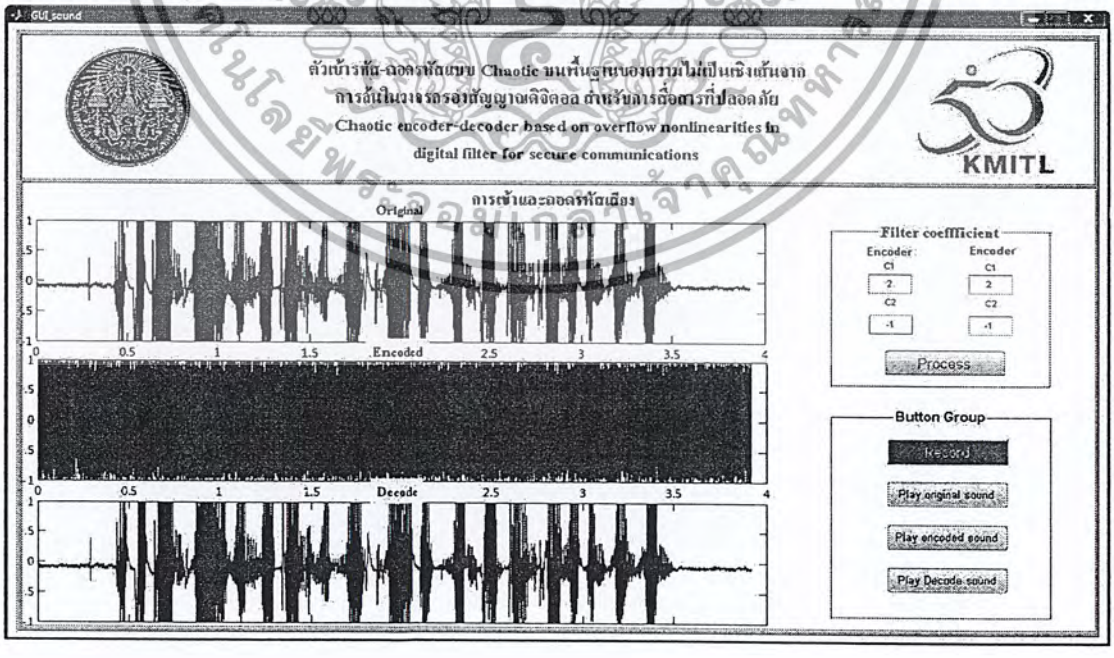
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
kmitl=imread('kmitl copy.jpg');
axes(handles.axes4);imshow(kmitl);
kmitl50y=imread('logo502.jpg');
axes(handles.axes5);imshow(kmitl50y);

function pushbutton1_Callback(hObject, eventdata, handles)
%%%%%%%%%%%%%%%%%%%%%%%% get filter coefficient %%%%%%%%%%%%%%%
c1=str2num(get(handles.edit1,'string'));
c2=str2num(get(handles.edit2,'string'));
c3=str2num(get(handles.edit3,'string'));
c4=str2num(get(handles.edit4,'string'));
[x,Fs,n]=wavread('record.wav');
l=length(x);
%%%%%%%%%%%%%%%%%%%%%%%% Encode %%%%%%%%%%%%%%%%%%%%%%%%%%%%%%
y(1)=0;
y(2)=0;
for k=3:l;
    I=x(k)+c1*y(k-1)+c2*y(k-2);
    y(k)=mod(I+1,2)-1;
end;
axes(handles.axes2);plot(y);
wavwrite(y,Fs,n,'Encode.wav');
%%%%%%%%%%%%%%%%%%%%%%%%%%%% Decode %%%%%%%%%%%%%%%%%%%%%%%%%%
yr=y;
for k=3:l;
    J=yr(k)-(c3*yr(k-1) + c4*yr(k-2));
    z(k)=mod(J+1,2)-1;
end;
axes(handles.axes3);plot(z);
wavwrite(z,Fs,n,'Decode.wav');

function edit1_Callback(hObject, eventdata, handles)

function edit1_CreateFcn(hObject, eventdata, handles)
if ispc && isequal(get(hObject,'BackgroundColor'),
get(0,'defaultUicontrolBackgroundColor'))
    set(hObject,'BackgroundColor','white');
end

function edit2_Callback(hObject, eventdata, handles)

function edit2_CreateFcn(hObject, eventdata, handles)
if ispc && isequal(get(hObject,'BackgroundColor'),
get(0,'defaultUicontrolBackgroundColor'))
    set(hObject,'BackgroundColor','white');
end

function edit3_Callback(hObject, eventdata, handles)

function edit3_CreateFcn(hObject, eventdata, handles)
if ispc && isequal(get(hObject,'BackgroundColor'),
get(0,'defaultUicontrolBackgroundColor'))
    set(hObject,'BackgroundColor','white');
end

function edit4_Callback(hObject, eventdata, handles)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
function edit4_CreateFcn(hObject, eventdata, handles)
if ispc && isequal(get(hObject,'BackgroundColor'),
get(0,'defaultUicontrolBackgroundColor'))
    set(hObject,'BackgroundColor','white');
end

function pushbutton3_Callback(hObject, eventdata, handles)
[original_sound,Fs,n]=wavread('record.wav');
sound(original_sound,Fs,n);

function pushbutton4_Callback(hObject, eventdata, handles)
[encoded_sound,Fs,n]=wavread('Encode.wav');
sound(encoded_sound,Fs,n);

function pushbutton5_Callback(hObject, eventdata, handles)
[decoded_sound,Fs,n]=wavread('Decode.wav');
sound(decoded_sound,Fs,n);

function pushbutton6_Callback(hObject, eventdata, handles)
r=audiorecorder(8000,8,1);
recordblocking(r,5)
wave=getaudiodata(r);
wavwrite(wave,8000,8,'record.wav');
axes(handles.axes1);plot(wave);
```

จากโปรแกรมหน้าต่าง GUI เมื่อรันโปรแกรมแล้วจะได้ดังนี้

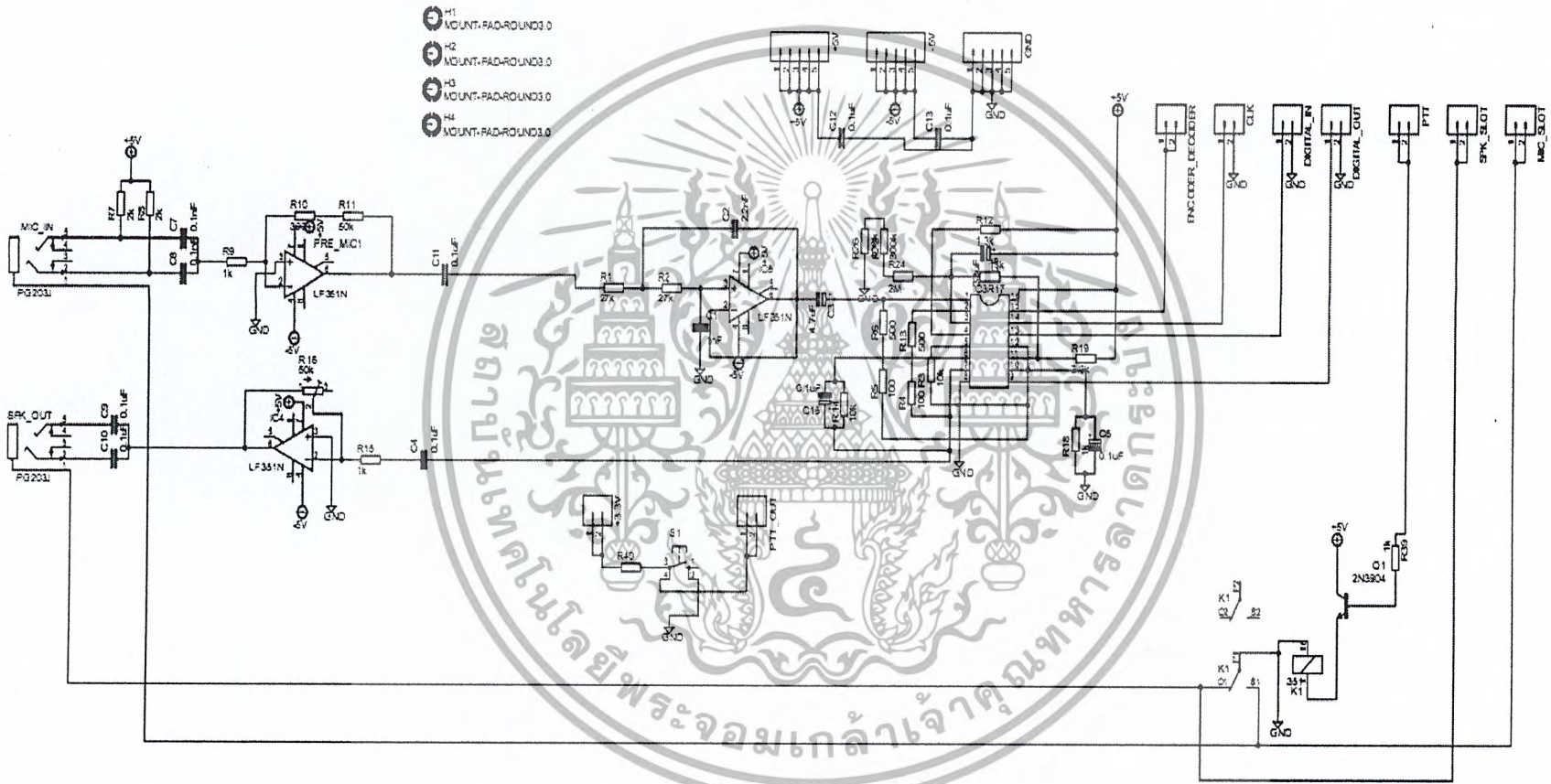


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

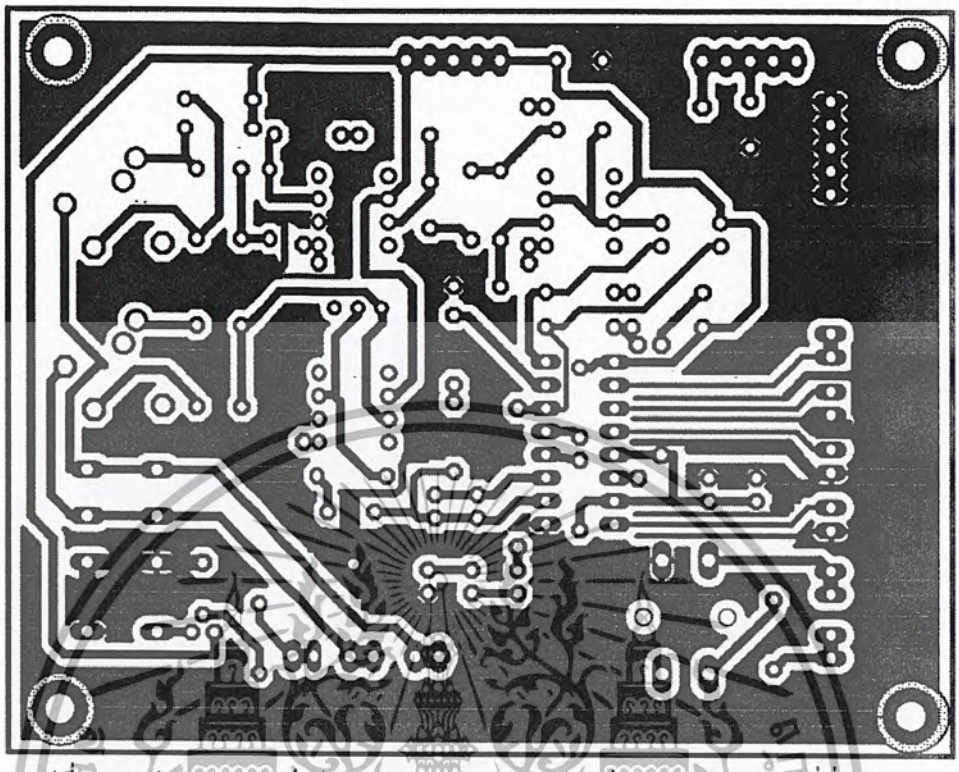
ภาคผนวก ข

วงจรและแผ่นวงจรพิมพ์

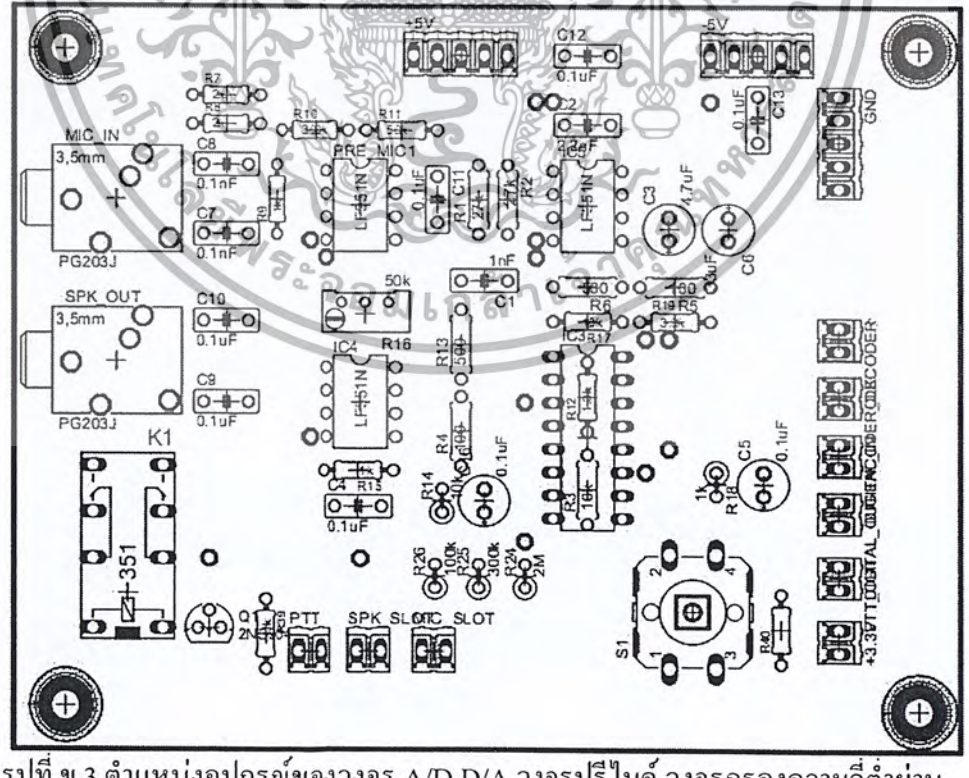
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.1 วงจรเ A/D,D/A วงจรปรีไมค์ วงจรกรองความถี่ต่ำผ่านและวงจรแอมปลิไฟเออร์

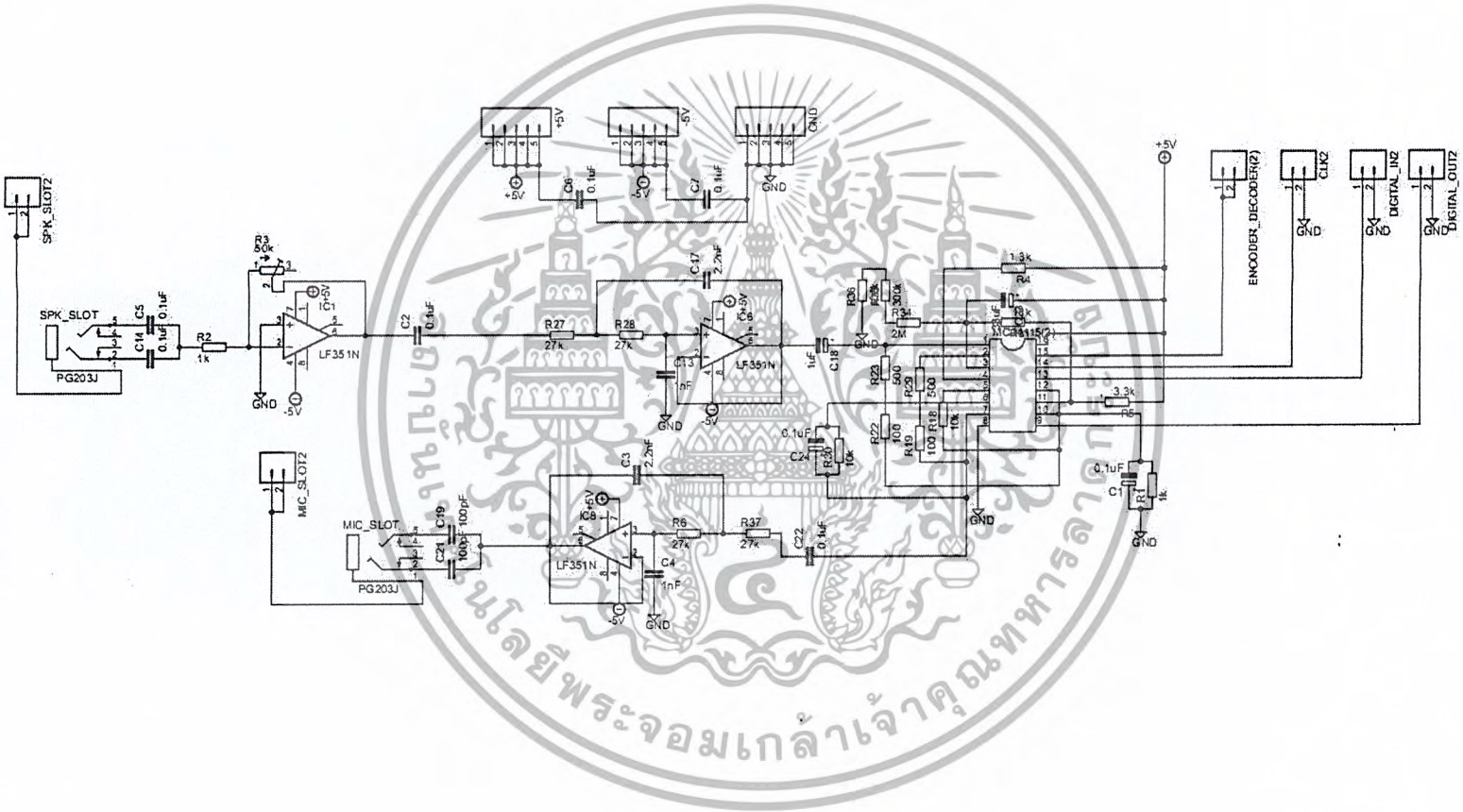


รูปที่ ข.2 แผ่นวงจรพิมพ์วงจร A/D,D/A วงจรปรีไมค์ วงจรกรองความถี่ต่ำผ่าน และวงจรแอมปลิไฟเออร์

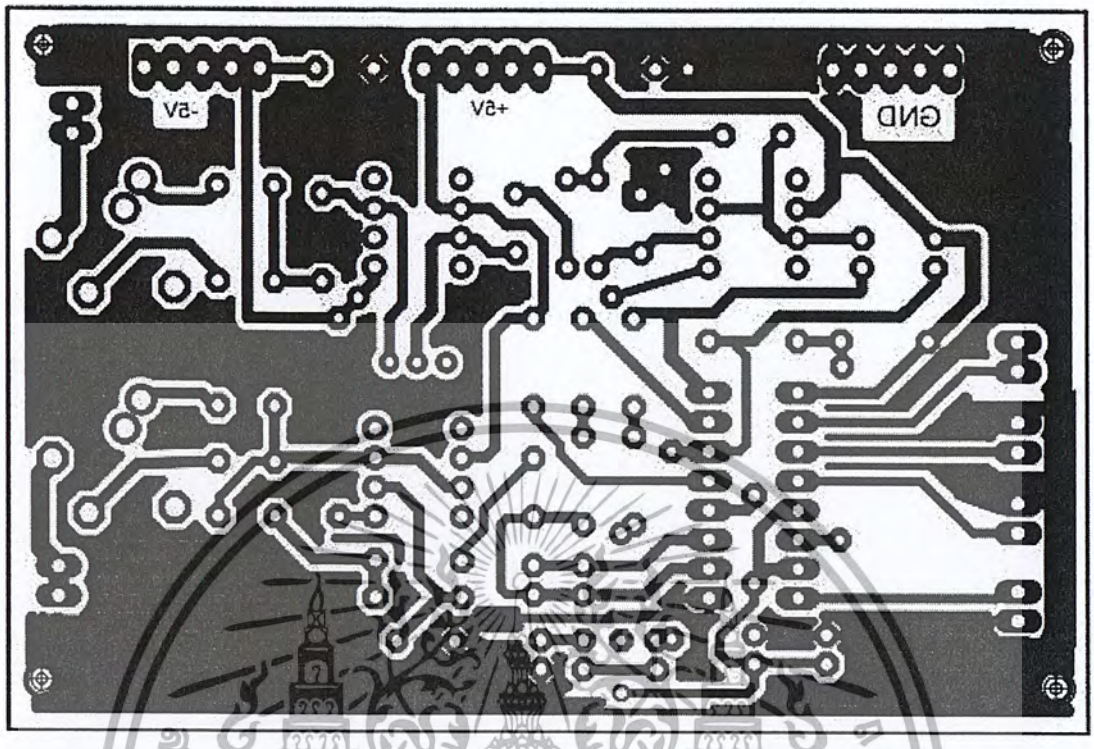


รูปที่ ข.3 ตำแหน่งอุปกรณ์ของวงจร A/D,D/A วงจรปรีไมค์ วงจรกรองความถี่ต่ำผ่าน และวงจรแอมปลิไฟเออร์

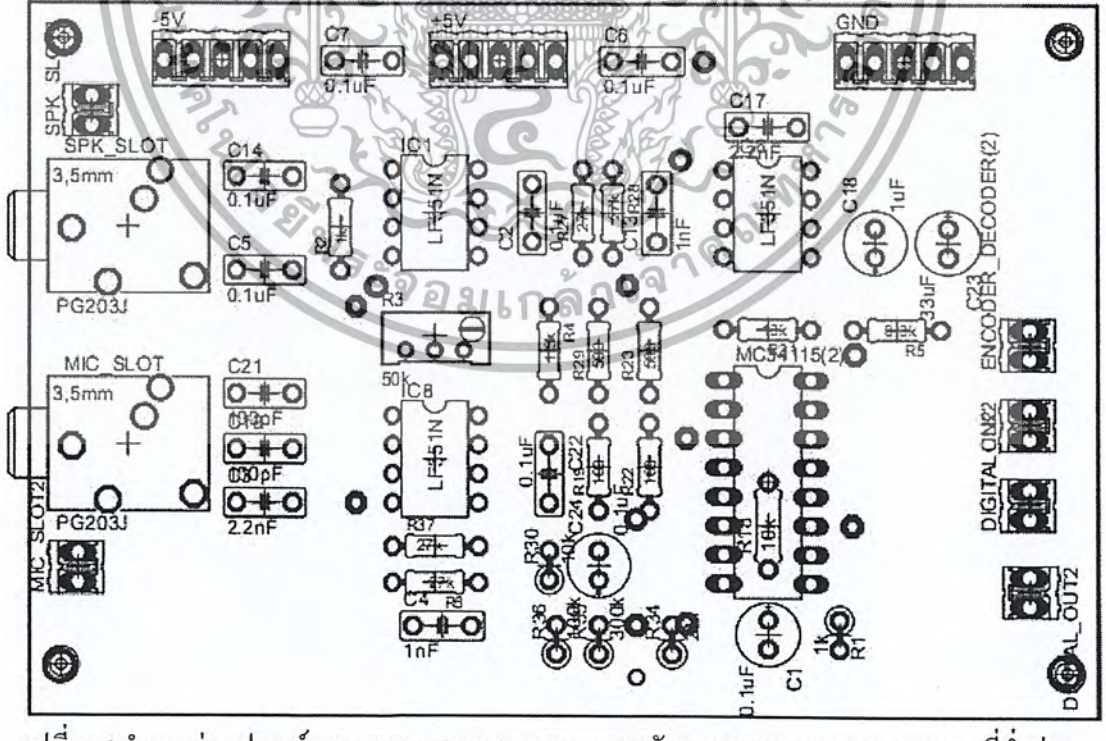
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ข.4 วงจร A/D,D/A วงจรขยายสัญญาณ และวงจรกรองความถี่ต่ำผ่าน



รูปที่ ข.5 แผ่นวงจรพิมพ์ของวงจร A/D,D/A วงจรขยายสัญญาณ และวงจรกรองความถี่ต่ำผ่าน



รูปที่ ข.6 ตำแหน่งอุปกรณ์ของวงจร A/D,D/A วงจรขยายสัญญาณ และวงจรกรองความถี่ต่ำผ่าน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค

โปรแกรมภาษา VHDL ที่ใช้ในปริญญานิพนธ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร SIPO ขนาด 8 บิต

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_SIGNED.ALL;

entity SIPO is
port( clk, rst, load, Si : in std_logic;
        Po : out std_logic_vector(7 downto 0));
end SIPO;

architecture Behavioral of SIPO is

begin
      process(clk,load,rst)
      variable shift : std_logic_vector(7 downto 0);
      begin
            if rst = '1' then
                shift := (others => '0');
            elsif clk'event and clk = '1' then
                shift(0) := shift(1);
                shift(1) := shift(2);
                shift(2) := shift(3);
                shift(3) := shift(4);
                shift(4) := shift(5);
                shift(5) := shift(6);
                shift(6) := shift(7);
                shift(7) := Si;
            end if;

            if rst = '1' then
                Po     <= (others => '0');
            elsif load='1' then
                Po <= shift(7 downto 0);
            end if;
      end process;
end Behavioral;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร PISO ขนาด 8 บิต

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_SIGNED.ALL;

entity PISO is
port( clk, rst, load    : in std_logic;
      Pi          : in std_logic_vector(7 downto 0);
      So          : out std_logic);
end PISO;

architecture Behavioral of PISO is
begin
      process(clk,load,rst)
      variable sbus : std_logic_vector(7 downto 0);
      begin
      if rst= '1' then
      So <='0';
      elsif (clk'event and clk ='1') then
            So          <= sbus(0);
            sbus(0)     := sbus(1);
            sbus(1)     := sbus(2);
            sbus(2)     := sbus(3);
            sbus(3)     := sbus(4);
            sbus(4)     := sbus(5);
            sbus(5)     := sbus(6);
            sbus(6)     := sbus(7);
      end if;

      if rst= '1' then
      sbus := (others => '0');
      elsif load='1' then
      sbus := Pi;
      end if;

      end process;
end Behavioral;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร Control_unit ควบคุมวงจรขนาด8บิต

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_SIGNED.ALL;

entity control_unit is
port( clk_sys, rst : in std_logic;
      clk_con,load : out std_logic);
end control_unit;

architecture Behavioral of control_unit is

begin
      process(rst,clk_sys)
      type state_type is (s1,s2,s3);
      variable state : state_type;
      variable count : integer range 0 to 8;
      begin
            if rst = '1' then
                  count := 1;
                  load<='0';
            elsif clk_sys'event and clk_sys = '1' then
                  case count is
                        when 1 | 2 | 3 | 4 | 5 | 6 |7  => state :=s1;
                              load <='0';
                              count := count + 1;
                        when 8 =>state:= s2;
                              load <='1';
                              count := 1;
                        when others => state := s3;
                              load <='0';
                              count := count + 1;
                  end case;
            end if;
            if rst = '1' then
                  clk_con<='0';
            else
                  clk_con<=clk_sys;
            end if;
      end process;
end Behavioral;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร clk_divider จาก 4 MHz เหลือ 125 kHz

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_SIGNED.ALL;

entity clk is
generic (   fin : integer := 4000000;
            fout : integer := 125000);
port( sys_clk : in std_logic;
      clk_out : out std_logic);
end clk;

architecture Behavioral of clk is
signal COUNT : integer range 0 to (fin/(2*fout));
signal qs : std_logic := '0';

begin

      process (sys_clk)
      begin
      if sys_clk'event and sys_clk = '1' then
            if  COUNT >= (fin/(2*fout)-1) then
                  COUNT <= 0;
                  qs <= not(qs);
            else
                  COUNT <= COUNT + 1;
            end if;
      end if;
      end process;
      clk_out <= qs;
end Behavioral;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรเข้ารหัส (IIR) ขนาด 8 บิต

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_SIGNED.ALL;

entity IIR is
port (clk,rst     : in std_logic;
      x           : in std_logic_vector(7 downto 0);
      y           : out std_logic_vector(7 downto 0));
end IIR;

architecture Behavioral of IIR is
constant C1 : std_logic_vector(9 downto 0) := "0110000000";
constant C2 : std_logic_vector(9 downto 0) := "1110000000";

begin
      process (rst,clk)
      variable tap0,tap1      : std_logic_vector(9 downto 0);
      variable sum1,sum2      : std_logic_vector(19 downto 0);
      variable OP : std_logic_vector(9 downto 0);
      begin
            if rst = '1' then
                  tap0 := (others => '0');
                  tap1 := (others => '0');
                  sum1 := (others => '0');
                  sum2 := (others => '0');
                  OP := (others => '0');
            elsif clk'event and clk ='1' then
                  OP := ("00"&x) + sum1(16 downto 7) + sum2(16 downto
7);
                  tap1:= tap0;
                  tap0:= OP;
                  sum1:=(C1*tap0);
                  sum2:=(C2*tap1);
            end if;
            y<=OP(7 downto 0);
      end process;
end Behavioral;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรถอดรหัส (FIR) ขนาด 8 บิต

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_SIGNED.ALL;

entity FIR is
port (clk,rst     : in std_logic;
           x1          : in std_logic_vector(7 downto 0);
           y1          : out std_logic_vector(7 downto 0));
end FIR;

architecture Behavioral of FIR is
constant C1 : std_logic_vector(9 downto 0) := "0110000000";
constant C2 : std_logic_vector(9 downto 0) := "1110000000";
begin
      process (clk,rst)
      variable tap0,tap1      : std_logic_vector(9 downto 0);
      variable sum1,sum2      : std_logic_vector(19 downto 0);
      variable OP : std_logic_vector(9 downto 0);
      begin
            if rst = '1' then
                tap0 := (others => '0');
                tap1 := (others => '0');
                sum1 := (others => '0');
                sum2 := (others => '0');
                OP := (others => '0');
            elsif clk'event and clk = '1' then
                OP := ("00"&x1) - sum1(16 downto 7) -sum2(16 downto
7);
                tap1 := tap0;
                tap0 := ("00"&x1);
                sum1 := (C1*tap0);
                sum2:= (C2*tap1);
            end if;
            y1<=OP(7 downto 0);
      end process;
end Behavioral;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรวมทั้งหมด

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_SIGNED.ALL;

entity chaos8bits is
port( clk_in,rst_in,d_in1,d_in2 : in std_logic;
      clk_con     : out std_logic;
      d_out1,d_out2 : out std_logic);
end chaos8bits;

architecture Behavioral of chaos8bits is
component control_unit
      port( clk_sys, rst : in std_logic;
            clk_con,load : out std_logic);
end component;
component SIPO
      port( clk, rst, load, Si : in std_logic;
        Po : out std_logic_vector(7 downto 0));
end component;
component PISO
      port( clk, rst, load    : in std_logic;
            Pi                : in std_logic_vector(7 downto 0);
            So                : out std_logic);
end component;
component clk
      port( sys_clk : in std_logic;
      clk_out : out std_logic);
end component;
component IIR
      port (clk,rst     : in std_logic;
            x           : in std_logic_vector(7 downto 0);
            y           : out std_logic_vector(7 downto 0));
end component;
component FIR
      port (clk,rst     : in std_logic;
            x1          : in std_logic_vector(7 downto 0);
            y1          : out std_logic_vector(7 downto 0));
end component;
signal CK : std_logic;
signal clk_sig : std_logic;
signal load_sig : std_logic;
signal data_ei : std_logic_vector(7 downto 0);
signal data_eo : std_logic_vector(7 downto 0);
signal data_di : std_logic_vector(7 downto 0);
signal data_do : std_logic_vector(7 downto 0);
begin
CLK_DIVIDER: clk  port map(sys_clk=>clk_in,clk_out=>CK);
CONTROL: control_unit   port map(clk_sys=>CK,rst=>rst_in,
                                 clk_con=>clk_sig,load=>load_sig);
SERIES2PARALLEL1: SIPO port map( clk=>clk_sig,rst=>rst_in,load=>load_
                                   sig,Si=>d_in1,Po=>data_ei);
ENCODER: IIR port map(
clk=>load_sig,rst=>rst_in,x=>data_ei,y=>data_eo);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

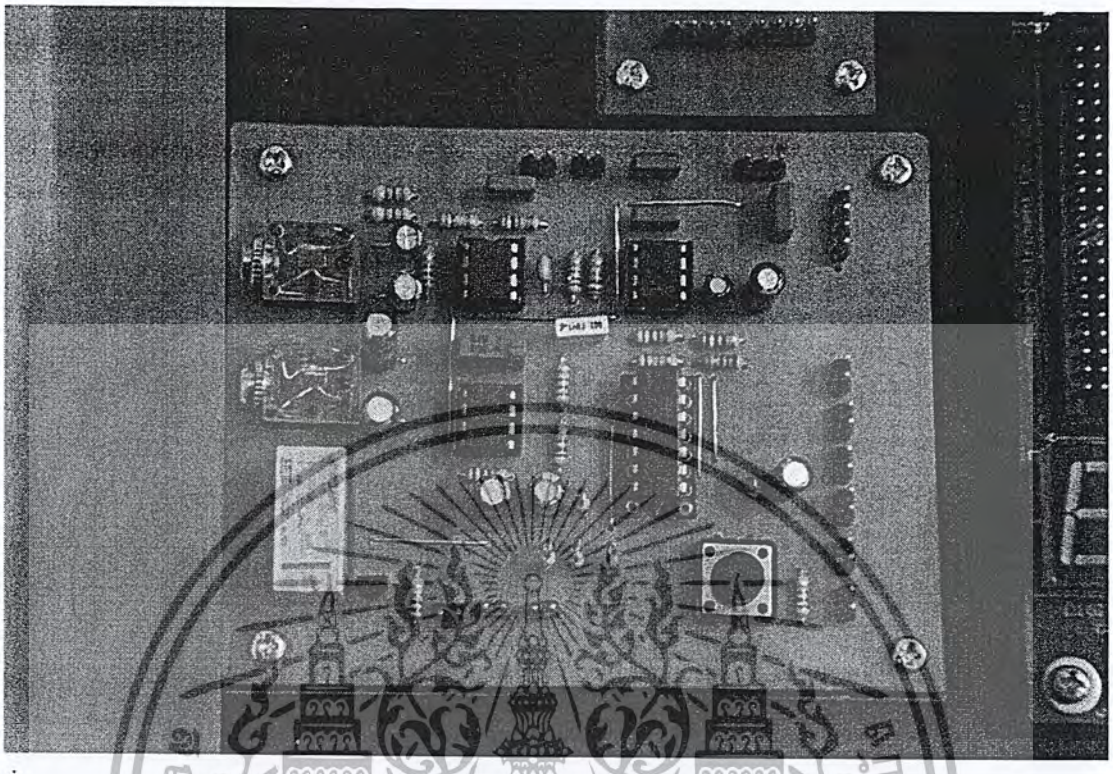
```
PARALLEL2SERIES1: PISO port map(
clk=>clk_sig,rst=>rst_in,load=>load_sig,
                                Pi=>data_eo,So=>d_out1);

SERIES2PARALLEL2: SIPO port map(
clk=>clk_sig,rst=>rst_in,load=>load_sig,
                                Si=>d_in2,Po=>data_di);
DECODER: FIR port map(
clk=>load_sig,rst=>rst_in,x1=>data_di,y1=>data_do);
PARALLEL2SERIES2: PISO port map(
clk=>clk_sig,rst=>rst_in,load=>load_sig,
                                Pi=>data_do,So=>d_out2);
clk_con<=clk_sig;
        end Behavioral;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

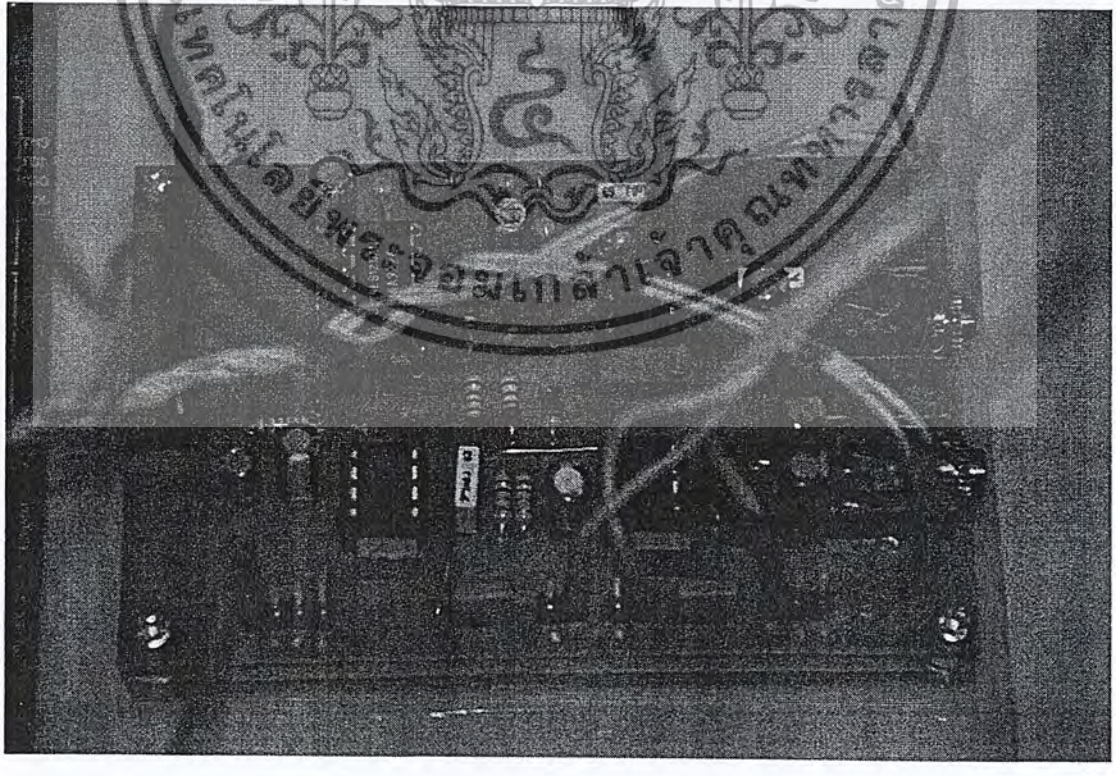
ภาคผนวก ง

รูปของอุปกรณ์ที่ใช้ในการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



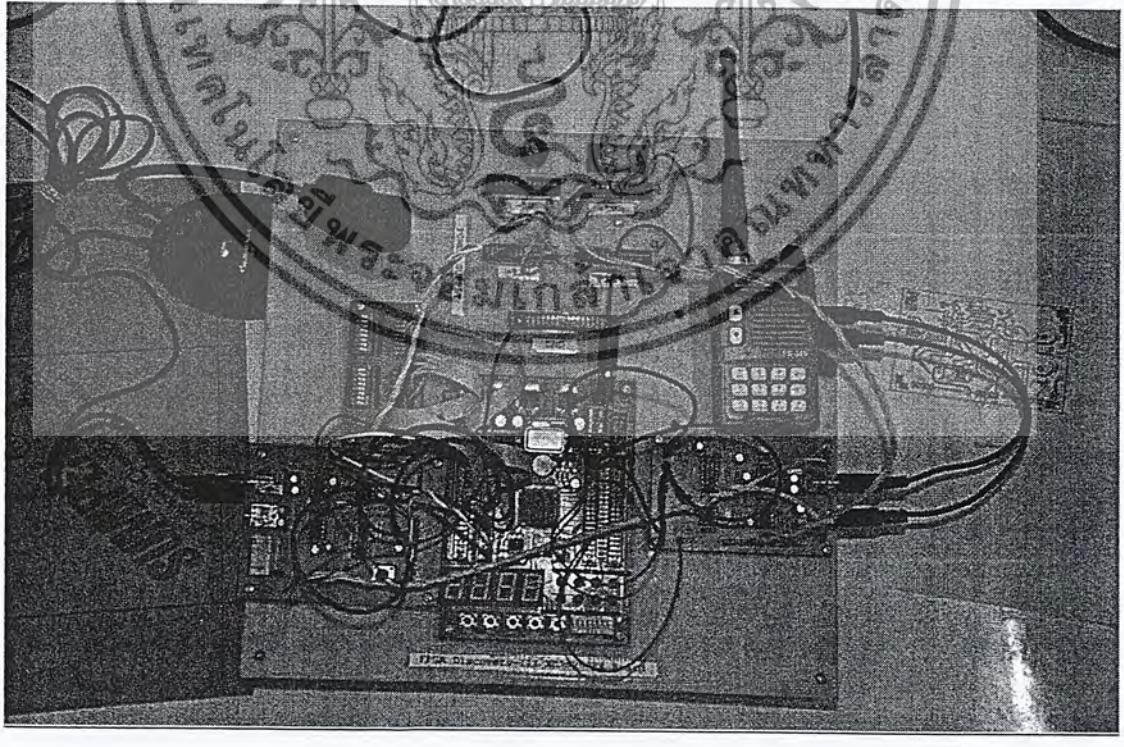
รูปที่ ง.1 วงจร A/D,D/A วงจรปรีไมค์ วงจรกรองความถี่ต่ำผ่านและวงจรแอมปลิไฟเออร์



รูปที่ ง.2 วงจร วงจร A/D,D/A วงจรขยายสัญญาณ และวงจรกรองความถี่ต่ำผ่าน

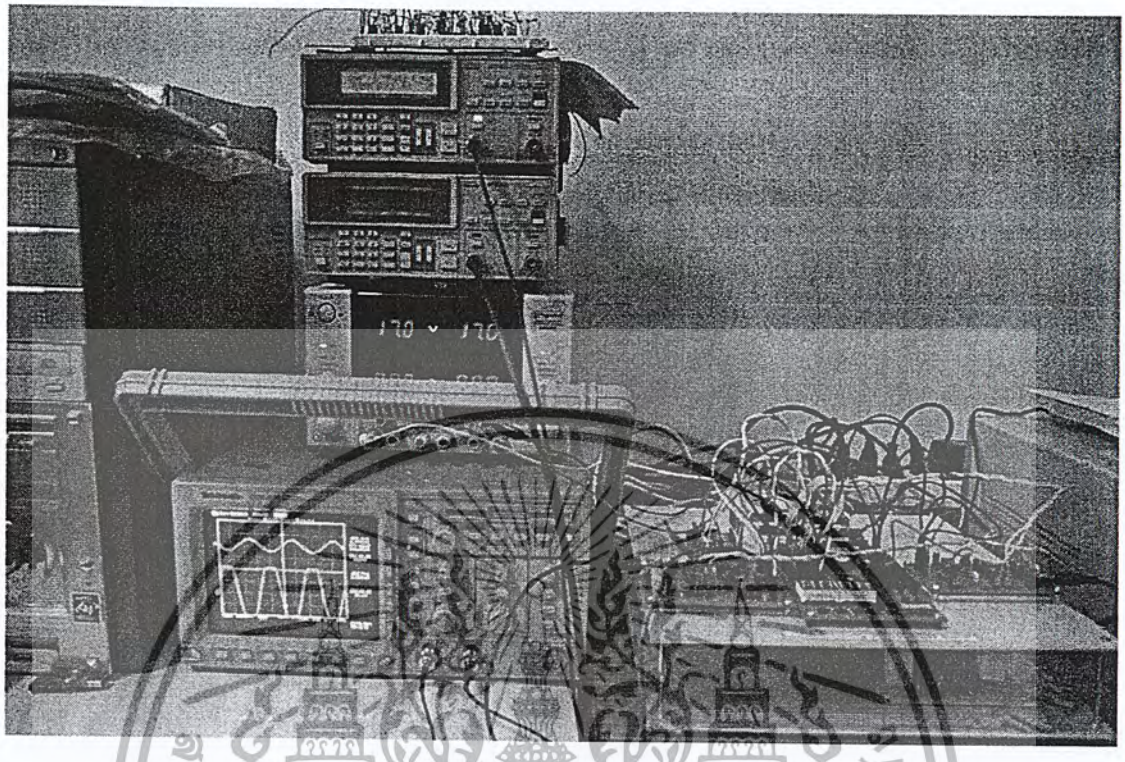
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ ง.3 บอร์ด FPGA Discovery – III XC3S200F4



รูปที่ ง.4 วงจรต่างๆ เมื่อต่อเข้ากับไมค์ และวิทยุสื่อสาร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ ง.5 รูปขณะทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก จ

Datasheet ของไอซีเบอร์ MC34115

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by MC34115/D

MOTOROLA

MC34115

Continuously Variable Slope Delta Modulator/Demodulator

CONTINUOUSLY VARIABLE SLOPE DELTA MODULATOR/DEMODULATOR

SEMICONDUCTOR TECHNICAL DATA

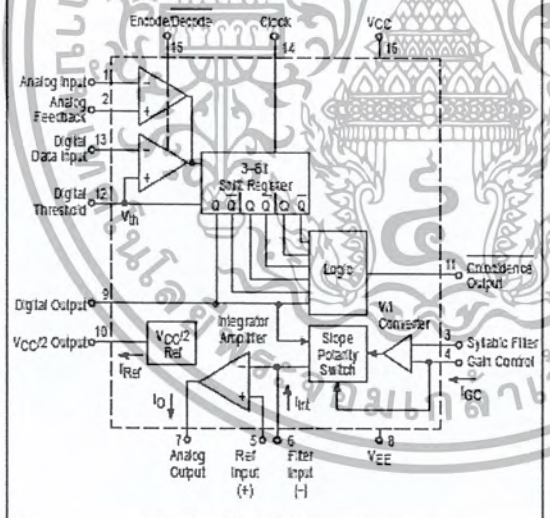
Providing a simplified approach to digital speech encoding/decoding, the MC34115 CVSD is designed for speech synthesis and commercial telephone applications. A single IC provides both encoding and decoding functions.

- Encode and Decode Functions Selectable with a Digital Input
- Utilization of Compatible I2L – Linear Bipolar Technology
- CMOS Compatible Digital Output
- Digital Input Threshold Selectable ($V_{CC}/2$ Reference Provided On–Chip)
- 3–Bit Algorithm

P SUFFIX
PLASTIC PACKAGE
CASE 648

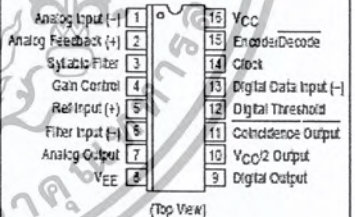
DW SUFFIX
PLASTIC PACKAGE
CASE 751G
(SO–16L)

CVSD Block Diagram



This device contains 144 active transistors.

PIN CONNECTIONS



(Top View)

ORDERING INFORMATION

Device	Operating Temperature Range	Package
MC34115P	T_A = 0° to +70°C	Plastic DIP
MC34115DW		SO–16L

© Motorola, Inc. 1996

Rev 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC34115

MAXIMUM RATINGS (All voltages referenced to V_{EE}, T_A = 25°C, unless otherwise noted.) (Note 2)

Rating	Symbol	Value	Unit
Power Supply Voltage	V_{CC}	−0.4 to +18	Vdc
Differential Analog Input Voltage	V_{ID}	±5.0	Vdc
Digital Threshold Voltage	V_{th}	−0.4 to V_{CC}	Vdc
Logic Input Voltage (Clock, Digital Data, Encode/Decode)	V_{Logic}	−0.4 to +18	Vdc
Coincidence Output Voltage	$V_{O(Con)}$	−0.4 to +18	Vdc
Syllabic Filter Input Voltage	$V_{I(Syl)}$	−0.4 to V_{CC}	Vdc
Gain Control Input Voltage	$V_{I(GC)}$	−0.4 to V_{CC}	Vdc
Reference Input Voltage	$V_{I(ref)}$	$V_{CC}/2$ − 1.0 to V_{CC}	Vdc
$V_{CC}/2$ Output Current	I_{ref}	−25	mA
Operating Ambient Temperature Range	T_A	0 to +70	°C
Operating Junction Temperature	T_J	+150	°C
Storage Temperature Range	Tstg	−55 to +125	°C

NOTE: ESD data available upon request.

ELECTRICAL CHARACTERISTICS (V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0° to 70°C, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Power Supply Voltage Range (Figure 1)	V_{CC}	4.75	12	16.5	Vdc
Power Supply Current (Figure 1) (Idle Channel)	I_{CC}				mA
V_{CC} = 5.0 V		–	4.6	7.5	
V_{CC} = 15 V		–	7.0	12	
Clock Rate	SR	–	16 k	–	Samples/s
Gain Control Current Range (Figure 2)	I_{GCR}	0.002	–	3.0	mA
Analog Comparator Input Range (Pins 1 and 2) 4.75 V ≤ V_{CC} ≤ 16.5 V	V_I	1.3	–	V_{CC} − 1.3	Vdc
Analog Output Range (Pin 7) 4.75 V ≤ V_{CC} ≤ 16.5 V, I_O = ±5.0 mA	V_O	1.3	–	V_{CC} − 1.3	Vdc
Input Bias Currents (Figure 3) Comparator In Active Region	I_{IB}				µA
Analog Input (I1)		–	0.5	2.5	
Analog Feedback (I2)		–	0.5	2.5	
Syllabic Filter Input (I3)		–	0.06	0.5	
Reference Input (I5)		–	−0.06	−0.5	
Input Offset Current Comparator In Active Region	I_{IO}				µA
Analog Input/Analog Feedback |I1 − I2| (Figure 3)		–	0.15	0.8	
Integrator Amplifier |I5 − I6| (Figure 4)		–	0.02	0.2	
Input Offset Voltage V/I Converter (Pins 3 and 4) (Figure 5)	V_{IO}	–	2.0	10	mV
Transconductance	gm				mA/mV
V/I Converter, 0 to 3.0 mA		0.1	0.3	–	
Integrator Amplifier, 0 to +5.0 mA Load		1.0	10	–	

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to −0.4 V) edge of the clock.
2. Devices should not be operated at these values. The "Electrical Characteristics" provide conditions for actual device operation.
3. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 16 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one−half of the change in integrator output voltage during one clock cycle (ramp step size).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (continued) (V_{CC} = 12 V, V_{EE} = Gnd, T_A = 0° to 70°C, unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
Propagation Delay Times (Note 1)					µs
Clock Trigger to Digital Output					
C_L = 25 pF to Gnd	t_{PLH}	–	1.0	3.0	
	t_{PHL}	–	0.8	3.0	
Clock Trigger to Coincidence Output					
C_L = 25 pF to Gnd, R_L = 4.0 kΩ to V_{CC}	t_{PLH}	–	1.0	3.5	
	t_{PHL}	–	0.8	2.5	
Coincidence Output Voltage – Low Logic Stage ($I_{OL(Con)}$ = 3.0 mA)	$V_{OL(Con)}$	–	0.12	0.25	Vdc
Coincidence Output Leakage Current – High Logic State (V_{OH} = 15 V)	$I_{OH(Con)}$	–	0.01	0.5	µA
Applied Digital Threshold Voltage Range (Pin 12)	V_{th}	1.2	–	V_{CC} – 2.0	Vdc
Digital Threshold Input Current	$I_{I(th)}$				µA
1.2 V ≤ V_{th} ≤ V_{CC} – 2.0 V					
V_{IL} Applied to Pins 13, 14 and 15		–	–	5.0	
V_{IH} Applied to Pins 13, 14 and 15		–	–10	–50	
Maximum Integrator Amplifier Output Current	I_O	±5.0	–	–	mA
V_{CC}/2 Generator Maximum Output Current (Source Only)	I_{ref}	–10	–	–	mA
V_{CC}/2 Generator Output Impedance (0 to –10 mA)	z_{ref}	–	3.0	6.0	Ω
V_{CC}/2 Generator Tolerance (4.75 V ≤ V_{CC} ≤ 16.5 V)	ϵ_r	–	–	±3.5	%
Logic Input Voltage (Pins 13, 14 and 15)					Vdc
Low Logic State	V_{IL}	V_{EE}	–	V_{th} – 0.4	
High Logic State	V_{IH}	V_{th} + 0.4	–	16.5	
Dynamic Total Loop Offset Voltage (Note 3) (Figures 3, 4 and 5)	ΣV_{offset}				mV
I_{GC} = 33 µA, V_{CC} = 12 V					
T_A = 25°C		–	±2.5	±7.0	
0°C ≤ T_A ≤ +70°C		–	±3.0	±10	
I_{GC} = 33 µA, V_{CC} = 5.0 V					
T_A = 25°C		–	±4.0	±8.0	
0°C ≤ T_A ≤ +70°C		–	±4.5	±12	
Digital Output Voltage (Pin 9)					Vdc
I_{OL} = 3.6 mA	V_{OL}	–	0.1	0.4	
I_{OH} = –0.35 mA	V_{OH}	V_{CC} – 1.0	V_{CC} – 0.2	–	
Syllabic Filter Applied Voltage (Pin 3) (Figure 2)	$V_{I(Syl)}$	3.2	–	V_{CC}	Vdc
Integrating Current (Figure 2)	$\lvert I_{Int} \rvert$				
I_{GC} = 12 µA		8.0	10	12	µA
I_{GC} = 1.5 mA		1.4	1.5	1.6	mA
I_{GC} = 3.0 mA		2.75	3.0	3.25	mA
Dynamic Integrating Current Match (Figure 6) (I_{GC} = 1.5 mA)	$V_{O(Ave)}$	–	±100	±300	mV
Input Current – High Logic State (V_{IH} = 16.5 V)	I_{IH}				µA
Digital Data Input		–	–	5.0	
Clock Input		–	–	5.0	
Encode/Decode Input		–	–	5.0	
Input Current – Low Logic State (V_{IL} = 0 V)	I_{IL}				µA
Digital Data Input		–10	–	–	
Clock Input		–360	–	–	
Encode/Decode Input		–36	–	–	
Clock Input, V_{IL} = 0.4 V		–72	–	–	

NOTES: 1. All propagation delay times measured 50% to 50% from the negative going (from V_{CC} to –0.4 V) edge of the clock.
2. Devices should not be operated at these values. The "Electrical Characteristics" provide conditions for actual device operation.
3. Dynamic total loop offset (ΣV_{offset}) equals V_{IO} (comparator) (Figure 3) minus V_{IOX} (Figure 5). The input offset voltages of the analog comparator and of the integrator amplifier include the effects of input offset current through the input resistors. The slope polarity switch current mismatch appears as an average voltage across the 10 k integrator resistor. The clock frequency is 16 kHz. Idle channel performance is guaranteed if this dynamic total loop offset is less than one–half of the change in integrator output voltage during one clock cycle (ramp step size).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC34115

DEFINITION AND FUNCTION OF PINS

Pin 1 – Analog Input

This is the analog comparator inverting input where the voice signal is applied. It may be ac or dc coupled depending on the application. If the voice signal is to be level shifted to the internal reference voltage, then a bias resistor between Pins 1 and 10 is used. The resistor is used to establish the reference as the new dc average of the ac coupled signal. The analog comparator was designed for low hysteresis (typically less than 0.1 mV) and high gain (typically 70 dB).

Pin 2 – Analog Feedback

This is the noninverting input to the analog signal comparator. In an encoder application it should be connected to the analog output of the encoder circuit. This may be Pin 7 or a low pass filter output connected to Pin 7. In a decode circuit, Pin 2 is not used and may be tied to $V_{CC}/2$ at Pin 10 or ground.

The analog input comparator has bias currents of 2.5 µA max, thus the driving impedances of Pins 1 and 2 should be equal to avoid disturbing the idle channel characteristics of the encoder.

Pin 3 – Syllabic Filter

This is the point at which the syllabic filter voltage is returned to the IC in order to control the integrator step size. It is an NPN input to an op amp. The syllabic filter consists of an RC network between Pins 11 and 3. Typical time constant values of 6.0 ms to 50 ms are used in voice codecs.

Pin 4 – Gain Control Input

The syllabic filter voltage appears across C_S of the syllabic filter and is the voltage between V_{CC} and Pin 3. The active voltage to current (V–I) converter drives Pin 4 to the same voltage at a slew rate of typically 0.5 V/µs. Thus the current injected into Pin 4 (I_{GC}) is the syllabic filter voltage divided by the R_X resistance. Figure 7 shows the relationship between I_{GC} (x–axis) and the integrating current, I_{int} (y–axis). The discrepancy, which is most significant at very low currents, is due to circuitry within the slope polarity switch which enables trimming to a low total loop offset. The R_X resistor is then varied to adjust the loop gain of the codec, but should be no larger than 6.0 kΩ to maintain stability.

Pin 5 – Reference Input

This pin is the noninverting input of the integrator amplifier. It is used to reference the dc level of the output signal. In an encoder circuit, it must reference the same voltage as Pin 1 and is tied to Pin 10.

Pin 6 – Filter Input

This inverting op amp input is used to connect the integrator external components. The integrating current (I_{Int}) flows into Pin 6 when the analog input (Pin 1) is high with respect to the analog feedback (Pin 2) in the encode mode or when the digital data input (Pin 13) is high in the decode mode. For the opposite states, I_{Int} flows out of Pin 6. Single integration systems require a capacitor and resistor between Pins 6 and 7. Multipole configurations will have different circuitry. The resistance between Pins 6 and 7 should typically be between 8.0 kΩ and 13 kΩ to maintain good idle channel characteristics.

Pin 7 – Analog Output

This is the integrator op amp output. It is capable of driving a 600 Ω load referenced to $V_{CC}/2$ to +6.0 dBm and can otherwise be treated as an op amp output. Pins 5, 6 and 7 provide full access to the integrator op amp for designing integration filter networks. The slew rate of the internally compensated integrator op amp is typically 0.5 V/µs. Pin 7 output is current limited for both polarities of current flow at typically 30 mA.

Pin 8 – V_{EE}

The circuit is designed to work in either single or dual power supply applications. Pin 8 is always connected to the most negative supply.

Pin 9 – Digital Output

The digital output provides the results of the delta modulator's conversion. It swings between V_{CC} and V_{EE} and is CMOS or TTL compatible. Pin 9 is inverting with respect to Pin 1 and noninverting with respect to Pin 2. It is clocked on the falling edge of Pin 14. The typical 10% to 90% rise and fall times are 250 ns and 50 ns respectively for V_{CC} = 12 V and C_L = 25 pF to ground.

Pin 10 – $V_{CC}/2$ Output

An internal low impedance mid–supply reference is provided for use in single supply applications. The internal regulator is a current source and must be loaded with a resistor to ensure its sinking capability. If a +6.0 dBmo signal is expected across a 600 Ω input bias resistor, then Pin 10 must sink 2.2 V/600 Ω = 3.66 mA. This is possible only if Pin 10 sources 3.66 mA into a resistor normally and will source the difference under peak load. The reference load resistor is chosen accordingly. A 0.1 µF bypass capacitor from Pin 10 to V_{EE} is also recommended. The $V_{CC}/2$ reference is capable of sourcing 10 mA and can be used as a reference elsewhere in the system circuitry.

Pin 11 – $\overline{\text{Coincidence Output}}$

The coincidence output will be low whenever the content of the internal 3–bit shift register is all 1s or all 0s. Pin 11 is an open collector NPN device and requires a pull–up resistor. If the syllabic filter is to have equal charge and discharge time constants, the value of R_P should be much less than R_S. In systems requiring different charge and discharge constants, the charging constant is $R_S C_S$ while the decay constant is $(R_S + R_P)C_S$. Thus, longer decays are easily achievable. The NPN device should not be required to sink more than 3.0 mA. The typical 10% to 90% rise and fall times are 200 ns and 100 ns respectively for R_L = 4.0 kΩ to 12 V and C_L = 25 pF to ground.

Pin 12 – Digital Threshold

This input sets the switching threshold for Pins 13, 14 and 15. It is intended to aid in interfacing different logic families without external parts. Typically it is connected to the $V_{CC}/2$ reference for CMOS interface or can be biased two diode drops above V_{EE} for TTL interface.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Pin 13 – Digital Data Input

In a decode application, the digital data stream is applied to Pin 13. In an encoder it may be unused or may be used to transmit a signaling message under the control of Pin 15. It is an inverting input with respect to Pin 9. When Pins 9 and 13 are connected, a toggle flip–flop is formed and a forced idle channel pattern can be transmitted. The digital data input level should be maintained for 0.5 µs before and after the clock trigger for proper clocking.

Pin 14 – Clock Input

The clock input determines the data rate of the codec circuit. A 16 k bit rate requires a 16 kHz clock. The switching threshold of the clock input is set by Pin 12. The shift register circuit toggles on the falling edge of the clock input. The minimum high time for the clock input is 300 ns and minimum low time is 900 ns.

Pin 15 – Encode/$\overline{\text{Decode}}$

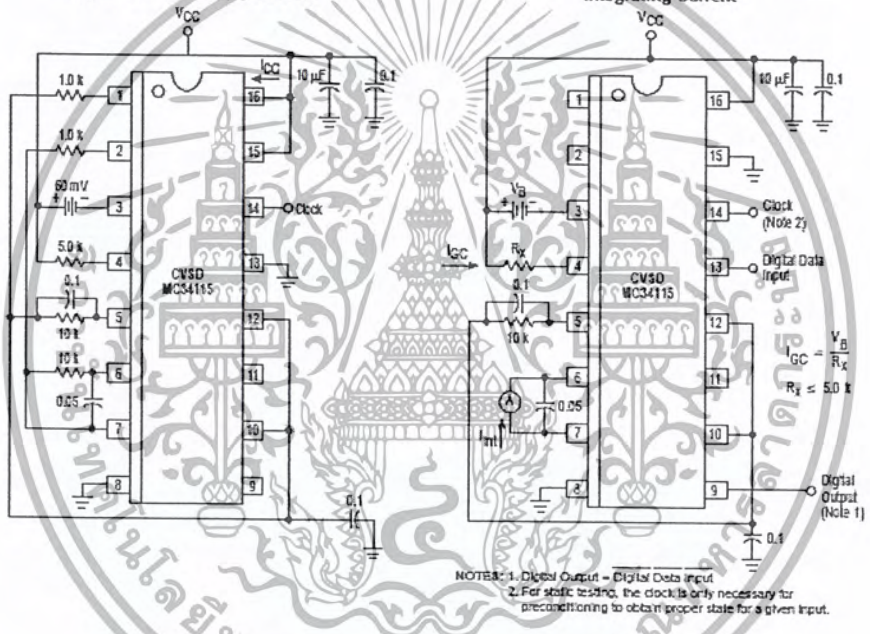
This pin controls the connection of the analog input comparator and the digital input comparator to the internal shift register. If high, the result of the analog comparison will be clocked into the register on the falling edge at Pin 14. If low, the digital input state will be entered. This allows use of the IC as an encoder/decoder or simplex codec without external parts. Furthermore, it allows non–voice patterns to be forced onto the transmission line through Pin 13 in an encoder.

Pin 16 – V_{CC}

The power supply range is from 4.75 to 16.5 V between Pin V_{CC} and V_{EE}.

Figure 1. Power Supply Current

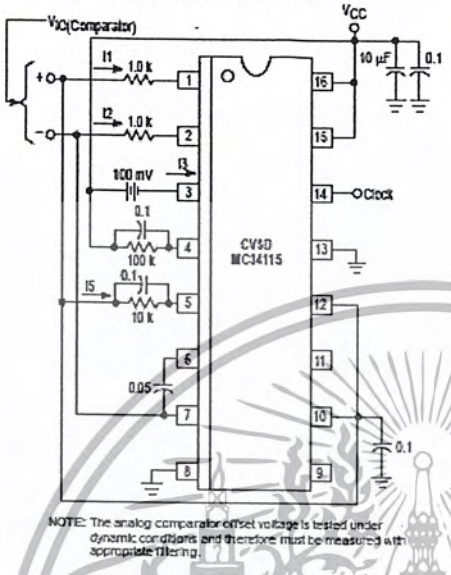
Figure 2. I_{GCR} – Gain Control Range and I_{Int} – Integrating Current



NOTES: 1. Digital Output = Digital Data Input
2. For static testing, the clock is only necessary for preconditioning to obtain proper state for a given input.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 3. Input Bias Currents, Analog Comparator Offset Voltage and Current



NOTE: The analog comparator offset voltage is tested under dynamic conditions and therefore must be measured with appropriate filtering.

Figure 4. Integrator Amplifier Offset Voltage and Current

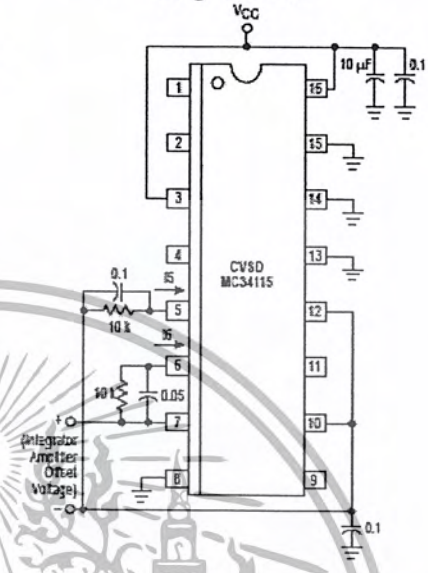
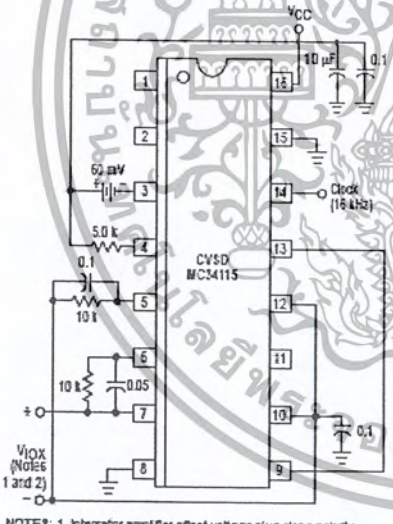
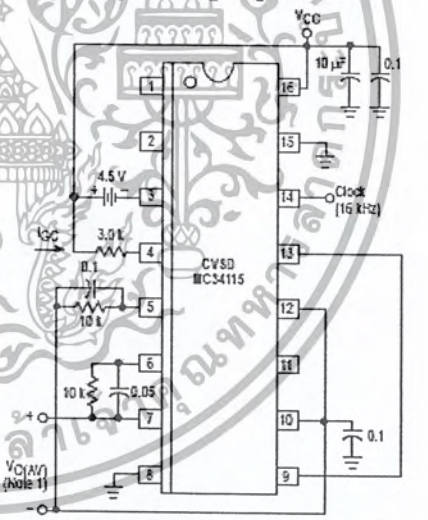


Figure 5. V/f Converter Offset Voltage, V_{IO} and V_{IOX}



NOTES: 1. Integrator amplifier offset voltage plus slope polarity switch mismatch.
2. V_{IOX} is the average voltage of the triangular waveform observed at the measurement points.

Figure 6. Dynamic Integrating Current Match



NOTES: 1. $V_{O(AVG)}$, Dynamic Integrating Current Match, is the average voltage of the triangular waveform observed at the measurement points, across 10 kΩ resistor with I_{GC} = 1.5 mA.
2. See Note 3 in the Electrical Characteristics table.
3. See Figures 8 and 9.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC34115

TYPICAL PERFORMANCE CURVES

Figure 7. Typical I_{Int} versus I_{GC} (Mean ±2 σ)

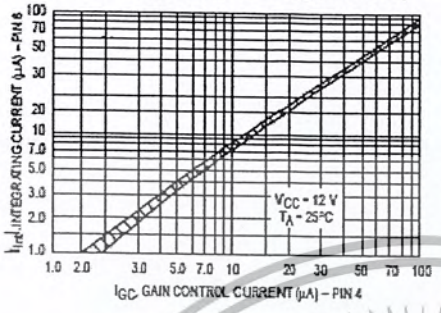


Figure 8. Normalized Dynamic Integrating Current Match versus V_{CC}

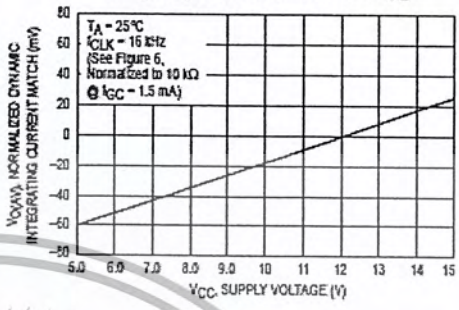


Figure 9. Normalized Dynamic Integrating Current Match versus Clock Frequency

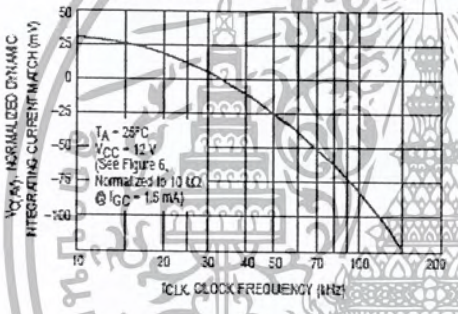


Figure 10. Dynamic Total Loop Offset versus Clock Frequency

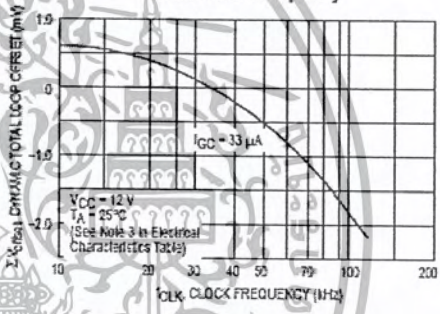
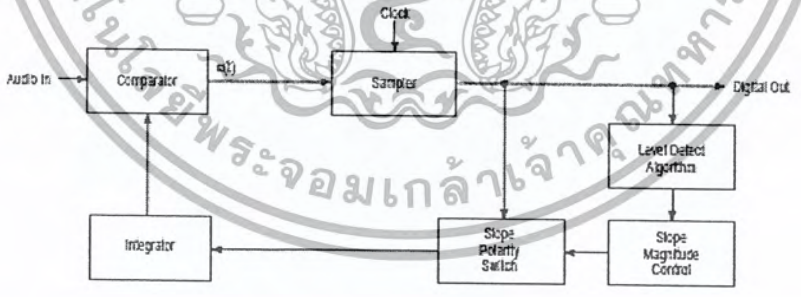


Figure 11. Block Diagram of the CVSD Encoder



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 12. CVSD Waveforms

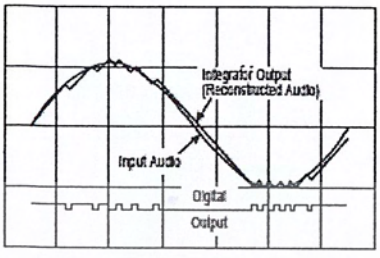
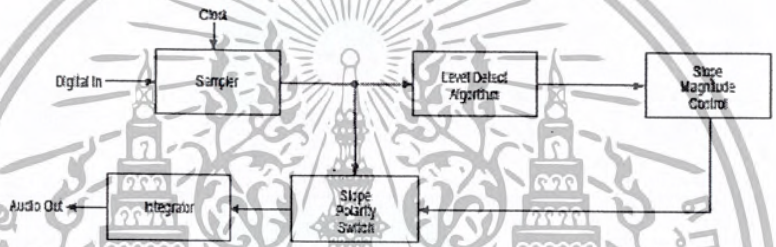


Figure 13. Block Diagram of the CVSD Decoder



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

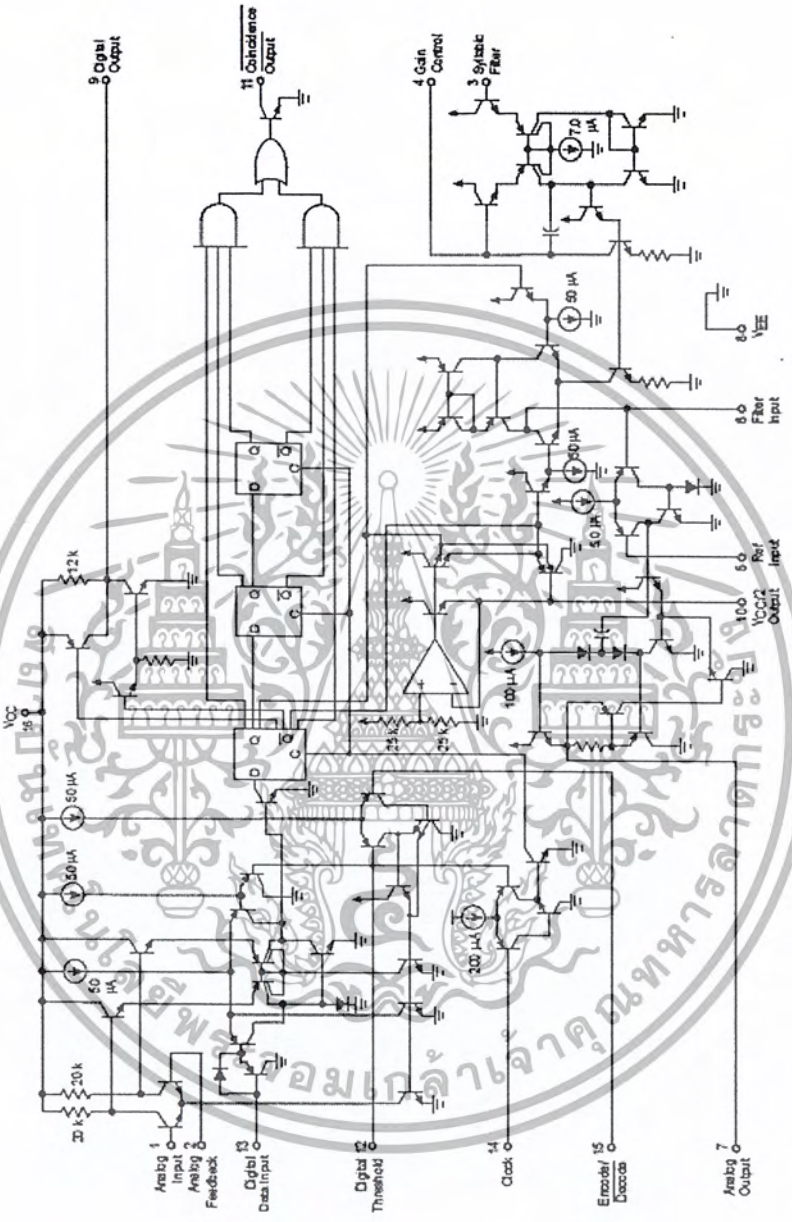


Figure 14. CVSD Circuit Schematic

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC34115

CIRCUIT DESCRIPTION

The continuously variable slope delta modulator (CVSD) is a simple alternative to more complex conventional conversion techniques in systems requiring digital communication of analog signals. The human voice is analog, but digital transmission of any signal over great distance is attractive. Signal/noise ratios do not vary with distance in digital transmission and multiplexing, switching and repeating hardware is more economical and easier to design. However, instrumentation A–D converters do not meet the communications requirements. The CVSD A–D is well suited to the requirements of digital communications and is an economically efficient means of digitizing analog inputs for transmission.

The Delta Modulator

The innermost control loop of a CVSD converter is a simple delta modulator. A block diagram CVSD Encoder is shown in Figure 11. A delta modulator consists of a comparator in the forward path and an integrator in the feedback path of a simple control loop. The inputs to the comparator are the input analog signal and the integrator output. The comparator output reflects the sign of the difference between the input voltage and the integrator output. That sign bit is the digital output and also controls the direction of ramp in the integrator. The comparator is normally clocked so as to produce a synchronous and band–limited digital bit stream.

If the clocked serial bit stream is transmitted, received, and delivered to a similar integrator at a remote point, the remote integrator output is a copy of the transmitting control loop integrator output. To the extent that the integrator at the transmitting locations tracks the input signal, the remote receiver reproduces the input signal. Low pass filtering at the receiver output will eliminate most of the quantizing noise, if the clock rate of the bit stream is an octave or more above the bandwidth of the input signal. Voice bandwidth is 4.0 kHz and clock rates from 8.0 k and up are possible. Thus, the delta modulator digitizes and transmits the analog input to a remote receiver. The serial, unframed nature of the data is ideal for communications networks. With no input at the transmitter, a continuous one zero alternation is transmitted. If the two integrators are made leaky, then during any loss of contact the receiver output decays to zero and receive restart begins without framing when the receiver reacquires. Similarly, a delta modulator is tolerant of sporadic bit errors. Figure 12 shows the delta modulator waveforms while Figure 13 shows the corresponding CVSD decoder block diagram.

The Companding Algorithm

The fundamental advantages of the delta modulator are its simplicity and the serial format of its output. Its limitations are its ability to accurately convert the input within a limited digital bit rate. The analog input must be band limited and amplitude limited. The frequency limitations are governed by the nyquist rate while the amplitude capabilities are set by the gain of the integrator.

The frequency limits are bounded on the upper end; that is, for any input bandwidth there exists a clock frequency larger than that bandwidth which will transmit the signal with a specific noise level. However, the amplitude limits are bounded on both upper and lower ends. For a signal level, one specific gain will achieve an optimum noise level. Unfortunately, the basic delta modulator has a small dynamic range over which the noise level is constant.

The continuously variable slope circuitry provides increased dynamic range by adjusting the gain of the integrator. For a given clock frequency and input bandwidth the additional circuitry increases the delta modulator's dynamic range. External to the basic delta modulator is an algorithm which monitors the past few outputs of the delta modulator in a simple shift register. The register is 3–bits long. The accepted CVSD algorithm simply monitors the contents of the shift register and indicates if it contains all 1s or 0s. This condition is called coincidence. When it occurs, it indicates that the gain of the integrator is too small. The coincidence output charges a single–pole low pass filter. The voltage output of this syllabic filter controls the integrator gain through a pulse amplitude modulator whose other input is the sign bit or up/down control.

The simplicity of the all 1s, all 0s algorithm should not be taken lightly. Many other control algorithms using the shift register have been tried. The key to the accepted algorithm is that it provides a measure of the average power or level of the input signal. Other techniques provide more instantaneous information about the shape of the input curve. The purpose of the algorithm is to control the gain of the integrator and to increase the dynamic range. Thus, a measure of the average input level is what is needed.

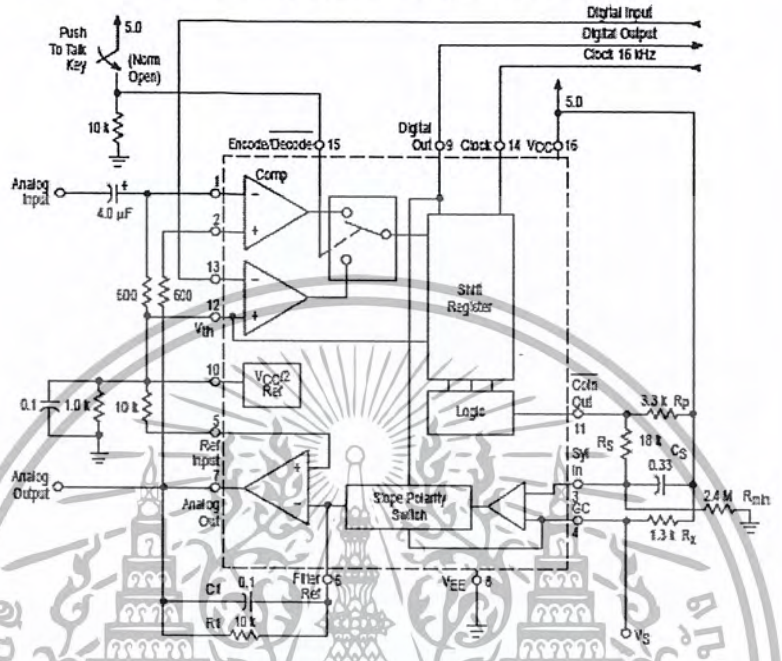
The algorithm is repeated in the receiver and thus the level data is recovered in the receiver. Because the algorithm operates only on the past serial data, it changes the nature of the bit stream without changing the channel bit rate.

The effect of the algorithm is to compand the input signal. If a CVSD encoder is played into a basic delta modulator, the output of the delta modulator will reflect the shape of the input signal but all of the output will be at an equal level. Thus, the algorithm at the output is needed to restore the level variations. The bit stream in the channel is as if it were from a standard delta modulator with a constant level input.

The delta modulator encoder with the CVSD algorithm provides an efficient method for digitizing a voice input in a manner which is especially convenient for digital communications requirements.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 15. 16 kHz Simplex Voice Codec
(Using MC34115, Single–Pole Companding and Single Integration)



APPLICATIONS INFORMATION

CVSD DESIGN CONSIDERATIONS

A simple CVSD encoder using the MC34115 is shown in Figure 15. This IC is a general purpose CVSD building block which allows the system designer to tailor the encoder's transmission characteristics to the application. Thus, the achievable transmission capabilities are constrained by the fundamental limitations of delta modulation and the design of encoder parameters. The performance is not dictated by the internal configuration of the MC34115. There are six design considerations involved in designing these basic CVSD building blocks into a specific codec application.

These are listed below:

1. Selection of clock rate
2. Selection of loop gain
3. Selection of minimum step size
4. Design of integration filter transfer function
5. Design of syllabic filter transfer function
6. Design of low pass filter at the receiver

The circuit in Figure 15 is the most basic CVSD circuit possible. For many applications in secure radio or other intelligible voice channel requirements, it is entirely sufficient. In this circuit, items 4 and 5 are reduced to their simplest form. The syllabic and integration filters are both single–pole networks. The selection of items 1 through 3 govern the codec performance.

Layout Considerations

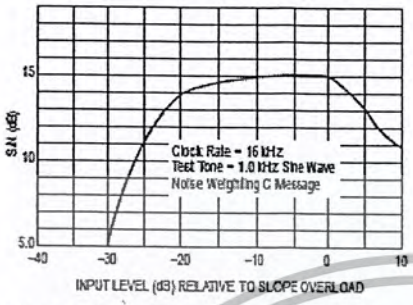
Care should be exercised to isolate all digital signal paths (Pins 9, 11, 13 and 14) from analog signal paths (Pins 1 to 7 and 10) in order to achieve proper idle channel performance.

Clock Rate

With minor modifications, the circuit in Figure 15 may be operated anywhere from 9.6 to 64 kHz clock rates. Obviously the higher the clock rate the higher the S/N performance. The circuit in Figure 15 typically produces the S/N performance shown in Figure 16. The selection of clock rate is usually dictated by the bandwidth of the transmission medium. Voice bandwidth systems will require no higher than 9600 Hz. Some radio systems will allow 12 kHz. Private 4–wire telephone systems are often operated at 16 kHz and commercial telephone performance can be achieved at 32 k bits and above.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 16. Signal–to–Noise Performance with Single Integration, Single–Pole and Companding at 16 k Bits (Typical)



Selection of Loop Gain

The gain of the circuit in Figure 15 is set by resistor R_X. R_X must be selected to provide the proper integrator step size for high level signals such that the companding ratio does not exceed about 25%. The companding ratio is the active low duty cycle of the coincidence output on Pin 11 of the codec circuit. Thus, the system gain is dependent on:

1. The maximum level and frequency of the input signal.
2. The transfer function of the integration filter.

For voice codecs the typical input signal is taken to be a sine wave at 1.0 kHz of 0 dBmo level. In practice, the useful dynamic range extends about 6.0 dB above the design level. In any system the companding ratio should not exceed 30%.

To calculate the required step size current, we must describe the transfer characteristics of the integration filter. In the basic circuit of Figure 15, a single–pole of 160 Hz is used.

$$R1 = 10\ k\Omega,\ C1 = 0.1\ \mu F$$

$$\frac{V_O}{I_i} = \frac{1}{C\left(S + \frac{1}{RC}\right)} = \frac{K}{S + \omega_o}$$

$$\omega_o = 2\pi f$$

$$10^3 = \omega_o = 2\pi f$$

$$f = 159.2\ Hz$$

Note that the integration filter produces a single–pole response from 300 to 3.0 kHz. The current required to move the integrator output a specific voltage from zero is simply:

$$I_i = \frac{V_O}{R} + C\frac{dV_O}{dt}$$

Now a 0 dBmo sine wave has a peak value of 1.0954 V. In 1/8 of a cycle of a sine wave centered around the zero crossing, the sine wave changes by approximately its peak value. The CVSD step should trace that change. The required current for a 0 dBm 1.0 kHz sine wave is:

$$I_i = \frac{1.1\ V}{\sqrt{2}\ (10\ k\Omega)} + \frac{0.1\ \mu F\ (1.1)}{0.125\ ms} = 0.935\ mA$$

* The maximum voltage across R when maximum slew is required is:

$$\frac{1.1\ V}{2}$$

Now the voltage range of the syllabic filter is the power supply voltage, thus:

$$R_X = 0.25\ (V_{CC})\ \frac{1}{0.935\ mA}$$

A similar procedure can be followed to establish the proper gain for any input level and integration filter type.

Minimum Step Size

The final parameter to be selected for the simple codec in Figure 15 is idle channel step size. With no input signal, the digital output becomes a one–zero alternating pattern and the analog output becomes a small triangle wave. Mismatches of internal currents and offsets limit the minimum step size which will produce a perfect idle channel pattern. The MC34115 is tested to ensure that a 20 mVpp minimum step size at 16 kHz will attain a proper idle channel. The idle channel step size must be twice the specified total loop offset if a one–zero idle pattern is desired. In some applications a much smaller minimum step size (e.g., 0.1 mV) can produce quiet performance without providing a 1 – 0 pattern.

To set the idle channel step size, the value of R_{min} must be selected. With no input signal, the slope control algorithm is inactive. A long series of ones or zeros never occurs. Thus, the voltage across the syllabic filter capacitor (C_S) would decay to zero. However, the voltage divider of R_S and R_{min} (see Figure 15) sets the minimum allowed voltage across the syllabic filter capacitor. That voltage must produce the desired ramps at the analog output. Again we write the filter input current equation:

$$I_i = \frac{V_O}{R} + C\frac{dV_O}{dt}$$

For values of V_O near $V_{CC}/2$ the V_O/R term is negligible; thus:

$$I_i = C_S\frac{\Delta V_O}{\Delta T}$$

where ΔT is the clock period and ΔV_O is the desired peak–to–peak value of the idle output. For a 16 k bit system using the circuit in Figure 15:

$$I_i = \frac{0.1\ \mu F\ 20\ mV}{62.5\ \mu s} = 32\ \mu A$$

The voltage on C_S which produces a 32 μA current is determined by the value of R_X.

$I_iR_X = V_S min$; for 32 μA, $V_S min = 41.6$ mV

In Figure 15 R_S is 18 kΩ. That selection is discussed with the syllabic filter considerations. The voltage divider of R_S and R_{min} must produce an output of 41.6 mV.

$$V_{CC}\ \frac{R_S}{R_S + R_{min}} = V_S min\quad R_{min} = 2.4\ M\Omega$$

Having established these three parameters – clock rate, loop gain and minimum step size – the encoder circuit in Figure 15 will function at near optimum performance for input levels around 0 dBm.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INCREASING CVSD PERFORMANCE

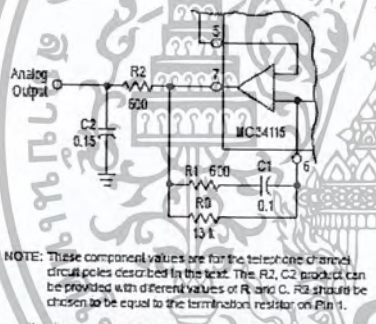
Integration Filter Design

The circuit in Figure 15 uses a single–pole integration network formed with a 0.1 µF capacitor and a 10 kΩ resistor. It is possible to improve the performance of the circuit in Figure 15 by 1.0 or 2.0 dB by using a two–pole integration network. The improved circuit is shown in Figure 17.

The first pole is still placed below 300 Hz to provide the 1/S voice content curve and a second pole is placed somewhere above the 1.0 kHz frequency. For telephony circuits, the second pole can be placed above 1.8 kHz to exceed the 1633 touchtone frequency. In other communication systems, values as low as 1.0 kHz may be selected. In general, the lower in frequency the second pole is placed, the greater the noise improvement. Then, to ensure the encoder loop stability, a zero is added to keep the phase shift less than 180°. This zero should be placed slightly above the low–pass output filter break frequency so as not to reduce the effectiveness of the second pole. A network of 235 Hz, 2.0 kHz and 5.2 kHz is typical for telephone applications while 160 Hz, 1.2 kHz and 2.8 kHz might be used in voice only channels. (Voice only channels can use an output low–pass filter which breaks at about 2.5 kHz.) The two–pole network in Figure 17 has a transfer function of:

$$\frac{V_O}{I_i} = \frac{R0R1\left(S + \frac{1}{R1C1}\right)}{R2C2(R0 + R1)\left(S + \frac{1}{(R0 + R1)C1}\right)\left(S + \left(\frac{1}{R2C2}\right)\right)}$$

Figure 17. Improved Filter Configuration



NOTE: These component values are for the telephone channel circuit poles described in the text. The R2, C2 product can be provided with different values of R and C. R2 should be chosen to be equal to the termination resistor on Pin 1.

Thus, the two poles and the zero can be selected arbitrarily as long as the zero is at a higher frequency than the first pole. The values in Figure 17 represent one implementation of the telephony filter requirement.

The selection of the two–pole filter network affects the selection of the loop gain value and the minimum step size resistor. The required integrator current for a given change in voltage now becomes:

$$I_i = \frac{V_O}{R0} + \left(\frac{R2C2}{R0} + \frac{R1C1}{R0} + C1\right)\frac{\Delta V_O}{\Delta t} + \left(R2C2C1 + \frac{R1C1R2C2}{R0}\right)\frac{\Delta V_O{}^2}{\Delta T^2}$$

The calculation of desired gain resistor R_X then proceeds exactly as previously described.

Syllabic Filter Design

The syllabic filter in Figure 15 is a simple single–pole network of 18 kΩ and 0.33 µF. This produces a 6.0 ms time constant for the averaging of the coincidence output signal. The voltage across the capacitor determines the integrator current which in turn establishes the step size. The integrator current and the resulting step size determine the companding ratio and the S/N performance. The companding ratio is defined as the voltage across C_S/V_{CC}.

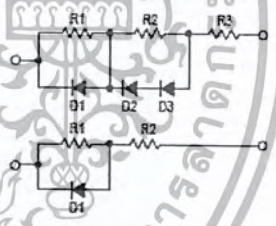
The S/N performance may be improved by modifying the voltage to current transformation produced by R_X. If different portions of the total R_X are shunted by diodes, the integrator current can be other than $(V_{CC} - V_S)/R_X$. These breakpoint curves must be designed experimentally for the particular system application. In general, one would wish that the current would double with input level. To design the desired curve, supply current to Pin 4 of the codec from an external source. Input a signal level and adjust the current until the S/N performance is optimum. Then record the syllabic filter voltage and the current. Repeat this for all desired signal levels. Then derive the resistor diode network which produces that curve on a curve tracer.

Once the network is designed with the curve tracer, it is then inserted in place of R_X in the circuit and the forced optimum noise performance will be achieved from the active syllabic algorithm.

Diode breakpoint networks may be very simple or moderately complex and can improve the usable dynamic range of any codec. In the past they have been used in high performance telephone codecs.

Typical resistor–diode networks are shown in Figure 18.

Figure 18. Resistor–Diode Networks



Output Low Pass Filter

A low pass filter is required at the receiving circuit output to eliminate quantizing noise. In general, the lower the bit rate, the better the filter must be. The filter in Figure 19 provides excellent performance for 12 kHz to 40 kHz systems.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 19. High Performance Elliptic Filter for CVSD Output

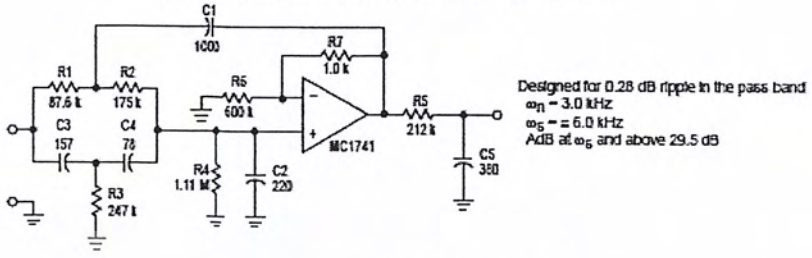
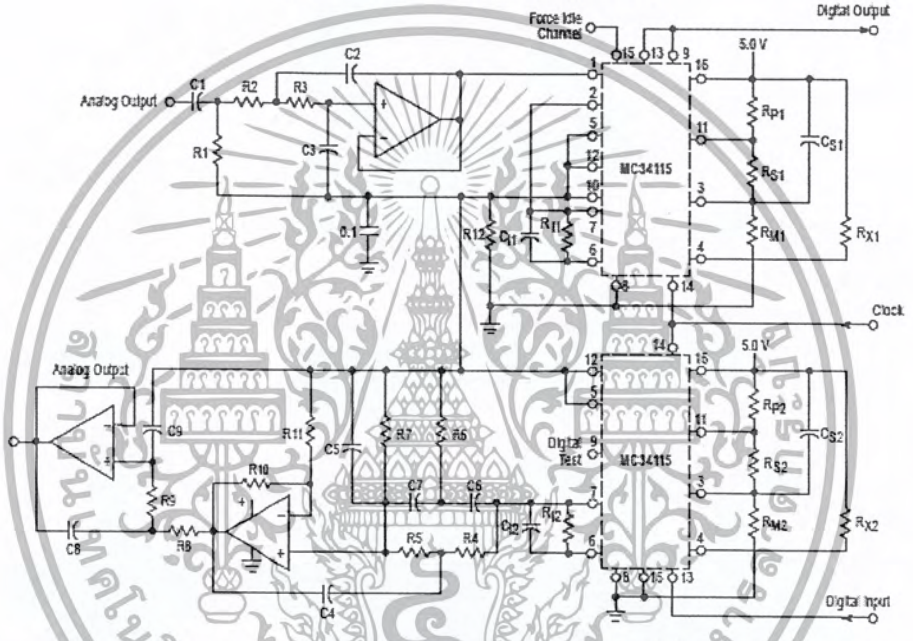


Figure 20. Full Duplex/16 k Bit CVSD Voice Codec



Codec Components

R_{X1}, R_{X2} – 3.3 kΩ
R_{P1}, R_{P2} – 3.3 kΩ
R_{S1}, R_{S2} – 100 kΩ
R_{I1}, R_{I2} – 20 kΩ
R_{12} – 1.0 kΩ
R_{M1}, R_{M2} – 10 MΩ
Minimum step size = 20 mV
C_{S1}, C_{S2} – 0.05 µF
C_{I1}, C_{I2} – 0.05 µF
2 MC34115
1 MC3403 (or MC3406)

NOTE: All Res. 5%
All Cap. 5%

Input Filter Specifications

12 dB/Octave Rolloff above 3.3 kHz
6.0 dB/Octave Rolloff below 50 Hz

Output Filter Specifications

Break Frequency – 3.3 kHz
Stop Band – 9.0 kHz
Stop Band Atten. – 50 dB
Rolloff – > 40 dB/Octave

Filter Components

R1 – 956 Ω
R2 – 72 kΩ
R3 – 72 kΩ
R4 – 63.46 kΩ
R5 – 127 kΩ
R6 – 365.5 kΩ
R7 – 1.645 MΩ
R8 – 72 kΩ
R9 – 72 kΩ
R10 – 29.5 Ω
R11 – 72 kΩ

C1 – 3.3 µF
C2 – 637 pF
C3 – 536 pF
C4 – 1000 pF
C5 – 222 pF
C6 – 77 pF
C7 – 38 pF
C8 – 637 pF
C9 – 536 pF

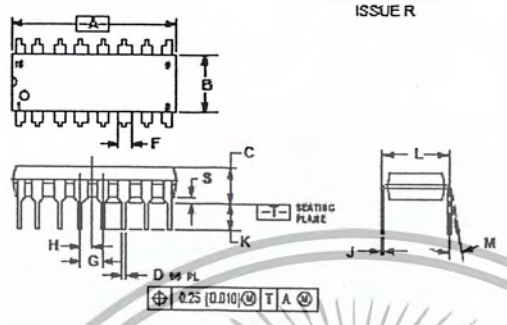
NOTE: All Res. 0.1% to 1%
All Cap. 1%

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MC34115

OUTLINE DIMENSIONS

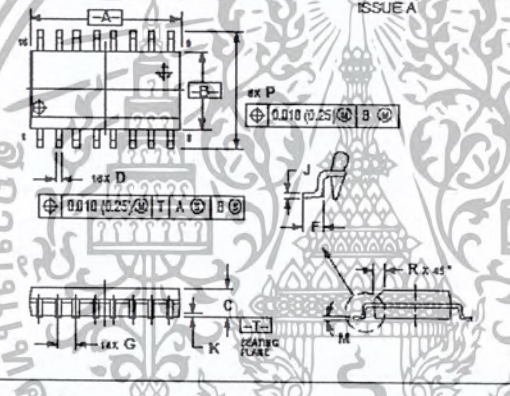
P SUFFIX
PLASTIC PACKAGE
CASE 648–08
ISSUE R



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: INCH.
3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL.
4. DIMENSION B DOES NOT INCLUDE MOLD FLASH.
5. ROUNDED CORNERS OPTIONAL.

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.740	0.770	18.80	19.55
B	0.250	0.270	6.35	6.85
C	0.145	0.175	3.69	4.44
D	0.015	0.021	0.38	0.53
F	0.040	0.70	1.02	1.77
G	0.100 BSC		2.54 BSC	
H	0.050 BSC		1.27 BSC	
J	0.008	0.015	0.20	0.38
K	0.110	0.130	2.80	3.30
L	0.295	0.305	7.50	7.74
M	0°	10°	0°	10°
S	0.020	0.040	0.51	1.01

DW SUFFIX
PLASTIC PACKAGE
CASE 751G–02
(SO–16L)
ISSUE A



NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
2. CONTROLLING DIMENSION: MILLIMETER.
3. DIMENSIONS A AND B DO NOT INCLUDE MOLD PROTRUSION.
4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE.
5. DIMENSION D DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.13 (0.005) TOTAL IN EXCESS OF D DIMENSION AT MAXIMUM MATERIAL CONDITION.

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	10.15	10.45	0.400	0.411
B	7.40	7.60	0.292	0.299
C	2.35	2.65	0.093	0.104
D	0.35	0.49	0.014	0.019
F	0.50	0.90	0.020	0.035
G	1.27 BSC		0.050 BSC	
J	0.25	0.32	0.010	0.012
K	0.10	0.25	0.004	0.009
M	0°	7°	0°	7°
P	10.05	10.55	0.395	0.415
R	0.25	0.75	0.010	0.029

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Motorola reserves the right to make changes without further notice to any products herein. Motorola makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Motorola assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters which may be provided in Motorola data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. Motorola does not convey any license under its patent rights nor the rights of others. Motorola products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Motorola product could create a situation where personal injury or death may occur. Should Buyer purchase or use Motorola products for any such unintended or unauthorized application, Buyer shall indemnify and hold Motorola and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Motorola was negligent regarding the design or manufacture of the part. Motorola and Ⓜ are registered trademarks of Motorola, Inc. Motorola, Inc. is an Equal Opportunity/Affirmative Action Employer.

How to reach us:
USA/EUROPE/Locations Not Listed: Motorola Literature Distribution;
P.O. Box 20912; Phoenix, Arizona 85036. 1–800–441–2447 or 602–303–5454

JAPAN: Nippon Motorola Ltd.; Tatsumi-SPD-JLDC, 6F Seibu-Butsuryu-Center, 3–14–2 Tatsumi Koto-Ku, Tokyo 135, Japan. 03–81–3521–8315

MFAX: RMFAX0@email.sps.mot.com – TOUCHTONE 602–244–6609
INTERNET: http://Design–NET.com

ASIA/PACIFIC: Motorola Semiconductors H.K. Ltd.; 65 Tai Ping Industrial Park, 51 Ting Kok Road, Tai Po, N.T., Hong Kong. 852–26629298

MOTOROLA

MC34115/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้