

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

วงจรรองความถี่หลายหน้าที่รูปแบบกระแสปรับค่าได้โดยใช้ซีมอสสำหรับ
ย่านความถี่สูง

CMOS-BASED HIGH-FREQUENCY TUNABLE CURRENT-MODE
UNIVERSAL FILTER



T117925



ฉพ.
ค 25/10
2554

เลขหมู่.....
เลขทะเบียน... 117925
วัน,เดือน,ปี..... 22 ต.ค. 2554

b. 12348922
i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2554

KMITL-2011-EN-M-010-100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**CMOS-BASED HIGH-FREQUENCY TUNABLE CURRENT-MODE
UNIVERSAL FILTER**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2011

KMITL-2011-EN-M-010-100

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2011

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรรองความถี่หลายหน้าที่รูปแบบกระแสปรับค่าได้โดยใช้
	ซีมอสสำหรับย่านความถี่สูง
นักศึกษา	นายธนาวัฒน์ ตั้งบรรพพิเชฐ
รหัสนักศึกษา	52611231
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2554
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ผศ.ดร. พิพัฒน์ พรหมมี

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอ วงจรรองความถี่หลายหน้าที่รูปแบบกระแสที่ใช้โครงสร้างวงจรรวมอินทิเกรเตอร์ 2 แบบ คือ แบบสูญเสียและแบบไม่สูญเสีย วงจรที่นำเสนอมีหลายอินพุตหนึ่งเอาต์พุตโดยใช้เทคโนโลยีซีมอส ซึ่งมี NMOS จำนวน 8 ตัวและตัวเก็บประจุแบบต่อกราวด์ 2 ตัว ผลการตอบสนองทางความถี่ของวงจรที่นำเสนอสามารถควบคุมได้จากการปรับค่ากระแสไบอัส เนื่องจากวงจรใช้ทรานซิสเตอร์เป็นอุปกรณ์แอคทีฟจึงสามารถทำงานในย่านความถี่สูงจนถึง 100 MHz สามารถนำไปประยุกต์ใช้งานด้านการสื่อสาร การประมวลผลสัญญาณภาพ หรือระบบการอ่านเขียนของฮาร์ดดิสก์ วงจรที่นำเสนอกินกำลังไฟต่ำเพียง $9.12 \mu\text{W}$ แรงดันไฟเลี้ยงที่ใช้ 1 V เมื่อป้อนกระแสไบอัสที่ $1 \mu\text{A}$ คุณลักษณะของวงจรที่ได้รับถูกจำลองการทำงานด้วยโปรแกรม PSpice พบว่าสอดคล้องกับคุณสมบัติทางทฤษฎี

Thesis Title CMOS-based High-frequency Tunable Current-mode Universal Filter
Student Mr. Thanawat Tungbowonpichet
Student ID. 52611231
Degree Master of Engineering
Program Telecommunications Engineering
Year 2011
Thesis Advisor Asst. Prof. Dr. Pipat Prommee

ABSTRACT

This thesis presents current-mode universal filter based upon lossy and lossless integrators loop structure. The proposed universal filter is composed of multi-input single-output CMOS transistor, only eight NMOSs and grounded capacitors. The proposed circuit can be adjusted biasing current of its frequency response, due to use of transistor level, high frequency can be operated up to 100 MHz which application for high-frequency communications, video processing and magnetic disk-drive read-channel systems. The low-power supply, 1V is used for the proposed filter with low-power consumption around $9.12\mu\text{W}$ at $1\mu\text{A}$ biasing current. The characteristics of the proposed circuit are simulated by the PSPICE program and they are found to agree well with the theory.

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงได้ด้วยดี ต้องขอขอบพระคุณ ผศ.ดร.พิพัฒน์ พรหมมี อาจารย์ที่ปรึกษาวิทยานิพนธ์ ที่เป็นผู้ให้ทั้งความรู้ คำแนะนำ และคอยสนับสนุนในทุกๆด้าน ข้าพเจ้ารู้สึกซาบซึ้งในพระคุณที่ท่านได้ทุ่มเทเพื่อให้ข้าพเจ้า และลูกศิษย์ทุกคน ประสบความสำเร็จในทุกๆด้าน

ขอบพระคุณอาจารย์ทุกๆท่านที่ได้เคยถ่ายทอดความรู้ และคำแนะนำที่ดีให้ หากปราศจากความรู้พื้นฐานที่อาจารย์ได้สั่งสอนแล้ว คงไม่สามารถนำมาต่อยอดจนสำเร็จเป็นวิทยานิพนธ์ฉบับนี้ได้

ขอขอบพระคุณพ่อแม่และครอบครัวของข้าพเจ้าที่คอยสนับสนุนอย่างเต็มความสามารถ ตลอดมา ไม่ว่าจะข้าพเจ้าจะตัดสินใจอย่างไร

ขอขอบคุณทั้งเพื่อน รุ่นพี่ รุ่นน้อง ที่ได้คอยให้การช่วยเหลือกันตลอดมา ขอให้ทุกคนได้ ประสบความสำเร็จในเส้นทางที่หวังไว้

หากมีคุณค่าและประโยชน์อันใด อันเกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับผู้มีพระคุณทุกท่าน

ธนาวัฒน์ ตังบวรพิเชฐ

สารบัญ

หน้า

บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญตาราง	VI
สารบัญรูป	VII
บทที่ 1 บทนำ	1
1.1 ความเป็นมาและความสำคัญของปัญหา	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา	2
1.3 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย	3
1.4 ขอบเขตของวิทยานิพนธ์	3
1.5 เนื้อหาในวิทยานิพนธ์	3
บทที่ 2 ทฤษฎีเบื้องต้นของมอเตอร์ชิสเตอร์	4
2.1 โครงสร้างของมอเตอร์ชิสเตอร์	4
2.2 การทำงานของมอเตอร์ชิสเตอร์	9
2.2.1 คุณสมบัติการทำงาน	9
2.2.2 สมการการไบแอสสำหรับสัญญาณขนาดใหญ่	13
2.2.3 ค่าความจุไฟฟ้าในมอเตอร์ชิสเตอร์	15
2.2.4 วงจรสมมูลและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก	17
2.3 ผลของอุณหภูมิต่อมอเตอร์ชิสเตอร์	18
บทที่ 3 หลักการพื้นฐานของอินทิเกรเตอร์และวงจรรองความถี่	20
3.1 หลักการทั่วไปของวงจรอินทิเกรเตอร์	20
3.1.1 วงจรอินทิเกรเตอร์แบบกลับเฟส	26
3.1.2 วงจรอินทิเกรเตอร์แบบไม่กลับเฟส	27
3.2 หลักการพื้นฐานของวงจรรองความถี่	29
3.2.1 นิยามและการประยุกต์ใช้งานวงจรรองความถี่	29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

หน้า

3.2.2	หลักการพื้นฐานของวงจรกรองความถี่.....	31
3.2.3	วงจรกรองความถี่ต่ำผ่าน (Low-Pass Filter).....	33
3.2.4	วงจรกรองผ่านความถี่สูงผ่าน (High-Pass Filter).....	35
3.2.5	วงจรกรองแถบความถี่ผ่าน (Band-Pass Filter).....	36
3.2.6	วงจรกรองแถบความถี่หยุด (Band-Reject Filters หรือ Notch Filters).....	37
3.3	ฟังก์ชันการถ่ายโอนแบบไปควอดเรติก.....	38
บทที่ 4	วงจรที่นำเสนอและผลการจำลองการทำงาน.....	40
4.1	รายละเอียดของวงจร.....	40
4.1.1	วงจรอินทิเกรเตอร์ที่สร้างจากซีมอส.....	40
4.1.2	วงจรกรองความถี่ที่นำเสนอ.....	42
4.1.3	ตัวเก็บประจุที่สร้างจากซีมอส.....	45
4.2	การทำงานของวงจรในกรณีที่ไม่เป็นอุดมคติ.....	45
4.3	ผลจำลองการทำงานของวงจร.....	48
4.3.1	ผลการจำลองการทำงานหลังการเลย์เอาต์.....	52
4.4	สรุป.....	54
บทที่ 5	บทสรุปและข้อเสนอแนะ.....	55
5.1	บทสรุป.....	55
5.2	ข้อเสนอแนะ.....	55
	เอกสารอ้างอิง.....	57
	ภาคผนวก.....	59
	ภาคผนวก ก. โปรแกรม PSPICE ที่ใช้วิเคราะห์วงจรในวิทยานิพนธ์.....	60
	ภาคผนวก ข. การวิเคราะห์แบบจำลองสัญญาณขนาดเล็กของวงจรที่นำเสนอ.....	63
	ภาคผนวก ค. บทความวิจัยที่ได้รับการตีพิมพ์.....	66
	ประวัติผู้เขียน.....	72

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
2.1 สัญลักษณ์ของมอศทรานซิสเตอร์แบบต่างๆ	8
4.1 สรุปรูปแบบการป้อนกระแสเพื่อให่วงจรทำงานตามที่ต้องการ	43
4.2 ค่าความไวของวงจรที่นำเสนอ	44



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1	โครงสร้างมอสทรานซิสเตอร์แบบเอ็นแชนเนล เอ็นฮานซ์เมนต์โหมด.....5
2.2	โครงสร้างมอสทรานซิสเตอร์แบบเอ็นแชนเนล ดิพลีชัน โหมด.....6
2.3	โครงสร้างมอสทรานซิสเตอร์แบบพีแชนเนล เอ็นฮานซ์เมนต์โหมด.....7
2.4	โครงสร้างมอสทรานซิสเตอร์แบบพีแชนเนล ดิพลีชัน โหมด.....8
2.5	การทำงานของมอสทรานซิสเตอร์ชนิดเอ็นแชนเนล เอ็นฮานซ์เมนต์โหมด.....11
2.6	กราฟแสดงความสัมพันธ์ระหว่าง I_D และ V_{DS} ของเอ็นฮานซ์เมนต์มอสทรานซิสเตอร์.....13
2.7	ความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างของมอสทรานซิสเตอร์.....15
2.8	วงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสทรานซิสเตอร์.....17
3.1	รูปคลื่นความสัมพันธ์ของพื้นที่ที่เอาต์พุตของวงจรอินทิเกรเตอร์.....21
3.2	ความสัมพันธ์ของกระแสและแรงดันของตัวเก็บประจุ.....21
3.3	วงจรอินทิเกรเตอร์เบื้องต้น.....22
3.4	ลักษณะของสัญญาณทางเอาต์พุตของวงจร.....23
3.5	การทำงานของวงจร RC.....24
3.6	กราฟแสดงการทำงานของวงจร.....24
3.7	สัญลักษณ์ของวงจรทรานส์คอนดักเตอร์ หรือ OTA.....25
3.8	วงจร $g_m - C$ อินทิเกรเตอร์พื้นฐาน.....26
3.9	วงจรอินทิเกรเตอร์แบบกลับเฟส.....26
3.10	ตัวอย่างวงจรอินทิเกรเตอร์แบบกลับเฟสที่มีสัญญาณขาเข้ามากกว่า 1 สัญญาณ.....27
3.11	วงจรอินทิเกรเตอร์แบบไม่กลับเฟส.....28
3.12	ระบบของวงจรกรองความถี่.....31
3.13	ผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่าน.....33
3.14	ผลตอบสนองทางขนาดของวงจรกรองความถี่สูงผ่าน.....35
3.15	ผลตอบสนองทางขนาดของวงจรกรองแถบความถี่ผ่าน.....36
3.16	ผลตอบสนองทางขนาดของวงจรกรองแถบความถี่หยุด.....37
4.1	วงจรอินทิเกรเตอร์แบบไม่สูญเสียในรูปแบบกระแสสร้างโดยใช้ซีมอสและวงจรสมมูล.....41
4.2	วงจรอินทิเกรเตอร์แบบสูญเสียในรูปแบบกระแสสร้างโดยใช้ซีมอสและวงจรสมมูล.....41
4.3	บล็อกไดอะแกรมของวงจรที่น่าเสนอ.....42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป(ต่อ)

รูปที่	หน้า
4.4 วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่นำเสนอ.....	43
4.5 ตัวเก็บประจุแบบต่อกราวด์สร้างโดยใช้ออสทธานซิสเตอร์.....	45
4.6 แบบจำลองของมอสทธานซิสเตอร์.....	46
4.7 คุณสมบัติของวงจรกรองทั้ง 4 แบบ เมื่อปรับค่า $I_B=100$ nA.....	48
4.8 ผลตอบสนองทางขนาดและเฟสของวงจรกรองผ่านทุกความถี่เมื่อปรับค่า $I_B=100$ nA.....	49
4.9 เอาต์พุตของวงจรกรองแถบความถี่ที่ต้องการผ่าน โดยการปรับค่ากระแสไบอัสค่าต่างๆ.....	49
4.10 กราฟแสดงค่าความถี่ตอบสนองที่ได้เมื่อป้อนกระแสไบอัสค่าต่างๆ.....	50
4.11 ผลตอบสนองทางเวลาของวงจรกรองแถบความถี่ผ่านที่มี $f_p=100$ MHz ที่อินพุตต่างๆกัน.....	52
4.12 ตัวอย่างเลย์เอาต์ของวงจรที่นำเสนอ.....	53
4.13 ผลตอบสนองทางความถี่ของวงจรกรองทั้ง 4 รูปแบบจากการทำเลย์เอาต์.....	53
4.14 คุณสมบัติปรับค่าได้ทางอิเล็กทรอนิกส์ของวงจรกรองแถบความถี่ผ่านจากการทำเลย์เอาต์.....	54
ข.1 วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่นำเสนอ.....	64
ข.2 แบบจำลองสัญญาณขนาดเล็ทของวงจรในรูป ข.1 เมื่อพิจารณาในส่วนนอทค่าความนำ.....	64

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันการออกแบบวงจรความถี่ด้วยอุปกรณ์แอกทีฟ โดยเฉพาะวงจรที่ทำงานในรูปแบบกระแส กำลังได้รับความสนใจ เนื่องจากวงจรความถี่รูปแบบกระแสมีข้อดีกว่ารูปแบบแรงดันหลายประการ การออกแบบวงจรที่เรียบง่าย สามารถवलบสัญญาณได้ง่าย สัญญาณในรูปแบบของกระแสสามารถปรับขนาดและดึงเอาไปใช้ได้สะดวกโดยผ่านวงจรสะท้อนกระแส (Current Mirror) ทำให้วงจรรูปแบบกระแสจะมีขนาดเล็กและใช้แรงดันไฟฟ้าน้อยกว่าเมื่อนำไปสร้างเป็นวงจรรวม (IC : Integrated Circuit) จะทำให้กำลังงานที่ต้องใช้ลดลง ใช้พื้นที่น้อยกว่าทำให้สามารถสร้างวงจรรวมที่มีขนาดเล็กลงได้ ซึ่งการที่วงจรรวมมีขนาดเล็กลง ใช้พลังงานน้อยลง จะเป็นประโยชน์ในการนำไปสร้างอุปกรณ์แบบพกพา หรืออุปกรณ์ที่ต้องการให้มีขนาดเล็กลง กินกำลังไฟต่ำ เช่น โทรศัพท์มือถือ คอมพิวเตอร์แล็ปท็อป เป็นต้น

นอกจากนี้วงจรรูปแบบกระแส ยังมีคุณสมบัติในการตอบสนองทางความถี่สูงได้ดี สามารถนำไปประยุกต์ใช้กับงานที่ต้องการความถี่สูงๆ เช่นระบบสื่อสาร โทรคมนาคม หรือการประมวลผลด้านสัญญาณภาพที่นับวันจะมีการแข่งขันในด้านความคมชัด และคุณภาพมากขึ้น ต่างกับวงจรรูปแบบแรงดันที่เมื่อทำงานในย่านความถี่สูง ผลลัพธ์ที่ได้มักจะไม่เป็นไปตามคุณสมบัติของวงจรที่ได้ออกแบบไว้

วงจรความถี่ เป็นวงจรพื้นฐานที่มีความสำคัญมากในงานด้านโทรคมนาคม ทั้งยังมีการนำไปใช้ในด้านอื่นๆ อย่างแพร่หลาย ในอดีตได้มีการออกแบบวงจรความถี่โดยใช้หลักการไบควอดเรติกฟังก์ชัน [1] ซึ่งวงจรความถี่แบบไบควอดเรติกฟังก์ชันพื้นฐานที่เป็นวงจรความถี่อันดับสองนั้น สามารถนำมาสร้างเป็นวงจรความถี่อันดับสูงกว่าได้ ในช่วงหลายปีที่ผ่านมา ได้มีผู้นำเสนอ การออกแบบวงจรความถี่โดยใช้อุปกรณ์แอกทีฟ ในรูปแบบกระแสออกมามากมาย เช่น CFs (current followers) [2], CCIIs (second generation current conveyors) [3-5] และ OTAs (operational transconductance amplifiers) [6-11] รวมถึงการออกแบบวงจรความถี่ในรูปแบบที่ได้รับความนิยมอย่างมากคือแบบ OTA-C (operational transconductance amplifier and capacitor) [12-13], DVCC (differential voltage current conveyor) [14] ซึ่งหลายบทความที่นำเสนอขึ้นให้ผลตอบสนองทางความถี่ไม่เกิน 10 MHz

ในทางปฏิบัตินั้นผลตอบสนองความถี่จะถูกจำกัดโดยแบนด์วิดท์ของอุปกรณ์แอกทีฟ นอกจากนั้นแล้ววงจรยังต้องสูญเสียกำลังงานในปริมาณที่มากเพื่อไปเลี้ยงตัวอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แอกทีฟ ทั้งยังปรับจูนความถี่ได้แคบ บางวงจรจำเป็นต้องมีการต่อร่วมกับตัวต้านทานภายนอก [4] หรือใช้ตัวเก็บประจุแบบลอยตัว [3] ซึ่งไม่เหมาะสมในการจะนำมาสร้างเป็นวงจรรวม

ในด้านความสามารถในการปรับค่าได้ทางอิเล็กทรอนิกส์ ได้มีการนำเสนอการออกแบบวงจรกรองความถี่ที่สามารถปรับค่าได้ทางอิเล็กทรอนิกส์ โดยมีพื้นฐานมาจากอุปกรณ์ประเภทแอกทีฟ โดยเฉพาะ CCCII [4] ซึ่งมักจะถูกนำมาใช้สร้างวงจรกรองความถี่แบบปรับค่าได้โดยไม่ต้องต่อตัวต้านทานภายนอก อย่างไรก็ตามในทางปฏิบัติ แบนด์วิดท์ของวงจรที่ได้จะค่อนข้างแคบ เนื่องจากความซับซ้อนของวงจร และวงจรกรองความถี่ที่สร้างจากอุปกรณ์แอกทีฟโดยทั่วไปมักจะต้องใช้ไฟเลี้ยงทั้งบวกและลบ การที่วงจรกินกำลังไฟมากรวมถึงปรับจูนความถี่ได้แคบเป็นข้อเสียของวงจรประเภทนี้ [1-14]

ส่วนวงจรกรองความถี่แบบอนาล็อกที่สามารถทำงานที่ย่านความถี่เกิน 10 MHz ซึ่งมีความจำเป็นในงานด้านการประมวลผลสัญญาณภาพ และระบบการอ่านเขียนของฮาร์ดดิสก์ ก็ได้มีผู้พัฒนาขึ้นมาหลายรูปแบบเช่นเดียวกัน [15]-[20]

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์ฉบับนี้มีวัตถุประสงค์ที่จะศึกษาเรื่องการออกแบบวงจร โดยใช้ซีมอส ซึ่งเป็นอุปกรณ์ที่กำลังได้รับความนิยม เพราะมีข้อดีหลายอย่าง เช่น การสูญเสียกำลังงานต่ำ และสามารถทำงาน ได้ขณะที่ใช้ไฟเลี้ยงต่ำ ทำให้เกิดความร้อนต่ำ ซึ่งในปัจจุบันนิยมและเน้นทางด้านการทำงานรวม

ในการออกแบบวงจรรวม โดยใช้เทคโนโลยีซีมอส กำลังเป็นที่นิยมกันอย่างมากในปัจจุบัน ซึ่งเทคโนโลยี (VLSI : Very Large Scale Integration) ที่ใช้ในการออกแบบวงจรรวม จะทำให้ขนาดของชิพที่ได้มีขนาดเล็กลงอย่างมาก และมีการทำงานที่รวดเร็วยิ่งขึ้น เมื่อนำไปใช้งานจะทำให้อุปกรณ์ที่ออกแบบมีขนาดเล็กลง แต่มีประสิทธิภาพสูงขึ้น

วิทยานิพนธ์นี้เป็นการนำวงจรอินทิเกรเตอร์ที่สร้างมาจากซีมอส มาออกแบบเป็นวงจรกรองความถี่หลายหน้าที่ในรูปแบบกระแสที่สามารถทำงานเป็นวงจรกรองความถี่แบบต่างๆ คือ วงจรกรองความถี่ต่ำผ่าน วงจรกรองความถี่สูงผ่าน วงจรกรองแถบความถี่ที่ต้องการผ่าน วงจรกรองแถบความถี่ที่ต้องการออก และวงจรกรองความถี่ผ่านทั้งหมด โดยไม่ต้องมีการปรับเปลี่ยนวงจรใดๆ ทั้งสิ้น

1.3 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย

วงจรที่นำเสนอสร้างขึ้นโดยใช้วงจรอินทิเกรเตอร์ 2 วงจร คืออินทิเกรเตอร์แบบสูญเสียบและแบบไม่สูญเสีย ต่อลูปเข้าหากัน ผลที่ได้จะเป็นลักษณะของวงจรกรองความถี่แบบไบควอดเรติก ใช้ซีมอสทรานซิสเตอร์เพียง 8 ตัว และตัวเก็บประจุแบบต่อลงกราวด์ 2 ตัว โดยแบ่งเป็นวงจรอินทิเกรเตอร์แบบสูญเสียบใช้ NMOS 2 ตัว และ แบบไม่สูญเสียบใช้ NMOS 6 ตัว โดยวงจรมีข้อดีคือทำงานที่ย่านความถี่สูง การปรับค่าได้ทางอิเล็กทรอนิกส์ ใช้อุปกรณ์น้อย ทำงานที่แรงดันต่ำ อัตราการบริโภคกำลังงานต่ำ เหมาะสำหรับการสร้างเป็นวงจรรวม นอกจากนี้ค่าความไวของอุปกรณ์พาสซีฟและแอคทีฟ ที่ส่งผลต่อวงจรมีค่าภายใน ± 0.5

1.4 ขอบเขตของวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้จะเป็นการออกแบบวงจรกรองความถี่ ที่ทำงานในรูปแบบกระแส ทั้งอินพุตและเอาต์พุต ใช้เพียง NMOS ในการออกแบบเพียงอย่างเดียว โดยไม่ใช้ PMOS วงจรต้องสามารถทำงานเป็นวงจรกรองความถี่ได้ครบทั้ง 5 แบบ ตามที่ได้ออกแบบไว้ สามารถปรับค่าความถี่ตอบสนองได้โดยวิธีทางอิเล็กทรอนิกส์ ความถี่ตอบสนองของวงจรที่ได้ต้องสามารถทำได้สูงเกิน 10 MHz และปรับช่วงความถี่ที่ต้องการ ได้กว้าง

ผลการจำลองการทำงานจะใช้โปรแกรม PSPICE ในการยืนยันผล นอกจากนี้จะมีการนำเอาวงจรที่นำเสนอ ไปทดลองออกแบบเลย์เอาต์โดยใช้โปรแกรม L-EDIT และจำลองการทำงานหลังจากการทำเลย์เอาต์โดยใช้โปรแกรม TSPICE

1.5 เนื้อหาในวิทยานิพนธ์

วิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาออกเป็น 5 บทด้วยกัน คือ

บทที่ 1 เป็นบทกล่าวนำของวิทยานิพนธ์ เพื่อให้ผู้อ่านได้ทราบถึงที่มาที่ไปในการทำจุดประสงค์ในการทำ แนวคิดเบื้องต้นของวิทยานิพนธ์ รวมถึงขอบเขตของการศึกษา

บทที่ 2 กล่าวถึงเทคโนโลยีของซีมอส ซึ่งเป็นอุปกรณ์หลักในวิทยานิพนธ์

บทที่ 3 กล่าวถึงทฤษฎีเบื้องต้นของอินทิเกรเตอร์ และวงจรกรองความถี่

บทที่ 4 กล่าวถึงรายละเอียดของวงจรที่นำเสนอ และผลการจำลองการทำงาน

บทที่ 5 เป็นบทสรุปของวิทยานิพนธ์และแนวทางในการพัฒนาต่อไปในอนาคต

ในส่วนท้ายของวิทยานิพนธ์จะเป็นส่วนของภาคผนวก โดยจะนำโค้ดของโปรแกรมที่ใช้ในการจำลองการทำงาน และตัวบทความที่ได้รับการตีพิมพ์มาลงไว้

บทที่ 2

ทฤษฎีเบื้องต้นของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์ (MOS Transistor) หรือมอสเฟต (Metal Oxide Semiconductor Field Effect Transistor : MOSFET) เป็นสิ่งประดิษฐ์สารกึ่งตัวนำประเภทผลของสนามไฟฟ้า (Field Effect Devices) โดยที่ขนาดของสนามไฟฟ้าขึ้นอยู่กับขนาดของความต่างศักย์และระยะระหว่างส่วนเดรนกับส่วนซอส กระแสครีฟท์ที่เกิดขึ้นจึงถูกประมาณว่าเกิดจากการเคลื่อนที่ของประจุพาหะส่วนมากที่มีอยู่ในสารกึ่งตัวนำชนิดนั้นเพียงชนิดเดียว ด้วยเหตุนี้มอสทรานซิสเตอร์จึงถูกเรียกว่า “ยูนิโพล่าทรานซิสเตอร์” (Unipolar Transistor)

ในปัจจุบันมอสทรานซิสเตอร์ถูกสร้างจากขบวนการ “Silicon Gate Technology” โดยที่ใช้ “Polysilicon” แทนโลหะที่เกท และเนื่องจากมอสทรานซิสเตอร์มีโครงสร้างที่ไม่ยุ่งยากมาก มีขบวนการผลิตที่ใช้พื้นที่น้อย มีขนาดเล็ก อินพุตอิมพีแดนซ์สูง การสูญเสียกำลังต่ำ มีประสิทธิภาพในการทำงานสูง จึงทำให้มอสทรานซิสเตอร์เป็นที่นิยมใช้กันมาก โดยเฉพาะอย่างยิ่งวงจรในโครงสร้างวงจรรวม ถึงกระนั้นมอสทรานซิสเตอร์ก็ยังมีข้อด้อยในการทำงานอยู่บ้าง เช่น มีอัตราขยายต่ำ

2.1 โครงสร้างของมอสทรานซิสเตอร์

เนื่องจากประจุพาหะส่วนมากในสารกึ่งตัวนำมี 2 ชนิดคือ ประจุลบหรืออิเล็กตรอนในสารกึ่งตัวนำชนิดเอ็นและประจุบวกหรือโฮลในสารกึ่งตัวนำชนิดพี จึงอาจแบ่งมอสทรานซิสเตอร์โดยพิจารณาที่ชนิดของประจุที่บริเวณช่องทางเดินกระแสในขณะที่เกิดกระแสครีฟท์ได้เป็น 2 ชนิด คือ

1. เอ็นแชนเนล มอสทรานซิสเตอร์ (N-Channel MOS Transistor : NMOS) หมายถึงมอสทรานซิสเตอร์ที่มีอิเล็กตรอนเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแสครีฟท์ ดังนั้นมอสทรานซิสเตอร์ชนิดนี้ ส่วนเดรนและซอสจึงเป็นสารกึ่งตัวนำชนิดเอ็น

2. พีแชนเนล มอสทรานซิสเตอร์ (P-Channel MOS Transistor : PMOS) หมายถึงมอสทรานซิสเตอร์ที่มีโฮลเป็นประจุพาหะส่วนมากที่ทำให้เกิดกระแสครีฟท์ ดังนั้นมอสทรานซิสเตอร์ชนิดนี้ส่วนเดรนและซอสจึงเป็นสารกึ่งตัวนำชนิดพี

อย่างไรก็ตาม ในสภาวะปกติก่อนการไบแอสของมอสทรานซิสเตอร์โดยทั่วๆ ไป สารกึ่งตัวนำบริเวณช่องทางเดินกระแสกับสารกึ่งตัวนำที่เป็นเดรนและซอส อาจจะเป็นสารชนิดเดียวกันหรือต่างชนิดกันก็ได้ ซึ่งในแต่ละแบบจะมีผลต่อคุณสมบัติทางไฟฟ้าในขณะที่ใช้งานแตกต่างกันไป จึงมีคำศัพท์เพื่อบอกประเภทของสารกึ่งตัวนำบริเวณช่องทางเดินกระแสไว้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
แม้ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

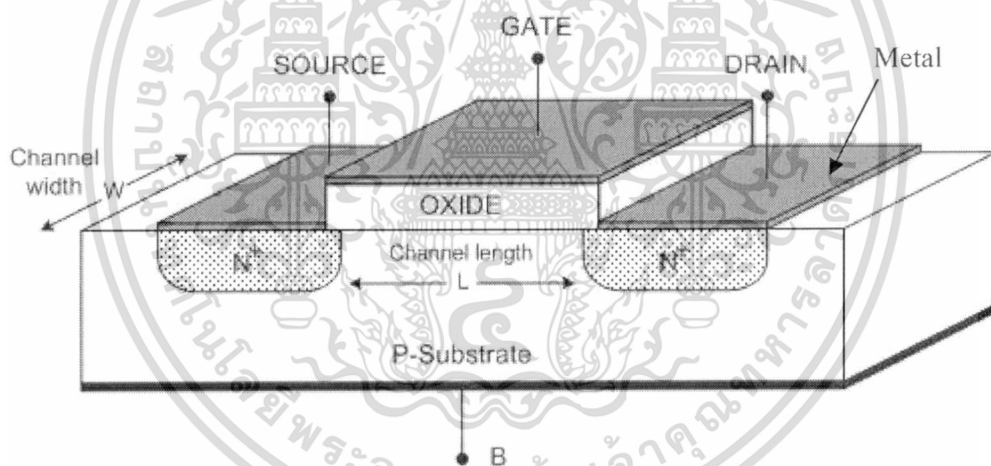
ดีพลีชัน (Depletion) หมายถึง สารกึ่งตัวนำบริเวณช่องทางเดินกระแสที่มีคุณสมบัติเป็นสารกึ่งตัวนำชนิดเดียวกับส่วนเดรนและซอส

เอ็นฮานซ์เมนต์ (Enhancement) หมายถึง สารกึ่งตัวนำบริเวณช่องทางเดินกระแสที่มีคุณสมบัติเป็นสารกึ่งตัวนำต่างชนิดกันกับส่วนเดรนและซอส

จึงอาจแบ่งมอสทรานซิสเตอร์ เพื่อบอกประเภทตามลักษณะการควบคุมปริมาณประจุพาหะในช่องทางเดินกระแสได้ 4 แบบคือ

1. เอ็นแชนเนล เอ็นฮานซ์เมนต์โหมด มอสทรานซิสเตอร์ (N-Channel enhancement mode MOS Transistor)

หมายถึง เอ็นแชนเนลมอสทรานซิสเตอร์ ที่ในสภาวะปกติก่อนไบแอสที่เกต มีสารกึ่งตัวนำในบริเวณช่องทางเดินกระแสเป็นชนิดพี ดังนั้นในขณะที่ใช้งานจึงจำเป็นต้องเหนี่ยวนำให้สารกึ่งตัวนำชนิดพีบริเวณช่องทางเดินกระแสเปลี่ยนเป็นสารกึ่งตัวนำชนิดเอ็นก่อน โดยการให้แรงดันที่เกตเป็นบวกเมื่อเทียบกับฐานรอง โครงสร้างเอ็นแชนเนล เอ็นฮานซ์เมนต์โหมด มอสทรานซิสเตอร์ แสดงไว้ในรูปที่ 2.1



รูปที่ 2.1 โครงสร้างมอสทรานซิสเตอร์แบบเอ็นแชนเนล เอ็นฮานซ์เมนต์โหมด

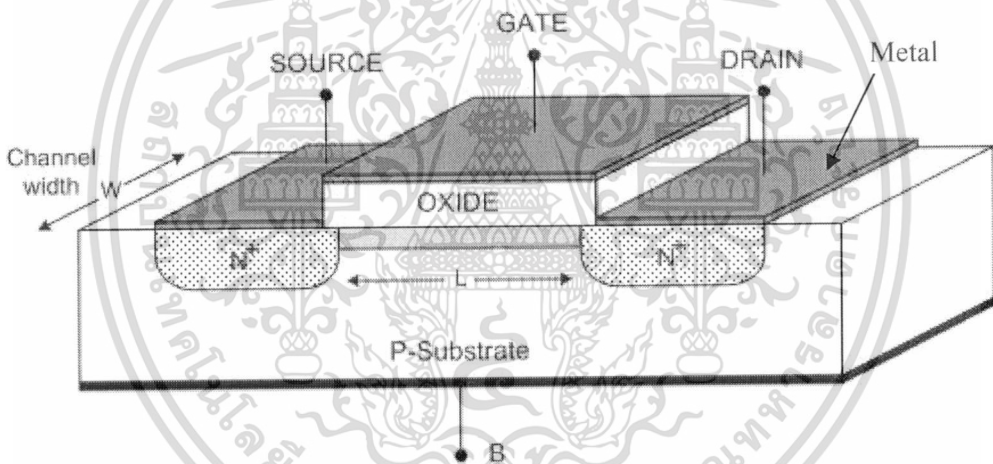
จากรูปโครงสร้างของมอสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมด ชนิดเอ็นแชนเนลจะประกอบไปด้วยแผ่นฐานรองเป็นชนิดพี ความหนาแน่นน้อย (Lightly Doped P-Type Substrate) ที่มีอิเล็กโตรดบริเวณเดรนและซอสที่ต่อกับบริเวณสารกึ่งตัวนำที่ทำการเติมสารเจือชนิดเอ็นความหนาแน่นสูงเข้าไปในฐานรอง แต่บริเวณสารกึ่งตัวนำที่ถูกสารเจือนั้นจะไม่เชื่อมต่อกันเกิดเป็นแชนเนลเหมือนในกรณีของดีพลีชัน แต่จะเคลือบซิลิกอนไดออกไซด์ (SiO_2) เป็นฉนวนลงบนฐานรองแล้วทำการต่ออิเล็กโตรดที่เป็นโลหะเข้าที่เกต (G) โดยส่วนที่อยู่ระหว่างเดรน (D) และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซอส (S) จะเรียกว่าแชนเนลเหมือนเดิม โดยจะมีระยะห่างความยาวแชนเนล (Channel Length) เป็น L และระยะห่างความกว้าง (Channel Width) เป็น W

2. เอ็นแชนเนล ดีพลีชัน โหมด มอสทรานซิสเตอร์ (N-Channel depletion mode MOS transistor)

หมายถึงเอ็นแชนเนล มอสทรานซิสเตอร์ ที่ในสภาวะปกติก่อนให้ไบแอสที่เกต มีสารกึ่งตัวนำในบริเวณช่องทางเดินกระแสเป็นชนิดเอ็น ทำให้เกิดการเชื่อมต่อเนื้อสารกึ่งตัวนำระหว่างส่วนซอสและเดรน อันเป็นผลให้เกิดกระแสครีฟท์ขึ้นทันทีที่มีความต่างศักย์ระหว่างส่วนเดรนกับส่วนซอส ในการควบคุมปริมาณกระแสครีฟท์นี้สามารถทำได้ทั้งในทางที่ทำให้ปริมาณกระแสครีฟท์เพิ่มขึ้นซึ่งทำโดยการให้แรงดันที่เกตเป็นบวกเมื่อเทียบกับฐานรอก หรือในทางที่ทำให้กระแสครีฟท์ลดลงโดยการให้แรงดันที่เกตเป็นลบเมื่อเทียบกับฐานรอก โครงสร้างเอ็นแชนเนลดีพลีชัน โหมด มอสทรานซิสเตอร์ แสดงไว้ในรูปที่ 2.2



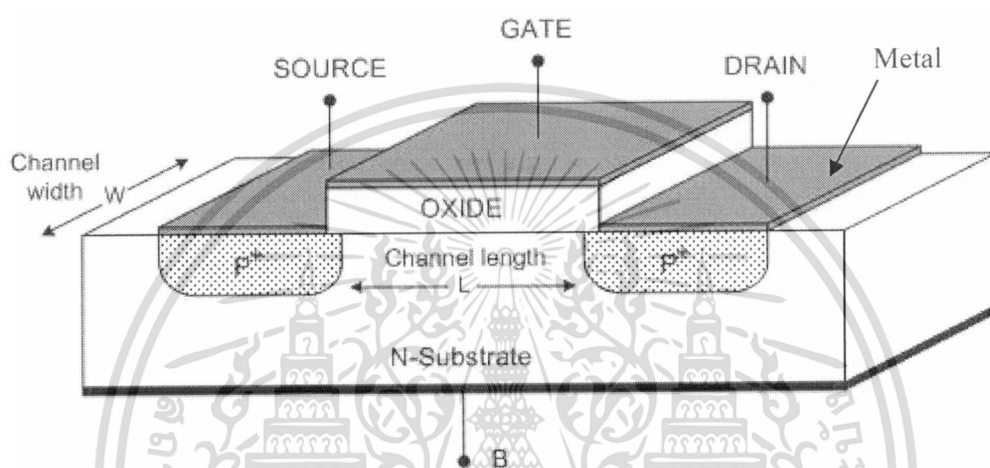
รูปที่ 2.2 โครงสร้างมอสทรานซิสเตอร์แบบเอ็นแชนเนล ดีพลีชัน โหมด

จากรูปที่ 2.2 เป็น โครงสร้างของมอสทรานซิสเตอร์แบบดีพลีชัน โหมดชนิดเอ็นแชนเนล ซึ่งประกอบด้วยแผ่นผลึกฐานรอกชนิด P ความหนาแน่นน้อย ที่เป็น Single Crystal Silicon Wafer ซึ่งจะเรียกว่าบัลค์ (Bulk) มีการต่ออิเล็กโทรดเข้าตรงบริเวณที่เป็นเดรนและซอสซึ่งมีสารกึ่งตัวนำชนิด N ที่มีความหนาแน่นมาก (Heavily Doped N-Type Region) โดยที่จะทำการเชื่อมต่อบริเวณเดรนและซอสด้วยสารกึ่งตัวนำชนิด N ความหนาแน่นน้อย (Lightly Doped N-Type Region) เรียกว่าแชนเนล โดยที่เหนือบริเวณแชนเนลนั้นจะมีฉนวนแผ่นบางๆ ซึ่งทำมาจากซิลิคอนไดออกไซด์ (SiO_2) วางอยู่ จากนั้นจึงวางอิเล็กโทรดเกตซึ่งเป็นโลหะลงบนซิลิคอนไดออกไซด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. พีเชนเนล เอ็นฮานซ์เมนต์โหมด โมสทรานซิสเตอร์ (P-Channel enhancement mode MOS transistor)

หมายถึง พีเชนเนล โมสทรานซิสเตอร์ ที่ในสภาวะปกติก่อนไบแอสที่เกต มีสารกึ่งตัวนำในบริเวณช่องทางเดินกระแสเป็นชนิดเอ็น ดังนั้นในขณะที่ใช้งานจึงจำเป็นต้องเหนี่ยวนำให้สารกึ่งตัวนำชนิดเอ็นบริเวณช่องทางเดินกระแสเปลี่ยนเป็นสารกึ่งตัวนำชนิดพีก่อน โดยการให้แรงดันที่เกตเป็นลบเมื่อเทียบกับฐานรอง โครงสร้างพีเชนเนล เอ็นฮานซ์เมนต์โหมด โมสทรานซิสเตอร์ แสดงไว้ในรูปที่ 2.3



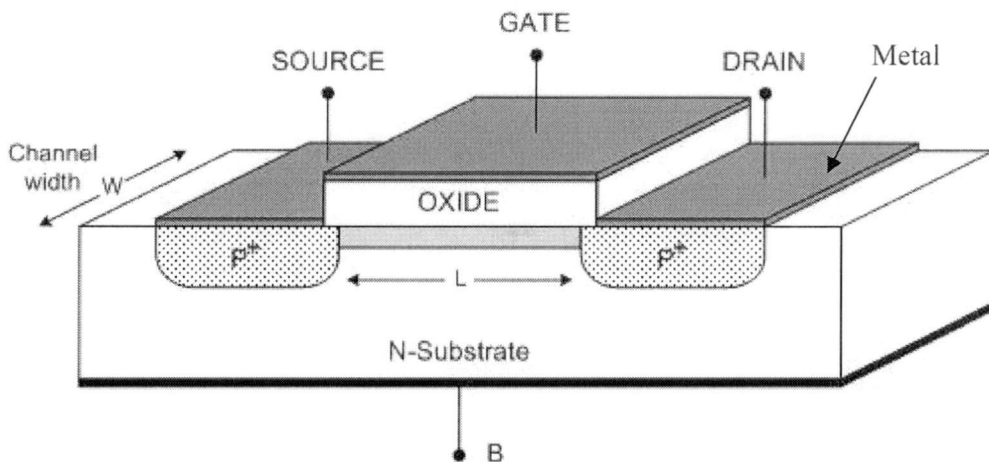
รูปที่ 2.3 โครงสร้างโมสทรานซิสเตอร์แบบพีเชนเนล เอ็นฮานซ์เมนต์โหมด

จากรูปโครงสร้างของโมสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดชนิดพีเชนเนล จะมีโครงสร้างที่คล้ายกับโมสทรานซิสเตอร์แบบเอ็นฮานซ์เมนต์โหมดชนิดเอ็นแชนเนล เพียงแต่แผ่นฐานรองเป็นชนิดเอ็นความหนาแน่นน้อยกว่าที่ประกอบด้วยสารกึ่งตัวนำชนิดพีความหนาแน่นมากสองส่วนแพร่อยู่บนขอดีแทน

4. พีเชนเนล ดีพลีชันโหมด โมสทรานซิสเตอร์ (P-Channel depletion mode MOS transistor)

หมายถึง พีเชนเนล ดีพลีชันโหมด โมสทรานซิสเตอร์ ที่ในสภาวะปกติก่อนให้ไบแอสที่เกตมีสารกึ่งตัวนำในบริเวณช่องทางเดินกระแสเป็นชนิดพี ซึ่งมีความคล้ายคลึงกับโมสทรานซิสเตอร์ในเอ็นแชนเนลดีพลีชันโหมด การควบคุมปริมาณกระแสครีพท์นี้จะควบคุมโดยแรงดันที่เกต โดยถ้าแรงดันที่เกตเป็นลบเมื่อเทียบกับฐานรองกระแสครีพท์ก็จะไหลได้มากขึ้น และถ้าให้แรงดันที่เกตเป็นบวกเมื่อเทียบกับฐานรองกระแสครีพท์ก็จะไหลได้น้อยลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 โครงสร้างมอสทรานซิสเตอร์แบบพีแชนเนล ดิฟฟิชั่น โหมด

โครงสร้างมอสทรานซิสเตอร์แบบดิฟฟิชั่น โหมดชนิดพีแชนเนลนั้นจะมีลักษณะทั่วไปที่คล้ายคลึงกันกับมอสทรานซิสเตอร์แบบดิฟฟิชั่น โหมดชนิดเอ็นแชนเนล จะมีส่วนแตกต่างตรงที่ชนิดพีแชนเนลนั้นจะมีบริเวณฐานเป็นสารกึ่งตัวนำชนิดเอ็นและมีแชนเนลเป็นสารกึ่งตัวนำชนิดพีความหนาแน่นน้อย (Lightly Doped P-Type Region)

ตารางที่ 2.1 สัญลักษณ์ของมอสทรานซิสเตอร์แบบต่างๆ

โหมดการทำงาน	V_{BS}	สัญลักษณ์ของมอสทรานซิสเตอร์	
		NMOS	PMOS
Depletion	$V_{BS} = 0$		
	$V_{BS} \neq 0$		
Enhancement	$V_{BS} = 0$		
	$V_{BS} \neq 0$		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญลักษณ์ของมอสทรานซิสเตอร์แบบต่างๆ แสดงไว้ในตารางที่ 2.1 โดยแยกตามลักษณะต่างๆ คือ แยกตามชนิดพีมอส และเอ็นมอส แยกตามโหมคการทำงานคือ ดีพลีชันโหมค และเอ็นชานส์เมนท์โหมค แยกตามแรงดันระหว่างฐานรองและซอส V_{BS}

2.2 การทำงานของมอสทรานซิสเตอร์

2.2.1 คุณสมบัติการทำงาน

เนื่องด้วยมอสทรานซิสเตอร์ทั้ง 2 ชนิดคือ NMOS และ PMOS มีหลักการการทำงานที่คล้ายกันมากจะแตกต่างกันบ้างก็ในเรื่องของการไบแอสที่เป็นบวกหรือลบ ทิศทางของกระแสและค่าพารามิเตอร์บางตัวที่เป็นบวกหรือลบตามแต่ชนิดของมอสทรานซิสเตอร์ ดังนั้นในการอธิบายการทำงานของมอสทรานซิสเตอร์ในวิทยานิพนธ์ฉบับนี้ จึงอธิบายการทำงานของมอสทรานซิสเตอร์โดยอ้างอิงชนิดเอ็นแชนเนลเป็นสำคัญ

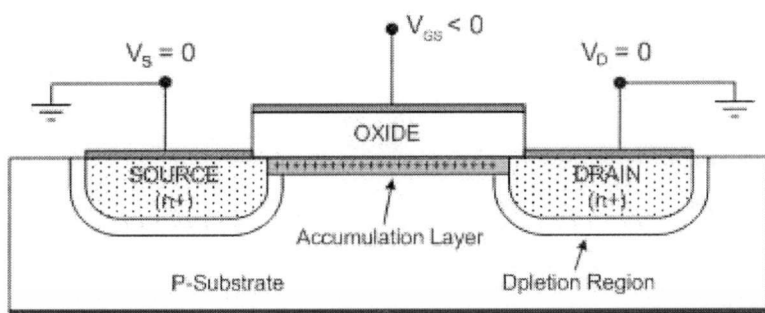
ตามรูปโครงสร้างของมอสทรานซิสเตอร์ในรูปที่ 2.5 นั้น จะแสดงถึงการทำงานในช่วงต่างๆ เมื่อขาคาทาเดรน และขาสอสถูกต่อไบแอสในลักษณะต่างๆ ในรูปที่ 2.5 (ก) ขาสอส ขาคาทาเดรน และฐานรองต่อลงกราวด์ ในลักษณะเช่นนี้จะทำให้มอสทรานซิสเตอร์ประพุดิตัวคล้ายกับตัวเก็บประจุ โดยที่เกตและผิวของซิลิคอนใต้ฉนวนซิลิคอนไดออกไซด์ (SiO_2) ทำหน้าที่เสมือนแผ่นระนาบ (plate) ของตัวเก็บประจุที่มีซิลิคอนไดออกไซด์ทำหน้าที่เป็นฉนวนคั่นระหว่างกลาง ถ้าแรงดันระหว่างเกตและซอส (V_{GS}) มีค่าเป็นลบ ประจุพาหะชนิดบวกหรือโฮลซึ่งเป็นพาหะส่วนใหญ่ (Majority Carrier) จะถูกดูดเข้ามาสะสมที่บริเวณแชนเนลเป็นผลให้บริเวณแชนเนลกลายเป็น p^+ และเรียกบริเวณแชนเนลนี้ว่า แชนเนลสะสม (Accumulated Channel) บริเวณซอสและเดรนที่เป็น n^+ จึงถูกแยกออกจากกันด้วยแชนเนล p^+ และถ้ามองในลักษณะวงจรมูลแล้วจะพบว่า เสมือนมีไดโอดสองตัวต่อหันหลังชนกัน (back-to-back diodes) ดังนั้นถ้าจะเกิดกระแสไหลได้นั้น แรงดันที่ซอสและเดรนจะต้องมีค่ามากจนทำให้ทรานซิสเตอร์เกิดการเบรคดาวน์มีกระแสรั่วไหล (Leakage Current) เกิดขึ้น

ในกรณีที่แรงดันเกตมีค่าเป็นบวกไม่มาก ประจุข้างใต้เกตจะถูกผลักออกไป ทำให้แชนเนลเปลี่ยนไปเป็น p^- และเป็นบริเวณปลดภาวะ (Depletion region) ในที่สุดเมื่อแรงดันที่เกตเพิ่มมากขึ้น ประจุลบหรืออิเล็กตรอนซึ่งเป็นพาหะส่วนน้อย (Minority) จะถูกดึงดูดเข้ามาที่บริเวณแชนเนลและแปรสภาพเป็นบริเวณ n ตามรูปที่ 2.5 (ข) เกิดเป็นแชนเนลที่เชื่อมต่อบริเวณซอสและเดรนเข้าด้วยกัน บริเวณ n ที่เกิดใหม่เป็นแชนเนลกลับ (Inverted Channel) ที่เรียกว่า "Inversion Layer" สำหรับแรงดันเกตที่ทำให้ความหนาแน่นของอิเล็กตรอนใต้เกตมีค่าเท่ากับความหนาแน่นของโฮลบริเวณฐานรองนั้น ได้กำหนดเป็นนิยามของแรงดันขีดเริ่มของทรานซิสเตอร์ (Transistor Threshold Voltage) ซึ่งใช้

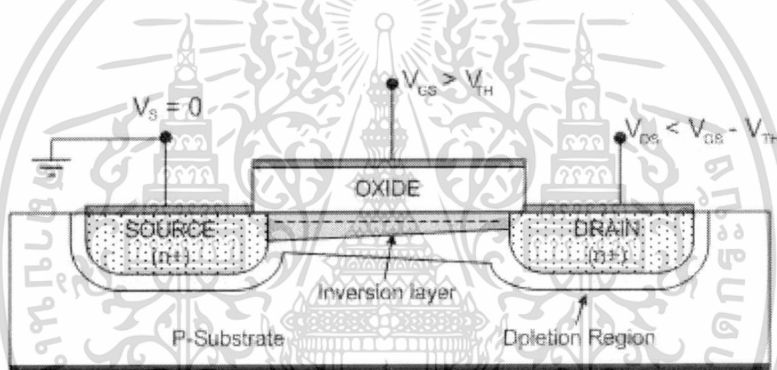
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตเห็นไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

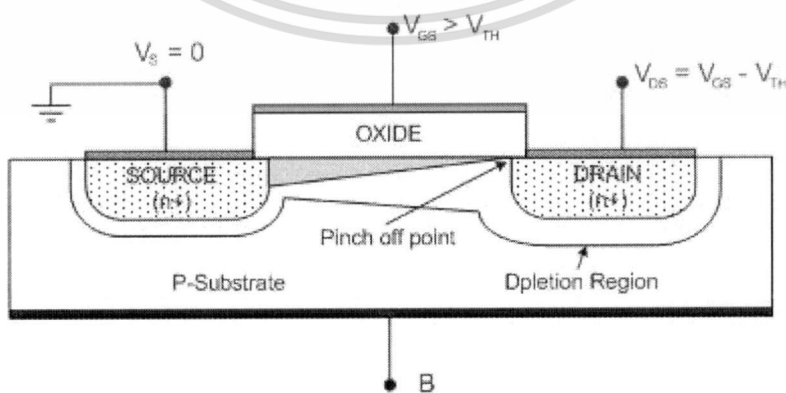
สัญลักษณ์ V_{TH} และเมื่อค่าแรงดันระหว่างขากาเกตและซอสมีค่ามากกว่าแรงดัน V_{TH} จะมี แชนเนลเกิดขึ้นเป็นช่องทางสำหรับกระแสไฟฟ้าที่ไหลระหว่างเดรนและซอสได้



รูปที่ 2.5 (ก)

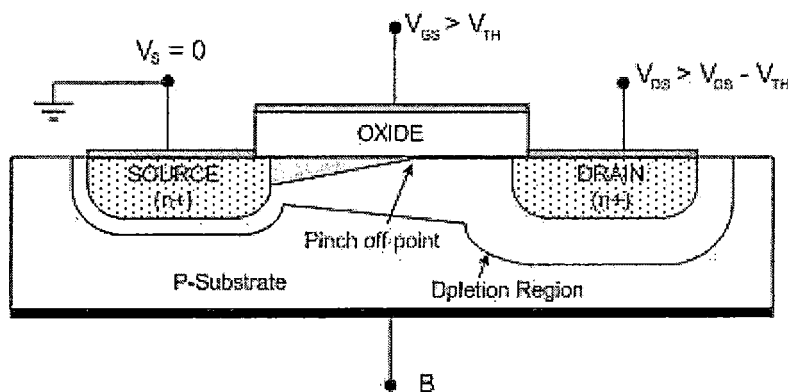


รูปที่ 2.5 (ข)



รูปที่ 2.5 (ค)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 (ง)

รูปที่ 2.5 การทำงานของมอสทรานซิสเตอร์ชนิดเอ็นแชนแนล เอ็นฮานซ์เมนต์โหมด

ในทางทฤษฎีนั้นเมื่อแรงดันที่เกต-ซอส (V_{GS}) น้อยกว่าแรงดัน V_{TH} จะไม่มีกระแสไหลระหว่างขาเดรนและขาซอส ซึ่งจะถือว่าทรานซิสเตอร์ไม่ทำงานหรือไม่นำกระแส (โดยความเป็นจริงแล้วจะมีกระแสไหลบ้างเล็กน้อยเมื่อศักคาเกต-ซอสมีค่าเข้าใกล้ V_{TH} แต่ในที่นี้คิดว่าไม่มีกระแสไหล)

เมื่อแรงดัน V_{GS} มีค่ามากกว่าแรงดัน V_{TH} ทำให้แชนแนลเกิดขึ้น ดังนั้นเมื่อแรงดัน V_{GS} เพิ่มขึ้นความหนาแน่นของอิเล็กตรอนในแชนแนลก็จะเพิ่มขึ้นด้วย จึงสรุปได้ว่าค่าความหนาแน่นของประจุพาหะจะแปรผันตามผลต่างของแรงดัน $V_{GS} - V_{TH}$ ซึ่งนิยามเป็น “แรงดันเกต-ซอสประสิทธิผล” (Effective Gate-Source Voltage) ใช้สัญลักษณ์ V_{eff} ดังนั้นความหนาแน่นประจุอิเล็กตรอนแสดงได้ดังนี้

$$Q = C_{OX} (V_{GS} - V_{TH}) = C_{OX} V_{eff} \quad (2.1)$$

โดยที่ C_{OX} เป็นค่าความจุไฟฟ้าที่เกตต่อหนึ่งหน่วยพื้นที่

เมื่อแรงดันที่เดรนมีค่ามากกว่าศูนย์โวลต์เล็กน้อย ทำให้เกิดความต่างศักย์ระหว่างขาซอสและขาเดรนขึ้นมีผลทำให้เกิดกระแสไหลจากเดรนไปยังขาซอส ดังนั้นความสัมพันธ์ระหว่าง V_{DS} และกระแสเดรน I_D จะเหมือนกับกรณีของความต้านทาน โดยมีความสัมพันธ์ดังนี้

$$I_D = \mu_0 Q \frac{W}{L} V_{DS} \quad (2.2)$$

ขณะที่ μ_0 เป็นค่าความคล่องตัวของอิเล็กตรอนที่ผิวซิลิกอน และ Q เป็นค่าความหนาแน่นของประจุในแขนแนลต่อหนึ่งหน่วยพื้นที่ จากสมการ (2.1) และ (2.2) จะได้ว่า

$$I_D = \mu_0 C_{OX} \frac{W}{L} (V_{GS} - V_{TH}) V_{DS} \quad (2.3)$$

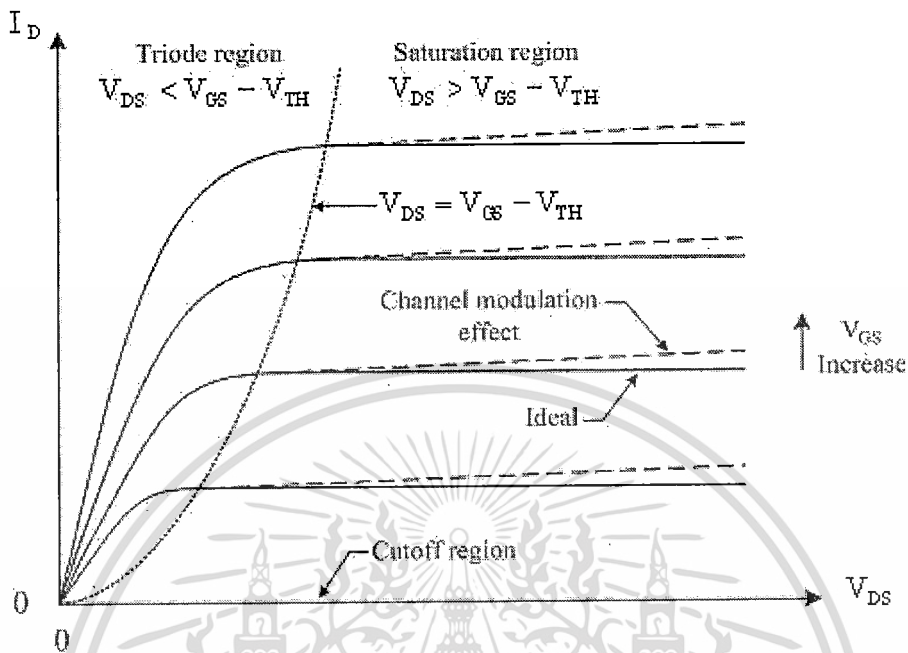
สมการที่ (2.3) เป็นสมการกระแส I_D ที่สามารถใช้ได้เพียงกรณีที่แรงดัน V_{DS} มีค่าเข้าใกล้ศูนย์เท่านั้น

การทำงานของทรานซิสเตอร์ในเชิงโครงสร้างอธิบายผ่านรูปที่ 2.5 (ข) โดยที่แรงดัน V_{GS} มากกว่าแรงดัน V_{TH} และแรงดัน $V_{DS} = 0$ โวลต์ ซึ่งขณะนี้แขนแนลถูกเหนี่ยวนำให้เกิดขึ้นแต่ไม่มีกระแสไหล เนื่องจากแรงดันระหว่างซอสและเดรนมีค่าเป็นศูนย์โวลต์ และเมื่อแรงดัน V_{DS} มีค่าเพิ่มขึ้นจนถึงค่าน้อยๆ ค่าหนึ่งที่ทำให้เพียงพอจะทำให้เกิดมีกระแสไหลผ่านแขนแนลได้ ซึ่งการทำงานของมอสทรานซิสเตอร์ในช่วงนี้จึงเสมือนเป็นตัวต้านทานที่มีความสัมพันธ์เป็นไปตามสมการ (2.3)

เมื่อแรงดันเดรน-ซอสเพิ่มมากขึ้น ความหนาแน่นของประจุพาหะที่แขนแนลจะลดลงตามแนวแขนแนลจากซอสไปเดรนตามรูปที่ 2.5 (ค) การลดลงของประจุพาหะในแขนแนลนี้มีผลให้เกิดแรงดันตกคร่อมแขนแนลที่ตำแหน่งต่างๆ ไม่เท่ากัน กล่าวคือสมมุติว่าแรงดันที่เดรนมีค่ามากกว่าแรงดันที่ซอส จะมีการเพิ่มขึ้นของแรงดันจากซอสไปเดรนอย่างต่อเนื่องภายในแขนแนล มีผลทำให้แรงดันตกคร่อมระหว่างเกตและแขนแนลมีค่าสูงสุดเท่ากับ V_{GS} ที่ตำแหน่งด้านซอสและแรงดันเกตแขนแนลมีค่าต่ำสุดอยู่ที่ตำแหน่งปลายด้านเดรน แรงดันเกตจะต้องมีค่ามากกว่า V_{DS} ($V_G > V_{DS}$ หรือ $(V_{GS} - V_T) > V_{DS}$) นั่นก็คือแรงดันที่เกตเมื่อเทียบกับทุกจุดในแนวแขนแนลจะต้องมีศักย์เป็นบวกจึงจะทำให้เกิดแขนแนล โดยในขณะนี้มอสทรานซิสเตอร์จะทำงานในช่วงไม่อิ่มตัว (Nonsaturation Region) กระแสเดรน I_D จะมีค่าเพิ่มขึ้นตามการเพิ่มของแรงดัน V_{DS} อย่างไม่เป็นเชิงเส้นตามกราฟในรูปที่ 2.6 และเมื่อ V_{DS} มีค่ามากขึ้นจนกระทั่งมีค่า $V_{DS} = V_{GS} - V_{TH}$ ทรานซิสเตอร์เริ่มเข้าสู่ภาวะอิ่มตัว ลักษณะโครงสร้างของมอสทรานซิสเตอร์ในช่วงนี้แสดงได้ดังรูปที่ 2.5(ค)

และเมื่อค่าของแรงดัน V_{DS} เพิ่มขึ้นเรื่อยๆ จนกระทั่ง $V_{DS} > V_{GS} - V_{TH}$ ในกรณีนี้แรงดันที่ตกคร่อมแขนแนลที่ปลายด้านเดรนจะมีค่าสูงกว่า $V_{GS} - V_{TH}$ ซึ่งจะทำให้เกิดสภาวะพินช์ออฟ (Pinch off) กล่าวคือ แขนแนลซึ่งเป็นช่องทางเดินกระแสจะขาดออกจากกัน โดยเริ่มจากบริเวณด้านเดรน ทั้งนี้เนื่องจากไม่มีสนามไฟฟ้าที่จะมาเหนี่ยวนำให้มีการสะสมของประจุลบเพื่อทำหน้าที่เป็นแขนแนล ดังนั้นช่องทางเดินกระแสจึงขาดออกจากกันแสดงดังรูปที่ 2.5(ง) และจะมีกระแสแพร่ (Diffusion Current) จากส่วนของซอสไปยังเดรน ช่องทางเดินกระแสจะแสดงคุณสมบัติความต้านทานสูงและคล้ายกับเป็นแหล่งจ่ายกระแสคงที่ (Constant Current Source) กระแสเดรนในภาวะ

นี่จึงมีค่าคงที่ แม้ว่า V_{DS} จะมีค่าเพิ่มขึ้นก็ตามดังแสดงในกราฟรูปที่ 2.6 การทำงานของทรานซิสเตอร์ในย่านนี้เรียกว่าช่วงอิ่มตัว (Saturation Region)



รูปที่ 2.6 กราฟแสดงความสัมพันธ์ระหว่าง I_D และ V_{DS} ของเอ็นฮานซ์เมนต์มอสทรานซิสเตอร์

2.2.2 สมการการไบแอสสำหรับสัญญาณขนาดใหญ่

จากคุณสมบัติของมอสทรานซิสเตอร์ที่ได้กล่าวมาแล้วข้างต้นสามารถแบ่งการไบแอสมอสทรานซิสเตอร์ได้เป็น 3 ช่วง โดยสมการทั้งหมดอ้างอิงการไบแอสกับ NMOS แบบเอ็นฮานซ์เมนต์และพิจารณาจากค่าแรงดัน $V_{GS} - V_{TH}$ และค่าแรงดัน V_{DS} เป็นหลัก ซึ่งจะสามารถเขียนสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดใหญ่ (Large-Signal Mode) ได้ดังต่อไปนี้

1. ช่วงที่มอสทรานซิสเตอร์ไม่นำกระแส (Cut-off Region) เป็นช่วงที่ทำการไบแอสแรงดันที่ขาเกตกับขาซอส V_{GS} มีค่าน้อยกว่าแรงดันขีดเริ่ม V_{TH} มีผลทำให้กระแสเดรนเป็นศูนย์

$$I_D = 0 \quad ; V_{GS} \leq V_{TH} \quad (2.4)$$

2. ช่วงที่นำกระแสไม่อิ่มตัว (Nonsaturation Region) หรือช่วงไตรโอด (Triode Region) หรือช่วงเชิงเส้น (Linear Region) หรือช่วงโอห์มิก (Ohmic Region) มีเงื่อนไขการให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไบแอสคือแรงดัน V_{GS} มากกว่า V_{TH} ขณะเดียวกันแรงดัน V_{DS} ก็มีค่าน้อยกว่าแรงดันของ $V_{GS} - V_{TH}$ แสดงความสัมพันธ์ได้ดังนี้

$$V_{GS} > V_{TH} \quad [\text{Induced Channel}]$$

และคงค่าแรงดัน V_{DS} ให้มีค่าน้อยๆ เพื่อให้ Channel มีความต่อเนื่อง

$$V_{GD} = V_{TH} \quad [\text{Continuous channel}]$$

นั่นคือ

$$V_{GD} < V_{GS} + V_{SD}$$

$$V_{GD} < V_{GS} - V_{DS}$$

$$V_{TH} < V_{GS} - V_{DS}$$

ดังนั้น

$$V_{GS} - V_{TH} > V_{DS}$$

สมการการทำงานในย่านนี้สามารถประมาณค่าได้เท่ากับสมการ (2.5)

$$I_D = \frac{K'W}{L} \left[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.5)$$

โดยที่ $0 < V_{GS} - V_{TH}$ และ $0 < V_{DS} < V_{GS} - V_{TH}$

ถ้า V_{DS} มีค่าน้อยๆ หรือไบแอสให้ $0 < V_{DS} < V_{GS} - V_T$ ก็สามารถที่จะตัดเทอม

$\frac{V_{DS}^2}{2}$ ในสมการ (2.5) ออกได้และประมาณค่าสมการใหม่ได้เป็น

$$I_D = \frac{K'W}{L} (V_{GS} - V_{TH})V_{DS} \quad (2.6)$$

โดยที่ $0 < V_{GS} - V_T$ และ $V_{GS} - V_{TH} > V_{DS} > 0$

3. ช่วงนำกระแสอิ่มตัว (Saturation Region) การทำงานในช่วงนี้จะให้ไบแอสแรงดัน V_{DS} มากกว่าหรือเท่ากับ $V_{GS} - V_{TH}$ จะได้สมการกระแสเดรนเป็น

$$I_D = \frac{K'W}{2L} (V_{GS} - V_{TH})^2 \quad (2.7)$$

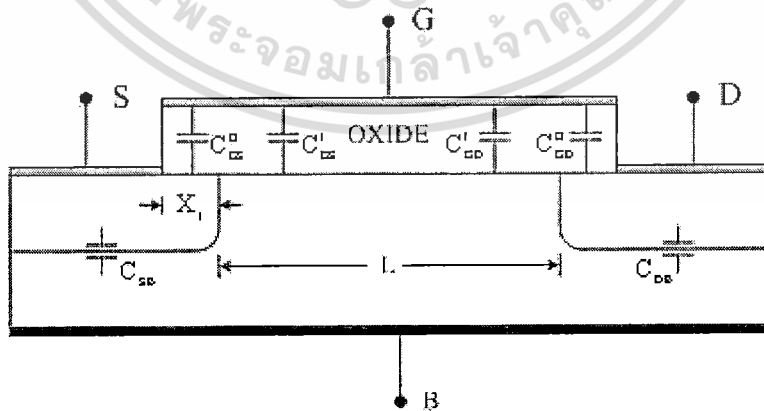
โดยที่ $0 < V_{GS} - V_T$ และ $V_{DS} \geq V_{GS} - V_{TH} > 0$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานั่น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
แม้ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการข้างต้นจะพบว่ากระแสเดรนในช่วงนี้จะมีค่าคงที่ไม่ขึ้นกับแรงดัน V_{DS} แต่จะขึ้นกับค่าแรงดัน $(V_{GS} - V_T)^2$ ซึ่งทำให้ได้สมการที่เป็นไปตามกฎกำลังสอง (Square Law Equation) นั่นเอง

I_D	: ค่ากระแสเดรน (Drain Current)	(amp)
V_{GS}	: ค่าศักดาตกรวมขาทเกต-ซอส (Gate-Source Voltage)	(volt)
V_{DS}	: ค่าศักดาตกรวมขาดเรน-ซอส (Drain-Source Voltage)	(volt)
V_{TH}	: ค่าแรงดันขีดเริ่ม (Threshold Voltage)	(volt)
K'	: ค่าทรานส์คอนดักแตนซ์พารามิเตอร์ (Transconductance parameter) มีค่าเท่ากับ $\mu_0 C_{OX}$	(amp/volt ²)
μ_0	: ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)	(cm ² /volt-sec)
C_{OX}	: ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (Capacitance per Unit Area of the Gate Oxide)	(F/cm ²)
W	: ความกว้างประสิทธิผลของแชนเนล (Effective Channel Width)	(meter)
L	: ความยาวประสิทธิผลของแชนเนล (Effective Channel Length)	(meter)

2.2.3 ค่าความจุไฟฟ้าในมอสทรานซิสเตอร์



รูปที่ 2.7 ความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างของมอสทรานซิสเตอร์

ถ้าหาค่าความจุไฟฟ้าที่เกิดขึ้นจากโครงสร้างภายในของมอสทรานซิสเตอร์ สามารถพิจารณาได้ตามโครงสร้างในรูปที่ 2.7 โดยมีค่าดังต่อไปนี้

1. C_{GS} คือค่าความจุไฟฟ้ารวมระหว่างเกตและซอส ซึ่งมีค่าเท่ากับ

$$C_{GS} = C_{GS}^I + C_{GS}^O \quad (2.8)$$

เมื่อ C_{GS}^I คือ ค่าความจุไฟฟ้าระหว่างเกตและออกไซด์ ซึ่งเกี่ยวข้องกับซอสในโครงสร้างจริงของทรานซิสเตอร์

C_{GS}^O คือ ค่าความจุไฟฟ้าแฝง ซึ่งเกิดจากการซ้อนทับกันของเกตและซอส

$$\text{โดยที่ } C_{GS}^I = \begin{cases} C_{ox}WL \left[1 - \left(\frac{V_{GS} - V_{TH} - V_{DS}}{2(V_{GS} - V_{TH})_m V_{DS}} \right) \right] & \text{Triode region} \\ \frac{2}{3} C_{ox}WL & \text{Saturation region} \end{cases} \quad (2.9)$$

และ $C_{GS}^O = C_{ox}WX_j \quad (2.10)$

2. C_{GD} คือ ค่าความจุไฟฟ้ารวมระหว่างเกตและเดรน ซึ่งมีค่าเท่ากับ

$$C_{GD} = C_{GD}^I + C_{GD}^O \quad (2.11)$$

เมื่อ C_{GD}^I คือ ค่าความจุไฟฟ้าระหว่างเกตและออกไซด์ ซึ่งเกี่ยวข้องกับเดรนในโครงสร้างจริงของทรานซิสเตอร์

C_{GD}^O คือ ค่าความจุไฟฟ้าแฝง ซึ่งเกิดจากการซ้อนทับกันของเกตและเดรน

$$\text{โดยที่ } C_{GD}^I = \begin{cases} C_{ox}WL \left[1 - \left(\frac{V_{GS} - V_{TH}}{2(V_{GS} - V_{TH}) - V_{DS}} \right)^2 \right] & \text{Triode region} \\ \approx 0 & \text{Saturation region} \end{cases} \quad (2.12)$$

และ $C_{GD}^O = C_{ox}WX_j \quad (2.13)$

3. C_{SB} คือ ค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างซอสกับซับสเตรท ซึ่งมีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
แม้ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$C_{SB}(V_{SB}) = \frac{C_{SB}(0)}{\sqrt{\left(1 + \frac{V_{SB}}{\phi_0}\right)}} \quad (2.14)$$

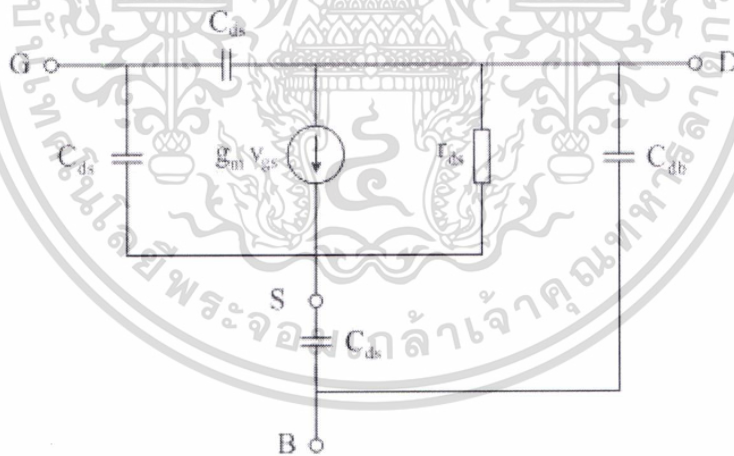
เมื่อ $C_{SB}(0)$ คือ ค่าความจุไฟฟ้าเมื่อไม่มีการไบอัสของรอยต่อซอสและบัลค์
 ϕ_0 คือ แบริยที่เป็นไปได้

4. C_{DB} คือ ค่าความจุไฟฟ้าที่เกิดขึ้นระหว่างเดรนกับซับสเตรท ซึ่งมีค่าเท่ากับ

$$C_{DB}(V_{DB}) = \frac{C_{DB}(0)}{\sqrt{\left(1 + \frac{V_{DB}}{\phi_0}\right)}} \quad (2.15)$$

เมื่อ $C_{DB}(0)$ คือ ค่าความจุไฟฟ้าเมื่อไม่มีการไบอัสของรอยต่อเดรนและบัลค์

2.2.4 วงจรสมมูลและสมการแสดงความสัมพันธ์สำหรับสัญญาณขนาดเล็ก



รูปที่ 2.8 วงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสทรานซิสเตอร์

ในรูปที่ 2.8 แสดงวงจรสมมูลสำหรับสัญญาณขนาดเล็กของมอสทรานซิสเตอร์ที่ทำงานในช่วงอิมิตัวและไม่อิมิตัวโดยที่มีค่าของตัวเก็บประจุแต่ละตัวจะมีค่าเป็นไปตามสมการ (2.8)-(2.15) และค่าความนำของวงจรสามารถคำนวณหาได้จากสมการที่ (2.5) และสมการที่ (2.7) ซึ่งจะได้

$$g_m = \left. \frac{dI_d}{dV_{gs}} \right|_{V_{gs}=0} = \begin{cases} \frac{\mu_0 C_{ox} W V_{DS}}{L} & \text{Triode region} \\ \frac{\mu_0 C_{ox} W}{L} (V_{GS} - V_{TH}) & \text{Saturation region} \end{cases} \quad (2.16)$$

จากสมการที่ (2.16) สำหรับการทำงานในช่วงอิมิตว ค่าความนำของวงจรถูกเขียน ความสัมพันธ์ให้อยู่ในรูปของกระแสได้เป็น

$$g_m = \sqrt{\frac{2\mu_0 C_{ox} W I_d}{L}} \quad (2.17)$$

สำหรับค่าความต้านทานที่เอาต์พุตของวงจรถูกคำนวณหาได้ตามความสัมพันธ์ดังนี้

$$g_{ds} = \frac{1}{r_{ds}} = \begin{cases} \frac{\mu_0 C_{ox} W (V_{GS} - V_{TH} - V_{DS})}{L} & \text{Triode region} \\ \lambda I_D & \text{Saturation region} \end{cases} \quad (2.18)$$

เมื่อ λ คือ ค่าแซนเนลเลนซ์มอดูเลชัน (volt⁻¹)

จากวงจรในรูปที่ 2.8 ได้แสดงให้เห็นว่ามีจำนวนตัวเก็บประจุถึง 4 ตัวคือ C_{gs} C_{gd} C_{sb} และ C_{db} ซึ่งถ้าต้องการคำนวณค่าเหล่านี้ค่อนข้างจะยุ่งยากไม่สะดวก ดังนั้นค่าเหล่านี้จึงมักจะคำนวณหรือวิเคราะห์โดยการจำลองการทำงานด้วยโปรแกรมคอมพิวเตอร์เท่านั้น

2.3 ผลของอุณหภูมิต่อมอสทรานซิสเตอร์

เมื่อเราพิจารณาสมการกระแสเดรนของมอสทรานซิสเตอร์ในช่วงนำกระแสไม่อิมิตว ในสมการที่ 2.5 แล้วจะพบว่า K' นั้นจะเกิดการเปลี่ยนแปลงค่าได้เมื่ออุณหภูมิเกิดการเปลี่ยนแปลงซึ่งจะส่งผลให้กระแสเดรนเกิดการเปลี่ยนแปลงตามไปด้วย โดยมีพารามิเตอร์ที่สำคัญที่มีความเกี่ยวข้องกับอุณหภูมิดังนี้คือ

1. ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier) : μ มีสมการแสดงความสัมพันธ์ระหว่างค่า μ และอุณหภูมิดังนี้

$$\mu(T_2) = \mu(T_1) \left(\frac{T_1}{T_2} \right)^M \quad (2.19)$$

เมื่อ T_1 คือค่าอุณหภูมิห้อง (K)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

T_2 คือค่าอุณหภูมิขณะพิจารณา (K)

M คือค่าคงที่ระหว่าง 1.5-2.0

จากสมการ (2.19) จะพบว่าค่า μ (T) จะมีค่าลดลงเมื่ออุณหภูมิสูงขึ้น

2. ค่าแรงดันขีดเริ่ม (Threshold Voltage : V_{TH}) สามารถแสดงความสัมพันธ์ระหว่างค่าแรงดันขีดเริ่มและอุณหภูมิที่อยู่ในรูปของสมการ ได้ดังสมการที่ (2.20)

$$V_{TH} = V_T(T_1) - M_K(T_2 - T_1) \quad (2.20)$$

เมื่อ M_K คือค่าคงที่ที่มีค่าอยู่ระหว่าง 0.5 – 4 mV/K

โดย V_{TH} จะมีค่าลดลงเมื่ออุณหภูมิมิมีค่าเพิ่มมากขึ้น



บทที่ 3

หลักการพื้นฐานของอินทิเกรเตอร์และวงจรรองความถี่

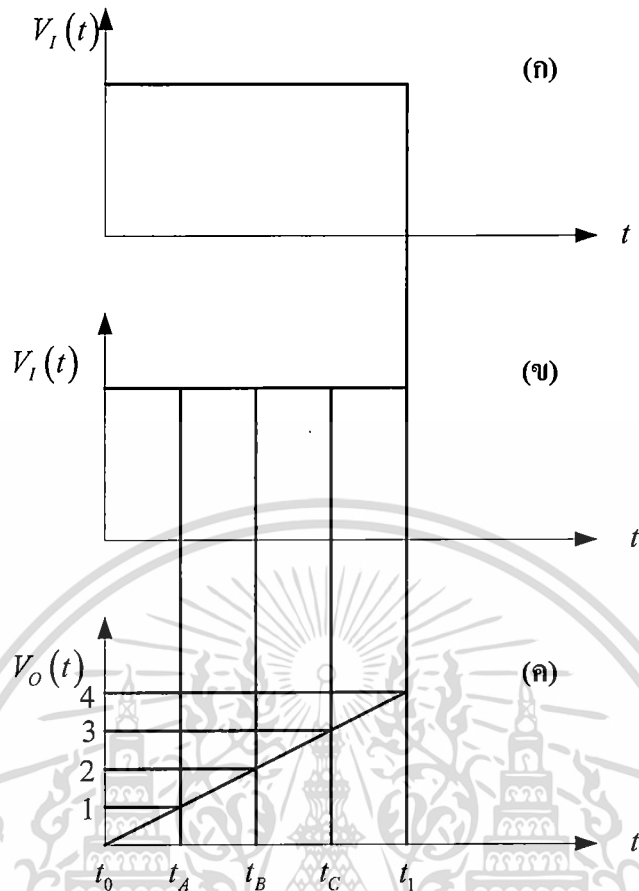
เนื่องจากวิทยานิพนธ์ มีจุดมุ่งหมายเพื่อต้องการนำวงจรอินทิเกรเตอร์มาประยุกต์ใช้ในการออกแบบวงจรรองความถี่ ดังนั้นในบทนี้จึงได้กล่าวถึงเรื่องของทฤษฎีเบื้องต้นของวงจรที่ได้มีการนำมาใช้ในการออกแบบในวิทยานิพนธ์เล่มนี้ ซึ่งประกอบด้วยคุณสมบัติรวมทั้งการทำงานของวงจรอินทิเกรเตอร์พื้นฐาน และหลักการเบื้องต้นเกี่ยวกับวงจรรองความถี่ เพื่อจะได้เป็นพื้นฐานเพื่อนำไปออกแบบวงจรในบทต่อไป

3.1 หลักการทั่วไปของวงจรอินทิเกรเตอร์

วงจรอินทิเกรเตอร์ (Integrator Circuit) เป็นวงจรที่ทำหน้าที่ในการอินทิเกรตสัญญาณซึ่งมีหลักการอยู่ว่า เมื่อป้อนแรงดันอินพุต $V_I(t)$ เข้าไปในวงจร จะสามารถเขียนสมการของแรงดันเอาต์พุต $V_O(t)$ ที่สัมพันธ์กับแรงดันทางด้านอินพุต $V_I(t)$ ได้เป็น

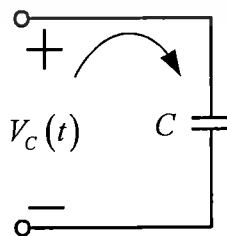
$$V_O(t) = \int_{t_0}^t V_I(t) dt + V_O(t_0) \quad (3.1)$$

โดยที่ $V_O(t_0)$ คือค่าแรงดันเริ่มต้นของเอาต์พุตที่เวลา $t = t_0$ การอินทิเกรตแบบนี้เป็นการอินทิเกรตแบบจำกัดขอบเขต (Definite Integral) ซึ่งทำการอินทิเกรตระหว่าง 2 ขอบเขต โดยมีขอบเขตล่างอยู่ที่ $t = t_0$ หรือเป็นค่าเวลาเริ่มต้นของการอินทิเกรต และขอบเขตบนอยู่ที่ $t = t_1$ หรือเป็นค่าเวลาสุดท้ายของการอินทิเกรต ซึ่งถ้าพิจารณาในทางฟิสิกส์จะพบว่าการอินทิเกรตเป็นกระบวนการของการสะสมพื้นที่ใต้เส้นกราฟทั้งหมดของ $V_I(t)$ ที่เริ่มต้นจากเวลา $t = t_0$ ไปจนถึงเวลาสุดท้าย $t = t_1$ โดยสามารถแสดงลักษณะความสัมพันธ์ได้ดังรูปที่ 3.1 ซึ่งแสดงให้เห็นอย่างชัดเจนว่าเอาต์พุตของวงจรอินทิเกรเตอร์เปลี่ยนแปลงตามพื้นที่ของสัญญาณอินพุต ซึ่งสามารถพิจารณาได้โดยทำการแบ่งรูปคลื่นของสัญญาณอินพุตที่เป็นคลื่นสี่เหลี่ยมที่แสดงในรูปที่ 3.1 (ก) ออกเป็นส่วนๆ ให้แต่ละส่วนมีค่าเท่ากัน ดังแสดงในรูปที่ 3.1 (ข) และจะมีพื้นที่เท่ากับหนึ่งหน่วยที่ตอบสนองเงื่อนไขของสัญญาณอินพุตนี้ ดังนั้นที่เวลา $t = t_A$ จะได้รูปคลื่นเอาต์พุตของวงจรอินทิเกรเตอร์มีค่าเป็น 1 หน่วย และเมื่อเวลา $t = t_B$ มาถึงพื้นที่ของรูปคลื่นอินพุตจะเพิ่มขึ้นเป็น 2 หน่วยเช่นกัน และจะเป็นลักษณะต่อเนื่องไปเรื่อยๆจนกว่าจะถึงค่าเวลาสุดท้ายของการอินทิเกรต ดังตัวอย่างความสัมพันธ์ที่แสดงในรูปที่ 3.1 (ค)



รูปที่ 3.1 รูปคลื่นความสัมพันธ์ของพื้นที่ที่เอาต์พุตของวงจรอินทิเกรเตอร์

ดังนั้นจะเห็นได้อย่างชัดเจนว่า เอาต์พุตของวงจรอินทิเกรเตอร์เป็นการแสดงจำนวนรวมของพื้นที่ที่จุดใดๆ ของรูปคลื่นสัญญาณอินพุต และสังเกตจะพบว่ากระบวนการนี้เป็นการสะสมพื้นที่ซึ่งพื้นที่ที่ถูกสะสมนี้จะถูกบวกเพิ่มจากค่าเริ่มต้นที่เวลานั้นๆ ซึ่งเป็นไปตามสมการ (3.1) และถ้าพิจารณาตัวเก็บประจุ ที่แสดงในรูปที่ 3.2



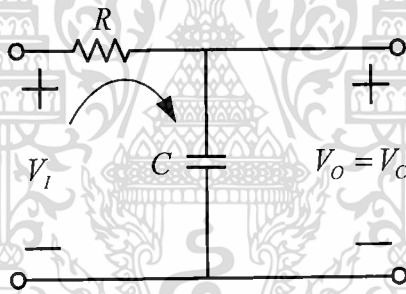
รูปที่ 3.2 ความสัมพันธ์ของกระแสและแรงดันของตัวเก็บประจุ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.2 สามารถเขียนความสัมพันธ์ของแรงดันชั่วขณะที่เกิดคร่อมตัวเก็บประจุ C กับกระแสชั่วขณะที่ไหลผ่านเข้าไปในตัวเก็บประจุได้ดังนี้

$$V_C(t) = \frac{1}{C} \int_{t_0}^t I_C(\tau) d\tau + V_C(t_0) \quad (3.2)$$

เมื่อ $V_C(t_0)$ เป็นค่าแรงดันเริ่มต้นที่เก็บอยู่ในตัวเก็บประจุ C และจากสมการ (3.2) นี้ แสดงให้เห็นว่า แรงดันที่เกิดคร่อมตัวเก็บประจุแปรผันตามอินทิกรัลของสัญญาณกระแสที่ไหลผ่านตัวเก็บประจุในขณะนั้น ซึ่งสมการนี้จะมีลักษณะคล้ายกับสมการ (3.1) ต่างกันแต่เพียงว่าสมการ (3.1) มีตัวแปรอินพุตและตัวแปรเอาต์พุตเป็นสัญญาณแรงดันทั้งคู่ ในขณะที่สมการ (3.2) มีตัวแปรอินพุตเป็นสัญญาณกระแส และตัวแปรเอาต์พุตเป็นสัญญาณแรงดันที่สัมพันธ์กับตัวเก็บประจุ C เพื่อแปลงความสัมพันธ์ของสมการ (3.2) ให้สอดคล้องกับสมการ (3.1) คือทำให้ความสัมพันธ์ของตัวแปรอินพุตและเอาต์พุตอยู่ในรูปของแรงดันทั้งคู่ จึงได้ทำการปรับปรุงวงจรขึ้นใหม่โดยการต่อความต้านทานเพิ่มเข้าไปดังแสดงในรูปที่ 3.3



รูปที่ 3.3 วงจรอินทิเกรเตอร์เบื้องต้น

โดยมีแรงดันอินพุต $V_I(t)$ และความต้านทาน R เป็นตัวควบคุมกระแส $I_C(t)$ ที่ไหลผ่านตัวเก็บประจุ C ซึ่งมีค่าดังนี้

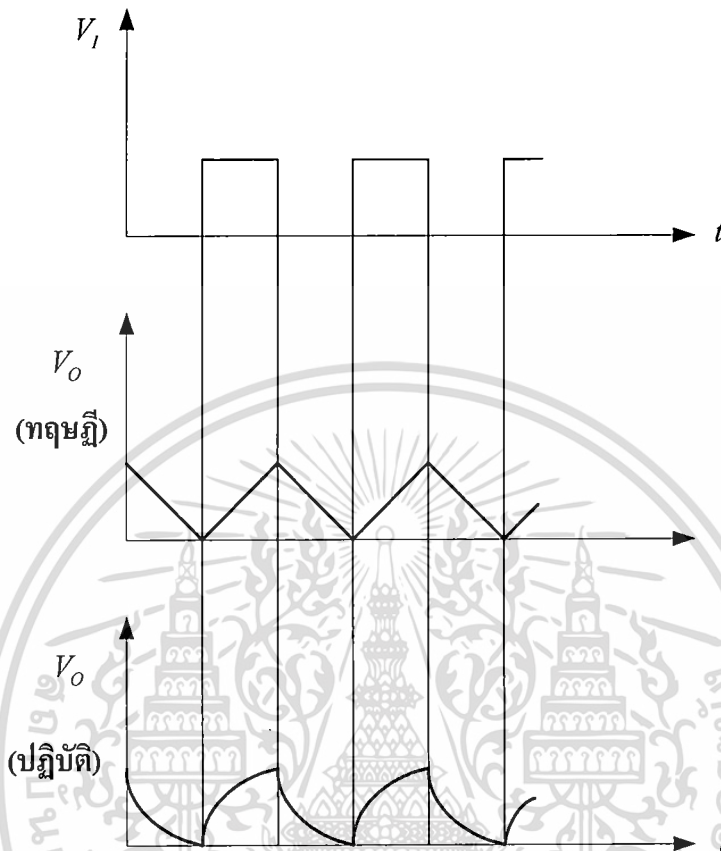
$$I_C(t) = \frac{V_I(t)}{R} \quad (3.3)$$

เมื่อแทนค่าของ $I_C(t)$ ที่ได้นี้ลงไปในสมการ (3.2) จะได้ว่า

$$V_C(t) = \frac{1}{RC} \int_{t_0}^t V_I(\tau) d\tau + V_C(t_0) \quad (3.4)$$

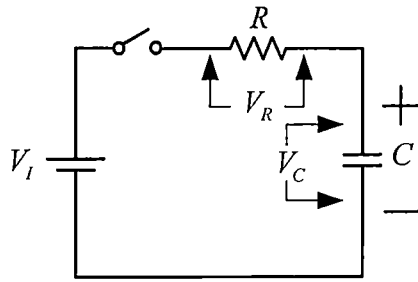
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่าสมการที่ (3.4) มีตัวแปรอินพุตและตัวแปรเอาต์พุตเป็นแรงดัน ดังนั้นจึงสามารถนำคุณสมบัติของวงจร RC ไปประยุกต์เป็นวงจรอินทิเกรเตอร์ได้

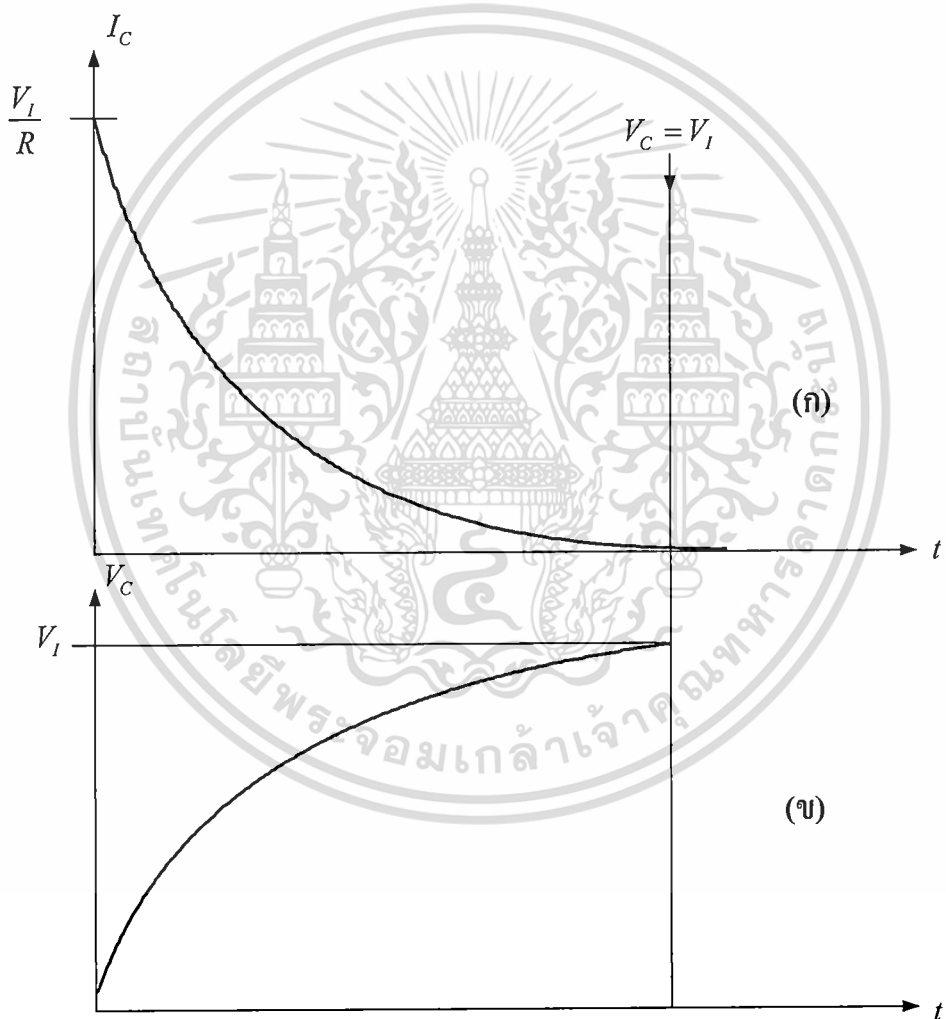


รูปที่ 3.4 ลักษณะของสัญญาณทางเอาต์พุตของวงจร

แต่เป็นที่ทราบกันดีว่าการทำงานของวงจรอินทิเกรเตอร์ในทางอุดมคตินั้น เมื่อป้อนสัญญาณอินพุตเป็นสัญญาณสี่เหลี่ยมดังรูปแสดงในรูปที่ 3.4 วงจรจะให้ค่าเอาต์พุตเป็นสัญญาณสามเหลี่ยมที่มีความเป็นเชิงเส้นแต่วงจร RC ที่แสดงในรูปที่ 3.3 นั้นมีอัตราการเก็บประจุ (Charge) และคายประจุ (Discharge) ที่ไม่เป็นเชิงเส้นแต่อยู่ในรูปของเอ็กซ์โพเนนเชียล (Exponential) ซึ่งมีสาเหตุมาจากวงจร RC มีอัตราการเก็บประจุและอัตราการคายประจุไม่คงที่ ซึ่งสามารถพิจารณาได้จากวงจรที่แสดงดังในรูปที่ 3.5



รูปที่ 3.5 การทำงานของวงจร RC



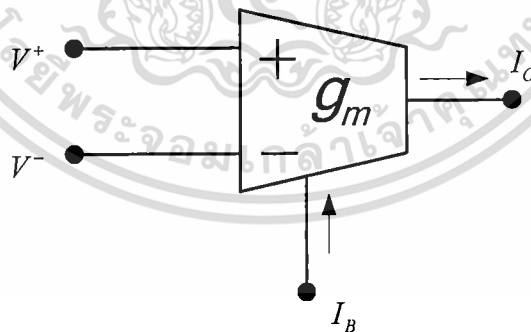
รูปที่ 3.6 กราฟแสดงการทำงานของวงจร RC

จากรูปที่ 3.5 สามารถพิจารณาได้ดังนี้คือ ทันทีที่สวิตช์ปิดลงประจุบน C จะมีค่าเป็นศูนย์ จึงทำให้แรงดันที่ตกคร่อมเก็บประจุหรือ V_C มีค่าเป็นศูนย์ ส่วนแรงดันที่ตกคร่อมความต้านทาน R เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะแปรตามผลต่างระหว่างแรงดันอินพุต V_i กับแรงดันที่ตกคร่อมตัวเก็บประจุ V_C ดังนั้นเมื่อ V_C มีค่าเท่ากับศูนย์ กระแสที่ทำหน้าที่ในการชาร์จ (Charge) ตัวเก็บประจุ C จึงมีค่าสูงสุด ดังแสดงในรูปที่ 3.6 (ก) และในขณะที่ C ได้รับการชาร์จประจุ V_C จะมีค่าเพิ่มขึ้นทำให้ค่าของกระแสที่ใช้ในการชาร์จประจุให้กับ C มีค่าลดลงเมื่อกระแสในการชาร์จประจุ ลดลงจึงทำให้อัตราการชาร์จประจุลดลงด้วย ดังนั้นรูปคลื่นเอาต์พุตที่ได้จึงมีลักษณะดังแสดงในรูปที่ 3.6 (ข) เมื่อให้สัญญาณอินพุตที่ป้อนเข้ามามีความต่อเนื่องดังรูปที่ 3.4 ก็จะทำให้สัญญาณเอาต์พุตที่ได้มีลักษณะไม่เป็นเส้นตรงนั่นเองจากการที่ได้อธิบายตามรูปนี้จะพบว่า การที่ไม่สามารถทำการชาร์จประจุให้เป็นเชิงเส้นได้นั้นมีสาเหตุมาจากกระแสที่ใช้ในการชาร์จประจุ C มีค่าคงที่ได้ อัตรการชาร์จประจุก็จะมีค่าคงที่ ซึ่งก็จะทำให้ค่าแรงดันเอาต์พุตที่มีความเป็นเชิงเส้น และเพื่อต้องการทำให้ได้ค่ากระแสในการชาร์จประจุ C คงที่ จึงได้มีการนำวงจรถานส์คอนดักเตอร์ (Transconductor) ซึ่งมีหน้าที่ในการแปลงแรงดันทางด้านอินพุตไปเป็นกระแสทางด้านเอาต์พุตซึ่งสามารถเขียนเป็นสมการง่ายๆ ได้ดังต่อไปนี้

$$I_O = g_m (V^+ - V^-) \quad (3.5)$$

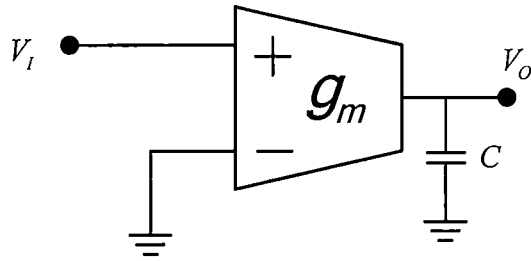
โดยที่ค่า g_m หรือ Transconductance Gain นี้สามารถปรับค่าได้โดยใช้การไบอัสกระแสไฟตรง I_B จากภายนอกซึ่งถ้าใช้ g_m เป็นตัวแปรการปรับ I_B ก็จะเป็นการใช้ในการควบคุมหรือกำหนดคุณลักษณะของวงจรถองนั่นเอง ซึ่งสัญลักษณ์แสดงดังรูปที่ 3.7



รูปที่ 3.7 สัญลักษณ์ของวงจรถานส์คอนดักเตอร์ หรือ OTA

บางครั้งค่า I_B อาจไม่มีในสัญลักษณ์ก็ได้ ในส่วนของการนำไปใช้งานในวงจรลิเนียร์นั้น I_B ก็คือแหล่งจ่ายไฟตรงที่ใช้ในการควบคุม g_m ดังนั้นถ้านำค่าทรานส์คอนดักแทนซ์นี้ไปใส่แทนค่า R จึงเรียกวงจรนี้ว่า $g_m - C$ อินทิเกรเตอร์ดังรูปที่ 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



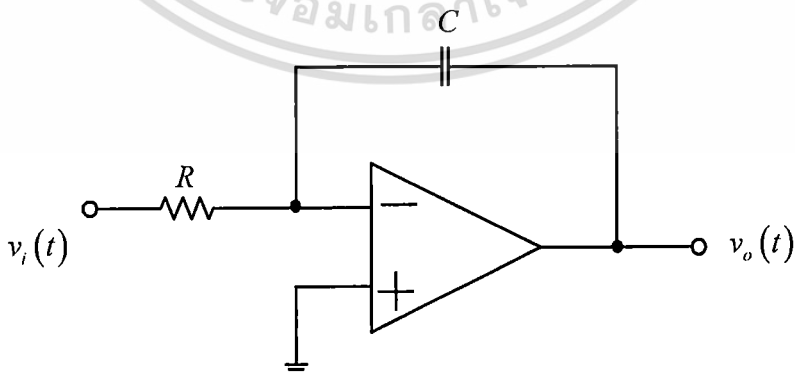
รูปที่ 3.8 วงจร $g_m - C$ อินทิเกรเตอร์พื้นฐาน

แต่ในการนำไปปฏิบัติจริงๆนั้น มีหลักด้วยกันสามอย่างที่เป็นตัวกำหนดการใช้ทรานส์คอนดักเตอร์ในวงจรนี้เรียกว่าคือ ความไม่เป็นเชิงเส้นของ g_m สองความไม่คงที่ของ g_m ในเรื่องอุณหภูมิ และสามค่าความเก็บประจุแฝงที่เป็นตัวจำกัดช่วงความถี่

3.1.1 วงจรอินทิเกรเตอร์แบบกลับเฟส

จากวงจรประยุกต์ใช้งานออปแอมป์ที่มีการป้อนกลับแบบลบต่างๆ ที่ได้กล่าวมานั้น จะเห็นได้ว่าอุปกรณ์ที่ใช้ในการป้อนกลับ คือ ตัวต้านทาน ซึ่งหากลองเปลี่ยนอุปกรณ์ที่ใช้ในการป้อนกลับเป็นตัวเก็บประจุ ดังเช่นวงจรอินทิเกรเตอร์แบบกลับเฟส (Inverting Integrator) ที่แสดงดังรูปที่ 3.9 โดยเมื่อทำการวิเคราะห์วงจรจะได้สัญญาณขาออกของวงจร คือ

$$v_o(t) = -\frac{1}{RC} \int v_i(t) dt \quad (3.6)$$



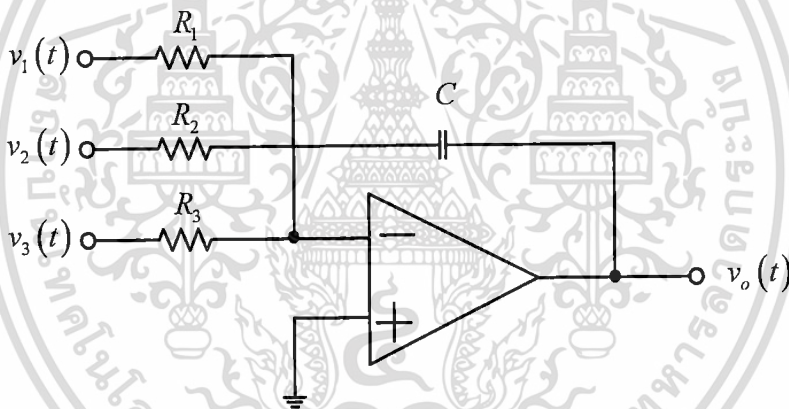
รูปที่ 3.9 วงจรอินทิเกรเตอร์แบบกลับเฟส

ซึ่ง $\frac{1}{RC}$ นั้นเป็นค่าความชันของสัญญาณ โดยอัตราการเปลี่ยนแปลงของสัญญาณขาออกสามารถหาได้จาก

$$\frac{\Delta v_o(t)}{\Delta(t)} = -\frac{v_i(t)}{RC} \quad (3.7)$$

นอกจากนี้วงจรในรูปที่ 3.9 นั้นสามารถขยายให้อยู่ในรูปของวงจรรวมการอินทิเกรตสัญญาณมากกว่า 1 สัญญาณเข้าด้วยกันได้ ดังตัวอย่างวงจรในรูปที่ 3.10 ซึ่งเป็นกรณีที่มีสัญญาณขาเข้า 3 สัญญาณ โดยจะได้ว่า สัญญาณขาออกของวงจรก็คือ

$$v_o(t) = -\left[\frac{1}{R_1 C} \int v_1(t) dt + \frac{1}{R_2 C} \int v_2(t) dt + \frac{1}{R_3 C} \int v_3(t) dt \right] \quad (3.8)$$



รูปที่ 3.10 ตัวอย่างวงจรอินทิเกรเตอร์แบบกลับเฟสที่มีสัญญาณขาเข้ามากกว่า 1 สัญญาณ

3.1.2 วงจรอินทิเกรเตอร์แบบไม่กลับเฟส

หากไม่ต้องการให้สัญญาณขาออกที่เกิดจากการอินทิเกรตนั้นกลับเฟส อาจจะต้องต่อวงจรขยายแบบกลับเฟส (โดยให้อัตราขยายเท่ากับ 1) ให้กับสัญญาณอีกครั้ง หรือใช้วงจรอินทิเกรเตอร์แบบไม่กลับเฟส (Non-Inverting Integrator) ในรูปที่ 3.11 ซึ่งหากสมมติให้แรงดันที่ขาบวกและขาลบของออปแอมป์มีค่าเท่ากับ $v_x(t)$ แล้วทำการวิเคราะห์ห้วงจรที่โหนดขาลบของออปแอมป์จะได้รับความสัมพันธ์ว่า

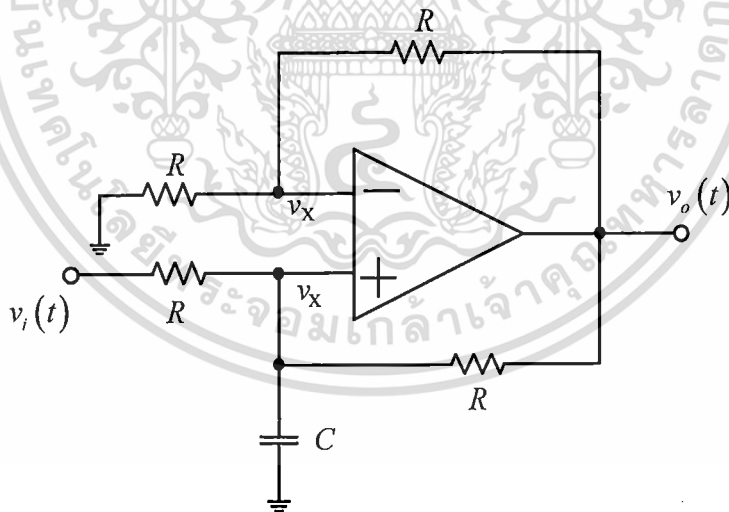
$$v_x(t) = \frac{v_o(t)}{2} \quad (3.9)$$

โดยที่โหนดขาบวกของออปแอมป์สามารถแสดงความสัมพันธ์ของกระแสได้ดังนี้

$$\frac{v_x(t) - v_i(t)}{R} + \frac{v_x(t) - v_o(t)}{R} + C \frac{dv_x(t)}{dt} = 0 \quad (3.10)$$

แทนค่าความสัมพันธ์ในสมการที่ (3.9) ลงในสมการ (3.10) แล้วจัดรูปสมการใหม่จะได้ว่า

$$\begin{aligned} -\frac{v_i(t)}{R} + \frac{C}{2} \frac{dv_o(t)}{dt} &= 0 \\ \frac{dv_o(t)}{dt} &= \frac{2}{RC} v_i(t) \\ v_o(t) &= \frac{2}{RC} \int v_i(t) dt \end{aligned} \quad (3.11)$$



รูปที่ 3.11 วงจรอินทิเกรเตอร์แบบไม่กลับเฟส

3.2 หลักการพื้นฐานของวงจรกรองความถี่

3.2.1 นิยามและการประยุกต์ใช้งานวงจรกรองความถี่

วงจรกรอง (Filter) คืออุปกรณ์ที่ทำหน้าที่เป็นตัวเลือกผ่านสัญญาณ โดยวงจรกรองจะยอมให้สัญญาณเฉพาะบางย่านความถี่ผ่านไปได้นั้น จะเรียกย่านความถี่ที่วงจรกรองยอมให้ผ่านว่าย่านความถี่ผ่าน (passband) และย่านความถี่ที่วงจรกรองจะกั้นไว้ไม่ให้ผ่านว่าย่านความถี่หยุด (stopband) วงจรกรองเป็นอุปกรณ์ที่สำคัญมากในงานด้านวิศวกรรมอิเล็กทรอนิกส์หลายๆด้าน อาทิ

- ใช้ในเครื่องขยายภาคต้น (preamplification) วงจรปรับเท่า (equalizer) และตัวปรับเสียง (tone-control) ของระบบเครื่องเสียง (audio system)
- ใช้ในการกำจัดสัญญาณรบกวน (noise) ที่ไม่ต้องการในระบบการสื่อสาร
- ใช้ในการกำจัดไซด์แบนด์ (sideband) ในระบบสื่อสารแบบไซด์แบนด์เดี่ยว (single sideband)
- ใช้ในการดีมอดูเลต (demodulate) สัญญาณ
- ใช้ในการตรวจจับ (detect) สัญญาณที่ถูกมอดูเลตแบบดิจิทัล โดยเรียกววงจรกรองที่ทำหน้าที่นี้ว่า matched filter
- ใช้ในระบบสื่อสารมัลติเพล็กซ์แบบแบ่งเวลา (time-division multiplexing) และแบบแบ่งความถี่ (frequency-division multiplexing)
- ใช้แก้ปัญหาการทับซ้อน (aliasing) ที่อาจเกิดขึ้นจากการชักตัวอย่าง (sampling) สัญญาณอนาลอกในการประมวลสัญญาณดิจิทัล (digital signal processing)
- ใช้ในการแปลงสัญญาณที่ได้จากการชักตัวอย่าง (sampling signals) ไปเป็นสัญญาณอนาลอก
- ใช้ในการสังเคราะห์สัญญาณ
- ใช้แก้ปัญหาการรบกวนข้ามสัญลักษณ์ (intersymbol interference: ISI) ในการส่งข้อมูลดิจิทัล โดยเรียกววงจรกรองที่ทำหน้าที่นี้ว่า วงจรกรองส่วนผ่านข้อมูล (data transmission filter)
- ใช้แก้ปัญหาการสูญเสีย (loss) ในการส่งสัญญาณในสายส่ง (transmission line) และสายเคเบิล
- ใช้ในอุปกรณ์ชีวการแพทย์ (biomedical equipment) เช่น เยื่อประสาทหูเทียม (artificial cochlea)

จริงๆแล้วอาจกล่าวได้ว่าแทบไม่มีอุปกรณ์ทางอิเล็กทรอนิกส์ (ที่มีความซับซ้อนพอสมควร)

ที่ไม่มีวงจรกรองเป็นส่วนประกอบอยู่เลย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถแบ่งวงจรกรองอนาล็อกได้ตามลักษณะของอุปกรณ์ที่ใช้ในการสร้างวงจรดังนี้

- วงจรกรองพาสซีฟ (passive filter) เป็นวงจรกรองสัญญาณแบบต่อเนื่องที่ประกอบด้วยตัวต้านทาน ตัวเก็บประจุ และขดลวดเหนี่ยวนำ วงจรกรองประเภทนี้สามารถใช้ในการกรองสัญญาณที่มีความถี่ตั้งแต่สัญญาณไฟตรง (DC) ไปจนถึงประมาณ 300 MHz อย่างไรก็ตามไม่นิยมใช้วงจรกรองพาสซีฟในย่านความถี่ต่ำ เนื่องจากจะต้องใช้ขดลวดเหนี่ยวนำขนาดใหญ่ซึ่งมีความสูญเสียมาก ดังนั้นโดยทั่วไปวงจรกรองพาสซีฟจะถูกใช้งานตั้งแต่ย่านความถี่สัญญาณเสียง (audio frequency) ความถี่สัญญาณภาพ (video frequency) ไปจนถึงย่านความถี่วิทยุสูงมาก (VHF)
- วงจรกรองสัญญาณแบบแอคทีฟ (active filter) เป็นวงจรกรองสัญญาณแบบต่อเนื่องที่ใช้อุปกรณ์ประเภทแอคทีฟร่วมกับตัวต้านทานและ/หรือ ตัวเก็บประจุ วงจรกรองแบบแอคทีฟที่นิยมใช้กันในปัจจุบันได้แก่วงจรกรอง active RC และวงจรกรองตัวเก็บประจุสวิตช์ (ซึ่งวงจรทั้งสองแบบสามารถใช้งานในย่านความถี่ไฟตรง – 500 kHz) ส่วนวงจรกรองแบบ Gm-C นั้นสามารถใช้งานในช่วงความถี่ที่สูงกว่านี้ได้

เปรียบเทียบข้อดี ข้อเสียระหว่าง วงจรกรองความถี่แบบพาสซีฟเทียบกับวงจรกรองความถี่แบบแอคทีฟ

1. วงจรกรองความถี่แบบแอคทีฟปราศจากผลกระทบเนื่องจากการดึงกระแส (no loading effects) ของวงจรที่ต่อкасศเคกัน
2. การปรับแต่งอัตราขยายดีซีและความถี่คัทออฟ สามารถทำได้สะดวกและมีความยืดหยุ่นกว่าวงจรกรองความถี่แบบพาสซีฟ
3. การออกแบบวงจรกรองความถี่โดยใช้อุปกรณ์แอคทีฟเพื่อสังเคราะห์ฟังก์ชันกรองความถี่ (filtering function) สามารถกระทำได้ง่ายกว่าการออกแบบด้วยอุปกรณ์พาสซีฟ
4. วงจรกรองความถี่แบบแอคทีฟ มีขนาดเล็กและราคาถูก เนื่องจากปัจจุบันอุปกรณ์จำพวกแอคทีฟ (active elements) นิยมสร้างอยู่ในรูปแบบของวงจรรวม (Integrated Circuit)

อย่างไรก็ตามในระบบที่ต้องการลักษณะการกรองสัญญาณที่มีการลดทอน (attenuation) สัญญาณที่คมมากอาจจะต้องใช้งานกรองกรองพาสซีฟที่เรียกว่าวงจรกรองกลไฟฟ้า (electromechanical filter) โดยวงจรกรองประเภทนี้ใช้การกำจร (resonance) ของการสั่นเชิงกล

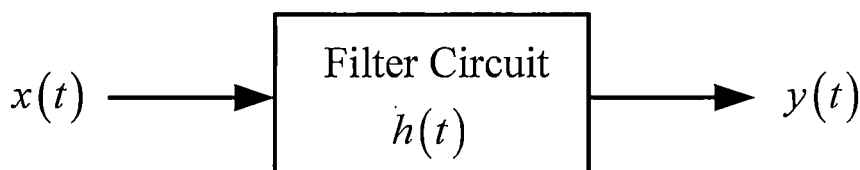
(mechanical/acoustic vibration) ในการกรองสัญญาณไฟฟ้า นอกจากนี้วงจรกรองประเภทนี้ยังมีเสถียรภาพทางอุณหภูมิที่ดีมาก วงจรกรองกลไฟฟ้านี้ประกอบด้วย

- วงจรกรองเชิงกล (mechanical filter) สร้างมาจากตัวกำจรเชิงกล (mechanical resonator) โดยใช้อัลลอยโลหะเป็นตัวกลางการสั่น
- วงจรกรองคริสตัล (crystal filter) ซึ่งใช้ควอartz (quartz) ซึ่งเป็นสารเพียโซอิเล็กทริก (piezoelectric) แบบผลึกเดี่ยว (single crystal) เป็นตัวกลางในการสั่น
- วงจรกรองเซรามิก (ceramic filter) ซึ่งใช้สารเพียโซอิเล็กทริกแบบเซรามิกซึ่งประกอบด้วยผลึกหลายชิ้นกระจายอยู่ในเนื้อสาร (เช่น สาร PZT: Lead-Zirconate-Titanate) เป็นตัวกลางในการสั่น
- วงจรกรองคลื่นอะคูสติกพื้นผิว (surface acoustic wave) ซึ่งใช้สารหลายประเภท (รวมทั้งควอartz และ PZT) เป็นตัวกลางในการสั่น อย่างไรก็ตามการสั่นในวงจรกรองประเภทนี้จะเกิดขึ้นบนพื้นผิวของสารตัวกลาง ไม่ใช่เกิดขึ้นภายในตัวกลางเช่นเดียวกับวงจรกรองกลไฟฟ้าชนิดอื่น

โดยวงจรกรองเหล่านี้ได้ถูกนำไปใช้งานอย่างมากในระบบสื่อสารวิทยุซึ่งมีปัญหาด้านความถี่สูง สัญญาณรบกวนและพัลส์พลวัตทำให้ไม่สามารถใช้งานวงจรกรองแอกทีฟได้

วงจรกรองทั้งหมดที่กล่าวมาเป็นวงจรกรองแบบอนาล็อก (analog filter) ทั้งสิ้น อย่างไรก็ตามตั้งแต่ทศวรรษ 1980 เป็นต้นมา วงจรกรองดิจิทัล (digital filter) ก็ได้รับความนิยมมากขึ้นตามลำดับ โดยทั้งนี้วงจรกรองแบบดิจิทัลมีข้อดีคือ มีความแม่นยำสูงและสามารถปรับพารามิเตอร์ต่างๆ ได้ง่าย แต่มีข้อเสียคือ กินกำลังไฟสูงและไม่สามารถกรองสัญญาณความถี่สูงๆ ได้ดีเท่ากับวงจรแบบอนาล็อก

3.2.2 หลักการพื้นฐานของวงจรกรองความถี่



รูปที่ 3.12 ระบบของวงจรกรองความถี่

ระบบของวงจรกรองความถี่แสดงดังรูปที่ 3.12 โดยที่ $x(t)$ คือ สัญญาณอินพุต และ $y(t)$ คือสัญญาณเอาต์พุต และ $h(t)$ คือ สัญญาณตอบสนองต่อสัญญาณอิมพัลส์ (impulse response) ของระบบ ถ้าพิจารณาวงจรกรองความถี่ที่มีคุณสมบัติเป็นเชิงเส้น (linear) และระบบที่ไม่เปลี่ยนแปลงตามเวลา (time-invariant) สามารถเขียนความสัมพันธ์ให้อยู่ในรูปสมการของระบบได้ดังนี้

$$y(t) = \int_0^t h(t-\tau)x(\tau)d\tau \quad (3.12)$$

เมื่อทำการแปลงลาปลาซในสมการที่ (3.12) จะได้ผลดังนี้

$$Y(s) = H(s)X(s) \quad (3.13)$$

โดยที่ $Y(s), X(s)$ และ $H(s)$ คือ ผลการแปลงลาปลาซของ $y(t), x(t)$ และ $h(t)$ ตามลำดับ เมื่อพิจารณาบนแกนความถี่ $s = j\omega$ สมการที่ (3.13) สามารถเขียนแสดงในรูปของขนาดและเฟสได้ดังนี้

$$|Y(j\omega)| = |H(j\omega)||X(j\omega)| \quad (3.14)$$

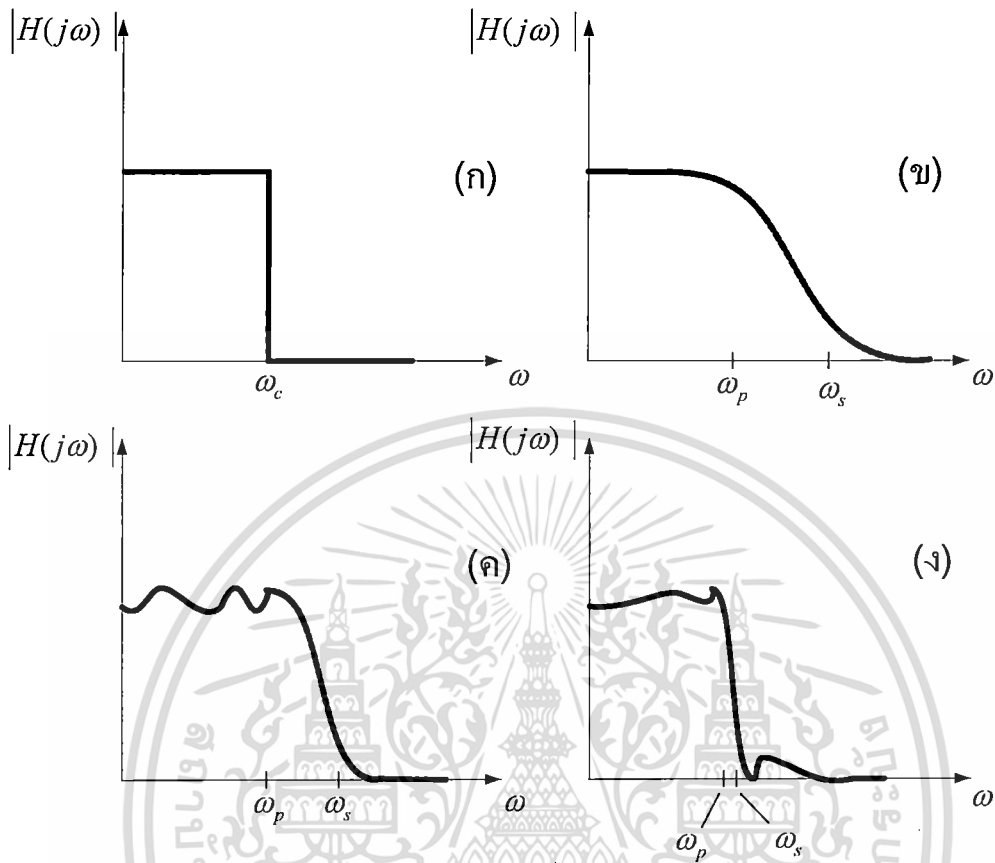
และ

$$\phi_{Y(j\omega)} = \phi_{H(j\omega)} + \phi_{X(j\omega)} \quad (3.15)$$

โดยที่ $\phi_{Y(j\omega)}$ คือค่าเฟสของ $Y(j\omega)$, $\phi_{H(j\omega)}$ คือค่าเฟสของ $H(j\omega)$ และ $\phi_{X(j\omega)}$ คือค่าเฟสของ $X(j\omega)$ ซึ่งหลักการโดยทั่วไปของวงจรกรองความถี่คือ ทำหน้าที่ในการแยกสัญญาณที่ไม่ต้องการออกจากสัญญาณที่ต้องการและลดอนสัญญาณที่มีความถี่นอกเหนือจากที่กำหนด เมื่อพิจารณาสมการที่ (3.14) เห็นได้ว่าขนาดของสัญญาณเอาต์พุตนั้นเป็นผลคูณของค่าขนาดของสัญญาณอินพุตกับค่าขนาดของฟังก์ชันการตอบสนองในเชิงความถี่ (frequency response function) ของวงจรกรองความถี่ ถ้าฟังก์ชันขนาด (magnitude function) ของ $H(j\omega)$ มีค่าเท่ากับศูนย์ในช่วงแถบความถี่นั้นจะเรียกว่า ช่วงแถบหยุด (stopband) และในทำนองเดียวกันเมื่อค่าฟังก์ชันขนาดของ $H(j\omega)$ มีค่าไม่เท่ากับศูนย์ในช่วงแถบความถี่นั้นเรียกว่า ช่วงแถบผ่าน (passband) ของวงจร $H(j\omega)$ ดังนั้นจากผลการตอบสนองของฟังก์ชันขนาดของ $H(j\omega)$ ในช่วงของความถี่ที่แตกต่างกันของวงจร ตามคุณลักษณะของช่วงแถบหยุดและช่วงแถบผ่าน จึงสามารถจำแนกชนิดของวงจรกรองความถี่ได้ห้าแบบดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 วงจรกรองความถี่ต่ำผ่าน (Low-Pass Filter)



รูปที่ 3.13 ผลตอบสนองทางขนาดของวงจรกรองความถี่ต่ำผ่าน

วงจรกรองความถี่ต่ำผ่านเป็นวงจรที่ยอมให้สัญญาณความถี่ต่ำผ่าน แต่จะกั้นสัญญาณความถี่สูงไว้ รูปที่ 3.13 (ก) แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่ต่ำผ่านในอุดมคติ โดยนิยามจะเรียกย่านความถี่ที่วงจรกรองยอมให้ผ่านว่าย่านความถี่ผ่าน (passband) หรือแบนด์วิดท์ (bandwidth: BW) ของวงจร ส่วนย่านความถี่ที่วงจรไม่ยอมให้ผ่านไปจะเรียกว่าย่านความถี่หยุด (stopband) จากรูปที่ 3.13 (ก) จะเห็นได้ว่าย่านความถี่ผ่านจะอยู่ระหว่าง 0 และ ω_c โดยเรียกความถี่ ω_c ว่าความถี่คัทออฟ (cut-off frequency)

ในทางปฏิบัติไม่สามารถสร้างวงจรกรองที่มีผลตอบสนองเป็นดังรูปที่ 3.13 (ก) ได้ รูปที่ 3.13 (ข)-(ง) แสดงผลตอบสนองของวงจรกรองที่ได้มาจากการประมาณผลตอบสนองในอุดมคติ ทฤษฎีที่เกี่ยวกับการประมาณผลตอบสนองทางความถี่ซึ่งนิยมเรียกสั้นๆว่า ทฤษฎีการประมาณ (approximation theory) เป็นทฤษฎีที่มีความสำคัญมาก

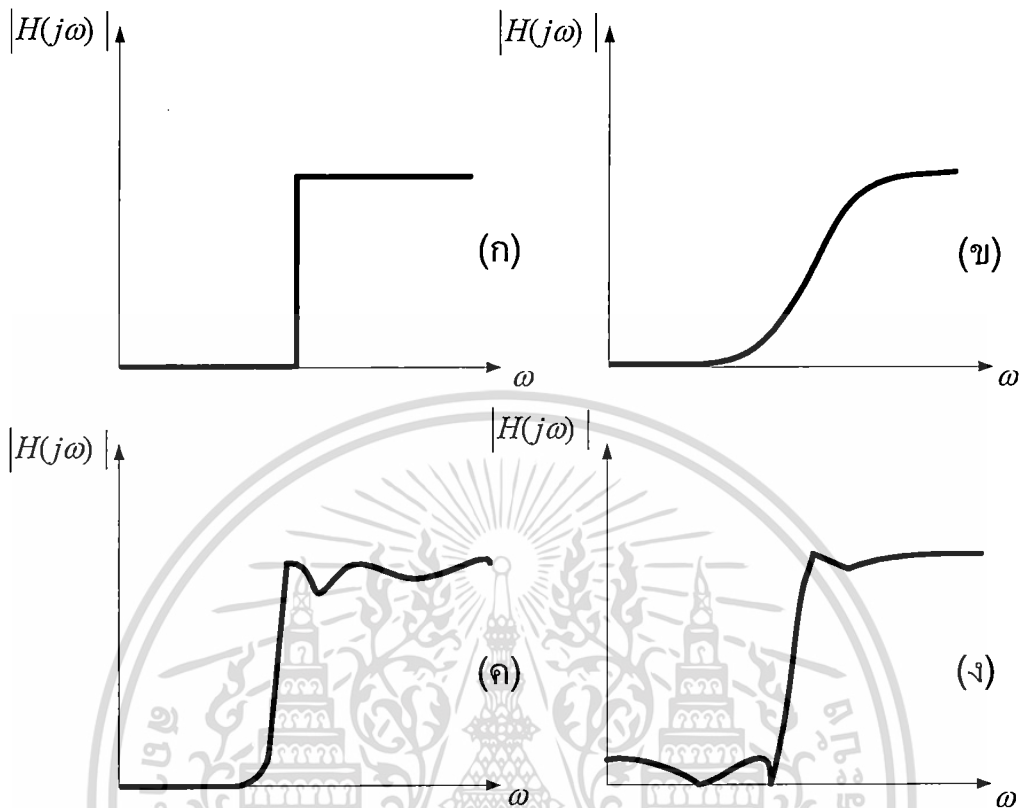
ลักษณะของผลตอบสนองในรูปที่ 3.13 (ข)-(ง) ทำให้ต้องนิยามคำว่าแบนด์วิดท์ใหม่ว่าเป็นย่านความถี่ที่อัตราขยายของวงจรตกลงมาจากค่าอัตราขยายสูงสุด (สังเกตว่าค่าอัตราขยายสูงสุดสำหรับวงจรกรองผ่านความถี่ต่ำอาจจะไม่ใช่อัตราขยายสัญญาณไฟตรงของวงจร) ไม่เกินค่าที่กำหนด (โดยปกติจะกำหนดให้ตกลงมาได้ไม่เกิน 3 dB แต่อาจจะเลือกค่าอื่นใดก็ได้)

ในทำนองกลับกันย่านความถี่หยุดก็จะเป็น ย่านความถี่ที่อัตราขยายของวงจรตกลงมาจากค่าอัตราขยายสูงสุดเกินกว่าค่าที่กำหนด (เช่นมากกว่า 60 dB) จากรูปที่ 3.13 (ข)-(ง) จะเห็นว่าย่านความถี่ผ่านของวงจรจะอยู่ระหว่าง 0 ถึง ω_p และย่านความถี่หยุดของวงจรจะเป็นช่วงความถี่ที่มากกว่า ω_s ส่วนย่านความถี่ที่อยู่ระหว่าง ω_p และ ω_s นั้นจะเรียกว่าย่านความถี่เปลี่ยน (transition band) ทั้งนี้จะเห็นได้ว่าในกรณีอุดมคติความกว้างของย่านความถี่เปลี่ยนจะเข้าสู่ศูนย์

ในทางคณิตศาสตร์คำว่าฟังก์ชันแบบโมโนโทนิก (monotonic function) คือฟังก์ชันที่มีอนุพันธ์ (derivative) ที่มีเครื่องหมาย (+ หรือ -) คงเดิมเสมอ เมื่อพิจารณาผลตอบสนองทางความถี่ในรูปที่ 3.13 (ข)-(ง) จะเห็นได้ว่าจะมีเพียงผลตอบสนองในรูปที่ 3.13 (ข) เท่านั้นที่มีลักษณะโมโนโทนิกอย่างสมบูรณ์

จากรูปที่ 3.13 (ง) จะเห็นว่าในย่านความถี่ผ่าน อัตราขยายของวงจรจะมีการกระเพื่อมขึ้นลง (ripple) และเนื่องจากอัตราขยายในช่วงกระเพื่อมขึ้นและลงแต่ละครั้งจะมีค่าเท่ากันหมด จึงเรียกการกระเพื่อมในลักษณะนี้ว่า การกระเพื่อมแบบเท่าเทียม (equal-ripple) ดังนั้นอาจจะกล่าวได้ว่าผลตอบสนองในรูปที่ 3.13 (ค) มีลักษณะของการกระเพื่อมแบบเท่าเทียมในย่านความถี่ผ่าน และมีลักษณะการลดลงแบบโมโนโทนิกในย่านความถี่เปลี่ยนและย่านความถี่หยุด ส่วนผลตอบสนองในรูปที่ 3.13 (ง) จะมีลักษณะของการกระเพื่อมแบบเท่าเทียมทั้งในย่านความถี่ผ่านและย่านความถี่หยุด

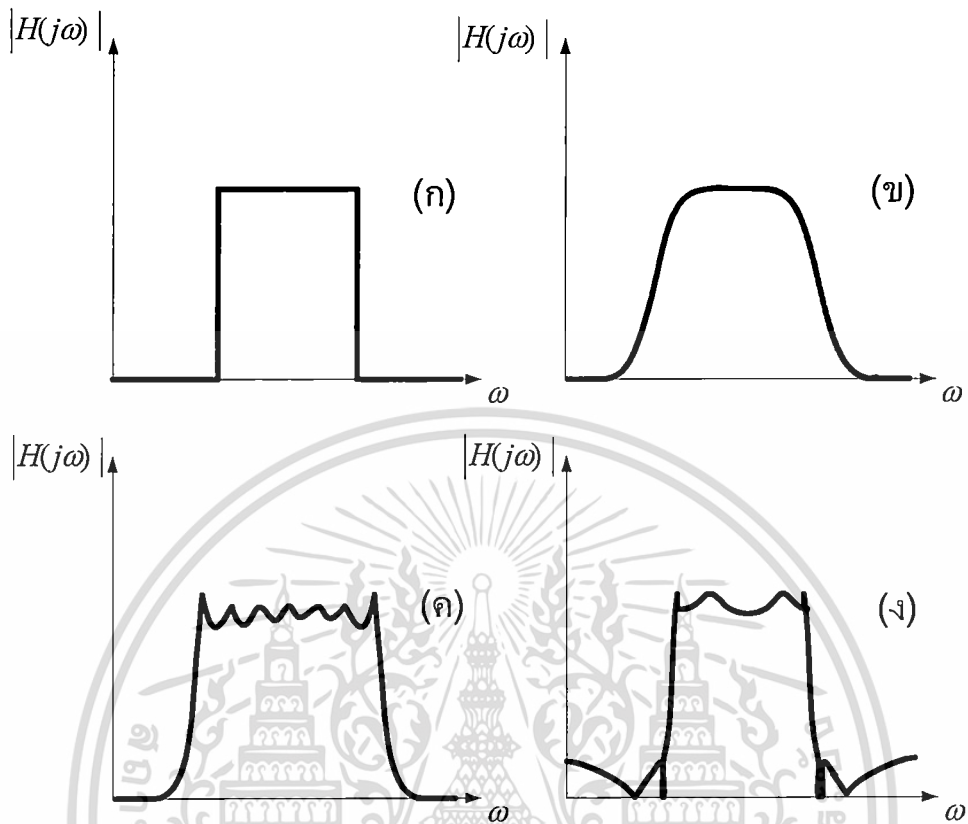
3.2.4 วงจรกรองผ่านความถี่สูงผ่าน (High-Pass Filter)



รูปที่ 3.14 ผลตอบสนองทางขนาดของวงจรกรองความถี่สูงผ่าน

วงจรกรองความถี่สูงผ่านเป็นวงจรที่ยอมให้สัญญาณความถี่สูงผ่าน แต่จะกั้นสัญญาณความถี่ต่ำไว้ รูปที่ 3.14 (ก) แสดงผลตอบสนองทางความถี่ของวงจรกรองความถี่สูงผ่านในอุดมคติ รูปที่ 3.14 (ข) แสดงผลตอบสนองของวงจรกรองความถี่สูงผ่านที่มีลักษณะเป็นโมโนโทนิคอย่างสมบูรณ์ รูปที่ 3.14 (ค) แสดงผลตอบสนองของวงจรกรองความถี่สูงผ่านที่มีการเพิ่มขึ้นอย่างโมโนโทนิคในย่านความถี่หยุดและมีการกระเพื่อมแบบเท่าเทียมในย่านความถี่ผ่าน และรูปที่ 3.14 (ง) แสดงผลตอบสนองของวงจรกรองความถี่สูงผ่านที่มีการกระเพื่อมแบบเท่าเทียมในย่านความถี่หยุดและย่านความถี่ผ่าน

3.2.5 วงจรกรองแถบความถี่ผ่าน (Band-Pass Filter)



รูปที่ 3.15 ผลตอบสนองทางขนาดของวงจรกรองแถบความถี่ผ่าน

วงจรกรองแถบความถี่ผ่านเป็นวงจรกรองที่ยอมให้สัญญาณในช่วงความถี่ใดๆ ผ่านได้ แต่จะไม่ยอมให้สัญญาณที่มีความถี่ต่ำกว่าหรือสูงกว่านั้นผ่านไปได้ รูปที่ 3.15 แสดงผลตอบสนองทางความถี่ของวงจรกรองแถบความถี่ผ่านแบบต่างๆ โดยทั้งนี้ ถ้าให้ ω_1 และ ω_2 เป็นจุดปลายของย่านความถี่ผ่านของวงจร โดย $\omega_1 < \omega_2$ จะพบว่าแบนด์วิดธ์ของวงจรคือ

$$BW = \omega_2 - \omega_1 \quad (3.16)$$

และจะนิยามความถี่กึ่งกลาง (center frequency) ω_0 ว่า คือ

$$\omega_0 = \sqrt{\omega_1 \omega_2} \quad (3.17)$$

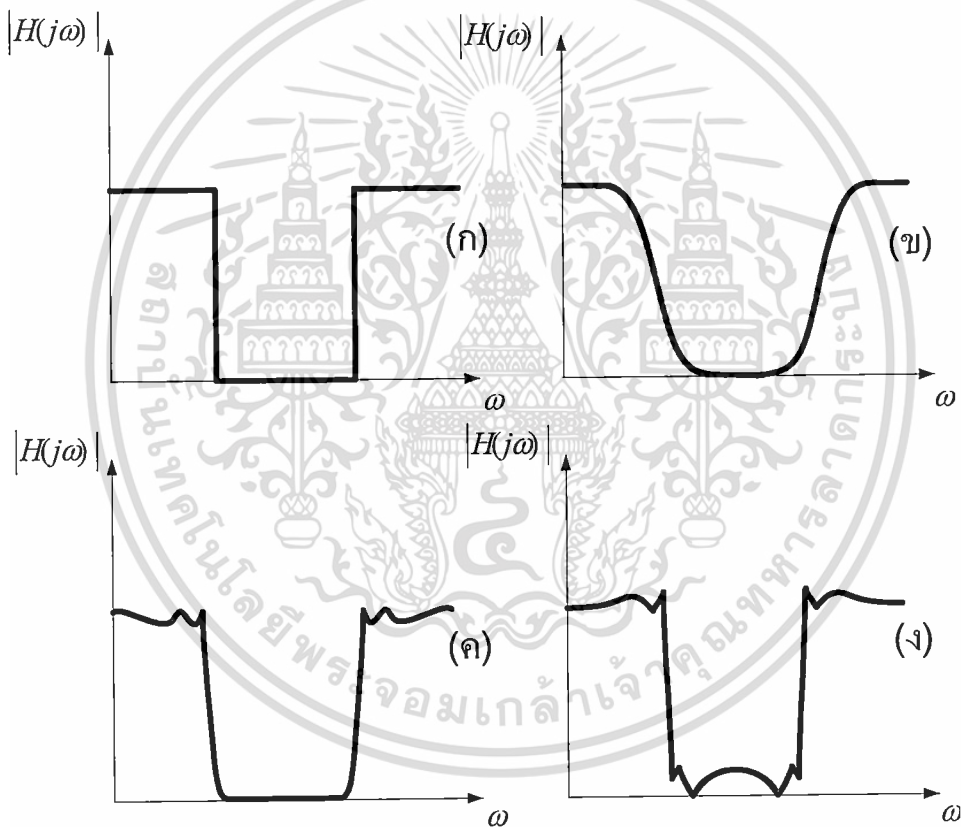
ซึ่งโดยทั่วไปจะกำหนดให้ BW ของวงจรกรองความถี่ผ่านคือ แถบความถี่ที่สัญญาณสามารถผ่านไปได้โดยมีการลดทอนไม่เกิน 3 dB นั่นคือ $BW = BW_{-3dB}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.15 (ก) แสดงผลตอบสนองของวงจรรองแถบความถี่ผ่านในอุดมคติ รูปที่ 3.15 (ข) แสดงผลตอบสนองของวงจรรองแถบความถี่ผ่านที่มีอัตราขยายลดลงไปเรื่อยๆจากจุดสูงสุดที่ความถี่ ω_0 รูปที่ 3.15 (ค) แสดงผลตอบสนองของวงจรรองแถบความถี่ผ่านที่มีการกระเพื่อมในย่านความถี่ผ่าน รูปที่ 3.15 (ง) แสดงผลตอบสนองของวงจรรองแถบความถี่ผ่านที่มีการกระเพื่อมทั้งในย่านความถี่ผ่านและในย่านความถี่หยุด

นอกจาก BW และ ω_0 แล้วค่าองค์ประกอบที่สำคัญของผลตอบสนองทางความถี่ของวงจรรองแถบความถี่ผ่านคือ ค่าองค์ประกอบคุณภาพ (Quality Factor: Q) และค่าองค์ประกอบรูปทรง (Shape Factor: SF)

3.2.6 วงจรรองแถบความถี่หยุด (Band-Reject Filters หรือ Notch Filters)



รูปที่ 3.16 ผลตอบสนองทางขนาดของวงจรรองแถบความถี่หยุด

วงจรรองแถบความถี่หยุดจะทำหน้าที่ตรงกันข้ามกับวงจรรองแถบความถี่ผ่าน กล่าวคือ วงจรรองแถบความถี่หยุดจะกั้นไม่ให้สัญญาณ ณ ช่วงความถี่ใดๆผ่านไปได้ แต่จะยอมให้สัญญาณที่มีความถี่ต่ำกว่าหรือสูงกว่าช่วงความถี่นั้นผ่านไปได้ รูปที่ 3.16 แสดงผลตอบสนองทางความถี่ของวงจรรองแถบความถี่หยุดแบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 ฟังก์ชันการถ่ายโอนแบบไบควอดเรติก

รูปแบบมาตรฐานของฟังก์ชันตัวกรองความถี่ลำดับที่ 2 ในรูปของสมการไบควอดเรติก แสดงดังสมการ

$$H(s) = K \frac{k_2 s^2 + k_1 \left(\frac{\omega_o}{Q} \right) s + k_0 \omega_o^2}{s^2 + \left(\frac{\omega_o}{Q} \right) s + \omega_o^2} \quad (3.18)$$

โดยที่ ω_o คือ ความถี่คัทออฟ (cutoff frequency)

Q คือ ค่าตัวประกอบคุณภาพ (quality factor)

K คือ อัตราขยายไฟตรง (dc gain)

k_0, k_1, k_2 คือ ค่าคงที่มีค่าเท่ากับ +1, -1 หรือ 0

จากสมการที่ (3.18) จะเห็นว่าค่าพารามิเตอร์ k_0, k_1 และ k_2 คือเงื่อนไขการกำเนิดฟังก์ชันการถ่ายโอนของวงจรกรองความถี่ ซึ่งเป็นไปได้ห้ารูปแบบดังนี้คือ วงจรกรองความถี่แบบกรองผ่านความถี่ต่ำ แบบกรองผ่านความถี่สูง แบบกรองผ่านแถบความถี่ แบบตัดแถบความถี่ และแบบกรองผ่านทุกความถี่ ซึ่งฟังก์ชันการถ่ายโอนของวงจรกรองความถี่แต่ละรูปแบบแสดงได้ตามลำดับดังนี้คือ

เมื่อ $k_0 = 1$ และ $k_1 = k_2 = 0$ ฟังก์ชันการถ่ายโอนแบบไบควอดเรติกของวงจรกรองความถี่แบบกรองผ่านความถี่ต่ำ จะมีรูปแบบดังสมการ คือ

$$H(s) = K \frac{\omega_o^2}{s^2 + \left(\frac{\omega_o}{Q} \right) s + \omega_o^2} \quad (3.19)$$

เมื่อ $k_2 = 1$ และ $k_0 = k_1 = 0$ ฟังก์ชันการถ่ายโอนแบบไบควอดเรติกของวงจรกรองความถี่แบบกรองผ่านความถี่สูง จะมีรูปแบบดังสมการ คือ

$$H(s) = K \frac{s^2}{s^2 + \left(\frac{\omega_o}{Q} \right) s + \omega_o^2} \quad (3.20)$$

เมื่อ $k_1 = 1$ และ $k_0 = k_2 = 0$ จะได้ฟังก์ชันการถ่ายโอนแบบไบควอดเรติกของวงจรกรองความถี่แบบกรองผ่านแถบความถี่ คือ

$$H(s) = K \frac{\left(\frac{\omega_o}{Q}\right)s}{s^2 + \left(\frac{\omega_o}{Q}\right)s + \omega_o^2} \quad (3.21)$$

เมื่อ $k_1 = 0$ และ $k_0 = k_2 = 1$ สมการฟังก์ชันการถ่ายโอนแบบไบควอดเรติกของวงจรกรองความถี่แบบตัดแถบความถี่ จะมีรูปแบบสมการดังนี้คือ

$$H(s) = K \frac{s^2 + \omega_o^2}{s^2 + \left(\frac{\omega_o}{Q}\right)s + \omega_o^2} \quad (3.22)$$

เมื่อ $k_1 = -1$ และ $k_0 = k_2 = 1$ จะได้ฟังก์ชันการถ่ายโอนแบบไบควอดเรติกของวงจรกรองความถี่แบบกรองผ่านทุกความถี่ ที่มีรูปแบบสมการดังนี้คือ

$$H(s) = K \frac{s^2 - \left(\frac{\omega_o}{Q}\right)s + \omega_o^2}{s^2 + \left(\frac{\omega_o}{Q}\right)s + \omega_o^2} \quad (3.23)$$

บทที่ 4

วงจรมอนิเตอร์และผลการจำลองการทำงาน

ในบทนี้จะกล่าวถึงการออกแบบวงจรมอนิเตอร์ความถี่หลายหน้าที่รูปแบบกระแสปรับค่าได้ โดยใช้ซีมอสสำหรับย่านความถี่สูงที่ต้องการมอนิเตอร์ ซึ่งจะประกอบด้วยวงจรมอนิเตอร์แบบไม่สูญเสีย (Lossless Integrator) และ วงจรมอนิเตอร์แบบสูญเสีย (Lossy Integrator) การวิเคราะห์วงจรมอนิเตอร์ที่ไม่เป็นอุดมคติ ผลการจำลองการทำงานของวงจรมอนิเตอร์โดยใช้โปรแกรม PSPICE ตัวอย่างการทำเลย์เอาต์ของวงจรมอนิเตอร์โดยใช้โปรแกรม L-EDIT และนำไปจำลองการทำงานโดยใช้โปรแกรม TSPICE

4.1 รายละเอียดของวงจรมอนิเตอร์

4.1.1 วงจรมอนิเตอร์ที่สร้างจากซีมอส

วงจรมอนิเตอร์ได้ถูกนำมาใช้ประโยชน์ในการสร้างวงจรมอนิเตอร์ความถี่อันดับสูง วงจรมอนิเตอร์แบบไม่สูญเสีย สามารถสร้างได้หลายวิธี โดยในวิทยานิพนธ์นี้ มอนิเตอร์แบบไม่สูญเสีย โดยใช้หลักการการป้อนกลับแบบลบของวงจรมอนิเตอร์แบบสูญเสีย [21-22] โดยใช้ซีมอสทรานซิสเตอร์เพียง 5 ตัวเท่านั้น แสดงไว้ดังรูปที่ 4.1 เพื่อให้ง่ายต่อการอธิบายในขั้นตอนนี้ ค่าความนำที่เอาต์พุตของวงจรมอนิเตอร์ทางไฟฟ้าของวงจรมอนิเตอร์จะละไว้ไม่นำมาคิด วิเคราะห์ความสัมพันธ์ระหว่างกระแสที่อินพุตและเอาต์พุตโดยใช้ KCL ที่โหนด 1, 2 และ 3 จะได้

$$i_{in1} = g_{m4}v_1 + g_{m7}v_2 \quad (4.1)$$

และ

$$-g_{m5}v_1 = (g_{m6} + sC_2)v_2 \quad (4.2)$$

และ

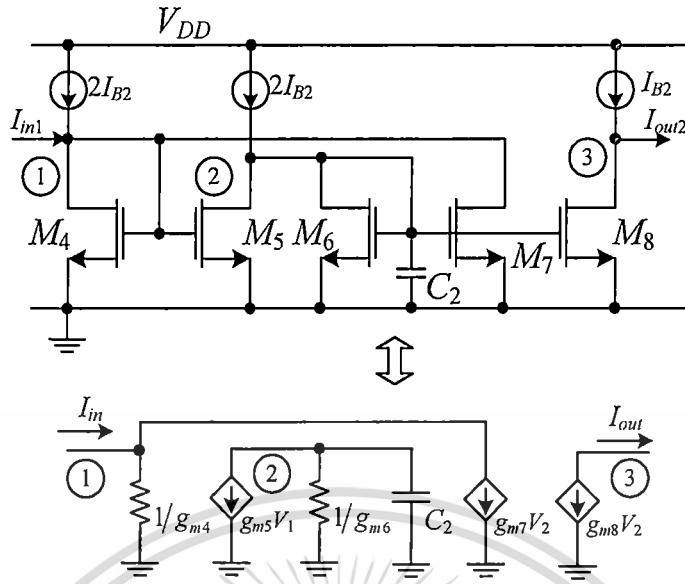
$$i_{out1} = -g_{m8}v_2 \quad (4.3)$$

แทนค่าสมการที่ (1) และ (2) ในสมการที่ (3) จะได้สมการส่งผ่านกระแสคือ

$$\frac{i_{out1}}{i_{in1}} = \frac{g_{m5}g_{m8}}{g_{m4}g_{m6} - g_{m5}g_{m7} + sg_{m4}C_2} \quad (4.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

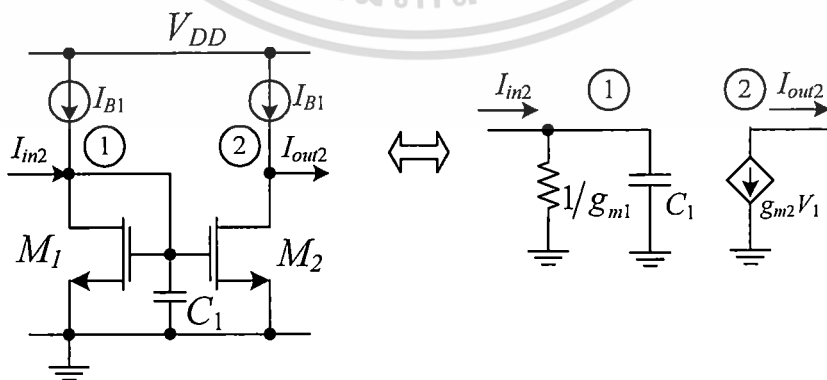


รูปที่ 4.1 วงจรอินทิเกรเตอร์แบบไม่สูญเสียในรูปแบบกระแสสร้างโดยใช้ซีมอสและวงจรสมมูล

แต่ต้องจำไว้ว่าวงจรในรูปที่ 4.1 จะทำงานเป็นอินทิเกรเตอร์แบบไม่สูญเสียได้นั้น ต้องเป็นไปตามเงื่อนไขคือ $g_{m4}g_{m6} = g_{m5}g_{m7}$

ในทำนองเดียวกัน รูปที่ 4.2 แสดงวงจรสมมูลทางไฟฟ้าของวงจรอินทิเกรเตอร์แบบสูญเสีย โดยมีสมการถ่ายโอนกระแส ดังนี้

$$\frac{I_{out2}}{I_{in2}} = \frac{-g_{m2}/C_1}{s + g_{m1}/C_1} \tag{4.5}$$



รูปที่ 4.2 วงจรอินทิเกรเตอร์แบบสูญเสียในรูปแบบกระแสสร้างโดยใช้ซีมอสและวงจรสมมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

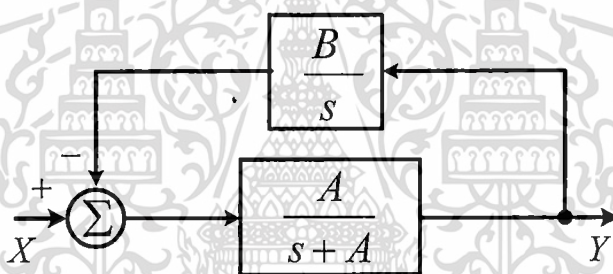
โดยที่ค่าทรานสคอนดักแตนซ์สามารถประมาณค่าในเทอมของกระแสเดรน โดยค่า $g_{mi} \approx \sqrt{\frac{2\mu C_{ox} W I_{Di}}{L}}$ สามารถควบคุมได้โดยการปรับไบอัสที่กระแสเดรน [23]

4.1.2 วงจรกรองความถี่ที่นำเสนอ

สมการตั้งต้นที่ใช้ในการสังเคราะห์วงจรในที่นี้คือ สมการตัวกรองความถี่ที่ต้องการผ่านดังสมการที่ (4.6)

$$\frac{Y(s)}{X(s)} = \frac{sA}{s^2 + sA + AB} \quad (4.6)$$

จากสมการที่ (4.6) สามารถนำมาเขียน Block Diagram ด้วยอินทิเกรเตอร์แบบไม่สูญเสียและแบบสูญเสีย ได้ดังรูปที่ 4.3



รูปที่ 4.3 บล็อกโคอะแกรมของวงจรที่นำเสนอ

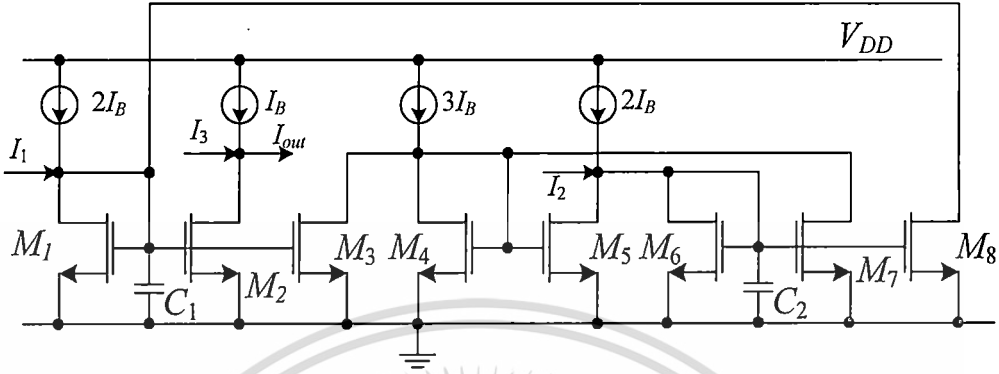
วงจรอินทิเกรเตอร์รูปแบบกระแส สามารถนำอุปกรณ์แอคทีฟหลายชนิดมาสร้างได้ วิทยานิพนธ์ฉบับนี้นำเสนอตัวกรองความถี่ในรูปแบบกระแส โดยใช้มอสทรานซิสเตอร์ นำมาออกแบบเป็นวงจรอินทิเกรเตอร์แบบไม่สูญเสียและแบบสูญเสีย ดังแสดงในรูปที่ 4.1 และรูปที่ 4.2 รวมทั้งตัวเก็บประจุแบบต่อลงกราวด์ วงจรกรองความถี่ที่ได้จะเป็นดังรูปที่ 4.4 โดยมีคุณสมบัติที่ดีคือ สามารถใช้ไฟเลี้ยงต่ำ ปรับค่าความถี่ได้ด้วยทางอิเล็กทรอนิกส์ในช่วงกว้าง ใช้อุปกรณ์จำนวนน้อย และสามารถทำงานในย่านความถี่สูง การวิเคราะห์สมการกระแสเอาต์พุตแสดงได้ดังสมการที่ (4.7)

$$I_{out} = \frac{[g_{m5}g_{m7}g_{m2} - g_{m4}g_{m6}g_{m2} - s(g_{m2}g_{m4}C_2)]I_1 + g_{m2}g_{m5}g_{m8}I_2 + D(s)I_3}{D(s)} \quad (4.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยที่

$$D(s) = s^2(g_{m4}C_1C_2) + s(g_{m1}g_{m4}C_2 - C_1g_{m5}g_{m7} + C_1g_{m4}g_{m6}) + g_{m1}g_{m4}g_{m6} - g_{m1}g_{m5}g_{m7} + g_{m3}g_{m5}g_{m8} \quad (4.8)$$



รูปที่ 4.4 วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่นำเสนอส

ถ้าให้ทรานซิสเตอร์ที่ใช้ถูกสร้างขึ้นมาพร้อมกัน มีความสมพจน์ (match) กัน ค่าทรานสคอนดักแตนซ์ $g_{m1} = g_{m2} = g_{m3} = g_{mA}$ และ $g_{m4} = g_{m5} = g_{m6} = g_{m7} = g_{m8} = g_{mB}$ จะได้ค่ากระแสเอาต์พุตดังนี้

$$I_{Out} = \frac{\left[-s \left(\frac{g_{mA}}{C_1} \right) \right] I_1 + \left(\frac{g_{mA}g_{mB}}{C_1C_2} \right) I_2 + D(s)I_3}{D(s)} \quad (4.9)$$

และ

$$D(s) = s^2 + s \left(\frac{g_{mA}}{C_1} \right) + \frac{g_{mA}g_{mB}}{C_1C_2} \quad (4.10)$$

จะเห็นได้ว่าจากสมการ วงจรกรองความถี่ที่นำเสนอนี้สามารถใช้งานเป็นวงจรกรองความถี่พื้นฐานทั้ง 5 แบบ ตามหลักการของวงจรกรองความถี่แบบ ไบควอดเดรติก ทั้งนี้สามารถสรุปรูปแบบการป้อนกระแสเพื่อให้ได้วงจรกรองความถี่ต่างๆ ได้ดังตารางที่ 4.1

ตารางที่ 4.1 สรุปรูปแบบการป้อนกระแสเพื่อให้วงจรทำงานตามที่ต้องการ

	LP	HP	BP	BR	AP
I_1	0	I_{in}	I_{in}	I_{in}	$2I_{in}$
I_2	I_{in}	$-I_{in}$	0	0	0
I_3	0	I_{in}	0	I_{in}	I_{in}

เมื่อพิจารณาเทียบกับรูปแบบทั่วไปของสมการไบควอดเรติก $D(s) = s^2 + s \frac{\omega_p}{Q_p} + \omega_p^2$

พบว่าตัวแปรที่เกี่ยวข้อง ω_p และ Q_p มีค่าเท่ากับ

$$\omega_p = \sqrt{\frac{g_{mA}g_{mB}}{C_1C_2}} \quad (4.11)$$

และ

$$Q_p = \sqrt{\frac{g_{mB}C_2}{g_{mA}C_1}} \quad (4.12)$$

จากสมการที่ (4.11) และ (4.12) เขียนค่า ω_p และ Q_p ในรูปของกระแสไบอัสได้เป็น

$$\omega_p = \frac{2\mu C_{ox}W}{L} \sqrt{\frac{I_{B1}I_{B2}}{C_1C_2}} \quad (4.13)$$

และ

$$Q_p = \sqrt{\frac{I_{B2}C_2}{I_{B1}C_1}} \quad (4.14)$$

ประสิทธิภาพของวงจรความถี่สามารถแสดงได้ในรูปของค่าความไว (sensitivity) โดยจะพิจารณาผลกระทบจากอุปกรณ์พาสซีฟและอุปกรณ์แอกทีฟในวงจรที่มีผลต่อค่าความถี่ตอบสนอง $S_x^{\omega_p}$ และค่าองค์ประกอบคุณภาพ $S_x^{Q_p}$ ตัวแปร x คืออุปกรณ์พาสซีฟหรือแอกทีฟที่สนใจ พบว่าค่าความไวของวงจรที่นำเสนอมีค่าอยู่ระหว่าง ± 0.5 ซึ่งสามารถสรุปได้ดังตารางที่ 4.2 และสมการที่ (4.15) และ (4.16)

ตารางที่ 4.2 ค่าความไวของวงจรที่นำเสนอ

x	g_{mA}	g_{mB}	C_1	C_2
$S_x^{\omega_p}$	0.5	0.5	-0.5	-0.5
$S_x^{Q_p}$	-0.5	0.5	-0.5	0.5

$$S_{I_{B1}}^{\omega_0} = S_{I_{B2}}^{\omega_0} = -S_{C_1}^{\omega_0} = -S_{C_2}^{\omega_0} = 0.5 \quad (4.15)$$

$$S_{I_{B1}}^{Q_0} = -S_{I_{B2}}^{Q_0} = S_{C_1}^{Q_0} = -S_{C_2}^{Q_0} = -0.5 \quad (4.16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.3 ตัวเก็บประจุที่สร้างจากซีมอส

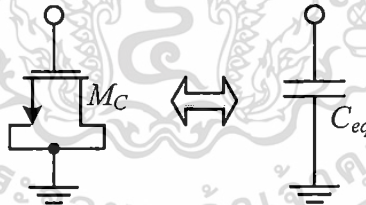
เพื่อความเหมาะสมในการนำไปสร้างเป็นวงจรรวม ตัวเก็บประจุต่อกราวด์ในวงจรถูกนำเสนอซึ่งสร้างจากมอสทรานซิสเตอร์ ตัวเก็บประจุซีมอสดังแสดงใน รูปที่ 4.5 สร้างขึ้นโดยต่อขาเดรนและซอร์สลงกราวด์ โดยทำงานในย่านโอห์มมิก ค่าความเก็บประจุที่ขาเกต WLC_{ox} ถูกแบ่งไปเท่าๆ กันระหว่างรอยต่อเกต-ซอร์ส และรอยต่อเกต-เดรน ทั้งนี้เนื่องจากการเปลี่ยนแปลง ΔV แรงดันเกตมีการเปลี่ยนแปลงเท่ากันเสมอจาก S ไป D [23] ดังนั้น

$$C_{GD} = C_{GS} = \frac{WLC_{ox}}{2} + WC_{ov} \quad (4.17)$$

โดยที่ C_{GS} , C_{GD} และ C_{ov} คือ เกต-ซอร์ส, เกต-เดรน และ overlap capacitors
ดังนั้น

$$C_{eq} = WLC_{ox} + 2WC_{ov} \quad (4.18)$$

ค่าความเก็บประจุที่เกต-บัลด์ มักจะถูกกลบเกลายในย่านโอห์มมิก เพราะชั้นอินเวอร์ชันเป็นเหมือนเกราะระหว่างเกต-บัลด์ ในทางตรงข้ามเมื่อแรงดันเกตมีการเปลี่ยนแปลง การชาร์จประจุจะมาจากทั้งขาซอร์สและขาเดรนมากกว่าบัลด์ (Bulk)



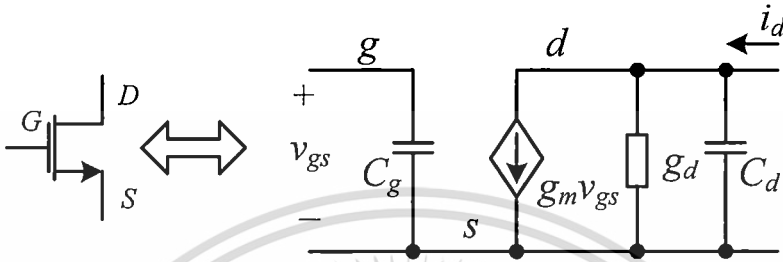
รูปที่ 4.5 ตัวเก็บประจุแบบต่อกราวด์สร้างโดยใช้มอสทรานซิสเตอร์

4.2 การทำงานของวงจรถูกแทนที่ที่ไม่เป็นอุดมคติ

สมการที่ (4.9) และ (4.14) เป็นการพิจารณาการทำงานของทรานซิสเตอร์ในกรณีที่ เป็น อุดมคติ รอยต่อเดรน-ซอร์ส ของมอสทรานซิสเตอร์ทำให้ความต้านทานที่อินพุตเป็นอนันต์ แต่ในทางปฏิบัติ เมื่อสร้างวงจรถูกแทนที่โดยใช้ทรานซิสเตอร์ ค่าความต้านทานนี้จะถูกสมมุติเป็นค่าคงที่ค่าหนึ่งขึ้นอยู่กับอุปกรณ์ และในทำนองเดียวกัน ค่าความเก็บประจุที่ขาเกต-ซอร์ส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
แม้ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำเป็นต้องนำมาพิจารณาในเรื่องการทำงานของวงจรมอดูลในย่านความถี่สูง สัญลักษณ์ของมอดูลทรานซิสเตอร์ที่ไม่เป็นอุดมคติแสดงไว้ในรูปที่ 4.6 ค่าความนำที่ขาเกต-ซอร์ส แสดงอยู่ในรูปค่าความนำแฝงที่ต่อขานานอยู่กับวงจร g_{di} และที่ขาเกต-ซอร์สแสดงค่าความเก็บประจุแฝงที่ต่อขานานกับวงจร C_{gsi} ผลกระทบจากค่าที่แฝงอยู่ต่างๆ ของวงจรรองความถี่ที่นำเสนอ สามารถพิจารณาแยกเป็น 2 ส่วนเช่น ผลจากค่าความนำ และผลจากค่าความเก็บประจุ



รูปที่ 4.6 แบบจำลองของมอดูลทรานซิสเตอร์

เมื่อต้องการพิจารณาในส่วนของผลจากค่าความนำ g_{di} ของมอดูลทรานซิสเตอร์ในรูปที่ 4.6 จะสมมติให้ $g_{d1} = g_{d2} = g_{d3} = g_{dA}$ และ $g_{d4} = g_{d5} = g_{d6} = g_{d7} = g_{d8} = g_{dB}$ ฟังก์ชันการส่งผ่านกระแสของวงจรรองความถี่ที่นำเสนอจะกลายเป็น

$$\frac{I_{out}}{I_1} \approx \frac{-g_{mA}g_{mB}(4g_{dB} + g_{dA}) - sg_{mA}C_2(g_{mB} + g_{dA} + 2g_{dB})}{D_{n1}(s)} \quad (4.19)$$

และ

$$\frac{I_{out}}{I_2} \approx \frac{g_{mA}g_{mB}(g_{mB} + g_{dA} + 2g_{dB})}{D_{n1}(s)} \quad (4.20)$$

โดย

$$\begin{aligned} D_{n1}(s) \approx & s^2 C_1 C_2 (g_{mB} + g_{dA} + 2g_{dB}) + s[C_1(g_{dA}g_{mB} + 4g_{mB}g_{dB}) \\ & + C_2(g_{mA}g_{mB} + g_{mB}(g_{dA} + g_{dB}) + g_{mA}(g_{dA} + 2g_{dB}))] \\ & + g_{mA}g_{mB}(g_{mB} + g_{dA} + 4g_{dB}) \end{aligned} \quad (4.21)$$

จากสมการที่ (4.21) สามารถนำไปหาค่าความถี่ตอบสนอง และองค์ประกอบคุณภาพของวงจรรองความถี่ที่นำเสนอในกรณีไม่เป็นอุดมคติ ในรูปของค่าความนำแฝง g_{di} ได้เป็น

$$\omega_{Pn1} \cong \sqrt{\frac{g_{mA}g_{mB}(g_{mB} + g_{dA} + 4g_{dB})}{C_1C_2(g_{mB} + g_{dA} + 2g_{dB})}} \quad (4.22)$$

$$Q_{Pn1} \cong \frac{\sqrt{g_{mA}g_{mB}C_1C_2(g_{mB} + g_{dA} + 4g_{dB})(g_{mB} + g_{dA} + 2g_{dB})}}{C_1(g_{dA}g_{mB} + 4g_{mB}g_{dB}) + C_2(g_{mA}g_{mB} + g_{mB}(g_{dA} + g_{dB}) + g_{mA}(g_{dA} + 2g_{dB}))} \quad (4.23)$$

จะเห็นได้ว่าเมื่อนำค่าความนำแฟงมาพิจารณา ทรานเฟอร์ฟังก์ชันของวงจรรองความถี่มีองค์ประกอบที่ไม่ต้องการเกิดขึ้นหลายตัว สมการที่ (4.22) และ (4.23) แสดงให้เห็นจุดที่สามารถละไว้ได้ ด้วยเงื่อนไข

$$5g_{di} \ll g_{mi} \quad (4.24)$$

ในทำนองเดียวกัน หากต้องการพิจารณาในส่วนของผลจากค่าความเก็บประจุ C_{gsi} ของมอสทรานซิสเตอร์ในรูปที่ 4.6 โดยสมมติให้

$$C_{gs1} = C_{gs2} = C_{gs3} = C_{gA}$$

และ

$$C_{gs4} = C_{gs5} = C_{gs6} = C_{gs7} = C_{gs8} = C_{gB}$$

ฟังก์ชันการส่งผ่านกระแสของวงจรรองความถี่ที่นำเสนอจะกลายเป็น

$$\frac{I_{out}}{I_1} \approx \frac{-sg_{mA}g_{mB}(5C_{gB} + C_2) - s^2g_{mA}C_{gB}(6C_{gB} + 2C_2)}{D_{n2}(s)} \quad (4.25)$$

และ

$$\frac{I_{out}}{I_2} \approx \frac{g_{mA}g_{mB}(g_{mB} + s2C_{gB})}{D_{n2}(s)} \quad (4.26)$$

โดย

$$D_{n2}(s) \approx g_{mA}g_{mB}^2 + sg_{mA}g_{mB}(C_2 + 5C_{gB}) + s^2(g_{mB}C_1C_2 + 2g_{mA}C_2C_{gB} + 5g_{mB}C_1C_{gB} + 3g_{mB}C_2C_{gA}) \quad (4.27)$$

จากสมการที่ (4.27) สามารถนำไปหาค่าความถี่ตอบสนอง และองค์ประกอบคุณภาพของวงจรรองความถี่ที่นำเสนอในกรณีไม่เป็นอุดมคติ ในรูปของค่าความเก็บประจุแฟง C_{gsi} ได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_{Pn2} \cong \sqrt{\frac{g_{mA}g_{mB}}{(g_{mB}C_1C_2 + 2g_{mA}C_2C_{gB} + 5g_{mB}C_1C_{gB} + 3g_{mB}C_2C_{gA})}} \quad (4.28)$$

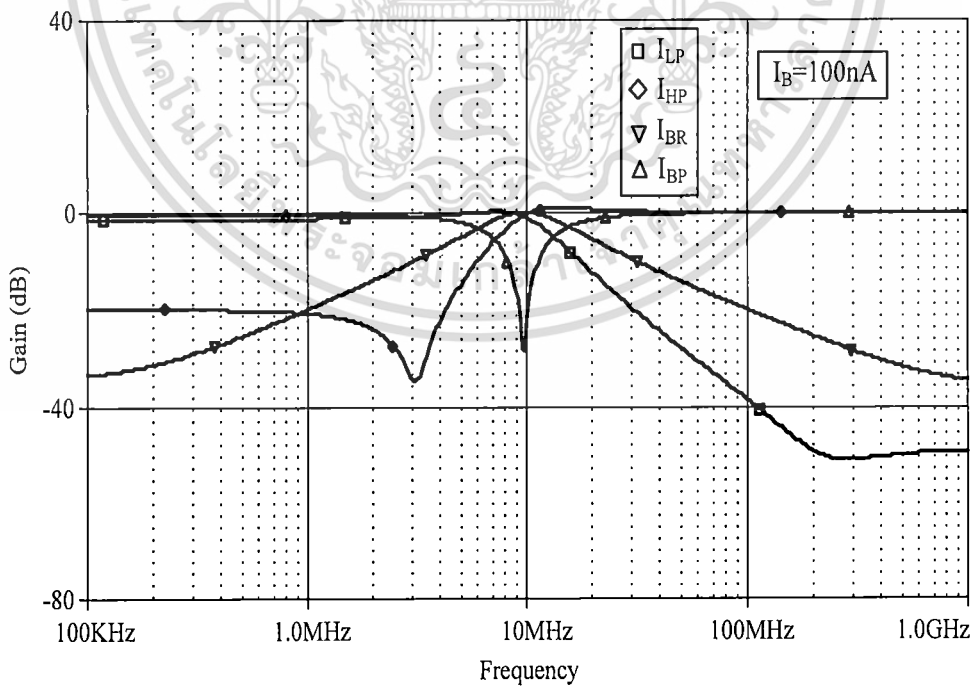
$$Q_{Pn2} \cong \frac{\sqrt{(g_{mB}C_1C_2 + 2g_{mA}C_2C_{gB} + 5g_{mB}C_1C_{gB} + 3g_{mB}C_2C_{gA})}}{\sqrt{g_{mA}}(C_2 + 5C_{gB})} \quad (4.29)$$

จะเห็นได้ว่าเมื่อนำค่าความเก็บประจุแผงมาพิจารณา ทรานเฟอร์ฟังก์ชันของวงจรกรองความถี่มีองค์ประกอบที่ไม่ต้องการเกิดขึ้นหลายตัว สมการที่ (4.28) และ (4.29) แสดงให้เห็นจุดที่สามารถละไว้ได้ ด้วยเงื่อนไข

$$10C_{gsi} \ll C_1, C_2 \quad (4.30)$$

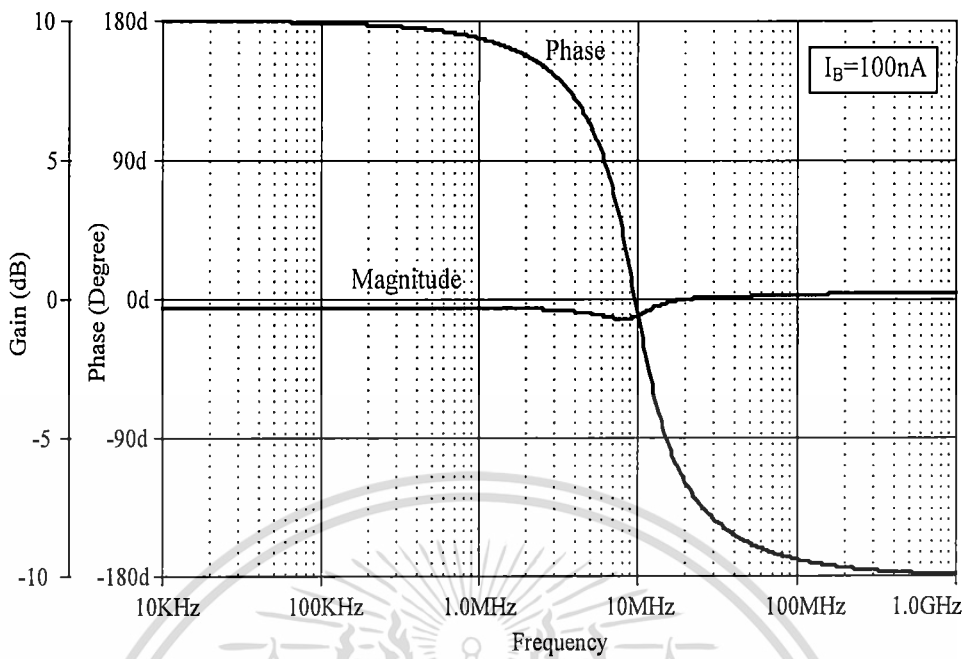
4.3 ผลจำลองการทำงานของวงจร

วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสสำหรับย่านความถี่สูงสามารถยืนยันคุณสมบัติและประสิทธิภาพของวงจรได้ด้วยโปรแกรม PSPICE โดยใช้แบบจำลอง (Model) ของ TSMC MOSIS 0.25 μm [14] ออกแบบเป็นวงจรกรองความถี่ตามรูปที่ 4.4 โดยใช้ไฟเลี้ยง +1V ซึ่งขนาดของทรานซิสเตอร์ NMOS ทั้ง 8 ตัวที่ใช้คือ $W/L=1\mu\text{m}/0.25\mu\text{m}$



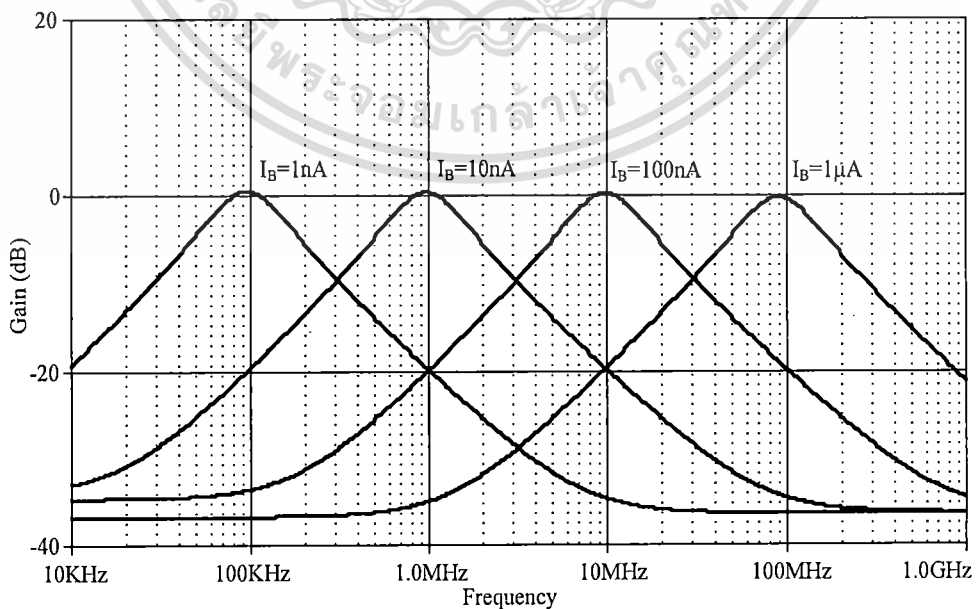
รูปที่ 4.7 คุณสมบัติของวงจรกรองทั้ง 4 แบบ เมื่อปรับค่า $I_B=100 \text{ nA}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



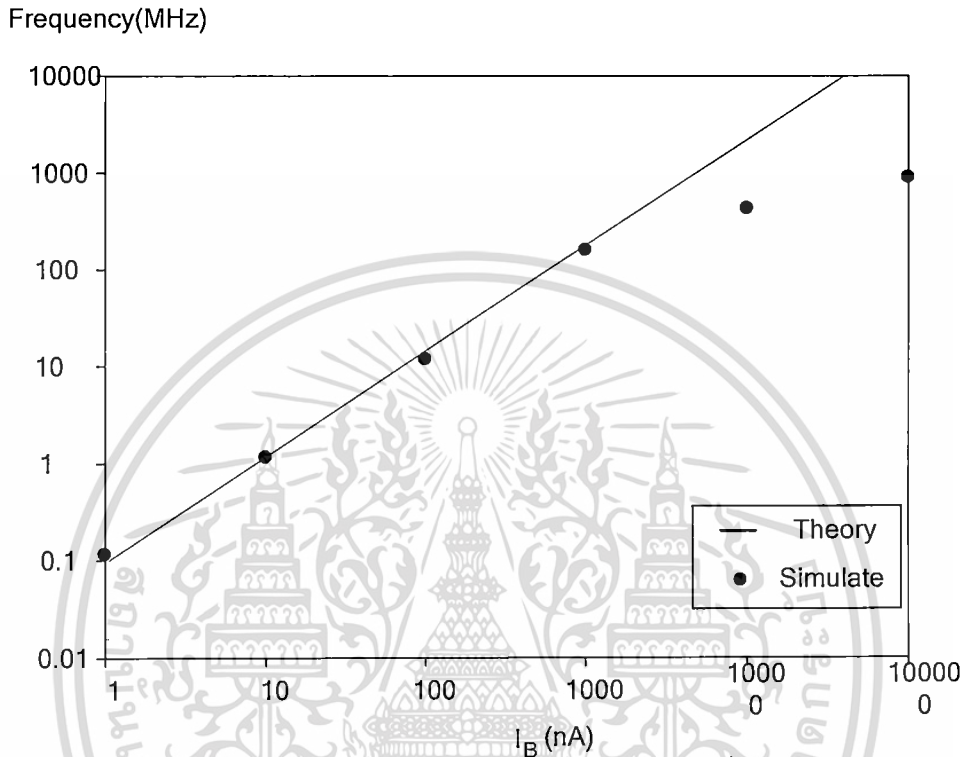
รูปที่ 4.8 ผลตอบสนองทางขนาดและเฟสของวงจรกรองผ่านทุกความถี่เมื่อปรับค่า $I_B = 100 \text{ nA}$

จากการจำลองการทำงานของตัวกรองความถี่จะกำหนดให้ค่าทรานสคอนดักแตนซ์ $g_{m1} = g_{m2}$ โดยการกำหนด $I_{B1} = I_{B2} = I_B$ และ $C_1 = C_2 = 0.03 \text{ pF}$ ได้ผลตอบสนองทางความถี่แสดงไว้ดังรูปที่ 4.7 ให้คุณสมบัติตัวกรองต่างๆ เช่น ตัวกรองความถี่ต่ำผ่าน ตัวกรองความถี่สูงผ่าน ตัวกรองแถบความถี่ที่ต้องการผ่าน ตัวกรองแถบความถี่ที่ต้องการออก ซึ่งพบว่าค่าความถี่ตอบสนอง (f_p) มีค่าประมาณ 10 MHz



รูปที่ 4.9 เอาต์พุตของวงจรกรองแถบความถี่ที่ต้องการผ่าน โดยการปรับค่ากระแสไบอัสค่าต่างๆ เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

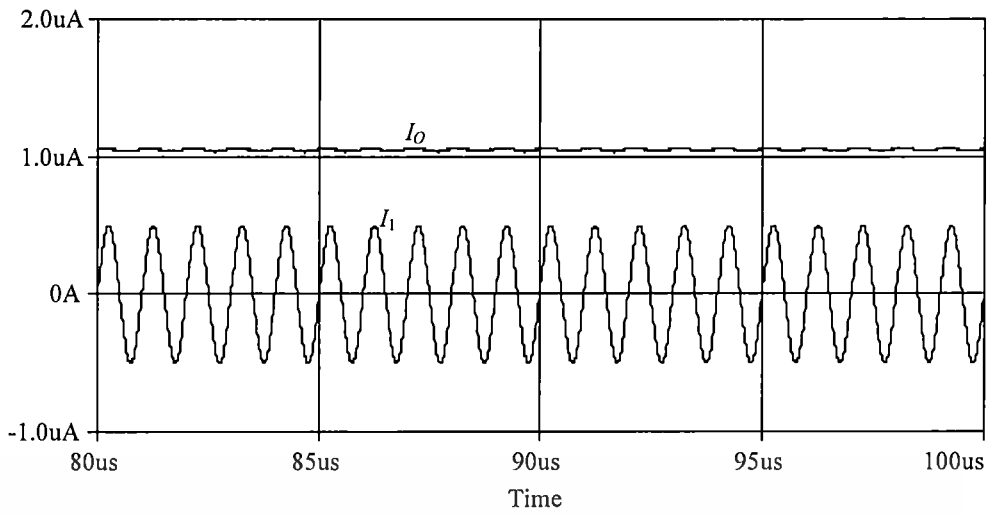
เช่นเดียวกับผลตอบสนองทางขนาด และเฟสของตัวกรองความถี่ผ่านทั้งหมดที่ความถี่ 10 MHz แสดงไว้ในรูปที่ 4.8 นอกจากนี้คุณสมบัติตัวกรองแถบความถี่ที่ต้องการผ่าน โดยเปลี่ยนค่ากระแสไบอัส (I_B) จาก 1 nA ถึง 1 μ A ให้ผลตอบสนองทางความถี่ (f_p) ตั้งแต่ 100 kHz ถึง 100 MHz ดังแสดงในรูปที่ 4.9



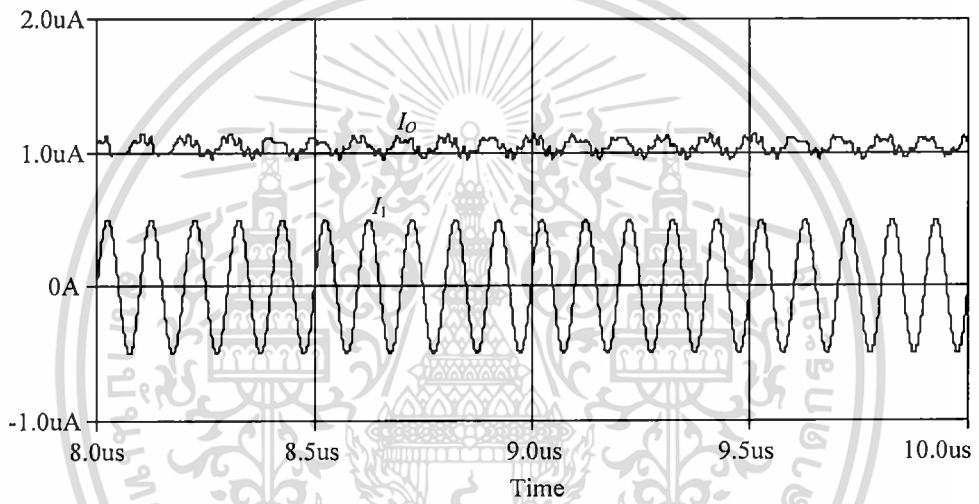
รูปที่ 4.10 กราฟแสดงค่าความถี่ตอบสนองที่ได้เมื่อป้อนกระแสไบอัสค่าต่างๆ

จากรูปที่ 4.10 เป็นกราฟแสดงค่าความถี่ตอบสนองที่ได้เมื่อป้อนกระแสไบอัสตั้งแต่ 1 nA ถึง 100 μ A จะเห็นว่าผลตอบสนองทางความถี่ที่ได้มีความแม่นยำจนถึงที่ความถี่ 100 MHz หลังจากนั้นความถี่ตอบสนองจะคลาดเคลื่อนไปจากที่ควรจะเป็น

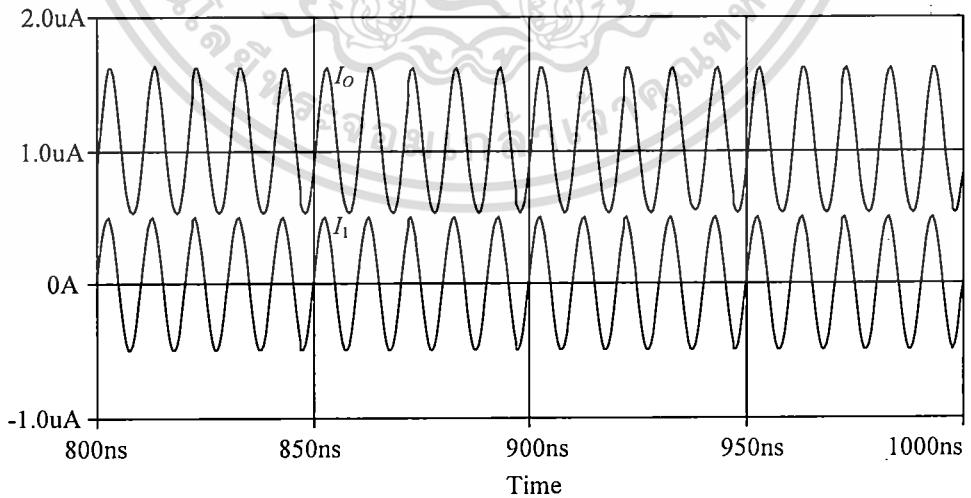
อันดับต่อไป เป็นการทดลองเพื่อดูการทำงานของวงจรถองความถี่ที่นำเสนอ ในโดเมนของเวลา โดยกำหนดให้เป็นวงจรถองแถบความถี่ที่ต้องการผ่าน ที่ความถี่ 100 MHz ป้อนอินพุตที่เป็นสัญญาณไซน์ $1\mu A_{p-p}$ ที่ความถี่ 1MHz, 10MHz, 100MHz และ 1GHz ที่ I_B ของวงจรถองความถี่ในรูปที่ 4.4 ต่อโหลดเป็นความต้านทาน 1k Ω โดยตรงที่เอาต์พุตและต่อไฟแยกต่างหาก ผลตอบสนองทางเวลาของวงจรถองความถี่ที่นำเสนอแสดงในรูปที่ 4.9 (ก), (ข), (ค) และ (ง)



(f)

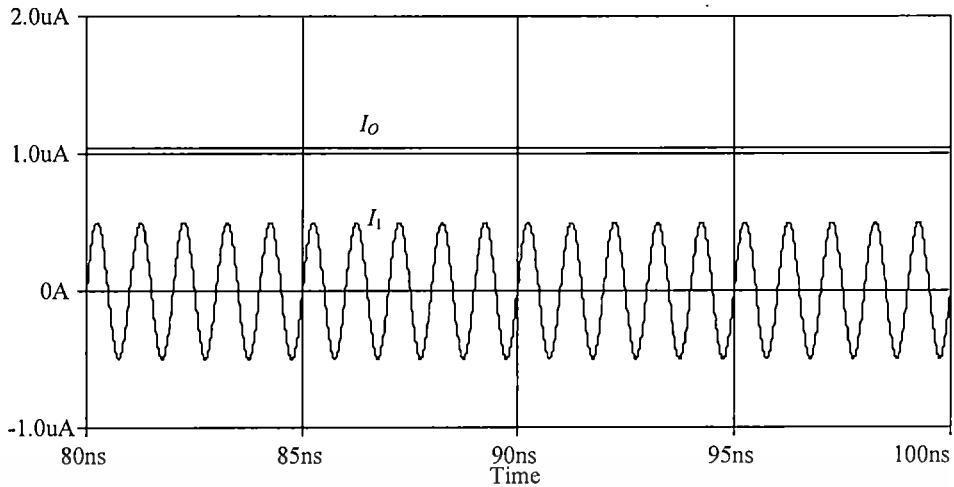


(g)



(h)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ง)

รูปที่ 4.11 ผลตอบสนองทางเวลาของวงจรกรองแถบความถี่ผ่านที่มี $f_p=100\text{MHz}$ ที่อินพุตต่างๆกัน
(ก) 1MHz (ข) 10MHz (ค) 100MHz (ง) 1GHz

จากรูปที่ 4.10 จะเห็นได้ว่ามีเพียงสัญญาณอินพุตที่ 100 MHz เท่านั้นที่ผ่านวงจรนี้แล้วยังคงสภาพเดิม เป็นไปตามคุณสมบัติของวงจรกรองความถี่ที่ต้องการผ่าน ที่ได้ตั้งค่าไว้ที่ 100 MHz

4.3.1 ผลการจำลองการทำงานหลังการเลย์เอาต์

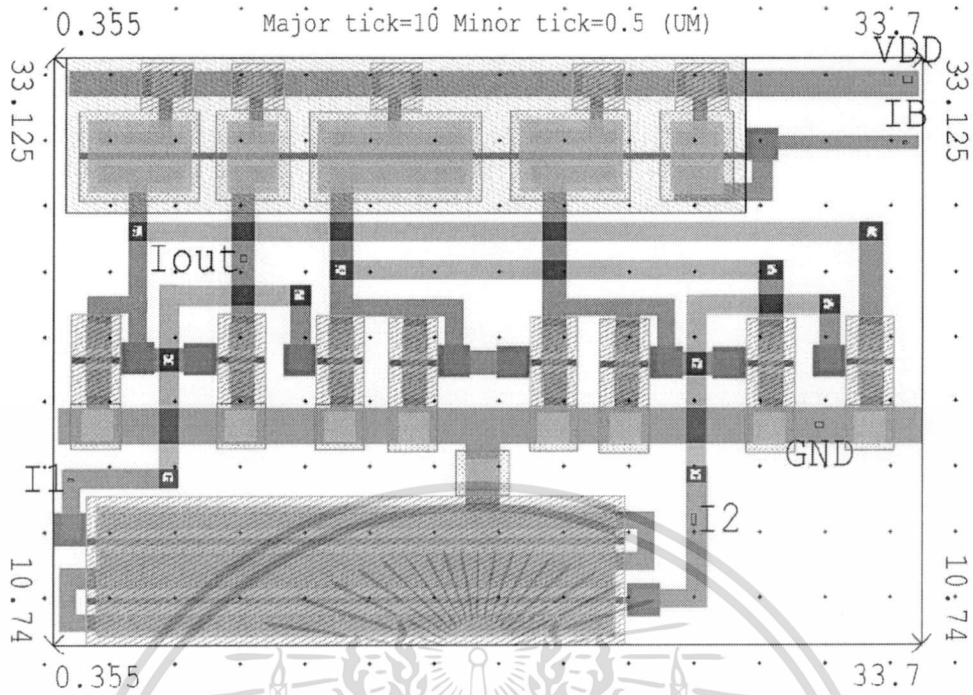
อันดับต่อไปเป็นตัวอย่างการออกแบบเลย์เอาต์ของวงจรที่นำเสนอ โดยใช้โปรแกรม L-EDIT บนพื้นฐานของเทคโนโลยี $0.25\mu\text{m}$ TSMC MOSIS ดังแสดงในรูปที่ 4.11 การป้อนกระแสไบอัสของทรานซิสเตอร์ใช้วงจรสะท้อนกระแสที่ประกอบไปด้วยทรานซิสเตอร์ 5 ตัว ซึ่งกินพื้นที่บนชิพทั้งหมดประมาณ $760\mu\text{m}^2$

จากนั้นจึงนำเลย์เอาต์ของวงจรนี้ไปจำลองผลการทำงานโดยใช้โปรแกรม T-SPICE หาผลตอบสนองทางความถี่ของวงจรกรองทั้ง 4 รูปแบบคือ ตัวกรองความถี่ต่ำผ่าน ตัวกรองความถี่สูงผ่าน ตัวกรองแถบความถี่ที่ต้องการผ่าน ตัวกรองแถบความถี่ที่ต้องการออก โดยวงจรใช้ไฟเลี้ยง 1V โมเดล TSMC MOSIS level49 [24] ได้ผลดังรูปที่ 4.12

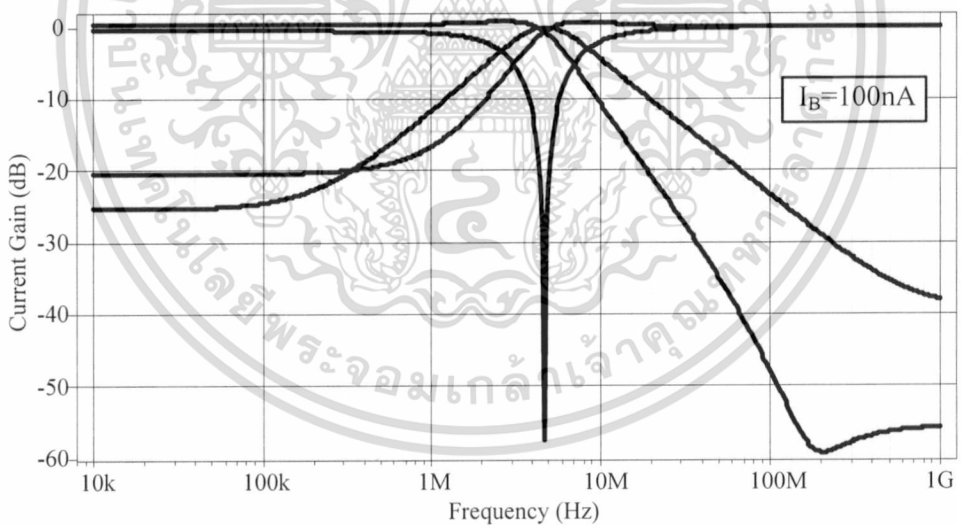
ทดลองปรับค่ากระแสไบอัสจาก 1nA ถึง $1\mu\text{A}$ ดังแสดงในรูปที่ 4.13 จะเห็นได้ว่าคุณสมบัติในการปรับค่าความถี่ยังคงเหมือนก่อนการทำเลย์เอาต์ แต่ความถี่ตอบสนองที่ได้มีค่าน้อยกว่าเดิมซึ่งหมายถึงค่าความเก็บประจุแฝงมีค่าค่อนข้างสูง

จากผลการจำลองการทำงานในรูปที่ 4.13 จะเห็นว่าที่ความถี่สูง วงจรจะได้รับผลกระทบจากค่าความเก็บประจุแฝงมาก สามารถสรุปได้ว่าการเลือกขนาดตัวเก็บประจุควรเลือกให้สูงขึ้นเพื่อลดผลกระทบดังกล่าว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

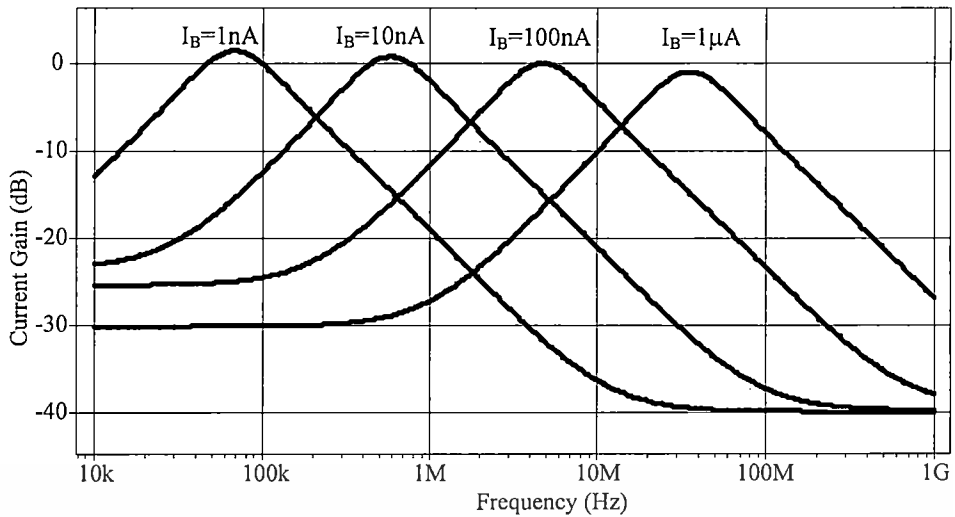


รูปที่ 4.12 ตัวอย่างเลย์เอาต์ของวงจรที่นำเสนอ



รูปที่ 4.13 ผลตอบสนองทางความถี่ของวงจรรองทั้ง 4 รูปแบบจากการทำเลย์เอาต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.14 คุณสมบัติการปรับค่าได้ทางอิเล็กทรอนิกส์ของวงจรกรองแถบความถี่ผ่านจากการทำเลย์เอาต์

4.4 สรุป

เนื้อหาในบทนี้ได้กล่าวถึงรายละเอียดต่างๆ ของวงจรกรองความถี่หลายหน้าที่รูปแบบกระแสปรับค่าได้โดยใช้ชิพมอสสำหรับย่านความถี่สูงที่นำเสนอ ซึ่งถูกสร้างขึ้นมาจากวงจรอินทิเกรเตอร์แบบไม่สูญเสีย และแบบสูญเสีย โดยใช้ทรานซิสเตอร์เพียง 8 ตัวแต่สามารถใช้เป็นวงจรกรองสัญญาณได้ถึง 5 รูปแบบ สามารถปรับค่าความถี่ตอบสนองด้วยกระแสไบอัส ค่าทรานเฟอร์ฟังก์ชัน ค่าความถี่ตอบสนอง ค่าองค์ประกอบคุณภาพ ค่าความไว ทั้งกรณีที่เป็นอูดมคติ และไม่เป็นอูดมคติ ได้ถูกแสดงไว้ในบทนี้ รวมถึงผลการจำลองการทำงานของวงจร ซึ่งสอดคล้องกับทฤษฎีที่ได้นำเสนอ

บทที่ 5

บทสรุปและข้อเสนอแนะ

5.1 บทสรุป

วิทยานิพนธ์ฉบับนี้ได้เสนอ วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสปรับค่าได้โดยใช้ ซิมอส สำหรับย่านความถี่สูง โดยใช้วงจรอินทิเกรเตอร์แบบไม่สูญเสียและแบบสูญเสียที่สร้างจาก มอสทรานซิสเตอร์เพียง 8 ตัว และตัวเก็บประจุแบบต่อลงกราวด์ 2 ตัว วงจรที่นำเสนอมีหลาย อินพุตและหนึ่งเอาต์พุต มีคุณสมบัติของวงจรกรองห้าแบบในวงจรเดียวกัน ทั้งวงจรกรองความถี่ต่ำ ผ่าน วงจรกรองความถี่สูงผ่าน วงจรกรองแถบความถี่ที่ต้องการผ่าน วงจรกรองแถบความถี่ที่ต้องการออก และวงจรกรองผ่านทุกความถี่ สามารถปรับค่าความถี่ตอบสนอง โดยทาง อิเล็กทรอนิกส์ได้อย่างเป็นอิสระ โดยการปรับค่ากระแสไบอัส ผลการจำลองการทำงานโดยใช้ โปรแกรม PSPICE จะได้ค่าความถี่ตอบสนองที่สูงถึง 100 MHz ด้วยการป้อนกระแสไบอัสที่ 1 μA และแรงดัน +1V ทำให้วงจรมีอัตราการบริโภคนำพลังงานต่ำ ซึ่งวงจรที่นำเสนอนี้สามารถนำมาใช้ในด้าน การสื่อสาร การประมวลผลสัญญาณภาพหรือระบบการอ่านเขียนของฮาร์ดดิสก์

นอกจากนี้ยังได้เสนอการวิเคราะห์วงจรในกรณีที่ไม่เป็นอุดมคติ โดยการนำเอา องค์ประกอบแฝงของวงจรที่ได้ถูกละไว้ในกรณีคำนวณเบื้องต้น ซึ่งสมมุติให้การทำงานของอุปกรณ์ แต่ละตัวในวงจรเป็นไปตามอุดมคติ นำมาคิดรวมด้วย ทำให้คุณสมบัติของวงจรทั้งทรานส์เฟอ์ ฟังก์ชัน ค่าความถี่ตอบสนอง และค่าองค์ประกอบคุณภาพมีการเปลี่ยนแปลงไป มีองค์ประกอบที่ ไม่ต้องการให้เกิดเพิ่มขึ้น ซึ่งเป็นตัวแปรที่ทำให้ประสิทธิภาพของวงจรลดลง โดยในวิทยานิพนธ์ได้ ใช้โปรแกรม L-EDIT ทำการออกแบบเลย์เอาต์ตัวอย่างของวงจรแล้วนำไปจำลองการทำงานด้วย โปรแกรม TSPICE เพื่อให้ได้ผลลัพธ์ที่ใกล้เคียงความเป็นจริงมากยิ่งขึ้น ผลการจำลองการทำงาน พบว่ามีความสอดคล้องกับผลก่อนการทำเลย์เอาต์ แต่ประสิทธิภาพความแม่นยำของวงจรจะลดลง โดยจะสังเกตเห็นว่าเกิดขึ้นมากที่ความถี่สูงๆ อันเนื่องมาจากองค์ประกอบแฝงที่เกิดขึ้นในวงจรเริ่ม ส่งผลให้การทำงานผิดเพี้ยนไป

5.2 ข้อเสนอแนะ

จากปัญหาที่ได้กล่าวไว้ข้างต้น แนวทางในการพัฒนาในอนาคตอาจจะต้องหาวิธีการที่จะ ลดผลกระทบจากค่าองค์ประกอบแฝงต่างๆ ที่มีผลต่อการทำงานของวงจร ในช่วงที่เป็นความถี่สูง อย่างมาก และ เป็นตัวจำกัดค่าต่ำสุดของตัวเก็บประจุ $10C_{gs} \ll C_1, C_2$ ดังที่กล่าวไว้ในบทที่ 4 การลดผลกระทบตัวเก็บประจุแฝงสามารถทำได้โดยใช้ซิมอสเทคโนโลยีที่สูงขึ้น (ต่ำกว่า 0.25 μm)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งในวิทยานิพนธ์นี้ใช้เทคโนโลยี $0.25\mu\text{m}$ หากสามารถทำได้จะสามารถลดค่าตัวเก็บประจุ C_1 C_2 ได้เป็นการเพิ่มประสิทธิภาพความแม่นยำของวงจรในช่วงความถี่สูง แต่อย่างไรก็ตามค่า W/L ของทรานซิสเตอร์ทั้งหมดอาจจะต้องทำการออกแบบให้เหมาะสมกับกระแสไบอัสอีกครั้ง ซึ่งจะเป็นประโยชน์ในการนำไปพัฒนาเครื่องมือเครื่องใช้ให้มีประสิทธิภาพสูงขึ้นไปอีก

เรื่องที่น่าสนใจในการนำไปพัฒนาต่ออีกเรื่องคือ การที่วงจรรองความถี่ที่นำเสนอนี้ไม่สามารถปรับค่าองค์ประกอบคุณภาพ (Q) ได้โดยทางอิเล็กทรอนิกส์ ทำให้เกิดความไม่สะดวกในการใช้งานในกรณีที่ต้องการให้คุณสมบัติของวงจรรองความถี่เป็นไปตามที่กำหนด โดยใช้การออกแบบด้วยหลักการของ State-variable Filter ก็เป็นอีกแนวทางหนึ่งเช่นกัน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- [1] W. J. Kerwin, L. P. Huelsman, and R. W. Newcomb, "State-variable synthesis for insensitive integrated circuit transfer function," *IEEE Trans. Solid-State Circuits*, vol. SC-2, pp.87-92, 1967.
- [2] S. I. Liu, J. J. Chen, Y. S. Hwang, "New Current mode Biquad filters using current follower," *IEEE Trans. Circuits Syst.*, vol. 42, pp.380-383, July 1995.
- [3] E. O. Gunes, A. Toker and S. Ozoguz, "Insensitive current-mode universal filter with minimum component using dual-output current conveyors," *Electron. Letts.*, vol. 35, pp.524-525, April 1999.
- [4] Fabre, O. Saaid, F. Wiest and C. Boucheron, "Current controlled bandpass filter based on translinear conveyors," *Electron. Lett.*, vol. 31, pp.1727-1728, 1995.
- [5] H. Y. Wang and C. T. Lee, "Versatile insensitive current-mode universal biquad implementation using current conveyors," *IEEE Trans. Circuits and Syst. II*, vol.48, pp.409-413, 2001.
- [6] C. M. Chang, "New multifunction OTA-C biquads," *IEEE Trans. Circuits and Syst.*, vol. 46, pp.820-824, June 1999.
- [7] C. M. Chang and S. Pai, "Universal current-mode OTA-C biquad with the minimum components," *IEEE Trans. Circuits and Syst.*, vol. 47, pp.1235-1238, Aug. 2000.
- [8] C. M. Chang, B. M. Al-Hashimi and J. N. Ross, "Unified active filter biquad structure," *IEE Proc. (part G)*, vol.151, pp.273-277, Aug. 2004.
- [9] J. Wu, "Current-mode high-order OTA-C filter," *Int. J. Electron.*, vol. 76, pp.1115-1120, 1994.
- [10] M. T. Abuelma'atti and A. Bentrchia, "New universal current-mode multiple-input multiple-output OTA-C filter," *Proc. of APCCAS 2004*, pp.1037-1039, Dec. 2004.
- [11] E. Sanchez-sinencio, R. L. Geiger and H. Nevarez-Lozano, "Generation of Continuous-Time Two Integrator Loop OTA filter structures," *IEEE Trans. Circuits and Syst.*, vol. 35, pp.936-946, Aug. 1988.
- [12] C. M. Chang, C. L. Hou, W. Y. Chung, J. W. Horng and C. K. Tu, "Analytical synthesis of high-order single-ended-input OTA-grounded C all-pass and band-reject filter structures," *IEEE Trans. Circuits and Syst.*, Vol.53, pp.489 – 498, Mar. 2006.

- [13] S. H. Tu, C. M. Chang, J. N. Ross, M. N. S. Swamy, "Analytical Synthesis of Current-Mode High-Order Single-Ended-Input OTA and Equal-Capacitor Elliptic Filter Structures With the Minimum Number of Components," *IEEE Trans. Circuits and Syst.*, Vol.54, pp.2195–2210, Oct. 2007.
- [14] H. P. Chen and S. S. Shen, "A versatile universal capacitor-grounded voltage-mode filter using DVCCs," *ETRI J.*, vol. 29, no. 4, pp. 470–476, Aug. 2007.
- [15] H. Khorramabadi and P. R. Gray, "High frequency CMOS continuous time filters," *IEEE J. Solid-State Circuits*, vol. SC-19, no. 6, pp.939-948, Dec. 1984.
- [16] C. S. Park and R. Schaumann, "Design of a 4-MHz analog integrated CMOS transconductance-C bandpass filter," *IEEE J. Solid-State Circuits*, vol. 23, no. 4, pp. 987-996, Aug. 1988.
- [17] V. Gopinathan, Y. P. Tsvividis, K. S. Tan, and R. K. Hester, "Design considerations for high-frequency continuous-time filters and implementation of an antialiasing filter for digital video," *IEEE J. Solid-State Circuits*, vol. 25, no. 6, pp. 1368-1378, Dec. 1990.
- [18] J. M. Khoury, "Design of a 15-MHz CMOS continuous-filter with on-chip tuning," *IEEE J. Solid-State Circuits*, vol. 25, no. 12, pp.1988-1997, Dec. 1991.
- [19] W. M. Snelgrove and A. Shoval, "A balanced 0.9- μm CMOS transconductance-C filter tunable over the VHF range," *IEEE J. Solid-State Circuits*, vol. 27, no. 3, pp. 314-323, Mar. 1992.
- [20] B. Nauta, "A CMOS transconductance-C filter technique for very high frequencies," *IEEE J. Solid-state Circuits*, vol. 27, no. 2, pp. 142-153, Feb. 1992.
- [21] S. Lee, R. H. Zele, D. J. Allstot and G. Liang, "A Continuous-Time Current-Mode Integrator," *IEEE Trans. Circuits and Syst.*, Vol.38, No.10, pp.1236–1238, Oct. 1991.
- [22] S. Lee, R. H. Zele, D. J. Allstot and G. Liang, "CMOS Continuous-Time Current-Mode Filters for High-Frequency Applications," *IEEE Journal of Solid-state Circuits*, Vol.28, No.3, pp.323-329, March 1993.
- [23] B. Razavi, "Design of Analog CMOS Integrated Circuits," Chicago: McGraw-Hill, 2001
- [24] E. Yuce, S. Minaei and O. Cicekoglul, "Full-wave rectifier realization using only two CCII+s and NMOS transistors," *International Journal of Electronics*, Vol. 93, No. 8, pp.533–541, Aug. 2006.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก.
โปรแกรม PSPICE ที่ใช้วิเคราะห์วงจรในวิทยานิพนธ์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

****โปรแกรม PSPICE ที่ใช้ในการวิเคราะห์และจำลองการทำงานของวงจรที่นำเสนอ****

****CMOS-based High-frequency Tunable Current-mode Universal Filter****

VDD	1	0	DC 1
*I1	0	2	AC 1
I2	0	5	AC 1
*I3	0	3	AC 1
C1	2	0	0.03p
C2	5	0	0.03p
R1	1	3	1
IB	0	100	DC 90n
VB	100	0	DC 0
F1	1	2	VB 2
F2	1	3	VB 1
F3	1	4	VB 3
F4	1	5	VB 2
M1	2	2	0 0 NMOS1 W=1U L=0.25U
M2	3	2	0 0 NMOS1 W=1U L=0.25U
M3	4	2	0 0 NMOS1 W=1U L=0.25U
M4	4	4	0 0 NMOS1 W=1U L=0.25U
M5	5	4	0 0 NMOS1 W=1U L=0.25U
M6	5	5	0 0 NMOS1 W=1U L=0.25U
M7	4	5	0 0 NMOS1 W=1U L=0.25U
M8	2	5	0 0 NMOS1 W=1U L=0.25U

*****0.25um*****

*LOT: T14Y MOSIS WAF: 3
*DIE: N_Area_Fring DEV: N3740/10
*Temp= 27

.MODEL NMOS1 NMOS (LEVEL = 3
+TOX = 5.70E-09 NSUB = 1E+17 GAMMA = 0.4317311
+PHI = 0.7 VTO = 0.4238252 DELTA = 0
+UO = 425.6466519 ETA = 0 THETA = 0.1754054
+KP = 2.50E-04 VMAX = 82878.51 KAPPA = 0.1686779
+RSH = 4.06E-03 NFS = 1E+12 TPG = 1
+XJ = 3.00E-07 LD = 3.16228E-11 WD = 1.23E-08
+CGDO = 6.20E-10 CGSO = 6.2E-10 CGBO = 1.00E-10
+CJ = 1.81E-03 PB = 0.5 MJ = 0.3282553
+CJSW = 5.34E-10 MJSW = 0.5)

.MODEL PMOS1 PMOS (LEVEL = 3
+TOX = 5.70E-09 NSUB = 1.00E+17 GAMMA = 0.6348369
+PHI = 0.7 VTO = -0.5536085 DELTA = 0
+UO = 250 ETA = 0 THETA = 0.1573195
+KP = 5.19E-05 VMAX = 2.30E+05 KAPPA = 0.7448494
+RSH = 30.0776952 NFS = 1.00E+12 TPG = -1
+XJ = 2.00E-07 LD = 9.97E-13 WD = 5.48E-09
+CGDO = 6.66E-10 CGSO = 6.66E-10 CGBO = 1.00E-10
+CJ = 1.89E-03 PB = 0.9906013 MJ = 0.4664287
+CJSW = 3.63E-10 MJSW = 0.5)

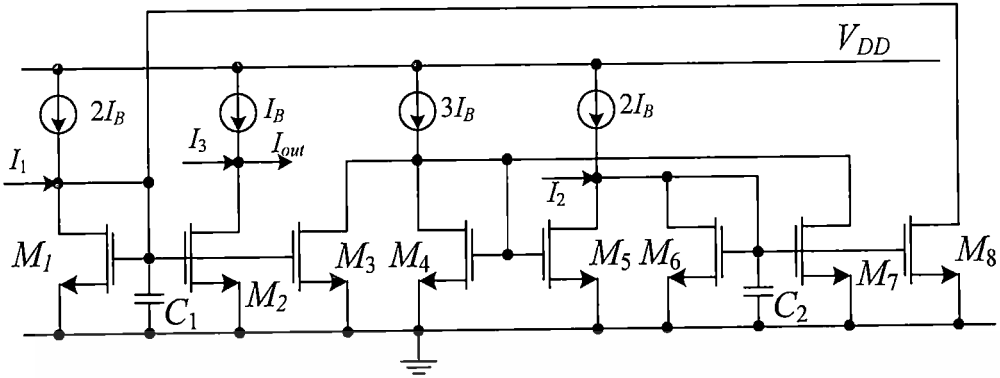
*****0.25um*****

.AC DEC 101 100K 1000MEG
.PROBE
.op
.END

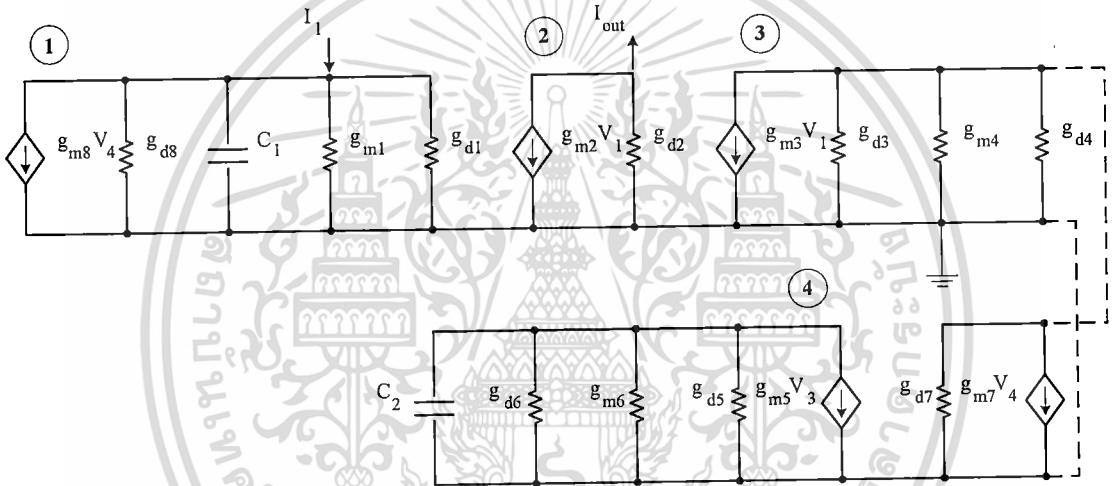


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การวิเคราะห์แบบจำลองสัญญาณขนาดเล็กของวงจรที่นำเสนอ



รูปที่ ข.1 วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่นำเสนอ



รูปที่ ข.2 แบบจำลองสัญญาณขนาดเล็กของวงจรในรูป ข.1 เมื่อพิจารณาในส่วนของค่าความนำ

จากรูปที่ ข.2 หา KCL ที่โหนดต่างๆ ได้ดังนี้

Node 1

$$I_1 - g_{m1}V_1 - g_{d1}V_1 - g_{m8}V_4 - g_{d8}V_1 - sC_1V_1 = 0$$

Node 2

$$I_{out} + g_{m2}V_1 + g_{d2}V_2 = 0$$

Node 3

$$g_{m3}V_1 + g_{d3}V_3 + g_{m4}V_3 + g_{d4}V_3 + g_{m7}V_4 + g_{d7}V_3 = 0$$

Node 4

$$g_{m5}V_3 + g_{d5}V_4 + g_{m6}V_4 + g_{d6}V_4 + sC_2V_4 = 0$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมมุติให้ $g_{d1} = g_{d2} = g_{d3} = g_{dA}$ และ $g_{d4} = g_{d5} = g_{d6} = g_{d7} = g_{d8} = g_{dB}$ จะได้

$$\frac{I_{out}}{I_1} \approx [g_{mA}^2 g_{mB} + 2g_{mA}^2 g_{dB} + 4g_{mA} g_{dB}^2 + g_{mA} g_{dA} g_{mB} + 2g_{mA} g_{dA} g_{dB} + 4g_{mA} g_{mB} g_{dB} \\ + s(g_{mA} g_{dA} C_2 + g_{mA}^2 C_2 + 2g_{mA} g_{dB} C_2 + g_{mA} g_{mB} C_2)] / D_{n1}(s)$$

โดยที่

$$D_{n1}(s) \approx g_{mA} g_{dA} g_{mB} + 2g_{mA} g_{dA} g_{dB} + g_{dA} g_{mB}^2 + g_{dA}^2 g_{mB} + 2g_{dA}^2 g_{dB} + 2g_{mA} g_{dB}^2 + 7g_{dA} g_{mB} g_{dB} \\ + 6g_{dA} g_{dB}^2 + 8g_{mB} g_{dB}^2 + 4g_{dB}^3 + 3g_{mA} g_{mB} g_{dB} + 4g_{mB}^2 g_{dB} \\ + s(g_{dA}^2 C_2 + 2g_{mA} g_{dB} C_1 + g_{mA} g_{mB} C_1 + 3g_{dA} g_{dB} C_2 + 4g_{mB} g_{dB} C_1 + g_{mA} g_{dA} C_2 \\ + g_{dA} g_{mB} C_1 + 2g_{dA} g_{dB} C_1 + 2g_{dB}^2 C_2 + g_{mA} g_{mB} C_2 + g_{mA} g_{dB} C_2 + 3g_{mB} g_{dB} C_2 \\ + 2g_{dA} g_{mB} C_2 + 4g_{dB}^2 C_1 + g_{mB}^2 C_2) \\ + s^2(g_{dA} C_1 C_2 + 2g_{dB} C_1 C_2 + g_{mA} C_1 C_2 + g_{mB} C_1 C_2)$$

เมื่อทำการประมาณค่าใหม่ ฟังก์ชันการส่งผ่านกระแสของวงจรองความถี่ที่นำเสนอจะกลายเป็น

$$\frac{I_{out}}{I_1} \approx \frac{-g_{mA} g_{mB} (4g_{dB} + g_{dA}) - s g_{mA} C_2 (g_{mB} + g_{dA} + 2g_{dB})}{D_{n1}(s)}$$

โดยที่

$$D_{n1}(s) \approx s^2 C_1 C_2 (g_{mB} + g_{dA} + 2g_{dB}) + s[C_1 (g_{dA} g_{mB} + 4g_{mB} g_{dB}) \\ + C_2 (g_{mA} g_{mB} + g_{mB} (g_{dA} + g_{dB}) + g_{mA} (g_{dA} + 2g_{dB}))] \\ + g_{mA} g_{mB} (g_{mB} + g_{dA} + 4g_{dB})$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 32
32nd Electrical Engineering Conference



EECON32 28 - 30 ตุลาคม 2552 ณ โรงแรมทวารวดี รีสอร์ท ปราณบุรี

ค้นหา Paper

รณาวัดน์

all:ทั้งหมด

สาร

รายชื่อ

ข้อมูลสถิติ

Abstract

EECON32

คณะกรรมการ

By Title Author Keyword

(A)

EL 019 วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสปรับค่าได้โดยใช้ชิพออสสำหรับย่านความถี่สูง

keywords วงจรกรองความถี่หลายหน้าที่, วงจรความถี่สูง, universal filter, high-frequency

authors รณาวัดน์ ดั่งบรรทีไชยสุ มนตรี สมดุลย์ถนอม ทศรัตน์ อ่างแก้ว และ ศิวัฒน์ วัฒนภูมิ

บทความนี้นำเสนอ วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่ใช้โครงสร้างวงจรรีเลย์อินทิเกรเตอร์ 2 แบบ คือ แบบสูญเสียและแบบไม่สูญเสีย วงจรที่นำเสนอมีหลายอินพุตหนึ่งเอาต์พุตโดยใช้เทคโนโลยีซิลิคอน ซึ่งมี NMOS จำนวน 8 ตัวและตัวเก็บประจุแบบผิวกราวด์ 2 ตัว ผลการตอบสนองทางความถี่ของวงจรที่นำเสนอสามารถควบคุมได้จากกระแสไบอัส เนื่องจากวงจรใช้ทรานซิสเตอร์เป็นอุปกรณ์แอคทีฟจึงสามารถทำงานในย่านความถี่สูงจนถึง 100 MHz สามารถนำไปประยุกต์ใช้งานด้านการสื่อสาร การประมวลผลสัญญาณภาพ หรือระบบการอ่านเขียนของฮาร์ดดิสก์ วงจรที่นำเสนออินพุตกำลังไฟฟ้าเพียง 9.12 μW แรงดันไฟเลี้ยงที่ใช้ 1 V เมื่อมีกระแสไบอัสที่ 1 μA คุณลักษณะของวงจรที่ได้รับถูกจำลองการทำงานด้วยโปรแกรม PSpice พบว่าสอดคล้องกับคุณสมบัติทางทฤษฎี

EL

โดยพระจอมเกล้าเจ้าคุณทหาร

EE for better life!

By Mahidol University

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสปรับค่าได้โดยใช้ซีมอสสำหรับย่านความถี่สูง CMOS-based High-frequency Tunable Current-mode Universal Filter

ชนาวิวัฒน์ ตั้งมรรพิเชษฐ¹ มนตรี สมดุลยภน² กฤษณ์ อ่างแก้ว³ และ ฉิพนัน พรหมณี⁴
¹ภาควิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
²ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ มหาวิทยาลัยสยาม
³ภาควิชาวิศวกรรมเครื่องกลและอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ
E-mail: pipat@telecom.kmitl.ac.th; monsonu@siamu.com

EL019

บทคัดย่อ

บทความนี้นำเสนอ วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสที่ใช้โครงสร้างวงจรถ่ายโอนที่ประกอบด้วย 2 แบบ คือ แบบสูญเสียและแบบไม่สูญเสีย วงจรที่นำเสนอมีหลายอินพุตหนึ่งเอาต์พุตโดยใช้เทคโนโลยีซีมอส ซึ่งมี NMOS จำนวน 8 ตัวและตัวเก็บประจุแบบต่อคร่าว 2 ตัว ผลการตอบสนองทางความถี่ของวงจรที่นำเสนอสามารถควบคุมได้จากค่ากระแสไบอัส เมื่อจกวงจรใช้ทรานซิสเตอร์เป็นอุปกรณ์แอคทีฟจึงสามารถทำงานในย่านความถี่สูงจนถึง 100 MHz สามารถนำไปประยุกต์ใช้งานด้านสื่อสาร การประมวลผลสัญญาณภาพ หรือระบบการอ่านเขียนของฮาร์ดดิสก์ วงจรที่นำเสนออินพุตกำลังไฟต่ำเพียง 9.12 μ W แรงดันไฟเลี้ยงที่ใช้ 1 V เมื่อมีกระแสไบอัสที่ 1 μ A คุณสมบัติของวงจรที่ได้นั้นถูกจำลองการทำงานด้วยโปรแกรม PSpice พบว่าสอดคล้องกับคุณสมบัติทางทฤษฎี

คำสำคัญ : วงจรกรองความถี่หลายหน้าที่, วงจรความถี่สูง

Abstract

This paper presents current mode universal filter based upon lossy and lossless integrators loop structure. The proposed universal filter is composed of multi input single output CMOS transistor, only eight NMOS and grounded capacitors. The proposed circuit can be adjusted bias currents of its frequency response. Due to use of transistor level, high frequency can be operated up to 100 MHz which application for high-frequency communications, video processing and magnetic disk-drive read-channel systems. The low-power supply, 1V is used for the proposed filter with low-power consumption around 9.12 μ W at 1 μ A bias currents. Characteristics of the obtained circuit are simulated by the PSpice program and they are found to agree well with the theory.

Keywords: Universal filter, high-frequency

1. บทนำ

ในการออกแบบวงจรกรองความถี่ด้วยอุปกรณ์แอคทีฟ คำสั่งได้รับความสนใจ ซึ่งวงจรกรองความถี่รูปแบบกระแสจะมีข้อดีกว่ารูปแบบแรงดัน เช่น ใช้ไฟเลี้ยงต่ำ ดอขบของทางความถี่สูงได้ดี วงจรมีขนาดเล็กและสามารถปรับค่าสัญญาณได้ง่าย

ในอดีตได้มีการออกแบบวงจรกรองความถี่โดยใช้หลักการไบโคาอสม์ครติกฟังก์ชัน [1] ซึ่งตัวกรองแบบไบโคาอสม์ครติกฟังก์ชันพื้นฐาน สามารถนำมาสร้างเป็นตัวกรองอินทิเกรตสูงคว่าได้ ในหลายปีที่ผ่านมาการออกแบบวงจรกรองความถี่ใช้ซีมอสเป็นแอคทีฟ ในรูปแบบกระแส เช่น CFs [2], CCIs [3-5] และ OTAs [6-11] ถูกนำเสนอออกมาเป็นจำนวนมากและตัวกรองแบบ OTA-C [12-13], DVCC [14] ซึ่งหลายบทความที่นำเสนอได้นั้นให้ผลตอบสนองความถี่ได้เกิน 10 MHz

ในทางปฏิบัติให้ผลตอบสนองความถี่จะถูกจำกัดโดยแบนด์วิธของอุปกรณ์แอคทีฟ นอกจากนั้นแล้ว วงจรนั้นยังต้องสูญเสียกำลังงาน ในปริมาณที่มาก และ ปรับจูนความถี่ได้ยาก อีกทั้งมีภาวะต่อร่วมกับตัวต้นทางภายนอก [3], [5] หรือใช้ตัวเก็บประจุแบบลอยตัว [2] ซึ่งวงจรทั้งหมดนี้ไม่เหมาะสมในการจะนำมาสร้างเป็นวงจรรวม การทำงานของตัวกรองอนาล็อกที่มีย่านความถี่เกิน 10 MHz ซึ่งมีความจำเป็นในงานด้านการประมวลผลสัญญาณภาพ และ ระบบการอ่านเขียนของฮาร์ดดิสก์ ก็ได้มีการพัฒนาแนวความคิดอื่น [15]-[20]

โดยบทความนี้จะนำเสนอตัวกรองความถี่หลายหน้าที่รูปแบบกระแส โดยใช้ซีมอสทรานซิสเตอร์เพียง 8 ตัว และตัวเก็บประจุแบบต่อคร่าว 2 ตัว รูปแบบของตัวกรองนั้นจะใช้วงจรถ่ายโอนที่ประกอบด้วย แบบสูญเสียและไม่สูญเสีย ซึ่งวงจรถ่ายโอนที่ประกอบด้วย NMOS 2 ตัว และ แบบไม่สูญเสียใช้ NMOS 6 ตัว ผลที่ได้จากตัวกรองความถี่จากบทความที่นำเสนอมี เช่น ทำงานที่ความถี่สูง การปรับค่าได้ทางอิเล็กทรอนิกส์ ใช้ซีมอสน้อย ทำงานที่แรงดันต่ำ นำให้อัลดการบริโภคกำลังงานต่ำและเหมาะสำหรับสร้างเป็นวงจรรวม

นอกจากนี้ยังสามารถให้คุณสมบัติตัวกรองต่างๆ ได้อย่างครบถ้วน เช่น ตัวกรองความถี่ต่ำผ่าน ตัวกรองความถี่สูงผ่าน ตัวกรองแถบความถี่ที่ต้องการผ่าน ตัวกรองแถบความถี่ที่ต้องการออก และตัวกรองความถี่ผ่านทั้งหมด โดยไม่ต้องมีการปรับเปลี่ยนวงจรใดๆ ทั้งสิ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ค่า ความไวของอุปกรณ์พาสซีฟและแอคทีฟ ที่ได้รับมีค่าภายใน ± 0.5 และแบ่งหัวข้อในการนำเสนอเป็น 4 ส่วนดังนี้คือ ส่วนที่ 1 กล่าวถึง โครงสร้างวงจรมอนิเตอร์แบบสูญเสียและไม่สูญเสีย ส่วนที่ 2 อธิบาย หลักการออกแบบวงจรมอนิเตอร์รูปแบบกระแส ส่วนที่ 3 แสดงผลการจำลองการทำงานของวงจรที่ออกแบบ และส่วนสุดท้ายกล่าวสรุป เนื้อหาของบทความนี้

2. ทฤษฎี และ หลักการ

2.1 วงจรมอนิเตอร์แบบไม่สูญเสีย และ แบบสูญเสีย

วงจรมอนิเตอร์แบบไม่สูญเสีย ได้ถูกนำมาใช้ประโยชน์ในการสร้างตัวกรองอันดับสูง ซึ่งสามารถจะออกแบบได้หลายวิธี ในบทความนี้ได้นำเสนอวงจรมอนิเตอร์แบบไม่สูญเสีย โดยใช้หลักการการป้อนกลับแบบของวงจรมอนิเตอร์แบบสูญเสีย [21-22] โดยใช้มอสเฟทรานซิสเตอร์เพียง 6 ตัวเท่านั้น แสดงไว้ดังรูปที่ 1 โคจรจอร์สมมูลทางไฟฟ้าของวงจรมอนิเตอร์วิเคราะห์ที่สมการอินพุตและเอาต์พุตโดยใช้ KCL ที่โหนด 1, 2 และ 3 จะได้

$$I_{out} = g_{m1}V_1 + g_{m2}V_2 \tag{1}$$

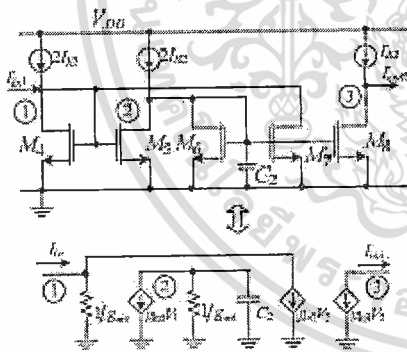
$$-g_{m1}V_1 - (g_{m2} + sC_2)V_2 \tag{2}$$

$$I_{out1} = -g_{m3}V_3 \tag{3}$$

แทนค่าสมการที่ (1) และ (2) ในสมการที่ (3) จะได้สมการ

ส่งผ่านกระแสคือ

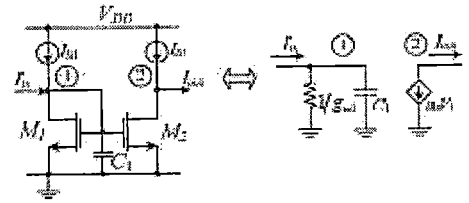
$$\frac{I_{out}}{I_{in}} = \frac{g_{m1}g_{m3}}{g_{m1}g_{m2} - g_{m1}g_{m3} + s g_{m2}C_2} \tag{4}$$



รูปที่ 1 วงจรมอนิเตอร์แบบไม่สูญเสีย

หลักการคล้ายๆ กัน รูปที่ 2 แสดงวงจรสมมูลทางไฟฟ้าของวงจรมอนิเตอร์แบบสูญเสีย โดยมีสมการถ่ายโอนกระแส ดังนี้

$$\frac{I_{out2}}{I_{in2}} = \frac{-g_{m3}/C_2}{s + g_{m1}/C_2} \tag{5}$$



รูปที่ 2 วงจรมอนิเตอร์แบบสูญเสีย

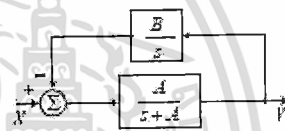
เมื่อค่าพารามิเตอร์คัตออฟสามารถประมาณค่าในเทอมของกระแสคร่อม โดยค่า $g_{m1} \approx \sqrt{\frac{2\mu_n C_{ox} W/L}{L} I_{D1}}$ สามารถควบคุมได้โดยการป้อนไบอัสที่กระแสคร่อม

2.2 วงจรมอนิเตอร์แบบใหม่และการเสถียร

โดยมีสมการตั้งต้นที่ใช้ในการสังเคราะห์ในบทความนี้คือสมการตัวกรองความถี่ที่ต้องการคำนวณสมการที่ (6)

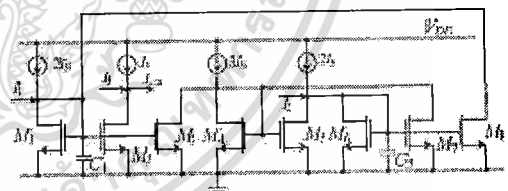
$$\frac{Y(s)}{X(s)} = \frac{sA}{s^2 + sA + AB} \tag{6}$$

จากสมการที่ (6) สามารถนำมาเขียน Block Diagram ด้วยอินทิเกรเตอร์แบบไม่สูญเสียและแบบสูญเสีย ได้ดังรูปที่ 3



รูปที่ 3 Block Diagram ของหลักการที่นำเสนอ

วงจรมอนิเตอร์แบบไม่สูญเสียหลายชนิดจะใช้ในอุปกรณ์แอคทีฟ ด้วยคุณสมบัติของวงจรทำให้อัตราเชิงความถี่สูงมักไม่เสถียรและในย่านความถี่สูงอัตราขยายก็จะลดลง



รูปที่ 4 วงจรมอนิเตอร์หลายขั้นที่รูปแบบกระแสที่นำเสนอ

ในบทความนี้นำเสนอตัวกรองความถี่ในรูปแบบกระแส โดยใช้มอสเฟทรานซิสเตอร์เป็นวงจรมอนิเตอร์ นำมาออกแบบเป็นวงจรมอนิเตอร์แบบไม่สูญเสียและแบบไม่สูญเสีย ดังแสดงในรูปที่ 1 และรูปที่ 2 รวมทั้งตัวเก็บประจุแบบต่อลงกราวด์ โดยมีคุณสมบัติที่ดีคือ สามารถใช้ไฟเลี้ยงต่ำ มีขนาดเล็ก ปรับค่าความถี่ได้ด้วยทางอิเล็กทรอนิกส์ และสามารถทำงานในย่านความถี่สูง การวิเคราะห์สมการกระแสเอาต์พุตแสดงได้ดังสมการที่ (7)

$$I_{out} = \frac{[g_{m1}g_{m2}g_{m3} - g_{m1}g_{m2}g_{m3} - s(g_{m1}g_{m2}C_2)]I_1}{D(s)} \quad (7)$$

$$+ \frac{g_{m1}g_{m2}g_{m3}I_2 + D(s)I_1}{D(s)}$$

โดยที่

$$D(s) = s^2(g_{m1}C_1C_2) + s(g_{m1}g_{m2}C_2 - C_1g_{m2}g_{m3} + C_1g_{m1}g_{m3}) + g_{m1}g_{m2}g_{m3} - g_{m1}g_{m2}g_{m3} + g_{m1}g_{m2}g_{m3}$$

สมมติว่าทรานซิสเตอร์สร้างขึ้นมาพร้อมกันทั้งหมด จะได้ค่าพารามิเตอร์ลักษณะ $g_{m1} = g_{m2} = g_{m3} = g_{m4}$ และ $g_{m5} = g_{m6} = g_{m7} = g_{m8} = g_{m9} = g_{m10}$ จะได้ค่ากระแสเอาต์พุตดังนี้

$$I_{out} = \frac{-s \left(\frac{g_{m1}}{C_1} \right) I_1 + \left(\frac{g_{m1}g_{m2}}{C_1C_2} \right) I_2}{D(s)} \quad (8)$$

และ

$$D(s) = s^2 + s \left(\frac{g_{m1}}{C_1} \right) + \frac{g_{m1}g_{m2}}{C_1C_2} \quad (9)$$

ทั้งนี้สามารถสรุปรูปแบบการป้อนกระแส เพื่อได้วงจรกรองความถี่ต่างๆ ได้ดังนี้

	LP	HP	BP	BR	AP
I_1	0	I_{in}	I_{in}	I_{in}	$2I_{in}$
I_2	I_{in}	$-I_{in}$	0	0	0
I_3	0	I_{in}	0	I_{in}	I_{in}

เมื่อพิจารณาเทียบกับรูปแบบทั่วไปของสมการ โปลาของเครื่อง

$$D(s) = s^2 + s \frac{\omega_p}{Q_p} + \omega_p^2$$

พบว่าตัวแปรที่เกี่ยวข้อง ω_p และ Q_p มีค่าเท่ากับ

$$\omega_p = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \quad (10)$$

$$Q_p = \frac{\sqrt{g_{m1}C_2}}{\sqrt{g_{m1}C_1}} \quad (11)$$

จากสมการที่ (9) และ (10) เขียนค่า ω_p และ Q_p ในรูปแบบของกระแสได้เป็น

$$\omega_p = \frac{2\mu C_m W}{L} \sqrt{\frac{I_{B1}I_{B2}}{C_1C_2}} \quad (12)$$

$$Q_p = \sqrt{\frac{I_{B2}C_2}{I_{B1}C_1}} \quad (13)$$

3. ค่าความไวของอุปกรณ์

ตารางที่ 1 ค่าความไวของวงจรที่มีนาลอน

x	g_{m1}	g_{m2}	C_1	C_2
$S_x^{Q_p}$	0.5	0.5	-0.5	-0.5
$S_x^{Q_p}$	-0.5	0.5	-0.5	0.5

สิ่งที่สามารถยืนยันประสิทธิภาพของวงจรกรองความถี่ที่มีนาลอนนั้นคือค่าความไวของอุปกรณ์แอคทีฟ และ พาสซีฟในวงจรที่มีผลต่อความถี่ตอบสนอง และ ค่าคุณภาพเมื่อ x คืออุปกรณ์แอคทีฟแต่ละ

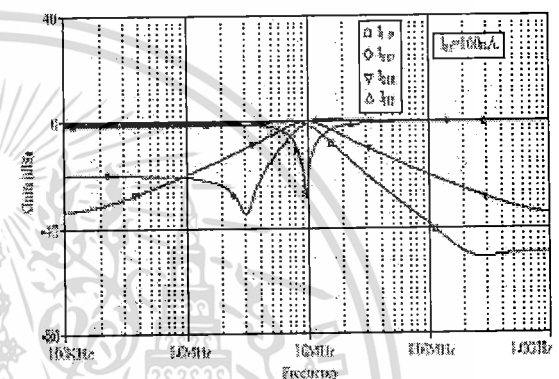
พาสซีฟแต่ละตัว ซึ่งพบว่าค่าความไวมีค่าอยู่ระหว่าง ± 0.5 ซึ่งสามารถสรุปได้ตารางที่ 1

$$S_{I_{B1}}^{Q_p} = S_{I_{B2}}^{Q_p} = -S_{C_1}^{Q_p} = -S_{C_2}^{Q_p} = 0.5 \quad (14)$$

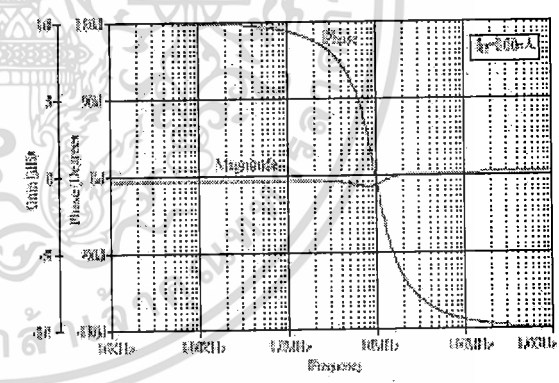
$$S_{I_{B1}}^{Q_p} = -S_{I_{B2}}^{Q_p} = -S_{C_1}^{Q_p} = -S_{C_2}^{Q_p} = -0.5 \quad (15)$$

4. ผลจำลองการทำงานของวงจร

วงจรกรองความถี่หลายหน้าที่รูปแบบกระแสสำหรับอำนาจความถี่สูงสามารถยืนยันคุณสมบัติและประสิทธิภาพของวงจรได้โดยใช้โปรแกรม PSpice โดยใช้แบบจำลอง (Model) ของ TSMC MOSIS 0.25 μm [14] ออกแบบเป็นวงจรกรองความถี่ตามรูปที่ 4 โดยใช้ไฟเลี้ยง +1V ซึ่งขนาดของทรานซิสเตอร์ที่ใช้คือ $W/L = 1 \mu m / 0.25 \mu m$

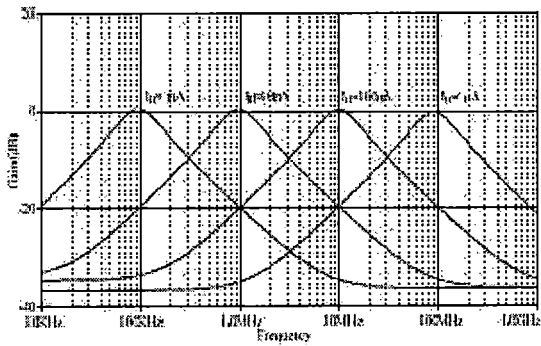


รูปที่ 5 คุณสมบัติของตัวกรองที่ 4 แบบ เมื่อปรับค่า $I_B = 100 \text{ nA}$



รูปที่ 6 เอาต์พุตของวงจรกรองที่ 6 เมื่อปรับค่า $I_B = 100 \text{ nA}$

จากกราฟจำลองการทำงานของตัวกรองความถี่จะกำหนดค่าพารามิเตอร์ลักษณะ $g_{m1} = g_{m2}$ โดยค่า $I_{B1} = I_{B2} = I_B$ และ $C_1 = C_2 = 0.03 \mu F$ ได้ผลตอบสนองทางความถี่แสดงไว้ดังรูปที่ 5 ให้คุณสมบัติตัวกรองต่างๆ เช่น ตัวกรองความถี่ต่ำผ่าน ตัวกรองความถี่สูงผ่าน ตัวกรองแถบความถี่ที่ตรงกลางผ่าน ตัวกรองแถบความถี่ที่ตรงกลางออก ซึ่งพบว่าค่าความถี่ตอบสนอง (f_p) มีค่าเท่ากับ 10 MHz



รูปที่ 7 เวกเตอร์ของวงจรกรองแถบความถี่ที่ต้องการผ่าน ที่ค่ากระแสต่าง ๆ

เช่นเดียวกับผลตอบสนองของทางความถี่ของ Magnitude และ Phase ของตัวกรองความถี่ที่ผ่านทั้งหมด ดังแสดงไว้ในรูปที่ 6 นอกจากนี้คุณสมบัติตัวกรองแถบความถี่ที่ต้องการผ่าน โดยเปลี่ยนค่ากระแสไบอัส (I_B) จาก 1 μA ถึง 100 μA ให้ผลตอบสนองของทางความถี่ (f_p) ตั้งแต่ 100 KHz ถึง 100 MHz ดังแสดงในรูปที่ 7

6. บทสรุป

บทความนี้ได้เสนอวงจรกรองความถี่หลายหน้าที่รูปแบบกระแส สำหรับย่านความถี่สูง โดยใช้วงจรอินทิเกรเตอร์แบบไม่สูญเสียและแบบสูญเสียที่สร้างจากทรานซิสเตอร์และตัวเก็บประจุแบบคอสโมทราฟ 2 ตัว วงจรที่นำเสนอมีหลายโหมดและหนึ่งเอาต์พุต และมีคุณสมบัติของวงจรกรองที่แบบไมวอเรียกัน สามารถปรับค่าความถี่ตอบสนอง และ ค่าตัวประกอบคุณภาพโดยทางอิเล็กทรอนิกส์ได้อย่างเป็นอิสระ ผลการจำลองที่ได้จะมีค่าความถี่ตอบสนองที่สูงถึง 100 MHz ด้วยค่ากระแสไบอัสที่ 100 μA และแรงดัน +1V ที่ให้วงจรมีอัตราการใช้โวลต์แอมป์เพียง 9.12 μW ซึ่งวงจรที่นำเสนอนี้สามารถนำมาใช้ในด้านการสื่อสาร เช่นการประมวลผลสัญญาณภาพและระบบการอ่านเขียนของฮาร์ดดิสก์

7. เอกสารอ้างอิง

[1] W. J. Kerwin, L. P. Huelsman, and R. W. Newcomb, "State-variable synthesis for insensitive integrated circuit transfer function," *IEEE Trans. Solid-state Circuits*, vol. SC-2, pp.87-92, 1967.
 [2] S. I. Liu, J. J. Chen, Y. S. Hwang, "New Current mode Biquad filters using current follower," *IEEE Trans. Circuits Syst.*, vol. 42, pp.380-383, July 1995.
 [3] E. O. Gunes, A. Tokar and S. Ozoguz, "Insensitive current-mode universal filter with minimum component using dual-output current conveyors," *Electron. Lett.*, vol. 35, pp.524-525, April 1999.
 [4] Fabre, O. Saaid, F. Wiest and C. Boucheron, "Current controlled bandpass filter based on translinear conveyors," *Electron. Lett.*, vol. 31, pp1727-1728, 1995.
 [5] H. Y. Wang and C. T. Lee, "Versatile insensitive current-mode universal biquad implementation using current conveyors," *IEEE Trans. Circuits and Syst. II*, vol.48, pp.409-413, 2001.

[6] C. M. Chang, "New multifunction OTA-C biquads," *IEEE Trans. Circuits and Syst.*, vol. 46, pp.820-824, June 1999.
 [7] C. M. Chang and S. Pai, "Universal current-mode OTA-C biquad with the minimum components," *IEEE Trans. Circuits and Syst.*, vol. 47, pp.1235-1238, Aug. 2000.
 [8] C. M. Chang, B. M. Al-Hashimi and J. N. Ross, "Unified active filter biquad structure," *IEE Proc. (part G)*, vol.151, pp.273-277, Aug. 2004.
 [9] J. Wu, "Current-mode high-order OTA-C filter," *Int. J. Electron.*, vol. 76, pp.1115-1120, 1994.
 [10] M. T. Abuelma'atti and A. Bentrchia, "New universal current-mode multiple-input multiple-output OTA-C filter," *Proc. of APCCAS 2004*, pp.1037-1039, Dec. 2004.
 [11] E. Sanchez-sinencio, R. L. Geiger and H. Nevarez-Lozano, "Generation of Continuous-Time Two-Integrator Loop OTA filter structures," *IEEE Trans. Circuits and Syst.*, vol. 35, pp.936-946, Aug. 1988.
 [12] C. M. Chang, C. L. Hou, W. Y. Chung, J. W. Horng and C. K. Tu, "Analytical synthesis of high-order single-ended-input OTA-grounded C all-pass and band-reject filter structures," *IEEE Trans. Circuits and Syst.*, Vol.53, pp.489-498, March 2006.
 [13] S. H. Tu, C. M. Chang, J. N. Ross, M. N. S. Swamy, "Analytical Synthesis of Current-Mode High-Order Single-Ended-Input OTA and Equal-Capacitor Elliptic Filter Structures With the Minimum Number of Components," *IEEE Trans. Circuits and Syst.*, Vol.54, pp.2195-2210, Oct. 2007.
 [14] H. P. Chen and S. S. Shen, "A versatile universal capacitor-grounded voltage-mode filter using DVCCs," *ETRI J.*, vol. 29, no. 4, pp. 470-476, Aug. 2007.
 [15] H. Khorramabadi and P. R. Gray, "High frequency CMOS-continuous time filters," *IEEE J. Solid-State Circuits*, vol. SC-19, no. 6, pp.939-948, Dec. 1984.
 [16] C. S. Park and R. Schaumann, "Design of a 4-MHz analog integrated CMOS transconductance-C bandpass filter," *IEEE J. Solid-State Circuits*, vol. 23, no. 4, pp. 987-996, Aug. 1988.
 [17] V. Gopinathan, Y. P. Tsividis, K. S. Tan, and R. K. Hester, "Design considerations for high-frequency continuous-time filters and implementation of an antialiasing filter for digital video," *IEEE J. Solid-State Circuits*, vol. 25, no. 6, pp. 1368-1378, Dec. 1990.
 [18] J. M. Khoury, "Design of a 15-MHz CMOS continuous-filter with on-chip tuning," *IEEE J. Solid-State Circuits*, vol. 25, no. 12, pp.1988-1997, Dec. 1991.
 [19] W. M. Snelgrove and A. Shoval, "A balanced 0.9- μm CMOS transconductance-C filter tunable over the VHF range," *IEEE J. Solid-State Circuits*, vol. 27, no. 3, pp. 314-323, Mar. 1992.
 [20] B. Nauta, "A CMOS transconductance-C filter technique for very high frequencies," *IEEE J. Solid-state Circuits*, vol. 27, no. 2, pp. 142-153, Feb. 1992.
 [21] S. Lee, R. H. Zela, D. J. Allstot and G. Liang, "A Continuous-Time Current-Mode Integrator," *IEEE Trans. Circuits and Syst.*, Vol.38, No.10, pp.1236-1238, Oct. 1991.
 [22] S. Lee, R. H. Zela, D. J. Allstot and G. Liang, "CMOS Continuous-Time Current-Mode Filters for High-Frequency Applications," *IEEE Journal of Solid-state Circuits*, Vol.28, No.3, pp.323-329, March 1993.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ-นามสกุล	นาย ธนาวัฒน์ ตั้งบวรพิเชฐ
วัน-เดือน-ปีเกิด	วันที่ 25 กรกฎาคม 2528
ประวัติการศึกษา	ปี 2551 สำเร็จการศึกษาระดับปริญญาตรีหลักสูตรวิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ปี 2552 เข้าศึกษาต่อในระดับปริญญาโทหลักสูตรวิศวกรรมศาสตรมหาบัณฑิต สาขาวิชาวิศวกรรมโทรคมนาคม คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้