

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบวงจรเทอร์นารีชmittต์ริกเกอร์

TERNARY SCHMITT TRIGGER CIRCUIT DESIGN



T117958



ชัยณรงค์ หาญชนะ

CHAINARONG HAYCHA-NA

เลขหมู่..... 2553
เลขทะเบียน..... 117958
วัน,เดือน,ปี..... 22 ส.ค. 2554

1234893A
b.....
i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต

สาขาวิชาวิศวกรรมโทรคมนาคม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2553

KMITL-2010-EN-M-010-164

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TERNARY SCHMITT TRIGGER CIRCUIT DESIGN



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN TELECOMMUNICATIONS ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2010

KMITL-2010-EN-M-010-164

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2010

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นทรัพย์สินของสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรเทอร์นารีชมิตต์ทริกเกอร์
นักศึกษา	นายชัยณรงค์ หาญชนะ
รหัสนักศึกษา	50060927
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมโทรคมนาคม
พ.ศ.	2553
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร.กอบชัย เดชหาญ

บทคัดย่อ

บทความนี้นำเสนอการออกแบบวงจรเทอร์นารีชมิตต์ทริกเกอร์แบบ CMOS Transmission Gate โดยแบ่งการทำงานเป็น 2 ส่วน คือ วงจรชีมอสไบนารีชมิตต์ทริกเกอร์ซึ่งทำหน้าที่สร้างสัญญาณควบคุม และส่วน CMOS transmission gate ซึ่งทำหน้าที่สร้างสัญญาณเอาต์พุตแบบสามระดับ (Ternary Logic) สัญญาณควบคุมที่ได้จากวงจรส่วนแรกจะถูกแปลงให้มีขนาดเหมาะสมกับการควบคุม transmission gate ด้วยวงจร Differential Cascode Voltage Switch (DCVS) ทำให้วงจรเทอร์นารีลอจิกที่ออกแบบด้วยเทคนิคนี้ สามารถสร้างขึ้นด้วยกระบวนการผลิตวงจรชีมอสดิจิทัลลอจิกทั่วไปและง่ายต่อการควบคุม ช่วยให้การออกแบบวงจรรวมดิจิทัลแบบชีมอสเป็นไปอย่างเป็นระบบ การทดสอบวงจรทำโดยโปรแกรมจำลอง PSPICE ในบทความนี้ได้ใช้พารามิเตอร์มอสทรานซิสเตอร์ของ MOSIS เทคโนโลยีขนาด 0.05 μm แสดงการทำงานของวงจรที่ออกแบบด้วยเทคนิคที่นำเสนอ

Thesis Title	Ternary Schmitt Trigger Circuit Design
Student	Mr. Chainarong haycha-na
Student ID.	50060927
Degree	Master of Engineering
Program	Telecommunications Engineering
Year	2010
Thesis Advisor	Assoc. Prof. Dr. Kobchai Dejhan

ABSTRACT

This paper proposes the ternary schmitt trigger circuit design based on CMOS transmission gate which can be divided into two parts, the binary schmitt trigger circuit generates the controlling signal and CMOS transmission gate constructing three-level (ternary) logic output signal. The controlling signal of the first part will be conditioned appropriate to control the transmission gate by Differential Cascode Voltage Switch circuit (DCVS). Therefore, the ternary logic which is designed by using the proposed technique can be implemented, well controlled CMOS fabrication process, and suitable for the systematic CMOS digital integrated circuit design. The simulation is performed by PSPICE program simulator with the MOS transistor model from 0.05 μm MOSIS technology. All results confirm the success of the proposed technique.

กิตติกรรมประกาศ

วิทยานิพนธ์เล่มนี้สำเร็จได้ด้วยความกรุณาจากอาจารย์ที่ปรึกษา รศ.ดร.กอบชัย เดชหาญ ที่ได้เสียสละเวลาในการให้คำปรึกษาและคำชี้แนะในการศึกษาวิจัยต่าง ๆ ตลอดจนให้ความรู้และประสบการณ์ที่ดีแก่ข้าพเจ้า อีกทั้งขอขอบคุณ ดร.สมปอง วิเศษพานิชกิจ ดร.มนตรี คำเงิน ที่กรุณาให้คำแนะนำเพิ่มเติมต่าง ๆ ข้าพเจ้ารู้สึกซาบซึ้งในความอนุเคราะห์จากท่านอาจารย์ทั้งสามเป็นอย่างมากและขอขอบพระคุณเป็นอย่างสูง

อีกทั้งสำหรับคุณงามความดีอันใดที่เกิดจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบให้กับบิดามารดา ซึ่งเป็นที่รักและเคารพยิ่ง ตลอดจนครูอาจารย์ที่เคารพทุกท่านที่ได้ประสิทธิ์ประสาทวิชาความรู้และถ่ายทอดประสบการณ์ที่ดีให้แก่ข้าพเจ้าตลอดมา

ชัยณรงค์ หาญชนะ

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	2
1.3 สมมติฐานของการศึกษา.....	2
1.4 ขอบเขตของการวิจัย.....	3
1.5 ขั้นตอนการศึกษา.....	3
บทที่ 2 ทฤษฎีการทำงานของมอเตอร์.....	4
2.1 บทนำ.....	4
2.2 โครงสร้างของมอเตอร์.....	4
2.3 สัญลักษณ์ของมอเตอร์.....	5
2.4 การทำงานของมอเตอร์.....	6
2.5 คุณสมบัติทางสัปดาห์กระแสของมอเตอร์.....	8
2.5.1 การทำงานในช่วงคัทออฟ (Cut – Off Region).....	13
2.5.2 การทำงานในช่วงไม่อิ่มตัว (Non – Saturation Region).....	13
2.5.3 การทำงานในช่วงอิ่มตัว (Saturation Region).....	13
2.6 การหาค่าหน่วยเวลา.....	16
2.7 การหาค่ากำลังงานสูญเสีย.....	19
2.7.1 การจำลองวิธีการวัดกำลังงานสูญเสียของวงจร.....	23
2.7.2 การหาค่า Power Delay Product.....	25
2.8 สรุป.....	26

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
บทที่ 3 ทฤษฎีของลอจิกหลายระดับสัญญาณ	27
3.1 นิยามและคำจำกัดความ.....	27
3.2 พีชคณิตของโพสต์และวงจร m ค่า.....	31
3.3 วงจร m – Valued.....	31
3.4 เทรตโฮลด์ฟังก์ชัน	33
3.5 การแทนค่าของสัญญาณในวงจรมหลายระดับสัญญาณ.....	34
3.6 การควอนไทซ์ค่า.....	35
3.7 โหมดในการทำงานของวงจร.....	35
3.7.1 โหมดประจุ.....	35
3.7.2 โหมดกระแส.....	35
3.7.3 โหมดแรงดัน.....	37
3.8 วงจร m – Valued ทำงานในโหมดแรงดัน.....	38
3.9 วงจร m – Valued ที่ใช้เทคโนโลยี NMOS.....	38
3.9.1 วงจรถอดรหัส.....	38
3.9.2 วงจรเข้ารหัส.....	39
3.10 วงจร m – Valued โดยใช้เทคโนโลยีของ CMOS.....	41
3.10.1 วงจรเข้ารหัส.....	41
3.10.2 วงจรถอดรหัส.....	42
3.11 วงจร m – Valued ทำงานในโหมดกระแส.....	42
3.11.1 วงจรสะท้อนกระแส.....	43
3.11.2 วงจรผลรวมเชิงเส้นของกระแส.....	44
3.11.3 เทรตโฮลด์.....	44
3.11.4 Sink-to-Source Conversion.....	45
บทที่ 4 ทฤษฎีซีมอสลอจิกเกทขั้นสูง.....	46
4.1 มอสลอจิกเทียม (Pseudo MOS Logic).....	46
4.2 วงจร 3 สถานะ (Tri – state Circuit).....	48
4.3 วงจรซีมอสที่ใช้สัญญาณนาฬิกา (Clock CMOS Logic, C ² MOS).....	49

เอกสารนี้เป็นเอกสารสงวนลิขสิทธิ์สำหรับการเรียนเพื่อการศึกษาเท่านั้น เมื่อผู้ใดเห็นหน้าเบาะเบาะแว้งบนฐานการค่า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
4.4 ไดนามิกซีมอสลอจิก (Dynamic CMOS Logic).....	51
4.4.1 ปัญหาของไดนามิกซีมอส.....	52
4.5 ซีมอสโดมิโนลอจิก (CMOS Domino Logic).....	52
4.6 ลอจิกเส้นทางคู่ (Dual – Rail Logic).....	53
4.7 ลอจิกแบบวงจรเงาสะท้อน (Mirror Circuit Logic).....	56
บทที่ 5 ทฤษฎีและการออกแบบวงจรเทอร์นารีซิมิตต์ทริกเกอร์.....	57
5.1 ทฤษฎีพื้นฐานของวงจรซีมอสเทอร์นารีซิมิตต์ทริกเกอร์.....	57
5.2 วงจรสร้างสัญญาณควบคุมซิมิตต์ทริกเกอร์.....	59
5.3 วงจรเทอร์นารีซิมิตต์ทริกเกอร์.....	62
บทที่ 6 สรุปผลการวิเคราะห์.....	67
บรรณานุกรม.....	68
ภาคผนวก.....	70
ภาคผนวก ก. พารามิเตอร์ของมอสทรานซิสเตอร์.....	71
ภาคผนวก ข. ผลงานทางวิชาการที่ได้รับการตีพิมพ์.....	73
ประวัติผู้เขียน.....	82

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
3.1 แสดงฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ.....	28
5.1 แสดงตารางความจริงของวงจรมิตต์ทริกเกอร์.....	62



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์.....	5
2.2 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบดีพลีชัน.....	5
2.3 สัญลักษณ์ของมอสทรานซิสเตอร์.....	6
2.4 การไบอัสมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ ซึ่งทำให้เกิดย่านปลดพาหะ (Depletion Region).....	7
2.5 การเกิด Inversion Layer ของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์.....	8
2.6 ภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear Region).....	9
2.7 ส่วนทางเรขาคณิตบริเวณผิวของ Inversion Layer.....	10
2.8 การเกิด Pinch – Off.....	12
2.9 คุณลักษณะกระแสกับศักดาพื้นฐานของเอ็นมอสทรานซิสเตอร์.....	15
2.10 กระแสเดรนของเอ็นมอสทรานซิสเตอร์ตามฟังก์ชันของศักดาระหว่างเกตกับซอส.....	15
2.11 กระแสเดรนและศักดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบดีพลีชัน.....	16
2.12 กระแสเดรนและศักดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์.....	16
2.13 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตของวงจรมอสอินเวอร์เตอร์ และนิยามค่าหน่วงเวลาต่าง ๆ โดยที่สัญญาณทางอินพุตเป็นสัญญาณสี่เหลี่ยมในทางทฤษฎี.....	17
2.14 ช่วงเวลาขาขึ้นและขาลงของแรงดันเอาต์พุต.....	18
2.15 วงจรซีมอสอินเวอร์เตอร์ที่ใช้ในการวิเคราะห์หา Dynamic Power Dissipation.....	19
2.16 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตและรูปคลื่นกระแสของคาปาซิเตอร์ระหว่างการสวิตช์ของวงจรมอสอินเวอร์เตอร์.....	21
2.17 วงจรซีมอส Logic โดยทั่วไป.....	22
2.18 วงจรการวัดกำลังงานที่นำมาใช้ในการจำลองการทำงาน เพื่อหาค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจร.....	24
3.1 คุณลักษณะการส่งผ่านและสัญญาณของเกต MT(4).....	27
3.2 วงจรมอสอินเวอร์เตอร์พื้นฐาน.....	31

เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้สำหรับใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่โดยไม่ได้รับอนุญาต

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.3 บล็อกไดอะแกรมของวงจร m ค่า.....	32
3.4 คุณลักษณะการส่งผ่านของอินเวอร์เตอร์แบบ 4 ค่า.....	32
3.5 บล็อกไดอะแกรมของเทรคโฮลด์ฟังก์ชัน.....	33
3.6 คุณลักษณะทางไฟตรงของวงจรมัลติอินเวอร์เตอร์แบบ 4 ค่า.....	34
3.7 วงจรสะท้อนกระแสที่ใช้สำหรับเทคโนโลยี TTL.....	36
3.8 เกทพื้นฐานที่ใช้สำหรับเทคโนโลยี I^2L	36
3.9 วงจรเทอร์นาเรียอินเวอร์เตอร์ที่ใช้เทคโนโลยี CMOS และตารางความจริง.....	37
3.10 วงจรตรวจจับเทรคโฮลด์โดยใช่วงจรเลื่อนแรงดัน.....	39
3.11 วงจรเข้ารหัสแบบ 4 ค่า โดยใช้เทคโนโลยี NMOS.....	40
3.12 วงจรเข้ารหัสแบบ 4 ค่า.....	40
3.13 วงจรเข้ารหัสแบบ 4 ค่า โดยใช้เทคโนโลยี CMOS.....	41
3.14 วงจรตรวจจับเทรคโฮลด์โดยใช้เทคโนโลยี CMOS.....	42
3.15 เกทพื้นฐานของลอจิก 2 ระดับ โดยใช้เทคโนโลยี I^2L	43
3.16 วงจรสะท้อนกระแสโดยใช้เทคโนโลยี I^2L	43
3.17 วงจรผลรวมเชิงเส้นโดยใช้เทคโนโลยี I^2L	44
3.18 วงจรเทรคโฮลด์โดยใช้เทคโนโลยี I^2L	44
3.19 การไหลของกระแส Sink และ Source โดยใช้เทคโนโลยี I^2L	45
4.1 วงจรซีมอส.....	46
4.2 วงจรนอร์เกต.....	47
4.3 AOI เกท.....	48
4.4 วงจร 3 สถานะแบบกลับสัญญาณ (Tri – State Inverter).....	49
4.5 หลักการของวงจรซีมอสที่ใช้สัญญาณนาฬิกา.....	50
4.6 ตัวอย่างวงจรแนนเกต ซึ่งใช้สัญญาณนาฬิกา.....	50
4.7 หลักการของวงจรไดนามิกซีมอส.....	51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตเห็นาเบไซบระเฮชนดานการคำ

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.8 ตัวอย่างวงจรไดนามิกซีมอส.....	52
4.9 วงจรพื้นฐานของไดมิโนซีมอสลอจิก.....	53
4.10 วงจรพื้นฐานของ CVSL.....	54
4.11 วงจร CVSL ของวงจรแอนด์/แนนด์.....	55
4.12 วงจร CVSL ของวงจรรอรั/นอร์.....	55
4.13 วงจร XOR เกท.....	56
5.1 วงจรเทอร์สร้างสัญญาณควบคุมขมิตต์ทริกเกอร์.....	59
5.2 สัญญาณควบคุม VSchm1และ VSchm2.....	60
5.3 วงจร Transmimssion gate และ T – Threshold gate.....	63
5.4 วงจร Threshold-t gate แบบ DCVS (a) $t = 0.5$ และ (b) $t = 1.5$	64
5.5 วงจร Ternary Schmitt trigger.....	65
5.6 ผลจำลองการทำงานวงจรกำเนิดสัญญาณสัญญาณควบคุมขมิตต์ทริกเกอร์.....	65
5.7 ผลจำลองการทำงานวงจรเทอร์นารีขมิตต์ทริกเกอร์.....	66

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

วงจรดิจิทัลแบบ Multiple-Valued Logic (MVL) เป็นการออกแบบวงจรรวมประเภทหนึ่ง ซึ่งถูกออกแบบมาเพื่อลดข้อจำกัดด้านความหนาแน่นของสายสัญญาณต่อปริมาณข้อมูล ซึ่งเป็นอุปสรรคสำคัญสำหรับการออกแบบวงจรรวมแบบดิจิทัล จากจำนวนสายสัญญาณที่เชื่อมโยงภายในวงจร และการเชื่อมโยงสู่ภายนอก อันมีผลมาจากปริมาณข้อมูลที่ใช้ในการประมวลผลมีมากขึ้นเพื่อตอบรับกับความต้องการของผู้ใช้งาน จากข้อจำกัดของวงจรรวมแบบไบนารี ซึ่งสามารถส่งข้อมูลเพียง '0' หรือ '1' ในแต่ละบิตและในช่วงเวลาหนึ่งๆ มาเป็นการส่งข้อมูลหลายระดับสัญญาณ ทำให้ความหนาแน่นปริมาณข้อมูลข่าวสาร (Information Density) ภายในวงจรและความสามารถในการส่งข้อมูลข่าวสาร (Information-Carrying) สูงกว่าวงจรดิจิทัลแบบไบนารีทั่วไป แต่ด้วยจำนวนระดับสัญญาณที่มีหลายระดับ ทำให้การออกแบบวงจรทำได้ลำบาก และไม่สามารถนำเทคนิคการออกแบบวงจรดิจิทัลแบบไบนารีมาใช้ได้ โดยเฉพาะอย่างยิ่งวงจรมิตต์ทริกเกอร์ ที่อาศัยการป้อนกลับในการควบคุมการทำงานของวงจร ซึ่งมีลักษณะเดียวกับวงจร Sequential ทั้งที่วงจรมิตต์ทริกเกอร์เป็นวงจรพื้นฐานที่สำคัญและถูกนำมาใช้อย่างแพร่หลาย โดยพบได้ทั้งในงานด้านระบบอนาล็อกและดิจิทัล และมีจุดประสงค์ในการใช้งานแตกต่างกันไปในแต่ละด้าน เช่น ใช้เพื่อแก้ไขปัญหาเรื่องสัญญาณรบกวน ประยุกต์ใช้งานในวงจรโมโนสเตเบิล เช่น วงจรกำเนิดสัญญาณสี่เหลี่ยม และวงจรมอดูเลตความกว้างพัลส์ การออกแบบวงจรไบนารีมิตต์ทริกเกอร์สามารถทำได้ด้วยการออกแบบใช้งานอุปกรณ์สำเร็จรูป (Building Block) เช่น ใช้ออปแอมป์ [1] ไอทีเอ [2] และวงจรสายพานกระแส [3] เป็นต้น ที่ทำงานในโหมด แรงดัน หรือ วงจร CCCDTA (Current-Controlled Current Differencing Transconductance Amplifier) [4] ซึ่งทำงานในโหมดกระแส อย่างไรก็ตามการออกแบบด้วย Building block เมื่อจะสะดวกแต่ก็ทำให้วงจรมีขนาดใหญ่ โดยเฉพาะสำหรับวงจรรวมดิจิทัล ต่างกับการออกแบบในระดับทรานซิสเตอร์ (Transistor Level) ซึ่งการออกแบบในลักษณะนี้ เหมาะสมกับงานเฉพาะด้าน เช่น งานที่ใช้กำลังงานต่ำและความเร็วสูง [5] สวิตช์ส่งผ่านกระแส [6] เป็นต้น เมื่อการออกแบบวงจรมิตต์ทริกเกอร์แบบไบนารีจะมีการพัฒนาออกแบบมาเป็นอย่างดี แต่กลับไม่สามารถนำมาใช้กับการออกแบบวงจรที่มีหลายระดับไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งยังมีให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณและแม้ว่าการนำเสนอวงจรमितต์ทริกเกอร์แบบหลายระดับสัญญาณก็มักออกแบบในรูปแบบวงจร Sequential [7] ซึ่งทำให้วงจรมีขนาดใหญ่ หรือทำงานในโหมดกระแส [8-9] บทความนี้ นำเสนอวิธีการออกแบบวงจรเทอร์นารีชมิตต์ทริกเกอร์แบบซิมอสทำงานในโหมดแรงดัน บนพื้นฐานของวงจร MVL แบบ Transmission Gate [10] ซึ่งพัฒนามาจาก วงจร MVL แบบ Pass-Transistor [11] โดยอาศัยการปรับสัญญาณควบคุมให้เหมาะสม ด้วยวงจร Differential Cascode Voltage Switch (DCVS) เพื่อหลีกเลี่ยงการใช้ทรานซิสเตอร์ที่มีหลายศักดาทรอดโซลด์ ซึ่งเป็นเรื่องยากในขั้นตอนกระบวนการผลิตและส่งอาจส่งผลให้มีราคาแพง ในส่วนที่สองจะกล่าวถึงการออกแบบวงจรสร้างสัญญาณควบคุมชมิตต์ทริกเกอร์ซึ่งมีพื้นฐานมาจากวงจรไบนารีชมิตต์ทริกเกอร์

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

เพื่อจะนำเสนอและออกแบบวงจรเทอร์นารีชมิตต์ทริกเกอร์ด้วย CMOS Transmission Gate โดยออกแบบส่วนควบคุมซึ่งทำหน้าที่แปลงสัญญาณที่มีสามระดับ (Ternary Logic) เป็นสัญญาณแบบไบนารี (Binary Logic) ที่สร้างขึ้นจากวงจร Differential Cascode Voltage Switch (DCVS) ทำให้วงจรเทอร์นารีลอจิกที่ออกแบบด้วยเทคนิคนี้สามารถสร้างขึ้นด้วยกระบวนการผลิตวงจรดิจิทัลตลอดจนง่ายต่อการควบคุม จึงช่วยให้การออกแบบวงจรเป็นไปอย่างมีระบบ และด้วยการป้อนกลับสัญญาณแบบเทอร์นารีสามารถสร้างวงจรซีควเอนเชียลลอจิกแบบต่าง ๆ ได้ โดยในการวิจัยนี้ได้ทำการออกแบบวงจร Tri-Flop ต่าง ๆ เช่น D-type, JKL-type และ T-type ที่จำเป็นสำหรับการออกแบบวงจรรวมแบบ Multiple-Valued Logic (MVL) และทำการทดสอบวงจรโดยโปรแกรมจำลอง PSPICE

1.3 สมมติฐานของการศึกษา

อุปสรรคอย่างหนึ่งสำหรับการออกแบบวงจรรวมแบบดิจิทัล คือจำนวนสายสัญญาณที่เชื่อมโยงภายในวงจร และการเชื่อมโยงสู่ภายนอก ทั้งนี้เนื่องจากจำนวนข้อมูลที่ใช้ในการประมวลผลมีมากขึ้นเพื่อตอบรับกับความต้องการของผู้ใช้งาน แต่ด้วยข้อจำกัดของวงจรรวมแบบไบนารี ซึ่งสามารถส่งข้อมูลเพียง '0' หรือ '1' ในแต่ละบิตและในช่วงเวลาหนึ่งๆ เท่านั้น ดังนั้น จึงมีความต้องการในการออกแบบและใช้งานวงจรดิจิทัลแบบ Multiple-Valued Logic (MVL) ซึ่งมีความหนาแน่นปริมาณข้อมูลข่าวสาร (Information Density) ภายในวงจร และความสามารถในการส่งข้อมูลข่าวสาร (Information-Carrying) สูงกว่าวงจรดิจิทัลแบบไบนารีทั่วไป แต่ด้วยจำนวนระดับสัญญาณที่มีหลายระดับ ทำให้การออกแบบวงจรทำได้ลำบาก และไม่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถนำเทคนิคการออกแบบวงจรดิจิทัลแบบไบนารีมาใช้ได้ เช่นการออกแบบวงจรเทอร์นารีด้วยรูปแบบวงจรซิมอสและเพิ่มอุปกรณ์คือ ตัวต้านทานค่าสูง (~12k Ω) ที่โหนดเอาต์พุต [1] โดยทำหน้าที่จำกัดกระแสลัดวงจรเมื่อสถานะสัญญาณมีลอจิกเป็น '1' ทั้งนี้เพื่อลดกำลังงานสูญเสียภายในวงจร หรือการออกแบบวงจร MVL ด้วย Pass-Transistor Logic [2-4] อย่างไรก็ตาม การสร้างวงจรมีจำเป็นต้องกำหนดค่าศักดาเทรตโวลต์ของทรานซิสเตอร์อย่างเหมาะสมเพื่อควบคุมให้ Pass-Transistor ทำงานได้อย่างถูกต้อง ซึ่งเป็นเรื่องยากในขั้นตอนกระบวนการผลิตและอาจส่งผลให้มีต้นทุนในการผลิตสูงขึ้น ดังนั้นแนวทางในการออกแบบวงจรเทอร์นารีแบบ CMOS Transmission Gate ซึ่งจะถูกรักษาด้วยวงจร Threshold-t gate และให้เอาต์พุตเป็นสัญญาณไบนารีที่ถูกรับขนาดให้เหมาะสมด้วยวงจร Differential Cascode Voltage Switch (DCVS) นั้น จะสามารถออกแบบให้ทรานซิสเตอร์ที่ใช้ในวงจรมีค่าศักดาเทรตโวลต์เท่ากันได้ และทำให้ง่ายแก่การสร้างหรือผลิตขึ้นมาอย่างมีต้นทุนต่ำลง

1.4 ขอบเขตของการวิจัย

การออกแบบวงจรเทอร์นารีชนิดตรีกรีทริกเกอร์แบบ Transmission Gate โดยการทดสอบวงจรใช้โปรแกรมจำลอง PSPICE โดยแบบจำลองโมสทรานซิสเตอร์ของ MOSIS เทคโนโลยี 0.05 μm เพื่อแสดงการทำงานของวงจรที่ออกแบบด้วยเทคนิคที่นำเสนอ โดยกำหนดให้ทรานซิสเตอร์ทุกตัวมีขนาดเท่ากันคือ NMOS มีขนาดความกว้างต่อความยาวช่องทางเดินกระแส (W/L) เท่ากับ 2 μm /0.5 μm และ PMOS มีขนาดเท่ากับ 4 μm /0.5 μm

1.5 ขั้นตอนการศึกษา

- 1.5.1 ศึกษาการออกแบบวงจรเทอร์นารีด้วย Transmission Gate
- 1.5.2 ศึกษาการทำงานของวงจร Threshold-t Gate
- 1.5.3 ออกแบบวงจร Tri-Flop ต่าง ๆ ด้วยวงจรเทอร์นารีชนิดตรีกรีทริกเกอร์
- 1.5.4 ทดสอบวงจรต่าง ๆ ด้วยโปรแกรมจำลอง PSPICE
- 1.5.5 บันทึกและวิเคราะห์ผลของการทดสอบวงจรต่าง ๆ

บทที่ 2

ทฤษฎีการทำงานของมอสทรานซิสเตอร์

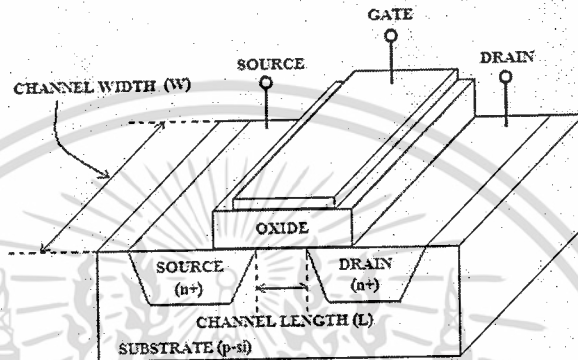
2.1 บทนำ

มอสทรานซิสเตอร์หรือมอสเฟต (MOSFET) มาจากคำเต็มว่า Metal Oxide Semiconductor Field Effect Transistor โดยใช้หลักการของสนามไฟฟ้ามาควบคุมปริมาณการไหลของกระแสในช่องนำกระแส ซึ่งทรานซิสเตอร์ชนิดนี้ได้สร้างขึ้นในช่วงทศวรรษ 1970s เป็นทรานซิสเตอร์ในยุคที่สองหลังจากที่ได้มีการสร้างทรานซิสเตอร์แบบไบโพล่า (BJT) ขึ้นมา และเป็นทรานซิสเตอร์ที่มีคุณสมบัติที่ดีกว่าทรานซิสเตอร์แบบไบโพล่า ขบวนการในการผลิตไม่ยุ่งยาก สามารถสร้างขึ้นมาได้ง่ายกว่า เมื่อนำมาทำเป็นวงจรรวมต่าง ๆ สามารถลดขนาดให้เล็กลงได้ จึงเหมาะแก่การนำมาสร้างเป็นวงจรรวมได้เป็นอย่างดี นอกจากนี้การสร้างวงจรโดยใช้มอสเฟต ไม่จำเป็นต้องใช้ตัวต้านทานหรือไดโอดช่วยในการไบอัสวงจร เหมือนกับทรานซิสเตอร์แบบไบโพล่า เนื่องจากมอสเฟตสามารถทำงานได้โดยใช้แรงดันไฟฟ้าในการไบอัส ซึ่งต่างจากทรานซิสเตอร์แบบไบโพล่าที่ต้องใช้กระแสมาทำการไบอัส ในปัจจุบันได้มีการใช้มอสทรานซิสเตอร์ทำเป็นอุปกรณ์สวิตซ์ซึ่งในวงจร Large Scale Integration (LSI) และวงจร Very Large Scale Integration (VLSI) อย่างมาก ซึ่งเป็นผลมาจากคุณสมบัติที่ดีกว่าเมื่อเทียบกับทรานซิสเตอร์แบบไบโพล่า โครงสร้างและการทำงานของมอสทรานซิสเตอร์จะกล่าวโดยละเอียดในหัวข้อต่อไป

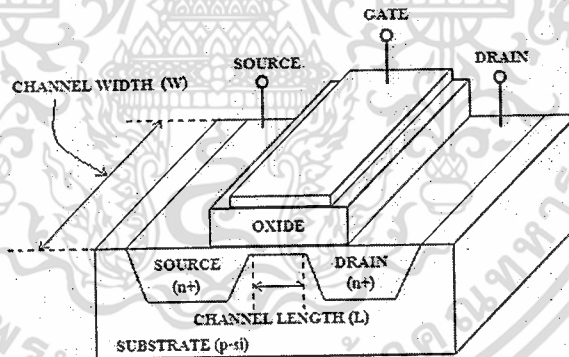
2.2 โครงสร้างของมอสทรานซิสเตอร์

มอสทรานซิสเตอร์นั้น สามารถแบ่งตามโครงสร้างได้เป็น 2 แบบ คือ เอ็นมอสทรานซิสเตอร์ (N-Channel) และพีมอสทรานซิสเตอร์ (P-Channel) ในแต่ละชนิดยังสามารถแบ่งตามลักษณะการทำงานได้อีก 2 แบบ คือ เอ็นฮานเม้นท์มอสทรานซิสเตอร์ (Enhancement) และดีพลีชันมอสทรานซิสเตอร์ (Depletion) โดยพิจารณาจากรูปที่ 2.1 แสดงถึงรายละเอียดโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเม้นท์ ซึ่งจะเห็นการโคปสารกึ่งตัวนำชนิดเอ็น (N^+ Region) อยู่ 2 ส่วนในสารกึ่งตัวนำชนิดพีในด้านซ้ายจะเรียกว่า ซอส (Source) ในด้านขวาจะเรียกว่า เทรน (Drain) ส่วนบนของบริเวณการโคปสารกึ่งตัวนำชนิดเอ็นทั้งสองจุดจะถูกฉาบวางทับด้วยชั้นของออกไซด์บาง ๆ หลังจากนั้นก็จะวางทับด้วยโลหะ (หรือโพลีซิลิกอน) อีกชั้นหนึ่ง ซึ่งจะเรียกว่า เกต (Gate) และตัวถังของอุปกรณ์ตัวนี้จะเรียกว่า ซับสเตรท (Substrate) หรือ บัค (Bulk) สำหรับระยะห่างระหว่างสารกึ่งตัวนำซอสกับเทรน จะเรียกว่า ความยาวของแชนแนล (Channel Length: L) และไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความกว้างของซอสและเดรนจะเรียกว่า ความกว้างของแชนแนล (Channel Width: W) ถ้าส่วนของฐานรองทำด้วยสารกึ่งตัวนำชนิดเอ็นและสารกึ่งตัวนำชนิดพีถูกโคปลงบนฐานรอง โครงสร้างชนิดนี้เรียกว่า ฟิล์มอสทรานซิสเตอร์แบบเอ็นฮานเมนต์ สำหรับโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบดีฟลิชัน จะคล้ายกับเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์ แต่จะแตกต่างกันตรงที่ช่องว่างระหว่างซอสกับเดรน ซึ่งจะมีการโคปลาสารกึ่งตัวนำชนิดเอ็นเชื่อมต่อกัน ดังรายละเอียดในรูปที่ 2.2



รูปที่ 2.1 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์

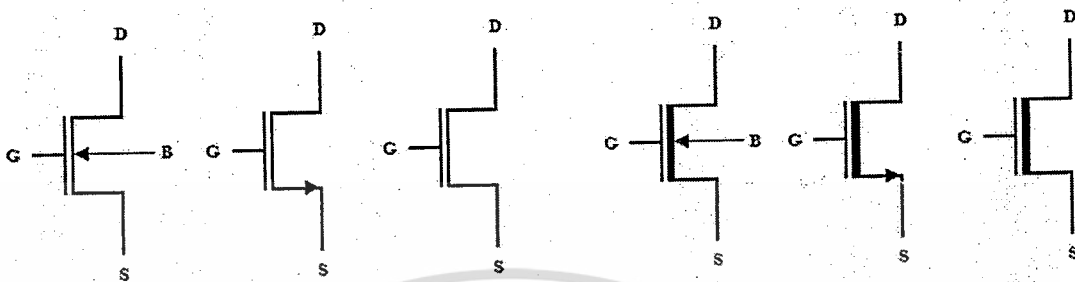


รูปที่ 2.2 โครงสร้างของเอ็นมอสทรานซิสเตอร์แบบดีฟลิชัน

2.3 สัญลักษณ์ของมอสทรานซิสเตอร์

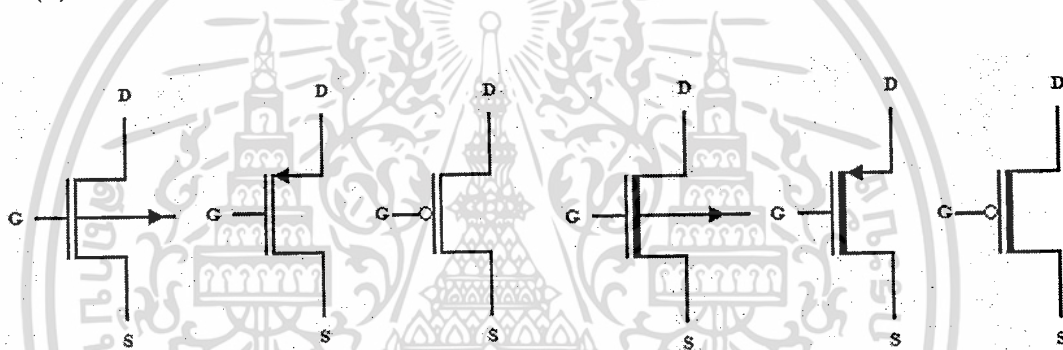
สัญลักษณ์ของมอสทรานซิสเตอร์ สามารถบอกได้ว่าเป็นมอสทรานซิสเตอร์ชนิดเอ็นหรือชนิดพี โดยดูได้ที่หัวลูกศรที่ขาซอส ถ้าหัวลูกศรหันเข้าหาขาเกตแสดงว่าเป็นฟิล์มอสทรานซิสเตอร์ แต่ถ้าหัวลูกศรหันออกจากขาเกตแสดงว่าเป็น เอ็นมอสทรานซิสเตอร์ หรือดูที่ทิศทางของหัวลูกศรที่ขาฐานรอง (Substrate) หรือเรียกว่า Bulk โดย ถ้าหัวลูกศรหันเข้าหาขาเกต แสดงว่าเป็นเอ็นไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

มอสทรานซิสเตอร์ แต่ถ้าวัดครห้นออกจากขาเกต แสดงว่าเป็น พีมอสทรานซิสเตอร์ และสัญลักษณ์ยังสามารถบอกได้อีกว่ามอสทรานซิสเตอร์เป็นแบบฮานเมนท์หรือแบบดีฟลิชั่น ดังแสดงในรูปที่ 2.3



(ก) เอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

(ข) เอ็นมอสทรานซิสเตอร์แบบดีฟลิชั่น



(ค) พีมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

(ง) พีมอสทรานซิสเตอร์แบบดีฟลิชั่น

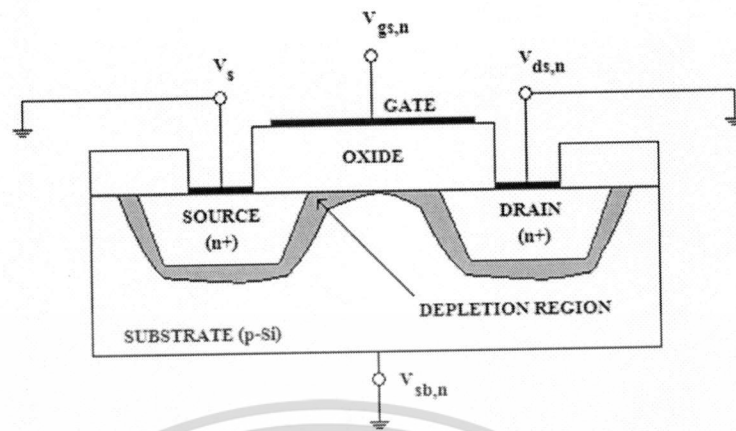
รูปที่ 2.3 สัญลักษณ์ของมอสทรานซิสเตอร์

2.4 การทำงานของมอสทรานซิสเตอร์

ถ้าพิจารณาโครงสร้างของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ จากรูปที่ 2.1 จะสามารถอธิบายการทำงานอย่างง่าย ๆ ของมอสทรานซิสเตอร์ได้ดังนี้

กระแสไฟฟ้าที่ไหลในแกนแนลระหว่างเดรนและซอสของมอสทรานซิสเตอร์ จะถูกควบคุมสนามไฟฟ้าที่ถูกสร้างขึ้นจากการเปลี่ยนแปลงของระดับศักดาที่เกต และปริมาณกระแสที่ไหลในแกนแนลก็จะถูกควบคุมโดยศักดาระหว่างเดรนกับซอสและศักดาที่ฐานรองอีกด้วย

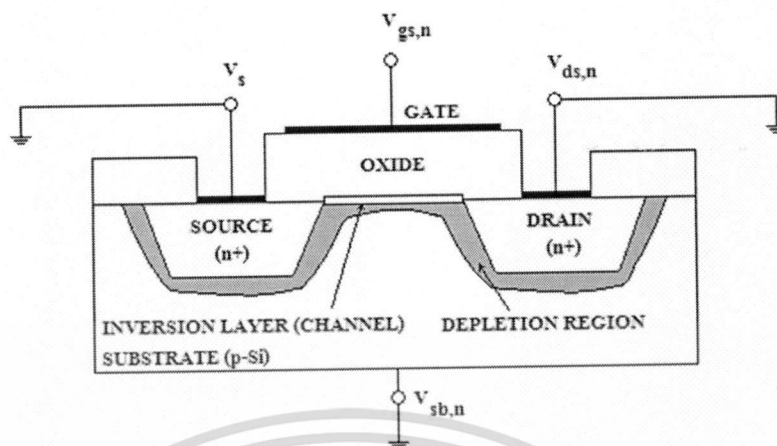
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 การไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์ ซึ่งทำให้เกิดย่านปลอดพาหะ (Depletion region)

การไบอัสอย่างง่ายให้กับเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์ ดังแสดงในรูปที่ 2.4 โดยให้เดรน ซอส และฐานรอง ($V_{sb,n}$) ถูกต่ออยู่กับกราวด์และให้ศักคาค่าที่มีค่าเป็นบวกระหว่างเกตกับซอส ($V_{gs,n}$) ซึ่งสามารถทำให้เกิดเซนแนลความนำภายในเกต เมื่อศักคาค่าที่มีค่าเป็นบวกระหว่างเกตกับซอสมีค่าน้อย ๆ Majority Carrier (Hold) จะถูกผลักลงไปยังฐานรอง (Substrate) จะทำให้ผิวของฐานรอง P-Type เกิดย่านปลอดพาหะขึ้น และถ้าบริเวณผิวปราศจาก Mobile Carrier ใด ๆ ค่าความนำไฟฟ้าระหว่างเดรนกับซอสจะไม่เกิดขึ้นด้วย ถ้าทำการไบอัสที่เกตกับซอสด้วยศักคาค่าที่มีศักย์บวกมากขึ้น จนกระทั่งมากกว่าศักคาค่าบวกค่าหนึ่งซึ่งเรียกว่า ศักคาค่าเทรตโฮลด์ (V_{tn}) ทำให้ศักย์บวกของเกตที่มากขึ้น จะดึงอิเล็กตรอนจำนวนมากจากฐานรอง P-Type มาใกล้บริเวณผิวสร้างเป็น N-Type Region ใกล้บริเวณผิวจะเรียกว่า Inversion Layer ดังแสดงรายละเอียดในรูปที่ 2.5 ซึ่งเกิดขึ้นระหว่างเดรนกับซอสและจะทำหน้าที่เป็นช่องทางเดินกระแสระหว่างเดรนกับซอสและปริมาณกระแสที่ไหลผ่านระหว่างเดรนกับซอสจะขึ้นอยู่กับค่าความต่างศักย์ของศักคาค่าที่ไบอัสให้เดรนกับซอส ดังนั้นถ้าให้ศักคาระหว่างเดรนกับซอสเป็นบวกเล็กน้อย ($V_{ds,n} > 0$) จะเกิดกระแสไหลจากเดรนไปยังซอส ถ้าเพิ่มให้ศักคาระหว่างเดรนกับซอสที่ค่า ๆ หนึ่ง $V_{ds,n} = (V_{gs,n} - V_{tn})$ จะทำให้กระแสเดรนไหลสูงสุดและจะคงที่ตลอดไป แม้จะมีการเพิ่มค่าศักคาระหว่างเดรนกับซอส ($V_{ds,n}$) ขึ้นอีกก็ตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 การเกิด Inversion Layer ของเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

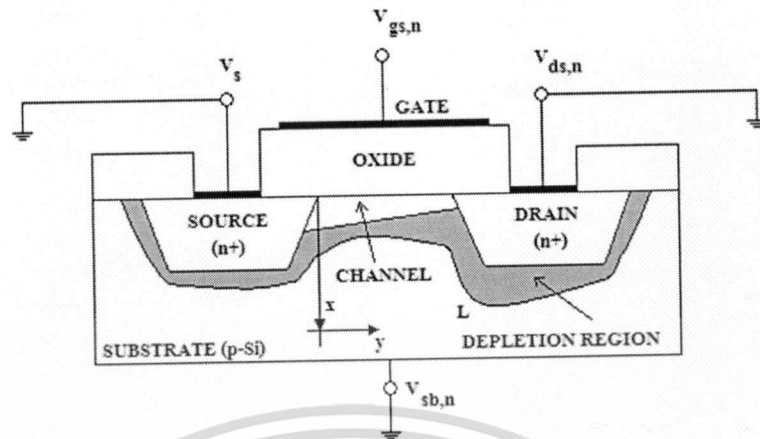
ส่วนการทำงานของเอ็นมอสทรานซิสเตอร์แบบดีพลีชันนั้น จากโครงสร้างดังแสดงในรูปที่ 2.2 จะเห็นได้ว่าเมื่อไบอัสศักดาระหว่างเกตกับซอสเป็นศูนย์ และให้ศักดาระหว่างเดรนกับซอสเป็นบวกค่าหนึ่ง จะมีกระแสเดรนไหลค่าหนึ่ง เนื่องจากแชนแนลได้ถูกสร้างไว้แล้ว เมื่อไบอัสศักดาระหว่างเกตกับซอสมีค่าเป็นลบค่าน้อย ๆ จะเกิดสนามไฟฟ้าในออกไซด์มีทิศทางไปยังขาคเกต ผลที่ได้จะทำให้อิเล็กตรอนบริเวณใกล้ผิวแชนแนลถูกผลักให้ลงมาในแชนแนลส่วนล่าง เป็นผลทำให้เกิดย่านปลอดพาหะ (Depletion Region) ใกล้บริเวณผิวภายในแชนแนลขึ้น ทำให้สภาพความนำไฟฟ้าของแชนแนลลดลง ผลทำให้กระแสเดรนไหลน้อยลงและถ้าศักดาระหว่างเกตกับซอสเป็นลบมากขึ้น ทำให้ย่านปลอดพาหะแผ่กว้างเพิ่มขึ้นในแชนแนล จะทำให้สภาพความนำไฟฟ้าของแชนแนลลดลงไปอีก ทำให้กระแสเดรนไหลน้อยลงไปอีก และถ้าศักดาระหว่างเกตกับซอสเป็นลบมาก ๆ ทำให้ย่านปลอดพาหะแผ่กว้างเต็มแชนแนล แชนแนลจะไม่นำกระแส ทำให้กระแสเดรนมีค่าเป็นศูนย์ ซึ่งเรียกการทำงานแบบนี้ว่า การทำงานแบบดีพลีชันโหมด (Depletion mode) สามารถแสดงกราฟความสัมพันธ์ระหว่างเดรนและศักดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบดีพลีชันได้ดังรูปที่ 2.11 และกราฟความสัมพันธ์ระหว่างเดรนและศักดาระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์ ได้ดังรูปที่ 2.12

2.5 คุณสมบัติทางศักดากระแสของมอสทรานซิสเตอร์

ในการวิเคราะห์ความสัมพันธ์ของศักดากับกระแสของมอสทรานซิสเตอร์นั้น จะทำการวิเคราะห์ปัญหาในการไหลของกระแสหนึ่งมิติ ทำให้ได้สมการของกระแสที่เข้าใจได้ง่ายขึ้นและ

สอดคล้องกับผลที่ได้จากการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.6 ภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear Region)

เริ่มต้นด้วยการพิจารณารายละเอียดของภาพตัดขวางของเอ็นมอสทรานซิสเตอร์ ที่ทำงานในช่วงเชิงเส้น ดังแสดงในรูปที่ 2.6 จะเห็นได้ว่าซอสและฐานรองถูกต่อกับกราวด์ ($V_s = V_{sb,n} = 0$) ส่วนกระแสเดรน ($I_{ds,n}$) จะถูกควบคุมจากภายนอก โดยศักดาระหว่างเกตกับซอส ($V_{gs,n}$) และศักดา ระหว่างเดรนกับซอส ($V_{ds,n}$) ค่าศักดาระหว่างเกตกับซอส ($V_{gs,n}$) จะถูกกำหนดให้มีค่ามากกว่าค่าศักดา เทรคโฮลด์ (V_m) เพื่อสร้างค่าความนำไฟฟ้าเกิดขึ้นในแขนแนลระหว่างเดรนกับซอสและกำหนดจุด พิกัดของโครงสร้างคือ ทิศทางของ x (x-direction) จะตั้งฉากไปกับพื้นผิวและชี้ลงไปยังฐานรอง ส่วนทิศทางของ y (y-direction) จะขนานไปกับพื้นผิวและ $V_c(y)$ เป็นศักดาแขนแนล กำหนดให้ค่า ศักดาเทรคโฮลด์มีค่าคงที่ตลอดแขนแนล ดังนั้นขอบเขตของศักดาแขนแนลจะเป็นดังนี้

$$\begin{aligned} V_c(y=0) &= V_s = 0 \\ V_c(y=L) &= V_{ds,n} \end{aligned} \tag{2.1}$$

นอกจากนั้น บริเวณแขนแนลระหว่างเดรนกับซอสจะถูกกำหนดให้มีค่าตรงข้ามกัน

$$\begin{aligned} V_{g,n} &= V_{th} \\ V_{gd,n} &= V_{gs,n} - V_{ds,n} V_{th} \end{aligned} \tag{2.2}$$

เมื่อ $V_{gd,n}$ เป็นศักดาระหว่างเกตกับเดรน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

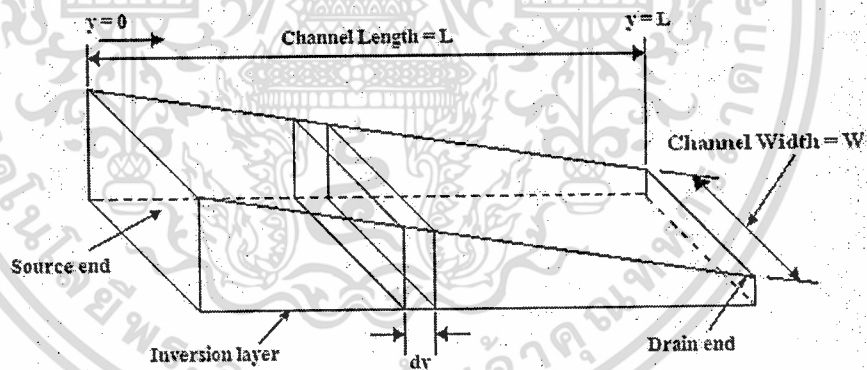
กระแสตรงเกิดจากการเคลื่อนที่ของอิเล็กตรอนภายในแซนแนลจากซอสไปยังเดรนภายใต้สนามไฟฟ้าที่ถูกสร้างขึ้น เมื่อการไหลของกระแสถูกกำหนดโดยจำนวนการประจุของโมบายอิเล็กตรอน (Mobile Electron) บนผิวของ Inversion Layer ดังนั้นจะพิจารณาในรายละเอียดของ Inversion Layer ที่ขึ้นอยู่กับศักดาในการไบอัส

ถ้าให้ $Q_i(y)$ เป็นโมบายอิเล็กตรอนรวมที่ประจุในผิวของ Inversion Layer การประจุนี้สามารถแสดงในฟังก์ชันของศักดาที่ระหว่างเกตกับซอส ($V_{gs,n}$) และศักดาแซนแนล ($V_c(y)$) ได้ดังนี้

$$Q_i(y) = -C_{ox} [V_{gs,n} - V_c(y) - V_{th}] \quad (2.3)$$

โดยที่ C_{ox} คือ ค่าความจุต่อหน่วยพื้นที่ของชั้นออกไซด์ที่กั้นระหว่างเกตกับแซนแนล

ดังรูปที่ 2.7 จะเป็นการแสดงพื้นผิวทางเรขาคณิตของ Inversion Layer และแสดงขนาดของตัวแปรต่าง ๆ ค่าความแน่นของ Inversion Layer จะเป็นรูปสี่เหลี่ยมเริ่มจากซอสไปยังเดรน เนื่องจากศักดาที่ระหว่างเกตกับแซนแนล ทำให้ผิวของ Inversion Layer มีค่าน้อยลงที่จุดสิ้นสุดสุดของเดรน



รูปที่ 2.7 ส่วนทางเรขาคณิตบริเวณผิวของ Inversion Layer

จากนั้นทำการพิจารณาการเพิ่มของความต้านทาน (dR) ของการ Differential ส่วนแซนแนลที่แสดงในรูปที่ 2.7 กำหนดให้โมบายอิเล็กตรอนใน Inversion Layer ทั้งหมดมีค่าความคล่องตัวของอิเล็กตรอน (μ_n) คงที่ การเพิ่มขึ้นของความต้านทานสามารถแสดงได้ดังนี้

$$dR = -\frac{dy}{W \mu_n Q_i(y)} \quad (2.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสเดรนจะไหลระหว่างเกรนกับซอสไปในทิศทาง y ซึ่งเป็นไปตามข้อกำหนดของรูปแบบการวิเคราะห์แบบหนึ่งมิติ ใช้กฎของโอห์มเพื่อหาศักดาตกคร่อมระหว่างกรเพิ่มขึ้นของ dy ในทิศทาง y จะได้เป็น

$$dV_c = I_{d,n}dR = -\frac{I_{d,n}}{W\mu_n Q_1(y)}dy \quad (2.5)$$

ทำการอินทิเกรตสมการที่ (2.5) ไปตามความยาวของแชนแนลจาก $y = 0$ ไปยัง $y = L$ โดยใช้ขอบเขตที่กำหนดจากสมการที่ (2.1)

$$\int_0^L I_{d,n}dy = -W\mu_n \int_0^{V_{ds,n}} Q_1(y)dV_c \quad (2.6)$$

สมการด้านซ้ายมือจะได้เป็น $LI_{d,n}$ แทนค่า Q_1 ด้วยสมการที่ (2.3) แล้วทำการอินทิเกรต ดังนี้

$$I_{d,n}L = W\mu_n c_{ox} \int_0^{V_{ds,n}} (V_{gs,n} - V_c - V_m)dV_c \quad (2.7)$$

กำหนดให้มีการเปลี่ยนแปลงศักดาแชนแนล (V_c) ในสมการที่ (2.7) ขึ้นอยู่กับตำแหน่งของ y จะได้กระแสเดรนเป็นดังนี้

$$I_{d,n} = \frac{\mu_n c_{ox} W}{2L} \left[2(V_{gs,n} - V_m)V_{ds,n} - V_{ds,n}^2 \right] \quad (2.8)$$

สมการที่ (2.8) เป็นการแสดงกระแสเดรนในรูปฟังก์ชัน Second-Order ของศักดาจากภายนอก คือ ศักดาเรหว่างเกตกับซอส ($V_{gs,n}$) และศักดาเรหว่างเกรนกับซอส ($V_{ds,n}$) สมการดังกล่าวเป็นสมการความสัมพันธ์ระหว่างกระแสกับศักดาของมอสทรานซิสเตอร์ที่ทำงานในช่วงเชิงเส้น (Linear Region) และสามารถเขียนสมการได้ใหม่ดังนี้

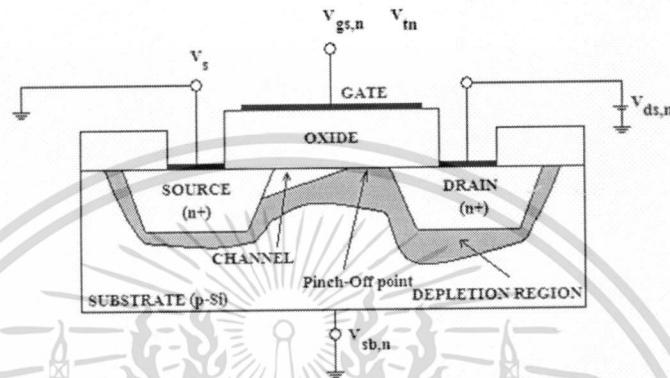
$$I_{d,n} = \frac{\mu_n c_{ox} W}{2L} \left[2(V_{gs,n} - V_m)V_{ds,n} - V_{ds,n}^2 \right] \quad (2.9)$$

เมื่อ $V_{gs,n} > V_m; 0 < V_{ds,n} < (V_{gs,n} - V_m)$

$$k_n = \mu_n c_{ox} \frac{W}{L} \quad (2.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.9) เป็นการประมาณการที่ใช้ได้ดีในกรณีที่ $V_{ds,n} < (V_{gs,n} - V_{tn})$ เท่านั้น เมื่อ $V_{ds,n} > (V_{gs,n} - V_{tn})$ จะเกิดปรากฏการณ์อีกอย่างหนึ่งขึ้นดังแสดงในรูปที่ 2.8 แสดงถึงค่าศักดาที่เปลี่ยนแปลงไปภายในเซกเมนต์ และปริมาณความเข้มข้นของประจุที่ค่อย ๆ ลดลงเมื่อเข้าไปใกล้เดรน ถ้าเดรนมีศักดาเท่ากับ $V_{ds,n} > (V_{gs,n} - V_{tn})$ จะทำให้ Inversion Layer และความลึกของแซนแนลดลดลง ซึ่งถูกเรียกว่า Pinch-Off Point จะทำให้มอสทรานซิสเตอร์ทำงานในช่วงอิ่มตัว (Saturation Region)



รูปที่ 2.8 การเกิด Pinch-Off

จากรูปที่ 2.8 ทำให้สามารถแสดงขอบเขตการทำงานของมอสทรานซิสเตอร์ในช่วงอิ่มตัวได้เป็นดังนี้

$$V_{ds,n} (V_{gs,n} - V_{tn}) \tag{2.11}$$

ดังนั้นกระแสเดรนในช่วงการทำงานแบบอิ่มตัว สามารถหาได้โดยการแทนสมการที่ (2.11) ไปในสมการที่ (2.8) จะได้เป็น

$$I_{d,n} = \frac{\mu_n C_{ox} W}{2 L} \left[2(V_{gs,n} - V_{tn})(V_{gs,n} - V_{tn}) - (V_{gs,n} - V_{tn})^2 \right] \tag{2.12}$$

$$I_{d,n} = \frac{\mu_n C_{ox} W}{2 L} (V_{gs,n} - V_{tn}) \tag{2.13}$$

และสามารถเขียนสมการใหม่ได้เป็น

$$I_{d,n} = \frac{k_n}{2} (V_{gs,n} - V_{tn})^2 \tag{2.14}$$

เมื่อ $V_{gs,n} > V_{tn}; 0 < V_{ds,n} < (V_{gs,n} - V_{tn})$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรายละเอียดของคุณสมบัติทางศักดาและกระแสของมอสทรานซิสเตอร์ ทำให้สามารถสรุปการจัดไบอัสการทำงานของมอสทรานซิสเตอร์ได้เป็น 3 ช่วง โดยการทำงานทั้งหมดจะอ้างอิงการไบอัสเอ็นมอสทรานซิสเตอร์แบบเอ็นฮานเมนต์เป็นดังนี้

2.5.1 การทำงานในช่วงกัtoff (Cut-Off Region)

เป็นการไบอัสให้ศักดาเรหว่างเกตกับซอส ($V_{ds,n}$) มีค่าน้อยกว่าศักดาเทรตโฮลด์ (V_{tn}) จะเป็นผลทำให้ไม่มีกระแสไหลระหว่างเดรนกับซอส ดังนั้นสมการกระแสเดรนจะเป็นดังนี้

$$I_{d,n} = 0, V_{gs,n} < V_{tn} \quad (2.15)$$

2.5.2 การทำงานในช่วงไม่อิ่มตัว (Non-Saturation Region) หรือช่วงเชิงเส้น (Linear Region) หรือ (Triode Region)

เป็นการไบอัสให้ศักดาเรหว่างเดรนกับซอส ($V_{gs,n}$) มีค่ามากกว่าศักดาเทรตโฮลด์ ($V_{gs,n} > V_{tn}$) และขณะเดียวกันจะไบอัสให้ศักดาเรหว่างเดรนกับซอสมีค่าน้อยกว่าศักดาเรหว่างเกตกับซอสลบด้วยศักดาเทรตโฮลด์ $V_{gs,n} < (V_{gs,n} - V_{tn})$ จะทำให้มีกระแสไหลระหว่างเดรนกับซอสโดยสมการกระแสเดรนเป็นดังนี้

$$I_{d,n} = \frac{k_n}{2} [2(V_{gs,n} - V_{tn})V_{ds,n} - V_{ds,n}^2] \quad (2.16)$$

เมื่อ $V_{gs,n} > V_{tn}; 0 < V_{ds,n} < (V_{gs,n} - V_{tn})$

2.5.3 การทำงานในช่วงอิ่มตัว (Saturation Region)

เป็นการไบอัสให้ศักดาเรหว่างเกตกับซอส ($V_{gs,n}$) มีค่ามากกว่าศักดาโฮลด์ ($V_{gs,n} > V_{tn}$) และขณะเดียวกันจะไบอัสให้ระหว่างเดรนกับซอสมากกว่าหรือเท่ากับศักดาเรหว่างเกตกับซอสลบด้วยศักดาเทรตโฮลด์ $V_{gs,n} < (V_{gs,n} - V_{tn})$ ดังนั้นจะได้กระแสเดรนในช่วงอิ่มตัวเป็นดังนี้

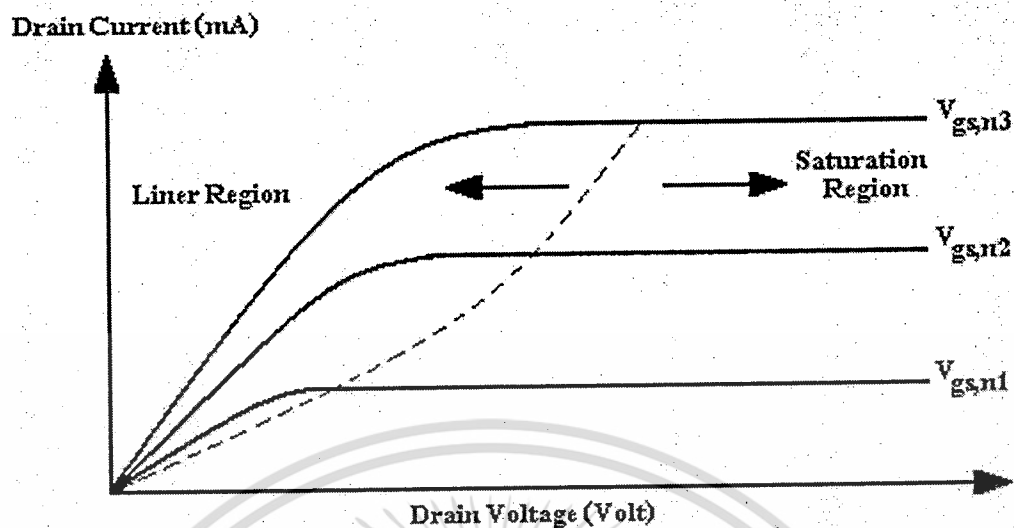
$$I_{d,n} = \frac{k_n}{2} (V_{gs,n} - V_{tn})^2 \quad (2.17)$$

เมื่อ $V_{gs,n} > V_{tn}; 0 < V_{ds,n} < (V_{gs,n} - V_{tn})$

จะเห็นได้ว่าสมการกระแสเดรนในช่วงอิ่มตัวที่ได้ จะมีค่าที่ไม่ขึ้นกับศักดาที่เดรนกับซอส ($V_{ds,n}$) แต่จะขึ้นอยู่กัศักดาระหว่างเกตกับซอสลบด้วยศักดาเทรโดลด์ ($V_{gs,n} - V_{tn}$) ซึ่งทำให้สมการเป็นไปตามคุณลักษณะของกฎสมการกำลังสอง (Square-Law Equation) นั่นเอง

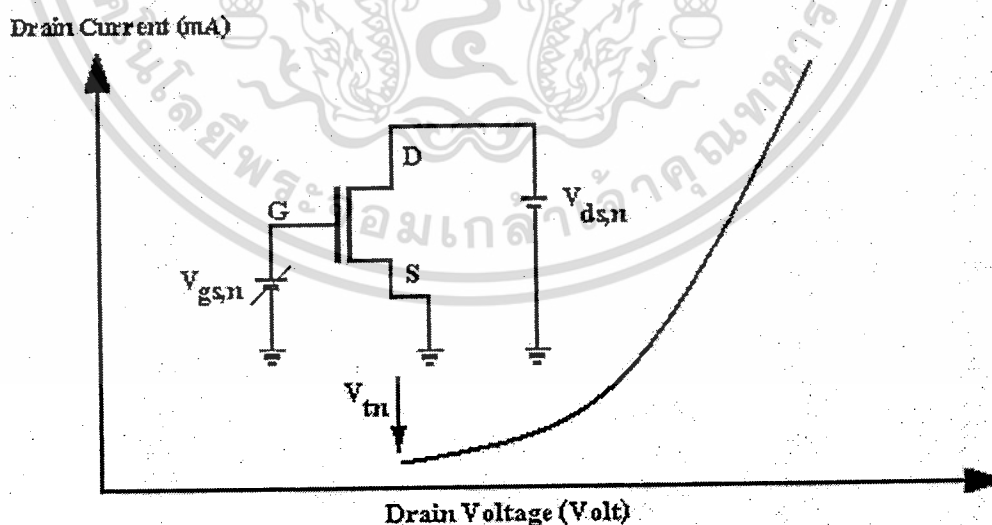
ตัวแปรต่าง ๆ ที่แสดงในสมการทั้งหมดสามารถแสดงรายละเอียดได้ดังนี้

- k_n = ค่าทรานคอนดัคแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu_n c_{ox} \frac{W}{L}$
- k_p = ค่าทรานคอนดัคแตนซ์ (Transconductance) มีค่าเท่ากับ $\mu_p c_{ox} \frac{W}{L}$
- μ_n = ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)
- μ_p = ค่าสภาพความคล่องตัวของโฮลหรืออิเล็กตรอน (Surface Mobility of Carrier)
- C_{ox} = ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (Capacitance Per-Unit Area of the Gate Oxide) = ϵ_{ox} / t_{ox}
- ϵ_{ox} = ค่าคงที่ของ SiO₂ = $3.97 \cdot 8.85 \cdot 10^{-14}$ F/cm
- t_{ox} = ความหนาของเกตออกไซด์
- L = ความยาวของแชนแนล (Channel Length)
- W = ความกว้างของแชนแนล (Channel Width)
- $V_{gs,n}$ = ศักดาไฟฟ้าระหว่างเกตกับซอส (Gate – Source Voltage)
- $V_{gd,n}$ = ศักดาไฟฟ้าระหว่างเกตกับเดรน (Gate – Drain Voltage)
- $V_{ds,n}$ = ศักดาไฟฟ้าระหว่างเดรนกับซอส (Drain – Source Voltage)
- $V_{sb,n}$ = ศักดาฐานรอง (Substrate Voltage)
- V_{tn} = ศักดาเริ่มต้นของเอ็นมอส (nMOS Threshold Voltage)
- V_{tp} = ศักดาเริ่มต้นของพีมอส (pMOS Threshold Voltage)
- $I_{d,n}$ = กระแสเดรนเอ็นมอสทรานซิสเตอร์



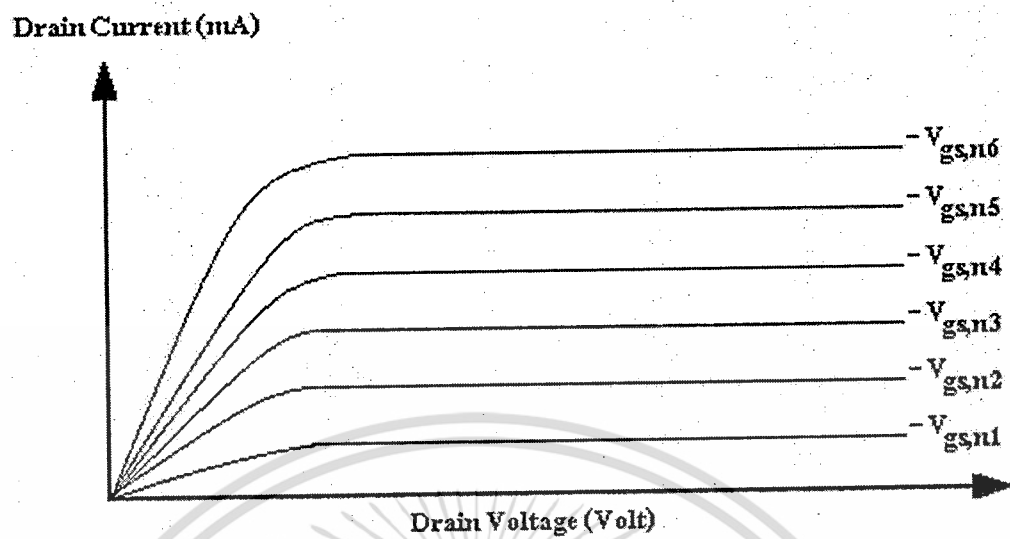
รูปที่ 2.9 คุณลักษณะกระแสกับศักดาพื้นฐานของเอ็นมอสทรานซิสเตอร์

รูปที่ 2.9 แสดงตัวอย่างคุณสมบัติกระแสตรงเทียบกับศักดาตรงของเอ็นมอสทรานซิสเตอร์ โดยใช้สมการกระแสที่ (2.8) และสมการที่ (2.12) เส้นประแบบพลาโบล่าจะเป็นการแสดงขอบเขตระหว่างช่วงเชิงเส้นและช่วงอิ่มตัว คุณลักษณะของกระแสกับศักดาของมอสทรานซิสเตอร์สามารถเปรียบเทียบระหว่างกระแสตรงและศักดาที่เกต ดังแสดงในรูปที่ 2.10

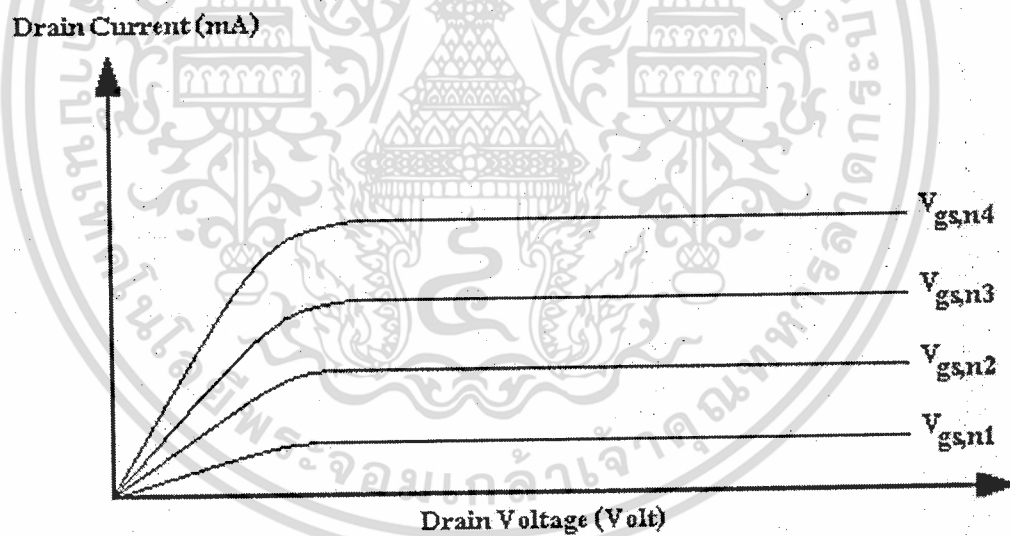


รูปที่ 2.10 กระแสตรงของเอ็นมอสทรานซิสเตอร์ตามฟังก์ชันของศักดาตรงระหว่างเกตกับซอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.11 กระแสเดรนและศักยระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบดีฟลิชั่น



รูปที่ 2.12 กระแสเดรนและศักยระหว่างเดรนกับซอสของมอสทรานซิสเตอร์แบบเอ็นฮานเมนท์

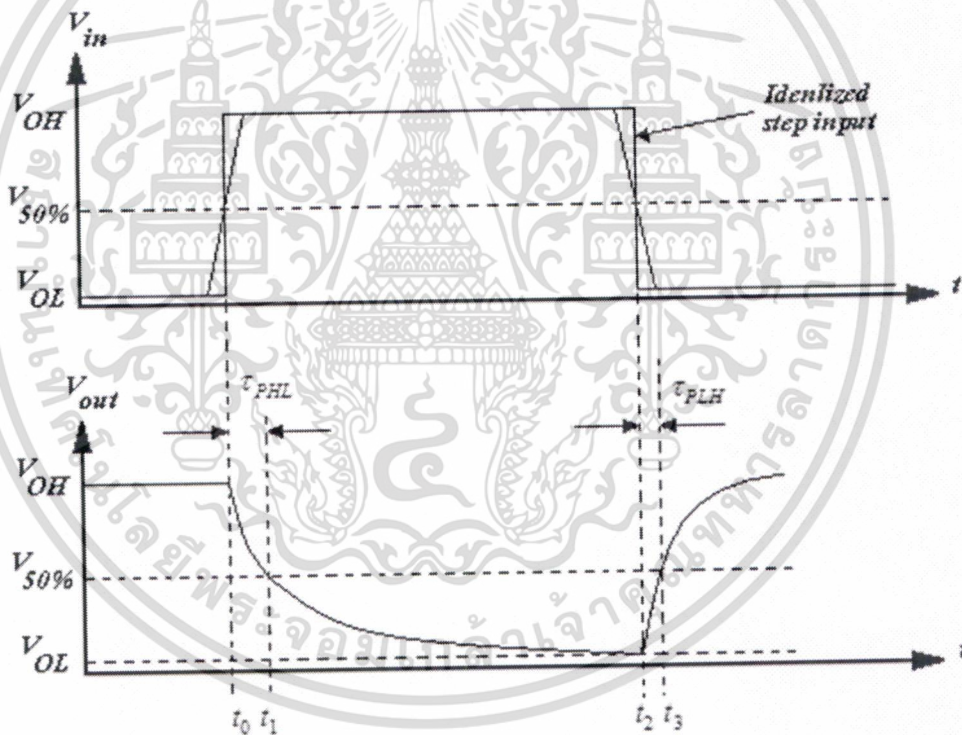
2.6 การหาค่าหน่วยเวลา

วิธีการหาค่าหน่วยเวลาที่ใช้กันอย่างแพร่หลาย ดูรูปคลื่นสัญญาณทางอินพุตและเอาต์พุตของ วงจรอินเวอร์เตอร์ ดังแสดงในรูปที่ 2.13 การหาค่าหน่วยเวลา τ_{PHL} และ τ_{PLH} เป็นค่าหน่วยเวลาที่ เปรียบเทียบระหว่างสัญญาณทางอินพุตและเอาต์พุตที่สภาวะเปลี่ยนแปลงจาก High เป็น Low และ Low เป็น High ตามลำดับ โดยมีนิยามดังนี้ τ_{PHL} เป็นค่าหน่วยเวลาเปรียบเทียบระหว่างช่วงเปลี่ยน ไม้ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่แรงดัน 50% ของขาขึ้นทางอินพุตกับช่วงที่เปลี่ยนแรงดัน 50% ของขาลงทางเอาต์พุต เหมือนกัน กับ τ_{PLH} เป็นนิยามค่าหน่วยเวลาเทียบระหว่างช่วงเปลี่ยนที่แรงดัน 50% ของขาลงทางอินพุตกับ ช่วงที่เปลี่ยนแรงดัน 50% ของขาขึ้นทางเอาต์พุต

เพื่อให้ง่ายขึ้นแก่การวิเคราะห์และเขียนสมการค่าการหน่วยเวลา สัญญาณรูปคลื่นทางอินพุต จะถูกสมมติเป็นรูปคลื่นสี่เหลี่ยม ทางทฤษฎีมีค่าหน่วยเวลาขาขึ้นและขาลงเป็นศูนย์ ภายใต้ข้อ สมมติฐาน τ_{PHL} เป็นค่าหน่วยเวลาที่ได้จากแรงดันทางเอาต์พุตที่ลดลงจาก V_{OH} ไปหาระดับแรงดัน $V_{50\%}$ ซึ่งจะเริ่มตั้งแต่ช่วงขาขึ้นของสัญญาณอินพุต และ τ_{PLH} เป็นค่าหน่วยเวลาที่ได้จากแรงดัน ทางเอาต์พุตที่เริ่มเพิ่มขึ้นจาก V_{OL} ไปหาระดับแรงดัน $V_{50\%}$ ซึ่งจะเริ่มตั้งแต่ช่วงเวลาขาลงของ สัญญาณอินพุต จากนั้นสามารถเขียนสมการของค่าแรงดันที่จุด $V_{50\%}$ ได้ดังนี้

$$V_{50\%} = V_{OL} + \frac{1}{2}(V_{OH} - V_{OL}) = \frac{1}{2}(V_{OL} + V_{OH}) \quad (2.18)$$



รูปที่ 2.13 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตของวงจรอินเวอร์เตอร์ และนิยามค่าหน่วยเวลา ต่าง ๆ โดยที่สัญญาณทางอินพุตเป็นสัญญาณสี่เหลี่ยมในทางทฤษฎี

ดังนั้นค่าหน่วยเวลา τ_{PHL} และ τ_{PLH} จากรูปที่ 2.13 ได้ดังนี้

$$\begin{aligned} \tau_{PHL} &= t_1 - t_0 \\ \tau_{PLH} &= t_3 - t_2 \end{aligned} \quad (2.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการคำนวณค่า τ_{PHL} และ τ_{PLH} นั้น จะใช้การประมาณค่าเฉลี่ยกระแสของตัวเก็บประจุในขณะที่ยังประจุและคายประจุ โดยถ้าให้กระแสเฉลี่ยเป็นค่าคงที่ จะได้ดังนี้

$$\tau_{PHL} = \frac{C_{load} \cdot \Delta V_{HL}}{I_{avg,HL}} = \frac{C_{load} \cdot (V_{OH} - V_{50\%})}{I_{avg,HL}} \quad (2.20)$$

$$\tau_{PLH} = \frac{C_{load} \cdot \Delta V_{LH}}{I_{avg,LH}} = \frac{C_{load} \cdot (V_{50\%} - V_{OL})}{I_{avg,LH}} \quad (2.21)$$

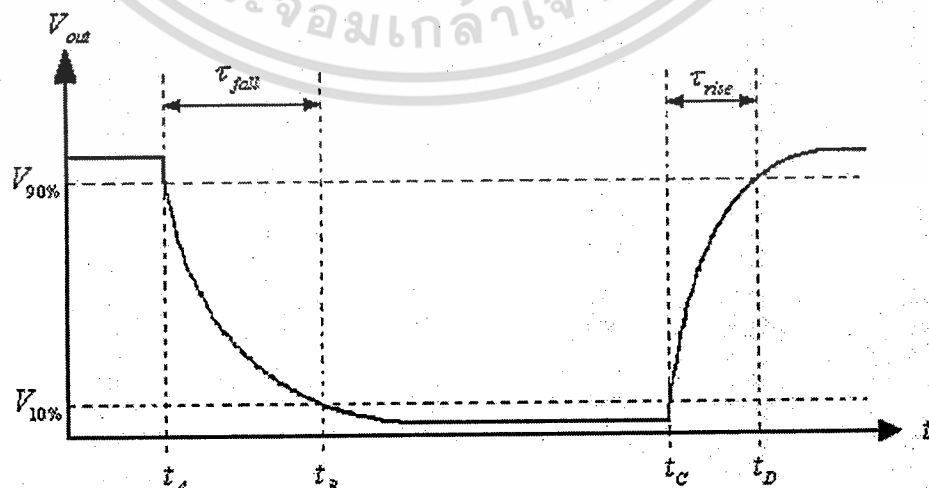
และค่าเฉลี่ยของค่าหน่วงเวลา (Propagation Delay Time) τ_p สำหรับสัญญาณทางอินพุตโดยผ่านวงจรรีเลย์เตอร์จะได้อิงสมการ

$$\tau_p = \frac{\tau_{PHL} + \tau_{PLH}}{2} \quad (2.22)$$

ในรูปที่ 2.14 เป็นการให้นิยามค่าหน่วงเวลาทั้งทางขาลงและทางขาขึ้นของแรงดันทางเอาต์พุต ซึ่งค่าหน่วงเวลาขาขึ้น τ_{rise} เป็นช่วงเวลาของแรงดันทางอินพุตที่เพิ่มจากระดับแรงดันทางเอาต์พุตที่เพิ่มระดับแรงดัน $V_{10\%}$ จนถึงระดับแรงดัน $V_{90\%}$ เหมือนกันกับค่าหน่วงเวลาขาลง τ_{fall} เป็นช่วงเวลาของแรงดันทางเอาต์พุตที่ลดลงจากระดับ $V_{90\%}$ จนถึงระดับแรงดัน $V_{10\%}$ และระดับแรงดัน $V_{10\%}$ และ $V_{90\%}$ มีสมการดังนี้

$$V_{10\%} = V_{OL} + 0.1(V_{OH} - V_{OL}) \quad (2.23)$$

$$V_{90\%} = V_{OL} + 0.9(V_{OH} - V_{OL}) \quad (2.24)$$



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับรูปที่ 2.14 ช่วงเวลาขาขึ้นและขาลงของแรงดันเอาต์พุต ซึ่งประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

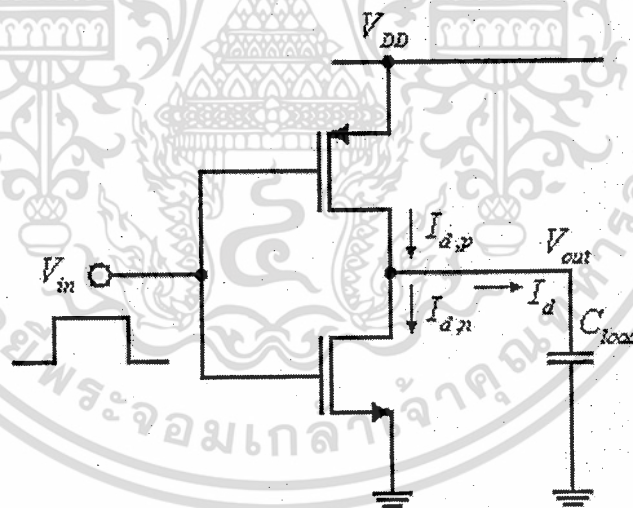
ดังนั้นช่วงขาลงและขาขึ้นของแรงดันเอาต์พุตสามารถหาได้จากรูปที่ 2.14 ดังนี้

$$\begin{aligned}\tau_{rise} &= t_B - t_A \\ \tau_{fall} &= t_D - t_C\end{aligned}\quad (2.25)$$

หมายเหตุ : สามารถใช้นิยามเกี่ยวกับค่าหน่วยเวลาที่ระดับ 20% และ 80% ก็ได้

2.7 การหาค่ากำลังงานสูญเสีย

ในวงจรซีมอสจะแบ่งกำลังงานสูญเสียออกเป็น 2 ชนิดคือ แบบ Static Power Dissipation และแบบ Dynamic Power Dissipation ซึ่ง Static Power Dissipation หรือ DC Power dissipation จะเกิดขึ้นเมื่อวงจรซีมอสอินเวอร์เตอร์ทำงานในช่วง Steady-State ($V_{out} = V_{OH}$) และ ($V_{out} = V_{OL}$) แต่วงจรซีมอสจะไม่ดึงกระแสจากแหล่งจ่ายไฟเลี้ยง ฉะนั้นค่า DC Power Dissipation จึงไม่จำเป็นต้องคำนึงถึงเพราะมันมีค่าน้อยมาก ๆ ส่วนค่า Dynamic Power Dissipation ในวงจรซีมอสอินเวอร์เตอร์เกิดขึ้นในระหว่างสภาวะการสวิตช์ของโหลดคาปาซิเตอร์ทางเอาต์พุตในการเก็บประจุและคายประจุ



รูปที่ 2.15 วงจรซีมอสอินเวอร์เตอร์ ที่ใช้ในการวิเคราะห์หา Dynamic Power Dissipation

พิจารณาวงจรซีมอสอินเวอร์เตอร์ในรูปที่ 2.15 สมมติแรงดันทางอินพุตเป็นรูปสี่เหลี่ยมในทางทฤษฎี โดยที่ไม่คำนึงถึงค่าหน่วยเวลาทั้งขาขึ้นและขาลง โดยทั่วไปรูปสัญญาณทางด้านอินพุตและเอาต์พุตและรูปคลื่นกระแสของโหลดคาปาซิเตอร์ที่แสดงในรูปที่ 2.15 เมื่อแรงดันทางอินพุตสวิตช์จาก Low ไป High ทรานซิสเตอร์แบบพีมอส ในวงจรจะไม่ทำงาน แต่ทรานซิสเตอร์เอ็นมอสจะเริ่มนำกระแสในระหว่างเฟสนี้ โหลดคาปาซิเตอร์ C_{load} จะคายประจุโดยผ่านทรานซิสเตอร์แบบเอ็นมอส ดังนั้นกระแสโหลดคาปาซิเตอร์ จึงเท่ากับกระแสแตรนของไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทรานซิสเตอร์แบบเอ็นมอส เมื่อแรงดันทางอินพุตสวิทช์จาก High ไปหา Low ทรานซิสเตอร์แบบเอ็นมอสในวงจรจะหยุดทำงาน แต่ทรานซิสเตอร์แบบพีมอสเริ่มนำกระแส ในระหว่างเฟสนี้ โหลดคาปาซิแตนซ์ C_{load} ก็เริ่มเก็บประจุโดยผ่านทางทรานซิสเตอร์แบบพีมอส ฉะนั้นกระแสของโหลดคาปาซิเตอร์เท่ากับกระแสเดรนของทรานซิสเตอร์แบบพีมอส

สมมติว่า t เป็นคาบเวลา 1 คาบของรูปสี่เหลี่ยมสัญญาณทางอินพุตและเอาต์พุต ฉะนั้นค่าเฉลี่ย Power Dissipation ของวงจรในหนึ่งคาบเวลาสามารถหาได้ดังนี้

$$P_{avg} = \frac{1}{T} \int_0^T V(t)i(t)dt \quad (2.26)$$

โดยที่

T คือ ช่วงเวลา 1 คาบของสัญญาณนาฬิกา

t คือ ช่วงเวลา 1 คาบของสัญญาณทางอินพุตและเอาต์พุต

V คือ แรงดัน

i คือ กระแส

ในระหว่างที่มอสทรานซิสเตอร์ทำการสวิทช์นั้น ทั้งเอ็นมอสและพีมอสในวงจรซิมอสอินเวอร์เตอร์จะนำกระแสทุก ๆ ครั้งหนึ่งของคาบเวลา ดังนั้นค่าเฉลี่ย Power Dissipation ของวงจรซิมอสอินเวอร์เตอร์ สามารถคำนวณหาค่า Power ที่ต้องการ ได้จากการเก็บประจุและคายประจุของโหลดคาปาซิเตอร์

$$P_{avg} = \frac{1}{T} \left[\int_0^{\frac{T}{2}} V_{out} - \left(C_{load} \frac{dV_{out}}{dt} \right) dt + \int_{\frac{T}{2}}^T (V_{DD} - V_{out}) \left(C_{load} \frac{dV_{out}}{dt} \right) dt \right] \quad (2.27)$$

การคำนวณ Integrate ในสมการที่ (2.25) เราจะได้

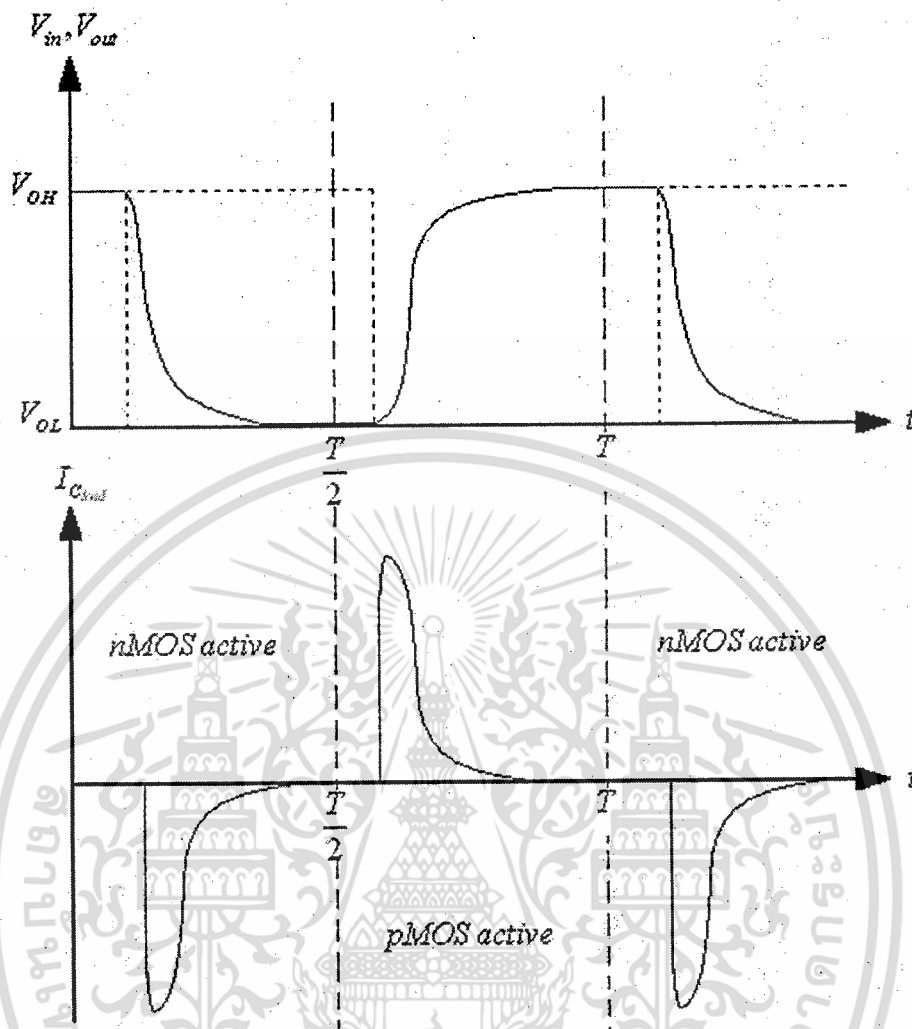
$$P_{avg} = \frac{1}{T} \left[\left(-C_{load} \frac{V_{out}^2}{2} \right) \Big|_0^{\frac{T}{2}} + \left(V_{DD} V_{out} C_{load} - \frac{1}{2} C_{load} V_{out}^2 \right) \Big|_{\frac{T}{2}}^T \right] \quad (2.28)$$

$$P_{avg} = \frac{1}{T} C_{load} V_{DD}^2 \quad (2.29)$$

ซึ่ง $f = \frac{1}{T}$ จากนั้นสามารถเขียนได้ดังนี้

$$\text{เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานที่ } P_{avg} = C_{load} V_{DD}^2 f \text{ ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้าน (2.30)}$$

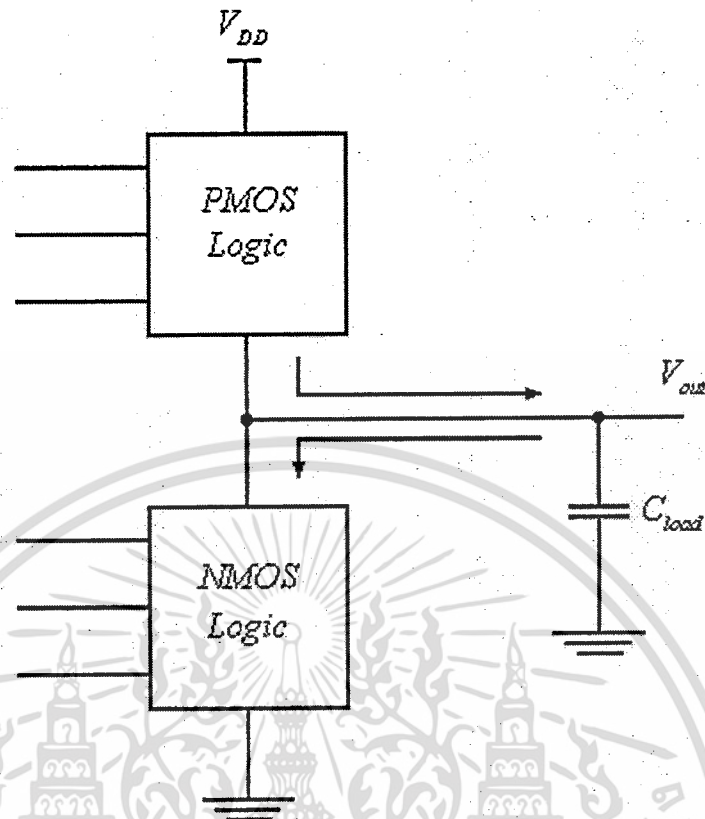
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 รูปคลื่นสัญญาณทางอินพุตและเอาต์พุตและรูปคลื่นกระแสของคาปาซิเตอร์ระหว่างการสวิตช์ของวงจรซีมอสอินเวอร์เตอร์

เห็นได้ชัดว่าค่าเฉลี่ย Power Dissipation ของวงจรซีมอสอินเวอร์เตอร์ในสมการที่ (2.30) จะมีองค์ประกอบของกำลังงานที่จะต้องสูญเสียไปในขั้นตอนของการสวิตช์ที่ตัวเก็บประจุทางด้านเอาต์พุตจากค่า V_{OL} ไปหาค่า V_{OH} ตลอดจนแรงดันกับความถี่ที่ทำงานอยู่ในขณะนั้น และถ้าพิจารณาที่ความถี่ในการทำงาน (f) ก็จะเห็นว่า เป็นอัตราส่วนกับความถี่ในการสวิตช์ (f) เพราะฉะนั้นข้อดีของวงจรซีมอสที่ใช้กำลังงานต่ำในการทำงาน จึงเป็นจุดเด่นในการนำไปใช้งานทางด้านความเร็วสูง ซึ่งส่วนมากแล้ววงจรทางด้านความเร็วสูงก็ต้องใช้ความถี่ในการสวิตช์ที่สูงด้วย และนอกเหนือจากที่ได้กล่าวมาแล้ว ค่าเฉลี่ย Power Dissipation จะขึ้นอยู่กับลักษณะและขนาดของทรานซิสเตอร์ ตลอดจนค่าหน่วยเวลาในระหว่างการสวิตช์ที่จะเกิดขึ้นในวงจรด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 วงจรซีมอส Logic โดยทั่วไป

จากสมการกำลังงานที่เกิดจากการสวิตช์ของวงจรมอสอินเวอร์เตอร์ เราสามารถแสดงให้เห็นในรูปแบบของวงจรมอส Logic โดยทั่วไปได้ดังในรูปที่ 2.17 ซึ่งวงจรมอสลอจิก (CMOS Logic) จะประกอบด้วย NMOS Logic Block อยู่ระหว่างโหนดเอาต์พุตกับกราวด์และ PMOS Logic Block อยู่ระหว่างโหนดเอาต์พุตกับแรงดันไฟเลี้ยง V_{DD}

ในกรณีวงจรมอสอินเวอร์เตอร์ทั่วไปนั้น ทั้งส่วน PMOS Block หรือ NMOS Block สามารถนำกระแสโดยขึ้นอยู่กับสัญญาณทางอินพุต แต่ไม่ใช่ในเวลาเดียวกัน ดังนั้นกำลังงานสูญเสียที่เกิดจากการสวิตช์ เป็นการสูญเสียที่เกิดจากการเก็บประจุและคายประจุของคาปาซิเตอร์ทางเอาต์พุต

สรุปโดยรวม ถ้าค่าคาปาซิเตอร์ทั้งหมดที่อยู่ภายในวงจรมีค่ามากที่โหนดเอาต์พุต จะทำให้เกิดผลกระทบกับประสิทธิภาพโดยรวมของวงจรมอสด้วย ถ้าแรงดันเอาต์พุตแกว่งในช่วง 0 ถึง V_{DD} และถ้ารูปคลื่นสัญญาณอินพุตเป็นรูปคลื่นสี่เหลี่ยมทางทฤษฎีค่าเฉลี่ย Switching Power Dissipation สามารถแสดงได้ในสมการที่ (2.30) จะใช้ได้ในทุก ๆ วงจรมอสลอจิก

ภายใต้เงื่อนไขที่เป็นจริงเมื่อรูปคลื่นสัญญาณทางอินพุต Step Input ไม่เป็นอย่างทฤษฎีและค่าหน่วงเวลาทั้งขาขึ้นและขาลงไม่เป็น 0 สำหรับตัวอย่าง N-MOS และ P-MOS ทรานซิสเตอร์จะนำกระแสพร้อมกัน ซึ่งเป็นผลรวมของกระแสที่เกิดขึ้นระหว่างการสวิตช์นี้เรียกว่า กระแสลัดวงจร ซึ่งในกรณีทรานซิสเตอร์ จะนำกระแสจากไฟเลี้ยง V_{DD} ไปหากราวด์ ฉะนั้นค่ากำลังงานสูญเสียที่ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เกิดขึ้นในเวลาวงจร Short Circuit ไม่สามารถคำนวณได้ตามสมการที่ (2.30) ได้ ซึ่งกระแสที่เกิดจากการ Short Circuit ไม่ทำให้เกิดการเก็บประจุหรือคายประจุของคาปาซิเตอร์ทางเอาต์พุต จึงจำเป็นต้องรู้ค่ากำลังงานสูญเสียในส่วนนี้ด้วย เพราะจะสามารถอธิบายลักษณะที่ไม่เป็นไปตามเงื่อนไขทางทฤษฎี ถ้าโหลดคาปาซิเตอร์มีค่ามากขึ้น ในทางตรงกันข้ามค่ากำลังงานสูญเสียที่เกิดจากการ Short Circuit นี้ไม่จำเป็นต้องคำนึงถึง เพราะจะมีค่าน้อยมาก ๆ ถ้าเปรียบเทียบกับกำลังงานสูญเสียที่เกิดจากการเก็บประจุและคายประจุของคาปาซิเตอร์

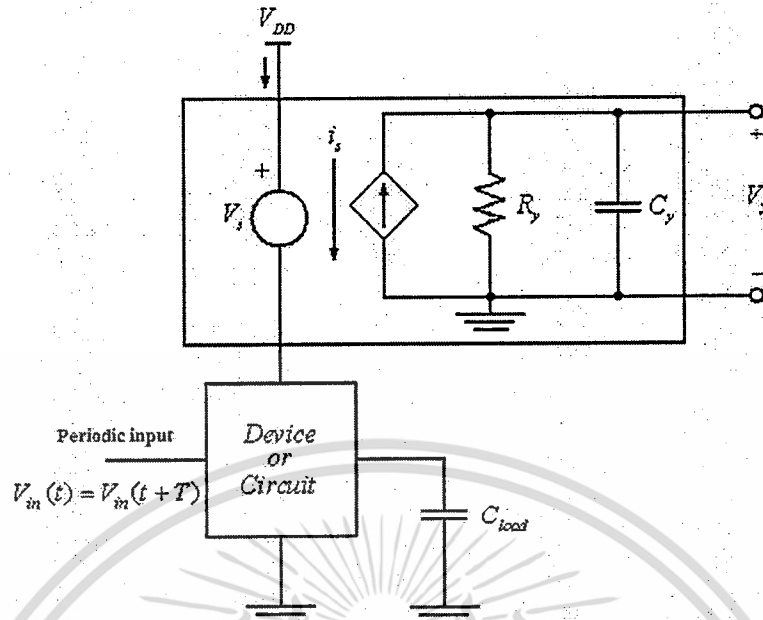
2.7.1 การจำลองวิธีการวัดกำลังงานสูญเสียของวงจร

การจำลองการทำงานของวงจร เพื่อหาค่าเฉลี่ยกำลังงานสูญเสียที่สร้างเอง (ซึ่งรวมค่าที่เกิดจากการ Short Circuit และกระแสรั่วไหล) ภายใต้เงื่อนไขการทำงานจริง [5] อ้างอิงตามสมการที่ (2.30) ค่ากำลังงานสูญเสียของทุกอุปกรณ์หรือวงจรที่ป้อนด้วยรูปคลื่นสัญญาณทางอินพุตสามารถหาได้จากแรงดันตามเวลา v และกระแสตามเวลา i ที่อยู่ในหนึ่งช่วงรูปคลื่นสัญญาณ ถ้าเราจำเป็นต้องหาค่าเฉลี่ย P_{avg} ที่ดึงจากแหล่งจ่ายไฟเลี้ยงที่เป็นค่าคงที่

การใช้รูปแบบการจำลองการทำงาน [5] ที่เรียกว่า Power Meter เราสามารถแสดงค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจรที่เรากำหนดเองที่มีสัญญาณอินพุต 1 คาบเวลา ด้วยวิธี Transient Circuit เพื่อจำลองการทำงาน โดยพิจารณาตามโครงสร้างดังแสดงในรูปที่ 2.18 ซึ่งในที่นี้แรงดัน Zero-Volt ไม่ขึ้นกับแหล่งจ่ายถูกต่ออนุกรมเข้ากับแหล่งจ่ายไฟเลี้ยง V_{DD} ของอุปกรณ์ เพราะฉะนั้นกระแสจากแรงจ่ายแรงดันไฟฟ้าที่เปลี่ยนแปลงตามเวลา $i_{DD}(t)$ จะเป็นการดึงกระแสจากวงจรโดยผ่านแหล่งจ่าย Zero-Volt จึงมีค่า $i_S(t) = i_{DD}(t)$

วิธีการวัดกำลังงานของวงจรประกอบด้วย 3 ส่วนคือ กระแสควบคุมแหล่งจ่ายกระแสที่เป็นแบบเส้นตรง คาปาซิเตอร์และตัวต้านทาน ทั้งหมดถูกต่อขนานกัน สมการกระแสสำหรับจตุรรวมของวงจรที่ใช้ในการวัดกำลังงานสามารถเขียนได้ดังนี้

$$C_y \frac{dV_y}{dt} = \beta i_s - \frac{V_y}{R_y} \quad (2.31)$$



รูปที่ 2.18 วงจรการวัดกำลังงานที่นำมาใช้ในการจำลองการทำงาน เพื่อหาค่ากำลังงานสูญเสียเฉลี่ยของอุปกรณ์หรือวงจร

เงื่อนไขเริ่มต้นของจุดวัดแรงดัน V_y จะถูกตั้งไว้ที่ $V_y(0) = 0$ จากนั้นก็สามารถหาค่า $V_y(t)$ ตามค่าเวลาด้วยการ Integrate สมการที่ (2.31)

$$V_y(t) = \frac{\beta}{C_y} \int_0^t e^{-\frac{1}{R_y C_y}(t-\tau)} i_{DD}(\tau) d\tau \tag{2.32}$$

สมมติว่า $R_y C_y \gg T$ ค่าแรงดัน $V_y(T)$ ที่จุดสิ้นสุดของหนึ่งช่วงคาบเวลา สามารถที่จะประมาณค่าได้ดังนี้

$$V_y(T) = \frac{\beta}{C_y} \int_0^T i_{DD}(\tau) d\tau \tag{2.33}$$

ถ้าค่าสัมประสิทธิ์คงที่ แหล่งจ่ายกระแสควบคุมจะสามารถควบคุมการจ่ายกระแสได้ดังนี้

$$\beta = V_{DD} \frac{C_y}{T} \tag{2.34}$$

ค่าแรงดัน $V_y(t)$ ที่จุดสิ้นสุดของ 1 คาบเวลาจะหาค่า Transient จำลองการทำงาน ได้ดังนี้

$$V_y(T) = V_{DD} \frac{1}{T} \int_0^T i_{DD}(\tau) d\tau \tag{2.35}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (2.34) ทางด้านขวา เป็นผลของค่ากำลังงานเฉลี่ยที่ดึงจากแหล่งจ่ายไฟเลี้ยงใน 1 คาบเวลา ดังนั้นค่าแรงดันโหนด $V_y(T)$ ที่ $t=T$ เป็นค่ากำลังงานสูญเสียเฉลี่ยของวงจรวิธีการวัดกำลังงาน ดังแสดงในรูปที่ 2.11 สามารถนำมาใช้ในการจำลองการทำงานของวงจรทั่วไปได้ด้วย โปรแกรมการจำลองการทำงาน เช่น PSPICE และเพื่อประเมินค่ากำลังงานสูญเสียของวงจรที่มีความซับซ้อนให้ได้อย่างแม่นยำ อีกส่วนหนึ่งที่ต้องให้ความสำคัญคือ วงจรวิธีวัดค่ากำลังงาน จะต้องนำเอาผลลัพธ์มารวมกับค่ากำลังงานสูญเสียที่เกิดจากกระแส Short Circuit ที่เกิดขึ้นด้วย ซึ่งมันจะเกิดขึ้นเมื่อสัญญาณทางอินพุตไม่เป็นไปตามทฤษฎี

พิจารณาวงจรซิมูเลชันเวกเตอร์ ดังแสดงในรูปที่ (2.18) สมมติให้สัญญาณทางอินพุตเป็นรูปคลื่นสี่เหลี่ยมที่มีคาบเวลา $T = 20$ ns และโหลดคาปาซิเตอร์ทางด้านเอาต์พุตเท่ากับ 1 pF แหล่งจ่ายไฟเลี้ยง 5 V นำสมการที่ (2.28) เป็นสมการหาค่ากำลังงานสูญเสียเฉลี่ยทาง Dynamic เราสามารถหาค่าได้เท่ากับ $P_{avg} = 1.25 mW$

2.7.2 การหาค่าอัตราการกินกำลังงาน

ค่าอัตราการกินกำลังงาน (Power Delay Product, PDP) [6] เป็นตัวแปรขั้นต้นที่เลือกใช้ในการวัดคุณภาพและประสิทธิภาพของกระบวนการซิมูเลชันที่ออกแบบ Gate ต่าง ๆ ในทาง Physic ค่า Power Product สามารถอธิบายถึงค่าพลังงานเฉลี่ยของเกทในการสวิตช์ของแรงดันทางด้านเอาต์พุต จาก Low ไปหา High และจาก High ไปหา Low จะสามารถเห็นพลังงานที่สูญเสียในวงจร CMOS Logic Gate ได้ โดยที่ PMOS Network ขณะที่โหลดคาปาซิเตอร์ทางเอาต์พุต C_{load} เริ่มเก็บประจุจาก 0 ไปหา C_{load} และที่ NMOS Network ขณะที่โหลดคาปาซิเตอร์ทางเอาต์พุต C_{load} เริ่มคายประจุจาก V_{DD} ไปหา 0

จากขั้นตอนการวิเคราะห์การหาค่ากำลังงานสูญเสีย (Power Dissipation) ที่ผ่านมา สมการค่าเฉลี่ยในการหาค่า Power Delay Product (PDP) จะมีส่วนที่เหมือนกับสมการการหาค่าเฉลี่ย Dynamic Power Dissipation ดังสมการที่ (2.30) โดยจะไม่คำนึงถึงกระแสที่เกิดจากวงจร Short Circuit และกระแสรั่วไหลของวงจร ดังนั้นผลรวมของพลังงานทางเอาต์พุตและเวลาในการสวิตช์จะเขียนได้ดังนี้

$$PDP = C_{load} V_{DD}^2 f \quad (2.36)$$

การอธิบายพลังงานด้านสมการที่ (2.35) เป็นค่าการสูญเสียหลัก ที่ทำให้เกิดความร้อนเมื่อทรานซิสเตอร์แบบเอ็นมอสและพีมอสนำกระแสระหว่างการสวิตช์ เพราะฉะนั้น จากการออกแบบ Point - of - view โดยทั่วไปสิ่งที่ต้องการก็คือ Power Delay Product ซึ่ง PDP เป็น Function ของโหลดคาปาซิเตอร์ทางเอาต์พุตและแหล่งจ่ายแรงดันไฟฟ้า ดังนั้นสำหรับนักออกแบบควรรออกแบบ

วงจร CMOS Logic Gate ให้ค่า C_{load} และค่าแรงดันจากแหล่งจ่าย V_{DD} มีค่าน้อยที่สุดเท่าที่จะทำได้ และค่าของ Power Delay Product (PDP) สามารถนิยามได้ดังนี้

$$PDP = 2P_{avg}\tau_P \quad (2.37)$$

โดยที่

P_{avg} คือ ค่าการใช้กำลังงานโดยเฉลี่ยขณะสวิตช์ ที่ความถี่ทำงานสูงสุด

τ_P คือ ค่าหน่วงเวลา (Propagation Delay)

จากที่ Factor ทั้ง 2 ตัว คือแรงดัน (V_{DD}) และประจุ (C_{load}) ในสมการที่ (2.36) ซึ่งเป็นผลเกิดจากเอาต์พุตทรานซิสเตอร์ที่สวิตช์จาก Low ไปหา High และจาก High ไปหา Low ดังนั้นจากสมการที่ (2.30) และ (2.22) สามารถนำมาเขียนแทนลงในสมการที่ (2.37) ได้ดังนี้

$$\begin{aligned} PDP &= 2(C_{load}V_{DD}^2f_{max})\tau_P \\ &= 2C_{load}V_{DD}^2\left(\frac{1}{\tau_{PHL} + \tau_{PLH}}\right)\left(\frac{\tau_{PHL} + \tau_{PLH}}{2}\right) \\ &= C_{load}V_{DD}^2 \end{aligned} \quad (2.38)$$

ซึ่งจะเห็นได้ว่าเหมือนกับสมการ (2.30) การคำนวณค่า PDP ด้วยค่า P_{avg} ในสมการที่ (2.30) นั้น บางทีผลที่ได้รับใน Misleading Interpretation จะเป็นผลรวมของพลังงานต่อสถานการณ์สวิตช์ที่เป็นฟังก์ชันการทำงานทางความถี่

2.8 สรุป

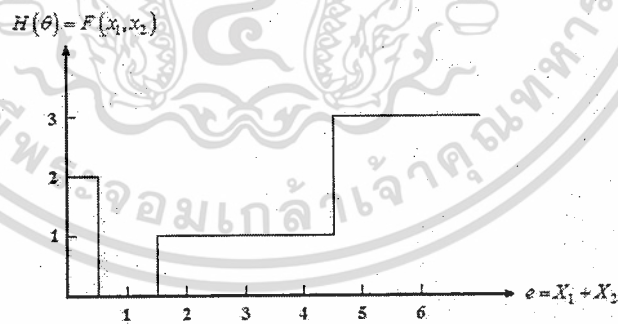
จากทฤษฎีการทำงานของมอสทรานซิสเตอร์ที่ได้กล่าวมาในบทนี้ ทำให้ทราบถึงรายละเอียดและโครงสร้างการทำงานและคุณสมบัติทางศักดาภิกระแสมอสทรานซิสเตอร์ การทำงานของมอสทรานซิสเตอร์ สามารถแบ่งเป็น 3 ช่วงคือ ช่วงหยุดการทำงาน (Cut-off Region) ช่วงการทำงานแบบไม่อิ่มตัว (Non-Saturation) และช่วงอิ่มตัว (Saturation) โดยแต่ละช่วงนั้น ฟังก์ชันศักดาภิกระแสดรานั้นแตกต่างกันไป ซึ่งในการออกแบบจะต้องกำหนดให้เหมาะสมกับการทำงานในช่วงนั้น ๆ และในบทนี้ยังแสดงวิธีการหาค่าหน่วงเวลา การหาค่ากำลังงานสูญเสีย การจำลองการวัดกำลังงานสูญเสีย โดยจำลองการทำงานของวงจรด้วยโปรแกรม PSPICE

บทที่ 3

ทฤษฎีของลอจิกหลายระดับสัญญาณ

3.1 นิยามและคำจำกัดความ

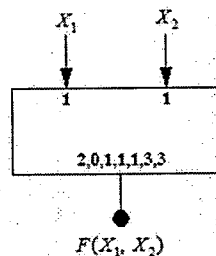
สัญญาณหลายระดับในเลขฐาน R ถูกสร้างขึ้นเพื่อกำหนดเขตค่าของสัญญาณที่มีการเปลี่ยนแปลงซึ่งอาจจะอยู่ในรูปของแรงดัน กระแสหรือการอัดประจุ (Charge) โดยสัญญาณจะต้องมีลักษณะสำคัญ 2 ประการคือ เขตโดยทั่วไปทั้งหมดจะขยายออกไปในทิศทางเดียวเท่านั้น ประกอบด้วย $0, 1, 2, 3, \dots, (R-2), (R-1)$ ซึ่งเป็นเขตของ R อย่างที่สองเรียกว่า Balance ซึ่งจะต้องอยู่ภายใต้เลขฐานที่เป็นค่าคงที่ โดยที่ $R = 2k+1$ และค่า $(+k), (1-k), \dots, -2, -1, 0, 1, \dots, (k-1), (k)$ [7, 8] ได้ให้คำจำกัดความและอ้างอิงถึงค่ามาตรฐานของลอจิกและความสัมพันธ์ของแต่ละช่วง ระหว่างค่าลอจิกและ Physical Variable โดยปกติค่าลอจิกบวกจะถูกกำหนดให้เป็น High คือ $(0, 1, 2, 3, \dots, R-1)$ เมื่อมีการใช้คำจำกัดความอื่น ๆ แทนอินพุตของสัญญาณอินพุตของอุปกรณ์ เช่นการใช้ Label แสดงรายชื่อของค่าต่าง ๆ ที่สัมพันธ์กันยกตัวอย่างเช่น ในวงจรเลขฐาน 4 ซึ่งสมมติอินพุตให้เป็น $(0, 1, 2, 3)$ และมีค่า Label $(1, 2, 3, 0)$ ซึ่งแสดงว่าค่า Label จะมีค่ามากกว่าอินพุตอยู่ค่าหนึ่งเสมอ ในระบบที่มีการเชื่อมต่อแบบวงกลมที่ซึ่ง 0 จะมีค่า $(R-1)$ เช่นวงจร Successor, $Suc(x) = (x+1) \bmod R$ ซึ่งจะเรียกเขตประเภนี้ว่า Clockwise Cycle ได้แก่ $\overline{X^y} = (x+y) \bmod R$ สำหรับตัวแปร $(Y,R)=(1,4)$ หรือ Counter Clockwise Cycle $\overline{X^y} = (x+y) \bmod R$ สำหรับตัวแปร $(Y,R)=(3,4)$



(a)

$X_2 \backslash X_1$		$F(X_1, X_2)$				
	X_1		0	1	2	3
0		2	0	1	1	
1		0	1	1	1	
2		1	1	1	3	
3		1	1	3	3	

(b)



(c)

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ 3.1 คุณลักษณะการส่งผ่านและสัญญาณของเกท MT(4) ระโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่มีวงจรมี 2 อินพุทหรือมากกว่าค่าจำกัดความข้างต้นยังสามารถใช้งานได้ ถ้าอินพุททั้งหมดอยู่ในรูปของ Label ซึ่งในกรณีนี้ การรวมกันทั้งหมดของ R ของ R^n ในกรณีที่มี n อินพุท R ค่าวงจรจะสามารถจำกัดความได้หรือสามารถใช้ตารางที่แสดงในรูปที่ 3.1 ได้

จากตารางที่ 3.1 จะแสดงถึงการรวมกันของฟังก์ชันสัญญาณหลายระดับจำนวนมากไปถึงตัวอย่างของค่าจำกัดความทางบวกรที่กล่าวไปแล้ว ฟังก์ชันนี้จะมีอยู่ 2 เซต ซึ่งง่ายต่อการสร้างวิเคราะห์และสังเคราะห์ แต่อย่างไรก็ตาม ทั้ง 2 เซตนี้ยังไม่สามารถแยกความสัมพันธ์ได้อย่างสมบูรณ์ สิ่งหนึ่งที่เราสามารถสังเกตได้ในเซตทั้งสองคือ ความสัมพันธ์ระหว่างฟังก์ชัน ดังแสดงในตารางที่ 3.1 ตัวอย่างของเกท Cycling อยู่จะมี 2 ชนิด โดยพิจารณาแต่ละตัว เป็นฟังก์ชัน 2 ตัวแปร ซึ่งมีความสัมพันธ์ดังนี้

$$\overline{X^y} = \overline{X^z} \quad \text{เมื่อ } Z = R - y \quad (3.1)$$

เช่นเดียวกับ Interval และ Literal เกทจะถูกสร้างให้มีความสัมพันธ์ดังนี้

$${}^a X^b = (R-1) [{}^a X^b] \quad (3.2)$$

และ

$$[{}^a X^b] = \min(1, {}^a X^b) \quad (3.3)$$

โดย (R-1) หมายถึงการคูณ

ตารางที่ 3.1 ฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ

No.	Common name	Symbolic Notation			Valued Condition
		Primary	Secondary	Positional 1 Base 4 Example a=1, b=2, y=x	
1	Restoring Identity	X		<0 1 2 3>	X Standardized
2	(Diametrical) Inverse or Complement	\overline{X}		<3 2 1 0>	$(R-1)-x$
3	Maximum	$\max(xy)$	$X + y$ $X \vee y$	<3 2 2 3>	X if $x \geq y$, else y

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 (ต่อ) ฟังก์ชันต่าง ๆ ของสัญกรณ์หลายระดับ

4	Minimum	$\min(xy)$	$x \cdot y$ $x \wedge y$	$\langle 0 \ 1 \ 1 \ 0 \rangle$	X if $x \leq y$, else y
5	Successor	\bar{x}	$Suc(x)$	$\langle 1 \ 2 \ 3 \ 0 \rangle$	$(x+1) \bmod R$
6	Cycle, (Clockwise Cycle)	\bar{x}^{-b}	$\bar{x}^{-1} = \bar{x}$	$\langle 2 \ 3 \ 0 \ 1 \rangle$	$(x+b) \bmod R$
7	Counter Cycle	\bar{x}^{-b}	$x^1 = \bar{x}$	$\langle 2 \ 3 \ 0 \ 1 \rangle$	$(x-b) \bmod R$
8	Literal Function	$a x^b$	$X(a,b)$	$\langle 0 \ 3 \ 3 \ 0 \rangle$	$(R-1)$ if $a \leq x \leq b$, else 0
9	Delta Literal J Function	$a x$	$J(x)a$	$\langle 0 \ 3 \ 0 \ 0 \rangle$	$(R-1)$ if $x = a$, else 0
10	Close Interval	$[a x^b]$		$\langle 0 \ 1 \ 0 \ 0 \rangle$	1 if $a \leq x \leq b$, else 0
11	Open Interval	$]a x^b[$		$\langle 0 \ 0 \ 0 \ 0 \rangle$	1 if $a < x < b$, else 0
12	Delta Interval	$a x$	$[a x^a]$	$\langle 0 \ 1 \ 0 \ 0 \rangle$	1 if $a = x$, else 0
13	Upper Closed Semi - Interval	$[a x$		$\langle 0 \ 1 \ 1 \ 1 \rangle$	1 if $a \leq x$, else 0
14	Lower Closed Semi - Interval	$x^a]$		$\langle 1 \ 1 \ 0 \ 0 \rangle$	1 if $a \leq x$, else 0
15	Lower Open Semi - Interval	$[a x$		$\langle 1 \ 0 \ 0 \ 0 \rangle$	1 if $a < x$, else 0
16	Upper Open Semi - Interval	$x^a]$		$\langle 0 \ 0 \ 1 \ 1 \rangle$	1 if $a < x$, else 0
17	Threshold Literal (Up)	$U a^{(x)}$		$\langle 0 \ 1 \ 1 \ 1 \rangle$	1 if $x \geq a$, else 0
18	Step Literal (Down)	$D a^{(x)}$		$\langle 1 \ 1 \ 0 \ 0 \rangle$	1 if $a \leq x$, else 0
19	Truncated Difference	$X \boxminus a$		$\langle 0 \ 0 \ 1 \ 2 \rangle$	$X - a$ if $x \geq a$, else 0
20	Limited Sum Truncated Sum	$X \boxplus a$		$\langle 1 \ 2 \ 3 \ 3 \rangle$	$X + a$ if $< (R-1)$, else $R-1$
21	Multiplex, Selection, Transmission, tree	$T(x,y,q)$		$\langle 0 \ 1 \ 2 \ 3 \rangle$ $\langle 3 \ 2 \ 1 \ 0 \rangle$	X if $q = 0$ Y if $q = 1$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 (ต่อ) แสดงฟังก์ชันต่าง ๆ ของสัญญาณหลายระดับ

22	Multi threshold MT(R)			$\langle p \ q \ r \ s \rangle$	Use a threshold Sum to look up table of values
23	MV NOR	$\overline{\min}(xy)$	$\overline{Min}(xy)$	$\langle 0 \ 1 \ 1 \ 0 \rangle$	\bar{x} if $x \geq y$, else \bar{y}
24	MV NAND	$\overline{\max}(xy)$	$\overline{Max}(xy)$	$\langle 3 \ 2 \ 2 \ 3 \rangle$	\bar{x} if $x \leq y$, else \bar{y}

ในส่วนหลังของสมการแรก ที่แสดงการวนรอบอย่างง่าย \bar{X}^1 ถึง \bar{X} จะมีความสอดคล้องกับฟังก์ชัน Successor ส่วนสมการที่ 2 สามารถสังเกตได้เป็นเซลล์ของตัวอักษรและเซลล์ของช่องว่างเมื่อ $^a X^a$ และ $^a X^a$ จะถูกลดให้อยู่ในรูป X^a ซึ่งในบางกรณีนั้น อาจมีค่าไม่เท่ากันก็ได้ แต่ในสถานการณ์ที่แสดงนี้โดยปกติสามารถที่จะใช้ได้ ซึ่งมีฟังก์ชันลอจิก 2 อย่างที่จะกล่าวถึงคือ $T(x_0, x_1, \dots, x_{R-1}, q)$ [9] ซึ่งเป็นฟังก์ชันที่มีแนวคิดอย่างง่ายที่นิยามวงจรมัลติเพล็กซ์หรือฟังก์ชันตัวเลือกภายใต้การควบคุมของตัวแปรหลายระดับ (q) โดยทั่วไป ค่า q จะมีค่า k จึงทำให้สัญญาณ x_k จำนวน k ตัว ถูกเลือกสำหรับการเชื่อมต่อไปยังเอาต์พุต [10] ถึงแม้ว่าแนวคิดนี้จะเป็นแนวความคิดแบบตรงและมีการใช้คำจำกัดความเมื่อไม่นานมานี้ แต่ในบางเทคโนโลยีเราอาจไม่สามารถสร้าง T เกทได้ง่ายนัก [11]

ในอีกกรณีหนึ่ง เกทแบบมัลติเทรตโซลด์ฐาน R แทนด้วย MT(R) เกท [12] ซึ่งเป็นเกทที่ทำงานได้หลายหน้าที่ สามารถดำเนินการได้มากกว่าเกทตัวอื่น ๆ ด้วยฟังก์ชัน โลจิกแบบที่ 2 จะได้มาจาก ECL ซึ่งเป็นฟังก์ชันที่มีความสัมพันธ์อย่างง่ายและสามารถสร้างได้โดยตรง และจากรูปที่ 3.1 จะแสดงเกทแบบ MT(R) ซึ่งอินพุตแต่ละตัวจะถูกถ่วงน้ำหนัก (Weight) และถูกรวมและถูกเปรียบเทียบกับค่าสัญญาณหลายระดับอ้างอิงสำหรับแต่ละค่าของอินพุต ผลรวมถ่วงน้ำหนักจะเป็นตัวกำหนดเอาต์พุตโดยเฉพาะ ลักษณะของกระบวนการคล้ายกับตาราง ROM ที่ค้นหาแอดเดรสของสัญญาณหลายระดับ และเอาต์พุตในตารางประกอบด้วยค่า H1-Hm เมื่อ m คือจำนวนที่หาค่าได้จากการนำสัญญาณอินพุตถ่วงน้ำหนักรวม วิธีการนี้จะใช้ในส่วนของการชื่อหรือลาเบล (Label) บน MT(R) เกท หรืออาจเขียนเป็นกราฟก็ได้ น้ำหนักของอินพุตจะถูกกำหนดในรายการลำดับที่สอง ซึ่งแต่ละเทอมจะมีความสัมพันธ์กับอินพุต โดยเงื่อนไขบางอย่างหรือการติดลาเบล (Label) ไปกับอินพุตแต่ละตัวบนสัญญาณของลอจิก ซึ่งแสดงให้เห็นว่า MT(R) เกทจะมีความเหมาะสมกับการดำเนินการทางคณิตศาสตร์ (บวก, ลบ) แต่ถ้าจะเหมาะสมกับการดำเนินการที่เป็นช่วงหรือมีระยะ [MAX, MIN] [13] ในการสร้างวงจรลอจิกฟังก์ชันของระบบไบนารีที่มีเลขฐานต่ำอาจใช้รีเลย์ (Relay), Vacuum tube หรือทรานซิสเตอร์ ซึ่งง่ายต่อการกำหนดให้มันทำงานหรือไม่ทำงาน ในปัจจุบันการพัฒนาเลขฐาน 3 จะต้องประกอบด้วยค่ากลาง (Middle) ซึ่งจะอยู่ระหว่างค่า 2 ค่า [7,8] โดยการกำหนดให้ตัวอุปกรณ์ทำงานทั้งคู่หรือไม่ทำงานทั้งคู่ [12] สำหรับเลข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

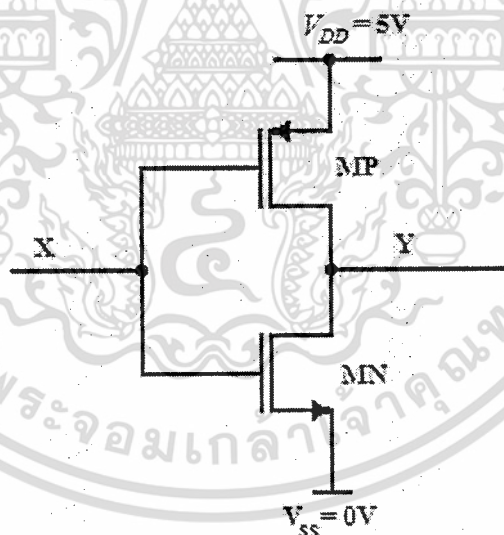
ฐาน 4 ขอยกตัวอย่างเช่น การเข้ารหัสของเลขฐาน 2 ซึ่งอยู่ในรูปของ $R=2$ ถ้าเลขฐานสูงขึ้น วงจรก็จะต้องการเทคนิคที่สูงขึ้น

3.2 พีชคณิตของโพสต์และวงจร m ค่า

ในการออกแบบวงจรรวมของทางไปนารีจะประกอบด้วยตัวโอเปอร์เรเตอร์ที่ใช้พื้นฐานของ พีชคณิตบูลีน นั่นคือระดับของค่าลอจิก จะประกอบด้วย 0 และ 1 แต่ในลักษณะของ m - valued ในการออกแบบทั่ว ๆ ไป จะใช้พีชคณิตโพสต์ในการกำหนดค่า m ให้มีค่าตั้งแต่ 0 ถึง m-1 แต่ถ้า วงจรที่ทำงานในโหมดกระแสจะใช้เทรคโฮลด์ฟังก์ชันแทน

3.3 วงจร m - valued

จากที่กล่าวไว้ข้างต้นแล้วว่า ในการออกแบบวงจรม - valued สามารถใช้เทคโนโลยีได้ 3 อย่างคือ การอัดประจุ (Charge) แรงดันและกระแส แต่โดยทั่วไปแล้วนิยมใช้แรงดันหรือกระแส มากกว่าในวงจรประเภท CCD ซึ่งเป็นการอัดประจุ

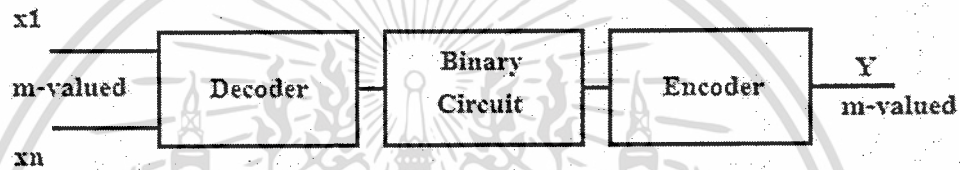


รูปที่ 3.2 วงจรอินเวอร์เตอร์พื้นฐาน

ดังเช่นรูปวงจรถูกที่ 3.2 เป็นวงจรมินเวอร์เตอร์พื้นฐานโดยใช้แหล่งจ่ายไฟ 5 โวลต์ และภายใน วงจรจะประกอบด้วยทรานซิสเตอร์ PMOS และ NMOS ถ้าค่า $X < V_{TN}$ ถูกแทนด้วยแรงดันเทรคโฮลด์ของ NMOS โดย MN จะไม่ทำงาน ส่วน MP ทำงาน แรงดันเอาต์พุตที่ Y จะมีค่าเท่ากับ 5 โวลต์ เมื่อ $X > 5V - V_{TP}$ โดย V_{TP} จะถูกแทนด้วยแรงดันเทรคโฮลด์ของ PMOS ดังนั้น MP จะไม่ทำงาน และ MN จะทำงาน ส่งผลให้เอาต์พุตที่ Y มีค่าเท่ากับ 0 โวลต์ ซึ่งเอาต์พุตที่ Y นั้น จะมีค่าอยู่ ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

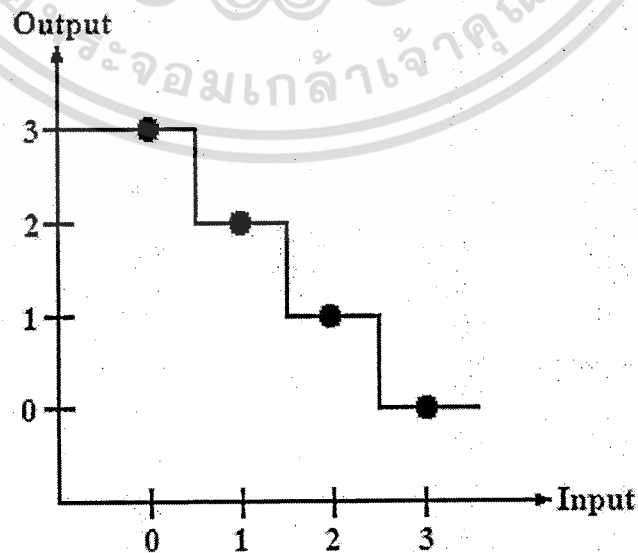
2 ค่า คือค่าลอจิก 0 และค่าลอจิก 1 (0V และ 5V) ส่วนในกรณีของวงจร m - valued จะมีค่าของระดับลอจิกมากกว่า 2 ระดับ และใช้พีชคณิตของโพสท์ เมื่อ m มีกำลังเป็น 2 สามารถโอเปอเรเตอร์พื้นฐานในการสร้างวงจรระบบ Monotonic ไว้ดังนี้

1. ค่า m จะถูกแทนให้อยู่ในรูปแบบของระดับแรงดัน กระแสหรือจำนวนของประจุก็ได้ วงจรเข้ารหัส (Encoder) คือวงจรที่มีอินพุตเป็นค่าไบนารี แต่ได้เอาต์พุตเป็น m - valued
2. ในการสร้างวงจรของระบบ Monotonic จะมีฟังก์ชันสำคัญคือ $D_i(x)$ และ $U_i(x)$ ซึ่งจะนำไปใช้เป็นวงจรถอดรหัส (Decoder) นั่นคือ อินพุตเป็น m - valued แต่จะได้เอาต์พุตเป็นค่าไบนารี (Two-valued) รูปแบบโดยทั่วไป จะแสดงให้เห็นดังรูปที่ 3.3



รูปที่ 3.3 บล็อกไดอะแกรมของวงจร m ค่า

วงจรถอดรหัสที่สร้างขึ้นใหม่ก็คือ การสังเคราะห์เลขไบนารีของฟังก์ชันย่อย ส่วนวงจรเข้ารหัสคือ ผลจากการใช้พีชคณิตของโพสท์ ซึ่งทั้ง 2 อย่างนี้จะไม่รวมอยู่กับระบบ Monotonic ในบางกรณีจะไม่แสดงออกมาให้เห็นได้ชัด เช่นวงจร m - valued อินเวอร์เตอร์ ฟังก์ชันย่อยของไบนารี (Two-valued) จะเป็น Identity ฟังก์ชัน ซึ่งในแต่ละระดับจะมีค่า Noise Margin อยู่



รูปที่ 3.4 คุณลักษณะการส่งผ่านของอินเวอร์เตอร์แบบ 4 ค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้ภายในของหน่วยงานเท่านั้น ไม่ควรเผยแพร่ไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเปรียบเทียบระหว่าง m - valued และ Two-valued จะมีความยุ่งยากและซับซ้อนในการเข้ารหัสหรือถอดรหัส การสร้างวงจร m - valued จะมีฟังก์ชันที่เหมือนวงจร Two-valued แต่ในการเปรียบเทียบนี้จะต้องคำนึงถึงค่าหน่วงเวลา (Delay Time) และพื้นที่ของชิป

3.4 เทรตโฮลด์ฟังก์ชัน

เทรตโฮลด์ฟังก์ชันเป็นสับเซต (Subset) ของไบนารีฟังก์ชัน ซึ่งเทรตโฮลด์ฟังก์ชันได้มีการศึกษากันมาเป็นเวลานานแล้ว โดยฟังก์ชันนี้จะสามารถเขียนสมการได้ดังนี้

$$Y=1 \quad \text{ถ้า} \quad \sum_1^n a_i x_i \geq T \quad (3.4)$$

โดยที่

0 เป็นกรณีอื่นๆ

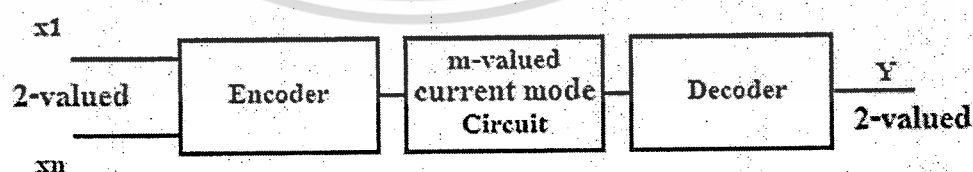
x_i คือการเปลี่ยนแปลงของอินพุต

a_i คือน้ำหนักของค่าสัมประสิทธิ์

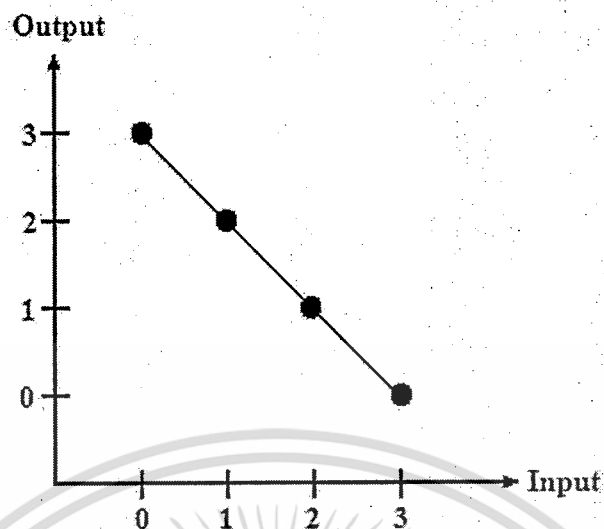
T คือค่าเทรตโฮลด์

ดังนั้น $a_i, T \in \mathcal{N}$

เทรตโฮลด์ฟังก์ชันจะเป็นผลรวมกันทางอนาล็อก (ε) ซึ่งคูณด้วยค่าคงที่ ($a_i x_i$) และทำการเปรียบเทียบกับค่าเทรตโฮลด์ (T) ผลรวมกันทางอนาล็อกถ้าจะให้ง่ายต่อการคิด ควรจะอยู่ในรูปของกระแส (ตามกฎของเคอร์ชอฟ) ดังแสดงในรูปที่ 3.5 วงจร m - valued จะได้จากฟังก์ชันเทรตโฮลด์ของไบนารี



รูปที่ 3.5 บล็อกไดอะแกรมของเทรตโฮลด์ฟังก์ชัน



รูปที่ 3.6 คุณสมบัติทางไฟตรงของวงจรถอนาล็อกอินเวอร์เตอร์แบบ 4 ค่า

3.5 การแทนค่าของสัญญาณในวงจรหลายระดับสัญญาณ

วิธีการออกแบบวงจรหลายระดับสัญญาณแบ่งได้เป็น 3 วิธีคือ โดยการอัดประจุ (Charge) โดยกระแสและโดยแรงดัน การอัดประจุนำมาออกแบบโดยใช้เทคโนโลยี Charge Coupled Device (CCD) ซึ่งวิธีนี้ส่วนมากใช้ออกแบบ Memory การออกแบบวงจรลอจิกโดยใช้กฎของเคอร์ชอฟในวงจร Memory และการออกแบบวงจรลอจิกแบบ Clocked Sequential ซึ่งทำให้สัญญาณมีการประมวลผลอย่างต่อเนื่องและช่วยกรองความถี่ ในการออกแบบโดยใช้การอัดประจุซึ่งเป็นเทคโนโลยีของ CCD แรงดันที่อยู่ภายในจะเป็นตัวคัปปลิ่งและเชื่อมต่อระหว่างอินพุตกับเอาต์พุตโดยปกติแล้วในการอินเตอร์เฟสจะใช้การเข้ารหัสแบบไบนารี ดังนั้นการเชื่อมต่อภายในยังคงใช้เลขฐานสองอยู่นอกจากนี้เทคโนโลยี CCD สามารถนำไปออกแบบวงจรเลขฐาน 4 และ 32 การออกแบบวงจรหลายระดับสัญญาณที่อยู่ในรูปของกระแสจะใช้เทคโนโลยี I^2L (MVT^2L) [14] แต่ส่วนใหญ่แล้วจะใช้เทคโนโลยี ECL (Emitter Coupled Logic) [13] ในการออกแบบซึ่งมีลักษณะเหมือนกับ MVT^2L การบวกหรือการลบของกระแสจะขึ้นอยู่กับเทรตโฮลด์ของตัวอุปกรณ์ เช่นการเปลี่ยนกระแสให้อยู่ในรูปของแรงดันจะใช้วงจรเปรียบเทียบเฟสโดยกำหนดค่าเทรตโฮลด์ให้ต่างกัน ในการออกแบบวงจรที่มีค่าเลขฐานสูง ๆ คือ ($R \geq 4$) การออกแบบโดยใช้ประจุและกระแส แต่ถ้าเป็นเลขฐาน 3 มักจะออกแบบให้อยู่ในโหมดแรงดันอุปกรณ์พวก MOS จะถูกนำมาใช้งานมาก เพราะมีค่าความต้านทานต่ำและมีค่าออฟเซ็ทเป็นศูนย์ [15] แต่ถ้าต้องการความเร็วในการทำงานต้องใช้เทคโนโลยีของวงจรรวมแบบแกเลียมอาร์เซไนด์เมสเฟต (Gallium Arsenide MESFET, GaAs MESFET)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 การควอนไทซ์ค่า

ในระบบทั้งหมดของวงจรลจิก ไม่ว่าจะเป็นวจรแบบไบนารีหรือวงจรหลายระดับสัญญาณ จะมีคุณสมบัติอยู่ 3 ประการคือ

Generation คือ จะอ้างถึงค่า Standard Logic ที่สร้างมาจาก Network

Transmission คือ จะอ้างถึงคุณสมบัติทาง Nonrestoring หรือ Nonstandard zing ยกตัวอย่างเช่น ไคโอดและบางส่วนของ MVT^2L

Detection คือ จะอ้างถึงสัญญาณลจิกที่ตรวจสอบความถูกต้องของจำนวน -Information

Range Over คือ การตรวจสอบลจิกไม่ให้มากกว่าขอบเขตที่กำหนด โดยจะขอเรียกขอบเขตนี้ "Noise Margin" โดยค่า Noise จะหมายถึงสัญญาณรบกวนหรือ Crosstalk จากตัวอุปกรณ์ตัวอื่นและแหล่งจ่ายไม่คงที่เป็นต้น อย่างไรก็ตาม ในระบบลจิกความเร็วเป็นสิ่งจำเป็น ดังนั้นวงจรจำพวกความเร็วสูง (High Speed) จะไม่ใช่ Nonrestoring เป็นส่วนประกอบแต่จะใช้พวก Identified gate มากกว่า เช่น I^2L โดยจะมีขาอิมิตอร์หลายขาเป็นอินพุตและพวก ECL จะมีขาอิมิตอร์หลายขาเป็นเอาต์พุต

3.7 โหมดในการทำงานของวงจร

3.7.1 โหมดประจุ

พื้นฐานของอุปกรณ์ประเภทประจุนั้นคือ การคงค่าของประจุไว้ ซึ่งค่าความจุนี้จะอยู่ได้ เงื่อนไขของค่าทางเรขาคณิตและแรงดันควบคุม โดยค่าเก็บประจุสูงสุดจะได้ดังสมการดังนี้

$$Q_{MAX} = C * (V_1 - V_2) * A \quad (3.5)$$

โดยที่

A คือพื้นที่ในการเก็บประจุของตัวเกท

V_1 คือระดับของแรงดันไฟฟ้า

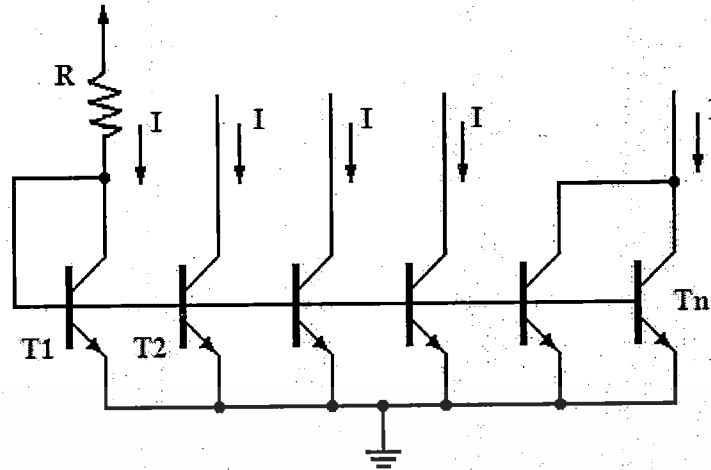
V_2 คือระดับของแรงดันไฟฟ้าที่สูงกว่า

C คือค่าประจุ

3.7.2 โหมดกระแส

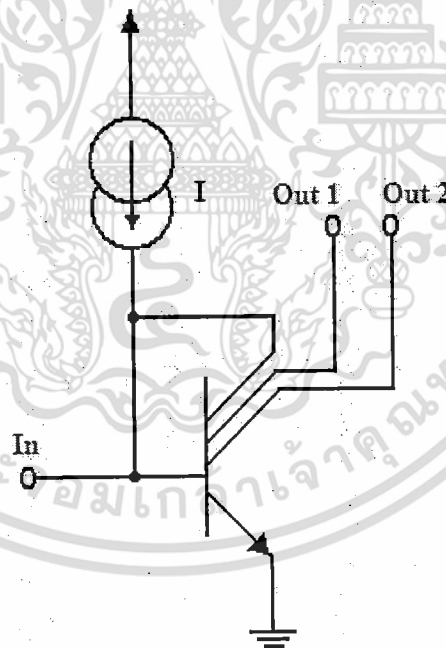
ในวงจรหลายระดับสัญญาณที่ทำงานในโหมดกระแส อุปกรณ์แต่ละตัวก็จะมีหน้าที่ กำหนดกระแส ดังเช่นในการสร้างวงจรรวม จะเห็นได้ว่าการกำหนดกระแสจะใช้วงจรสะท้อน

กระแส [14] แสดงดังรูปที่ 3.7 ใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.7 วงจรสะท้อนกระแสที่ใช้สำหรับเทคโนโลยี TTL

จากรูปที่ 3.7 จะแสดงให้เห็นได้ว่า กระแสจะไหลผ่านค่าความต้านทาน จากนั้นจะไหลเข้าสู่ทรานซิสเตอร์ T_1 ซึ่งถูกต่อแบบไดโอดคอนเน็ค โดยแรงดันเบสอิเมเตอร์ของแต่ละตัวตั้งแต่ T_2 ถึงจะมีกระแสไหลเหมือนกัน ซึ่งมีกระแสรวมเท่ากับ I และสามารถแยกออกไปเป็น $2I, 3I$ เป็นต้น



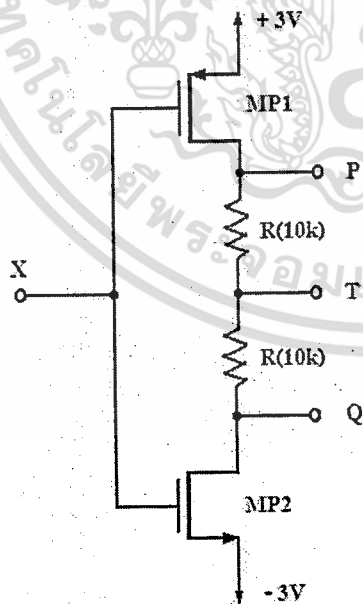
รูปที่ 3.8 เกทพื้นฐานที่ใช้สำหรับเทคโนโลยี I^2L

ในรูปที่ 3.8 จะแสดงตัวอุปกรณ์ที่ใช้เทคโนโลยีของ MVT^2L จะสังเกตเห็นว่าอุปกรณ์ตัวหนึ่งจะมีขาออกหลายขา จากคุณสมบัติข้างต้น สามารถนำไปใช้ในวงจรดังรูปที่ 3.7 ซึ่งกระแสที่ขาออกแต่ละขาจะไม่มีผลต่อโหลดหรืออุปกรณ์ตัวอื่น พิจารณาที่ตัวอุปกรณ์จะเห็นว่าจะมีการป้อนกลับที่ขาเบส ถ้าลองเปิดวงจรพิจารณาที่อินพุตค่า β ของตัวอุปกรณ์จะมีค่าสูง ค่ากระแสไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I (โดยปกติจะใช้ทรานซิสเตอร์แบบ PNP) จะไหลผ่านไปที่ขาคอลเลคเตอร์เพราะผลรวมของกระแสเอาต์พุตจะมีค่าเป็น I (หรือต่ำกว่าขึ้นอยู่กับโหลด) ค่าอินพุตของกระแส X จะมีกระแส $(I-X)$ ไหลไปที่ขาคอลเลคเตอร์ แล้วทำการสะท้อนกระแสไปที่ขาคอลเลคเตอร์ให้มีค่าเท่ากับ $(I-X)$ เมื่อ X มากกว่า I ที่ตัวอุปกรณ์กระแสเบสจะไหลน้อยจนหยุดทำงาน แรงดันที่ขาเบสจะเปลี่ยนเป็นศูนย์และกระแสที่ขาคอลเลคเตอร์จะมีค่าเป็นศูนย์ด้วย ในโหมดกระแสนี้จะเห็นได้ว่าเอาต์พุตจะมีการสวิทช์ซึ่งแบบไบนารี ซึ่งกระแส I จะเป็นอินพุตของทรานซิสเตอร์ ดังนั้นจากพื้นฐานของ I^2L จะมีข้อกำหนดคือ การบวก (จะเกิดจากการต่อร่วมกันของคอลเลคเตอร์) และการลบ (เกิดจากผลรวมกระแสอินพุต $< I$) ซึ่งค่าจะเป็นค่าเทรตโฮลด์และการสวิทช์ซึ่งแบบไบนารี (สำหรับผลรวมของกระแสอินพุต $> I$)

3.7.3 โหมดแรงดัน

คุณสมบัติของวงจรคงค่าสัญญาณ MVL ที่ทำงานในโหมดกระแสมี 2 อย่างคือ อินพุตเทรตโฮลด์และกำหนดระดับเอาต์พุต ข้อจำกัดใน โหมดแรงดันคือ ตัวอุปกรณ์จะมีความแม่นยำต่อค่าเทรตโฮลด์น้อย และมีการจำกัดค่าเทรตโฮลด์ไว้เพียงค่าเดียว ตัวอุปกรณ์ที่มีความยืดหยุ่นสูง (Flexible) คือ ECL เพราะง่ายต่อการเปรียบเทียบ ในการออกแบบวงจร MVL ส่วนมากมักจะใช้เทคโนโลยีของ CMOS ซึ่งจะแสดงดังรูปที่ 3.9 จะเห็นว่า CMOS จะเป็นชนิดเอ็นชานเมนท์และมีลักษณะของการสวิทช์ซึ่งแบบไบนารี



(ก)

X	P	T	Q
-3	+3	+3	+3
0	+3	0	-3
+3	-3	-3	-3

(ข)

รูปที่ 3.9 วงจรเทอร์นารีอินเวอร์เตอร์ที่ใช้เทคโนโลยี CMOS และตารางความจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งค่าเทรคโฮลด์ของ X ถ้าเป็นค่า High จะเท่ากับ (+3) โดยที่ MP1 จะไม่ทำงาน แต่ MP2 จะทำงาน แต่ถ้าค่า X เป็น Low จะมีค่าแรงดันเท่ากับ (-3) โดยที่ MP1 จะทำงาน แต่ MP2 จะไม่ทำงาน และเมื่อค่า X เป็นค่ากลาง ก็จะทำงานทั้งคู่ ถ้ามีอุปกรณ์ตัวใดตัวหนึ่งทำงาน เอาต์พุตจะอยู่ในสถานะตรงกันข้ามกับอินพุต แต่ถ้าตัวอุปกรณ์ทำงานทั้งคู่ เอาต์พุตจะได้ค่ากลาง (ซึ่งเป็นค่ากลางของอินพุต) ดังนั้นค่า T จะเป็นอินเวอร์เตอร์ของอินพุต

$$T = X \quad (3.6)$$

P และ Q จะเป็น Literal Function

$$P = X = X \text{ และ } Q = X = X \quad (3.7)$$

ดังแสดงในรูปที่ 3.9 (ข) จากผลรวมของค่า Standard ทั้ง 2 ค่า จะได้เอาต์พุตออกมา 3 ระดับ สถานะนอกสุดจะทำการเชื่อมต่อกับแหล่งจ่ายภายนอก แต่สถานะภายในจะอยู่ในรูปของ Linear Sum ซึ่งใช้ความต้านทานเป็นตัวแบ่งแรงดัน

3.8 วงจร m - valued ทำงานในโหมดแรงดัน

ในส่วนนี้จะพูดถึงวงจร m - valued ที่ทำงานในโหมดแรงดัน ซึ่งจะใช้เทคโนโลยีของมอสและไบโพลาร์ เพราะเป็นที่นิยมในการออกแบบเทคโนโลยีวงจรรวม VLSI เทคโนโลยีที่ใช้ในตอนแรกเป็น PMOS จากนั้นก็เป็น NMOS แต่ในปัจจุบันจะนิยมใช้ CMOS มากกว่าซึ่งใน CMOS จะประกอบไปด้วย NMOS และ PMOS ทรานซิสเตอร์ที่ CMOS ถูกนำมาใช้แทน NMOS จะใช้ทั้ง 2 ชนิด คือ เอ็นฮานเมนต์และดีพลีชัน แต่ CMOS จะนิยมใช้เฉพาะเอ็นฮานเมนต์ทรานซิสเตอร์แต่ละชนิดจะมีค่าเทรคโฮลด์เฉพาะตัวเองขึ้นอยู่กับารปลูกผลึก

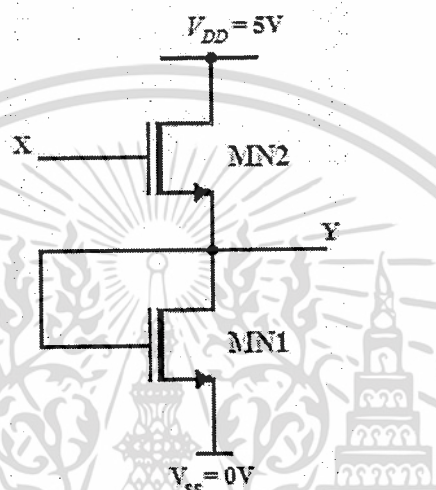
3.9 วงจร m - valued ที่ใช้ในเทคโนโลยี NMOS

ค่าแรงดันและระดับเทรคโฮลด์ที่ใช้ในวงจร NMOS m - valued จะใช้เหมือนกับทางไบนารีในวงจรเข้ารหัสหรือถอดรหัสจะต้องปรับค่าแรงดันเทรคโฮลด์หรือค่าทางเรขาคณิตของทรานซิสเตอร์

3.9.1 วงจรถอดรหัส

วงจรนี้จะเป็นวงจรที่คอยตรวจจับค่าเทรคโฮลด์ โดยที่อินพุตจะได้ค่า m - valued ส่วนเอาต์พุตจะได้ค่าไบนารี แนวทางหนึ่งที่จะทำให้แรงดันเกิดผลต่างของการสวิทช์ซึ่งคือ การกำหนดแรงเทรคโฮลด์ของทรานซิสเตอร์ชนิดเอ็นฮานเมนต์และดีพลีชัน ให้มีค่าคงที่ค่าหนึ่ง การกำหนดไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขึ้นอยู่กับอัตราส่วนของเรขาคณิต เช่น ในวงจร Two-valued อินเวอร์เตอร์ พื้นที่ของชิปจะสามารถกำหนดได้จากค่าทางเรขาคณิตของทรานซิสเตอร์ ให้ค่าเทรชโฮลด์ V_{TS} และ V_{TL} มีค่าคงที่ค่าหนึ่ง ซึ่งผลต่างของแรงดันในการสวิตช์ซึ่งจะต้องอยู่ระหว่างผลต่างของเอาต์พุต อีกทางหนึ่งคือใช้วงจรเปลี่ยนแรงดัน เพื่อเลื่อนการสวิตช์ของแรงดันออกไป รูปที่ 3.10 แสดงตัวอย่างของวงจร Threshold Detector MN2 MN1 ($X \geq 2V_T$)



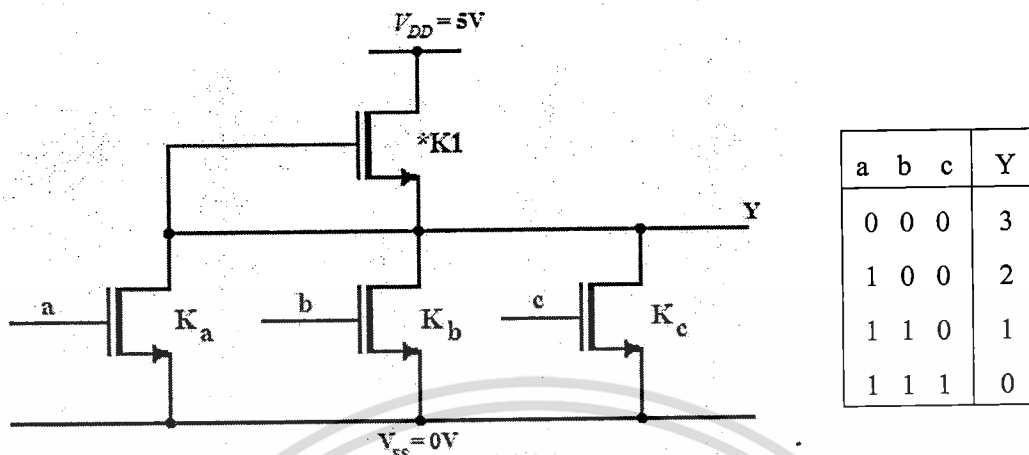
รูปที่ 3.10 วงจรตรวจจับเทรชโฮลด์โดยใช้วงจรเลื่อนแรงดัน

อย่างไรก็ตามในการกำหนดค่าแรงดันเทรชโฮลด์ให้ประมาณขนาดของตัวทรานซิสเตอร์ให้มีขนาดต่ำ ๆ ไว้ก่อน

3.9.2 วงจรเข้ารหัส

ในวงจรเข้ารหัสค่าอินพุตของวงจรจะเป็นไบนารี แต่เอาต์พุตของวงจรจะเป็น m -valued ที่ทำเช่นนี้เพราะต้องการให้ได้ค่า m ที่มีความแตกต่างกัน ในตอนแรกจะใช้แรงดันแหล่งจ่ายต่างกัน เพื่อให้ค่า $(m-1)$ ซึ่งค่านั้นคือ V_{SS} อย่างที่ 2 ก็จะใช้แหล่งจ่ายเพียงตัวเดียว ซึ่งโดยทั่วไปจะอ้างอิงค่า $(m-1)$ ไว้ที่ระดับแรงดันบวก (High) คือ V_{DD} แต่ในระดับอื่น ๆ สามารถกำหนดได้จากขนาดของทรานซิสเตอร์หรือผลต่างของแรงดันเทรชโฮลด์

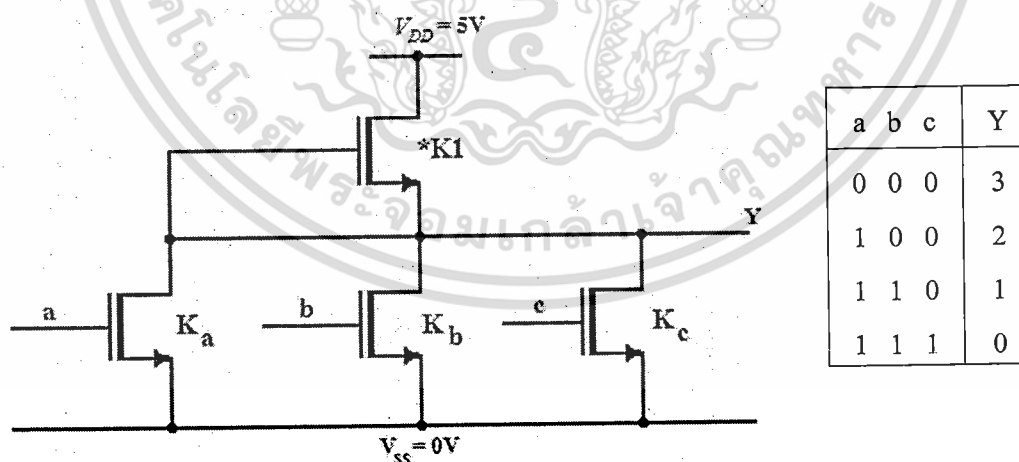
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 วงจรเข้ารหัสแบบ 4 ค่า โดยใช้เทคโนโลยี NMOS

รูปที่ 3.11 จะแสดงตัวอย่างของวงจรเข้ารหัสแบบ 4 ค่า ระดับ 3 จะเป็นตัวกำหนดค่าแฟกเตอร์ K_b และ K_c เมื่อ $a = 1$ และ $b = c = 0$ ค่า y จะถูกกำหนดโดยอัตราส่วน $\frac{K_1}{K_a}$ เมื่อ $a = b = c = 1$ ซึ่งจะถูกกำหนดโดยอัตราส่วน

$$\frac{K_1}{K_a + K_b + K_c} \tag{3.8}$$



รูปที่ 3.12 วงจรเข้ารหัสแบบ 4 ค่า

ในรูปวงจรที่ 3.12 จะแสดงการเข้ารหัสแบบ 4 ค่า ซึ่งจะใช้ค่าแรงดันเทรตโฮลด์เพียงค่าเดียว ส่วน Voltage Shift จะขึ้นอยู่กับค่าทางเรขาคณิตของทรานซิสเตอร์ (W/L) วงจรเหล่านี้เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นเทคโนโลยีของ NMOS จะมีการสูญเสียกำลังงานทาง Static สูงมาก นั่นคือต้องการกระแสในการขับโหลดสูงมาก

3.10 วงจร m - valued โดยใช้เทคโนโลยีของ CMOS

วงจร CMOS Two-valued อินเวอร์เตอร์จะมีระดับของเอาต์พุต $V_{OH} = V_{DD}$ เมื่อ MP ทำงาน และ $V_{OL} = V_{SS}$ เมื่อ MN ทำงาน ดังนั้นระดับของเอาต์พุตจะมีลักษณะเหมือนกับแรงดันของแหล่งจ่าย ในวงจร NMOS การสวิทช์ซึ่งของแรงดันจะขึ้นอยู่กับอัตราส่วน $\frac{K_n}{K_p}$ เมื่อ

$$K_n = \mu_n C_{ox} \frac{W_n}{L_n} \quad (3.9)$$

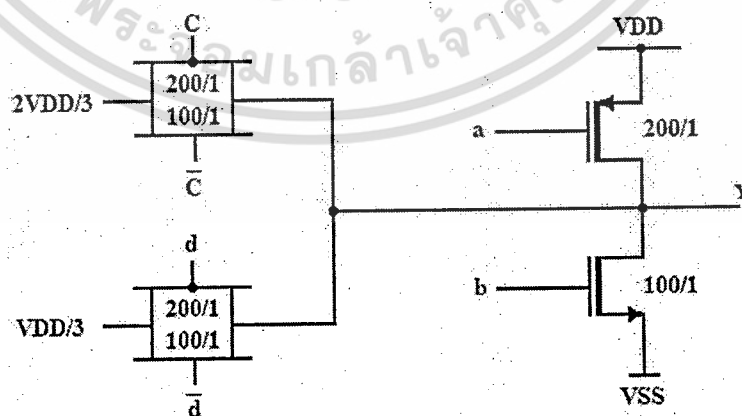
$$K_p = \mu_p C_{ox} \frac{W_p}{L_p} \quad (3.10)$$

$$V_{sw} = \frac{V_{ad} - V_{TP} + \alpha V_{TN}}{1 + \alpha} \quad (3.11)$$

$$\alpha = \sqrt{\frac{K_n}{K_p}} \quad (3.12)$$

3.10.1 วงจรเข้ารหัส

เอาต์พุตจะสวิทช์ระหว่างเอาต์พุตของการเข้ารหัสและค่า m ที่ต่างกัน ซึ่งทั้งหมดนี้จะมีทางเลือกคือ ไม่ใช่แหล่งจ่ายต่างกัน โดยทั่วไปจะใช้ Transmission Gate ซึ่งจะประกอบด้วย P และ N ดังนั้นในเวลาทำงานก็จะทำงานทั้งคู่



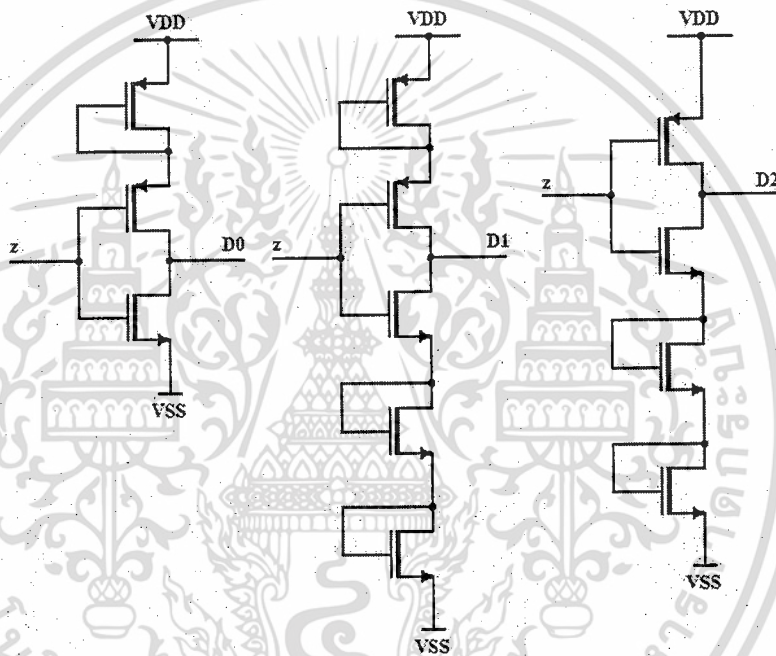
รูปที่ 3.13 วงจรเข้ารหัสแบบ 4 ค่าโดยใช้เทคโนโลยี CMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.13 แสดงวงจรเข้ารหัสแบบ 4 ค่า ระดับ 3 และ 0 จะเหมือนกันกับ Two-valued แต่ระดับ 1 และ 2 จะมีค่าแรงดันเท่ากับ $2\frac{V_{DD}}{3}$ และ $\frac{V_{DD}}{3}$ ในรูปที่ 3.13 จะเห็นว่ามิชขนาดใหญ่มาก เพราะนำไปประยุกต์ใช้งานนอกชิป

3.10.2 วงจรถอดรหัส

วงรีที่ใช้ในการถอดรหัสจะขึ้นอยู่กับขนาดที่ต่างกันของทรานซิสเตอร์ชนิด N และ P หรือวงจรเลื่อนแรงดัน รูปที่ 3.14 จะแสดงวงจรตรวจจับเทรตโฮลต์โดยใช้วงจรทรานซิสเตอร์ เพื่อเลื่อนแรงดัน



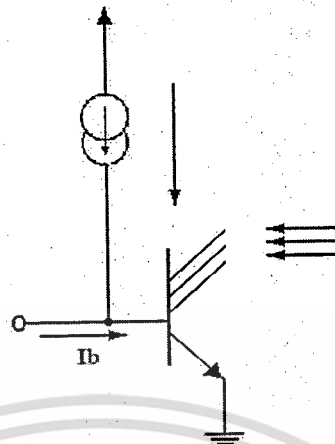
รูปที่ 3.14 วงจรตรวจจับเทรตโฮลต์โดยใช้เทคโนโลยี CMOS

โดยทั่ว ๆ ไป ในการสร้างฟังก์ชัน $D_i(x)$ และ $U_i(x)$ จะเป็นวงจรเปรียบเทียบแรงดัน ซึ่งจะประกอบด้วย NMOS ที่เป็น Differential Threshold โดยใช้ทรานซิสเตอร์ที่เป็นชนิด P และ N ก็ได้

3.11 วงจร m - valued ทำงานในโหมดกระแส

ในส่วนนี้จะยกตัวอย่างเฉพาะเทคโนโลยีแบบไบโพลาร์ โดยจะประกอบด้วยเทคโนโลยี I^2L (Integrated Injection Logic) และ ECL (Emitter Coupled Logic) และวงจรเกทพื้นฐานของลอจิกสามารถแสดงได้ดังรูปที่ 3.15 ซึ่งเป็นวงจร I^2L ที่ทำงานในโหมดกระแส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

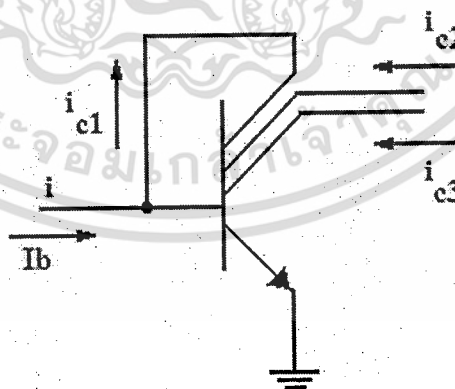


รูปที่ 3.15 เกทพื้นฐานของลอจิก 2 ระดับ โดยใช้เทคโนโลยี I^2L

จากรูปที่ 3.15 ซึ่งจะเป็นทรานซิสเตอร์แบบ NPN เอาต์พุตที่ขาคอลเลกเตอร์จะเป็นอิสระต่อกัน และที่แรงดันระดับ Low จะมีค่าเท่ากับ $V_{CE(sat)}$ ส่วนกระแสไบอัสที่ขาเบสจะถูกแทนด้วย I_b โดยขั้วอินพุต (ขาเบส) นี้ตามปกติจะถูกต่อกับเกทตัวก่อนหน้านี้ ซึ่งจะมีระดับแรงดันเป็น Low

วงจรที่ใช้เทคโนโลยี I^2L ในโหมดกระแสมีดังนี้

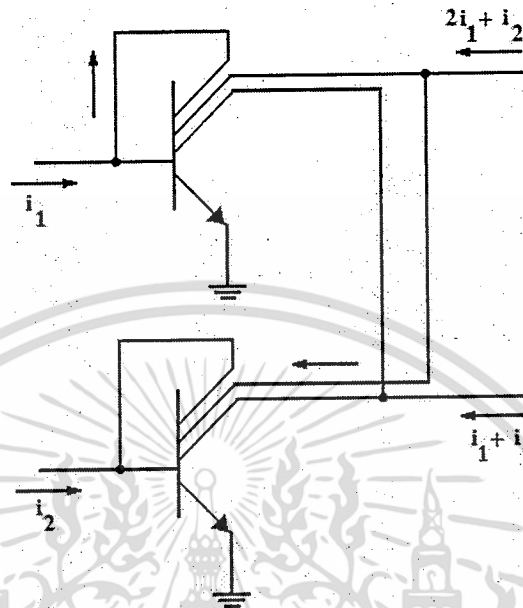
3.11.1 วงจรสะท้อนกระแส



รูปที่ 3.16 วงจรสะท้อนกระแสโดยใช้เทคโนโลยี I^2L

วงจรสะท้อนกระแสจะมีการป้อนกลับระหว่างขาเบสและขาคอลเลกเตอร์ และจะถูกนำมาใช้ในการคัดลอกกระแสและคูณกระแส โดยขึ้นอยู่กับค่าคงที่
เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้สำหรับการใช้งานเพื่อการศึกษาค้นคว้าเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

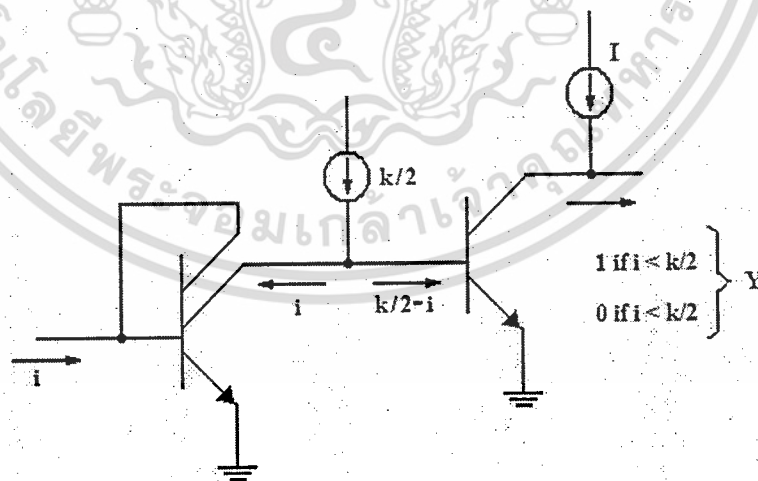
3.11.2 วงจรผลรวมเชิงเส้นของกระแส



รูปที่ 3.17 วงจรผลรวมเชิงเส้นของกระแส โดยใช้เทคโนโลยี I^2L

จากรูปที่ 3.17 เป็นวงจรผลรวมเชิงเส้นของกระแส มีลักษณะการทำงานตามกฎของเคอร์ชอฟ

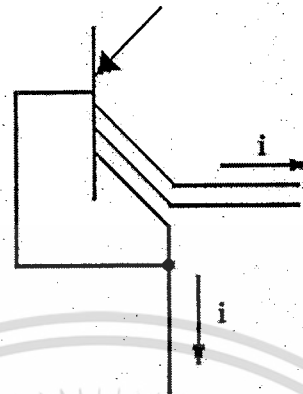
3.11.3 เทรคโฮลด์



รูปที่ 3.18 วงจรเทรคโฮลด์โดยใช้เทคโนโลยี I^2L

ค่าเทรคโฮลด์ที่กล่าวถึงนี้ จะรวมถึงทรานซิสเตอร์ที่ทำหน้าที่สะท้อนกระแสและ เอกสารนี้ให้ทรานซิสเตอร์ทั่วไปด้วย การใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.11.4 Sink - to - Source Conversion



รูปที่ 3.19 การไหลของกระแส Sink และ Source โดยใช้เทคโนโลยี I^2L

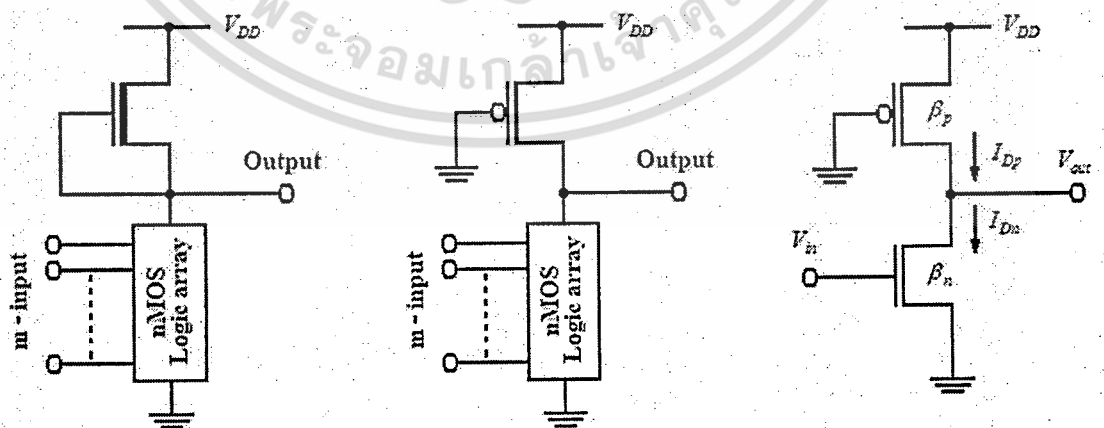
Sink - to - Source Conversion จากรูปจะเห็นได้ว่าเป็นทรานซิสเตอร์ชนิด PNP แบบมัลติคอลเลกเตอร์ ซึ่งทำหน้าที่สะท้อนกระแส

ทฤษฎีซีมอสลอจิกเกตขั้นสูง

แบบมาตรฐานของซีมอสลอจิกก็คือ สเตติกคอมพลิเมนต์ซีมอส (Static Complement CMOS) แต่เนื่องจากสเตติกเกต (Static gate) มีข้อด้อยหลายประการ จึงมีเกตอื่น ๆ อีกหลายชนิดที่ได้รับการยอมรับอย่างแพร่หลายเช่นกัน ในการเลือกใช้ลอจิกประเภทต่าง ๆ มักจะคำนึงถึงความสิ้นเปลืองเนื้อที่ ความประหยัดพลังงาน ความรวดเร็วในการทำงานเป็นหลัก ปกติแล้วการใช้พื้นที่ซิลิกอนของวงจรมักจะเป็นสัดส่วนโดยตรงกับจำนวนของทรานซิสเตอร์อยู่แล้ว แต่ทั้งนี้ก็จะมีการเปลี่ยนแปลงต่าง ๆ ซึ่งขึ้นอยู่กับความยุ่งยากในการออกแบบลวดลายและประเภทของเกตด้วย และปกติซีมอสจะสิ้นเปลืองเนื้อที่มากกว่าเอ็นมอสประมาณ 20 – 30% และโดยปกติแล้วลอจิกบล็อกเล็ก ๆ มักจะออกแบบในรูปแบบของสเตติกซีมอส แต่ถ้าหากเป็นวงจรรวมขนาดใหญ่ที่อนุกรมกัน ก็ควรจะปรับปรุงเป็นไดนามิกลอจิก (Dynamic Logic) หรือ โดมิโนลอจิก (Domino Logic)

4.1 มอสลอจิกเทียม (Pseudo MOS Logic)

วงจรมอสลอจิกแบบนี้สามารถสร้างขึ้นได้จากทรานซิสเตอร์เพียงชนิดเดียว คือ ทรานซิสเตอร์หรือเอ็นทรานซิสเตอร์ก็ได้ และใช้ทรานซิสเตอร์ชนิดตรงกันข้ามมาทำเป็นโหลดเอ็นมอสเทียม (Pseudo - nMOS) จะได้รับความนิยมสูงกว่าพีมอสเทียมทั้งนี้เพราะ วงจรเอ็นมอสล้วน ๆ ได้รับความนิยมมาก่อนซีมอส แต่วงจรเอ็นมอสจะใช้ดีฟิชั่นมอสเป็นโหลด ดังรูปที่ 4.1 (ก) ทำให้สิ้นเปลืองพลังงานมากและขนาดของตัวอุปกรณ์จะต้องคำนวณให้สอดคล้องกับระดับแรงดันของลอจิก



(ก) วงจรเอ็นมอส

(ข) วงจรเอ็นมอสเทียม

(ค) วงจรอินเวอร์เตอร์เอ็นมอสเทียม

รูปที่ 4.1 วงจรมอสลอจิก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

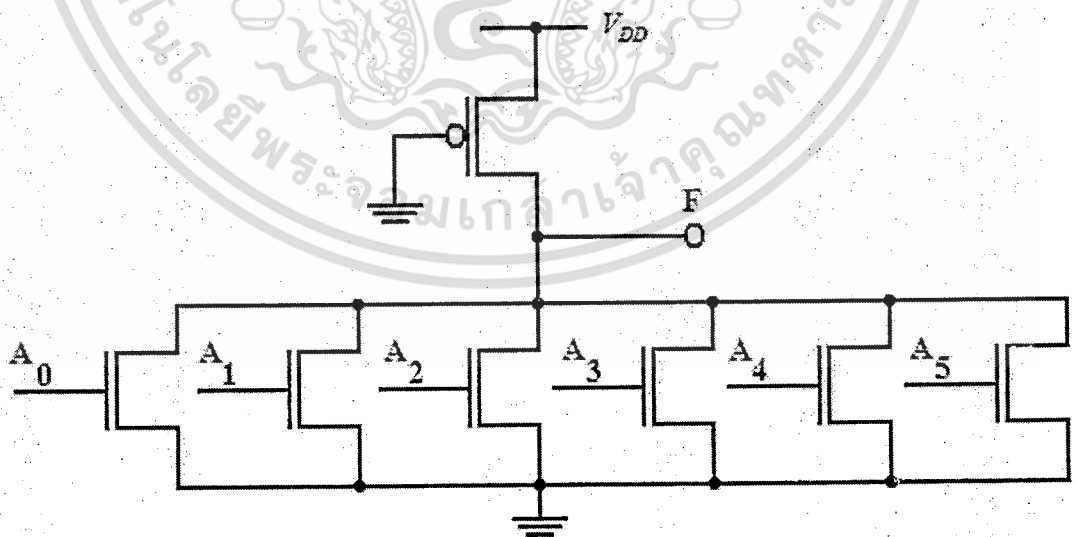
วงจรเอ็นมอสเทียมมีพีทรานซิสเตอร์ที่เกทลงกราวด์ ทำหน้าที่เป็นโหลดให้กับวงจร ดังรูปที่ 4.1 (ข) ซึ่งถ้าหากเอ็นมอสตัวใดตัวหนึ่ง (หรือหลายตัว) นำกระแส ปริมาณกระแสระหว่าง V_{DD} กับกราวด์ จะกำหนดได้โดยพีทรานซิสเตอร์เท่านั้น ในกลุ่มของเอ็นมอสอาจต่อกันอย่างไรก็ได้ ขึ้นอยู่กับฟังก์ชันลอจิกที่ต้องการ การต่ออนุกรมกันหลายตัวจะส่งผลกับแรงดันสถานะลอจิกต่ำทางเอาต์พุต ตัวอย่างเช่น อินเวอร์เตอร์ ดังรูปที่ 4.1 (ค) เนื่องจาก $V_{GS_p} = V_{DD}$ พีมอสจึงทำงานในย่านอิ่มตัว เมื่อลอจิกสูงที่อินพุต จะถือว่าเอ็นมอสทำงานในช่วงเชิงเส้น และแรงดันทางเอาต์พุตเป็นแรงดันลอจิกต่ำ ดังนั้น

$$\frac{\beta_p}{2}(V_{DD} - |V_{Tp}|)^2 = \frac{\beta_n}{2}\{2(V_{DD} - V_{Tn})V_{OL} - V_{OL}^2\} \quad (4.1)$$

ซึ่งเป็นสมการกำลังสอง แก้สมการ หาค่า V_{OL}

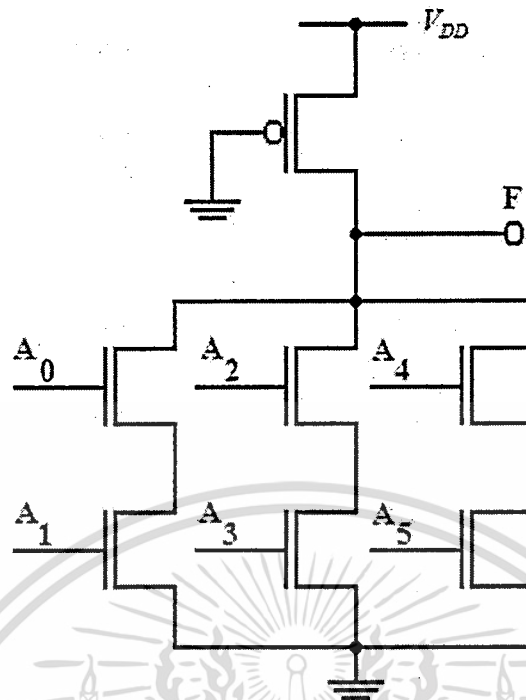
$$V_{OL} = (V_{DD} - V_{Tn}) - \sqrt{(V_{DD} - V_{Tn})^2 - \frac{\beta_p}{\beta_n}(V_{DD} - |V_{Tp}|)^2} \quad (4.2)$$

การสร้างลอจิกฟังก์ชันที่ซับซ้อนก็พิจารณาเฉพาะเน็ตเวิร์คของเอ็นมอสเท่านั้น เช่น นอร์เกต 6 อินพุตและวงจรถ่าย AND OR Inverter (AOI) ที่มีฟังก์ชัน $F = A_0 + A_1 + A_2 + A_3 + A_4 + A_5$ และ $F = A_0A_1 + A_2A_3 + A_4A_5$ ตามลำดับ



รูปที่ 4.2 วงจรรนอร์เกต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 AOI เกท

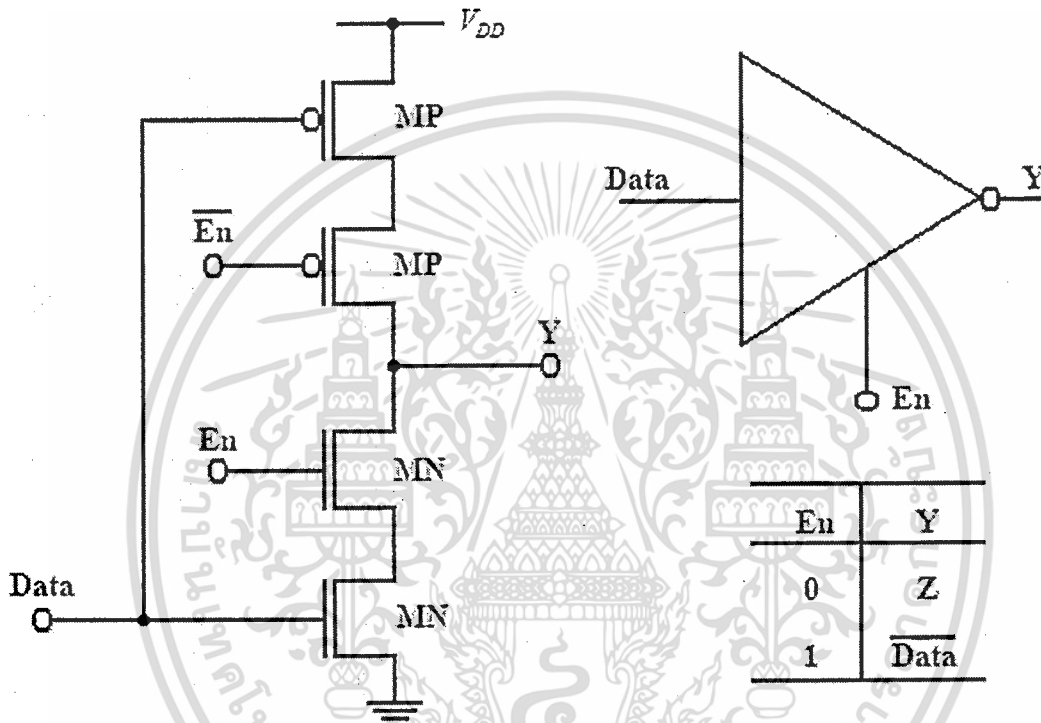
วงจรถึงเอ็นมอสเทียมมีลักษณะเหมือนวงจรถึงเอ็นมอสปกติทุกประการ แตกต่างกันที่ตัวโวลต์แทนที่จะเป็นเอ็นมอส (ดีพลีชั่นหรือเอ็นฮานซ์เมนต์) ก็เป็นพีมอสทรานซิสเตอร์เพียงอย่างเดียวที่ต่อเกทลงกราวด์ จะทำหน้าที่ให้กับวงจรถึงเอ็นมอส วงจรถึงพีมอสจะมีลักษณะที่ตรงกันข้ามกับวงจรถึงเอ็นมอสเทียม วงจรถึงแบบนี้จะต้องคำนวณขนาดของตัวอุปกรณ์ เพื่อให้ระดับลอจิกที่ถูกต้อง (สเตติกซีมอสไม่จำเป็นต้องคำนึงในข้อนี้) ปัญหาหลักของวงจรถึงก็คือ การสูญเสียพลังงานมากเพราะอุปกรณ์ที่เป็นโวลต์จะนำกระแสตลอดเวลา ทั้งยังเป็นสาเหตุให้แรงดันเอาต์พุทลอจิกต่ำ ไม่สามารถที่จะเป็น 0 โวลต์ ได้ (แรงดันเอาต์พุทลอจิกสูง สามารถมีค่าสูงได้ถึง V_{DD}) ข้อดีของเกทแบบนี้ก็คือ สามารถที่จะประหยัดเนื้อที่ได้น่ากว่าสเตติกเกท ซึ่งเป็นคอมพลิเมนต์รี

4.2 วงจรถึง 3 สถานะ (Tri – state Circuit)

วงจรถึงลอจิกปกติจะมีแค่ 2 สถานะคือ สถานะแรงดันสูงหรือลอจิก “1” และสถานะแรงดันต่ำหรือลอจิก “0” แต่ลอจิก 3 สถานะ จะมีสถานะ “ความต้านทานสูง” หรือ “High Impedance” หรือ “High Z” เพิ่มขึ้นมาอีก 1 สถานะ สถานะดังกล่าวไม่สามารถที่จะจ่ายหรือรับกระแสใด ๆ ได้ ทำให้เหมาะสมในการแยกวงจรถึงออกจากวงจรถึงอื่น ๆ ขณะทำงาน วงจรถึงลอจิก 3 สถานะนิยมใช้สำหรับปล่อยสัญญาณลงสู่บัสที่มีสถานะภาพเป็นทั้งอินพุทและเอาต์พุท ส่วนใหญ่ก็จะเป็นวงจรถึงเพอร์

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ในเชิงพาณิชย์ การค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

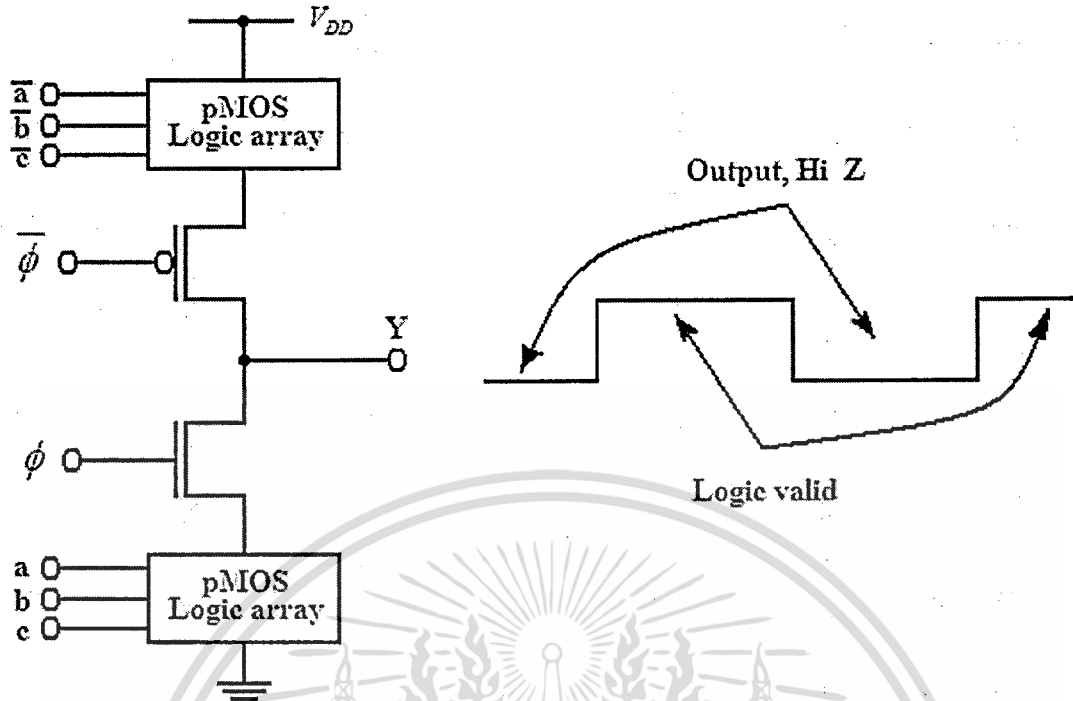
ด้วย (จ่ายกระแสได้มาก) ทั้งแบบกลับสัญญาณ (Inverting) และไม่กลับสัญญาณ (Non – Inverting) ดังรูปที่ 4.4 แสดงวงจร 3 สถานะแบบกลับสัญญาณ โดยที่สัญญาณ En (Enable) จะทำหน้าที่เป็นสัญญาณควบคุม หากสัญญาณ En เป็น High วงจรอินเวอร์เตอร์ก็จะทำงานเหมือนวงจรอินเวอร์เตอร์ปกติ หากสัญญาณ En เป็น Low ทางเอาต์พุตก็จะปรากฏเป็นค่าความต้านทานสูง โดยไม่ขึ้นกับสถานะทางอินพุตเลย ทั้งนี้เพราะพีมอส (MP) และ (MN) อยู่ในสถานะ “off” หรือนำกระแส



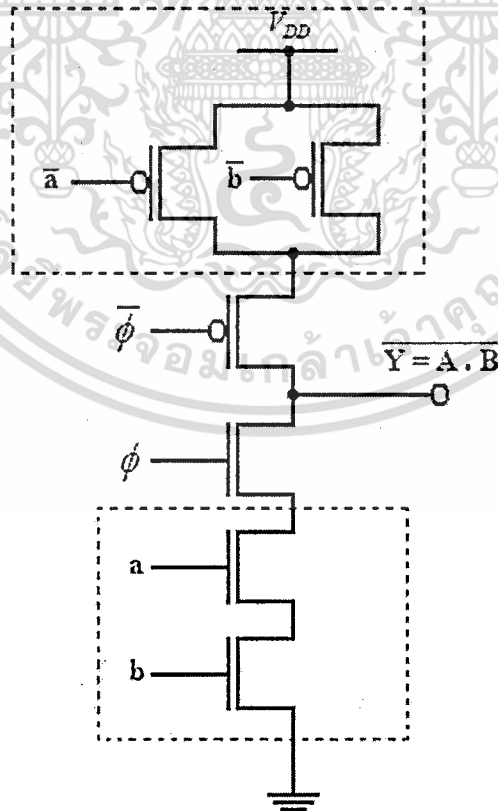
รูปที่ 4.4 วงจร 3 สถานะแบบกลับสัญญาณ (Tri – state Inverter)

4.3 วงจรซีมอสที่ใช้สัญญาณนาฬิกา (Clocked CMOS Logic, C²MOS)

วงจรซีมอสที่ใช้สัญญาณนาฬิกา เป็นแนวคิดผสมกันระหว่างลอจิกมาตรฐานกับการอ่านผลลัพธ์แบบสมวาร (Synchronization) วงจรจะมีช่วงการเปลี่ยนแปลงอินพุต เฉพาะเมื่อสัญญาณนาฬิกาเป็น “0” เท่านั้น ในขณะนั้นทางเอาต์พุตจะมีสถานะค่าเป็นความต้านทานสูง และเมื่อสัญญาณนาฬิกาเป็น “1” (อินพุตไม่ควรมีการเปลี่ยนแปลงในช่วงนี้) ผลลัพธ์ของลอจิกที่ออกทางเอาต์พุต สามารถที่จะอ่านหรือส่งต่อไปได้เนื่องจากวงจรลอจิกยังคงเป็นลักษณะคอมพลิเมนต์จำนวนทรานซิสเตอร์ที่ใช้จึงได้ลดน้อยลง



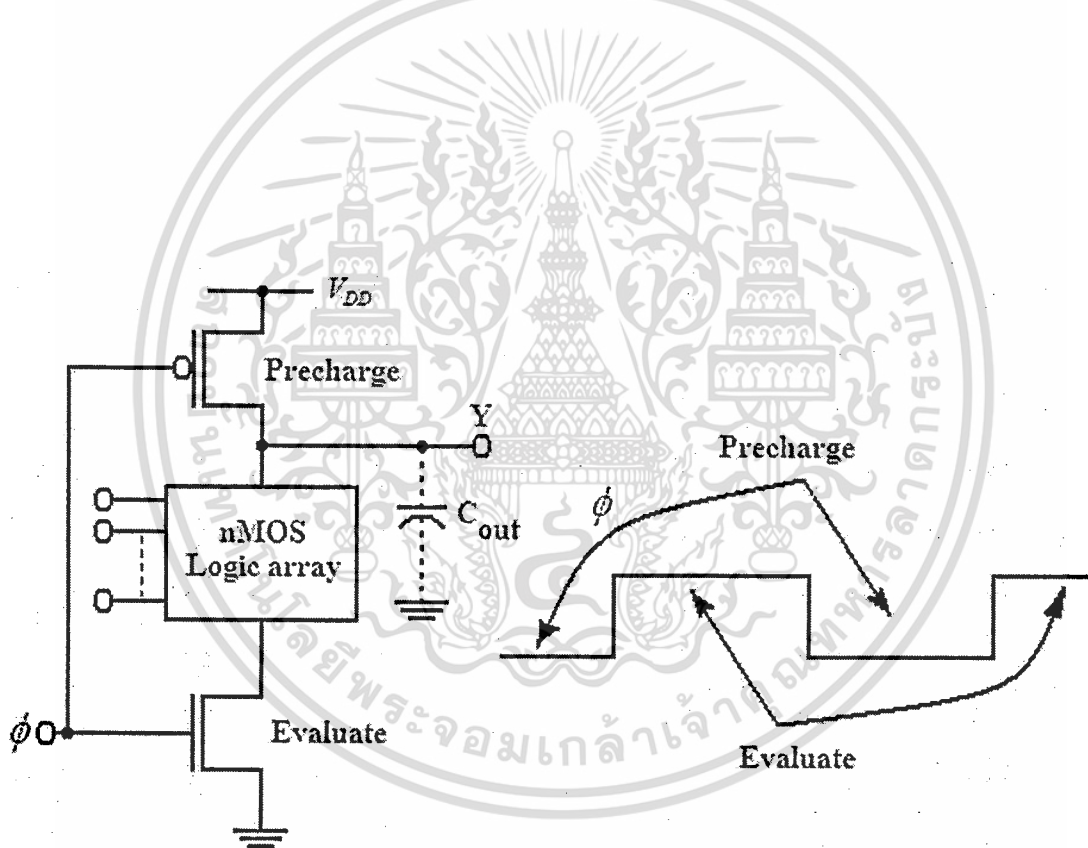
รูปที่ 4.5 หลักการของวงจรซีมอสที่ใช้สัญญาณนาฬิกา



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อวัตถุประสงค์ในการนำไปใช้ประโยชน์ด้านการค้า
 รูปที่ 4.6 ตัวอย่างวงจรแอมพลิฟายเออร์ที่ใช้สัญญาณนาฬิกา
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

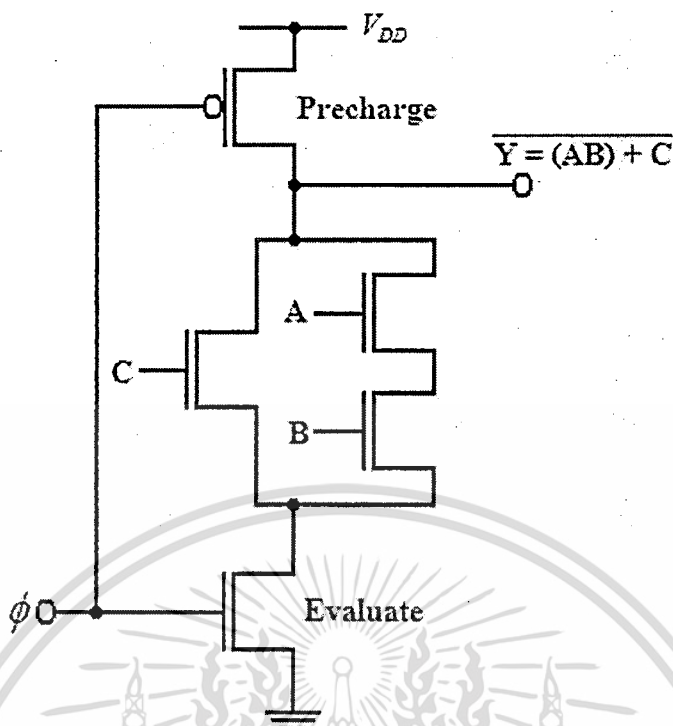
4.4 ไดนามิกซีมอสลอจิก (Dynamic CMOS Logic)

ลักษณะของวงจรลอจิกแบบนี้ต้องการการการสมวาร (Synchronization) ในการอ่านสถานะเอาต์พุต วงจรจะมีช่วงการเปลี่ยนแปลงอินพุต เฉพาะเมื่อสัญญาณนาฬิกาเป็น “0” เท่านั้น ช่วงนี้เรียกว่า Precharge และเมื่อสัญญาณนาฬิกาเป็น “1” ก็จะส่งผลของลอจิกออกทางเอาต์พุตช่วงนี้จะเรียกว่า ช่วง Evaluate ลักษณะวงจรพื้นฐานของไดนามิกซีมอส จะประกอบด้วยวงจรของเอ็นทรานซิสเตอร์ที่จะให้ลอจิกฟังก์ชัน โดยเอาต์พุตโหนดจะถูกพรีชาร์ตสู่ V_{DD} โดยพีทรานซิสเตอร์ ในขณะที่เดียวกัน เอ็นทรานซิสเตอร์จะทำหน้าที่เป็นตัวประเมินค่า (Evaluate) ดังรูปที่ 4.7 สัญญาณนาฬิกาที่ใช้เป็นเฟสเดียวในช่วงพรีชาร์ต $\phi = “0”$ และประเมินค่าเมื่อ $\phi = “1”$



รูปที่ 4.7 หลักการของวงจรไดนามิกซีมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.8 ตัวอย่างวงจรไดนามิกซีมอส

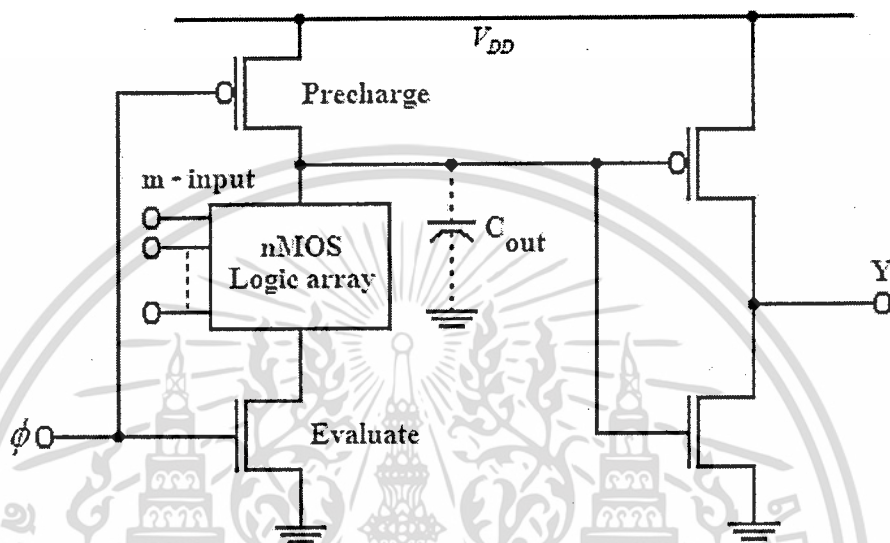
4.4.1 ปัญหาของไดนามิกซีมอส

สัญญาณอินพุตจะเปลี่ยนแปลงได้เฉพาะในช่วงฟริชาร์ตเท่านั้น มิฉะนั้นแล้วเอาต์พุตอาจจะผิดพลาดได้ ปัญหาที่เกิดขึ้นอีกประการหนึ่งก็คือ การต่ออนุกรมกันของไดนามิกเกตหลาย ๆ ชุด เมื่อเกตถูกฟริชาร์ต เอาต์พุตจะถูกฟริชาร์ตสู่ V_{DD} แต่ในช่วงประเมินค่าเอาต์พุตของเกตชุดแรกจะเปลี่ยนแปลงตามเงื่อนไขของอินพุต ถ้าหากว่ามีกรณีใดในขณะนี้ (ซึ่งจะเป็นอินพุตของเกตชุดที่ 2) จะทำให้เกตชุดที่ 2 ประเมินค่าผิดพลาด การแก้ปัญหาดังกล่าวอาจจำเป็นต้องใช้สัญญาณนาฬิกาหลายเฟส (ปกติ 4 เฟส) คาบเวลาของสัญญาณนาฬิกา จะต้องมีความยาวเพียงพอที่จะให้การประเมินค่าของเกตชุดที่ช้าที่สุดเป็นไปอย่างสมบูรณ์เสียก่อน ลักษณะของวงจรบางแบบจะทำให้เกิดปัญหาเรื่องค่าความจุไฟฟ้าแอบแฝง ทำให้แรงดันลจกคลาดเคลื่อนได้ (Charge Sharing Problem) ปกติแล้วจะต้องให้ค่าตัวเก็บประจุ C_{out} มีค่ามากกว่าตัวเก็บประจุอื่นในวงจร

4.5 ซีมอสโดมิโนลอจิก (CMOS Domino Logic)

โครงสร้างพื้นฐานของโดมิโนลอจิก จะประกอบด้วยวงจร 2 ส่วนคือ ส่วนแรกจะเป็นไดนามิกซีมอสที่ทำงานด้วยสัญญาณนาฬิกาชุดเดียวคือ ฟริชาร์ตและประเมินค่า และวงจรส่วนที่ 2 จะเป็นซีมอสอินเวอร์เตอร์ดังรูปที่ 4.7 ในช่วงฟริชาร์ต เอาต์พุตของวงจรไดนามิกจะฟริชาร์ตสู่ V_{DD} และที่ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอาต์พุตของอินเวอร์เตอร์จะเป็นระดับต่ำเมื่อสัญญาณนาฬิกาเปลี่ยนจาก “0” เป็น “1” (ช่วงนี้จะประเมินค่า) ฟรีซาร์ทรานซิสเตอร์จะหยุดทำงาน และทรานซิสเตอร์ประเมินค่าจะทำงานแทน ในช่วงประเมินค่า โดมิโนจะเปลี่ยนค่าเฉพาะเมื่อมีการเปลี่ยนจากระดับต่ำเป็นระดับสูงเท่านั้น ทำให้จัดการปัญหาเรื่องสัญญาณ “Glitches” ได้



รูปที่ 4.9 วงจรพื้นฐานของ โดมิโนซิมอสลอจิก

โดมิโนลอจิก จะประกอบด้วยส่วนของวงจรซึ่งป็นอินพุต ฟรีซาร์ทรานซิสเตอร์ ทรานซิสเตอร์ประเมินผล และเอาต์พุตอินเวอร์เตอร์อีก 1 ชุด ดังนั้นโดมิโนลอจิก m อินพุตจะมีทรานซิสเตอร์ m+ 4 ตัว เป็นวงจรที่มีความสูญเสียต่ำ เพราะจะไม่มีกระแสเฉื่อยในวงจรเลย ปกติแล้วฟิทรานซิสเตอร์จะเสียพื้นที่มากกว่าเอ็นทรานซิสเตอร์ โดมิโนลอจิกมทรานซิสเตอร์ส่วนใหญ่เป็นเอ็นทรานซิสเตอร์ จึงทำให้ความจุของอุปกรณ์ต่อพื้นที่ที่ดีขึ้น ในขณะที่เดียวกันกับความยุ่งยากในการออกแบบลวดลายก็ลดลง

4.6 ลอจิกเส้นทางคู่ (Dual – Rail Logic)

วงจรที่ได้ศึกษาผ่านมาแล้วนั้น นับว่าเป็นวงจรซิมอสเส้นทางเดี่ยว (Single rail) ซึ่งหมายถึง ตัวแปรทางอินพุตมีค่าเพียง “0” หรือ “1” เท่านั้น วงจรลอจิกเส้นทางคู่จะใช้ทั้ง x และ \bar{x} พร้อมกันในรูปแบบที่เป็นเชิงอนุพันธ์ โดยประสงค์หลักก็เพื่อเพิ่มความเร็วการทำงาน และสามารถพิจารณาฟังก์ชันได้คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น
$$f_x = x - \bar{x} \quad (4.3)$$

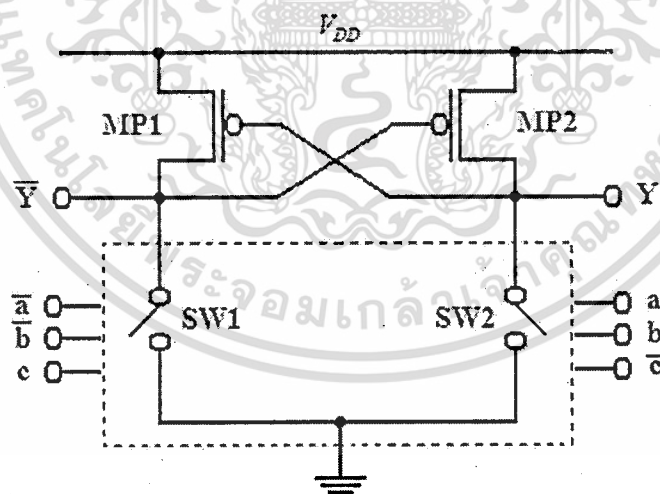
เมื่อ
$$\frac{df_x}{dt} = \frac{dx}{dt} - \frac{d\bar{x}}{dt} \quad (4.4)$$

$$\frac{d\bar{x}}{dt} = - \left| \frac{dx}{dt} \right| \quad (4.5)$$

เมื่อ x มีค่าเพิ่มขึ้นและ \bar{x} ลดลง หรือในทางกลับกัน

ดังนั้น
$$\frac{df_x}{dt} = 2 \left| \frac{dx}{dt} \right| \quad (4.6)$$

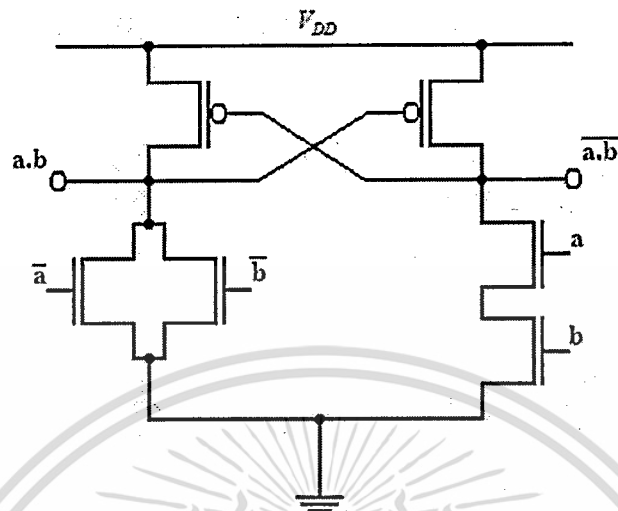
หากตีความหมายในเชิงวงจรก็จะเป็นว่า วงจรลอจิกเส้นทางคู่สามารถที่จะมีความเร็วประมาณ 2 เท่าของวงจรเส้นทางเดี่ยว แต่ในทางกลับกันที่ที่จะต้องเพิ่มมากขึ้นก็คือ เส้นทางการต่อโยงวงจร เพราะจำนวนอินพุตที่ต้องเพิ่มมากขึ้น วงจรลอจิกเส้นทางคู่ที่เป็นที่นิยมก็คือ Differential Cascode Voltage Switch Logic (DCVSL) หรืออีกชื่อหนึ่งก็คือ Cascode Voltage Switch Logic (CVSL) โครงสร้างพื้นฐานของวงจร CVSL แสดงได้ดังในรูปที่ 4.10



รูปที่ 4.10 วงจรพื้นฐานของ CVSL

อินพุตจะประกอบด้วยส่วนที่เป็นทางตรง (เช่น a, b, c) และส่วนที่เป็นคอมพลิเมนต์ (เช่น $\bar{a}, \bar{b}, \bar{c}$) ซึ่งทั้งหมดประกอบด้วยเอ็นมอสทรานซิสเตอร์เท่านั้น วงจรคอมพลิเมนต์นี้จะอยู่ด้านละชุดของวงจรเลขที่ที่ประกอบจากพีมอส ทำให้ได้เอาต์พุตที่เป็น Y และ \bar{Y} สมมุติว่าอินพุตลอจิกทำเอกสกรีนเป็นเอกสารทสกรนเวสสำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไมออนุญาตเห็นไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้สวิตช์ SW1 ทำงาน แรงดันที่เอาต์พุต \bar{Y} ตกลงเป็นแรงดันต่ำ เป็นการบังคับให้พีมอส MP2 นำกระแสโดยเร็วขั้วให้เอาต์พุต Y เป็นแรงดันสูง

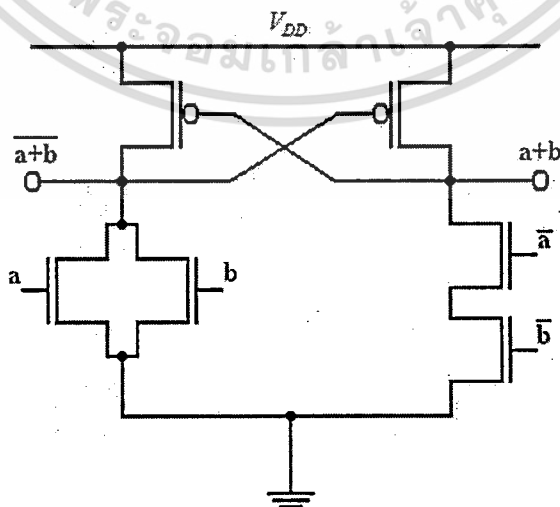


รูปที่ 4.11 วงจร CVSL ของวงจรรแอนด์ / แนนด์

การออกแบบในส่วนของวงจรส่วนเอ็นมอสซึ่งสองด้านเป็นคอมพลิเมนต์กันนั้น วิธีหนึ่งที่ย่างและค่อนข้างจะตรงไปตรงมาอย่างวงจรรแอนด์/NAND ดังแสดงในรูปที่ 4.11 และวงจรรOR/NOR ดังแสดงในรูปที่ 4.12 ซึ่งจะเห็นว่าเมื่ออินพุตเป็นคอมพลิเมนต์กันแล้ว เอาพุทก็ยังคงเป็นคอมพลิเมนต์กันอีกด้วย อาศัยทฤษฎีของ De Morgan

$$\overline{a \cdot b} = \bar{a} + \bar{b}$$

(4.7)



รูปที่ 4.12 วงจร CVSL ของวงจรรออร์ / นอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นว่าวงจร AND/NAND และวงจร OR/NOR มีโครงสร้างเดียวกัน ต่างกันเฉพาะตำแหน่งของอินพุตเท่านั้น

4.7 ลอจิกแบบวงจรเงาสะท้อน (Mirror Circuit Logic)

วงจรลอจิกแบบเงาสะท้อนมีรูปแบบคล้ายวงจรซิมอสคอมพลิเมนต์มาตรฐาน คือมีส่วนของพีมอสและเอ็นเอ็มอส แต่วงจรมีสองซีกซ้ายและขวาเหมือนวงจรเส้นทางคู่ วงจรซีกซ้ายและขวานี้สะท้อนซึ่งกันและกันในรูปแบบของคอมพลิเมนต์ ลักษณะเช่นนี้ลองพิจารณาวงจรของ XOR ซึ่ง $Y = a \oplus b = \bar{a}b + a\bar{b}$ จากคณิตศาสตร์บูลีน เราจะเห็นว่า $\bar{a}b + a\bar{b} = \overline{ab + \bar{a}\bar{b}}$ ซึ่งสามารถเขียนเป็นวงจรได้ดังรูปที่ 4.13 จะสังเกตเห็นว่า เอ็นมอสจะทำงานเพื่อให้ลอจิกเอาต์พุต “0” ในขณะที่พีมอสจะทำงานเพื่อให้ลอจิกเอาต์พุต “1” จำนวนทรานซิสเตอร์ที่ใช้ในวงจรแม้จะเท่ากับวงจรคอมพลิเมนต์ซิมอส แต่ลักษณะเส้นทางวงจรจะง่ายกว่า วงจร XNOR ก็สามารถใช้จะออกแบบได้ในลักษณะเดียวกัน



รูปที่ 4.13 วงจร XOR เกท

บทที่ 5

ทฤษฎีและการออกแบบวงจรเทอร์นารีชมิตต์ทริกเกอร์

5.1 ทฤษฎีพื้นฐานของวงจรซิมอสเทอร์นารีชมิตต์ทริกเกอร์

เนื่องจากวงจรเทอร์นารีชมิตต์ทริกเกอร์ประกอบด้วยลอจิก 3 ค่าคือ 0, 1 และ 2 แทนค่าความแตกต่างของสถานะทางไฟฟ้า ซึ่งอาจจะอยู่ในรูปของค่าความต่างศักย์หรือขนาดกระแสไฟฟ้า โดยมีนิยาม [2] ดังต่อไปนี้

นิยามที่ 1 Low-Threshold Comparison Operation

$$x' \triangleq \begin{cases} T & (\text{if } x < t) \\ F & (\text{if } x > t) \end{cases} \quad (5.1)$$

นิยามที่ 2 High-Threshold Comparison Operation

$$x' \triangleq \begin{cases} T & (\text{if } x > t) \\ F & (\text{if } x < t) \end{cases} \quad (5.2)$$

นิยามที่ 3 Boolean Operation

- = AND Operation
- + = OR Operation
- ~ = NOT Operation

นิยามที่ 4 Transmission Operation

$$C_i * B \triangleq \begin{cases} C_i & (\text{if } B = T) \\ \phi & (\text{if } B = F) \end{cases} \quad (5.3)$$

โดยที่

C_i คือ ระดับสัญญาณที่ป้อน (Transmission Source)

B คือ ค่าตัวแปรใดๆ

ϕ คือ เซตว่าง (ไม่มีเอาต์พุตใดๆ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นิยามที่ 5 Union Operation

$$C_i * B_i \# C_j * B_j \triangleq \begin{cases} C_i \text{ if } B_i = T \text{ and } B_j = F \\ C_j \text{ if } B_i = F \text{ and } B_j = T \\ \phi \text{ if } B_i = B_j = F \\ \text{not permitted if } B_i = B_j = T \text{ and } C_i \neq C_j \end{cases} \quad (5.4)$$

จากพื้นฐานนิยามที่กล่าวมาแล้ว สามารถที่สร้างสมการนิยามต่างๆ ได้ดังนี้

$$\bar{x}' = 'x \quad (5.5)$$

$$'x = \bar{x}' \quad (5.6)$$

$$B = '(2 * B \# 0 * \bar{B}) = (2 * \bar{B} \# 0 * B)' \quad (5.7)$$

$$C * (B_1 + B_2) = C * B_1 \# C * B_2 \quad (5.8)$$

$$C * (B_1 * B_2) = (C * B_1) * B_2 \quad (5.9)$$

$$(C_1 * B_1 \# C_2 * B_2) * B_3 = C * (B_1 \bullet B_3) \# C * (B_2 \bullet B_3) \quad (5.10)$$

$$f(x) = f(0) * x^{0.5} \# f(1) * ({}^{0.5}x \bullet x^{1.5}) \# f(2) * {}^{1.5}x \quad (5.11)$$

$$f = 0 * B_0 \# 1 * B_1 \# 2 * B_2 \quad (5.12)$$

นิยามที่ 6 Threshold-t Inverse With Binary Output

$$\overline{x(t)} \triangleq \begin{cases} 2 \text{ (if } x < t) \\ 0 \text{ (if } x > t) \end{cases} \quad (5.13)$$

นิยามที่ 7 Ternary Inverse

$$\bar{x} \triangleq \begin{cases} 2 \text{ (if } x = 0) \\ 1 \text{ (if } x = 1) \\ 0 \text{ (if } x = 2) \end{cases} \quad (5.14)$$

นิยามที่ 8 Modulo-3 Addition

$$x \oplus i \triangleq \text{mod}_3(x+i) \quad (5.15)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

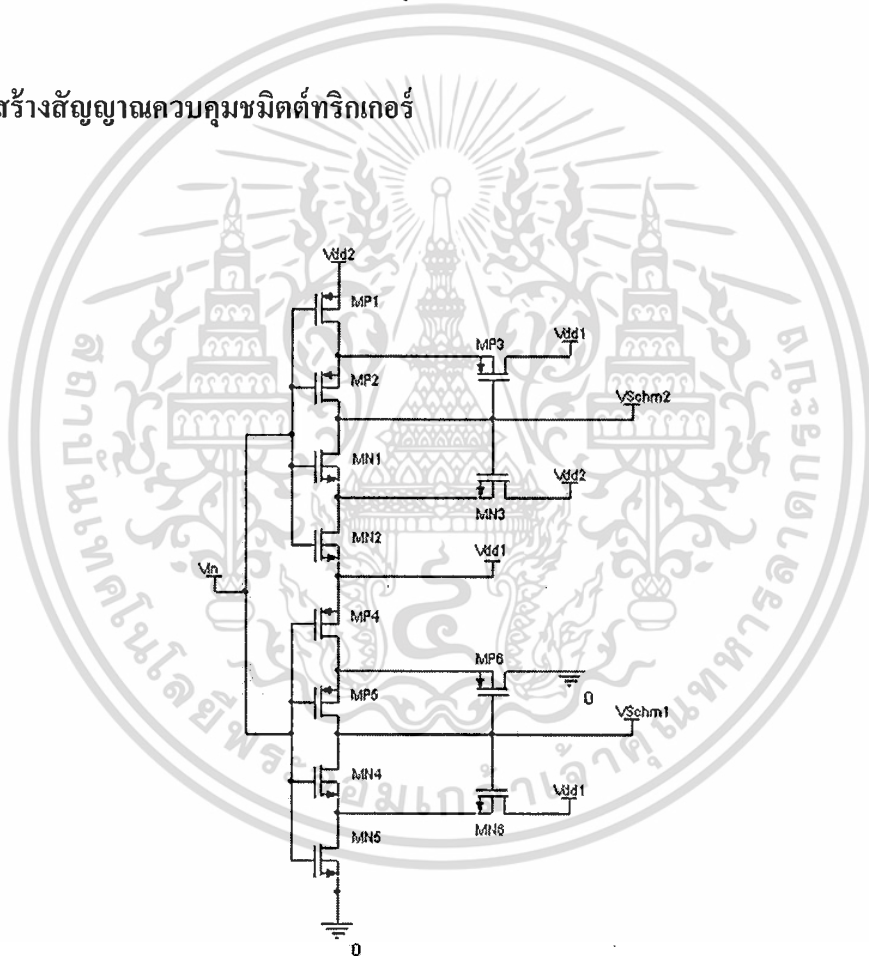
นิยามที่ 9 1-of-2 Threshold-t Multiplexing

$$f(y_0, y_2; x, t) \triangleq \begin{cases} y_0 & (\text{if } x < t) \\ y_2 & (\text{if } x > t) \end{cases} \quad (5.16)$$

นิยามที่ 10 1-of-3 Multiplexing

$$f(y_0, y_1, y_2; x) \triangleq \begin{cases} y_0 & (\text{if } x = 0) \\ y_1 & (\text{if } x = 1) \\ y_2 & (\text{if } x = 2) \end{cases}$$

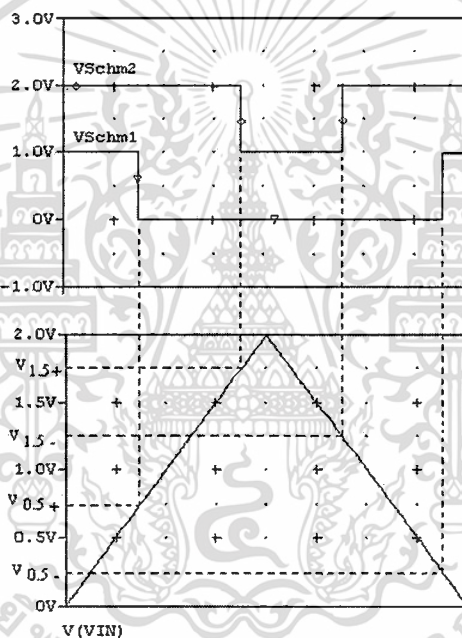
5.2 วงจรสร้างสัญญาณควบคุมขมิตต์ทริกเกอร์



รูปที่ 5.1 วงจรสร้างสัญญาณควบคุมขมิตต์ทริกเกอร์

วงจรส่วนหน้าซึ่งทำหน้าที่สร้างสัญญาณควบคุมขมิตต์ทริกเกอร์นี้ประกอบด้วยวงจรไบนารีขมิตต์ทริกเกอร์ 2 วงจรเรียงต่อกันคือ วงจรส่วนบนซึ่งประกอบด้วยทรานซิสเตอร์ MP1- MP3 และ MN1-MN3 ซึ่งจะให้สัญญาณควบคุมแบบไบนารี VSchm2 และวงจรส่วนล่างที่ประกอบด้วยทรานซิสเตอร์ MP4-MP6 และ MN4-MN6 ซึ่งจะให้สัญญาณควบคุมแบบไบนารี VSchm1 เมื่อทำเอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้เผยแพร่โดยไม่ขออนุญาตจากเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การต่อแรงดันแหล่งจ่าย Vdd2, Vdd1 และ Ground ที่ขา Source ของ MP1, MN2 และ MN5 ตามลำดับ ทำให้สัญญาณควบคุม VSchm2 และ VSchm1 มีช่วงแวงสัญญาณระหว่าง Vdd2~Vdd1 และ Vdd1~Ground ตามลำดับ ในการออกแบบวงจรนี้ได้กำหนดให้ Vdd2 มีค่าเท่ากับ 2 โวลต์แทนลอจิก 2 Vdd1 มีค่าเท่ากับ 1 โวลต์แทนลอจิก 1 และ Ground มีค่าเท่ากับ 0 โวลต์แทนลอจิก 0 โดย VSchm2 จะเปลี่ยนสถานะเป็น Low (Vdd1) เมื่อสัญญาณอินพุต Vin มีค่ามากกว่าศักดาเทรตโฮลด์ $V_{1.5+}$ และจะกลับเป็นสถานะ High (Vdd2) อีกครั้งเมื่อมีค่ามากกว่า $V_{1.5}$ เช่นเดียวกับ VSchm1 จะเปลี่ยนสถานะเป็น Low (Ground) เมื่อสัญญาณอินพุต Vin มีค่ามากกว่าศักดาเทรตโฮลด์ $V_{0.5+}$ และจะกลับเป็นสถานะ High (Vdd1) อีกครั้งเมื่อมีค่ามากกว่า $V_{0.5}$ ดังแสดงใน(รูปที่5.2)



รูปที่5.2 สัญญาณควบคุม VSchm1 และ VSchm2

สังเกตว่าทั้งวงจรส่วนบนและล่างต่างประกอบด้วยโครงข่าย PMOS และ NMOS ที่สมมาตรกัน แบบวงจรซีมอส เพื่อสะดวกต่อการอธิบายการทำงานวงจรจะกล่าวถึงเฉพาะวงจรโครงข่าย NMOS ของวงจรส่วนล่าง ซึ่งประกอบด้วย MN4-MN6 โดย MN4 คือสวิตช์หลักของวงจร เมื่อ MN5 และ MN6 ทำงานเป็นวงจรป้อนกลับควบคุมค่า เมื่อกำหนดให้สภาวะเริ่มต้น $V_{in} = 0$ และมีค่าเพิ่มขึ้น ทรานซิสเตอร์จะยังไม่ทำงาน (Cut Off) และสามารถแสดงความสัมพันธ์ของแรงดันได้ดังนี้

$$V_{GS(MN5)} = V_{in}$$

$$V_{GS(MN4)} = V_{in} - V_{DS(MN5)}$$

$$V_{GS(MN6)} = VSchm1 - V_{DS(MN5)} \quad (1)$$

MN5 จะนำกระแสเมื่อ $V_{GS(MN5)} = V_{th(MN5)}$ แต่ MN4 ต้องการแรงดันอินพุตเท่ากับ

$V_{in} = V_{th(MN)} + V_{DS(MN5)} = V_{0.5+}$ ในการนำกระแส เนื่องจาก $V_{DS(MN4)}$ ถูกควบคุมโดย MN5 และ MN6 ดังนั้น เมื่อ V_{in} เพิ่มขึ้นทำให้ $V_{DS(MN5)}$ ลดต่ำลงถึงจุดที่กำหนดไว้ MN4 จะเริ่มนำกระแสและทำให้ $VSchm1 = 0$ (Ground)

ในการปรับค่าแรงดัน Trigger $V_{0.5+}$ หากสมมติให้ผลของ Body Effect มีค่าน้อยมากเนื่องจากการต่อ Bulk เข้ากับขา Source ของทรานซิสเตอร์ และกำหนดให้ศักดาเทรตโวลต์ของ PMOS และ NMOS มีค่าเท่ากับ $V_{th(MP)}$ และ $V_{th(MN)}$ ตามลำดับ ดังนั้นในการทำให้ MN4 นำกระแส ต้องทำให้ $V_{DS(MN5)} \leq V_{0.5+} - V_{th(MN)}$ และค่ากระแสในช่วงอิมิตัวคือ $I_{DS(MN5)} = (\beta_{MN5}/2)(V_{0.5+} - V_{th(MN)})^2$ และ MN6 จะอยู่ในช่วงอิมิตัวด้วยเมื่อ $V_{DS(MN6)} = V_{GS(MN6)}$ ดังนั้น $I_{DS(MN6)} = (\beta_{MN6}/2)(V_{dd1} - V_{0.5+})^2$ และกระแส $I_{DS(MN5)} = I_{DS(MN6)}$ ดังนั้นค่าแรงดัน trigger $V_{0.5+}$ เท่ากับ

$$V_{0.5+} = \frac{V_{dd1} + \sqrt{\beta_{MN5}/\beta_{MN6}} V_{th(MN)}}{1 + \sqrt{\beta_{MN5}/\beta_{MN6}}} \quad (2)$$

จากสมการจะเห็นว่าสามารถปรับค่า $V_{0.5+}$ ได้จากการเปลี่ยนอัตราส่วน

$\beta_{MN5}/\beta_{MN6} = (W/L)_{MN5}/(W/L)_{MN6}$ ในทำนองเดียวกันเมื่อวิเคราะห์ โครงข่าย PMOS (MP4-MP6) กำหนดค่าแรงดัน trigger $V_{0.5-}$ สามารถกำหนดได้โดย

$$V_{0.5-} = \frac{\sqrt{\beta_{MP4}/\beta_{MP6}}}{1 + \sqrt{\beta_{MP4}/\beta_{MP6}}} (V_{dd1} - V_{th(MP)}) \quad (3)$$

และสำหรับวงจรส่วนบน

$$V_{1.5+} = \frac{(V_{dd2} - V_{dd1}) + \sqrt{\beta_{MN2}/\beta_{MN3}} V_{th(MN)} + V_{dd1}}{1 + \sqrt{\beta_{MN2}/\beta_{MN3}}} \quad (4)$$

$$V_{1.5-} = \frac{\sqrt{\beta_{MP1}/\beta_{MP3}}}{1 + \sqrt{\beta_{MP1}/\beta_{MP3}}} (V_{dd2} - V_{dd1} - V_{th(MP)}) + V_{dd1} \quad (5)$$

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรที่นำเสนอนี้กำหนดให้ $\beta_{MN5} / \beta_{MN6}, \beta_{MP1} = \beta_{MP3}, \beta_{MP4} / \beta_{MP6}$ และ $\beta_{MN2} / \beta_{MN3}$ โดยแทนค่า $V_{th(MP)} = |-0.58V|$ และ $V_{th(MN)} = 0.62V$ ดังนั้น $V_{0.5+} = 0.62V, V_{0.5-} = 0.21V$

$V_{1.5+} = 1.62V$ และ $V_{1.5-} = 1.21V$

5.3 วงจรเทอร์นารีชนิดตรีทริกเกอร์

หากกำหนดให้วงจรเทอร์นารีลอจิกมีฟังก์ชัน $f(x)$ ที่มีอินพุต x และมีเอาต์พุต C_i โดยที่ $x, C_i \in \{0,1,2\}$ ดังนั้น

$$f(x) = C_0 * (x^{0.5}) \# C_1 * (x^{0.5} \cdot x^{1.5}) \# C_2 * (x^{1.5}) \quad (6)$$

โดยการดำเนินการ

$$C_i * x' = \begin{cases} \phi & (\text{if } x > t) \\ C_i & (\text{if } x < t) \end{cases} \quad (7)$$

และ

$$C_i * 'x = \begin{cases} C_i & (\text{if } x > t) \\ \phi & (\text{if } x < t) \end{cases} \quad (8)$$

โดยที่

ϕ คือ เซตว่าง (ไม่มีเอาต์พุตใดๆ)

x คือ อินพุต ซึ่ง $x \in \{0,1,2\}$

t คือ ค่าเทรชโฮลด์ ซึ่ง $t \in \{0.5,1.5\}$

C_i คือ ระดับสัญญาณที่ป้อน (Transmission Source) ซึ่ง $C_i \in \{0,1,2\}$

* คือ ตัวดำเนินการ Transmission

คือ ตัวดำเนินการยูเนียน (Union)

- คือ ฟังก์ชัน AND สำหรับสัญญาณแบบไบนารี

x' คือ ตัวดำเนินการเปรียบเทียบค่าเทรชโฮลด์ระดับสัญญาณต่ำ (Low-Threshold Comparison)

$'x$ คือ ตัวดำเนินการเปรียบเทียบค่าเทรชโฮลด์ระดับสัญญาณสูง (High-Threshold Comparison)

โดยที่ ϕ หมายถึง เซตว่าง (ไม่มีเอาต์พุตใดๆ) กำหนดให้ t เป็นค่าเทรชโฮลด์ และ $t \in \{0.5,1.5\}$

สังเกตว่า x' มีสถานะเพียงสองสถานะแบบไบนารีคือเป็นจริง เมื่อ $x < t$ และเป็นเท็จเมื่อ $x > t$

เอกสารลำดับ ในทางกลับกัน $'x$ จะให้ค่าเป็นจริง $x > t$ และเป็นเท็จเมื่อ $x < t$ ดังนั้นการดำเนินการด้านการคำนวณที่กล่าวมาทั้งหมด ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$C_i * x'$ และ $C_i * 'x$ ซึ่งสามารถสร้างด้วยวงจร Transmission Gate แบบ CMOS โดยอาศัย x' และ $'x$ เป็นสัญญาณควบคุมดังแสดงใน(รูปที่ 5.3) โดยวงจร Threshold-t Gate (x' และ $'x$) สามารถสร้างขึ้นจากวงจร DVCS Inverter ร่วมกับวงจร CMOS Inverter ดังแสดงให้(รูปที่ 5.4)

การทำงานของวงจร Threshold-t Gate เมื่อ $t = 0.5$ (รูปที่ 5. 4 (a)) สัญญาณอินพุต x ซึ่งมีค่าได้ 3 สถานะ (0,1 และ 2) จะถูกแปลงให้มีสถานะเหลือเพียงสองสถานะ (0,1) ด้วย CMOS Inverter (MP1-MN1, MP2-MN2 และ MP3-MN3) โดย $x \geq t (=0.5)$ จะถูกมองให้มีสถานะ 1 จากนั้นจึงถูกแปลงให้มีสถานะเป็น (0,2) อีกครั้งด้วยวงจร DVCS Inverter (MN4-5, MP4-5) จากการป้อนกลับภายในเพื่อให้ได้ระดับศักดาเหมาะกับการควบคุมวงจร Transmission Gate ต่อไป สำหรับวงจร Threshold-t Gate เมื่อ $t = 1.5$ (รูปที่ 5. 4(b)) การทำงานมีลักษณะเช่นเดียวกันคือสัญญาณ x จะถูกแปลงให้มีเพียงสองสถานะคือ (1,2) ด้วย CMOS Inverter โดยสัญญาณที่มีค่า $x \leq t (=1.5)$ จะถูกมองให้มีสถานะ 1 จากนั้นจึงถูกแปลงให้มีสถานะเป็น (0,2) (ตารางที่ 5. 1) แสดงตารางความจริงของวงจร Threshold-t Gate

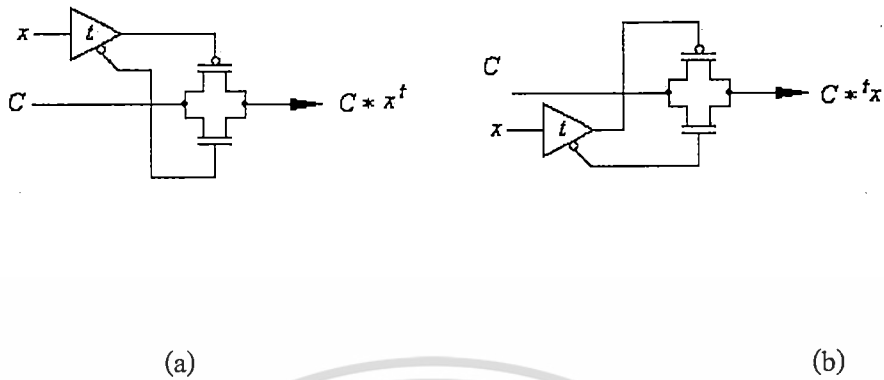
ตารางที่ 5.1 ตารางความจริงวงจรขมิตต์ทริกเกอร์

V_{Schm1}	$V_{Schm1}^{0.5}$	V_{Schm2}	$V_{Schm2}^{1.5}$	$V_{Schmitt}$
1	2	2	2	0
0	0	2	2	1
0	0	1	0	2

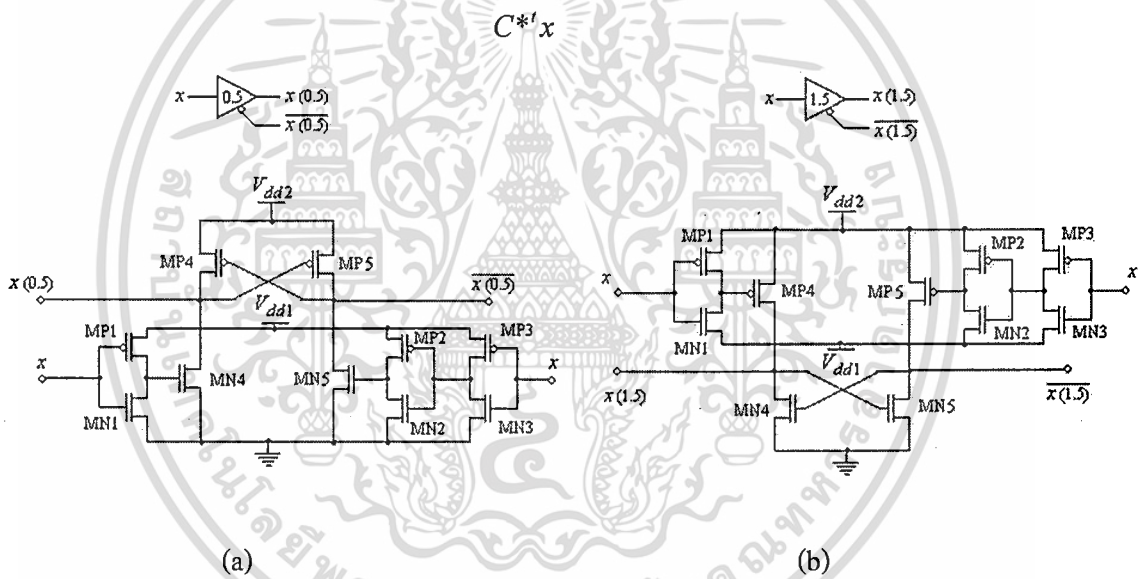
สำหรับวงจรเทอร์นารีแบบสองอินพุต (x,y) ซึ่งมีฟังก์ชันในสมการที่ (8) สามารถสร้างขึ้นได้ด้วยวิธีการเดียวกัน

$$f(x, y) = C_0 * (x^{0.5} \cdot y^{0.5}) \# C_1 * (x^{0.5} \cdot y^{1.5}) \# C_2 * (x^{1.5} \cdot y) \# C_3 * (x^{0.5} \cdot x^{1.5} \cdot y^{0.5}) \# C_4 * (x^{0.5} \cdot x^{1.5} \cdot y \cdot x^{1.5}) \# C_5 * (x^{0.5} \cdot x^{1.5} \cdot y^{1.5}) \# C_6 * (x^{1.5} \cdot y^{0.5}) \# C_7 * (x^{1.5} \cdot y^{0.5} \cdot y \cdot y^{1.5}) \# C_8 * (x^{1.5} \cdot y^{1.5})$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 วงจร Transmission Gate และ Threshold-t Gate สำหรับตัวดำเนินการ (a) $C * x^t$ และ (b)



รูปที่ 5.4 วงจร Threshold-t Gate แบบ DCVS (a) $t = 0.5$ และ (b) $t = 1.5$

สำหรับวงจรเทอร์นารีชมิตต์ทริกเกอร์ประกอบด้วย 2 สัญญาณอินพุตสัญญาณคือ VSchm1 และ VSchm2 ที่ได้จากวงจรถูกกำเนิดสัญญาณควบคุมชมิตต์ทริกเกอร์ใน(รูปที่ 5.1) และมีตารางความจริงดัง(ตารางที่ 5.1)โดย VSchmitt เป็นสัญญาณเอาต์พุต เมื่อทำการลดรูปสมการด้วย K-map ทำให้ได้ฟังก์ชันลดรูปในสมการที่ (9)

$$\begin{aligned}
 VSchmitt &= 2 * ({}^{0.5}VSchm1 \cdot {}^{0.5}VSchm2) \\
 &\#1 * ({}^{0.5}VSchm1 \cdot VSchm2^{1.5}) \quad (9) \\
 &\#0 * (VSchm1^{0.5} \cdot VSchm2^{1.5})
 \end{aligned}$$

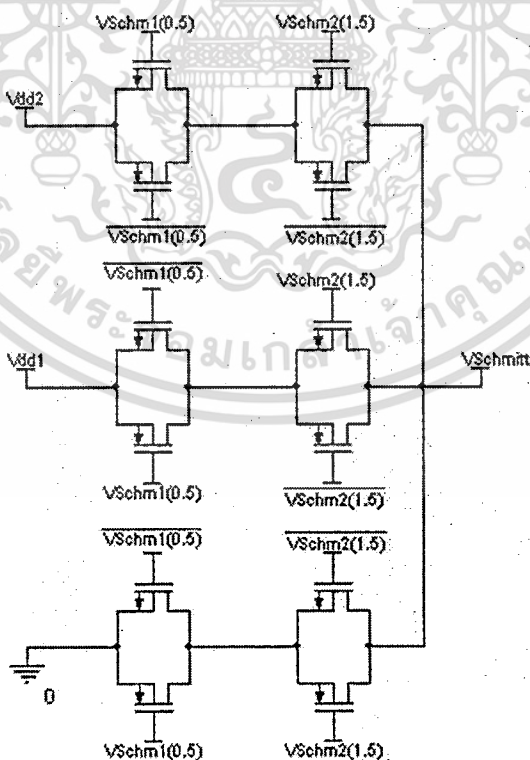
ซึ่งสามารถแสดงได้ใน(รูปที่5. 5) การจำลองการทำงานใช้แบบจำลองแบบจำลอง

มอสรานซิสเตอร์ของ MOSIS เทคโนโลยี 0.05 μm ด้วยโปรแกรม PSPICE โดยกำหนดให้ลอจิกเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2, 1 และ 0 มีค่าศักดาเท่ากับ 2V, 1V และ 0V ตามลำดับ เมื่อป้อนแรงดันจาก 0V เพิ่มขึ้นจนถึง 0.5 V ค่า (VSchmitt1) จะเปลี่ยนค่าจาก 1V เป็น 0V เมื่อเพิ่มแรงดันจนถึงค่า 1.5V ค่า (VSchmitt2) จะเปลี่ยนค่าจาก 2V เป็น 1V เมื่อป้อนแรงดันจนถึง 2V และ ทำการลดแรงดันจนถึง - 1.5V ค่า (VSchmitt2) จะเปลี่ยนจาก 1V เป็น 2V และลดแรงดันจนถึง - 0.5 V ค่า(VSchmitt1)จะเปลี่ยนจาก 0V เป็น1Vผลการจำลองวงจรกำเนิดสัญญาณควบคุม ขมิตต์ทริกเกอร์พบว่า $V_{0.5+} = 0.74V$, $V_{0.5-} = 0.37V$ $V_{1.5+} = 1.58V$ และ $V_{1.5-} = 1.27V$ ดังแสดงใน(รูปที่ 5.6)

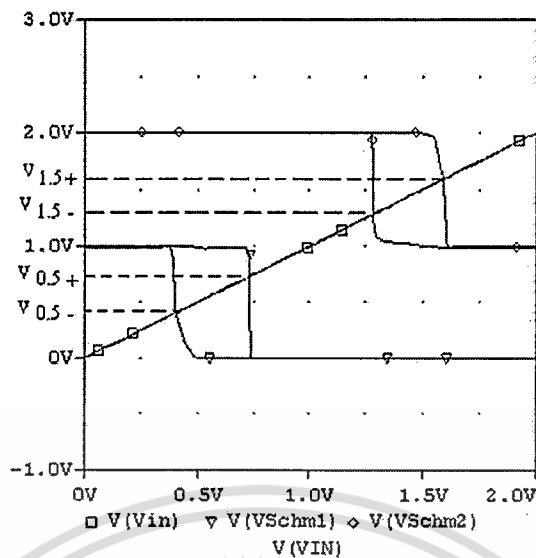
เมื่อป้อนสัญญาณที่ได้จากวงจรกำเนิดสัญญาณควบคุมผ่าน Threshold-t Gateใน(รูปที่ 5.4) เพื่อใช้ในการควบคุม Transmission Gate ในวงจรเทอร์นารีขมิตต์ทริกเกอร์ (รูปที่5. 5) ผลสัญญาณในเอาต์พุต (VSchmitt)ดังแสดงใน(รูปที่5. 7)

$$f(y_0, y_1, y_2; x) = \begin{cases} y_0 & (\text{if } x = 0) \\ y_1 & (\text{if } x = 1) \\ y_2 & (\text{if } x = 2) \end{cases} \tag{5.17}$$

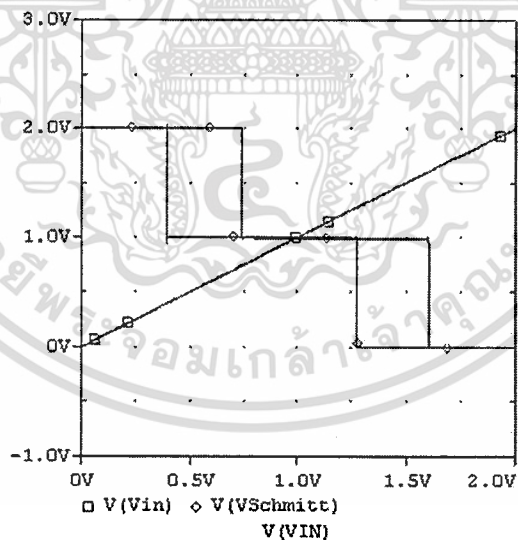


รูปที่ 5.5 วงจร Ternary Schmitt Trigger

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.6 ผลจำลองการทำงานของวงจรกำเนิดสัญญาณควบคุม
ชนิดคัททริกเกอร์



รูปที่ 5.7 ผลจำลองการทำงานของวงจรเทอร์นารีชนิดคัททริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

สรุปผลการวิเคราะห์

การออกแบบวงจรเทอนารีชมิต์ทริกเกอร์ที่นำเสนอในวงจรดิจิทัลแบบ Multiple-Valued Logic (MVL) เป็นการออกแบบวงจรรวมประเภทหนึ่งซึ่งถูกออกแบบมาเพื่อลดข้อจำกัดด้านความหนาแน่นของสายสัญญาณต่อปริมาณข้อมูลซึ่งเป็นอุปสรรคสำคัญสำหรับการออกแบบวงจรรวมแบบดิจิทัลจากจำนวนสายสัญญาณที่เชื่อมโยงภายในวงจรและการเชื่อมโยงสู่ภายนอก อันมีผลมาจากปริมาณข้อมูลที่ใช้ในการประมวลผลมีมากขึ้นเพื่อตอบรับกับความต้องการของผู้ใช้งาน จากข้อจำกัดของวงจรรวมแบบไบนารี ซึ่งสามารถส่งข้อมูลเพียง '0' หรือ '1' ในแต่ละบิตและในช่วงเวลาหนึ่งๆ มาเป็นการส่งข้อมูลหลายระดับสัญญาณ ทำให้ความหนาแน่นปริมาณข้อมูลข่าวสาร (Information Density) ภายในวงจร และความสามารถในการส่งข้อมูลข่าวสาร (Information-Carrying) สูงกว่าวงจรดิจิทัลแบบไบนารีทั่วไปแต่ด้วยจำนวนระดับสัญญาณที่มีหลายระดับทำให้การออกแบบวงจรทำได้ลำบากและไม่สามารถนำเทคนิคการออกแบบวงจรดิจิทัลแบบไบนารีมาใช้ได้ โดยเฉพาะอย่างยิ่งวงจรชมิต์ทริกเกอร์ที่อาศัยการป้อนกลับในการควบคุมการทำงานของวงจรซึ่งมีลักษณะเดียวกับวงจร Sequential ทั้งที่วงจรชมิต์ทริกเกอร์เป็นวงจรพื้นฐานที่สำคัญสร้างขึ้นจากวงจรกิจิกสัญญาณควบคุมชมิต์ทริกเกอร์บนพื้นฐานของวงจรชมิทส ไบนารีชมิต์ทริกเกอร์ซึ่งถูกพัฒนาจนคุ้นเคยดีสำหรับนักออกแบบวงจรชมิทสดิจิทัลสัญญาณควบคุมดังกล่าวถูกนำไปใช้เพื่อควบคุมวงจรเทอนารีชมิต์ทริกเกอร์แบบ Transmission Gate อีกชั้นหนึ่ง ทั้งสองวงจร ต่างถูกออกแบบบนเทคโนโลยีการผลิตวงจรรวม CMOS มาตรฐานทั่วไปและสามารถสร้างรวมเข้ากับวงจรดิจิทัลอื่นๆที่ได้ออกแบบไว้อย่างดีแล้วทำให้การออกแบบวงจรหลายระดับสัญญาณบนชิปวงจรรวมเดียวกันสามารถทำได้ภายใต้เทคโนโลยีการผลิตเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

- [1] J.C. Cornmercon, R. Badard, "Schmitt trigger oscillator and its synchronisation by an external square oscillator," *Circuits, Devices and Systems, IEE Proceedings*, Vol. 149, no. 4, pp.221–226, 2002
- [2] K. Kim, H.W. Cha, W.S. Chung, "OTA-R Schmitt trigger with independently controllable threshold and output voltage levels," *Electronics Letters*, Vol. 33, no. 13, pp.1103-1105, 1997.
- [3] B. Almashary, H. Alhokail, "Current-mode triangular wave generator using CCIIs," *Microelectronics Journal*, Vol. 31, no. 4, pp. 239-243, 2000.
- [4] ภมร ศิลาพันธ์ และ มนต์รี ศิริปรัชญานันท์ "วงจรมิตต์ทริกเกอร์โหมดกระแสที่สามารถควบคุมขนาดฮิสเตอร์ซิสและขนาดเอาต์พุตด้วยกระแสอย่างอิสระต่อกันและการประยุกต์ใช้งาน" วารสารวิชาการพระจอมเกล้าพระนครเหนือ ปีที่ 17, ฉบับที่ 3 (ก.ย.- ธ.ค. 50) หน้า 30 - 38
- [5] V.A. Pedroni, "Low-voltage high-speed Schmitt trigger and compact window comparator," *Electronics Letters*, Vol. 41, no. 22, pp. 1213-1214, 2005
- [6] H. Guoqiang, "Theory of current transmission switches and its application to design of novel current-mode CMOS ternary Schmitt trigger," *Electronics Letters*, Vol. 41, no. 24, pp. 346-349, 2005
- [7] X. Wu, P. Wang and Y. Xia, "Design of Ternary Schmitt Triggers Based on Its Sequential Characteristics," Proc. ISMVL, no. 5, pp. 156-160, Boston, MA, USA, May 15-18, 2002.
- [8] M. Miura and T. Hanyu, "Highly Reliable Multiple-Valued Current-Mode Comparator Based on Active-Load Dual-Rail Differential Logic," *IEICE Trans. Electron.*, vol E91-C, no. 4, pp. 589-594, 2010
- [9] K. Angkaew, S. Wisetphanichkij, K. Dejhan, S. Junnapiya and C. Soonyeeakan, "A design of ternary Schmitt trigger circuit," Proc. of the 8th International Symposium on IC Technology, Systems & Applications (ISIC-99), pp.282-285, Singapore, September 9-10, 1999.
- [10] สมปอง วิเศษพานิชกิจ, พิชัย สุวรรณลอยถ่อง และกอบชัย เดชหาญ, การออกแบบวงจรถอร์นารีลอจิก, วิศวกรรมลาดกระบัง ปีที่ 25 ฉบับที่ 4 เดือนธันวาคม 2551 หน้า 1-6
- [11] X. Wu and F. Prosses, "Ternary CMOS Sequential Circuit," Proc. of the 18th

- [12] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, New York, 2000



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาคผนวก ก.

พารามิเตอร์ของมอstrandานซิสเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ ก.1 SPICE พารามิเตอร์ของมอสทรานซิสเตอร์

.MODEL PMOS05U PMOS
(LEVEL=3 UO=100 TOX=1.0E-8 TPG=1 VTO=-0.58 +JS=0.38E-6 XJ=0.10U RSH=1.81 LD=0.03U +VMAX=113E3 NSUB=2.08E17 PB=0.911 ETA=00 +THETA=0.120 PHI=0.905 GAMMA=0.76 KAPPA=2 +CJ=85E-5 MJ=0.429 CJSW=4.67E-10 MJSW=0.631 +CGSO=1.38E-10+ CGDO=1.38E-10 CGBO=3.45E-10 +KF=1.08E-29 AF=1 WD=0.14U DELTA=0.81 +NFS=0.52E11)
.MODEL NMOS05U NMOS
(LEVEL=3 UO=460.5 TOX=1.0E-8 TPG=1 VTO=0.62 +JS=1.08E-6 XJ=0.15U RSH=2.73 LD=0.04U +VMAX=130E3 NSUB=1.71E17 PB=0.761 ETA=00 +THETA=0.129 PHI=0.905 GAMMA=0.69 +KAPPA=0.10 CJ=76.4E-5 MJ=0.357 CJSW=5.68E-10 +MJSW=0.302 CGSO=1.38E-10 CGDO=1.38E-10 +CGBO=3.45E-10 KF=3.07E-28 AF=1 WD=0.11U +DELTA=0.42 NFS=1.2E11)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลงานทางวิชาการที่ได้รับการตีพิมพ์

สมปอง วิเศษพานิชกิจ ชัยณรงค์ หาญชนะ และ กอบชัย เศรษฐาญ “การออกแบบวงจรเทอร์นาเรียชมิต์ทริกเกอร์” วิศวกรรมลาดกระบัง ปีที่ 26 ฉบับที่ กันยายน 2552



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ISSN 0125-1724


LAOKRABANG ENGINEERING JOURNAL

วิศวกรรมลาดกระบัง

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang

ปีที่ 26 ฉบับที่ 3
กันยายน 2552

วิศวกรรมโทรคมนาคม

1. การหาประสิทธิภาพบนโครงข่าย MPLS/VPN เปรียบเทียบกับโครงข่าย IP แบบดั้งเดิม
บัณฑิต จิวแยม กอบชัย เศษหาญ 1
2. การออกแบบวงจรเทอร์มินัลมัลติพริคเกอร์
สมปอง วิเศษพานิชกิจ ชัยณรงค์ หาญชนะ กอบชัย เศษหาญ 7
3. กลไกควบคุมคุณภาพการให้บริการ โดยใช้ DiffServ-aware Traffic Engineering
วิรัช ชัยขุนพล กอบชัย เศษหาญ 13
4. การออกแบบระบบควบคุมอุปกรณ์และระบบไฟฟ้าในตัว Mini DSLAM ระยะไกลผ่านโครงข่าย TCP/IP
วิวัฒน์ กรโยธิน สุวิพล สิริชีวะภาค นฤทธิสมเจริญ สำเนาพล 19
5. การประเมินช่องสัญญาณแบบหลายเส้นทางของระบบสื่อสารผ่านสายส่งไฟฟ้าแรงสูงที่ถูกลดทอน
จากสัญญาณรบกวนโคโรน่า
พงศ์พันธ์ อังคนานุพงศ์ เศรษฐกร กานเมือง สุวิพล สิริชีวะภาค 25

วิศวกรรมไฟฟ้า

6. การควบคุมอินเวอร์เตอร์แบบห้ากึ่งเพื่อขับเคลื่อนมอเตอร์เหนี่ยวนำสามเฟสสองตัวโดยการ
มอดูเลตความกว้างพัลส์ด้วยวิธีสเปซเวกเตอร์
สาธิต สมญาติ วิจิตร กิณเรศ 31

วิศวกรรมเครื่องกล

7. การศึกษาปล่องผนังเซลล์ระนาบอากาศแบบธรรมชาติร่วมกับพัดลมกระแสตรงภายใต้
สภาวะอากาศของกรุงเทพมหานคร
ปรีดา จันทวงษ์ 37

วิศวกรรมเคมี

8. การดูดซับเบต้าแคโรทีนในน้ำมันปาล์มดิบโดยใช้ตัวดูดซับเมโซพอร์สคาร์บอน
ลลิตา บุรีรักษ์ เกรียงศักดิ์ ไกรวัฒน์วงศ์ ประกอบ กิจไชยา 43
9. คุณสมบัติด้านรีโอโลยีของผลิตภัณฑ์สเปรตจากน้ำมันมะพร้าวอินทรีย์
พรรณนิภา ฤาไชยชัย มาฤดี ผ่องพิพัฒน์พงศ์ 49

วิศวกรรมอุตสาหการ

10. การศึกษาลำดับความสำคัญของตัวแปรที่ส่งผลต่อการประยุกต์ใช้กลยุทธ์โลจิสติกส์แบบย้อนกลับ
ปรารถนา บุญเกิดเกษม พงศ์พัฒน์ ดังคะประเสริฐ ตริตศ เหล่าศิริพงษ์ทอง 55

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การออกแบบวงจรเทอร์นารีชมิทต์ทริกเกอร์

Ternary Schmitt Trigger Circuit Design

สมปอง วิเศษพานิชกิจ ชัยณรงค์ หาญชนะ กอบชัย เดชหาญ

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

บทคัดย่อ

บทความนี้นำเสนอการออกแบบวงจรเทอร์นารีชมิทต์ทริกเกอร์แบบ CMOS transmission gate โดยแบ่งเป็นสองส่วนการทำงานเป็น 2 ส่วนคือ วงจรชมิทต์ไบนารีชมิทต์ทริกเกอร์ซึ่งทำหน้าที่สร้างสัญญาณควบคุม และส่วน CMOS transmission gate ซึ่งทำหน้าที่สร้างสัญญาณเอาต์พุตแบบสามระดับ (ternary logic) สัญญาณควบคุมที่ได้จากวงจรส่วนแรกจะถูกเปลี่ยนให้มีขนาดเหมาะสมกับการควบคุม transmission gate ด้วยวงจร Differential Cascode Voltage Switch (DCVS) ทำให้วงจรเทอร์นารีชมิทต์ทริกเกอร์ที่ออกแบบด้วยเทคนิคนี้ สามารถสร้างขึ้นด้วยกระบวนการผลิตวงจรรวมซิลิคอนไดออกไซด์ทั่วไป และง่ายต่อการควบคุม ช่วยให้การออกแบบวงจรรวมดิจิทัลแบบชมิทต์ไบนารีไปอย่างเป็นระบบ การทดสอบวงจรจะที่ใช้โปรแกรมจำลอง PSPICE ซึ่งในบทความนี้จะใช้แบบจำลองของสารานวัสดุของ MOSIS เทคโนโลยี 0.05 μm เพื่อแสดงการทำงานของวงจรที่ออกแบบด้วยเทคนิคที่นำเสนอ

คำสำคัญ: สัญญาณสามระดับ, วงจรชมิทต์ทริกเกอร์

Abstract

This paper proposes the ternary Schmitt trigger circuit design based on CMOS transmission gate which can be divided to two parts, the binary Schmitt trigger circuit generating the controlling signal and CMOS transmission gate constructing three-level (ternary) logic output signal. The controlling signal of the first part will be conditioned appropriate to control the transmission gate by Differential Cascode Voltage Switch circuit (DCVS). Therefore, the ternary logic which is designed by using the proposed technique can be implemented with normal, well controlled CMOS fabrication process, and suitable for the systematic CMOS digital integrated circuit design. The simulation is performed by PSPICE program simulator with the MOS transistor model from MOSIS technology 0.05 μm . All results confirm the success of the proposed technique.

Key words: ternary logic, Schmitt trigger

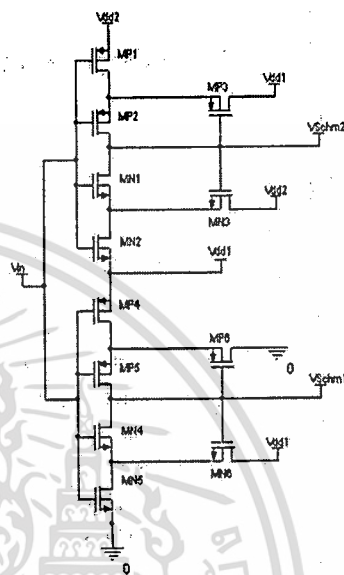
1. บทนำ

วงจรรวมดิจิทัลแบบ Multiple-valued logic (MVL) เป็นการออกแบบวงจรรวมประเภทหนึ่ง ซึ่งถูกออกแบบมาเพื่อลดข้อจำกัดด้านความหนาแน่นของสายสัญญาณต่อปริมาณข้อมูล ซึ่งเป็นอุปสรรคสำคัญสำหรับการออกแบบวงจรรวมแบบดิจิทัล จากจำนวนสายสัญญาณที่เชื่อมโยงภายในวงจร และการเชื่อมโยงสัญญาณออก อันมีผลมาจากปริมาณข้อมูลที่ใช้ในการประมวลผลมีมากขึ้นเพื่อรองรับกับความต้องการของผู้ใช้งาน จากข้อจำกัดของวงจรรวมแบบไบนารี ซึ่งสามารถส่งข้อมูลเพียง '0' หรือ '1' ในแต่ละบิตและในช่วงเวลาหนึ่งๆ มาเป็นการส่งข้อมูลหลายระดับสัญญาณ ทำให้ความหนาแน่นปริมาณข้อมูลข่าวสาร (information

density) ภายในวงจร และความสามารถในการส่งข้อมูลข่าวสาร (information-carrying) สูงกว่าวงจรรวมดิจิทัลแบบไบนารีทั่วไป แต่ด้วยจำนวนระดับสัญญาณที่มีหลายระดับ ทำให้การออกแบบวงจรทำได้ลำบาก และไม่สามารถนำเทคนิคการออกแบบวงจรรวมดิจิทัลแบบไบนารีมาใช้ได้ โดยเฉพาะอย่างยิ่งวงจรรวมชมิทต์ทริกเกอร์ที่อาศัยการป้อนกลับในการควบคุมการทำงานของวงจร ซึ่งมีลักษณะเดียวกับวงจร sequential ทั้งที่วงจรรวมชมิทต์ทริกเกอร์เป็นวงจรพื้นฐานที่สำคัญและถูกนำมาใช้อย่างแพร่หลาย โดยพบได้ทั้งในงานด้านระบบอนาล็อกและดิจิทัล และมีจุดประสงค์ในการทำงานแตกต่างกันไปในแต่ละด้าน เช่น ใช้เพื่อแก้ไขปัญหาวงจรสัญญาณรบกวน ประยุกต์ใช้งานในวงจร ไมโครสเตเบิล เช่น วงจร

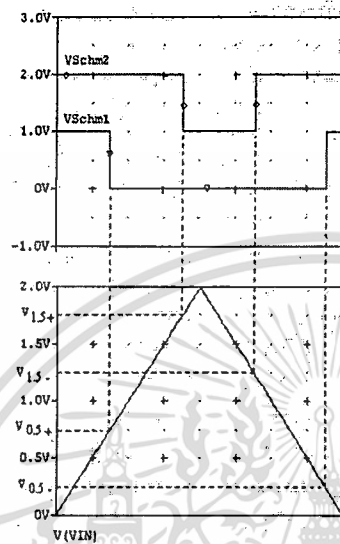
กำเนิดสัญญาณสี่เหลี่ยม และวงจรมอดูเลตความกว้างพัลส์ การออกแบบวงจรไบโনারีซิมิตต์ทริกเกอร์สามารถทำได้ด้วยการออกแบบใช้งานอุปกรณ์สำเร็จรูป (Building Block) เช่น ไซออปแอมป์ [1] โอทีเอ [2] และวงจรถ่ายพจนกระแส [3] เป็นต้น ที่ทำงานในโหมดแรงดัน หรือ วงจร CCCDTA (Current-Controlled Current Differencing Transconductance Amplifier) [4] ซึ่งทำงานในโหมดกระแส อย่างไรก็ตามการออกแบบด้วย Building block เมื่อจะสะดวกแต่ก็ทำให้วงจรมีขนาดใหญ่ โดยเฉพาะสำหรับวงจรรวมดิจิทัล ต่างกับการออกแบบในระดับทรานซิสเตอร์ (Transistor Level) ซึ่งการออกแบบในลักษณะนี้ เหมาะสมกับงานเฉพาะด้าน เช่น งานที่ใช้กำลังงานต่ำและความเร็วสูง [5] สวิตซ์ส่งผ่านกระแส [6] เป็นต้น เมื่อการออกแบบวงจรมิตต์ทริกเกอร์แบบไบนารีจะมีการพัฒนาออกแบบมาเป็นอย่างดี แต่กลับไม่สามารถนำมาใช้กับการออกแบบวงจรที่มีหลายระดับสัญญาณและแม้ว่าการนำเสนองจรซิมิตต์ทริกเกอร์แบบหลายระดับสัญญาณก็มักออกแบบในรูปแบบวงจรรีซีควเินเชียล [7] ซึ่งทำให้วงจรมีขนาดใหญ่หรือทำงานในโหมดกระแส [8-9] บทความนี้จะนำเสนอวิธีการออกแบบวงจรถ่านรีซีซิมิตต์ทริกเกอร์แบบซิมิตต์ทำงานในโหมดแรงดัน บนพื้นฐานของวงจรมัลติเพล็กซ์แบบ transmission gate [10] ซึ่งพัฒนามาจาก วงจร MVL แบบ pass-transistor [11] โดยอาศัยการปรับสัญญาณควบคุมให้เหมาะสม ด้วยวงจรถ่าน Differential Cascode Voltage Switch (DCVS) เพื่อหลีกเลี่ยงการใช้ทรานซิสเตอร์ที่มีหลายค่าเทรคโวลต์ ซึ่งเป็นเรื่องยากในขั้นตอนกระบวนการผลิตและส่งอาจส่งผลให้มีราคาแพง ในส่วนที่สองจะกล่าวถึงการออกแบบวงจรรีซีซิมิตต์ทริกเกอร์ควบคุมซิมิตต์ทริกเกอร์ซึ่งมีพื้นฐานมาจากวงจรถ่านรีซีซิมิตต์ทริกเกอร์ [12] จากนั้นในส่วนที่สามจะกล่าวถึงการออกแบบวงจรถ่านรีซีซิมิตต์ทริกเกอร์แบบ transmission gate โดยการใช้โปรแกรมจำลอง PSPICE โดยแบบจำลองของทรานซิสเตอร์ของ MOSIS เทคโนโลยี 0.05 μm (ฉากศนวน) เพื่อแสดงการทำงานของวงจรถ่านด้วยเทคนิคที่นำเสนอ โดยกำหนดให้ทรานซิสเตอร์ทุกตัวมีขนาดเท่ากันคือ NMOS มีขนาดความกว้างต่อความยาวของทางเดินกระแส (W/L) เท่ากับ $2 \mu\text{m} / 0.5 \mu\text{m}$ และ PMOS มีขนาดเท่ากับ $4 \mu\text{m} / 0.5 \mu\text{m}$

2. วงจรสร้างสัญญาณควบคุมซิมิตต์ทริกเกอร์



รูปที่ 1 วงจรสร้างสัญญาณควบคุมซิมิตต์ทริกเกอร์

วงจรถ่านส่วนหน้าซึ่งทำหน้าที่สร้างสัญญาณควบคุมซิมิตต์ทริกเกอร์นี้ประกอบด้วยวงจรถ่านไบนารีซิมิตต์ทริกเกอร์ 2 วงจรเรียงต่อกันคือ วงจรส่วนบนซึ่งประกอบด้วยทรานซิสเตอร์ MP1-MP3 และ MN1-MN3 ซึ่งจะให้สัญญาณควบคุมแบบไบนารี VSchm2 และวงจรถ่านล่างที่ประกอบด้วยทรานซิสเตอร์ MP4-MP6 และ MN4-MN6 ซึ่งจะให้สัญญาณควบคุมแบบไบนารี VSchm1 เมื่อทำการคู้แรงดันแหล่งจ่าย Vdd2, Vdd1 และ Ground ที่ขา Source ของ MP1, MN2 และ MN5 ตามลำดับ ทำให้สัญญาณควบคุม VSchm2 และ VSchm1 มีช่วงแคว้งสัญญาณระหว่าง Vdd2-Vdd1 และ Vdd1-Ground ตามลำดับ ในการออกแบบวงจรมีได้กำหนดให้ Vdd2 มีค่าเท่ากับ 2 โวลต์แทนลอจิก 2 Vdd1 มีค่าเท่ากับ 1 โวลต์แทนลอจิก 1 และ Ground มีค่าเท่ากับ 0 โวลต์แทนลอจิก 0 โดย VSchm2 จะเปลี่ยนสถานะเป็น low (Vdd1) เมื่อสัญญาณอินพุต Vin มีค่ามากกว่าศักดาเทรคโวลต์ V_{th} และจะกลับเป็นสถานะ high (Vdd2) อีกครั้งเมื่อมีค่าน้อยกว่า V_{th} เช่นเดียวกับ VSchm1 จะเปลี่ยนสถานะเป็น low (Ground) เมื่อสัญญาณอินพุต Vin มีค่ามากกว่าศักดาเทรคโวลต์ V_{th} และจะกลับเป็นสถานะ high (Vdd1) อีกครั้งเมื่อมีค่าน้อยกว่า V_{th} ดังแสดงในรูปที่ 2



รูปที่ 2 สัญญาณควบคุม VSchm1 และ VSchm2

สังเกตว่าทั้งวงจรส่วนบนและล่างคั้งประกอบด้วยโครงข่าย PMOS และ NMOS ที่สมมาตรกันแบบวงจรซีมอส เพื่อสะดวกต่อการอธิบายการทำงานวงจรจะกล่าวถึงเฉพาะวงจรโครงข่าย NMOS ของวงจรส่วนล่างซึ่งประกอบด้วย MN4-MN6 โดย MN4 คือสวิตช์หลักของวงจร ขณะที่ MN5 และ MN6 ทำงานเป็นวงจรป้องกัน เมื่อกำหนดให้สภาวะเริ่มต้น $V_{in} = 0$ และมีค่าเพิ่มขึ้น ทรานซิสเตอร์จะยังไม่ทำงาน (cut off) และสามารถแสดงความสัมพันธ์ของแรงดันได้ดังนี้

$$\begin{aligned} V_{GS(MN5)} &= V_{in} \\ V_{GS(MN4)} &= V_{in} - V_{DS(MN5)} \\ V_{GS(MN6)} &= VSchm1 - V_{DS(MN5)} \end{aligned} \quad (1)$$

MN5 จะนำกระแสเมื่อ $V_{GS(MN5)} = V_{th(MN5)}$ แต่ MN4 ต้องการแรงดันอินพุตเท่ากับ $V_{in} = V_{th(MN4)} + V_{DS(MN5)} = V_{0.5}$ ในการนำกระแส เนื่องจาก $V_{DS(MN4)}$ ถูกควบคุมโดย MN5 และ MN6 ดังนั้น เมื่อ V_{in} เพิ่มขึ้นทำให้ $V_{DS(MN5)}$ ลดค่าลงถึงจุดที่กำหนดไว้ MN4 จะเริ่มนำกระแสและทำให้ VSchm1 = 0 (Ground)

ในการปรับค่าแรงดัน trigger $V_{0.5}$ หากสมมติให้ผลของ body effect มีค่าน้อยมากเนื่องจากการต่อ bulk เข้ากับขา source ของทรานซิสเตอร์ และกำหนดให้ศักดาเทรชโวลต์ของ PMOS และ NMOS มีค่าเท่ากับ $V_{th(MP)}$ และ $V_{th(MN)}$ ตามลำดับ ดังนั้นในการทำให้ MN4 นำกระแส ต้องทำให้

$V_{DS(MN5)} \leq V_{0.5} - V_{th(MN)}$ และค่ากระแสในช่วงอิมิตคือ $I_{DS(MN5)} = (\beta_{MN5}/2)(V_{0.5} - V_{th(MN)})^2$ และ MN6 จะอยู่ในช่วงอิมิตด้วยเมื่อ $V_{DS(MN6)} = V_{GS(MN5)}$ ดังนั้น $I_{DS(MN6)} = (\beta_{MN6}/2)(V_{0.5} - V_{0.5})^2$ และกระแส $I_{DS(MN5)} = I_{DS(MN6)}$ ดังนั้นค่าแรงดัน trigger $V_{0.5}$ เท่ากับ

$$V_{0.5} = \frac{V_{dd1} + \sqrt{\beta_{MN5} / \beta_{MN6}} V_{th(MN)}}{1 + \sqrt{\beta_{MN5} / \beta_{MN6}}} \quad (2)$$

จากสมการจะเห็นว่าสามารถปรับค่า $V_{0.5}$ ได้จากการเปลี่ยนอัตราส่วน $\beta_{MN5} / \beta_{MN6} = (W/L)_{MN5} / (W/L)_{MN6}$ ในทำนองเดียวกันเมื่อวิเคราะห์โครงข่าย PMOS (MP4-MP6) กำหนดค่าแรงดัน trigger $V_{0.5}$ สามารถกำหนดได้โดย

$$V_{0.5} = \frac{\sqrt{\beta_{MP4} / \beta_{MP6}} (V_{dd1} - V_{th(MP)})}{1 + \sqrt{\beta_{MP4} / \beta_{MP6}}} \quad (3)$$

และสำหรับวงจรส่วนบน

$$V_{1.5} = \frac{(V_{dd2} - V_{dd1}) + \sqrt{\beta_{MN2} / \beta_{MN3}} V_{th(MN)} + V_{dd1}}{1 + \sqrt{\beta_{MN2} / \beta_{MN3}}} \quad (4)$$

$$V_{1.5} = \frac{\sqrt{\beta_{MP1} / \beta_{MP3}} (V_{dd2} - V_{dd1} - V_{th(MP)}) + V_{dd1}}{1 + \sqrt{\beta_{MP1} / \beta_{MP3}}} \quad (5)$$

วงจรที่นำเสนอนี้กำหนดให้ $\beta_{MN5} / \beta_{MN6}$, $\beta_{MP4} / \beta_{MP6}$, $\beta_{MN2} / \beta_{MN3}$ และ $\beta_{MP1} / \beta_{MP3}$ มีค่าเท่ากับ 1 (กำหนดให้ PMOS ทุกตัวมีขนาดเท่ากัน และ NMOS ทุกตัวมีขนาดเท่ากัน) หากกำหนดให้ค่า $V_{th(MP)} = -0.58V$ และ $V_{th(MN)} = 0.62V$ ดังนั้น $V_{0.5} = 0.62V$, $V_{0.5} = 0.21V$, $V_{1.5} = 1.62V$ และ $V_{1.5} = 1.21V$

3. วงจรเทอร์นารีชนิดตรีทริกเกอร์

หากกำหนดให้วงจรเทอร์นารีลอจิกมีฟังก์ชัน $f(x)$ ที่มีอินพุต x และมีเอาต์พุต C_i โดยที่ $x, C_i \in \{0,1,2\}$ ดังนั้น

$$f(x) = C_0 * (x^{0.5}) \# C_1 * (0.5 * x^{1.5}) \# C_2 * (1.5 * x) \quad (6)$$

โดยการดำเนินการ

$$C_t * x' = \begin{cases} \phi & (\text{if } x > t) \\ C_t & (\text{if } x < t) \end{cases} \quad (7)$$

และ

$$C_t * 'x = \begin{cases} C_t & (\text{if } x > t) \\ \phi & (\text{if } x < t) \end{cases} \quad (8)$$

โดยที่ ϕ หมายถึง เซตว่าง (ไม่มีเอาต์พุตใดๆ) กำหนดให้ t เป็นค่าเทรชโฮลด์ และ $t \in (0.5, 1.5)$ สังเกตว่า x' มีสถานะเพียงสองสถานะแบบไบนารีคือเป็นจริง เมื่อ $x < t$ และเป็นเท็จเมื่อ $x > t$ ตามลำดับ ในทางกลับกัน $'x$ จะให้ค่าเป็นจริง $x > t$ และเป็นเท็จเมื่อ $x < t$ ดังนั้นการดำเนินการ $C_t * x'$ และ $C_t * 'x$ ซึ่งสามารถสร้างด้วยวงจร transmission gate แบบ CMOS โดยอาศัย x' และ $'x$ เป็นสัญญาณควบคุมดังแสดงในรูปที่ 3 โดยวงจร threshold-t gate (x' และ $'x$) สามารถสร้างขึ้นจากวงจร DVCS inverter ร่วมกับวงจร CMOS inverter ดังแสดงในรูปที่ 4

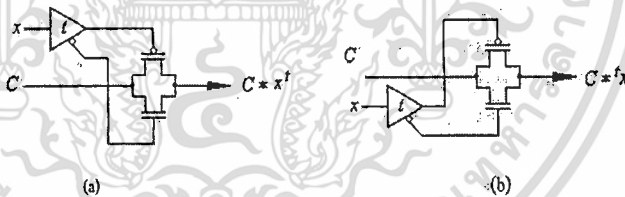
การทำงานของวงจร threshold-t gate เมื่อ $t = 0.5$ (รูปที่ 4 (a)) สัญญาณอินพุต x ซึ่งมีค่าได้ 3 สถานะ (0, 1 และ 2) จะถูกแปลงให้มีสถานะเหลือเพียงสองสถานะ (0, 1) ด้วย CMOS inverter (MP1-MN1, MP2-MN2 และ MP3-MN3) โดย $x > t (=0.5)$ จะถูกมองให้มีสถานะ 1 จากนั้นจึงถูกแปลงให้มีสถานะเป็น (0, 2) อีกครั้งด้วยวงจร DVCS inverter (MN4-5, MP4-5) จากการ

ป้อนกลับภายในเพื่อให้ได้ระดับศักดาเหมาะกับกรควบคุมวงจร transmission gate คือไปสำหรับวงจร threshold-t gate เมื่อ $t = 1.5$ (รูปที่ 4(b)) การทำงานมีลักษณะเช่นเดียวกันคือสัญญาณ x จะถูกแปลงให้มีเพียงสองสถานะคือ (1, 2) ด้วย CMOS inverter โดยสัญญาณที่มีค่า $x < t (=1.5)$ จะถูกมองให้มีสถานะ 1 จากนั้นจึงถูกแปลงให้มีสถานะเป็น (0, 2)

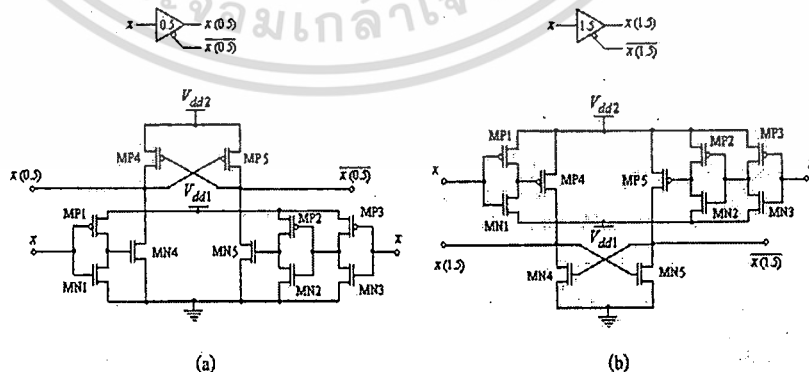
สำหรับวงจรเทอร์นารีแบบสองอินพุต (x, y) ซึ่งมีฟังก์ชันในสมการที่ (8) สามารถสร้างขึ้นได้ด้วยวิธีการเดียวกัน

$$f(x, y) = C_0 * (x^{0.5} * y^{0.5}) \# C_1 * (x^{0.5, 0.5} * y^{1.5, 1.5}) \# C_2 * (x^{0.5, 1.5} * y^{1.5, 1.5}) \# C_3 * (x^{0.5} * x^{1.5} * y^{0.5}) \# C_4 * (x^{0.5} * x^{1.5} * y^{0.5} * x^{1.5}) \# C_5 * (x^{0.5} * x^{1.5} * y^{1.5}) \# C_6 * (x^{1.5} * y^{0.5}) \# \dots \quad (9)$$

สำหรับวงจรมินิมัลลิสม์สำหรับฟังก์ชันเทอร์นารีอันดับ 2 สัญญาณอินพุตสัญญาณคือ VSchm1 และ VSchm2 ที่ได้จากวงจรมินิมัลลิสม์สัญญาณควบคุมชนิดตรรกะในรูปที่ 1 และมีตารางความจริงดังตารางที่ 1 โดย VSchmitt เป็นสัญญาณเอาต์พุต



รูปที่ 3 วงจร transmission gate และ t-threshold gate สำหรับตัวดำเนินการ (a) $C_t * x'$ และ (b) $C_t * 'x$



รูปที่ 4 วงจร threshold-t gate แบบ DVCS (a) $t = 0.5$ และ (b) $t = 1.5$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้拿去ใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 1 ตารางความจริงวงจรมิคท์ทริกเกอร์

VSchm1	VSchm1 ^{0.5}	VSchm2	VSchm2 ^{1.5}	VSchmitt
0	0	2	2	1
0	0	1	0	2

เมื่อทำการลดรูปสมการด้วย K-map ทำให้ได้ฟังก์ชันลดรูปในสมการที่ (9)

$$V_{Schmitt} = 2 * (V_{Schm1}^{0.5} * V_{Schm2})$$

$$\#1 * (V_{Schm1} * V_{Schm2}^{1.5})$$

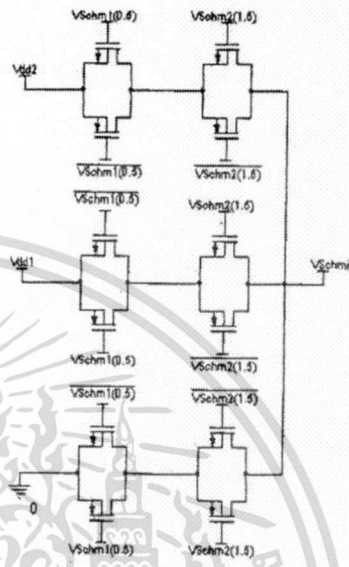
$$\#0 * (V_{Schm1}^{0.5} * V_{Schm2}^{1.5})$$

ซึ่งสามารถแสดงได้ในรูปที่ 5 การจำลองการทำงานใช้แบบจำลองมอสทรานซิสเตอร์ของ MOSIS เทคโนโลยี 0.05 ไมครอน ด้วยโปรแกรม PSPICE โดยกำหนดให้ลอจิก 2, 1 และ 0 มีค่าค้ำค่าเท่ากับ 2V, 1V และ 0V ตามลำดับ ผลการจำลองวงจรมิคท์ทริกเกอร์ด้วยวงจรควบคุม มิคท์ทริกเกอร์ พบว่า $V_{0.5+} = 0.74V$, $V_{0.5-} = 0.37V$, $V_{1.5+} = 1.58V$ และ $V_{1.5-} = 1.27V$ ดังแสดงในรูปที่ 6

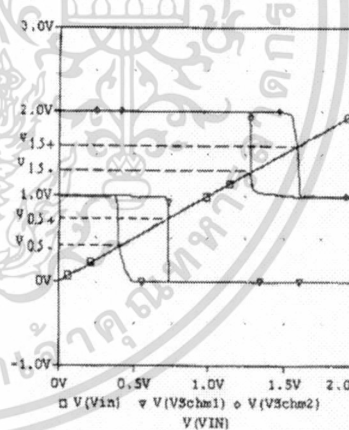
เมื่อมีอนติยูนิฟายที่ได้จากวงจรมิคท์ทริกเกอร์ควบคุมผ่าน threshold gate ในรูปที่ 4 เพื่อใช้ในการควบคุม transmission gate ในวงจรเทอร์นารีมิคท์ทริกเกอร์ (รูปที่ 5) ผลสัญญาณเอาต์พุต (VSchmitt) ดังแสดงในรูปที่ 7

4. สรุป

การออกแบบวงจรมิคท์ทริกเกอร์ที่นำเสนอในบทความนี้ สร้างขึ้นจกวงจรมิคท์ทริกเกอร์ควบคุมมิคท์ทริกเกอร์บนพื้นฐานของวงจรมิคท์ทริกเกอร์สามอินพุต ซึ่งถูกพัฒนาขึ้นและคุ้นเคยดีสำหรับนักออกแบบวงจรมิคท์ทริกเกอร์ สัญญาณควบคุมดังกล่าวถูกนำไปใช้เพื่อควบคุมวงจรมิคท์ทริกเกอร์แบบ transmission gate อีกชั้นหนึ่ง ทั้งสองวงจร ดังถูกออกแบบบนเทคโนโลยีการผลิตวงจรรวม CMOS มาตรฐานทั่วไปและสามารถสร้างรวมเข้ากับวงจรมิคท์ทริกเกอร์อื่น ๆ ที่ได้ออกแบบไว้เรียบร้อยแล้ว ทำให้การออกแบบวงจรมิคท์ทริกเกอร์บนชิปวงจรรวมเดียวกันสามารถทำได้ภายใต้เทคโนโลยีการผลิต

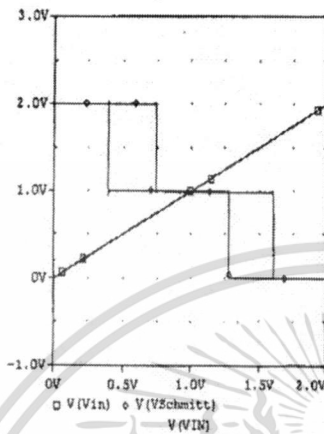


รูปที่ 5 วงจร Ternary Schmitt trigger



รูปที่ 6 ผลจำลองการทำงานวงจรมิคท์ทริกเกอร์ควบคุมมิคท์ทริกเกอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 7 ผลจำลองการทำงานวงจรเทอร์นาเรียนซ์มีคัทริกเกอร์

5. เอกสารอ้างอิง

[1] Cornmeroon, J.C., Badard R., "Schmitt trigger oscillator and its synchronisation by an external square oscillator," *Circuits, Devices and Systems, IEE Proceedings, Vol. 149, pp.221-226, 2002*

[2] Kim, K., Cha H.W., Chung, W.S., "OTA-R Schmitt trigger with independently controllable threshold and output voltage levels," *Electronics Letters, Vol. 33, pp.1103-1105, 1997.*

[3] Almasahry B., Alhokail H., "Current-mode triangular wave generator using CCLs," *Microelectronics Journal, Vol. 31, pp. 239-243, 2000.*

[4] กมล ศิลาพันธ์ และ มนตรี ศิริปัญญานันท์, "วงจรมิคัทริกเกอร์โหมคระแสที่สามารถควบคุมขนาดฮิสเตอร์ิซีสและขนาดเอคัพคัตด้วยกระแสอย่างอิสระต่อกันและการประยุกต์ใช้งาน", *วารสารวิชาการพระจอมเกล้าพระนครเหนือ* ปีที่ 17, ฉบับที่ 3, ก.ย.- ธ.ค. 50, หน้า 30 - 38

[5] Pedroni, V.A., "Low-voltage high-speed Schmitt trigger and compact window comparator," *Electronics Letters, Vol. 41, pp. 1213-1214, 2005.*

[6] Guoqiang, H., "Theory of Current Transmission Switches and Its Application to Design of Novel Current-Mode CMOS Ternary Schmitt Trigger," *Electronics Letters, Vol. 41, pp.346-349, 2005.*

[7] X. Wu, P. Wang and Y. Xia, "Design of Ternary Schmitt Triggers Based on Its Sequential Characteristics," *Proc. ISMVL, pp. 156-160, 2002*

[8] M. Miura and T. Hanyu, "Highly Reliable Multiple-Valued Current-Mode Comparator Based on Active-Load Dual-Rail Differential Logic," *IEICE Trans Electron, E91-C: 589-594, 2008*

[9] K. Angkaew, S. Wisetphanichkij, K. Dejhan, S. Junnapiya and C. Soonyeekean, "A design of ternary Schmitt trigger circuit," *Proc. of the 8th International Symposium on IC Technology, Systems & Applications (ISIC-99), pp.282-285, Singapore, September 9-10, 1999.*

[10] สมพงษ์ วิเศษพนิชกิจ, พิรัช สุวรรณสอยถ้อง และ กอบชัย เดชหาญ, การออกแบบวงจรถอร์นาเรียลลจิก, *วิศวกรรมสารฉบับที่ 25 ฉบับที่ 4 (ธ.ค. 255) หน้า 1-6*

[11] X. Wu and F. Prosser, "Ternary CMOS Sequential Circuit," *Proc. of the 18th International Symposium on MVL, pp.307-313, 1988*

[12] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, New York, 2000

ภาคผนวก

ตารางที่ 2 SPICE พารามิเตอร์ของโมเดลทรานซิสเตอร์

```
(LEVEL=3 UO=100 TOX=1.0E-8 TPG=1 VTO=-0.58
+JS=0.38E-6 XJ=0.10U RSH=1.81 LD=0.03U
+VMAX=113E3 NSUB=2.08E17 PB=0.911 ETA=00
+THETA=0.120 PHI=0.905 GAMMA=0.76 KAPPA=2
+CJ=85E-5 MJ=0.429 CJSW=4.67E-10 MJSW=0.631
+CGSO=1.38E-10 CGDO=1.38E-10 CGBO=3.45E-10
+KF=1.08E-29 AF=1 WD=0.14U DELTA=0.81
+NFS=0.52E11)
```

```
(LEVEL=3 UO=460.5 TOX=1.0E-8 TPG=1 VTO=0.62
+JS=1.08E-6 XJ=0.15U RSH=2.73 LD=0.04U
+VMAX=130E3 NSUB=1.71E17 PB=0.761 ETA=00
+THETA=0.129 PHI=0.905 GAMMA=0.69
+KAPPA=0.10 CJ=76.4E-5 MJ=0.357 CJSW=5.68E-10
+MJSW=0.302 CGSO=1.38E-10 CGDO=1.38E-10
+CGBO=3.45E-10 KF=3.07E-28 AF=1 WD=0.11U
+DELTA=0.42 NFS=1.2E11)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ประวัติผู้เขียน

ชื่อ-นามสกุล นายชัยณรงค์ หาญชนะ
 วัน เดือน ปีเกิด 13 ธันวาคม 2522 ที่จังหวัดเลย
 ที่อยู่ 40/92 หมู่ที่ 14 แขวงสามวาตะวันตก เขตคลองสามวา กรุงเทพมหานคร
 10510 โทรศัพท์ 02-3768192
 ประวัติการศึกษา อุตสาหกรรมศาสตรบัณฑิต สาขาวิศวกรรมไฟฟ้า
 คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี ปี 2546

ประสบการณ์ในการทำงาน
 ทำงานอยู่บริษัทเดี่ยวเซรามิต้า พ.ศ.2539 จนถึงปัจจุบัน



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้