

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

**วงจรมุมและคงค่าสัญญาณโดยใช้ตัวหาค่าต่ำสุดและตัวตรวจจับ
ถ่ายถอดสัญญาณ**

**A SAMPLE AND HOLD CIRCUIT USING MINIMUM FINDER AND
PEAK DETECTOR**



T117098



เลขหมู่.....
เลขทะเบียน 117089
วันเดือนปี 23 ส.ค. 2554

b.....
i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมระบบควบคุม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
พ.ศ.2553

KMITL-2010-EN-M-080-145

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**A SAMPLE AND HOLD CIRCUIT USING MINIMUM FINDER AND
PEAK DETECTOR**



**A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENTS FOR THE DEGREE OF
MASTER OF ENGINEERING IN CONTROL ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG**

2010

KMITL-2010-EN-M-080-145

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



COPYRIGHT 2010

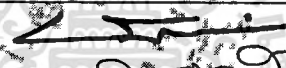


FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ วงจรสุ่มและคงค่าสัญญาณ โดยใช้ตัวหาค่าต่ำสุดและตัวตรวจจับค่ายอดสัญญาณ
Thesis Title A Sample and Hold Circuit Using Minimum Finder and Peak Detector
นักศึกษา นายอมต หลวงพล
รหัสประจำตัว 50060510
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมระบบควบคุม
อาจารย์ที่ปรึกษาวิทยานิพนธ์ รศ.ดร.วันชัย ธีรรัฐจา
หมายเลขวิทยานิพนธ์ KMITL-2010-EN-M-080-145

คณะกรรมการสอบวิทยานิพนธ์	ลายมือชื่อ
รศ.ดร.วรวงศ์ ตั้งศิริวรณ์	
รศ.ดร.วิทยา ทิพย์สุวรรณพร	
ดร.อนุชา แก้วฟูสุข	
ดร.วรรณดี เพชรมณีคำ	
รศ.ดร.วันชัย ธีรรัฐจา	

วัน/เดือน/ปี ที่สอบ วันอังคารที่ 12 ตุลาคม พ.ศ. 2553 เวลา 13.00-15.00 น.

สถานที่สอบ ณ อาคาร A ชั้น 5 ห้องประชุมคณะกรรมการประจำส่วนงานวิชากร
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว

(รองศาสตราจารย์ ดร.สุชนวีร์ สุวรรณสวัสดิ์)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 12 ตุลาคม พ.ศ. 2553

สำนักทะเบียนและประมวลผล สจก.
วันที่ส่งเล่มวิทยานิพนธ์ฉบับสมบูรณ์
วันที่ 21 เดือน ต.ค. ปี พ.ศ. 53
ลงชื่อ.....

เอกสารนี้เป็นการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่าในรูปแบบใดก็ตาม หากมีเหตุเปลี่ยนแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	วงจรสุ่มและคงค่าสัญญาณ โดยใช้ตัวหาค่าต่ำสุดและตัวตรวจจับ ค่าออกสัญญาณ
นักศึกษา	นายอมต หลวงพล
รหัสนักศึกษา	50060510
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมระบบควบคุม
พ.ศ.	2553
อาจารย์ที่ปรึกษาวิทยานิพนธ์	รศ.ดร.วันชัย ธีรรัฐจา

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้นำเสนอวงจรสุ่มและคงค่าสัญญาณกระแสโดยใช้ตัวหาค่ากระแสต่ำสุดทำหน้าที่สุ่มค่าสัญญาณแทนการสุ่มค่าแบบสวิตช์ และใช้วงจรตรวจจับค่าออกกระแสทำหน้าที่คงค่าสัญญาณ วงจรที่นำเสนอสามารถลดค่าความผิดพลาดที่เกิดจากการป้อนสัญญาณนาฬิกาผ่าน ทดสอบสมรรถนะของวงจรที่นำเสนอโดยการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE ผลการเลียนแบบการทำงานของวงจร สามารถยืนยันได้ว่าวงจรที่ออกแบบสอดคล้องเป็นไปตามหลักการที่ได้นำเสนอ

Thesis Title A Sample and Hold Circuit Using Minimum Finder
and Peak Detector

Student Mr. Amata Luangpol

Student ID. 50060510

Degree Master of Engineering

Program Control Engineering

Year 2010

Thesis Advisor Assoc.Prof.Dr.Vanchai Riewruja

ABSTRACT

This thesis presents a current signal sample-and-hold (*S/H*) circuit using 0.5 μ m CMOS technology. A current minimum circuit is used to sample the input signal in place of a sampling switch used in the conventional *S/H* circuit. The current peak detector is used to hold the signal from the minimum circuit in the "hold" state. The proposed configuration is adopted effectively to cancel switch feedthrough error. The performances of the proposed circuit are demonstrated using the PSPICE analog simulation. Simulation results verified the performance of the scheme are agreed with the expected values.

กิตติกรรมประกาศ

วิทยานิพนธ์นี้สำเร็จลุล่วงไปด้วยดี ผู้เขียนขอกราบขอบพระคุณ รศ.ดร.วันชัย ธีร์รุจา อาจารย์ผู้ควบคุมวิทยานิพนธ์ เป็นอย่างสูง ที่ได้กรุณาเสียสละเวลาอันมีค่า ให้ความรู้ ความคิดริเริ่ม คำปรึกษาและแนวทางการแก้ไขปัญหาดังต่าง ๆ มาโดยตลอดระยะเวลาที่ศึกษา

ขอขอบคุณ ดร.วรรณดี เพชรณณิล้ำค่า และ อาจารย์เทพจิตร เชยโกคา อาจารย์ประจำ สาขาวิชาวิศวกรรมการวัดและควบคุม ที่ช่วยเหลือในการตรวจสอบผลการวิจัยและให้คำแนะนำต่าง ๆ ทำให้การจัดทำวิทยานิพนธ์นี้มีความสมบูรณ์มากยิ่งขึ้น

ขอขอบคุณ คุณวิโรจน์ วุฒิ นักวิจัยประจำสาขาวิชาวิศวกรรมการวัดและควบคุม และคุณ อริสพา เตห์ลิ้ม ที่ช่วยเหลือในการเรียนและจัดทำวิทยานิพนธ์

ขอขอบคุณบิดา และมารดา ที่มอบความรัก ความห่วงใย เป็นกำลังใจให้การสนับสนุนในการศึกษามาโดยตลอด

สุดท้าย ขอขอบคุณ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ที่ให้โอกาส และทุนสนับสนุนในการศึกษาต่อ

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์นี้ ผู้เขียนขอมอบแต่บิดา-มารดาและผู้มีพระคุณทุกท่าน

อมต หลวงพล

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
รายการสัญลักษณ์.....	X
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	2
1.3 ขอบเขตการวิจัย.....	2
1.4 รายละเอียดของวิทยานิพนธ์.....	2
บทที่ 2 วงจรส้อมและคงค่าสัญญาณ.....	4
2.1 บทนำ.....	4
2.2 หลักการทำงานของวงจรส้อมและคงค่าสัญญาณ.....	4
2.3 คุณลักษณะของวงจรส้อมและคงค่า.....	5
2.3.1 ช่วงส้อมสัญญาณ.....	6
2.3.2 ช่วงการเปลี่ยนจากการส้อมไปคงค่าสัญญาณ.....	6
2.3.3 ช่วงคงค่าสัญญาณ.....	8
2.3.4 ช่วงการเปลี่ยนจากการคงค่าสัญญาณไปส้อมสัญญาณ.....	9
2.4 วงจรส้อมและคงค่าแบบพื้นฐาน.....	10
2.4.1 วงจรรูปเปิด.....	10
2.4.2 วงจรรูปปิด.....	11
2.5 การนำวงจรไปใช้งาน.....	12
2.6 สรุป.....	15
บทที่ 3 กลุ่มวงจรย่อยที่ใช้ในการออกแบบ.....	16
3.1 บทนำ.....	16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา แก่ IV ของอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
3.2 วงจรสะท้อนกระแสแบบพื้นฐาน.....	16
3.2.1 การทำงานของวงจรสะท้อนกระแส.....	16
3.2.2 การวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแส.....	17
ก. การวิเคราะห์ความต้านทานจุดเข้าและจุดออก.....	18
ข. การวิเคราะห์อัตราขยายกระแสสำหรับสัญญาณขนาดเล็ก.....	20
ค. การวิเคราะห์ค่าความผิดพลาดของวงจร.....	21
3.3 วงจรหาค่ากระแสต่ำสุด.....	22
3.3.1 การทำงานของวงจรหาค่ากระแสสูงสุด.....	22
3.3.2 การทำงานของวงจรหาค่ากระแสต่ำสุด.....	24
3.3.3 การวิเคราะห์คุณสมบัติการทำงานของวงจรหาค่ากระแสต่ำสุด.....	26
ก. การวิเคราะห์ช่วงปฏิบัติการของกระแสอินพุต.....	26
ข. การวิเคราะห์ความผิดพลาดของวงจร.....	28
ค. การวิเคราะห์ผลตอบสนองทางความถี่ของวงจร.....	29
3.4 วงจรตรวจจับค่ายอดสัญญาณกระแส.....	32
3.4.1 การทำงานของวงจรตรวจจับค่ายอดสัญญาณกระแส.....	32
3.4.2 การวิเคราะห์คุณสมบัติการทำงานของวงจรตรวจจับค่ายอดสัญญาณกระแส.....	34
ก. การวิเคราะห์ความต้านทานจุดเข้า.....	35
ข. การวิเคราะห์ความต้านทานจุดออก.....	36
ค. การวิเคราะห์ผลตอบสนองทางความถี่ของวงจร.....	37
3.5 วงจรอินเวอร์เตอร์.....	38
3.6 สรุป.....	40
บทที่ 4 วงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสที่นำเสนอ.....	41
4.1 บทนำ.....	41
4.2 วงจรสุ่มและคงค่าสัญญาณกระแสที่ได้ทำการออกแบบ.....	41
4.3 การวิเคราะห์คุณสมบัติการทำงานของวงจรสุ่มและคงค่า.....	47
ก. การวิเคราะห์ผลตอบสนองทางความถี่ของวงจร.....	47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
ข. การวิเคราะห์หาค่าความผิดพลาดของวงจร	47
4.4 ผลการเขียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE	48
4.5 สรุป	55
บทที่ 5 สรุปผลการวิจัยและข้อเสนอแนะในการทำวิจัยต่อ	56
5.1 บทสรุปและวิจารณ์	56
5.2 ข้อเสนอแนะและแนวทางในการทำวิจัยต่อ	56
บรรณานุกรม	57
ภาคผนวก	58
ภาคผนวก ก. คุณสมบัติที่สำคัญและวงจรสมมูลของมอสเฟต	59
ก1. คุณสมบัติที่สำคัญของมอสเฟตที่มีการทำงานในช่วงอิมตัว	59
ก2. วงจรสมมูลของมอสทรานซิสเตอร์	60
ภาคผนวก ข. บทความวิจัยที่ได้รับตีพิมพ์	62
ประวัติผู้เขียน	68

สารบัญตาราง

ตารางที่	หน้า
2.1 ตารางคุณสมบัติต่างๆ ของไอซีสุ่มและคงค่า.....	15
4.1 อัตราส่วนความกว้างต่อความยาว (W/L) ของทรานซิสเตอร์แบบซีมอส.....	48



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และ **vii** อ่างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1 วงจรสุ่มและคงค่าสัญญาณแบบพื้นฐาน.....	5
2.2 ช่วงเวลาที่เกิดค่าต่างๆ ขึ้นในช่วงการติดตามหรือการสุ่มค่าและคงค่า.....	5
2.3 ส่วนขยายช่วงการเปลี่ยนจากการสุ่มไปคงค่าสัญญาณ.....	8
2.4 รูปคลื่นในการวัดช่วงเวลารวบรวมข้อมูล.....	9
2.5 วงจรสุ่มและคงค่าอย่างง่าย.....	10
2.6 วงจรสุ่มและคงค่าที่มีการปรับปรุงอินพุตอิมพีแดนซ์.....	10
2.7 วงจร S/H ที่มีการป้อนกลับ.....	11
2.8 วงจร S/H ที่มีตัวอินทิเกรทเอาต์พุต.....	12
2.9 วงจร S/H ที่สามารถปรับค่าอัตราขยายได้.....	12
2.10 ระบบรวบรวมข้อมูล.....	13
2.11 ระบบการกระจายข้อมูลโดยใช้ S/H.....	13
2.12 การเกิดดิกลิทที่เอาต์พุตของ D/A.....	14
2.13 วงจรตรวจจับค่ายอดสัญญาณโดยใช้ S/H.....	14
3.1 วงจรสะท้อนกระแสแบบพื้นฐาน.....	16
3.2 วงจรสมมูลสำหรับวิเคราะห์ค่าความต้านทานของวงจรสะท้อนกระแส (ก) สำหรับหาค่าความต้านทานจุดเข้า (ข) สำหรับหาค่าความต้านทานจุดออก.....	18
3.3 วงจรสมมูลสำหรับวิเคราะห์อัตราขยายกระแสไฟฟ้าสำหรับสัญญาณขนาดเล็ก.....	20
3.4 วงจรหาค่ากระแสสูงสุด 2 อินพุต.....	24
3.5 วงจรหาค่ากระแสต่ำสุด 2 อินพุต.....	26
3.6 วงจรหาค่ากระแสต่ำสุด 1 อินพุต.....	26
3.7 การทำงานของวงจรในรูปที่ 3.5 เมื่อ i_1 มีค่าน้อยที่สุด.....	30
3.8 วงจรสมมูลของส่วน B ในรูปที่ 3.7.....	30
3.9 วงจรตรวจจับค่ายอดสัญญาณกระแส.....	33
3.10 วงจรสมมูลสำหรับการคำนวณหาค่าความต้านทานที่จุดเข้า.....	35
3.11 วงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่.....	37
3.12 วงจรอินเวอร์เตอร์.....	39

สารบัญรูป (ต่อ)

รูปที่	หน้า
4.1 บล็อกโคออร์เดชันของวงจรถูกและคงค่าสัญญาณกระแสแบบซิมอสที่นำเสนอ.....	41
4.2 วงจรถูกและคงค่าสัญญาณกระแสแบบซิมอสที่นำเสนอ.....	43
4.3 สัญญาณกระแสรูปคลื่นที่จุดต่างๆของวงจรถูกและคงค่าสัญญาณกระแสแบบซิมอส.....	46
4.4 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรถูกและคงค่ากระแสแบบซิมอส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1kHz และสัญญาณสุ่มมีความถี่ 10kHz.....	49
4.5 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรถูกและคงค่ากระแสแบบซิมอส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 1kHz และสัญญาณสุ่มมีความถี่ 10kHz.....	50
4.6 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรถูกและคงค่ากระแสแบบซิมอส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1kHz และสัญญาณสุ่มมีความถี่ 20kHz.....	51
4.7 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรถูกและคงค่ากระแสแบบซิมอส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 1kHz และสัญญาณสุ่มมีความถี่ 20kHz.....	52
4.8 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรถูกและคงค่ากระแสแบบซิมอส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 10MHz และสัญญาณสุ่มมีความถี่ 100MHz.....	53
4.9 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรถูกและคงค่ากระแสแบบซิมอส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 10MHz และสัญญาณสุ่มมีความถี่ 100MHz.....	54
ก.1 สัญญาณลักษณะของมอสเฟต.....	59
ก.2 วงจรสมมูลของมอสเฟตสำหรับสัญญาณขนาดเล็ก.....	60
ก.3 วงจรสมมูลทั้งหมดของมอสเฟตสำหรับสัญญาณขนาดเล็ก.....	60

รายการสัญลักษณ์

M	หมายถึง มอสเฟต
i_{in}	หมายถึง ค่ากระแสอินพุต (μA)
i_{out}	หมายถึง ค่ากระแสเอาต์พุต (μA)
i_{min}	หมายถึง ค่ากระแสต่ำสุด (μA)
i_{max}	หมายถึง ค่ากระแสสูงสุด (μA)
i_{dis}	หมายถึง ค่ากระแสที่คายออกจากตัวเก็บประจุ (μA)
i_D	หมายถึง ค่ากระแสเดรนของมอสเฟต (μA)
i_{SH}	หมายถึง ค่ากระแสควบคุมการทำงานของวงจร (μA)
I_B	หมายถึง ค่ากระแสไบแอส (μA)
v_{in}	หมายถึง ค่าแรงดันอินพุต (V)
v_{out}	หมายถึง ค่าแรงดันเอาต์พุต (V)
V_{DD}	หมายถึง ค่าแรงดันแหล่งจ่ายไฟบวก (V)
V_B	หมายถึง ค่าแรงดันไบอัส (V)
V_{TH}	หมายถึง ค่าแรงดันขีดเริ่มเปลี่ยน (Threshold Voltage) (V)
v_{GS}	หมายถึง ค่าแรงดันระหว่างขาเกตกับขาซอร์สของมอสเฟต (V)
v_{DS}	หมายถึง ค่าแรงดันระหว่างขาเดรนกับขาซอร์สของมอสเฟต (V)
g_m	หมายถึง ค่าทรานส์คอนดักแตนซ์ของมอสเฟต (A/V)
g_{ds}	หมายถึง ค่าความนำที่เกิดขึ้นระหว่างขาเดรนกับขาซอร์สของมอสเฟต (A/V)
g_o	หมายถึง ค่าความนำซึ่งเป็นส่วนกลับของค่าความต้านทานเอาต์พุตของแหล่งจ่ายกระแส (A/V)
r_{in}	หมายถึง ค่าความต้านทานอินพุต (Ω)
r_{out}	หมายถึง ค่าความต้านทานเอาต์พุต (Ω)
r_o	หมายถึง ค่าความต้านทานเอาต์พุตซึ่งเป็นส่วนกลับของค่าความนำ g_{ds} ของมอสเฟต (Ω)
R_L	หมายถึง ค่าความต้านทานที่นำมาต่อที่เอาต์พุต โนด (Ω)
C_{gs}	หมายถึง ค่าความจุไฟฟ้าระหว่างขาเกตกับขาซอร์สของมอสเฟต (F)
C_{ox}	หมายถึง ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (F/m^2)
W	หมายถึง ความกว้างประสิทธิผลของแชนเนล (μm)
L	หมายถึง ความยาวประสิทธิผลของแชนเนล (μm)
μ	หมายถึง ค่าความคล่องตัวของโฮลหรืออิเล็กตรอน ($cm^2/V-s$)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รายการสัญลักษณ์ (ต่อ)

λ	หมายถึง ค่าพารามิเตอร์ของการมอดูเลตความกว้างของแชนเนล (V^{-1})
K, β	หมายถึง ค่าพารามิเตอร์ของการนำกระแสของมอสเฟต (A/V^2)
ε	หมายถึง ค่าความผิดพลาดของวงจร
ω	หมายถึง ผลตอบสนองทางความถี่
t_{da}	หมายถึง ช่วงเวลาหน่วงของสัญญาณแอนะล็อก
t_{dc}	หมายถึง ช่วงเวลาหน่วงของสัญญาณควบคุม
t_e	หมายถึง ความสามารถในการตัดการเชื่อมต่อของสัญญาณ
t_s	หมายถึง ช่วงเวลาตอบสนองของวงจรสุ่มและคงค่าสัญญาณ
t_{sq}	หมายถึง ความกว้างของช่วงสถานะ
A	หมายถึง ตัวขยายสัญญาณ
S/H	หมายถึง วงจรสุ่มและคงค่าสัญญาณ
PD	หมายถึง วงจรตรวจจับค่าขอดีสัญญาณ



บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในระบบการประมวลผลสัญญาณดิจิทัลมีการใช้งานอย่างแพร่หลายในงานต่าง ๆ เช่น ระบบสัญญาณภาพและเสียง ระบบการวัดและเครื่องมือวัด และระบบควบคุมดิจิทัล เป็นต้น วงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลจะทำหน้าที่เป็นวงจรเชื่อมโยงระหว่างวงจรแอนะล็อกและวงจรดิจิทัลที่ใช้ในการประมวลผลสัญญาณแบบดิจิทัล เพื่อเป็นการหลีกเลี่ยงการลดทอนคุณภาพในการแปลงสัญญาณของวงจรแปลงสัญญาณ จึงนำเอาวงจรสุ่มและคงค่าสัญญาณมาทำหน้าที่เป็นวงจรภาคหน้าของวงจรแปลงสัญญาณแอนะล็อกเป็นสัญญาณดิจิทัลเพื่อให้ค่าสัญญาณแอนะล็อก คงที่ในช่วงที่กำลังแปลงสัญญาณ โดยทั่วไปวงจรสุ่มและคงค่าสัญญาณมักจะใช้เทคนิคการสวิตช์ด้วยทรานซิสเตอร์แบบซิมอส ซึ่งจะทำให้เกิดความผิดเพี้ยนของรูปสัญญาณที่เอาต์พุตของวงจรสุ่มและคงค่าสัญญาณ อันเนื่องมาจากค่าความต้านทานช่วงเปิดสวิตช์ (Switch-on resistance) การฉีดประจุข้ามช่องการนำกระแส (Channel charge injection) และค่าความผิดพลาดที่เกิดจากการป้อนสัญญาณนาฬิกาผ่าน (Clock feedthrough) ซึ่งในออสซิลโลสโคปที่ผ่านมาสวิตช์ที่ใช้มักจะถูกสร้างขึ้นด้วยทรานซิสเตอร์แบบซิมอส ซึ่งค่าความต้านทานช่วงเปิดสวิตช์จะมีค่าแปรตามค่าแรงดันของการสวิตช์และขนาดของแรงดันควบคุม [1] ในการลดค่าของความต้านทานช่วงเปิดสวิตช์ให้มีค่าน้อยที่สุดจึงมีการนำเทคนิคบูตสเตรป สวิตช์ (Bootstrapped switch) และ การเพิ่มแรงดันควบคุมสวิตช์มาใช้ [2-4] ซึ่งเทคนิคดังกล่าวใช้หลักการสร้างแรงดันค่าคงที่ของเกต-ซอสสำหรับการสวิตช์มอสทรานซิสเตอร์ เพื่อหลีกเลี่ยงปรากฏการณ์ของค่าความต้านทานช่วงเปิดสวิตช์ ส่วนเทคนิคการเพิ่มแรงดันควบคุมสวิตช์ค่าแรงดันจะถูกเพิ่มค่าเพื่อสร้างแรงดันควบคุมให้มีค่าสูงกว่าค่าแรงดันแหล่งจ่าย เพื่อลดค่าความต้านทานช่วงสวิตช์ ในขณะที่ทรานซิสเตอร์แบบซิมอสทำการสวิตช์ สัญญาณแรงดันควบคุมจะถูกเพิ่มค่าเป็นสองเท่าของแรงดันแหล่งจ่าย ซึ่งอาจทำให้เกิดความเสียหายขึ้นได้ในลักษณะการทะลุของเกตออกไซด์ และค่าความถี่ของการสุ่มจะแปรค่าในย่านแคบ ๆ ตามค่าประจุของตัวเก็บประจุแฝง ซึ่งเทคนิคทั้งสองแบบที่กล่าวมาแล้วนั้นต้องอาศัยการจัดวงจรดิฟเฟอเรนเชียล (Differential Current switch) และคัมมีทรานซิสเตอร์ (Dummy Transistor) [5-6] ซึ่งก็ยังไม่สามารถกำจัดค่าความผิดพลาดที่เกิดขึ้นเนื่องจากการฉีดประจุข้ามช่องการนำกระแส และค่าความผิดพลาดที่เกิดจากการป้อนสัญญาณนาฬิกาผ่าน ได้อย่างสมบูรณ์

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์ฉบับนี้มีวัตถุประสงค์ที่จะทำการศึกษาและออกแบบวงจรสุ่มและคงค่าสัญญาณกระแส โดยใช้ทรานซิสเตอร์แบบซิมอส ซึ่งนำวงจรหาค่ากระแสต่ำสุด มาใช้แทนวงจรสุ่มแบบสวิทช์ด้วยทรานซิสเตอร์แบบซิมอสที่มีใช้งานอยู่เดิมและนำวงจรตรวจจับค่ายอดสัญญาณ มาทำหน้าที่คงค่าสัญญาณอินพุตที่สภาวะคงที่ เพื่อให้ได้ผลการทำงานของวงจรที่มีความเร็วสูงและมีความถูกต้องแม่นยำที่ดี และมีการกำจัดค่าความผิดพลาดอันเกิดจากปรากฏการณ์การฉีกประจุข้ามช่อง และค่าความผิดพลาดที่เกิดจากการป้อนสัญญาณนาฬิกาผ่านให้ลดลงน้อยที่สุด

1.3 ขอบเขตการวิจัย

ในวิทยานิพนธ์ฉบับนี้ได้เสนอการออกแบบวงจรสุ่มและคงค่าสัญญาณกระแส โดยใช้เทคโนโลยีทรานซิสเตอร์แบบซิมอส และทำการวิเคราะห์การทำงานของวงจร อีกทั้งยังทำการจำลองการทำงานของวงจรสุ่มและคงค่าสัญญาณกระแสที่เสนอนี้ ด้วยโปรแกรม PSPICE

1.4 รายละเอียดของวิทยานิพนธ์

ในวิทยานิพนธ์นี้ได้แบ่งเนื้อหาออกเป็น 5 บท ซึ่งมีรายละเอียดดังต่อไปนี้
บทที่ 1 บทนำ เป็นการกล่าวถึงวัตถุประสงค์ของวิทยานิพนธ์และรายละเอียดในแต่ละบทของวิทยานิพนธ์

บทที่ 2 หลักการทำงานของวงจรสุ่มและคงค่าสัญญาณกระแส

บทที่ 3 กลุ่มวงจรย่อยที่ใช้ในการออกแบบวงจรสุ่มและคงค่าสัญญาณกระแส โดยจะแยกกลุ่มวงจรย่อยดังนี้

กลุ่มที่ 1 กล่าวถึงวงจรสะท้อนกระแสแบบพื้นฐาน

กลุ่มที่ 2 กล่าวถึงวงจรหาค่ากระแสต่ำสุดที่มีพื้นฐานการทำงานมาจากวงจรหาค่าสูงสุด

กลุ่มที่ 3 กล่าวถึงการทำงานของวงจรตรวจจับค่ายอดสัญญาณ

กลุ่มที่ 4 กล่าวถึงการทำงานของวงจรอินเวอร์เตอร์

บทที่ 4 กล่าวถึงการออกแบบวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสที่นำเสนอใหม่ โดยใช้วงจรหาค่ากระแสต่ำสุดและวงจรตรวจจับค่ายอดสัญญาณกระแส วงจรอินเวอร์เตอร์ แทนการใช้วงจรสุ่มค่าด้วยสวิทช์ และการทดสอบการทำงานของวงจร ด้วยโปรแกรม PSPICE เพื่อทดสอบคุณสมบัติดังกล่าวของวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การใช้วงจรสุ่มค่าด้วยสวิตช์ และการทดสอบการทำงานของวงจร ด้วยโปรแกรม PSPICE เพื่อทดสอบคุณสมบัติดังกล่าวของวงจร

บทที่ 5 เป็นการสรุปผลงานที่ได้นำเสนอในวิทยานิพนธ์ พร้อมทั้งเสนอแนวทางในการวิจัยและพัฒนาต่อไป

ภาคผนวก ก กล่าวถึงทฤษฎีการทำงานและสมการแสดงความสัมพันธ์ของมอสเฟต โดยจะเน้นที่การทำงานในช่วงอิ่มตัว แบบจำลองและวงจรสมมูลของมอสทรานซิสเตอร์

ภาคผนวก ข แสดงผลงานวิจัยที่ได้รับการตีพิมพ์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2

วงจรสุ่มและคงค่าสัญญาณ

2.1 บทนำ

วงจรสุ่มและคงค่าสัญญาณ (Sample Hold circuit, S/H) หรือบางครั้งเรียกว่า วงจรขยายแบบสุ่มและคงค่า (Sample Hold amplifier, SHA) วงจรดังกล่าวมีการทำงานของวงจร 2 สถานะ คือ สถานะสุ่มค่า (Sample) เป็นสถานะที่ค่าสัญญาณเอาต์พุตของวงจรจะมีค่าแปรตามอินพุตของวงจร จนกระทั่งสัญญาณควบคุมสั่งให้หยุดสุ่มค่า ส่วนอีกสถานะหนึ่งคือ สถานะคงค่า (Hold) เอาต์พุตของวงจรจะคงค่าสุดท้ายของการสุ่มค่า

วงจรสุ่มและคงค่าสัญญาณ [7] เป็นวงจรที่มีความสำคัญเป็นอย่างมาก ถูกนำมาใช้เพื่อคงค่าสัญญาณที่มีการเปลี่ยนแปลงอย่างรวดเร็วในระบบประมวลผลสัญญาณ การคงค่าขนาดของสัญญาณอย่างแม่นยำในช่วงเวลาที่เหมาะสมเป็นสิ่งจำเป็นอย่างยิ่งในระบบการวัด (Measurement system) รวมถึงการแปลงสัญญาณแอนะล็อกเป็นดิจิทัล (Analog-to-digital converter, A/D) การตรวจจับค่ายอดสัญญาณ (Peak detection) และการกระจายสัญญาณแอนะล็อกเป็นต้น

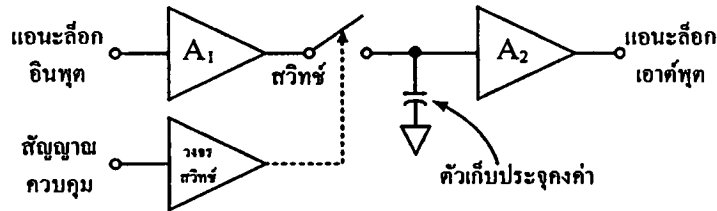
ในการควบคุมให้วงจรสุ่มและคงค่าสัญญาณ จะใช้สัญญาณควบคุมที่เป็นระดับสัญญาณดิจิทัลมาตรฐาน 2 สถานะ คือ “1” และ “0” โดยที่ลอจิก “1” ใช้ในสถานะสุ่ม และลอจิก “0” ใช้ในสถานะคงค่า การทำงานของ S/H จะมี 2 รูปแบบ คือ track-hold และ sample-hold ซึ่งจะมีความแตกต่างกันคือ ในรอบการทำงาน sample-hold จะใช้เวลาในช่วงการสุ่มน้อยกว่าช่วงคงค่า ส่วน track-hold จะใช้เวลาในช่วงการสุ่มมากกว่าช่วงคงค่า แต่ในกรณีการทำงานที่ช่วงความถี่การสุ่มสูงมากจะทำให้ทั้งช่วงการทำงานของ track-hold และ sample-hold จะมีลักษณะของผลลัพธ์เอาต์พุตที่เหมือนกัน ดังนั้นในการอธิบายการทำงานวงจรสุ่มและคงค่าสัญญาณจึงไม่แยกการทำงานของวงจรใน 2 ลักษณะนี้ ในบทนี้จะกล่าวโดยรวมในเรื่องวงจรพื้นฐาน คุณลักษณะ และการนำวงจรไปใช้งาน

2.2 หลักการทำงานของวงจรสุ่มและคงค่าสัญญาณ

วงจรสุ่มและคงค่าสัญญาณประกอบด้วย 4 ส่วน คือ ส่วนจัดการสัญญาณอินพุต ส่วนคงค่าสัญญาณแบบตัวเก็บประจุ (Hold capacitor) ส่วนจัดการสัญญาณเอาต์พุต และ วงจรสวิตช์ แสดงดังรูปที่ 2.1

ส่วนสำคัญของวงจรสุ่มและคงค่าสัญญาณ คือ ส่วนที่ใช้คงค่าสัญญาณ ซึ่งจะใช้ตัวเก็บประจุ (Capacitor) ทำหน้าที่คงค่าสัญญาณอินพุตจะถูกส่งผ่านไปยังตัวกันชน (Buffer) A₁ และเก็บไว้ที่ตัวเก็บประจุในช่วงสวิตช์ปิด ซึ่งเป็นช่วงเวลากการสุ่มหรือตามค่าอินพุต ส่วนในช่วงคงค่า

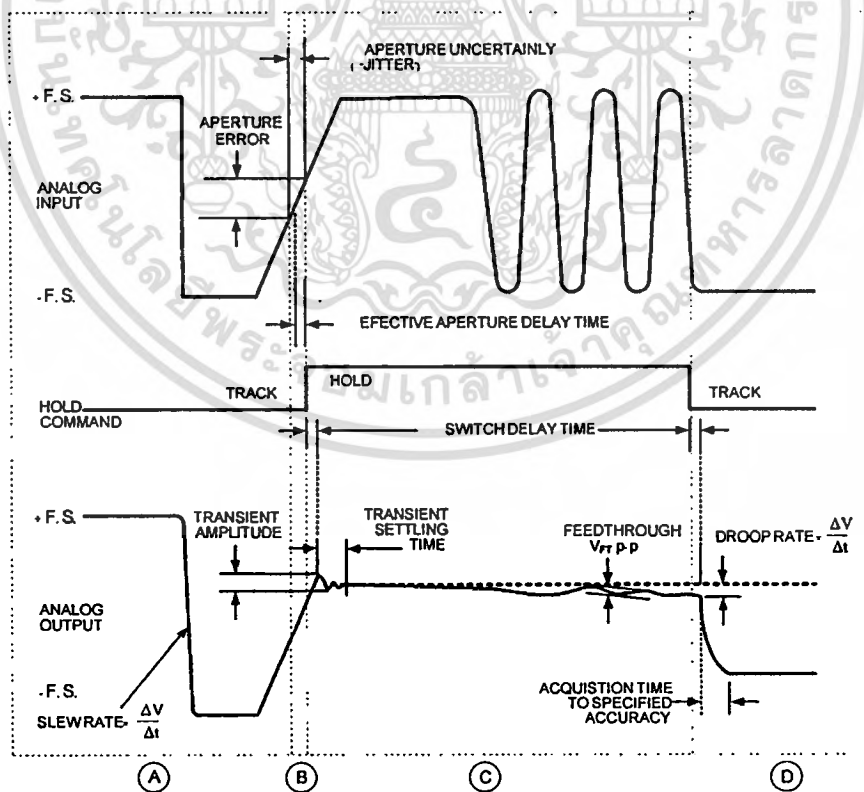
สวิตช์จะเปิดวงจร ค่าที่เก็บไว้ที่ตัวเก็บประจุในช่วงสุ่มค่าจะคงค่าและส่งผ่านมาเป็นสัญญาณเอาต์พุตต่อไปด้วยตัวกันชน A_2



รูปที่ 2.1 วงจรสุ่มและคงค่าสัญญาณแบบพื้นฐาน

2.3 คุณลักษณะของวงจรสุ่มและคงค่า

การทำงานของ S/H จะแบ่งเป็น 2 ช่วง คือ ช่วงสแตติก (Static) และไดนามิก (Dynamic) ซึ่งแต่ละช่วงนี้จะมีการทำงานภายในอยู่อีก 2 ช่วง คือ ช่วงการสุ่มและช่วงคงค่า รวมทั้งหมดเป็น 4 ช่วง ช่วงการทำงานของ S/H จะพิจารณาที่การส่งผ่านระหว่างช่วงการติดตามไปยังช่วงการคงค่า และช่วงการคงค่าไปยังช่วงการติดตาม คุณลักษณะของ S/H จะแสดงในรูปที่ 2.2 ซึ่งการทำงานแต่ละช่วงจะอธิบายในหัวข้อย่อยต่อไป



รูปที่ 2.2 ช่วงเวลาที่เกิดค่าต่างๆ ขึ้นในช่วงการติดตามหรือการสุ่มค่าและคงค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.1 ช่วงลุ่มสัญญาณ

ในช่วงลุ่มหรือการติดตามสัญญาณดังแสดงไว้ในส่วน A ของรูปที่ 2.2 วงจรลุ่มและคงค่าจะทำหน้าที่ส่งผ่านสัญญาณอินพุตมายังเอาต์พุต โดยอาจมีหรือไม่มีกรขยายสัญญาณ การทำงานช่วงนี้อธิบายคุณลักษณะได้เหมือนกับคุณลักษณะของวงจรขยายแบบแอนะล็อก คุณลักษณะสำคัญที่จะต้องคำนึงถึงในการทำงานช่วงการลุ่มคือ

ออฟเซต (Offset) หมายถึง อินพุตเป็นศูนย์ แต่สัญญาณเอาต์พุตไม่เท่ากับศูนย์ ซึ่งจะมีผลให้เกิดค่าผิดพลาดขึ้นของสัญญาณเอาต์พุต

ความไม่เป็นเชิงเส้น (Nonlinearity) หมายถึง ความแตกต่างของรูปสัญญาณระหว่างอินพุตและเอาต์พุต หรือผลลัพธ์ที่ผิดเพี้ยนไปซึ่งมักกระทำเป็นเปอร์เซ็นต์ของแรงดันเต็มสเกล

อัตราขยาย (Gain) หมายถึง อัตราขยายสัญญาณอินพุตไปยังเอาต์พุต

ช่วงเวลาเข้าที่ (Settling time) หมายถึง ช่วงเวลาที่ใช้เพื่อให้ได้สัญญาณเอาต์พุตในระดับค่าที่ต้องการ ซึ่งมักอ้างอิงกับค่าเต็มพิคก (Full scale, FS) เช่น 0 ถึง $\pm FS$, $-FS$ ถึง $+FS$ หรือ $+FS$ ถึง $-FS$

แบนด์วิธ (Bandwidth) หมายถึง ผลตอบสนองต่อความถี่ของวงจร บอกถึงความสามารถในการนำไปใช้งานในช่วงความถี่สูง โดยทั่วไปจะพิจารณาที่ความถี่ที่มีขนาดลดลง 3 dB หรือ -3 dB ของค่าขนาดที่อ้างอิง

อัตราสลูว์ (Slew rate) หมายถึง อัตราความเร็วในการเปลี่ยนแปลงของสัญญาณเอาต์พุตต่อสัญญาณอินพุตที่ป้อนเข้ามาในรูปของสัญญาณขั้นบันได

2.3.2 ช่วงการเปลี่ยนจากการลุ่มไปคงค่าสัญญาณ

ช่วงการเปลี่ยนจากการลุ่มไปคงค่าสัญญาณแสดงไว้ในส่วน B ของรูปที่ 2.2 แต่เนื่องจากการเปลี่ยนจากสถานะลุ่มไปสู่สถานะคงค่า และการเปลี่ยนจากสถานะคงค่าไปสู่สถานะลุ่มอาจสร้างความสับสนเมื่อนำวงจรลุ่มและคงค่าไปใช้งาน ดังนั้นจึงต้องทำความเข้าใจกับนิยามของการทำงานแต่ละช่วง ดังนี้

ช่วงเวลาอะเพอร์เจอร์ (Aperture Time) เป็นคุณสมบัติแบบไดนามิกที่สำคัญที่สุดของ S/H คือ ความสามารถในการตัดการเชื่อมต่อของอินพุตบัฟเฟอร์ A₁ กับตัวเก็บประจุของรูปที่ 2.1 ได้อย่างรวดเร็วเพียงใด เวลาที่ใช้ในการตัดการเชื่อมต่อจะต้องมีค่าน้อย แต่ไม่ใช่ศูนย์ ช่วงเวลานี้เรียกว่า Aperture time ค่าแรงดันเอาต์พุตที่ได้จะเกิดจาก สัญญาณอินพุต และค่าผิดพลาดในช่วงการดำเนินการของการสวิตช์สัญญาณ หรือกล่าวได้ว่า Aperture time คือ ช่วงเวลาที่สัญญาณเอาต์พุตมีการคงค่าหลังจากการสั่งให้คงค่า

พัลส์ฐานยอด (Pedestal) คือ ค่าผิดพลาดที่เกิดจากการป้อนสัญญาณขึ้นบันได หรือก็คือสัญญาณนาฬิกาที่ใช้สั่งการให้ S/H ทำการคงค่าเป็นผลให้เอาต์พุตมีค่าที่ผิดไปจากค่าสุดท้ายของอินพุตในช่วงของการสุ่ม ค่าผิดพลาดนี้เกิดจากการประจุของตัวเก็บประจุที่ใช้ในการคงค่าและตัวเก็บประจุแบ่งจากส่วนของวงจรที่ควบคุมสวิตช์ โดยค่าผิดพลาดที่เกิดขึ้นจะเป็นค่าคงที่ในรูปของออฟเซต (Offset) ที่เรียกว่าค่าส่งผ่านประจุ (Charge transfer) หรือ ค่าออฟเซตของขึ้นบันได (Offset step) ซึ่งสามารถชดเชยได้ด้วยการส่งผ่านสัญญาณควบคุมสวิตช์ในทิศทางตรงกันข้ามกับสัญญาณควบคุมสวิตช์เดิมเข้ามายังตัวเก็บประจุ สำหรับใช้ในการคงค่าด้วยวงจรสวิตช์ตัวช่วย (Auxiliary switching circuit) และตัวเก็บประจุชดเชย (Compensation capacitor)

ดังนั้น การชดเชยค่าผิดพลาดดังกล่าวจะขึ้นอยู่กับทางเลือกตัวเก็บประจุสำหรับวงจรสุ่มและคงค่า ซึ่งตัวเก็บประจุที่มีอยู่แล้วภายในวงจรสุ่มและคงค่าสัญญาณจะไม่สามารถแก้ไขส่วนของออฟเซตแบบไม่เป็นเชิงเส้น (Offset nonlinearity) ได้ สำหรับวงจร S/H ที่ต้องการตัวเก็บประจุภายนอก จะสามารถแก้ไขปัญหานี้จากการส่งผ่านประจุ ได้โดยการเพิ่มค่าความจุของตัวเก็บประจุแต่มีข้อเสียคือ ค่าของเวลารวบรวมข้อมูล (Acquisition time) จะเพิ่มขึ้นด้วย

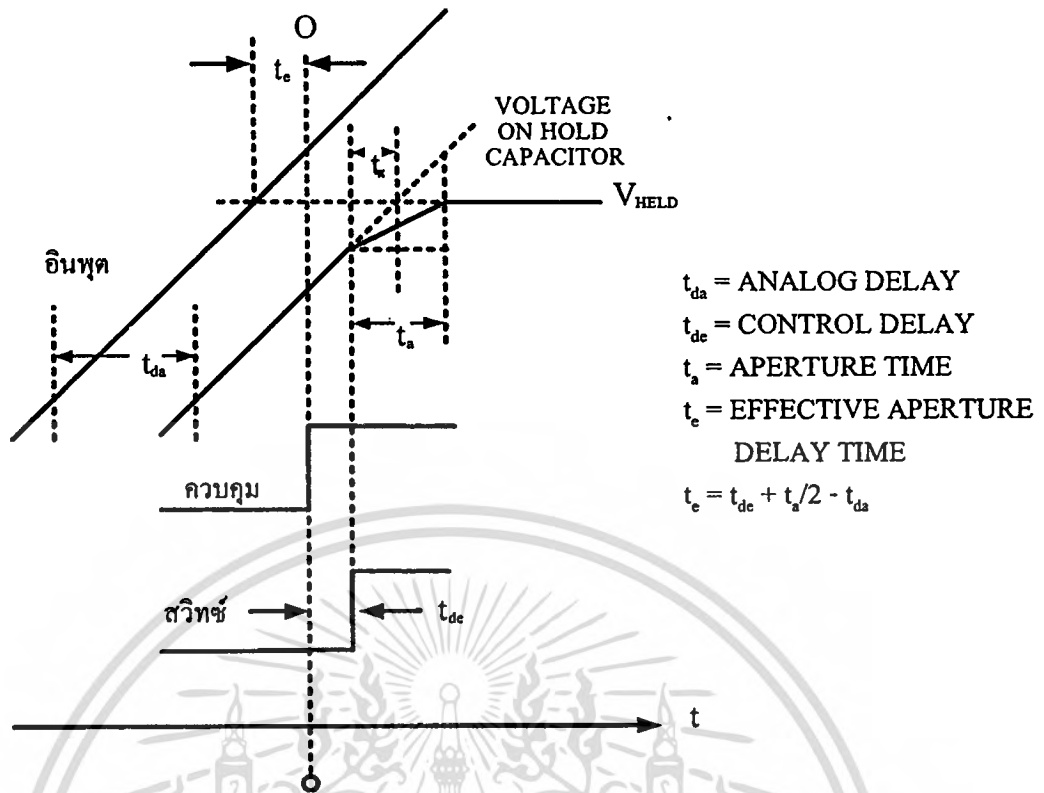
การหน่วงช่วงอะเพอร์เจอร์ (Aperture Delay หรือ Effective Aperture Delay Time) คือ ช่วงเวลาตอบสนองของอุปกรณ์ S/H เมื่อมีการสั่งให้ S/H ทำการคงค่าสัญญาณ โดยค่าเอาต์พุตที่คงค่าไว้จะ ได้จากสัญญาณอินพุตที่ผ่านช่วงการหน่วงเวลาที่เกิดขึ้นภายในวงจรของ S/H ช่วงเวลาทำงานของ S/H ที่เกิด Aperture Delay แสดงในรูปที่ 2.3 จากรูปจะเห็นว่า t_{da} คือช่วงเวลาหน่วงของสัญญาณแอนะล็อกอินพุตที่ผ่านบัฟเฟอร์ t_{de} คือช่วงเวลาหน่วงที่สัญญาณสั่งการควบคุมเริ่มสั่งการจนกระทั่งสวิตช์ทำงาน ซึ่งค่าเวลา t_{de} นี้ในทางปฏิบัติจะถือว่าเป็นช่วงเวลาหน่วงของวงจรดิจิทัลที่ใช้ในการควบคุมสวิตช์ t_e คือ Aperture time และ t_a คือ Effective aperture delay time ถ้าแรงดันเอาต์พุตคือค่าเฉลี่ยของสัญญาณอินพุตในช่วงที่สวิตช์เปิด จะได้ว่า ช่วงเวลา t_e มีค่าเท่ากับ $t_a/2$ ถ้ากำหนดให้เส้นประ 0 เป็นเส้นเริ่มต้นสัญญาณหรือเส้นอ้างอิง จะได้ช่วงเวลา t_e มีค่าเป็นลบเมื่อเทียบกับเส้นอ้างอิง 0 ดังนั้นช่วงเวลา t_e จะมีค่าดังนี้

$$t_{da} = -t_e + t_{de} + t_x = -t_e + t_{de} + \frac{t_a}{2} \quad (2.1 ก)$$

หรือ

$$t_e = t_{de} + \frac{t_a}{2} - t_{da} \quad (2.2 ข)$$

ค่าผิดพลาดทางเวลา (Aperture Uncertainty (Jitter)) คือ สัญญาณรบกวนที่เกิดขึ้นที่เอาต์พุต ที่มีผลมาจาก t_e ที่มีค่าไม่คงที่ที่เกิดขึ้นในทางปฏิบัติ ทำให้เกิดผลของ jitter



รูปที่ 2.3 ส่วนขยายช่วงการเปลี่ยนจากการสุ่มไปคงค่าสัญญาณ

ช่วงเปลี่ยนสถานะชั่วขณะ (Switching Transient) คือ ช่วงเวลาที่เปลี่ยนจากสถานะสุ่มไปคงค่าซึ่งเป็นช่วงเวลาเล็กน้อยที่ปรากฏในสัญญาณเอาต์พุต ช่วงเวลานี้จะมีค่าน้อยมาก โดยปกติจะไม่นำมาพิจารณา

การหน่วงช่วงเปลี่ยนสถานะ (Switch Delay Time) เกิดจากในช่วงเปลี่ยนสถานะจากคงค่าไปสถานะสุ่ม และช่วงการเปลี่ยนสถานะจากสุ่มไปคงค่า

2.3.3 ช่วงคงค่าสัญญาณ

ช่วงคงค่าสัญญาณแสดงไว้ในส่วนของ C รูปที่ 2.2 ในช่วงคงค่าสัญญาณจะมีข้อผิดพลาดที่เกิดจากตัวสวิทช์อิเล็กทรอนิกส์ที่มีคุณสมบัติไม่เป็นอุดมคติ ตัวขยายสัญญาณเอาต์พุตและตัวเก็บประจุ

การสูญเสียของสัญญาณ (Droop) หมายถึง อัตราการตกหรือการลดลงของสัญญาณเอาต์พุต ซึ่งเกิดจากการรั่วไหลของอุปกรณ์ต่าง ๆ ในวงจร เช่น สวิทช์ไม่เป็นอุดมคติ เอาต์พุตบัฟเฟอร์ไม่เป็นอุดมคติ หรือแม้แต่การรั่วไหลในตัวเก็บประจุเอง ($dV/dt = I/C$) การลดลงของการตกลงของสัญญาณเอาต์พุต ทำได้โดยการเพิ่มค่าตัวเก็บประจุ (ทำให้เพิ่มเวลารวบรวมข้อมูล) หรือ เลือกใช้อุปกรณ์ที่มีอัตราของกระแสรั่วไหลน้อย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

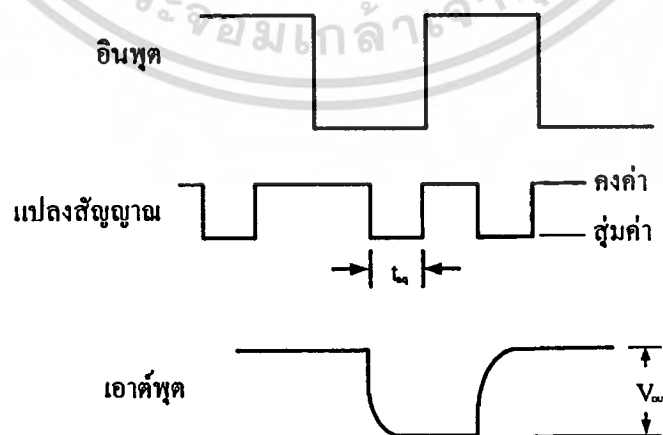
การดูดกลืนของไดอิเล็กตริก (Dielectric Absorption) คือ ค่าที่เกิดจากแรงดันที่ตกคร่อมตัวเก็บประจุมีค่าลดลง เมื่อมีการคงค่าไว้ในระยะเวลาานาน

การป้อนผ่าน (Feedthrough) คือ ความเพี้ยนของสัญญาณเอาต์พุตในช่วงคงค่า ที่เกิดจากจังหวะการสวิตช์ โดยปกติจะวัดได้จากการป้อนสัญญาณอินพุตด้วยสัญญาณชาน์ที่มีขนาดของสัญญาณเต็มสเกลและใช้ความถี่ที่และสังเกตผลลัพธ์ของสัญญาณเอาต์พุตขณะที่คงค่า

2.3.4 ช่วงการเปลี่ยนจากการคงค่าสัญญาณไปสู่สัญญาณ

ช่วงการเปลี่ยนจากการคงค่าสัญญาณไปสู่สัญญาณแสดงไว้ในส่วน D ของรูปที่ 2.2 ช่วงเวลาที่ใช้ในการทำงานในช่วงนี้จะประกอบด้วย ช่วงเวลารวบรวมข้อมูล (Acquisition Time) เป็นระยะเวลาที่ใช้ในการเปิดสวิตช์และประจุตัวเก็บประจุ จนกว่าจะได้ระดับเดียวกับแรงดันในสัญญาณอินพุต ช่วงเวลารวบรวมข้อมูลเป็นคุณลักษณะทางไดนามิก อัตราการสุ่มสูงสุดจะถูกจำกัดโดยช่วงเวลาที่ใช้ในการทำงานของสถานะสุ่มและคงค่า ช่วงเวลาที่ใช้ในสถานะคงค่าจะพิจารณาจากเวลาดำสุดที่ใช้ในสถานะสุ่ม อย่างไรก็ตามช่วงเวลารวบรวมข้อมูลจะวัดจากช่วงเวลาที่เกิดการเปลี่ยนสถานะของช่วงคงค่า ไปยังสุ่มค่า และเอาต์พุตบัฟเฟอร์ที่ต่อกับตัวเก็บประจุสำหรับคงค่า โดยการวัดเวลารวบรวมข้อมูลจะวัดเวลาที่ใช้ในการเก็บประจุของตัวเก็บประจุ ไม่ได้วัดจากเอาต์พุตของบัฟเฟอร์เพียงอย่างเดียว แต่จะรวมเวลาเอาต์พุตบัฟเฟอร์และการหน่วงช่วงเปลี่ยนสถานะ (Switch Delay Time) เข้าไปด้วย

รูปที่ 2.4 แสดงลักษณะรูปคลื่นของช่วงเวลารวบรวมข้อมูล โดยที่รูปสัญญาณอินพุต จะเป็นรูปคลื่นสี่เหลี่ยมจากรูป เมื่อเข้าสู่สถานะสุ่มแล้วสัญญาณเอาต์พุตจึงเริ่มเปลี่ยนตามสัญญาณอินพุต ถ้าความกว้างของช่วงสถานะ (t_{off}) ลดลง จะทำให้ตัวเก็บประจุที่ใช้สำหรับคงค่าไม่สามารถรับสัญญาณได้อย่างถูกต้อง เนื่องจากค่าที่ประจุเข้าตัวเก็บประจุยังไม่สมบูรณ์ ซึ่งในตัวอย่างนี้ ความกว้างของจังหวะ t_{off} จะเท่ากับเวลารวบรวมข้อมูล



รูปที่ 2.4 รูปคลื่นในการวัดช่วงเวลารวบรวมข้อมูล

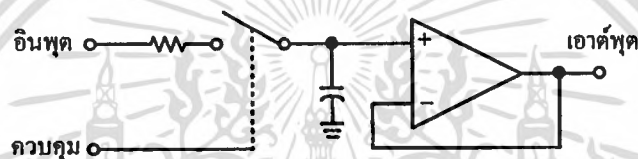
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 วงจรสุ่มและคงค่าแบบพื้นฐาน

การออกแบบวงจรสุ่มและคงค่ามี 2 ประเภท คือ วงจรรูปเปิด (Open Loop) เป็นวงจรที่มีการทำงานรวดเร็ว และวงจรรูปปิด (Close Loop) เป็นวงจรที่มีความถูกต้องแม่นยำ

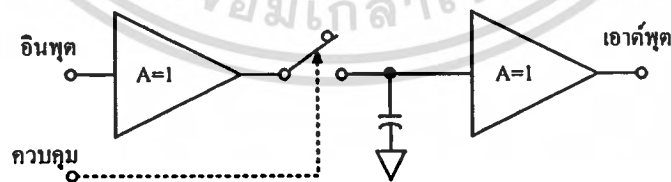
2.4.1 วงจรรูปเปิด

รูปที่ 2.5 แสดงหลักการการทำงานอย่างง่ายของวงจรสุ่มและคงค่า เมื่อสวิตช์ปิด แรงดันจากสัญญาณอินพุตจะทำการประจุให้ตัวเก็บประจุ เกิดแรงดันตกคร่อมที่ตัวเก็บประจุ ซึ่งแรงดันนี้จะถูกส่งผ่านแรงดันไปที่เอาต์พุต เมื่อสวิตช์เปิดตัวเก็บประจุจะยังมีประจุอยู่ เป็นผลให้เอาต์พุตคงค่าเดิมไว้ ช่วงเวลารวบรวมข้อมูลของตัวเก็บประจุนี้ ขึ้นอยู่กับความต้านทานและกระแสที่ประจุเข้าไปในตัวเก็บประจุ



รูปที่ 2.5 วงจรสุ่มและคงค่าอย่างง่าย

ข้อเสียของวงจรแบบนี้คือ เนื่องจากตัวเก็บประจุเป็นโหลดในสถานะสุ่ม ซึ่งอาจทำให้ดึงกระแสจากแหล่งจ่ายมากเกินไป ซึ่งสามารถแก้ไขด้วยวงจรในรูปที่ 2.6 ซึ่งมีลักษณะคล้ายกับรูปที่ 2.5 แต่ได้เพิ่มอินพุตบัฟเฟอร์เข้าไป โดยใช้ออปแอมป์ ทำให้ใช้เวลารวบรวมข้อมูลน้อยลง เนื่องจากความต้านทานเอาต์พุตของออปแอมป์มีค่าที่ต่ำ การสร้างวงจรสุ่มแบบนี้จะทำให้มีการทำงานที่รวดเร็วมาก โดยใช้ไดโอดความเร็วสูงทำหน้าที่สวิตช์ ซึ่งสามารถทำงานได้ที่ความถี่สูงได้



รูปที่ 2.6 วงจรสุ่มและคงค่าที่มีการปรับปรุงอินพุตอิมพีแดนซ์

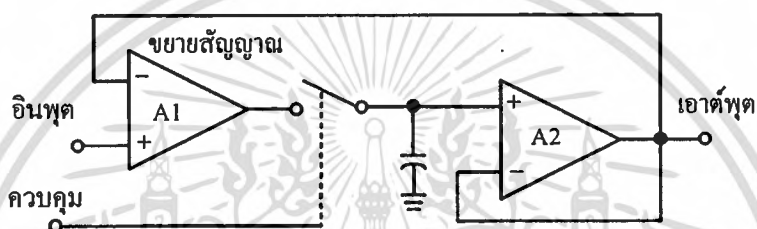
การใช้ออปแอมป์เป็นบัฟเฟอร์ เป็นตัวอย่างหนึ่งของวงจรสุ่มและคงค่า ที่ใช้เพื่อแก้ปัญหาอัตราตก และแรงดันไฟฟ้าส่วนเกินของการสุ่มค่าและคงค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 วงจรรูปปิด

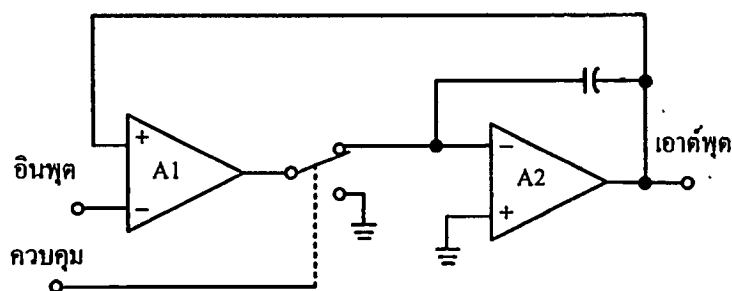
วงจรรูปที่ 2.5 และ 2.6 เป็นวงจรรูปเปิดซึ่งมีจุดเด่นในเรื่องความเร็วของเวลาเข้าที่ และเวลารวบรวมข้อมูล แต่หากใช้งานความถี่ต่ำจะต้องคำนึงถึงความถูกต้องมากกว่าความเร็ว เนื่องจากวงจรรูปที่ 2.5 และ 2.6 จะเกิดค่าผิดพลาดที่เอาต์พุตได้ง่าย ถ้ามีการรบกวนของสัญญาณรบกวนเข้าที่ตัวเก็บประจุซึ่งสามารถแก้ไขได้โดยใช้วงจรรูปปิด

รูปที่ 2.7 แสดงวงจรร S/H แบบรูปปิดที่มีการแก้ไขส่วนอินพุตของรูปที่ 2.6 โดยการใช้ออปแอมป์ที่มีอัตราขยายสูงและป้อนกลับมาจากเอาต์พุต เมื่อสวิตช์ปิด ตัวขยายสัญญาณ A_1 จะประจุสัญญาณเข้าสู่ตัวเก็บประจุ และจะถูกป้อนกลับไปที่อินพุตด้วยออปแอมป์ A_2



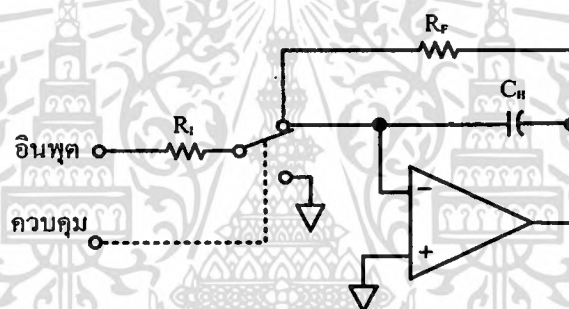
รูปที่ 2.7 วงจร S/H ที่มีการป้อนกลับ

วงจรรูปที่ 2.7 จะมีค่าผิดพลาดที่เกิดจากการประจุตัวเก็บประจุ เนื่องจากตัวเก็บประจุต่อเทียบกับกราวด์ ทำให้ตัวขยายสัญญาณ A_1 ทำงานในช่วงไม่เป็นเชิงเส้นและมีการแกว่งค่าของแรงดันที่ตกคร่อมตัวเก็บประจุที่สูง ในช่วงที่ต้องใช้กระแสที่มีค่าสูงมากประจุเข้าที่ตัวเก็บประจุ จึงได้มีการแก้ไขปรับปรุงวงจรขึ้นดังแสดงในรูปที่ 2.8 ในรูปที่ 2.8 แสดงวงจรรวมและคงค่าโดยใช้วงจรรวมอินทิเกรต และใช้สวิตช์สองทาง โดยทางหนึ่งต่อลงกราวด์โดยจะทำให้ตัวขยายสัญญาณ A_1 ทำงานได้ถูกต้องเนื่องจากมีการแกว่งของแรงดันเอาต์พุตที่น้อยมาก และยังเป็น การช่วยแก้ปัญหาการรั่วไหลของกระแสจะตัวเก็บประจุ ช่วงเวลาการรวมสัญญาณและเวลาที่สัญญาณคงค่าจะมีคุณสมบัติที่เหมือนกับวงจรรูปที่ 2.7 วงจรรูปที่ 2.7 ถ้าให้การคงค่าเกิดก่อนที่สัญญาณเอาต์พุตคงตัวจะเป็นผลให้เกิดค่าผิดพลาดในช่วงสั่มค่าขึ้น ในขณะที่เดียวกัน ถ้าวจรรูปที่ 2.7 และ 2.8 ถูกสั่งการให้ทำงานในช่วงคงค่าสัญญาณแล้วเปลี่ยนเป็นสั่มค่าสัญญาณ จะเป็นผลให้เกิดค่าพุ่งเกินในช่วงเวลาสั้นๆ หรือสไปร์ (Spike) อันเนื่องมาจากอัตราขยายที่สูงมากของตัวขยายสัญญาณ A_1 ออปแอมป์ในวงจรรูปเปิด



รูปที่ 2.8 วงจร S/H ที่มีตัวอินที่เกรทเอาต์พุต

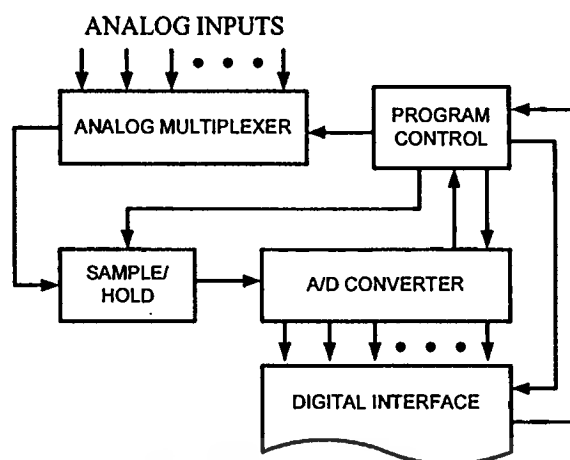
รูปที่ 2.9 เป็นวงจร S/H อีกแบบหนึ่งที่สามารถกำหนดอัตราขยายและความต้านทานอินพุตได้จากการปรับค่าของความต้านทาน R_f และ R_i วงจรในรูปที่ 2.9 นี้ เป็นวงจรที่ไม่ต้องการความถูกต้องที่เที่ยงตรงมากนักแต่เป็นวงจรที่มีขนาดเล็ก



รูปที่ 2.9 วงจร S/H ที่สามารถปรับค่าอัตราขยายได้

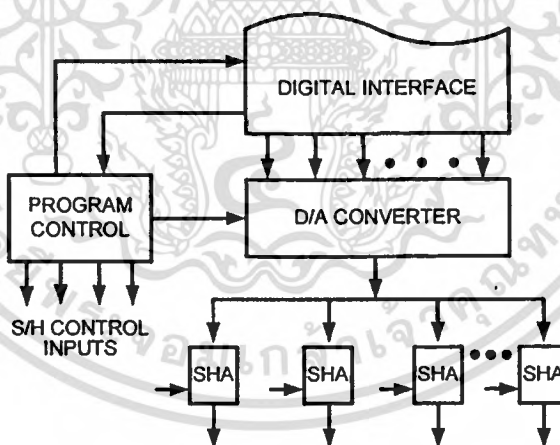
2.5 การนำวงจรไปใช้งาน

วงจรสุ่มและคงค่ามีการนำไปใช้งานอย่างแพร่หลาย เช่น แสดงดังรูปที่ 2.10 แสดงการนำวงจรสุ่มและคงค่าไปใช้ในส่วนของการแปลงสัญญาณแอนะล็อกเป็นดิจิตอล (A/D Converter) วงจรสุ่มและคงค่าจะคงค่าสัญญาณอินพุตให้คงที่ในระหว่างที่ทำงานแปลงสัญญาณ ในขณะที่เดียวกัน วงจรมัลติเพล็กซ์เซอร์ จะทำการเลือกช่วงสัญญาณถัดไปเพื่อจะทำการเปลี่ยนแปลงสัญญาณทันทีที่เปลี่ยนแปลงสัญญาณเสร็จก็จะเลือกสัญญาณอินพุตใหม่ และดำเนินการแปลงสัญญาณตามขั้นตอนต่อไป



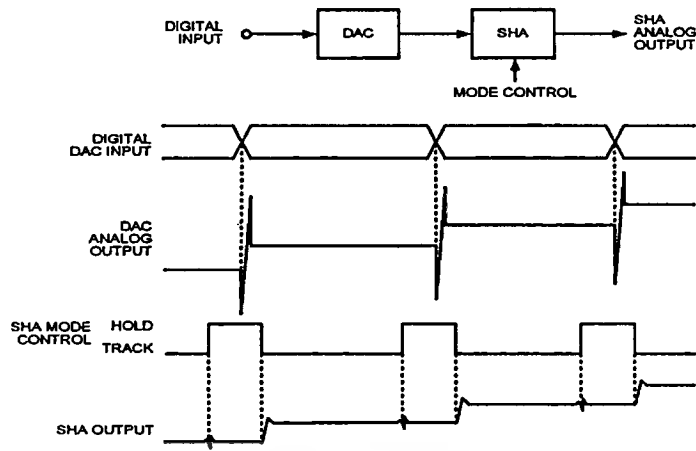
รูปที่ 2.10 ระบบรวบรวมข้อมูล

โดยปกติวงจรสุ่มและคงค่าอาจจะมีราคาที่ถูกกว่าตัวแปลงสัญญาณดิจิทัลเป็นสัญญาณแอนะล็อก (D/A converter) ดังนั้นแทนที่จะใช้ D/A หลายตัวในการกระจายข้อมูล จึงมีการเปลี่ยนมาใช้วงจรสุ่มและคงค่าแทนแสดงดังรูปที่ 2.11 ความรวดเร็วและความถูกต้องของการกระจายข้อมูลด้วยการแปลงสัญญาณดิจิทัลเป็นแอนะล็อกจะขึ้นอยู่กับสมรรถนะของ S/H ในด้านความเร็วในการทำงาน ที่มีความเหมาะสมกับข้อมูลแอนะล็อกที่ส่งออกมาจากวงจร D/A



รูปที่ 2.11 ระบบการกระจายข้อมูลโดยใช้ S/H

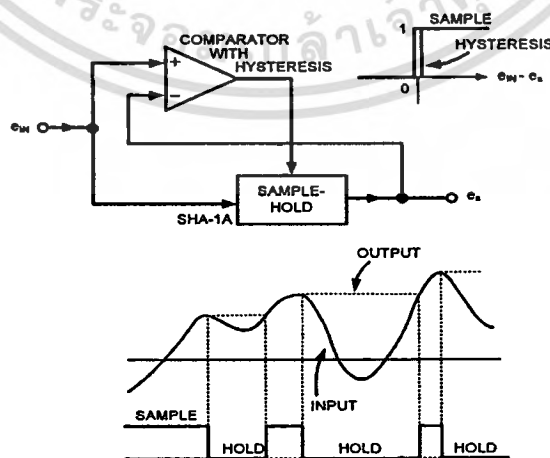
วงจรสุ่มและคงค่ายังถูกใช้เพื่อลดผลของการเกิดค่าผิดพลาดที่รอยต่อชุดข้อมูล ที่ถูกส่งมายัง D/A หรือ ดิกลิทซ์ (Deglitch) ดังแสดงในรูปที่ 2.12



รูปที่ 2.12 การเกิดดิกลิชที่เอาต์พุตของ D/A

จากรูปจะเห็นว่า ในช่วงรอยต่อของข้อมูลแต่ละชุดที่ส่งมายัง D/A จะเกิดการแปลงค่าที่ผิดพลาดขึ้นในส่วนของเอาต์พุตจาก D/A ดังนั้น เมื่อนำเอา S/H มาใช้งานโดยกำหนดจังหวะการคงค่าให้อยู่ในช่วงของการเปลี่ยนแปลงข้อมูลที่อินพุตของ D/A จะสามารถลดปัญหาที่เกิดขึ้นได้ดังเอาต์พุตของ S/H ในรูปที่ 2.12

นอกจากนี้ วงจรสุ่มและคงค่า ยังสามารถไปประยุกต์ใช้งานด้านตรวจจับสัญญาณได้ด้วย ดังตัวอย่างตามรูปที่ 2.13 เมื่อสัญญาณอินพุตมีค่าสูงกว่าสัญญาณเอาต์พุต วงจรเปรียบเทียบ (Comparator) จะให้เอาต์พุตเป็นบวก เป็นผลให้วงจรสุ่มและคงค่าทำการสุ่มสัญญาณที่เข้ามา เมื่อสัญญาณอินพุตมีค่าลดลงและลดลงจนน้อยกว่าสัญญาณเอาต์พุตที่คงค่าไว้ วงจรเปรียบเทียบจะให้เอาต์พุตเป็นศูนย์ วงจรสุ่มและคงค่าก็จะคงค่าสัญญาณไว้ จนกว่าสัญญาณอินพุตที่เข้ามาใหม่มีค่ามากกว่าสัญญาณเอาต์พุต ก็จะทำการสุ่มค่าโดยอัตโนมัติ และจะเก็บค่าไว้ เพื่อไว้เปรียบเทียบกับสัญญาณอินพุตที่จะเข้ามาใหม่ สำหรับการนำไปใช้งานควรพิจารณาคุณสมบัติของไอซีวงจรรสุ่มและคงค่า ตารางที่ 2.1 แสดงคุณสมบัติต่าง ๆ ของไอซีสุ่มและคงค่าที่มีจำหน่าย [7]



รูปที่ 2.13 วงจรตรวจจับค่าขอดีสัญญาณ โดยใช้ S/H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 ตารางคุณสมบัติต่างๆ ของไอซีสุ่มและคงค่า

	Acquisition Time	Droop Rate or Current (μs , rms)	Aperture Uncertainty	Pedestal Error (Voltage or Charge)	Offset vs. Temp.	Nonlinearity	Technology
HTS-0010	14 ns (0.1%)	100 $\mu\text{V}/\mu\text{s}$	5	5 mV	125 $\mu\text{V}/^\circ\text{C}$	0.1%	Hybrid
HTS-0025	25 ns (0.1%)	200 $\mu\text{V}/\mu\text{s}$	20	5 mV	100 $\mu\text{V}/^\circ\text{C}$	0.1%	Hybrid
HTS-0300A	150 ns (0.1%)	5 $\mu\text{V}/\mu\text{s}$	100	5 mV	100 $\mu\text{V}/^\circ\text{C}$	0.01%	Hybrid
HTS-0500	700 ns (0.1%)	0.5 $\mu\text{V}/\mu\text{s}$	60	5 mV	100 $\mu\text{V}/^\circ\text{C}$	0.01%	Hybrid
AD346	1 μs (0.01%)	0.1 mV/ms	400	10 mV	-	-	Hybrid
AD389	1.5 μs (0.01%)	0.1 $\mu\text{V}/\mu\text{s}$	400	2 mV	-	0.001%	Hybrid
AD585	3 μs (0.01%)	1 mV/ms	500	0.3 pC	-	-	Monolithic
AD583	4 μs (0.1%)	5 pA	5,000	10 pC	-	-	Monolithic
ADSHC-85	4.5 μs (0.01%)	0.2 mV/ms	500	1 mV	25 $\mu\text{V}/^\circ\text{C}$	0.01%	Hybrid
SHA1144	6 μs (0.003%)	1 $\mu\text{V}/\mu\text{s}$	500	1 mV	30 $\mu\text{V}/^\circ\text{C}$	0.001%	Module
AD582	6 μs (0.1%)	100 pA	15,000	5 pC	-	0.01%	Monolithic

2.6 สรุป

ในบทนี้ได้กล่าวถึงคุณสมบัติของวงจรสุ่มและคงค่า ตลอดจนช่วงเวลาในการทำงานในจังหวะการเปลี่ยนช่วงการทำงานจากช่วงสุ่มค่าไปเป็นช่วงคงค่าสัญญาณ และช่วงคงค่าไปเป็นช่วงสุ่มค่าสัญญาณ ตลอดจนค่าผิดพลาดที่เกิดขึ้นของวงจรสุ่มและคงค่า ตัวอย่างการประยุกต์ใช้งานของวงจรสุ่มและคงค่าได้กล่าวถึงในช่วงท้ายของบท ซึ่งเป็นตัวอย่างการใช้งานกับตัวแปลง A/D, D/A และการตรวจจับค่าขอดีสัญญาณ

บทที่ 3

กลุ่มวงจรย่อยที่ใช้ในการออกแบบ

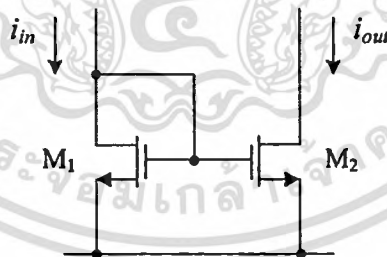
3.1 บทนำ

ในบทนี้ จะเป็นการกล่าวถึงกลุ่มวงจรย่อยที่ใช้ในการออกแบบวงจรสุ่มและคงค่าสัญญาณกระแสในวิทยานิพนธ์ฉบับนี้ ซึ่งแต่ละวงจรจะมีหน้าที่แตกต่างกัน โดยจะประกอบด้วย วงจรสะท้อนกระแส วงจรหาค่ากระแสต่ำสุด วงจรตรวจจับค่ายอดสัญญาณ และวงจรอินเวอร์เตอร์ โดยจะกล่าวถึงหลักการทำงานและการวิเคราะห์หาคุณสมบัติต่าง ๆ ของแต่ละวงจร โดยวงจรย่อยที่จะกล่าวถึงทั้งหมดนี้ จะเป็นวงจรที่ใช้มอสทรานซิสเตอร์เป็นหลัก

3.2 วงจรสะท้อนกระแสแบบพื้นฐาน

3.2.1 การทำงานของวงจรสะท้อนกระแส

วงจรสะท้อนกระแส (Current mirror) เป็นวงจรพื้นฐานที่สำคัญวงจรหนึ่ง มีการนำไปใช้เป็นวงจรย่อยในวงจรต่าง ๆ มากมาย เนื่องจากวงจรสะท้อนกระแสจะทำหน้าที่ส่งผ่านหรือสำเนา ค่ากระแสอินพุตของวงจร ไปยังส่วนต่าง ๆ ของวงจรที่ได้ออกแบบ คุณสมบัติของวงจรสะท้อนกระแสจะต้อง มีความต้านทานที่จุดเข้าของวงจรมากและความต้านทานที่จุดออกสูงมาก และมีอัตราส่งผ่านกระแสระหว่างกระแสอินพุตและกระแสเอาต์พุต เป็นไปตามสัดส่วนของขนาดของมอสทรานซิสเตอร์



รูปที่ 3.1 วงจรสะท้อนกระแสแบบพื้นฐาน

วงจรสะท้อนกระแสแบบพื้นฐานแสดงในรูปที่ 3.1 จากรูปสามารถอธิบายการทำงานของวงจรได้ดังนี้ กำหนดให้มอสทรานซิสเตอร์ M_1 และ M_2 มีคุณสมบัติที่เหมือนกันทุกประการหรือสมพจน์กันและทำงานในช่วงกระแสอิ่มตัวโดยที่ i_{in} และ i_{out} คือ กระแสอินพุตและกระแสเอาต์พุตของวงจรตามลำดับ จากวงจรจะได้รับความสัมพันธ์ของแรงดันระหว่างขาเกตกับขาซอร์ส (V_{GS}) ของมอสทรานซิสเตอร์ M_1 และ M_2 เป็นดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

$$V_{GS1} = V_{GS2} \quad (3.1)$$

โดยที่ V_{GSi} คือ แรงดันระหว่างขาเกตกับขาซอร์สของทรานซิสเตอร์ M_i ($i = 1$ และ 2) ซึ่งมีค่าเท่ากับ

$$V_{GSi} = \left(\frac{I_{Di}}{\mu_n C_{ox} W / 2L} \right)^{\frac{1}{2}} + V_{TH} \quad (3.2)$$

$$= \sqrt{\frac{2LI_{Di}}{KW}} + V_{TH}$$

เมื่อ I_D คือ กระแสที่ขาเดรน (Drain current)

V_{TH} คือ แรงดันขีดเริ่ม (Thermal voltage)

μ_n คือ ค่าสภาพความคล่องตัว (Surface mobility of carrier)

C_{ox} คือ ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์ (Capacitance per unit area of gate oxide)

W คือ ความกว้างประสิทธิผลของแชนแนล (Effective channel width)

L คือ ความยาวประสิทธิผลของแชนแนล (Effective channel length)

แทนค่าสมการที่ (3.2) ลงในสมการที่ (3.1) เมื่อ $I_{D1} = i_{in}$ และ $I_{D2} = i_{out}$ จะได้

$$\frac{i_{out}}{i_{in}} = \frac{W_2 L_1}{L_2 W_1} \quad (3.3)$$

จากสมการที่ (3.3) ถ้ากำหนดอัตราส่วน W/L ของทรานซิสเตอร์ M_1 และ M_2 ให้มีค่าเท่ากัน การส่งผ่านกระแสอินพุต i_{in} ไปเป็นกระแสเอาต์พุต i_{out} ของวงจรจะมีค่าอัตราขยายกระแสเท่ากับหนึ่ง หรือนั่นคือ $i_{out} = i_{in}$

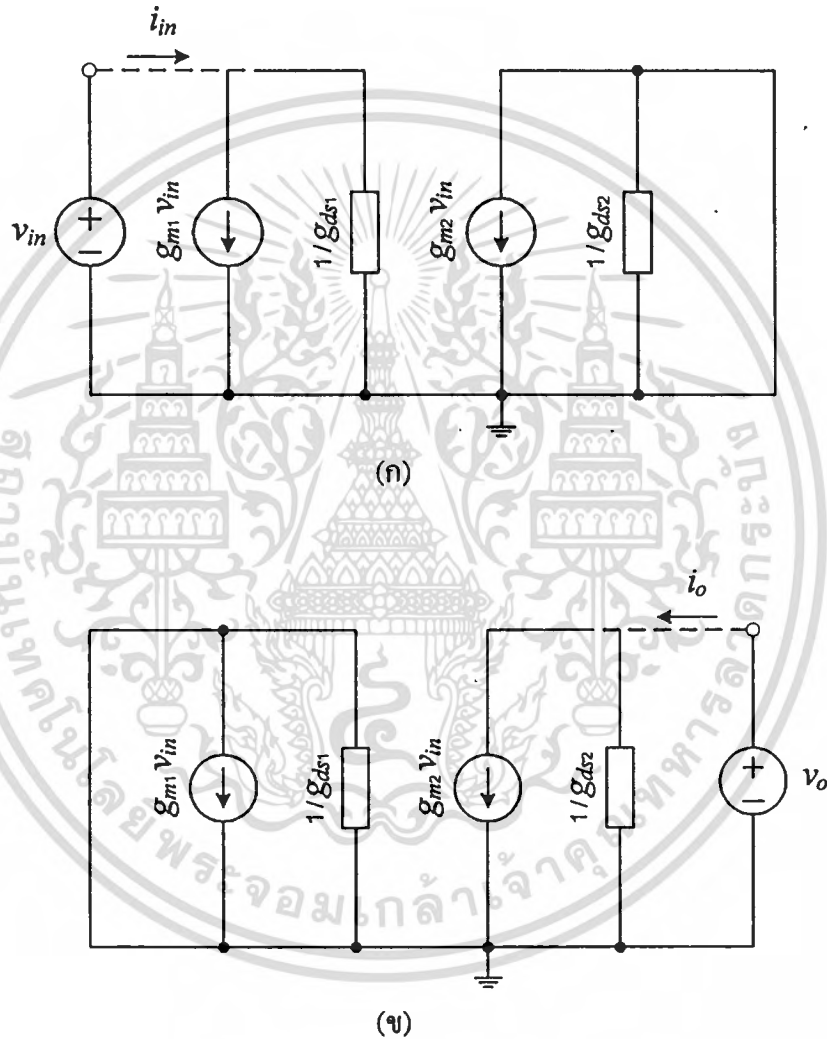
3.2.2 การวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแส

ในหัวข้อที่ 3.2.1 เป็นการกล่าวถึงการทำงานของวงจรสะท้อนกระแสที่กำหนดให้ทรานซิสเตอร์ M_1 และ M_2 มีความสมพ้องกัน แต่ในทางปฏิบัตินั้น ทรานซิสเตอร์ M_1 และ M_2 จะมีคุณสมบัติที่ไม่เหมือนกันทุกประการ ทำให้สมรรถนะการทำงานของวงจรจึงไม่เป็นไปตามทฤษฎี ดังนั้นในหัวข้อนี้จะวิเคราะห์คุณสมบัติการทำงานของวงจรสะท้อนกระแสในส่วนของค่า

ความต้านทานจุดเข้าและจุดออก อัตราขยายกระแสสำหรับสัญญาณขนาดเล็ก และค่าความผิดพลาดของวงจร

ก. การวิเคราะห์ค่าความต้านทานจุดเข้าและจุดออก

การวิเคราะห์หาค่าความต้านทานจุดเข้าและจุดออกของวงจรสะท้อนกระแสในรูปที่ 3.1 สามารถแทนได้ด้วยวงจรสมมูลในรูปที่ 3.2



รูปที่ 3.2 วงจรสมมูลสำหรับวิเคราะห์ค่าความต้านทานของวงจรสะท้อนกระแส

(ก) สำหรับหาค่าความต้านทานจุดเข้า

(ข) สำหรับหาค่าความต้านทานจุดออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการวิเคราะห์หาค่าความต้านทานจุดเข้า (r_{in}) จะทำการป้อนแรงดัน v_{in} เข้าที่จุดเข้าของวงจร โดยไม่คำนึงถึงผลอันเนื่องมาจากแรงดันที่จุดออก ($v_o = 0V$) ซึ่งจะได้วงจรสมมูลดังรูปที่ 3.2(ก) จากรูปพิจารณาผลรวมของกระแสที่จุดเข้า จะได้

$$i_{in} = g_{m1}v_{in} + g_{ds1}v_{in} \quad (3.4)$$

หรือ

$$i_{in} = (g_{m1} + g_{ds1})v_{in} \quad (3.5)$$

เมื่อ g_m คือ ค่าความนำของมอสเฟต (A/V) เท่ากับ $\left(2\frac{KW}{L}I_D\right)^{\frac{1}{2}}$ และ I_D คือ

ค่ากระแสไบอัสของมอสเฟต

g_{ds} คือ ค่าความนำที่เกิดขึ้นระหว่างขาเดรนและขาซอร์สของมอสเฟต (A/V)

เนื่องจาก $g_{m1} \gg g_{ds1}$ ดังนั้นสมการที่ (3.5) จึงสามารถประมาณค่าความต้านทานจุดเข้า r_{in} ได้เป็น

$$r_{in} \cong \frac{v_{in}}{i_{in}} = \frac{1}{g_{m1}} \quad (3.6)$$

จากสมการที่ (3.6) จะเห็นได้ว่า ค่าความต้านทานจุดเข้าของวงจรสะท้อนกระแสสามารถทำให้มีค่าลดลงได้โดยการลดค่าความยาวแชนแนล (L) หรือการเพิ่มความกว้างแชนแนล (W) ของมอสเฟต M_1

ในการวิเคราะห์หาค่าความต้านทานจุดออก (r_{out}) สามารถทำได้โดยการป้อนแรงดัน v_{out} เข้าที่จุดออกของวงจร โดยให้แรงดันจุดเข้า $v_{in} = 0V$ ดังรูปที่ 3.2 (ข) ซึ่งจะได้ความสัมพันธ์ดังนี้

$$i_o = g_{ds2}v_o \quad (3.7)$$

ดังนั้นความต้านทานจุดออก r_{out} มีค่าเป็น

$$r_{out} = \frac{v_o}{i_o} = \frac{1}{g_{ds2}} = \frac{1}{\lambda I_o} \quad (3.8)$$

เมื่อ λ คือ ค่าพารามิเตอร์ของการมอดูเลตความกว้างของเซนแนล (V^{-1}) และ I_o คือ กระแสไบอัสที่ขาเดรนของทรานซิสเตอร์

ข. การวิเคราะห์อัตราขยายกระแสสำหรับสัญญาณขนาดเล็ก

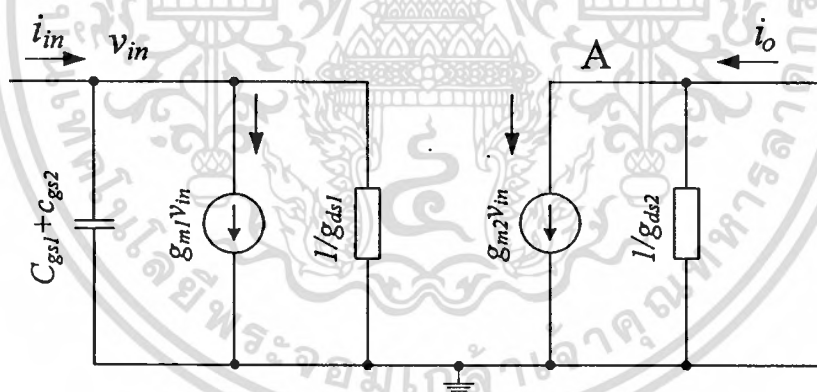
ในการวิเคราะห์อัตราขยายกระแสสำหรับสัญญาณขนาดเล็กของวงจรสะท้อนกระแส ในรูปที่ 3.1 จะคำนึงถึงผลของค่าความจุไฟฟ้าแฝงระหว่างขาเกตกับขาซอร์สของมอสเฟต (C_{gs}) เป็นหลัก ซึ่งจะได้อัตราขยายกระแสสำหรับสัญญาณขนาดเล็ก ดังแสดงในรูปที่ 3.3

พิจารณาที่โหนด v_{in} จะได้

$$i_{in}(s) = (g_{m1} + g_{ds1} + (C_{gs1} + C_{gs2})s)v_{in}(s) \quad (3.9)$$

พิจารณาที่โหนด A จะได้

$$i_o(s) = g_{m2}v_{in} \quad (3.10)$$



รูปที่ 3.3 วงจรสมมูลสำหรับวิเคราะห์อัตราขยายกระแสไฟฟ้าสำหรับสัญญาณขนาดเล็ก

เนื่องจาก $g_m \gg g_{ds}$ ดังนั้นสมการที่ (3.9) และ (3.10) เขียนใหม่ได้เป็น

$$i_{in}(s) = (g_{m1} + (C_{gs1} + C_{gs2})s)v_{in}(s) \quad (3.11)$$

และ

$$i_o(s) = g_{m2}v_{in}(s) \quad (3.12)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่าสมการที่ (3.12) ลงใน (3.11) จะได้

$$\frac{i_0(s)}{i_{in}(s)} = \frac{g_{m2}}{g_{m1}} \left[\frac{1}{1 + \frac{(C_{gs1} + C_{gs2})s}{g_{m1}}} \right] \quad (3.13)$$

จากสมการที่ (3.13) จะได้อัตราขยายกระแสสัญญาณไฟตรง (DC gain) มีค่าเท่ากับ

$$\frac{i_0}{i_{in}} = \frac{g_{m2}}{g_{m1}} \quad (3.14)$$

และค่าโพลเด่น (Dominant pole, p_1) ซึ่งเป็นขีดจำกัดทางความถี่ในการใช้งานวงจรมีค่าเท่ากับ

$$p_1 = \frac{g_{m1}}{C_{gs1} + C_{gs2}} \quad (3.15)$$

จากสมการที่ (3.15) จะเห็นได้ว่าถ้าต้องการให้วงจรมีอัตราขยายกระแสทำงานได้ที่ความถี่สูงจะต้องออกแบบให้ค่า C_{gs1} และ C_{gs2} มีค่าต่ำหรือให้ค่า g_{m1} มีค่าสูง

ค. การวิเคราะห์ค่าความผิดพลาดของวงจร

วงจรมีอัตราขยายกระแสแบบพื้นฐานที่มีอัตราขยายกระแสเท่ากับหนึ่งในรูปที่ 3.1 สามารถเขียนสมการความสัมพันธ์ของค่าความผิดพลาดในการส่งผ่านกระแสอินพุตไปยังกระแสเอาต์พุตได้ดังนี้

$$i_{out} = (1 - \varepsilon_{CM}) i_{in} \quad (3.16)$$

เมื่อ ε_{CM} คือ ค่าความผิดพลาดที่เกิดจากวงจรมีอัตราขยาย

จากการวิเคราะห์หาอัตราขยายกระแสสำหรับสัญญาณขนาดเล็ก โดยใช้วงจรมุมในรูปที่ 3.3 ได้ความสัมพันธ์ระหว่างกระแสเอาต์พุต i_{out} กับกระแสอินพุต i_{in} ดังสมการที่ (3.14) ซึ่งมีค่าดังนี้

$$i_{out} = \frac{g_{m2}}{g_{m1}} i_{in} \quad (3.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากสมการที่ (3.16) และ (3.17) สามารถหาค่าความผิดพลาดของวงจรสะท้อน (ε_{CM}) ได้ดังนี้

$$\varepsilon_{CM} = 1 - \frac{g_{m2}}{g_{m1}} = \frac{g_{m1} - g_{m2}}{g_{m1}} \quad (3.18)$$

3.3 วงจรหาค่ากระแสต่ำสุด

วงจรหาค่ากระแสต่ำสุดที่ใช้ในวิทยานิพนธ์ฉบับนี้ จะอาศัยหลักการทำงานของวงจรหาค่ากระแสสูงสุดโดยการลบกระแสจุดเข้ากับกระแสอ้างอิง ดังนั้นจะอธิบายการทำงานของวงจรหาค่ากระแสสูงสุดในหัวข้อถัดไปก่อนแล้วจึงกล่าวถึงวงจรหาค่ากระแสต่ำสุดในวิทยานิพนธ์ฉบับนี้

3.3.1 การทำงานของวงจรหาค่ากระแสสูงสุด

วงจรหาค่ากระแสสูงสุด 2 อินพุต แสดงในรูปที่ 3.4 กำหนดให้ทรานซิสเตอร์ทุกตัวมีความสมพียงกันทุกประการ และมีการทำงานในช่วงกระแสอิ่มตัว กระแสเดรนของทรานซิสเตอร์ที่ทำงานในช่วงกระแสอิ่มตัวสามารถเขียนได้เป็น

$$i_D = \frac{\mu_n C_{ox} W}{2L} (V_{GS} - V_{TH})^2 = K(V_{GS} - V_{TH})^2 \quad (3.19)$$

เมื่อ K คือ พารามิเตอร์ของค่าความนำ (Transconductance parameter)

จากวงจรในรูปที่ 3.4 จะประกอบด้วยทรานซิสเตอร์จำนวน $3n + 3$ ตัว สำหรับ n อินพุต และแหล่งจ่ายกระแส I_B โดยวงจรในแต่ละอินพุต จะประกอบด้วยทรานซิสเตอร์ M_{j1}, M_{j2} และ M_{j3} ส่วนทรานซิสเตอร์ M_x และ M_z ทำหน้าที่เป็นวงจรสะท้อนกระแสแบบบวก (Positive current mirror) ที่มีอัตรากระแสผ่านกระแสเท่ากับหนึ่ง แหล่งจ่ายกระแส I_B และทรานซิสเตอร์ M_y ทำให้เกิดแรงดัน V_B มีค่าประมาณ

$$V_B = V_{GS1} + V_{GS2} + V_{GS3} \approx 3V_{TH} \quad (3.20)$$

แรงดัน V_B ที่ได้ทำให้ทรานซิสเตอร์ M_{j1}, M_{j2} และ M_{j3} ทำงานในช่วงขอบของการนำกระแส เมื่อทำให้กระแสอินพุตทั้ง 2 มีค่าเป็นบวกโดยสมมติให้กระแสอินพุต i_1 มีค่าสูงสุด เมื่อกระแสอินพุต i_1 ไหลผ่านทรานซิสเตอร์ M_1 ทำให้แรงดันระหว่างขาเกตกับขาซอร์ส (V_{GS11}) และแรงดัน v_1 มีค่าเพิ่มขึ้น เนื่องจากขาเกตและขาซอร์สของทรานซิสเตอร์ M_{11}, M_{21} และ M_x ต่อ

ขนานกัน ทำให้แรงดันระหว่างขาเกตกับขาซอร์สของทรานซิสเตอร์ M_{11}, M_{21} และ M_X มีค่าเท่ากัน ดังสมการ

$$V_{GS11} = V_{GS21} = V_{GSX} \quad (3.21)$$

จากสมการที่ (3.19) และ (3.20) จะได้กระแสเดรนของทรานซิสเตอร์ M_{11}, M_{21} และ M_X มีค่าเท่ากับ

$$i_1 = i_{D11} = i_{D21} = i_{DX} \quad (3.22)$$

แรงดันอินพุต v_i สามารถเขียนสมการได้ดังนี้

$$v_i = V_{GS1} + V_{GS2} \quad (3.23)$$

จากการต่อขาเกตและขาซอร์สของทรานซิสเตอร์ M_{11} และ M_{21} ขนานกัน ทำให้แรงดันระหว่างขาเกตกับขาซอร์สของทรานซิสเตอร์ M_{11} และ M_{21} มีค่าเพิ่มขึ้นตามแรงดัน V_{GS11} เป็นผลให้ทรานซิสเตอร์ M_{22} ไม่นำกระแส ดังนั้นกระแสเดรนของทรานซิสเตอร์ M_{22} มีค่าเท่ากับ

$$i_{D22} = 0 \quad (3.24)$$

พิจารณาที่โนด v_x กระแสเดรนของทรานซิสเตอร์ M_X สามารถเขียนสมการได้เป็น

$$i_{DX} = i_{D12} + i_{D22} \quad (3.25)$$

แทนค่ากระแสเดรนของทรานซิสเตอร์ M_{22} จากสมการที่ (3.24) ลงในสมการที่ (3.25) จะได้กระแสเดรนของทรานซิสเตอร์ M_X เป็น

$$i_{DX} = i_{D12} \quad (3.26)$$

จากสมการที่ (3.22) และ (3.26) จะได้ว่า

$$i_1 = i_{D12} = i_{DX} \quad (3.27)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

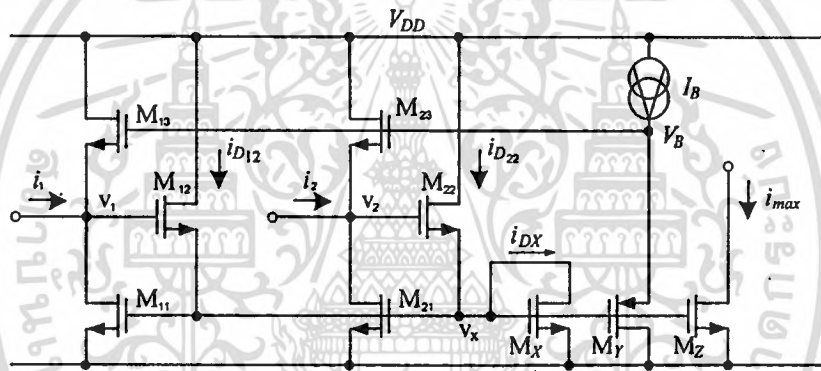
ทรานซิสเตอร์ M_x และ M_z ทำหน้าที่เป็นวงจรถ่ายโอนที่มีอัตรากระแสผ่านเท่ากับหนึ่ง ดังนั้นกระแสเอาต์พุต i_{max} มีค่าเป็น

$$i_{max} = i_{DX} \tag{3.28}$$

จากสมการที่ (3.27) และ (3.28) จะได้กระแสเอาต์พุต i_{max} มีค่าเท่ากับ

$$i_{max} = i_1 = \max(i_1, i_2) \tag{3.29}$$

จากสมการที่ (3.29) สามารถกล่าวได้ว่า วงจรในรูป 3.4 ทำหน้าที่ในการหาค่ากระแสอินพุตสูงสุดระหว่างสองอินพุต



รูปที่ 3.4 วงจรหาค่ากระแสสูงสุด 2 อินพุต

3.3.2 การทำงานของวงจรถ่ายค่ากระแสต่ำสุด

จากวงจรถ่ายค่ากระแสสูงสุดในรูปที่ 3.4 ที่ได้กล่าวไปแล้วในหัวข้อที่ 3.3.1 สามารถนำมาประยุกต์เป็นวงจรถ่ายค่ากระแสต่ำสุด [8] ได้โดยใช้กฎของ เดอ มอร์แกน (De Morgan's law) ซึ่งเขียนสมการได้เป็น

$$\min(i_1, i_2) = \overline{\max(\overline{i_1}, \overline{i_2})} \tag{3.30}$$

เมื่อ “ $\overline{\quad}$ ” คือ การคอมพลิเมนต์ (Complement operation)

การคอมพลิเมนต์ของสัญญาณกระแสอินพุต สามารถเขียนเป็นสมการได้ดังนี้

$$\bar{i}_j = I_R - i_j \quad (3.31)$$

เมื่อ i_j คือ กระแสอินพุตลำดับที่ j
 I_R คือ กระแสคงที่

ดังนั้น สมการที่ (3.30) และ (3.31) จะได้ค่ากระแสเอาต์พุตต่ำสุด i_{\min} เป็น

$$i_{\min} = I_R - i_{\max} \quad (3.32)$$

รูปที่ 3.5 แสดงวงจรถ้ากระแสต่ำสุดแบบ 2 อินพุต ที่ออกแบบขึ้นจากการประยุกต์ใช้วงจรถ้ากระแสสูงสุดในรูปแบบที่ 3.4 กำหนดให้ทรานซิสเตอร์ทุกตัวมีความสมพียงกันและทำงานในช่วงกระแสอิมิตัว วงจรถ้ากระแสต่ำสุดสำหรับกระแส 1 อินพุต ประกอบด้วย ทรานซิสเตอร์ $M_{j1} - M_{j5}$ เมื่อ j คือ ลำดับของสัญญาณอินพุต และแหล่งจ่ายกระแส I_R จำนวน $n+1$ ตัว การทำงานของวงจรถ้ากระแสต่ำสุดสามารถอธิบายได้ดังนี้ ทรานซิสเตอร์ M_{j4} และ M_{j5} ทำหน้าที่เป็นวงจรสะท้อนกระแสที่มีอัตราการส่งผ่านเท่ากับหนึ่ง ซึ่งสะท้อนกระแสอินพุต i_j ไปยัง โหนด v_j ทำให้กระแสเดรนของทรานซิสเตอร์ M_{j5} มีค่าเท่ากับ

$$i_{Dj5} = i_j \quad (3.33)$$

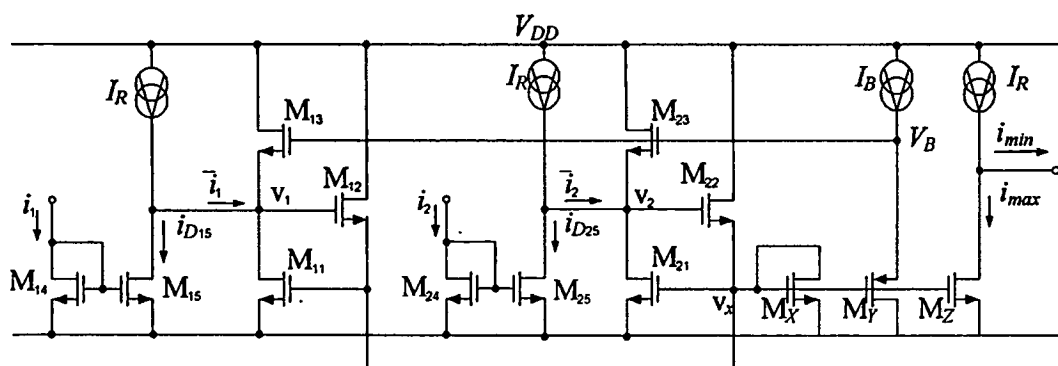
พิจารณาที่ โหนด v_j จะได้กระแส \bar{i}_j มีสมการเป็น

$$\bar{i}_j = I_R - i_j \quad (3.34)$$

จากสมการที่ (3.34) กระแส \bar{i}_j ของแต่ละอินพุตถูกส่งไปยังส่วนของวงจรถ้ากระแสสูงสุด ดังนั้นที่ โหนดเอาต์พุต จะได้กระแสเอาต์พุตต่ำสุด i_{\min} มีสมการเป็น

$$i_{\min} = I_R - i_{\max} \quad (3.35)$$

จากสมการที่ (3.34) และ (3.35) จะเห็นได้ว่า มีความสอดคล้องกับสมการที่ (3.30) และ (3.31) ดังนั้น ในรูปที่ 3.5 จึงทำหน้าที่หาค่ากระแสต่ำสุดโดยใช้กฎของ เคอ มอร์แกน ร่วมกับวงจรถ้ากระแสสูงสุดในการออกแบบ



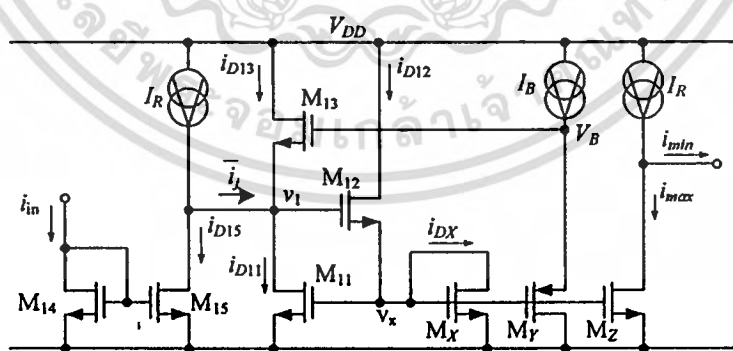
รูปที่ 3.5 วงจรหาค่ากระแสต่ำสุด 2 อินพุต

3.3.3 การวิเคราะห์คุณสมบัติการทำงานของวงจรหาค่ากระแสต่ำสุด

การทำงานของวงจรหาค่ากระแสต่ำสุด 2 อินพุต ที่ได้นำเสนอในหัวข้อที่ 3.3.2 เป็นการกำหนดให้ทรานซิสเตอร์ทุกตัวมีคุณสมบัติเป็นไปตามอุดมคติ และทำงานในช่วงกระแสอิ่มตัว แต่สำหรับในทางปฏิบัติทรานซิสเตอร์แต่ละตัวไม่มีความสมพงษ์กันทุกประการ อีกทั้งค่าความนำของทรานซิสเตอร์ไม่มีค่าเป็นอนันต์ ทำให้คุณสมบัติการทำงานและสมรรถนะของวงจรไม่เป็นไปตามทฤษฎี ดังนั้น ในหัวข้อนี้จะเป็นการวิเคราะห์คุณสมบัติของวงจรหาค่ากระแสต่ำสุด ในส่วนของช่วงปฏิบัติการของกระแสอินพุต ค่าความผิดพลาดของวงจรและการผลการตอบสนองทางความถี่

ก. การวิเคราะห์ช่วงปฏิบัติการของกระแสอินพุต

ในการวิเคราะห์หาช่วงปฏิบัติการของกระแสอินพุตของวงจรหาค่ากระแสต่ำสุด จะพิจารณาจากวงจรที่ทำงานด้วยกระแสอินพุตต่ำสุดหนึ่งอินพุต ดังวงจรในรูปที่ 3.6



รูปที่ 3.6 วงจรหาค่ากระแสต่ำสุดแบบ 1 อินพุต

การทำงานของวงจรหาค่ากระแสต่ำสุดเป็นการนำเอาวงจรหาค่ากระแสสูงสุดมาประยุกต์ใช้ร่วมกับกฎของเดอ มอร์แกน โดยเมื่อป้อนกระแสอินพุต i_{in} เข้าวงจร ทรานซิสเตอร์ M_{14} และ M_{15} ซึ่งทำเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หน้าที่เป็นวงจรสะท้อนกระแส ทำการสะท้อนกระแส i_{in} ไปยัง โหนด v_1 ทำให้ $i_{D15} = i_{in}$ ดังนั้นที่ โหนด v_1 จะได้ความสัมพันธ์ของกระแสเป็น

$$\bar{i}_j = I_R - i_{D15} = I_R - i_{in} \quad (3.36)$$

เมื่อกระแส \bar{i}_j มีค่าเป็นบวก ($\bar{i}_j > 0$) ทำให้ทรานซิสเตอร์ M_{13} ไม่นำกระแส นั่นคือ $i_{D13} = 0$ ดังนั้น กระแส $i_{D11} = \bar{i}_j$ เมื่อแทนค่ากระแส i_{D11} ลงในสมการที่ (3.36) จะได้

$$i_{D11} = I_R - i_{in} \quad (3.37)$$

เมื่อกระแส \bar{i}_j หรือ i_{D11} ถูกป้อนเข้าไปในส่วนของวงจรหาค่ากระแสสูงสุด ซึ่งประกอบด้วย ทรานซิสเตอร์ $M_{11} - M_{13}, M_X, M_Y, M_Z$ และ I_B ทำให้กระแส i_{max} มีค่าเท่ากับ

$$i_{max} = i_{DX} - i_{D11} \quad (3.38)$$

จากสมการที่ (3.37) และ (3.38) จะได้

$$i_{max} = I_R - i_{in} \quad (3.39)$$

พิจารณาที่ โหนด v_0 จะได้กระแสต่ำสุด i_{min} มีค่าเท่ากับ

$$i_{min} = I_R - i_{max} \quad (3.40)$$

เมื่อแทนค่ากระแส i_{max} จากสมการที่ (3.39) ลงในสมการที่ (3.40) จะได้

$$i_{min} = I_R - (I_R - i_{in}) = i_{in} \quad (3.41)$$

จากสมการที่ (3.40) และ (3.41) จะเห็นได้ว่ากระแสเอาต์พุต i_{min} หรือกระแสอินพุต i_{in} มีค่าสูงสุดคือ

$$i_{min(max)} = i_{in(max)} = I_R \quad (3.42)$$

และจากข้อจำกัดของวงจรสะท้อนกระแสแบบบวกของทรานซิสเตอร์ M_{14} และ M_{15} กระแสที่จุดเข้าของวงจรสะท้อนกระแสต้องมีค่าเป็นบวกเท่านั้น ทำให้ช่วงปฏิบัติการของกระแสอินพุตของวงจรหาค่ากระแสต่ำสุดมีสมการเป็น

$$0 < i_{in} \leq I_R \quad (3.43)$$

จากสมการที่ (3.43) จะเห็นได้ว่า ถ้าต้องการให้ช่วงปฏิบัติการของกระแสอินพุตของวงจรหาค่ากระแสต่ำสุดมีช่วงที่กว้าง สามารถทำได้โดยการให้ค่าแหล่งจ่ายกระแส I_R มีค่าสูง

ข. การวิเคราะห์ความผิดพลาดของวงจร

วงจรหาค่ากระแสต่ำสุดที่นำมาใช้ในวิทยานิพนธ์ฉบับนี้ ใช้โครงสร้างของวงจรสะท้อนกระแสเป็นหลัก ดังนั้นค่าความผิดพลาดของวงจรจึงเกิดจากวงจรสะท้อนกระแสเป็นหลักเช่นกัน ซึ่งค่าผิดพลาดของวงจรหาค่ากระแสต่ำสุด \mathcal{E}_{\min} สามารถเขียนสมการได้เป็น

$$\mathcal{E}_{\min} = 1 - \frac{i_{\min}}{i_{in}} \quad (3.44)$$

จากรูปที่ 3.6 วงจรสะท้อนกระแส M_{14} และ M_{15} ชุดแรก ทำหน้าที่สะท้อนกระแสอินพุต i_{in} ไปยัง โหนด v_1 ทำให้เกิดกระแส i_{D15} ซึ่งสมการที่ (3.17) สามารถเขียนความสัมพันธ์ของกระแสอินพุต i_{in} กับ i_{D15} ได้เป็น

$$i_{D15} = \frac{g_{m15}}{g_{m14}} i_{in} \quad (3.45)$$

พิจารณาที่โหนด v_1 กระแส i_j ซึ่งมีค่าเท่ากับ $I_R - i_{D15}$ ไหลผ่านทรานซิสเตอร์ M_{11} ทำให้ทรานซิสเตอร์ M_{13} ไม่นำกระแส ดังนั้น i_{D11} มีสมการเป็น

$$i_{D11} = I_R - i_{D15} \quad (3.46)$$

จากหลักการของวงจรหาค่ากระแสสูงสุด จะได้ความสัมพันธ์ของกระแส i_{D11} กับ i_{Dx} ดังนั้น

$$i_{D11} = i_{Dx} \quad (3.47)$$

ทรานซิสเตอร์ M_x และ M_z ทำหน้าที่เป็นวงจรสะท้อนกระแส ดังนั้นความสัมพันธ์ของกระแส i_{DX} และ i_{\max} มีค่าเป็น

$$i_{\max} = \frac{g_{ms}}{g_{mx}} i_{DX} \quad (3.48)$$

พิจารณาที่โหนด v_0 จะได้

$$i_{\min} = I_R - i_{\max} \quad (3.49)$$

แทนค่าสมการ (3.45) (3.46) (3.47) และ (3.48) ลงในสมการที่ (3.49) จะได้

$$i_{\min} = I_R - \frac{g_{mz}}{g_{mx}} \left(\frac{g_{m15}}{g_{m14}} i_{in} \right) \quad (3.50)$$

หรือ

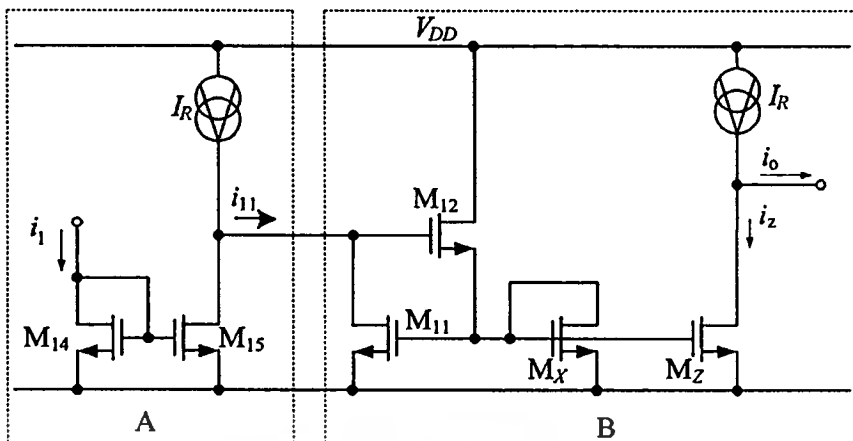
$$i_{\min} = \left(1 - \frac{g_{mz}}{g_{mx}} \right) I_R + \frac{g_{mz} g_{m15}}{g_{mx} g_{m14}} i_{in} \quad (3.51)$$

ดังนั้น ค่าความผิดพลาดของวงจร \mathcal{E}_{\min} จะมีค่าเป็น

$$\mathcal{E}_{\min} = 1 - \left(1 - \frac{g_{mz}}{g_{mx}} \right) \frac{I_R}{i_{in}} - \frac{g_{mz} g_{m15}}{g_{mx} g_{m14}} \quad (3.52)$$

ก. การวิเคราะห์ผลตอบสนองทางความถี่ของวงจร

จากการทำงานของวงจรหาค่าต่ำสุด 2 อินพุตในรูปที่ 3.5 ถ้ากำหนดให้สัญญาณกระแสอินพุต i_1 มีค่าน้อยกว่าอีกหนึ่งอินพุตคือกระแส i_2 จะเป็นผลให้ทรานซิสเตอร์ M_{22} หยุดนำกระแสหรือหยุดทำงาน ส่งผลให้ทรานซิสเตอร์ M_{21} ถึง M_{23} ถูกแยกออกจากวงจรหลัก ขณะเดียวกันทรานซิสเตอร์ M_{13} จะหยุดนำกระแสเนื่องจากแรงดัน v_1 เท่ากับแรงดัน v_B ดังนั้นจะสามารถเขียนวงจรในรูปที่ 3.5 ใหม่เป็นวงจรที่มีอินพุตเพียงจุดเดียวดังรูปที่ 3.7

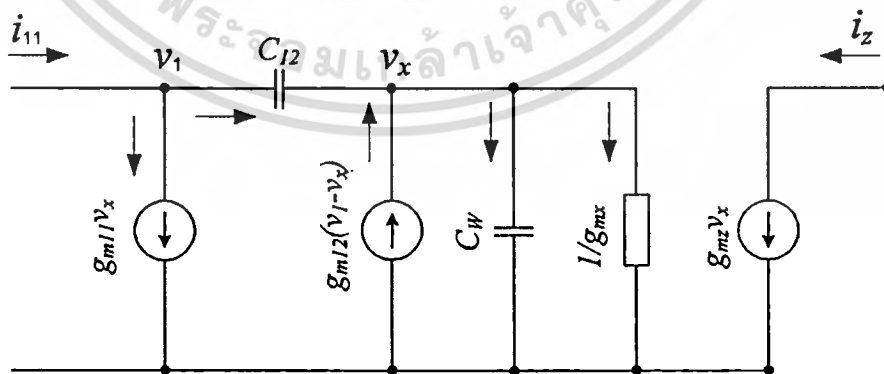


รูปที่ 3.7 การทำงานของวงจรในรูปที่ 3.5 เมื่อ i_1 มีค่าน้อยที่สุด

จากรูปที่ 3.7 จะสามารถพิจารณาหาผลตอบสนองทางความถี่ของวงจรได้โดยการแยกส่วนพิจารณาออกเป็น 2 ส่วน โดยใน ส่วน A จะเป็นผลตอบสนองทางความถี่ของวงจรสะท้อนกระแส M_{14} และ M_{15} ซึ่งได้กล่าวถึงวงจรสะท้อนกระแสมาแล้วในหัวข้อที่ 3.2.1 จะได้ผลตอบสนองทางความถี่ของวงจรสะท้อนกระแส M_{14} และ M_{15} ที่ขึ้นอยู่กับค่าโพลที่ตำแหน่งความถี่

$$\omega_{mp1} = \frac{g_{m14}}{C_{gs14} + C_{gs15}} \tag{3.53}$$

ในส่วน B จะสามารถเขียนเป็นวงจรสมมูลสำหรับการวิเคราะห์ได้ดังรูปที่ 3.8 เนื่องจาก $g_m \gg g_{ds}$ ดังนั้นในการวิเคราะห์จะตัดผลของ g_{ds} ออกเพื่อความสะดวกในการพิจารณา



รูปที่ 3.8 วงจรสมมูลของส่วน B ในรูปที่ 3.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 3.8 ตัวเก็บประจุ C_w จะเป็นผลรวมของตัวเก็บประจุ $C_{gs11}, C_{gmx}, C_{gsz}$ และ C_{gs21} ที่โนด v_1 จะได้ว่า

$$i_{i1} - g_{m11}v_x - C_{12}s(v_1 - v_x) = 0 \quad (3.54)$$

จากสมการที่ (3.54) จะได้ว่า

$$v_1 = \frac{i_1}{C_{12}s} - \frac{(g_{m11} - C_{12}s)}{C_{12}s}v_x \quad (3.55)$$

พิจารณาที่โนด v_x จะได้ว่า

$$v_{x1} = \frac{(g_{m12} + C_{12}s)v_1}{(g_{m12} + g_{mx} + C_{12}s + C_w s)} \quad (3.56)$$

กำหนดให้ทรานซิสเตอร์ $M_{11}, M_{13}, M_{21}, M_x$ และ M_z มีค่า W และ L ที่เท่ากันดังนั้น จะได้ว่า $g_{m11} = g_{m12} = g_{mx} = g_{mz}$ และ $C_{gs11} = C_{gs12} = C_{gmx} = C_{gsz} = C_{gs21}$ ซึ่งจะได้ C_w ที่มีค่าเท่ากับ $4C_{12}$ จากสมการที่ (3.55) และ (3.56) จะได้ว่า

$$v_x = \frac{(g_{m12} + C_{12}s)i_1}{((C_w C_{12}) - C_{12}^2)s^2 + ((g_{m12} + g_{mx})C_{12} + g_{m11}C_{12}s - C_{12}g_{m12})s + g_{m11}g_{m12}} \quad (3.57)$$

จากเงื่อนไขที่ได้กำหนดสำหรับทรานซิสเตอร์ $M_{11}, M_{13}, M_{21}, M_x$ และ M_z มาข้างต้น สมการที่ (3.57) สามารถเขียนใหม่ได้ดังนี้

$$v_x = \frac{(g_{m12} + C_{12}s)i_1}{3C_{12}^2s^2 + 2g_{m11}C_{12}s + g_{m12}^2} \quad (3.58)$$

จากสมการที่ (3.58) จะได้กระแส i_{max} ดังนี้

$$i_z = \frac{g_{mz}g_{m12}}{g_{m12}^2} \frac{(1 + \frac{C_{12}s}{g_{m12}})i_1}{(\frac{3C_{12}^2s^2}{g_{m12}^2} + \frac{2C_{12}s}{g_{m12}} + 1)} \quad (3.59)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ

$$i_2 = \frac{(1 + \frac{C_{12}s}{g_{m12}})i_1}{(\frac{3C_{12}^2s^2}{g_{m12}^2} + \frac{2C_{12}s}{g_{m12}} + 1)} \quad (3.60)$$

เมื่อพิจารณาค่าโพลและซีโรของสมการที่ (3.60) จะได้ว่าค่าความถี่ของโพล ω_{mp2} และค่าความถี่ของซีโร ω_{mz1} ดังนี้

$$\omega_{mp2} = \frac{g_{mp1}}{\sqrt{3}C_{12}} \quad (3.61)$$

และ

$$\omega_{mz1} = \frac{g_{mp1}}{C_{12}} \quad (3.62)$$

จากสมการที่ (3.61) และ (3.62) จะเห็นได้ว่า ω_{mp2} จะมีค่าที่ต่ำกว่า ω_{mz1} และในขณะเดียวกันเมื่อเปรียบเทียบกับ ω_{mp1} โดยกำหนดให้ค่า W และ L ของทรานซิสเตอร์ M_{14} และ M_{15} มีค่าเท่ากับ M_{12} จะได้ว่าค่าความถี่ $\omega_{mp1} = g_{m12}/2C_{gs12}$ จะมีค่าที่ต่ำกว่า ω_{mp2} ดังนั้นผลตอบสนองของกระแสจุกออก i_0 ในรูปที่ 3.7 จึงขึ้นอยู่กับค่าโพลที่ความถี่ ω_{mp1} ในสมการที่ (3.53)

3.4 วงจรตรวจจับค่ายอดสัญญาณกระแส

3.4.1 การทำงานของวงจรตรวจจับค่ายอดสัญญาณกระแส

วงจรตรวจจับค่ายอดสัญญาณที่ทำงานในโหมดกระแส [9] แสดงในรูปที่ 3.9 โดยหลักการทำงานของวงจร คือ เมื่อมีสัญญาณอินพุตเข้ามาวงจรจะทำการส่งค่าสัญญาณกระแสอินพุตไปยังส่วนที่ทำการตรวจจับค่าสัญญาณและคงค่าสัญญาณนั้นไว้ โดยกำหนดให้ทรานซิสเตอร์ $M_{p1} - M_{p4}$ มีความสมพงษ์กันทุกประการและทำงานในช่วงอิมิตัว ซึ่งการทำงานของวงจรสามารถอธิบายการทำงานได้ดังนี้

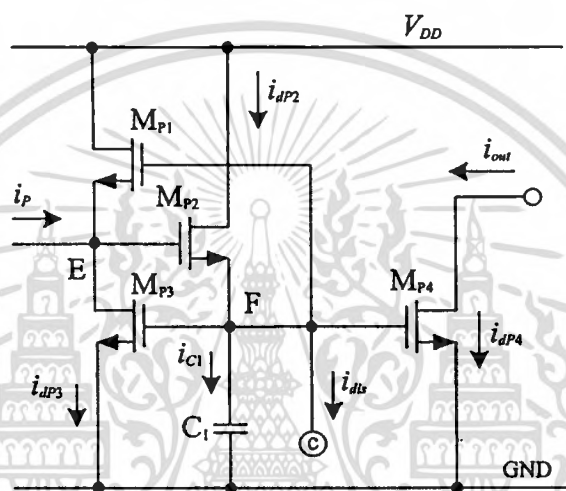
กระแส i_p จะถูกป้อนให้แก่วงจรตรวจจับค่ายอดสัญญาณ เพื่อส่งผ่านไปยัง โนคเอาต์พุต ทรานซิสเตอร์ $M_{p3} - M_{p4}$ ถูกกำหนดให้เป็นวงจรสะท้อนกระแสที่มีอัตราการส่งผ่านกระแสเท่ากับหนึ่ง ทรานซิสเตอร์ M_{p1} และ M_{p2} เป็นวงจรตามกระแสเพื่อส่งผ่านกระแส i_{dp2} ไปเป็นกระแสประจุ i_{C1} ให้แก่คาปาซิเตอร์ C_1 ตามลำดับ โดยที่ C_1 คือ ตัวเก็บประจุที่นำมาต่อภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรแรงดัน v_{C1} ที่ตกคร่อมตัวเก็บประจุ C_1 สามารถแสดงสมการค่าแรงดันที่ตกคร่อมตัวเก็บประจุได้ดังสมการนี้

$$V_{C1} = \sqrt{\frac{2I_p}{\beta_1}} + V_T \quad (3.63)$$

โดย $\beta_1 = K'W/2L$ คือ ค่าพารามิเตอร์ของค่าความนำกระแสของมอสทรานซิสเตอร์
 V_T คือ ค่าแรงดันขั้วเริ่มของทรานซิสเตอร์ M_{P3}



รูปที่ 3.9 วงจรตรวจจับค่าขอดีสัญญาณกระแส

ถ้าสัญญาณอินพุตเป็นบวก ($i_p > 0$) กระแสอินพุตจะไหลเข้าทางด้านอินพุตที่โหนด E ทำให้แรงดันที่โหนด E เพิ่มขึ้น เกิดแรงดันตกคร่อมขาเกตและขาซอสของทรานซิสเตอร์ M_{P2} ทำให้ทรานซิสเตอร์ M_{P2} ทำงานและมีกระแสไหลมายังโหนด F ทำการประจุคาปาซิเตอร์ C_1 (เป็นผลให้แรงดันที่ตกคร่อมขาเกตและขาซอร์สของ M_{P1} มีค่าเป็นลบและ M_{P1} จะคัทออฟ) แรงดันที่โหนด F จะมีค่าที่ขึ้นอยู่กับกระแส i_{DP3} หรือ i_p ซึ่งเป็นแรงดันที่ตกคร่อมขาเกตและขาซอสของ M_{P3} หรือแรงดันที่ตกคร่อมตัวเก็บประจุ C_1 ส่วนขาเกตและซอสของทรานซิสเตอร์ M_{P4} ต่อร่วมอยู่กับตัวเก็บประจุ C_1 และขนานกับทรานซิสเตอร์ M_{P3} ดังนั้นกระแสเดรนของทรานซิสเตอร์ M_{P4} หรือกระแสเอาต์พุตสามารถแสดงได้ ดังสมการ (3.64)

$$i_{out} = i_{DP4} = i_{DP3} = \frac{KW}{2L} (V_{C1} - V_T)^2 \quad (3.64)$$

โดย V_{C1} คือ แรงดันที่ตกคร่อมตัวเก็บประจุภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อกระแส i_p มีค่าลดลงดังนั้นกระแส i_{dp1} จะมีค่าเท่ากับกระแสตรงของทรานซิสเตอร์ M_{p3} แต่เนื่องจากค่าแรงดันที่ตกคร่อมตัวเก็บประจุที่เพิ่มขึ้นจนถึงค่าสูงสุดในช่วงแรกของตัวเก็บประจุจะมีแรงดันตกคร่อมที่สูงเป็นผลทำให้ทรานซิสเตอร์ M_{p2} คัทออฟ จากผลของแรงดันที่ตกคร่อมตัวเก็บประจุจะทำให้กระแสตรงของ M_{p3} เท่ากับกระแสตรงของ M_{p4} เนื่องจากสัญญาณอินพุตที่เข้ามามีค่าต่ำกว่าสัญญาณก่อนหน้านี้ จะทำให้แรงดันที่โนด E ลดลง ส่วนทรานซิสเตอร์ M_{p2} ยังคงคัทออฟอยู่ และ ค่าแรงดันที่ตกคร่อมตัวเก็บประจุ C_1 ที่ยังไม่เปลี่ยนค่า จึงทำให้กระแสตรงของทรานซิสเตอร์ M_{p3} ยังคงมีค่าเท่ากับค่าเดิม ถ้ากระแสอินพุต i_p มีค่ามากขึ้นกว่าเดิมจะทำให้แรงดันที่โนด E เพิ่มขึ้น ทรานซิสเตอร์ M_{p2} จะทำงาน แรงดันที่ตกคร่อมตัวเก็บประจุ C_1 จะเพิ่มขึ้นตามและทำให้กระแสตรงของทรานซิสเตอร์ M_{p3} และ M_{p4} มีค่าสัมพันธ์กับกระแสอินพุตที่เพิ่มขึ้น และคงค่ากระแสไว้

สำหรับสัญญาณอินพุตที่เข้ามามีค่าเป็นลบ แรงดันที่ตกคร่อมที่โนด E จะลดลง ทำให้ทรานซิสเตอร์ M_{p2} คัทออฟ สัญญาณอินพุตที่เป็นลบ จะไหลผ่านทรานซิสเตอร์ M_{p1} และจะไม่มีผลต่อแรงดันที่ตกคร่อมตัวเก็บประจุ ดังนั้นขาตรงของทรานซิสเตอร์ M_{p3} และกระแสเอาต์พุตจะยังคงเป็นค่าเดิม จะสังเกตได้ว่ากระแสเอาต์พุตจะเป็นค่าขอดสัญญาณของสัญญาณอินพุต ตามวงจรสมมูลค่าความต้านทานที่ขนานกับตัวเก็บประจุ C_1 จะมีผลทำให้แรงดันที่ตกคร่อมตัวเก็บประจุลดลง ซึ่งค่าแรงดันที่ลดลงต่อเวลา แสดงดังสมการที่ (3.65)

$$\frac{\Delta V_C}{\Delta T} = \frac{I_{leakage}}{C} \quad (3.65)$$

เมื่อ $I_{leakage}$ เป็นค่ากระแสรั่วไหลของตัวเก็บประจุ C_1 ซึ่งอัตราการลดลงนี้จะลดลงเมื่อใช้กับค่าตัวเก็บประจุภายนอกที่นำมาต่อนั้นมีค่ามากขึ้น แต่อย่างไรก็ตามผลตอบสนองต่อเวลาในการจับค่าขอดกระแสจะเพิ่มขึ้นตามค่าตัวเก็บประจุที่เพิ่มขึ้น

3.4.2 การวิเคราะห์คุณสมบัติการทำงานของวงจรตรวจจับค่าขอดสัญญาณกระแส

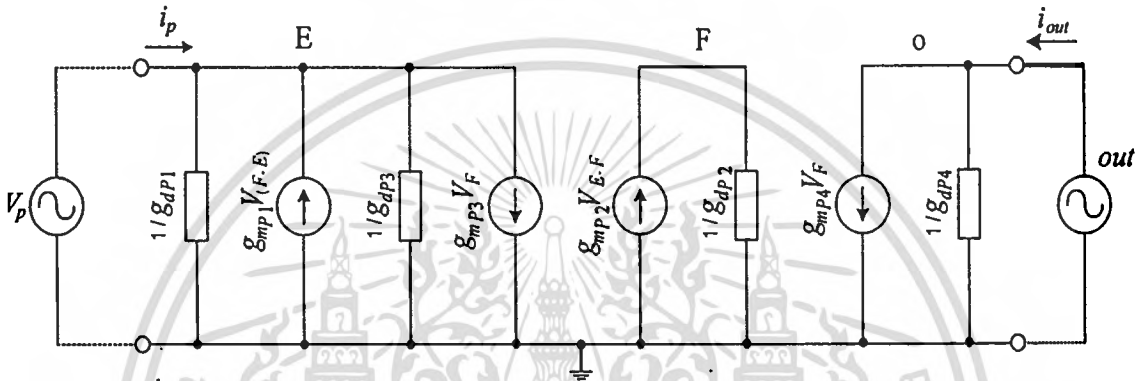
ในหัวข้อการวิเคราะห์คุณสมบัติการทำงานของวงจร เนื่องจากวงจรตรวจจับค่าขอดสัญญาณกระแสที่นำเสนอนี้ เป็นวงจรรย่อยที่มีผลต่อสมรรถนะของวงจรด้วยเช่นเดียวกับวงจรรย่อยอื่น ในการวิเคราะห์คุณสมบัติการทำงานของวงจรจะทำการวิเคราะห์ในส่วนวงจรตรวจจับค่าขอดสัญญาณกระแส โดยจะแสดงการวิเคราะห์ค่าความต้านทานที่จุดเข้าและจุดออก ค่าช่วงปฏิบัติการทางขนาดของสัญญาณอินพุต ผลตอบสนองทางความถี่และค่าความผิดพลาดของวงจร

สำหรับการวิเคราะห์ค่าความต้านทาน ในที่นี้ค่าความต้านทานที่จุดเข้าที่พิจารณา คือจุดเข้า E ส่วนความต้านทานจุดออกจะพิจารณาที่จุด O จากวงจรในรูปที่ 3.9 การวิเคราะห์ค่า

ความต้านทานที่จุดเข้าและจุดออกของวงจรสามารถทำได้โดยการแทนวงจรในรูปที่ 3.9 ด้วยวงจรเสมือนสำหรับสัญญาณขนาดเล็ก โดยไม่พิจารณาผลของตัวเก็บประจุแฝงดังแสดงในรูปที่ 3.10

ก. การวิเคราะห์ค่าความต้านทานที่จุดเข้า

การวิเคราะห์ค่าความต้านทานที่จุดเข้าของวงจรสามารถหาได้จากความสัมพันธ์จากการพิจารณากระแสที่จุดเข้า i_p ที่ไหลเข้าสู่วงจร โดยใช้กฎของเคอร์ชอร์ฟ ที่จุดเข้าซึ่งจะได้ดังนี้



รูปที่ 3.10 วงจรสมมูลสำหรับการคำนวณหาค่าความต้านทานที่จุดเข้า

ที่จุด E จะได้

$$i_p = g_{dP1}V_E - g_{mP1}(V_F - V_E) + g_{dP3}V_E + g_{mP3}V_F \quad (3.66)$$

$$i_p = (g_{dP1} + g_{mP1} + g_{dP3})V_E + (g_{mP3} - g_{mP1})V_F \quad (3.67)$$

จากสมการข้างต้นประมาณได้ว่า $g_m \gg g_d$ นั่นคือ ให้ $g_d \cong 0$ จะได้

$$i_p = (g_{mP3} - g_{mP1})V_F + g_{mP1}V_E \quad (3.68)$$

เมื่อ g_{di} คือ ค่าความนำซึ่งเป็นส่วนกลับของค่าความต้านทานเอาต์พุตของมอสเฟต M_1 ,

g_{mi} คือ ค่าความนำสำหรับสัญญาณขนาดเล็กของมอสเฟต M_1 ,

และจากความสัมพันธ์ที่จุด F จะได้ว่า

$$g_{mP2}(V_E - V_F) + g_{DP2}V_F = 0 \quad (3.69)$$

$$g_{mP2}V_E + (g_{DP2} - g_{mP2})V_F = 0 \quad (3.70)$$

จากการประมาณค่า $g_m \gg g_d$ นั่นคือ ให้ $g_d \cong 0$ จะได้

$$g_{mP2}V_E = g_{mP2}V_F \quad (3.71)$$

เมื่อแทนค่าสมการ (3.71) ลงในสมการ (3.68) จะได้ความสัมพันธ์

$$i_p = (g_{mP3} + g_{mP1})V_E - g_{mP1}V_E \quad (3.72)$$

$$i_p = g_{mP3}V_E \quad (3.73)$$

ในที่นี้ V_E คือแรงดันที่จุดเข้า v_p จากสมการที่ (3.68) ถึง (3.70) สามารถหาค่าความต้านทานจุดเข้าที่จุด E ได้ดังนี้

$$r_{in} = \frac{v_p}{i_p} = \frac{1}{g_{mP3}} \quad (3.74)$$

ข. การวิเคราะห์ค่าความต้านทานที่จุดออก

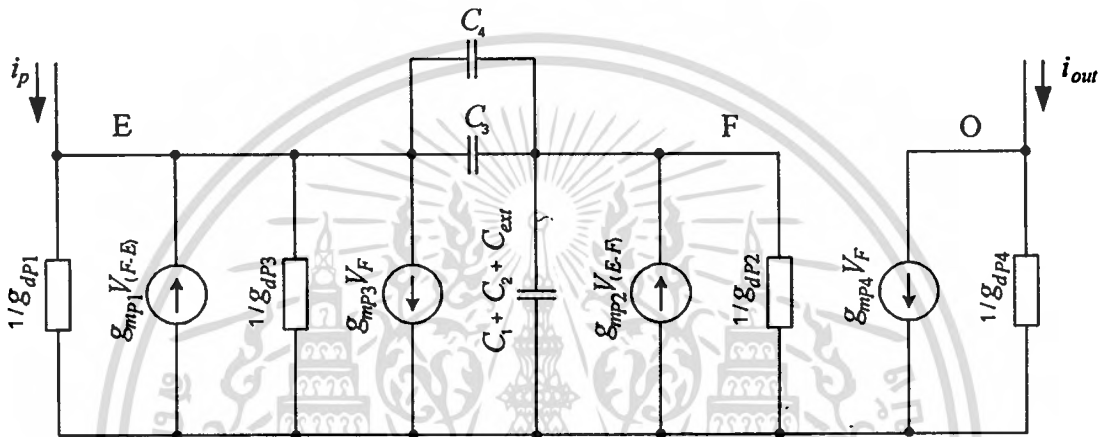
จากวงจรสมมูลในรูปที่ 3.10 ในทำนองเดียวกันกับการวิเคราะห์หาค่าความต้านทานที่จุดเข้า E ในการวิเคราะห์ค่าความต้านทานที่จุดออกของวงจรจะสามารถได้โดยพิจารณาหาค่ากระแสที่ไหลออก i_{out} โดยไม่พิจารณาผลอันเนื่องมาจากแรงดันจุดเข้า V_p ซึ่งจะได้ความสัมพันธ์ดังนี้

$$r_{out} = \frac{v_{out}}{i_{out}} = \frac{1}{g_{dP4}} \quad (3.75)$$

เมื่อ g_{dP4} เป็นค่าความนำระหว่างขาเดรนและขาซอร์ของมอสทรานซิสเตอร์ M_{P4}

ค. การวิเคราะห์ผลตอบสนองทางความถี่ของวงจร

การวิเคราะห์ผลตอบสนองทางความถี่ของวงจรตรวจจับค่าขอดีสัญญาณ สามารถทำได้ด้วยการใช้วงจรสมมูลสำหรับสัญญาณขนาดเล็กของวงจรในรูปที่ 3.9 มาวิเคราะห์หาค่าแสดงในรูปที่ 3.11 โดยพิจารณาถึงตัวเก็บประจุแผ่นที่เกิดขึ้นระหว่างขาเกตและขาซอส เนื่องจากตัวเก็บประจุแผ่นนี้มีความสำคัญมากต่อผลตอบสนองทางความถี่ของวงจร เมื่อทำการป้อนกระแส i_p ที่จุดเข้า E จากนั้นพิจารณาหาค่ากระแสจุดออก i_{out} ที่จุดออก O ของวงจรโดยอาศัยกฎของ จะได้ความสัมพันธ์ที่จุดต่าง ๆ ดังนี้



รูปที่ 3.11 วงจรสมมูลสำหรับการวิเคราะห์ผลตอบสนองทางความถี่

จากจุด E จะได้

$$i_p = g_{mP1}(V_F - V_E) + g_{mP3}V_F + C_{34}sV_E - C_3sV_F \quad (3.76)$$

ในที่นี้กำหนดให้ $C_{34} = C_3 + C_4$ ซึ่งเมื่อจัดรูปใหม่จะได้ว่า

$$i_p = (C_{34}s - g_{mP1})v_{P3} + (g_{mP1} + g_{mP3} - C_{34}s)v_{P4} \quad (3.77)$$

จากจุด F จะได้ว่า

$$C_{ext+12}s v_{P4} + g_{mP2}(v_{P3} - v_{P4}) + C_{34}s v_{P3} - C_{34}s v_{P4} = 0 \quad (3.78)$$

โดยกำหนดให้ $C_{ext} = C_{external} + C_1 + C_2$

เมื่อ $C_{external}$ คือ ค่าตัวเก็บประจุภายนอกที่ใช้สำหรับคงค่าที่นำมาต่อในวงจรที่ 3.9 ทำการจัดรูปสมการ ณ จุด F ใหม่จะได้สมการต่อไปนี้

$$(g_{mP2} + C_{34}s)V_E + (C_{ext+12}s - g_{mP4} - C_{34}s)V_F = 0 \quad (3.79)$$

$$V_E = \frac{(g_{mP2} + C_{34}s - C_{ext+12}s)}{g_{mP2} + C_{34}s} V_F \quad (3.80)$$

เมื่อแทนสมการที่ (3.77) ลงในสมการที่ (3.78) จะได้ความสัมพันธ์ดังสมการที่ (3.81) คือ

$$i_p = \frac{(C_{34}s - g_{mP1})(g_{mP1} + C_{34}s - C_{ext+12}s)}{g_{mP2} + C_{34}s} V_E + (g_{mP1} + g_{mP3} - C_{34}s)V_F \quad (3.81)$$

จากจุด O ของวงจรในรูปที่ 3.11 จะได้ความสัมพันธ์

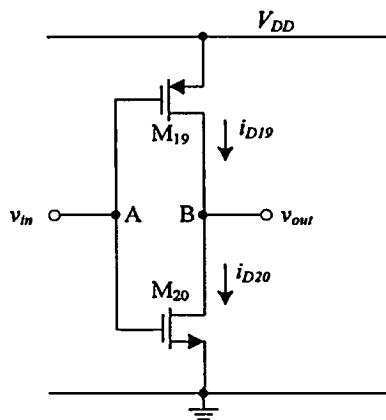
$$i_{out} = g_m V_F \quad (3.82)$$

จากการประมาณค่า $g_m \gg g_d$ นั่นคือ ให้ $g_d \approx 0$ ผลตอบสนองของวงจรตรวจจับค่าขอดีสัญญาณที่นำเสนอคือ

$$\frac{i_{out}}{i_{in}} = \frac{g_{mP4}g_{mP2} \left(1 + \frac{C_{34}}{g_{mP4}}s\right)}{\frac{C_{34}C_{ext+12}}{g_{mP3}g_{mP2}}s^2 + \frac{C_{34}}{g_{mP2}}s + 1} \quad (3.83)$$

3.5 วงจรอินเวอร์เตอร์

ในรูปที่ 3.12 แสดงโครงสร้างของวงจรอินเวอร์เตอร์ (Inverter) ซึ่งประกอบด้วยทรานซิสเตอร์ เอ็มมอส M_{19} และพีเอ็มอส M_{20} โดยขาเกตและขาเดรนของทรานซิสเตอร์ทั้งสองต่อร่วมกันที่โนด A และโนด B ตามลำดับ การทำงานของวงจรสามารถอธิบายได้ดังนี้



รูปที่ 3.12 วงจรอินเวอร์เตอร์

ถ้าป้อนค่าแรงดันอินพุต v_{in} เท่ากับศูนย์ ($v_{in} = 0$) จะได้ว่า $v_{GS20} = 0$ และ $v_{GS19} = V_{DD}$ มีผลทำให้ M_{20} จะอยู่ในสถานะไม่นำกระแส (Cut off) ซึ่งมีค่ากระแสทรานซิสเตอร์ $i_{D20} = 0$ ส่วนทรานซิสเตอร์ M_{19} จะทำงานในช่วงนำกระแสไม่อิ่มตัวหรือช่วงเชิงเส้น (Linear region) เป็นผลให้ทรานซิสเตอร์ M_{19} ทำหน้าที่เป็นความต้านทาน ดังนั้นแรงดันเอาต์พุต v_{out} จะมีค่าดังนี้

$$v_{out} = V_{DD} = V_{OH} \quad (3.84)$$

เมื่อ V_{OH} คือ แรงดันที่โหนดจุดออกที่มีสถานะลอจิกเป็น “1”

ในกรณีที่ป้อนค่าแรงดันอินพุต v_{in} เท่ากับ V_{DD} จะได้ว่า $v_{GS19} = 0$ และ $v_{GS20} = V_{DD}$ ทรานซิสเตอร์ M_{19} จะอยู่ในสถานะไม่นำกระแส ซึ่งมีค่ากระแสทรานซิสเตอร์ $i_{D19} = 0$ ส่วนทรานซิสเตอร์ M_{20} จะทำงานในช่วงนำกระแสไม่อิ่มตัวหรือช่วงเชิงเส้น ดังนั้นแรงดันเอาต์พุต v_{out} จะมีค่าดังนี้

$$v_{out} = 0 = V_{OL} \quad (3.85)$$

เมื่อ V_{OL} คือ แรงดันที่โหนดจุดออกที่มีสถานะลอจิกเป็น “0”

จากสมการที่ (3.84) และ (3.85) สามารถเขียนความสัมพันธ์ระหว่างค่าแรงดัน v_{in} และ v_{out} คือ

$$v_{out} = \begin{cases} V_{OH} & \text{เมื่อ } v_{in} = 0 \\ V_{OL} & \text{เมื่อ } v_{in} = V_{DD} \end{cases} \quad (3.86)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากอินเทอร์เน็ตมีการทำงานในลักษณะของการสวิตช์ ดังนั้นจึงมีการทำงานที่เร็วมาก จึงไม่ได้นำมาวิเคราะห์ผลตอบแทนของทางความถี่ ผลตอบแทนของทางความถี่ของวงจรสุ่มและคงค่าสัญญาณที่นำเสนอในวิทยานิพนธ์นี้ จะมีข้อจำกัดทางความถี่ขึ้นอยู่กับวงจรสะท้อนกระแส ดังที่ได้กล่าวมาแล้วข้างต้น

3.6 สรุป

ในบทนี้กล่าวถึง กลุ่มวงจรย่อยที่นำมาใช้ในการออกแบบวงจรสุ่มและคงค่าสัญญาณกระแส ซึ่งอธิบายหลักการการทำงานของวงจรต่างๆ จากหลักการการทำงานของวงจรที่ได้กล่าวมาสามารถนำมาประยุกต์เป็นวงจรสุ่มและคงค่าสัญญาณกระแส โดยใช้พื้นฐานจากวงจรหาค่ากระแสต่ำสุด สำหรับหลักการการทำงานของวงจรสุ่มและคงค่าสัญญาณที่นำเสนอจะกล่าวอยู่ในเนื้อหาของบทที่ 4



บทที่ 4

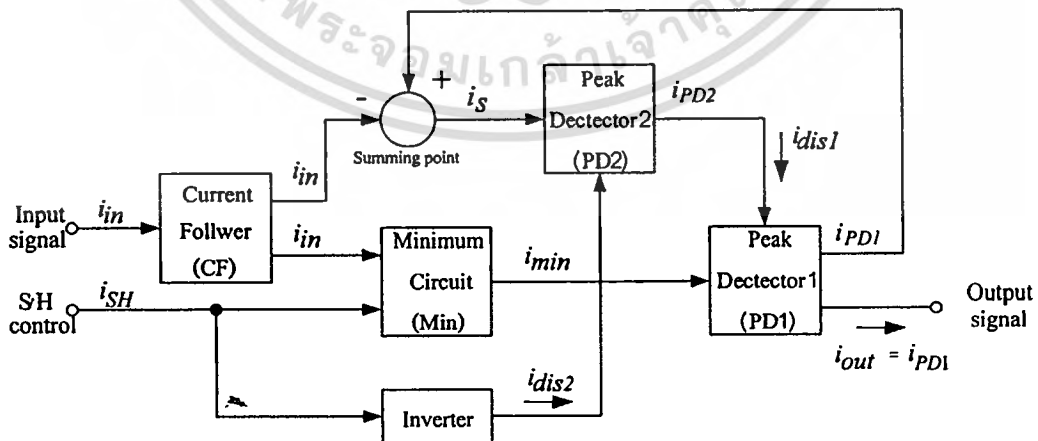
วงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสที่นำเสนอ

4.1 บทนำ

วงจรสุ่มและคงค่าสัญญาณในแบบเดิมที่ใช้อยู่ทั่วไป จะเป็นการสุ่มค่าด้วยสวิทช์อิเล็กทรอนิกส์ และคงค่าสัญญาณด้วยตัวขยายที่มีจุดเข้าอินพุตที่สูงมากและตัวเก็บประจุ ซึ่งการสุ่มค่าด้วยวิธีการใช้สวิทช์อิเล็กทรอนิกส์จะเกิดปัญหาของการฉีดประจุข้ามช่องการนำกระแสของสัญญาณนาฬิกา ที่ใช้ควบคุมการสุ่ม เป็นผลให้สัญญาณเอาต์พุตมีค่าผิดพลาด เพื่อลดผลดังกล่าว ในบทนี้เป็นการเสนอวงจรสุ่มและคงค่าสัญญาณ โดยใช้สัญญาณกระแสที่ประกอบด้วยวงจรถ้าค่ากระแสต่ำสุด และวงจรถรวจับค่ายอดสัญญาณ แทนการใช้วงจรสุ่มและคงค่าด้วยสวิทช์ในวงจรแบบเดิม เป็นผลให้ค่าผิดพลาดที่เกิดจากการฉีดประจุข้ามช่องการนำกระแสของสัญญาณนาฬิกาถูกลดลง

4.2 วงจรสุ่มและคงค่าสัญญาณกระแสที่ได้ทำการออกแบบ

วงจรสุ่มและคงค่าสัญญาณกระแสที่นำเสนอ ประกอบด้วยวงจรถ้าค่ากระแส 2 เอาต์พุต (Dual-output current follower) วงจรถ้าค่ากระแสต่ำสุด (Minimum circuit) วงจรถวนอินเวอร์เตอร์ (Inverter) และวงจรถรวจับค่ายอดสัญญาณ (Peak detector) 2 วงจร ซึ่งภายในวงจรถรวจับค่ายอดสัญญาณจะใช้ตัวเก็บประจุเป็นตัวคงค่าสัญญาณ สัญญาณควบคุม i_{SH} ทำหน้าที่ควบคุมสถานะการทำงานของวงจรถ้าค่ากระแส ถ้า i_{SH} ถูกเซตเป็นสถานะสูง จะทำให้ค่าสัญญาณอินพุตถูกสุ่ม เมื่อ i_{SH} มีสถานะต่ำหรือ $i_{SH} = 0$ ค่าสัญญาณที่ถูกสุ่มจะคงค่าไว้ จนกระทั่งสัญญาณอินพุตถูกสุ่มอีกครั้ง บล็อกไดอะแกรมของวงจรสุ่มและคงค่าสัญญาณที่นำเสนอแสดงตามรูปที่ 4.1



รูปที่ 4.1 บล็อกไดอะแกรมของวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสที่นำเสนอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.1 เมื่อป้อนสัญญาณกระแส i_m เข้าที่วงจรถตามกระแส วงจรถตามกระแสจะส่งผ่านกระแส i_m ไปยังวงจรถหาค่าต่ำสุด เมื่อมีสัญญาณควบคุม i_{SH} มีค่าเท่ากับศูนย์ จะได้กระแส i_{min} มีค่าเท่ากับศูนย์ด้วย ถ้ากระแส i_{SH} มีค่าเท่ากับ " 1 " หรือเท่ากับค่ากระแสไบอัสของวงจรถ หาค่าต่ำสุดจะให้กระแส i_{min} เท่ากับกระแส i_m กระแส i_m จะถูกส่งไปยังวงจรถตรวจจับยอดสัญญาณ PD_1 ทำการคงค่ายอดสัญญาณ ขณะเดียวกันกระแสจุดออก i_{PD1} ของ PD_1 จะถูกส่งไปเปรียบเทียบกับกระแสจุดเข้า i_m ที่วงจรถรวมสัญญาณได้ผลลัพธ์กระแส i_s ส่งไปยัง PD_2 ถ้ากระแส i_m มีค่ามากกว่ากระแส i_{PD1} วงจรถ PD_2 จะไม่ทำงานเนื่องจากกระแส i_s เป็นลบ ทั้งนี้ทั้งวงจรถ PD_1 และ PD_2 จะทำงานเฉพาะสัญญาณกระแสที่เป็นบวก ถ้ากระแส i_s เป็นบวก หรือกระแส i_{PD1} มีค่ามากกว่ากระแส i_m (ซึ่งกระแส i_{PD1} ตอนนี้จะเท่ากับกระแส i_m ในช่วงก่อนหน้า) กระแส $i_s = i_{PD1} - i_m$ จะถูกส่งไปคงค่าที่วงจรถ PD_2 ผลลัพธ์จุดออกของ PD_2 จะเป็นกระแส i_{dis1} ถูกส่งไปดึงประจุออกจากตัวเก็บประจุใน PD_1 ทำให้ PD_1 สามารถคงค่าสัญญาณกระแส i_m ที่เข้ามาใหม่และมีค่าต่ำกว่าได้ เมื่อสัญญาณควบคุม i_{SH} มีค่าเป็น " 0 " หรือไม่มีกระแสไหล วงจรถอินเวอร์เตอร์จะสร้างกระแส i_{dis2} ไปทำการคายประจุจากตัวเก็บประจุใน PD_2 ทำให้ PD_2 พร้อมทั้งจะเริ่มต้นทำงานในจังหวะต่อไป

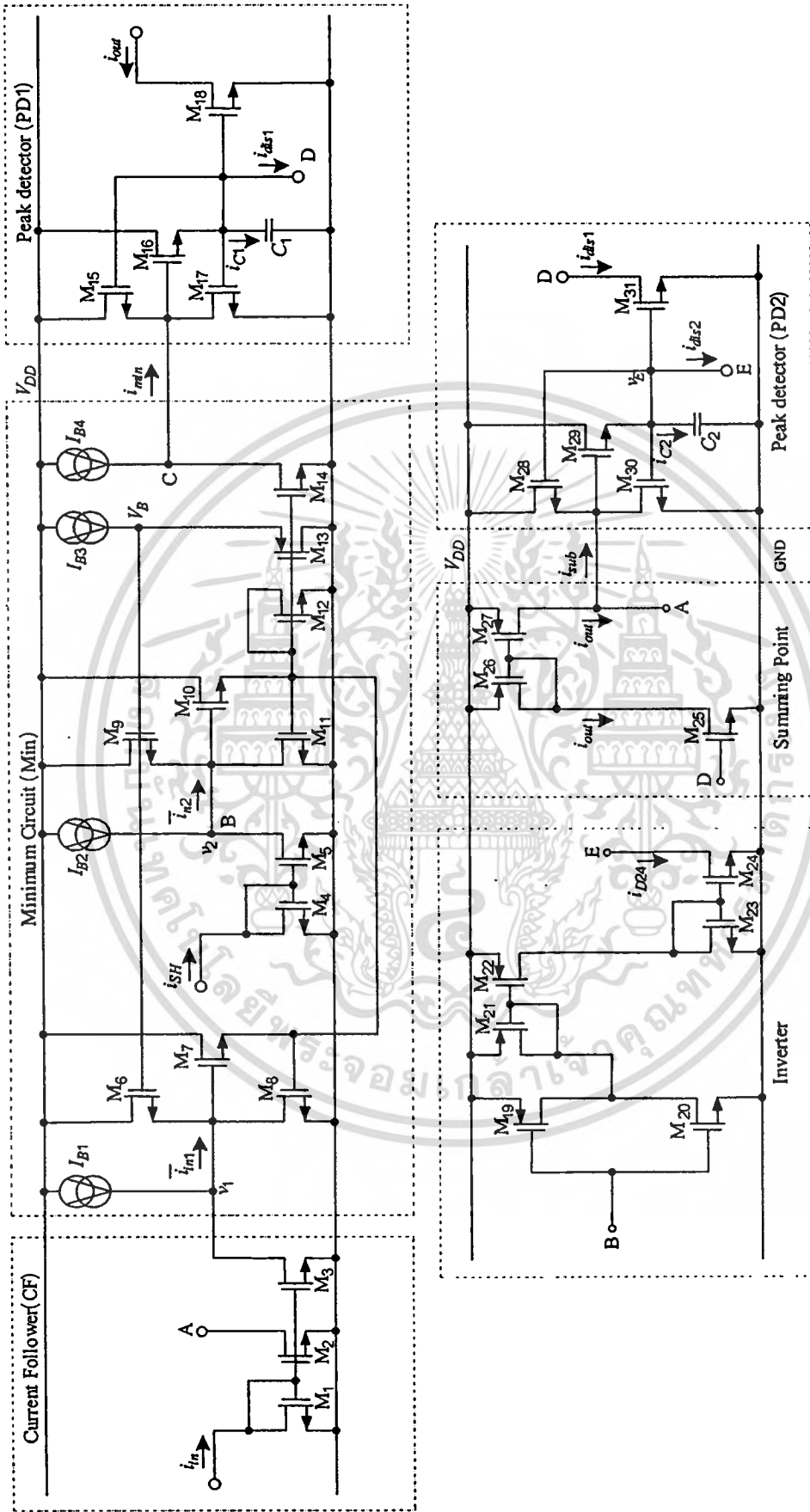
จากหลักการในรูปที่ 4.1 สามารถเขียนเป็นวงจรถุ่มและคงค่าสัญญาณกระแสได้ในรูปที่ 4.2 โดยในวงจรถประกอบด้วย ทรานซิสเตอร์ $M_1 - M_5$ ทำหน้าที่เป็นวงจรถตามกระแส CF ทรานซิสเตอร์ $M_6 - M_{14}$ ทำหน้าที่เป็นวงจรถหาค่าต่ำสุด Min ทรานซิสเตอร์ $M_{15} - M_{18}$ และ $M_{28} - M_{31}$ ทำหน้าที่เป็นวงจรถตรวจจับค่ายอดสัญญาณ PD_1 และ PD_2 ตามลำดับ ทรานซิสเตอร์ $M_{25} - M_{27}$ ทำหน้าที่เป็นวงจรถรวมสัญญาณและทรานซิสเตอร์ $M_{19} - M_{24}$ ทำหน้าที่เป็นวงจรถอินเวอร์เตอร์ การทำงานของวงจรถในรูปที่ 4.2 สามารถอธิบายได้ดังนี้ วงจรถตามกระแส CF จะมีการทำงานเหมือนกับวงจรถสะท้อนกระแส 2 เอาต์พุต โดยมีแหล่งจ่ายกระแสคงที่ $I_{B1} = I_B$ ทำหน้าที่กลับทิศทางตรงกันข้ามของกระแสอินพุต i_{m1} ให้เป็น $\overline{i_{m1}}$ ทั้งนี้กระแส i_m สามารถแปรค่าได้ตั้งแต่ศูนย์ถึง I_B โดยกระแส $\overline{i_{m1}}$ จะมีค่าดังนี้

$$\overline{i_{m1}} = I_{B1} - i_{m1} = I_B - i_m \quad (4.1)$$

ในขณะเดียวกันสัญญาณกระแสควบคุม i_{SH} จะทำการควบคุมการสุมหรือคงค่า โดยกระแส i_{SH} จะแปรค่าได้ 2 ค่า คือ การคงค่าใช้ระดับ " 0 " จะมีกระแส $i_{SH} = 0$ และการสุมใช้ระดับ " 1 " จะมีกระแส $i_{SH} = I_B$ เมื่อกระแส $i_{SH} = I_B$ ซึ่งเป็นการสุมค่าจะได้กระแส $\overline{i_{m2}}$ ดังนี้

$$\overline{i_{m2}} = I_{B2} - i_{SH} \quad (4.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 วงจรลุ่มและคงค่าสัญญาณกระแสแบบซีมอสที่นำเสนอสู่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการออกแบบวงจรจะกำหนดให้กระแสที่ $I_{B1} = I_{B2} = I_{B3} = I_{B4} = I_B$ ดังนั้นสมการที่ (4.2) จะเขียนใหม่ได้ว่า

$$\overline{i_{in2}} = I_B - i_{SH} \quad (4.3)$$

ในขณะเดียวกัน ที่จุด B จะมีค่าแรงดันที่ต่ำหรือกล่าวได้ว่าเป็นระดับ “ 0 ” ทำให้วงจรอินเวอร์เตอร์ที่จุด B มีค่าเป็น “ 0 ” เป็นผลให้ไม่เกิดกระแส i_{D24} ที่จุด E หรือ $i_{D24} = 0$

เมื่อพิจารณาการทำงานของวงจร Min จะได้ว่ากระแส $\overline{i_{in1}}$ มีค่ามากกว่า $\overline{i_{in2}}$ หรือ $\overline{i_{in1}} < i_{SH}$ จะได้กระแส i_{min} มีค่าเท่ากับ

$$i_{min} = I_{B4} - \overline{i_{in1}} = i_{in} \quad (4.4)$$

กระแส i_{in} จะถูกส่งเข้าวงจรตรวจจับค่าออกสัญญาณ PD₁ ทำงานคงค่า โดยจะได้กระแส $i_{out} = i_{in}$ ทรานซิสเตอร์ M₁₃ และแหล่งจ่ายกระแส I_{B3} จะถูกกำหนดให้สร้างแรงดัน v_B มีค่าเท่ากับ $3V_T$ เพื่อให้ทรานซิสเตอร์ M₇, M₈, M₁₀, M₁₁ และ M₁₂ ทำงานที่ขอบของการนำกระแสเพื่อลดค่าผิดพลาดที่เกิดจากการทำงานในช่วงนำกระแสและหยุดนำกระแสของทรานซิสเตอร์ดังกล่าว เมื่อสัญญาณควบคุม i_{SH} มีค่าเท่ากับ “ 0 ” หรือการคงค่า จะได้ว่าแรงดันที่จุด B จะมีค่าเท่าที่สูงหรือลอจิก “ 1 ” และวงจรอินเวอร์เตอร์จะทำให้ทรานซิสเตอร์ M₂₄ นำกระแสหรือกระแส $i_{D24} = i_{dis2}$ มีค่าเท่ากับ

$$I_{D24} = \frac{KW}{2L} (V_{C1} - V_T)^2 \quad (4.5)$$

กระแส i_{D24} จะถูกกำหนดให้มีค่าที่สูงกว่า i_B มากดังนั้นกระแส i_{D24} หรือกระแส i_{dis2} จะถูกดึงออกจากตัวเก็บประจุ C₂ ซึ่งเสมือนกับตัวเก็บประจุ C₂ ถูกลัดวงจรเป็นผลให้ $v_E = 0$ และกระแส $i_{dis1} = 0$ ด้วย สำหรับวงจรตรวจจับค่าออกสัญญาณ PD₂ จะเริ่มทำงานเมื่อกระแส i_{SH} มีค่าเป็น “ 0 ” หรือช่วงการคงค่าโดยทำการคงค่ากระแส i_{sub} ที่ได้มาจากวงจรรวมสัญญาณ ถ้ากระแส i_{in} มีค่ามากกว่ากระแส i_{out} (ซึ่งก็คือค่ากระแส i_{in} ในช่วงก่อนหน้า) กระแส i_{sub} จะมีค่าเป็นลบ เป็นผลให้ PD₂ ไม่ทำงานหรือกระแส $i_{dis1} = 0$ แต่ถ้ากระแส i_{in} มีค่าน้อยกว่ากระแส i_{out} จะเกิดกระแส i_{sub} ขึ้นที่มีค่าเท่ากับ

$$i_{sub} = i_{out} - i_{in} \quad (4.6)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในช่วงของ $i_{SH} = "1"$ วงจรตรวจจับค่ายอดสัญญาณ PD₂ จะคงกระแส i_{sub} และกระแส $i_{dis1} = i_{sub}$ จะดึงกระแสที่ประจุที่ C₁ ของ PD₁ ออกเป็นผลให้กระแส i_{out} ลดลงจนกระทั่งมีค่าเท่ากับกระแส i_{min} ที่มีค่าเท่ากับกระแสอินพุต i_{in} ค่าใหม่ที่เข้ามา ถ้าพิจารณาการทำงานของวงจรอินเวอร์เตอร์ โดยให้กระแส i_{D24} ที่ค่าสูงสุดมีสถานะ "ON" และค่ากระแส i_{D24} ที่ค่าต่ำสุดหรือศูนย์ที่สถานะ "OFF" จะเขียนเงื่อนไขของกระแส i_{dis1} ได้ดังนี้

$$i_{dis1} = \begin{cases} i_{out} - i_{in} & \text{เมื่อ } i_{SH} = "1" \\ 0 & \text{เมื่อ } i_{SH} = "0" \end{cases} \quad (4.7)$$

จากสมการที่ (4.7) และการทำงานของวงจรตรวจจับค่ายอดสัญญาณ สามารถเขียนเงื่อนไขของกระแส i_{dis1} ได้ใหม่เป็น

$$i_{dis1} = \begin{cases} i_{out} - i_{in} & \text{เมื่อ } i_{SH} = "1" \text{ และ } i_{out} > i_{in} \\ 0 & \text{เมื่อ } i_{SH} = "1" \text{ และ } i_{out} < i_{in} \\ 0 & \text{เมื่อ } i_{SH} = "0" \end{cases} \quad (4.8)$$

สำหรับกระแส i_{D24} หรือกระแส i_{dis2} จะสามารถเขียนเงื่อนไขได้ดังนี้

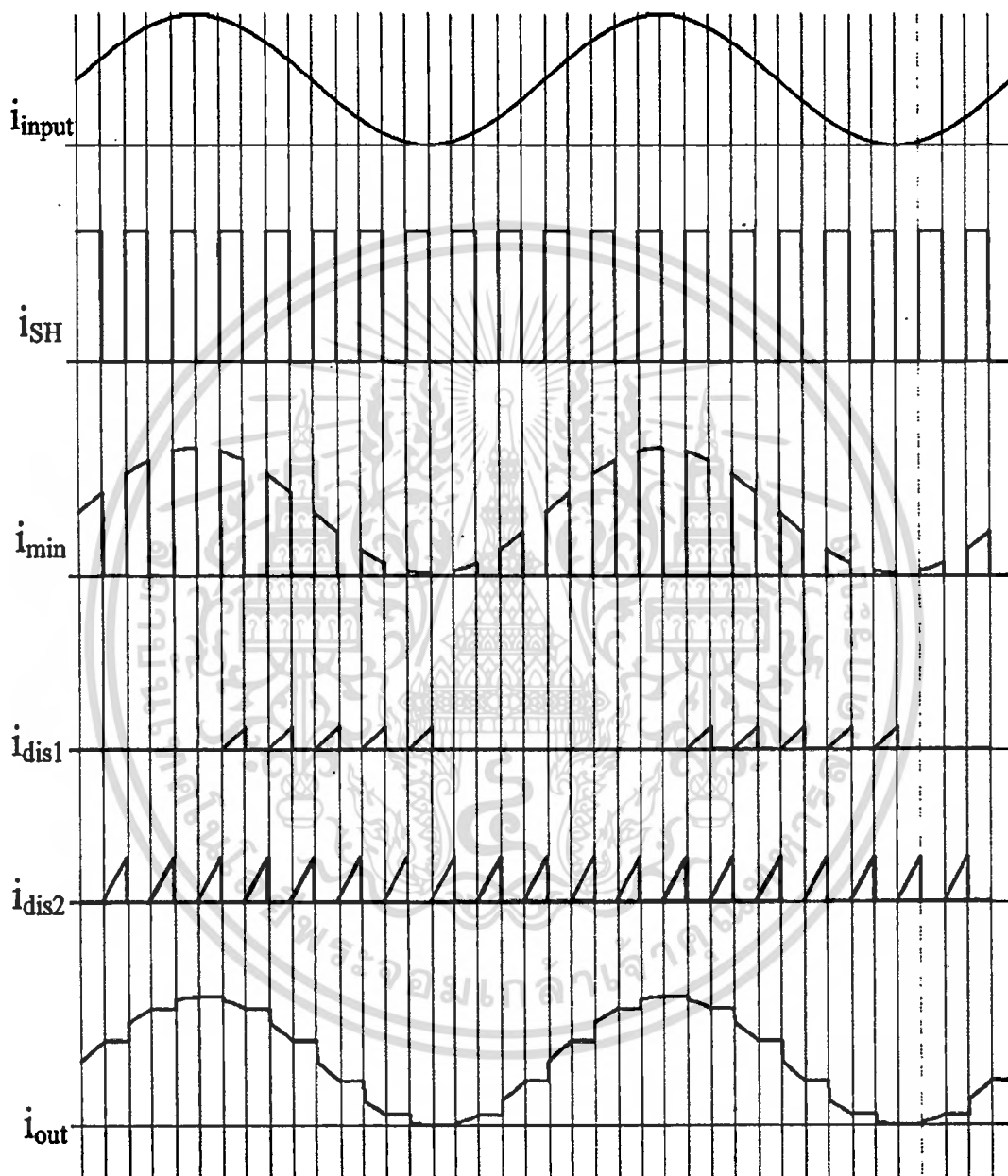
$$i_{dis2} = \begin{cases} i_{D24} & \text{เมื่อ } i_{SH} = "0" \\ 0 & \text{เมื่อ } i_{SH} = "1" \end{cases} \quad (4.9)$$

และจากการทำงานของวงจรถ้าต่ำสุด จะสามารถสรุปกระแส i_{min} ได้ดังนี้

$$i_{min} = \begin{cases} i_{in} & \text{เมื่อ } i_{SH} = "1" \\ 0 & \text{เมื่อ } i_{SH} = "0" \end{cases} \quad (4.10)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะเห็นได้ว่าในหลักการที่นำเสนอจะใช้วงจรหาค่าต่ำสุดทำงานในหน้าที่สุ่มสัญญาณแทนการใช้สวิทช์อิเล็กทรอนิกส์ในแบบเดิม เป็นผลให้สามารถหลีกเลี่ยงปัญหาการฉีดประจุข้ามช่องการนำกระแสของสัญญาณควบคุมการสุ่มและคงค่าได้



รูปที่ 4.3 สัญญาณกระแสรูปคลื่นที่จุดต่างๆของวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การวิเคราะห์คุณสมบัติการทำงานของวงจรสุ่มและคงค่า

วงจรสุ่มและคงค่าสัญญาณที่นำเสนอในวิทยานิพนธ์ฉบับนี้ ได้ใช้วงจรย่อยหลายวงจรเป็นส่วนประกอบ ดังนั้นในการวิเคราะห์การทำงานของวงจรสุ่มและคงค่าจะใช้ค่าที่ได้จากการวิเคราะห์วงจรย่อยมาพิจารณาในหัวข้อนี้ ซึ่งจะทำการวิเคราะห์ผลตอบสนองทางความถี่และค่าความผิดพลาดของวงจรสุ่มและคงค่าสัญญาณ

ก. การวิเคราะห์ผลตอบสนองทางความถี่ของวงจร

จากหัวข้อที่ 3.3.2.ข. ผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสที่ได้จากสมการที่ (3.15) มีค่าเป็น

$$P_1 = \frac{g_{m1}}{C_{gs1} + C_{gs2}}$$

เมื่อกำหนดให้ค่า $g_{m1} = 2.42 \times 10^{-6} \text{ AV}^{-1}$ และ $C_{gs1} = C_{gs2} = 1.42 \times 10^{-15} \text{ F}$ ทำให้ผลตอบสนองทางความถี่ของวงจรสะท้อนกระแสมีค่าเท่ากับ 852 MHz และจากหัวข้อที่ 3.3.3.ค. ผลตอบสนองทางความถี่ของวงจรหาค่ากระแสต่ำสุดที่ได้จากสมการที่ (3.53) มีค่าเป็น

$$\omega_{mp1} = \frac{g_{m14}}{C_{gs14} + C_{gs15}}$$

เมื่อกำหนดให้ค่า $g_{m14} = 8.47 \times 10^{-7} \text{ AV}^{-1}$ และ $C_{gs14} = C_{gs15} = 1.42 \times 10^{-15} \text{ F}$ ทำให้ผลตอบสนองทางความถี่ของวงจรหาค่ากระแสต่ำสุดมีค่าเท่ากับ 298 MHz ดังนั้นผลตอบสนองทางความถี่ของวงจรสุ่มและคงค่าสัญญาณที่ได้มีค่าไม่เกิน 298 MHz

ข. การวิเคราะห์หาค่าความผิดพลาดของวงจร

จากหัวข้อที่ 3.3.2.ค. ความผิดพลาดที่เกิดจากวงจรสะท้อนกระแสมีค่าดังสมการที่ (3.18) คือ

$$\varepsilon_{CM} = \frac{g_{m1} - g_{m2}}{g_{m1}}$$

เมื่อกำหนดให้ค่า $g_{m1} = 2.42 \times 10^{-6} \text{ AV}^{-1}$ และ $g_{m2} = 2.46 \times 10^{-6} \text{ AV}^{-1}$ ทำให้เปอร์เซ็นต์ความผิดพลาด ε_{CM} ของวงจรสะท้อนกระแสมีค่าประมาณ -1.65 % ส่วนความผิดพลาด

ที่เกิดจากวงจรถ้าค่ากระแสต่ำสุดที่ได้ทำการวิเคราะห์ในหัวข้อที่ 3.3.3.ข. มีค่าดังสมการที่ (3.52) คือ

$$\varepsilon_{\min} = 1 - \left(1 - \frac{g_{mz}}{g_{mx}} \right) \frac{I_R}{i_{in}} - \frac{g_{mz} g_{m15}}{g_{mx} g_{m14}}$$

เมื่อกำหนดให้ $g_{mz} = 2.13 \times 10^{-6} \text{ AV}^{-1}$, $g_{mx} = 2.11 \times 10^{-6} \text{ AV}^{-1}$, $g_{m4} = 8.47 \times 10^{-7} \text{ AV}^{-1}$, $g_{m5} = 8.23 \times 10^{-7} \text{ AV}^{-1}$, $I_R = 50 \mu\text{A}$ และ $i_{in} = 50 \mu\text{A}$ เปอร์เซ็นต์ความผิดพลาด ε_{\min} ของวงจรถ้าค่ากระแสต่ำสุดมีค่าประมาณ -2.86 % จากค่าความผิดพลาดที่เกิดจากวงจรร้อยทำให้สามารถกล่าวได้ว่า ค่าความผิดพลาดของวงจรมุมและคงค่ามีค่าขึ้นอยู่กับค่าความผิดพลาดของวงจรถ้าค่ากระแสต่ำสุด ซึ่งมีค่าประมาณ -2.86 %

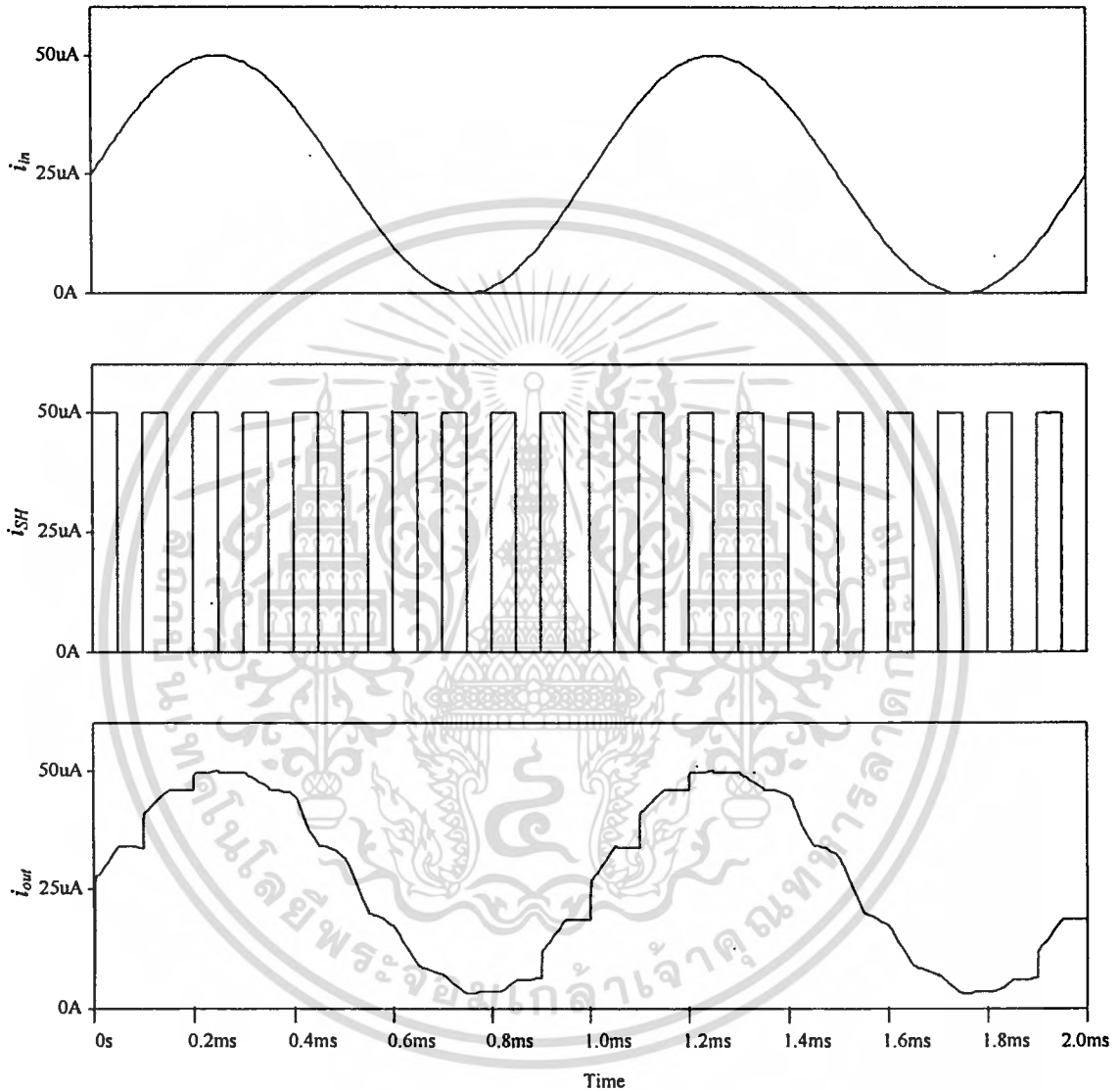
4.4 ผลการเลียนแบบการทำงานของวงจรถ้าค่าด้วยโปรแกรม PSPICE

จากการทดสอบสมรรถนะการทำงานของวงจรถ้าค่าในรูปที่ 4.2 โดยใช้โปรแกรมเลียนแบบการจำลองการทำงาน PSPICE โดยเลือกใช้โมเดลทรานซิสเตอร์โมเดล BSIM $0.5 \mu\text{m}$ ในการจำลองการทำงานของวงจรถ้าค่าอัตราส่วนความกว้างของแชนแนล (W) และความยาวของแชนแนล (L) ของอุปกรณ์ดังตารางที่ 4.1 แหล่งจ่ายไฟ $V_{DD} = 3\text{V}$ กระแส $I_{B1} = 50 \mu\text{A}$ และ $I_{B2} = 10 \mu\text{A}$

ตารางที่ 4.1 อัตราส่วนความกว้างต่อความยาว (W/L) ของทรานซิสเตอร์แบบซีเอ็มอส

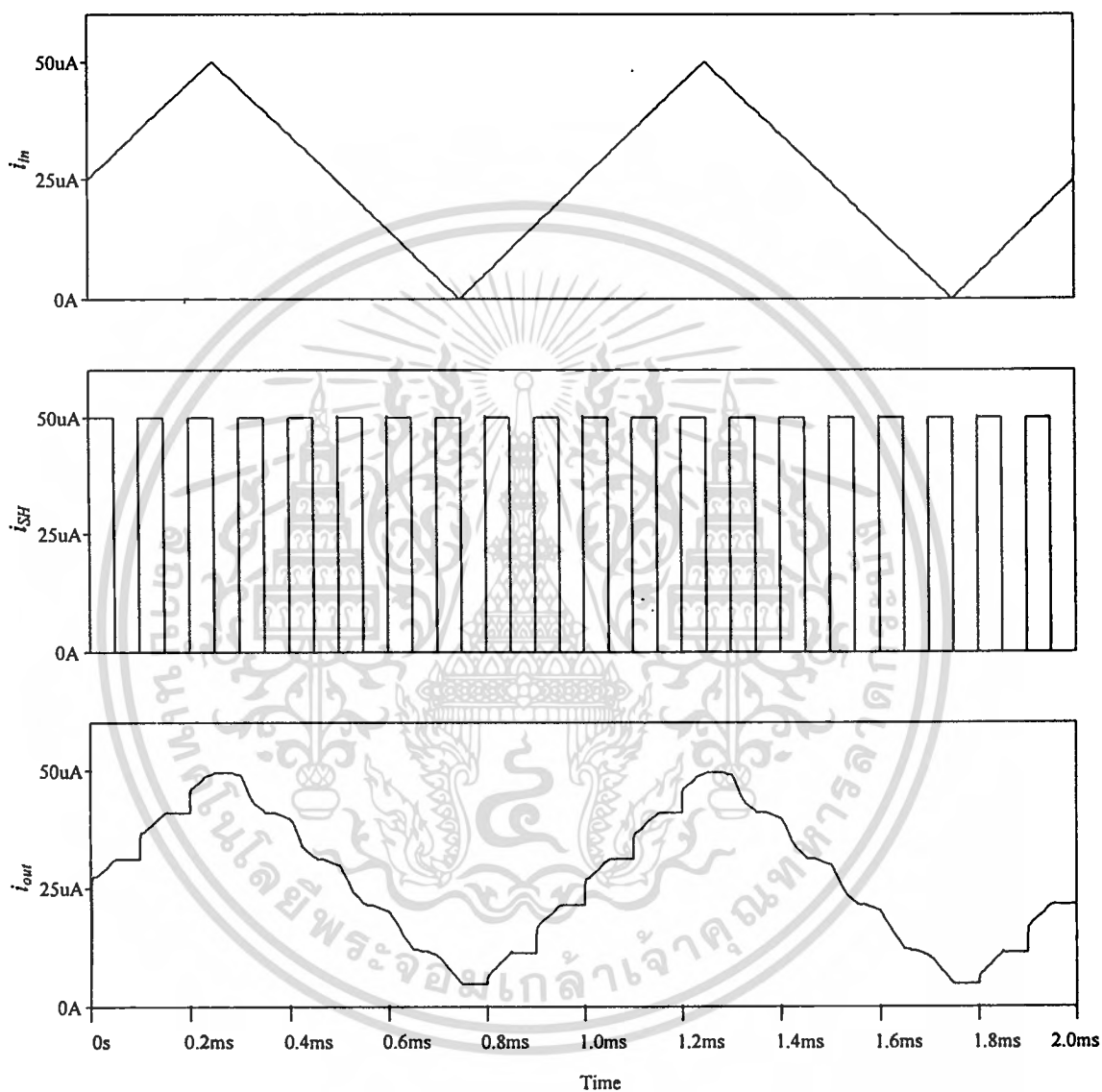
Device	$W/L (\mu\text{m} / \mu\text{m})$
M_{19}, M_{20}	2/1
$M_7, M_8, M_{10}, M_{11}, M_{12},$ $M_{14}, M_{16}, M_{17}, M_{18}, M_{25},$ M_{29}, M_{30}, M_{31}	4/1
$M_1, M_2, M_3, M_4, M_5, M_6,$ $M_9, M_{13}, M_{15}, M_{21}, M_{22},$ $M_{23}, M_{24}, M_{26}, M_{27}, M_{28}$	10/1

ผลการเลียนแบบการทำงานของวงจรที่นำเสนอ แสดงในรูปที่ 4.4 เมื่อรูปคลื่นอินพุตเป็นคลื่นรูปซายน์ โดยรูปคลื่นด้านบนแสดงถึงกระแสอินพุตขนาด $50\mu\text{A}$ ที่ความถี่ 1kHz ส่วนรูปคลื่นด้านล่างแสดงกระแสเอาต์พุต เมื่อกำหนดสัญญาณสุ่มให้มีความถี่ 10kHz



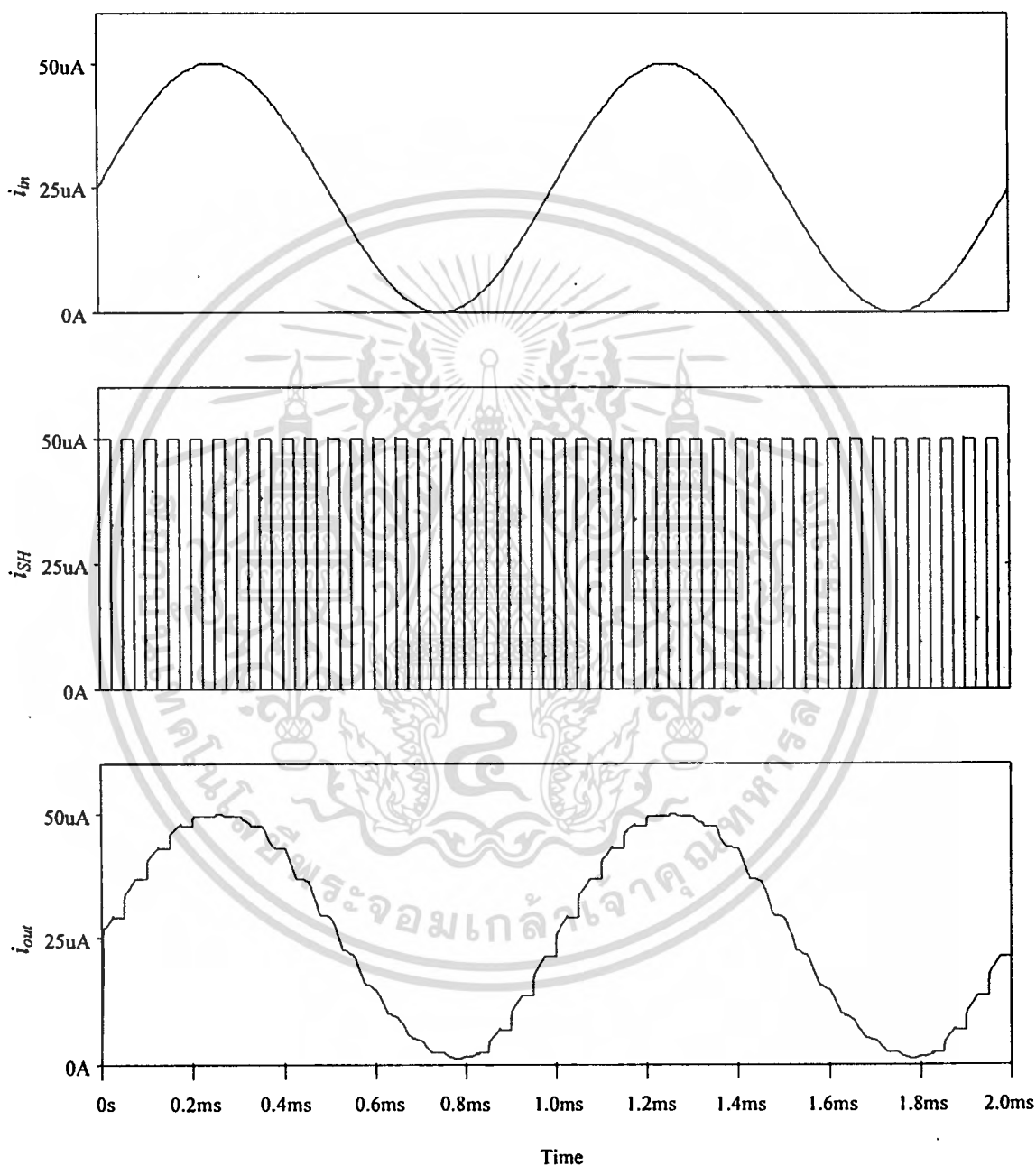
รูปที่ 4.4 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรสุ่มและคงค่ากระแสแบบซิมอส
เมื่อกระแสอินพุตเป็นคลื่นซายน์ความถี่ 1kHz และสัญญาณสุ่มมีความถี่ 10kHz

รูปที่ 4.5 แสดงผลเมื่อรูปคลื่นอินพุตเป็นคลื่นรูปสามเหลี่ยม โดยรูปคลื่นด้านบนแสดงถึงกระแสอินพุตขนาด $50\mu\text{A}$ ที่ความถี่ 1kHz ส่วนรูปคลื่นด้านล่างแสดงกระแสเอาต์พุต เมื่อกำหนดสัญญาณรบกวนให้มีค่าความถี่ 10kHz



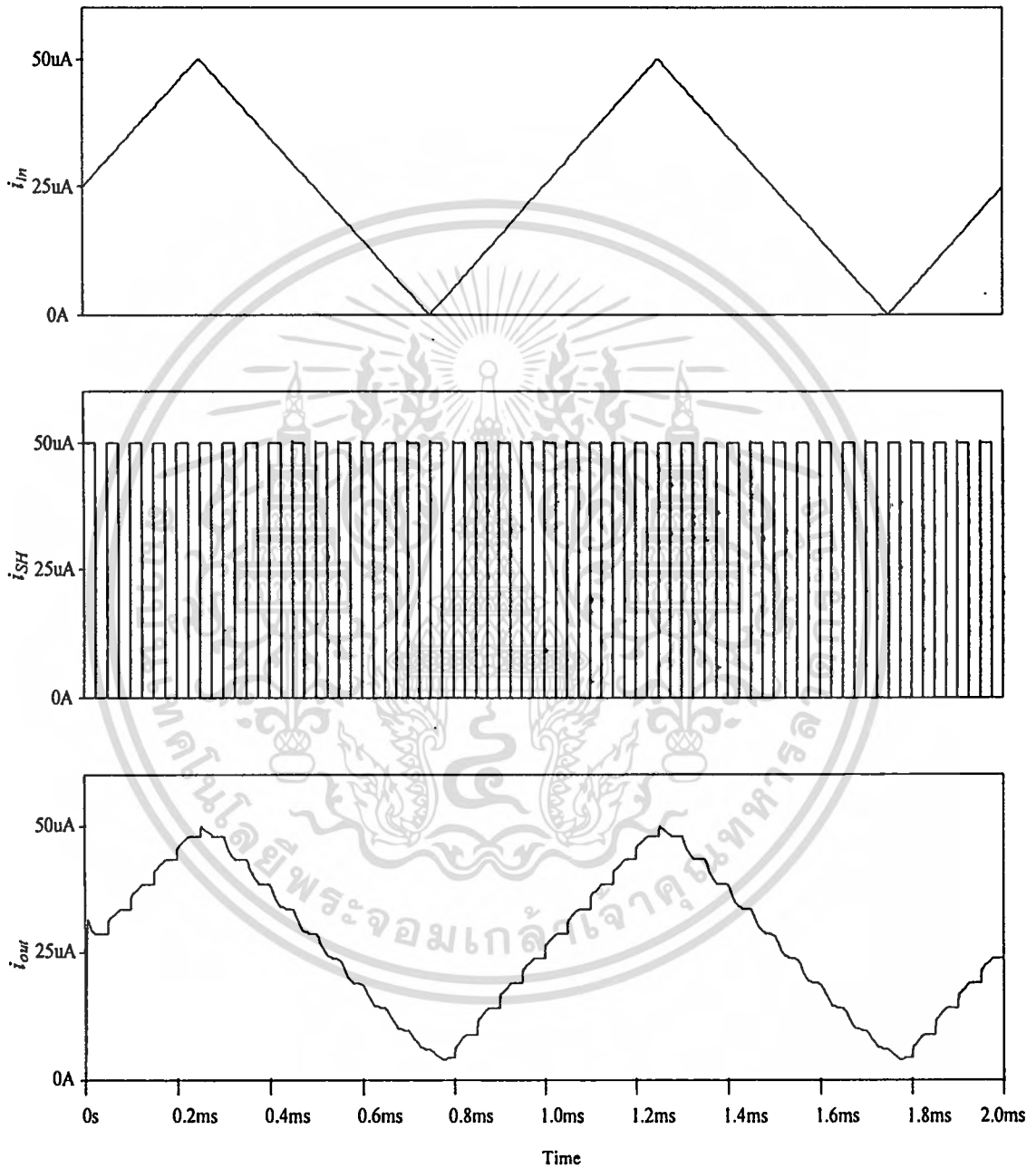
รูปที่ 4.5 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรสุ่มและคงค่ากระแสแบบซิมอส เมื่อกระแสอินพุตเป็นคลื่นซายน์ความถี่ 1kHz และสัญญาณรบกวนมีความถี่ 10kHz

รูปที่ 4.6 แสดงผลเมื่อรูปคลื่นอินพุตเป็นคลื่นรูปซายน์ โดยรูปคลื่นด้านบนแสดงถึงกระแสอินพุตขนาด $50\mu\text{A}$ ที่ความถี่ 1kHz ส่วนรูปคลื่นด้านล่างแสดงกระแสเอาต์พุต เมื่อกำหนดสัญญาณรบกวนให้มีความถี่ 20kHz



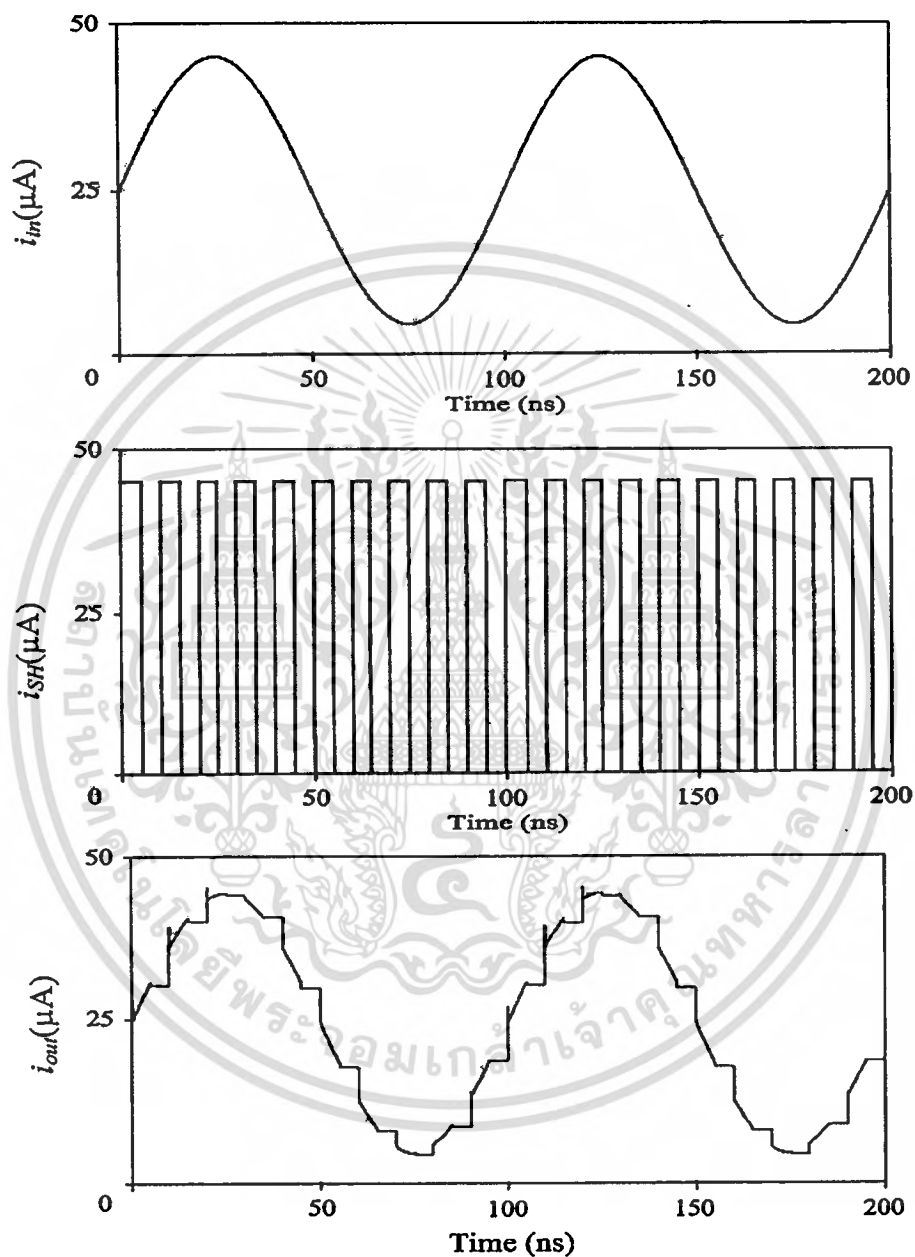
รูปที่ 4.6 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรสุ่มและคงค่ากระแสแบบซิมอส เมื่อกระแสอินพุตเป็นคลื่นซายน์ความถี่ 1kHz และสัญญาณรบกวนมีความถี่ 20kHz

รูปที่ 4.7 แสดงผลเมื่อรูปคลื่นอินพุตเป็นคลื่นรูปสามเหลี่ยม โดยรูปคลื่นด้านบนแสดงถึงกระแสอินพุตขนาด $50\mu\text{A}$ ที่ความถี่ 1kHz ส่วนรูปคลื่นด้านล่างแสดงกระแสเอาต์พุต เมื่อกำหนดสัญญาณรบกวนให้มีค่าความถี่ 20kHz



รูปที่ 4.7 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรสุ่มและคงค่ากระแสแบบซิมอส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 1kHz และสัญญาณรบกวนมีความถี่ 20kHz

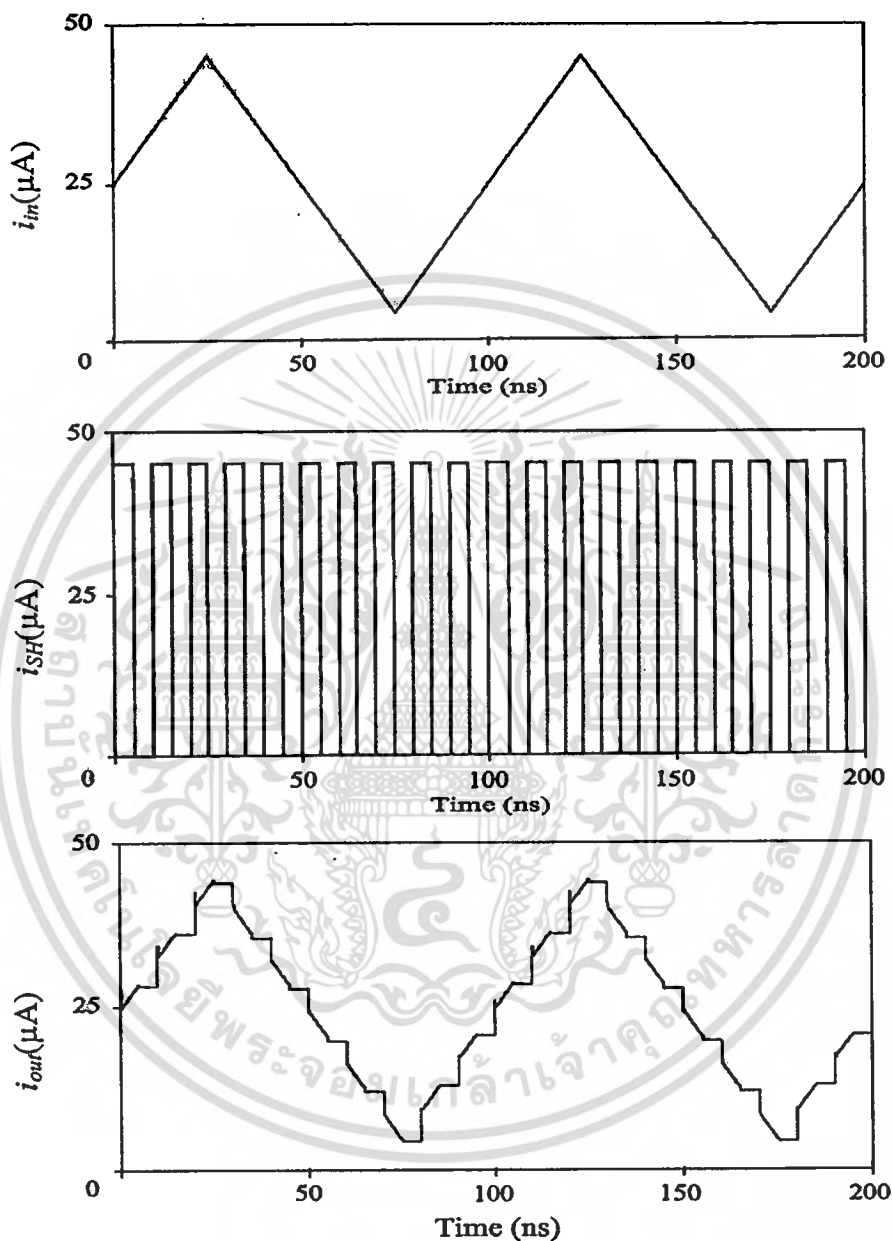
รูปที่ 4.8 แสดงผลเมื่อรูปคลื่นอินพุตเป็นคลื่นรูปไซน์ โดยรูปคลื่นด้านบนแสดงถึงกระแสอินพุตขนาด $40\mu\text{A}$ ที่ความถี่ 10MHz ส่วนรูปคลื่นด้านล่างแสดงกระแสเอาต์พุต เมื่อกำหนดสัญญาณสุ่มให้มีความถี่ 100MHz



รูปที่ 4.8 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรสุ่มและคงค่ากระแสแบบซิมอส เมื่อกระแสอินพุตเป็นคลื่นไซน์ความถี่ 10MHz และสัญญาณสุ่มมีความถี่ 100MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.9 แสดงผลเมื่อรูปคลื่นอินพุตเป็นคลื่นรูปสามเหลี่ยม โดยรูปคลื่นด้านบนแสดงถึงกระแสอินพุตขนาด $40\mu\text{A}$ ที่ความถี่ 10MHz ส่วนรูปคลื่นด้านล่างแสดงกระแสเอาต์พุต เมื่อกำหนดสัญญาณสุ่มให้มีความถี่ 100MHz



รูปที่ 4.9 รูปคลื่นกระแสอินพุตและเอาต์พุตของวงจรสุ่มและคงค่ากระแสแบบซิมอส เมื่อกระแสอินพุตเป็นคลื่นสามเหลี่ยมความถี่ 10MHz และสัญญาณสุ่มมีความถี่ 100MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5 บทสรุป

ในการออกแบบวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสที่ได้นำเสนอนี้จะใช้วงจรหาค่ากระแสต่ำสุด และ วงจรจับค่ายอดสัญญาณแทนการใช้วงจรสุ่มค่าด้วยสวิทช์ในวงจรสุ่มและคงค่าสัญญาณที่มีใช้งานอยู่เดิม เพื่อกำจัดค่าความผิดพลาดที่เกิดจากการป้อนสัญญาณนาฬิกาผ่าน และสามารถมีค่าอัตราสุ่มได้สูง จากการวิเคราะห์คุณสมบัติและผลการเลียนแบบการทำงานของวงจรด้วยโปรแกรม PSPICE แสดงให้เห็นว่าวงจรมีคุณสมบัติที่ดีตามที่คาดการณ์ไว้และสามารถทำงานได้อย่างถูกต้อง มีช่วงปฏิบัติการทางขนาดและทางความถี่ที่กว้าง สะดวกต่อการใช้งานและเหมาะสมต่อการนำไปสร้างเป็นวงจรรวม



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

บทสรุปและข้อเสนอแนะในการทำวิจัยต่อ

5.1 บทสรุปและวิจารณ์

การออกแบบวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสที่ได้นำเสนอในวิทยานิพนธ์นี้เป็นการนำเสนอการออกแบบวงจรรวมและการทำงานในโหมดกระแส โดยใช้เทคโนโลยีมอสทรานซิสเตอร์ ซึ่งรูปแบบของวงจร เป็นวงจรที่สามารถนำไปใช้งานด้านการประมวลผลสัญญาณทางแอนะล็อกและยังสามารถนำวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสไปประยุกต์ใช้งานในงานประมวลผลสัญญาณต่างๆ โดยอาศัยหลักการสุ่มและคงค่าของสัญญาณก่อนที่จะส่งต่อไปยังวงจรแปลงสัญญาณ เพื่อให้สามารถทำการแปลงสัญญาณได้อย่างถูกต้องแม่นยำ แต่โครงสร้างของวงจรยังมีความซับซ้อนอยู่บ้าง

5.2 ข้อเสนอแนะและแนวทางในการวิจัยต่อ

จากการเสนอการออกแบบวงจรสุ่มและคงค่าสัญญาณกระแสแบบซิมอสดังกล่าว ไปประยุกต์ใช้งานสามารถนำไปออกแบบร่วมกับวงจรแปลงสัญญาณแอนะล็อก เป็นสัญญาณดิจิทัลชนิดและประเภทที่เหมาะสม เช่น แบบอัลกอริทึมชนิดเข้ารหัสแบบเกรย์ ซึ่งเป็นวงจรที่ทำงานด้วยเทคโนโลยีมอสทรานซิสเตอร์เช่นกัน กับวงจรที่นำเสนอในวิทยานิพนธ์นี้ เพื่อให้สามารถทำงานร่วมกันได้อย่างถูกต้อง และสมบูรณ์ภายในชิพวงจรรวมเดียวกันเพื่อความสะดวกในการประยุกต์ใช้งานในด้านต่างๆ ได้ต่อไป

นอกจากนี้ ยังอาจมีการพัฒนาออกแบบวงจรให้สามารถทำงานได้ที่ความถี่สัญญาณอินพุทที่มีค่าขึ้นไปกว่านี้อีก เพื่อเป็นการเพิ่มสมรรถนะการของวงจรให้สูงขึ้นกว่าเดิมซึ่งอาจมีการประยุกต์ใช้งานได้อย่างกว้างขวางยิ่งขึ้น และลดขนาดของวงจรให้เล็กลงกว่าที่เป็นอยู่

บรรณานุกรม

- [1] John W. Gates and Ezz I. El-Masry, " Switched-Current Analysis Program ", *IEEE Transaction on Circuits and Systems II: Analog and Digital Signal Processing*, Vol. 34, no. 1, pp. 24-30, 1996.
- [2] A. K. Ong, V. I. Prodanov, and M. Tarsia, " A Method for Reducing the Variation in "On" Resistance of a MOS Sampling Switch ", *IEEE International Symposium on Circuits and Systems ISCAS 2000*, Vol. 5 pp. V-437-V440, 2000.
- [3] Sonkusale S.R., Van der Spiegel J., " A low distortion MOS sampling circuit ", *IEEE International Symposium on Circuits and Systems ISCAS 2002*, Vol. 5 pp. V-585 - V-588, 2002.
- [4] Fayomi C.J.B., Roberts G.W., Sawan M., "Low-voltage CMOS analog bootstrapped switch for sample-and-hold circuit: design and chip characterization", *IEEE International Symposium on Circuits and Systems ISCAS 2005*, Vol. 3 pp.2200 - 2203, 2005.
- [5] Ming-Jer Chen, Yen-Bin Gu, Jen-Yin Huang, Wei-Chen Shen, Wu T., Po-Chin Hsu, "A compact high-speed Miller-capacitance-based sample-and-hold circuit", *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, Vol. 45, Issue 2, pp. 198 – 201, 1998.
- [6] Luh L., Choma J., Jr., and Draper J., " A High-Speed Fully Differential Current Switch ", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, Vol. 47, no. 4, pp.358-363, 2000.
- [7] Sheingold D. H., "Analog-Digital Conversion Handbook", New Jersey: Prentice-Hall, 1986.
- [8] Mettasitthikorn Y., Pojanasuwanchai C., Riewruja V., Jaruwanawat A., Julsereewong P., "A Current-mode Minimum circuit For Fuzzy Logic Controllers", *The International Conference on Control, Automation and Systems (ICCAS)*, Korea, pp. 69-72, Oct. 2003.
- [9] อนงค์ ถิ่นทอง, " การออกแบบวงจรตรวจจับค่ายอดสัญญาณกระแส ", วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต สาขาวิศวกรรมไฟฟ้า บัณฑิตวิทยาลัย, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง. 2546.
- [10] Gray Meyer., " Analysis And Design Of Analog Integrated Circuit" , New York: John Wiley and Sons, Inc. 1993.



ภาคผนวก

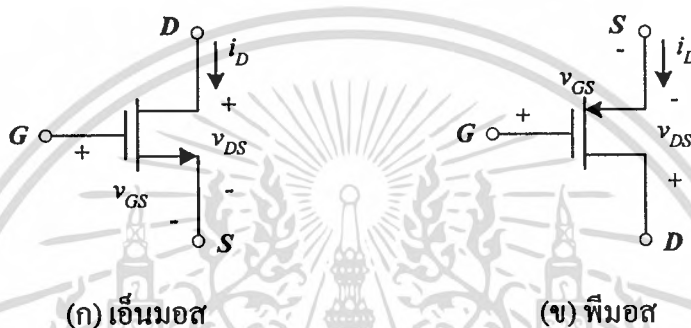
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

คุณสมบัติที่สำคัญและวงจรมมูลของมอสเฟต

ก1. คุณสมบัติที่สำคัญของมอสเฟตที่มีการทำงานในช่วงอิมตัว

มอสทรานซิสเตอร์ที่ใช้ในการออกแบบวงจรสุ่มและคงค่า ที่นำเสนอเป็นชนิดเอนแชนซ์ เมนส์ที่มีการทำงานอยู่ในช่วงนำกระแสอิมตัว ดังนั้นในที่นี้จะขอกกล่าวเพียงกรณีเดียว สัญลักษณ์ของมอสทรานซิสเตอร์ทั้งสองชนิดแสดงในรูปที่ ก1 โดยมีสมการกระแสเดรนดังนี้



รูปที่ ก1 สัญลักษณ์ของมอสเฟต

$$|i_D| = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right) (|v_{GS}| - |V_T|)^2 (1 + \lambda |v_{DS}|) \quad (ก1.1)$$

เมื่อ	μ	คือ ค่าความคล่องตัวของโฮลหรืออิเล็กตรอน	$(\text{cm}^2/\text{V}\cdot\text{s})$
	C_{ox}	คือ ค่าความจุไฟฟ้าต่อพื้นที่ของเกตออกไซด์	(F/m^2)
	W/L	คือ อัตราส่วนระหว่างความกว้างต่อความยาวของแชนเนล	$(\mu\text{m}/\mu\text{m})$
	v_{GS}	คือ ค่าแรงดันระหว่างขาเกตกับขาซอร์สของมอสเฟต	(V)
	V_T	คือ ค่าแรงดันขีดเริ่มเปลี่ยน (Threshold Voltage)	(V)
	λ	คือ ค่าพารามิเตอร์ของการมอดูเลตความกว้างของแชนเนล	(V^{-1})
	v_{DS}	คือ ค่าแรงดันระหว่างขาเดรนกับขาซอร์สของมอสเฟต	(V)

จากสมการที่ (ก1.1) ถ้าไม่คำนึงถึงผลกระทบของค่าพารามิเตอร์ λ จะได้ว่า

$$i_D = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right) (|v_{GS}| - |V_T|)^2 \quad (ก1.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หรือ
$$i_D = K (|v_{GS}| - |V_T|)^2 = \frac{\beta}{2} (|v_{GS}| - |V_T|)^2 = \frac{k'}{2} \left(\frac{W}{L} \right) (|v_{GS}| - |V_T|)^2 \quad (ก1.3)$$

เมื่อ K และ β คือ ค่าพารามิเตอร์ของการนำกระแสของมอสเฟต (Device Transconductance Parameter)

k' คือ ค่าพารามิเตอร์ของการนำกระแสของกระบวนการผลิต (Process Transconductance Parameter)

โดยที่
$$K = \frac{\mu C_{ox}}{2} \left(\frac{W}{L} \right) \quad (ก1.4)$$

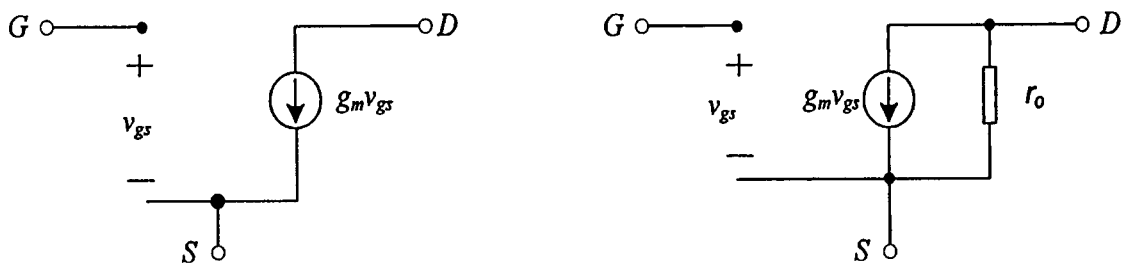
$$\beta = \mu C_{ox} \left(\frac{W}{L} \right) \quad (ก1.5)$$

$$k' = \mu C_{ox} \quad (ก1.6)$$

การทำงานของพีมอสจะตรงกันข้ามกับเอ็นมอส โดยค่าแรงดันขีดเริ่มเปลี่ยน V_T ของพีมอส หรือ V_{TP} จะมีค่าเป็นลบ และจะต้องป้อนค่าแรงดัน v_{GS} ให้มีค่าลบ มากกว่าค่า V_{TP} นั่นคือ $v_{GS} - V_{TP} < 0$ จึงจะทำให้พีมอสอยู่ในสภาวะนำกระแส ดังนั้นค่าแรงดันที่ขาซอร์ส S จึงสูงกว่าค่าแรงดันที่ขาเดรน D ทำให้กระแสเดรน i_D ของพีมอสไหลจากซอร์สไปหาเดรน

ก2. วงจรสมมูลของมอสทรานซิสเตอร์

เนื่องจากวงจรแอนะล็อกส่วนมากจะถูกออกแบบให้ทำงานในช่วงอิมิตัว จึงต้องมีการวิเคราะห์วงจรสมมูลและการทำงานของมอสเฟตสำหรับสัญญาณขนาดเล็ก และจากที่ได้กล่าวมาแล้วว่า กระแสเดรนของมอสเฟตจะมีค่าขึ้นอยู่กับแรงดันตกคร่อมขาเกตและขาซอร์ส ดังนั้น วงจรสมมูลของมอสเฟตจึงเสมือนเป็นแหล่งจ่ายกระแสมีค่าเท่ากับ $g_m V_{GS}$ ดังแสดงในรูปที่ ก2 ซึ่งเป็นวงจรสมมูลของมอสเฟตสำหรับสัญญาณขนาดเล็กในอุดมคติ



รูปที่ ก2 วงจรสมมูลของมอสเฟตสำหรับสัญญาณขนาดเล็ก

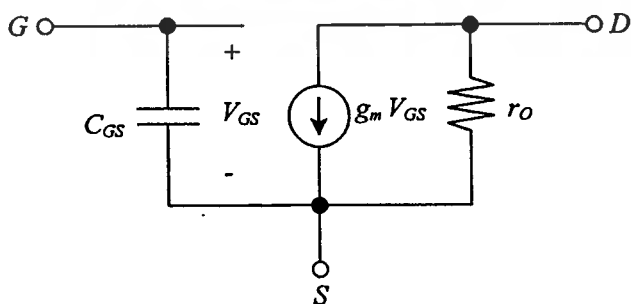
เนื่องจากผลของการเกิด Channel-Length Modulation ค่าของกระแสเดรนจะมีค่าขึ้นอยู่กับค่าแรงดันตกคร่อมขาคเรนและขาซอส (V_{DS}) ของมอสเฟตด้วย จึงเสมือนกับมีค่าความต้านทานค่าหนึ่งต่อขนานกับแหล่งจ่ายกระแสสมมูลดังแสดงในรูปที่ 2.17 (ข) ซึ่งจะมีค่าเท่ากับ

$$r_o = \frac{\partial V_{DS}}{\partial I_D} = \frac{1}{\partial I_D / \partial V_{DS}} \tag{ก1.6}$$

$$r_o = \frac{1}{\frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \cdot \lambda} \tag{ก1.7}$$

$$r_o \approx \frac{1}{\lambda I_D} \tag{ก1.8}$$

ค่า r_o นี้จะมีผลต่อประสิทธิภาพการทำงานของวงจรรวมออกไป ดังนั้นการออกแบบวงจรจึงต้องคำนึงถึงค่าความต้านทานนี้ด้วย วงจรสมมูลทั้งหมดของมอสเฟตสำหรับสัญญาณขนาดเล็กซึ่งรวมเอาค่าความจุไฟฟ้าที่เกิดขึ้นในมอสเฟต โดยในวิทยานิพนธ์นี้ จะพิจารณาเฉพาะตัวเก็บประจุที่แผงอยู่ที่ขาเกตและขาซอร์ท C_{GS} [10] ได้ดังรูปที่ ก3



รูปที่ ก3 วงจรสมมูลทั้งหมดของมอสเฟตสำหรับสัญญาณขนาดเล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

บทความวิจัยที่ได้รับการตีพิมพ์

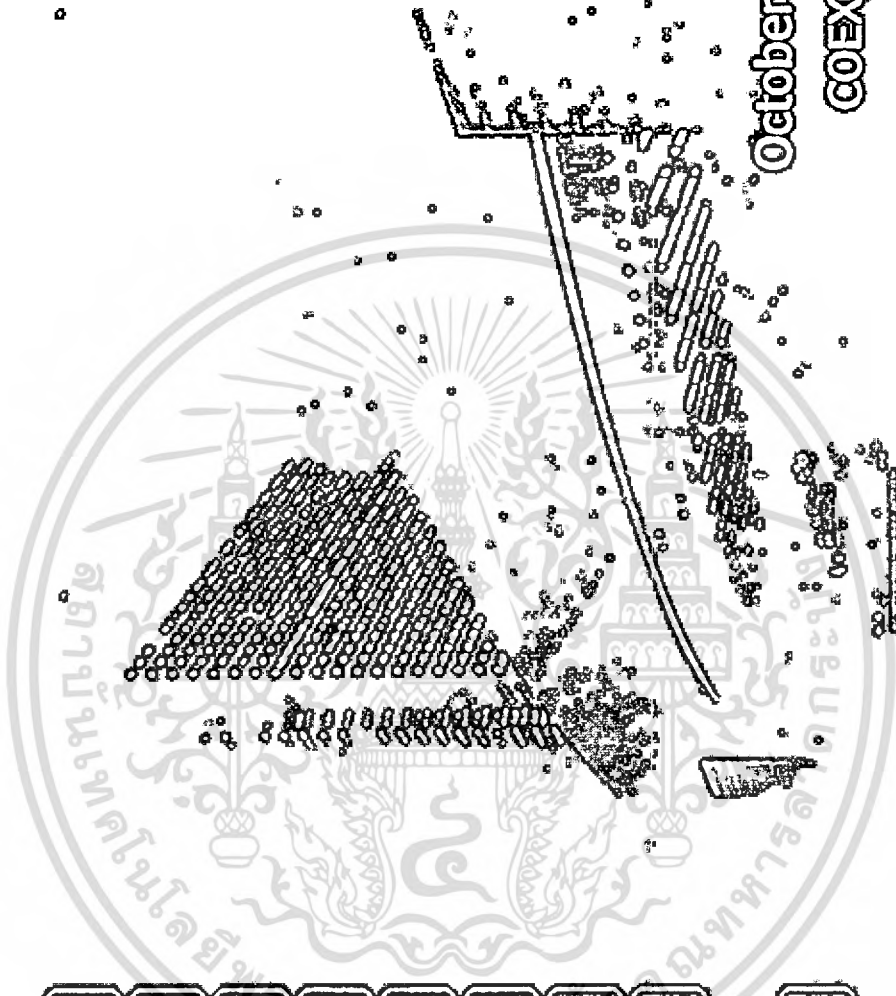
บทความวิจัยที่ได้รับการตีพิมพ์ในการประชุมวิชาการระดับนานาชาติ มีรายละเอียดดังนี้

Luangpol A., Petchmaneelumka W., Kamsri T., and Riewruja V. "A Current Signal CMOS Sample-and-Hold Circuit" Proc. of the 2007 IEEE International Conference on Control, Automation and Systems 2007, Oct. 17-20, 2007 in COEX, Seoul, Korea, pp. 171-174.

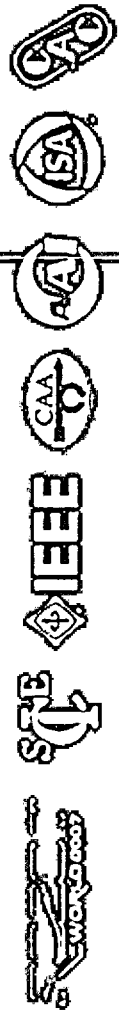


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Welcome Message
Conference Organization
Conference Information
Plenary Talks, Invited Talks & Special Session
Table of Contents
Author Index
Financial Contribution
E-proceeding Search
EXIT



October 17-20, 2007
COEX, Seoul, Korea



IEEE Catalog Number: 07EX1874 ISBN: 978-89-950938-6-2-98560

in conjunction with KRC-2007

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นุญาตให้นำไปใช้ประโยชน์ด้านการ
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

and Its Application

The application of CAE tools in the development of an Active Stabilizer Suspension System Jaeung Cho, Shuichi Burns and Shun'ichi Doi	91
Implementation of unconscious movements for mobile robot by using sonar sensor Takanori Emaru and Takeshi Tsuchiya	96
A Method of Separating Weeds and Trunk in Different Motions by Blowing Wind and A Method of Presuming Root Position Zhang Fan, Takayuki Tanaka and Akihiko MATSUSHITA	102
Vision Based Environment Recognition for Mobile Robot Navigation in Irregular Ground Shinya Okazaki and TAKAYUKI TANAKA	107
Compact Vision Sensor for Motion Control Nobuhiro Kawano, Motohiro Tanaka, Shunji Moromugi and Takakazu Ishimatu	112
Mobile Robot Navigation by Dynamic Path Planning Daisuke Nagahara, Shunsuke Nara and Satoru Takahashi	116

TA07 : Intelligent Systems and Applications

Improved Model for traffic fluctuation prediction by Neural network Sivichai Ardhan, Suriya Satsri and Ornlerp Sangaroon	122
A New Approach to Relaxed Stability Conditions of Fuzzy Control Systems Iman Zamani, Mohammed Haded Zarif and Seyed Reza Musawi	126
T-S Fuzzy Modeling and Model-Based Fuzzy Control for Nonlinear Systems Using a RCGA Technique Yun-Hyung Lee, Myung-Ok Go and Gang-Gyoo Jin	132
Observer-Based Sampled-Data Control for Uncertain Nonlinear Systems: Intelligent Digital Redesign Approach Hwa Chang Sung, Jin Bae Park and Young Hoon Joo	137
Acquisition of PID Gain Tuning Rules for Hot Strip Looper Control Yoshihiro Abe, Masami Konishi and Jun Imai	142
Static Output Feedback Controller for Nonlinear Interconnected Systems: Fuzzy Logic Approach Geun Bum Koo, Jin Bae Park and Young Hoon Joo	148

TA08 : Signal Processing (1)

A Simple CMOS-Based Algorithmic ADC Amphawan Chaikda, Thejitt Cheypoca, Anucha Kaewpoonsuk and Vanchai Riewruja	151
Comparison of Multi-Sensor Fusion Filters Weighted by Scalars and Matrices Seokhyoung Lee, Doyong Kim, Nga-Viet Nguyen and Vladimir Shin	155
A CMOS-based Square-Rooting Circuit Amphawan Julsareewong, Tipparat Rungkhum, Vanchai Riewruja and Prasit Julsareewong	161
Temperature distribution and wind vector measurement using ultrasonic CT based on time of flight detection Shinji Ohyama, Kazuo Oshima and Junya Takayama	165
A Current Signal CMOS Sample-and-Hold Circuit Wandee Patchmaneejumka, Amata Luangpol, Thawatchai Kamari and Vanchai Riewruja	171

TA09 : OS008 Spacecraft Guidance, Control, and Navigation

Experiments of Singularity Avoidance Steering Control Law for Redundant Single-Gimbal Control Moment Gyro Seung Mok Lee and Seung-Wu Rhee	175
Hybrid Estimation of Spacecraft Attitude Dynamics and Rate Sensor Alignment Parameters	179

A Current Signal CMOS Sample-and-Hold Circuit

Amata Luangpol, Wandee Petchmaneelumka, Thawatchai Kamsri, and Vanchai Riewruja

Faculty of Engineering, King Mongkut's Institute of Technology Ladkrabang,
Ladkrabang, Bangkok, 10520, Thailand
(Tel : +66-2-739-0758; E-mail: vanchai@kmitlcs.net)

Abstract: This article presents a current signal sample-and-hold (S/H) circuit using 0.5 μ m CMOS technology. A current minimum circuit is used to sample the input signal in place of a sampling switch used in the conventional S/H circuit. The current peak detector is used to hold the signal from the minimum circuit in the "hold" state. The proposed configuration is adopted effectively to cancel switch feedthrough error. The performances of the proposed circuit are demonstrated using the PSPICE analog simulation program. Simulation results show the sampling frequency up to 100MHz and high accuracy.

Keywords: sample-and-hold, minimum circuit, current-mode, peak detector

1. INTRODUCTION

The sample-and-hold or S/H circuit is one of the most important circuit building blocks in electronic circuit design. It can be found in many applications such as video and audio systems, measurements and instrumentations, and digital control systems. The S/H circuit is used in the front-end element for the interfacing device between analog and digital environment. This interfacing device is known as an analog-to-digital converter or ADC. The S/H circuit is widely used to avoid the degradation of signal conversion from ADC. Usually, the S/H circuit employs a MOS switch to sample and hold an analog signal. Using the MOS switch exhibits signal distortion at the S/H output caused by the switch-on resistance, channel charge injection, and clock feedthrough. These are major factors that contribute to discrepancy from ideal performances. In the past, the switch is implemented by a single MOS transistor. Unfortunately, the on-resistance of the switch is varied with the switched voltage and dependent on the magnitude of control voltage [1]. In order to minimize the switch-on resistance, the bootstrapped switch technique and the switch control-voltage boosted technique have been proposed in literature [2-4]. The technique based on bootstrapped switch generates the constant gate-source voltage for the MOS switch to prevent the on-resistance effects. For the boosted technique, the voltage multiplier generates the control voltage in excess of the supply voltage for the MOS switch to reduce the switch-on resistance. The control voltage signal, which is usually up to twice the supply voltage, may produce a catastrophic failure caused by the voltage breakdown across the gate oxide. It should be noted that the sampling frequency can be varied in a narrow range due to the specific on-chip capacitance value used in both techniques. For charge injection and clock feedthrough cancellation, a differential configuration technique and a dummy transistor technique have been introduced [5-6]. However, these techniques have never completely cancelled the effects of channel charge injection and

clock feedthrough. It is well known that the current-mode ADC provides the high-speed conversion, small in size, and low cost [8]. However, the input signal is commonly the current signal. Therefore, aforementioned S/H circuits are unsuitable for the application because the circuits require the voltage signal input.

The purpose of this article is to propose a CMOS current-mode technique for realization the high-speed and high accuracy S/H circuit. The proposed circuit requires the current signal input and employs a minimum circuit instead of the conventional sampling switch. The errors due to the charge injection and the clock feedthrough are minimized. The resulting performances of the proposed S/H circuit show high accuracy and high sampling rate up to 100MHz.

2. CIRCUIT DESCRIPTION

The block diagram of the proposed circuit is shown in Fig. 1. The proposed circuit comprises of the dual-output current follower (CF), the minimum function (Min), the inverter, and two peak detectors (PD₁ and PD₂). The control signal, i_{SH} , sets the operational state of the proposed circuit in sequence. If i_{SH} is set to high, the input signal is sampled. Otherwise, the last value sampled is held until the input is sampled again. The operation of the proposed circuit can be explained as follows.

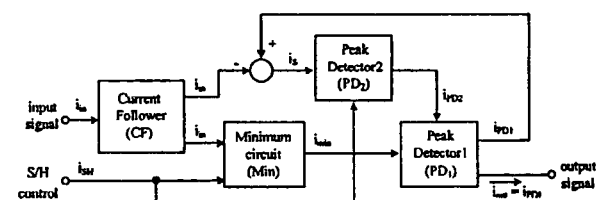


Fig. 1 Block diagram of the proposed S/H circuit

The peak detector PD₂ is designed to operate even if the signal i_{SH} is set to high. When the value of input current is rising, the signal i_{PD2} will be zero. The Min is connected to determine the smaller current, i_{min} , between the input current i_{in} and the control signal i_{SH} . The minimum signal i_{min} is fed to the peak detector PD₁. If $i_{PD2} = 0$, the output of the peak detector PD₁ becomes the output signal of the proposed circuit i_{out} . Then the output signal i_{out} is followed the rising slope by the peak detector PD₁. When the input current i_{in} reaches a peak and reverses its slope, the peak detector PD₂ will active ($i_{PD2} > 0$) to lower the voltage across the capacitor of the PD₁. Then the current i_{PD1} is decreased until its value will be equal to the input current i_{in} . For the next holding state, the capacitor of the PD₂ is discharged, and then the current i_{PD2} is equal to zero again and the peak detector PD₁ holds the last value sampled of input signal i_{in} .

From the block diagram as shown in Fig. 1, the proposed S/H circuit can be presented as shown in Fig. 2. Its operation can be explained as follows. Basically design of the proposed circuit; all transistors are well matched and operated in their saturation regions. The drain current of transistor operated in saturation region is expressed as

$$i_D = \frac{\mu_n C_{ox} W}{2L} (v_{GS} - V_T)^2 = K(v_{GS} - V_T)^2 \quad (1)$$

Where K , v_{GS} , and V_T are the device transconductance parameter, the gate-source voltage, and the threshold

voltage, respectively. The dual output current follow, from by the transistors M₁-M₃, transfers the input current i_{in} to node A and the input minimum circuit. The transistors M₆-M₁₄ and the three bias current sources I_{B1} function as the current minimum selector for two inputs current. The transistor M₁₃ and the bias current I_{B2} provide the bias voltage V_{Bias} approximated $3V_T$. Therefore, the transistor M₇, M₈, M₁₀, M₁₁, and M₁₂ are forced to the edge of conduction to minimize the crossover distortion. The transistor M₁₂ acts as the diode. The minimum operation based on the shared gate-to-source voltage corresponding to the saturation value imposed by the maximum input current can be discussed as follow. The drain-source voltages v_1 and v_2 of the transistors M₈ and M₁₁ are established by the input currents i_{in1} and i_{in2} , respectively. The input currents i_{in1} and i_{in2} can be expressed as

$$i_{in1} = I_{B1} - i_{in} \quad (2)$$

$$i_{in2} = I_{B1} - i_{SH} \quad (3)$$

Since the gates of transistors M₈, M₁₁, M₁₂, and M₁₄ are connected together, then their gate-source voltages can be given by

$$v_{GS8} = v_{GS11} = v_{GS12} = v_{GS14} \quad (4)$$

Based on Eq. (1) and Eq. (4), the transistors M₈, M₁₁, M₁₂, and M₁₄ have the same drain current as

$$i_{D8} = i_{D11} = i_{D12} = i_{D14} \quad (5)$$

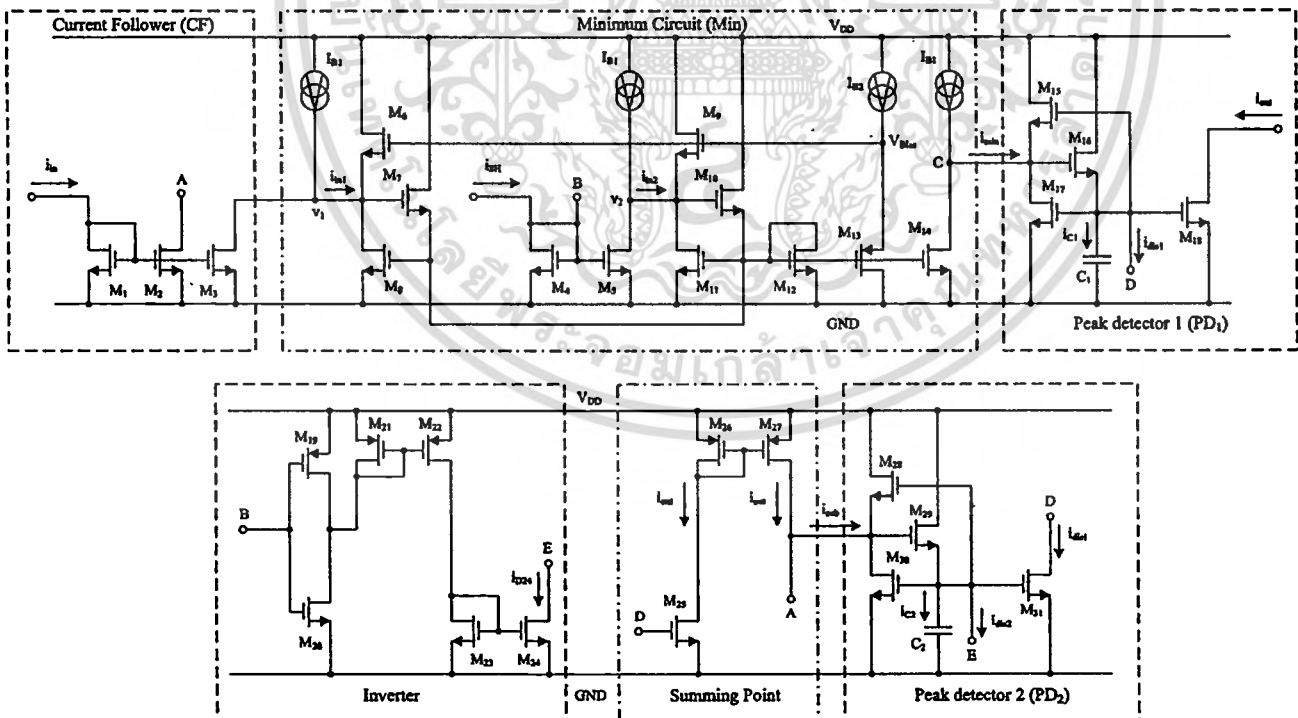


Fig. 2 The proposed S/H circuit

In saturation, if we suppose that the value of current i_{in1} is greater than i_{in2} , therefore the drain current i_{D7} flows through the transistor M_7 increasing the gate-source voltage of the transistor M_{11} . The transistor M_{10} is then cutoff, and then the current i_{D14} is equal to i_{in1} . Since the current i_{SH} has two states, which are low and high, thus the current i_{D14} can be stated as

$$i_{D14} = \begin{cases} I_{B1} & \text{for } i_{SH} = \text{'low' } \\ I_{B1} - i_{in} & \text{for } i_{SH} = \text{'high' } \end{cases} \quad (6)$$

At node C, The minimum output current i_{min} can be stated as

$$i_{min} = \begin{cases} 0 & \text{for } i_{SH} = \text{'low' } \\ i_{in} & \text{for } i_{SH} = \text{'high' } \end{cases} \quad (7)$$

The current i_{min} is fed to the peak detector PD_1 to generate the current i_{out} . The transistors M_{17} - M_{18} form as the unity-gain current mirror. The transistors M_{15} and M_{16} function as the current follower to provide the discharge current i_{dis1} and the charge current i_{C1} . Considering at node D, the gate-source voltages of transistors M_{17} and M_{18} are raised and held by the capacitor C_1 . From Eq. (1), the output current i_{out} can be stated as

$$i_{out} = i_{D17} = i_{D18} = K (v_{C1} - V_T)^2 \quad (8)$$

If $i_{min} = i_{in}$ and $i_{dis1} = 0$, the voltage at node C, v_C , effects the transistor M_{16} to conduct. The flow of the charge current i_{C1} through the capacitor C_1 , which is equal to i_{D16} , increases the voltage v_{C1} . Then the transistors M_{17} and M_{18} are activated. When the voltage v_{C1} rises to the steady state value that causes the transistor M_{16} to cutoff. The voltage v_{C1} still forces the transistors M_{17} and M_{18} to conduct, thus $i_{out} = i_{in}$. If $i_{min} = 0$, the peak value of input current i_{in} is less than that of the previous input signal, and the current i_{dis1} is equal to zero, the voltage v_E is decreased. Therefore, the transistor M_{16} still turn off and the voltage v_{C1} is unchanged. If the input current i_{in} exceeds the output current and the current i_{dis1} is equal to zero, then the voltage v_E is increased and the transistor M_{12} is active. The voltage v_{C1} is risen to force the output current equal to the last sampled value. If the value of input current i_{in} is less than that of the previous input signal and the current i_{dis1} is greater than zero, the voltage v_{C1} is decreased. Therefore, the output current i_{out} is forced to be tracked the input current i_{in} .

Base on the inverter, the current i_{D24} can be state as

$$i_{D24} = \begin{cases} i_{dis2} & \text{for } i_{SH} = \text{'low' } \\ 0 & \text{for } i_{SH} = \text{'high' } \end{cases} \quad (9)$$

The operation of the peak detector PD_2 , can be discussed as follow. Considering at node A in the summing point scheme, the current i_{sub} can be written as

$$i_{sub} = i_{out} - i_{in} \quad (10)$$

The current i_{sub} is fed through the peak detector PD_2 , when the value of current i_{sub} is greater than zero and the current i_{D24} is equal to zero, the current i_{dis1} will be equal to i_{sub} . Therefore, the current i_{dis1} can be expressed as

$$i_{dis1} = \begin{cases} i_{sub} & \text{for } i_{SH} = \text{'high' } \text{ and } i_{out} > i_{in} \\ 0 & \text{for } i_{SH} = \text{'high' } \text{ and } i_{out} < i_{in} \\ 0 & \text{for } i_{SH} = \text{'low' } \end{cases} \quad (11)$$

From above discussion, the waveform sketches relating to various currents are shown in Fig. 3.

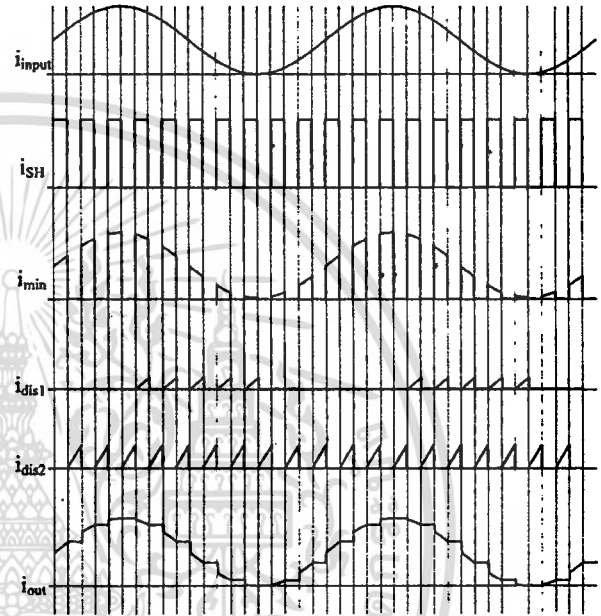


Fig. 3 Waveform sketches of the proposed circuit

3. SIMULATION RESULTS

The performances of the proposed circuit were studied by using PSPICE analog simulation program. The BSIM MOS model of the 0.5 μ m CMOS process was used in the circuit simulation. The supply voltage and the current source were chosen as $V_{DD} = 3$ V, $I_{B1} = 50$ μ A and $I_{B2} = 10$ μ A. The ratio of channel width and length (W/L) of the devices are shown in Table 1.

Table 1 Devices aspect ratios.

Device	W/L ($\mu\text{m}/\mu\text{m}$)
M_{19}, M_{20}	2/1
$M_7, M_8, M_{10}, M_{11}, M_{12}, M_{14}, M_{16}, M_{17}, M_{18}, M_{25}, M_{29}, M_{30}, M_{31}$	4/1
$M_1, M_2, M_3, M_4, M_5, M_6, M_9, M_{13}, M_{15}, M_{21}, M_{22}, M_{23}, M_{24}, M_{26}, M_{27}, M_{28}$	10/1

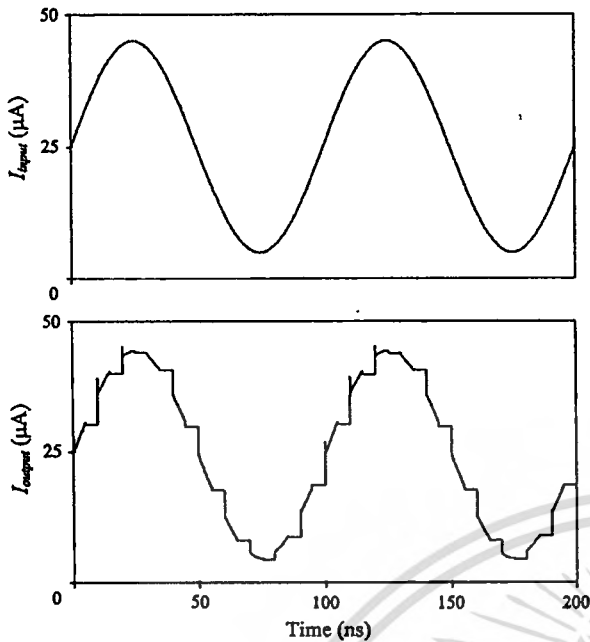


Fig. 4 Input and output waveforms for 10MHz sinusoidal input sampled at 100MHz.

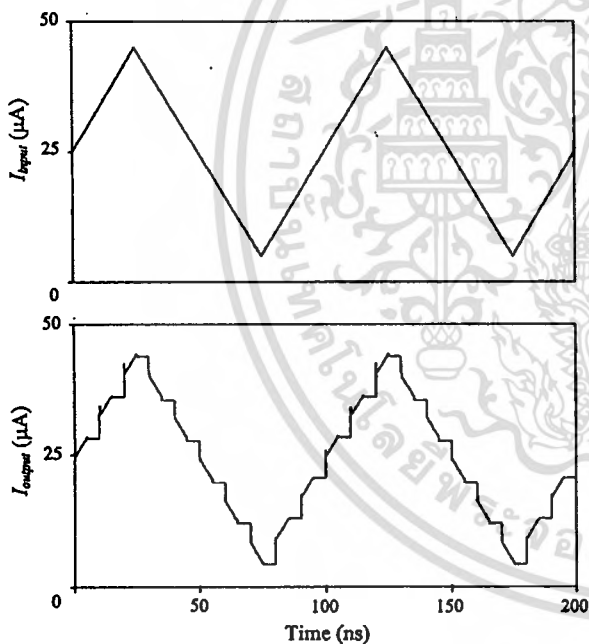


Fig. 5 Input and output waveforms for 10MHz triangular input sampled at 100MHz.

The input and output waveforms as shown in Fig. 4, the upper waveform is the sinusoidal input current of $\pm 20\mu\text{A}$ amplitude at 10MHz and the lower is the output current for the input current sampled at 100MHz. Fig. 5 shows the input and output waveforms, the upper waveform is a triangular input current of $\pm 20\mu\text{A}$ amplitude at 10MHz and the lower is the output signal for the input current sampled 100MHz.

4. CONCLUSION

This paper describes a current sample-and-hold circuit using the current minimum function in place of a sampling switch to avoid the clock feedthrough. The PSPICE simulation results verifying the performances of the proposed circuit are in close agreement with the theoretical values.

REFERENCES

- [1] John W. Gates and Ezz I. El-Masry, "Switched-Current Analysis Program", *IEEE Transaction on Circuits and Systems II: Analog and Digital Signal Processing*, Vol. 34, no. 1, pp. 24-30, 1996.
- [2] A. K. Ong, V. I. Prodanov, and M. Tarsia, "A Method for Reducing the Variation in "On" Resistance of a MOS Sampling Switch", *IEEE International Symposium on Circuits and Systems ISCAS 2000*, Vol. 5 pp. V-437-V440, 2000.
- [3] Sonkusale S.R., Van der Spiegel J., "A low distortion MOS sampling circuit", *IEEE International Symposium on Circuits and Systems ISCAS 2002*, Vol. 5 pp. V-585 - V-588, 2002.
- [4] Fayomi C.J.B., Roberts G.W., Sawan M., "Low-voltage CMOS analog bootstrapped switch for sample-and-hold circuit: design and chip characterization", *IEEE International Symposium on Circuits and Systems ISCAS 2005*, Vol. 3 pp.2200 - 2203, 2005.
- [5] Ming-Jer Chen, Yen-Bin Gu, Jen-Yin Huang, Wei-Chen Shen, Wu T., Po-Chin Hsu, "A compact high-speed Miller-capacitance-based sample-and-hold circuit", *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, Vol. 45, Issue 2, pp. 198 - 201, 1998.
- [6] Luh L., Choma J., Jr., and Draper J., "A High-Speed Fully Differential Current Switch", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, Vol. 47, no. 4, pp.358-363, 2000.
- [7] Thawatchai K., Phinet M., Wandee P., Vanchai R., "A Current-mode CMOS Sample-and-hold Circuit for ADC", *SICE-ICASE 2006 International Joint Conference*, pp. 5758-5761, 2006.
- [8] Vanchai R. and Amphawan C., "A High-speed algorithmic ADC" *International Journal of Electronics*, Vol. 91, no. 12, pp. 719-733, 2004.

ประวัติผู้เขียน

ชื่อ-นามสกุล นายอมต หลวงพล
 วัน เดือน ปีเกิด 6 ตุลาคม 2518 ที่กรุงเทพมหานคร
 ที่อยู่ 60/53 หมู่ 5 หมู่บ้านเสนานิเวศน์ 2 ถนนพหลโยธิน แขวงจรเข้บัว
 เขตลาดพร้าว กรุงเทพมหานคร 10520
 ประวัติการศึกษา 2544 วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมคอมพิวเตอร์
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
 ประสบการณ์การทำงาน
 พ.ศ.2539-ปัจจุบัน วิศวกรประจำภาควิชาวิศวกรรมคอมพิวเตอร์ คณะวิศวกรรมศาสตร์
 สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้