สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

หูฟังไร้สายแบบสเตอริโอ

STEREO CORDLESS HEADPHONE

T111017

นางสาวเรืองกาญจน์ กระต่ายทอง

นางสาวยุวดี สุนทรศารทูล

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง
เลขหมู่.....
เลขทะเบียน.111017
วัน.เดือน.ปี.....- 8 ส.ค. 2553
b.....
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2552

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STEREO CORDLESS HEADPHONE

RUANGKAN KRATAITHONG

YUWADEE SUNDARASARADULA

THIS THESIS IS SUMMITTED IN PARTIAL FULFILLMENT

OF THE REQUIREMENTS FOR THE DEGREE OF

BACHELOR OF ENGINEERING IN ELECTRONICS ENGINEERING

FACULTY OF ENGINEERING

KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

ACADEMIC YEAR 2009

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2552

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง

เรื่อง หูฟังไร้สายแบบสเตอริโอ

STEREO REMOTE HEADPHONE

ผู้จัดทำ

1. นางสาวยุวดี สุนทรศารทูล รหัส 49010770
2. นางสาวเรืองกาญจน์ กระต่ายทอง รหัส 49010801

.....ประพนธ์..... อาจารย์ที่ปรึกษา

(.....)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หูฟังไร้สายแบบสเตอริโอ

นางสาวยุวดี สุนทรศารทูล รหัส 49010770
นางสาวเรืองกาญจน์ กระต่ายทอง รหัส 49010801
อาจารย์ประภากร สุวรรณะ อาจารย์ที่ปรึกษา
ปีการศึกษา 2552

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้ อธิบายถึงการออกแบบและการศึกษาการสร้างหูฟังไร้สายแบบสเตอริโอ เพื่อใช้ในการสื่อสารกัน ระหว่างตัวอุปกรณ์ภาครับและตัวอุปกรณ์ภาคส่ง ซึ่งในการสื่อสารระหว่างตัวอุปกรณ์อาศัยการรับส่งสัญญาณโดยการมอดูเลตเชิงความถี่ 4.16 MHz ถึง 5.12 MHz โดยจะถูกแบ่งออกเป็น 4 ช่องสัญญาณ เปลี่ยนความถี่โดยใช้สวิตซ์ทำงานร่วมกับวงจรเฟสล็อคลูปเป็นตัวควบคุมเพื่อเลือกช่องสัญญาณทั้งภาครับและภาคส่ง และใช้แสงอินฟาเรดเป็นตัวกลางในการส่งสัญญาณข้อมูลระหว่างภาครับและภาคส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

STEREO CORDLESS HEADPHONE

Ms.Yuwadee Sundarasaradula ID 49010770

Ms.Ruangkan Krataitong ID 49010801

Asst. Prof. Prapakron Suwanna Advisor

Educational Year 2009

Abstract

This report describes a design and construction of a stereo cordless headphone for communicating between the transmitter device and receiver device. The communication between the transmitter device and receiver device can be done by using FM modulation at the ratio frequency rang from 4.16 MHz to 5.12 MHz in 4 channels. The channels of the transmitter device and receiver device are all control and selected by switch with Phase lock loop circuits. Infrared is a main of data transmitting between receivers.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงงานและปริญญานิพนธ์ฉบับนี้สามารถประสบความสำเร็จลุล่วงไปได้ด้วยดีนั้น ทางคณะผู้จัดทำขอขอบพระคุณอาจารย์ที่ปรึกษา คือ ผศ.ประภากร สุวรรณะ ที่ได้ให้คำปรึกษา ชี้แนะแนวทางในการปฏิบัติงานทุกขั้นตอน รวมถึงการแก้ปัญหาต่างๆ และผลักดันให้โครงงานนี้สำเร็จลุล่วงไปได้ด้วยดี และขอขอบพระคุณคณาจารย์ทุกท่านที่ได้อบรมสั่งสอนให้มีความรู้กับทางคณะผู้จัดทำเป็นอย่างดีตลอดช่วงเวลาที่ผ่านมา รวมถึงเพื่อนๆ รุ่นพี่และรุ่นน้องที่คอยให้กำลังใจและให้การช่วยเหลือเต็มที่เสมอมา

สุดท้ายนี้ขอกราบขอบพระคุณคุณพ่อ คุณแม่ ผู้ที่เป็นแรงบันดาลใจอันสำคัญยิ่ง ที่ทำให้คณะผู้จัดทำมีความมานะพากเพียรทำให้โครงงานและปริญญานิพนธ์ฉบับนี้ให้สำเร็จลุล่วงไปได้ด้วยดี

คณะผู้จัดทำขอขอบพระคุณเป็นอย่างสูงมา ณ ที่นี้ด้วย

นางสาวยุวดี สุนทรศารทูล

นางสาวเรืองกาญจน์ กระต่ายทอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

เรื่อง	หน้า
บทคัดย่อภาษาไทย	I
บทคัดย่อภาษาอังกฤษ	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูป	VI
สารบัญตาราง	VIII
บทที่1 บทนำ	1
1.1 เครื่องส่งสัญญาณ	1
1.2 เครื่องรับสัญญาณ	1
1.3 วัตถุประสงค์โครงงาน	2
1.4 ขอบเขตโครงงาน	2
1.5 ประโยชน์ที่คาดว่าจะได้รับ	2
บทที่ 2 ทฤษฎีเกี่ยวกับระบบสื่อสารอิเล็กทรอนิกส์	3
2.1 ระบบสื่อสารอิเล็กทรอนิกส์ (Electronic Communication Systems)	3
2.2 แถบความถี่ของคลื่นแม่เหล็กไฟฟ้า	5
2.3 รูปแบบของการสื่อสาร	7
2.4 การมอดูเลท และการดีมอดูเลท	8
2.4.1 การมอดูเลท	8
2.4.1.1 การมอดูเลตเชิงขนาด (Amplitude Modulation: AM)	9
2.4.1.2 การมอดูเลตเชิงมุม (Angular Modulation)	9
- วิธีการสร้างสัญญาณ FM	10
- วิธีสร้างสัญญาณ FM โดยตรง	11
- วิธีสร้างสัญญาณ FM โดยอ้อม	11
2.4.2 การดีมอดดูเลทหรือการดีเทคท์ (Demodulation or Detection)	11
2.4.2.1 การดีเทคสัญญาณ FM (FM detectors)	12
- การดีเทคโดยการเปลี่ยนเป็นสัญญาณ AM	13
- Zero crossing detection	13
- การดีเทคโดยเฟสล็อคลูป (Phase lock loop)	13

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- การทำงานของเฟสล็อคลูป (Phase lock loop) 14
2.5 ดัชนีการผสมคลื่น (Modulation Index) 14
2.6 ไซด์แบนด์วิทยุ FM (FM Side Bands) 16
บทที่ 3 วงจรเฟสล็อคลูป 18
3.1 หลักการทำงานพื้นฐานของเฟสล็อคลูป 18
3.2 การพิจารณาสภาวะชั่วคราวของเฟสลล็อคลูปในสภาวะล็อค 21
3.3 เสถียรภาพของเฟสล็อคลูปแบบพื้นฐาน 24
บทที่ 4 เครื่องรับส่ง FM 29
4.1 เครื่องส่งวิทยุ FM 29
4.1.1 เครื่องส่งแบบ FM โดยตรง 29
4.1.2 เครื่องส่งแบบ FM โดยอ้อม 30
4.2 เครื่องรับวิทยุซุเปอร์เฮเทอร์โรดายน์ 31
4.3 Phase shift or Quadrature detector 34
4.4 ระบบ FM สเตอริโอมัลติเพล็กซ์ 37
4.4.1 เครื่องส่งวิทยุ FM สเตอริโอมัลติเพล็กซ์ (FM Stereo Multiplex Transmitter) 38
4.4.2 เครื่องรับ FM สเตอริโอมัลติเพล็กซ์ 39
4.5 มัลติเพล็กเซอร์ (MULTIPLEXER) 40
4.5.1 หลักการของการ Multiplexing 41
บทที่ 5 การลดสัญญาณรบกวน 43
5.1 กราวนด์สำหรับสัญญาณ (Signal ground) ในวงจรความถี่สูง 43
5.2 ชนิดของกราวนด์สำหรับสัญญาณ 43
5.2.1 ระบบกราวนด์ชนิดจุดเดียว (Single point ground system) 44
5.2.2 ระบบกราวนด์หลายจุด (Multipoint ground system) 45
บทที่ 6 การออกแบบวงจรและการทดลอง 47
6.1 การออกแบบและวงจรภาคส่งสัญญาณ 47
6.1.1 การออกแบบเฟสล็อคลูปในการหารค่า N 47
6.1.2 การทดลองหาความถี่อ้างอิงที่ใช้ในวงจรเฟสล็อคลูป 48
6.1.3 การทดลองหาความถี่ของพาหะ 49
6.1.4 การทดลองในส่วนของ Voltage Control Oscillator (VCO) 52
6.1.5 การออกแบบ Low Pass Filter ของวงจรเฟสล็อคลูป 54

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.6 วงจรสร้างสัญญาณสเตอริโอมัลติเพล็กซ์ (Stereo Multiplexer) 55
6.1.6.1 การทดลองวงจร Low pass filter 15 kHz 56
6.1.6.2 การทดลองวงจรที่ทำหน้าที่สร้างสัญญาณเตอริโอมัลติเพล็ก 58
6.2 การออกแบบและวงจรภาครับสัญญาณ 62
6.2.1 การออกแบบเฟสล็อคลูปในการหารค่า N และค่า R
เพื่อหาความถี่ของพาหะ 62
6.2.2 การทดลองในส่วนของ Voltage Control Oscillator (VCO) 65
6.2.3 การออกแบบ Low Pass Filter ของวงจรเฟสล็อคลูป 67
6.2.4 การทดลองในส่วนวงจรภาค IF 10.7 MHz และ Demodulator 69

ภาคผนวก
หนังสืออ้างอิง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

บทที่ 1	รูปที่ 1.1 บล็อกไดอะแกรมของวงจรหูฟังแบบไร้สาย	1
บทที่ 2	รูปที่ 2.1 บล็อกไดอะแกรมของระบบสื่อสารอิเล็กทรอนิกส์	3
	รูปที่ 2.2 รูปแบบการสื่อสารตามทิศทาง	8
	รูปที่ 2.3 AM Modulated wave	9
	รูปที่ 2.4 FM Modulated wave	10
	รูปที่ 2.5 แสดง Block Diagram ของ PLL	14
	รูปที่ 2.6 สเปคตรัมความถี่ของวิทยุ FM ประกอบด้วยความถี่พาหะและไซด์แบนด์	16
บทที่ 3	รูปที่ 3.1การเข้าสู่สภาวะล็อคของเฟสล็อคลูป	19
	รูปที่ 3.2 รูปคลื่นสัญญาณของเฟสล็อคลูปในสภาวะล็อค	20
	รูปที่ 3.3 ผลการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของเฟสที่อินพุต	22
	รูปที่ 3.4 ผลตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของความถี่ที่อินพุต	23
	รูปที่ 3.5 การเปลี่ยนแปลงของเฟสกับเวลา	24
	รูปที่ 3.6 รูปแบบเชิงเส้นของเฟสล็อคลูปชนิดที่หนึ่ง (type I PLL)	24
	รูปที่ 3.7 การตอบสนองของเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่แบบขั้นบันได	27
	รูปที่ 3.8 การตอบสนองของระบบเมื่อค่า ζ เปลี่ยนแปลง	28
	รูปที่ 3.9 กราฟโบเดพล็อตแสดงเสถียรภาพของ Type I PLL	28
บทที่ 4	รูปที่ 4.1 แผนผังเครื่องส่ง FM อย่างง่าย	29
	รูปที่ 4.2 ภาคต่างๆของเครื่องส่ง FM แบบ FM โดยตรง	30
	รูปที่ 4.3 ภาคต่างๆของเครื่องส่ง FM และ FM โดยอ้อม	30
	รูปที่ 4.4 บล็อกไดอะแกรมอย่างง่ายของเครื่องรับ SUPERHETERODYNE	31
	รูปที่ 4.5 แสดงการทำงานของวงจรคูณ หรือวงจร Balanced Mod/Demod	34
	รูปที่ 4.6 บล็อกไดอะแกรมของ FM Quadrature Detector	36
	รูปที่ 4.7 องค์ประกอบความถี่ของ Stereo Multiplex	37
	รูปที่ 4.8 เครื่องส่งวิทยุ FM สเตอริโอมัลติเพล็กซ์	38
	รูปที่ 4.9 เครื่องส่งวิทยุ FM สเตอริโอมัลติเพล็กซ์	39
	รูปที่ 4.10 หลักการของการ Multiplexing	41
บทที่ 5	รูปที่ 5.1 ก. กราวนด์จุดเดียว	43

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 5.1 ข. กราวนด์หลายแห่ง 44
รูปที่ 5.2 ระบบกราวนด์จุดเดียวซึ่งต่อแบบอนุกรม 44
รูปที่ 5.3 ระบบกราวนด์จุดเดียวแบบกราวนด์แยก (การต่อแบบขนาน) 45
รูปที่ 5.4 ระบบกราวนด์หลายจุด 46
บทที่ 6 รูปที่ 6.1 การใช้ IC 74HC40103 หาค่า N 47
รูปที่ 6.2 วงจร หาค่าความถี่อ้างอิงที่ใช้ในวงจรเฟสล็อคลูป 48
รูปที่ 6.3 สัญญาณความถี่อ้างอิงที่วัดได้ 49
รูปที่ 6.4 วงจรสำหรับความถี่พาหะ (Carrier) 49
รูปที่ 6.4 ก. ความถี่ที่ได้เมื่อค่า N = 208 50
รูปที่ 6.4 ข. ความถี่ที่ได้เมื่อค่า N = 224 50
รูปที่ 6.4 ค. ความถี่ที่ได้เมื่อค่า N = 240 51
รูปที่ 6.4 ง. ความถี่ที่ได้เมื่อค่า N = 256 51
รูปที่ 6.5 วงจรในส่วนของ Voltage Control Oscillator 52
รูปที่ 6.6 แสดงความสัมพันธ์ระหว่าง Frequency controlled voltage กับความถี่ที่วงจร VCO สร้าง 53
รูปที่ 6.7 วงจร Low pass Filter 55
รูปที่ 6.8 วงจร Low pass filter 15 kHz 55
รูปที่ 6.9 สัญญาณ sinwave ความถี่ 1 kHz ที่เอาท์พุทของ วงจร Low pass filter 15 kHz 56
รูปที่ 6.10 กราฟแสดงความสัมพันธ์ระหว่างแรงดันและความถี่ของ วงจร Low pass filter 57
รูปที่ 6.11 วงจรที่ทำหน้าที่สร้างสัญญาณสเตอริโอมัลติเพล็กซ์ 58
รูปที่ 6.12 สัญญาณ L-R ซึ่งเป็นการมอดูเลตแบบ AM suppressed carrier 58
รูปที่ 6.13สัญญาณ ไพล็อท 19.5 kHz 59
รูปที่ 6.14 ก สเปกตรัมของสัญญาณ สเตอริโอ มัลติเพล็กซ์ ที่ความถี่ อินพุท 1 kHz 60
รูปที่ 6.14 ข สเปกตรัมของสัญญาณ สเตอริโอ มัลติเพล็กซ์ ที่ความถี่ อินพุท 5 kHz 60
รูปที่ 6.14 ค สเปกตรัมของสัญญาณ สเตอริโอ มัลติเพล็กซ์ ที่ความถี่ อินพุท 10 kHz 61
รูปที่ 6.15 วงจรเฟสล็อคลูปวงจรที่ใช้ที่การหารค่า N และค่า R 62
รูปที่ 6.16 ก. ความถี่ที่ได้เมื่อค่า N = 743 63
รูปที่ 6.16 ข. ความถี่ที่ได้เมื่อค่า N = 759 63
รูปที่ 6.16 ค. ความถี่ที่ได้เมื่อค่า N = 775 64

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.16 ง. ความถี่ที่ได้เมื่อค่า N = 791 64
รูปที่ 6.17 วงจรในส่วนของ Voltage Control Oscillator 65
รูปที่ 6.18 แสดงความสัมพันธ์ระหว่าง Frequency controlled voltage
กับความถี่ที่วงจร VCO สร้าง 66
รูปที่ 6.19 วงจร Low pass Filter 68
รูปที่ 6.20 วงจรส่วน IF และ Demodulator 69
รูปที่ 6.21 สัญญาณ IF ที่วัดได้เมื่อ ป้อนสัญญาณ RF ความถี่ 4.16 MHz 70
รูปที่ 6.22 สัญญาณที่ได้จากการ Demodulation ที่ความถี่ 4.16 MHz 50 dBu 70
รูปที่ 6.23 สัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ความถี่ 4.16 MHz 50 dBu 71
รูปที่ 6.24 สัญญาณที่ได้จากการ Demodulation ที่ความถี่ 4.16 MHz 60 dBu 71
รูปที่ 6.25 สัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ความถี่ 4.16 MHz 60 dBu 72
รูปที่ 6.26 สัญญาณที่ได้จากการ Demodulation ที่ความถี่ 4.48 MHz 50 dBu 72
รูปที่ 6.27 สัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ความถี่ 4.48 MHz 50 dBu 73
รูปที่ 6.28 สัญญาณที่ได้จากการ Demodulation ที่ความถี่ 4.48 MHz 60 dBu 73
รูปที่ 6.29 สัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ความถี่ 4.48 MHz 60 dBu 74
รูปที่ 6.30 สัญญาณที่ได้จากการ Demodulation ที่ความถี่ 4.80 MHz 50 dBu 74
รูปที่ 6.31 สัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ความถี่ 4.80 MHz 50 dBu 75
รูปที่ 6.32 สัญญาณที่ได้จากการ Demodulation ที่ความถี่ 4.80 MHz 60 dBu 75
รูปที่ 6.33 สัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ความถี่ 4.80 MHz 60 dBu 76
รูปที่ 6.34 สัญญาณที่ได้จากการ Demodulation ที่ความถี่ 5.12 MHz 50 dBu 76
รูปที่ 6.35 สัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ความถี่ 5.12 MHz 50 dBu 77
รูปที่ 6.36 สัญญาณที่ได้จากการ Demodulation ที่ความถี่ 5.12 MHz 50 dBu 77
รูปที่ 6.37 สัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ความถี่ 5.12 MHz 50 dBu 78

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

หน้า

บทที่ 2 ตารางที่ 2.1 แสดงแถบความถี่และการใช้งาน 6

บทที่ 4 ตารางที่ 4.1 ความถี่ IF ที่นิยมเลือกใช้ 32

บทที่ 6 ตารางที่ 6.1 แสดงค่าความถี่ที่ได้จากการโปรแกรมเฟสล็อคลูป 50

ตารางที่ 6.2 แสดงค่าที่ได้จากวงจรหาความถี่ของพาหะ (Carrier) 53

ตารางที่ 6.3 แสดงการเปลี่ยนแปลงของความถี่เอาท์พุทเมื่อแรงดันอินพุต เปลี่ยนแปลง 53

ตารางที่ 6.4 ตารางแสดงการเปลี่ยนแปลงแรงดันเอาท์พุทเมื่อความถี่อินพุท เปลี่ยนแปลง 57

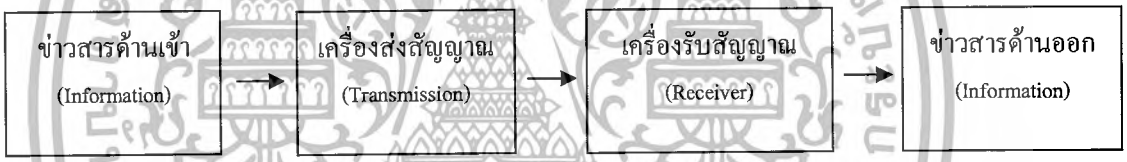
ตารางที่ 6.5 แสดงค่าความถี่ที่ได้จากการโปรแกรมเฟสล็อคลูป 63

ตารางที่ 6.6 แสดงการเปลี่ยนแปลงของความถี่เอาท์พุทเมื่อแรงดันอินพุต เปลี่ยนแปลง 66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

ปัจจุบันนี้การควบคุมด้วยรีโมทคอนโทรลได้มีบทบาทขึ้นมาก เนื่องจากความสะดวกสบายในการใช้งานในชีวิตประจำวัน โดยการใช้คลื่นแม่เหล็กในอากาศ เช่น แสงอินฟราเรด (Infrared) สำหรับการสื่อสารข้อมูลต่างๆ จากจุดหนึ่ง ไปยังอีกจุดหนึ่ง โดยไม่ต้องพึ่งพาสายนำสัญญาณ (สายเคเบิล) ให้ลำบากหรือยุ่งยาก การใช้แสงอินฟราเรดยังสามารถตัดปัญหาการรบกวนจากแสงภายนอกอย่างอื่นที่มองเห็นลงไปได้ ผู้จัดทำจึงสร้างวงจรหูฟังไร้สายแบบอินฟราเรด (Infrared Remote Headphone) จะมีส่วนประกอบหลัก 2 ส่วน คือ ส่วนของเครื่องส่งสัญญาณและส่วนของเครื่องรับสัญญาณ แสดงดังบล็อกไดอะแกรมดังรูป 1.1 จากแนวความคิดนี้จึงจำเป็นต้องศึกษา การทำงานของ การมอดูเลชันแบบ FM ทฤษฎีเฟสล็อคลูป ทฤษฎีการรับและส่งคลื่นวิทยุระบบ เอฟเอ็มสเตอร์ริโอ มัลติเพล็กซ์ โดยจะบรรยายเนื้อหาในบทต่อไป



รูปที่1.1 บล็อกไดอะแกรมของวงจรหูฟังแบบไร้สาย

1.1 เครื่องส่งสัญญาณ

เครื่องส่ง(TRANSMITTER) เป็นอุปกรณ์หรือวงจรอิเล็กทรอนิกส์ที่ถูกออกแบบสำหรับแปลงสัญญาณ จากแหล่งกำเนิดสัญญาณที่จะสื่อสารให้กลายเป็นสัญญาณที่มีรูปแบบ และระดับพลังงานที่เหมาะสมกับตัวกลางการสื่อสาร

1.2 เครื่องรับสัญญาณ

เครื่องรับ(RECIEVER) เป็นอุปกรณ์และวงจรอิเล็กทรอนิกส์อีกชุดหนึ่ง ซึ่งจะทำหน้าที่แปลงสัญญาณที่รับได้จากตัวกลาง ให้กลายเป็นสัญญาณที่มีรูปแบบ และระดับพลังงานที่เหมาะสมกับอุปกรณ์ปลายทางด้านรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.3 วัตถุประสงค์โครงงาน

1. เพื่อศึกษาและเรียนรู้การใช้งานเฟสล็อคลูปเป็นวงจรสังเคราะห์ความถี่
2. เพื่อศึกษาและออกแบบลายวงจรที่ใช้กับความถี่สูงและเทคนิคการต่อวงจรความถี่สูง
3. เพื่อศึกษาและเรียนรู้การมอดูเลตและดีมอดูเลตสัญญาณแบบการผสมคลื่นเชิงความถี่

1.4 ขอบเขตของโครงงาน

สามารถส่งสัญญาณเสียงระบบสเตอริโอผ่านแสงอินฟาเรดไปยังเครื่องรับสัญญาณ และสามารถถอดรหัสสัญญาณเสียงระบบสเตอริโอ โดยแยกข้างซ้ายขวาได้

1.5 ประโยชน์ที่คาดว่าจะได้รับ

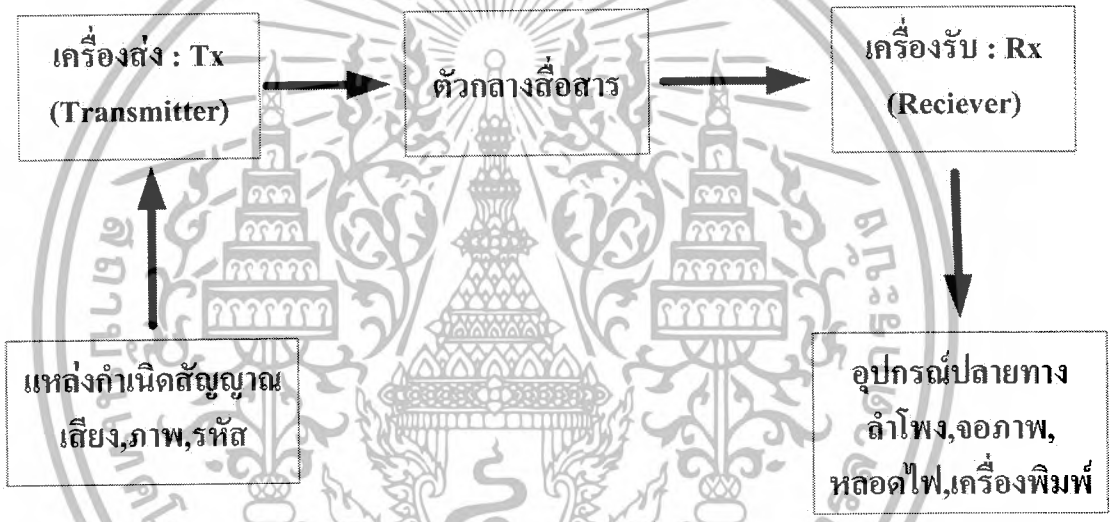
1. ได้รับความรู้เกี่ยวกับการออกแบบและสร้างวงจรสังเคราะห์ความถี่ด้วยเฟสล็อคลูป
2. ได้รับความรู้เกี่ยวกับการมอดูเลตสัญญาณแบบ FM สเตอริโอมัลติเพล็กซ์
3. ได้รับความรู้ในการออกแบบวงจรมอดูเลตและดีมอดูเลต
4. ได้รับความรู้ในการออกแบบลายวงจรความถี่สูงและเทคนิคการต่อวงจรความถี่สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีเกี่ยวกับระบบสื่อสารอิเล็กทรอนิกส์

2.1 ระบบสื่อสารอิเล็กทรอนิกส์ (Electronic Communication Systems)

การสื่อสารอิเล็กทรอนิกส์ หมายถึง การส่ง(Transmission), การรับ (Reception), และการประมวลผลของข้อมูลหรือข่าวสาร (Information, Intelligence, Data, Signal) ระหว่าง 2 จุดหรือมากกว่าด้วยการใช้อิเล็กทรอนิกส์



รูปที่ 2.1 บล็อกไดอะแกรมของระบบสื่อสารอิเล็กทรอนิกส์

ตัวกลางการสื่อสาร (Communication Medium) เป็นช่องทางหรือตัวกลางซึ่งสัญญาณของระบบสื่อสารใช้เป็นทางจากจุดส่งไปยังจุดรับ ซึ่งเราสามารถแบ่งชนิดของการสื่อสารทางอิเล็กทรอนิกส์ตามชนิดของตัวกลางการสื่อสารได้ 2 แบบ คือ

- แบบมีสาย (WIRE) สายในที่นี้อาจเป็นสายตัวนำไฟฟ้า 1 คู่ หรือเส้นใยนำแสง (OPTIC FIBER)

- แบบไร้สาย (WIRELESS) หรือวิทยุ (RADIO) สัญญาณของระบบสื่อสารแบบไร้สาย จะอยู่ในรูปแบบของคลื่นแม่เหล็กไฟฟ้า ซึ่งรวมถึงแสง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องส่ง (Transmitter) เป็นอุปกรณ์หรือวงจรอิเล็กทรอนิกส์ ที่ถูกออกแบบสำหรับแปลงสัญญาณจากแหล่งกำเนิดสัญญาณที่จะสื่อสารให้กลายเป็นสัญญาณที่มีรูปแบบและระดับพลังงานที่เหมาะสมกับตัวกลางการสื่อสารของแต่ละระบบ เครื่องส่งอาจเป็นเพียงคีย์สวิทซ์ของระบบโทรเลขแบบใช้สาย หรืออาจเป็นวงจรอิเล็กทรอนิกส์ที่สลับซับซ้อนของระบบดาวเทียม สัญญาณที่จะสื่อสารอาจอยู่ในรูปของสัญญาณเสียง ภาพ หรือ ข้อมูลในรูปของสัญญาณดิจิตอล ซึ่งสัญญาณแต่ละชนิดจะมีค่าความกว้างของแถบความถี่ (Bandwidth) แตกต่างกัน ซึ่งความกว้างของแถบความถี่ของสัญญาณนี้ถือเป็นพารามิเตอร์ที่สำคัญที่สุดในการพิจารณาเลือกใช้หรือออกแบบระบบสื่อสาร

เครื่องรับ (Receiver) จะเป็นอุปกรณ์และวงจรอิเล็กทรอนิกส์อีกชุดหนึ่ง ซึ่งจะทำหน้าที่แปลงสัญญาณที่รับมาได้จากตัวกลางให้กลายเป็นสัญญาณที่มีรูปแบบและระดับพลังงานที่เหมาะสมกับอุปกรณ์ปลายทางด้านรับ เช่น เครื่องรับของระบบโทรเลขใช้สายจะเป็นเพียง ขดลวดโซลีนอยด์ (Solenoid) หรือวงจรอิเล็กทรอนิกส์ที่ซับซ้อนของการรับสัญญาณโทรทัศน์ผ่านดาวเทียม

สัญญาณทางอิเล็กทรอนิกส์เกือบทุกสัญญาณจะเกิดจากผลรวมของคลื่นซายน์หลาย ๆ ความถี่ การเดินทางของสัญญาณในวงจรจากจุดหนึ่งไปยังอีกจุดหนึ่งหรือการเดินทางของสัญญาณจากวงจรหนึ่งไปยังอีกวงจรหนึ่ง หรือการเดินทางของสัญญาณจากระบบหนึ่งไปยังอีกระบบหนึ่งสามารถพิจารณาเป็นการเดินทางของคลื่นซายน์ทุกความถี่ที่มีอยู่ในสัญญาณนั้นจากที่หนึ่งไปยังอีกที่หนึ่งในรูปแบบของคลื่นแม่เหล็กไฟฟ้า (Electromagnetic waves) ซึ่งอาจจะเป็นการเคลื่อนที่ ผ่านตัวนำไฟฟ้า หรือตัวอุปกรณ์ต่าง ๆ และการเคลื่อนที่ผ่านอากาศหรืออวกาศในรูปของการแผ่รังสี (Radiation)

ความกว้างแถบความถี่ของสัญญาณ คือ ค่าแถบความถี่ของคลื่นซายน์หลายความถี่ที่รวมกันเป็นสัญญาณ ซึ่งจะมีค่าเท่ากับผลต่างของความถี่สูงสุดกับความถี่ต่ำสุดที่มีอยู่ในสัญญาณ

ถ้ามีสัญญาณมากกว่าหนึ่งสัญญาณในอาณาบริเวณเดียวกัน และสัญญาณเหล่านั้นมีค่าแถบความถี่ที่ทับซ้อนกัน จะทำให้เกิดการรบกวนซึ่งกันและกัน ถ้าระดับกำลังของสัญญาณต่างๆ ที่มีแถบความถี่ซ้อนทับกันมีค่าใกล้เคียงกัน ก็จะเกิดการรบกวนซึ่งกันและกัน แต่ถ้าระดับกำลังของสัญญาณแตกต่างกันมาก สัญญาณที่มีกำลังมากแทบไม่ถูกรบกวนจากสัญญาณที่มีกำลังต่ำกว่ามาก ในทางตรงกันข้ามสัญญาณที่มีกำลังต่ำจะถูกสัญญาณที่มีกำลังสูงกว่ากลบจนหมด

ในระบบสื่อสาร เราไม่สามารถส่งสัญญาณที่มีแถบความถี่ซ้อนทับกันผ่านตัวกลางของการสื่อสารเดียวกันภายในเวลาเดียวกันได้ สัญญาณใดก็ตามที่มีแถบความถี่ซ้อนทับกับสัญญาณที่เราต้องการสื่อสาร จะถูกเรียกว่า “สัญญาณรบกวน (NOISE)”

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเดินทางของสัญญาณจากเครื่องส่งไปยังเครื่องรับจะถูกลดทอนให้มีกำลังต่ำลงในขณะที่ผ่านตัวกลาง เมื่อสัญญาณมีกำลังไฟฟ้าลดลงจะมีโอกาสถูกรบกวนจากสัญญาณรบกวนที่อยู่ระหว่างเส้นทาง ยิ่งไปกว่านั้นภายในตัวอุปกรณ์อิเล็กทรอนิกส์ก็เป็นแหล่งกำเนิดสัญญาณรบกวนอีกด้วย ถ้าความกว้างแถบความถี่ของสัญญาณยิ่งกว้างก็จะยิ่งเพิ่มโอกาสที่จะถูกรบกวนมากยิ่งขึ้น

2.2 แถบความถี่ของคลื่นแม่เหล็กไฟฟ้า

จุดประสงค์ของ Electronic Communication คือ การติดต่อสื่อสารระหว่างจุด 2 จุด ข้อมูลข่าวสารของการสื่อสารจะต้องอยู่ในรูปของคลื่นแม่เหล็กไฟฟ้า ซึ่งคลื่นแม่เหล็กไฟฟ้านี้จะสามารถแผ่กระจายผ่านตัวนำไฟฟ้า หรืออากาศ/อวกาศได้

แถบความถี่ของสัญญาณ(Signal Bandwidth) คือ แถบความถี่ของคลื่นแม่เหล็กไฟฟ้าที่สัญญาณครอบครองอยู่ ซึ่งจะมีค่าเท่ากับผลต่างของความถี่สูงสุดกับความถี่ต่ำสุดของสัญญาณ

ความกว้างของแถบความถี่ของช่องสื่อสาร (Communication Channel Bandwidth) จะต้องมีความกว้างพอที่จะให้ความถี่ที่มีนัยสำคัญทั้งหมดของสัญญาณข้อมูลข่าวสารผ่านไปได้ทั้งหมด โดยที่ความกว้างของแถบความถี่ของช่องสื่อสาร: BW_{CH} จะต้องมีค่าเท่ากับหรือมากกว่าความ กว้างของแถบความถี่ของช่องสัญญาณ: BW_{SIGNAL}

$$BW_{CH} \geq BW_{SIGNAL} \qquad (2.1)$$

เช่น แถบความถี่ของเสียงมนุษย์ คือ 300 Hz - 3 kHz ความกว้างของแถบความถี่ของช่องสื่อสาร สำหรับเสียงมนุษย์ จะต้องมีความกว้างอย่างน้อยที่สุดเป็น 2.7 kHz (3 kHz - 300 Hz = 2.7 kHz)

ความจุของข้อมูลข่าวสาร (Information Capacity) ของระบบสื่อสารเป็นจำนวนที่ใช้วัดความสามารถของระบบสื่อสารว่าสามารถจะส่งข้อมูลข่าวสารผ่านระบบได้เป็นประมาณเท่าใดต่อหนึ่งหน่วยของเวลา จะเห็นได้อย่างชัดเจนว่าระบบที่มีความกว้างของแถบความถี่ของช่องสื่อสารกว้างก็จะยิ่งมีความจุของข้อมูลข่าวสารสูง

กฎของ “ฮาร์ทเลย์” (Hartley’s law) กล่าวว่า

$$I \propto BW_{CH}T \qquad (2.2)$$

เมื่อ I : ความจุของข้อมูลข่าวสาร (Information Capacity)

BW_{CH} : ความกว้างของแถบความถี่ของช่องสื่อสาร

T : เวลาที่ใช้ในการส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถึงแม้ว่าระบบสื่อสารที่มีความกว้างของแถบความถี่ของช่องสื่อสารกว้าง จะมีความจุของข้อมูลข่าวสารมาก อย่างไรก็ตามกฎพื้นฐานในการออกแบบระบบสื่อสารที่วิศวกรผู้ออกแบบพึงระลึกอยู่ตลอดเวลา คือ จะต้องพยายามทำให้ความกว้างของแถบความถี่ของช่องสื่อสาร มีความกว้างให้น้อยที่สุดเท่าที่จะเป็นไปได้ โดยไม่ทำให้สูญเสียข้อมูลข่าวสารที่มีนัยสำคัญ

ความถี่บางความถี่ เช่น ความถี่ที่สูงกว่าย่าน HF จะสามารถแพร่กระจายได้ในขอบเขตจำกัด เราสามารถใช้ความถี่ของระบบสื่อสารซ้อนทับกันในบริเวณที่ห่างไกลกัน สัญญาณของการแพร่กระจายคลื่นอาจทำได้โดยไม่ใช้เครื่องส่งที่มีกำลังสูงเกินกว่าความจำเป็น แต่บางความถี่ เช่น ในย่าน HF จะมีความสามารถสะท้อนกับบรรยากาศโลก (ชั้นIonosphere) ได้ดี จะสามารถแพร่กระจายคลื่นไปได้ไกลมาก

ตารางที่ 2.1 แสดงแถบความถี่และการใช้งาน

แถบความถี่	ชื่อแถบความถี่	การใช้งาน
3-30 kHz	ความถี่ต่ำมา (Very low frequency : VLF)	ระบบนำวิถีระยะไกล ระบบโซนาร์
30 -300 kHz	ความถี่ต่ำ (Low frequency : LF)	ระบบนำวิถี
300 – 3,000 kHz	ความถี่ปานกลาง (Medium frequency : MF)	ระบบวิทยุ
3-30 MHz	ความถี่สูง (High frequency : HF)	ระบบโทรเลข ระบบโทรศัพท์ ระบบสื่อสารการเดินเรือ
30-300 MHz	ความถี่สูงมาก (Very high frequency : VHF)	ระบบแพร่ภาพโทรทัศน์ ระบบวิทยุ ระบบควบคุมการจราจรทางอากาศ ระบบสื่อสารของตำรวจ
0.3-3 GHz	ความถี่สูงยิ่ง (Ultrahigh frequency : UHF)	ระบบแพร่ภาพโทรทัศน์ ระบบโทรศัพท์เคลื่อนที่ ระบบเรดาร์ความปลอดภัย ระบบสื่อสารดาวเทียม
3-30 GHz	ความถี่สูงยวดยิ่ง Super high frequency : SHF	ระบบสื่อสารไมโครเวฟ ระบบสื่อสารดาวเทียม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

		ระบบเรดาร์พยากรณ์อากาศ
30-300 GHz	ความถี่สูงสุดโต่ง (Extremely high frequency : EHF)	ระบบสื่อสารเรดาห์ ระบบการลงจอดของเครื่องบิน
300 GHz- 3 THz	(01.-1)	
43-430 THz	อินฟราเรด (Infrared 7 – 0.7 um)	ระบบสื่อสารทางแสง
430-750 THz	แสงที่ตามมองเห็น (Visible light 0.7-0.4 um)	ระบบสื่อสารทางแสง
750-3,000 THz	แสงอัลตราไวโอเลต (Ultraviolet light 0.4 – 0.1 um)	ระบบสื่อสารทางแสง

ตารางที่ 2.1 แสดงแถบความถี่และการใช้งาน

2.3 รูปแบบของการสื่อสาร

เราสามารถแบ่งรูปแบบของการสื่อสารได้หลายรูปแบบหรือหลายชนิด เช่น แบ่งตามลักษณะของตัวกลางก็จะสามารถแบ่งได้เป็น 2 แบบ คือ แบบมีสายกับแบบไร้สาย ถ้าแบ่งตามรูปแบบของสัญญาณก็จะสามารถแบ่งได้ 2 แบบ คือ การสื่อสารแบบแถบฐานกับการสื่อสารแบบมอดูเลชั่น ซึ่งไม่ว่าจะเป็นแบบใดในการส่งสัญญาณจำนวน n สัญญาณ ผ่านระบบสื่อสารในเวลาเดียวกันและผ่านตัวกลางเดียวกัน จะต้องใช้ช่องสื่อสารจำนวน n ช่องสื่อสาร แถบความถี่ของช่องสื่อสารแต่ละช่องจะซ้อนทับกันไม่ได้ และความกว้างของแถบความถี่ของช่องสื่อสารแต่ละช่องควรมีความกว้างให้น้อยที่สุดเท่าที่จะทำได้โดยต้องไม่สูญเสียข้อมูลที่มีนัยสำคัญ

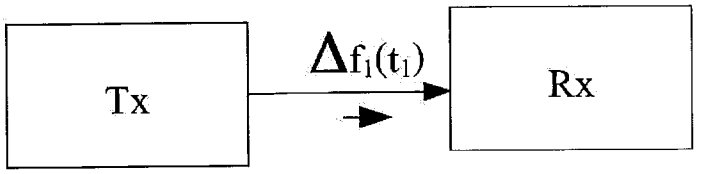
เราอาจแบ่งรูป แบบของการสื่อสารตามทิศทางของการสื่อสารหรือจำนวนของช่องสื่อสารได้ 3 แบบ คือ

a) แบบทิศทางเดียว (SIMPLEX; SPX, XS) คือ ฝ่ายหนึ่งจะส่งเพียงอย่างเดียว และอีกฝ่ายหนึ่งจะเป็นฝ่ายรับเพียงอย่างเดียวการสื่อสารแบบทิศทางเดียวนี้ต้องการช่องสื่อสารเพียง 1 ช่อง ตัวอย่าง เช่น การส่งวิทยุกระจายเสียง (Broad casting)

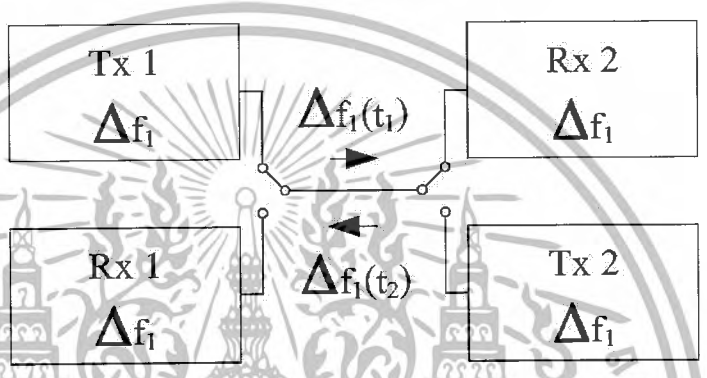
b) แบบกึ่งสองทาง (HALF DUPLEX; HDX, HX) เป็นการสื่อสารแบบ 2 ทางแต่สลับเวลากันในขณะที่ฝ่ายหนึ่งเป็นฝ่ายส่ง อีกฝ่ายหนึ่งจะเป็นฝ่ายรับ การสื่อสารแบบกึ่งสองทางนี้ต้องการช่องสื่อสารเพียงช่องเดียว ตัวอย่าง เช่น วิทยุโทรคมนาคม หรือ Walkie – Talkie

c) แบบสองทาง (FULL DUPLEX; FDX, FX) เป็นการสื่อสารแบบ 2 ทิศทาง โดยที่ ทั้ง 2 ฝ่ายสามารถรับและส่งได้พร้อมกันในเวลาเดียวกันการสื่อสารแบบ 2 ทิศทางนี้ต้องการช่อง สื่อสาร 2 ช่อง ตัวอย่างเช่น โทรศัพท์ และ โทรศัพท์เคลื่อนที่

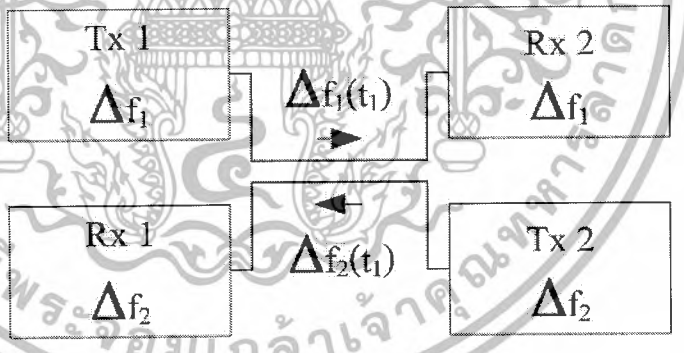
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



a. การสื่อสารแบบทิศทางเดียว



b. การสื่อสารแบบกึ่งสองทิศทาง



c. การสื่อสารแบบสองทิศทาง

รูปที่ 2.2 รูปแบบการสื่อสารตามทิศทาง

2.4 การมอดูเลท และการดีมอดูเลท

2.4.1 การมอดูเลท คือ ขบวนการเลื่อนความถี่ของสัญญาณ โดยสัญญาณModulating Signal จะทำให้ parameter บางประการของคลื่นพาห์ (Carrier) ซึ่งมักจะมีความถี่สูงกว่าสัญญาณเปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คลื่นพาห์ : $v_c = v_{cp} \sin(\omega_c t + \emptyset)$

สัญญาณ : $v_m = v_{mp} \sin \omega_m t$

การมอดูเลตสามารถแบ่งได้ 2 ประเภท คือ

2.4.1.1 การมอดูเลตเชิงขนาด (Amplitude Modulation: AM) ขนาดของคลื่นพาห์ จะเปลี่ยนไปตามขนาดของสัญญาณ

$$V_{AM} = (V_{cp} + V_{mp} \sin \omega_c t) \sin \omega_c t \quad (2.3)$$

รูปที่ 2.3 AM Modulated wave

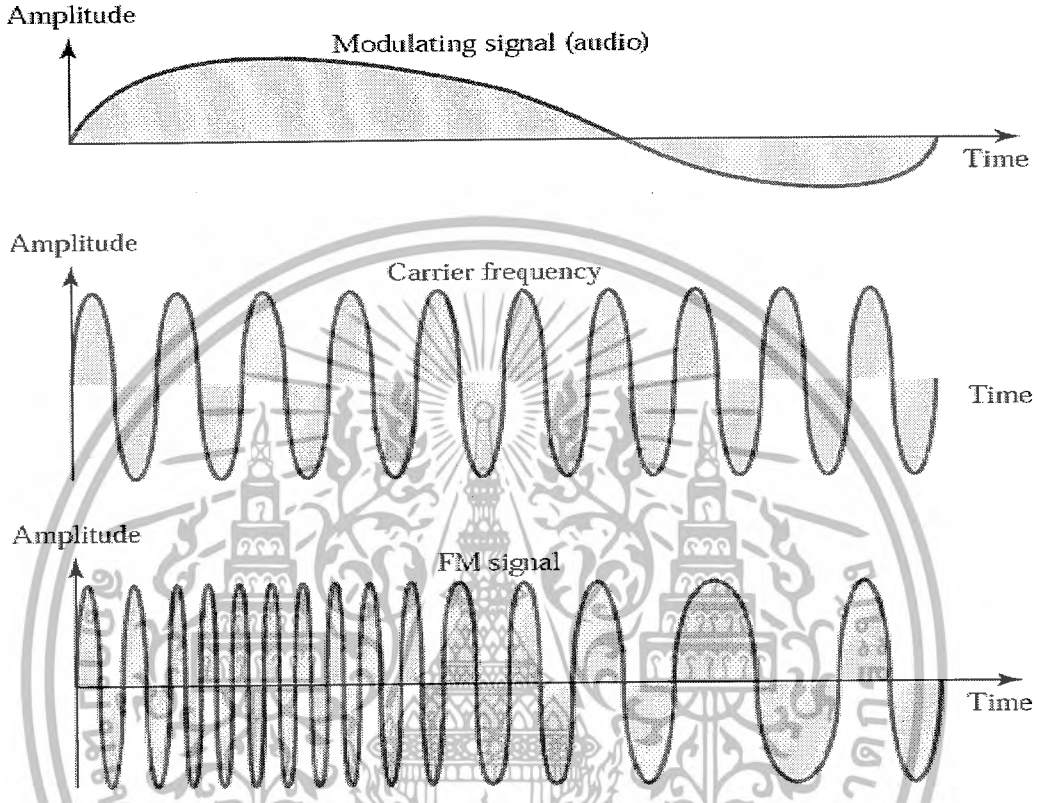
2.4.1.2 การมอดูเลตเชิงมุม (Angular Modulation)

-การมอดดูเลตทางความถี่ (Frequency Modulation: FM) ความถี่ของคลื่นพาห์จะเปลี่ยนแปลงไปตามขนาดของสัญญาณ

$$V_{FM} = V_{cp} \sin\left(\omega_c t + \frac{K_f V_{mp}}{\omega_{mt}} \sin \omega_m t\right) \quad (2.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อ K_f : ค่าคงที่ของการมอดูเลต



รูปที่ 2.4 FM Modulated wave

สำหรับการมอดูเลตสัญญาณแบบ FM สามารถจะแยกย่อยออกได้เป็น 2 ประเภทตามขนาดของ β คือ

- การมอดูเลตสัญญาณแบบ FM แถบความถี่แคบ (Narrow-band FM)
- การมอดูเลตสัญญาณแบบ FM แถบความถี่กว้าง (Wide-band FM)

การมอดูเลตสัญญาณแบบ FM จะจัดเป็นแบบความถี่แคบเมื่อ β มีค่าน้อยเมื่อเทียบกับหนึ่ง เรเดียน และจะจัดเป็นแบบความถี่กว้างเมื่อ β มีขนาดใหญ่เมื่อเทียบกับหนึ่งเรเดียน

- วิธีการสร้างสัญญาณ FM

ในการสร้างสัญญาณ FM สามารถกระทำได้ 2 วิธี คือ วิธีสร้างโดยตรง (Direct method) และวิธีสร้างโดยอ้อม (Indirect method) สำหรับวิธีแรกนั้นจะทำการแปรเปลี่ยนความถี่ของสัญญาณคลื่นพาร์ไปตามขนาดสัญญาณเบสแบนด์โดยตรงเลย ส่วนวิธีที่สองจะต้องสร้างสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FM แถบความถี่แคบ ขึ้นมาก่อน จากนั้นก็อาศัยวงจรคูณความถี่เพื่อเพิ่มขนาดค่าเบี่ยงเบนความถี่และความถี่ของคลื่นพาร์ให้ได้ตามต้องการ

-วิธีสร้างสัญญาณ FM โดยตรง

สำหรับวิธีสร้างโดยตรงนั้นอาศัยอุปกรณ์ที่เรียกว่า voltage – controlled oscillators (VCO) ในการสร้างสัญญาณคลื่นพาห์ที่มีความถี่แปรเปลี่ยนไปตามขนาดของสัญญาณเบสแบนด์ วงจรดังกล่าวสร้างจากวงจรออสซิลเลเตอร์ที่มีองค์ประกอบส่วนหนึ่งเป็นอุปกรณ์ที่เรียกว่า วาแรกเตอร์ (varactor) โดยอุปกรณ์ชิ้นนี้มีคุณสมบัติที่สำคัญคือค่าความจุไฟฟ้า (capacitance) เปลี่ยนแปลงได้ตามขนาดของแรงดันไฟฟ้าที่คร่อมอยู่ ดังนั้นหากต่อสัญญาณเบสแบนด์ที่จะส่งตรงขั้วทั้งสองของวาแรกเตอร์ ค่าความจุไฟฟ้าก็จะแปรเปลี่ยนไปตามขนาดของสัญญาณเบสแบนด์ ซึ่งส่งผลให้วงจรออสซิลเลเตอร์กำหนดความถี่ที่แปรเปลี่ยนไปตาม m(t) ด้วย การสร้างสัญญาณ FM โดยตรงในลักษณะนี้เป็นวิธีที่ค่อนข้างง่าย และค่าเบี่ยงเบนความถี่ที่ได้ก็มีค่าสูงพอควร หากแต่ปัญหาหลักของวิธีแบบนี้คือ ความถี่กลางของคลื่นพาห์มีโอกาสคลาดเคลื่อน (drift) จากค่าจริงได้ง่าย ดังนั้นเพื่อขจัดปัญหาดังกล่าวจึงจำเป็นต้องมีการนำเอาวงจรเฟสล็อกลูป (Phase locked loop) มาใช้ช่วยในการล็อกความถี่ของคลื่นพาห์ให้มีค่าคงที่

-วิธีสร้างสัญญาณ FM โดยอ้อม

ขั้นตอนในการสร้างสัญญาณ FM โดยอ้อมจะเริ่มด้วยการอินทิเกรตสัญญาณเบสแบนด์ m(t) จากนั้นนำสัญญาณดังกล่าวผ่านเข้าวงจรเฟสมอดูเลเตอร์แถบความถี่แคบ(narrow – band phase modulator) เพื่อให้ได้สัญญาณ FM แถบความถี่แคบ เนื่องจากค่าเบี่ยงเบนความถี่สูงสุดของสัญญาณ FM ที่ได้จากขั้นตอนนี้มีค่าที่ต่ำมาก ด้วยเหตุนี้สัญญาณ FM ที่สร้างจึงได้เป็นสัญญาณ FM แถบความถี่แคบเท่านั้น หากต้องการสัญญาณ FM แถบความถี่กว้าง ก็สามารถกระทำได้โดยอาศัยวงจรคูณความถี่ประกอบกับวงจรมิกเซอร์

2.4.1.2.1 การมอดดูเลททางเฟส (Phase Modulation :PM) เฟสของคลื่นพาห์จะเปลี่ยนแปลงไปตามขนาดของสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$V_{pm} = V_{cp}\left(\sin \omega_c t + KV_{mp} \sin \omega_m t\right) \qquad (2.5)$$

2.4.2 การดีมอดดูเลทหรือการดีเทคท์ (Demodulation or Detection) เป็นกระบวนการย้อน กลับของการมอดูเลต คือการแยกสัญญาณออกจากคลื่นพาห์ สัญญาณของระบบสื่อสารที่ไม่ผ่าน ขบวนการมอดูเลต เรียกว่า สัญญาณแถบฐาน (Base band)

เราสามารถแบ่งชนิดของการสื่อสารตามรูปแบบของสัญญาณได้ 2 แบบ คือ

1. การสื่อสารแบบแถบฐาน (Base Band Communication) ในการสื่อสารแบบแถบฐานนี้จะต้องเป็นการสื่อสารแบบใช้สายเท่านั้น เราไม่สามารถส่งสัญญาณแถบฐานแบบวิทยุได้ และยิ่งไปกว่านี้สายส่ง 1 คู่สายสามารถส่งสัญญาณแถบฐานได้เพียง 1 สัญญาณในระยะเวลาเดียวกันเท่านั้น ในการส่งสัญญาณแถบฐานหลายสัญญาณผ่านตัวกลางเดียวกัน อาจทำได้โดยการสลับเวลาใน การรับส่ง

2. การสื่อสารแบบมอดูเลชั่น หรือแบบผ่านแถบความถี่ (Band Pass Communication) ซึ่งจะเป็นการสื่อสารแบบมีสายหรือไร้สายก็ได้ ในกรณีที่เป็นแบบมีสาย สายส่ง 1 คู่สายสามารถส่งสัญญาณพร้อมกันได้หลายสัญญาณ

เหตุผลสำคัญที่จะต้องมีการมอดูเลชั่น สำหรับระบบสื่อสารไร้สายมีดังต่อไปนี้

- สัญญาณแถบฐานที่เกิดจากต้นกำเนิดชนิดเดียวกัน จะมีแถบความถี่ใกล้เคียงกัน เช่น เสียงมนุษย์ทุกคนก็จะมีแถบความถี่ประมาณ 300 Hz – 3 KHz คลื่นแม่เหล็กไฟฟ้าที่แผ่กระจาย ออกไปจะมีแถบความถี่ที่ซ้อนทับกัน ทำให้ข้อมูลของแต่ละข้อมูลรบกวนซึ่งกันและกัน โดยผ่าน การมอดูเลต เราสามารถเลื่อนแถบความถี่ของสัญญาณแถบฐานไม่ให้ซ้อนทับกันได้จากการเลื่อน แถบความถี่คลื่นพาห์ที่ไม่เท่ากัน

- เป็นการยากมากในการที่จะสร้างสายอากาศที่จะแผ่กระจายคลื่นของสัญญาณแถบฐานให้มีคุณภาพสูงตลอดย่านแถบความถี่ของสัญญาณแถบฐาน เนื่องจากสัญญาณแถบฐานมักมีความถี่ต่ำ และแถบความถี่กว้าง (ค่าความถี่ต่ำสุดและความถี่สูงสุดต่างกันหลายเท่า) โดยการผ่านขบวนการมอดูเลตแถบความถี่ของสัญญาณ สัญญาณที่ถูกมอดูเลตจะมีค่าแถบความถี่เชิงสัมพัทธ์แคบลงมาก ทำให้สามารถสร้างสายอากาศที่สามารถแผ่กระจายคลื่นได้ดี ตลอดแถบความถี่

-ในการส่งสัญญาณมากกว่า 1 สัญญาณผ่านสายตัวนำเพียง 1 คู่ จะต้องมีขบวนการมอดูเลตเข้ามาเกี่ยวข้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2.1 การดีเทคสัญญาณ FM (FM detectors)

เนื่องจากสัญญาณ FM ได้ จากการเปลี่ยนความถี่ตามขนาดสัญญาณที่นำมามอดูเลตเมื่อต้องการดีมอดูเลตหรือดีเทคสัญญาณกลับคืนมาก็อาจใช้วิธีการกลับกันคือใช้วงจรที่เปลี่ยนขนาดสัญญาณขาออกตามความถี่ ของสัญญาณขาเข้าก็จะได้สัญญาณที่มีขนาดเปลี่ยนไปคือสัญญาณAM นั่นเองจากนั้นจึงใช้เอ็นเวลโลปดีเทคเตอร์นำสัญญาณเบสแบนด์ ออกมาได้นั่นก็คือการดีเทคโดยการเปลี่ยนสัญญาณ FM เป็นสัญญาณ AM ก่อนส่วนอีกลักษณะคือการได้สัญญาณเดิมกลับออกมาโดยตรงอาจใช้ zero crossing detector หรือการดีเทคโดยใช้เฟสล็อคลูป

-การดีเทคโดยการเปลี่ยนเป็นสัญญาณ AM

ตัวที่จะเปลี่ยนการเปลี่ยนแปลงของความถี่ของสัญญาณ FM ไปเป็นการเปลี่ยนแปลงขนาดนั้นจะต้องใช้การตอบสนองแต่ละความถี่ที่ไม่เท่ากันแต่เป็นเชิงเส้น ซึ่งเราเรียกวิธี การเช่นนี้ว่า discriminator action จะเห็นว่า Wc มีการตอบสนองเท่ากับศูนย์

ในขณะที่ความถี่สูงขึ้น การตอบสนองจะเพิ่มขึ้นนั่นคือสัญญาณขาออกจะมี ขนาดสูงขึ้น ในขณะที่ความถี่ต่ำลงการตอบสนองน้อยลงขนาดของสัญญาณขาออกจะต่ำลง ผลที่ได้คือ สัญญาณ AM เมื่อผ่าน เอ็นเวลโลปดีเทคเตอร์ก็จะได้สัญญาณเบสแบนด์กลับคืนมาวงจรที่ใช้หลักการ discriminator นั้นสร้างได้ หลายแบบ คือ

1. Differentiating circuit
2. Tune circuit
3. Raito detector
4. Quadrature detector

- **Zero crossing detection** ใช้หลักการที่สัญญาณต้องมีการตัดผ่านจุดศูนย์ทุกรอบของสัญญาณ อัตราการผ่านจุดศูนย์ก็คือความถี่ของสัญญาณนั่นเอง ถ้าความถี่สูงขึ้นการตัดผ่านจุดศูนย์จะมากขึ้นในเวลาหนึ่ง สัญญาณที่ได้จะมีคาบเท่ากันแต่ความกว้างของพัลส์จะเปลี่ยนไปตามความถี่และเมื่อเฉลี่ยแล้วจะได้เป็นระดับของสัญญาณที่เปลี่ยนตามความถี่

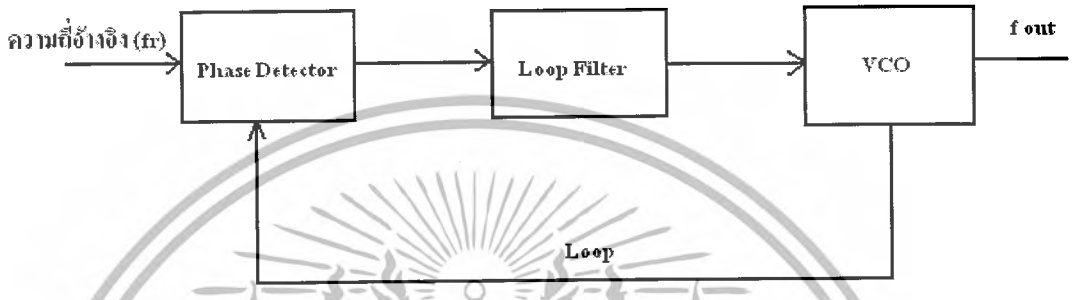
- **การดีเทคโดยเฟสลอคลูป (Phase lock loop)**

เป็นระบบป้อนกลับที่บังคับให้วงจรออสซิลเลเตอร์เปลี่ยนแปลงความถี่ไปตามความถี่หรือเฟสของสัญญาณความถี่อ้างอิง(Reference freq. : fr) จากภายนอก ประกอบด้วยวงจรสำคัญ 3 ภาคคือ

1. ภาคเปรียบเทียบเฟส (Phase Detector : PD)
2. ภาคลูปฟิลเตอร์ (Loop Filter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. ภาค Voltage Controlled Oscillator (VCO)



รูปที่ 2.5 แสดง Block Diagram ของ PLL

-การทำงานของเฟสล็อคลูป (PLL)

เมื่อมีสัญญาณความถี่ภายนอกข้ามาที่อินพุต ภาคเทียบเฟส (Phase Detector) จะทำการเทียบเฟสระหว่างกับความถี่ภายนอกกับความที่ที่มาจาก VCO ได้สัญญาณเอาต์พุตออกมาเป็นพัลส์สัญญาณผิดพลาด (Error Pulse) แรงดันผิดพลาดที่ได้นี้จะถูกส่งไปให้วงจรลูปฟิลเตอร์ (Loop Filter) และลูปฟิลเตอร์จะกรองพัลส์ให้เป็นแรงดันไฟตรง (DC) เพื่อเอาแรงดันไฟตรงไปบังคับวงจร VCO ผลิตความถี่ให้ตรงกับความถี่อ้างอิงที่มาจากภายนอก

เมื่อลูปอยู่ในสภาวะ ล็อค (Locked) ความถี่ของ VCO จะเท่ากับความถี่ของสัญญาณอินพุต (Reference freq.)พอดี แต่เฟสอาจต่างกัน ซึ่งค่าความต่างเฟสที่ได้จะมีค่าคงที่ (Constant phase difference)

กรณีที่เฟสเริ่มจะคลาดเคลื่อนออกไป ภาคเฟสดีเทคเตอร์จะจ่ายแรงดันคลาดเคลื่อน (Error Pulse Voltage) ไปควบคุมการทำงานของ VCO เพื่อปรับให้ความต่างเฟสกลับมาคงที่ เพื่อให้ความถี่ของสัญญาณ VCO ตรงกับความถี่อ้างอิงตลอดเวลา

2.5 ดัชนีการผสมคลื่น (Modulation Index)

ในระบบ FM ปริมาณการมอดูเลต เรานิยม วัดเป็นเปอร์เซ็นต์การมอดูเลต โดยดูจากการเปลี่ยนแปลงความถี่ ซึ่งเรานิยมเรียกชื่อว่า ดัชนีการมอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$m = \frac{\Delta F}{f} \tag{2.6}$$

โดยที่ m = ดัชนีการผสมคลื่น

ΔF = อัตราการเปลี่ยนแปลงสูงสุดของความถี่ที่ถูกผสมแล้ว หน่วย Hz

f = ความถี่สูงสุดของสัญญาณเสียงที่จะเข้ามาผสมคลื่น หน่วย Hz

ค่าตัวเลขของดัชนีการมอดูเลตจะมีค่าสูง (แตกต่างจากเปอร์เซ็นต์การมอดูเลตซึ่งเมื่อคิดเป็นอัตราส่วนจะได้อยู่ระหว่าง 0 ถึง 1) ตัวอย่างเช่น ในระบบวิทยุกระจายเสียง FM เรากำหนดให้ความถี่เบี่ยงเบนของระบบสูงสุดไว้เท่ากับ 75 กิโลเฮิรตซ์ สมมติว่าเราใช้สัญญาณเสียง 1 กิโลเฮิรตซ์มอดูเลตให้เกิดความถี่เบี่ยงเบนเต็มที่ ค่าดัชนีการมอดูเลตจะเป็น

$$m = \frac{\Delta F}{f} = 75$$

สังเกตว่า ค่าดัชนีการมอดูเลตในระบบ FM ขึ้นอยู่กับความถี่ของสัญญาณเสียงที่เข้ามอดูเลต ในทางปฏิบัติเรานิยมวัดเป็นอัตราส่วนการเบี่ยงเบน (Deviation Ratio) ซึ่งเป็นอัตราส่วนระหว่างความถี่เบี่ยงเบน (ของระบบ) สูงสุด ($f_{d\,max}$) ต่อความถี่สูงสุดของสัญญาณที่เข้ามอดูเลต ($f_{m\,max}$) ในระบบกระจายเสียง FM ค่าอัตราการเบี่ยงเบน (Δ) จะเท่ากับ

$$\Delta = \frac{f_d}{f_{d\,max}} \tag{2.7}$$

ในระบบ FM เมื่อเพิ่มแอมพลิจูดของสัญญาณที่เข้ามอดูเลตสูงขึ้น การเบี่ยงเบนความถี่ของพาหะจะเปลี่ยนแปลงมากขึ้น ในระบบวิทยุกระจายเสียง FM กำหนดให้ความถี่เบี่ยงเบนของระบบเต็มที่ไม่เกิน 75 กิโลเฮิรตซ์ ถ้าเรามอดูเลตทำให้ความถี่ของพาหะเบี่ยงเบนไปเท่ากับ 75 กิโลเฮิรตซ์ แสดงว่าเรามอดูเลตเต็มที่ 100 เปอร์เซ็นต์ ซึ่งเราเขียนเป็นสมการได้ดังนี้

$$\text{เปอร์เซ็นต์การมอดูเลต} = \frac{f_d}{f_{d\,max}} \times 100 \tag{2.8}$$

ในที่นี้ f_d คือ ความถี่เบี่ยงเบน เนื่องจากสัญญาณที่เข้ามอดูเลต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

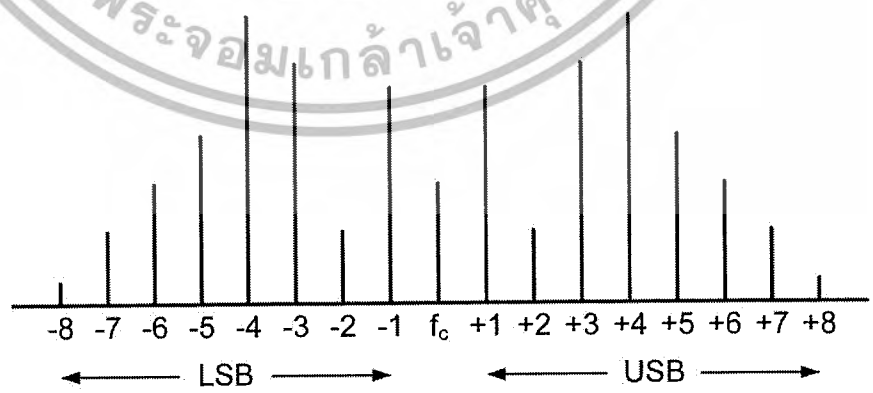
$f_{d\,max}$ คือ ความถี่เบี่ยงเบนสูงสุดของระบบ

2.6 ไซด์แบนด์วิทยุ FM (FM Side Bands)

ระบบ FM การผสมคลื่นระหว่างสัญญาณเสียงกับคลื่นพาหะ จะเกิดไซด์แบนด์จำนวนมากมายเนื่องจากการเปลี่ยนแปลงของความถี่คลื่นพาหะ ทำให้เกิดความถี่เพิ่มขึ้นอีกมากมาย เพราะการผสมคลื่นแบบ FM นั้นความแรงของสัญญาณคลื่นพาหะจะคงที่ นั้นคือกำลังของคลื่นพาหะจะถูกกระจายไปอยู่ที่ไซด์แบนด์ ความสัมพันธ์ของคลื่นพาหะกับไซด์แบนด์ที่สำคัญขึ้นอยู่กับปัจจัย 2 ประการ คือ

1. ขนาดความแรงของสัญญาณเสียงที่ผสมกับคลื่นพาหะ ถ้าขนาดความแรงของสัญญาณเสียงที่ส่งเข้ามาผสมกับคลื่นพาหะที่เปลี่ยนแปลงความแรงสูงขึ้นหรือต่ำลงก็จะไปทำให้คลื่นพาหะมี ระดับความถี่เปลี่ยนแปลงสูงขึ้นหรือต่ำลงไปจากศูนย์กลางความถี่ (Center Frequency) ระยะของ ความถี่ที่กระจายออกไปจากคลื่นพาหะก็จะเปลี่ยนแปลงกว้างหรือแคบตามไปด้วย ถ้าสัญญาณเสียง มีความแรงมาก แบนด์วิดท์ของคลื่น FM ก็จะกว้าง และถ้าสัญญาณเสียงมีความแรงน้อยแบนด์วิดท์ ของคลื่น FM ก็จะแคบ

2. ความถี่ของสัญญาณเสียงที่ผสมกับคลื่นพาหะ ถ้าความถี่ของสัญญาณเสียงเปลี่ยนแปลงมากแบนด์วิดท์ของคลื่น FM ก็จะกว้างแคบเปลี่ยนแปลงมากเช่นกัน กล่าวคือ ถ้าสัญญาณเสียงมีความถี่ต่ำแบนด์วิดท์คลื่น FM ก็จะกว้าง และถ้าสัญญาณเสียงมีความถี่สูงแบนด์วิดท์ของคลื่น FM จะแคบเพราะที่สัญญาณเสียงความถี่สูง ระดับความแรงของความถี่ฮาร์โมนิคจะต่ำลงสามารถตัดความถี่ฮาร์โมนิคสูงๆออกได้



รูปที่ 2.6 สเปคตรัมความถี่ของวิทยุ FM ประกอบด้วยความถี่พาหะและไซด์แบนด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

จากรูปแสดงย่านความถี่ของการส่งกระจายเสียงของคลื่น FM จะเห็นได้ว่าไซด์แบนด์ของคลื่นจะมีจำนวนมาก ขนาดไซด์แบนด์ในแต่ละฮาร์โมนิคก็มีความแรงต่างกันไซด์แบนด์บางฮาร์โมนิค มีระดับความแรงมากกว่าความถี่คลื่นพาหะ แต่ไซด์แบนด์ที่ห่างจากจุดศูนย์กลางความถี่มากๆ ความแรงของไซด์แบนด์ก็จะลดลง และจะเป็นศูนย์ในที่สุด จะเห็นได้ว่าไซด์แบนด์จะมีไม่จำกัดแต่ในทางปฏิบัติไซด์แบนด์บางความถี่ก็ไม่สำคัญเพราะความแรงต่ำสามารถตัดทิ้งได้

111017
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่3
วงจรเฟสล็อคลูป

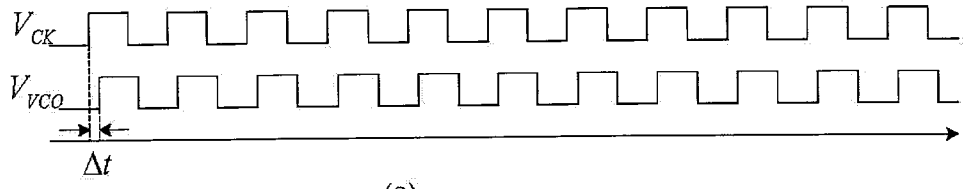
เฟสล็อคลูปเป็นอุปกรณ์หรือวงจรที่ใช้ในการรักษาอัตราการเปลี่ยนแปลงเฟสของสัญญาณระหว่างเฟสของสัญญาณเอาท์พุตกับสัญญาณอินพุตให้มีค่าเท่ากัน โดยจะมีผลทำให้มีความถี่เท่ากันด้วย จากคุณสมบัติดังกล่าว จึงมีการนำเฟสล็อคลูปไปใช้งานอย่างกว้างขวาง เช่น ใช้ในการดีมอดสัญญาณและใช้ในการสร้างหรือกำเนิดความถี่ โดยองค์ประกอบพื้นฐานของเฟสล็อคลูปมีอยู่สามส่วนคือ ตัวดักจับเฟส วงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า และส่วนของวงจรกรองความถี่ต่ำผ่านซึ่งองค์ประกอบในแต่ละส่วนก็มีหลายแบบดังนั้นเมื่อนำองค์ประกอบดังกล่าวมาประกอบกันเป็นเฟสล็อคลูปก็จะได้เฟสล็อคลูปหลายแบบเช่นกันซึ่งใน แต่ละแบบก็จะมีคุณสมบัติการทำงานที่แตกต่างกันการศึกษาทำความเข้าใจ จึงเป็นเรื่องจำเป็นที่จะทำให้สามารถเลือกใช้และออกแบบได้เหมาะสมกับการประยุกต์ใช้งาน

3.1 หลักการทำงานพื้นฐานของเฟสล็อคลูป

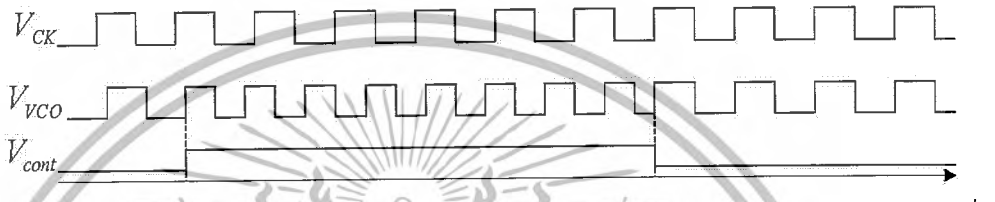
การทำงานของเฟสล็อคลูปในสภาวะล็อคคือ การที่ความถี่เอาท์พุตจากวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้ามีค่าเท่ากับความถี่อ้างอิงหรืออินพุท และอัตราการเปลี่ยนแปลงของเฟสอินพุตและเอาท์พุตเทียบกับเวลาจะมีค่าเท่ากัน

พิจารณาถึงการเข้าสู่สภาวะล็อค พิจารณารูป 3.1(ก) แสดงการเปรียบเทียบเฟส ระหว่างเอาท์พุตจาก VCO กับเฟสของอินพุตอ้างอิงหรือคล็อค จะเห็นว่าที่ขอบขาขึ้นของ V_{VCO} จะเกิดมีเฟส ผิดพลาดขึ้นเป็นเวลา Δt เมื่อเทียบกับ V_{CK} และเราต้องการกำจัดความผิดพลาดนี้ออกไปโดยกำหนดให้ V_{cont} แรงดันอินพุทของ VCO โดยเมื่อ V_{cont} สูงขึ้นความถี่เอาท์พุตที่จะสูงขึ้น พิจารณา รูปที่ 3.1(ข) ความถี่ของ VCO เริ่มสูงขึ้นที่เวลา $t = t_1$ วงจรจะมีการเพิ่มของเฟสอย่างรวดเร็วจน ที่ เวลา $t = t_2$ ความผิดพลาดของเฟสจะมีค่าเป็นศูนย์และ V_{cont} กลับเข้าสู่สภาวะแรกโดยเฟสของ เอาท์พุตจาก VCO กับเฟสของอินพุทอ้างอิงหรือคล็อคอินเฟสกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

(ก) เฟสเอาท์พุตจาก VCO กับเฟสของอินพุท

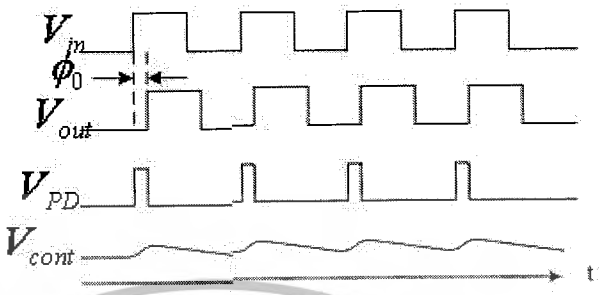
(ข) การปรับเฟสของวงจรเพื่อกำจัดเฟสผิดพลาด

รูปที่ 3.1 การเข้าสู่สภาวะล็อคของเฟสล็อคลูป

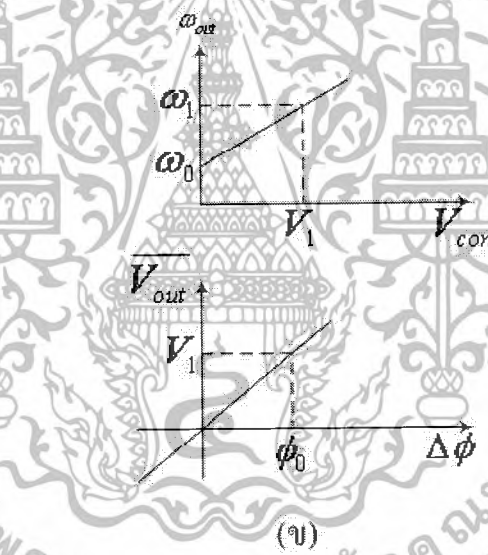
จากหลักการข้างต้นทำให้เราสามารถทราบได้ว่าวงจรเฟสล็อคลูปแบบง่ายนั้นประกอบด้วยตัวดักจับเฟส (PD) และวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า (VCO) ต่อกันในลักษณะป้อนกลับดังรูปที่ 3.2(ก) โดย PD จะเป็นตัวเปรียบเทียบเฟสระหว่าง V_{out} กับ V_{in} โดยจะให้ค่าแรงดันเฟสผิดพลาดออกมาไปปรับ VCO จนเฟสมีการปรับและเข้าสู่สภาวะล็อค

พิจารณารูป 3.2(ก) พารามิเตอร์ที่ยังไม่ทราบค่าคือ ϕ_0 และระดับแรงดันดีซีของ V_{cont} สามารถหาค่าได้จากการพิจารณาโดยใช้กราฟแสดงคุณสมบัติของ PD และ VCO ดังแสดงในอยู่รูป 3.2(ข) โดยถ้าเฟสล็อคลูปอยู่ในสภาวะล็อคแล้วความถี่ของอินพุตและเอาท์พุตจะมีค่าเท่ากัน โดยกำหนดให้มีค่าเท่ากับ ω_1 และทำให้แรงดันที่วงจร VCO ต้องการคือ V_1 ดังในรูป 3.2(ก)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก)



(ข)

(ก) รูปคลื่นสัญญาณในแต่ละจุด

(ข) กราฟแสดงคุณสมบัติของ VCO และ PD

รูปที่ 3.2 รูปคลื่นสัญญาณของเฟสล็อคลูปในสภาวะล็อค

โดยขนาดแรงดัน V_1 ได้จากส่วนของ PD ซึ่งเกิดจากค่าความผิดพลาดเฟส 0 จากกราฟคุณสมบัติของ PD และ VCO จะได้ $\omega_{out} = \omega_0 + K_{VCO}V_{COUT}$ และ $V_{PD} = K_{PD}\ \Delta\phi$ ทำให้ได้

$$V1 = \frac{\omega_1 - \omega_2}{K_{VCO}} \tag{3.1}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และ

$$\phi_0 = \frac{V_1}{K_{PD}} \tag{3.2}$$

$$= \frac{\omega_1 - \omega_2}{K_{PD} K_{VCO}} \tag{3.3}$$

จากสมการ 3.3 ทำให้ทราบคุณสมบัติที่สำคัญสองประการ คือ เมื่อความถี่อินพุทเกิดการเปลี่ยนแปลงจะทำให้เกิดความต่างเฟสหรือความผิดพลาดของเฟสขึ้น และค่าผิดพลาดของเฟสจะมีค่าต่ำเมื่อค่า $K_{PD}K_{VCO}$ ต้องมีค่าสูงโดย K_{PD} ก็คือ ค่าอัตราการขยายของวงจรดักจับเฟสหรือ PD และ K_{VCO} คือค่าอัตราการขยายของวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า

3.2 การพิจารณาสภาวะชั่วขณะของเฟสล็อคลูปในสภาวะล็อค

เมื่อวงจรเฟสล็อคลูปอยู่ในสภาวะล็อคแล้วเกิดการเปลี่ยนแปลงเฟส หรือความถี่ที่อินพุตจะทำการพิจารณาหาผลการตอบสนองของเฟสล็อคลูปว่าเป็นอย่างไร

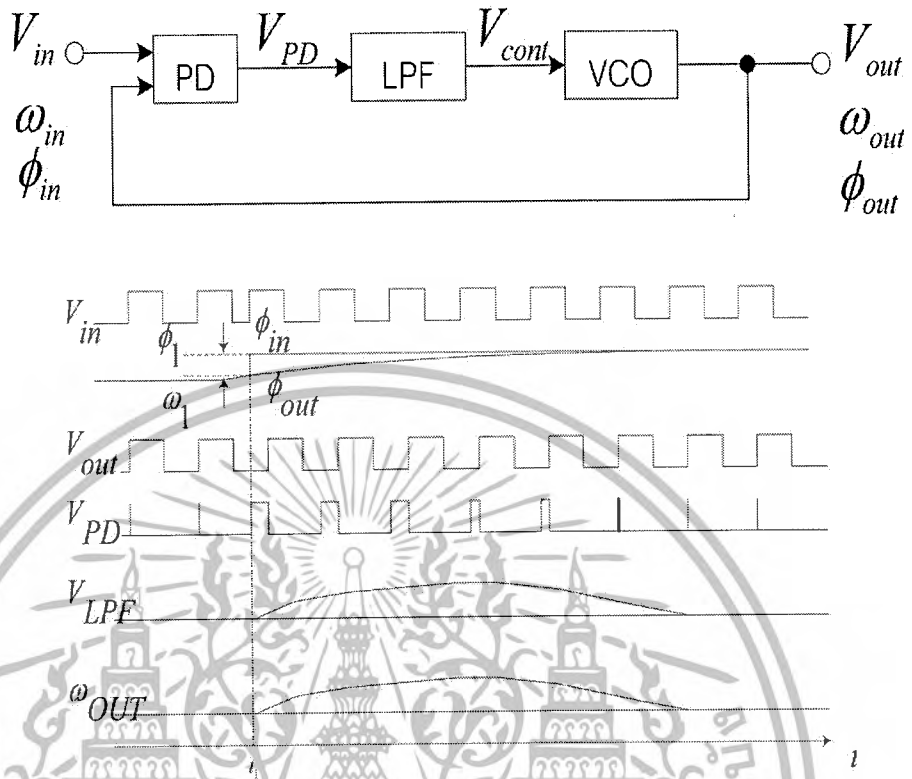
โดยจะพิจารณาเมื่อเกิดการเปลี่ยนแปลงของเฟสที่อินพุทก่อน โดยสมมติให้รูปแบบของอินพุตและเอาท์พุตเป็นดังนี้

$$V_{in}(t) = V_A \cos\omega_1 t \tag{3.4}$$

$$V_{out}(t) = V_B \cos(\omega_1 t + \emptyset_0) \tag{3.5}$$

โดยที่ไม่พิจารณาความถี่ฮาร์โมนิคที่สูงและ $\emptyset_0$ คือค่าความผิดพลาดเฟสคงที่ พิจารณารูป 3.3 จะเห็นว่าเฟสอินพุทมีการเปลี่ยนแปลงขึ้นในลักษณะเป็นขั้นคือ $\emptyset_1$ และเกิดขึ้นที่เวลา $t = t_1$ จะ ทำให้เฟสที่อินพุทมีค่าเท่ากับ $\emptyset_{in} = \omega_1 t + \emptyset_1 u(t + t_1)^2$ ณ เวลานี้เอาท์พุตของ LPF ยังไม่เพิ่มขึ้น อย่างทันทีทันใดและ VCO ยังคงออสซิลเลตที่ความถี่เดิมคือ ω_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 ผลการตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของเฟสที่อินพุต

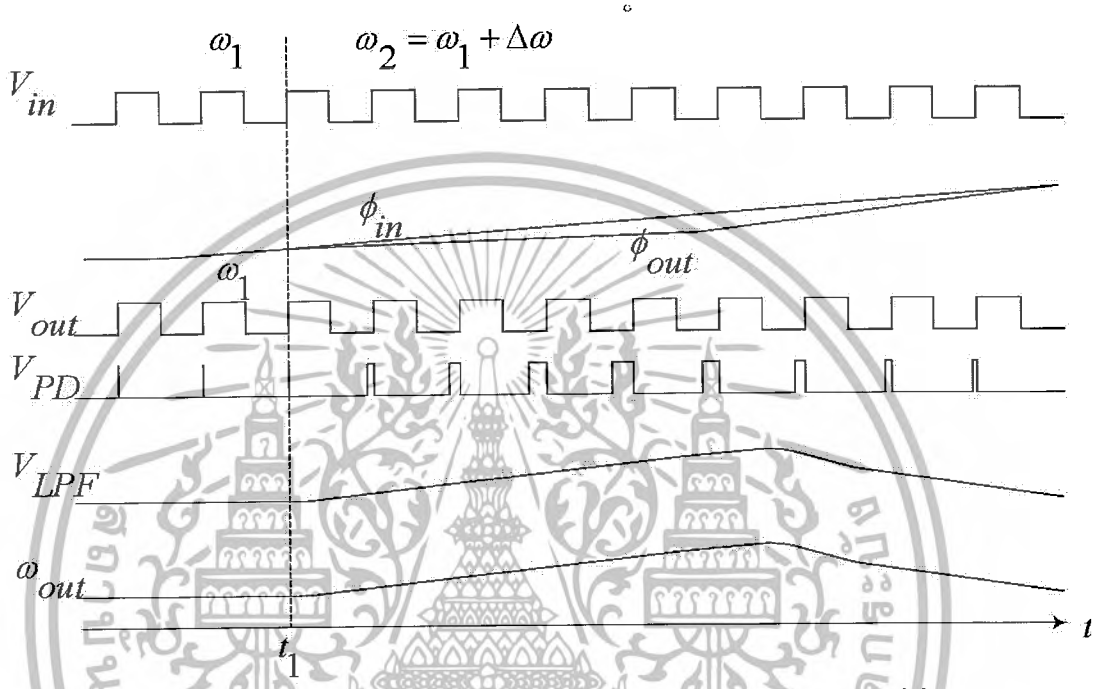
หลังจากนั้นค่าความต่างเฟสของอินพุตกับเอาท์พุตค่อย ๆ เพิ่มขึ้นทำให้พัลส์ขึ้นที่เอาท์พุตของ PD และส่งผลให้เกิด V_{LPF} เพิ่มขึ้นผลลัพธ์คือทำให้ความถี่ของ VCO เพิ่มขึ้นเพื่อพยายามลดค่าผิดพลาดของเฟสที่สภาวะชั่วขณะนี้จะไม่เกิดการล็อคขึ้นเนื่องจากค่าความผิดพลาดเฟสเปลี่ยนแปลงตามเวลา ภายหลังจากที่ความถี่ของ VCO เริ่มเปลี่ยนแล้วเฟสล็อคลูปจะกลับสู่สภาวะล็อค ตามเดิมโดย ω_{out} จะกลับมาเท่ากับ ω_1 นั่นคือ V_{LPF} และ $\emptyset_{out}$ - $\emptyset_{in}$ จะกลับสู่ค่าเริ่มต้นตามเดิมโดย เมื่อลูปอยู่ในสภาวะสงบเอาท์พุตจะมีค่าเท่ากับ

$$V_{out}(t) = V_B \cos(\omega_1 t + \emptyset_0 + \emptyset_1 u(t - t_1)) \qquad (3.6)$$

สิ่งที่สำคัญเมื่อลูปกลับเข้าสู่สภาวะล็อคคือ พารามิเตอร์ทุกตัวจะกลับเข้าสู่สภาวะเริ่มต้นทั้งหมดคือ $\emptyset_{out}$ - $\emptyset_{in}$, V_{LPF} และค่าความถี่ของ VCO จะเท่ากับสภาวะเริ่มต้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ต่อไปเป็นการพิจารณาผลการตอบสนองของเฟสล็อคลูปเมื่อความถี่อินพุตเปลี่ยนแปลงชั่วขณะ โดยอินพุตเพิ่มขึ้นจากความถี่เดิม $\Delta\omega$ ที่เวลา $t = t_1$ ดังแสดงในรูป 3.4



รูปที่ 3.4 ผลตอบสนองของเฟสล็อคลูปเมื่อมีการเปลี่ยนแปลงของความถี่ที่อินพุต

โดยความถี่เริ่มต้นของ VCO คือ ω_1 เมื่อความถี่อินพุตเปลี่ยน PD จะกำเนิดพัลส์ความกว้างค่อย ๆ เพิ่มมากขึ้นและ V_{LPF} จะมีค่าเพิ่มขึ้นจน ω_{out} เข้าใกล้ $\omega_1 + \Delta\omega$ หรือก็คือความถี่อินพุทโดยเอาท์พุทจาก PD จะมีค่าลดลง ภายใต้สภาวะสงบ ระดับแรงดันดีซีที่วงจรกรองความถี่มีค่าเท่ากับ $(\omega_1 + \Delta\omega) - \omega_0/K_{VCO}$ จะเห็นได้ว่าการเปลี่ยนแปลงของเฟสหรือความถี่ที่อินพุทจะนำมาซึ่งระดับแรงดันเพื่อควบคุมความถี่ VCO เพื่อลดค่าเฟสผิดพลาดลง

3.3 เสถียรภาพของเฟสล็อคลูปแบบพื้นฐาน

การพิจารณาเกี่ยวกับเสถียรภาพของเฟสล็อคลูปจะต้องทราบฟังก์ชั่นถ่ายโอนของระบบ ดังนั้น ต้องพิจารณาหา $\frac{\emptyset_{out}(s)}{\emptyset_{in}(s)}$ ทั้งแบบลูปเปิดและลูปปิด

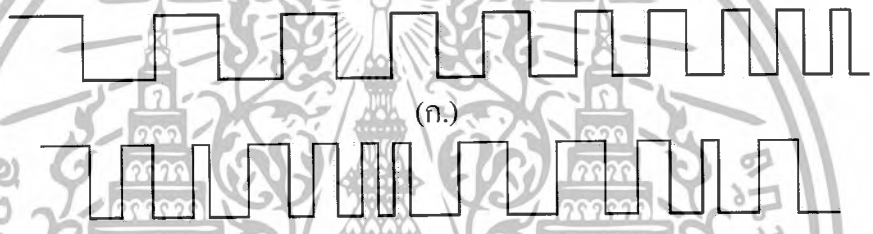
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การพิจารณา $\frac{\phi_{out}(s)}{\phi_{in}(s)}$ เป็นตัวบอกให้ทราบถึงอะไรนั้นให้เปรียบเทียบกับฟังก์ชั่นถ่าย โอนของวงจรกรองความถี่อันดับหนึ่งอย่างง่ายคือ

$$\frac{Vout(s)}{Vin(s)} = \frac{1}{1+S/\omega_0}$$

จากฟังก์ชันถ่ายโอนจะเห็นว่าถ้า V_{in} เปลี่ยนแปลงอย่างรวดเร็ว V_{out} ไม่สามารถที่จะตามอินพุทได้ตลอดย่านที่เปลี่ยนแปลง

การเปลี่ยนแปลงของเฟสกับเวลาแสดงดังรูป 3.5 โดยรูป 3.5(ก) เป็นการเปลี่ยนแปลงของเฟสอย่างรวดช้า ๆ และรูป 3.5(ข) เฟสมีการเปลี่ยนแปลงอย่างรวดเร็ว



(ก.)

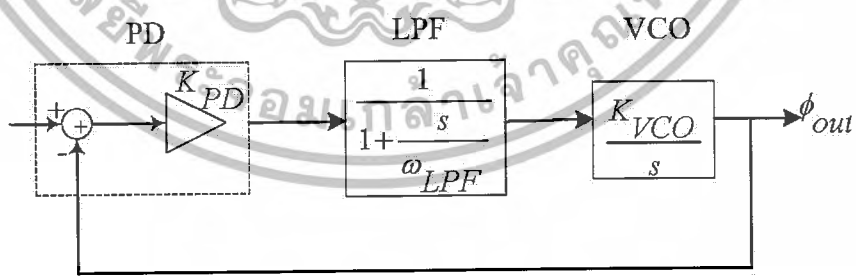
(ข)

(ก) การเปลี่ยนแปลงของเฟสอย่างช้าๆ

(ข) การเปลี่ยนแปลงของเฟสอย่างเร็ว

รูปที่ 3.5 การเปลี่ยนแปลงของเฟสกับเวลา

พิจารณา $\frac{\phi_{out}(s)}{\phi_{in}(s)}$ โดยทำการสร้างรูปแบบเชิงเส้นของเฟสล็อคลูปดังแสดงในรูป 3.6



รูปที่ 3.6 รูปแบบเชิงเส้นของเฟสล็อคลูปชนิดที่หนึ่ง (type I PLL)

โดยพิจารณาจากรูปที่ 3.6 ประกอบด้วยวงจร PD ซึ่งเอาท์พุทประกอบด้วยแรงดันดีซีมีค่าเท่ากับ $K_{PD}(\phi_{out} - \phi_{in})$ โดยความถี่สูงจะถูกจำกัดทิ้งโดยวงจรกรองความถี่จะได้ฟังก์ชั่นถ่ายโอนของPD ในรูปแบบวงจรขยายซึ่งมีค่าอัตราการขยายเท่ากับ K_{PD} และวงจร LPF เป็นวงจรกรอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อันดับหนึ่งอย่างง่ายซึ่งมีฟังก์ชั่นถ่ายโอนเป็น $\frac{1}{1+\frac{s}{\omega_{LPF}}}$ ในส่วนวงจรVCO มีฟังก์ชั่นถ่ายโอนคือ K_{VCO}/s ส่วน $\emptyset_{out}$ และ $\emptyset_{in}$ คือเอาท์พุทเฟสและอินพุทเฟส เช่น ถ้าผลรวมของอินพุทเฟสเป็นแบบขั้นบันได (unit step) คือ $\emptyset_1 u(t)$ นั่นคือ $\frac{\emptyset_{in} = \emptyset_1}{s}$ จากรูปที่ 3.6 ฟังก์ชั่นถ่ายโอนของลูปเปิดคือ

$$\frac{H(s)_{open} = \emptyset_{out}}{\emptyset_{in}(s)} \tag{3.7}$$

$$= K_{PD}\frac{1}{1+\frac{s}{\omega_{LPF}}}\frac{K_{VCO}}{s} \tag{3.8}$$

จากฟังก์ชั่นถ่ายโอนจะเห็นว่าถ้า V_{in} เปลี่ยนแปลงอย่างรวดเร็ว V_{out} ไม่สามารถที่จะตามอินพุตได้จากสมการ 3.8 แสดงให้เห็นว่าตำแหน่งโพลของระบบอยู่ที่ S = $-\omega_{LPF}$ และ S = 0 โดยอัตราขยายลูปจะเท่ากับ $H(s)_{open}$ เพราะป้อนกับแบบเต็มที่แฟกเตอร์การป้อนกับเป็นหนึ่งโดยระบบที่มีโพลหนึ่งตัวที่จุดกำเนิดเรียกว่า "ชนิดที่หนึ่ง (type 1)"

ต่อไปพิจารณาหาฟังก์ชั่นถ่ายโอนของระบบปิด ซึ่งมีความสำคัญมากโดยเฟสล็อคลูปจะเข้าสู่สภาวะล็อคเมื่อ $\emptyset_{out}$ เปลี่ยนแปลงเข้าใกล้ $\emptyset_{in}$ โดย S จะมีค่าเข้าใกล้ศูนย์ โดยฟังก์ชั่นถ่ายโอนของระบบปิดแสดงดังสมการ 3.9

$$H(s)_{close} = \frac{K_{PD}K_{VCO}}{\left(\frac{s^2}{\omega_{LPF}} + s + K_{PD}K_{VCO}\right)(s)} \tag{3.9}$$

สิ่งที่เราต้องการคือ $H(s)_{close}$ จะต้องมีค่าเข้าใกล้หนึ่งเมื่อ S มีค่าเข้าใกล้ศูนย์นั่นก็คืออัตราขยายของลูปมีค่าเป็นอนันต์ ภายใต้สภาวะดังกล่าวจะทำให้เฟสล็อคลูปเข้าสู่สภาวะล็อค

จากสมการ 3.9 สามารถหาผลตอบสนองแบบขั้นบันได (step response) ของระบบชนิดที่หนึ่ง (type 1) ได้โดยการพิจารณาเปรียบเทียบกับทฤษฎีของระบบควบคุม (Control System) จากรูปแบบของสมการอันดับสองของระบบดังสมการ 3.10 นำมาเปรียบเทียบกันกับสมการ 3.9 เพื่อหาค่าพารามิเตอร์ต่างๆ ของระบบเพื่อวิเคราะห์ผลตอบสนองแบบขั้นบันไดของระบบแบบที่หนึ่ง (type 1)

$$H(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n + \omega_n^2} \tag{3.10}$$

$$\omega_n = \sqrt{\omega_{LPF}K_{PD}K_{VCO}} \tag{3.11}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\zeta = \frac{1}{2}\sqrt{\frac{\omega_{LPF}}{K_{PD}K_{VCO}}} \tag{3.12}$$

และโพลของทั้งสองตัวอยู่ที่ตำแหน่ง

$$S_{1,2} = (-\zeta \pm \sqrt{(\zeta^2 - 1)})\omega_n \tag{3.13}$$

$$S_{1,2} = (-\zeta \pm \sqrt{(\zeta^2 - 1)})\omega_n \tag{3.14}$$

โดยถ้า $\zeta > 1$ โพลทั้งสองเป็นจำนวนจริงซึ่งจะทำให้ระบบเกิดโอเวอร์แดมป์และในทางตรงกันข้ามถ้า $\zeta < 1$ โพลเป็นจำนวนจินตภาพจะได้ผลการตอบสนองของเอาท์พุตต่อความถี่อินพุตแบบขั้นบันไดโดย $\omega_{in} = \Delta\omega u(t)$ ผลของเอาท์พุตคือ

$$\omega_{out}(t) = \left\{1 - e^{-\zeta\omega_n t}\left[\cos\left(\omega_n\sqrt{1-\zeta^2}t\right) + \frac{\zeta}{\sqrt{1-\zeta^2}}\sin\left(\omega_n\sqrt{1-\zeta^2}t\right)\right]\right\}\Delta\omega u(t) \tag{3.15}$$

$$= \left[1 - \frac{1}{\sqrt{1-\zeta^2}}e^{-\zeta\omega_n t}\sin\left(\omega_n\sqrt{1-\zeta^2}t + \theta\right)\right]\Delta\omega u(t) \tag{3.16}$$

โดย ω_{out} คือผลการเปลี่ยนแปลงของความถี่เอาท์พุต และ θ มีค่าเท่ากับ

$$\theta = \sin^{-1}\sqrt{1-\zeta^2} \tag{3.17}$$

รูปคลื่นเอาท์พุทแสดงดังรูป 3.7 จะเห็นว่ามีส่วนประกอบของรูปคลื่นซายน์โดยมีความถี่เท่ากับ

$$\omega = \omega_n\sqrt{1-\zeta^2} \tag{3.18}$$

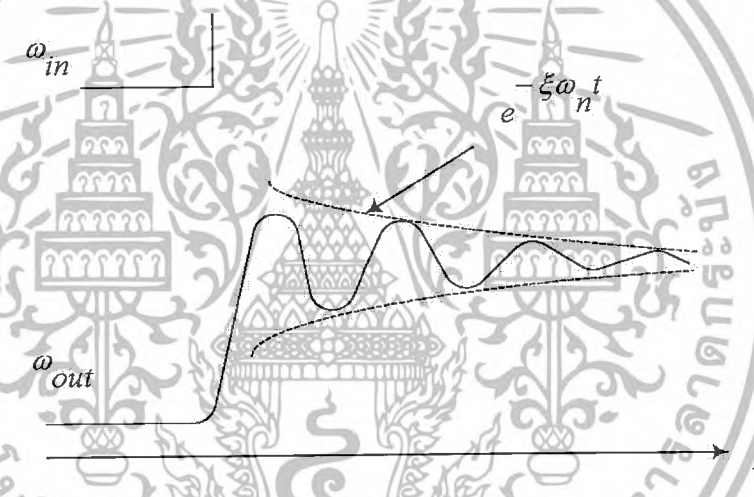
และขนาดของรูปคลื่นซายน์ดังกล่าวจะมีค่าลดลงด้วยค่าเวลาคงที่เท่ากับ $(\zeta\omega_n)^{-1}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การเข้าสู่สภาวะสงบของเฟสล็อคลูปอย่างรวดเร็วมีความจำเป็นในการนำไปใช้งาน จากสมการ 3.16 ค่าของเอ็กซ์โปเนนเชียลจะลดลงสัมพันธ์กับค่าของเทอม $\zeta\omega_n$ โดยมีค่าเท่ากับ

$$\zeta\omega_n = \frac{1}{2}\omega_{LPF} \tag{3.19}$$

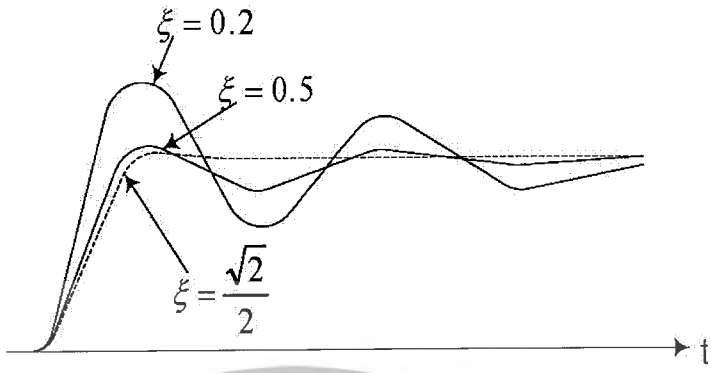
จากผลลัพธ์ที่ได้จะเห็นว่าจะต้องมีการเลือกระหว่างความสามารถเข้าสู่สภาวะสงบอย่างรวดเร็วกับแรงดันริปเปิ้ลที่จะไปควบคุม VCO เช่น ถ้าต้องการให้ ω_{LPF} มีค่าต่ำเพื่อให้สามารถกำจัดความถี่สูงออกจากเอาท์พุต PD แต่มีค่าเวลาเข้าสู่สภาวะสงบ (Settling time) มาก



รูปที่ 3.7 การตอบสนองของเฟสล็อคลูปต่อการเปลี่ยนแปลงความถี่แบบขั้นบันได

การเลือกค่าของ ζ นั้นมีความสำคัญมาก ดังแสดงในรูป 3.8 แสดงผลการตอบสนองเมื่อค่า ζ เปลี่ยนเป็นค่าหลายค่าโดยที่ ω_n มีค่าคงที่ โดยผลการตอบสนองจะไม่มีการกระเพื่อม เมื่อค่าของ $\zeta < 1$ ดังนั้นการเลือกค่า ζ จึงมีความสำคัญและนำมาซึ่งการต้องเลือกระหว่าง LPF และค่าเวลาเข้า สู่สภาวะสงบ (Settling time) และจากสมการ 3.3 ถ้าเราต้องการลดค่าความผิดพลาดเฟสให้น้อยลง จะต้องลดค่าของ $K_{PD}K_{VCO}$ ลงแต่จากสมการ 3.12 จะทำให้ ζ เพิ่มขึ้นทำให้ระบบมีเสถียรภาพต่ำลง

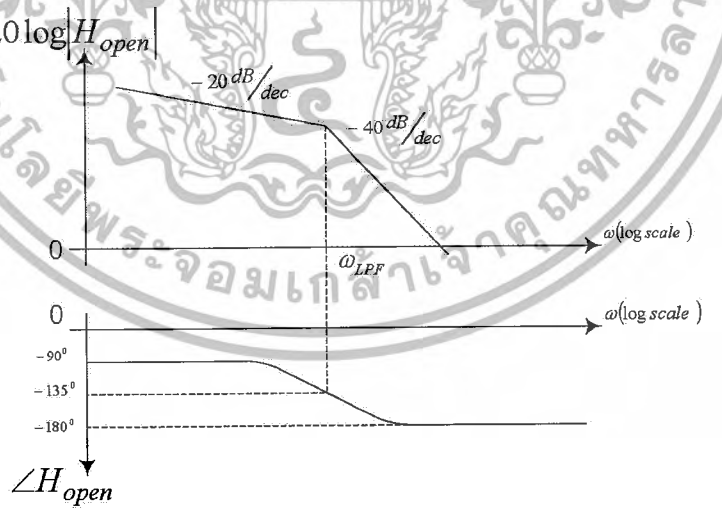
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 การตอบสนองของระบบเมื่อค่า ζ เปลี่ยนแปลง

สรุปแล้วคุณสมบัติของเฟสล็อคลูปชนิดที่หนึ่ง (type I PLL) จะต้องมีการเลือกระหว่างค่าเวลาเข้าสู่สภาวะสงบ (Settling time) , แรงดันริปเปิ้ลที่จะไปควบคุม VCO , ค่าผิดพลาดเฟสและเสถียรภาพของระบบ

การแสดงเสถียรภาพของระบบอาจแสดงได้ด้วยกราฟโบเดพล็อตทั้งขนาด และ ความถี่ ดังรูป 3.9 โดยใช้สมการ 3.8



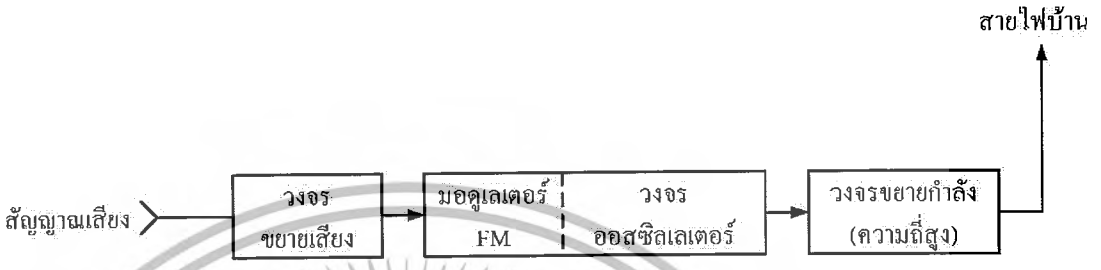
รูปที่ 3.9 กราฟโบเดพล็อตแสดงเสถียรภาพของ Type I PLL

บทที่ 4

เครื่องรับส่ง FM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 เครื่องส่งวิทยุ FM (FREQUENCY MODULATION TRANSMITTER)



รูปที่ 4.1 แผนผังเครื่องส่ง FM อย่างง่าย

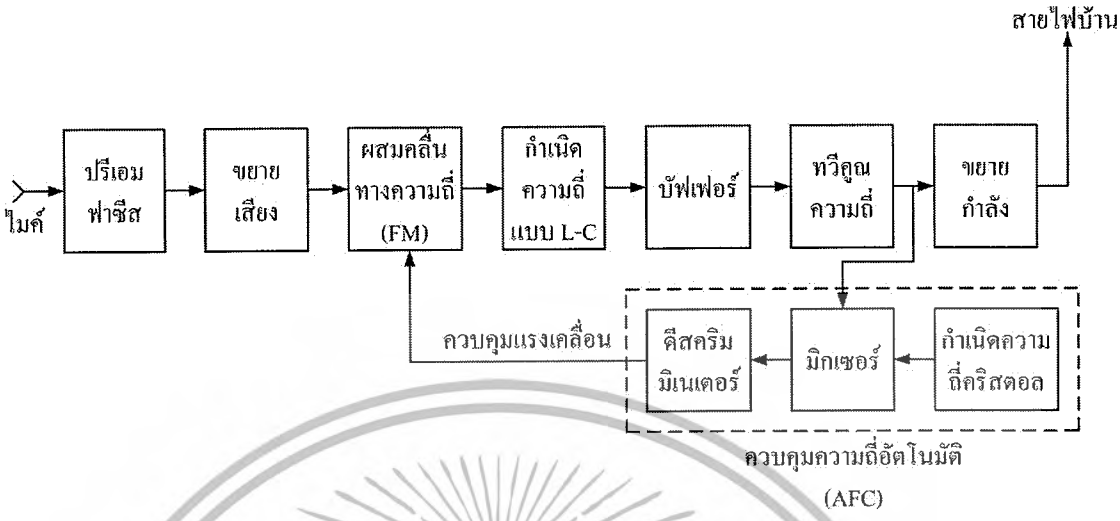
จากแผนผังของเครื่องส่ง FM สัญญาณเสียงผ่านการขยายแล้วป้อนสู่มอดูเลเตอร์วงจรมอดูเลเตอร์นี้จะทำการเปลี่ยนความถี่ของออสซิลเลเตอร์ โดยมีช่วงความถี่เบี่ยงเบนและอัตราการเบี่ยงเบนขึ้นอยู่กับแอมพลิจูดและความถี่ของสัญญาณเสียงตามลำดับ พาหะFM ที่ถูกมอดูเลตแล้วจะถูกขยายโดยภาคขยายกำลังสุดท้ายป้อนสู่สายอากาศเพื่อส่งผ่านสายไฟบ้านต่อไป

เครื่องส่งวิทยุ FM แบ่งออกเป็น 2 แบบ คือ แบบ FM โดยตรง (Direct FM) และแบบ FM โดยอ้อม (Indirect FM.)

4.1.1 เครื่องส่งแบบ FM โดยตรง (Direct FM)

หลักการสำคัญอยู่ที่ว่าจะต้องใช้ส่วนประกอบที่เป็นรีแอกแตนซ์ (Reactance) ไปควบคุมความถี่ของวงจรกำเนิดความถี่ (OSC.) เพื่อให้ความถี่นั้นเปลี่ยนแปลงไปตามสัญญาณของความถี่เสียงโดยตรง ดังนั้นวงจรกำหนดความถี่ของวงจรกำเนิดความถี่ จึงต้องเป็นแบบ LC

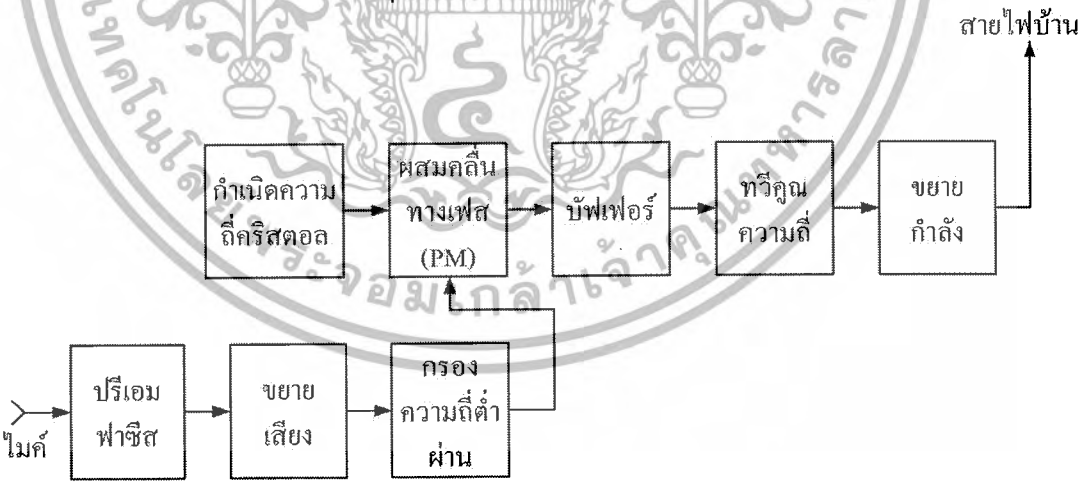
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่4.2 ภาคต่างๆของเครื่องส่ง FM แบบ FM โดยตรง

4.1.2 เครื่องส่งแบบ FM โดยอ้อม (Indirect FM)

หลักการสำคัญคือระบบการผสมคลื่นจะต้องเป็นแบบ FM และทำให้เป็น FM โดยอาศัยวงจรเปลี่ยนสัญญาณเสียงความมุ่งหมายหลักของเครื่องส่งแบบนี้คือ ต้องการดัดแปลงให้ระบบ FM สามารถใช้คริสตอลควบคุมวงจรกำเนิดความถี่ได้

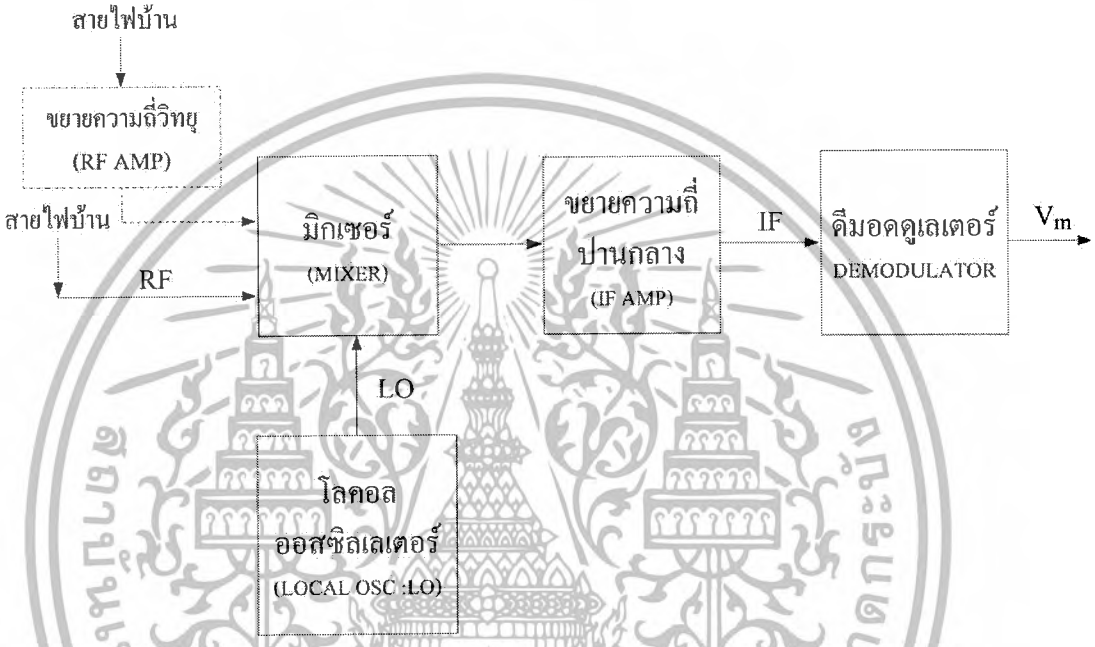


รูปที่ 4.3 ภาคต่างๆของเครื่องส่ง FM และ FM โดยอ้อม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 เครื่องรับวิทยุซุปเปอร์เฮเทอโรดายน์ (SUPERHETERODYNE RECIEVER)

จากข้อบกพร่องของเครื่องรับ TRF ได้ถูกปรับปรุงแก้ไขโดย เปลี่ยนความถี่ของสัญญาณที่รับได้จากสายไฟบ้าน ทุกช่องความถี่ ให้ เป็นความถี่เดียวกัน ซึ่งเรียกความถี่นี้ว่า ความถี่ปานกลาง (Intermediate Frequency: IF) ซึ่งมีบล็อกไดอะแกรมดังรูปที่ 4.4



รูปที่ 4.4 บล็อกไดอะแกรมอย่างง่ายของเครื่องรับ SUPERHETERODYNE

สัญญาณที่รับได้จากสายไฟบ้านจะถูกเปลี่ยนให้เป็นความถี่ปานกลางหรือ IF โดยสัญญาณจากสายไฟบ้านจะถูกมิกซ์กับความถี่จากวงจรโลคอลออสซิลเลเตอร์: LO ที่อยู่ในเครื่องรับ

วงจรมิกเซอร์ (MIXER) หรือคอนเวอร์เตอร์ (CONVERTOR) ใช้หลักการทำงานเหมือน AM มอดูเลเตอร์ ซึ่งอาจใช้ตัวอุปกรณ์ที่เป็นเชิงเส้น หรือ วงจรบาลานซ์มอดูเลเตอร์ ความถี่ปานกลางหรือ IF อาจเป็นความถี่ผลบวกหรือผลต่างของความถี่จากสายไฟบ้านกับความถี่ที่โลคอลออสซิลเลเตอร์ผลิต

จากการที่ความถี่ของสัญญาณวิทยุที่รับได้ : f_{RF} ทุกค่า ถูกเปลี่ยนเป็นความถี่ IF ค่าเดียวกัน วงจรกรองความถี่ IF จึงเป็นวงจรกรองแถบความถี่ผ่านที่มีค่า f_p คงที่ จึงสามารถออกแบบให้มีความกว้างของแถบความถี่ให้คงที่ตามที่ต้องการได้ ดังนั้นความกว้างของแถบความถี่ของเครื่องรับ SUPERHETERODYNE จึงขึ้นอยู่กับค่าความกว้างของแถบความถี่ของ IF ซึ่งจะมีค่าคงที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในเวลาเดียวกัน จากการที่สามารถกำหนดค่า BW ของเครื่องรับได้ ระดับของสัญญาณรบกวนจะสามารถควบคุมได้เช่นเดียวกัน ยิ่งไปกว่านั้นความถี่ IF ของเครื่องรับวิทยุส่วนใหญ่ จะเลือกใช้ค่าผลต่างของความถี่ f_{RF} กับ f_{LO} ความถี่ IF จึงมีค่าต่ำกว่าความถี่ f_{RF} จึงสามารถขยายได้ง่ายกว่า

นั่นคือจากการที่สามารถกำหนด BW ได้ ระดับของสัญญาณรบกวนจึงถูกทำให้ลดลง ประกอบกับการที่ความถี่ IF มีค่าต่ำลงมาจากความถี่ RF จึงสามารถสร้างวงจรขยาย IF ที่มีอัตราการขยายที่สูงมาก ความไวในการรับสัญญาณก็ได้ถูกปรับปรุงให้ไวมากขึ้นด้วยค่าความถี่ IF ที่นิยมเลือกใช้แสดงในตารางที่ 4.1

ความถี่ที่โลคอลออสซิลเลเตอร์ผลิตจะต้องเปลี่ยนตามความถี่ของช่องสัญญาณที่รับ ดังนั้นในวงจรเครื่องรับแบบ SUPERHETERODYNE จะใช้ C ที่สามารถปรับค่าพร้อมกันได้ 2-4 ตัว

ตารางที่ 4.1 ความถี่ IF ที่นิยมเลือกใช้

ความถี่	ตัวกรองความถี่	BW ของตัวกรองความถี่	ระบบที่ใช้งาน
455 KHz	LC ตัวกรองเซรามิก	± 5KHz หรือ เลือกปรับได้ ± 5KHz หรือต่ำกว่าคงที่ ตายตัวขึ้นอยู่กับตัวกรอง แต่ละเบอร์	* เครื่องรับ AM *ใช้เป็น IF2 ในเครื่องรับ FM แถบความถี่แคบหรือ AM ในย่าน HF
10.7MHz	LC ตัวกรองเซรามิก	± 100KHz หรือ เลือกปรับได้ ± 100KHz	* เครื่องรับ FM แถบความถี่กว้าง * IF1 ในเครื่องรับ FM แถบ ความถี่แคบหรือ AM ในย่าน HF
38.9 MHz 43.75 MHz 58.0 MHz			* เครื่องรับโทรทัศน์
60.0 MHz 70.0 MHz 140.0 MHz			* เครื่องรับไมโครเวฟหรือ ดาวเทียม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถึงแม้ว่า ความกว้างแถบความถี่ของเครื่องรับ SUPERHETERODYNE จะสามารถกำหนดได้จากแถบความถี่ของตัวกรองความถี่ปานกลาง สัญญาณที่เครื่องรับ SUPERHETERODYNE รับได้ อาจถูกรบกวนจากความถี่เงา (Image Frequency) ถ้าหากเราไม่กำจัดมันออกไป

ความถี่เงา (Image Frequency) คือความถี่ของสัญญาณวิทยุอีกสัญญาณหนึ่ง ที่ MIX กับความถี่ของ LOCAL OSCILLATOR แล้วได้ความถี่ปานกลางค่าเดียวกับ ช่องสัญญาณที่เราต้องการรับ

ถ้าให้ f_{RF} คือ ช่องความถี่ที่ต้องการรับ

f_{LO} คือ ความถี่ของ LOCAL OSCILLATOR ที่เราผลิต

f_{IF} คือ ค่าความถี่ปานกลาง

f_{LO} จะมีค่าเป็น $f_{RF} + f_{IF}$ หรือ $f_{RF} - f_{IF}$

ถ้า f_{LO} มีค่าเป็น $f_{RF} + f_{IF}$ อีกความถี่หนึ่งที่ MIX กับ $f_{RF} + f_{IF}$ แล้วได้ความถี่ IF ก็คือ $f_{RF} + 2f_{IF}$

$$f_{LO} - f_{RF} = f_{RF} + f_{IF} - f_{RF} = f_{IF} \quad (4.1)$$

และ $$f_{RF} + 2f_{IF} - f_{LO} = f_{RF} + 2f_{IF} - (f_{RF} + f_{IF}) = f_{IF} \quad (4.2)$$

ความถี่เงา : f_{im} ก็คือ $f_{RF} + 2f_{IF}$

ถ้าความถี่ $f_{LO} = f_{RF} - f_{IF}$ ความถี่เงาจะมีค่าเป็น $f_{im} = f_{RF} - 2f_{IF}$

นั่นคือ ความถี่เงา อาจมีค่าสูงกว่า หรือต่ำกว่า ช่องความถี่ที่เราต้องการรับอยู่ สองเท่าของค่าความถี่ปานกลาง หรือ

$$f_{im} = f_{RF} \pm 2f_{IF} \quad (4.3)$$

โดยที่ $$f_{LO} = f_{RF} \pm 2f_{IF} \quad (4.4)$$

การกำจัดการรบกวนของช่องความถี่เงา ทำได้โดย

1. นำสัญญาณ RF ของช่องที่ต้องการรับไปผ่านวงจรกรองแถบความถี่ผ่าน ก่อนที่จะนำไป MIX กับ LOCAL OSCILLATOR และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. เลือกค่าความถี่ IF ให้สูงเพียงพอที่จะทำให้ความถี่เงา ซึ่งมีค่าความถี่ห่างจากช่องสัญญาณที่ต้องการอยู่ $2f_{IF}$ สามารถถูกกรองออกไปโดยวงจรกรองแถบความถี่ผ่าน ของช่องสัญญาณที่ต้องการ

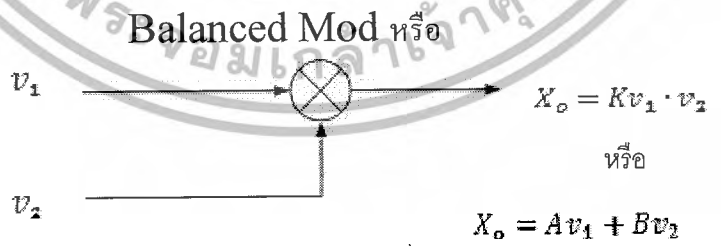
วงจรกรองแถบความถี่ผ่านของช่องสัญญาณ RF ที่เราต้องการนั้น สามารถใช้วงจรกรองแถบความถี่ที่มีความกว้างของแถบผ่านกว้างๆหรือ Q ต่ำๆได้ หน้าที่ของวงจรกรองแถบความถี่นี้เพียงเพื่อกำจัดความถี่เงาออกไปเท่านั้น ไม่จำเป็นต้องกำจัดช่องความถี่ข้างเคียง ช่องความถี่ข้างเคียงจะถูกกำจัดออกโดยวงจรกรองแถบความถี่ผ่านของ IF

ดังนั้นการออกแบบวงจรกรองแถบความถี่ของช่อง RF ผ่าน จึงสามารถใช้วงจรกรองแถบความถี่ผ่านที่ Q ต่ำ ($Q < 5$) ซึ่งเป็นวงจรที่ออกแบบและสร้างได้โดยง่าย

4.3 Phase shift or Quadrature detector

วงจร FM Demodulator ที่นิยมใช้กันมากที่สุดวงจรหนึ่งคือ Quadrature detector เพราะสามารถแปลงเป็น IC ได้ง่าย ในการนำไปใช้งาน IC ตัวนี้ต้องการเพียงสัญญาณสองสัญญาณป้อนให้ balance modulator (Phase Detector) เท่านั้น โดยสัญญาณหนึ่งเป็นสัญญาณ FM อีกสัญญาณหนึ่งเป็นสัญญาณจากวงจรที่เปลี่ยนแปลงค่าเฟสโดยวงจร Tuned ซึ่งการเปลี่ยนแปลงเฟสจะขึ้นอยู่กับความถี่ของสัญญาณอินพุท FM ทำให้เอาท์พุทของ balance modulator (Phase Detector) ขึ้นอยู่กับความถี่ของสัญญาณอินพุท

การทำงานของ Quadrature Detector ทำงานโดยอาศัยหลักการของการเลื่อนเฟสของสัญญาณซึ่งจะเปลี่ยนตามความถี่ จากนั้นจึงใช้วงจร Balanced Mod/Demod หรือวงจรคูณ ทำหน้าที่เป็นเฟสดีเทคเตอร์



รูปที่ 4.5 แสดงการทำงานของวงจรคูณ หรือวงจร Balanced Mod/Demod

โดยสัญญาณที่ขาออกเป็นผลคูณของสัญญาณที่ทางเข้า ถ้าหากสัญญาณที่ทางเข้ามีความถี่เดียวกัน แต่มีเฟสต่างกัน วงจรคูณ หรือวงจร Balanced Mod/Demod จะสามารถทำงานเป็นเฟสดีเทคเตอร์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 4.5 กำหนดให้

$$v_1 = V_1 \cos \omega t \text{ และ} \quad v_2 = V_2 \cos(\omega t + \theta)$$

สัญญาณที่ทางออกจะมีค่าเป็น

$$X_O = K v_1 v_2 = KV_1V_2(\cos(2\omega t + \theta) + \cos\theta) \quad (4.5)$$

$$X_O = K^* \cos(2\omega t + \theta) + K^* \cos\theta \quad (4.6)$$

เมื่อนำสัญญาณที่ทางออก : ไปป้อนให้กับวงจรกรองความถี่ต่ำผ่าน (LPF) พจน์ของความถี่สูง $K^* \cos(2\omega t + \theta)$ จะถูกกำจัดออกไป โดยจะเหลือเพียง

$$\mathbf{X_O}(i_O \text{หรือ} v_O) = K^* \cos\theta \quad (4.7)$$

FM Quadrature Detector ทำได้โดยการป้อนคลื่นสัญญาณ FM เข้าที่ทางเข้าของวงจรคูณอีกทางหนึ่งนำไปผ่านวงจรเลื่อนความถี่ ดังรูปที่ 2

จากวงจรในรูปที่ 4.6 ค่าของ v_Q จะมีค่าเท่ากับ

$$v_Q = v_I \frac{Z_{(R//L//C)}}{Z_{(R//L//C)} + Z_{C_O}}$$

ซึ่ง

$$Z_{(R//L//C)} = \frac{j\omega RL}{R(1-\omega^2 LC) + j\omega RL}$$

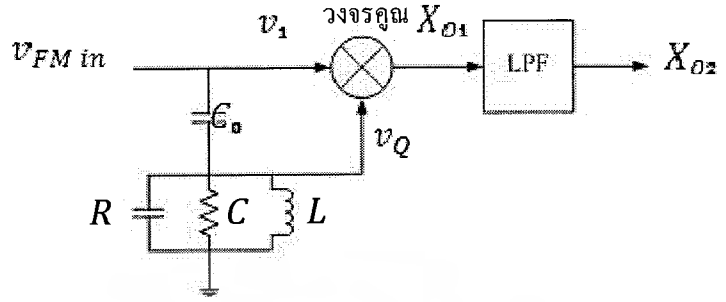
และ

$$Z_{C_O} = \frac{1}{j\omega C_O}$$

จะได้

$$v_Q = v_I \frac{j\omega RL \Big/ (R(1-\omega^2 LC) + \omega RL)}{\frac{j\omega RL}{(R(1-\omega^2 LC) + \omega RL)} + \frac{1}{j\omega C}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.6 บล็อกไดอะแกรมของ FM Quadrature Detector

$$v_Q = v_1 \frac{-\omega^2 RLC_o}{R\left(1-\omega^2 L(C+C_o)\right)+j\omega RL} \tag{4.8}$$

ซึ่งสามารถเขียนให้อยู่ในรูปของ

$$v_Q = |v_Q|\angle\theta$$

โดยที่

$$\theta = 180^\circ - \tan^{-1}\left(\frac{\omega L}{1-\omega^2(C+C_o)}\right) \tag{4.9}$$

ให้

$$v_1 = v_{FM} = v_{cv}\cos\omega_{FM}t$$

ค่าของ v_Q สามารถเขียนในรูปของ

$$v_Q = V_Q\cos(\omega_{FM}+\theta(\omega)) \tag{4.10}$$

เมื่อ

$$X_{o1} = Kv_1 \cdot v_Q$$

$$= K^*\cos\left(2\omega_{FM}t+\theta(\omega)\right)+K^*\cos(\theta(\omega))$$

หลังจากผ่านวงจรกรองความถี่ต่ำผ่าน จะได้

$$X_{o2} = K^*\cos\theta(\omega) \tag{4.11}$$

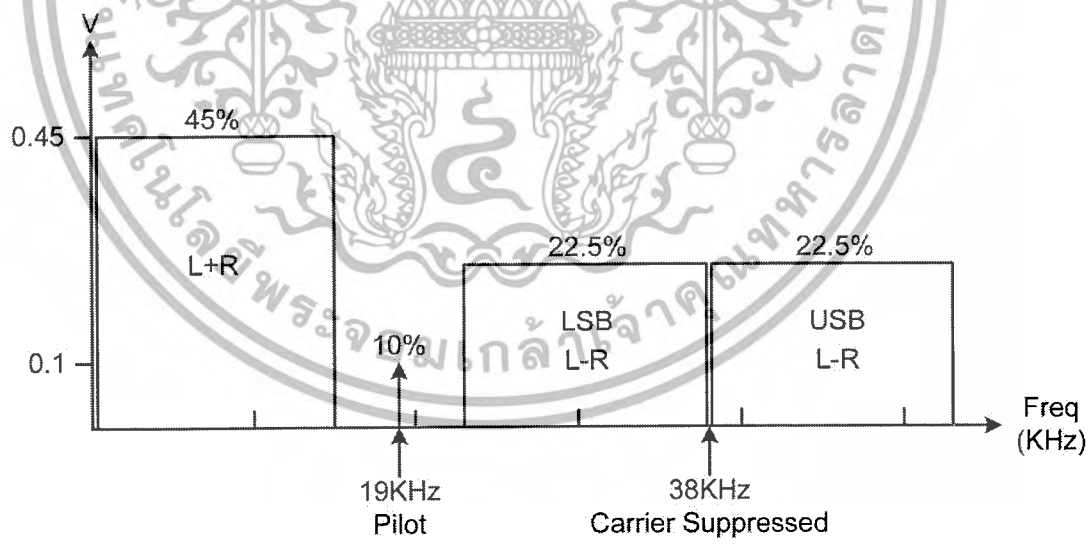
ค่า $\theta(\omega)$ จะมีค่าขึ้นอยู่กับความถี่ตามสมการที่ 4.9 เนื่องจากคลื่น FM เป็นคลื่นที่มีการเปลี่ยนแปลงตามความถี่ ตามสัญญาณมอดูเลติ้ง $\Delta\omega_{FM} = K_f v_m(t)$ และค่ามุมเฟส θ เปลี่ยนแปลงตามความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในที่สุด X_o จะเป็นสัญญาณที่แปรตาม $v_m(t)$ การดีมอดูเลท FM ส่วนใหญ่ในปัจจุบัน ใช้หลักการของ Quadrature detector

4.4 ระบบ FM สเตอริโอมัลติเพล็กซ์

ระบบ FM สเตอริโอจะต้องทำการออกแบบให้เครื่องรับระบบ FM ธรรมดา (โมโน) สามารถรับสัญญาณได้ตามปกติ เรียกว่า ออกแบบให้ยืดหยุ่น (Compatible) ดังนั้นเครื่องส่ง จะต้องส่งข่าวสารทั้งช่องซ้ายและขวามาทั้งคู่ โดยคงย่านความถี่ของสัญญาณเสียง (50 เฮิรตซ์ ถึง 15 กิโลเฮิรตซ์) ตามปกติเอาไว้ สัญญาณนี้เรียกว่า สัญญาณ (L+R) นอกจากนี้ในระบบ FM สเตอริโอจะต้องส่งสัญญาณ (L-R) มาด้วย สัญญาณ (L-R) นี้จะผ่านการมอดูเลตแบบ DSBSC มาก่อน เนื่องจากการดีมอดสัญญาณ DSB ค่อนข้างยุ่งยาก ดังนั้นเครื่องส่งจำเป็นต้องส่งพาหะไพล็อต (pilot Carrier) มาด้วย เพื่อช่วยในการซิงค์ (Synchronize) กับพาหะรอง (Sub carrier) ที่เครื่องส่งความถี่ของไพล็อตเท่ากับ 19 กิโลเฮิรตซ์ ซึ่งเท่ากับครึ่งหนึ่งของพาหะรอง 38 กิโลเฮิรตซ์พอดีกรรมวิธีที่นำเอาสัญญาณ 2 ชนิด คือ (L+R) กับ (L-R) ส่งมาพร้อมกัน โดยใช้พาหะหลักร่วมกันนี้เรียกว่า การมัลติเพล็กซ์ (Multiplex)



รูปที่ 4.7 องค์ประกอบความถี่ของ Stereo Multiplex

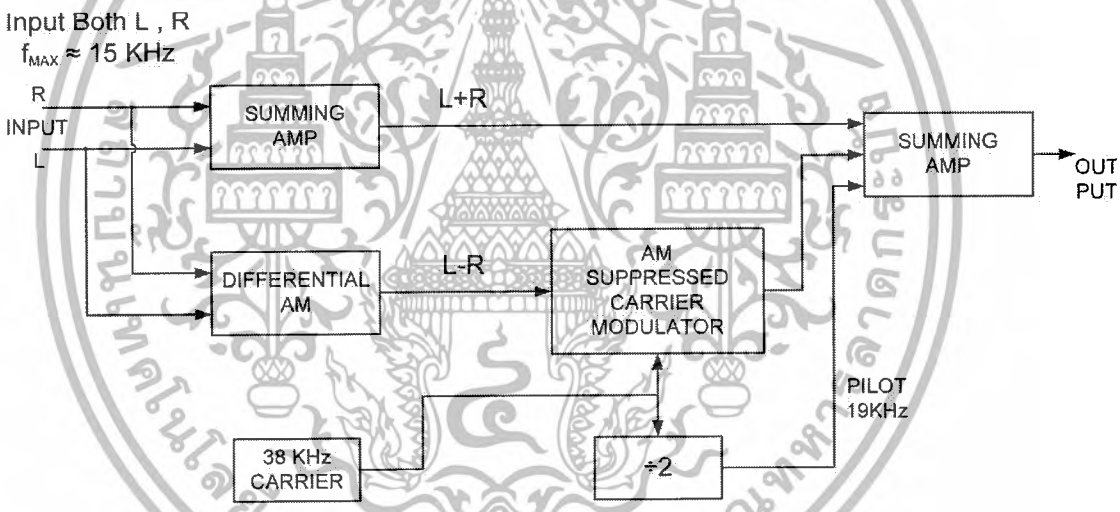
จากรูปสัญญาณที่เกิดจากการมัลติเพล็กซ์จะประกอบด้วยสัญญาณ (L+R) สัญญาณไพล็อต 19 กิโลเฮิรตซ์ และสัญญาณพาหะรอง (L-R) 38 กิโลเฮิรตซ์ ซึ่งเป็น DSB เครื่องรับ FM โมโน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ธรรมดาจะรับได้แต่เฉพาะสัญญาณ (L+R) ในช่วงความถี่ประมาณ 50 เฮิรตซ์ ถึง 15 กิโลเฮิรตซ์ เท่านั้น สัญญาณเสียงที่ออกจากลำโพงจะเป็นสัญญาณรวมทั้งแชนเนลซ้ายและขวาไม่มีการแยกเสียงเป็นสเตอริโอ (Stereo Separation) สำหรับเครื่องรับ FM สเตอริโอจะรับเอาสัญญาณทั้งหมดมาผ่านขบวนการดีมัลติเพล็กซ์ (Demultiplex) ซึ่งเป็นขบวนการตรงข้ามกับการมัลติเพล็กซ์เพื่อแยกสัญญาณเสียงออกเป็นแชนเนลซ้ายและขวา

4.4.1 เครื่องส่งวิทยุ FM สเตอริโอมัลติเพล็กซ์ (FM Stereo Multiplex Transmitter)

วิทยุ FM สเตอริโอมัลติเพล็กซ์ เป็นวิทยุที่กำเนิดขึ้นมาเพื่อตอบสนองความต้องการของมนุษย์ ที่ต้องการให้เสียงที่เครื่องรับ รับได้มีทิศทางของแหล่งกำเนิดเสียงมาจากหลายทิศทางเหมือนต้นกำเนิดเสียงจริงๆ



รูปที่ 4.8 เครื่องส่งวิทยุ FM สเตอริโอมัลติเพล็กซ์

จากบล็อกไดอะแกรมของเครื่องส่งวิทยุ FM สเตอริโอมัลติเพล็กซ์ สัญญาณเสียงที่กำเนิดขึ้นจากไมโครโฟนแชนเนลซ้าย (L) และขวา (R) จะผ่านวงจรขยายแล้วนำมาป้อนแก่วงจร Summing Amp เกิดเป็นสัญญาณ (L+R) สำหรับสัญญาณ (R) อีกทางหนึ่งจะป้อนแก่วงจร Differential Amp เกิดเป็นสัญญาณ (L-R) สัญญาณ (L-R) จะป้อนไปให้วงจร AM Suppressed Carrier Modulator โดยใช้พาหะรอง 38 กิโลเฮิรตซ์ พาหะรองนี้กำเนิดจากออสซิลเลเตอร์ 38 กิโลเฮิรตซ์ เอาต์พุตที่ได้จาก วงจร Modulator จะเป็นสัญญาณ DSB ของ (L-R) สัญญาณนี้จะผ่านการขยายแล้วป้อนไปให้แก่ภาคส่งเช่นเดียวกับสัญญาณ (L+R) ซึ่งจะต้องหน่วงเวลาไว้เล็กน้อยเพื่อ

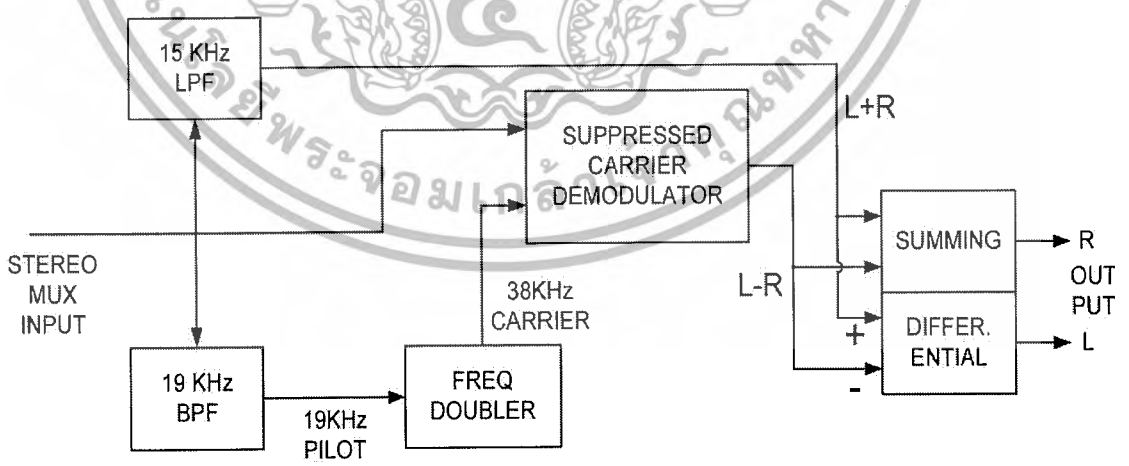
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ชดเชยเวลาที่สัญญาณ (L-R) ต้องเสียไปในการมอดูเลต ทำให้สัญญาณทั้ง (L+R) และ (L-R) มาถึงภาคส่งพร้อมๆกัน นอกจากนี้สัญญาณไพล็อตความถี่ 19 กิโลเฮิรตซ์จากการนำเอาพาหะรอง 38 กิโลเฮิรตซ์ เข้าวงจรหาร 2 ก็ป้อนให้ภาคส่งด้วยเช่นกัน สัญญาณทั้งหมดนี้จะมอดูเลตแบบ FM (โดยใช้พาหะหลักร่วมกัน)

มาตรฐานวิทยุกระจายเสียง FM กำหนดไว้ว่าความถี่เบี่ยงเบนจะต้องเท่ากับ ±75 กิโลเฮิรตซ์ ไม่ว่าจะเป็นโมโนหรือสเตอริโอ ดังนั้นในระบบสเตอริโอสัญญาณเสียงจะต้องลดเปอร์เซ็นต์การมอดูเลตลงไปเล็กน้อยเนื่องจากเราต้องมอดูเลตสัญญาณไพล็อต 19 กิโลเฮิรตซ์ไปด้วย สัญญาณไพล็อตนี้จะมอดูเลตไว้ 10 เปอร์เซ็นต์ของความถี่เบี่ยงเบนสูงสุด ±75 กิโลเฮิรตซ์ หรือ ±75 กิโลเฮิรตซ์ x 10 เปอร์เซ็นต์ = ±7.5 กิโลเฮิรตซ์ ฉะนั้นสัญญาณเสียงที่เข้ามอดูเลตจึงมอดูเลตลดลงไปอีก 90 เปอร์เซ็นต์ หรือ ±75 กิโลเฮิรตซ์ x 90เปอร์เซ็นต์ = ±67.5 กิโลเฮิรตซ์ ปริมาณการมอดูเลต

สังเกตว่า ในส่วนที่จะเข้ามามอดูเลต 90 เปอร์เซ็นต์ของสัญญาณเสียงนี้ ยังจะต้องแบ่งอีก 2 ส่วนสำหรับ (L+R) กับ (L-R) เท่าๆกันอีก แต่ความจริงไม่เป็นเช่นนั้น เพราะสัญญาณ (L+R) กับ (L-R) รวมกันจะไม่ทำให้ความถี่เบี่ยงเบนเพิ่มขึ้นเป็น 2 เท่า เนื่องจากเมื่อสัญญาณ (L+R) มีค่ามาก สัญญาณ (L-R) จะมีค่าน้อยและในทางกลับกันเมื่อสัญญาณ (L+R) มีค่าน้อย สัญญาณ (L-R) จะมีค่ามาก ดังนั้นการเบี่ยงเบนความถี่จะไม่มีโอกาสเกินได้

4.4.2 เครื่องรับ FM สเตอริโอมัลติเพล็กซ์



รูปที่ 4.9 เครื่องรับวิทยุ FM สเตอริโอมัลติเพล็กซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องรับสเตอริโอจะนำสัญญาณที่รับได้มากรองแยกเอาแต่ละส่วนออกมาโดยใช้ Low Pass Filter ซึ่งจะได้ความถี่ต่ำผ่าน 15 กิโลเฮิรตซ์ และกรองเอาสัญญาณ (L+R) และใช้ Band Pass Filter เพื่อกรองสัญญาณพาหะไพล็อต 19 กิโลเฮิรตซ์ แล้วนำสัญญาณไพล็อตเข้าวงจรคูณ 2 กลายเป็นสัญญาณพาหะรอง 38 กิโลเฮิรตซ์ ที่มีความถี่และเฟสสอดคล้องกับพาหะรองที่เครื่องส่งนำสัญญาณมัลติเพล็กซ์ และสัญญาณ 38 กิโลเฮิรตซ์ เข้าสู่วงจรดีมอดสัญญาณ จะได้สัญญาณ (L-R) เมื่อได้สัญญาณ (L-R) กับ (L+R) จะแยกนำไปรวมกันที่วงจร summing เพื่อแยกสัญญาณเสียงแชนเนลขวา (R) และวงจร Differential เพื่อแยกสัญญาณเสียงแชนเนล ซ้าย (L) ออกไปยังลำโพงแต่ละข้าง

4.5 มัลติเพล็กเซอร์ (MULTIPLEXER)

มัลติเพล็กเซอร์ หรือนิยมเรียกว่ามัก (MUX) เป็นอุปกรณ์ที่ทำหน้าที่ในการรวมข้อมูล (Multiplexer) จากอุปกรณ์ส่งข้อมูล (Terminal) การทำงานของมัลติเพล็กเซอร์ มัลติเพล็กเซอร์จะรับสัญญาณข้อมูลจากผู้ส่งข้อมูลจากแหล่งต้นทางต่างๆซึ่งต้องการจะส่งข้อมูลไปยังปลายทางในที่ต่างๆกัน ดังนั้นสัญญาณข้อมูลต่างๆเมื่อผ่านมัลติเพล็กซ์เซอร์ มัลติเพล็กซ์เซอร์ก็จะเรียงรวม (มัลติเพล็กซ์) กันอยู่ในสายส่งข้อมูลเพียงสายเดียว และเมื่อสัญญาณข้อมูลทั้งหมดมา ถึงเครื่องมัลติเพล็กเซอร์ซึ่งเรียกว่า อุปกรณ์ดีมัลติเพล็กซ์เซอร์อีกเครื่องหนึ่งทางปลายทางสัญญาณทั้งหมดก็จะถูกแยก (ดีมัลติเพล็กซ์) ออกจากกันไปตามเครื่องรับปลายทางของแต่ละช่องทางสายส่งข้อมูลที่ใช้ในการส่งข้อมูลจะต้องมีความจุสูง จึงจะสามารถรองรับปริมาณข้อมูลจำนวนมากที่ถูกส่งผ่านพร้อมๆกันได้ สายส่งข้อมูลดังกล่าว ได้แก่ สายโคแอกซ์ สายไฟเบอร์ออปติก คลื่นไมโครเวฟ และคลื่นดาวเทียม

วิธีการรวมช่องทางการสื่อสารข้อมูล หรือการมัลติเพล็กซ์ที่จะกล่าวถึงในที่นี้มีอยู่ 3 วิธี คือ

1. การมัลติเพล็กซ์แบบแบ่งตามความถี่ (Frequency Division Multiplexing) หรือ FDM ซึ่งเป็นแบบที่นิยมใช้กันมากที่สุดโดยเฉพาะด้านวิทยุและโทรทัศน์

2. การมัลติเพล็กซ์แบบแบ่งตามเวลา (Time Division Multiplexing) หรือ TDM ซึ่งรู้จักกันดีในชื่อของซิงโครนัส TDM (Synchronous TDM) ส่วนใหญ่จะใช้ในการมัลติเพล็กซ์สัญญาณเสียงดิจิตอล เช่น แผ่นเพลง CD

3. การมัลติเพล็กซ์แบบแบ่งตามเวลาด้วยสถิติ (Statistical Time Division Multiplexing) หรือ STDM ซึ่งมีชื่อเรียกอีกอย่างหนึ่งว่า อะซิงโครนัส TDM (Asynchronous TDM) หรืออินเทลลิเจนท์ TDM (Intelligent TDM) ในที่นี้เราจะใช้ชื่อเรียกสั้นๆว่า STDMสำหรับ STDM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นวิธีการมัลติเพล็กซ์ที่ปรับปรุงการทำงานมาจากวิธีซิงโครนัส TDMให้มีประสิทธิภาพสูงยิ่งขึ้น เพื่อรองรับจำนวนช่องทางให้ได้มากขึ้น

Multiplexing เป็นเทคนิควิธีการส่งข้อมูลไปพร้อมกันในเส้นทางเดียวกัน ระบบ multiplexing มีอยู่ 2 ระบบ คือ

1. MUX เข้ารหัส
2. DEMUX ถอดรหัส

4.5.1 หลักการของการ Multiplexing

ในระบบการสื่อสารนั้นทรัพยากรต่างๆ(เช่นความถี่ในการใช้งาน, ปริมาณคู่สาย ฯลฯ) ที่ถูกนำมาใช้งานนั้นล้วนมีอยู่อย่างจำกัด เราจึงต้องใช้ทรัพยากรต่างๆที่มีอยู่ให้คุ้มค่ามากที่สุด การ Multiplexing ก็เป็นเทคนิคอย่างหนึ่งในการแก้ปัญหาดังกล่าว ความหมายของ Multiplexing ก็คือ การรวม(combination) ให้ช่องสัญญาณที่มีขนาดความจุของข่าวสารต่ำ สามารถใช้งานผ่านสื่อสัญญาณ(transmission Media) ที่มีขนาดความจุสูงชุดเดียวกันได้ ทำให้ความจุของระบบสื่อสัญญาณนั้นถูกใช้งานอย่างคุ้มค่า (utilization)ที่สุด หลักการของการ Multiplexing สามารถแสดงได้ดังรูปที่ 4.10

รูปที่ 4.10 หลักการของการ Multiplexing

จากรูปที่ 4.10 เราให้ n input data channel ถูกส่งเข้าไปยัง MUX ซึ่งมันจะทำหน้าที่ในการรวมช่องสัญญาณทั้งหมด แล้วส่งผ่านไปใน communication link ที่มีขนาดความจุขนาด n data channel ชุดหนึ่ง เมื่อถึงปลายทางแล้ว ช่องสัญญาณที่ถูกรวมไปใน communication link นั้น ก็จะถูกแยก (DEMUX) ออกมาเป็น n channel data output ตามเดิม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การที่หลักการ Multiplexing ได้รับการใช้งานอย่างกว้างขวางก็เนื่องจาก

- การที่สามารถทำให้ Communication link มีความจุสูงมากขึ้นเท่าใด ก็จะเป็นการทำให้ต้นทุนของ การใช้งาน transmission ต่ำลงเท่านั้น (More cost-effective) หมายถึงว่า เมื่อมีการใช้งาน application อย่างหนึ่งใน ระยะทางช่วงหนึ่ง ค่าใช้จ่ายในการสื่อสารต่อ kbps จะลดลงเมื่อ data rate ของ transmission facility เพิ่มสูงขึ้น ในทำนองเดียวกันก็คือ ราคาของ transmission และ receiving equipment ต่อ kbps จะถูกลงเมื่อ data rate เพิ่มสูงขึ้น

- ในการส่งข้อมูลทั่วไปนั้น อุปกรณ์ที่ถูกนำมาใช้งานเช่น data terminal equipment มักมีความเร็วไม่สูงนัก เช่น ในการส่งข้อมูลที่มักมีขนาด file ไม่ใหญ่จนเกินไปนัก data rateระหว่าง 9,600 bps ถึง 64 kbps ก็มักเพียงพอแล้ว

- จากข้อจำกัดของ transmission media ดังที่ได้กล่าวมาแล้ว ทำให้ความต้องการส่งสัญญาณต่างๆไปใน transmission media ชุดเดียวกันมีความจำเป็นมากขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
การลดสัญญาณรบกวน

5.1 กราวนด์สำหรับสัญญาณ(Signal ground) ในวงจรความถี่สูง

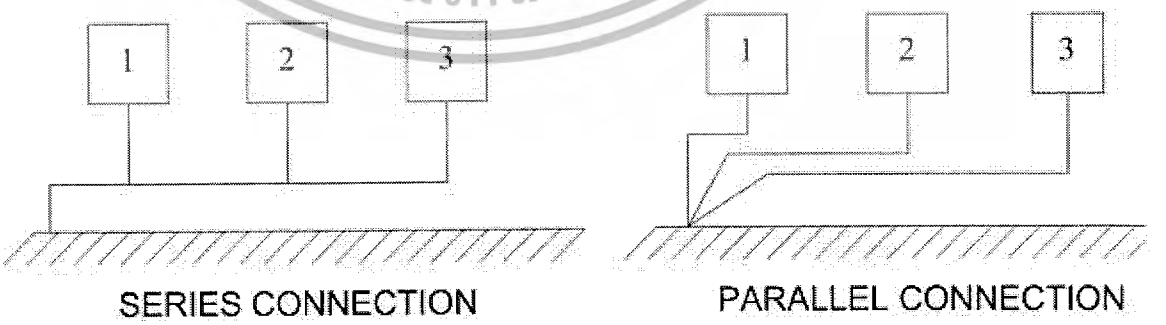
กราวนด์ในวงจรที่มีความถี่สูงนั้นเป็นสิ่งที่มีความสำคัญมากเนื่องจากทุกๆองค์ประกอบของวงจรที่กำลังพิจารณานั้นส่งผลเป็นค่า อิมพีแดนซ์ อินดักแตนซ์ ทั้งสิ้นซึ่งหากว่าวงจรที่สร้างนั้นมีขนาดของสายที่ยาวเกินไป ก็จะกลายเป็นค่าอินดักแตนซ์ ซึ่งส่งผลต่อเฟสของสัญญาณรวมไปถึงสัญญาณรบกวนที่สามารถเหนี่ยวนำเข้ามาในวงจรได้ง่ายอีกด้วย

5.2 ชนิดของกราวนด์สำหรับสัญญาณ

กราวนด์สำหรับสัญญาณสามารถแบ่งออกเป็น 2 ชนิด คือ กราวนด์จุดเดียว และ ชนิดที่มีกราวนด์หลายแห่ง ดังรูปที่ 5.1 ก. และ รูปที่ 5.1 ข. ซึ่งกราวนด์จุดเดียวยังสามารถแบ่งออกได้เป็น 2 ชนิด คือ แบบที่ต่ออนุกรม และ และ แบบที่ต่อขนาน

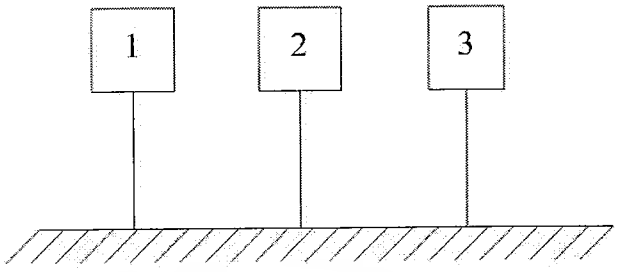
เทคนิคในการต่อกราวนด์มีหลักสำคัญอยู่ 2 ประการ คือ

1. ตัวนำทุกตัวจะมีอิมพีแดนซ์ค่าหนึ่ง ซึ่งประกอบไปด้วยค่าความต้านทาน และอินดักแตนซ์ของตัวเหนี่ยวนำไฟฟ้า
2. กราวนด์ที่ไม่ได้อยู่จุดเดียวกัน มักมีศักดาไฟฟ้าไม่เท่ากัน



รูปที่ 5.1 ก. กราวนด์จุดเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.1 ข. กราวนด์หลายแห่ง

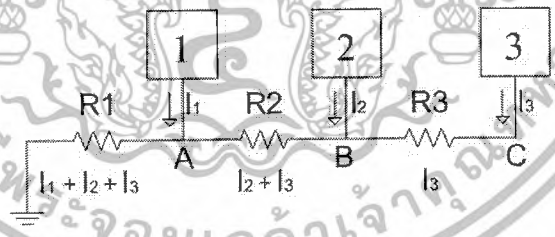
5.2.1 ระบบกราวนด์ชนิดจุดเดียว(Single point ground system)

ระบบกราวนด์จุดเดียวซึ่งต่อแบบอนุกรมดังรูปที่ 5.2 อาจเรียกได้ใหม่ว่า ระบบกราวนด์ร่วม(Common ground system) ซึ่งก็คือการนำกราวนด์ของแต่ละวงจรมาต่ออนุกรมกัน โดยที่ความต้านทาน R_1, R_2, R_3 คืออิมพีแดนซ์ของแต่ละวงจรซึ่งมีกระแสกราวนด์ I_1, I_2, I_3 ไหลผ่านตามลำดับ ดังนั้น ที่จุด A ศักดาไฟฟ้าจะไม่เป็นศูนย์ แต่จะมีค่าเป็น

$$V_A = (I_1 + I_2 + I_3)$$

และศักดาที่จุด C คือ

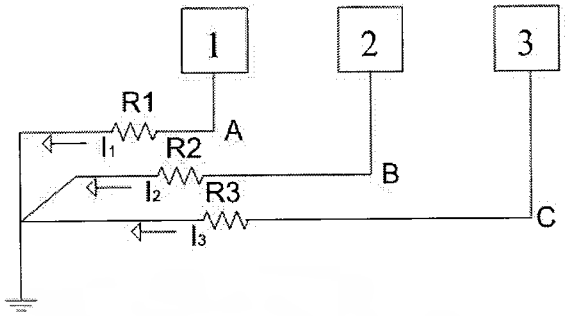
$$V_C = (I_1 + I_2 + I_3)R_1 + (I_2 + I_3)R_2 + I_3R_3$$



รูปที่ 5.2 ระบบกราวนด์จุดเดียวซึ่งต่อแบบอนุกรม

ถึงแม้ว่าการต่อในลักษณะนี้จะสร้างปัญหาเรื่องสัญญาณรบกวนมากที่สุดก็ตาม แต่ในแง่ของความสะดวกวงจรในลักษณะนี้ง่ายต่อการประกอบที่สุด แต่หากระบบที่กำลังออกแบบอยู่นั้นมีระดับแรงดันที่ต่างกันมากแล้ว ไมควรนำการต่อแบบนี้ไปใช้ เนื่องจากสัญญาณรบกวนซึ่งมีระดับที่สูงจะรบกวนวงจรซึ่งมีระดับสัญญาณต่ำจนเกินไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.3 ระบบกราวนด์จุดเดียวแบบกราวนด์แยก (การต่อแบบขนาน)

รูปที่ 5.3 แสดงระบบกราวนด์แยก (การต่อแบบขนาน) ซึ่งใช้งานได้ดีในช่วงความถี่ต่ำ เนื่องจากกระแสกราวนด์จากวงจรหนึ่งจะไม่ไหลผ่านอิมพีแดนซ์ของวงจรอื่น ดังนั้นแรงดันที่กราวนด์ของแต่ละวงจรจะเป็นอิสระต่อกัน โดยที่จุด A และ C เป็นไปตามสมการ

$V_A = I_1 R_1$

$V_C = I_2 R_2$

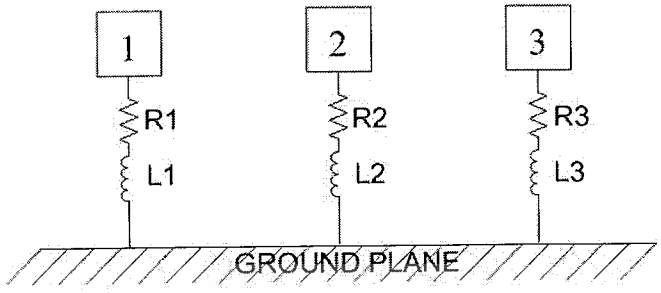
ข้อเสียของระบบนี้อยู่ที่ความยุ่งยากของการต่อสายไฟและนอกจากนี้ที่ความถี่สูงอินดักแตนซ์ของสายไฟตัวนำที่หากความยาวของตัวนำที่ต่อกราวนด์เส้นยาวที่สุดมีค่าน้อยกว่า $\lambda/20$ ควรใช้ระบบกราวนด์จุดเดียว

ใช้ต่อกับกราวนด์จะมีค่าเพิ่มขึ้นตามความถี่ ทำให้อิมพีแดนซ์มีค่าสูงขึ้นตามไปด้วย และยังอาจเพิ่มการเหนี่ยวนำสนามแม่เหล็กระหว่างสายกราวนด์ด้วยกัน อีกทั้งยังสามารถเกิดการคับปลิ้งผ่านพาราซิติคคาปาซิแตนซ์ ของกราวนด์ได้โดยง่าย วิธีแก้ปัญหานี้สามารถกระทำได้โดยการใช้สายไฟสำหรับต่อกราวนด์ที่สั้นกว่า $\lambda/20$ เพื่อป้องกันการแผ่สนามรบกวน และลดอิมพีแดนซ์ให้มีค่าต่ำสุดเท่าที่จะทำได้

5.2.2 ระบบกราวนด์หลายจุด (Multipoint ground system)

ในช่วงความถี่สูง ระบบกราวนด์หลายจุดจะให้อิมพีแดนซ์ที่ต่ำมาก รูปที่ 5.4 แสดงวงจรซึ่งต่อกราวนด์เข้าที่ระนาบกราวนด์ที่มีอิมพีแดนซ์ต่ำ การต่อสายไฟลงกราวนด์ควรใช้สายไฟที่สั้นที่สุดเพื่อลดอิมพีแดนซ์ของตัวนำนี้ แต่ที่ความถี่ต่ำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.4 ระบบกราวนด์หลายจุด

ระบบนี้จะไม่สามารถทำงานได้ดี เนื่องจากกระแสจากวงจรทั้งหมดจะไหลผ่านกราวนด์อิมพีแดนซ์ตัวเดียวกัน (ผ่านระนาบกราวนด์ ซึ่งมีอิมพีแดนซ์สูงขึ้นเมื่อความถี่ต่ำลง) แต่ที่ความถี่สูงผลจาก สกินเอฟเฟคจะทำให้กระแสไหลที่ผิวของระนาบกราวนด์เท่านั้น ดังนั้นความหนาของระนาบกราวนด์จึงไม่มีผลมากนักที่ความถี่สูง

โดยทั่วไปเราสามารถสรุปการใช้ระบบการต่อกราวนด์ได้ดังนี้

1. ที่ความถี่ต่ำกว่า 1 MHz ควรใช้ระบบกราวนด์จุดเดียว
2. ที่ความถี่สูงกว่า 10 MHz ควรใช้ระบบกราวนด์หลายจุด
3. ที่ความถี่ระหว่าง 1 MHz ถึง 10 MHz

3.1 หากความยาวของตัวนำที่ต่อกราวนด์เส้นยาวที่สุดมีค่าน้อยกว่า $\lambda/20$ ควรใช้ระบบกราวนด์จุดเดียว

3.2 หากความยาวของตัวนำที่ต่อกราวนด์เส้นยาวที่สุดมีค่ามากกว่า $\lambda/20$ ควรใช้ระบบกราวนด์หลายจุด

เนื่องจากวงจรในโครงงานนี้เป็นวงจรที่ใช้งานในย่านความถี่สูง (มากกว่า 10 MHz) จึงอาจสรุปได้ว่า วงจรในโครงงานนี้ควรใช้กราวนด์แบบหลายจุด และการเชื่อมต่อจุดต่างๆของวงจรต้องมีขนาดที่เล็ก เพื่อลดค่าของ parasitic ต่างๆ ทั้งยังทำให้วงจรมีขนาดเล็กลงด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

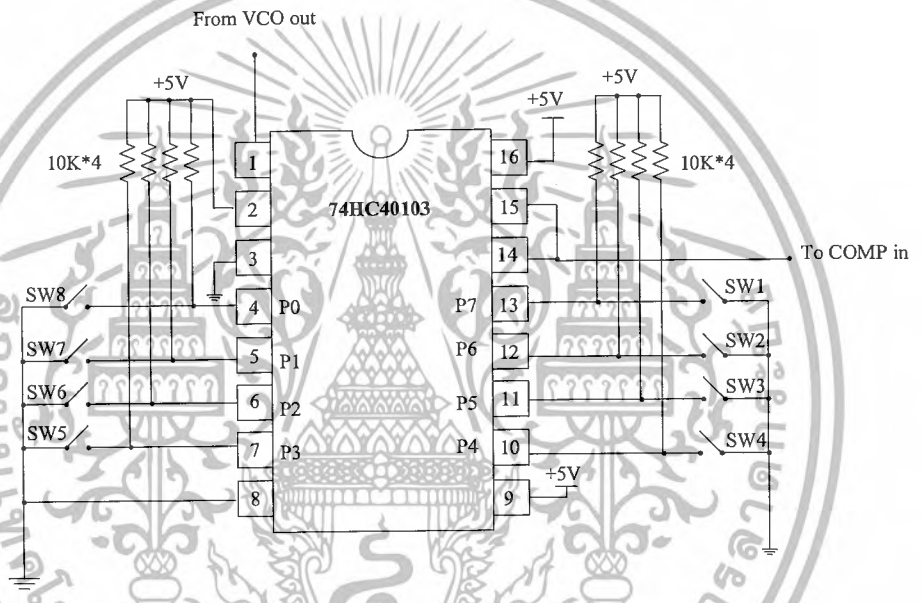
บทที่ 6

การออกแบบและการทดลอง

6.1 การออกแบบและทดลองภาคส่ง

6.1.1 การออกแบบเฟสล็อคลูปในการหาค่า N

สำหรับเฟสล็อคลูปวงจรที่ใช้ที่การหาค่า N มี วงจรดังรูปที่ 6.1



รูปที่ 6.1 การใช้ IC 74HC40103 หาค่า N

มีค่าหาร N ของ Tx ทั้งหมด 4 ค่า (4 channels) ดังนี้

N = 208 = 1100 1111

N = 224 = 1101 1111

N = 240 = 1110 1111

N = 256 = 1111 1111

การทดสอบการหาค่า N โดยป้อนความถี่ input = 20 KHz เข้าที่ขา 1 ของ IC 74HC40103 วัดความถี่ของสัญญาณ output ที่ได้ ที่ขา 15 ผลการทดลองที่ได้แสดงดังตารางที่ 6.1

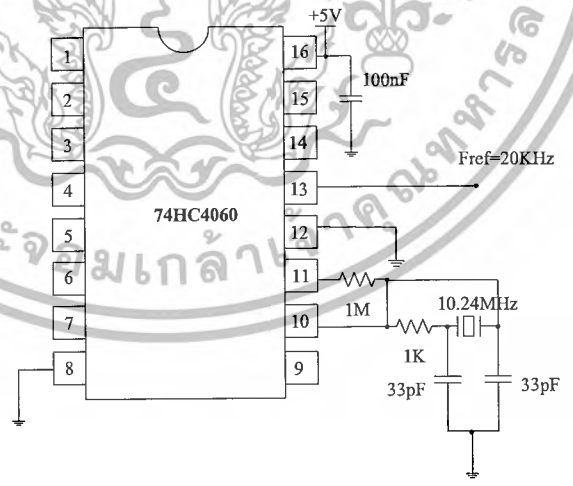
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.1 แสดงค่าความถี่ที่ได้จากการโปรแกรมเฟสล็อคลูป

ช่องสัญญาณ	ค่าหาร N	ความถี่ที่วัดได้ (ค่าจริงจากการวัดวงจร)	ความถี่ที่วัดได้ (ค่าที่คำนวณ)
1	208	96.163 KHz	96.154 KHz (20KHz / 208)
2	224	89.302 KHz	89.286 KHz (20KHz / 224)
3	240	83.342 KHz	83.333 KHz (20KHz / 240)
4	256	78.136 KHz	78.125 KHz (20KHz / 256)

6.1.2 การทดลองหาความถี่อ้างอิงที่ใช้ในวงจรเฟสล็อคลูป

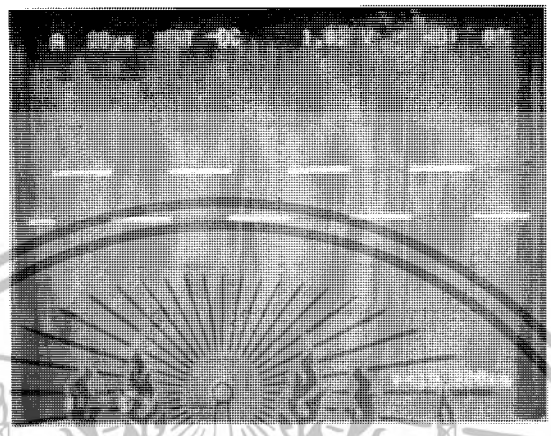
จากวงจรกำเนิดความถี่ IC 74HC4060 ทดลองหาค่าความถี่อ้างอิง (Fref) ซึ่งผลิตความถี่ 20 KHz เพื่อนำมาใช้ในวงจรเฟสล็อคลูป โดยมีวงจรดังรูป 6.2 วัดสัญญาณได้จากขาที่ 13 ของ IC 74HC4060



รูปที่ 6.2 วงจร หาค่าความถี่อ้างอิงที่ใช้ในวงจรเฟสล็อคลูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปสัญญาณที่ได้จากการทดลองวัดความถี่อ้างอิง ขา 13 ของ IC 74HC4060



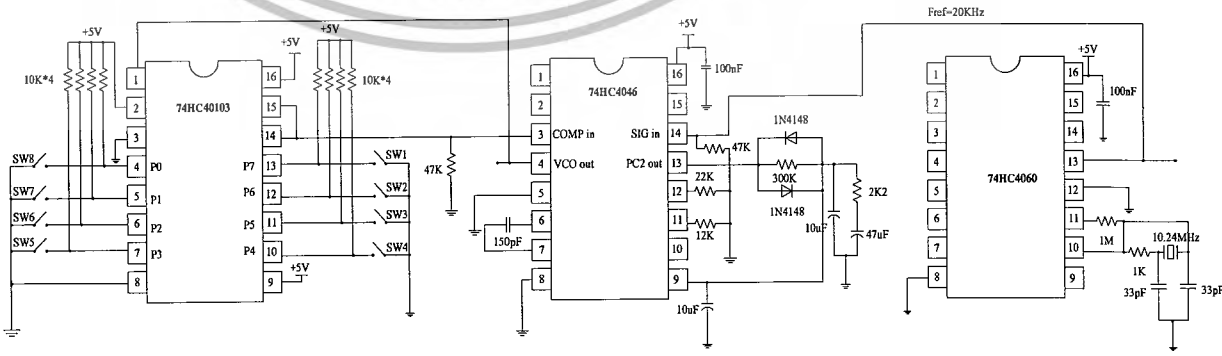
Volt/div=5V/div Time/div= 20us

รูปที่ 6.3 สัญญาณความถี่อ้างอิงที่วัดได้

จากการทดลอง ได้ความถี่อ้างอิง (Fref) เท่ากับ 19. 998 KHz

6.1.3การทดลองหาความถี่ของพาหะ (Carrier)

ทดลองปรับค่า N ให้เท่ากับเท่ากับ 208, 224, 240, 256 ตามลำดับเพื่อผลิตความถี่ของพาหะ เท่ากับ 4.160 MHz, 4.480 MHz, 4.800 MHz และ5.120 MHz โดยมีวงจรดังรูป 6.4 วัดสัญญาณ ที่ได้จากขา 4 ของ IC 74HC4046



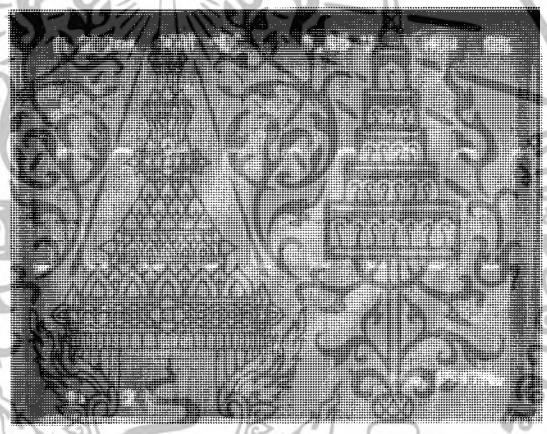
รูปที่ 6.4 วงจรสำหรับความถี่พาหะ (Carrier)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.2 แสดงค่าที่ได้จากวงจรหาความถี่ของพาหะ (Carrier)

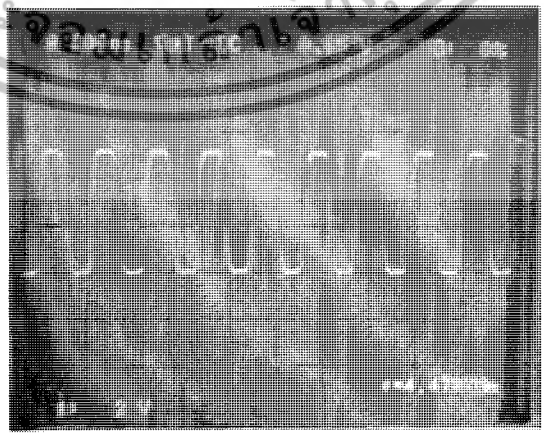
ช่องสัญญาณ	ค่าหาร N	ความถี่ที่วัดได้ ค่าจริงจากการวัดวงจร	ความถี่ที่วัดได้ ค่าที่คำนวณ (Fo=N*Fin)
1	208	4.1597MHz	4.160 MHz (20KHz * 208)
2	224	4.4797MHz	4.480 MHz (20KHz *224)
3	240	4.7997MHz	4.800 MHz (20KHz *240)
4	256	5.1196MHz	5.120 MHz (20KHz *256)

รูปสัญญาณที่ได้จากการทดลองวัดความถี่พาหะ (Carrier) จากขา 4 ของ IC 74HC4046



Volt/div=2V/div Time/div= 200ns

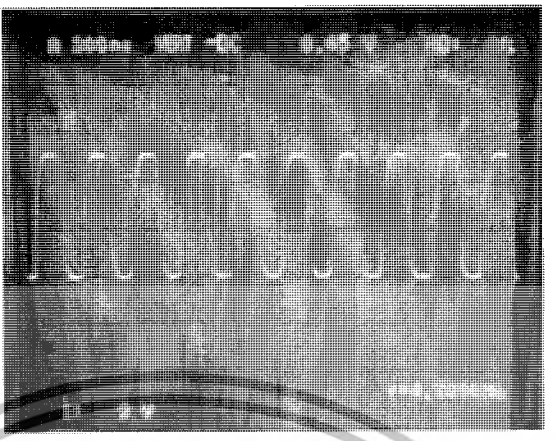
รูปที่ 6.4 ก. ความถี่ที่ได้เมื่อค่า N = 208



Volt/div=2V/div Time/div= 200ns

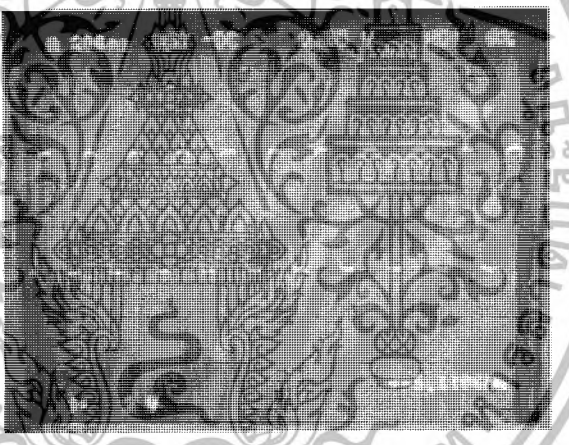
รูปที่ 6.4 ข. ความถี่ที่ได้เมื่อค่า N = 224

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Volt/div=2V/div Time/div= 200ns

รูปที่ 6.4 ค. ความถี่ที่ได้เมื่อค่า N = 240



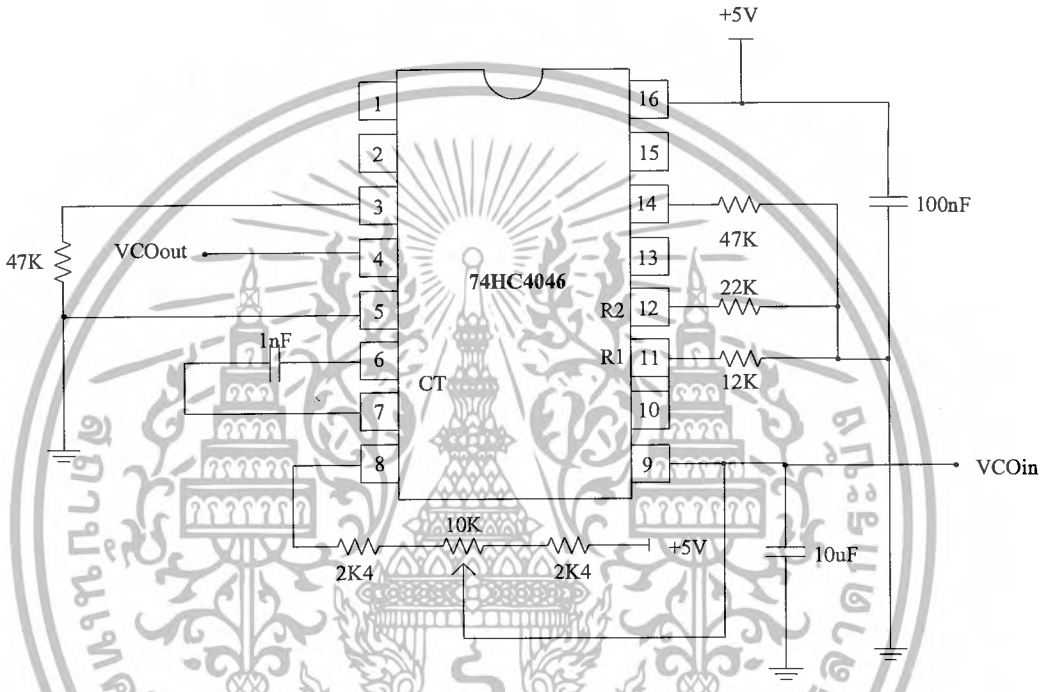
Volt/div=2V/div Time/div= 200ns

รูปที่ 6.4 ง. ความถี่ที่ได้เมื่อค่า N = 256

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.4 การทดลองในส่วนของ Voltage Control Oscillator (VCO)

วงจร VCO ในส่วนของภาคส่งนั้นทำหน้าที่เป็นตัวกำเนิดความถี่ LOCAL (Local Oscillator) ให้ผลิตความถี่คลื่น 4.16MHz ถึง 5.12MHz โดยในส่วนของวงจร VCO มีองค์ประกอบดังรูปที่ 6.5



รูปที่ 6.5 วงจรในส่วนของ Voltage Control Oscillator

ทดลองป้อนแรงดันตั้งแต่ 0 โวลท์ ถึง 4 โวลท์ โดยเพิ่มทีละ 0.25 โวลท์ ที่ตำแหน่งค่าแรงดันที่เปลี่ยนไปได้จากขา VCOin จากนั้นวัดค่าความถี่ที่ได้ที่ตำแหน่ง VCOout ที่แรงดันค่าต่างๆได้ผลดังตารางที่ 6.3

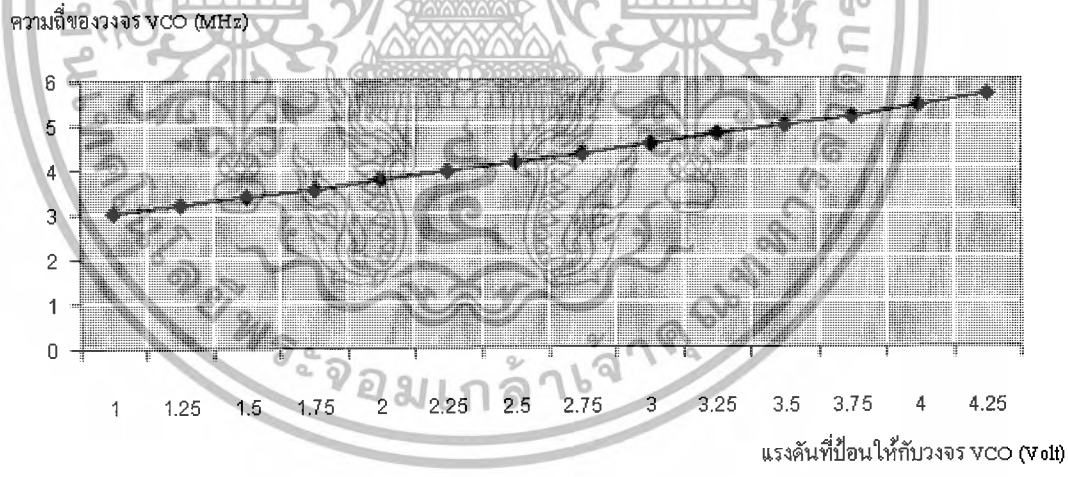
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.3 แสดงการเปลี่ยนแปลงของความถี่เอาท์พุทเมื่อแรงดันอินพุตเปลี่ยนแปลง

แรงดัน (V)	ความถี่ (MHz)
1.00	3.03
1.25	3.21
1.50	3.40
1.75	3.57
2.00	3.76
2.25	3.95
2.50	4.14

แรงดัน (V)	ความถี่ (KHz)
2.75	4.35
3.00	4.56
3.25	4.77
3.50	4.97
3.75	5.16
4.00	5.41
4.25	5.68

นำค่าที่ได้จากตารางมาแสดงเป็นกราฟแสดงความสัมพันธ์ระหว่างแรงดันและความถี่ได้ดังรูปที่ 6.6



รูปที่ 6.6 แสดงความสัมพันธ์ระหว่าง Frequency controlled voltage กับความถี่ที่วงจร VCO สร้าง

จากกราฟที่ได้ ทำการเลือกขอบเขตของความถี่ที่ใช้งาน คือ 3.035 MHz ที่ 1.00 V จนถึง 5.410 MHz ที่ 4.00 V ซึ่งทำให้สามารถหาค่า K_{VCO} ได้จาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$K_{VCO} = \frac{2\pi\Delta f_{VCO}}{\Delta vVCO}$$

ซึ่งทำให้ได้ค่า K_{VCO} เท่ากับ $4.995M\frac{Rad/Sec}{V}$

6.1.5 การออกแบบ Low Pass Filter ของวงจรเฟสล็อคลูป

วงจรเฟสล็อคลูป ในส่วนของภาคส่งนั้นมีขั้นตอนการออกแบบมีเงื่อนไขสำคัญคือ Loop Bandwidth ต้องมีค่าน้อยกว่า ความถี่ต่ำสุดที่เข้ามามอด เพื่อให้วงจร Phase lock loop จะได้ไม่สามารถล็อคได้ในขณะที่มีการมอดูเลต หรือกล่าวได้ว่าในขณะที่ f_{VCO} มีการเปลี่ยนแปลงอย่างรวดเร็ว วงจรต้องไม่เข้าสู่สภาวะล็อค นั่นเองโดยสัญญาณที่เข้ามามอดนั้นเป็นสัญญาณ สเตอริโอมัลติเพล็กซ์ ซึ่งจะมีความถี่ต่ำสุดเท่ากับ 50 Hzจึงทำให้ค่าความถี่ธรรมชาติ (ω_n) ถูกจำกัดด้วยค่า loop Bandwidth นี้ ซึ่งขั้นตอนการออกแบบวงจร Low pass filter ในส่วนของภาครับมีดังนี้

เนื่องจากวงจร Phase Detector ที่ใช้เป็นแบบ 3 states PFD ซึ่งมี

$$\Delta v_{OUT\,PD} = 4.8\ V$$

จากนั้นสามารถหาค่า K_d ได้ โดย

$$K_d = \frac{\Delta v_{OUT\,PD}}{4\pi}$$

$$= 0.382\ \frac{V}{Rad}$$

กำหนดให้ $LoopBW \approx 0.2\omega_{modMin} = 62.831\frac{\mathrm{Re}d}{Sec}$

โดย

$$Loop\ BW = \omega_n\left(1 + 2\delta^2 + \sqrt{(1+2\delta^2)^2 + 1}\right)^{\frac{1}{2}}$$

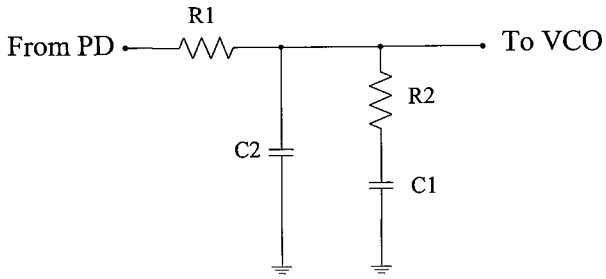
กำหนด δ เท่ากับ 1.14 ทำให้ได้ $\omega_n \le 23.202\frac{\mathrm{Re}d}{Sec}$

โดยให้

$\omega_n = 23\ Rad/_{sec}$

นำค่าพารามิเตอร์ต่างๆ ไปทำการออกแบบวงจร LPF ดังรูปที่ 6.7 เช่นเดียวกันกับทางภาครับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.7 วงจร Low pass Filter

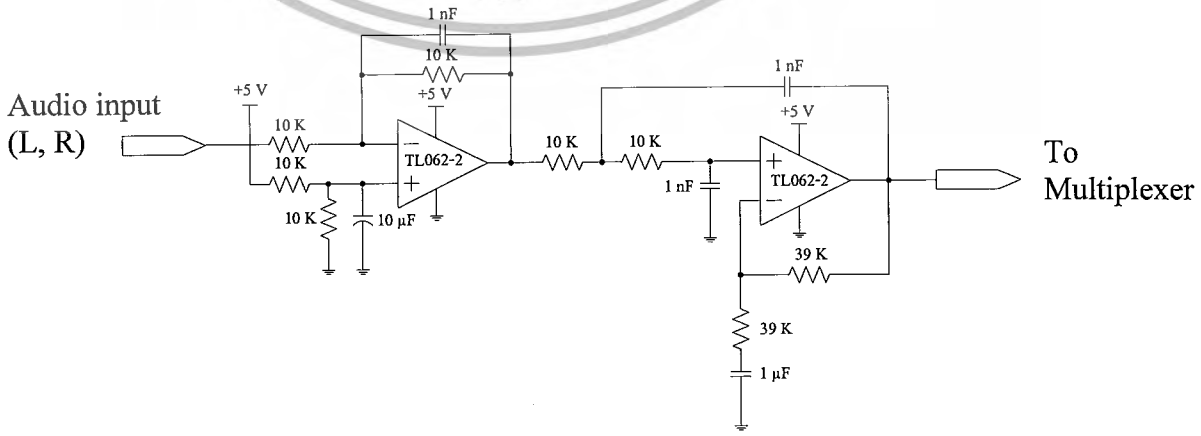
$R_1 = 300 \quad k\Omega$ $\qquad$ $C_1 = 47 \quad \mu F$

$R_2 = 2.2 \quad k\Omega$ $\qquad$ $C_2 = 10 \quad \mu F$

ทดลองวัดค่าความถี่ ที่วงจร VCO ผลิตออกมาซึ่งได้ค่าตามที่กำหนด คือ 4.160 MHz, 4.480 MHz, 4.800 MHz, และ5.120 MHz

6.1.6วงจรสร้างสัญญาณสเตอริโอมัลติเพล็กซ์ (Stereo Multiplexer)

สัญญาณที่ใช้ส่งในโครงงานนี้คือสัญญาณสเตอริโอ ซ้าย-ขวา ในการที่จะส่งสัญญาณ 2 สัญญาณให้ผ่านไปยังช่องทางเดียวจำเป็นต้องใช้หลักการมัลติเพล็กซ์ โดยวงจรที่ทำหน้าที่สร้างสัญญาณสเตอริโอมัลติเพล็กซ์นั้นยังประกอบไปด้วยวงจร Low pass filter 15 kHz ซึ่งจะทำหน้าที่ป้องกันความถี่สูงเข้าไปรบกวนวงจร จนไม่สามารถสร้างสัญญาณมัลติเพล็กซ์ได้ หรือหากมีความถี่ 19 kHz ภายนอกเข้าไปรบกวน อาจทำให้ภาครับแยกสัญญาณผิดพลาดได้ โดยเป็นวงจรกรองแบบ Active filter ดังรูปที่ 6.8

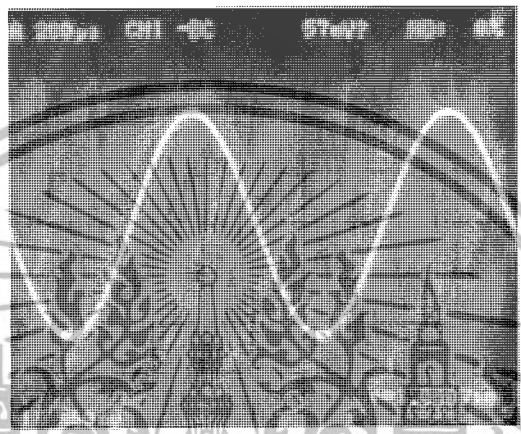


รูปที่ 6.8 วงจร Low pass filter 15 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.1.6.1 การทดลองวงจร Low pass filter 15 kHz

ทดลองป้อนสัญญาณไซน์ความถี่ 1 KHz ถึงเข้าที่ อินพุทของวงจรข้างใดข้างหนึ่ง (L, R) แล้ววัดสัญญาณที่เอาท์พุทซึ่งต้องได้สัญญาณที่ไม่ผิดเพี้ยน



รูปที่ 6.9 สัญญาณ sin wave ความถี่ 1 kHz ที่เอาท์พุทของ วงจร Low pass filter 15 kHz

ทดลองป้อนสัญญาณไซน์ความถี่ตั้งแต่ 1 KHz ถึง 25 KHz เข้าที่ อินพุทของวงจรข้างใดข้างหนึ่ง (L, R) แล้ววัดสัญญาณที่เอาท์พุทต่อความถี่ที่เปลี่ยนแปลงไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

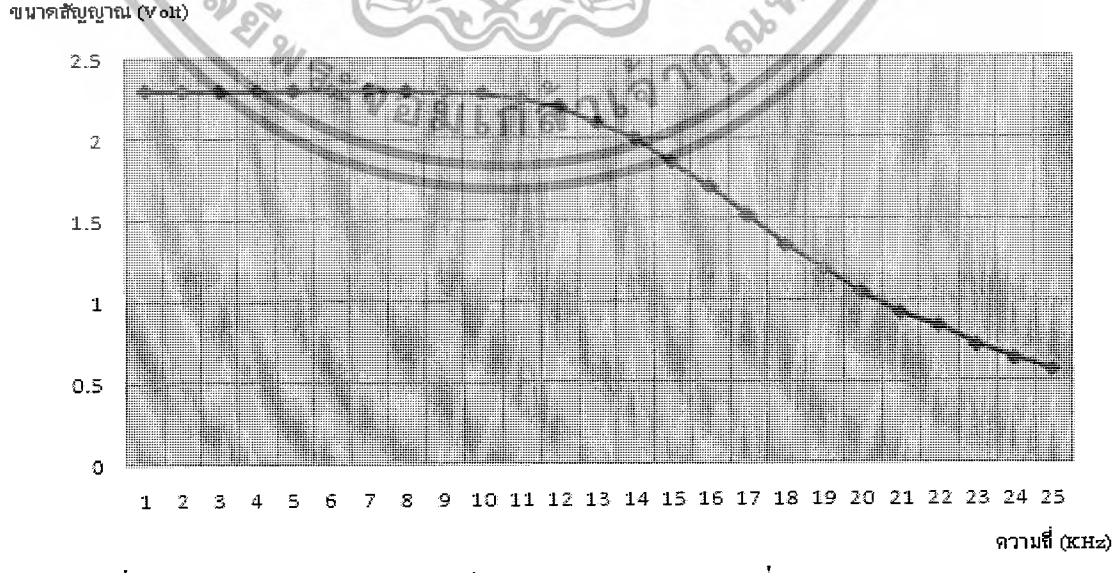
ตารางที่ 6.4 ตารางแสดงการเปลี่ยนแปลงแรงดันเอาท์พุทเมื่อความถี่อินพุทเปลี่ยนแปลง

ความถี่ (KHz)	แรงดัน (V)
1	2.300
2	2.300
3	2.300
4	2.300
5	2.300
6	2.300
7	2.300
8	2.300
9	2.290
10	2.280
11	2.250
12	2.200
13	2.100

ความถี่ (KHz)	แรงดัน (V)
14	2.000
15	1.850
16	1.700
17	1.520
18	1.340
19	1.190
20	1.045
21	0.920
22	0.840
23	0.720
24	0.640
25	0.570

นำค่าที่ได้จากตารางมาแสดงเป็นกราฟแสดงความสัมพันธ์ระหว่างแรงดันและความถี่ได้ดัง

รูปที่ 6.10

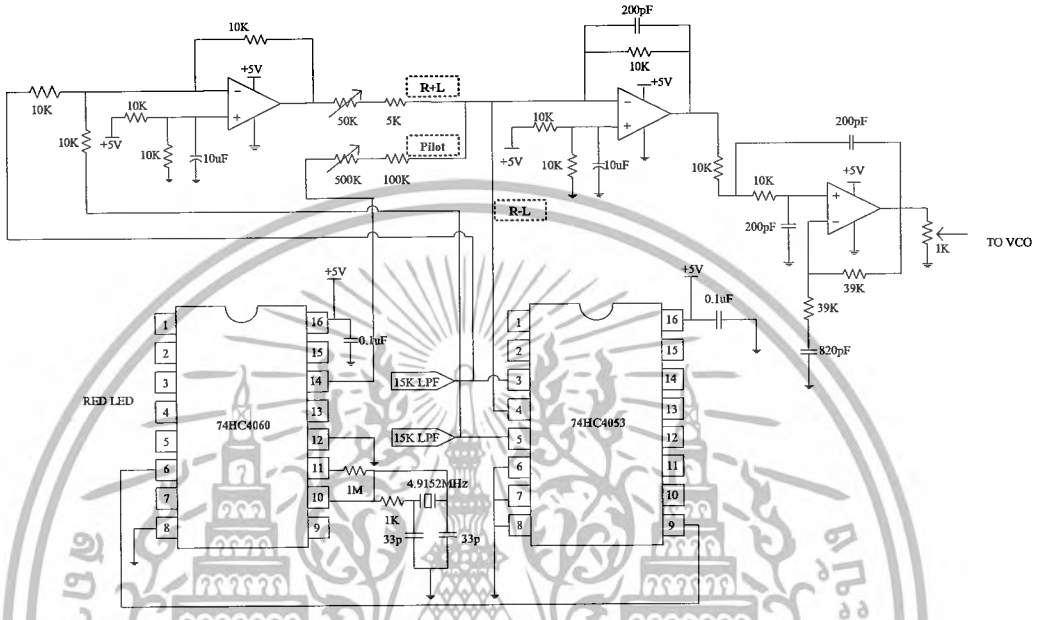


รูปที่ 6.10 กราฟแสดงความสัมพันธ์ระหว่างแรงดันและความถี่ของวงจร Low pass filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

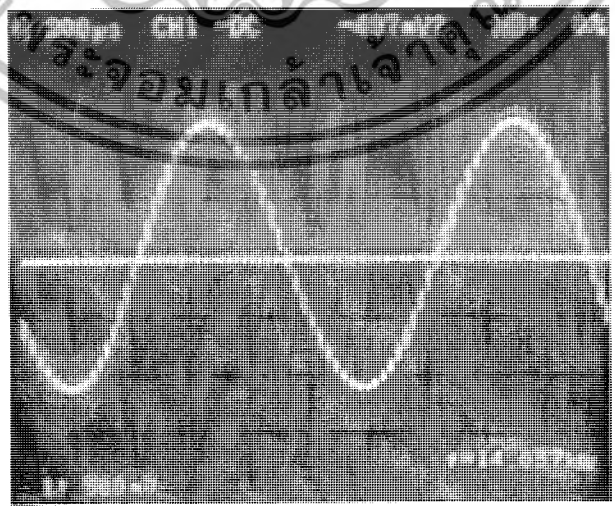
6.1.2.2 การทดลองวงจรที่ทำหน้าที่สร้างสัญญาณเตอริโอมัลติเพล็ก

นำสัญญาณที่ออกมาจากเอาท์พุทของวงจร Low pass filter (L) และ (R) ไปป้อนเข้ายังวงจรที่ทำหน้าที่สร้างสัญญาณเตอริโอมัลติเพล็กซ์ดังรูป 6.11



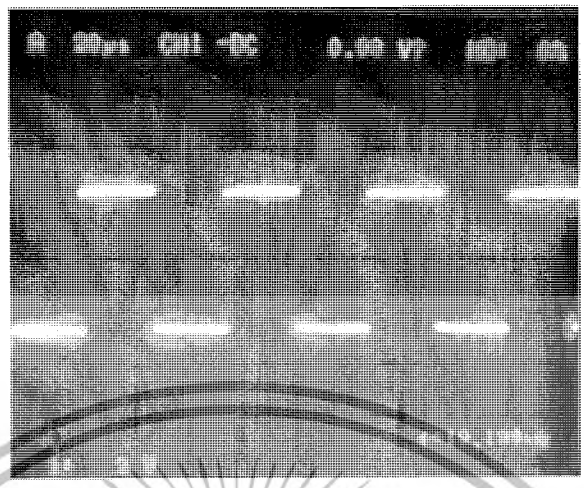
รูปที่ 6.11 วงจรที่ทำหน้าที่สร้างสัญญาณสเตอริโอมัลติเพล็กซ์

วัดสัญญาณ ณ จุดต่างๆของวงจร เช่น สัญญาณ L-R ซึ่งเป็นการมอดูเลตแบบ AM suppressed carrier และสัญญาณ ไพล็อท 19.2 kHz (ใช้ทดแทน 19 kHz) ซึ่งได้รูปสัญญาณ ดังนี้



รูปที่ 6.12 สัญญาณ L-R ซึ่งเป็นการมอดูเลตแบบ AM suppressed carrier

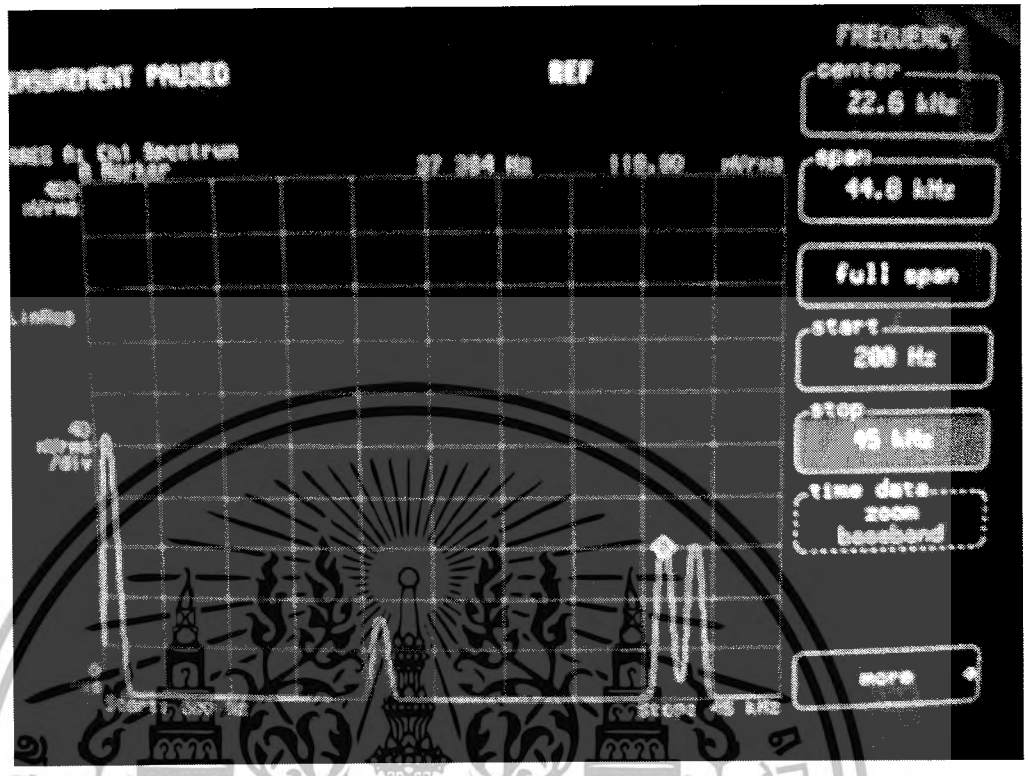
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



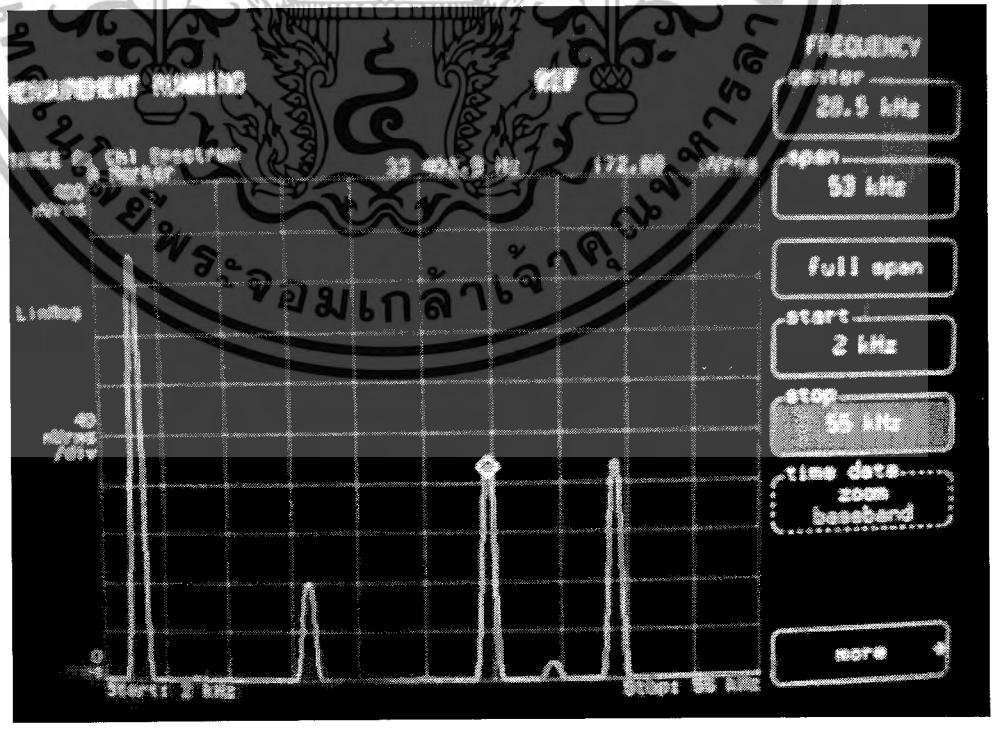
รูปที่ 6.13 สัญญาณ ไพล็อท 19.5 kHz

ทำการวัดสเปกตรัมของสัญญาณที่เอาท์พุทของวงจรสร้างสัญญาณ สเตอริโอ มัลติเพล็กซ์ ด้วย Spectrum Analyzer โดยป้อนสัญญาณ sine ความถี่ 1 kHz, 5 kHz และ 10 kHz เข้าที่อินพุทของ Low pass filter 15 kHz ทั้งสองข้าง LและR สังเกตสเปกตรัมที่ออกมาจากวงจร โดยวัดระดับความแรงของสัญญาณ L-R ทั้งสองไซด์แบนด์ก่อน ซึ่งนำมาคิดเป็นเปอร์เซ็นต์เท่ากับ 22.5 เปอร์เซ็นต์ จากนั้นทำการปรับ VR 50 k ที่ตำแหน่ง L+R โดยคิดเป็นเปอร์เซ็นต์เท่ากับ 45 เปอร์เซ็นต์ และปรับ VR 500 k ที่ตำแหน่ง pilot คิดเป็นเปอร์เซ็นต์เท่ากับ 10 เปอร์เซ็นต์ ได้สเปกตรัม ณ ความถี่อินพุทต่างๆ ดังรูปที่ 6.14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.14 ก



รูปที่ 6.14 ข

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 6.14 ค

รูปที่ 6.14 ก สเปกตรัมของสัญญาณ สเตอริโอ มัลติเพล็กซ์ ที่ความถี่ อินพุท 1 kHz

รูปที่ 6.14 ข สเปกตรัมของสัญญาณ สเตอริโอ มัลติเพล็กซ์ ที่ความถี่ อินพุท 5 kHz

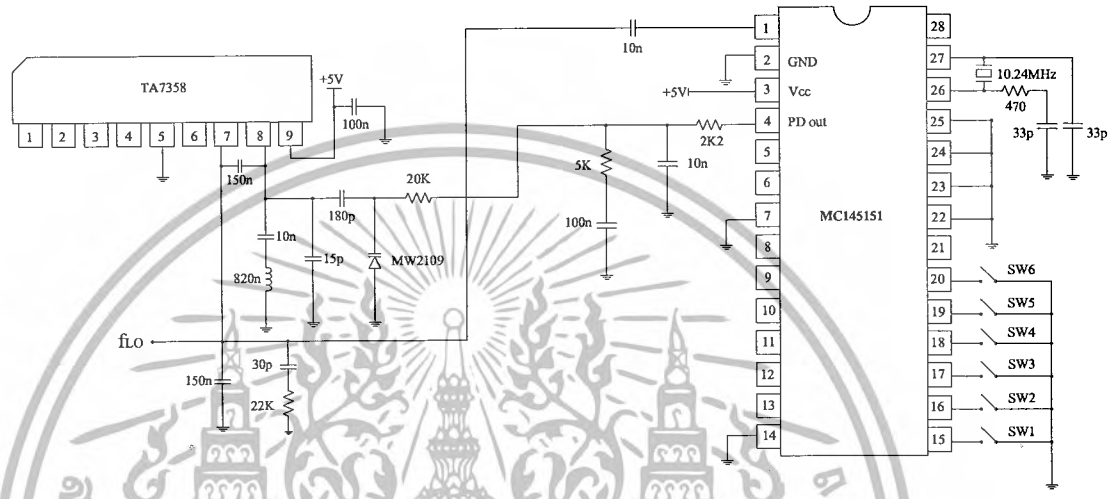
รูปที่ 6.14 ค สเปกตรัมของสัญญาณ สเตอริโอ มัลติเพล็กซ์ ที่ความถี่ อินพุท 10 kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 การออกแบบและทดลองภาครับ

6.2.1 การออกแบบเฟสล็อคลูปในการหารค่า N และค่า R เพื่อหาความถี่ของพาหะ

สำหรับเฟสล็อคลูปวงจรที่ใช้ที่การหารค่า N และค่า R มี วงจรดังรูปที่ 6.15



รูปที่ 6.15 วงจรเฟสล็อคลูปวงจรที่ใช้ที่การหารค่า N และค่า R

มีค่าหาร N ของ Tx ทั้งหมด 4 ค่า (4 channels) ดังนี้

N = 743 = 0001 0110 0111

N = 759 = 0010 1111 0111

N = 775 = 0011 0000 0111

N = 791 = 0011 0001 0111

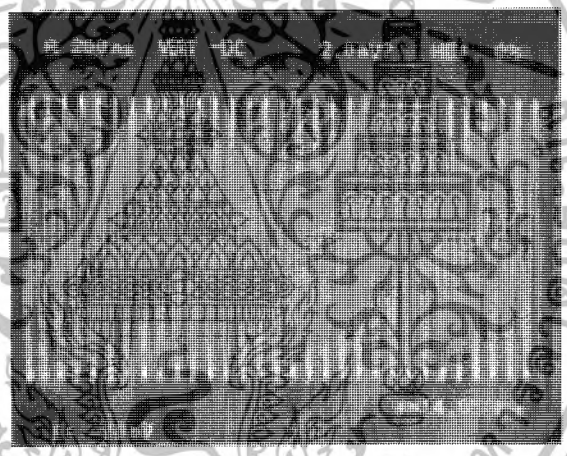
ทดลองปรับค่า N ให้เท่ากับเท่ากับ 743 759 775 791 ตามลำดับเพื่อผลิตความถี่ของพาหะเท่ากับ 14.86 MHz, 15.18 MHz, 15.50 MHz และ 15.82 MHz ผลการทดลองที่ได้แสดงดังตาราง ที่ 6.5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 6.5 แสดงค่าความถี่ที่ได้จากวงจรเฟสล็อคลูป

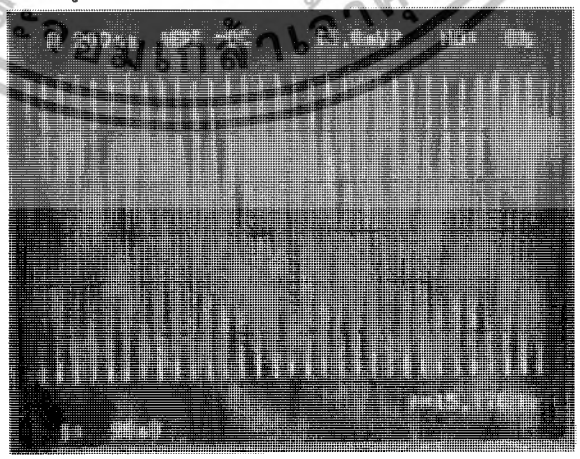
ช่องสัญญาณ	ค่าหาร N	ความถี่ที่วัดได้ (ค่าจริงจากการวัดวงจร)	ความถี่ที่วัดได้ (ค่าที่คำนวณ)
1	743	15.859 MHz	14.86 MHz
2	759	15.178 MHz	15.18 MHz
3	775	15.478 MHz	15.50 MHz
4	791	15.818 MHz	15.82 MHz

รูปสัญญาณที่ได้จากหาความถี่ที่ได้จากวงจรเฟสล็อคลูป



Volt/div=10mV/div Time/div= 200ns

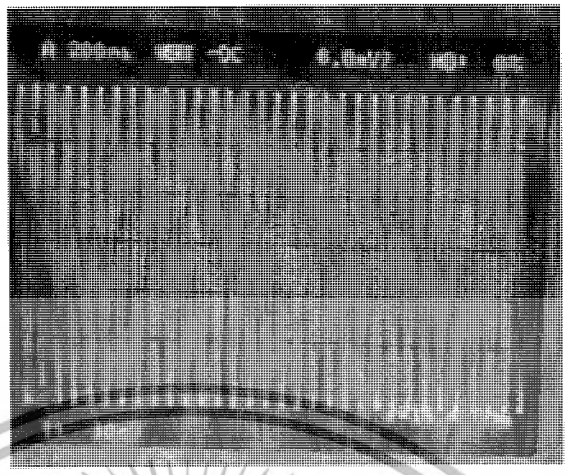
รูปที่ 6.16 ก. ความถี่ที่ได้เมื่อค่า N = 743



Volt/div=20mV/div Time/div= 200ns

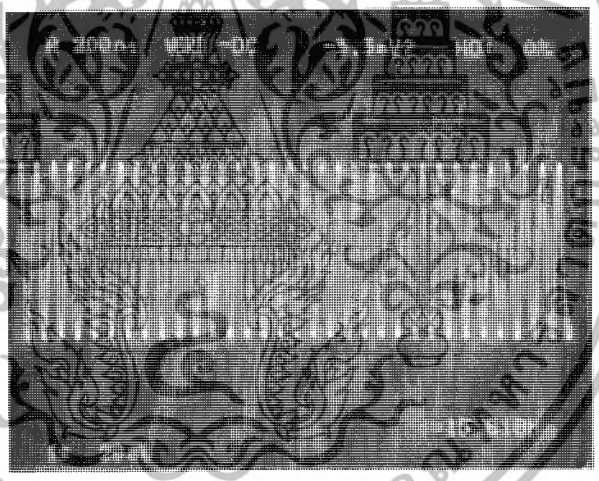
รูปที่ 6.16 ข. ความถี่ที่ได้เมื่อค่า N = 759

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Volt/div=10mV/div Time/div= 200ns

รูปที่ 6.16 ค. ความถี่ที่ได้เมื่อค่า N = 775



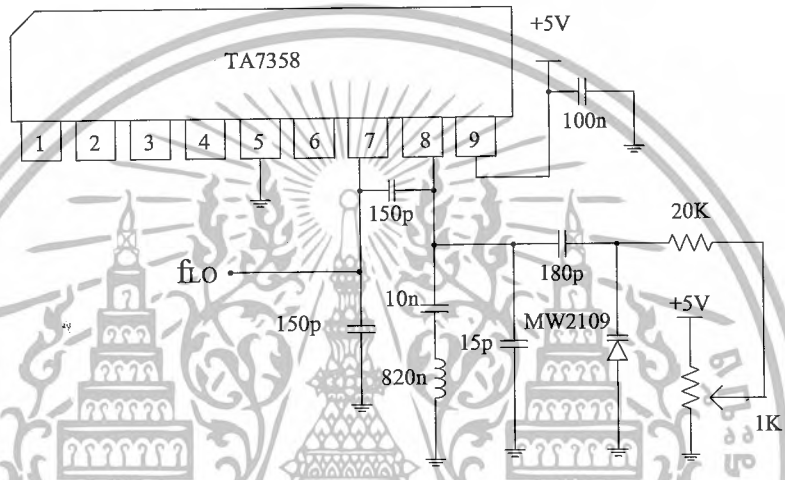
Volt/div=20mV/div Time/div= 200ns

รูปที่ 6.16 ง. ความถี่ที่ได้เมื่อค่า N = 791

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2.2 การทดลองในส่วนของ Voltage Control Oscillator (VCO)

วงจร VCO ในส่วนของภาครับนั้นทำหน้าที่เป็นตัวกำเนิดความถี่ LOCAL (Local Oscillator) ให้ผลิตความถี่คลื่น 14.86MHz ถึง 15.82MHz ซึ่งทำงานร่วมกับ Phase Detector และ Low Pass Filter เพื่อเป็นวงจรเฟสล็อคลูป (Phase lock loop) โดยจะล็อคความถี่ให้คงที่มากขึ้น โดยในส่วนของวงจร VCO มีองค์ประกอบดังรูปที่ 6.17



รูปที่ 6.17 วงจรในส่วนของ Voltage Control Oscillator

ทดลองป้อนแรงดันตั้งแต่ 0 โวลท์ ถึง 5 โวลท์ โดยเพิ่มทีละ 0.25 โวลท์ วัดค่าความถี่ที่ได้ที่ตำแหน่ง f_{LO} ที่แรงดันค่า ต่างๆได้ผลดังตารางที่ 6.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

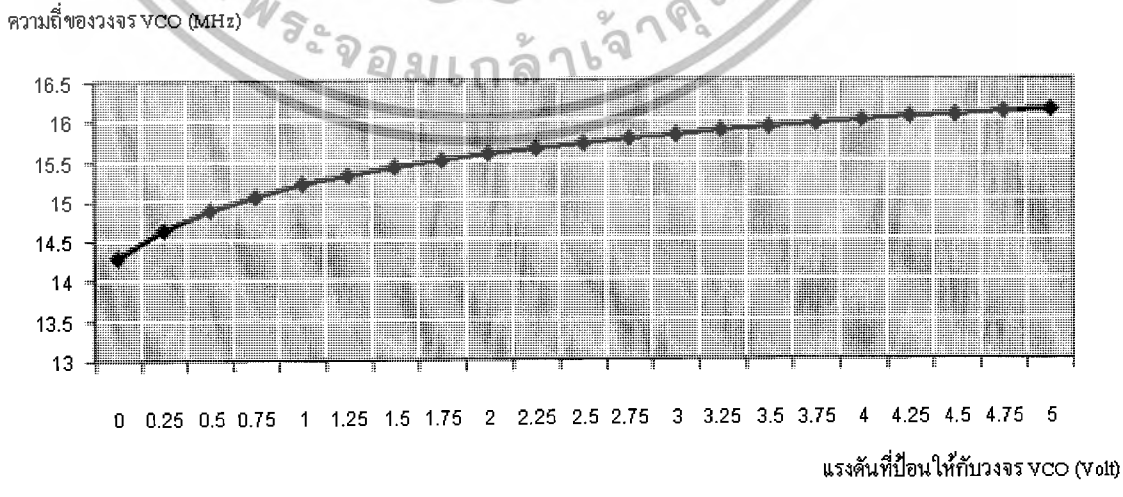
ตารางที่ 6.6 แสดงการเปลี่ยนแปลงของความถี่เอาท์พุทเมื่อแรงดันอินพุตเปลี่ยนแปลง

แรงดัน (V)	ความถี่ (MHz)
0.00	14.30
0.25	14.65
0.50	14.89
0.75	15.06
1.00	15.22
1.25	15.32
1.50	15.42
1.75	15.51
2.00	15.59
2.25	15.66
2.50	15.72

แรงดัน (V)	ความถี่ (KHz)
2.75	15.78
3.00	15.83
3.25	15.88
3.50	15.92
3.75	15.96
4.00	16.00
4.25	16.04
4.50	16.07
4.75	16.10
5.00	16.13

นำค่าที่ได้จากตารางมาแสดงเป็นกราฟแสดงความสัมพันธ์ระหว่างแรงดันและความถี่ได้ดัง

รูปที่ 6.18



รูปที่ 6.18 แสดงความสัมพันธ์ระหว่าง Frequency controlled voltage กับความถี่ที่วงจร VCO สร้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากกราฟที่ได้ ทำการเลือกขอบเขตขอความถี่ที่ใช้งาน คือ 14.65 MHz ที่ 0.25V จนถึง 16.00 MHz ที่ 4.00 V ซึ่งทำให้สามารถหาค่า K_{VCO} ได้จาก

$$K_{VCO} = \frac{2\pi\Delta f_{VCO}}{\Delta vVCO}$$

ซึ่งทำให้ได้ค่า K_{VCO} เท่ากับ $2.262M\frac{Rad/Sec}{V}$

6.2.3 การออกแบบ Low Pass Filter วงจรเฟสล็อคลูป

วงจรเฟสล็อคลูป จะต้องมีวงจร Low Pass Filter เพื่อกรององค์ประกอบความถี่สูงที่ออกมาจากภาค Phase Detector ให้เหลือแต่เพียงแรงดันไฟตรงมาเป็นแรงดันใน การควบคุมความถี่ที่วงจร VCO ผลิตออกมาได้ค่าคงที่ตรงกับ ความถี่ Local Oscillator ที่ต้องการของในแต่ละช่องสัญญาณในการรับสัญญาณ RF จากสายไฟบ้าน ซึ่งมีขั้นตอนการออกแบบดังนี้

เนื่องจากวงจร Phase Detector ที่ใช้เป็นแบบ 3 states PFD ซึ่งมี

$$\Delta v_{OUT\,PD} = 4.8\,V$$

จากนั้นสามารถหาค่า K_d ได้ โดย

$$K_d = \frac{\Delta v_{OUT\,PD}}{4\pi}$$

$$= 0.382\,\frac{V}{Rad}$$

ทำการหาค่า Pull out range $(\Delta\omega_{PO})$ ซึ่งเป็นย่านที่ Phase lock loop ยังคงสถานะล็อคอยู่ได้ หรือ กล่าวอีกความหมายหนึ่งคือ หากมีการเปลี่ยนแปลงความถี่ (VCO) ที่มากกว่าค่า$(\Delta\omega_{PO})_{MAX}$ วงจร Phase lock loop จะไม่สามารถล็อคความถี่อยู่ได้นั่นเอง

ซึ่งจากการคำนวณ ได้ค่า

$$(\Delta\omega_{PO})_{MAX} = 9.97K\frac{\mathrm{Red}}{Sec}\,LoopBW \approx 0.2\omega_{modMin} = 62.831\frac{\mathrm{Red}}{Sec}$$

จึงทดลองให้ค่า $(\Delta\omega_{PO})$ เท่ากับ $4.985K\frac{\mathrm{Red}}{Sec}$ $((\Delta\omega_{PO}) < (\Delta\omega_{PO})_{MAX})$

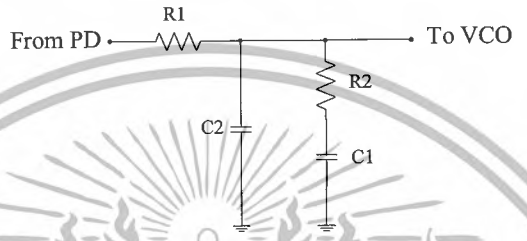
ทำให้ทราบค่า ความถี่ธรรมชาติของวงจร Low pass filter (ω_n) โดย ω_n โดยมีค่าเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega_n = \frac{\Delta\omega_{PO}}{11.55(\delta + 0.5)} \qquad \delta : damping\ factor$$

กำหนด δ เท่ากับ 1.14 ทำให้ได้ $\omega_n = 377.94 \frac{\mathrm{Re}d}{Sec}$

นำค่าพารามิเตอร์ต่างๆ ไปทำการออกแบบวงจร LPF ดังรูปที่ 6.19 ซึ่งเป็นวงจรกรองอันดับสองเพื่อขจัดองค์ประกอบความถี่สูงมากๆออกไปได้ดีกว่าวงจรกรองอันดับหนึ่ง



รูปที่ 6.19 วงจร Low pass Filter

จากวงจร Low pass filter สามารถหา Transfer function ได้ดังนี้

$$H(s) = \frac{\omega_{p1}\omega_{p2}}{\omega_z} \cdot \frac{s + \omega_z}{(s + \omega_{p1})(s + \omega_{p2})}$$

$$(\omega_{p2} \gg \omega_z)$$

โดย

$$\omega_{p1} = \frac{1}{\tau_1 + \tau_2} = \frac{1}{C_1(R_1 + R_2)}$$

$$\omega_z = \frac{1}{\tau_2} = \frac{1}{R_2 C_1}$$

$$\omega_{p2} = \frac{1}{R_{\omega p2} C_2} \qquad ; R_{\omega p2} = R_1 // R_2$$

จากการเทียบสัมประสิทธิ์ จะได้

$$\tau_1 + \tau_2 = \frac{K}{N_T \omega_n^2} \qquad ; K = K_d K_{VCO}$$

$$\tau_2 = \frac{2\delta}{\omega_n}$$

$$\tau_1 = (\tau_1 + \tau_2) - \tau_2$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แทนค่าพารามิเตอร์ต่างๆ เพื่อหาค่า R_1, R_2, C_1 และ C_2 ได้ ดังนี้

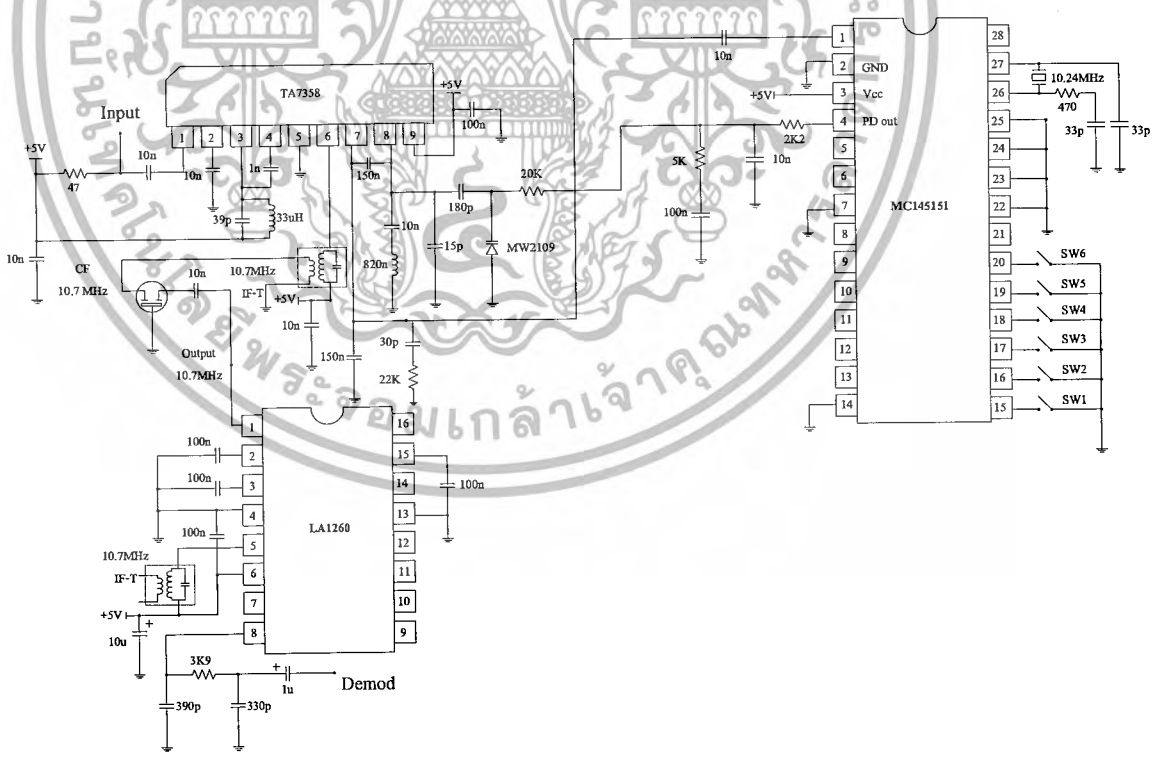
$R_1 = 2.2 \quad k\Omega$ $\qquad$ $C_1 = 100$ nF

$R_2 = 5.0 \quad k\Omega$ $\qquad$ $C_2 = 10$ nF

ทดลองวัดค่าความถี่ LOCAL OSCILLATOR ที่ขา 8 ของ ไอซี TA 7358 ซึ่งได้ค่าตามที่กำหนด คือ 14.86 MHz, 15.18 MHz, 15.50 MHz และ 15.82 MHz

6.2.4 การทดลองในส่วนวงจรภาค IF 10.7 MHz และ Demodulator

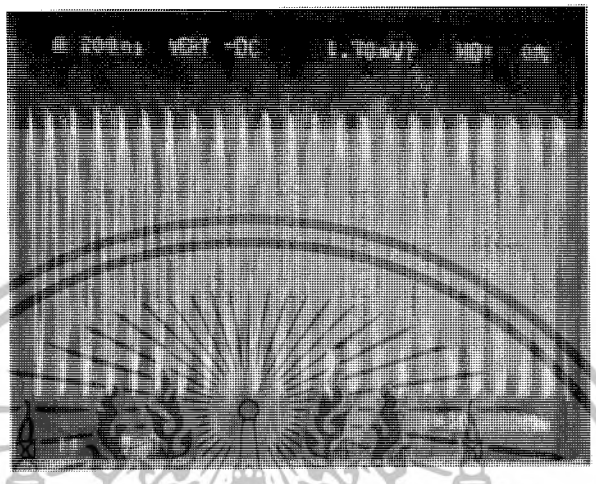
ภาค IF เป็นส่วนหลังจากภาค Mixer ซึ่งเป็นการผสมคลื่น RF กับ LOCAL OSC เพื่อให้ได้ความถี่ 10.7 MHz ซึ่งเป็นความถี่มาตรฐาน สามารถหาอุปกรณ์ที่ใช้เป็น Band pass filter ได้ง่าย เช่น ceramic filter ในวงจรนี้ ซึ่งหลังจากได้สัญญาณ IF แล้วสัญญาณก็จะถูก Demod โดยผ่านกระบวนการ Quadrature detector



รูปที่ 6.20 วงจรส่วน IF และ Demodulator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการทดลอง ป้อนสัญญาณ RF ความถี่ 4.16 MHz 60dbu เข้าที่ขาRF IN ขา 1 ของ ไอซี TA7358 แล้วทดลองวัดความถี่ IF จะได้สัญญาณ ดังรูปที่ 6.11

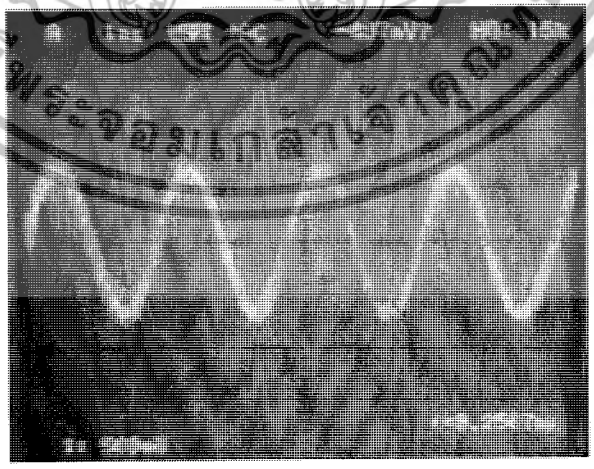


Volt/div=5mV/div Time/div= 200ns

รูปที่ 6.21 สัญญาณ IF ที่วัดได้เมื่อ ป้อนสัญญาณ RF ความถี่ 4.16 MHz 60 dBu

ทดลอง ป้อนสัญญาณ RF ความถี่ 4.16 - 5.12 MHz ขนาด 50-60 dBu เข้าที่ RF IN ขา 1 ของ ไอซี TA7358 แล้วทดลองวัดสัญญาณที่ได้จากการ Demodulation ที่ FM Demodulator ขา 8 ของ IC LA1260 และสัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ขา 4 และ ขา 5 ตามลำดับ

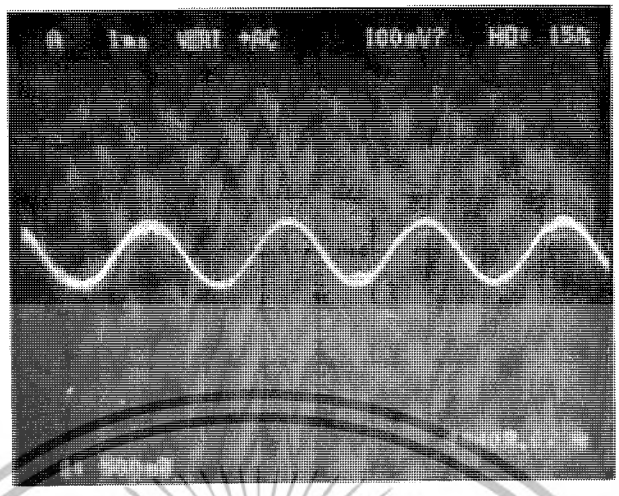
รูปสัญญาณที่ได้จากการวัดสัญญาณที่ได้จากการ Demodulation และสัญญาณข้อมูล R,L



Volt/div=500mV/div Time/div= 1ms

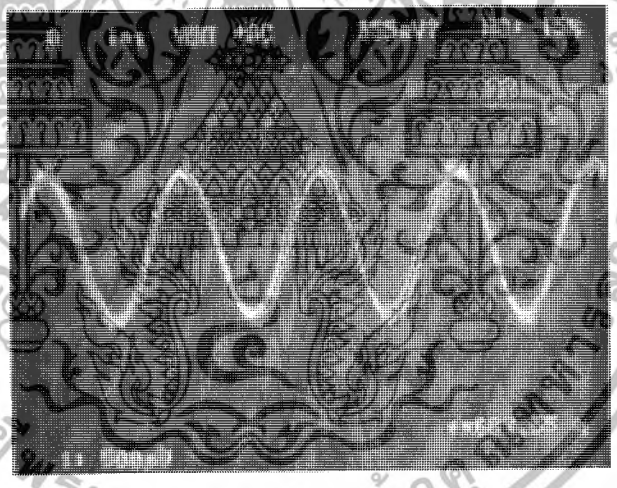
รูปที่ 6.22 สัญญาณที่ได้จากการ Demodulation ที่ความถี่ 4.16 MHz 50 dBu

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Volt/div=500mV/div Time/div= 1ms

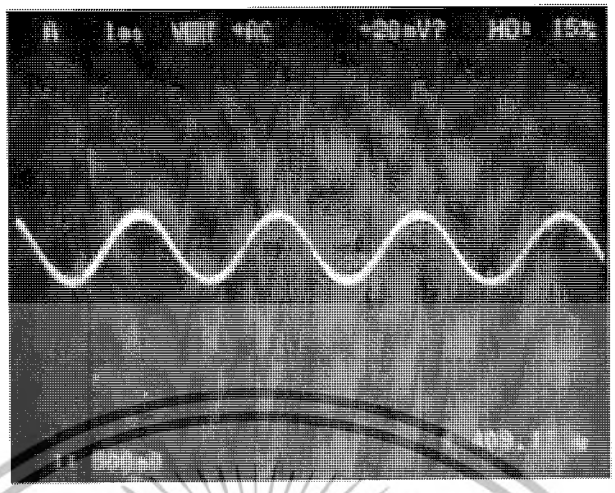
รูปที่ 6.23 สัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ความถี่ 4.16 MHz 50 dBu



Volt/div=500mV/div Time/div= 1ms

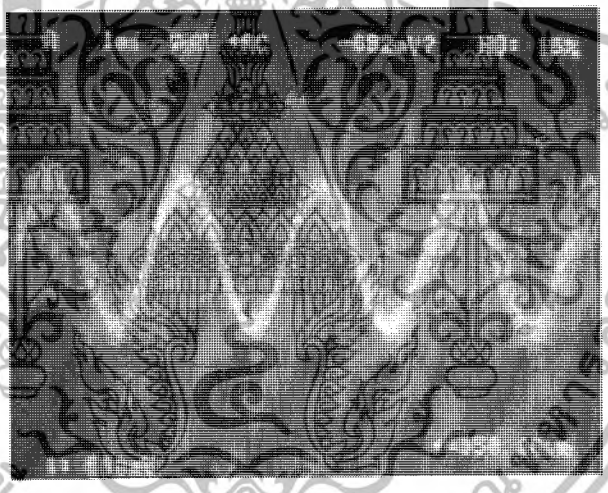
รูปที่ 6.24 สัญญาณที่ได้จากการ Demodulation ที่ความถี่ 4.16 MHz 60 dBu

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Volt/div=500mV/div Time/div= 1ms

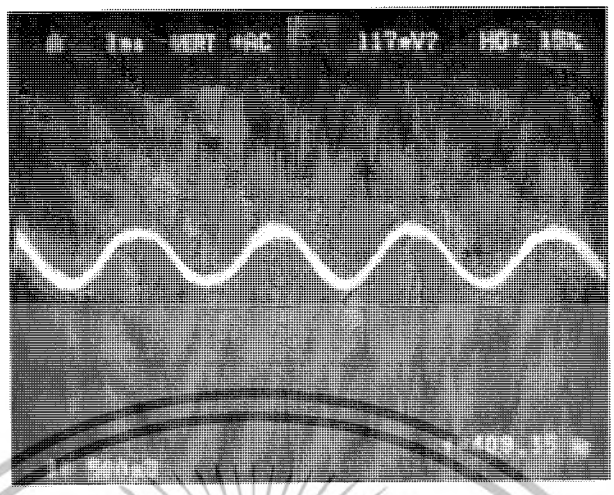
รูปที่ 6.25 สัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ความถี่ 4.16 MHz 60 dBu



Volt/div=500mV/div Time/div= 1ms

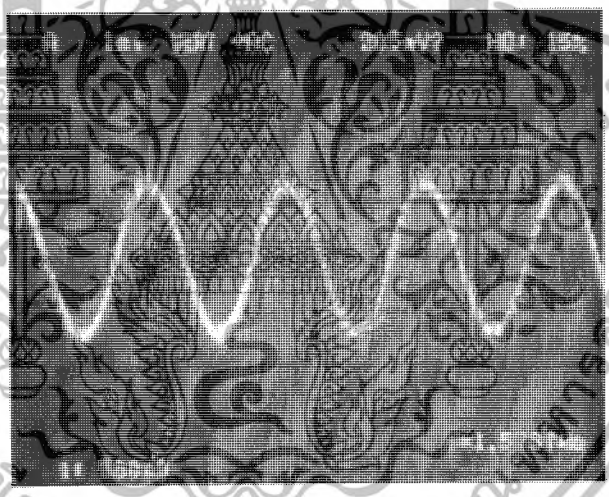
รูปที่ 6.26 สัญญาณที่ได้จากการ Demodulation ที่ความถี่ 4.48 MHz 50 dBu

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Volt/div=500mV/div Time/div= 1ms

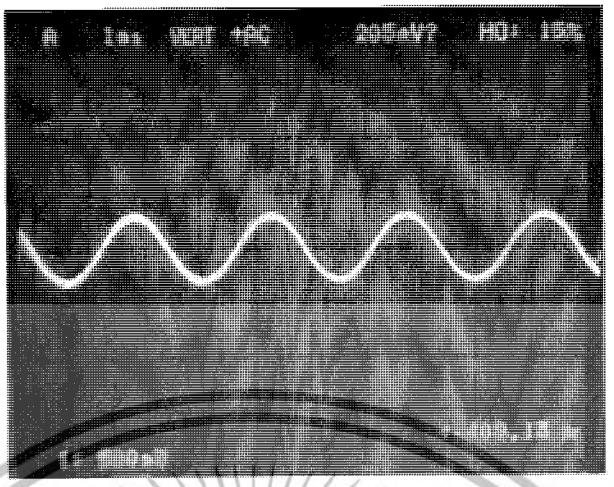
รูปที่ 6.27 สัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ความถี่ 4.48 MHz 50 dBu



Volt/div=500mV/div Time/div= 1ms

รูปที่ 6.28 สัญญาณที่ได้จากการ Demodulation ที่ความถี่ 4.48 MHz 60 dBu

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



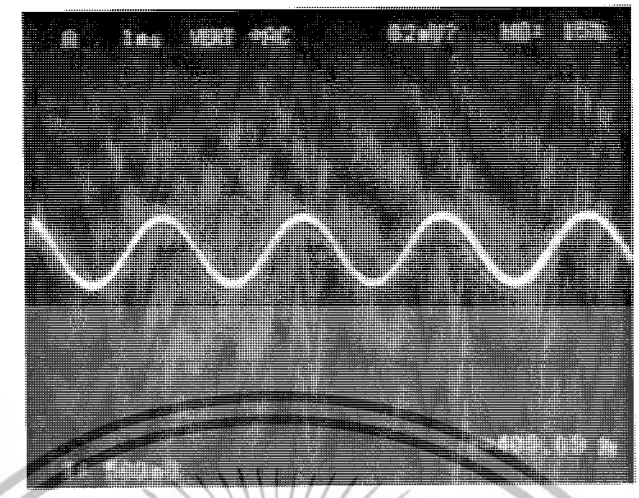
Volt/div=500mV/div Time/div= 1ms

รูปที่ 6.29 สัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ความถี่ 4.48 MHz 60 dBu

Volt/div=500mV/div Time/div= 1ms

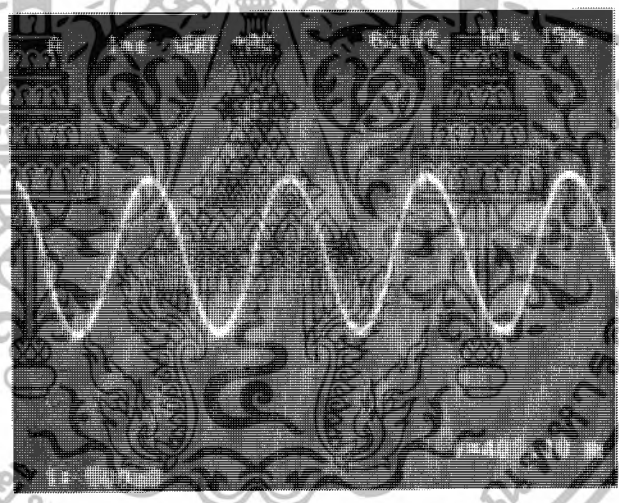
รูปที่ 6.30 สัญญาณที่ได้จากการ Demodulation ที่ความถี่ 4.80 MHz 50 dBu

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Volt/div=500mV/div Time/div= 1ms

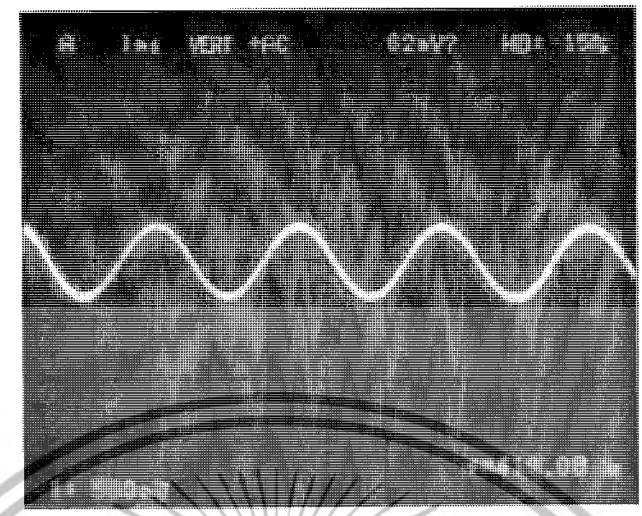
รูปที่ 6.31 สัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ความถี่ 4.80 MHz 50 dBu



Volt/div=500mV/div Time/div= 1ms

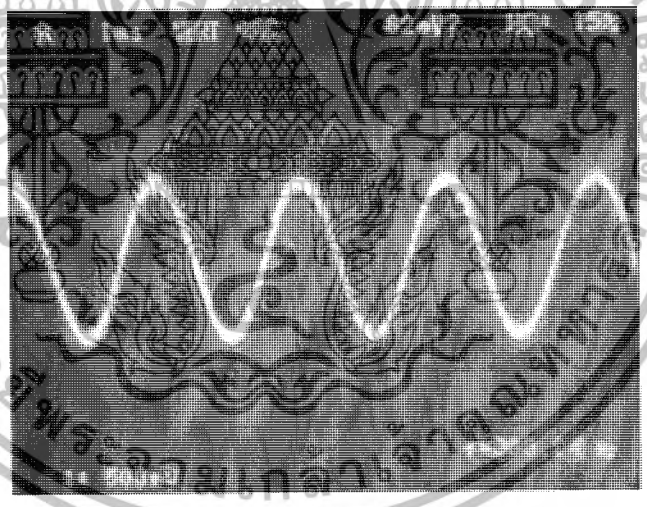
รูปที่ 6.32 สัญญาณที่ได้จากการ Demodulation ที่ความถี่ 4.80 MHz 60 dBu

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Volt/div=500mV/div Time/div= 1ms

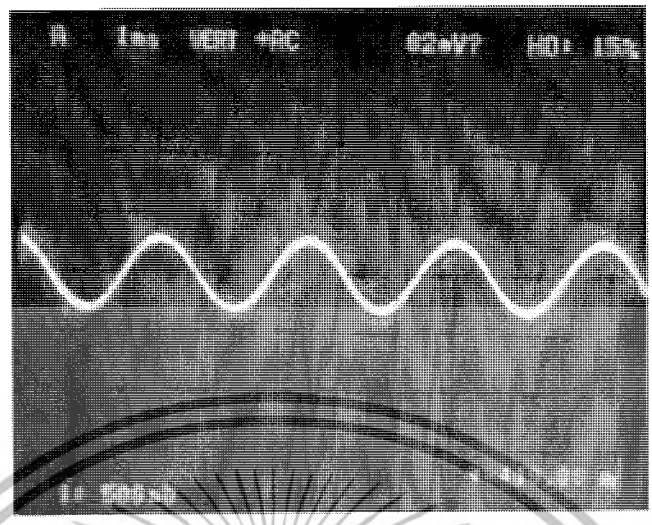
รูปที่ 6.33 สัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ความถี่ 4.80 MHz 60 dBu



Volt/div=500mV/div Time/div= 1ms

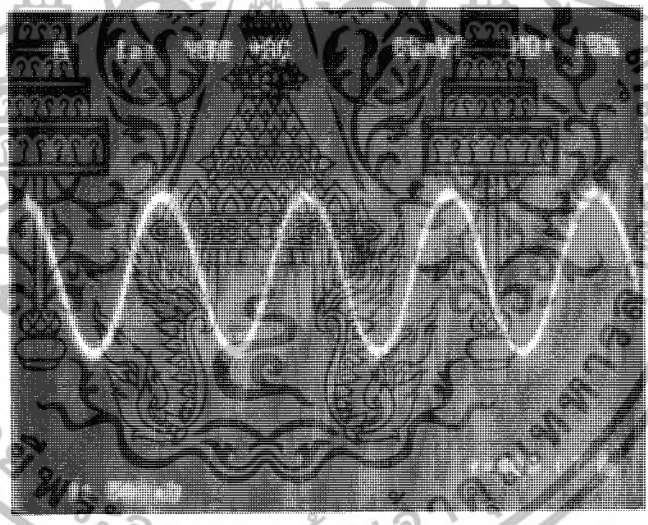
รูปที่ 6.34 สัญญาณที่ได้จากการ Demodulation ที่ความถี่ 5.12 MHz 50 dBu

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Volt/div=500mV/div Time/div= 1ms

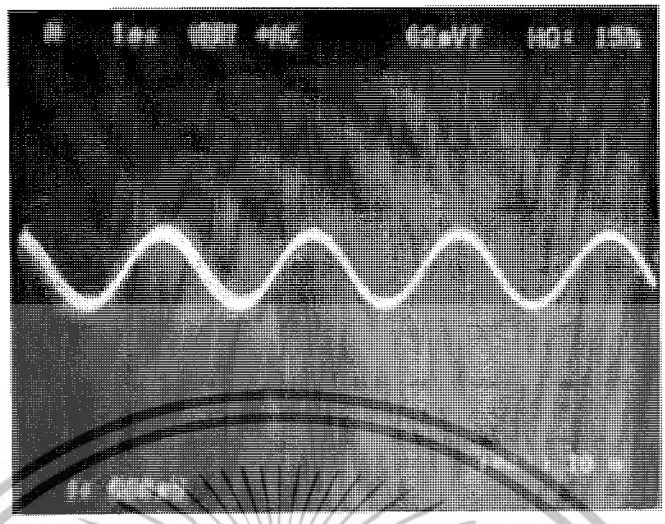
รูปที่ 6.35 สัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ความถี่ 5.12 MHz 50 dBu



Volt/div=500mV/div Time/div= 1ms

รูปที่ 6.36 สัญญาณที่ได้จากการ Demodulation ที่ความถี่ 5.12 MHz 60 dBu

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Volt/div=500mV/div Time/div= 1ms

รูปที่ 6.37 สัญญาณข้อมูล R,L ที่ได้จาก Demultiplex ที่ความถี่ 5.12 MHz 60 dBu

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปผลการทดลองภาคส่ง

การทดลองในส่วนของ Voltage Control Oscillator (VCO) ของภาคส่งซึ่งทำหน้าที่เป็นตัวกำเนิดความถี่พาหะ (Carrier) ผลที่ได้จากการทดลองสามารถผลิตความถี่คลื่นพาห์อยู่ในช่วง 4.16MHz – 5.12MHz จากการพล็อตกราฟความสัมพันธ์ระหว่างการเปลี่ยนแปลงของความถี่เอาท์พุทที่เกิดขึ้น จากการเปลี่ยนแปลงค่าแรงดันอินพุตของวงจร VCO นั้น จะได้ขนาดของ Vmod มีค่าอยู่ระหว่าง 2.25 - 3.5 Volt

การทดลอง Low pass Filter ซึ่งจะทำหน้าที่ป้องกันความถี่สูงที่เข้าไปรบกวนวงจร ซึ่งอาจทำให้วงจรไม่สามารถสร้างสัญญาณมัลติเพล็กซ์ได้ หรือหากมีความถี่ 19 kHz ภายนอกเข้าไปรบกวน ซึ่งอาจส่งผลให้การแยกสัญญาณของภาครับเกิดความผิดพลาดขึ้นได้ ซึ่งผลที่ได้จากการทดลอง เมื่อทำการป้อนแรงดันขนาดเท่ากับ 0.5 โวลต์ และทำการปรับค่าความถี่ในช่วงความถี่ 1 KHz จนถึง 25 KHz นั้น จะพบว่าที่ความถี่ 1 KHz – 10 KHz ขนาดของแรงดันมีค่าประมาณคงที่ คือไม่มีการเปลี่ยนแปลงใดๆเกิดขึ้น แต่สำหรับความถี่ในช่วง 11 KHz – 25 KHz นั้น พบว่าขนาดของแรงดันที่วัดได้มีขนาดลดลง ซึ่งเป็นไปตามคุณสมบัติของวงจร Low pass Filter แบบ Butterworth

การทดลองวงจรที่ทำหน้าที่สร้างสัญญาณสเตอริโอมัลติเพล็กซ์ องค์ประกอบความถี่ของ Stereo Multiplex ประกอบไปด้วย สัญญาณ (L+R) เท่ากับ 45 เปอร์เซ็นต์ สัญญาณ (L-R) ด้าน LSB เท่ากับ 22.5 เปอร์เซ็นต์ และด้าน USB เท่ากับ 22.5 เปอร์เซ็นต์ และพาหะไพล็อต (pilot Carrier) เท่ากับ 10 เปอร์เซ็นต์ ทำการปรับค่าตัวความต้านทานปรับค่าได้ตามอัตราส่วน ซึ่งทำการวัดด้วยเครื่อง Spectrum Analyzer เมื่อนำสัญญาณที่ออกมาจากเอาท์พุทของวงจร Low pass filter (L) และ (R) ไปป้อนเข้ายังวงจรสเตอริโอมัลติเพล็กซ์ วัดพาหะไพล็อต (pilot Carrier) พบว่าพาหะไพล็อตที่ได้มีค่าเท่ากับ 19.19 KHz

สรุปผลการทดลองภาครับ

การทดลองในส่วนของวงจรกำเนิดความถี่ Local Oscillator ของภาครับ ซึ่งทำงานร่วมกับ Phase Detector และ Low Pass Filter เพื่อเป็นวงจรเฟสล็อคลูป (Phase lock loop) โดยจะล็อคความถี่ให้คงที่มากขึ้น จากการทดลองสามารถผลิตความถี่ Local Oscillator อยู่ในช่วง14.86 MHz – 15.62MHz

การทดลองภาค IF ซึ่งเป็นส่วนหลังจากภาค Mixer ซึ่งเป็นการผสมคลื่น RF กับ LOCAL OSC เพื่อให้ได้ความถี่ 10.7 MHz ซึ่งเป็นความถี่กลาง และใช้ ceramic filter เป็น Band pass filter ในวงจรนี้ จากการทดลองจะได้ความถี่กลางประมาณ 10.7 MHz หลังจากได้สัญญาณ IF แล้ว สัญญาณก็จะถูก Demodulation โดยผ่านกระบวนการ Quadrature detector สัญญาณที่ได้จากการ

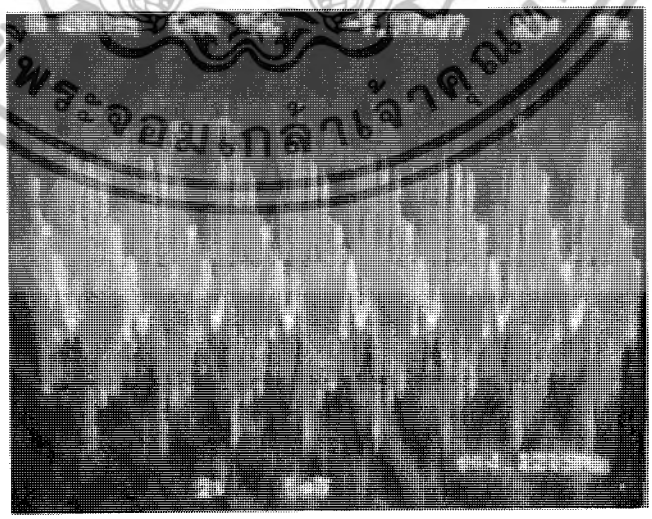
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Demodulation เป็นสัญญาณที่มีองค์ประกอบความถี่ที่ประกอบไปด้วย สัญญาณ(L+R) สัญญาณ (L-R) และพาหะไพล็อต (pilot Carrier) หลังจากนั้นจะผ่านกระบวนการ Demultiplex ซึ่งจะได้เป็นสัญญาณข้อมูล L และ R รูปที่ได้จากการทดลองเป็นสัญญาณรูป Sin wave ตรงกับสัญญาณ input ที่ป้อนเข้ามาในวงจร

ปัญหาและอุปสรรค

ขณะทำการทดลองระหว่างวงจรภาครับและวงจรภาคส่งเมื่อเราทำการป้อนเฉพาะสัญญาณพาหะ (Carrier) ที่ความถี่ 4.16 MHz – 5.12 MHz ตามลำดับ จากนั้นทำการวัดสัญญาณความถี่กลาง IF ในส่วนของวงจรภาครับ จะพบว่าวงจรภาครับสามารถรับสัญญาณได้ที่ระยะทางประมาณไม่เกิน 30 เซนติเมตร ค่าความถี่กลางที่วัดได้มีค่าเท่ากับ 10.7 MHz และพบว่าเมื่อวัดที่ระยะไกลขึ้นจะไม่สามารถอ่านค่าสัญญาณที่วัดได้อีก จากปัญหาที่เกิดขึ้นนี้พบว่ามีสาเหตุมาจากความเร็วของ Infrared ที่ไม่สามารถทำงานได้ทัน ถึงแม้ว่าจะเปลี่ยนมาใช้ Infrared แบบ High Speed แล้วก็ตาม ซึ่งจากการพิจารณาข้อมูลจาก datasheet จะพบว่าค่า rise time และ fall time ของ Infrared แบบ High Speed นี้มีค่าเท่ากับ 10 ns ซึ่งจากข้อมูลที่ได้นี้จะพบว่า Infrared แบบ High Speed สามารถรับส่งความถี่ได้ถึง 50 MHz ซึ่งจะเห็นว่าขัดกับผลการทดลองที่วัดได้

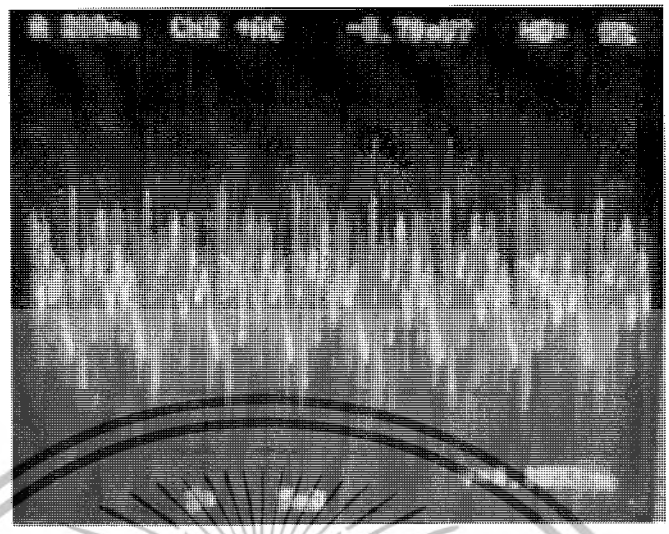
จากสาเหตุดังกล่าวที่เกิดขึ้น เราจึงทำการทดลองเพื่อทำการทดสอบความสามารถในการทำงานของ Infrared แบบ High Speed ว่าสามารถทำงานได้จริงตาม Spec ที่ระบุไว้ใน datasheet หรือไม่ โดยทำการทดลองเปรียบเทียบกับ Infrared แบบธรรมดา ซึ่งจะได้ผลการทดลองดังรูป 6.38 และ 6.39



Volt/div=5mV/div Time/div= 200ns

รูปที่ 6.38 สัญญาณที่ได้จากการใช้ Infrared ธรรมดา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Volt/div=5mV/div Time/div= 200ns

รูปที่ 6.39 สัญญาณที่ได้จากการใช้ Infrared แบบ High speed

จากรูปวงจรจะเห็นว่า รูปสัญญาณที่วัดได้จาก Infrared แบบธรรมดา กับ Infrared แบบ High Speed พบว่าสัญญาณที่ได้จะมีลักษณะเป็นสัญญาณรูปสามเหลี่ยม ซึ่งแตกต่างจากสัญญาณพาหะ (Carrier) ที่ได้จากขา 4 ของ IC 74HC4046 ที่มีรูปสัญญาณเป็นสัญญาณรูปพัลส์ ซึ่งเป็นสาเหตุที่ทำให้ Infrared แบบ High Speed นี้ ไม่สามารถทำงานได้ทัน นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ผศ. ประภากร สุวรรณะ, " High Frequency Communication ", ภาควิชาวิศวกรรมศาสตร์อิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
2. ผศ. ประภากร สุวรรณะ, " Electronics Engineering ", ภาควิชาวิศวกรรมศาสตร์อิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
3. ผศ. ดร. ลักฉกร วุฒิสิทธิกุลกิจ," หลักการไฟฟ้าสื่อสาร ", คณะวิศวกรรมศาสตร์ จุฬาลงกรณ์มหาวิทยาลัย พ.ศ. 2546
4. มงคล อัศวโกวิทกรณ์ และ วัตสัน ถิรภัทรพงศ์," การลดสัญญาณรบกวน ", สำนักพิมพ์ฟิสิกส์ เซนเตอร์ การพิมพ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

For a complete data sheet, please also download:

- The IC06 74HC/HCT/HCU/HCMOS Logic Family Specifications
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Information
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Outlines

74HC/HCT04
Hex inverter

Product specification
File under Integrated Circuits, IC06

September 1993

Philips Semiconductors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EATURES

Output capability: standard

I_{CC} category: SSI

ENERAL DESCRIPTION

he 74HC/HCT04 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). hey are specified in compliance with JEDEC standard no. 7A. The 74HC/HCT04 provide six inverting buffers.

UICK REFERENCE DATA

ND = 0 V; T_{amb} = 25 °C; $t_r = t_f$ = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/ t_{PLH}	propagation delay nA to nY	C_L = 15 pF; V_{CC} = 5 V	7	8	ns
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per gate	notes 1 and 2	21	24	pF

lotes

. C_{PD} is used to determine the dynamic power dissipation (P_D in µW):

$P_D = C_{PD} \times V_{CC}^2 \times f_i + \Sigma (C_L \times V_{CC}^2 \times f_o)$ where:

f_i = input frequency in MHz

f_o = output frequency in MHz

$\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

C_L = output load capacitance in pF

V_{CC} = supply voltage in V

. For HC the condition is V_I = GND to V_{CC}
For HCT the condition is V_I = GND to V_{CC} − 1.5 V

RDERING INFORMATION

ee *"74HC/HCT/HCU/HCMOS Logic Package Information"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 3, 5, 9, 11, 13	1A to 6A	data inputs
2, 4, 6, 8, 10, 12	1Y to 6Y	data outputs
7	GND	ground (0 V)
14	V_{CC}	positive supply voltage

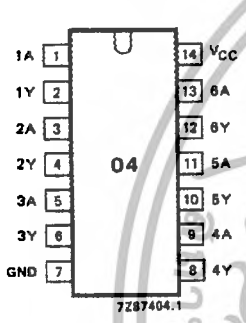


Fig.1 Pin configuration.

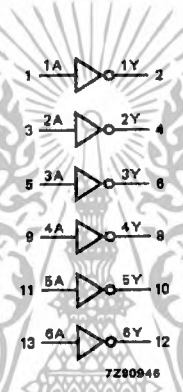


Fig.2 Logic symbol.

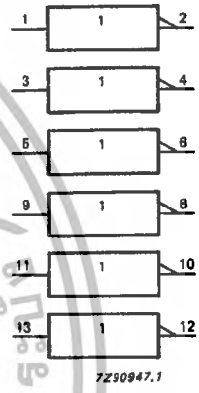


Fig.3 IEC logic symbol.

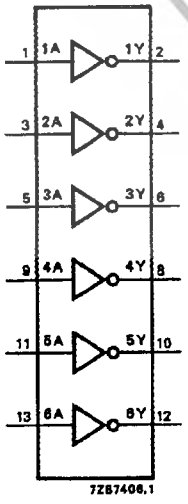


Fig.4 Functional diagram.

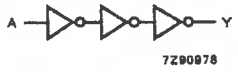


Fig.5 Logic diagram (one inverter).

FUNCTION TABLE

INPUT	OUTPUT
nA	nY
L	H
H	L

Notes

1. H = HIGH voltage level
   L = LOW voltage level

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C CHARACTERISTICS FOR 74HC

or the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

)utput capability: standard
:c category: SSI

.C CHARACTERISTICS FOR 74HC

;ND = 0 V; $t_r = t_f = 6$ ns; $C_L = 50$ pF

SYMBOL	PARAMETER	T_{amb} (°C)							UNIT	TEST CONDITIONS	
		74HC								V_{CC} (V)	WAVEFORMS
		+25			−40 to +85		−40 to +125				
		min.	typ.	max.	min.	max.	min.	max.			
t_{PHL}/ t_{PLH}	propagation delay nA to nY		25 9 7	85 17 14		105 21 18		130 26 22	ns	2.0 4.5 6.0	Fig.6
t_{THL}/ t_{TLH}	output transition time		19 7 6	75 15 13		95 19 16		110 22 19	ns	2.0 4.5 6.0	Fig.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C CHARACTERISTICS FOR 74HCT

ɔr the DC characteristics see *"74HC/HCT/HCU/HCMOS Logic Family Specifications"*.

utput capability: standard
:c category: SSI

ote to HCT types

he value of additional quiescent supply current (ΔI_{CC}) for a unit load of 1 is given in the family specifications.
o determine ΔI_{CC} per unit, multiply this value by the unit load coefficient shown in the table below.

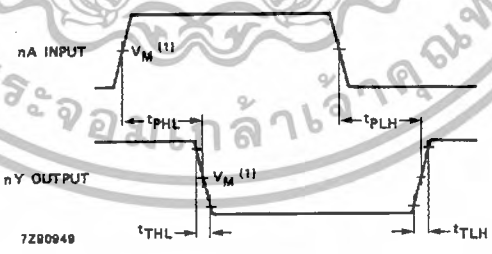
INPUT	UNIT LOAD COEFFICIENT
nA	1.20

.C CHARACTERISTICS FOR 74HC

;ND = 0 V; $t_r = t_f$ = 6 ns; C_L = 50 pF

SYMBOL	PARAMETER	T_{amb} (°C) 74HCT +25 min.	+25 typ.	+25 max.	−40 to +85 min.	−40 to +85 max.	−40 to +125 min.	−40 to +125 max.	UNIT	TEST CONDITIONS V_{CC} (V)	TEST CONDITIONS WAVEFORMS
t_{PHL}/ t_{PLH}	propagation delay nA to nY		10	19		24		29	ns	4.5	Fig.6
t_{THL}/ t_{TLH}	output transition time		7	15		19		22	ns	4.5	Fig.6

.C WAVEFORMS



(1) HC : V_M = 50%; V_I = GND to V_{CC}
HCT: V_M = 1.3 V; V_I = GND to 3 V

Fig.6 Waveforms showing the data input (nA) to data output (nY) propagation delays and the output transition times.

PACKAGE OUTLINES

See *"74HC/HCT/HCU/HCMOS Logic Package Outlines"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

For a complete data sheet, please also download:

- The IC06 74HC/HCT/HCU/HCMOS Logic Family Specifications
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Information
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Outlines

74HC/HCT4046A
Phase-locked-loop with VCO

Product specification
Supersedes data of September 1993
File under Integrated Circuits, IC06

1997 Nov 25

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Philips Semiconductors

PHILIPS

Phase-locked-loop with VCO 74HC/HCT4046A

EATURES

- Low power consumption
- Centre frequency of up to 17 MHz (typ.) at V_{CC} = 4.5 V
- Choice of three phase comparators: EXCLUSIVE-OR; edge-triggered JK flip-flop; edge-triggered RS flip-flop
- Excellent VCO frequency linearity
- VCO-inhibit control for ON/OFF keying and for low standby power consumption
- Minimal frequency drift
- Operating power supply voltage range: VCO section 3.0 to 6.0 V digital section 2.0 to 6.0 V
- Zero voltage offset due to op-amp buffering
- Output capability: standard
- I_{CC} category: MSI.

ENERAL DESCRIPTION

he 74HC/HCT4046A are high-speed Si-gate CMOS evices and are pin compatible with the "4046" of the 4000B" series. They are specified in compliance with EDEC standard no. 7A.

he 74HC/HCT4046A are phase-locked-loop circuits that omprise a linear voltage-controlled oscillator (VCO) and ıree different phase comparators (PC1, PC2 and PC3) ith a common signal input amplifier and a common omparator input.

he signal input can be directly coupled to large voltage gnals, or indirectly coupled (with a series capacitor) to mall voltage signals. A self-bias input circuit keeps small oltage signals within the linear region of the input mplifiers. With a passive low-pass filter, the "4046A" orms a second-order loop PLL. The excellent VCO nearity is achieved by the use of linear op-amp chniques.

he VCO requires one external capacitor C1 (between $C1_A$ and $C1_B$) and one external resistor R1 (between $C1_1$ and GND) or two external resistors R1 and R2 between R_1 and GND, and R_2 and GND). Resistor R1 nd capacitor C1 determine the frequency range of the CO. Resistor R2 enables the VCO to have a frequency ffset if required.

he high input impedance of the VCO simplifies the design f low-pass filters by giving the designer a wide choice of esistor/capacitor ranges. In order not to load the low-pass lter, a demodulator output of the VCO input voltage is provided at pin 10 (DEM_{OUT}). In contrast to conventional techniques where the DEM_{OUT} voltage is one threshold voltage lower than the VCO input voltage, here the DEM_{OUT} voltage equals that of the VCO input. If DEM_{OUT} is used, a load resistor (R_S) should be connected from DEM_{OUT} to GND; if unused, DEM_{OUT} should be left open. The VCO output (VCO_{OUT}) can be connected directly to the comparator input ($COMP_{IN}$), or connected via a frequency-divider. The VCO output signal has a duty factor of 50% (maximum expected deviation 1%), if the VCO input is held at a constant DC level. A LOW level at the inhibit input (INH) enables the VCO and demodulator, while a HIGH level turns both off to minimize standby power consumption.

The only difference between the HC and HCT versions is the input level specification of the INH input. This input disables the VCO section. The sections of the comparator are identical, so that there is no difference in the SIG_{IN} (pin 14) or $COMP_{IN}$ (pin 3) inputs between the HC and HCT versions.

Phase comparators

The signal input (SIG_{IN}) can be directly coupled to the self-biasing amplifier at pin 14, provided that the signal swing is between the standard HC family input logic levels. Capacitive coupling is required for signals with smaller swings.

Phase comparator 1 (PC1)

This is an EXCLUSIVE-OR network. The signal and comparator input frequencies (f_i) must have a 50% duty factor to obtain the maximum locking range. The transfer characteristic of PC1, assuming ripple ($f_r = 2f_i$) is suppressed, is: $V_{DEMOUT} = \frac{V_{CC}}{\pi}(\phi_{SIGIN} - \phi_{COMPIN})$

where V_{DEMOUT} is the demodulator output at pin 10; $V_{DEMOUT} = V_{PC1OUT}$ (via low-pass filter).

The phase comparator gain is: $K_p = \frac{V_{CC}}{\pi}$ (V/r).

The average output voltage from PC1, fed to the VCO input via the low-pass filter and seen at the demodulator output at pin 10 (V_{DEMOUT}), is the resultant of the phase differences of signals (SIG_{IN}) and the comparator input ($COMP_{IN}$) as shown in Fig.6. The average of V_{DEMOUT} is equal to $\frac{1}{2}V_{CC}$ when there is no signal or noise at SIG_{IN} and with this input the VCO oscillates at the centre frequency (f_o). Typical waveforms for the PC1 loop locked at f_o are shown in Fig.7.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

he frequency capture range ($2f_c$) is defined as the equency range of input signals on which the PLL will lock it was initially out-of-lock. The frequency lock range ^2f_L) is defined as the frequency range of input signals on hich the loop will stay locked if it was initially in lock. The apture range is smaller or equal to the lock range.

/ith PC1, the capture range depends on the low-pass ter characteristics and can be made as large as the lock ange.
his configuration retains lock even with very noisy input ignals. Typical behaviour of this type of phase omparator is that it can lock to input frequencies close to ne harmonics of the VCO centre frequency.

'hase comparator 2 (PC2)

his is a positive edge-triggered phase and frequency etector. When the PLL is using this comparator, the loop s controlled by positive signal transitions and the duty actors of SIG_{IN} and $COMP_{IN}$ are not important. PC2 omprises two D-type flip-flops, control-gating and a -state output stage. The circuit functions as an up-down ounter (Fig.5) where SIG_{IN} causes an up-count and $COMP_{IN}$ a down-count. The transfer function of PC2, ssuming ripple ($f_r = f_i$) is suppressed,

s: $V_{DEMOUT} = \frac{V_{CC}}{4\pi}(\phi_{SIGIN} - \phi_{COMPIN})$

/here V_{DEMOUT} is the demodulator output at pin 10; $V_{DEMOUT} = V_{PC2OUT}$ (via low-pass filter).

he phase comparator gain is: $K_p = \frac{V_{CC}}{4\pi}$ (V/r).

V_{DEMOUT} is the resultant of the initial phase differences of SIG_{IN} and $COMP_{IN}$ as shown in Fig.8. Typical waveforms or the PC2 loop locked at f_o are shown in Fig.9.

When the frequencies of SIG_{IN} and $COMP_{IN}$ are equal but ne phase of SIG_{IN} leads that of $COMP_{IN}$, the p-type utput driver at $PC2_{OUT}$ is held "ON" for a time corresponding to the phase difference (ϕ_{DEMOUT}). When he phase of SIG_{IN} lags that of $COMP_{IN}$, the n-type driver s held "ON".

When the frequency of SIG_{IN} is higher than that of $COMP_{IN}$, the p-type output driver is held "ON" for most of he input signal cycle time, and for the remainder of the cycle both n and p- type drivers are "OFF" (3-state). If the SIG_{IN} frequency is lower than the $COMP_{IN}$ frequency, then t is the n-type driver that is held "ON" for most of the cycle. Subsequently, the voltage at the capacitor (C2) of the ow-pass filter connected to $PC2_{OUT}$ varies until the signal and comparator inputs are equal in both phase and frequency. At this stable point the voltage on C2 remains constant as the PC2 output is in 3-state and the VCO input at pin 9 is a high impedance. Also in this condition, the signal at the phase comparator pulse output (PCP_{OUT}) is a HIGH level and so can be used for indicating a locked condition.

Thus, for PC2, no phase difference exists between SIG_{IN} and $COMP_{IN}$ over the full frequency range of the VCO. Moreover, the power dissipation due to the low-pass filter is reduced because both p and n-type drivers are "OFF" for most of the signal input cycle. It should be noted that the PLL lock range for this type of phase comparator is equal to the capture range and is independent of the low-pass filter. With no signal present at SIG_{IN} the VCO adjusts, via PC2, to its lowest frequency.

Phase comparator 3 (PC3)

This is a positive edge-triggered sequential phase detector using an RS-type flip-flop. When the PLL is using this comparator, the loop is controlled by positive signal transitions and the duty factors of SIG_{IN} and $COMP_{IN}$ are not important. The transfer characteristic of PC3, assuming ripple ($f_r = f_i$) is suppressed,

is: $V_{DEMOUT} = \frac{V_{CC}}{2\pi}(\phi_{SIGIN} - \phi_{COMPIN})$

where V_{DEMOUT} is the demodulator output at pin 10; $V_{DEMOUT} = V_{PC3OUT}$ (via low-pass filter).

The phase comparator gain is: $K_p = \frac{V_{CC}}{2\pi}$ (V/r).

The average output from PC3, fed to the VCO via the low-pass filter and seen at the demodulator output at pin 10 (V_{DEMOUT}), is the resultant of the phase differences of SIG_{IN} and $COMP_{IN}$ as shown in Fig.10. Typical waveforms for the PC3 loop locked at f_o are shown in Fig.11.

The phase-to-output response characteristic of PC3 (Fig.10) differs from that of PC2 in that the phase angle between SIG_{IN} and $COMP_{IN}$ varies between 0° and 360° and is 180° at the centre frequency. Also PC3 gives a greater voltage swing than PC2 for input phase differences but as a consequence the ripple content of the VCO input signal is higher. The PLL lock range for this type of phase comparator and the capture range are dependent on the low-pass filter. With no signal present at SIG_{IN} the VCO adjusts, via PC3, to its lowest frequency.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

UICK REFERENCE DATA

ND = 0 V; T_{amb} = 25 °C

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
o	VCO centre frequency	C1 = 40 pF; R1 = 3 kΩ; V_{CC} = 5 V	19	19	MHz
C_I	input capacitance (pin 5)		3.5	3.5	pF
C_{PD}	power dissipation capacitance per package	notes 1 and 2	24	24	pF

otes

. C_{PD} is used to determine the dynamic power dissipation (P_D in μW):

$P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o)$ where:

f_i = input frequency in MHz.

f_o = output frequency in MHz.

C_L = output load capacitance in pF.

V_{CC} = supply voltage in V.

$\sum (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs.

. Applies to the phase comparator section only (VCO disabled). For power dissipation of the VCO and demodulator sections see Figs 22, 23 and 24.

ORDERING INFORMATION

See *"74HC/HCT/HCU/HCMOS Logic Package Information"*.

APPLICATIONS

FM modulation and demodulation
Frequency synthesis and multiplication
Frequency discrimination
Tone decoding
Data synchronization and conditioning
Voltage-to-frequency conversion
Motor-speed control.

PACKAGE OUTLINES

See *"74HC/HCT/HCU/HCMOS Logic Package Outlines"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1	PCP_{OUT}	phase comparator pulse output
2	$PC1_{OUT}$	phase comparator 1 output
3	$COMP_{IN}$	comparator input
4	VCO_{OUT}	VCO output
5	INH	inhibit input
6	$C1_A$	capacitor C1 connection A
7	$C1_B$	capacitor C1 connection B
8	GND	ground (0 V)
9	VCO_{IN}	VCO input
10	DEM_{OUT}	demodulator output
11	R_1	resistor R1 connection
12	R_2	resistor R2 connection
13	$PC2_{OUT}$	phase comparator 2 output
14	SIG_{IN}	signal input
15	$PC3_{OUT}$	phase comparator 3 output
16	V_{CC}	positive supply voltage

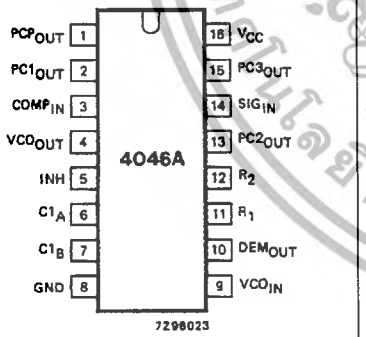


Fig.1 Pin configuration.

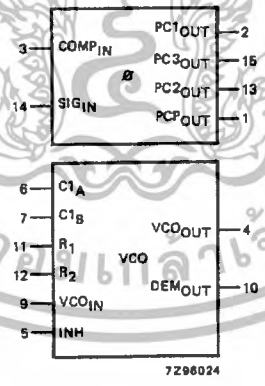


Fig.2 Logic symbol.

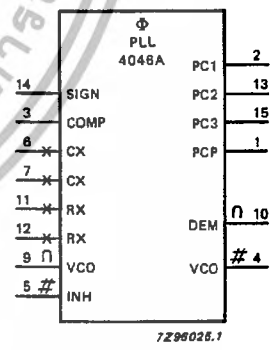


Fig.3 IEC logic symbol.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

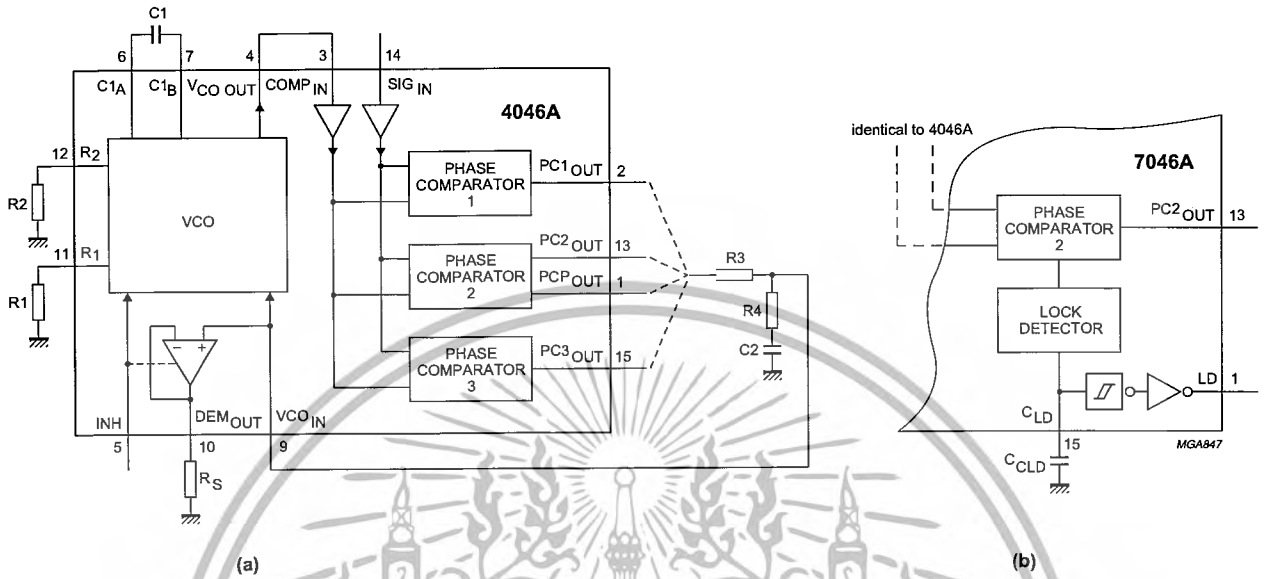


Fig.4 Functional diagram.

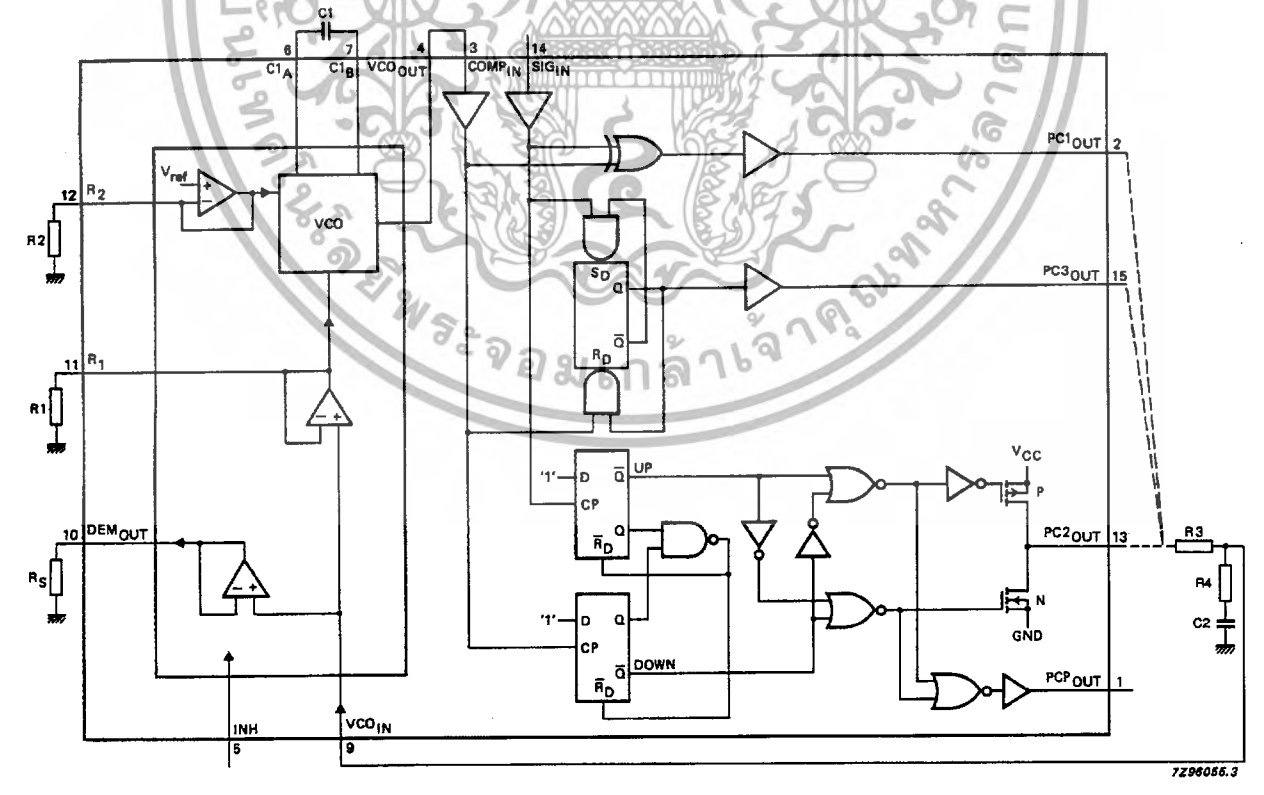
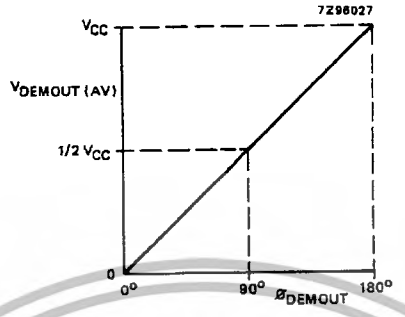


Fig.5 Logic diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$V_{DEMOUT} = V_{PC2OUT} = \frac{V_{CC}}{\pi}(\phi_{SIGIN} - \phi_{COMPIN})$

$\phi_{DEMOUT} = (\phi_{SIGIN} - \phi_{COMPIN})$.

Fig.6 Phase comparator 1: average output voltage versus input phase difference.

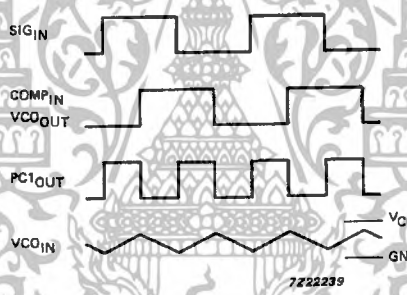
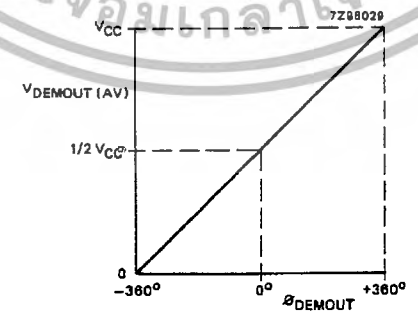


Fig.7 Typical waveforms for PLL using phase comparator 1, loop locked at f_o.



$V_{DEMOUT} = V_{PC2OUT} = \frac{V_{CC}}{4\pi}(\phi_{SIGIN} - \phi_{COMPIN})$

$\phi_{DEMOUT} = (\phi_{SIGIN} - \phi C_{OMPIN})$.

Fig.8 Phase comparator 2: average output voltage versus input phase difference.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

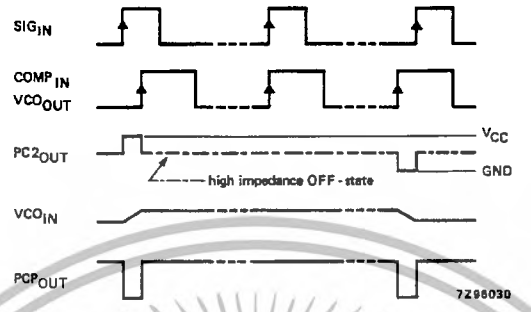
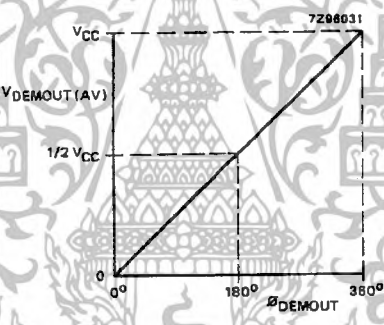


Fig.9 Typical waveforms for PLL using phase comparator 2, loop locked at f_o.



$$V_{DEMOUT} = V_{PC3OUT} = \frac{V_{CC}}{2\pi}(\phi_{SIGIN} - \phi_{COMPIN})$$

$$\phi_{DEMOUT} = (\phi_{SIGIN} - \phi_{COMPIN}).$$

Fig.10 Phase comparator 3: average output voltage versus input phase difference:

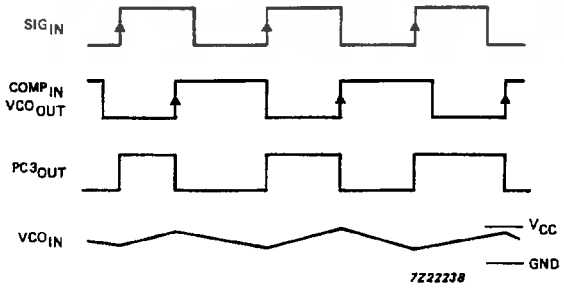


Fig.11 Typical waveforms for PLL using phase comparator 3, loop locked at f_o.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DATA SHEET

For a complete data sheet, please also download:

- The IC06 74HC/HCT/HCU/HCMOS Logic Family Specifications
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Information
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Outlines

74HC/HCT4053
Triple 2-channel analog multiplexer/demultiplexer

Product specification
File under Integrated Circuits, IC06

December 1990

Philips Semiconductors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Triple 2-channel analog multiplexer/demultiplexer

74HC/HCT4053

EATURES

Low "ON" resistance:
80 Ω (typ.) at $V_{CC} - V_{EE}$ = 4.5 V
70 Ω (typ.) at $V_{CC} - V_{EE}$ = 6.0 V
60 Ω (typ.) at $V_{CC} - V_{EE}$ = 9.0 V

Logic level translation:
to enable 5 V logic to communicate with ± 5 V analog signals

Typical "break before make" built in

Output capability: non-standard

I_{CC} category: MSI

ENERAL DESCRIPTION

he 74HC/HCT4053 are high-speed Si-gate CMOS levices and are pin compatible with the "4053" of the 4000B" series. They are specified in compliance with EDEC standard no. 7A.

The 74HC/HCT4053 are triple 2-channel analog multiplexers/demultiplexers with a common enable input ($\overline{E}$). Each multiplexer/demultiplexer has two independent inputs/outputs (nY_0 and nY_1), a common input/output (nZ) and three digital select inputs (S_1 to S_3).

With $\overline{E}$ LOW, one of the two switches is selected (low impedance ON-state) by S_1 to S_3. With $\overline{E}$ HIGH, all switches are in the high impedance OFF-state, independent of S_1 to S_3.

V_{CC} and GND are the supply voltage pins for the digital control inputs (S_1 to S_3, and $\overline{E}$). The V_{CC} to GND ranges are 2.0 to 10.0 V for HC and 4.5 to 5.5 V for HCT. The analog inputs/outputs (nY_0 and nY_1, and nZ) can swing between V_{CC} as a positive limit and V_{EE} as a negative limit. $V_{CC} - V_{EE}$ may not exceed 10.0 V.

For operation as a digital multiplexer/demultiplexer, V_{EE} is connected to GND (typically ground).

UICK REFERENCE DATA

V_{EE} = GND = 0 V; T_{amb} = 25 °C; $t_r = t_f$ = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PZH}/ t_{PZL}	turn "ON" time	C_L = 15 pF; R_L = 1 kΩ; V_{CC} = 5 V			
	$\overline{E}$ to V_{OS}		17	23	ns
	S_n to V_{OS}		21	21	ns
t_{PHZ}/ t_{PLZ}	turn "OFF" time				
	$\overline{E}$ to V_{OS}		18	20	ns
	S_n to V_{OS}		17	19	ns
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per switch	notes 1 and 2	36	36	pF
C_S	max. switch capacitance				
	independent (Y)		5	5	pF
	common (Z)		8	8	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW):
   $P_D = C_{PD} \times V_{CC}^2 \times f_i + \Sigma \{(C_L + C_S) \times V_{CC}^2 \times f_o\}$ where:
   f_i = input frequency in MHz; f_o = output frequency in MHz
   $\Sigma \{(C_L + C_S) \times V_{CC}^2 \times f_o\}$ = sum of outputs
   C_L = output load capacitance in pF; C_S = max. switch capacitance in pF
   V_{CC} = supply voltage in V
2. For HC the condition is V_I = GND to V_{CC}
   For HCT the condition is V_I = GND to V_{CC} – 1.5 V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

RDERING INFORMATION

ee *"74HC/HCT/HCU/HCMOS Logic Package Information"*.

IN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
:, 1	$2Y_0$ to, $2Y_1$	independent inputs/outputs
;, 3	$3Y_0$ to, $3Y_1$	independent inputs/outputs
;	$\overline{E}$	enable input (active LOW)
'	V_{EE}	negative supply voltage
;	GND	ground (0 V)
1, 10, 9	S_1 to S_3	select inputs
2, 13	$1Y_0$, $1Y_1$	independent inputs/outputs
4, 15, 4	1Z to 3Z	common inputs/outputs
6	V_{CC}	positive supply voltage

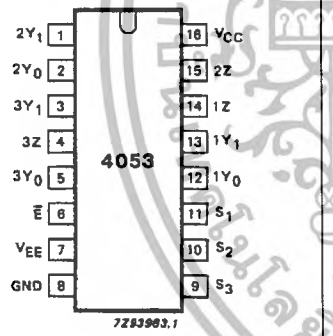


Fig.1 Pin configuration.

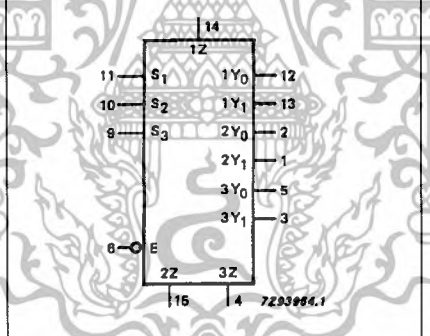


Fig.2 Logic symbol.

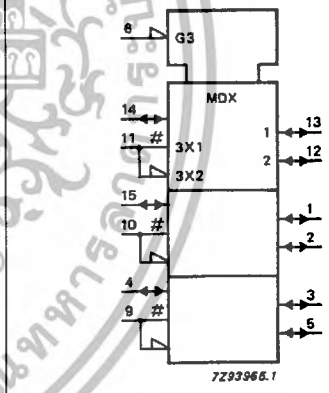


Fig.3 IEC logic symbol.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TEXAS INSTRUMENTS

Data sheet acquired from Harris Semiconductor
SCHS221

November 1997

CD74HC40103, CD74HCT40103

High Speed CMOS Logic 8-Stage Synchronous Down Counters

Features

- Synchronous or Asynchronous Preset
- Cascadable in Synchronous or Ripple Mode
- Fanout (Over Temperature Range)
  - Standard Outputs . . . . . 10 LSTTL Loads
  - Bus Driver Outputs . . . . . 15 LSTTL Loads
- Wide Operating Temperature Range . . . -55°C to 125°C
- Balanced Propagation Delay and Transition Times
- Significant Power Reduction Compared to LSTTL Logic ICs
- HC Types
  - 2V to 6V Operation
  - High Noise Immunity: N_{IL} = 30%, N_{IH} = 30% of V_{CC} at V_{CC} = 5V
- HCT Types
  - 4.5V to 5.5V Operation
  - Direct LSTTL Input Logic Compatibility, V_{IL} = 0.8V (Max), V_{IH} = 2V (Min)
  - CMOS Input Compatibility, $I_I \leq 1\mu A$ at V_{OL}, V_{OH}

Ordering Information

PART NUMBER	TEMP. RANGE (°C)	PACKAGE	PKG. NO.
CD74HC40103E	-55 to 125	16 Ld PDIP	E16.3
CD74HCT40103E	-55 to 125	16 Ld PDIP	E16.3
CD74HC40103M	-55 to 125	16 Ld SOIC	M16.15
CD74HCT40103M	-55 to 125	16 Ld SOIC	M16.15

NOTES:

1. When ordering, use the entire part number. Add the suffix 96 to obtain the variant in the tape and reel.
2. Wafer or die for this part number is available which meets all electrical specifications. Please contact your local sales office or Harris customer service for ordering information.

Description

The Harris CD74HC40103 and CD74HCT40103 are manufactured with high speed silicon gate technology and consist of an 8-stage synchronous down counter with a single output which is active when the internal count is zero. The 40103 contains a single 8-bit binary counter. Each has control inputs for enabling or disabling the clock, for clearing the counter to its maximum count, and for presetting the counter either synchronously or asynchronously. All control inputs and the $\overline{TC}$ output are active-low logic.

In normal operation, the counter is decremented by one count on each positive transition of the CLOCK (CP). Counting is inhibited when the $\overline{TE}$ input is high. The $\overline{TC}$ output goes low when the count reaches zero if the $\overline{TE}$ input is low, and remains low for one full clock period.

When the $\overline{PE}$ input is low, data at the P0-P7 inputs are clocked into the counter on the next positive clock transition regardless of the state of the $\overline{TE}$ input. When the $\overline{PL}$ input is low, data at the P0-P7 inputs are asynchronously forced into the counter regardless of the state of the $\overline{PE}$, $\overline{TE}$, or CLOCK inputs. Input P0-P7 represent a single 8-bit binary word for the 40103. When the MR input is low, the counter is asynchronously cleared to its maximum count of 255_{10}, regardless of the state of any other input. The precedence relationship between control inputs is indicated in the truth table.

If all control inputs except $\overline{TE}$ are high at the time of zero count, the counters will jump to the maximum count, giving a counting sequence of 100 or 256 clock pulses long.

The 40103 may be cascaded using the $\overline{TE}$ input and the $\overline{TC}$ output, in either a synchronous or ripple mode. These circuits possess the the low power consumption usually associated with CMOS circuitry, yet have speeds comparable to low power Schottky TTL circuits and can drive up to 10 LSTTL loads.

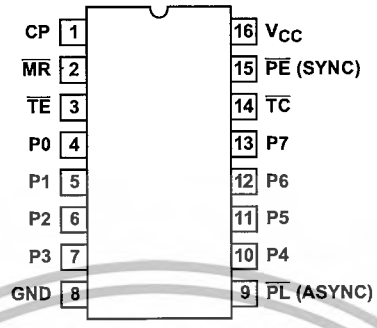
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CAUTION: These devices are sensitive to electrostatic discharge. Users should follow proper IC Handling Procedures.
Copyright © Harris Corporation 1997

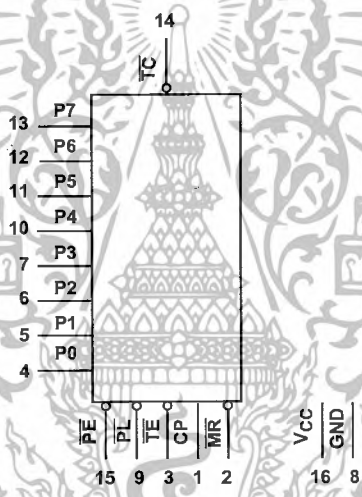
File Number 1596.1

Pinout

CD74HC40103, CD74HCT40103
(PDIP, SOIC)
TOP VIEW



Functional Diagram



TRUTH TABLE

CONTROL INPUTS					
$\overline{MR}$	$\overline{PL}$	$\overline{PE}$	$\overline{TE}$	PRESET MODE	ACTION
1	1	1	1	Synchronous	Inhibit Counter
1	1	1	0		Count Down
1	1	0	X		Preset On Next Positive Clock Transition
1	0	X	X	Asynchronously	Preset Asychronously
0	X	X	X		Clear to Maximum Count

NOTE:
1 = High Level.
0 = Low Level.
X = Don't Care.
Clock connected to clock input.
Synchronous Operation: changes occur on negative-to-positive clock transitions.
Load Inputs: MSB = P7, LSB = P0.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

bsolute Maximum Ratings

C Supply Voltage, V_{CC} ..... -0.5V to 7V
C Input Diode Current, I_{IK}
For V_I < -0.5V or V_I > V_{CC} + 0.5V .....±20mA
C Output Diode Current, I_{OK}
For V_O < -0.5V or V_O > V_{CC} + 0.5V .....±20mA
C Output Source or Sink Current per Output Pin, I_O
For V_O > -0.5V or V_O < V_{CC} + 0.5V .....±25mA
C V_{CC} or Ground Current, I_{CC} .....±50mA

Thermal Information

Thermal Resistance (Typical, Note 3) θ_{JA} ($^oC/W$)
PDIP Package 90
SOIC Package 160
Maximum Junction Temperature ..... 150°C
Maximum Storage Temperature Range .....-65°C to 150°C
Maximum Lead Temperature (Soldering 10s) ..... 300°C
(SOIC - Lead Tips Only)

perating Conditions

emperature Range, T_A .....-55°C to 125°C
upply Voltage Range, V_{CC}
HC Types .....2V to 6V
HCT Types .....4.5V to 5.5V
C Input or Output Voltage, V_I, V_O ..... 0V to V_{CC}
put Rise and Fall Time
2V ..... 1000ns (Max)
4.5V..... 500ns (Max)
6V ..... 400ns (Max)

AUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation f the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

OTE:

3. θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

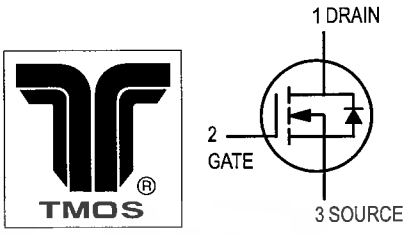
C Electrical Specifications

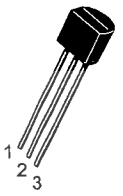
PARAMETER	SYMBOL	TEST CONDITIONS V_I (V)	TEST CONDITIONS I_O (mA)	V_{CC} (V)	25°C MIN	25°C TYP	25°C MAX	-40°C TO 85°C MIN	-40°C TO 85°C MAX	-55°C TO 125°C MIN	-55°C TO 125°C MAX	UNITS
HC TYPES												
High Level Input Voltage	V_{IH}	-	-	2	1.5	-	-	1.5	-	1.5	-	V
				4.5	3.15	-	-	3.15	-	3.15	-	V
				6	4.2	-	-	4.2	-	4.2	-	V
Low Level Input Voltage	V_{IL}	-	-	2	-	-	0.5	-	0.5	-	0.5	V
				4.5	-	-	1.35	-	1.35	-	1.35	V
				6	-	-	1.8	-	1.8	-	1.8	V
High Level Output Voltage CMOS Loads	V_{OH}	V_{IH} or V_{IL}	-0.02	2	1.9	-	-	1.9	-	1.9	-	V
			-0.02	4.5	4.4	-	-	4.4	-	4.4	-	V
			-0.02	6	5.9	-	-	5.9	-	5.9	-	V
High Level Output Voltage TTL Loads			-	-	-	-	-	-	-	-	-	V
			-4	4.5	3.98	-	-	3.84	-	3.7	-	V
			-5.2	6	5.48	-	-	5.34	-	5.2	-	V
Low Level Output Voltage CMOS Loads	V_{OL}	V_{IH} or V_{IL}	0.02	2	-	-	0.1	-	0.1	-	0.1	V
			0.02	4.5	-	-	0.1	-	0.1	-	0.1	V
			0.02	6	-	-	0.1	-	0.1	-	0.1	V
Low Level Output Voltage TTL Loads			-	-	-	-	-	-	-	-	-	V
			4	4.5	-	-	0.26	-	0.33	-	0.4	V
			5.2	6	-	-	0.26	-	0.33	-	0.4	V
Input Leakage Current	I_I	V_{CC} or GND	-	6	-	-	±0.1	-	±1	-	±1	µA
Quiescent Device Current	I_{CC}	V_{CC} or GND	0	6	-	-	8	-	80	-	160	µA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TMOS FET Switching
N–Channel — Enhancement

BS170





CASE 29–04, STYLE 30
TO–92 (TO–226AA)

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Drain–Source Voltage	V_{DS}	60	Vdc
Gate–Source Voltage — Continuous — Non–repetitive ($t_p \leq 50$ µs)	V_{GS} V_{GSM}	±20 ±40	Vdc Vpk
Drain Current(1)	I_D	0.5	Adc
Total Device Dissipation @ T_A = 25°C	P_D	350	mW
Operating and Storage Junction Temperature Range	T_J, T_{stg}	–55 to +150	°C

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
OFF CHARACTERISTICS					
Gate Reverse Current (V_{GS} = 15 Vdc, V_{DS} = 0)	I_{GSS}	—	0.01	10	nAdc
Drain–Source Breakdown Voltage (V_{GS} = 0, I_D = 100 µAdc)	$V_{(BR)DSS}$	60	90	—	Vdc
ON CHARACTERISTICS(2)					
Gate Threshold Voltage (V_{DS} = V_{GS}, I_D = 1.0 mAdc)	$V_{GS(Th)}$	0.8	2.0	3.0	Vdc
Static Drain–Source On Resistance (V_{GS} = 10 Vdc, I_D = 200 mAdc)	$r_{DS(on)}$	—	1.8	5.0	Ω
Drain Cutoff Current (V_{DS} = 25 Vdc, V_{GS} = 0 Vdc)	$I_{D(off)}$	—	—	0.5	µA
Forward Transconductance (V_{DS} = 10 Vdc, I_D = 250 mAdc)	g_{fs}	—	200	—	mmhos
SMALL–SIGNAL CHARACTERISTICS					
Input Capacitance (V_{DS} = 10 Vdc, V_{GS} = 0, f = 1.0 MHz)	C_{iss}	—	—	60	pF
SWITCHING CHARACTERISTICS					
Turn–On Time (I_D = 0.2 Adc) See Figure 1	t_{on}	—	4.0	10	ns
Turn–Off Time (I_D = 0.2 Adc) See Figure 1	t_{off}	—	4.0	10	ns

1. The Power Dissipation of the package may result in a lower continuous drain current.
2. Pulse Test: Pulse Width ≤ 300 µs, Duty Cycle ≤ 2.0%.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

© Motorola, Inc. 1997

RESISTIVE SWITCHING

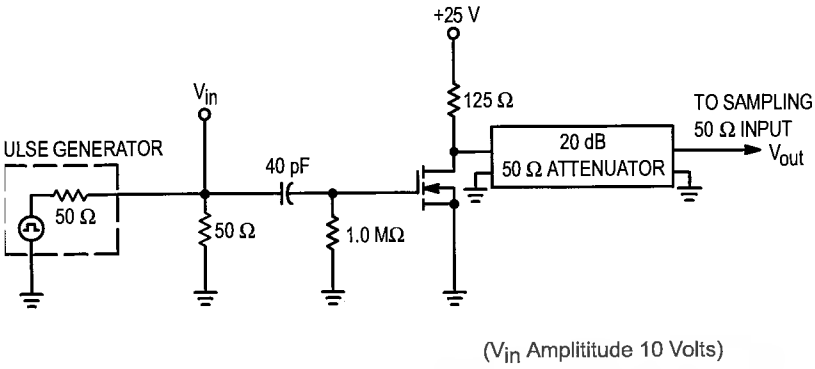


Figure 1. Switching Test Circuit

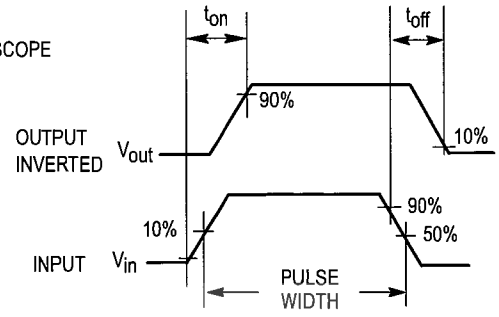


Figure 2. Switching Waveforms

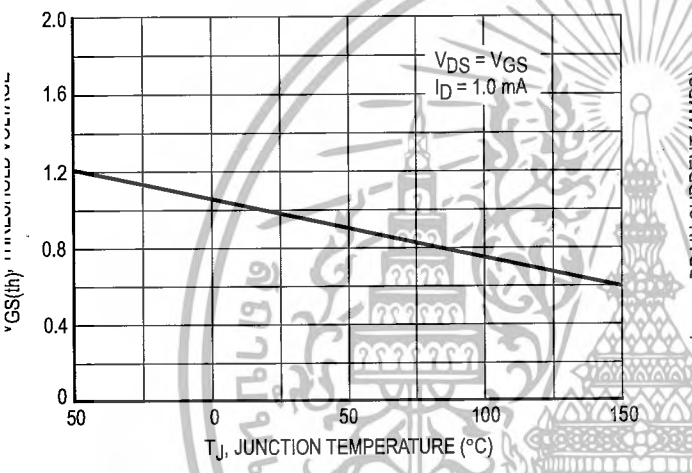


Figure 3. $V_{GS(th)}$ Normalized versus Temperature

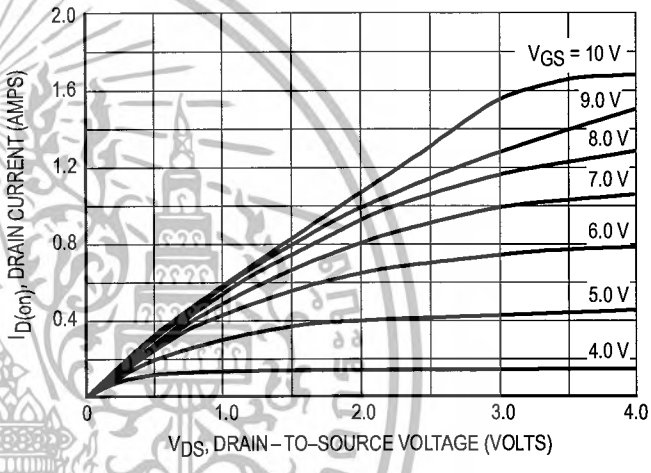


Figure 4. On–Region Characteristics

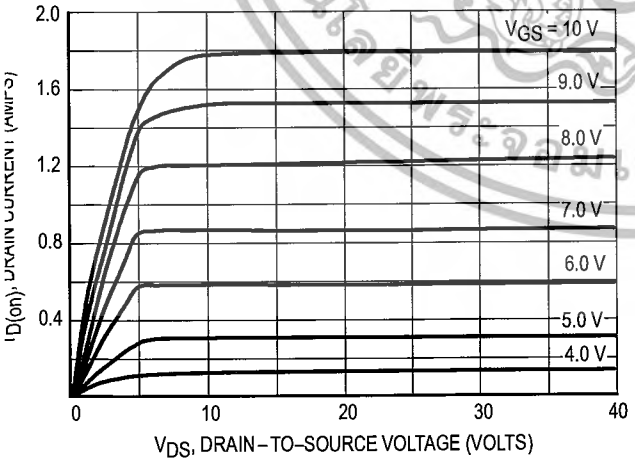


Figure 5. Output Characteristics

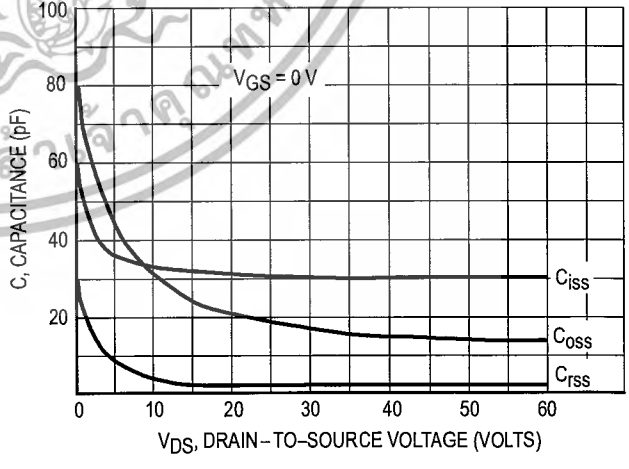


Figure 6. Capacitance versus Drain–To–Source Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา

VANLONG

Fixed Frequency Crystal Oscillator

- Industry standard pinout
- TTL and CMOS compatible output
- Tri-state output option
- Frequency up to 100 MHz
- Low power
- Hermetically sealed metal package

PO300F

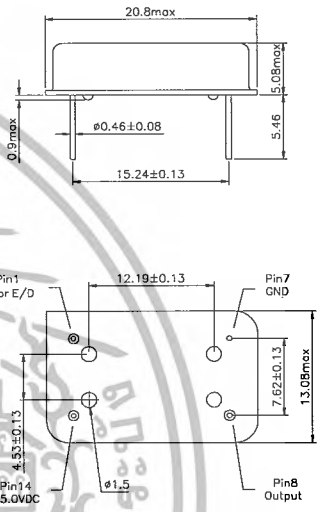
Specifications

Frequency Range:	1.0 MHz ~ 100.0 MHz	
Operating Temperature:	0°C ~ +50°C	- A
	-10°C ~ +60°C	- B
	-20°C ~ +70°C	- C
	-40°C ~ +85°C	- L
Storage Temperature:	-40°C ~ +85°C	
Frequency Stability:	± 100 ppm	
	± 50 ppm Standard	
	± 25 ppm	
Supply Voltage:	3.3 VDC	
	5.0 VDC	- P
Supply Current	10 ~ 45 mA	
Output Level:		
Output High:	2.4V min (TTL), 90% V_{DD} min (CMOS)	
Output Low:	0.4V max (TTL), 10% V_{DD} max (CMOS)	
Transition Times (1MHz ~ 25MHz)		
Rise & Fall Time 5V(3.3V):	8(5) nS	
Over 25MHz		
Rise & Fall Time 5V(3.3V):	6(4) nS	
Symmetry or Duty Cycle:	45/55%	
Start-Up Time:	10 mS max	
Tri-State:	- T or None	
Output Active:	0.8VDD	
Output in High-Impedance State:	0.16VDD	

Note:

1. Other frequencies, stabilities, and operating temperature ranges available. Consult VTC Support for specific requirements.
2. Not all combinations of the above, stabilities, and temperature ranges are available. Consult VTC Support if your requirement is not standard.
3. All specifications subject to change without notice.

Full-Size DIL-14



Pin	Configurations
1	NC or E/D
7	Ground
8	Output
14	Supply

All dimensions are in mm

Ordering Information

Product name + Operating Temperature + Stability(PPM) + Frequency + Other Specification Code.

i.e. PO300FC25-40.0MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Phone: +86 10 6301 4184 Fax: +86 10 6301 9167 Email: sales@vanlong.com Web: http://www.vanlong.com

© 2004 by Vanlong Technology Co., Ltd.

DATA SHEET

For a complete data sheet, please also download:

- The IC06 74HC/HCT/HCU/HCMOS Logic Family Specifications
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Information
- The IC06 74HC/HCT/HCU/HCMOS Logic Package Outlines

74HC/HCT4060
14-stage binary ripple counter with oscillator

Product specification
File under Integrated Circuits, IC06

December 1990

Philips Semiconductors

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

14-stage binary ripple counter with oscillator 74HC/HCT4060

EATURES

All active components on chip

RC or crystal oscillator configuration

Output capability: standard (except for R_{TC} and C_{TC})

I_{CC} category: MSI

ENERAL DESCRIPTION

he 74HC/HCT4060 are high-speed Si-gate CMOS evices and are pin compatible with "4060" of the "4000B" eries. They are specified in compliance with JEDEC tandard no. 7A.

he 74HC/HCT4060 are 14-stage ripple-carry ounter/dividers and oscillators with three oscillator terminals (RS, R_{TC} and C_{TC}), ten buffered outputs (Q_3 to Q_9 and Q_{11} to Q_{13}) and an overriding asynchronous master reset (MR).

The oscillator configuration allows design of either RC or crystal oscillator circuits. The oscillator may be replaced by an external clock signal at input RS. In this case keep the other oscillator pins (R_{TC} and C_{TC}) floating.

The counter advances on the negative-going transition of RS. A HIGH level on MR resets the counter (Q_3 to Q_9 and Q_{11} to Q_{13} = LOW), independent of other input conditions.

In the HCT version, the MR input is TTL compatible, but the RS input has CMOS input switching levels and can be driven by a TTL output by using a pull-up resistor to V_{CC}.

UICK REFERENCE DATA

ND = 0 V; T_{amb} = 25 °C; $t_r = t_f$ = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/t_{PLH}	propagation delay	C_L = 15 pF; V_{CC} = 5 V			
	RS to Q_3		31	31	ns
	Q_n to Q_{n+1}		6	6	ns
t_{PHL}	MR to Q_n		17	18	ns
f_{max}	maximum clock frequency		87	88	MHz
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per package	notes 1, 2 and 3	40	40	pF

lotes

. C_{PD} is used to determine the dynamic power dissipation (P_D in µW):

$P_D = C_{PD} \times V_{CC}^2 \times f_i + \Sigma (C_L \times V_{CC}^2 \times f_o)$ where:

f_i = input frequency in MHz

f_o = output frequency in MHz

$\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs

C_L = output load capacitance in pF

V_{CC} = supply voltage in V

2. For HC the condition is V_I = GND to V_{CC}
   For HCT the condition is V_I = GND to V_{CC} – 1.5 V

3. For formula on dynamic power dissipation see next pages.

ORDERING INFORMATION

See *"74HC/HCT/HCU/HCMOS Logic Package Information"*.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1, 2, 3	Q_{11} to Q_{13}	counter outputs
7, 5, 4, 6, 14, 13, 15	Q_3 to Q_9	counter outputs
8	GND	ground (0 V)
9	C_{TC}	external capacitor connection
10	R_{TC}	external resistor connection
11	RS	clock input/oscillator pin
12	MR	master reset
16	V_{CC}	positive supply voltage

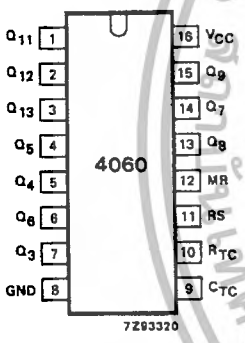


Fig.1 Pin configuration.

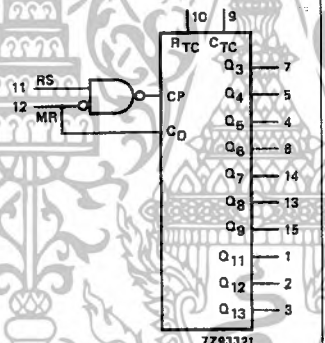


Fig.2 Logic symbol.

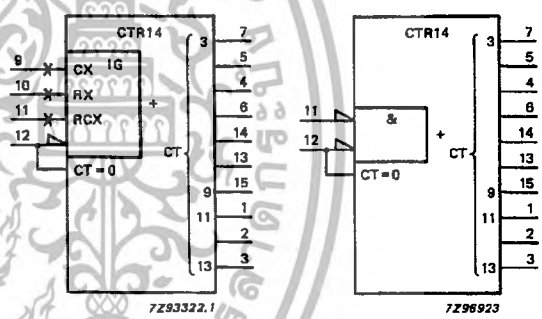


Fig.3 IEC logic symbol.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

YNAMIC POWER DISSIPATION FOR 74HC

PARAMETER	V_{CC} (V)	TYPICAL FORMULA FOR P_D (μW) (note 1)
otal dynamic power dissipation when using the on-chip oscillator (P_D)	2.0	$C_{PD} \times f_{osc} \times V_{CC}^2 + \Sigma (C_L \times V_{CC}^2 \times f_o) + 2C_t \times V_{CC}^2 \times f_{osc} + 60 \times V_{CC}$
	4.5	$C_{PD} \times f_{osc} \times V_{CC}^2 + \Sigma (C_L \times V_{CC}^2 \times f_o) + 2C_t \times V_{CC}^2 \times f_{osc} + 1\,750 \times V_{CC}$
	6.0	$C_{PD} \times f_{osc} \times V_{CC}^2 + \Sigma (C_L \times V_{CC}^2 \times f_o) + 2C_t \times V_{CC}^2 \times f_{osc} + 3\,800 \times V_{CC}$

lote

. GND = 0 V; T_{amb} = 25 °C

YNAMIC POWER DISSIPATION FOR 74HCT

PARAMETER	V_{CC} (V)	TYPICAL FORMULA FOR P_D (μW) (note 1)
otal dynamic power dissipation when using the on-chip oscillator (P_D)	4.5	$C_{PD} \times f_{osc} \times V_{CC}^2 + \Sigma (C_L \times V_{CC}^2 \times f_o) + 2C_t \times V_{CC}^2 \times f_{osc} + 1\,750 \times V_{CC}$

lotes

. GND = 0 V; T_{amb} = 25 °C

. Where: f_o = output frequency in MHz
f_{osc} = oscillator frequency in MHz
$\Sigma (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs
C_L = output load capacitance in pF
C_t = timing capacitance in pF
V_{CC} = supply voltage in V

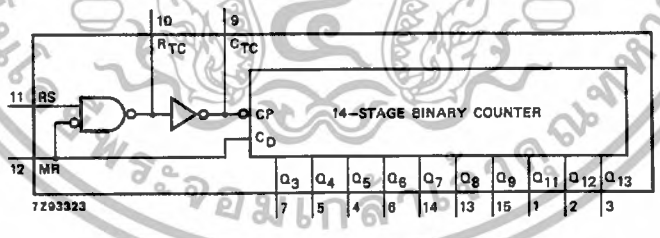


Fig.4 Functional diagram.

APPLICATIONS

- Control counters
- Timers
- Frequency dividers
- Time-delay circuits

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

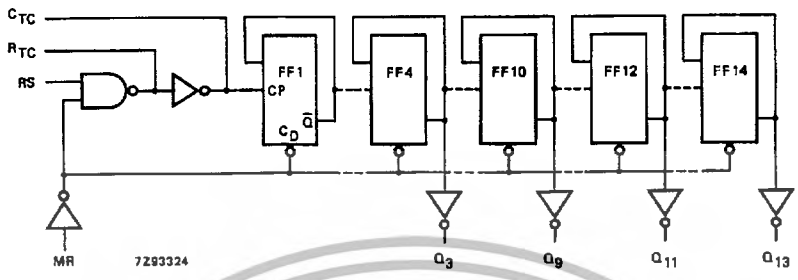


Fig.5 Logic diagram.

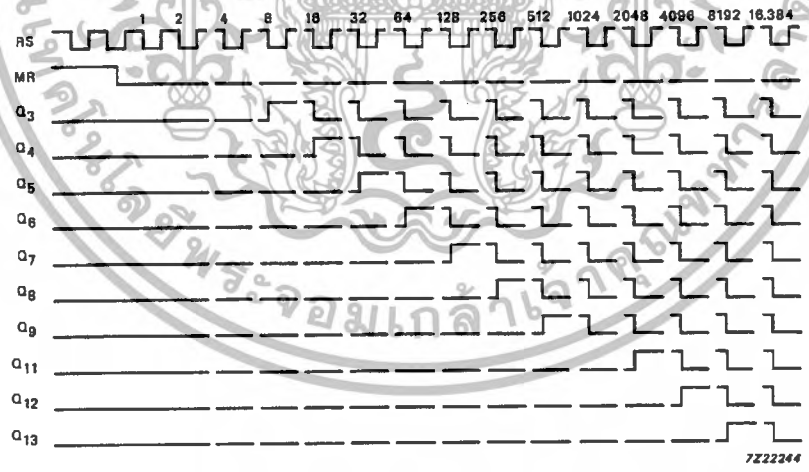


Fig.6 Timing diagram.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Monolithic Linear IC

LA1260

FM/AM Tuner System for Radio-Casette Recorders, Music Centers

Functions

FM : IF amplifier, quadrature detector, AF preamplifier, tuning indicator drive output.

AM : RF amplifier, MIX, OSC (with ALC), IF amplifier, Detector, AGC, tuning indicator drive.

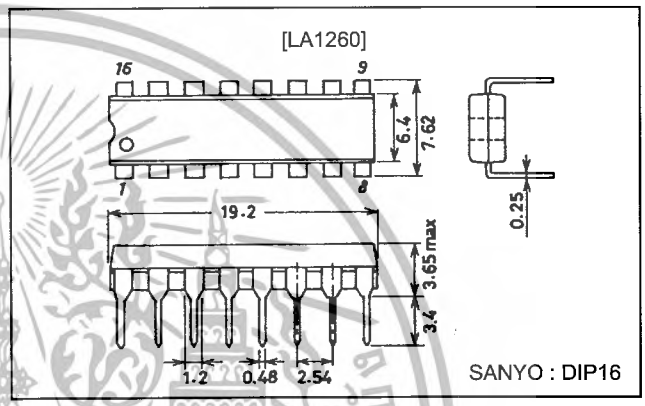
Features

- Minimum number of external parts required (No AM detection coil required).
- High S/N : FM 81dB
  AM 53dB
- Low-level AM oscillator with ALC : Pin 16 OSC output
  MW 130mV
  SW 70 mV to 90 mV
  (7MHz) (24MHz)
- Less AM whistle interference : Whistle 1% at input 100dB/m.
- On-chip LED tuning indicator driver.
- On-chip FM/AM selector.
- Independent FM/AM output pins : Possible to set FM/AM frequency characteristic independently.

Package Dimensions

unit : mm

3006B-DIP16



Specifications

Maximum Ratings at Ta=25°C, See specified Test Circuit.

Parameter	Symbol	Conditions	Ratings	Unit
Maximum supply voltage	V_{CC} max	Pins 6, 12	9	V
Maximum current drain	I_{CC} max	Pins 6+7+12	50	mA
Flow-in current	I_7	Pin 7	20	mA
Flow-out current	I_{15}	Pin 15	0.1	mA
Allowable power dissipation	Pd max	Ta≤70°C	450	mW
Operating temperature	Topr		–20 to +70	°C
Storage temperature	Tstg		–40 to +125	°C

Operating Conditions at Ta=25°C

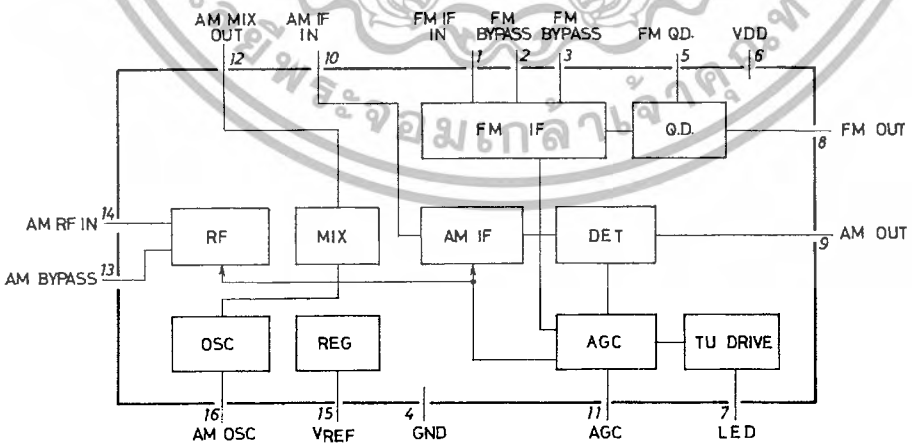
Parameter	Symbol	Conditions	Ratings	Unit
Recommended operating voltage	V_{CC}		4.5	V
Operating voltage range	V_{CC} op		3.0 to 8.0	V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่า... ใช้

Operating Characteristics at Ta=25°C, V_{CC}=4.5V, See specified Test Circuit

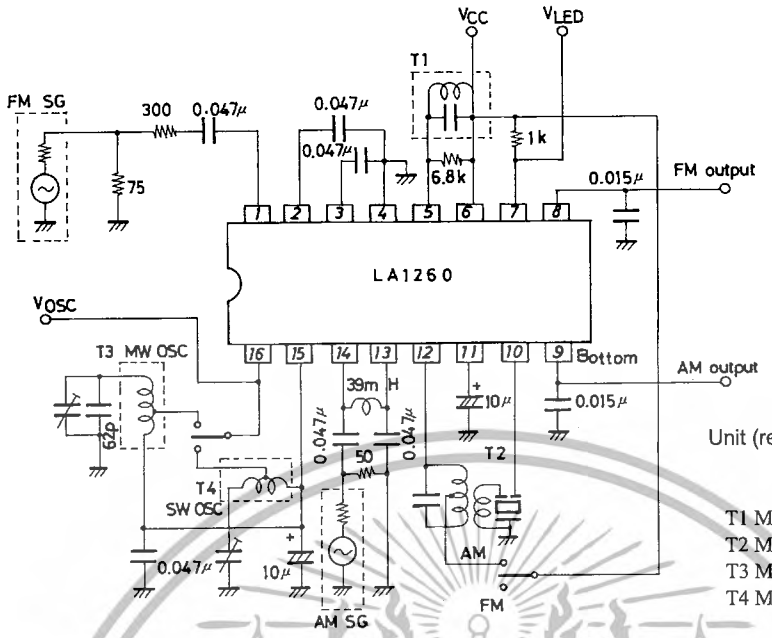
Parameter	Symbol	Conditions	Ratings			Unit
			min	typ	max	
[AM Characteristics : f=1MHz]						
Quiescent current	Icco AM	V_{IN}=No input		7.5	10.5	mA
Detection output	V_O1	V_{IN}=23dBμ, 400Hz-30% mod.	–33	–28	–23	dBm
			17.3	31	55	mV
S/N ratio	S/N1	V_{IN}=23dBμ, 400Hz-30% mod.	18.0	21.5		dB
Detection output	V_O2	V_{IN}=60dBμ, 400Hz-30% mod.	–19.0	–16.0	–13.0	dBm
			87	122	174	mV
S/N ratio	S/N2	V_{IN}=60dBμ, 400Hz-30% mod.	48	53		dB
Total harmonic distortion	THD1	V_{IN}=60dBμ, 400Hz-30% mod.		0.45	1.3	%
	THD2	V_{IN}=100dBμ, 400Hz-30% mod.		1.5	3.0	%
LED lighting voltage	V_{LEDAM}	I_C=1mA	22	30	38	dBm
Oscillation output (24MHz)	V_{OSC24M}		60	86	120	mV
[FM Characteristics : f=10.7MHz]						
Quiescent current	IccoFM	V_{IN}=No input		8.5	12.0	mA
–3dB sensitivity	V_{IN}lim	–3dB down, 400Hz-100% mod.		35	42	dBμ
Demodulation output	V_O3	V_{IN}=80dBμ, 400Hz-100% mod.	–12.5	–9.5	–6.5	dBm
			183	260	367	mV
S/N ratio	S/N3	V_{IN}=80dBμ, 400Hz-100% mod.	77	81		dB
	S/N4	V_{IN}=80dBμ, 400Hz-30% mod.		71		dB
Total harmonic distortion	THD3	V_{IN}=80dBμ, 400Hz-100% mod.		0.55	1.2	%
	THD4	V_{IN}=80dBμ, 400Hz-30% mod.		0.05		%
LED lighting voltage	V_{LEDFM}	I_L=1mA		39	49	dBμ
AM rejection ratio	AMR	V_{IN}=80dBμ, 400Hz-100% FM mod. 1kHz-30% AM mod.		60		dB

Equivalent Circuit Block Diagram



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Test Circuit



Unit (resistance : Ω, capacitance : F)

T1 Mitsumi YT30194 (56pF tuning)
T2 Mitsumi KW30011
T3 Mitsumi YT30105
T4 Mitsumi YT30112

Proper Cares in Using the IC

External parts placement and pattern

- The AM local oscillation parts, AM local oscillation coil, and antenna circuit parts such as bar antenna must be separated from each other as far as possible to prevent Qs from worsening.
- Pin 16 (AM oscillation injection pin) and pin 14 (RF input pin) must be separated from each other on the pattern as shown in Figure. A below. Care should be taken not to make unwanted coupling by parallel wiring as shown in Figure B to prevent Qs from worsening.

Figure A Good example

Figure B Bad example

FM quadrature detection coil

- The values recommended for the detection coil are shown below. (See Figure 1.)

  Tuning capacitance : 56pF
  Damping resistance : 6.8kΩ

- Values other than recommended provide the LED drive characteristic as shown below.

	Value increased	Value decreased
Tuning capacitance	• Lighting is delayed. • No lighting may occur at low temperature.	• Lighting is advanced. • Mislighting may occur in the absence of signal.
Damping resistance	• Lighting is advanced. • Mislighting may occur in the absence of signal.	• Lighting is delayed. • No lighting may occur at low temperature.

If the product of tuning capacitance and damping resistance is equal to that of values recommended above (e. g. tuning capacitance=82pF, damping resistance=4.7kΩ), other characteristics (demodulation output, S/N, THD, etc.) than the LED drive characteristic remain almost unaffected.

- For applications where a double tuning coil is used, refer to "Applications where a double coil is used" on page 13.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Ordering number:ENN505G

Monolithic Linear IC

LA3361

PLL FM Multiplex Stereo Demodulator

Overview

The LA3361, PLL FM multiplex stereo demodulator, is designed for low supply voltage-use appliance such as portable radio or car stereo.

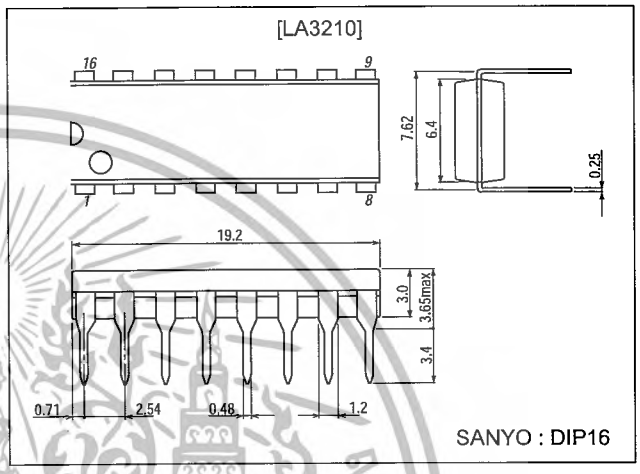
Features

- Wide supply voltage range down to low supply voltage : 3V min.
- Operation of forced monaural (IF muting) or VCO stopping by only one pin.
  Depending on supply voltage :
  0.7V<V9<2.1V : forced monaural (IF muting)
  V9>2.1V : VCO stopping
- Good ripple rejection.
- High level of lamp turning-on sensitivity : 7mV.
- With separation control pin.
- High gain.
- Less current consumption : 8.5mA typical.

Package Dimensions

unit:mm

3006B-DIP16



Specifications

Absolute Maximum Ratings at Ta = 25°C

Parameter	Symbol	Conditions	Ratings	Unit
Maximum Supply Voltage	V_{CC} max	Pin 6-7	16	V
		Pin 1-7	16	V
Lamp Driving Current	I_L		40	mA
Allowable Power Dissipation	Pd max	Ta≤50°C	400	mW
Operating Temperature	Topr		–20 to +70	°C
Storage Temperature	Tstg		–40 to +125	°C

Recommended Operating Conditions at Ta = 25°C

Parameter	Symbol	Conditions	Ratings	Unit
Recommended Supply Voltage	V_{CC}		6	V
Input Signal Voltage	Vi		100 to 200	mV

■ Any and all SANYO products described or contained herein do not have specifications that can handle applications that require extremely high levels of reliability, such as life-support systems, aircraft's control systems, or other applications whose failure can be reasonably expected to result in serious physical and/or material damage. Consult with your SANYO representative nearest you before using any SANYO products described or contained herein in such applications.

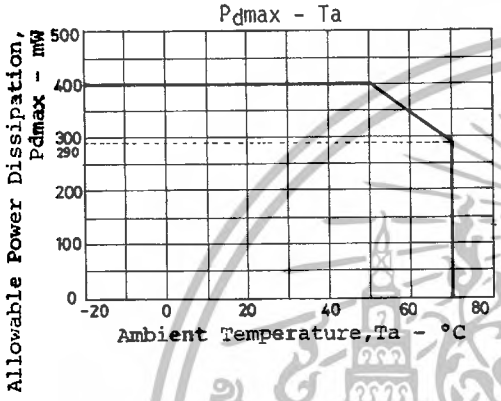
■ SANYO assumes no responsibility for equipment failures that result from using products at values that exceed, even momentarily, rated values (such as maximum ratings, operating condition ranges,or other parameters) listed in products specifications of any and all SANYO products described or contained herein.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น

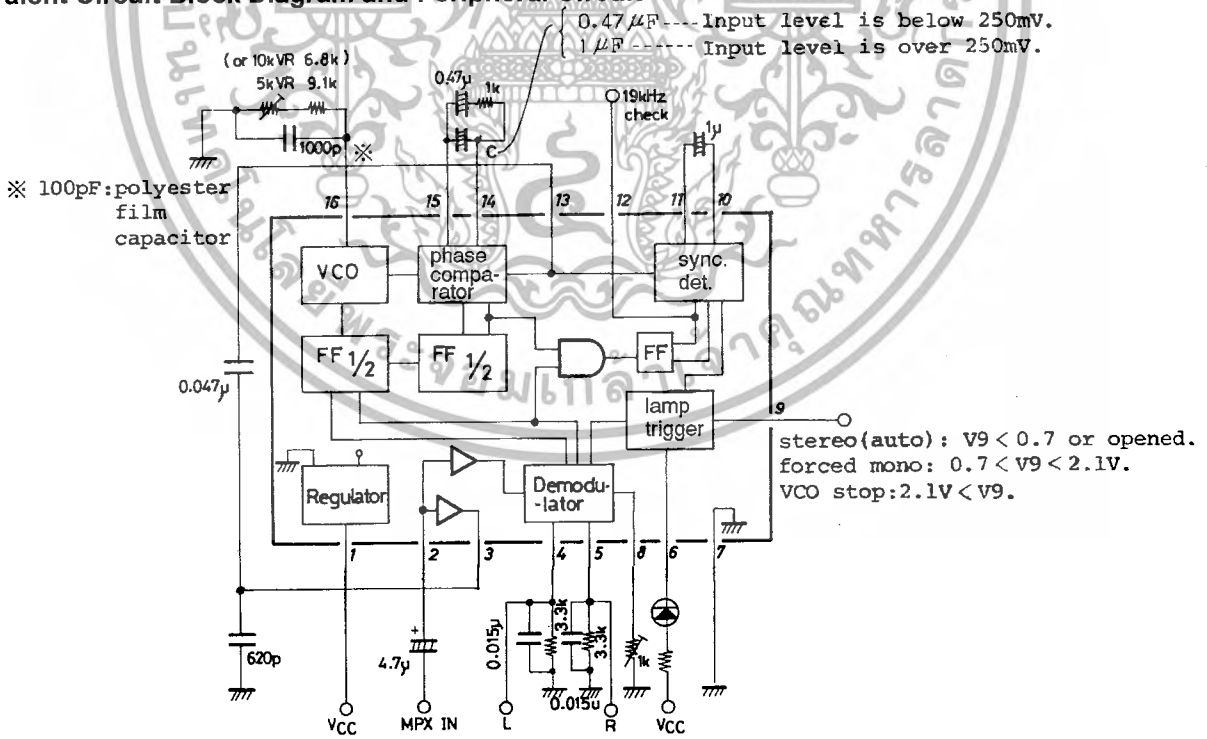
SANYO Electric Co.,Ltd. Semiconductor Company
TOKYO OFFICE Tokyo Bldg., 1-10, 1 Chome, Ueno, Taito-ku, TOKYO, 110-8534 JAPAN

Operating Characteristics at Ta = 25°C, V_{CC}=6V, R_L=3.3kΩ, input=100mV, L+R=90%, pilot=10%, f=1kHz

Parameter	Symbol	Conditions	Ratings			Unit
			min	typ	max	
Quiescent Current	I_{CCO}			8.5	12.0	mA
Input Resistance	r_i		15	20		kΩ
Channel Separation			35	45		dB
Total Harmonic Distortion	THD	stereo, sub		0.2	0.7	%
Output Voltage	V_O	V_i=100mV	66	85	115	mV
Channel Balance				0.5	1.5	dB
Lamp Turn-on Level	V_L	L+R=90%, pilot=10%		65		mV
Hysteresis	hy			3.5	6.0	dB
Capture Range	CR			±2.5		%
Allowable Input Level	V_i	THD=2%		450		mV



Equivalent Circuit Block Diagram and Peripheral Circuit

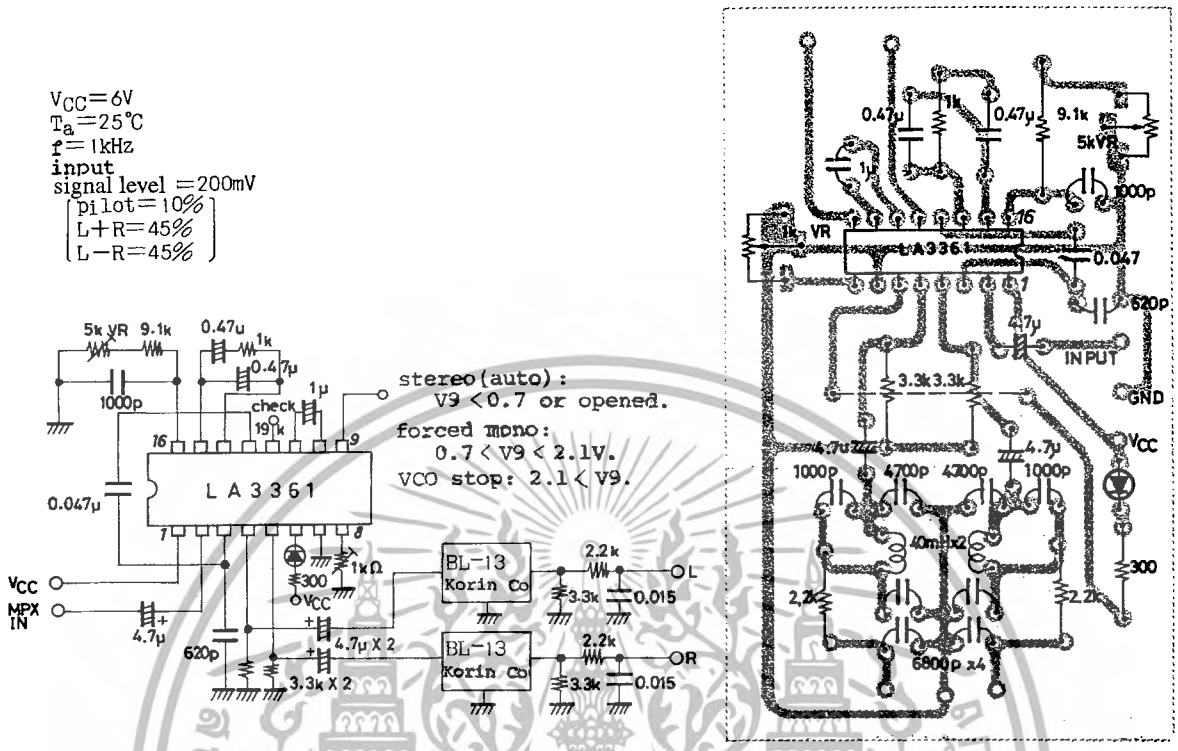


Unit (resistance: Ω, capacitance: F)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Sample Application Circuit

Unit (resistance: Ω, capacitance: F)



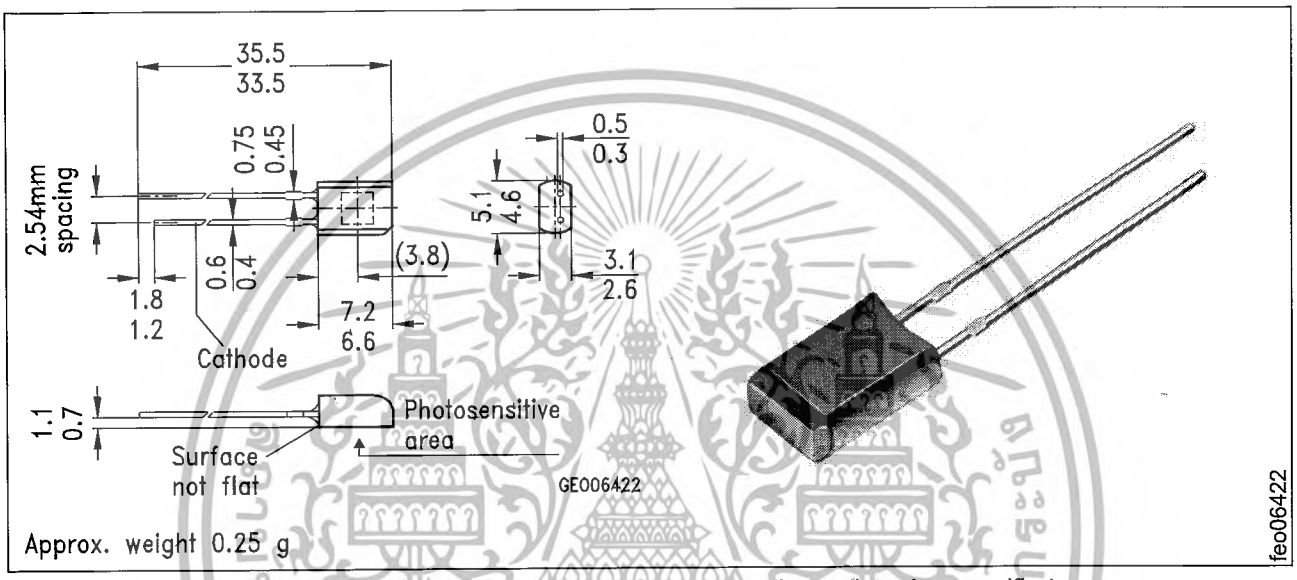
An Example of Printed Pattern
Using LC Filter (Cu-foiled area, 50×82mm²)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SIEMENS

Silizium-PIN-Fotodiode mit Tageslichtsperrfilter
Silicon PIN Photodiode with Daylight Filter

SFH 225 FA



Maße in mm, wenn nicht anders angegeben/Dimensions in mm, unless otherwise specified.

Wesentliche Merkmale

- Speziell geeignet für Anwendungen bei 880 nm
- Kurze Schaltzeit (typ. 20 ns)
- 5 mm-Plastikbauform im LED-Gehäuse
- Auch gegurtet lieferbar

Features

- Especially suitable for applications of 880 nm
- Short-switching time (typ. 20 ns)
- 5 mm LED plastic package
- Also available on tape

Anwendungen

- IR-Fernsteuerung von Fernseh- und Rundfunkgeräten, Videorecordern, Lichtdimmern und Gerätefernsteuerungen
- Lichtschranken für Gleich- und Wechsellichtbetrieb

Applications

- IR-remote control of hi-fi and TV sets, video tape recorders, dimmers, remote control of various equipment
- Photointerrupters

Typ (*vorher) Type (*formerly)	Bestellnummer Ordering Code
SFH 225 FA (*SFH 225)	Q62702-P1051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Grenzwerte
Maximum Ratings

Bezeichnung Description	Symbol Symbol	Wert Value	Einheit Unit
Betriebs- und Lagertemperatur Operating and storage temperature range	T_{op}; T_{stg}	– 40 ... + 80	°C
Löttemperatur (Lötstelle 2 mm vom Gehäuse entfernt bei Lötzeit $t \leq 3$ s) Soldering temperature in 2 mm distance from case bottom ($t \leq 3$ s)	T_S	230	°C
Sperrspannung Reverse voltage	V_R	20	V
Verlustleistung, T_A = 25 °C Total power dissipation	P_{tot}	150	mW

Kennwerte (T_A = 25 °C, λ = 870 nm)
Characteristics

Bezeichnung Description	Symbol Symbol	Wert Value	Einheit Unit
Fotoempfindlichkeit Spectral sensitivity V_R = 5 V, E_e = 1 mW/cm^2	S	34 (≥ 25)	µA
Wellenlänge der max. Fotoempfindlichkeit Wavelength of max. sensitivity	$\lambda_{S\,max}$	900	nm
Spektraler Bereich der Fotoempfindlichkeit S = 10 % von S_{max} Spectral range of sensitivity S = 10 % of S_{max}	λ	740 ... 1120	nm
Bestrahlungsempfindliche Fläche Radiant sensitive area	A	4.84	mm^2
Abmessung der bestrahlungsempfindlichen Fläche Dimensions of radiant sensitive area	$L \times B$ $L \times W$	2.20 × 2.20	mm × mm
Abstand Chipoberfläche zu Gehäuseoberfläche Distance chip front to case surface	H	0.6 ... 0.8	mm
Halbwinkel Half angle	φ	± 60	Grad deg.

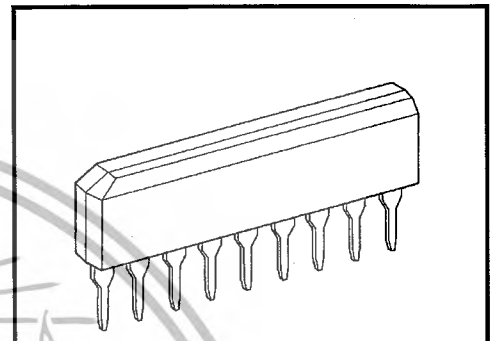
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TOSHIBA BIPOLAR LINEAR INTEGRATED CIRCUIT SILICON MONOLITHIC

TA7358P

FM FRONT-END

The TA7358P is designed for a FM front-end application, which is suitable to a portable radio or a radio cassette. Comparing with conventional types, supply voltage dependence, overload characteristics and spurious radiation characteristics are improved.



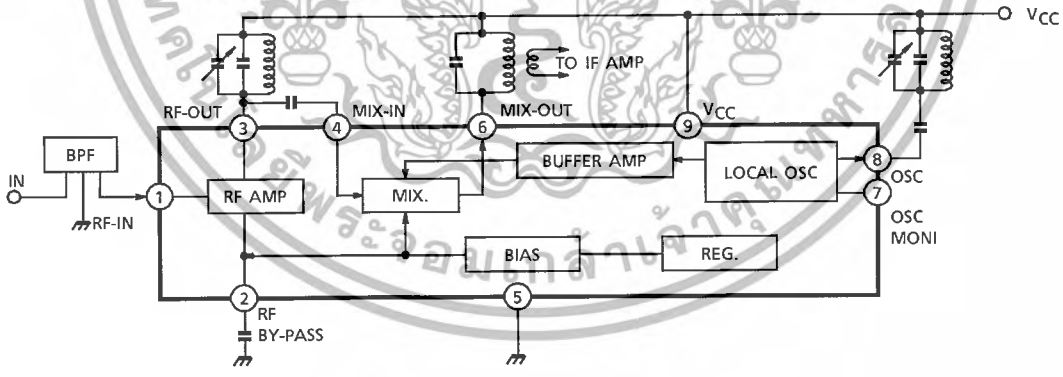
SIP9-P-2.54A

Weight : 0.92g (Typ.)

FEATURES

- Wide supply voltage range : V_{CC} = 1.6~6.0V
- Excellent supply voltage dependence of local oscillator
  : Oscillation stop V_{CC} = 0.9V (Typ.)
- Improved inter-modulation characteristics by double balanced type mixer circuit.
- Low spurious radiation.
- Build-In clampping diode for the local oscillator output.

BLOCK DIAGRAM

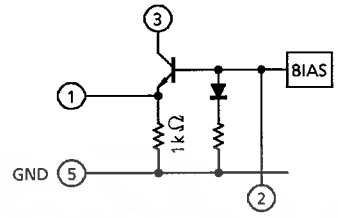
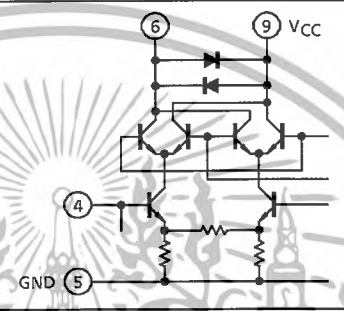
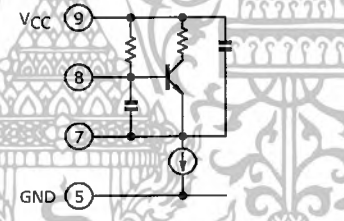


961001EBA2

- TOSHIBA is continually working to improve the quality and the reliability of its products. Nevertheless, semiconductor devices in general can malfunction or fail due to their inherent electrical sensitivity and vulnerability to physical stress. It is the responsibility of the buyer, when utilizing TOSHIBA products, to observe standards of safety, and to avoid situations in which a malfunction or failure of a TOSHIBA product could cause loss of human life, bodily injury or damage to property. In developing your designs, please ensure that TOSHIBA products are used within specified operating ranges as set forth in the most recent products specifications. Also, please keep in mind the precautions and conditions set forth in the TOSHIBA Semiconductor Reliability Handbook.
- The products described in this document are subject to foreign exchange and foreign trade control laws.
- The information contained herein is presented only as a guide for the applications of our products. No responsibility is assumed by TOSHIBA CORPORATION for any infringements of intellectual property or other rights of the third parties which may result from its use. No license is granted by implication or otherwise under any intellectual property or other rights of TOSHIBA CORPORATION or others.
- The information contained herein is subject to change without notice.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EXPLANATION OF TERMINALS (Terminal voltage is DC voltage at Ta = 25°C, V_{CC} = 5V, and no signal)

PIN No.	SYMBOL	INTERNAL	TERMINAL VOLTAGE (V)
1	FM-RF IN		0.8
2	BY PASS		1.5
3	FM-RF OUT		5.0
4	MIX IN		1.5
5	GND	—	0
6	MIX OUT	cf. pin④	5.0
7	OSC MONITOR		4.3
8	OSC		5.0
9	V_{CC}	—	5.0

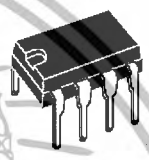
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SGS-THOMSON MICROELECTRONICS

TDA2822M

DUAL LOW-VOLTAGE POWER AMPLIFIER

- SUPPLY VOLTAGE DOWN TO 1.8V
- LOW CROSSOVER DISTORSION
- LOW QUIESCENT CURRENT
- BRIDGE OR STEREO CONFIGURATION



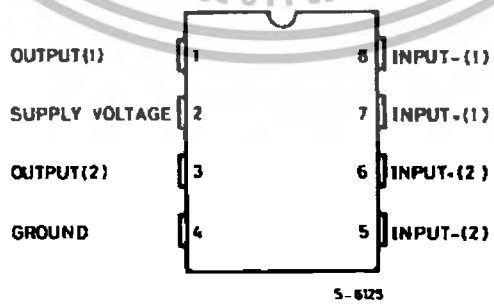
MINIDIP

ORDERING NUMBER : TDA2822M

DESCRIPTION

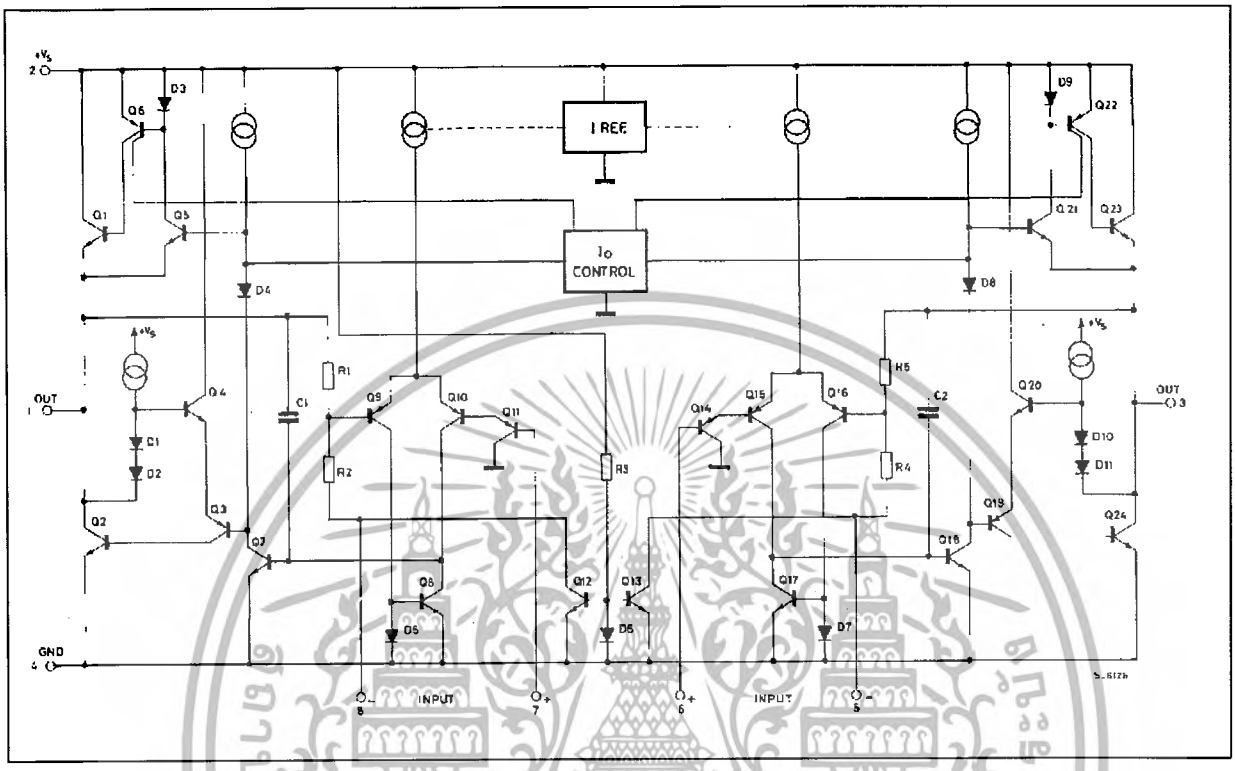
The TDA2822M is a monolithic integrated circuit in 8 lead Minidip package. It is intended for use as dual audio power amplifier in portable cassette players and radios.

PIN CONNECTION (Top view)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SCHEMATIC DIAGRAM



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_s	Supply Voltage	15	V
I_o	Peak Output Current	1	A
P_{tot}	Total Power Dissipation at T_{amb} = 50 °C at T_{case} = 50 °C	1 1.4	W W
T_{stg}, T_j	Storage and Junction Temperature	– 40, + 150	°C

THERMAL DATA

Symbol	Parameter		Value	Unit
$R_{th\ j\text{-}amb}$	Thermal Resistance Junction-ambient	Max.	100	°C/W
$R_{th\ j\text{-}case}$	Thermal Resistance Junction-pin (4)	Max.	70	°C/W

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ELECTRICAL CHARACTERISTICS (V_S = 6V, T_{amb} = 25°C, unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
STEREO (test circuit of Figure 1)						
V_s	Supply Voltage		1.8		15	V
V_o	Quiescent Output Voltage	V_s = 3V		2.7 1.2		V V
I_d	Quiescent Drain Current			6	9	mA
I_b	Input Bias Current			100		nA
P_o	Output Power (each channel) (f = 1kHz, d = 10%)	R_L = 32Ω V_S = 9V V_S = 6V V_S = 4.5V V_S = 3V V_S = 2V R_L = 16Ω V_S = 6V R_L = 8Ω V_S = 9V V_S = 6V R_L = 4Ω V_S = 6V V_S = 4.5V V_S = 3V	 90 15 170 300 450 	300 120 60 20 5 220 1000 380 650 320 110		mW
d	Distortion (f = 1kHz)	R_L = 32Ω P_o = 40mW R_L = 16Ω P_o = 75mW R_L = 8Ω P_o = 150mW		0.2 0.2 0.2		% % %
G_v	Closed Loop Voltage Gain	f = 1kHz	36	39	41	dB
ΔG_v	Channel Balance				± 1	dB
R_i	Input Resistance	f = 1kHz	100			kΩ
e_N	Total Input Noise	R_s = 10kΩ B = Curve A B = 22Hz to 22kHz		2 2.5		μV μV
SVR	Supply Voltage Rejection	f = 100Hz, C1 = C2 = 100μF	24	30		dB
C_s	Channel Separation	f = 1kHz		50		dB
BRIDGE (test circuit of Figure 2)						
V_s	Supply Voltage		1.8		15	V
I_d	Quiescent Drain Current	R_L = ∞		6	9	mA
V_{os}	Output Offset Voltage (between the outputs)	R_L = 8Ω			± 50	mV
I_b	Input Bias Current			100		nA
P_o	Output Power (f = 1kHz, d = 10%)	R_L = 32Ω V_S = 9V V_S = 6V V_S = 4.5V V_S = 3V V_S = 2V R_L = 16Ω V_S = 9V V_S = 6V V_S = 3V R_L = 8Ω V_S = 6V V_S = 4.5V V_S = 3V R_L = 4Ω V_S = 4.5V V_S = 3V V_S = 2V	 320 50 900 200 	1000 400 200 65 8 2000 800 120 1350 700 220 1000 350 80		mW
d	Distortion	P_o = 0.5W, R_L = 8Ω, f = 1kHz		0.2		%
G_v	Closed Loop Voltage Gain	f = 1kHz		39		dB
R_i	Input Resistance	f = 1kHz	100			kΩ
e_N	Total Input Noise	R_s = 10kΩ B = Curve A B = 22Hz to 22kHz		2.5 3		μV μV
SVR	Supply Voltage Rejection	f = 100Hz		40		dB
B	Power Bandwidth (–3dB)	R_L = 8Ω, P_o = 1W		120		kHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Figure 1 : Test Circuit (Stereo)

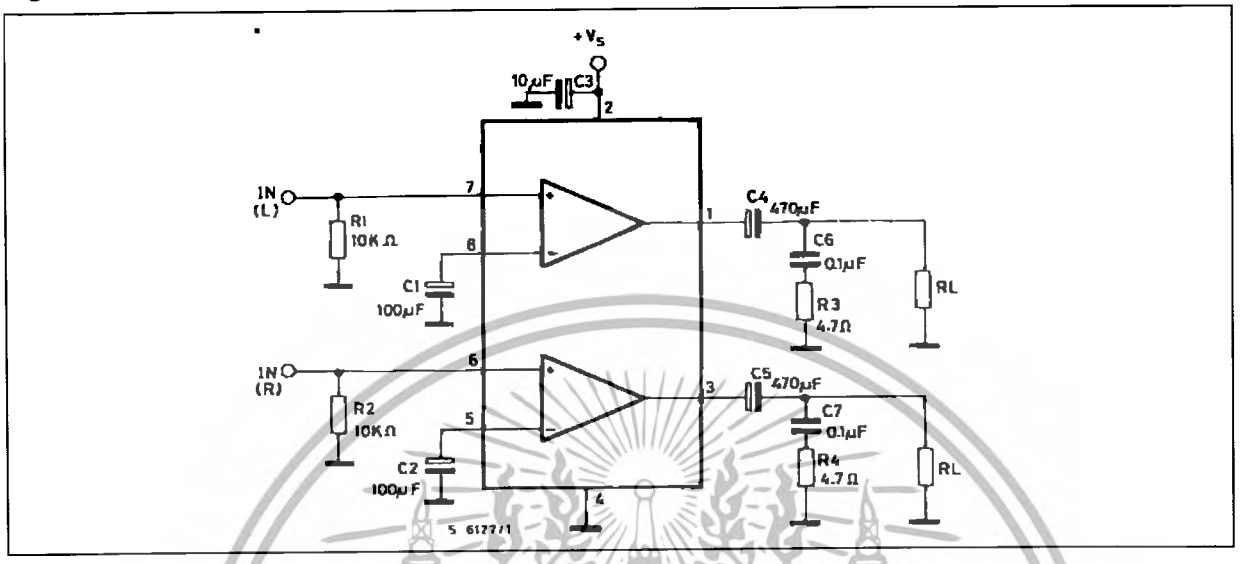


Figure 2 : Test Circuit (Bridge)

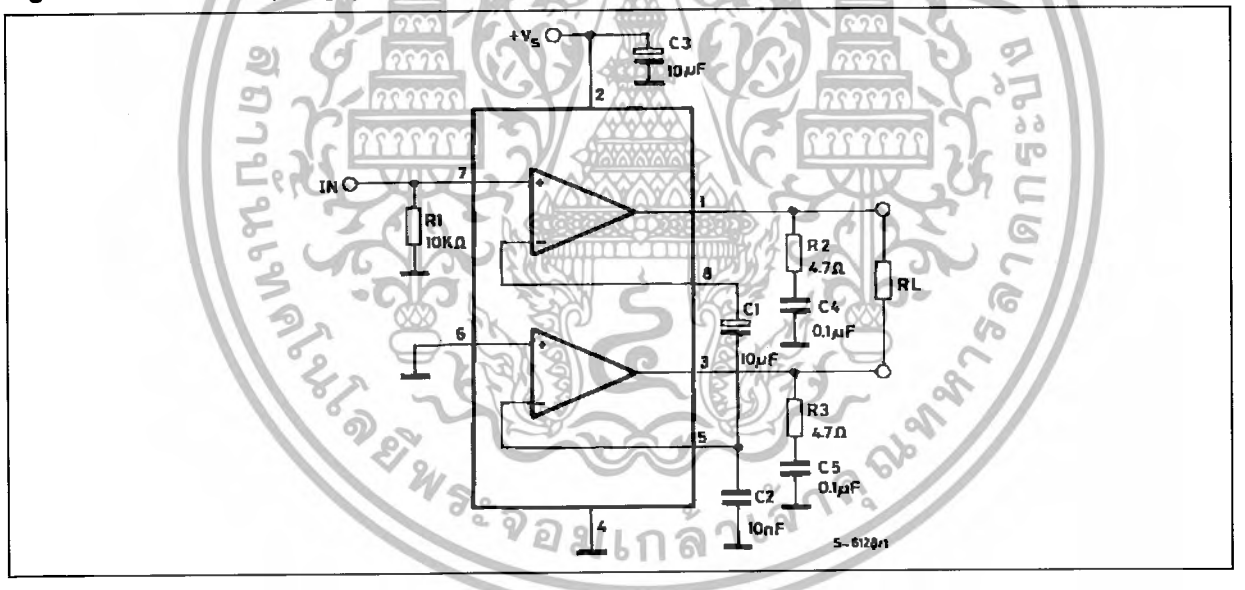


Figure 3 : P.C. Board and Components Layout of the Circuit of Figure 1

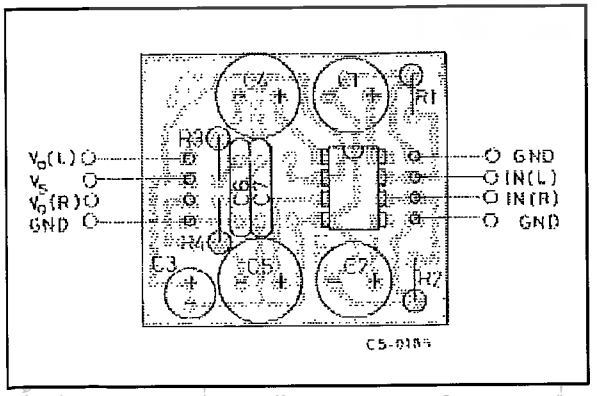
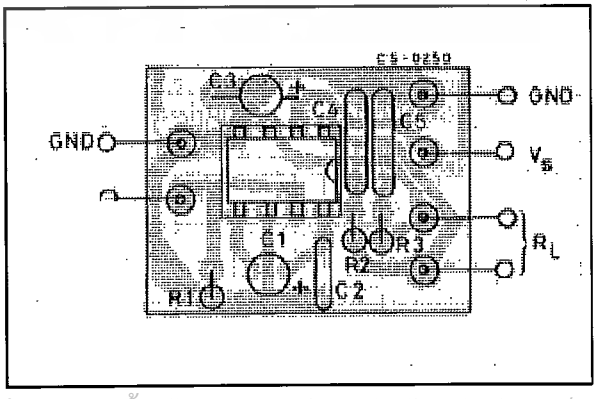


Figure 4 : P.C. Board and Components Layout of the Circuit of Figure 2



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Order this document by TL062/D

MOTOROLA

TL062
TL064

.ow Power JFET Input
)perational Amplifiers

These JFET input operational amplifiers are designed for low power pplications. They feature high input impedance, low input bias current and)w input offset current. Advanced design techniques allow for higher slew ates, gain bandwidth products and output swing.

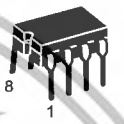
The commercial and vehicular devices are available in Plastic dual in–line nd SOIC packages.

- Low Supply Current: 200 µA/Amplifier
- Low Input Bias Current: 5.0 pA
- High Gain Bandwidth: 2.0 MHz
- High Slew Rate: 6.0 V/µs
- High Input Impedance: 10^{12} Ω
- Large Output Voltage Swing: ±14 V
- Output Short Circuit Protection

LOW POWER JFET INPUT OPERATIONAL AMPLIFIERS

SEMICONDUCTOR TECHNICAL DATA

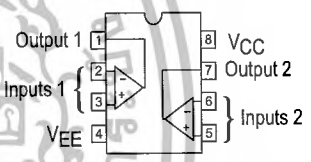
DUAL



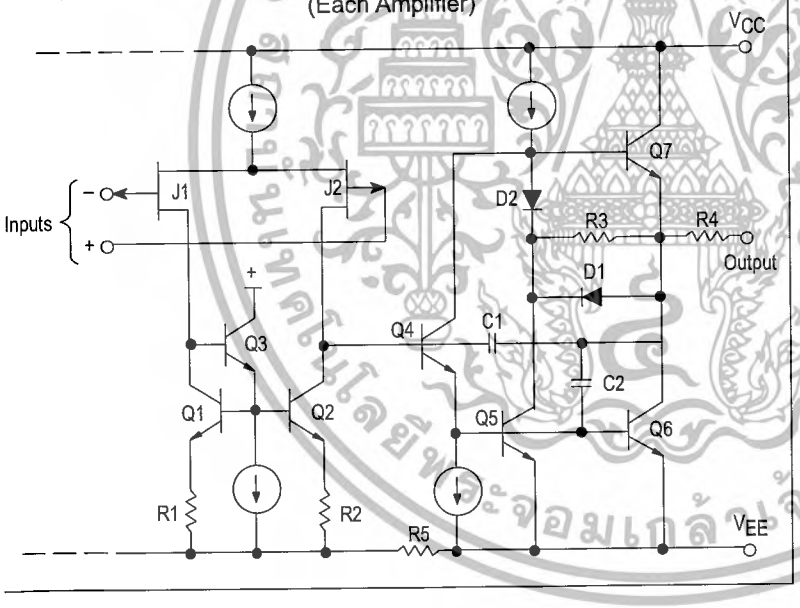
P SUFFIX
PLASTIC PACKAGE
CASE 626

D SUFFIX
PLASTIC PACKAGE
CASE 751
(SO–8)

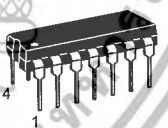
PIN CONNECTIONS



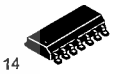
Representative Schematic Diagram
(Each Amplifier)



QUAD

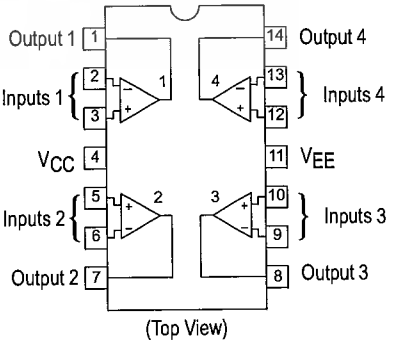


N SUFFIX
PLASTIC PACKAGE
CASE 646



D SUFFIX
PLASTIC PACKAGE
CASE 751A
(SO–14)

PIN CONNECTIONS



ORDERING INFORMATION

Op Amp Function	Device	Operating Temperature Range	Package
Dual	TL062CD, ACD TL062CP, ACP	T_A = 0° to +70°C	SO–8 Plastic DIP
	TL062VD TL062VP	T_A = –40° to +85°C	SO–8 Plastic DIP
Quad	TL064CD, ACD TL064CN, ACN	T_A = 0° to +70°C	SO–14 Plastic DIP
	TL064VD TL064VN	T_A = –40° to +85°C	SO–14 Plastic DIP

© Motorola, Inc. 1996
Rev 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้