

การออกแบบวงจรออสซิลเลเตอร์ชนิดอะเรย์ ที่ควบคุมแบบดิจิทัล

DESIGN OF DIGITALLY CONTROLLED ARRAY-BASED OSCILLATOR



T110347



เลขหมู่.....
เลขทะเบียน **110347**
วัน,เดือน,ปี..... - 1 พ.ย. 2553

b.....
i.....

วิทยานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชาวิศวกรรมอิเล็กทรอนิกส์
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

พ.ศ. 2553

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

KMITL-2010-EN-M-040-104

DESIGN OF DIGITALLY CONTROLLED ARRAY-BASED OSCILLATOR



A THESIS SUBMITTED IN PARTIAL FULFILLMENT
OF THE REQUIREMENT FOR THE DEGREE OF
MASTER OF ENGINEERING IN ELECTRONIC ENGINEERING
FACULTY OF ENGINEERING
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

2010

KMITL-2010-EN-M-040-104

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้




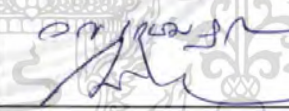
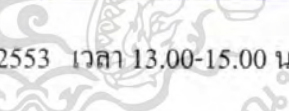
COPYRIGHT 2010

FACULTY OF ENGINEERING

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
KING MONGKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ใบรับรองวิทยานิพนธ์

หัวข้อวิทยานิพนธ์ การออกแบบวงจรออสซิลเลเตอร์ชนิดอะเรย์ ที่ควบคุมแบบดิจิทัล
Thesis Title Design of Digitally Controlled Array-Based Oscillator
นักศึกษา นายเจษฎา ใจดี
รหัสประจำตัว 48060409
ปริญญา วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา วิศวกรรมอิเล็กทรอนิกส์
อาจารย์ที่ปรึกษาวิทยานิพนธ์ ดร.กตสิน วิเชียรชม
หมายเลขวิทยานิพนธ์ KMITL-2010-EN-M-040-104

คณะกรรมการสอบวิทยานิพนธ์	ลายมือชื่อ
ศ.ดร.วัลลภ สุระกำพลธร	
รศ.ดร.อภิรักษ์ ชนชยานนท์	
ผศ.ดร.จิตรเกษม งามนิล	
รศ.ดร.วรากร เกษมสุวรรณ	
ดร.กตสิน วิเชียรชม	

วัน/เดือน/ปี ที่สอบ วันพฤหัสบดีที่ 27 พฤษภาคม พ.ศ. 2553 เวลา 13.00-15.00 น.

สถานที่สอบ ณ อาคาร A ชั้น 5 ห้องประชุม 3

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

KING MONKUT'S INSTITUTE OF TECHNOLOGY LADKRABANG

คณะวิศวกรรมศาสตร์ รับรองแล้ว



(รองศาสตราจารย์ ดร.กอบชัย เดชหาญ)

คณบดี คณะวิศวกรรมศาสตร์

วันที่ 27 พฤษภาคม พ.ศ. 2553

สำนักทะเบียนและประมวลผล สจล.

วันที่ส่งเอกสารฉบับพร้อมทั้งเอกสารสมบูรณ์

วันที่ 7 เดือน มิ.ย. พ.ศ. 53

ใบรับรองฉบับนี้ใช้เพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ใบรับรองฉบับนี้สามารถเปลี่ยนแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อวิทยานิพนธ์	การออกแบบวงจรออสซิลเลเตอร์ชนิดอะเรย์ ที่ควบคุมแบบดิจิทัล
นักศึกษา	นายเจษฎา ใจดี
รหัสประจำตัว	48060409
ปริญญา	วิศวกรรมศาสตรมหาบัณฑิต
สาขาวิชา	วิศวกรรมอิเล็กทรอนิกส์
พ.ศ.	2553
อาจารย์ที่ปรึกษาวิทยานิพนธ์	ดร.กสิน วิเชียรชม

บทคัดย่อ

วิทยานิพนธ์ฉบับนี้อธิบายถึงการออกแบบวงจรออสซิลเลเตอร์ที่สามารถปรับค่าความถี่แบบดิจิทัล ซึ่งประกอบด้วยอะเรย์ ขนาด m แถว และ n หลัก ของ tri-state อินเวอร์เตอร์ ที่มีคุณสมบัติเหมือนกันทุกประการ ในขั้นตอนการออกแบบ ใช้การประมาณค่าหน่วยเวลาของวงจรด้วยแบบจำลอง RC ทำให้สามารถคำนวณค่าความถี่เอาต์พุตที่ต้องการได้ สามารถกำหนดรูปแบบของการควบคุมการปรับค่าความถี่ที่เหมาะสมสำหรับการนำไปใช้งานได้ กล่าวคือ มีรูปแบบการควบคุมที่แน่นอน และไม่ซับซ้อน ให้ความถี่ที่เพิ่มขึ้นตามลำดับของค่าบิตควบคุมที่เพิ่มขึ้น โดยไม่ขึ้นกับค่า R และ ค่า C ที่แท้จริงของวงจร วงจรต้นแบบขนาด 16 แถว และ 5 หลัก ได้ถูกออกแบบโดยใช้เซลล์มาตรฐานของเทคโนโลยีการซึมอสขนาด $0.35\mu\text{m}$ ผลการจำลองการทำงานด้วยโปรแกรม Cadence แสดงให้เห็นว่ารูปแบบการควบคุมที่นำเสนอให้จำนวนความถี่เอาต์พุตของวงจรมากกว่ารูปแบบเดิมถึงร้อยละ 70 วงจรดังกล่าวให้ค่าความถี่เอาต์พุตจำนวน 132 ค่า ในช่วงความถี่ 83-653 MHz และมีอัตราการสิ้นเปลืองกำลังงานสูงสุดเท่ากับ 18 mW เพื่อทดสอบการนำไปใช้งาน วงจรเฟสล็อกูปแบบดิจิทัลทั้งหมด อันประกอบด้วย วงจรตรวจจับเฟสและความถี่ วงจรกรองรูปแบบดิจิทัล วงจรหารและวงจรออสซิลเลเตอร์ดังกล่าว ได้ถูกออกแบบ และจำลองการทำงานด้วยโปรแกรม Cadence เช่นกัน ผลการจำลองการทำงานพบว่า วงจรเฟสล็อกูปสามารถทำงานได้ตามที่ออกแบบ อย่างไรก็ตาม เนื่องจากวงจรออสซิลเลเตอร์มีขนาดของอะเรย์เล็ก ให้จำนวนความถี่จำกัด ทำให้ความละเอียดของค่าความถี่ต่ำ ดังนั้นในสภาวะล็อกเอาต์พุตจิตเตอร์จึงมีค่าสูง

วงจรออสซิลเลเตอร์และวงจรเฟสล็อกูปที่นำเสนอเป็นวงจรดิจิทัลทั้งหมด สร้างได้ด้วยเซลล์มาตรฐาน มีจุดเด่นที่สามารถออกแบบได้ง่าย และสะดวกต่อการออกแบบใหม่เมื่อมีการเปลี่ยนเทคโนโลยี ช่วยลดต้นทุนและระยะเวลาในการออกแบบ ดังนั้นจึงเป็นอีกทางเลือกหนึ่งของการสร้างวงจรกำเนิดสัญญาณนาฬิกาสำหรับระบบดิจิทัลทั่วไป

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Thesis Title	Design of Digitally Controlled Array-Based Oscillator
Student	Mr.Jetsada Jaidee
Student ID.	48060409
Degree	Master of Engineering
Program	Electronics Engineering
Year	2010
Thesis Advisor	Dr. Kasin Vichienchom

ABSTRACT

This thesis describes a design of digitally controlled array-based ring oscillator which consists of an m-by-n identical tri-state inverter array. In this design, the simple RC delay model was used to approximate the delay and the output frequency. The closed form formula of the output frequency was derived. Consequently, a smart frequency control pattern was developed. It is simple, independent from actual value of resistance and capacitance and guarantees the monotonic increasing of frequency as the control word increases. The prototype 16-by-5 array oscillator was designed in 0.35 μ m CMOS technology using standard cell. Cadence simulation results show that the proposed oscillator and its control pattern can provide totally 132 output frequencies within the frequency range of 83-653 MHz. It is more than 70 percent increasing in the number of output frequency compared to the same oscillator structure that had been reported. The maximum power dissipation of the oscillator is 18 mW. To demonstrate its applications and evaluate its performance, an all-digital phase-locked loop (ADPLL) composed of a modified phase-frequency detector, a digital loop filter, a divider and the prototype oscillator was designed and simulated using Cadence. The simulation results show that the ADPLL can operate as designed. Because of its small array size and limited number of the output frequency, the frequency resolution of the oscillator is relatively low. Thus when enter the locked state, i.e. only the least significant bit of the control word switches, the ADPLL produces output clock with a fairly high output jitter.

The proposed design was implemented in digital. It was realized using the hardware description language and the standard cell and required no analog expertise. It has advantages of scalability and portability of digital design.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

วิทยานิพนธ์ฉบับนี้สำเร็จได้อย่างดีด้วยคำแนะนำและคำปรึกษาจาก ดร. กสิน วิเชียรชม ซึ่งเป็นอาจารย์ที่ปรึกษา ข้าพเจ้ารู้สึกซาบซึ้งในความอนุเคราะห์จากท่านอาจารย์และขอขอบพระคุณเป็นอย่างสูง

ขอขอบพระคุณ รศ.ดร. วรากร เกษมสุวรรณ และคณาจารย์ภาควิชาวิศวกรรมอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังทุก ๆ ท่านที่ได้ให้ความรู้และคำแนะนำกับข้าพเจ้า

ขอขอบคุณห้องปฏิบัติการวิจัย King Mongkut's Integrated Circuit Lab (KMICL) ที่ได้สนับสนุนเครื่องมือ อุปกรณ์ ตลอดจนข้อมูล และหนังสือต่างๆ ที่ใช้ในการทำวิจัย

ขอขอบคุณเพื่อนๆ พี่ๆ น้องๆ ในภาควิชาวิศวกรรมอิเล็กทรอนิกส์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง ทุกคนที่ให้คำแนะนำต่างๆ และเป็นให้กำลังใจเสมอมา

สุดท้ายนี้ข้าพเจ้าขอกราบขอบพระคุณ มารดา บิดา และญาติพี่น้องของข้าพเจ้าที่เป็นกำลังใจและให้การสนับสนุนในทุกเรื่องๆ ทำให้ข้าพเจ้าสามารถทำวิทยานิพนธ์ฉบับนี้สำเร็จลุล่วงด้วยดี

คุณค่าและประโยชน์อันพึงมีจากวิทยานิพนธ์ฉบับนี้ ข้าพเจ้าขอมอบแด่ผู้มีพระคุณทุกท่าน

เจษฎา ใจดี

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย.....	I
บทคัดย่อภาษาอังกฤษ.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญตาราง.....	VII
สารบัญรูป.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา.....	1
1.3 สมมติฐานของการศึกษา.....	2
1.4 ทฤษฎีหรือแนวคิดที่ใช้ในการวิจัย.....	2
1.5 ขอบเขตการวิจัย.....	2
1.6 ขั้นตอนของการศึกษา.....	3
บทที่ 2 ทฤษฎีเบื้องต้นของเฟสล็คคูลูป.....	4
2.1 บทนำ.....	4
2.2 ลิเนียร์เฟสล็คคูลูป (LPLL).....	5
2.2.1 วงจรกรองลูป.....	6
2.2.2 การทำงานของลิเนียร์เฟสล็คคูลูปในสภาวะล็ค.....	8
2.3 ดิจิตอลเฟสล็คคูลูป (DPLL).....	11
2.3.1 รูปแบบของดิจิตอลเฟสล็คคูลูป.....	11
2.3.2 ภาคตรวจจับเฟสแบบดิจิตอล.....	12
2.3.3 การทำงานของดิจิตอลเฟสล็คคูลูปในสภาวะล็ค.....	19
2.4 เฟสล็คคูลูปแบบดิจิตอลทั้งหมด (ADPLL).....	22
2.4.1 ทบทวนงานวิจัยที่เกี่ยวข้องในเรื่องของ DCO ซึ่งเป็นส่วนหนึ่งของ ADPLL.....	23
2.5 สรุป.....	30

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
บทที่ 3 การออกแบบวงจรเฟสล็อคลูปแบบดิจิทัลทั้งหมด.....	31
3.1 บทนำ.....	31
3.2 วงจรออสซิลเลเตอร์ที่ควบคุมแบบดิจิทัล.....	32
3.2.1 วงจรออสซิลเลเตอร์.....	32
3.2.2 วงจรถอดรหัส (Decoder)	57
3.2.3 การจำลองการทำงานของวงจร DCO	59
3.3 วงจรตรวจจับเฟส	60
3.3.1 วงจรตรวจจับเฟสและความถี่.....	60
3.4 วงจรเปลี่ยนค่าเวลาเป็นค่าดิจิทัลและวงจรกรองลูป.....	65
3.4.1 วงจรเปลี่ยนค่าเวลาเป็นค่าดิจิทัล (Time to Digital Converter: TDC)	65
3.4.2 วงจรกรองลูป (Loop filter)	66
3.5 วงจรหารความถี่.....	77
3.6 วงจรเฟสล็อคลูปแบบดิจิทัลทั้งหมด.....	78
3.7 ผลการจำลองการทำงาน.....	79
3.8 สรุป.....	85
บทที่ 4 วงจรกำเนิดสัญญาณนาฬิกา.....	86
4.1 วงจรกำเนิดสัญญาณนาฬิกา.....	86
4.2 วงจรกำเนิดสัญญาณนาฬิกาด้วยวงจรดิจิทัลเฟสล็อคลูปแบบดิจิทัลทั้งหมด	86
4.3 ผลการจำลองการทำงาน.....	87
4.4 สรุปผลการจำลองการทำงาน.....	89
บทที่ 5 บทสรุปผลการวิจัยและข้อเสนอแนะ.....	90
5.1 บทสรุปผลการวิจัย	90
5.1 ข้อเสนอแนะและแนวทางพัฒนา.....	90
เอกสารอ้างอิง.....	92

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ (ต่อ)

	หน้า
ภาคผนวก.....	94
ภาคผนวก ก. การแสดงความสัมพันธ์การประมาณค่าหน่วยเวลาของวงจรออสซิลเลเตอร์ กับรูปแบบการควบคุมการปรับความถี่ที่นำเสนอและการวิเคราะห์ ความสัมพันธ์ของจำนวนความถี่ออสซิลเลเตอร์.....	95
ภาคผนวก ข. โปรแกรม VHDL สำหรับการออกแบบวงจรต่างๆ.....	102
ภาคผนวก ค. ผลงานวิจัยที่ได้รับการตีพิมพ์เผยแพร่.....	126
ประวัติผู้เขียน.....	132



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
2.1 วงจรตรวจจับเฟส และวงจรกรองรูปของคลาสิคอลลิจิตอลเฟสล็อกคูลูป	21
3.1 รูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์แบบมาตรฐาน	48
3.2 รูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์ที่นำเสนอ.....	53
3.3 สรุปรูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์ที่นำเสนอ	57
3.4 เปรียบเทียบคุณสมบัติของวงจร DCO ที่นำเสนอกับ วงจร DCO [6].....	60
3.5 ตารางความจริงของวงจรถอดสถานะของวงจรตรวจจับเฟสและความถี่.....	63
3.6 สรุปผลการจำลองการทำงานของวงจรเฟสล็อกคูลูป.....	83
3.7 เปรียบเทียบคุณสมบัติของวงจรเฟสล็อกคูลูปที่นำเสนอกับวงจรแบบอื่นๆ	84



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

รูปที่	หน้า
2.1 รูปแบบของลิเนียร์เฟสดีออลูป.....	5
2.2 (ก) วงจรกรองพาสซีฟแบบตาม-นำ (lag-lead passive filter) และ (ข) ผลตอบสนองของ วงจรถูกกรองพาสซีฟแบบตาม-นำ (lag-lead passive filter)	6
2.3 (ก) วงจรกรองแบบแอคทีฟ (active filter) และ (ข) ผลตอบสนองของวงจรถูก กรองแบบแอคทีฟ (active filter)	7
2.4 (ก) วงจรกรองแบบแอคทีฟแปรผัน-อินทิเกรต (proportional-integral active filter) และ (ข) ผลตอบสนองของวงจรถูกกรองแบบแอคทีฟแปรผัน-อินทิเกรต.....	8
2.5 แบบจำลองทางคณิตศาสตร์ของลิเนียร์เฟสดีออลูป	9
2.6 โครงสร้างของคลาสซิคอลดีออลูปเฟสดีออลูป.....	12
2.7 ตัวตรวจจับเฟสแบบเอ็กซ์คลูซีฟออร์เกท.....	13
2.8 ความต่างเฟส ที่ θ_c เท่ากับศูนย์.....	13
2.9 ความต่างเฟส ที่ θ_c มากกว่าศูนย์.....	13
2.10 ความสัมพันธ์ระหว่างแรงดันเอาต์พุตกับผลต่างเฟส ของวงจรถูกจับเฟส แบบเอ็กซ์คลูซีฟออร์เกท.....	14
2.11 วงจรถูกจับเฟสแบบ JK ฟลิปฟลอป	14
2.12 ความต่างเฟส ที่ θ_c เท่ากับศูนย์.....	14
2.13 ความต่างเฟส ที่ θ_c มากกว่าศูนย์.....	15
2.14 ความสัมพันธ์ระหว่างแรงดันเอาต์พุตกับผลต่างเฟส ของวงจรถูกจับเฟสแบบ JK ฟลิปฟลอป.....	15
2.15 วงจรถูกจับเฟส-ความถี่.....	16
2.16 สถานะการทำงานของวงจรถูกจับเฟส-ความถี่.....	17
2.17 เมื่อสัญญาณ v_i และ v_o มีเฟสเท่ากันพอดี.....	17
2.18 เมื่อสัญญาณ v_i นำหน้า v_o	18
2.19 เมื่อสัญญาณ v_i ล้าหลัง v_o	18
2.20 ความสัมพันธ์ระหว่างค่าเฉลี่ยของสัญญาณเอาต์พุต \bar{v}_e กับผลต่างเฟส θ_c ของวงจรถูกจับเฟส-ความถี่	18
2.21 ค่ารอบทำงานเฉลี่ยของสัญญาณเอาต์พุต \bar{v}_e เทียบกับอัตราส่วนความถี่ ω_i / ω_o	19
2.22 แบบจำลองทางคณิตศาสตร์ของดีออลูปเฟสดีออลูป.....	20

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญญรูป (ต่อ)

รูปที่	หน้า
2.23 แผนผังของเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด (ADPLL)	22
2.24 (ก) โครงสร้างของวงจร DCO แบบใช้การหารความถี่จากภายนอก	
(ข) แผนภาพทางเวลาของวงจร DCO.....	24
2.25 โครงสร้างของวงจร DCO แบบใช้หลักการหารความถี่ โดยการสร้างตัวกำเนิดความถี่ อยู่ในวงจร	25
2.26 วงจร DCO แบบเปลี่ยนแปลงขนาดของ ring oscillator	26
2.27 โครงสร้างของวงจร DCO แบบปรับความถี่ด้วยการเปลี่ยนแปลงค่า delay ของแต่ละ state ของ ring oscillator.....	26
2.28 โครงสร้างของวงจร DCO แบบปรับความถี่ด้วยการเปลี่ยนแปลงค่า delay ของแต่ละ state ของ ring oscillator.....	27
2.29 โครงสร้างของวงจร DCO แบบที่สามารถเปลี่ยนแปลงขนาด ring oscillator ร่วมกับวงจร ที่ขนาดของ ring oscillator คงที่ แล้วเปลี่ยนแปลงค่า delay ของ state ของ ring oscillator....	28
2.30 (ก) โครงสร้างของวงจร DCO แบบเปลี่ยนแปลงขนาดของ ring oscillator ต่อร่วมกับ วงจรเกิด delay (ข) โครงสร้างวงจรเกิด delay.....	29
3.1 วงจรเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด (ADPLL)	32
3.2 โครงสร้างของวงจร DCO.....	32
3.3 (ก) วงจรริงออสซิลเลเตอร์ (ข) รูปสัญญาณการเริ่มทำงานของวงจรริงออสซิลเลเตอร์ และ (ค) รูปสัญญาณของวงจรริงออสซิลเลเตอร์.....	33
3.4 วงจรออสซิลเลเตอร์ที่นำเสนอ	34
3.5 การออกแบบวงจรออสซิลเลเตอร์ที่มีความถี่สูงสุดโดยมีจำนวน stage เท่ากับ n.....	35
3.6 การออกแบบวงจรออสซิลเลเตอร์ที่มีความถี่ต่ำสุดที่มีจำนวน stage เท่ากับ n และมีจำนวน tri-state inverter ต่อขนานในแต่ละ stage เป็นจำนวนเท่ากับ m.....	35
3.7 (ก) วงจรของ tri-state inverter (ข) ตัวเก็บประจุที่โหนดภายในของ NMOS และ PMOS.....	37
3.8 ตัวเก็บประจุที่เป็น โทลคของ tri-state inverter	37
3.9 ตัวเก็บประจุของ tri-state inverter ใช้สำหรับการประมาณค่าหน่วงเวลา.....	38
3.10 RC model ของ tri-state inverter (ก) วงจรของ tri-state inverter (ข) เมื่อ tri-state inverter ถูก disable (ค)เมื่อ tri-state inverter ถูก enable และอยู่ในช่วง tPLH (ง) เมื่อ tri-state inverter ถูก enable และอยู่ในช่วง tPHL.....	40
3.11 First-order RC network.....	41

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญญรูป (ต่อ)

รูปที่	หน้า
3.12 (ก) วงจรออสซิลเลเตอร์ 1 Stage (ข) RC model สำหรับวงจรรูป (ก) เมื่อพิจารณาเฉพาะส่วนที่ทำให้เกิด tdi.....	42
3.13 (ก) วงจรออสซิลเลเตอร์ 1 Stage (ข) RC model สำหรับ tri-state inverter จำนวน m ตัวต่อขนานกัน และทุกตัวถูก enable.....	43
3.14 (ก) วงจร RC tree network (ข) วงจร RC mesh network ที่แปลงจาก RC tree network รูป (ก) (ค) วงจร RC tree network ที่แปลงจาก วงจร RC mesh network ในรูป (ข)	44
3.15 วงจร RC tree network สำหรับการประมาณค่าหน่วยเวลาของวงจรออสซิลเลเตอร์ 1 stage ใน รูปที่ 3.11.....	46
3.16 ตัวอย่างวงจรออสซิลเลเตอร์ด้วยอาร์เรย์ขนาด 3x5	47
3.17 ตัวอย่างออสซิลเลเตอร์ที่นำเสนอด้วยอาร์เรย์ขนาด 3x5	52
3.18 ออสซิลเลเตอร์ที่นำเสนอด้วยอาร์เรย์ขนาด 16x5.....	56
3.19 (ก) ออสซิลเลเตอร์ที่นำเสนอด้วยอาร์เรย์ขนาด 16x5 (ข) โครงสร้างของวงจรถอดรหัส (Decoder)	58
3.20 ผลการวัดความถี่เอาต์พุตเทียบกับบิตควบคุมของ DCO ของออสซิลเลเตอร์ที่นำเสนอเทียบกับวงจร DCO แบบ[6]	59
3.21 วงจรตรวจจับเฟสและความถี่.....	60
3.22 การทำงานของวงจรตรวจจับเฟสและความถี่.....	61
3.23 วงจรตรวจจับเฟสและความถี่ ที่ถูกเพิ่มวงจรถัดสัญญาณเอาต์พุตที่ไม่ต้องออกไป.....	61
3.24 การทำงานของวงจรตรวจจับเฟสและความถี่ของวงจรรูปที่ 3.22	62
3.25 วงจรรวมค่าความต่างเฟสของวงจรตรวจจับเฟสและความถี่	62
3.26 วงจรบอกสถานะของวงจรตรวจจับเฟสและความถี่	63
3.27 วงจรตรวจจับเฟสและความถี่ที่ถูกปรับปรุงสมบูรณ์แล้ว.....	64
3.28 แผนผังทางเวลาแสดงการทำงานของวงจรตรวจจับเฟสและความถี่	64
3.29 โครงสร้างของวงจรแปลงค่าเวลาเป็นค่าดิจิทัล	65
3.30 แผนภาพทางเวลาแสดงการทำงานของวงจร Latch.....	65
3.31 แผนภาพทางเวลาแสดงการทำงานของวงจรแปลงค่าเวลาเป็นค่าดิจิทัล.....	66
3.32 บล็อกไดอะแกรมของวงจรรองรูป (Loop filter)	67
3.33 โครงสร้างของวงจรรองแบบละเอียด (Fine filter)	69

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป (ต่อ)

รูปที่	หน้า
3.34 แผนผังการทำงานของวงจร Phe data comparator.....	69
3.35 แผนผังการทำงานของวงจร Phe data processor	70
3.36 บล็อกไคอะแกรมของวงจรมับละเอียด (Fine counter)	71
3.37 แผนผังการทำงานของวงจรมับละเอียด (Fine counter) ส่วนที่หนึ่ง.....	72
3.38 แผนผังการทำงานของวงจรมับละเอียด (Fine counter) ส่วนที่สอง	72
3.39 โครงสร้างของวงจรกรองแบบหยาบ (Coarse filter)	73
3.40 แผนผังการทำงานของวงจรกรองแบบหยาบ (Coarse filter)	74
3.41 บล็อกไคอะแกรมของวงจรมับหยาบ (Coarse counter)	75
3.42 แผนผังการทำงานของวงจรมับหยาบ (Coarse counter)	76
3.43 โครงสร้างของวงจรหารความถี่	77
3.44 วงจรเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด (ADPLL)	78
3.45 ค่า Digital Control Word ของ DCO เทียบกับเวลาที่ความถี่ 650 MHz	80
3.46 ค่า Digital Control Word ของ DCO เทียบกับเวลาที่ความถี่ 100 MHz	81
3.47 ค่า peak-to-peak jitter ที่ความถี่เอาต์พุต 650 MHz	82
4.1 วงจรกำเนิดสัญญาณนาฬิกาด้วยวงจรเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด	86
4.2 การเข้าสู่สภาวะล็อกของ ADPLL ที่ความถี่ 592.5 MHz.....	87
4.3การทำงาน ของ ADPLLหลังจากเข้าสู่สภาวะล็อกแล้วที่ความถี่ 592.5 MHz.....	88
4.4ค่า Digital Control Word เทียบกับเวลาของวงจร DCO ที่ความถี่ 592.5 MHz	88
4.5 รูปสัญญาณนาฬิกาที่ความถี่ 592.5 MHz.....	89

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันเทคโนโลยีทางด้านอิเล็กทรอนิกส์ได้มีการพัฒนาไปอย่างรวดเร็ว เราสามารถพบอุปกรณ์ เครื่องมือเครื่องใช้ต่างๆที่เป็นอิเล็กทรอนิกส์ได้มากมาย อุปกรณ์อิเล็กทรอนิกส์ประกอบไปด้วยส่วนของวงจรรอนาล็อก และวงจรถิจิตอล เทคโนโลยีการสร้างอุปกรณ์และวงจรรอนาล็อกได้มีการพัฒนาและเปลี่ยนแปลงไปอย่างรวดเร็ว ดังนั้นจึงต้องมีการออกแบบและพัฒนาวงจรรุ่นใหม่ๆ ปัจจุบันวงจรถิจิตอลหรือระบบคิจิตอลมีการใช้งานกันอย่างกว้างขวาง ซึ่งวงจรรุ่นหรือระบบคิจิตอลนั้นต้องใช้สัญญาณนาฬิกาจากวงจรรองกำเนิดสัญญาณนาฬิกา สำหรับควบคุมการทำงานวงจรรองกำเนิดสัญญาณนาฬิกาที่มีการออกแบบด้วยวงจรรุ่นเฟสล็อกแบบอนาล็อก ซึ่งมีประสิทธิภาพสูง แต่เนื่องจากการออกแบบวงจรรอนาล็อกมีความซับซ้อนยุ่งยาก ต้องใช้ผู้ที่มีความรู้ความชำนาญสูง และต้องใช้ระยะเวลาในการออกแบบ จึงมีต้นทุนที่สูง โดยในวงจรรุ่นหรือระบบคิจิตอลบางประเภท ไม่จำเป็นต้องใช้วงจรรองกำเนิดสัญญาณนาฬิกาที่มีประสิทธิภาพสูง ดังนั้นจึงได้ออกแบบวงจรรองกำเนิดสัญญาณนาฬิกาด้วยวงจรรุ่นเฟสล็อกแบบคิจิตอลทั้งหมดมาใช้กับระบบคิจิตอล ถึงแม้ว่าประสิทธิภาพของวงจรรุ่นจะไม่สูงมาก แต่สามารถใช้งานได้เป็นอย่างดี และเนื่องจากการออกแบบวงจรรุ่นคิจิตอลมีความซับซ้อนยุ่งยากน้อยกว่าการออกแบบวงจรรุ่นแบบอนาล็อก จึงใช้ระยะเวลาในการออกแบบไม่นาน โดยไม่ต้องใช้ผู้ที่มีความรู้ความชำนาญสูงมากนัก เมื่อมีพัฒนาหรือมีการเปลี่ยนแปลงเทคโนโลยีในการสร้างวงจรรุ่นใหม่ เรายังสามารถใช้หลักการและรูปแบบของการออกแบบระบบแบบเดิมได้ โดยที่ไม่ต้องออกแบบวงจรรุ่นใหม่ทั้งหมด และมีความซับซ้อนยุ่งยากน้อยเมื่อเทียบกับระบบอนาล็อก จึงใช้ระยะเวลาไม่นาน ซึ่งทำให้ช่วยลดต้นทุนได้ ทำให้การออกแบบวงจรรุ่นคิจิตอลมีความน่าสนใจเป็นอย่างยิ่ง

1.2 ความมุ่งหมายและวัตถุประสงค์ของการศึกษา

วิทยานิพนธ์ฉบับนี้ศึกษาการออกแบบวงจรรุ่นเฟสล็อกแบบคิจิตอลทั้งหมด เพื่อใช้เป็นวงจรรองกำเนิดสัญญาณนาฬิกา เน้นการออกแบบวงจรรุ่นคิจิตอลให้มีความยืดหยุ่น และช่วยลดความยุ่งยากซับซ้อน ทำให้ง่าย สะดวกและรวดเร็ว ช่วยลดต้นทุน ในการออกแบบและสร้างใหม่ เมื่อมีการเปลี่ยนแปลงเทคโนโลยี โดยไม่ต้องคำนวณหรือออกแบบใหม่เช่นเดียวกับวงจรรุ่นแบบอนาล็อก ซึ่งต้องใช้ความรู้ความเชี่ยวชาญทางด้านวงจรรอนาล็อกเป็นอย่างดี

1.3 สมมติฐานของการศึกษา

การออกแบบวงจรเฟสล็อคลูปแบบดิจิทัลทั้งหมด องค์ประกอบที่สำคัญที่สุดของวงจรคือ วงจรออสซิลเลเตอร์ (Oscillator) จากการศึกษาทฤษฎีและงานวิจัยต่างๆ มีการออกแบบวงจรออสซิลเลเตอร์ ที่ใช้ tri-state inverter ต่อเป็นวงจรริงออสซิลเลเตอร์ (ring oscillator) และนำ tri-state inverter มาต่อขนานเข้ากับวงจรริงออสซิลเลเตอร์ในแต่ละ stage อยู่ในลักษณะอะเรย์ และเราสามารถควบคุมการเปลี่ยนแปลงความถี่ของวงจรออสซิลเลเตอร์ได้ โดยอาศัยการ enable และ disable ของ tri-state inverter ซึ่งมีลำดับและรูปแบบที่เรียกได้ว่าเป็นแบบมาตรฐาน และจำนวนความถี่เอาต์พุตที่เกิดขึ้นทั้งหมด เท่ากับจำนวนของ tri-state inverter ที่นำมาต่อขนานเพิ่มนั่นเอง ซึ่งมีจำนวนของความถี่ที่เกิดขึ้นน้อยหรือออสซิลเลเตอร์มีความละเอียดต่ำ

วงจรออสซิลเลเตอร์ ที่ใช้ tri-state inverter ต่อในลักษณะของอะเรย์ ทำให้เกิดสมมติฐานที่ว่า การควบคุมการเปลี่ยนแปลงความถี่ โดยอาศัยการ enable และ disable ของ tri-state inverter นั้น ถ้าเราสามารถหาความสัมพันธ์ของการ enable และ disable กับการเปลี่ยนแปลงของความถี่ได้ เราจะสามารถออกแบบรูปแบบของการควบคุมการเปลี่ยนแปลงความถี่ ให้มีจำนวนของความถี่เพิ่มมากขึ้น หรือเพิ่มความละเอียดของออสซิลเลเตอร์ให้สูงขึ้นได้ โดยมีรูปแบบที่ไม่ซับซ้อนยุ่งยาก และลำดับหรือรูปแบบที่แน่นอน สามารถเรียกว่าเป็นรูปแบบมาตรฐานได้เช่นกัน

1.4 ทฤษฎีหรือแนวความคิดที่ใช้ในการวิจัย

จากสมมติฐานข้างต้นดังกล่าว ความถี่ของวงจรออสซิลเลเตอร์มีค่าเท่ากับ ส่วนกลับของเวลา ซึ่งเวลานั้นคือค่าหน่วงเวลาของ tri-state inverter ของแต่ละ stage รวมกัน การนำเอา tri-state inverter ต่อขนานเพิ่มในแต่ละ stage ของริงออสซิลเลเตอร์ แล้วควบคุมการทำงานของ tri-state inverter ทำให้เกิดการเปลี่ยนแปลงของค่าหน่วงเวลา ส่งผลให้เกิดการเปลี่ยนของความถี่ ถ้าเราสามารถหาความสัมพันธ์หรือหาวิธีการเปลี่ยนแปลงของค่าหน่วงเวลานั้นได้ เราจะสามารถออกแบบการควบคุมการทำงานของ tri-state inverter เพื่อให้วงจรสามารถกำเนิดความถี่ตามที่เราต้องการได้

1.5 ขอบเขตการวิจัย

วิทยานิพนธ์ฉบับนี้นำเสนอวงจรกำเนิดสัญญาณนาฬิกาโดยใช้เฟสล็อคลูปแบบดิจิทัลทั้งหมด วงจรเฟสล็อคลูปแบบดิจิทัลทั้งหมดประกอบด้วยวงจรออสซิลเลเตอร์ ซึ่งนำ tri-state inverter ต่ออยู่ในลักษณะของอะเรย์ และได้ออกแบบรูปแบบการควบคุมการปรับความถี่ขึ้นใหม่ ในส่วนของวงจรตรวจจับเฟสมีการตัดแปลงโดยใช้วงจรตรวจจับเฟสและความถี่เป็นต้นแบบ และวงจรกรองลูปออกแบบเป็นวงจรแปลงค่าเวลาเป็นค่าดิจิทัล (Time to Digital Converter) ร่วมกับ

วงจรกรองแบบละเอียด และวงจรกรองแบบหยาบ สำหรับประมวลผลของค่าความต่างเฟสเพื่อสร้างสัญญาณควบคุมวงจรมับ ซึ่งวงจรมับจะได้เอาท์พุทเพื่อไปควบคุมการทำงานของวงจรถอดสวิตช์มอเตอร์ต่อไป

1.6 ขั้นตอนของการศึกษา

ขั้นตอนการศึกษาและการวิจัยเริ่มต้นจากการศึกษาลักษณะ และการทำงานพื้นฐานของวงจรเฟสล็อกคูลุป รวมถึงการค้นคว้าข้อมูลจากงานวิจัยต่างๆที่เกี่ยวข้อง เพื่อนำมาเป็นข้อมูลและความรู้พื้นฐานสำหรับการออกแบบพัฒนาให้วงจรมับมีประสิทธิภาพสูงขึ้น จากนั้นเป็นการทดสอบวงจรด้วยการจำลองการทำงานของวงจรมับที่ได้ออกแบบขึ้นมา และภายในวิทยานิพนธ์ฉบับนี้ได้แบ่งเนื้อหาดังกล่าวออกเป็นบทต่างๆ ดังนี้

บทที่ 2 กล่าวถึงทฤษฎีพื้นฐานของวงจรเฟสล็อกคูลุป รวมถึงงานวิจัยต่างๆที่เกี่ยวข้อง

บทที่ 3 นำเสนอการออกแบบวงจรเฟสล็อกคูลุปแบบดิจิทัลทั้งหมด โดยแสดงตามองค์ประกอบต่างๆของวงจร รวมถึงผลการจำลองการทำงานของวงจร

บทที่ 4 นำเสนอวงจรกำเนิดสัญญาณนาฬิกาด้วยวงจรมับเฟสล็อกคูลุปแบบดิจิทัลทั้งหมดพร้อมด้วยผลการจำลองการทำงานของงาน

บทที่ 5 สรุปผลการวิจัยและข้อเสนอแนะสำหรับวิทยานิพนธ์นี้เพื่อเป็นแนวทางในการทำการวิจัยต่อไป

บทที่ 2

ทฤษฎีเบื้องต้นของเฟสล็อกคูล

2.1 บทนำ

เฟสล็อกคูล (Phase-Locked Loop, PLL) คือ วงจรที่ใช้ควบคุมการเปลี่ยนแปลงเฟสของสัญญาณเอาต์พุตกับสัญญาณอินพุตให้มีค่าเท่ากัน จากคุณสมบัติของเฟสล็อกคูล ได้มีการนำไปใช้งานกันอย่างกว้างขวาง เช่น ใช้ในงานด้านการสื่อสาร ระบบควบคุมความเร็วของมอเตอร์ การสังเคราะห์และการกำเนิดความถี่ ส่วนประกอบพื้นฐานของเฟสล็อกคูลมี 3 ส่วนคือ ภาคตรวจจับเฟส (Phase Detector, PD) วงจรกรองรูป (Loop Filter, LF) และวงจรออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้า (Voltage-Controlled Oscillator, VCO) เมื่อนำส่วนประกอบดังกล่าวมาประกอบกันก็จะได้เฟสล็อกคูล ส่วนประกอบของเฟสล็อกคูลมีอยู่หลายแบบแตกต่างกันไป ทำให้เฟสล็อกคูลที่ได้มีหลายแบบด้วย ซึ่งแต่ละแบบก็มีคุณสมบัติการทำงานต่างกัน การศึกษาทำความเข้าใจจึงเป็นสิ่งจำเป็น จะทำให้สามารถเลือกใช้ ออกแบบได้เหมาะสมกับการใช้งาน

เฟสล็อกคูลเป็นวงจรที่ถูกสร้างขึ้นราวปี 1932 โดยวิศวกรชาวฝรั่งเศส [1] ซึ่งเฟสล็อกคูลได้เริ่มมีการนำมาประยุกต์ในงานอุตสาหกรรมอย่างกว้างขวาง เมื่อมีการพัฒนาเทคโนโลยีทางด้านสิ่งประดิษฐ์สารกึ่งตัวนำจนสามารถสร้างในรูปของวงจรรวมได้ เฟสล็อกคูลในรูปแบบวงจรรวมเป็นอุปกรณ์ด้านอะนาล็อก โดยใช้วงจรควบคุมเป็นตัวตรวจจับเฟส วงจรกรองความถี่ต่ำผ่านใช้อุปกรณ์พาสซีฟหรือแอคทีฟ และใช้ออสซิลเลเตอร์แบบควบคุมความถี่ด้วยแรงดันไฟฟ้าเป็นตัวกำเนิดสัญญาณเอาต์พุต วงจรดังกล่าวเรียกว่า “ลิเนียร์เฟสล็อกคูล” (Linear Phase-Locked Loop, LPLL) จากนั้นได้มีการพัฒนาเข้าสู่ยุคของดิจิทัล จึงมีการสร้างเฟสล็อกคูลแบบดิจิทัล (Classical Digital Phase-Locked Loop, DPLL) โดยภาคตรวจจับเฟสสร้างจากวงจรถิจริตอล โดยใช้เอ็กซลิวซีฟออร์เกต (EXOR) ฟลิปฟลอปแบบ JK หรือวงจรแบบตรวจจับเฟส-ความถี่ แต่ในส่วนอื่นๆยังคงเป็นวงจรอะนาล็อก ต่อมาไม่นานเฟสล็อกคูลแบบดิจิทัลทั้งหมด (All-Digital Phase-Locked Loop, ADPLL) ก็ได้ถูกสร้างขึ้น ซึ่งทุกส่วนของวงจรเฟสล็อกคูลอยู่ในรูปแบบฟังก์ชันดิจิทัล ถือเป็นวงจรถิจริตอลทั้งหมด ไม่จำเป็นต้องมีอุปกรณ์พาสซีฟ นอกจากนี้ ฟังก์ชันของวงจรเฟสล็อกคูลยังสามารถสร้างได้ด้วยโปรแกรมคอมพิวเตอร์ การสร้างเฟสล็อกคูลดังกล่าวเรียกว่า “ซอฟต์แวร์เฟสล็อกคูล” (Software Phase-Locked Loop, SPLL)

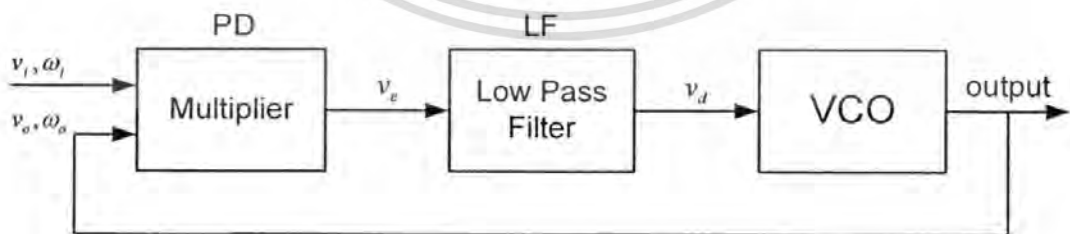
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปเฟสล็อกคูลป มี 4 แบบคือ

1. เฟสล็อกคูลปแบบลิเนียร์ (Linear Phase-Locked Loop, LPLL)
2. เฟสล็อกคูลปแบบดิจิตอล (Classical Digital Phase-Locked Loop, DPLL)
3. เฟสล็อกคูลปแบบดิจิตอลทั้งหมด (All-Digital Phase-Locked Loop, ADPLL)
4. เฟสล็อกคูลปแบบซอฟต์แวร์ (Software Phase-Locked Loop, SPLL)

2.2 ลิเนียร์เฟสล็อกคูลป (LPLL)

ลิเนียร์เฟสล็อกคูลปเป็นระบบควบคุมเฟสและความถี่ โดยใช้วิธีการเปรียบเทียบเฟส ซึ่งสัญญาณเอาต์พุตจะถูกทำให้พร้อมสัมพันธ์ (Synchronous) กับสัญญาณอินพุตอ้างอิงทั้งความถี่และเฟส เฟสล็อกคูลปเป็นระบบควบคุม ซึ่งจะควบคุมให้ความแตกต่างเฟสระหว่างเฟสเอาต์พุตกับเฟสอ้างอิงให้มีค่าน้อยที่สุด ลิเนียร์เฟสล็อกคูลปประกอบไปด้วยวงจรมคูณ (Multiplier) ได้ถูกใช้เป็นวงจรถ่วงจับเฟส (PD) วงจรกรองความถี่ต่ำผ่าน (Low Pass Filter, LPF) ได้ถูกใช้เป็นวงจรรองรูป (LF) และวงจรถ่วงกำเนิดความถี่ที่ถูกควบคุมด้วยแรงดัน (VCO) ดังแสดงในรูปที่ 2.1 โดยภาคตัวตรวจจับเฟสของลิเนียร์เฟสล็อกคูลปทำหน้าที่ตรวจจับความคลาดเคลื่อนของเฟสของสัญญาณอินพุตอ้างอิง ($v_i(t)$) ซึ่งโดยทั่วไปจะเป็นสัญญาณคลื่นไซน์ที่มีความถี่เชิงมุม (ω_i) กับสัญญาณเอาต์พุตของวงจรถ่วงกำเนิดความถี่ที่ถูกควบคุมด้วยแรงดัน ($v_d(t)$) โดยทั่วไปจะเป็นรูปคลื่นไซน์หรือสัญญาณสี่เหลี่ยมที่สมมาตร ที่มีความถี่เชิงมุม (ω_o) สัญญาณเอาต์พุต ($v_e(t)$) ของภาคตรวจจับเฟสจะถูกส่งต่อไปยังภาครองรูป (วงจรรองความถี่ต่ำผ่าน) ทำให้ได้แรงดันไฟกระแสตรง ($v_d(t)$) ซึ่งเป็นสัดส่วนโดยตรงกับสัญญาณความคลาดเคลื่อนของเฟส เพื่อใช้ควบคุมวงจรถ่วงกำเนิดความถี่ที่ถูกควบคุมด้วยแรงดัน (VCO) โดยทั่วไปวงจรรองรูปของลิเนียร์เฟสล็อกคูลปส่วนมากจะใช้วงจรรองความถี่ต่ำผ่านอันดับหนึ่ง ซึ่งจะมีทั้งแบบพาสซีฟและแอกทีฟโดยจะได้อีกกล่าวต่อไป



รูปที่ 2.1 รูปแบบของลิเนียร์เฟสล็อกคูลป

โดยทั่วไปแล้ว สภาวะการทำงานของวงจรร PLL ประกอบด้วย 3 สภาวะด้วยกัน คือ

1. สภาวะทำงานเป็นอิสระ (Free – Running) ความถี่ของ VCO ถูกกำหนดจากโครงสร้าง วงจรของ VCO เอง

2. สภาวะการจับ (Capture) ความถี่เอาท์พุทของ VCO กำลังวิ่งเข้าหาความถี่อินพุท

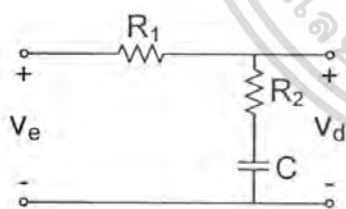
3. สภาวะเฟสล็อก (Phase Locked) ความถี่เอาท์พุทของ VCO เท่ากับความถี่อินพุท ย่นความถี่ ซึ่งวงจรรองรูปสามารถติดตามการเปลี่ยนแปลงของความถี่อินพุทได้ เรา เรียกว่า “ย่านล็อก (Lock Range)” และย่านความถี่ ซึ่งระบบรูปสามารถเข้าถึงสภาวะเฟสล็อกได้ เรียกว่า “ย่านการจับยึด (Capture Range)” ซึ่งจะมีย่านแคบกว่า “ย่านล็อก (Lock Range)”

สำหรับลักษณะสมบัติทาง ไดนามิกส์ (Dynamic Characteristics) ของ PLL จะถูกกำหนด โดยคุณสมบัติของตัวกรองความถี่รูป ซึ่งเป็นวงจรรองความถี่ต่ำผ่าน ในขณะที่ PLL อยู่ในสภาวะ เฟสล็อก ความเร็วในการติดตามการเปลี่ยนแปลงของความถี่อินพุทของ PLL จะถูกจำกัดโดย ตัวกรองความถี่รูป

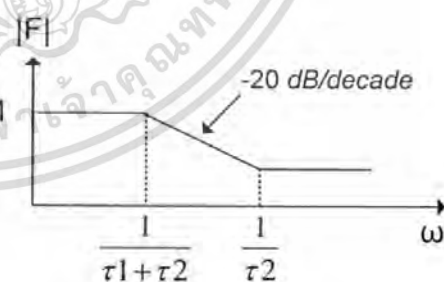
2.2.1 วงจรรองรูป

วงจรรองรูปมีหลายแบบซึ่งมีรายละเอียดดังต่อไปนี้

วงจรรองรูปที่แสดงในรูปที่ 2.2 (ก) เป็นวงจรรองพาสซีฟแบบตาม-นำ (lag-lead passive filter) ซึ่งใช้กันมากในการออกแบบเฟสล็อกคูล์ โดยมีฟังก์ชันถ่ายโอน ดังแสดงในสมการ ที่ (2.1) [1] ซึ่งมี 1 โพลและ 1 ซีโร



(ก)



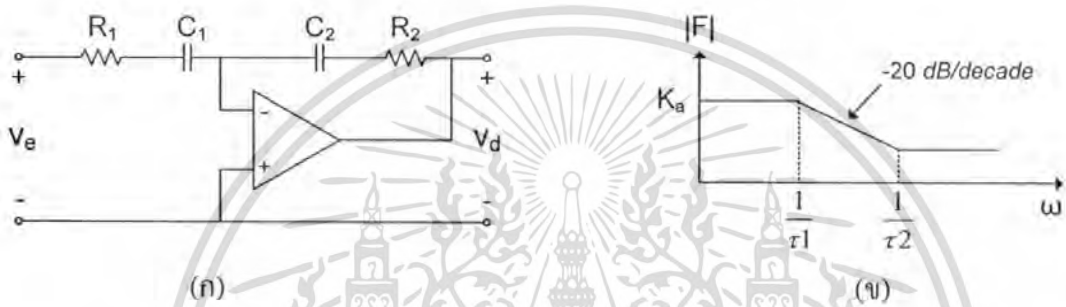
(ข)

รูปที่ 2.2 (ก) วงจรรองพาสซีฟแบบตาม-นำ (lag-lead passive filter) และ (ข) ผลตอบสนองของ วงจรรองพาสซีฟแบบตาม-นำ (lag-lead passive filter)

$$F(s) = \frac{1+s\tau_2}{1+s(\tau_1+\tau_2)} \quad (2.1)$$

เมื่อ $\tau_1 = R_1C$ และ $\tau_2 = R_2C$ ผลตอบสนองของวงจรแสดงในรูปที่ 2.2 (ข) [1]

วงจรกรองรูปที่แสดงในรูปที่ 2.3 (ก) เป็นวงจรกรองแบบแอกทีฟ (active filter) โดยฟังก์ชันของการถ่ายโอนจะมีอัตราขยาย K_a เพิ่มขึ้นมาโดยสามารถเลือกค่าได้มากกว่า 1 มาก ๆ ดังแสดงในสมการที่ (2.2) [1]



รูปที่ 2.3 (ก) วงจรกรองแบบแอกทีฟ (active filter) และ (ข) ผลตอบสนองของวงจรกรองแบบแอกทีฟ (active filter)

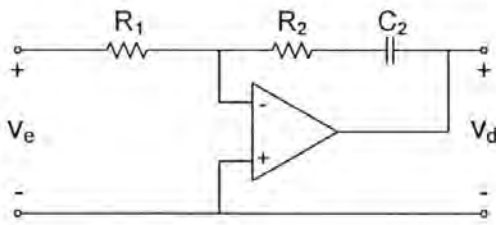
$$F(s) = K_a \frac{1+s\tau_2}{1+s\tau_1} \quad (2.2)$$

เมื่อ $\tau_1 = R_1C_1$ และ $\tau_2 = R_2C_2$ และ $K_a = \frac{-C_1}{C_2}$

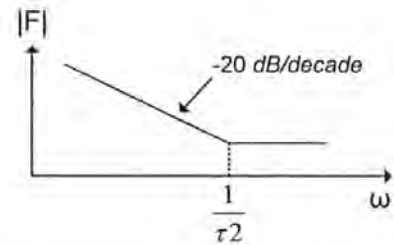
ผลตอบสนองของวงจรแสดงดังรูปที่ 2.3 (ข) [1]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกรองรูปที่แสดงในรูปที่ 2.4 (ก) เป็นวงจรกรองแบบแอกทีฟแปรผัน-อินทิเกรต (proportional-integral active filter) มีฟังก์ชันของการถ่ายโอนแสดงในสมการที่ (2.3) [1]



(ก)



(ข)

รูปที่ 2.4 (ก) วงจรกรองแบบแอกทีฟแปรผัน-อินทิเกรต (proportional-integral active filter) และ (ข) ผลตอบสนองของวงจรกรองแบบแอกทีฟแปรผัน-อินทิเกรต

$$F(s) = \frac{1 + s\tau_2}{s\tau_1} \quad (2.3)$$

เมื่อ $\tau_1 = R_1C$ และ $\tau_2 = R_2C$

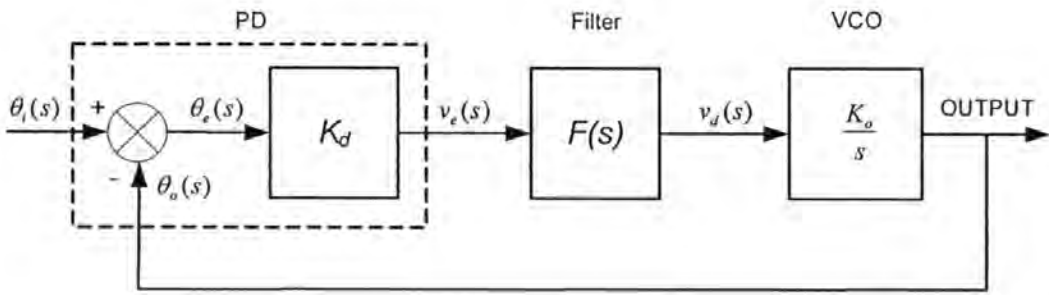
ผลตอบสนองของวงจรแสดงในรูปที่ 2.4 (ข) [1] มีโพลอยู่ที่ $s = 0$ ซึ่งทำหน้าที่เหมือนอินทิเกรเตอร์

2.2.2 การทำงานของลิเนียร์เฟสบล็อกคู่ในสภาวะล๊อค

การทำงานของลิเนียร์เฟสบล็อกคู่เราสามารถเขียน แบบจำลองทางคณิตศาสตร์เมื่ออยู่ในสภาวะล๊อคได้ดังรูปที่ 2.5 [1] โดยฟังก์ชันถ่ายโอน $H(s)$ ซึ่งเป็นความสัมพันธ์ระหว่างเฟสของ θ_o ของสัญญาณเอาต์พุต และเฟส θ_i ของสัญญาณอินพุต เราสามารถเขียนได้ดังสมการที่ (2.4) [1]

$$H(s) = \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_o K_d F(s)}{s + K_o K_d F(s)} \quad (2.4)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 แบบจำลองทางคณิตศาสตร์ของลิเนียร์เฟสล็อกคูลูป

เราสามารถเขียนฟังก์ชันถ่ายโอนความต่างเฟส $H_e(s)$ และความสัมพันธ์ระหว่าง $H_e(s)$ กับ $H(s)$ ได้ดังสมการที่ (2.5)

$$H_e(s) = \frac{\theta_e(s)}{\theta_i(s)} = \frac{s}{s + K_o K_d F(s)} = 1 - H(s) \quad (2.5)$$

โดยที่ K_o คืออัตราขยายของตัวตรวจจับเฟส

K_d คืออัตราขยายของวงจรถ่ายความถี่ที่ถูกควบคุมด้วยแรงดัน

เมื่อแทนฟังก์ชันถ่ายโอนของวงจรรองคูลูป $F(s)$ ตามชนิดของวงจรรองความถี่ที่ต่ำผ่านลงในสมการที่ (2.4) จะได้ฟังก์ชันถ่ายโอนเฟส $H(s)$ มีค่าต่างๆกันดังนี้

ในกรณีวงจรรองพาสซีฟเป็นแบบตามนำเราจะพบว่า

$$H(s) = \frac{K_o K_d \frac{1+s\tau_2}{\tau_1+\tau_2}}{s^2 + s \frac{1+K_o K_d \tau_2}{\tau_1+\tau_2} + \frac{K_o K_d}{\tau_1+\tau_2}} \quad (2.6)$$

ในกรณีที่วงจรรองแบบแอกทีฟมี $H(s)$ เท่ากับ

$$H(s) = \frac{K_o K_d K_a \frac{1+s\tau_2}{\tau_1}}{s^2 + s \frac{1+K_o K_d K_a}{\tau_1} + \frac{K_o K_d K_a}{\tau_1}} \quad (2.7)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในกรณีที่วงจรกรองเป็นแบบแอกทีฟแปรผันอินทิเกรตเราจะได้

$$H(s) = \frac{K_o K_d \frac{1+s\tau_2}{\tau_1}}{s^2 + s \frac{1+K_o K_d \tau_2}{\tau_1} + \frac{K_o K_d}{\tau_1}} \quad (2.8)$$

เราสามารถเขียนตัวหารของฟังก์ชันถ่ายโอนเฟส $H(s)$ โดยเขียนให้อยู่ในรูปแบบมาตรฐานคือ

$$s^2 + 2\zeta\omega_n s + \omega_n^2$$

โดยที่ ω_n คือความถี่ธรรมชาติ (Natural Frequency)

ζ คือตัวประกอบการหน่วง (Damping Factor)

ดังนั้นเราสามารถเขียนสมการของฟังก์ชันการถ่ายโอนของวงจรกรองใหม่ ในกรณี $H(s)$ เป็นวงจรกรองพาสซีฟแบบตามนำได้ดังนี้

$$H(s) = \frac{s\omega_n \left(2\zeta - \frac{\omega_n}{K_o K_d} \right) + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (2.9)$$

$$\text{เมื่อ } \omega_n = \sqrt{\frac{K_o K_d}{\tau_1 + \tau_2}} \text{ และ } \zeta = \frac{\omega_n}{2} \left(\tau_2 + \frac{1}{K_o K_d} \right)$$

และสมการการถ่ายโอนของ $H(s)$ ในกรณีของวงจรกรองแบบแอกทีฟได้เป็น

$$H(s) = \frac{s\omega_n \left(2\zeta - \frac{\omega_n}{K_o K_d K_a} \right) + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (2.10)$$

$$\text{เมื่อ } \omega_n = \sqrt{\frac{K_o K_d K_a}{\tau_1}} \text{ และ } \zeta = \frac{\omega_n}{2} \left(\tau_2 + \frac{1}{K_o K_d K_a} \right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะที่เดียวกันสมการถ่ายโอน $H(s)$ ของวงจรกรองแบบแอกทีฟแปรผันอินทิเกรตมีค่าเท่ากับ

$$H(s) = \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (2.11)$$

เมื่อ $\omega_n = \sqrt{\frac{K_o K_d}{\tau_1}}$ และ $\zeta = \frac{\omega_n \tau_2}{2}$

ในทางปฏิบัติลิเนียร์เฟสดีออสถูปส่วนมากจะมีอัตราขยายสูง ซึ่งจะสอดคล้องกับเงื่อนไขคือ $K_o K_d \gg \omega_n$ หรือ $K_o K_d K_o \gg \omega_n$ ดังนั้นรูปแบบของฟังก์ชันถ่ายโอนของวงจรกรองจะแสดงดังสมการที่ (2.12) [1] ซึ่งเป็นสมการอันดับที่สอง

$$H(s) \approx \frac{2\zeta\omega_n s + \omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (2.12)$$

ในการทำนองเดียวกันฟังก์ชันถ่ายโอนความต่างเฟส $H_e(s)$ ที่อัตราขยายสูงทั้ง 3 แบบของวงจรกรองความถี่ต่ำผ่าน แสดงดังสมการที่ (2.13) [1]

$$H_e(s) \approx \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (2.13)$$

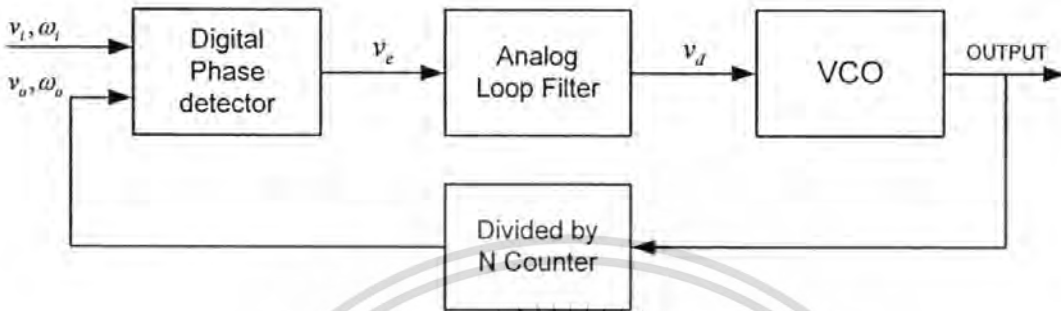
2.3 ดิจิตอลเฟสดีออสถูป (DPLL)

ดิจิตอลเฟสดีออสถูป เป็นระบบที่มีการผสมกันระหว่างส่วนที่เป็นอะนาล็อกกับดิจิตอล ส่วนที่ทำงานเป็นดิจิตอลทั้งหมดของคลาสซิคอลดิจิตอลเฟสดีออสถูปคือ ภาคตรวจจับเฟสในขณะที่ภาคกรองรูปและวงจรถ่ายโอนความถี่ที่ถูกควบคุมด้วยแรงดันยังคงมีการทำงานเป็นแบบ อะนาล็อกอยู่ ดังนั้นคลาสซิคอลดิจิตอลเฟสดีออสถูป จึงมีการทำงานคล้ายกับลิเนียร์เฟสดีออสถูป [1]

2.3.1 รูปแบบของดิจิตอลเฟสดีออสถูป

โครงสร้างของดิจิตอลเฟสดีออสถูปดังรูปที่ 2.6 ประกอบด้วย ภาคตรวจจับเฟส ภาคกรองรูป และวงจรถ่ายโอนความถี่ที่ถูกควบคุมด้วยแรงดัน ซึ่งเหมือนกับลิเนียร์เฟสดีออสถูป ในการประยุกต์การใช้งานที่เกี่ยวข้องกับการสังเคราะห์ความถี่ วงจรเฟสดีออสถูปต้องมีการเพิ่มภาคหารความถี่ N เข้าไป เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาติให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระหว่างวงจรถ้าเนคความถี่ที่ถูกควบคุมด้วยแรงดันกับภาคตัวตรวจจับเฟสคั้งนั้นวงจรถ้าเนคความถี่ที่ถูกควบคุมด้วยแรงดัน จะผลิตความถี่เป็น N เท่าของความถี่อ้างอิง ในส่วนของภาคกรองรูป และวงจรถ้าเนคความถี่ที่ถูกควบคุมด้วยแรงดันของคลาสซิคอลดิจิตอลเฟสล็อกคูล จะเหมือนกับที่ใช้ลิเนียร์เฟสล็อกคูล ส่วนที่แตกต่างคือส่วนของภาคตัวตรวจจับเฟสจะมีการทำงานเป็นแบบลอคจิก



รูปที่ 2.6 โครงสร้างของคลาสซิคอลดิจิตอลเฟสล็อกคูล

2.3.2 ภาคตรวจจับเฟสแบบดิจิตอล

ภาคตรวจจับเฟสแบบดิจิตอลทำหน้าที่เปรียบเทียบเฟสของสัญญาณอินพุตสองสัญญาณ ซึ่งเป็นสัญญาณสี่เหลี่ยม และให้เอาท์พุตเป็นสัญญาณสี่เหลี่ยมที่มีขนาดความกว้างเปลี่ยนแปลงตามความต่างเฟส ของสัญญาณอินพุตทั้งสอง วงจรถวจับเฟสที่นิยมใช้กันคือ วงจรถวจับเฟสแบบเอ็กซ์คลูซีฟออร์เกท และวงจรถวจับเฟสแบบ JK ฟลิปฟลอป และแบบเฟส-ความถี่ [1]

2.3.2.1 วงจรถวจับเฟสแบบเอ็กซ์คลูซีฟออร์เกท

ตัวตรวจจับเฟสแบบเอ็กซ์คลูซีฟออร์เกท แสดงดังรูปที่ 2.7 โดยสัญญาณอินพุตทั้งสองของตัวตรวจจับเฟส แบบเอ็กซ์คลูซีฟออร์เกทคือ v_1 และ v_2 จะต้องมีลักษณะเป็นสัญญาณสี่เหลี่ยมที่มีความสมมาตรเท่านั้น รูปที่ 2.8 แสดงความสัมพันธ์ระหว่างสัญญาณความต่างเฟส v_e และค่าความต่างเฟส ของวงจรถวจับเฟสแบบเอ็กซ์คลูซีฟออร์เกท เราเห็นได้ว่า เมื่อสัญญาณ v_1 และ v_2 มีเฟสต่างกัน 90 องศา เป็นผลให้สัญญาณ v_e จะเป็นสัญญาณสี่เหลี่ยมสมมาตร มีรอบทำงาน (duty cycle) เท่ากับ 50 เปอร์เซ็นต์ และมีความถี่เป็นสองเท่าของสัญญาณอินพุต เนื่องจากความถี่สูงของสัญญาณ v_e จะถูกกรองทิ้งไปด้วยวงจรถวกรองรูป ดังนั้นเราจึงพิจารณาเพียงค่าเฉลี่ย \bar{v}_e ดังแสดงด้วยเส้นประในรูปที่ 2.8 ตัวอย่างเช่น ถ้าเอ็กซ์คลูซีฟออร์เกทได้รับการจ่ายไฟจากแหล่งจ่ายไฟ 5 โวลต์ \bar{v}_e จะมีค่าเท่ากับ 2.5 โวลต์ ซึ่งค่าแรงดัน ณ จุดนี้กำหนดให้เป็นจุดสงบ (Quiescent Point) ของเอ็กซ์คลูซีฟออร์เกท และที่ระดับแรงดันนี้จะให้เป็นจุดอ้างอิง $\bar{v}_e = 0$ ดังนั้นเมื่อเฟสของสัญญาณเอาท์พุต v_o มีค่ามากกว่าสัญญาณอินพุต v_i ค่าความต่างเฟส θ_e จะมีค่าเป็นบวก

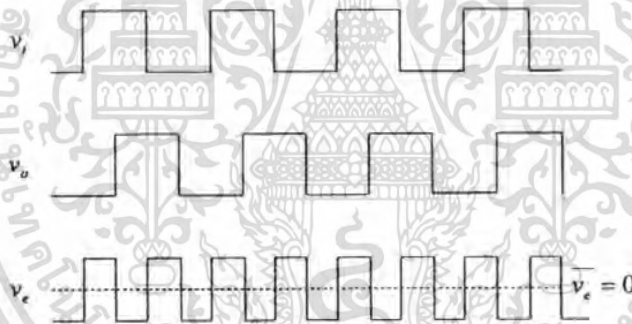
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังรูปที่ 2.9 โดยค่าของรอบทำงานมีค่ามากกว่า 50 เปอร์เซ็นต์ จึงทำให้ค่า \bar{v}_e มีค่ามากกว่าศูนย์ เราจึงสรุปได้ว่าค่าของ \bar{v}_e จะมีค่ามากที่สุดเมื่อค่าความต่างเฟสเท่ากับ 90 องศา และค่าของ \bar{v}_e จะมีค่าน้อยที่สุดเมื่อค่าความต่างเฟสอยู่ที่ -90 องศา เมื่อนำค่าความต่างเฟสไปเปรียบเทียบกับ \bar{v}_e เราสามารถเขียนกราฟได้ดังรูปที่ 2.10 โดยค่าความต่างเฟสจะเป็นสัดส่วนกับ \bar{v}_e และมีค่าอยู่ในช่วง $-\pi/2 < \theta_e < \pi/2$ เราสามารถเขียนสมการได้ดังสมการที่ (2.14) [1]

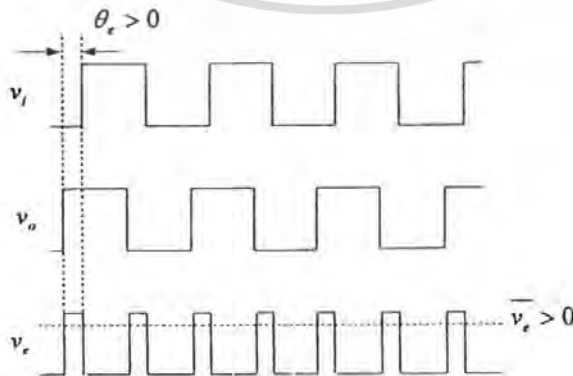
$$\bar{v}_e = K_d \theta_e \tag{2.14}$$



รูปที่ 2.7 ตัวตรวจจับเฟสแบบเอกซ์คลูซีฟออร์เกท

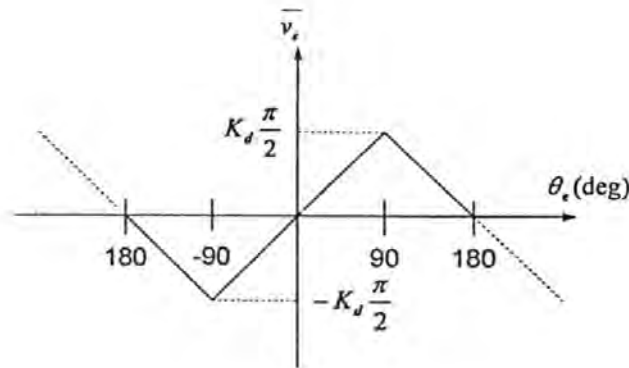


รูปที่ 2.8 ความต่างเฟส ที่ \bar{v}_e เท่ากับศูนย์



รูปที่ 2.9 ความต่างเฟส ที่ \bar{v}_e มากกว่าศูนย์

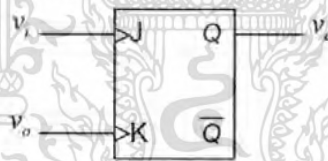
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอญญาติให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



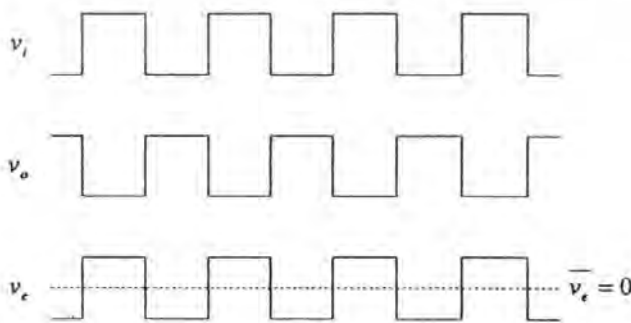
รูปที่ 2.10 ความสัมพันธ์ระหว่างแรงดันเอาต์พุตกับผลต่างเฟส ของวงจรถววจับเฟสแบบเอ็กซ์คลูซีฟเฟอร์เกท

2.3.2.2 วงจรถววจับเฟสแบบ JK ฟลิปฟลอป

วงจรถววจับเฟสแบบ JK ฟลิปฟลอปแสดงในรูปที่ 2.11 โดยจะมีการทำงานเมื่อมีสัญญาณพัลส์ขอบขาขึ้นปรากฏที่ขาอินพุต J ทำให้เอาต์พุตของฟลิปฟลอปเปลี่ยนเป็นสภาวะลอจิกสูง (Q=1) และจะเปลี่ยนเป็นลอจิกต่ำ (Q=0) เมื่อมีสัญญาณพัลส์ขอบขาขึ้นปรากฏที่ขาอินพุต K

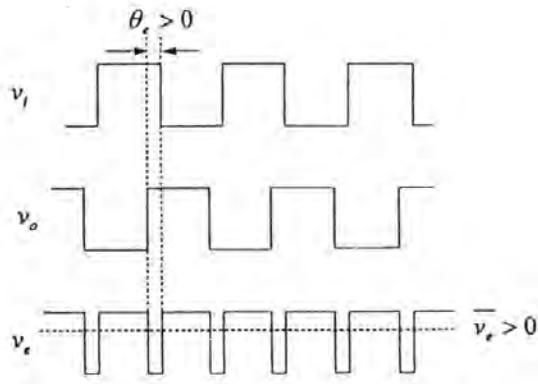


รูปที่ 2.11 วงจรถววจับเฟสแบบ JK ฟลิปฟลอป



รูปที่ 2.12 ความต่างเฟส ที่ \bar{v}_e เท่ากับศูนย์

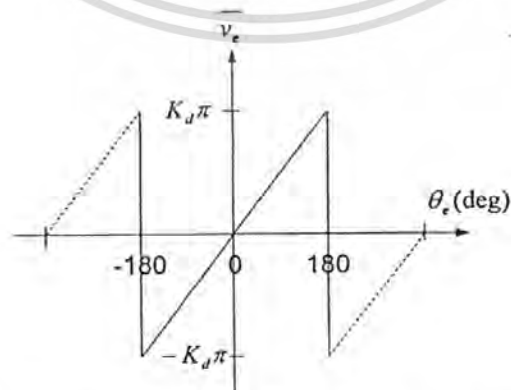
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 ความต่างเฟส ที่ \bar{v}_e มากกว่าศูนย์

รูปที่ 2.12 แสดงรูปสัญญาณความต่างเฟส ของตัวตรวจจับเฟสแบบ JK ฟลิปฟลอปที่มีค่าผิดพลาดทางเฟสเป็นศูนย์ เมื่อสัญญาณ v_i และ v_o ต่างเฟสกันอยู่ 180 องศา สัญญาณเอาต์พุต \bar{v}_e เป็นสัญญาณที่สมมาตรและมีค่าเหมือนกับควมถี่อ้างอิง ถ้าความคลาดเคลื่อนของเฟสเป็นบวก ดังรูปที่ 2.13 ค่าของรอบหน้าที่การทำงานจะมีค่ามากกว่า 50 เปอร์เซ็นต์ ซึ่งค่า \bar{v}_e จะมีค่าเป็นบวก ดังนั้น \bar{v}_e จะมีค่าสูงสุดเมื่อความต่างเฟสเท่ากับ 180 องศา และรูปที่ 2.14 แสดงค่าเปรียบเทียบระหว่างค่าความคลาดเคลื่อนทางเฟสกับแรงดันเอาต์พุต ซึ่งมีคุณสมบัติเป็นรูปฟันเลื่อย พิสัยค่าผิดพลาดทางเฟสที่ค่า \bar{v}_e เป็นสัดส่วนกับค่าความคลาดเคลื่อนทางเฟสอยู่ $-\pi < \theta_e < \pi$ และสามารถนำมาเขียนเป็นสมการได้สมการที่ (2.15) [1] โดยตัวตรวจจับเฟสแบบ JK ฟลิปฟลอป มีช่วงการใช้งานมากกว่าตัวตรวจจับเฟสแบบเอ็กซ์คลูซีฟออร์เกทอยู่สองเท่า

$$\bar{v}_e = K_d \theta_e \quad (2.15)$$



รูปที่ 2.14 ความสัมพันธ์ระหว่างแรงดันเอาต์พุตกับผลต่างเฟส ของวงจรตรวจจับเฟสแบบ JK ฟลิปฟลอป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2.3 วงจรตรวจจับเฟส-ความถี่

วงจรตรวจจับเฟส-ความถี่ มีคุณสมบัติที่แตกต่างจากตัวตรวจจับเฟสแบบอื่นคือ ในขณะที่เฟสล็อกถูบยังไม่อยู่ในสภาวะล็อก สัญญาณเอาต์พุตไม่เพียง ขึ้นอยู่กับความคลาดเคลื่อนทางเฟส θ_e แต่ยังขึ้นอยู่กับความคลาดเคลื่อนความถี่ $\Delta\omega = \omega_i - \omega_o$ อีกด้วย (ω_i, ω_o แทนความถี่อินพุตและเอาต์พุต ซึ่งแสดงในรูปที่ 2.6) วงจรตรวจจับเฟสและความถี่ ดังรูปที่ 2.15 ใช้ D ฟลิปฟล็อป 2 ตัว ขารี่เซตของฟลิปฟล็อปทั้งสองต่ออยู่กับแอนด์เกต อินพุตของแอนด์เกตจะต่ออยู่กับเอาต์พุตของ D ฟลิปฟล็อปและมีเอาต์พุตเป็น UP และ DN อยู่ในสถานะใดสถานะหนึ่งจาก 4 สถานะ ดังต่อไปนี้ [1]

UP=0, DN=0 เอาต์พุตคงสภาวะก่อนหน้า

UP=0, DN=1 เอาต์พุตเป็นสภาวะ -1

UP=1, DN=0 เอาต์พุตเป็นสภาวะ +1

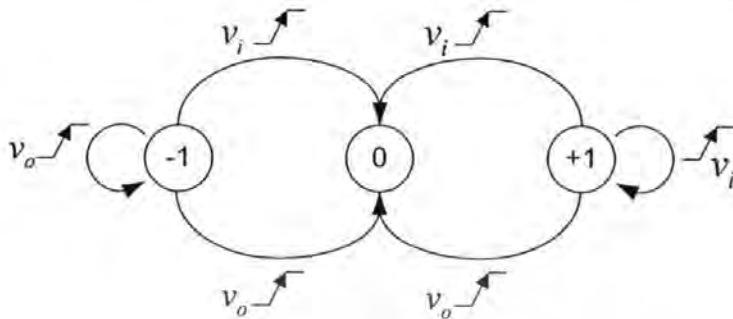
UP=1, DN=1 เอาต์พุตเป็นสภาวะ 0 (Reset)



รูปที่ 2.15 วงจรตรวจจับเฟส-ความถี่

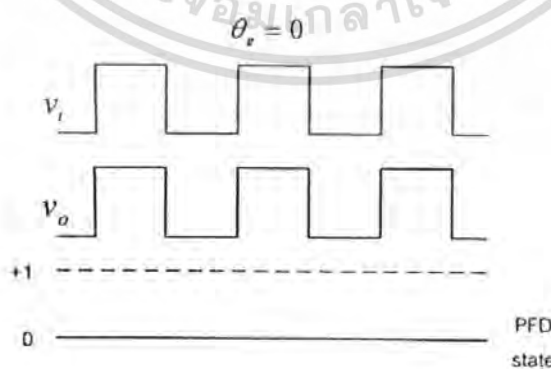
สภาวะของเอาต์พุตของวงจรตรวจจับเฟส-ความถี่ จะเปลี่ยนไปในขณะที่มีพัลส์ขอบขาขึ้นของสัญญาณ v_i และ v_o โดยเมื่อสัญญาณ v_i เป็นพัลส์ขอบขาขึ้น สถานะของ UP เป็น +1 มอสเฟตที่เซลล์นำกระแสเอาต์พุตของตัวตรวจจับเฟสแบบ เฟส-ความถี่ v_o จะมีค่าเป็น +1 และเมื่อสัญญาณ v_o เป็นพัลส์ขอบขาขึ้นพร้อมกัน สถานะของ DN เป็น +1 มอสเฟตเอ็นเซลล์นำกระแสเอาต์พุตของตัวตรวจจับเฟส-ความถี่ v_o จะมีค่าเท่ากับกราวด์และเมื่อ v_i, v_o เป็นพัลส์ขอบขาขึ้นพร้อมกัน สถานะของ UP และ DN เป็น 1 ทำให้ D ฟลิปฟล็อปทั้งสองตัว Reset เอาต์พุตของ v_o จะอยู่ในสภาวะลอย ซึ่งจะเห็นได้ว่าสัญญาณเอาต์พุตมี 3 ระดับ แต่วงจรลจิกจะให้เอาต์พุตไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เป็นสัญญาณไบนารี ดังนั้นสถานะของ $v_e = 0$ จะถูกแทนด้วยสถานะความต้านทานสูง (High Impedance) ซึ่งสามารถเขียนเป็นสเตทไดอะแกรมได้ดังรูปที่ 2.16

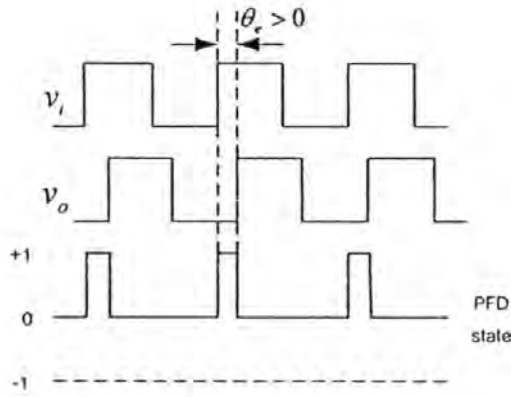


รูปที่ 2.16 สถานะการทำงานของวงจรตรวจจับเฟส-ความถี่

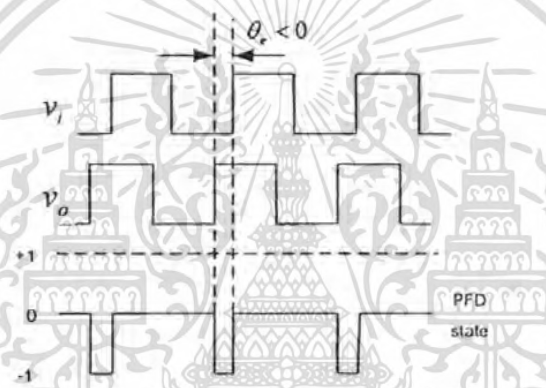
การทำงานของวงจรตรวจจับเฟส-ความถี่ ในกรณีที่มียุคความต่างเฟสเป็นศูนย์แสดงในรูปที่ 2.17 เมื่อสัญญาณ v_i และ v_o มีเฟสเท่ากันพอดีทำให้ขอบขาขึ้นขอบสัญญาณ v_i และ v_o เกิดขึ้นในเวลาเดียวกันวงจรตรวจจับเฟส-ความถี่จะมีสถานะเป็นศูนย์ในรูปที่ 2.18 เมื่อสัญญาณ v_i นำหน้า v_o ทำให้วงจรตรวจจับเฟส-ความถี่ มีการเปลี่ยนสถานะอยู่ระหว่างสถานะ 0 กับ +1 โดยค่าความคลาดเคลื่อนทางเฟส ที่มีค่าเป็นบวกจะมีค่าความคลาดเคลื่อนสูงสุดที่ 360 องศา และในรูปที่ 2.19 เมื่อสัญญาณ v_i ล้าหลัง v_o ทำให้วงจรตรวจจับเฟส-ความถี่ มีการเปลี่ยนสถานะอยู่ระหว่างสถานะ 0 กับ -1 โดยค่าความคลาดเคลื่อนทางเฟส ที่มีค่าเป็นลบจะมีค่าความคลาดเคลื่อนสูงสุดที่ -360 องศา ถ้านำสัญญาณ ไปเขียนกราฟเทียบกับค่าความต่างเฟส จะได้รูปสัญญาณฟันเลื่อยดังแสดงในรูปที่ 2.20



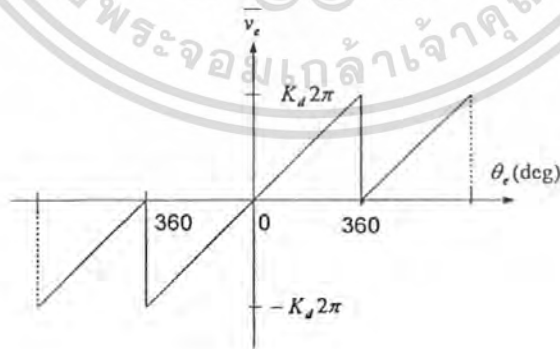
รูปที่ 2.17 เมื่อสัญญาณ v_i และ v_o มีเฟสเท่ากันพอดี



รูปที่ 2.18 เมื่อสัญญาณ v_i นำหน้า v_o



รูปที่ 2.19 เมื่อสัญญาณ v_i ถ้าหลัง v_o



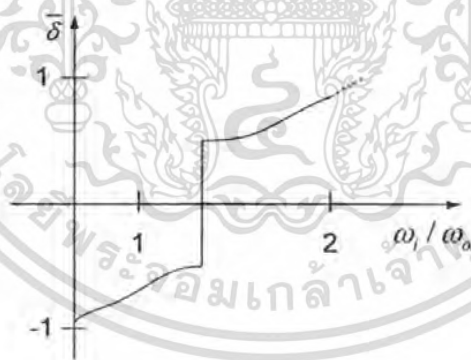
รูปที่ 2.20 ความสัมพันธ์ระหว่างค่าเฉลี่ยของสัญญาณเอาต์พุต \bar{v}_e กับผลต่างเฟส θ_e ของวงจรตรวจจับเฟส-ความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.20 ความสัมพันธ์ระหว่างแรงดันเอาต์พุตกับผลต่างเฟส ของวงจรถววจับเฟส-ความถี่ จะมีค่าความคลาดเคลื่อนของเฟสมีพิสัยที่ $-2\pi < \theta_e < 2\pi$ และสามารถหาค่า \bar{v}_e ได้ สมการที่ (2.16) [1]

$$\bar{v}_e = K_d \theta_e \quad (2.16)$$

ค่ารอบทำงาน δ (duty cycle) ของสัญญาณ \bar{v}_e เทียบกับอัตราส่วนความถี่ ω_i / ω_o แสดง ดังรูปที่ 2.21 ค่ารอบทำงานที่นำมาจากเวลาเฉลี่ยที่วงจรถววจับเฟส-ความถี่ [1] ในกรณี $\omega_i > \omega_o$ ค่ารอบทำงานจะมีค่าเป็นบวก วงจรถววจับเฟส-ความถี่อยู่ในสถานะ +1 สำหรับกรณี $\omega_i < \omega_o$ ค่ารอบทำงานจะมีค่าเป็นลบในขณะวงจรถววจับเฟส-ความถี่อยู่ในสถานะ -1 โดยค่าของรอบทำงาน ประมาณ -1 เมื่อ $\omega_i \ll \omega_o$ และค่ารอบทำงานประมาณ +1 เมื่อ $\omega_i \gg \omega_o$ และค่าของรอบทำงาน ประมาณ 0.5 เมื่อ ω_i มากกว่า ω_o เพียงเล็กน้อย และค่าของรอบทำงานประมาณ -0.5 เมื่อ ω_i น้อยกว่า ω_o เพียงเล็กน้อย คุณสมบัติที่เป็นตัวกำหนดพิสัยการตั้งเข้าซึ่งเป็นคุณสมบัติที่หาไม่ได้ในวงจรถววจับเฟสแบบอิเล็กทรอนิกส์พอร์เกท และแบบ JK ฟลิปฟล็อป เพราะว่าสัญญาณเอาต์พุต \bar{v}_e ของตัวตรวจจับเฟส-ความถี่ ขึ้นอยู่กับความต่างเฟส θ_e ในสภาวะลอค และจะขึ้นอยู่กับความคลาดเคลื่อนความถี่ $\Delta\omega$ เมื่ออยู่ในสภาวะไม่ลอค

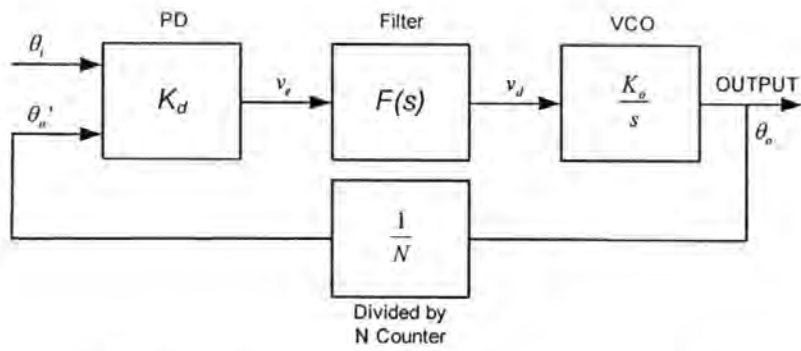


รูปที่ 2.21 ค่ารอบทำงานเฉลี่ยของสัญญาณเอาต์พุต \bar{v}_e เทียบกับอัตราส่วนความถี่ ω_i / ω_o

2.3.3 การทำงานของคลาสซิคอลดิจิตอลเฟล็คคูลูปในสภาวะลอค

การทำงานของคลาสซิคอลดิจิตอลเฟล็คคูลูปในสภาวะลอค สามารถหาได้จากฟังก์ชันถ่ายโอนของภาคต่าง ๆ ดังแสดงในรูปที่ 2.22 โดยฟังก์ชันถ่ายโอน $H(s)$ สามารถเขียนได้ดัง สมการที่ (2.17) [1]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.22 แบบจำลองทางคณิตศาสตร์ของคิซิตอลเฟสล็อกคูล

$$H(s) = \frac{\theta_o}{\theta_i} = \frac{K_o K_d F(s)}{s + \frac{K_o K_d F(s)}{N}} \quad (2.17)$$

โดยที่ N คือตัวหารความถี่ วิธีการหาฟังก์ชันถ่ายโอนเฟส $H(s)$ ใช้หลักการเดียวกับลิเนียร์เฟสล็อกคูล [1] โดยการแทนค่าวงจรรูป $F(s)$ ในฟังก์ชันถ่ายโอนเฟส $H(s)$ โดยสามารถจัดให้อยู่ในรูปแบบมาตรฐานได้ดังสมการที่ (2.18) [1]

$$H(s) = \frac{2N\zeta\omega_n s + N\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad (2.18)$$

$$\text{เมื่อ } \omega_n = \sqrt{\frac{K_o K_d}{N(\tau_1 + \tau_2)}} \text{ และ } \zeta = \frac{\omega_n \tau_2}{2}$$

ถ้า ω_n และ ζ ของวงจรรองและตัวตรวจจับเฟสชนิดต่าง ๆ แสดงในตารางที่ 2.1 [1] จากตารางที่ 2.1 ค่า ζ ของตัวตรวจจับเฟสแบบเฟส-ความถี่มีค่าเท่ากันหมด เพราะตัวตรวจจับเฟสแบบเฟส-ความถี่มีเอาต์พุต 3 สถานะ เมื่อตัวมันอยู่ที่สถานะความต้านทานสูง ทำให้ไม่มีกระแสไหลเข้าวงจรรอง แรงดันที่ตกคร่อมตัวเก็บประจุจะไม่มี การเก็บประจุเพิ่ม ดังนั้นวงจรรองจึงมองเหมือนเป็นอินทิเกรเตอร์ในอุดมคติ และมีฟังก์ชันถ่ายโอนเช่นเดียวกับวงจรรองแบบแอกทิฟแปรผัน-อินทิเกรต

ตารางที่ 2.1 วงจรตรวจจับเฟส และวงจรกรองลูปของคลาสซิกคอลลิจิตอลเฟสล็อกคูล

ชนิดวงจรตรวจจับเฟส	ชนิดของวงจรกรองลูป		
	พาสซีฟแบบตาม-นำ	แอคทีฟ	แอคทีฟแปรผัน-อินทิเกรต
	$\omega_n = \sqrt{\frac{K_o K_d}{N(\tau_1 + \tau_2)}}$	$\omega_n = \sqrt{\frac{K_o K_d K_a}{N\tau_1}}$	$\omega_n = \sqrt{\frac{K_o K_d}{N\tau_1}}$
เอ็กซ์คูลูซีฟออร์เกท และ JK/FF	$\zeta = \frac{\omega_n}{2} \left(\tau_2 + \frac{N}{K_o K_d} \right)$	$\zeta = \frac{\omega_n}{2} \left(\tau_2 + \frac{N}{K_o K_d K_a} \right)$	$\zeta = \frac{\omega_n \tau_2}{2}$
เฟส-ความถี่	$\zeta = \frac{\omega_n \tau_2}{2}$	$\zeta = \frac{\omega_n \tau_2}{2}$	$\zeta = \frac{\omega_n \tau_2}{2}$

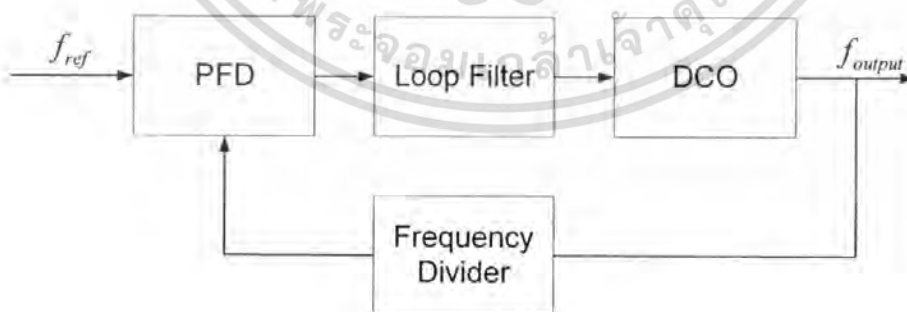


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4 เฟสล็อกคูลูปแบบดิจิตอลทั้งหมด (ADPLL)

เนื่องการออกแบบวงจรเฟสล็อกคูลูปแบบอนาล็อก สำหรับใช้เป็นวงจรกำเนิดสัญญาณนาฬิกา เป็นการออกแบบวงจรที่มีความซับซ้อนยุ่งยาก ต้องใช้ผู้ที่มีความรู้ความชำนาญสูง และต้องใช้ระยะเวลาในการออกแบบ จึงมีต้นทุนที่สูง และแม้ว่าวงจรจะมีประสิทธิภาพสูงก็ตาม แต่สำหรับการใช้ในวงจรดิจิตอลหรือระบบดิจิตอลบางอย่าง ไม่จำเป็นต้องใช้วงจรกำเนิดสัญญาณนาฬิกาที่มีประสิทธิภาพสูง ดังนั้นจึงได้มีการออกแบบวงจรกำเนิดสัญญาณนาฬิกาด้วยวงจรเฟสล็อกคูลูปแบบดิจิตอลทั้งหมดขึ้นมาใช้กับระบบดิจิตอลเหล่านั้น ถึงแม้ว่าประสิทธิภาพของวงจรจะไม่สูงเท่ากับวงจรแบบอนาล็อก แต่สามารถใช้งานได้เป็นอย่างดี และเนื่องจากการออกแบบวงจรดิจิตอลมีความซับซ้อนยุ่งยากน้อยกว่าการออกแบบวงจรแบบอนาล็อก จึงใช้ระยะเวลาในการออกแบบไม่นาน โดยไม่ต้องใช้ผู้ที่มีความรู้ความชำนาญสูงมากนัก และเมื่อมีพัฒนาหรือมีการเปลี่ยนแปลงเทคโนโลยีในการสร้างวงจรใหม่ ก็ยังสามารถใช้หลักการและรูปแบบของการออกแบบระบบแบบเดิมได้ โดยที่ไม่ต้องออกแบบวงจรใหม่ทั้งหมด และมีความซับซ้อนยุ่งยากน้อยเมื่อเทียบกับระบบอนาล็อก จึงใช้ระยะเวลาไม่นาน ซึ่งทำให้ช่วยลดต้นทุนได้

รูปที่ 2.23 แสดงโครงสร้างของวงจร ADPLL ซึ่งประกอบไปด้วย วงจรตรวจจับเฟสและความถี่ (Phase-Frequency Detector, PFD) วงจรลูปกรอง (Loop Filter, LF) วงจรกำเนิดความถี่แบบควบคุมด้วยดิจิตอล (Digital-Controlled Oscillator, DCO) และวงจรหารความถี่ (Frequency Divider) วงจรตรวจจับเฟสและความถี่จะเปรียบเทียบความต่างเฟสและความถี่ของสัญญาณอินพุตหรือความถี่อ้างอิง (Frequency Reference) กับความถี่เอาต์พุตที่ถูกหารแล้ว ซึ่งจะได้ค่าความต่างเฟสของสัญญาณ วงจรลูปกรองจะนำค่าความต่างเฟสนี้มาประมวลผลแล้วได้เอาต์พุตเป็นดิจิตอลบิต เพื่อนำไปควบคุมการกำเนิดความถี่ของวงจร DCO ให้มีค่าความถี่และเฟสตรงกับความถี่อ้างอิง



รูปที่ 2.23 แผนผังของเฟสล็อกคูลูปแบบดิจิตอลทั้งหมด (ADPLL)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

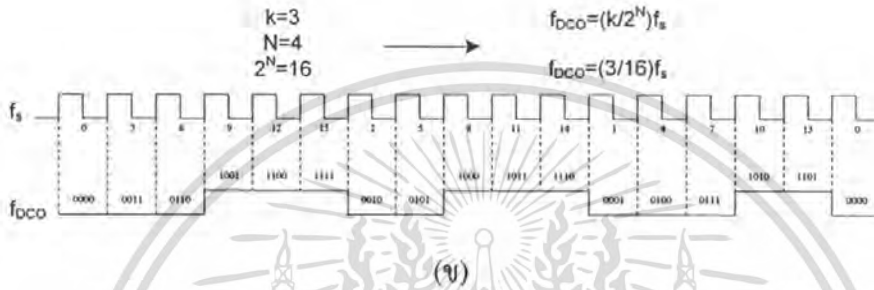
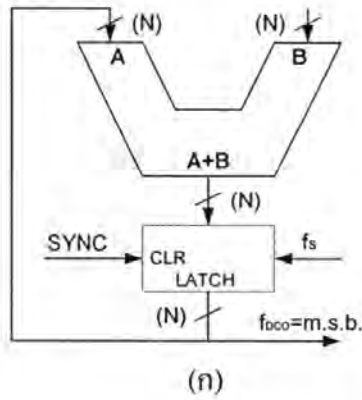
เนื่องจากวงจรออสซิลเลเตอร์แบบควบคุมด้วยดิจิทัลเป็นส่วนประกอบที่สำคัญที่สุดของวงจรเฟสล็อกคัลรูปแบบดิจิทัลทั้งหมด ดังนั้นจึงได้ศึกษาค้นคว้าเกี่ยวกับการออกแบบวงจรจากงานวิจัยต่างๆ โดยเน้นการศึกษาในส่วนของวงจรออสซิลเลเตอร์แบบควบคุมด้วยดิจิทัล และได้สรุปลักษณะการออกแบบของแต่ละวงจรโดยสังเขปดังต่อไปนี้

2.4.1 ทบทวนงานวิจัยที่เกี่ยวข้องในเรื่องของ DCO ซึ่งเป็นส่วนหนึ่งของ ADPLL

วงจร DCO ซึ่งเป็นส่วนหนึ่งของวงจร ADPLL ที่มีความสำคัญที่สุด ได้มีการออกแบบอยู่ด้วยกันหลายแบบ โดยเราสามารถแยกชนิดตามลักษณะการทำงานของ DCO ออกได้ 2 แบบใหญ่ๆด้วยกัน โดยแบบแรกใช้หลักการหารความถี่ เป็นตัวกำหนดความถี่เอาท์พุท [2]-[3] ซึ่งความถี่ที่นำมาหารนั้นก็จะมีที่มาจากต่างกันออกไป และกรรมวิธีในการหารก็มีอยู่หลายรูปแบบ แล้วแต่การออกแบบของแต่ละบุคคล และแบบที่สองใช้หลักการการสร้างตัวกำเนิดความถี่ขึ้นเอง ซึ่งกระบวนการกำหนดความถี่ สามารถทำได้ภายในตัววงจรกำเนิดความถี่นั้นๆ [4]-[9]

2.4.1.1 วงจร DCO แบบใช้หลักการหารความถี่ โดยนำความถี่มาจากภายนอก

แบบแรกซึ่งใช้หลักการหารความถี่ ใน [2] นำความถี่ที่ใช้ในการหารมาจากภายนอก วิธีการหารใช้การกำหนดอัตราส่วนของความถี่เอาท์พุทต่อความถี่อินพุท โดยใช้วงจรบวก (adder) ในการดำเนินการ โดยใช้บิตสูงสุด (MSB) จากวงจรบวกเป็นความถี่เอาท์พุท ซึ่งความถี่เอาท์พุทมีค่าเท่ากับ $f_{osc} = \frac{k}{2^N} f_s$ เมื่อ f_s คือความถี่สูงจากภายนอกสำหรับการหาร N คือจำนวนบิตของวงจรบวก k คือค่าตัวแปรที่ใช้ในการบวก ซึ่งถูกกำหนดโดยวงจรสุปรองภายหลังจากวงจรได้รับทราบถึงความต่างเฟสที่เกิดขึ้นจวงจรตรวจจับเฟส ค่า k ที่ได้ก็จะเป็นตัวกำหนดอัตราส่วนการหารต่อไป เพื่อให้ความถี่และเฟสของเอาท์พุทมีค่าตรงความถี่อินพุท โครงสร้างของวงจรแสดงดังรูปที่ 2.24



รูปที่ 2.4 (ก) โครงสร้างของวงจร DCO แบบใช้การหารความถี่จากภายนอก
(ข) แผนภาพทางเวลาของวงจร DCO

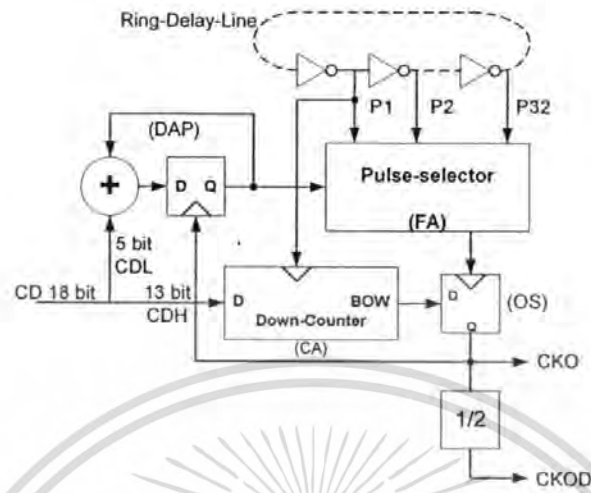
จากหลักการทำงานของวงจร ด้วยหลักการหารความถี่เป็นผลให้ความถี่เอาต์พุต ถูกจำกัด ด้วยความถี่สูงที่นำมาหาร และย่านความถี่ของเอาต์พุตขึ้นอยู่กับอัตราส่วนที่ใช้ในการหาร ยิ่งมีค่า มากก็จะทำให้ได้ย่านความถี่กว้างแต่จะอยู่ในช่วงของความถี่ค่า และในกรณีที่อัตราการหารไม่ลง ตัวมีผลให้เกิด jitter

2.4.1.2 วงจร DCO แบบใช้หลักการหารความถี่ โดยการสร้างตัวกำเนิดความถี่ ค่าคงที่ อยู่ในวงจร

ในปัจจุบันวงจร DCO ในอีกรูปแบบ [3] ได้ถูกนำเสนอขึ้นโดยการสร้างตัวกำเนิดความถี่ ค่าคงที่ขึ้นภายในด้วยวงจรริงออสซิลเลเตอร์ (ring oscillator) แล้วนำความถี่มาหารด้วยวงจรนับลง (down counter) ซึ่งสามารถกำหนดค่าการนับได้และนำเฟสของวงจรริงออสซิลเลเตอร์ มาควบคุม เฟสของสัญญาณเอาต์พุตด้วย โครงสร้างของวงจรแสดงดังรูปที่ 2.25

จากหลักการหารความถี่ดังนั้นความถี่เอาต์พุตจะมีค่าต่ำกว่าความถี่ที่นำมาหารเสมอ และ ความละเอียดของความถี่เอาต์พุตที่สามารถทำได้มีค่าเท่ากับ delay stage ของวงจรริงออสซิลเลเตอร์

ด้วยหลักการทำงานของวงจรสามารถทำงานได้อย่างถูกต้องและรวดเร็วเนื่องจากใช้หลักการคำนวณค่าความถี่เอาท์พุตจากค่าความถี่อินพุต



รูปที่ 2.25 โครงสร้างของวงจร DCO แบบใช้หลักการหารความถี่ โดยการสร้างตัวกำเนิดความถี่ อยู่ภายในวงจร

วงจร DCO ในรูปแบบที่สอง เป็นการสร้างตัวกำเนิดความถี่ที่สามารถเปลี่ยนแปลงความถี่ได้ โดยหลักการที่นิยมใช้กันคือ หลักการของวงจรริงออสซิลเลเตอร์ ที่ใช้ inverter ซึ่งเป็นอุปกรณ์พื้นฐานที่มีอยู่ในระบบดิจิทัล วิธีการควบคุมเปลี่ยนแปลงความถี่มีอยู่ด้วยกัน 3 แบบ คือแบบแรก ใช้การเปลี่ยนแปลงขนาดของวงจรริงออสซิลเลเตอร์ แบบที่สองให้ขนาดของวงจรริงออสซิลเลเตอร์ คงที่แล้วเปลี่ยนแปลงค่าหน่วงเวลา ของแต่ละ stage ของวงจรริงออสซิลเลเตอร์ และแบบที่สามเป็นแบบผสมระหว่างแบบที่แรก และแบบที่สองเข้าด้วยกัน

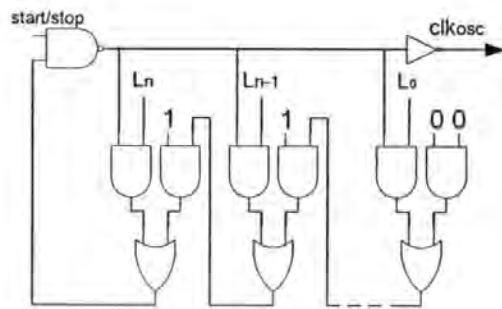
2.4.1.3 วงจร DCO ที่สามารถเปลี่ยนแปลงขนาดวงจรริงออสซิลเลเตอร์

วงจรแบบแรกแสดงดังรูปที่ 2.26 วงจรใช้เกต AND OR ประกอบเป็นวงจรริงออสซิลเลเตอร์ [4] ซึ่งมี NAND เกตทำหน้าที่เป็น inverter และสามารถเปิดปิดการทำงานของวงจรริงออสซิลเลเตอร์ได้ โดยในแต่ละจุดมีทางเดินของสัญญาณ 2 จุด และมีจุดควบคุมอีก 1 จุดไว้สำหรับเลือกขนาดของวงจร ดังนั้น step การเปลี่ยนแปลงของความถี่เอาท์พุตเท่ากับ gate delay จุด ซึ่งมีค่าหาบจิงออกแบบให้มีการสวิทช์ระหว่างจุด gate delay ที่ติดกัน เป็นการเฉลี่ยค่าหน่วงเวลา เพื่อให้ความถี่เอาท์พุตมีความละเอียดเพิ่มมากขึ้น

จากการออกแบบ มีข้อดีที่การทำงานที่ไม่ยุ่งยาก แต่ย่านความถี่ขึ้นอยู่กับขนาดของวงจร และถ้าออกแบบเพื่อให้มีย่านความถี่กว้างจะทำให้วงจรจะมีขนาดใหญ่ และทำให้ความถี่ที่ได้มีค่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลดต่ำลงด้วย แม้จะมีวิธีการปรับความละเอียดของความถี่แล้วก็ตาม เนื่องด้วยหลักการที่ใช้ส่งผลให้เกิด jitter ขึ้นได้

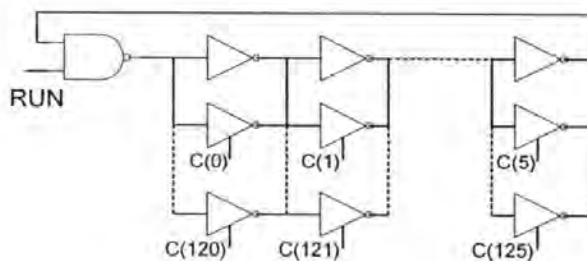


รูปที่ 2.26 วงจร DCO แบบเปลี่ยนแปลงขนาดของ ring oscillator

2.4.1.4 วงจร DCO ที่ให้ขนาดของวงจรริงออสซิลเลเตอร์คงที่แล้วใช้เปลี่ยนแปลง

ค่า delay ของแต่ละ stage ของริงออสซิลเลเตอร์

วงจรในแบบที่สอง มีจำนวน stage ของวงจรริงออสซิลเลเตอร์คงที่ ปรับความถี่ด้วยการเปลี่ยนแปลงค่าหน่วงเวลา ของแต่ละ stage ของริงออสซิลเลเตอร์ โดยวงจรแสดงดังรูปที่ 2.27 จะมีริงออสซิลเลเตอร์หลักอยู่ 1 วงซึ่งมีขนาดคงที่ และนำ tri-state inverter ซึ่งมีคุณสมบัติเหมือนกันทุกประการมาต่อขนานในลักษณะของอาร์เรย์ [5]-[6] ซึ่งเป็นหลักการนำความต้านทานและตัวเก็บประจุของ tri-state inverter มาต่อขนานกันซึ่งเมื่อ tri-state inverter อยู่ในสภาวะ disable ความต้านทานจะเปิดวงจรอยู่ และหลังจาก enable แล้วตัวต้านทานถูกทำการเชื่อมต่อทำให้ค่าความต้านทานลดลงตามหลักการต่อความต้านทานแบบขนาน การทำงานโดยทำการ enable tri-state inverter ในแถวแรกที่ละตัวจนครบทุกตัวแล้วจึงขึ้นแถวถัดไปจนครบทุกแถว เป็นการทำให้ค่าหน่วงเวลา ในแต่ละ state เปลี่ยนแปลง



รูปที่ 2.27 โครงสร้างของวงจร DCO แบบปรับความถี่ด้วยการเปลี่ยนแปลงค่าหน่วงเวลา

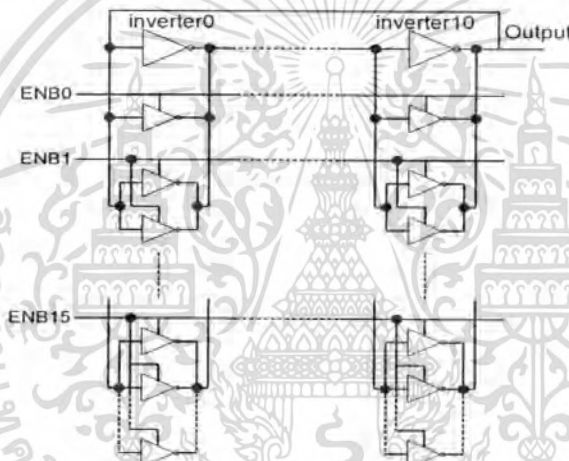
ของแต่ละ stage ของริงออสซิลเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากการการทำงานของวงจร มีการทำงานที่ไม่ซับซ้อนเป็นลำดับต่อเนื่องทำให้ง่ายการควบคุม แต่มี step ของเอาต์พุตเท่ากับจำนวน tri-state inverter มาตรฐาน ถ้าเพิ่มจำนวน step ต้องเพิ่มขนาดของวงจรแต่จะทำให้ความถี่ลดต่ำลงด้วย

และด้วยหลักการนี้ได้มีการนำเสนองจร DCO ใน [7] โดยมีลักษณะใกล้เคียงกัน แต่ในแต่ละแถวที่นำ tri-state inverter มาตรฐานนั้น จำนวนของ tri-state inverter ในแต่ละแถวจะมีจำนวนไม่เท่ากัน โดยจะมีจำนวนเพิ่มขึ้นตามลำดับแถว ซึ่งเป็นผลให้ในแต่ละแถวมีค่าความต้านทานที่ต่างกันตามลำดับความสำคัญของแถว ซึ่งการทำงานนั้น tri-state inverter ในแต่ละแถวจะทำงานพร้อมกันทั้งแถว โดยแต่ละแถวจะต่อกับบิตควบคุม ตามลำดับความสำคัญของบิต

จากการออกแบบวงจรพบว่า วงจรออกแบบสร้างง่าย มีความละเอียดสูง มีย่านความถี่กว้าง แต่วงจรมีขนาดใหญ่และทำให้สิ้นเปลืองกำลังงาน



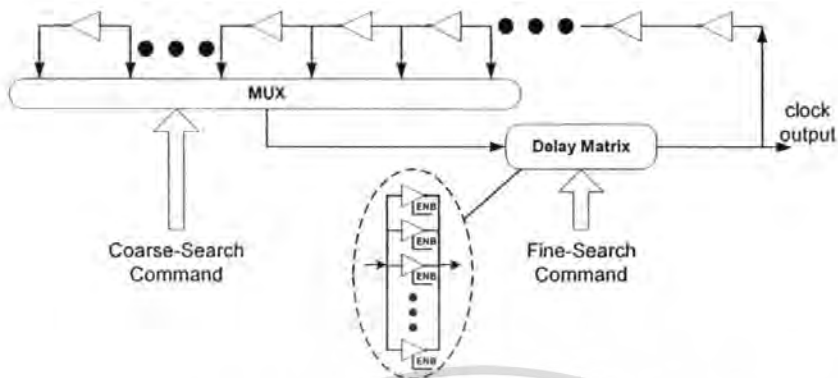
รูปที่ 2.28 โครงสร้างของวงจร DCO แบบปรับความถี่ด้วยการเปลี่ยนแปลงค่าหน่วยเวลาของแต่ละ state ของ ring oscillator

2.4.1.5 วงจร DCO แบบผสมระหว่าง วงจรที่สามารถเปลี่ยนแปลงขนาดของริงออสซิลเลเตอร์และวงจรที่ให้ขนาดของริงออสซิลเลเตอร์คงที่ และใช้การเปลี่ยนแปลงค่าหน่วยเวลาของแต่ละ stage ของริงออสซิลเลเตอร์

จากลักษณะของวงจร DCO ทั้ง 2 แบบได้มีการนำรูปแบบมาผสมกันเพื่อแก้ไขปัญหาค่าความถี่ของเอาต์พุต โดยใน [8] แสดงผังรูปที่ 2.29 ซึ่งวงจรประกอบด้วย 2 ส่วน คือส่วนของวงจรปรับขยาย และปรับละเอียด โดยในส่วนของวงจรปรับขยายนั้นใช้ inverter ต่อเป็นวงจรอนุกรม ซึ่งแต่ละโหนดต่อเข้ากับ Multiplexer (MUX) สำหรับเลือกขนาดของริงออสซิลเลเตอร์ และวงจรปรับละเอียดใช้ tri-state inverter มาตรฐานในรูปแบบของ Matrix ซึ่งกำหนดช่วงเวลา รวมของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

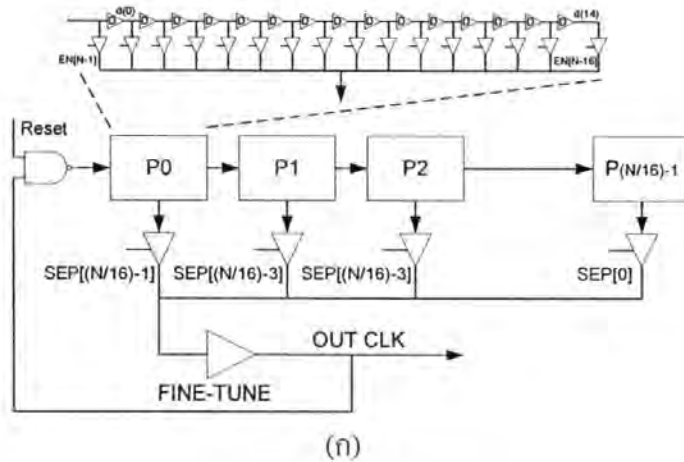
วงจร delay matrix ต้องมีค่าไม่เกินค่า delay step ของวงจรปรับหายาบ มิฉะนั้นจะทำให้เกิดค่าความถี่เอาต์พุตที่มีค่าซ้ำซ้อนกัน



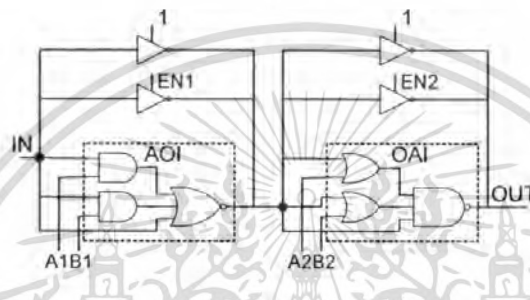
รูปที่ 2.29 โครงสร้างของวงจร DCO แบบที่สามารถเปลี่ยนแปลงขนาดของริงออสซิลเลเตอร์ร่วมกับวงจรที่ขนาดของริงออสซิลเลเตอร์คงที่ และใช้การเปลี่ยนแปลงค่าหน่วงเวลาของ stage ของริงออสซิลเลเตอร์

เนื่องด้วยวงจรปรับละเอียดใน [8] ใช้ tri-state inverter มาต่อขนานในรูปของ Matrix ทำให้วงจรมีขนาดใหญ่และสิ้นเปลืองกำลังงาน ใน [9] จึงได้เสนอวงจรปรับละเอียด เพื่อแก้ปัญหาดังกล่าว

วงจรปรับละเอียดอาศัยหลักการ delay ของเกตมาใช้ โดยนำเกตที่อยู่ในรูปแบบของเซลล์ AND-OR-INV (AOI) และ OR-AND-INV (OAI) มาต่อขนานกับ tri-state inverter ดังรูปที่ 2.30 (ข) ซึ่งอาศัยหลักการต่อวงจรแบบขนานของความต้านทานเช่นกัน ส่วนของวงจรปรับหายาบจะใช้ delay buffer ต่ออนุกรมและแต่ละ โหนดจะต่อเข้ากับ tri-state inverter สำหรับใช้เลือกขนาดของริงออสซิลเลเตอร์



(ก)



(ข)

รูปที่ 2.30 (ก) โครงสร้างของวงจร DCO แบบเปลี่ยนแปลงขนาดของริงออสซิลเลเตอร์ต่อร่วมกับ
วงจรเกิด delay (ข) โครงสร้างวงจรเกิด delay

จากวงจร DCO ที่มีหลักการพื้นฐานของวงจรริงออสซิลเลเตอร์ ทั้ง 3 แบบ โดยในวงจร DCO แบบเปลี่ยนแปลงขนาดของริงออสซิลเลเตอร์ [4] การเพิ่มลดขนาดของวงจรเพื่อเปลี่ยนความถี่นั้น step การเปลี่ยนความถี่ค่อนข้างหยาบ แม้จะมีวิธีการแก้ไขแล้ว แต่ส่งผลให้เกิด jitter ตามมา ในวงจร DCO แบบปรับความถี่ด้วยการเปลี่ยนแปลงค่าหน่วงเวลา ของแต่ละ stage ของริงออสซิลเลเตอร์ [5]-[6] วงจรให้จำนวน step เอาท์พุทน้อยนั้น คือออสซิลเลเตอร์มีความละเอียดต่ำ โดยขึ้นอยู่กับจำนวนของ tri-state inverter ที่ต่อขนาน และในวงจร DCO แบบปรับความถี่ด้วยการเปลี่ยนแปลงค่าหน่วงเวลา ของแต่ละ stage ของริงออสซิลเลเตอร์ โดยในแต่ละแถวที่นำ tri-state inverter มาต่อขนานนั้น มีจำนวนของ tri-state inverter ไม่เท่ากัน [7] ส่งผลให้มีความละเอียดสูง แต่เมื่อเทียบกับวงจร [6] เราจะพบว่าถ้าขนาดของวงจรเท่ากัน วงจร [7] มีความละเอียดต่ำกว่า

ในแบบสุดท้ายได้นาฬิกา DCO แบบเปลี่ยนแปลงขนาดของริงออสซิลเลเตอร์ [4] และวงจร DCO แบบปรับความถี่ด้วยการเปลี่ยนแปลงค่าหน่วงเวลา ของแต่ละ state ของริงออสซิลเลเตอร์ [6] มาผสมกัน ได้เป็น [8]-[9] โดยวงจรสามารถให้ความละเอียดของความถี่เอาท์พุทสูง แต่ด้วยการควบคุมเปลี่ยนแปลงความถี่ที่ใช้การสวิตช์เพื่อเปลี่ยนขนาดของริงออสซิลเลเตอร์ ทำให้วงจรเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หยุดออกสวิตเลตไปชั่วขณะหนึ่งทำให้เอาท์พุทขาดความต่อเนื่อง และวงจรสั้นเปลืองกำลังงานสูง เนื่องจากสัญญาณจะผ่านไปในทุกๆ ส่วนของวงจรทั้งช่วงความถี่สูงและต่ำ

2.5 สรุป

จากการศึกษาการออกแบบวงจรเฟสล็อกแบบดิฟเฟอเรนเชียลทั้งหมด ในส่วนของวงจร DCO มีอยู่ด้วยกันหลายแบบ สำหรับการออกแบบโดยใช้หลักการหารความถี่ [2] ซึ่งวงจรถูกออกแบบและสร้างได้ง่ายไม่ซับซ้อน แต่ความถี่เอาท์พุทจะมีค่าต่ำกว่าความถี่นำมาหารเสมอ และในกรณีอัตราการหารที่ไม่ลงตัว ส่งผลให้เกิด jitter ได้ สำหรับวงจร [3] ใช้หลักการหารความถี่เช่นเดียวกัน โดยวงจรสามารถควบคุมเอาท์พุทได้ทั้งความถี่และเฟส แต่ความถี่เอาท์พุทจะมีค่าต่ำ และวงจรมีความซับซ้อนในการออกแบบส่วนควบคุมเฟส นอกจากการหารความถี่แล้ว ได้มีการออกแบบวงจร DCO ที่สามารถสร้างความถี่และเปลี่ยนความถี่ได้ภายในตัววงจร โดยนิยมใช้หลักการของริงออสซิลเลเตอร์ วงจร [4] เป็นวงจรริงออสซิลเลเตอร์ที่สามารถเปลี่ยนความถี่ด้วยการเพิ่ม-ลดจำนวน stage ของวงจร ซึ่งออกแบบและสร้างได้ง่าย แต่ได้จำนวนความถี่เอาท์พุทน้อย หรือเอาท์พุทมีความละเอียดต่ำ โดยขึ้นอยู่กับจำนวนอุปกรณ์ของวงจร ในวงจร [6] เป็นวงจรริงออสซิลเลเตอร์ที่อยู่ในลักษณะของอะเรย์ ซึ่งมีจำนวน stage คงที่ โดยสามารถปรับความถี่ด้วยการเพิ่ม-ลดค่าหน่วยเวลา ในแต่ละ stage ของวงจร โดยวงจรถูกออกแบบและสร้างได้ง่าย และรูปแบบการทำงานสามารถใช้ได้กับอะเรย์ทุกขนาด แต่จำนวนความถี่เอาท์พุทที่ได้น้อย หรือเอาท์พุทมีความละเอียดต่ำ โดยขึ้นอยู่กับจำนวนอุปกรณ์ของวงจร และวงจร [7] แม้จะออกแบบง่าย เอาท์พุทมีความละเอียดสูงแต่ต้องแลกกับจำนวนอุปกรณ์ที่เพิ่มมากขึ้น และเมื่อเทียบกับวงจร [6] พบว่ายังมีความละเอียดของเอาท์พุทต่ำกว่า สุดท้ายวงจร [8] และ [9] ใช้เทคนิคทั้งการเพิ่ม-ลดจำนวน stage ร่วมกับการเพิ่ม-ลดค่าหน่วยเวลา ในแต่ละ stage ของวงจรในการปรับความถี่ ซึ่งส่งผลให้มีช่วงความถี่ใช้งานที่กว้าง มีความละเอียดสูง และสามารถออกแบบได้ง่าย แต่โครงสร้างของวงจรทำให้สั้นเปลืองกำลังงานทั้งช่วงความถี่สูงและความถี่ต่ำ

จากวงจร DCO ที่ใช้เทคนิคหารความถี่ [2]-[3] จึงทำให้มีข้อจำกัดของความถี่เอาท์พุท และวงจรที่ใช้เทคนิคร่วมในการปรับความถี่ [8]-[9] สามารถทำให้วงจรมีประสิทธิภาพดี สำหรับวงจร [6]-[7] ด้วยโครงสร้างที่เป็นอะเรย์ จากการศึกษาการทำงานของวงจร พบว่าการควบคุมการปรับความถี่นั้นอาศัยการเปลี่ยนแปลงหน่วยเวลา ภายใน stage ของอะเรย์ ที่มีความสัมพันธ์กับรูปแบบการปรับความถี่ ดังนั้นถ้าเราทราบความสัมพันธ์ของการเปลี่ยนแปลงค่าหน่วยเวลากับรูปแบบการควบคุม เราก็จะสามารถหารูปแบบหรือออกแบบรูปแบบการปรับความถี่ ที่ให้จำนวนความถี่เอาท์พุทได้มากขึ้น สามารถใช้ได้กับอะเรย์ทุกขนาด โดยที่ความถี่เอาท์พุทมีความสัมพันธ์กับรูปแบบการควบคุมที่แน่นอน ด้วยเหตุนี้จึงนำวงจร [6] มาเป็นต้นแบบสำหรับการศึกษาวิจัยและพัฒนาให้วงจรมีประสิทธิภาพดีขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

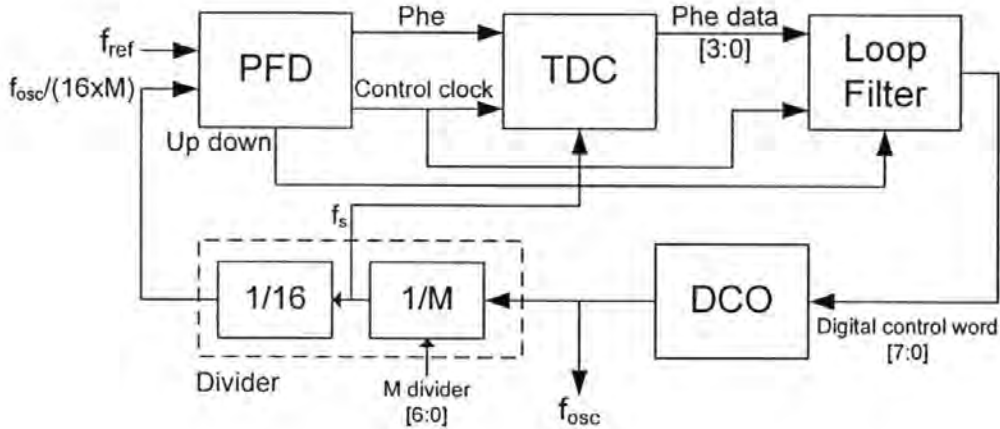
บทที่ 3

การออกแบบวงจรเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด

3.1 บทนำ

วงจรเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด (All Digital Phase-Locked Loop: ADPLL) มีส่วนประกอบด้วยกันหลายส่วน วิทยานิพนธ์ฉบับนี้ มีทั้งการปรับปรุง พัฒนา และการออกแบบใหม่ จากวงจรพื้นฐาน และจากงานวิจัยต่างๆที่เกี่ยวข้อง ส่วนประกอบหลักของวงจรเฟสล็อกคูลูป คือวงจรออสซิลเลเตอร์ที่ควบคุมแบบดิจิทัล (Digitally-Controlled Oscillator: DCO) วงจรใช้หลักการพื้นฐานจากวงจรริงออสซิลเลเตอร์ [10] และเราได้ปรับปรุง พัฒนาจากงานวิจัยที่เกี่ยวข้อง [5]-[6] วงจรตรวจจับเฟส (Phase Detector: PD) นั้น ใช้วงจรตรวจจับเฟสและความถี่ (Phase-Frequency Detector: PFD) [1] โดยมีการปรับปรุงเพื่อให้เข้ากับการทำงานของวงจรในส่วนอื่นๆ วงจรกรองคูลูป (Loop Filter: LF) ซึ่งวงจรกรองคูลูปมีส่วนประกอบสองส่วน คือวงจรแปลงค่าเวลาเป็นค่าดิจิทัล (Time to Digital Converter: TDC) ซึ่งเราได้ศึกษาจากงานวิจัยที่เกี่ยวข้อง และออกแบบพัฒนางจร TDC ขึ้นมาเพื่อให้เข้ากับหลักการการทำงานของวงจรเฟสล็อกคูลูป ส่วนที่สอง คือวงจรกรองคูลูปแบบดิจิทัล (Digital loop filter) เป็นวงจรที่ออกแบบขึ้นสำหรับประมวลผลค่าความต่างเฟสและความถี่ เพื่อให้ได้ผลลัพธ์ สำหรับนำไปควบคุมการทำงานของ DCO และส่วนสุดท้ายของวงจรเฟสล็อกคูลูป คือวงจรหารความถี่ (Divider) เราใช้วงจรหารความถี่พื้นฐาน ที่มีการใช้งานกันโดยทั่วไป สำหรับกำหนดอัตราการคูณของความถี่อินพุต เพื่อให้ได้ความถี่เอาต์พุตตามที่ต้องการ

วงจรเฟสล็อกคูลูปที่นำเสนอ แสดงดังรูปที่ 3.1 วงจรตรวจจับเฟสและความถี่จะเปรียบเทียบเฟสระหว่างสัญญาณอินพุตหรือสัญญาณอ้างอิง (f_{ref}) กับสัญญาณเอาต์พุตจากวงจร DCO ที่ถูกหารความถี่ ได้ค่าความต่างเฟสของสัญญาณ ผ่านวงจร TDC แปลงค่าความต่างเฟสนั้นเป็นค่าดิจิทัลบิต (Phe data) วงจรกรองคูลูปจะนำค่าความต่างเฟสนี้มาประมวลผล และได้เอาต์พุต (Digital Control word) นำไปควบคุมวงจร DCO ให้มีค่าความถี่และเฟสตรงกับสัญญาณอ้างอิง

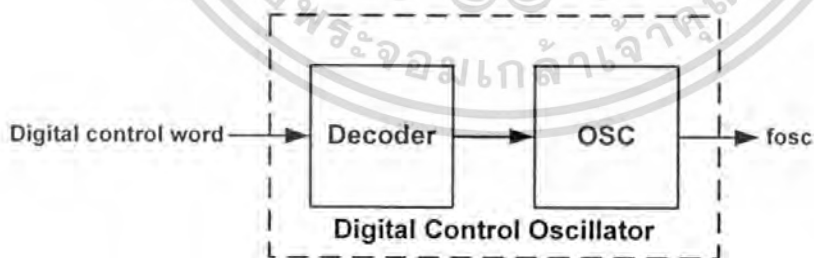


รูปที่ 3.1 วงจรเฟสล็อกแบบดิจิทัลทั้งหมด (ADPLL)

เนื้อหาในบทนี้จะกล่าวถึงการออกแบบ และการทำงานของวงจรเฟสล็อกแบบดิจิทัลทั้งหมด ในแต่ละส่วนของวงจรตามลำดับ และในส่วนสุดท้ายจะเป็นผลการจำลองการทำงานของวงจรเฟสล็อกที่นำเสนอ

3.2 วงจรออสซิลเลเตอร์ที่ควบคุมแบบดิจิทัล (DCO)

วงจร DCO ที่นำเสนอประกอบด้วย วงจรออสซิลเลเตอร์ และวงจรถอดรหัส (Decoder) ซึ่งวงจรออสซิลเลเตอร์ทำหน้าที่ให้กำเนิดสัญญาณรูปสี่เหลี่ยม (Square wave) และวงจรถอดรหัส ทำหน้าที่แปลงค่าบิตดิจิทัลให้เป็นสัญญาณดิจิทัลที่สามารถควบคุมการทำงานของวงจรออสซิลเลเตอร์ได้



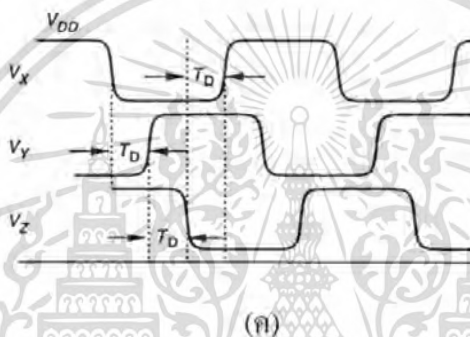
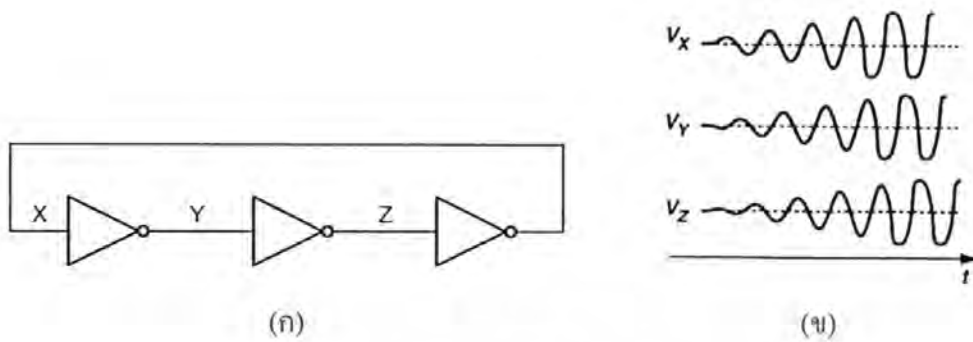
รูปที่ 3.2 โครงสร้างของวงจร DCO

3.2.1 วงจรออสซิลเลเตอร์

วงจรออสซิลเลเตอร์แบบดิจิทัลที่นำเสนอมีพื้นฐานจากวงจรริงออสซิลเลเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังรูปที่ 3.3 (ก) อินเวอร์เตอร์เป็นอุปกรณ์พื้นฐานที่มีอยู่ในระบบดิจิทัล ดังนั้นจึงมีความสะดวกและเหมาะสมสำหรับการออกแบบวงจรออสซิลเลเตอร์แบบดิจิทัล



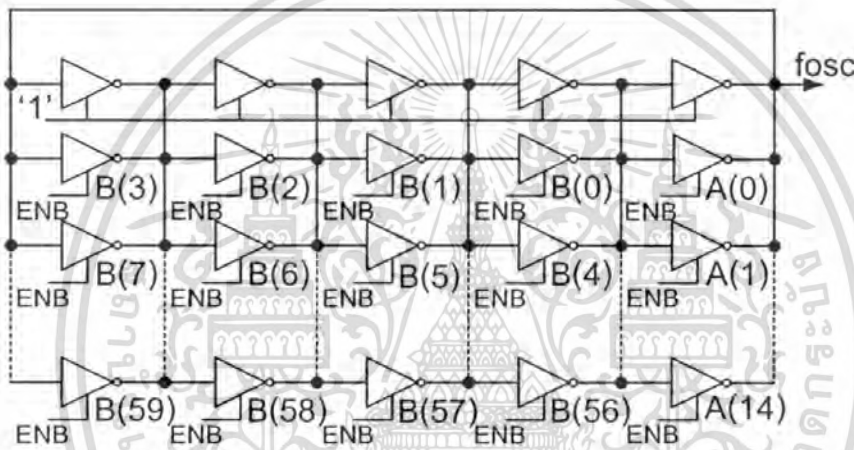
รูปที่ 3.3 (ก) วงจรออสซิลเลเตอร์ (ข) รูปสัญญาณการเริ่มทำงานของวงจรออสซิลเลเตอร์ และ (ค) รูปสัญญาณของวงจรออสซิลเลเตอร์ [10]

หลักการทำงานของวงจรเริ่มจาก $V_x = 0$ $V_y = 0$ และ $V_z = 0$ เมื่อเวลาผ่านไป แรงดันของแต่ละโหนดจะค่อยๆเปลี่ยนแปลงเพิ่มขึ้น และลดลงตามลำดับการทำงานของอินเวอร์เตอร์ คือ จากค่าแรงดันเริ่มต้นของโหนด $V_x = V_y = V_z = 0$ เมื่อระยะเวลาเริ่มผ่านไป เราจะได้ $V_x = V_{DD}$ มีผลให้ $V_y = 0$ และ $V_z = V_{DD}$ และระยะเวลาผ่านไปอีก เราจะได้ $V_x = 0$ มีผลให้ $V_y = V_{DD}$ และ $V_z = 0$ โดยใช้ระยะเวลาเท่ากับค่าหน่วงเวลาของอินเวอร์เตอร์ เราจะพบว่าแรงดันของแต่ละโหนดจะเปลี่ยนแปลงสลับกันไปเช่นนี้ตลอด ทำให้วงจรเกิดออสซิลเลต การทำงานของวงจรในช่วงระยะเวลา 1 รอบของวงจร ค่าผลรวมของค่าหน่วงเวลาแต่ละตัวรวมกันเท่ากับครึ่งคาบเวลา หนึ่งคาบเวลาจะใช้เวลาเท่ากับ 2 รอบ ดังนั้นค่าคาบเวลาที่ได้จึงเท่ากับ $6T_D = 2 \times 3 \times T_D$ สามารถเขียนเป็นสมการความถี่ของออสซิลเลเตอร์ ได้ดังสมการที่ 3.1 เมื่อ n คือจำนวน stage ของวงจร และ T_D คือค่าหน่วงเวลาของอินเวอร์เตอร์ วงจรออสซิลเลเตอร์ที่ใช้วงจรอินเวอร์เตอร์แบบซิงเกิลเ็นต์ (single-ended) ต้องมีจำนวน stage เป็นจำนวนคี่ วงจรจึงจะสามารถออสซิลเลตได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_{osc} = \frac{1}{2nTd} \quad (3.1)$$

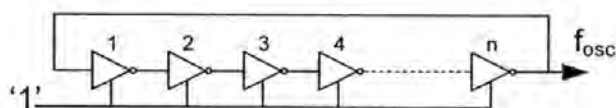
สมการความถี่ของวงจรริงออสซิลเลเตอร์ ตัวแปรที่เป็นตัวกำหนดความถี่คือ จำนวน stage (n) และค่าหน่วงเวลาของอินเวอร์เตอร์ (Td) การออกแบบวงจรออสซิลเลเตอร์ที่มีลักษณะเป็นวงจรริงออสซิลเลเตอร์มีหลายแบบ ทั้งแบบที่จำนวน stage คงที่ แต่มีการเปลี่ยนแปลงค่าหน่วงเวลา ในแต่ละ stage และแบบที่ค่าหน่วงเวลาของแต่ละ stage คงที่ มีการเปลี่ยนแปลงจำนวน stage วงจรออสซิลเลเตอร์ที่นำเสนออยู่ในรูปแบบที่จำนวน stage คงที่ และมีการเปลี่ยนแปลงค่าหน่วงเวลาในแต่ละ stage แสดงดังรูปที่ 3.4



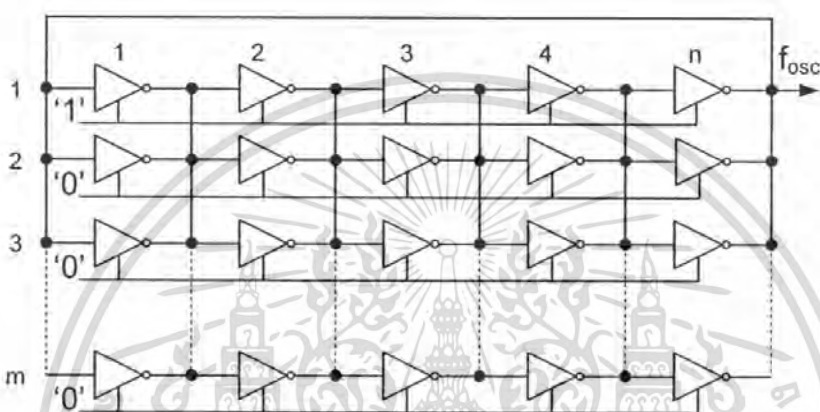
รูปที่ 3.4 วงจรออสซิลเลเตอร์ที่นำเสนอ

วงจรริงออสซิลเลเตอร์ที่ใช้อินเวอร์เตอร์ในการออกแบบ มีการเปลี่ยนมาใช้ tri-state inverter แทน เพื่อสามารถควบคุมการเปลี่ยนแปลงความถี่ของวงจรออสซิลเลเตอร์ได้ ลักษณะโครงสร้างของวงจรประกอบด้วยริงออสซิลเลเตอร์หลักหนึ่งแถว และมี tri-state inverter ต่อขนานกับริงออสซิลเลเตอร์หลักในแต่ละ stage โดย tri-state inverter ที่ใช้ มีคุณสมบัติเหมือนกันทุกประการ เพื่อง่ายและสะดวกในการออกแบบ เราจะพบว่าวงจรออสซิลเลเตอร์ที่นำเสนอมีลักษณะเป็นอะเรย์ขนาด $m \times n$ ซึ่ง m แสดงถึงจำนวน tri-state inverter ที่ต่อขนานกันทั้งหมดในแต่ละ stage และ n แสดงจำนวน stage ของวงจร ขนาดดังกล่าวทั้งจำนวน stage และจำนวน tri-state inverter ที่ต่อขนานนั้น เป็นค่าที่ขึ้นอยู่กับช่วงความถี่ที่ต้องการใช้งาน และจำนวน stage นั้นต้องเป็นจำนวนคี่ สำหรับวิธีการออกแบบขนาดของวงจรมัน สามารถพิจารณาจากช่วงความถี่สูงสุดและต่ำสุดที่ต้องการใช้งาน โดยวงจรริงออสซิลเลเตอร์แถวเดียวที่ไม่มี tri-state inverter ต่อขนานในแต่ละ stage ซึ่งมีจำนวน stage เท่ากับ n ทำให้ความถี่เอาต์พุตของวงจรมีค่าเท่ากับความถี่สูงสุด เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และเมื่อนำ tri-state inverter ต่อขนานในแต่ละ stage เป็นจำนวนเท่ากับ m เมื่อ tri-state inverter ถูก disable ไว้ ทำให้ความถี่เอาต์พุตของวงจรมีค่าเท่ากับความถี่ต่ำสุด



รูปที่ 3.5 การออกแบบวงจรออสซิลเลเตอร์ที่ความถี่สูงสุด โดยมีจำนวน stage เท่ากับ n



รูปที่ 3.6 การออกแบบวงจรออสซิลเลเตอร์ที่ความถี่ต่ำสุดที่มีจำนวน stage เท่ากับ n และมีจำนวน tri-state inverter ต่อขนานในแต่ละ stage เป็นจำนวนเท่ากับ m

การทำงานของวงจรออสซิลเลเตอร์ ในสมการที่ 3.1 แสดงให้เห็นว่าคาบเวลาของความถี่ออสซิลเลเตอร์นั้น คือผลรวมของค่าหน่วงเวลาในแต่ละ stage ของริงออสซิลเลเตอร์ ในรูปที่ 3.4 ริงออสซิลเลเตอร์หลักจะถูก enable ไว้ตลอดเวลา และเราสามารถควบคุมการเปลี่ยนแปลงความถี่ด้วยการ enable tri-state inverter ที่ต่อขนานกับริงออสซิลเลเตอร์หลักในแต่ละ stage นั้นๆ เนื่องจากวงจรออสซิลเลเตอร์ที่นำเสนอ ใช้ tri-state inverter เชื่อมต่ออยู่ในลักษณะของอะเรย์ โดยในแต่ละโหนดของวงจร มีโหนดที่เป็นตัวเก็บประจุ ซึ่งเป็นตัวเก็บประจุของ tri-state inverter ทั้งด้านอินพุตและเอาต์พุต โดยมีค่าคงที่ เมื่อ enable tri-state inverter ใน stage ใด จะทำให้ใน stage นั้นมี tri-state inverter ช่วยขับโหนดในโหนดนั้นเพิ่มขึ้น จึงทำให้ค่าหน่วงเวลาใน stage นั้นมีค่าลดลง ส่งผลให้ค่าคาบเวลารวมของความถี่ออสซิลเลเตอร์ลดลงด้วย จึงทำให้ความถี่เอาต์พุตของวงจรออสซิลเลเตอร์เพิ่มสูงขึ้นได้ สมการที่ 3.1 สามารถเขียนใหม่เพื่อใช้คำนวณหาความถี่ของวงจรออสซิลเลเตอร์ที่นำเสนอได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$f_{osc} = \frac{1}{2 \sum_{i=1}^n t_{di}} \quad (3.2)$$

เมื่อ t_{di} คือค่าหน่วงเวลาในแต่ละ stage ของวงจรออสซิลเลเตอร์ และ n คือจำนวน stage ของวงจร แนวคิดในการออกแบบวงจรออสซิลเลเตอร์ที่นำเสนอ มาจากการศึกษาค้นคว้างานวิจัยที่ได้ถูกนำเสนอมาแล้ว [5]-[6] พบว่าวงจรออสซิลเลเตอร์ที่ใช้ tri-state inverter ต่อเป็น วงจรออสซิลเลเตอร์ และอยู่ในลักษณะของอะเรย์ มีหลักการทำงานที่ง่าย เป็นรูปแบบมาตรฐาน ที่สามารถใช้ได้กับอะเรย์ในทุกๆขนาด และใช้ได้กับทุกๆ เทคโนโลยีซีมอสที่ใช้ในการสร้างวงจร แต่จำนวนความถี่เอาต์พุตมีจำนวนน้อย โดยขึ้นอยู่กับจำนวนของ tri-state inverter ที่ต่ออยู่ในวงจร ออสซิลเลเตอร์ เนื่องจากลักษณะโครงสร้างเฉพาะตัวของวงจรออสซิลเลเตอร์ที่เป็นอะเรย์ สามารถ กำหนดรูปแบบการปรับความถี่ได้หลากหลายรูปแบบ ดังนั้นจึงศึกษารูปแบบการปรับความถี่ของ วงจรออสซิลเลเตอร์ดังกล่าว จนกระทั่งได้รูปแบบการปรับความถี่ที่เหมาะสม การออกแบบและ การสร้างวงจร ใช้หลักการและวิธีการดังจะกล่าวต่อไปนี้

หลักการออกแบบวงจรออสซิลเลเตอร์ที่นำเสนอ เป็นการออกแบบรูปแบบการ enable ของ tri-state inverter การควบคุมการปรับความถี่ของวงจรออสซิลเลเตอร์ เพื่อให้ความถี่มีการ เปลี่ยนแปลงไปในทิศทางเดียว โดยมีรูปแบบที่ง่าย ไม่ยุ่งยากซับซ้อน เป็นรูปแบบที่สามารถใช้งาน ได้กับทุกๆ ขนาดของอะเรย์ และทุกๆ เทคโนโลยีซีมอสที่ใช้สร้างวงจรออสซิลเลเตอร์

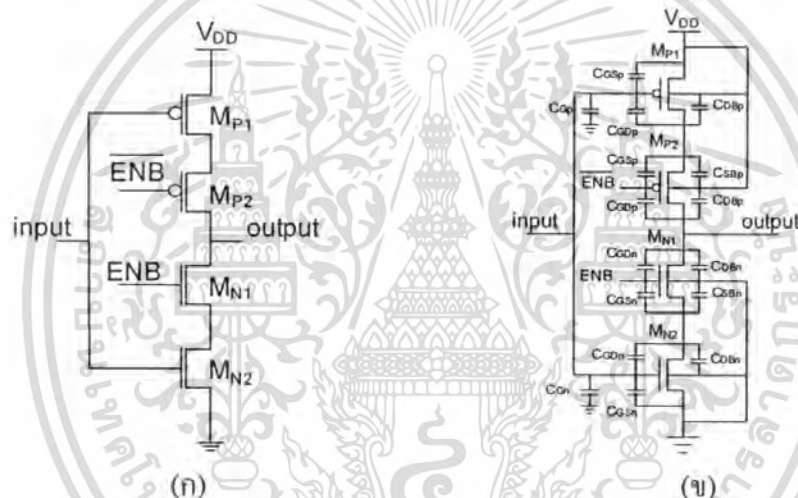
3.2.1.1 การประมาณค่าหน่วงเวลาของวงจรออสซิลเลเตอร์

เนื่องจากค่าคาบเวลาของความถี่ออสซิลเลเตอร์ คือผลรวมของค่าหน่วงเวลาในแต่ละ stage (t_{di}) ของวงจรออสซิลเลเตอร์ และเราสามารถหาได้จากค่า propagation delay (t_p) ซึ่งเป็นค่าเฉลี่ย ของค่าหน่วงเวลาการเปลี่ยนแปลงของสัญญาณอินพุตถึงเอาต์พุตของช่วง low-to-high (t_{PLH}) และ ช่วง high-to-low (t_{PHL}) ของ tri-state inverter เพียงหนึ่งตัวก่อน ดังสมการที่ 3.3 จากนั้นจึงจะ พิจารณาวงจรออสซิลเลเตอร์ที่อยู่ในลักษณะของอะเรย์ โดยมีการ disable และ enable ของ tri-state inverter และออกแบบรูปแบบการปรับความถี่ของวงจรออสซิลเลเตอร์ต่อไป

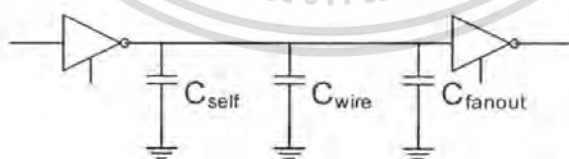
$$t_p = \frac{t_{PLH} + t_{PHL}}{2} \quad (3.3)$$

การหาค่าหน่วงเวลาของวงจรรอสซิลเลเตอร์ มิได้ต้องการจะหาค่าหน่วงเวลาออกมาเป็นค่าตัวเลขโดยตรงแต่อย่างใด แต่เป็นการประมาณค่าเพื่อต้องการทราบลักษณะการเปลี่ยนแปลงของค่าหน่วงเวลาเมื่อมีการ disable และ enable ของ tri-state inverter เพื่อสามารถที่จะจัดรูปการ disable และ enable ให้ตรงกับแนวคิดที่กำหนดไว้

วงจรรภายในของ tri-state inverter แสดงดังรูปที่ 3.7 (ก) การประมาณค่าหน่วงเวลาหรือค่า propagation delay นั้น สามารถใช้หลักการประมาณค่าหน่วงเวลาของ Elmore [11]-[12] โดยการแทนวงจรร tri-state inverter ด้วย RC model [13] โดย R คือ on-resistance และ C คือ ค่าตัวเก็บประจุที่โหนดภายใน ของ NMOS และ PMOS แสดงดังรูปที่ 3.6 (ข) ซึ่งประกอบด้วย C_G คือตัวเก็บประจุ gate-to-drain: C_{GD} และ gate-to-source: C_{GS} รวมทั้ง Overlap Capacitance: C_{OL} , C_{SB} และ C_{DB} คือตัวเก็บประจุระหว่างรอยต่อของ source และ drain กับ substrate



รูปที่ 3.7 (ก) วงจรของ tri-state inverter (ข) ตัวเก็บประจุที่โหนดภายในของ NMOS และ PMOS



รูปที่ 3.8 ตัวเก็บประจุที่เป็นโหลดของ tri-state inverter

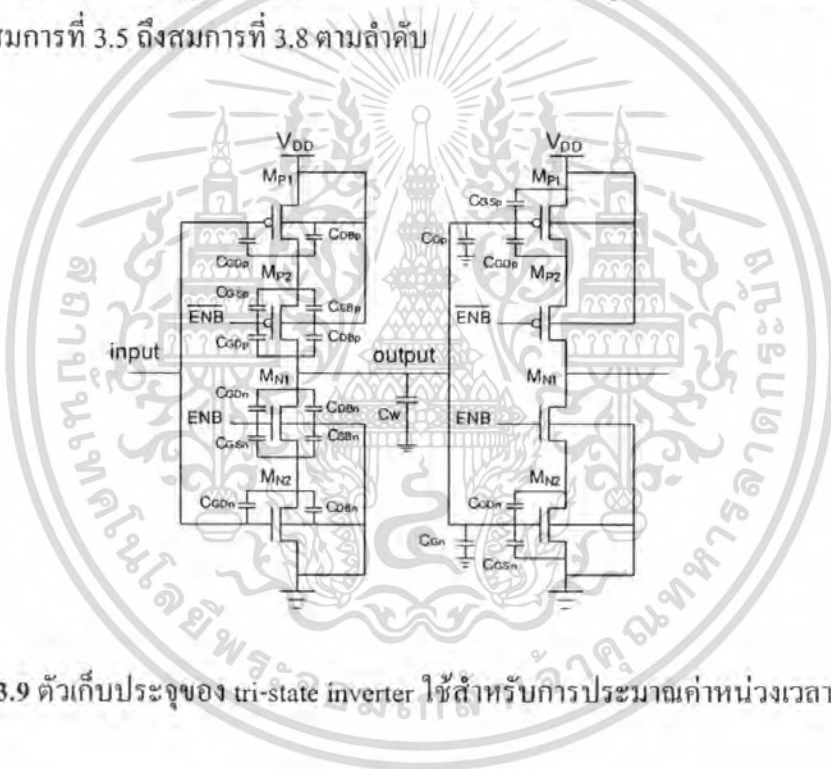
วงจรรอสซิลเลเตอร์ที่น่าเสนอ เป็นการนำ tri-state inverter มาเชื่อมต่อเป็นวงจรรอสซิลเลเตอร์ ดังนั้นการประมาณค่าหน่วงเวลา ต้องพิจารณาตัวเก็บประจุที่เอาท์พุทและ โหนดภายในของ tri-state inverter ทั้งหมด โดยที่เอาท์พุทประกอบไปด้วย self-loading capacitance

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(C_{self}), wire capacitance (C_{wire}) และ fanout capacitance (C_{fanout}) โดยแทนด้วย C_L ซึ่งแสดงดังสมการที่ 3.4

$$C_L = C_{self} + C_{wire} + C_{fanout} \quad (3.4)$$

เมื่อ C_{self} คือ ตัวเก็บประจุทั้งหมดที่โหนดภายในของ tri-state inverter ต่อกับเอาต์พุตของ stage C_{wire} คือ ตัวเก็บประจุของสายที่ใช้สำหรับเชื่อมต่อวงจรเข้าด้วยกัน และ C_{fanout} คือ ตัวเก็บประจุทางด้านอินพุตของ tri-state inverter ที่ต่อเป็น stage ถัดไป และตัวเก็บประจุที่โหนดภายในของ tri-state inverter ที่อยู่ระหว่าง PMOS M_{p1} กับ M_{p2} แทนด้วย C_a และระหว่าง NMOS M_{n1} กับ M_{n2} แทนด้วย C_b ซึ่งเป็นส่วนหนึ่งของ C_{self} ที่ส่งผลกระทบต่อโหนดเอาต์พุต แสดงดังรูปที่ 3.10 และค่าตัวเก็บประจุต่างๆแสดงดังสมการที่ 3.5 ถึงสมการที่ 3.8 ตามลำดับ



รูปที่ 3.9 ตัวเก็บประจุของ tri-state inverter ใช้สำหรับการประมาณค่าหน่วงเวลา

$$C_{self} = C_{GDp} + C_{GSp} + C_{GDn} + C_{GSn} \quad (3.5)$$

$$C_{fanout} = C_{Gp} + C_{GSp} + C_{GDp} + C_{Gn} + C_{GSn} + C_{GDn} \quad (3.6)$$

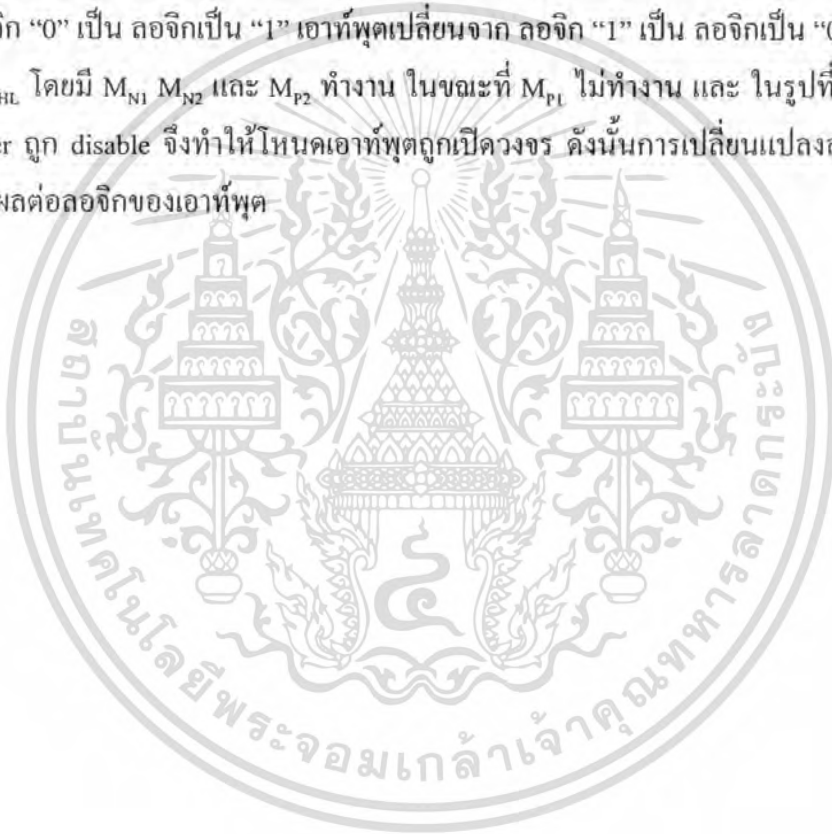
$$C_a = C_{GDp} + C_{GSp} + C_{DBp} + C_{SBp} \quad (3.7)$$

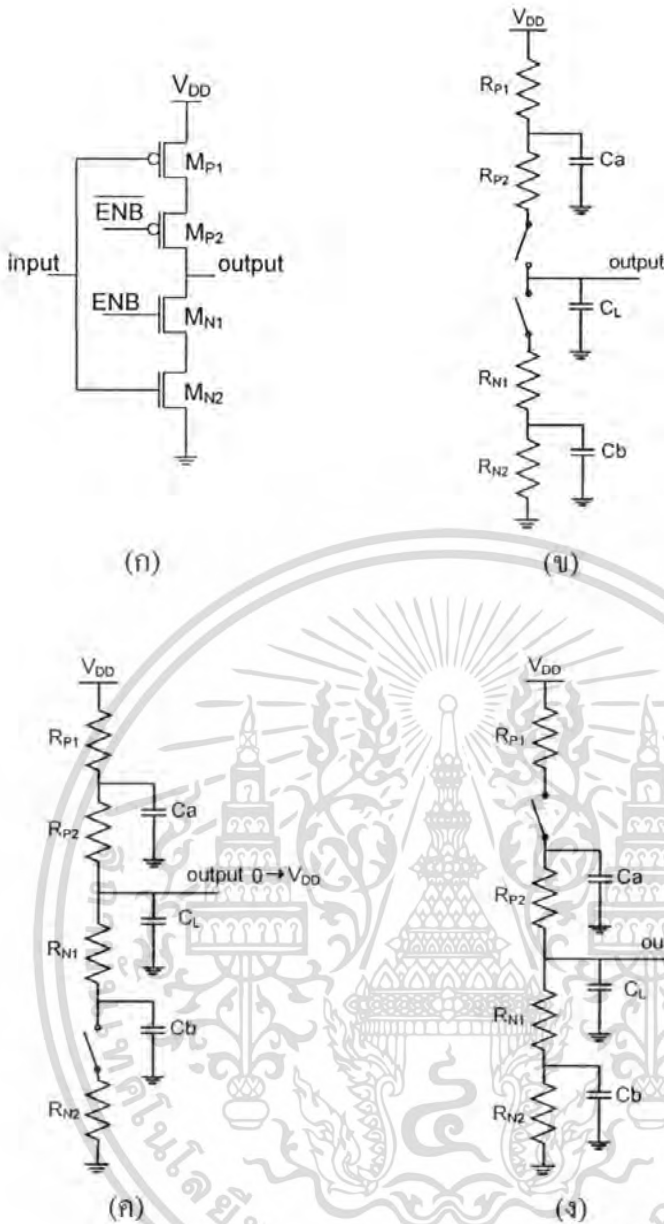
$$C_b = C_{GDn} + C_{GSn} + C_{DBn} + C_{SBn} \quad (3.8)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจร tri-state inverter สามารถแทนด้วย RC model ซึ่งอยู่ในรูปของ RC tree network แสดงดังรูปที่ 3.10 RC model ของ tri-state inverter แทน PMOS และ NMOS ด้วย on-resistance R_p และ R_n ตามลำดับ และ C ตามที่กล่าวในตอนต้น โดยให้สัญลักษณ์ของสวิทช์ แทนสถานะของการทำงานและไม่ทำงานของ PMOS และ NMOS และใช้ RC model นี้ในการอธิบายรายละเอียด ในหัวข้ออื่นๆ ต่อไปด้วย

สภาวะการทำงานของ tri-state inverter สามารถพิจารณาได้ดังรูปที่ 3.10 (ค) เมื่อ tri-state inverter ถูก enable และอินพุตเปลี่ยนจาก ลอจิก “1” เป็น ลอจิกเป็น “0” เอาท์พุตเปลี่ยนจาก ลอจิก “0” เป็น ลอจิกเป็น “1” ซึ่งเป็นช่วงเวลาของ t_{PLH} โดยมี M_{p1} , M_{p2} และ M_{n1} ทำงาน ในขณะที่ M_{n2} ไม่ทำงาน ในรูปที่ 3.10 (ง) tri-state inverter ถูก enable เช่นเดียวกัน และอินพุตเปลี่ยนจาก ลอจิก “0” เป็น ลอจิกเป็น “1” เอาท์พุตเปลี่ยนจาก ลอจิก “1” เป็น ลอจิกเป็น “0” ซึ่งเป็นช่วงเวลาของ t_{PHL} โดยมี M_{n1} , M_{n2} และ M_{p2} ทำงาน ในขณะที่ M_{p1} ไม่ทำงาน และ ในรูปที่ 3.10 (ข) tri-state inverter ถูก disable จึงทำให้โหนดเอาท์พุตถูกเปิดวงจร ดังนั้นการเปลี่ยนแปลงลอจิกของอินพุต จึงไม่มีผลต่อลอจิกของเอาท์พุต

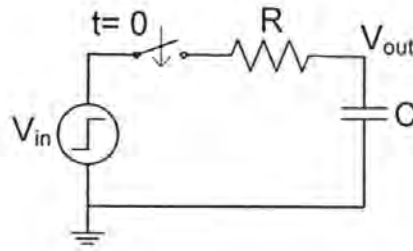




รูปที่ 3.10 RC model ของ tri-state inverter (ก) วงจรของ tri-state inverter (ข) เมื่อ tri-state inverter ถูก disable (ค)เมื่อ tri-state inverter ถูก enable และอยู่ในช่วง t_{PLH} (ง) เมื่อ tri-state inverter ถูก enable และอยู่ในช่วง t_{PHL}

ดังที่ได้กล่าวมาแล้วในตอนต้นถึงการประมาณค่าหน่วยเวลาของวงจร tri-state inverter ไม่ได้ต้องการหาค่าออกมาเป็นตัวเลขหรือค่าที่แน่นอนแต่อย่างใด แต่ต้องการทราบเพียงแนวโน้มหรือลักษณะการเปลี่ยนแปลงของค่าหน่วยเวลา เมื่อมีการ disable หรือ enable ของ tri-state inverter ในวงจรออสซิลเลเตอร์ที่นำเสนอ โดยทั่วไปการหาค่าหน่วยเวลาของ first-order RC network ในรูปที่ 3.11 เมื่ออินพุตเป็น step สามารถหาผลตอบสนองชั่วคราว(transient response) ได้ดังสมการที่ 3.9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 First-order RC network

$$V_{out} = (1 - e^{-t/\tau})V_{in} \quad (3.9)$$

เมื่อ $\tau = RC$ คือค่าคงที่ทางเวลา (time constant) และหาค่าหนึ่งช่วงเวลา (t) ที่ 50% ของเอาต์พุต V_{out} ดังนั้นจะได้ค่าหนึ่งช่วงเวลา $t = \ln(2)\tau = 0.69\tau$ ในทางปฏิบัติสัญญาณอินพุตจะมีค่า rise time และ fall time ซึ่งจะทำให้ค่าหนึ่งเวลามีค่ามากกว่า 0.69τ และเพื่อความสะดวกจึงประมาณค่าหนึ่งช่วงเวลา (t) ของวงจร tri-state inverter เท่ากับ RC เท่านั้น

จากหลักการของ Elmore[12] สามารถหาค่าหนึ่งช่วงเวลาของ tri-state inverter ด้วย RC model ในรูปที่ 3.10 (ก) และ (ง) ได้ดังสมการที่ 3.10 และ 3.11 ตามลำดับ

$$t_{PLH} = R_{P1}C_a + (R_{P1} + R_{P2})C_L + (R_{P1} + R_{P2})C_b \quad (3.10)$$

$$t_{PHL} = R_{N2}C_b + (R_{N1} + R_{N2})C_L + (R_{N1} + R_{N2})C_a \quad (3.11)$$

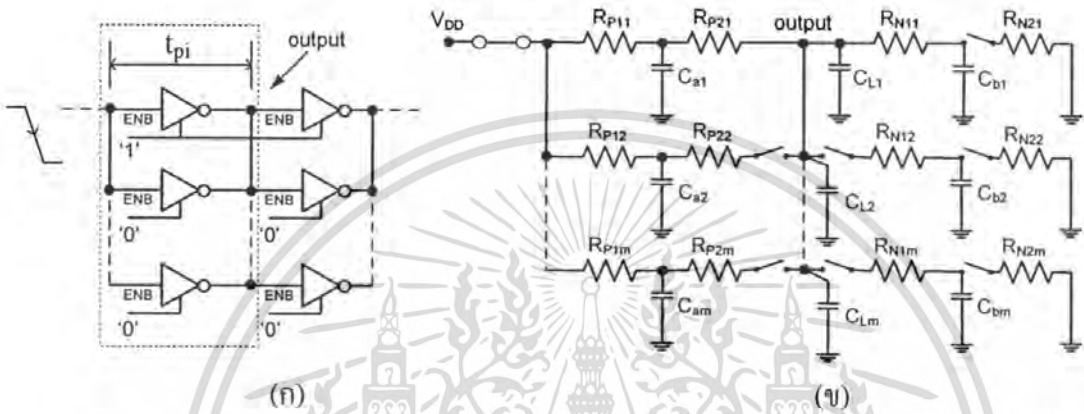
การออกแบบวงจรดิจิทัลลอจิกเกต จะออกแบบให้ค่าหนึ่งช่วงเวลาของ tri-state inverter ทั้งช่วง t_{PLH} และ t_{PHL} จะมีค่าใกล้เคียงกัน ดังนั้นในการประมาณค่าหนึ่งช่วงเวลาของ tri-state inverter สำหรับวงจรออสซิลเลเตอร์ที่นำเสนอ จะใช้เพียงค่าใดค่าหนึ่งเท่านั้น เพื่อความสะดวกในการคำนวณ

วงจร tri-state inverter ที่แทนด้วย RC model ดังนั้นเราสามารถใช้นิยามวงจรออสซิลเลเตอร์ที่นำเสนอ เราสามารถหาค่าหนึ่งช่วงเวลาในแต่ละ stage ของวงจร ซึ่งมี tri-state inverter ต่อขนานเป็นจำนวน m ตัว แสดงในรูปที่ 3.12 (ก) และ RC model ของช่วง t_{PLH} ในแต่ละ stage แสดงในรูปที่ 3.12 (ข) ซึ่งวงจรอยู่ในรูปของ RC network โดยลักษณะของ network จะขึ้นอยู่กับ การ disable และ enable ของ tri-state inverter ในลักษณะแรก ตามรูปที่ 3.12 (ก) tri-state inverter แรกถูก enable และ tri-state inverter ตัวอื่นๆ ที่ต่อขนานอยู่ ถูก disable ดังนั้นวงจรเสมือนสำหรับคำนวณค่าหนึ่งช่วงเวลา t_{μ} ที่เกิดจากการสวิทช์ของ tri-state inverter ในคอลัมน์แรก เมื่อได้รับสัญญาณอินพุตเปลี่ยน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

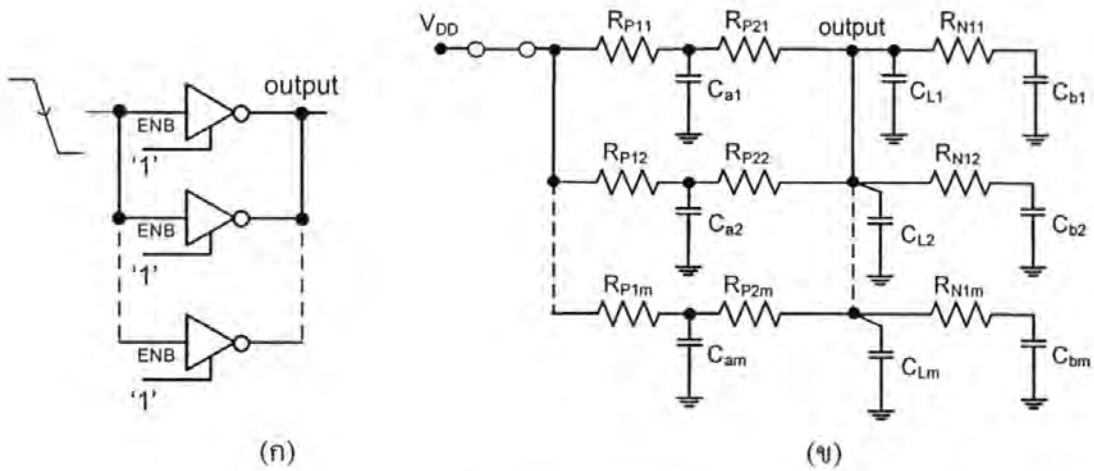
จาก High ไป Low เราสามารถแทนด้วย RC network ได้ดังรูปที่ 3.12 (ข) ซึ่งเอาต์พุตจะมีตัวเก็บประจุ C_L ต่อขานานอยู่ เป็นจำนวน m ตัว และมีตัวต้านทานต่อที่เอาต์พุตเพียงกิ่งเดียวเท่านั้น ซึ่งเราพบว่าวงจรอยู่ในลักษณะของ RC tree network ดังนั้นสามารถหาค่าหน่วงเวลาได้จากหลักการของ Elmore ซึ่งแสดงดังสมการที่ 3.12

$$t_{PLH} = R_{P11}C_{a1} + (R_{P11} + R_{P21})mC_L + (R_{P11} + R_{P21})C_{b1} \tag{3.12}$$



รูปที่ 3.12 (ก) ส่วนของวงจรออสซิลเลเตอร์ 1 Stage (ข) RC model สำหรับวงจรรูป (ก) เมื่อพิจารณาเฉพาะ ส่วนที่ทำให้เกิด t_{pi}

เมื่อ tri-state inverter ใน stage นั้น ถูก enable มากกว่า 1 ตัวขึ้นไป จนถึง m ตัว ลักษณะของ RC network จะเปลี่ยนจาก RC tree network เป็น RC mesh network แสดงดังรูปที่ 3.13 (ข) ซึ่งเป็น RC network ที่มีลักษณะเป็นรูป โดยทั่วไปในการประมาณค่าหน่วงเวลาต้องมีการคำนวณค่า invert node-conductance matrix ดังเช่น [14]-[16] ไม่สามารถใช้หลักการประมาณค่าหน่วงเวลาของ Elmore ได้



รูปที่ 3.13 (ก) วงจรออสซิลเลเตอร์ 1 Stage (ข) RC model สำหรับ tri-state inverter จำนวน m ตัว ต่อขนานกัน และทุกตัวถูก enable

การประมาณค่าหน่วงเวลาด้วยการคำนวณค่า invert node-conductance matrix เป็นการคำนวณที่เกี่ยวกับตัวเลข ไม่ใช่ตัวแปร โดยจำเป็นต้องใช้เครื่องคอมพิวเตอร์ในการคำนวณ ทำให้มีความซับซ้อนยุ่งยาก และไม่เหมาะสมสำหรับการประมาณค่าหน่วงเวลาของวงจรออสซิลเลเตอร์ที่นำเสนอ เนื่องจากลักษณะ RC network ของวงจรออสซิลเลเตอร์มีการเปลี่ยนแปลงตามการ disable และ enable ของ tri-state inverter จึงต้องคำนวณใหม่ในทุกๆ ครั้ง และต้องแทนค่าของตัวต้านทานและตัวเก็บประจุในการคำนวณด้วย แต่จุดประสงค์ในการหาค่าตัวต้านทานและตัวเก็บประจุนั้น เป็นเพียงการประมาณค่าเท่านั้น ซึ่งไม่ใช่ค่าที่ถูกต้องตามความเป็นจริง และถ้าต้องการทราบค่าที่แท้จริง ต้องใช้การวิเคราะห์ที่ค่อนข้างละเอียด ซึ่งทำให้มีความซับซ้อนยุ่งยากมากเกินไปที่จะนำมาใช้กับการออกแบบวงจรออสซิลเลเตอร์ที่นำเสนอ เป้าหมายของการวิเคราะห์หามีใช้ต้องการคำนวณค่าหน่วงเวลา แต่ต้องการสร้างสมการที่สามารถแสดงถึงความสัมพันธ์ระหว่างการเปลี่ยนแปลงค่าหน่วงเวลาของวงจรออสซิลเลเตอร์กับจำนวน tri-state inverter ถูก enable เพื่อหาข้อสรุปที่สอดคล้องกับความเป็นจริง เป็นรูปแบบแน่นอน สามารถใช้ได้กับทุกขนาดอะเรย์และเทคโนโลยีซิลิคอนที่ใช้ในการสร้าง โดยสมการต้องไม่มีความซับซ้อนยุ่งยากมากเกินไป และสามารถคำนวณได้ด้วยมือ ไม่จำเป็นต้องใช้เครื่องคอมพิวเตอร์ ด้วยเหตุนี้งานวิจัยนี้จึงเสนอวิธีการประมาณค่า RC mesh network ด้วย RC tree network

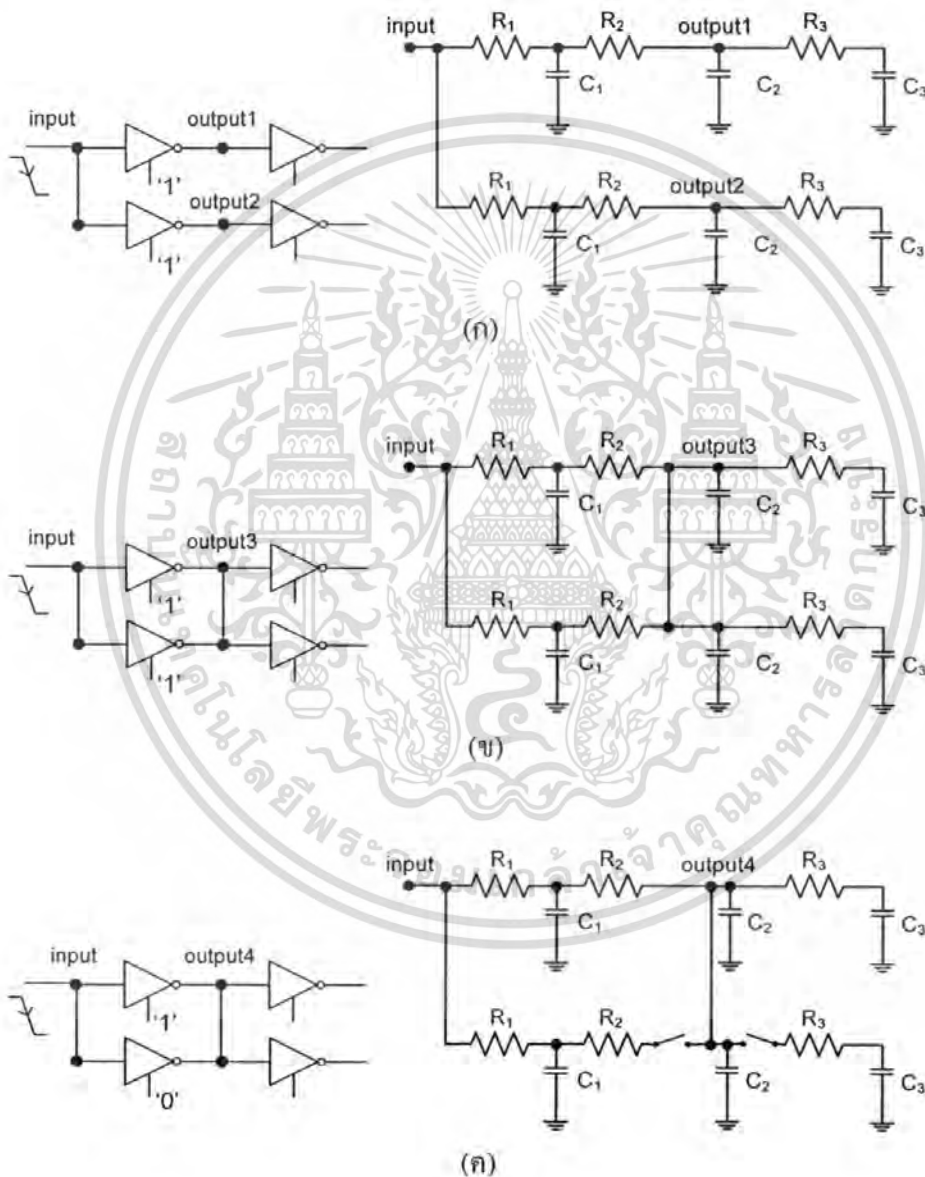
3.2.1.2 การประมาณค่า RC mesh network ด้วย RC tree network

ภายใต้เงื่อนไขของวงจรออสซิลเลเตอร์ที่นำเสนอประกอบด้วย tri-state inverter ที่มีคุณสมบัติที่เหมือนกันทุกประการ ดังนั้นค่าตัวต้านทานและตัวเก็บประจุใน RC model ของแต่ละตัวมีค่าเท่ากัน ทำให้การคำนวณมีความง่ายและสะดวกยิ่งขึ้น เมื่อ RC mesh network

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.13 เราสามารถพิจารณาให้อยู่ในรูปของ RC tree network และใช้หลักการของ Elmore ในการประมาณค่าหน่วงเวลาได้ด้วยวิธีดังต่อไปนี้

วงจร RC mesh network รูปที่ 3.13 เราใช้ tri-state inverter ที่มีคุณสมบัติเหมือนกันทุกประการ ทำให้ค่าของตัวต้านทานและตัวเก็บประจุใน RC model ของแต่ละตัวในตำแหน่งเดียวกันมีค่าเท่ากัน ตัวอย่างเช่น $R_{p11} = R_{p12} = R_{p1m}$ ให้มีค่าเป็น R_1 และ $C_{a1} = C_{a1} = C_{am}$ ให้มีค่าเป็น C_1 เป็นต้น RC model รูปที่ 3.13 เราสามารถแสดงใหม่ได้ดัง RC model รูปที่ 3.14



รูปที่ 3.14 (ก) วงจร RC tree network (ข) วงจร RC mesh network ที่แปลงจาก RC tree network
รูป (ค) (ก) วงจร RC tree network ที่แปลงจาก วงจร RC mesh network ในรูป (ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พิจารณารูปที่ 3.14 (ก) หาก output1 และ output2 ไม่เชื่อมต่อกัน วงจรอยู่ในลักษณะของ RC tree network เราสามารถหาค่าหน่วยเวลาที่โหนด output1 และ output2 ด้วยหลักการของ Elmore ดังสมการที่ 3.13 และ 3.14 ตามลำดับ จะเห็นได้ชัดว่า $t_{output1}$ มีค่าเท่ากับ $t_{output2}$ เนื่องจากวงจรทั้ง 2 กิ่ง มีลักษณะเหมือนกันคือ ตัวต้านทานและตัวเก็บประจุในแต่ละโหนดนั้น มีค่าที่เท่ากัน และเมื่อต่อโหนด output1 และ output2 เข้าด้วยกัน กลายเป็นโหนด output3 วงจรกลายเป็นวงจร RC mesh network ดังรูปที่ 3.14 (ข) เมื่อพิจารณาจากรูปจะพบว่า ค่าหน่วยเวลา $t_{output3}$ มีค่าเท่ากับ $t_{output1}$ และ $t_{output2}$ เนื่องจากวงจรทั้ง 2 กิ่ง เหมือนกันทุกประการ ดังนั้นลักษณะการทำงานของวงจรต้องเหมือนกันด้วย ทำให้ $t_{output3}$ เท่ากับ $t_{output1}$ และเมื่อตรวจสอบด้วยการใช้วิธีคำนวณค่า invert node-conductance matrix แล้วพบว่า $t_{output3}$ มีค่าเท่ากับ $t_{output1}$ ดังนั้นวงจรแสดงให้เห็นว่าการเชื่อมต่อโหนด output1 และ output2 เข้าด้วยกันไม่ส่งผลต่อการทำงานของวงจรแต่อย่างใด

และรูปที่ 3.14 (ค) แสดงวงจร RC tree network ที่แปลงจากวงจร RC mesh network จากรูปที่ 3.14 (ก) วงจร RC model ดังกล่าว ใช้แสดงเป็นตัวอย่างของวงจรออสซิลเลเตอร์ 1 stage โดยรูปที่ 3.14 (ค) ประกอบไปด้วยวงจร RC model ของ tri-state inverter ที่ต่อขนานกัน 2 ตัว มี 1 ตัวที่ถูก enable และ อีก 1 ตัวถูก disable ซึ่งพบว่าที่โหนด output4 มีตัวเก็บประจุ C_2 จำนวน 2 ตัว ต่อขนานกัน ดังนั้นค่าหน่วยเวลาที่โหนด output4 จึงมีค่าเท่ากับสมการที่ 3.16 เมื่อเราพิจารณารูปที่ 3.14 (ข) อีกครั้ง ที่โหนด output3 มีตัวเก็บประจุ C_2 2 ตัว และมีวงจร RC 2 กิ่ง ซึ่งมีลักษณะเหมือนการต่ออยู่ที่โหนด output3 จึงเป็นการช่วยกันขับโหลด C_2 ทั้ง 2 ตัวด้วยกัน ดังนั้นค่าหน่วยเวลาที่โหนดนี้จึงมีค่าน้อยลงครึ่งหนึ่ง และจากรูปที่ 3.12 (ข) ที่โหนด output มีตัวเก็บประจุค่าคงที่ค่าหนึ่ง และเมื่อมีวงจร RC ต่อที่โหนด output เป็นจำนวน m กิ่ง ดังนั้นค่าหน่วยเวลาที่โหนด output จะมีค่าลดลง เป็นจำนวน m เท่าเช่นกัน

$$t_{output1} = R_1 C_1 + (R_1 + R_2) C_2 + (R_1 + R_2) C_3 \quad (3.13)$$

$$t_{output2} = R_1 C_1 + (R_1 + R_2) C_2 + (R_1 + R_2) C_3 \quad (3.14)$$

$$t_{output3} = t_{output1} = t_{output2} \quad (3.15)$$

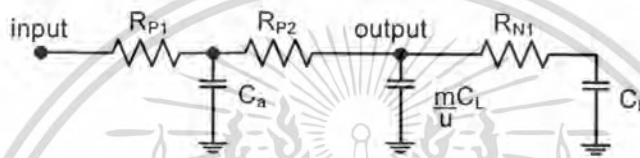
$$t_{output4} = R_1 C_1 + (R_1 + R_2) 2C_2 + (R_1 + R_2) C_3 \quad (3.16)$$

$$t_{output3} = R_1 C_1 + (R_1 + R_2) \frac{2}{2} C_2 + (R_1 + R_2) C_3 \quad (3.17)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.14 (ก) (ข) และ (ค) สมการที่ 3.13 ถึง 3.17 ทั้งหมด แสดงให้เห็นว่าวงจร RC mesh network ดังกล่าว สามารถเปลี่ยนให้อยู่ในรูปของวงจร RC tree network และหาค่าหน่วงเวลาด้วยหลักการของ Elmore ได้ ดังนั้นวงจร RC model สำหรับการประมาณค่าหน่วงเวลาส่วนของวงจรออสซิลเลเตอร์ 1 stage ขณะที่ได้รับอินพุต High ไป Low แสดงดังรูปที่ 3.15 และการหาค่าหน่วงเวลาแสดงดังสมการที่ 3.19 เมื่อ m คือจำนวน tri-state inverter ที่ขนานทั้งหมดของแต่ละ stage และ u คือ จำนวน tri-state inverter ที่ถูก enable

$$t_p = R_{p1}C_a + (R_{p1} + R_{p2})\frac{m}{u}C_L + (R_{p1} + R_{p2})C_b \quad (3.18)$$



รูปที่ 3.15 วงจร RC tree network สำหรับการประมาณค่าหน่วงเวลาส่วนของวงจรออสซิลเลเตอร์ 1 stage ของรูปที่ 3.12

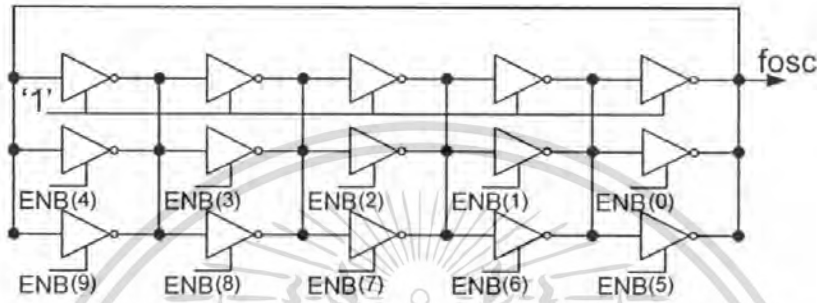
ในทำนองเดียวกัน ขณะที่วงจรได้รับอินพุต Low ไป High เราสามารถประมาณค่าหน่วงเวลาได้ด้วยวิธีการเดียวกันนี้

3.2.1.3 การออกแบบรูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์

หลักการและแนวคิดของการควบคุมการปรับความถี่ของออสซิลเลเตอร์ เป็นการออกแบบรูปแบบการ enable tri-state inverter เพื่อให้ความถี่มีการเปลี่ยนแปลงไปในทิศทางเดียว โดยมีรูปแบบที่ง่าย ไม่ยุ่งยากซับซ้อน เป็นรูปแบบที่สามารถใช้งานได้กับทุกๆขนาดของอะเรย์ และทุกๆเทคโนโลยีซีมอสที่ใช้สร้างวงจรออสซิลเลเตอร์

การออกแบบมีหลักการพื้นฐานจากรูปแบบการ enable tri-state inverter ของ [6] ซึ่งรูปแบบดังกล่าวเราจะเรียกว่ารูปแบบมาตรฐาน ซึ่งรูปแบบการ enable tri-state inverter ที่อยู่ในลักษณะของอะเรย์ขนาด $(m \times n)$ เมื่อ m คือจำนวนแถวของออสซิลเลเตอร์ และ n คือจำนวนหลักของออสซิลเลเตอร์ (stage) รูปแบบการ enable นั้นแสดงได้ดังตารางที่ 3.1 ซึ่งเป็นการยกตัวอย่างของออสซิลเลเตอร์ที่อยู่ในลักษณะของอะเรย์ขนาด 3×5 แสดงดังรูปที่ 3.16 โดย tri-state inverter ในแถวแรกจะถูก enable ทั้งหมดเพื่อเป็นริงออสซิลเลเตอร์หลักสำหรับการออสซิลเลท จะได้ความถี่ค่าหนึ่งขึ้นมา จากนั้นในลำดับต่อไปจะ enable tri-state inverter ในแถวที่ 2 เพิ่มขึ้นครั้งละ 1 ตัวในแต่ละลำดับ จนทุกตัวในแถวที่ 2 ถูก enable ทั้งหมด จากนั้นจะ enable ในแถวต่อไปในไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะเช่นเดียวกัน ซึ่งทุกครั้งที่ tri-state inverter ถูก enable เพิ่มขึ้น ครั้งละหนึ่งตัว ทำให้ความถี่ที่มีค่าต่างๆกันไป และความถี่ที่ได้จะมีค่าเพิ่มสูงขึ้นตามจำนวนของ tri-state inverter ที่ถูก enable เพิ่มขึ้น ดังนั้นรูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์แบบมาตรฐาน ทำให้จำนวนของความถี่ที่เกิดขึ้นทั้งหมดเท่ากับจำนวนของ tri-state inverter ที่ต่อขนานเพิ่มจาก tri-state inverter ในแถวแรก และอีกหนึ่งความถี่จากการ enable tri-state inverter ในแถวแรกทั้งหมด ดังนั้นจำนวนของความถี่ที่เกิดขึ้นดังกล่าว สามารถแสดงได้ดังสมการที่ 3.19



รูปที่ 3.16 ตัวอย่างวงจรออสซิลเลเตอร์ด้วยอะเรย์ขนาด 3x5

$$A_{f(staDCO)} = mn - n + 1$$

(3.19)

เมื่อ $A_{f(staDCO)}$ คือจำนวนความถี่ที่เกิดขึ้นทั้งหมดของออสซิลเลเตอร์แบบมาตรฐาน
 m คือจำนวนแถวของออสซิลเลเตอร์
 n คือจำนวนหลักของออสซิลเลเตอร์ หรือจำนวน stage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 รูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์แบบมาตรฐาน

step	row	state (column)				
		1st	2nd	3rd	4th	5th
1	1st	x	x	x	x	x
	2nd					
	3rd					
2	1st	x	x	x	x	x
	2nd					x
	3rd					
3	1st	x	x	x	x	x
	2nd				x	x
	3rd					
4	1st	x	x	x	x	x
	2nd			x	x	x
	3rd					
5	1st	x	x	x	x	x
	2nd		x	x	x	x
	3rd					
6	1st	x	x	x	x	x
	2nd	x	x	x	x	x
	3rd					
7	1st	x	x	x	x	x
	2nd	x	x	x	x	x
	3rd					x
8	1st	x	x	x	x	x
	2nd	x	x	x	x	x
	3rd				x	x
9	1st	x	x	x	x	x
	2nd	x	x	x	x	x
	3rd			x	x	x
10	1st	x	x	x	x	x
	2nd	x	x	x	x	x
	3rd		x	x	x	x
11	1st	x	x	x	x	x
	2nd	x	x	x	x	x
	3rd	x	x	x	x	x

เมื่อตารางในแต่ละลำดับแทนลักษณะอะเรย์ของออสซิลเลเตอร์ขนาด 3x5 และ X คือ tri-state inverter ที่ถูก enable

รูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์แบบมาตรฐาน สามารถแสดงถึงการเปลี่ยนแปลงค่าหน่วงเวลาของวงจรออสซิลเลเตอร์ ที่สอดคล้องกับความเป็นจริงได้โดยสมการการประมาณค่าหน่วงเวลาส่วนวงจรออสซิลเลเตอร์ 1 stage แสดงดังสมการที่ 3.18 นำมาเขียนแสดงให้ตรงกับวงจรออสซิลเลเตอร์ขนาด 3x5

จากสมการที่ 3.1

$$f_{osc} = \frac{1}{2nTd}$$

จากตัวอย่างออสซิลเลเตอร์ขนาด 3x5 จำนวนแถวหรือ m คือ 3 และจำนวนหลัก (stage) หรือ n คือ 5 โดยลำดับของ stage ของออสซิลเลเตอร์แทนด้วย s1 ถึง s5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้สมการการประมาณค่าหน่วยเวลาของวงจรออสซิลเลเตอร์ n stage เท่ากับ

$$nTd = (t_p)_{s1} + (t_p)_{s2} + (t_p)_{s3} + (t_p)_{s4} + (t_p)_{s5} \quad (3.20)$$

$$t_p = R_{p1}C_a + (R_{p1} + R_{p2})\frac{m}{u}C_L + (R_{p1} + R_{p2})C_b \quad (3.21)$$

เนื่องจาก $R_{p1}C_a$ และ $(R_{p1} + R_{p2})C_b$ ของแต่ละ stage มีค่าเท่ากัน จึงตัดออกเพื่อสะดวกในการคำนวณ เนื่องจากในขณะนี้ต้องการเพียงความสัมพันธ์ที่แสดงถึงความแตกต่างของความถี่ในแต่ละลำดับการ enable ยังไม่ได้ต้องการคำนวณค่าความถี่จริง และ $(R_{p1} + R_{p2})\frac{m}{u}C_L$ เราสามารถเขียนใหม่โดยให้

$$(R_{p1} + R_{p2}) = R \quad (3.22)$$

และ

$$C_L = C \quad (3.23)$$

จากสมการที่ 3.21 ได้

$$t_p = \frac{m}{u}RC \quad (3.24)$$

ดังนั้นสมการที่ 3.20 แทนค่าด้วยสมการที่ 3.24 ได้

$$nTd = \left(\frac{m}{u}RC\right)_{s1} + \left(\frac{m}{u}RC\right)_{s2} + \left(\frac{m}{u}RC\right)_{s3} + \left(\frac{m}{u}RC\right)_{s4} + \left(\frac{m}{u}RC\right)_{s5} \quad (3.25)$$

$$nTd = RC \left[\left(\frac{m}{u}\right)_{s1} + \left(\frac{m}{u}\right)_{s2} + \left(\frac{m}{u}\right)_{s3} + \left(\frac{m}{u}\right)_{s4} + \left(\frac{m}{u}\right)_{s5} \right] \quad (3.26)$$

ดังนั้นการประมาณค่าหน่วยเวลาของออสซิลเลเตอร์ขนาด 3×5 ที่มีรูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์แบบมาตรฐาน ตามลำดับของตารางที่ 3.1 สามารถแสดงดังตัวอย่างต่อไปนี้

ตัวอย่างที่ 3.1 การประมาณค่าหน่วยเวลาของออสซิลเลเตอร์ที่เอะเรียงขนาด 3x5 ตามลำดับ การควบคุมการปรับความถี่ของออสซิลเลเตอร์แบบมาตรฐาน

วิธีทำ จากสมการที่ 3.26 แทนค่า m และ u ในแต่ละ stage ตามลำดับ

$$nTd_i = RC\left[\left(\frac{m}{u}\right)_{s1} + \left(\frac{m}{u}\right)_{s2} + \left(\frac{m}{u}\right)_{s3} + \left(\frac{m}{u}\right)_{s4} + \left(\frac{m}{u}\right)_{s5}\right]$$

ลำดับที่ 1

$$nTd_1 = RC\left[\left(\frac{3}{1}\right)_{s1} + \left(\frac{3}{1}\right)_{s2} + \left(\frac{3}{1}\right)_{s3} + \left(\frac{3}{1}\right)_{s4} + \left(\frac{3}{1}\right)_{s5}\right]$$

ลำดับที่ 2

$$nTd_1 = 15RC$$

$$nTd_2 = RC\left[\left(\frac{3}{1}\right)_{s1} + \left(\frac{3}{1}\right)_{s2} + \left(\frac{3}{1}\right)_{s3} + \left(\frac{3}{1}\right)_{s4} + \left(\frac{3}{2}\right)_{s5}\right]$$

ลำดับที่ 3

$$nTd_2 = 13.5RC$$

$$nTd_3 = RC\left[\left(\frac{3}{1}\right)_{s1} + \left(\frac{3}{1}\right)_{s2} + \left(\frac{3}{1}\right)_{s3} + \left(\frac{3}{2}\right)_{s4} + \left(\frac{3}{2}\right)_{s5}\right]$$

ลำดับที่ 4

$$nTd_3 = 12RC$$

$$nTd_4 = RC\left[\left(\frac{3}{1}\right)_{s1} + \left(\frac{3}{1}\right)_{s2} + \left(\frac{3}{2}\right)_{s3} + \left(\frac{3}{2}\right)_{s4} + \left(\frac{3}{2}\right)_{s5}\right]$$

ลำดับที่ 11

$$nTd_4 = 10.5RC$$

$$nTd_{11} = RC\left[\left(\frac{3}{3}\right)_{s1} + \left(\frac{3}{3}\right)_{s2} + \left(\frac{3}{3}\right)_{s3} + \left(\frac{3}{3}\right)_{s4} + \left(\frac{3}{3}\right)_{s5}\right]$$

ดังนั้น

$$nTd_{11} = 5RC$$

เพราะฉะนั้น

$$nTd_1 > nTd_2 > nTd_3 > nTd_4 > \dots > nTd_{11}$$

$$fosc_1 < fosc_2 < fosc_3 < fosc_4 < \dots < fosc_{11}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตัวอย่างการประมาณค่าหนึ่งเวลาของออสซิลเลเตอร์ รูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์แบบมาตรฐาน แสดงให้เห็นว่า ค่าหนึ่งเวลาของลำดับ (i) โดยที่ nTd_i มีค่าน้อยกว่าลำดับที่ nTd_{i-1} เสมอ ดังนั้นเมื่อพิจารณาความถี่เอาต์พุตที่เกิดขึ้น ตามลำดับของรูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์แบบมาตรฐานดังกล่าวพบว่าความถี่ที่เกิดขึ้นมีค่าเริ่มต้นจากความถี่ต่ำ จากนั้นจะมีค่าสูงขึ้น ไปเรื่อยๆ ตามลำดับของการปรับความถี่

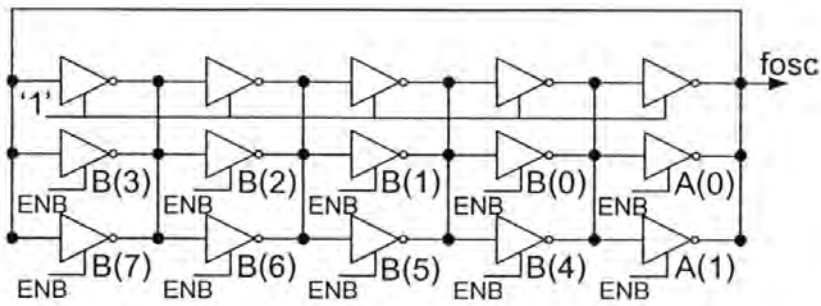
หลักการดังกล่าว เห็นได้ชัดว่ารูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์แบบมาตรฐาน มีรูปแบบที่ง่าย มีลำดับการทำงานที่แน่นอน และความถี่เอาต์พุตที่เกิดขึ้นมีการเปลี่ยนแปลงไปในทิศทางเดียวกันตามลำดับการควบคุมของออสซิลเลเตอร์ และเป็นรูปแบบที่เป็นมาตรฐานที่สามารถนำไปใช้ได้กับทุกๆขนาดของอะเรย์ รวมทั้งยังสามารถนำไปใช้ได้กับทุกๆเทคโนโลยีซีมอสที่ใช้สร้างวงจรรออสซิลเลเตอร์ อย่างไรก็ตามวิธีนี้ยังมีข้อจำกัดในด้านจำนวนของความถี่ที่ออสซิลเลท หรือความละเอียดของออสซิลเลเตอร์เป็นไปตามสมการ (3.19)

3.2.1.4 แนวคิด และหลักการออกแบบรูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์ที่นำเสนอ

ความสัมพันธ์ของลำดับการควบคุมการปรับความถี่ของออสซิลเลเตอร์แบบมาตรฐาน [6] กับความถี่เอาต์พุต ซึ่งความถี่เอาต์พุตมีค่าเพิ่มสูงขึ้นตามลำดับของการควบคุมการปรับความถี่ และรูปแบบของการปรับความถี่นั้นมีรูปแบบเป็นลำดับที่แน่นอนหรือเป็นมาตรฐาน ซึ่งคุณสมบัติดังกล่าวเป็นเงื่อนไขสำคัญของการออกแบบรูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์

ดังนั้นการควบคุมออสซิลเลเตอร์ ก็คือการออกแบบรูปแบบ หรือการหาวิธีการของการ enable และ disable สำหรับ tri-state inverter ของออสซิลเลเตอร์ในแต่ละ stage ให้มีความสัมพันธ์กับลำดับการควบคุม และความถี่เอาต์พุตของออสซิลเลเตอร์ โดยต้องมีรูปแบบเป็นลำดับที่แน่นอน และทำให้ความถี่เอาต์พุตที่เกิดขึ้นมีการเปลี่ยนแปลงไปในทิศทางเดียวกัน

เนื่องจากโครงสร้างของออสซิลเลเตอร์ มีลักษณะเป็นอะเรย์ ประกอบด้วยแถว และหลักของ (tri-state inverter) ซึ่งสามารถจะถูก enable หรือ disable ได้โดยอิสระ ดังนั้นจึงออกแบบรูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์ที่นำเสนอ โดยพิจารณาได้จากการตัวอย่างของออสซิลเลเตอร์ที่อยู่ในลักษณะของอะเรย์ขนาด 3×5 แสดงดังรูปที่ 3.17 ซึ่งเป็นวงจรที่มีลักษณะเช่นเดียวกับออสซิลเลเตอร์ตัวอย่างในแบบมาตรฐาน



รูปที่ 3.17 ตัวอย่างออสซิลเลเตอร์ที่นำเสนอด้วยอะเรย์ขนาด 3x5

วงจรออสซิลเลเตอร์ที่นำเสนอด้วยอะเรย์ขนาด 3x5 ประกอบด้วย tri-state inverter จำนวน 3 แถว 5 หลัก ในแถวที่หนึ่ง จะถูก enable ไว้ทั้งหมดเพื่อให้เกิดการออสซิลเลท ได้ความถี่ค่าหนึ่ง ซึ่งเป็นความถี่แรกและเป็นความถี่ค่าต่ำสุดของออสซิลเลเตอร์ ในส่วนของ tri-state inverter ในแถวที่ 2 และ 3 ถูกแบ่งออกเป็น 2 กลุ่มด้วยกันคือ กลุ่ม A และกลุ่ม B โดยแถวที่ 2 และ 3 ของหลักที่ 5 เป็นกลุ่ม A และแถวที่ 2 และ 3 ของหลักที่ 1 ถึง 4 เป็นกลุ่ม B โดยหลักการ หรือรูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์ที่นำเสนอ เราสามารถพิจารณาได้จากตารางที่ 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.2 รูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์ที่นำเสนอ

step	row	state (column)				
		1st	2nd	3rd	4th	5th
1	1st	x	x	x	x	x
	2nd					
	3rd					
2	1st	x	x	x	x	x
	2nd					x
	3rd					
3	1st	x	x	x	x	x
	2nd					x
	3rd					x
4	1st	x	x	x	x	x
	2nd				x	x
	3rd					
5	1st	x	x	x	x	x
	2nd				x	x
	3rd					x
6	1st	x	x	x	x	x
	2nd			x	x	x
	3rd					
7	1st	x	x	x	x	x
	2nd			x	x	x
	3rd					x
8	1st	x	x	x	x	x
	2nd		x	x	x	x
	3rd					
9	1st	x	x	x	x	x
	2nd		x	x	x	x
	3rd					x
10	1st	x	x	x	x	x
	2nd	x	x	x	x	x
	3rd					
11	1st	x	x	x	x	x
	2nd	x	x	x	x	x
	3rd					x
12	1st	x	x	x	x	x
	2nd	x	x	x	x	x
	3rd				x	x
13	1st	x	x	x	x	x
	2nd	x	x	x	x	x
	3rd			x	x	x
14	1st	x	x	x	x	x
	2nd	x	x	x	x	x
	3rd		x	x	x	x
15	1st	x	x	x	x	x
	2nd	x	x	x	x	x
	3rd	x	x	x	x	x

เมื่อตารางในแต่ละลำดับแทนลักษณะอะเรย์ของออสซิลเลเตอร์ขนาด 3x5 และ X คือ tri-state inverter ที่ถูก enable

ตารางที่ 3.2 เราจะพบว่า การควบคุมการปรับความถี่ของออสซิลเลเตอร์ที่นำเสนอ เป็นการปรับปรุงและพัฒนาจากออสซิลเลเตอร์แบบมาตรฐาน ด้วยการปรับเปลี่ยนรูปแบบของการควบคุมการปรับความถี่ ให้มีจำนวนของความถี่ที่ออสซิลเลเตอร์เพิ่มมากขึ้น หรือเพิ่มความละเอียดของออสซิลเลเตอร์ โดยช่วงความถี่ยังมีค่าเท่าเดิม คือความถี่ต่ำสุด และความถี่สูงสุดจะมีค่าเท่ากับออสซิลเลเตอร์แบบมาตรฐาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นการประมาณค่าหน่วยเวลาของออสซิลเลเตอร์ขนาด 3×5 ที่มีรูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์แบบที่นำเสนอ ตามลำดับของตารางที่ 3.2 สามารถแสดงดังตัวอย่างต่อไปนี้

ตัวอย่างที่ 3.2 การประมาณค่าหน่วยเวลาของออสซิลเลเตอร์ขนาด 3×5 ตามลำดับการควบคุมการปรับความถี่ของออสซิลเลเตอร์แบบที่นำเสนอ

วิธีทำ จากสมการที่ 3.26 แทนค่า m และ n ในแต่ละ stage ตามลำดับ

$$nTd_i = RC \left[\left(\frac{m}{u} \right)_{s1} + \left(\frac{m}{u} \right)_{s2} + \left(\frac{m}{u} \right)_{s3} + \left(\frac{m}{u} \right)_{s4} + \left(\frac{m}{u} \right)_{s5} \right]$$

ลำดับที่ 1

$$nTd_1 = RC \left[\left(\frac{3}{1} \right)_{s1} + \left(\frac{3}{1} \right)_{s2} + \left(\frac{3}{1} \right)_{s3} + \left(\frac{3}{1} \right)_{s4} + \left(\frac{3}{1} \right)_{s5} \right]$$

ลำดับที่ 2

$$nTd_1 = 15RC$$

$$nTd_1 = RC \left[\left(\frac{3}{1} \right)_{s1} + \left(\frac{3}{1} \right)_{s2} + \left(\frac{3}{1} \right)_{s3} + \left(\frac{3}{1} \right)_{s4} + \left(\frac{3}{2} \right)_{s5} \right]$$

ลำดับที่ 3

$$nTd_2 = 13.5RC$$

$$nTd_1 = RC \left[\left(\frac{3}{1} \right)_{s1} + \left(\frac{3}{1} \right)_{s2} + \left(\frac{3}{1} \right)_{s3} + \left(\frac{3}{1} \right)_{s4} + \left(\frac{3}{3} \right)_{s5} \right]$$

ลำดับที่ 4

$$nTd_3 = 13RC$$

$$nTd_1 = RC \left[\left(\frac{3}{1} \right)_{s1} + \left(\frac{3}{1} \right)_{s2} + \left(\frac{3}{1} \right)_{s3} + \left(\frac{3}{2} \right)_{s4} + \left(\frac{3}{2} \right)_{s5} \right]$$

ลำดับที่ 5

$$nTd_4 = 12RC$$

$$nTd_1 = RC \left[\left(\frac{3}{1} \right)_{s1} + \left(\frac{3}{1} \right)_{s2} + \left(\frac{3}{1} \right)_{s3} + \left(\frac{3}{2} \right)_{s4} + \left(\frac{3}{3} \right)_{s5} \right]$$

$$nTd_5 = 11.5RC$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับที่ 6

$$nTd_1 = RC\left[\left(\frac{3}{1}\right)_{s1} + \left(\frac{3}{1}\right)_{s2} + \left(\frac{3}{2}\right)_{s3} + \left(\frac{3}{2}\right)_{s4} + \left(\frac{3}{2}\right)_{s5}\right]$$

$$nTd_6 = 10.5RC$$

ลำดับที่ 15

$$nTd_1 = RC\left[\left(\frac{3}{3}\right)_{s1} + \left(\frac{3}{3}\right)_{s2} + \left(\frac{3}{3}\right)_{s3} + \left(\frac{3}{3}\right)_{s4} + \left(\frac{3}{3}\right)_{s5}\right]$$

$$nTd_6 = 5RC$$

ดังนั้น

$$nTd_1 > nTd_2 > nTd_3 > nTd_4 > nTd_5 > nTd_6 > \dots > nTd_{15}$$

เพราะฉะนั้น

$$fosc_1 < fosc_2 < fosc_3 < fosc_4 < fosc_5 < fosc_6 < \dots < fosc_{15}$$

ตัวอย่างการประมาณค่าหนึ่งเวลาของออสซิลเลเตอร์ รูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์แบบที่นำเสนอ แสดงให้เห็นว่า ค่าหนึ่งเวลาของลำดับ (i) โดยที่ nTd_i มีค่าหนึ่งเวลามากกว่าลำดับที่ nTd_{i+1} เสมอ ถ้าพิจารณาความถี่ของรูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์แบบที่นำเสนอดังกล่าวพบว่า ความถี่ที่เกิดขึ้น มีค่าเริ่มจากความถี่ต่ำ จากนั้นความถี่จะเพิ่มสูงขึ้น ไปเรื่อยๆ ตามลำดับของการปรับความถี่ เช่นเดียวกับรูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์แบบมาตรฐาน

จากแนวคิดของการควบคุมการปรับความถี่ของออสซิลเลเตอร์ที่นำเสนอ เราสามารถคำนวณหาจำนวนความถี่ที่เกิดขึ้นทั้งหมดของออสซิลเลเตอร์ได้ดังต่อไปนี้

$$A_{f(\text{newDCO})} = [(2n-1)(m-2)] + n + 1 \quad (3.27)$$

เมื่อ $A_{f(\text{newDCO})}$ คือจำนวนความถี่ที่เกิดขึ้นทั้งหมดของออสซิลเลเตอร์ที่นำเสนอ

m คือจำนวนแถวของออสซิลเลเตอร์ ($m \geq 3$)

n คือจำนวนหลักของออสซิลเลเตอร์หรือจำนวน stage ($n \geq 2$)

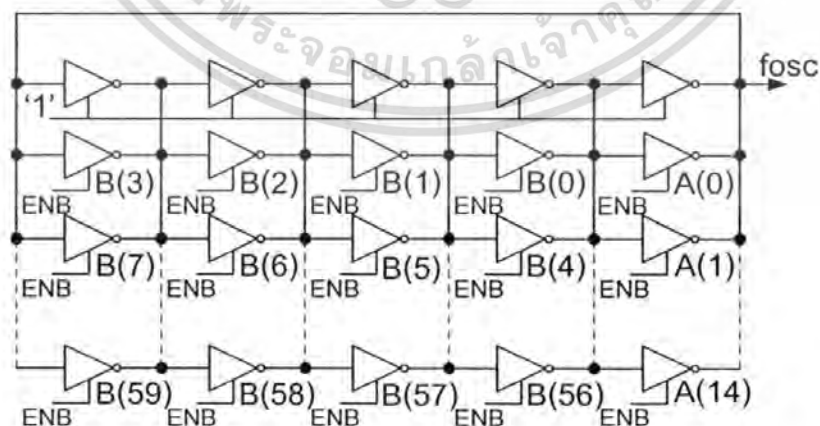
การออกแบบออสซิลเลเตอร์ที่นำเสนอเทียบกับออสซิลเลเตอร์แบบมาตรฐาน เมื่อพิจารณาสมการที่ 3.27 กับสมการที่ 3.19 เราจะพบว่าจำนวนความถี่ที่เกิดขึ้นทั้งหมดของออสซิลเลเตอร์ที่นำเสนอมากกว่าออสซิลเลเตอร์แบบมาตรฐาน โดยจากตัวอย่างที่ 3.1 กับ 3.2 (พิจารณาค่าของเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความถี่) พบว่าช่วงความถี่สูงสุดและต่ำสุด มีค่าเท่ากัน แต่เนื่องจากออสซิลเลเตอร์ที่นำเสนอมีจำนวนความถี่มากกว่า ทำให้ออสซิลเลเตอร์ที่นำเสนอมีความละเอียดของความถี่เอาท์พุทมากกว่า ถึงแม้ว่ารูปแบบการทำงานจะไม่เป็นลำดับที่ต่อเนื่อง แต่ไม่ซับซ้อนและมีรูปแบบที่แน่นอน อีกทั้งยังคงให้ความถี่ที่ต่อเนื่องตามลำดับการทำงานเช่นเดียวกับออสซิลเลเตอร์แบบมาตรฐาน

3.2.1.5 วงจรออสซิลเลเตอร์ที่นำเสนอ

การออกแบบวงจรออสซิลเลเตอร์ข้างต้น เราสามารถที่จะออกแบบวงจรเพื่อนำไปใช้งานตามที่ต้องการได้ ในงานวิจัยนี้เราต้องการออกแบบวงจรกำเนิดสัญญาณนาฬิกาสำหรับใช้งานในระบบดิจิทัล ซึ่งเป็นการใช้งานทั่วไปที่มีช่วงความถี่ไม่สูงมากนัก เช่น ระบบที่เป็นบอร์ดดิจิทัล ซึ่งความถี่ใช้งานอยู่ในช่วงประมาณ 100 ถึง 700 MHz ดังนั้นทำการออกแบบโดยการนำ tri-state inverter มาต่ออนุกรมกันสองตัว จากนั้นหาค่ากำหนดช่วงเวลาของตัวแรก โดยใช้สมการที่ 3.10 และ 3.11 เมื่อได้ค่ากำหนดเวลามาแล้ว แทนค่าลงในสมการที่ 3.3 และใช้สมการที่ 3.2 เพื่อหาค่าความถี่ โดยแทนค่า n เพื่อให้ได้ค่าความถี่ในช่วงของความถี่สูงที่ต้องการจะใช้งาน เมื่อ n คือจำนวน stage ของวงจรออสซิลเลเตอร์ จากนั้นใช้สมการที่ 3.12 เพื่อหาค่ากำหนดเวลาของการนำ tri-state inverter มาต่อขนานเพิ่ม โดยแทนค่า m เมื่อ m คือจำนวน tri-state inverter ที่ต่อขนานกันทั้งหมด และใช้สมการที่ 3.2 เพื่อหาค่าความถี่ในช่วงของความถี่ต่ำ ดังนั้นเราก็จะได้วงจรออสซิลเลเตอร์ซึ่งมีขนาดเท่ากับ $m \times n$ ที่ให้ความถี่ในช่วงที่เราต้องการ

จากการออกแบบวงจรออสซิลเลเตอร์เราได้วงจรที่มีขนาดของอะเรย์เท่ากับ 16×5 ดังรูปที่ 3.17 และมีรูปแบบการควบคุมการปรับความถี่ตามหลักการออกแบบในข้างต้น ซึ่งแสดงในตารางที่ 3.3



รูปที่ 3.18 ออสซิลเลเตอร์ที่นำเสนอด้วยอะเรย์ขนาด 16×5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.3 สรุปรูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์ที่นำเสนอ

ลำดับ	จำนวนของ tri-state inverter ที่ถูก enable ในแต่ละ stage					จำนวนของ tri-state inverter ที่ถูก enable ทั้งหมดในแต่ละลำดับ
	1 st	2 nd	3 rd	4 th	5 th	
0	1	1	1	1	1	5
1	1	1	1	1	2	6
2	1	1	1	1	3	7
3	1	1	1	2	2	7
4	1	1	1	2	3	8
5	1	1	2	2	2	8
6	1	1	2	2	3	9
7	1	2	2	2	2	9
8	1	2	2	2	3	10
9	2	2	2	2	2	10
10	2	2	2	2	3	11
11	2	2	2	2	4	12
12	2	2	2	3	3	12
13	2	2	2	3	4	13
14	2	2	3	3	3	13
15	2	2	3	3	4	14
16	2	3	3	3	3	14
17	2	3	3	3	4	15
18	3	3	3	3	3	15
-	-	-	-	-	-	-
126	15	15	15	15	15	75
127	15	15	15	15	16	76
128	15	15	15	16	16	77
129	15	15	16	16	16	78
130	15	16	16	16	16	79
131	16	16	16	16	16	80

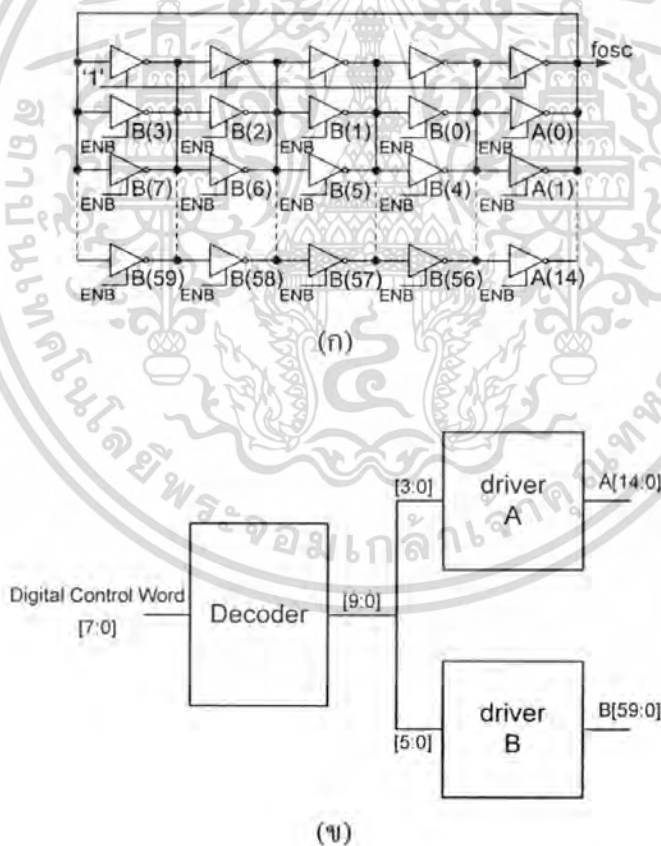
3.2.2 วงจรถอดรหัส (Decoder)

การควบคุมการปรับความถี่ของวงจรรอสซิลเลเตอร์ เราสามารถทำได้ โดยการ enable และ disable ตัว tri-state inverter ภายใต้อุปกรณ์ที่ได้ออกแบบไว้ วงจร DCO มีหลักการการทำงานโดยใช้ค่าบิตดิจิทัลเป็นตัวควบคุมการทำงานทั้งหมด การนำค่าบิตดิจิทัลมาใช้โดยตรงนั้นไม่สามารถทำได้ เพราะต้องควบคุม tri-state inverter แต่ละตัว ดังนั้นต้องใช้วงจรแปลงค่าบิตดิจิทัลให้เป็นค่าที่สามารถไปควบคุมการทำงานของตัว tri-state inverter ได้ วงจรดังกล่าวคือ วงจรถอดรหัส

การออกแบบวงจรถอดรหัส โดยใช้ Hardware Description Language (HDL) ซึ่งจำนวน tri-state inverter ที่ต้องควบคุมทั้งหมด 75 ตัว และจำนวนความถี่เอาต์พุตของวงจรรอสซิลเลเตอร์ที่ออกแบบ มีจำนวนเท่ากับ 132 ความถี่ ดังนั้นต้องใช้จำนวนบิตดิจิทัลเท่ากับ 8 บิต หลักการทำงานโดยป้อนอินพุตบิตดิจิทัล จากค่าต่ำสุดถึงค่าสูงสุด แล้วไปควบคุมการทำงานของออสซิลเลเตอร์ตามรูปแบบที่กำหนดไว้ ให้ได้ความถี่เอาต์พุตจากลำดับที่ 0 ถึงลำดับที่ 131

จากวงจรรอสซิลเลเตอร์ที่นำเสนอด้วยอะเรย์ขนาด 16x5 ซึ่งแสดงดังรูปที่ 3.19 (ก) ซึ่งเอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้เพื่อใช้ในการศึกษาวิจัยเท่านั้น ไม่สามารถนำเอกสารนี้ไปเผยแพร่หรือทำซ้ำโดยไม่ได้รับอนุญาตจากเจ้าของเอกสารได้ หากต้องการนำเอกสารนี้ไปใช้ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

tri-state inverter ที่ต้องควบคุม ถูกออกแบบไว้ด้วยกัน 2 กลุ่ม คือ กลุ่ม A และกลุ่ม B ทั้งสองกลุ่มมีรูปแบบการทำงานที่ต่างกัน เราจะพบว่ากลุ่ม A จะมีลำดับการทำงานที่ไม่ต่อเนื่อง และกลุ่ม B จะมีลำดับการทำงานที่ต่อเนื่อง แต่ทั้งสองกลุ่มต้องมีความสัมพันธ์กัน ดังนั้นในการออกแบบวงจรถอดรหัส สามารถออกแบบได้โดยการหาความสัมพันธ์ของการทำงานภายในกลุ่ม A และกลุ่ม B จากนั้นจึงหาความสัมพันธ์ของกลุ่ม A กับกลุ่ม B สุดท้าย เมื่อได้ความสัมพันธ์ระหว่างกลุ่ม A กับกลุ่ม B แล้ว นำความสัมพันธ์นี้ไปหาความสัมพันธ์กับสัญญาณอินพุต Digital control word เราจะได้วงจรถอดรหัสดังรูปที่ 3.19 (ข) เนื่องจากในการออกแบบวงจรถอดรหัส โดยการหาความสัมพันธ์ระหว่างอินพุตและเอาต์พุตโดยตรง จะทำให้มีความซับซ้อนยุ่งยาก และอาจเกิดข้อผิดพลาดได้ เนื่องจากเราต้องหาความสัมพันธ์ของอินพุตขนาด 8 บิต กับเอาต์พุตขนาด 75 บิต โดยตรง จากวงจรถอดรหัสดังรูปที่ 3.19 (ข) จะพบว่าวงจร driver B มีอินพุตขนาด 6 บิต และมีเอาต์พุตถึงขนาด 60 บิตก็ตาม แต่เนื่องจากรูปแบบการทำงานของกลุ่ม B มีลำดับการทำงานที่ต่อเนื่อง ดังนั้นจึงเป็นการออกแบบที่ง่าย



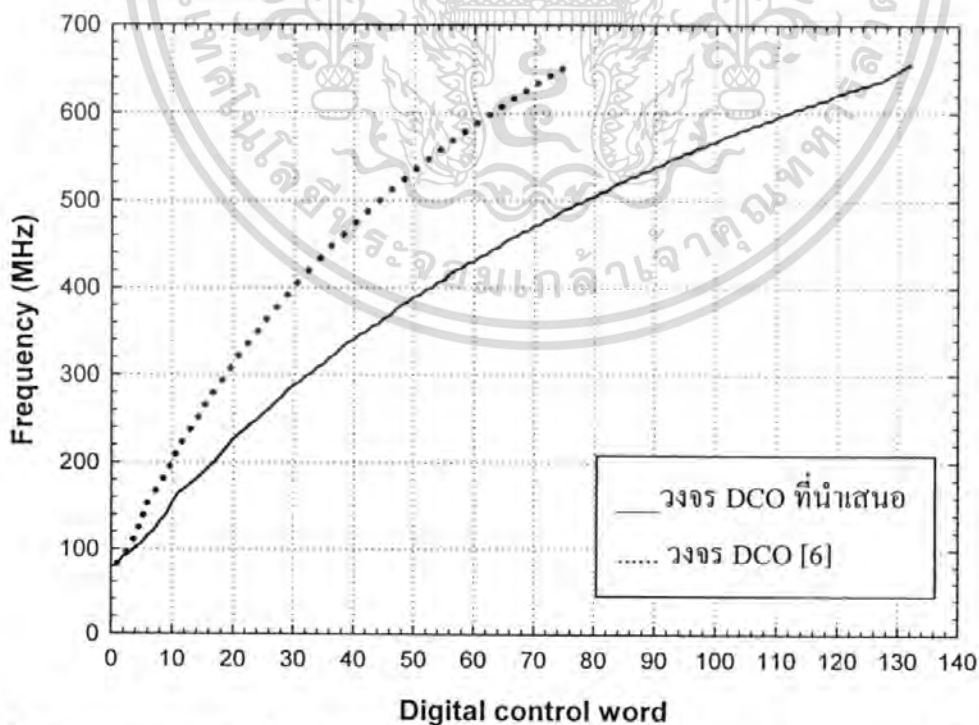
รูปที่ 3.19 (ก) ออสซิลเลเตอร์ที่นำเสนอด้วยอะเรย์ขนาด 16x5

(ข) โครงสร้างของวงจรถอดรหัส (Decoder)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 การจำลองการทำงานของวงจร DCO

วงจร DCO ถูกออกแบบและจำลองการทำงานด้วยโปรแกรม Cadence ใช้ค่าพารามิเตอร์ของเทคโนโลยีซีมอสขนาด $0.35 \mu\text{m}$ ใช้แหล่งจ่ายแรงดัน 3.3 V ทดลองโดยการป้อนสัญญาณทางด้านอินพุตในรูปแบบของดิจิตอลบิต ซึ่งมีขนาด 8 บิต เริ่มจากค่า 0 ถึง 131 หรือ "00000000B" ถึง "10000011B" ได้ความถี่เอาต์พุตทั้งหมด 132 ความถี่ โดยวงจร DCO สามารถกำเนิดความถี่ได้จาก 83 MHz ถึง 653 MHz ใช้กำลังงานเท่ากับ 18 mW ที่ความถี่สูงสุด ในรูปที่ 3.20 แสดงค่าอินพุตดิจิตอลบิต (Digital control word) เทียบกับความถี่เอาต์พุตที่ได้จากการจำลองการทำงาน พบว่าความถี่เอาต์พุตมีลักษณะการเปลี่ยนแปลงแบบทิสทางเดียว (Monotonic) ซึ่งตรงกับความสัมพันธ์ของการประมาณค่าหนึ่งช่วงเวลาตามที่ได้ออกแบบไว้ เมื่อพิจารณาความสัมพันธ์ของค่าหนึ่งช่วงเวลาในแต่ละลำดับ (i) โดยที่ nTd_i มีค่าหนึ่งเวลาน้อยกว่าลำดับที่ nTd_{i-1} เสมอ ดังนั้นความถี่เอาต์พุตเทียบกับลำดับการควบคุมการปรับความถี่ที่นำเสนอพบว่า ความถี่ที่เกิดขึ้น มีค่าเริ่มจากความถี่ต่ำสุด จากนั้นจะมีค่าเพิ่มสูงขึ้นตามลำดับ เมื่อเปรียบเทียบรูปแบบที่นำเสนอกับรูปแบบของวงจร DCO [6] ที่ขนาดของอะเรย์เดียวกัน ([6] มีจำนวนความถี่เอาต์พุตทั้งหมด 76 ความถี่) พบว่าช่วงความถี่ใช้งานจะมีค่าเท่ากัน แต่วงจรที่นำเสนอจะให้จำนวนความถี่ที่สูงกว่าถึงร้อยละ 70 (ที่อะเรย์ขนาด 16×5) ส่งผลให้ความถี่เอาต์พุตมีความละเอียดสูงขึ้น โดยสามารถพิจารณาผลการจำลองการทำงานของวงจรทั้งสองรูปแบบ ได้ดังรูปที่ 3.20 และตารางที่ 3.4



รูปที่ 3.20 ผลการวัดความถี่เอาต์พุตเทียบกับบิตควบคุมของ DCO ของออสซิลเลเตอร์ที่นำเสนอ เทียบกับวงจร DCO แบบ [6]

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

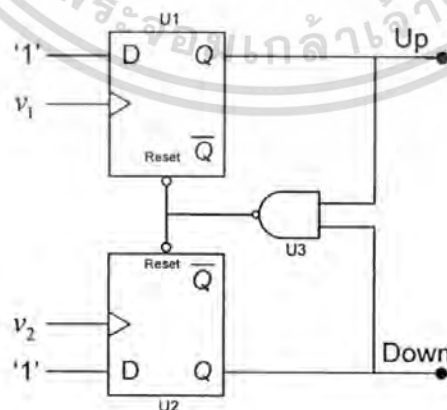
ตารางที่ 3.4 เปรียบเทียบคุณสมบัติของวงจร DCO ที่นำเสนอ กับ วงจร DCO [6]

พารามิเตอร์	วงจรที่เสนอ	วงจรเดิม [6]
เทคโนโลยี	0.35um CMOS	0.35um CMOS
แหล่งจ่ายแรงดัน	3.3 V	3.3 V
การสิ้นเปลืองกำลังงาน	18 mW (@ 653MHz)	18 mW (@ 653MHz)
ความถี่ต่ำสุด	83 MHz	83 MHz
ความถี่สูงสุด	653 MHz	653 MHz
จำนวนความถี่เอาต์พุต	132 ความถี่	76 ความถี่
ระดับของความถี่เอาต์พุต	0.6-14.5 MHz	3.9-21.8 MHz
ระดับของค่าหน่วงเวลา	1.5-1160 ps	10-1160 ps
ขนาดของอินพุต	8 บิต	7 บิต

3.3 วงจรตรวจจับเฟส

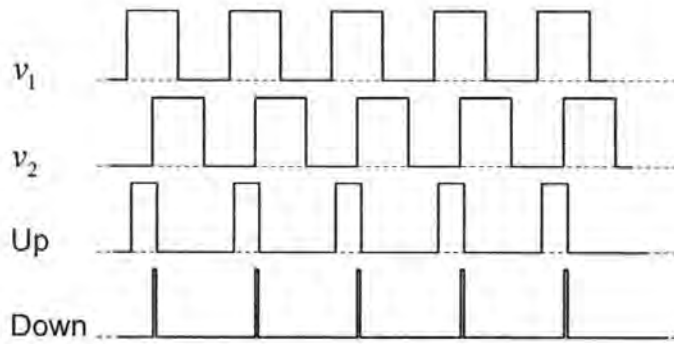
3.3.1 วงจรตรวจจับเฟสและความถี่

วงจรตรวจจับเฟสที่ใช้คือ วงจรตรวจจับเฟสและความถี่ เนื่องจากมีคุณสมบัติในการตรวจจับที่เหนือกว่าวงจรตรวจจับเฟสแบบเอ็กซ์คลูซีฟออร์เกท (EXOR) และวงจรตรวจจับเฟสแบบ JK ฟลิปฟลอป กล่าวคือ วงจรตรวจจับเฟสและความถี่นั้น สามารถวัดความแตกต่างได้ทั้งเฟสและความถี่ของสัญญาณอินพุต โดยความต่างเฟสสามารถวัดได้ถึง 360 องศา และวงจรสามารถบอกได้ว่า อินพุตใดมีเฟสนำ หรืออินพุตใดมีเฟสตาม โดยที่รอบหน้าที่ (Duty cycle) ของสัญญาณอินพุตไม่มีผลต่อการทำงานของวงจร เนื่องจากสัญญาณเอาต์พุตจะเปลี่ยนแปลงตามขอบของสัญญาณอินพุต



รูปที่ 3.21 วงจรตรวจจับเฟสและความถี่ [1]

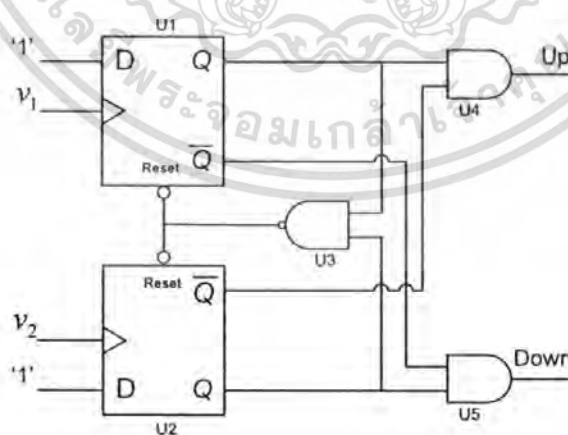
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.22 การทำงานของวงจรตรวจจับเฟสและความถี่

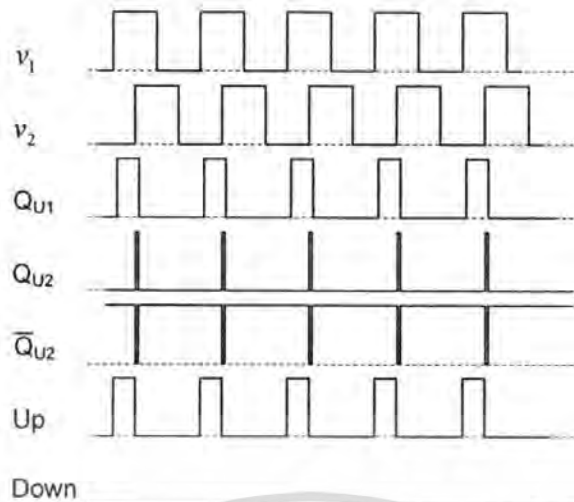
วงจรตรวจจับเฟสและความถี่ ซึ่งแสดงในรูปที่ 3.21 ซึ่งต่อไปจะเรียกวงจรนี้ว่า วงจรตรวจจับเฟสและความถี่แบบมาตรฐาน ซึ่งมีหลักการทำงานดังที่กล่าวมาแล้วในบทที่ 2 และจากตัวอย่างของการทำงานของวงจร ซึ่งแสดงดังรูปที่ 3.22 เราสามารถทราบได้ว่า สัญญาณอินพุต v_1 มีเฟสนำ สัญญาณอินพุต v_2 โดยพิจารณาจากสัญญาณเอาต์พุต Up และ Down โดยสัญญาณสี่เหลี่ยมของสัญญาณเอาต์พุต Up แสดงถึงขนาดความต่างเฟสของ v_1 กับ v_2 และเราจะพบว่าที่เอาต์พุต Down จะมีสัญญาณสี่เหลี่ยมแคบๆ ปรากฏอยู่ ซึ่งเป็นช่วงของการทำงานก่อนที่วงจรจะถูก Reset

ดังนั้นจึง ได้ออกแบบวงจรเพื่อกำจัดสัญญาณเอาต์พุตที่ไม่ต้องการดังกล่าวออกไป โดยใช้ AND เกต U4 และ U5 ต่อเข้ากับวงจรตรวจจับเฟสและความถี่ ด้านเอาต์พุตของทั้ง เอาต์พุต Up และ Down ดังวงจรรูปที่ 3.23 และการทำงานของวงจรแสดงดังรูปที่ 3.24



รูปที่ 3.23 วงจรตรวจจับเฟสและความถี่ ที่ถูกเพิ่มวงจรกำจัดสัญญาณเอาต์พุตที่ไม่ต้องออกไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

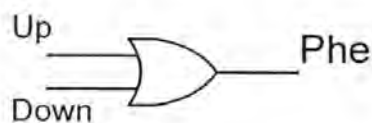


รูปที่ 3.24 การทำงานของวงจรตรวจจับเฟสและความถี่ของวงจรรูปที่ 3.23

ดังนั้นจากการออกแบบวงจรกำจัดสัญญาณเอาต์พุตที่ไม่ต้องการออกไป เราจะได้สัญญาณเอาต์พุต Up และ $Down$ ที่เราต้องการ ดังรูปที่ 3.24 แต่คุณสมบัติของสัญญาณเอาต์พุตทั้งสองนี้ จะแสดงให้เห็นว่า ถ้ามีสัญญาณสี่เหลี่ยมออกที่เอาต์พุต Up แสดงว่า อินพุต v_1 มีเฟสนำ v_2 และถ้ามีสัญญาณสี่เหลี่ยมออกที่เอาต์พุต $Down$ แสดงว่า อินพุต v_1 มีเฟสตาม v_2 หากนำสัญญาณเอาต์พุตดังกล่าวไปใช้งานโดยตรงจะทำให้มีความยุ่งยากซับซ้อนในการออกวงจรส่วนถัดไป จึงได้ออกแบบวงจรเพื่อแปลงสัญญาณเอาต์พุต Up และ $Down$ เพื่อนำไปใช้งานได้ง่ายขึ้น โดยมีแนวคิดว่ามีสัญญาณเอาต์พุตที่หนึ่ง เป็นสัญญาณเอาต์พุตที่บ่งบอกถึงปริมาณความต่างเฟสของสัญญาณอินพุต และสัญญาณเอาต์พุตที่สอง เป็นสัญญาณเอาต์พุตที่บ่งบอกถึงสถานะของสัญญาณอินพุตว่ามีเฟสนำหรือตามอยู่ในขณะนั้น

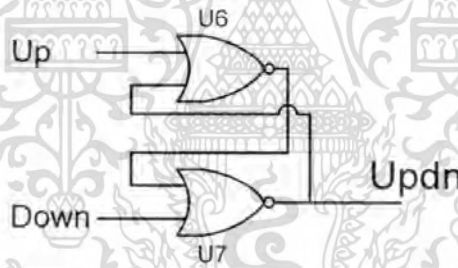
จากแนวคิดดังกล่าว การออกแบบวงจรเพื่อสร้างสัญญาณเอาต์พุตที่หนึ่ง ซึ่งเป็นสัญญาณเอาต์พุตที่บ่งบอกถึงปริมาณความต่างเฟสของสัญญาณอินพุตทั้งคู่ จึงออกแบบโดยการใช้ OR เกต เพื่อรวมเอาสัญญาณเอาต์พุตทั้ง Up และ $Down$ เข้าไว้ด้วยกัน

$$Phe = Up + Down \quad (3.28)$$



รูปที่ 3.25 วงจรรวมค่าความต่างเฟสของวงจรตรวจจับเฟสและความถี่
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และสัญญาณเอาต์พุตที่สอง เป็นสัญญาณเอาต์พุตที่บ่งบอกถึงสถานะของสัญญาณอินพุตว่ามีเฟสนำหรือตามอยู่ในขณะนั้น จึงได้ออกแบบโดยใช้หลักการจากวงจร Latch แบบพื้นฐานโดยสร้างจาก NOR เกต แสดงดังรูปที่ 3.26 และหลักการทำงานของวงจรแสดงในตารางที่ 3.5 เมื่อสัญญาณ Up และ Down เป็นสัญญาณอินพุต และ Updn เป็นสัญญาณเอาต์พุต กรณีที่สัญญาณอินพุต Up และ Down เป็นลอจิก “0” สัญญาณเอาต์พุต Updn จะคงค่าเอาต์พุตเดิมไว้โดยไม่มีการเปลี่ยนแปลง เมื่อสัญญาณอินพุต Up เป็นลอจิก “1” และสัญญาณอินพุต Down ต้องเป็นลอจิก “0” แล้วส่งผลให้สัญญาณเอาต์พุต Updn มีค่าเท่ากับลอจิก “1” และเมื่อสัญญาณอินพุต Down เป็นลอจิก “1” และสัญญาณอินพุต Up ต้องเป็นลอจิก “0” แล้วส่งผลให้สัญญาณเอาต์พุต Updn มีค่าเท่ากับลอจิก “0” และกรณีที่สัญญาณอินพุตทั้งคู่เป็นลอจิก “1” จะต้องไม่เกิดขึ้น เพราะจะทำให้สัญญาณเอาต์พุตไม่ถูกต้องตามลักษณะที่ต้องการ คือเมื่อวงจรตรวจจับเฟสและความถี่ ทำการตรวจจับเฟสของสัญญาณอินพุต v_1 และ v_2 เมื่อพบว่าสัญญาณอินพุต v_1 มีเฟสนำสัญญาณอินพุต v_2 จะต้องให้สัญญาณเอาต์พุต Updn มีค่าเท่ากับลอจิก “1” และเมื่อพบว่าสัญญาณอินพุต v_1 มีเฟสตามสัญญาณอินพุต v_2 จะต้องให้สัญญาณเอาต์พุต Updn มีค่าเท่ากับลอจิก “0”



รูปที่ 3.26 วงจรบอกสถานะของวงจรตรวจจับเฟสและความถี่

ตารางที่ 3.5 ตารางความจริงของวงจรบอกสถานะของวงจรตรวจจับเฟสและความถี่

Input		Output
Down	Up	Updn
0	0	0/1
0	1	1
1	0	0
1	1	0

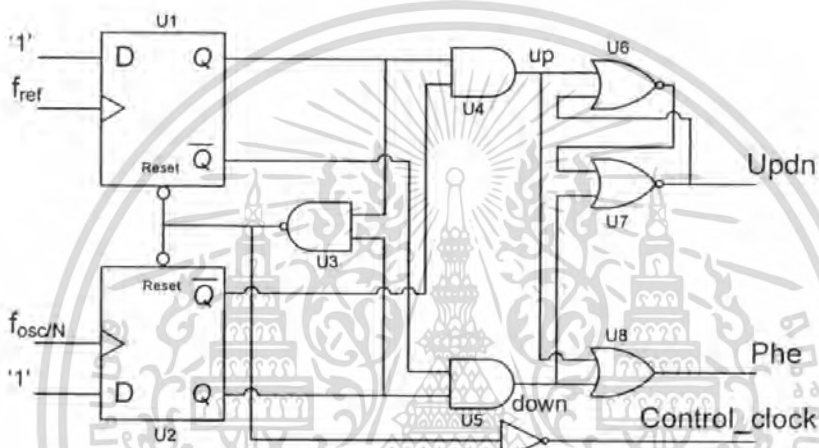
ไม่มีการเปลี่ยนแปลงของลอจิก

ไม่มีเหตุการณ์นี้เกิดขึ้น

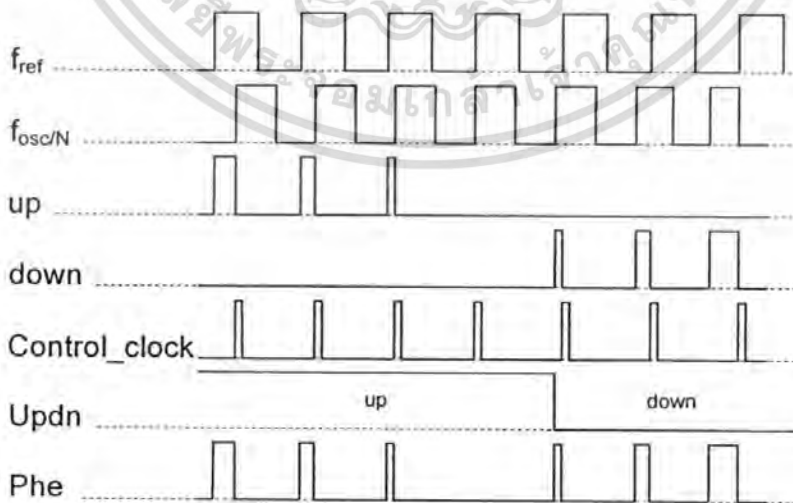
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการทำงานของวงจรตรวจจับเฟสและความถี่ ร่วมกับวงจรในส่วนอื่น จำเป็นจะต้องมีสัญญาณสำหรับให้จังหวะในการทำงาน และเมื่อพิจารณาจากวงจรตรวจจับเฟสและความถี่ มีการ Reset วงจรภายในทุกครั้งภายหลังจากที่วงจรได้ตรวจจับเฟสเสร็จสิ้นในแต่ละครั้ง ซึ่งเป็นสัญญาณที่แสดงถึงจังหวะการทำงานของวงจรตรวจจับเฟสและความถี่ ดังนั้นจึงได้นำสัญญาณนี้ออกมาใช้แสดงถึงจังหวะการทำงานของวงจรตรวจจับเฟสและความถี่ เพื่อให้วงจรส่วนอื่นทำงานต่อหลังจากทำการเปรียบเทียบเฟสในแต่ละครั้งแล้ว โดยให้เป็นสัญญาณ Control clock

วงจรตรวจจับเฟสและความถี่ที่ถูกปรับปรุงสมบูรณ์แล้ว แสดงดังรูปที่ 3.27 และการทำงานของวงจรแสดงดังรูปที่ 3.28



รูปที่ 3.27 วงจรตรวจจับเฟสและความถี่ที่ถูกปรับปรุงสมบูรณ์แล้ว



รูปที่ 3.28 แผนผังทางเวลาแสดงการทำงานของวงจรตรวจจับเฟสและความถี่

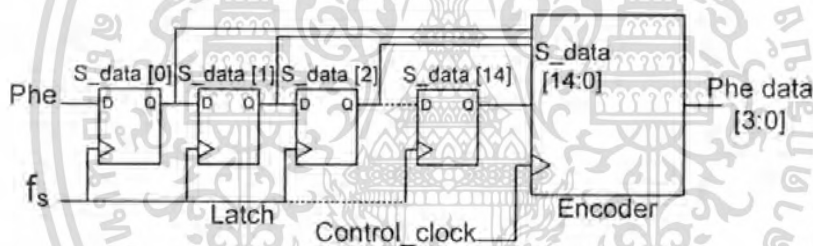
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4 วงจรเปลี่ยนค่าเวลาเป็นค่าดิจิทัลและวงจรกรองรูป

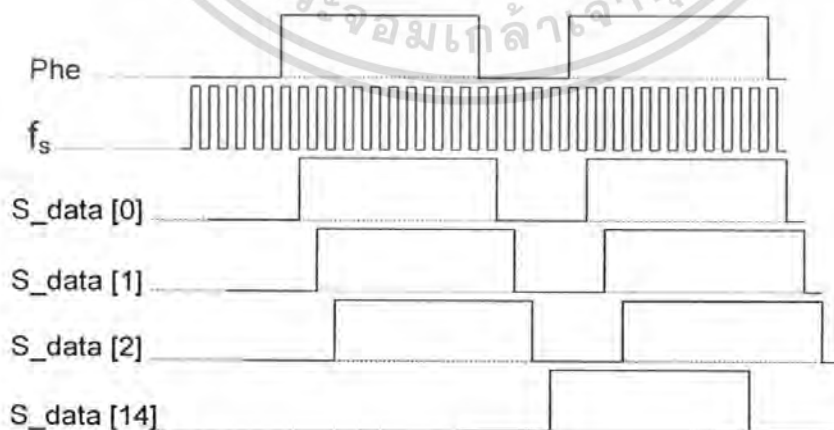
3.4.1 วงจรเปลี่ยนค่าเวลาเป็นค่าดิจิทัล (Time to Digital Converter: TDC)

วงจรเปลี่ยนค่าเวลาเป็นค่าดิจิทัล คือวงจรที่ทำหน้าที่แปลงค่าความต่างเฟสซึ่งเป็นเอาต์พุตจากวงจรตรวจจับเฟสและความถี่ ซึ่งมีลักษณะเป็นสัญญาณรูปคลื่นสี่เหลี่ยม โดยมีความกว้างของสัญญาณเท่ากับค่าความต่างเฟสของสัญญาณอินพุต โครงสร้างของวงจรแปลงค่าเวลาเป็นค่าดิจิทัล แสดงดังรูปที่ 3.29 โดยวงจรประกอบด้วยสองส่วนคือ วงจร Latch และวงจรเข้ารหัส (Encoder) ส่วนของวงจร Latch ทำหน้าที่สุ่ม (sampling) สัญญาณอินพุต Phe ซึ่งเป็นความต่างเฟสจากวงจรตรวจจับเฟสและความถี่ โดยวงจร Latch จะสุ่มสัญญาณอินพุต Phe ด้วยความถี่ f_s และให้สัญญาณเอาต์พุตจำนวน 16 สัญญาณ และสัญญาณเอาต์พุตดังกล่าวจะถูกป้อนเข้าวงจร Encoder เพื่อแปลงเป็นตัวเลขฐานสองขนาด 4 บิต สำหรับแสดงปริมาณความต่างเฟสจากวงจรตรวจจับเฟสและความถี่ โดยการทำงานของวงจร Latch สามารถพิจารณาได้จากรูปที่ 3.30

เมื่อ f_s เป็นความถี่จากวงจรหารความถี่ของวงจร DCO โดย $f_s = 16f_{osc}$ เมื่อ f_{osc} คือความถี่เอาต์พุตของวงจรหารความถี่



รูปที่ 3.29 โครงสร้างของวงจรแปลงค่าเวลาเป็นค่าดิจิทัล

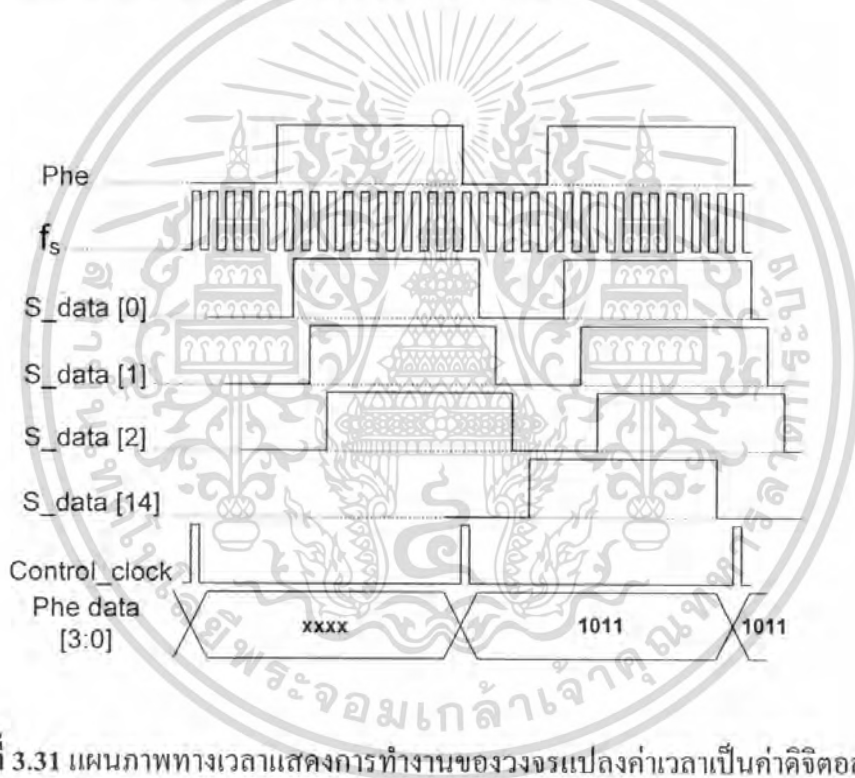


รูปที่ 3.30 แผนภาพทางเวลาแสดงการทำงานของวงจร Latch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลักษณะการทำงานของวงจร Encoder คือวงจรจะเริ่มตรวจสอบสัญญาณอินพุตในลำดับแรกถึงลำดับสุดท้าย (อินพุต S_data[0] ถึง S_data[14]) ถ้าสัญญาณอินพุตใดมีค่าเท่ากับลอจิก '0' ให้เอาท์พุต Phe data เท่ากับค่าลำดับนั้น ตัวอย่างเช่น วงจรตรวจสอบสัญญาณอินพุตตั้งแต่แรกจนถึง S_data[8] แล้วยังไม่พบว่าเป็นลอจิก '0' ต่อมาเมื่อตรวจสอบอินพุตที่ S_data[9] พบว่ามีค่าลอจิกเท่ากับ '0' ดังนั้นจะได้เอาท์พุต Phe data เท่ากับ 9 หรือ '1001B' และในกรณีที่ไม่มีพบว่ามีสัญญาณอินพุตใดเท่ากับลอจิก '0' ให้เอาท์พุต Phe data เท่ากับ 15 หรือ '1111B' ในการทำงานของวงจร Encoder หรือ วงจรเปลี่ยนค่าเวลาเป็นค่าดิจิทัล ใช้สัญญาณ Control clock ในการควบคุมจังหวะการทำงาน

ดังนั้นเมื่อนำวงจร Latch ต่อเข้ากับ Encoder จะได้วงจรเปลี่ยนค่าเวลาเป็นค่าดิจิทัล ซึ่งลักษณะการทำงานของวงจรสามารถพิจารณาได้จากรูปที่ 3.31



รูปที่ 3.31 แผนภาพทางเวลาแสดงการทำงานของวงจรแปลงค่าเวลาเป็นค่าดิจิทัล

3.4.2 วงจรกรองลูป (Loop filter)

วงจรกรองลูปเป็นวงจรที่ทำหน้าที่ประมวลค่าความต่างเฟสจากวงจรแปลงค่าเวลาเป็นค่าดิจิทัล (Phe data [3:0]) และสถานะของเฟส (Up down) จากวงจรตรวจจับเฟสและความถี่ เพื่อหาค่า (Digital control word [7:0]) สำหรับนำไปควบคุมการทำงานของวงจร DCO เพื่อให้สร้างความถี่เอาท์พุตที่มีเฟสและความถี่เท่ากับความถี่อินพุต โดยวงจรกรองลูปที่นำเสนอประกอบด้วย วงจรกรองแบบละเอียด (Fine filter) วงจรกรองแบบหยาบ (Coarse filter) วงจรนับละเอียด (Fine counter) และวงจรถัดหยาบ (Coarse counter) โดยที่วงจรกรองแบบหยาบและวงจรกรองแบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จำนวนครั้งไว้ค่าก็จะทำให้การตอบสนองของวงจรกรองรูปทำงานได้เร็ว โดยจะเหมาะสมกับงานที่ต้องการความรวดเร็วในการทำงาน

แม้ว่าการกำหนดจำนวนครั้งไว้สูงนั้นจะทำให้การตอบสนองของวงจรกรองรูปทำงานได้ช้า แต่เป็นผลดีสำหรับกรณีที่อินพุตของระบบเกิดการเปลี่ยนแปลงอย่างรวดเร็วแบบไม่พึงประสงค์ เช่น มีปริมาณ input jitter สูงจะทำให้สัญญาณเอาต์พุตไม่มีการเปลี่ยนแปลงหรือมีการเปลี่ยนแปลงที่เพียงน้อย ต่อการเปลี่ยนแปลงของอินพุตดังกล่าว

กรณีที่ค่าความต่างเฟสมีแนวโน้มคงที่ และคงที่อย่างต่อเนื่อง โดยค่าความต่างเฟสต้องมีค่ามากกว่าศูนย์ วงจรจะทำงานเช่นเดียวกับกรณีของค่าความต่างเฟสที่มีแนวโน้มเพิ่มสูงขึ้น

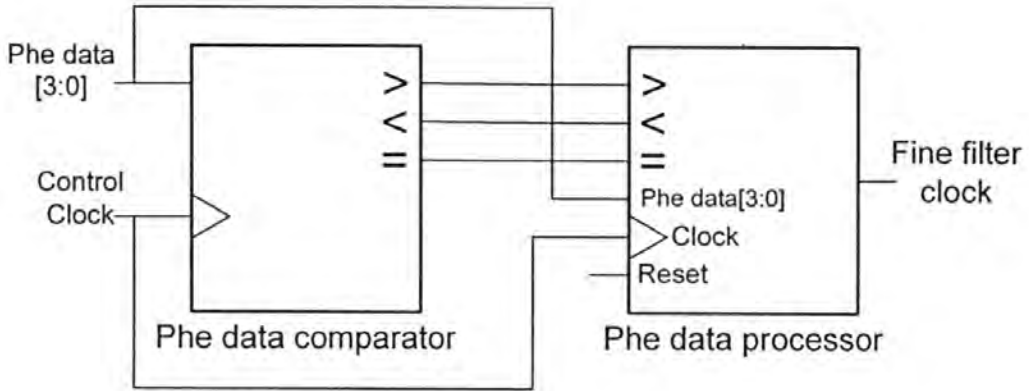
กรณีที่ค่าความต่างเฟสมีแนวโน้มลดลง และลดลงอย่างต่อเนื่อง วงจรจะหยุดการทำงาน โดยไม่มีการสร้างสัญญาณนาฬิกาเพื่อไปควบคุมการนับของวงจรมับละเอียด จนกว่าค่าความต่างเฟสมีแนวโน้มเพิ่มสูงขึ้น หรือมีค่าคงที่ที่มากกว่าศูนย์ วงจรจะทำงานตามเงื่อนไขดังกล่าวต่อไป

จากเงื่อนไขการทำงาน ข้างต้นเราสามารถออกแบบวงจรกรองแบบละเอียด (Fine filter) โดยมีองค์ประกอบสองส่วนด้วยกัน คือ วงจร Phe data comparator และ Phe data processor ซึ่ง วงจร Phe data comparator ทำหน้าที่เปรียบเทียบค่าความต่างเฟสของค่าปัจจุบันกับค่าความต่างเฟสก่อนหน้า ว่ามีค่าเพิ่มสูงขึ้น คงที่ หรือลดต่ำลง และวงจร Phe data processor ทำหน้าที่ตรวจสอบแนวโน้มการเปลี่ยนแปลงของค่าความต่างเฟสเพื่อควบคุมการทำงานของวงจรมับละเอียด ลักษณะโครงสร้างของวงจรกรองแบบละเอียด (Fine filter) แสดงดังรูปที่ 3.33 และหลักการทำงานโดยละเอียดของวงจร Phe data comparator และ Phe data processor แสดงดังรูปที่ 3.34 และ 3.35 ตามลำดับ

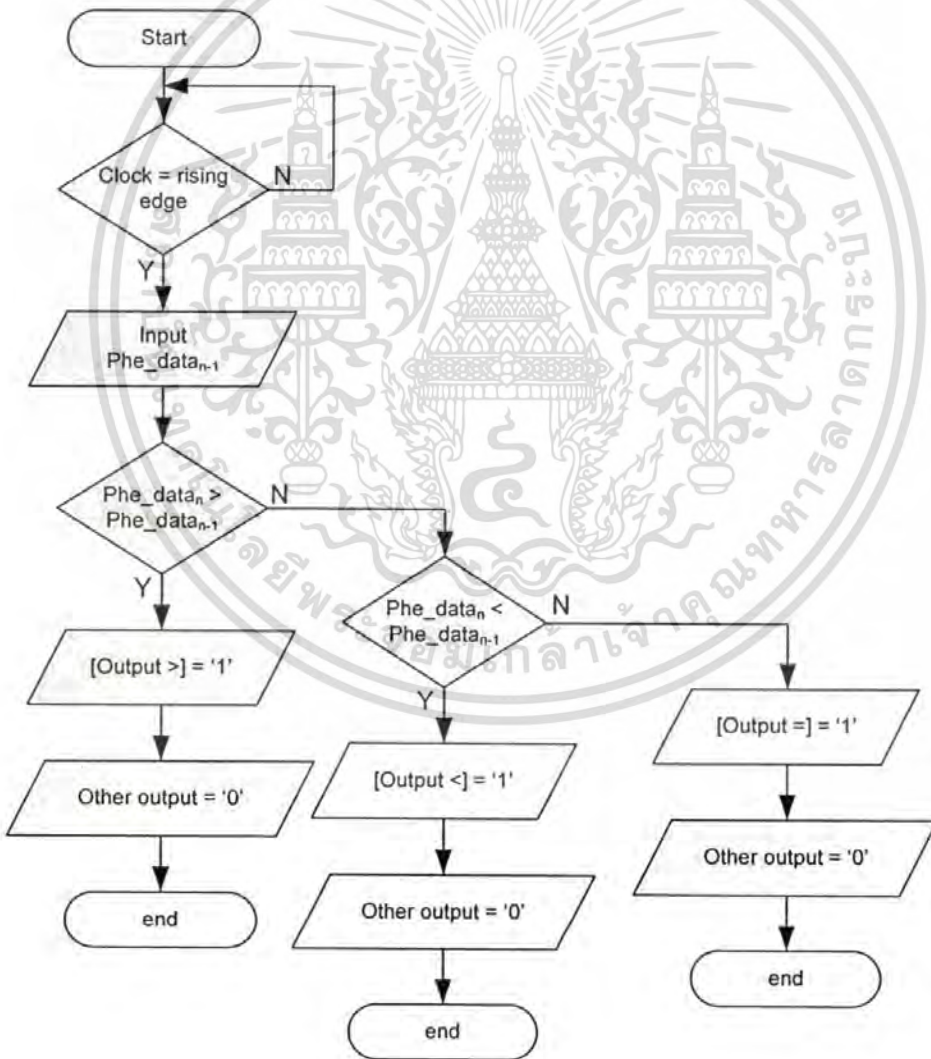
รายละเอียดอินพุตและเอาต์พุตของวงจรกรองแบบละเอียด (Fine filter)

1. เอาต์พุต Fine filter clock คือสัญญาณสำหรับควบคุมการทำงานของวงจรมับละเอียด
2. อินพุต Control clock สำหรับควบคุมการทำงานของวงจร โดยทำงานที่ขอบขาขึ้น
3. อินพุต reset ทำงานที่ลอจิก '1'
4. อินพุต Phe data [3:0] คือค่าความต่างเฟสจากวงจร TDC
5. อินพุต n divider [3:0] คือค่าอัตราการตอบสนองของวงจรกรองแบบละเอียด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

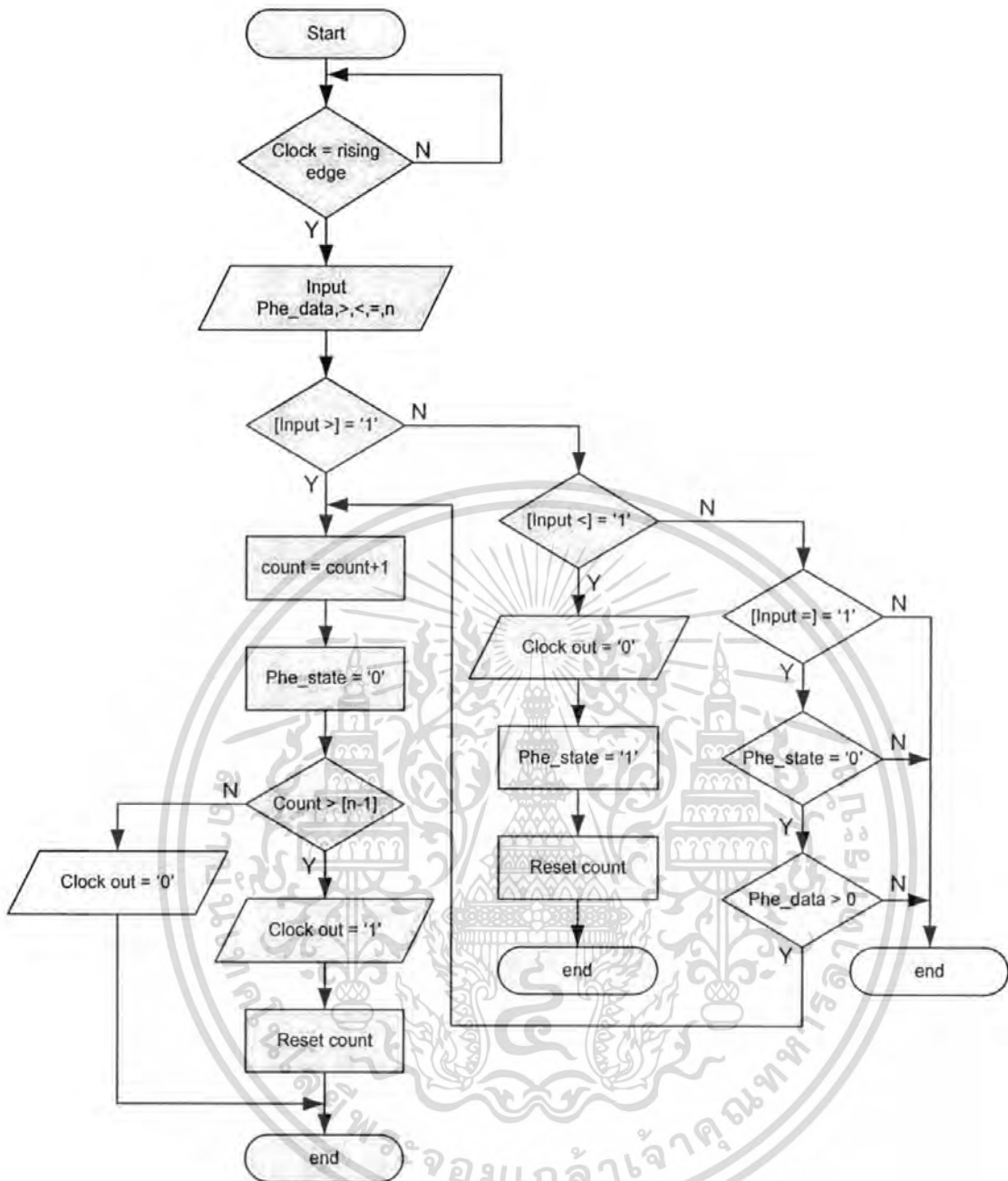


รูปที่ 3.33 โครงสร้างของวงจรกรองแบบละเอียด (Fine filter)



รูปที่ 3.34 แผนผังการทำงานของวงจร Phe data comparator

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.35 แผนผังการทำงานของวงจร Phe data processor

3.4.2.2 วงจรนับละเอียด (Fine counter)

วงจรนับละเอียดทำหน้าที่สร้างค่า Digital control word ในบิต [3:0] สำหรับควบคุมการทำงานของวงจร DCO โดยวงจรทำงานภายใต้การควบคุมของวงจรกรองแบบละเอียด และทำงานสัมพันธ์กับวงจรนับหยาบ โดยคุณสมบัติและการทำงานของวงจรนับละเอียดสามารถสรุปได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สรุปคุณสมบัติและการทำงานของวงจรมับละเอียด (Fine counter)

1. เป็นวงจรมับขึ้น-ลง มีเอาต์พุต Cout [3:0] ขนาด 4 บิต โดยสามารถนับวนซ้ำ หรือค่างค่าสูงสุดและต่ำสุดไว้ได้ โดยขึ้นอยู่กับอินพุต Peak count จากวงจรมับหยาบ (Coarse counter) ก็คือเมื่อบวงจรมับหยาบนับขึ้นถึงค่าสูงสุด และเมื่อบวงจรมับละเอียดนับขึ้นถึงค่าค่าสูงสุดเช่นกัน ให้ค่างค่าไว้โดยไม่ต้องนับวนซ้ำ จนกว่าจะมีคำสั่งให้นับลง และเช่นเดียวกับกรณีนับลงถึงค่าต่ำสุด ให้ค่างค่าไว้จนกว่าจะมีคำสั่งให้นับขึ้น

2. สัญญาณเอาต์พุต Carry สำหรับแสดงสถานะ เมื่อนับขึ้นถึงค่าสูงสุดหรือนับลงถึงค่าต่ำสุด เพื่อให้วงจรมับหยาบได้นับต่อไป

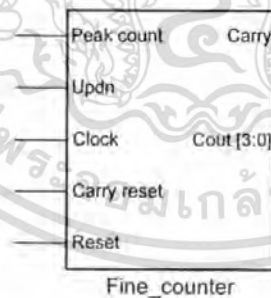
3. อินพุตสัญญาณนาฬิกา Clock สำหรับควบคุมการทำงาน โดยจะทำงานที่ขอบขาขึ้น เป็นสัญญาณจากวงจรมับละเอียดแบบละเอียด Fine filter clock

4. อินพุต Reset โดยวงจรมับละเอียดจะถูก Reset เมื่อเป็นลอจิก '1'

5. อินพุต Peak count ที่ลอจิก '0' สำหรับควบคุมให้นับวนซ้ำ และที่ลอจิก '1' สำหรับควบคุมไม่ให้นับวนซ้ำ เมื่อบวงจรมับขึ้นถึงค่าสูงสุดหรือนับลงถึงค่าต่ำสุด

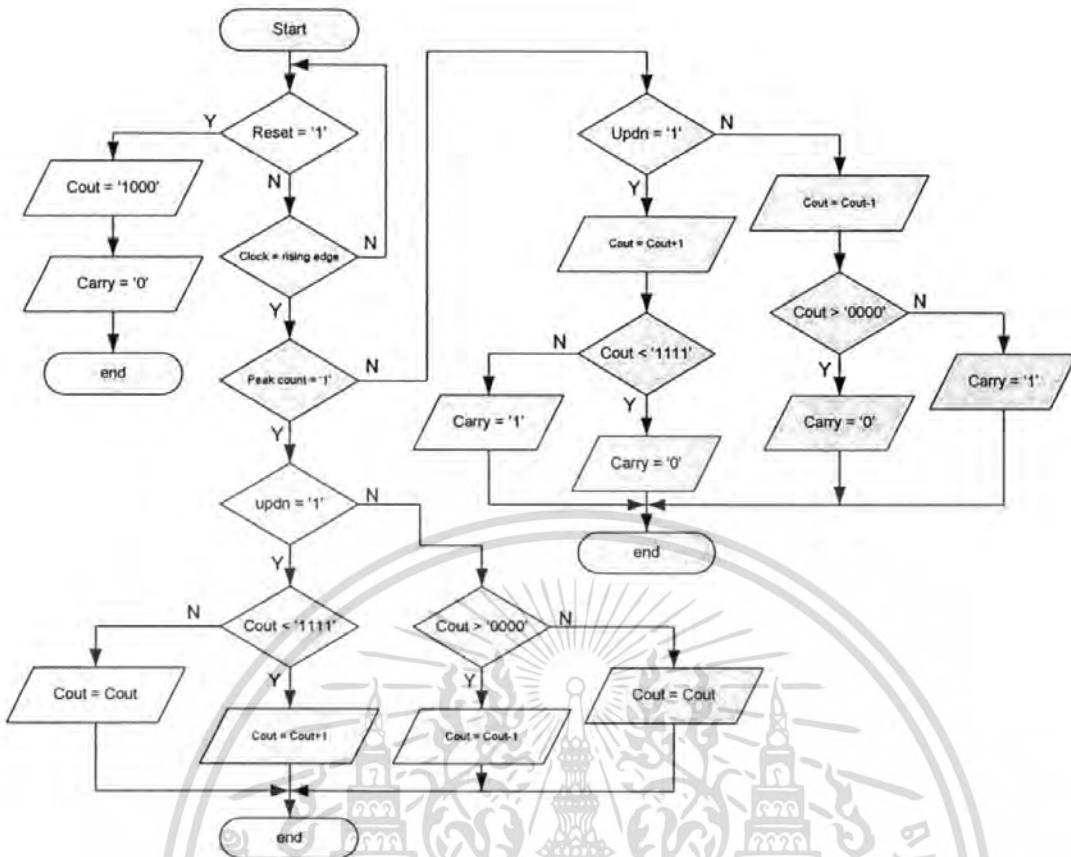
6. อินพุต Updn สำหรับควบคุมการนับขึ้น-ลง โดยที่ลอจิก '0' ให้นับลง และที่ลอจิก '1' ให้นับขึ้น เป็นสัญญาณจาวจร PFD

7. อินพุต Carry reset สำหรับรีเซ็ตค่า Carry ตามสัญญาณ Control clock ทำงานที่ขอบขาขึ้น และหลักการทำงานโดยละเอียดของวงจรมับละเอียดแสดงดังรูปที่ 3.37 และ 3.38

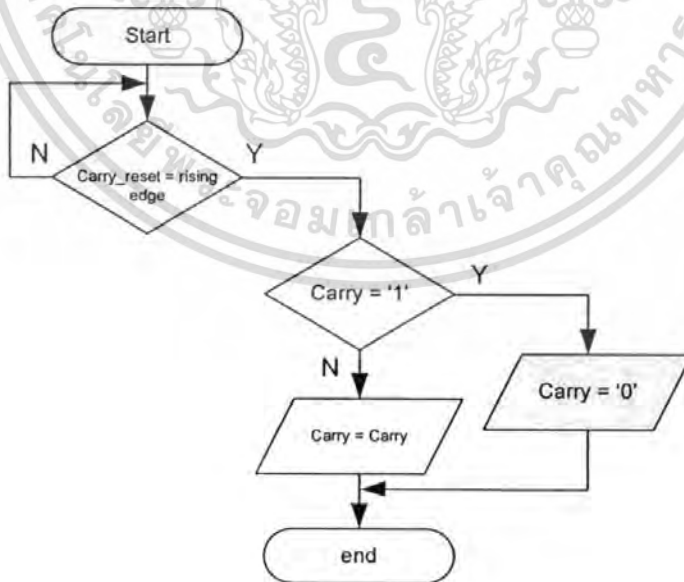


รูปที่ 3.36 บล็อกไดอะแกรมของวงจรมับละเอียด (Fine counter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.37 แผนผังการทำงานของวงจรมับละเอียด (Fine counter) ส่วนที่หนึ่ง



รูปที่ 3.38 แผนผังการทำงานของวงจรมับละเอียด (Fine counter) ส่วนที่สอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2.3 วงจรกรองแบบหยาบ (Coarse filter)

วงจรกรองแบบหยาบทำหน้าที่ตรวจสอบค่าความต่างเฟส เพื่อสร้างสัญญาณสำหรับควบคุมการนับของวงจรมับหยาบ โดยสามารถสรุปการทำงานดังนี้

สรุปคุณสมบัติและการทำงานของวงจรกรองหยาบ (Coarse filter)

1. เอาท์พุท Coarse filter clock คือสัญญาณสำหรับควบคุมการทำงานของวงจรมับหยาบ
2. อินพุท Clock สำหรับควบคุมการทำงานของวงจร โดยทำงานที่ขอบขาขึ้น เป็นสัญญาณ

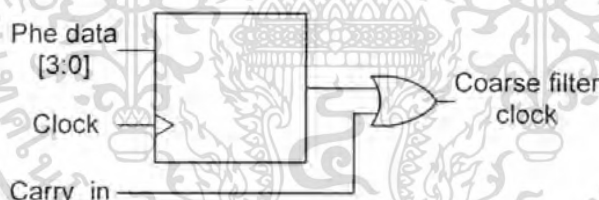
Control clock จากวงจร PFD

3. อินพุท Phe data [3:0] คือค่าความต่างเฟสจากวงจร TDC

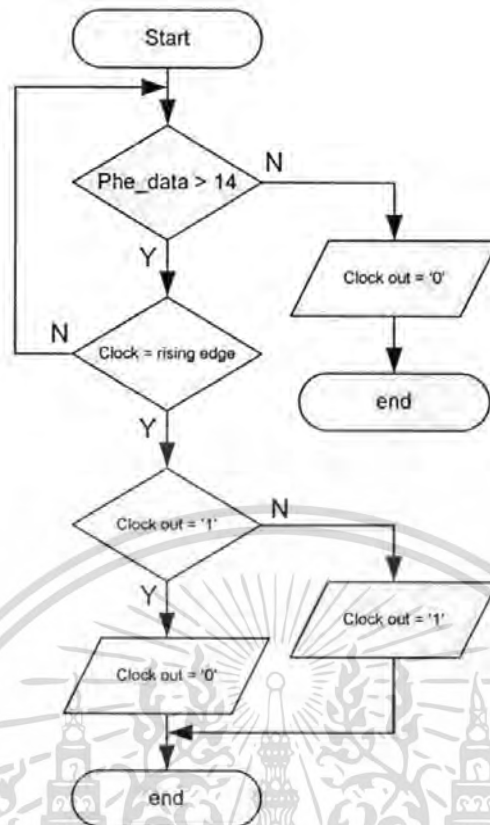
4. อินพุท Carry in คือสัญญาณ Carry จากวงจรมับละเอียดเพื่อรวมเป็นสัญญาณควบคุมการทำงานของวงจรมับหยาบ ในกรณีที่ต้องการให้วงจรมับหยาบนับต่อจากวงจรมับละเอียด

สำหรับการทำงานของวงจรกรองแบบหยาบ ในการตรวจสอบค่าความต่างเฟสนั้นมีเงื่อนไขคือ ถ้าค่าความต่างเฟส Phe data มีค่าเท่ากับค่าความต่างเฟสสูงสุด ติดต่อกันสองครั้งจะให้เอาท์พุท Coarse filter clock มีสัญญาณสี่เหลี่ยมหนึ่งรอบ และเมื่อค่าความต่างเฟส Phe data มีค่าน้อยกว่า ค่าสูงสุด จะให้เอาท์พุท Coarse filter clock มีค่าเท่ากับลอจิก '0'

โครงสร้างของวงจรกรองแบบหยาบ และหลักการทำงานของวงจรกรองหยาบแสดงดังรูปที่ 3.39 และ 3.40 ตามลำดับ



รูปที่ 3.39 โครงสร้างของวงจรกรองแบบหยาบ (Coarse filter)



รูปที่ 3.40 แผนผังการทำงานของวงจรกรองแบบหยาบ (Coarse filter)

3.4.2.4 วงจรนับหยาบ (Coarse counter)

วงจรนับหยาบทำหน้าที่สร้างค่า Digital control word ในบิต [7:4] สำหรับควบคุมการทำงานของวงจร DCO โดยวงจรทำงานภายใต้การควบคุมของวงจรกรองแบบหยาบ และทำงานสัมพันธ์กับวงจรนับละเอียด โดยคุณสมบัติและการทำงานของวงจรนับหยาบ สามารถสรุปได้ดังนี้

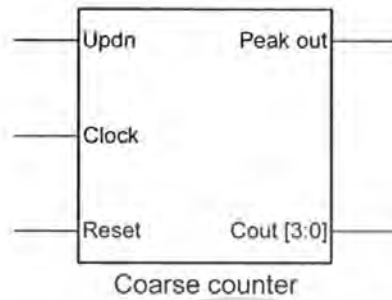
สรุปคุณสมบัติและการทำงานของวงจรนับหยาบ (Coarse counter)

1. เป็นวงจรนับขึ้น-ลง โดยไม่นับวนซ้ำ คือเมื่อนับขึ้นค่าสูงสุดแล้ว ให้คงค่าไว้จนกว่าจะมีคำสั่งให้นับลง และเช่นเดียวกับกรณีนับลง โดยมีสัญญาณเอาต์พุต Cout [3:0]
2. สัญญาณเอาต์พุต Peak out สำหรับแสดงสถานะ เมื่อนับขึ้นถึงค่าสูงสุดหรือนับลงถึงค่าต่ำสุด โดยจะเป็นลอจิก '1' เมื่อนับถึงค่าสูงสุดและนับลงถึงค่าต่ำสุด และเป็นลอจิก '0' เมื่อนับถึงค่าอื่นๆ
3. อินพุตสัญญาณนาฬิกา Clock สำหรับควบคุมการทำงาน โดยทำงานที่ขอบขาขึ้น เป็นสัญญาณจากวงจรกรองแบบหยาบ Coarse filter clock
4. อินพุต reset ทำงานที่ลอจิก '1'

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. อินพุต Updn สำหรับควบคุมการนับขึ้น-ลง โดยที่ลอจิก '0' ให้นับลง และที่ลอจิก '1' ให้นับขึ้น เป็นสัญญาณจาวจร PFD

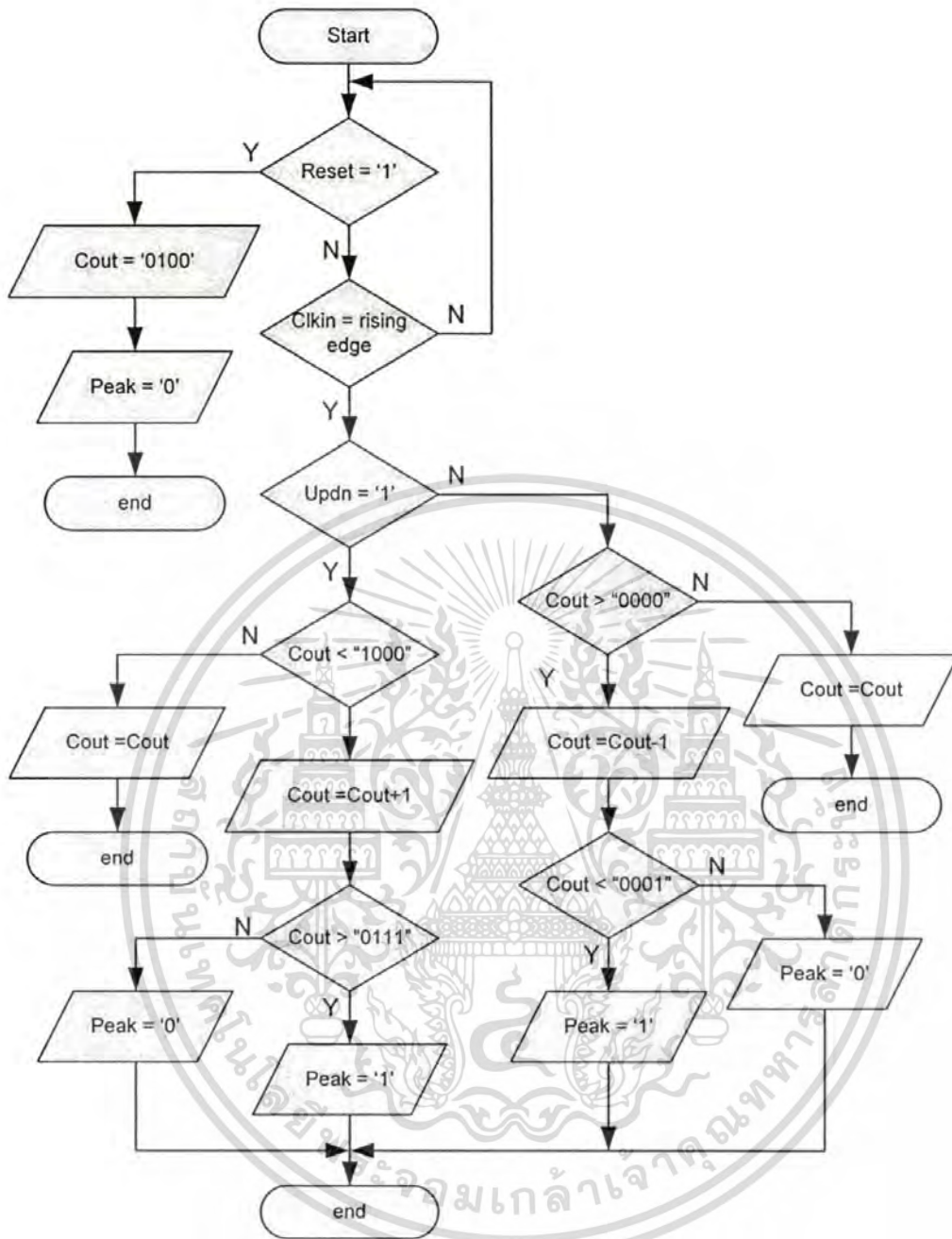
และหลักการทำงานโดยละเอียดของวงจรมับหยาบแสดงดังรูปที่ 3.42



รูปที่ 3.41 บล็อกไดอะแกรมของวงจรมับหยาบ (Coarse counter)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.42 แผนผังการทำงานของวงจรมับทขาด (Coarse counter)

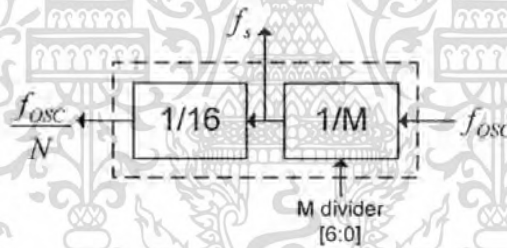
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.5 วงจรหารความถี่

วงจรหารความถี่ทำหน้าที่หารความถี่เอาต์พุตของ DCO เพื่อป้อนกลับมาที่วงจรตรวจจับเฟสและความถี่ สำหรับนำไปเปรียบเทียบกับความถี่อ้างอิง f_{ref} หรือความถี่อินพุต โดยวงจรหารความถี่ประกอบด้วยสองส่วนคือ วงจรหารความถี่คงที่ มีอัตราการหารเท่ากับ 16 ทำหน้าที่สร้างความถี่ f_s สำหรับการสุ่มของวงจรแปลงค่าเวลาเป็นค่าดิจิทัล โดยความถี่ f_s มีค่าเป็น 16 เท่าของความถี่เอาต์พุตของวงจรหารความถี่ดังสมการที่ 3.29 ส่วนที่สองเป็นวงจรหารความถี่แบบปรับอัตราการหารได้ โดยมีขนาด 7 บิต สำหรับปรับอัตราการหารความถี่เอาต์พุตของ DCO ดังนั้นความถี่เอาต์พุตของวงจรหารความถี่มีค่าเท่ากับสมการที่ 3.30 โดยโครงสร้างวงจรหารความถี่สามารถแสดงดังรูปที่ 3.43

$$f_s = \frac{f_{osc}}{M} \quad (3.29)$$

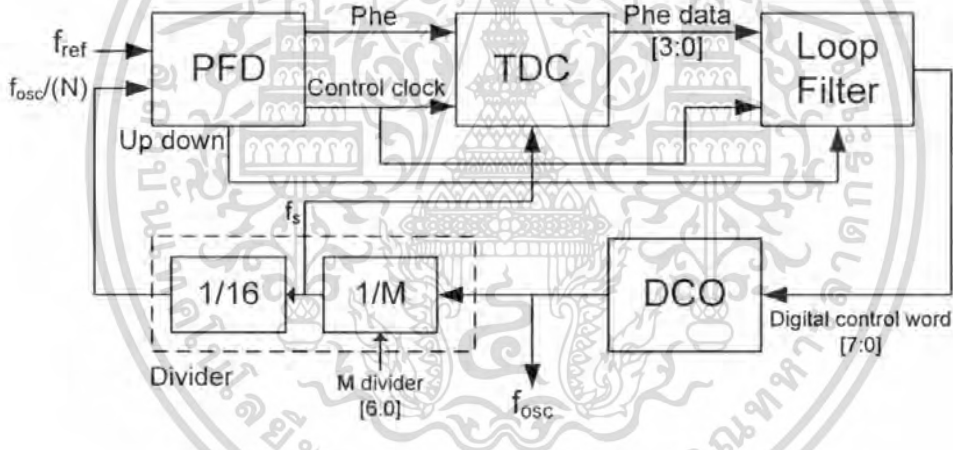
$$\frac{f_{osc}}{N} = \frac{f_{osc}}{16 \times M} \quad (3.30)$$



รูปที่ 3.43 โครงสร้างของวงจรหารความถี่

3.6 วงจรเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด

วงจรเฟสล็อกคูลูปแบบดิจิทัลทั้งหมดประกอบด้วย วงจรตรวจจับเฟสและความถี่ (PFD) ต่อเข้ากับวงจรแปลงค่าเวลาเป็นดิจิทัล (TDC) โดยมีสัญญาณที่แสดงค่าความต่างเฟส Phe และสัญญาณควบคุมจังหวะการทำงาน Control clock เชื่อมต่อวงจรเข้าด้วยกัน และวงจรแปลงค่าเวลาเป็นดิจิทัล ต่ออยู่กับวงจรกรองลูป (Loop Filter) ด้วยสัญญาณ Phe data ซึ่งแสดงค่าความต่างเฟสเป็นตัวเลขขนาด 4 บิต ในส่วนของวงจรกรองลูปมีสัญญาณควบคุมจังหวะการทำงาน Control clock และสัญญาณ Up down จากวงจรตรวจจับเฟสและความถี่ ซึ่งเป็นสัญญาณแสดงสถานะของเฟสนำหรือตาม เชื่อมต่ออยู่กับวงจรกรองลูปด้วย และเอาต์พุตของวงจรกรองลูปซึ่งเป็นค่าตัวเลขขนาด 8 บิต ต่อเข้ากับวงจรออสซิลเลเตอร์ที่ควบคุมแบบดิจิทัล (DCO) และดังนั้นเราจะได้สัญญาณเอาต์พุตของวงจรวจรเฟสล็อกคูลูปแบบดิจิทัลทั้งหมดคือสัญญาณ f_{osc} ซึ่งสัญญาณ f_{osc} จะต่อเข้ากับวงจรหารความถี่ (Divider) สำหรับหารความถี่สำหรับป้อนกลับไปท่วงจรตรวจจับเฟสและความถี่ และสร้างความถี่ f_s สำหรับวงจรแปลงค่าเวลาเป็นดิจิทัล



รูปที่ 3.44 วงจรเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด (ADPLL)

วงจรวจรเฟสล็อกคูลูปแบบดิจิทัลทั้งหมดถูกออกแบบและจำลองการทำงาน ด้วยโปรแกรม Cadence Spectre โดยใช้ค่าพารามิเตอร์ของเทคโนโลยีซีมอสขนาด $0.35 \mu\text{m}$ ใช้แหล่งจ่ายแรงดัน 3.3 V

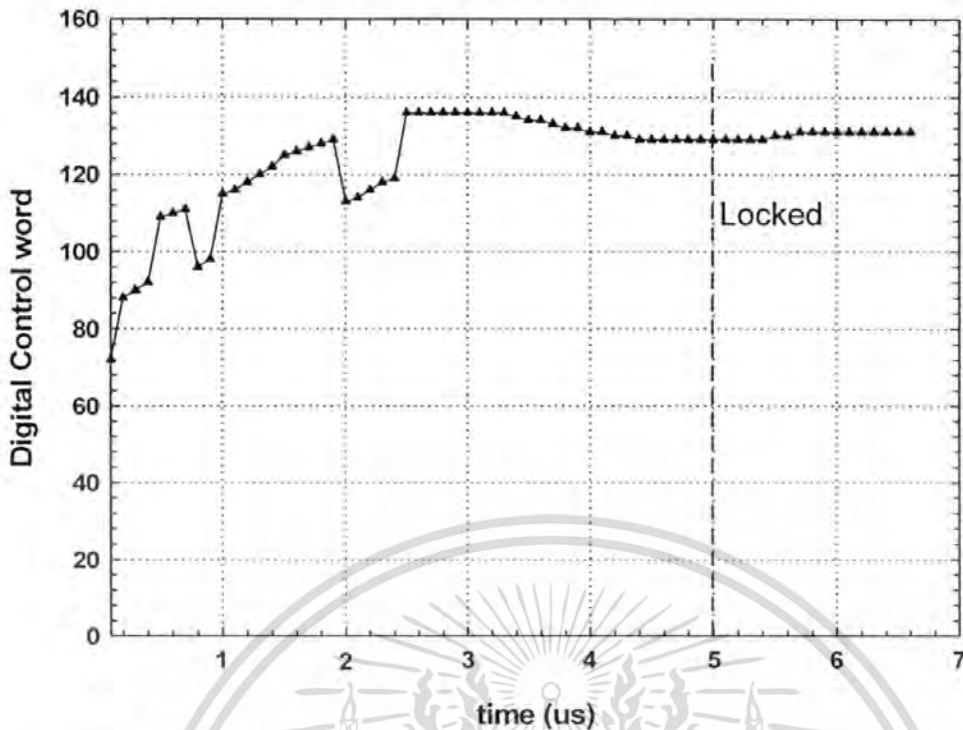
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 ผลการจำลองการทำงาน

การจำลองการทำงานวงจรเฟสล็อกคูลูปแบบดิจิทัลทั้งหมด จะทดสอบการทำงานในช่วงความถี่สูงและความถี่ต่ำของวงจรรอสซิลเลเตอร์ โดยทดสอบที่ความถี่ 650 MHz และความถี่ 100 MHz ใช้อัตราการคูณความถี่ที่ 16 เท่า (จากเงื่อนไขของการออกแบบการใช้งานของ f_u ของวงจรถอด TDC) ดังนั้นเราต้องใช้ความถี่อ้างอิง 40.625 MHz และ 6.25 MHz ตามลำดับ

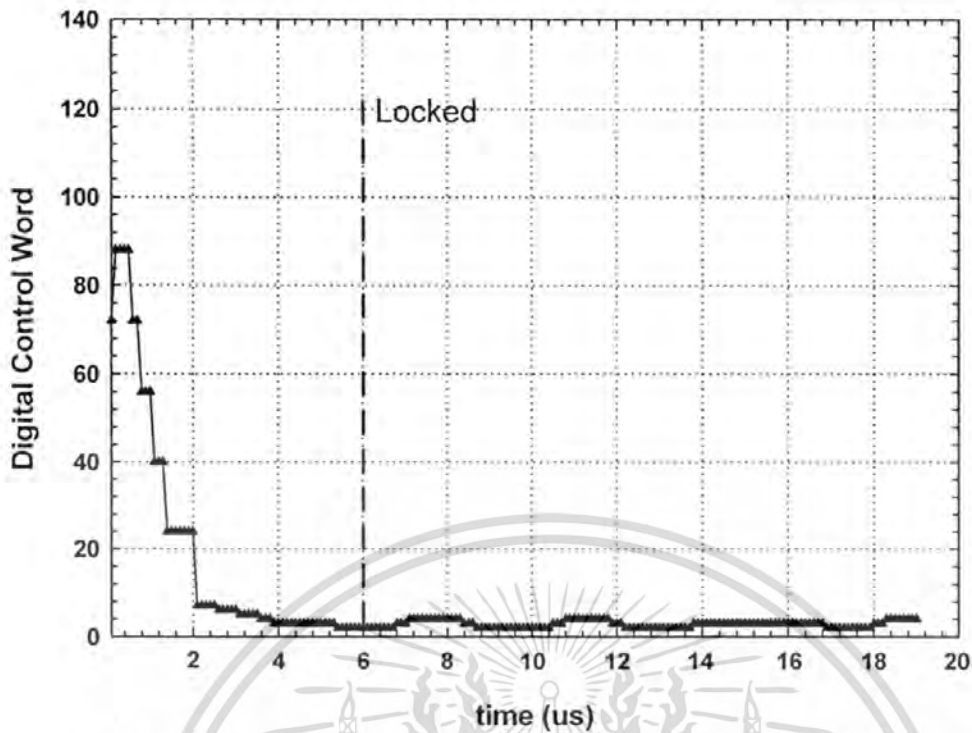
จากคุณสมบัติของ DCO ที่สามารถให้ความถี่เอาต์พุตได้บางความถี่ ซึ่งไม่ต่อเนื่องทุกความถี่ เช่นเดียวกับวงจรรอสซิลเลเตอร์แบบอนาล็อก ดังนั้นการทำงานของวงจรรเฟสล็อกคูลูปที่นำเสนอในทางอุดมคตินั้น มีหลักการดังนี้ เมื่อเราป้อนความถี่อ้างอิงที่คูณด้วยอัตราการคูณความถี่แล้ว ตรงกับความถี่ของ DCO วงจรรเฟสล็อกคูลูปจะสามารถล็อกที่ความถี่ดังกล่าวได้ แต่ในกรณีที่ค่าไม่ตรงกับความถี่ของ DCO วงจรรเฟสล็อกคูลูปจะสามารถล็อกได้เช่นกัน แต่เป็นความถี่สองความถี่ที่ใกล้เคียงกับความถี่ที่ต้องการมากที่สุด ดังนั้นความถี่เอาต์พุตที่ได้จึงเกิดจากการเฉลี่ยความถี่ของ DCO

ผลการจำลองการทำงานของวงจรรเฟสล็อกคูลูปที่นำเสนอ พบว่าวงจรถอดสามารถเข้าสู่สภาวะล็อกเมื่อ ให้ความถี่เอาต์พุตอยู่ในช่วงความถี่ที่ต้องการ แต่เป็นสามความถี่ที่ใกล้เคียงกับความถี่ที่ต้องการมากที่สุด ซึ่งเป็นการทำงานของวงจรถอดที่เข้าสู่สภาวะล็อกในกรณีที่แย่ที่สุด ที่สามารถเกิดขึ้นได้ โดยผลการจำลองการทำงานสามารถพิจารณาได้จากรูปที่ 3.45 ถึงรูปที่ 3.47 และตารางที่ 3.6



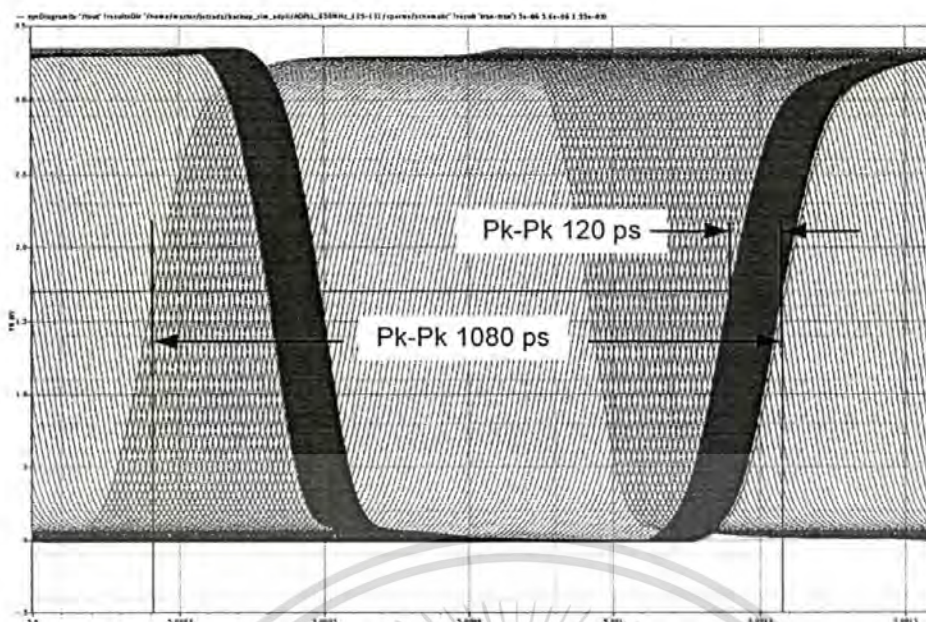
รูปที่ 3.45 ค่า Digital Control Word ของ DCO เทียบกับเวลาที่ความถี่ 650 MHz

รูปที่ 3.45 แสดงค่าของ Digital Control Word ของ DCO เทียบกับเวลา ของวงจรเฟสล็อก ที่ความถี่ 650 MHz เราจะพบว่าในช่วงเริ่มต้นวงจรให้ความถี่เอาต์พุตในช่วงความถี่กลางของ Digital Control Word ทำให้วงจรสามารถเข้าถึงช่วงความถี่ต่างๆ ได้อย่างรวดเร็ว จากนั้นวงจรจะปรับความถี่เอาต์พุตให้เข้าใกล้ความถี่ที่ต้องการ และเข้าสู่สภาวะล็อก - ความถี่เอาต์พุตที่ได้อยู่ในช่วง 646 ถึง 653 MHz ประกอบด้วยสามความถี่ที่ใกล้ความถี่ที่ต้องการมากที่สุด โดยค่า Digital Control Word ของ DCO มีการเปลี่ยนแปลงบิตที่มีความสำคัญต่ำสุด (Least Significant Bit: LSB) 2 บิต คือ 10000001, 10000010 และ 10000011 (129-131) และเราจะพบว่า การเปลี่ยนแปลงค่า Digital Control Word นั้นจะไม่ต่อเนื่อง เนื่องจากการทำงานของวงจรมัลติเพลกซ์ ทำให้ค่าที่ได้มีการกระโดดไปมา ซึ่งเป็นการช่วยให้วงจรทำงานได้เร็วขึ้น โดยวงจรใช้ระยะเวลาในการเข้าสู่สภาวะล็อกประมาณ 200 Clock cycle การที่ความถี่เอาต์พุตเป็นค่าเฉลี่ยของความถี่หลายความถี่นั้น ส่งผลให้เกิดเอาต์พุต jitter ถ้าความถี่ดังกล่าวมีค่าต่างกันมากจะทำให้ jitter มีค่าสูงตามไปด้วย



รูปที่ 3.46 ค่า Digital Control Word ของ DCO เทียบกับเวลาที่ความถี่ 100 MHz

รูปที่ 3.46 แสดงค่าของ Digital Control Word ของ DCO เทียบกับเวลา ของวงจรเฟสล็อก ลูป ที่ความถี่ 100 MHz โดยการทำงานของวงจรมีลักษณะเช่นเดียวกับช่วงความถี่ 650 MHz เมื่อ วงจรเข้าสู่สภาวะล็อก ความถี่เอาต์พุตที่ได้อยู่ในช่วง 95 ถึง 106 MHz ซึ่งเป็นสามความถี่ที่ใกล้ ความถี่ที่ต้องการมากที่สุด ค่า Digital Control Word ของ DCO มีการเปลี่ยนแปลงบิตที่มีความ สำคัญต่ำสุด 2 บิต นอกจากนี้ยังพบว่าในบางช่วงเวลามีการเปลี่ยนแปลง ค่า Digital Control Word แค่ 1 บิตเท่านั้น ซึ่งเป็นช่วงการทำงานที่ตรงตามอุดมคติ



รูปที่ 3.47 ค่า peak-to-peak jitter ที่ความถี่เอาต์พุต 650 MHz

การวัด Output jitter ของวงจรเฟสล็อกดู เนื่องจากสถานะล็อกของวงจร เป็นการล็อกที่เกิดจากการเฉลี่ยค่าความถี่ของวงจร DCO ส่งผลทำให้เอาต์พุต jitter มีค่าสูง สำหรับผลการทดลองที่ความถี่ 650 MHz พบว่า ค่า peak-to-peak jitter มีค่าประมาณ 1080 ps ดังแสดงในรูปที่ 3.47 และจากรูปเราจะพบว่ามีรูปสัญญาณที่มีลักษณะเป็นเส้นหนาที่บ ซึ่งในช่วงที่ DCO ให้อ้าความถี่ค่าหนึ่งซ้ำกันเป็นระยะเวลาสั้น โดยสามารถวัดค่า peak-to-peak jitter ได้ประมาณ 120 ps

ตารางที่ 3.6 แสดงผลการจำลองการทำงานของวงจรเฟสล็อกคูลูป ทั้งสองกรณี โดยค่าเอาต์พุต peak-to-peak jitter ของผลการทดลองที่ความถี่ 100 MHz มีค่าสูงทำให้ไม่สามารถวัดได้เนื่องเป็นช่วงความถี่ต่ำ ดังนั้นคาบเวลาของความถี่เอาต์พุตจึงมีค่าแตกต่างกันมาก

ตารางที่ 3.6 สรุปผลการจำลองการทำงานของวงจรเฟสล็อกคูลูป

พารามิเตอร์	คุณสมบัติ	
ความถี่เอาต์พุตที่ต้องการ	650 MHz	100 MHz
เทคโนโลยี	0.35 μm CMOS	0.35 μm CMOS
แหล่งจ่ายแรงดัน	3.3 V	3.3 V
ความถี่อ้างอิง	40.625 MHz	6.25 MHz
อัตราการคูณความถี่	16	16
ความถี่เอาต์พุต	~650 MHz(646-653MHz)	~101 MHz(95-106MHz)
ระยะเวลาการล๊อค	~200 cycle	~40 cycle
การสิ้นเปลืองกำลังงาน	20 mW	4 mW
เอาต์พุต peak-to-peak jitter	1080 ps	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.7 แสดงการเปรียบเทียบคุณสมบัติของวงจรเฟสล็อกคูลูปที่นำเสนอกับวงจรเฟสล็อกคูลูปที่เคยมีผู้นำเสนอ จากการเปรียบเทียบคุณสมบัติต่างๆของวงจรพบว่า วงจรที่นำเสนอสิ้นเปลืองกำลังงานต่ำที่สุด เนื่องจากวงจร DCO มีขนาดอะเรย์เล็กกว่าวงจรในแบบอื่นๆ ค่าเอาต์พุต jitter ของวงจรที่นำเสนอมีค่าสูงกว่า [8] และ [9] เนื่องจากโครงสร้างของวงจร DCO ที่ใช้ใน [8] และ [9] มีส่วนของวงจรปรับค่า delay ทั้งแบบหยาบและแบบละเอียด จึงให้จำนวนความถี่เอาต์พุตมาก ทำให้ความถี่เอาต์พุตมีความละเอียดสูง ดังนั้นเอาต์พุต jitter จึงมีค่าต่ำ อย่างไรก็ตามส่วนของวงจรปรับค่า delay แบบละเอียดของ [8] มีโครงสร้างเป็นอะเรย์ และมีรูปแบบการปรับความถี่เช่นเดียวกับ [6] ดังนั้นถ้าแทนรูปแบบการปรับความถี่ด้วยรูปแบบที่นำเสนอ จะยังทำให้ความถี่เอาต์พุตของวงจร [8] มีความละเอียดสูงขึ้นยิ่งกว่าเดิม เป็นผลให้วงจรยังมีประสิทธิภาพดีขึ้น

การลด jitter ของวงจรที่นำเสนอ ทำได้หลายวิธีเช่น การเพิ่มขนาดของอะเรย์นั้น (เพิ่มจำนวนแถวของอะเรย์) ส่งผลให้ความละเอียดของ DCO เพิ่มสูงขึ้นได้ การพัฒนาส่วนของวงจรกรองคูลูปให้มีประสิทธิภาพดีขึ้น เพื่อให้วงจรเฟสล็อกคูลูปสามารถทำงานได้ตามอุดมคติ จะสามารถทำให้ jitter ลดลงได้เช่นกัน และสำหรับความเร็วในการทำงานหรือระยะเวลาการถือคของวงจรที่นำเสนอ สามารถพัฒนาให้ดีขึ้นได้ด้วยการพัฒนาส่วนของวงจรกรองคูลูปให้สามารถตอบสนองต่อความแตกต่างของความถี่และเฟสตามปริมาณในอัตราส่วนที่เหมาะสม จะสามารถทำให้วงจรทำงานได้เร็วขึ้นได้

ตารางที่ 3.7 เปรียบเทียบคุณสมบัติของวงจรเฟสล็อกคูลูปที่นำเสนอกับวงจรแบบอื่นๆ

พารามิเตอร์	วงจรที่นำเสนอ	[6]	[8]	[9]
เทคโนโลยี	0.35 μ m CMOS	0.35 μ m CMOS	0.6 μ m CMOS	0.35 μ m CMOS
แหล่งจ่ายแรงดัน	3.3 V	3 V	3.3 V	3.3 V
การสิ้นเปลืองกำลังงาน	20mW (650MHz)		315mW (800MHz)	100mW (500MHz)
ความถี่ต่ำสุด	100MHz	152MHz	360MHz	45MHz
ความถี่สูงสุด	650MHz	366MHz	800MHz	510MHz
ระยะเวลาการถือค	~200 cycle	-	~25 cycle	~46 cycle
เอาต์พุต jitter (Pk-Pk)	1.08ns	1.2ns	60ps	70ps

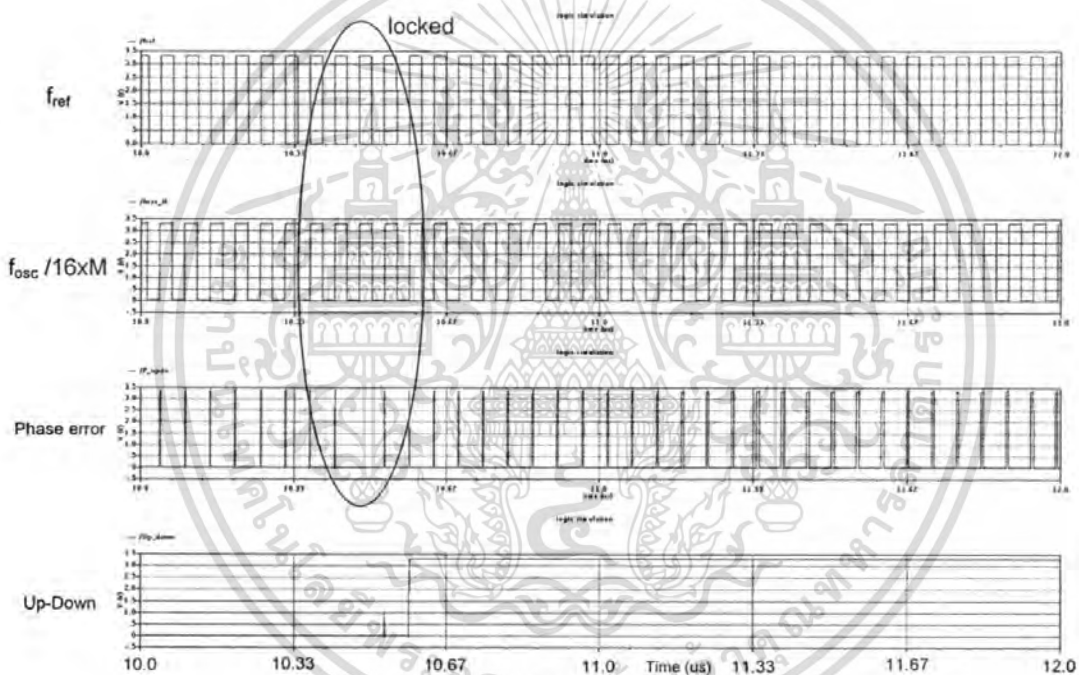
3.8 สรุป

วงจรเฟสล็อคลูปแบบดิจิทัลทั้งหมดที่นำเสนอ โดยนำเสนอวงจรรอสซิลเลเตอร์ ชนิดอะเรย์ ที่ควบคุมแบบดิจิทัล ที่ใช้ tri-state inverter ที่มีคุณสมบัติเหมือนกันทุกประการ ซึ่งสร้างได้ด้วย standard cell ต่อในลักษณะอะเรย์ขนาด 16x5 นำเสนอรูปแบบการควบคุมการปรับความถี่ของ DCO แบบใหม่ โดยใช้ผลจากการประมาณค่าหน่วยเวลาของวงจร tri-state inverter ด้วยวงจรเสมือน RC เป็นตัวกำหนด ส่งผลให้วงจร DCO มีจำนวนความถี่เอาต์พุตเพิ่มมากกว่าวงจรที่มีโครงสร้างเหมือนกัน ถึงร้อยละ 70 ทำให้ความถี่เอาต์พุตของวงจร DCO มีความละเอียดสูงขึ้น นอกจากนี้การตรวจจับเฟสใช้วงจรตรวจจับเฟสและความถี่ทำงานร่วมกับวงจรแปลงค่าเวลาเป็นค่าดิจิทัล และวงจรกรอกรูปแบบวงจรมันที่ถูกควบคุมด้วยวงจรประมวลผลของค่าความต่างเฟส วงจรเฟสล็อคลูปที่นำเสนอถูกออกแบบและจำลองการทำงาน โดยใช้พารามิเตอร์ของเทคโนโลยีซีมอสขนาด 0.35 μm ผลการจำลองการทำงานพบว่า วงจรมีช่วงความถี่การทำงาน 100 – 650 MHz มีอัตราการใช้พลังงานประมาณ 20 mW ที่ความถี่สูงสุด เมื่อใช้แหล่งจ่ายแรงดัน 3.3 V เนื่องจากเป็นวงจรดิจิทัลและสร้างด้วย standard cell ทำให้วงจรกำเนิดสัญญาณนาฬิกาที่นำเสนอ สามารถถูกออกแบบและสร้างใหม่ได้ง่าย ภายในระยะเวลาอันสั้น เมื่อต้องการเปลี่ยนเทคโนโลยี ดังนั้นช่วยลดต้นทุน ระยะเวลา และความซับซ้อนยุ่งยาก ได้ ซึ่งเหมาะสมสำหรับการใช้งานในระบบดิจิทัล

4.3 ผลการจำลองการทำงาน

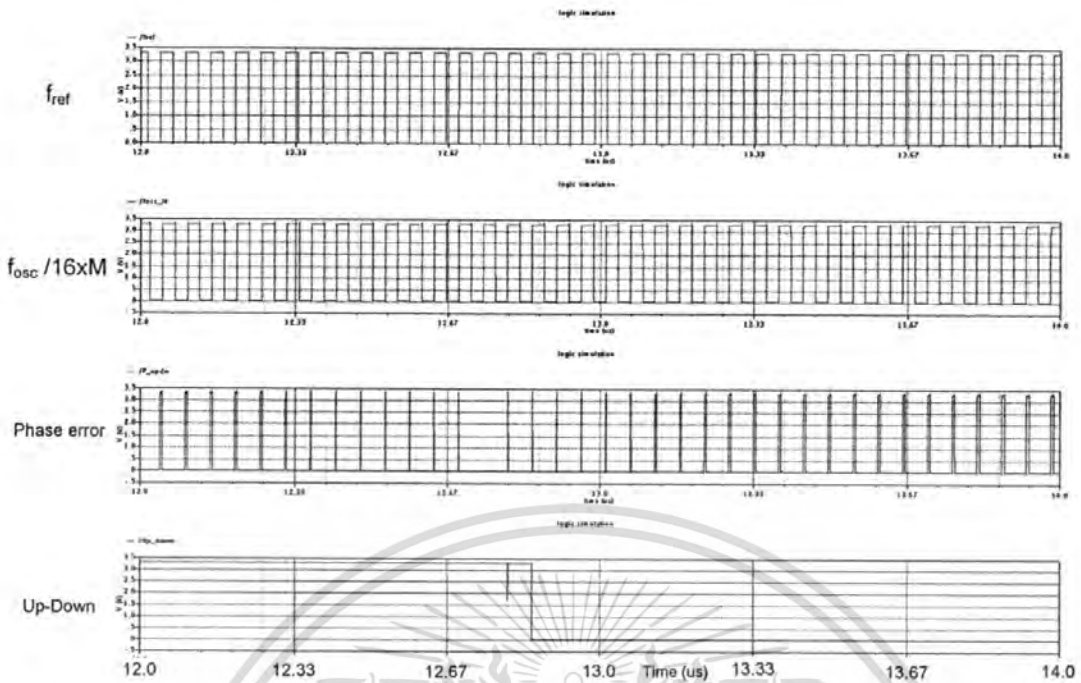
สำหรับความถี่ที่ต้องคือ ความถี่ 592.5 MHz โดยมีอัตราการหารความถี่ที่ 16M เมื่อ M เท่ากับ 2 ดังนั้นอัตราการหารความถี่จึงเท่ากับ 32 เท่า เราต้องใช้ความถี่อ้างอิงเท่ากับ 18.5 MHz

ผลการทดลองวงจรกำเนิดสัญญาณพิก้า สามารถพิจารณาได้จากกระบวนการเข้าสู่สภาวะล็อกของวงจร ADPLL ดังรูปที่ 4.2 ถึง รูปที่ 4.3 และค่า Digital Control Word ของวงจร DCO ในรูปที่ 4.4 โดยพิจารณาค่า Digital Control Word ของวงจร DCO ณ ช่วงเวลาที่ค่าของ Digital Control Word เริ่มเข้าสู่สภาวะคงที่ และค่าความต่างเฟสเท่ากับศูนย์ โดยเราจะพบว่าวงจรสามารถล็อกความถี่ได้ที่ 592.5 MHz ตามที่ต้องการ และความถี่ที่ล็อกได้นั้นเป็นความถี่ที่เกิดขึ้นจากการเฉลี่ยค่าของวงจรออสซิลเลเตอร์ โดยเป็นค่าความถี่ในลำดับที่ 108 ถึง 110

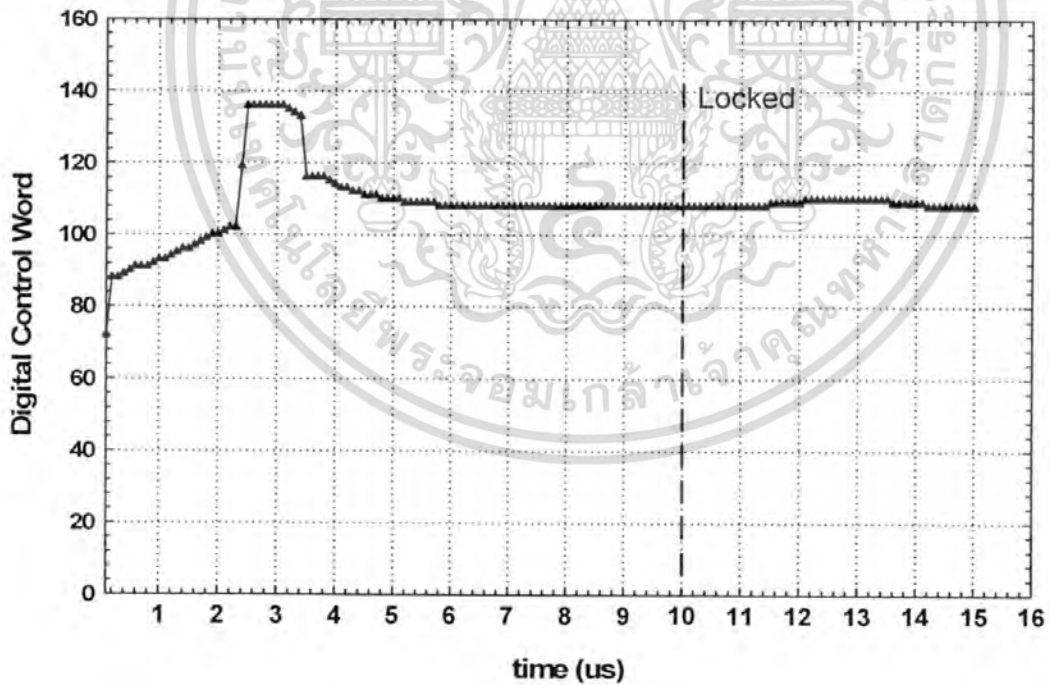


รูปที่ 4.2 การเข้าสู่สภาวะล็อกของ ADPLL ที่ความถี่ 592.5 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



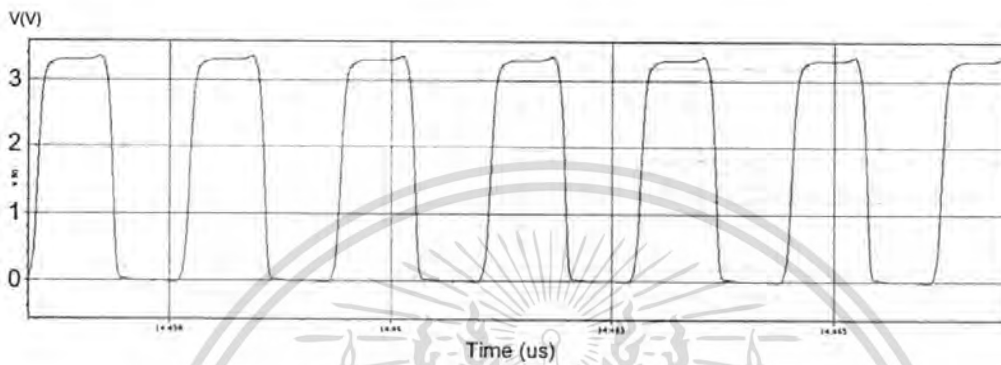
รูปที่ 4.3 การทำงานของ ADPLL หลังจากเข้าสู่สภาวะล็อกแล้วที่ความถี่ 592.5 MHz



รูปที่ 4.4 ค่า Digital Control Word ของวงจร DCO เทียบกับเวลา ที่ความถี่ 592.5 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.4 แสดงค่าของ Digital Control Word ของ DCO เทียบกับเวลา ซึ่งแสดงการทำงานของ วงจรกำเนิดสัญญาณนาฬิกา ที่ความถี่ 592.5 MHz เราจะพบว่าในช่วงเริ่มต้นวงจรให้ความถี่ เอาท์พุทในช่วงความถี่กลางของ Digital Control Word จากนั้นวงจรจะปรับความถี่เอาท์พุทให้เข้า ใกล้ความถี่ที่ต้องการ และเข้าสู่สภาวะล็อก ความถี่เอาท์พุทที่ได้อยู่ในช่วง 590 ถึง 595 MHz ซึ่งเป็น สามความถี่ที่ใกล้ความถี่ที่ต้องการมากที่สุด



รูปที่ 4.5 รูปสัญญาณนาฬิกาที่ความถี่ 592.5 MHz

ในรูปที่ 4.5 แสดงรูปของสัญญาณนาฬิกาที่ความถี่ 592.5 MHz โดยสัญญาณสามารถสวิง ได้จากศูนย์ถึงค่าของแหล่งจ่ายแรงดัน เท่ากับ 3.3 V

4.4 สรุปผลการจำลองการทำงาน

วงจรกำเนิดสัญญาณนาฬิกาสามารถให้กำเนิดสัญญาณได้ ซึ่งเป็นการสร้างสัญญาณนาฬิกา ที่มีความถี่สูงจากสัญญาณอินพุทที่มีความถี่ต่ำกว่า โดยสามารถปรับเปลี่ยนอัตราส่วนของการคูณ ความถี่ได้ ด้วยการกำหนดค่าอัตราส่วน

บทที่ 5

สรุปผลการวิจัยและข้อเสนอแนะ

5.1 สรุปผลการวิจัย

จากการศึกษาและค้นคว้าการออกแบบวงจรเฟสล็อกคูลูปสำหรับใช้เป็นวงจรกำเนิดสัญญาณนาฬิกา นำเสนอการออกแบบวงจรเฟสล็อกคูลูปแบบดิจิตอลทั้งหมด ซึ่งประกอบไปด้วยวงจรตรวจจับเฟสและความถี่ ทำงานร่วมกับวงจรแปลงค่าเวลาเป็นค่าดิจิตอล และวงจรรูปกรองที่ทำการประมวลผลค่าความต่างเฟส เพื่อควบคุมการกำเนิดความถี่ของวงจรออสซิลเลเตอร์ โดยวงจรออสซิลเลเตอร์ นำเสนอวงจรออสซิลเลเตอร์ชนิดอะเรย์ที่ควบคุมแบบดิจิตอล (DCO) ที่ใช้ tri-state inverter ที่มีคุณสมบัติเหมือนกันทุกประการ ซึ่งสร้างได้ด้วย standard cell ต่อในลักษณะอาร์เรย์ขนาด 16×5 นำเสนอรูปแบบการควบคุมการปรับความถี่ของ DCO แบบใหม่ โดยใช้ผลจากการประมาณค่าหน่วงเวลาของวงจร tri-state inverter ด้วยวงจรเสมือน RC เป็นตัวกำหนด ส่งผลให้วงจร DCO มีจำนวนความถี่เอาต์พุตเพิ่มมากกว่าวงจรที่มีโครงสร้างเหมือนกัน จากผลการจำลองการทำงานของวงจรเฟสล็อกคูลูปแบบดิจิตอลทั้งหมด วงจรสามารถล็อกความถี่ได้แต่เนื่องจาก DCO ไม่สามารถให้ค่าความถี่ได้อย่างต่อเนื่อง เหมือนกับวงจรออสซิลเลเตอร์แบบอนาล็อก ดังนั้นหากความถี่อินพุต ที่ป้อนคุณด้วยอัตราความถี่ และมีค่าไม่ตรงกับค่าความถี่ที่ DCO สามารถผลิตได้ วงจรเฟสล็อกคูลูป จะควบคุมให้ DCO สวิตช์สลับไปมาระหว่างค่าความถี่ที่ใกล้เคียงกับความถี่ที่ต้องการมากที่สุด ดังนั้นค่าความถี่เอาต์พุตที่ได้จึงเป็นค่าความถี่เฉลี่ย (long-term average)

5.2 ข้อเสนอแนะ

วงจรเฟสล็อกคูลูปแบบดิจิตอลทั้งหมดที่นำเสนอ ยังมีข้อบกพร่องที่ยังสามารถ ปรับปรุงและพัฒนาให้วงจรมีประสิทธิภาพที่ดีขึ้น ก็คือวงจรแปลงค่าเวลาเป็นค่าดิจิตอล สามารถพัฒนาการตรวจวัดค่าให้มีความละเอียดเพิ่มสูงขึ้นหรือออกแบบการทำงานโดยไม่ต้องใช้สัญญาณความถี่สูง เนื่องจากการนำความถี่สูงในวงจรหารความถี่มาใช้นั้นทำให้อัตราการคูณความถี่ของวงจรเฟสล็อกคูลูปมีค่าหยาบ และในส่วนวงจรกรองรูปสามารถพัฒนาให้วงจรสามารถควบคุมออสซิลเลเตอร์ให้การล็อกค่าความถี่เอาต์พุตอยู่ในช่วงที่น้อยที่สุดหรืออยู่ในระหว่างสองความถี่ที่ใกล้เคียงกับความถี่ที่ต้องการมากที่สุด โดยปัจจุบันวงจรเฟสล็อกคูลูปสามารถล็อกความถี่ได้ที่สามความถี่ที่ใกล้เคียงกับความถี่ที่ต้องการมากที่สุด ส่งผลให้วงจรเกิดเอาต์พุต jitter สูง

ดังนั้นการลด jitter ของวงจรที่นำเสนอ ในการเพิ่มขนาดของอะเรย์นั้น (เพิ่มจำนวนแถวของอะเรย์) ส่งผลให้ความละเอียดของ DCO เพิ่มสูงขึ้นได้ ประกอบกับการพัฒนาส่วนของวงจรกรองรูปให้มีประสิทธิภาพดีขึ้น เพื่อให้วงจรเฟสล็อกคูลูปสามารถทำงานได้ตามอุดมคติ จะสามารถเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทำให้ jitter ลดลงได้ และสำหรับความเร็วในการทำงานหรือระยะเวลาการถือคของวงจรที่นำเสนอ พบว่ายังช้าอยู่ เราสามารถพัฒนาให้ดีขึ้นได้ด้วยการพัฒนาส่วนของวงจรกรองรูป ให้สามารถตอบสนองต่อความแตกต่างของความถี่และเฟสตามปริมาณในอัตราส่วนที่เหมาะสม จะสามารถทำให้วงจรทำงานได้เร็วยิ่งขึ้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

- [1] R. E. Best, 1999, **Phase-Locked Loop Design, Simulation, and Applications**, 4th edition, New York, McGraw-Hill
- [2] Stephen M. Walters, "**Digital Phase-Locked Loop with Jitter Bounded**," IEEE Trans. Circuit and Systems, Vol. 36, July 1989, pp. 980-987
- [3] T. Watanabe and S. Yamauchi, "**An All-Digital PLL for Frequency Multiplication by 4to1022 with Seven-Cycle Lock Time**," IEEE J. Solid-State Circuits, Vol. 38, February 2003, pp. 198-204
- [4] R. Stefo, J. Schreiter, J. U. Senfubler and R. Schuffny, "**High Resolution ADPLL Frequency Synthesizer for FPGA-and ASIC-based Applications**," IEEE International Conference on Field-Programmable Technology (FPT), December 2003, pp. 28-34
- [5] T. Olsson and P. Nilsson, "**An All-Digital PLL Clock Multiplier**," ASIC, 2002. Proceedings. 2002 IEEE Asia-Pacific Conference on , 2002, pp. 275-278
- [6] T. Olsson and P. Nilsson, "**A Digitally Control PLL for SoC Applications**," IEEE J. Solid-State Circuits, Vol 39, No. 5, May 2004, pp. 751-760
- [7] E. Mokhtari and M. Sawan, "**CMOS High-Resolution All-Digital Phase-Locked Loop**," IEEE MWSCAS, December 2003, pp. 221-224
- [8] T. Y. Hsu, C. C. Wang and C. Y. Lee, "**Design and Analysis of a Portable High-Speed Clock Generator**," IEEE Trans. Circuit and Systems II: Analog and Digital Signal Processing, Vol. 48, April 2001, pp. 367-375
- [9] C. C. Chung and C. Y. Lee, "**An All-Digital Phase-Locked Loop for High-Speed Clock Generation**," IEEE J. Solid-State Circuits, Vol.38, February 2003, pp. 347-351
- [10] Behzad Razavi, 2001, **Design of Analog CMOS Integrated Circuit**, McGraw-Hill
- [11] Jan M. Rabaey, Anantha Chandrakasan and Borivoje Nikolic, 2003, **Digital Integrated Circuit a design perspective 2nd edition**, Prentice Hall, New Jersey
- [12] W.C. Elmore, "**The transient Response of Damped Linear Network with Particular Regard to Wideband Amplifiers**," Journal of Applied Physics, Vol. 19, No. 1, January 1948, pp. 55-63
- [13] David A. Hodges, Horace G. Jackson and Resve A. Saleh, 2003, **Analysis and Design of Digital Integrated Circuit**, McGraw-Hill

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- [14] Pak K. Chan and Martine D. F. Schlag, **“Bonds on Signal Delay in RC Mesh Networks,”** IEEE Transaction on Computer-Aided Design, Vol.8 No. 6, June 1989, pp 581-589
- [15] Pak K. Chan, **“Bond on Signal Delay in RC Mesh Network,”** IEEE International Symposium on Circuits and Systems, Vol. 3, June 1988, pp. 2341-2345
- [16] John L. Wyatt, JR., **“Signal Delay in RC Mesh Network,”** IEEE Transactions on Circuit and System, Vol. CAS-32, No.5, May 1985
- [17] Takamoto Watanabe, Yasuaki Makino, Yoshinori Ohtsuka, Shigeyki Akita and Tadashi Hattori, **“A COMS Time-to-digital Converter LSI with Half-Nanosecond Resolution Using a Ring Gate Delay Line,”** IEEE Trans. Electron., Vol. E76-C, No. 12 December 1993



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

การแสดงความสัมพันธ์การประมาณค่าหน่วงเวลาของวงจรรอสซิลเลเตอร์
กับรูปแบบการควบคุมการปรับความถี่ที่นำเสนอและ
การวิเคราะห์ความสัมพันธ์ของจำนวนความถี่ออสซิลเลเตอร์

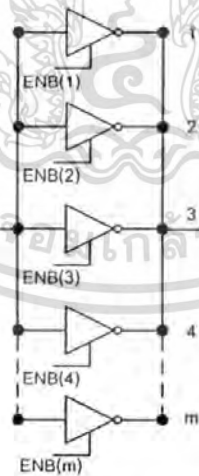
1. การแสดงความสัมพันธ์ของการประมาณค่าหน่วงเวลาของวงจรรอสซิลเลเตอร์กับรูปแบบการ
ควบคุมการปรับความถี่ที่นำเสนอ

วงจรรอสซิลเลเตอร์ขนาด $m \times n$ ใดๆ เมื่อพิจารณาที่หลักใดๆ หรือ stage ใดๆ จะพบว่า มี tri-state inverter ต่อขนานกันจำนวน m ตัว แสดงดังรูปที่ ก.1 และสมการการประมาณค่าหน่วงเวลาของวงจร แสดงดังสมการที่ ก.1

$$t_{pi} = R_{p1}C_a + (R_{p1} + R_{p2}) \frac{m}{u_i} C_L + (R_{p1} + R_{p2}) C_b \tag{ก.1}$$

เมื่อ m คือจำนวน tri-state inverter ที่ขนานทั้งหมดของแต่ละ stage

u คือจำนวน tri-state inverter ที่ถูก enable ทั้งหมดใน stage ที่ i เมื่อ $1 \leq u_i \leq m$



รูปที่ ก.1 ส่วนของวงจรรอสซิลเลเตอร์ 1 หลัก หรือ 1 stage

และสมการการประมาณค่าหน่วงเวลาของวงจรรอสซิลเลเตอร์ n stage แสดงดังสมการที่ ก.2

$$nTd = (t_p)_{s1} + (t_p)_{s2} + (t_p)_{s3} + (t_p)_{s4} + \dots + (t_p)_{sn} \tag{ก.2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นการประมาณค่าหน่วงเวลาของวงจรออสซิลเลเตอร์ n stage ใช้สมการที่ ก.1 แทนค่าในสมการที่ ก.2 โดยเราจะพบว่าพจน์ $R_{p1}C_a$ และ $(R_{p1} + R_{p2})C_b$ ของแต่ละ stage มีค่าเท่ากัน จึงตัดออกเพื่อสะดวกในการคำนวณ เนื่องจากเราต้องการหาความสัมพันธ์ที่แสดงถึงความแตกต่างของค่าหน่วงเวลาในแต่ละลำดับการควบคุมการปรับความถี่ มิไม่ได้ต้องการคำนวณค่าหน่วงเวลาที่แท้จริง และ $(R_{p1} + R_{p2})\frac{m}{u}C_L$ เขียนใหม่โดยให้ $(R_{p1} + R_{p2}) = R$ และ $C_L = C$ จะได้

$$t_p = \frac{m}{u} RC \quad \text{ก.3}$$

ดังนั้นสมการการประมาณค่าหน่วงเวลาของวงจรออสซิลเลเตอร์ n stage แสดงดังสมการที่ ก.4

$$nTd_i = RC \left[\left(\frac{m}{u_1}\right)_{s1} + \left(\frac{m}{u_2}\right)_{s2} + \left(\frac{m}{u_3}\right)_{s3} + \left(\frac{m}{u_4}\right)_{s4} + \dots + \left(\frac{m}{u_n}\right)_{sn} \right] \quad \text{ก.4}$$

เพื่อสะดวกต่อการแสดงความสัมพันธ์ ในที่นี้จะพิจารณากรณีของ $m=5$ จากรูปที่ ก.1 สามารถประมาณค่าหน่วงเวลาของวงจรเมื่อ tri-state inverter ถูก enable ตามลำดับที่ทำให้เกิดค่าหน่วงเวลาดำสุดถึงสูงสุด และเพื่อให้ค่าหน่วงเวลาในรูปของตัวแปรและง่ายในการพิจารณา จึงแทนจำนวน tri-state inverter ที่ถูก enable (ตัวแปร n) ด้วยค่าของ m ตามลำดับดังต่อไปนี้

ลำดับที่ 1 (T_1)

tri-state inverter ถูก enable 5 ตัว ซึ่งเป็นกรณีที่ได้ค่าหน่วงเวลาดำที่ต่ำสุดเท่ากับ $RC \frac{m}{m}$

ลำดับที่ 2 (T_2)

tri-state inverter ถูก enable 4 ตัว ได้ค่าหน่วงเวลาเท่ากับ $RC \frac{m}{m-1}$

ลำดับที่ 3 (T_3)

tri-state inverter ถูก enable 3 ตัว ได้ค่าหน่วงเวลาเท่ากับ $RC \frac{m}{m-2}$

ลำดับที่ 4 (T_4)

tri-state inverter ถูก enable 2 ตัว ได้ค่าหน่วงเวลาเท่ากับ $RC \frac{m}{m-3}$

ลำดับที่ 5 (T_5)

tri-state inverter ถูก enable 1 ตัว ซึ่งเป็นกรณีที่ได้ค่าหน่วงเวลาสูงที่สุดเท่ากับ $RC \frac{m}{m-4}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เมื่อพิจารณาค่าหน่วยเวลาในแต่ละลำดับพบว่า

$$T_1 < T_2 < T_3 < T_4 < T_5$$

ดังนั้นจากรูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์ที่นำเสนอ สามารถแสดงความสัมพันธ์ของค่าหน่วยเวลาตามลำดับการควบคุมการปรับความถี่ได้ดังต่อไปนี้ โดยเป็นตัวอย่างกรณีที่ จำนวน stage หรือ n เท่ากับ 3

ลำดับที่ 1

$$\begin{aligned} nTd_1 &= (T_5)_{s1} + (T_5)_{s2} + (T_5)_{s3} \\ &= RC \left(\frac{3m}{m-4} \right) \end{aligned}$$

ลำดับที่ 2

$$\begin{aligned} nTd_2 &= (T_5)_{s1} + (T_5)_{s2} + (T_4)_{s3} \\ &= RC \left(\frac{2m}{m-4} + \frac{m}{m-3} \right) \end{aligned}$$

ลำดับที่ 3

$$\begin{aligned} nTd_3 &= (T_5)_{s1} + (T_5)_{s2} + (T_3)_{s3} \\ &= RC \left(\frac{2m}{m-4} + \frac{m}{m-2} \right) \end{aligned}$$

ลำดับที่ 4

$$\begin{aligned} nTd_4 &= (T_5)_{s1} + (T_4)_{s2} + (T_4)_{s3} \\ &= RC \left(\frac{m}{m-4} + \frac{2m}{m-3} \right) \end{aligned}$$

ลำดับที่ 5

$$\begin{aligned} nTd_5 &= (T_5)_{s1} + (T_4)_{s2} + (T_3)_{s3} \\ &= RC \left(\frac{m}{m-4} + \frac{m}{m-3} + \frac{m}{m-2} \right) \end{aligned}$$

ลำดับที่ 6

$$\begin{aligned} nTd_6 &= (T_4)_{s1} + (T_4)_{s2} + (T_4)_{s3} \\ &= RC \left(\frac{3m}{m-3} \right) \end{aligned}$$

ลำดับที่ 7

$$\begin{aligned} nTd_7 &= (T_4)_{s1} + (T_4)_{s2} + (T_3)_{s3} \\ &= RC \left(\frac{2m}{m-3} + \frac{m}{m-2} \right) \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับที่ i (ลำดับสุดท้าย)

$$\begin{aligned} nTd_i &= (T_1)_{s1} + (T_1)_{s2} + (T_1)_{s3} \\ &= RC \left(3 \frac{m}{m} \right) \end{aligned}$$

ดังนั้น

$$nTd_1 > nTd_2 > nTd_3 > nTd_4 > nTd_5 > nTd_6 > nTd_7 > \dots > nTd_i$$

ส่งผลให้

$$fosc_1 < fosc_2 < fosc_3 < fosc_4 < fosc_5 < fosc_6 < fosc_7 < \dots < fosc_i$$

สรุป

จากสมการความสัมพันธ์ของค่าน่วงเวลากับรูปแบบการควบคุมการปรับความถี่ของ ออสซิลเลเตอร์ แสดงให้เห็นว่ารูปแบบการควบคุมการปรับความถี่ที่นำเสนอ เมื่อนำไปใช้กับ อะเรย์ขนาด $m \times n$ ใดๆ และไม่ว่าจะแทนค่า RC ใดๆลงไป เราจะพบว่า สมการและรูปแบบที่เสนอ จะเป็นจริงเสมอ โดยค่าน่วงเวลามีการเปลี่ยนแปลงไปในทิศทางเดียว ตามรูปแบบที่กำหนดไว้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การวิเคราะห์ความสัมพันธ์ของจำนวนความถี่ของออสซิลเลเตอร์

1. สมการความสัมพันธ์ของจำนวนความถี่ของออสซิลเลเตอร์แบบมาตรฐาน

การหาความสัมพันธ์ของจำนวนความถี่ของออสซิลเลเตอร์ สามารถพิจารณาได้จากรูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์ที่อะเรย์ขนาด $m \times n$ ซึ่งแสดงดังตารางที่ ก.1

เมื่อ m คือจำนวนแถวของอะเรย์

n คือจำนวนหลักของอะเรย์ (จำนวน stage)

ตารางที่ ก.1 รูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์แบบมาตรฐาน

ลำดับ	row	stage(column)		
		1st	2nd	3rd
1	1st	x	x	x
	2nd			
	3rd			
	4th			
2	1st	x	x	x
	2nd			x
	3rd			
	4th			
3	1st	x	x	x
	2nd		x	x
	3rd			
	4th			
4	1st	x	x	x
	2nd	x	x	x
	3rd			
	4th			
5	1st	x	x	x
	2nd	x	x	x
	3rd			x
	4th			
6	1st	x	x	x
	2nd	x	x	x
	3rd		x	x
	4th			
7	1st	x	x	x
	2nd	x	x	x
	3rd	x	x	x
	4th			
8	1st	x	x	x
	2nd	x	x	x
	3rd	x	x	x
	4th			x
9	1st	x	x	x
	2nd	x	x	x
	3rd	x	x	x
	4th		x	x
10	1st	x	x	x
	2nd	x	x	x
	3rd	x	x	x
	4th	x	x	x

เมื่อตารางในแต่ละลำดับแทนลักษณะอาร์เรย์ของออสซิลเลเตอร์ขนาด 4×3 และ x คือ

tri-state inverter ที่ถูก enable

ลำดับที่ 1 tri-state inverter จะต้องถูก enable พร้อมกันทั้งหมดจำนวน 1 แถว (n ตัว) เพื่อให้วงจรสามารถออสซิลเลตได้ ดังนั้นได้จำนวนความถี่ 1 ความถี่

ลำดับที่ 2 ถึงลำดับสุดท้าย เริ่มจากการ enable tri-state inverter ในแถวที่ 2 เพิ่มขึ้นครั้งละ 1 ตัว เมื่อแถวที่ 2 ถูก enable ครบแล้ว จากนั้น enable ในแถวถัดไป ด้วยวิธีเดียวกัน จนครบถึงแถวที่ m ดังนั้นจะได้จำนวนความถี่ของแถวที่ 2 ถึงแถวที่ m เท่ากับ $(m-1) \times n$

เพราะฉะนั้นเราจะได้จำนวนความถี่ทั้งหมดเท่ากับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A_{f(staDCO)} = (m-1) \times n + 1 \quad (ก.14)$$

$$A_{f(staDCO)} = mn - n + 1 \quad (ก.15)$$

เมื่อ $A_{f(staDCO)}$ คือจำนวนความถี่ที่เกิดขึ้นทั้งหมดของออสซิลเลเตอร์แบบมาตรฐาน
 m คือจำนวนแถวของออสซิลเลเตอร์
 n คือจำนวนหลักของออสซิลเลเตอร์หรือจำนวน stage

2. สมการความสัมพันธ์ของจำนวนความถี่ออสซิลเลเตอร์ที่นำเสนอ

การหาความสัมพันธ์ของจำนวนความถี่ออสซิลเลเตอร์ สามารถพิจารณาได้จากรูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์ที่อะเรย์ขนาด $m \times n$ ซึ่งแสดงดังตารางที่ ก.2

เมื่อข้อกำหนดของขนาดอะเรย์คือ $m \geq 3$ และ $n \geq 2$

ตารางที่ ก.2 รูปแบบการควบคุมการปรับความถี่ของออสซิลเลเตอร์ที่นำเสนอ

ลำดับ	row	stage(column)			ลำดับ	row	stage(column)			ลำดับ	row	stage(column)				
		1st	2nd	3rd			1st	2nd	3rd			1st	2nd	3rd		
1	1st	x	x	x	2	1st	x	x	x	3	1st	x	x	x		
	2nd					2nd			x		2nd				x	
	3rd					3rd						3rd				x
	4th					4th						4th				
4	1st	x	x	x	5	1st	x	x	x	6	1st	x	x	x		
	2nd		x	x		2nd		x	x		2nd	x	x	x	x	
	3rd					3rd					x	3rd				x
	4th					4th						4th				
7	1st	x	x	x	8	1st	x	x	x	9	1st	x	x	x		
	2nd	x	x	x		2nd	x	x	x		2nd	x	x	x	x	
	3rd			x		3rd			x		3rd			x	x	
	4th					4th					x	4th				x
10	1st	x	x	x	11	1st	x	x	x	12	1st	x	x	x		
	2nd	x	x	x		2nd	x	x	x		2nd	x	x	x	x	
	3rd		x	x		3rd	x	x	x		3rd	x	x	x	x	
	4th			x		4th					4th				x	
13	1st	x	x	x	14	1st	x	x	x							
	2nd	x	x	x		2nd	x	x	x							
	3rd	x	x	x		3rd	x	x	x							
	4th		x	x		4th	x	x	x							

เมื่อตารางในแต่ละลำดับแทนลักษณะอะเรย์ของออสซิลเลเตอร์ขนาด 4×3 และ x คือ tri-state inverter ที่ถูก enable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ลำดับที่ 1 tri-state inverter จะต้องถูก enable พร้อมกันทั้งหมดจำนวน 1 แถว(n ตัว) เพื่อให้วงจรสามารถถอดสวิตช์ได้ ดังนั้นจะได้จำนวนความถี่ 1 ความถี่

ลำดับที่ 2 ถึงลำดับสุดท้าย สามารถพิจารณาได้จากตารางที่ 2 เราจะพบว่าในแถวที่ 2 tri-state inverter จะถูก enable จนครบทั้งแถว เราจะได้จำนวนความถี่ทั้งหมด 5 ความถี่ คือลำดับที่ 2 ถึง ลำดับที่ 6 เพราะในลำดับที่ 7 จะเป็นลำดับแรกของแถวที่ 3 ซึ่งจะพบว่ามีรูปแบบซ้ำกับลำดับที่ 2 ดังนั้นในอะเรย์ 1 แถวสามารถมีจำนวนความถี่ได้สูงสุดเท่า 5 ความถี่ หรือเท่ากับ $(2n-1)$ และในแถวสุดท้ายไม่สามารถมีจำนวนความถี่เท่ากับ $(2n-1)$ ได้ เพราะจะต้องมีอะเรย์เพิ่มอีก 1 แถว จึงจะสามารถรองรับรูปแบบการควบคุมการปรับความถี่ดังกล่าวได้ โดยในแถวสุดท้าย tri-state inverter จะถูก enable เพิ่มขึ้นครั้งละ 1 ตัว จนครบทั้งแถว ดังนั้นเราจะได้จำนวนความถี่เท่ากับ n ความถี่

เพราะฉะนั้นจำนวนแถวที่สามารถมีจำนวนความถี่เท่ากับ $(2n-1)$ ได้นั้นจึงเท่ากับ $(m-2)$

แถว

ดังนั้นเราจะได้จำนวนความถี่ทั้งหมดเท่ากับ

$$A_{f(\text{newDCO})} = [(2n-1)(m-2)] + n + 1 \quad (\text{ก.16})$$

เมื่อ $A_{f(\text{newDCO})}$ คือจำนวนความถี่ที่เกิดขึ้นทั้งหมดของออสซิลเลเตอร์ที่นำเสนอ
 m คือจำนวนแถวของออสซิลเลเตอร์
 n คือจำนวนหลักของออสซิลเลเตอร์หรือจำนวน stage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ข

โปรแกรม VHDL สำหรับการออกแบบวงจรต่างๆ

1. วงจร Encoder ซึ่งเป็นวงจรภายในของวงจร TDC

```

-----
-- Company:
-- Engineer:
--
-- Create Date:      00:04:41 05/29/2008
-- Design Name:
-- Module Name:      encodel6to5 - Behavioral for TDC
-- Project Name:
-- Target Devices:
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments:
--
-----
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity encodel6to5 is
    Port ( din : in  STD_LOGIC_VECTOR (15 downto 0);
          dout : out STD_LOGIC_VECTOR (4 downto 0);
          clock : in  STD_LOGIC);
end encodel6to5;

architecture Behavioral of encodel6to5 is

begin
process(clock,din)
begin
if ( clock'event and clock ='1') then
    if din(15) = '0' then
        dout <= "00000";
    elsif din(14) = '0' then
        dout <= "00001";
    elsif din(13) = '0' then
        dout <= "00010";
    elsif din(12) = '0' then
        dout <= "00011";
    elsif din(11) = '0' then
        dout <= "00100";
    elsif din(10) = '0' then

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

dout <= "00101";
elsif din(9) = '0' then
dout <= "00110";
elsif din(8) = '0' then
dout <= "00111";
elsif din(7) = '0' then
dout <= "01000";
elsif din(6) = '0' then
dout <= "01001";
elsif din(5) = '0' then
dout <= "01010";
elsif din(4) = '0' then
dout <= "01011";
elsif din(3) = '0' then
dout <= "01100";
elsif din(2) = '0' then
dout <= "01101";
elsif din(1) = '0' then
dout <= "01110";
elsif din(0) = '0' then
dout <= "01111";
else
dout <= "10000";
end if;
end if;
end process;
end Behavioral;

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1 สรุปรายละเอียดขนาดของวงจร Encoder

 Cell: encode16to5 View: Behavioral Library: work

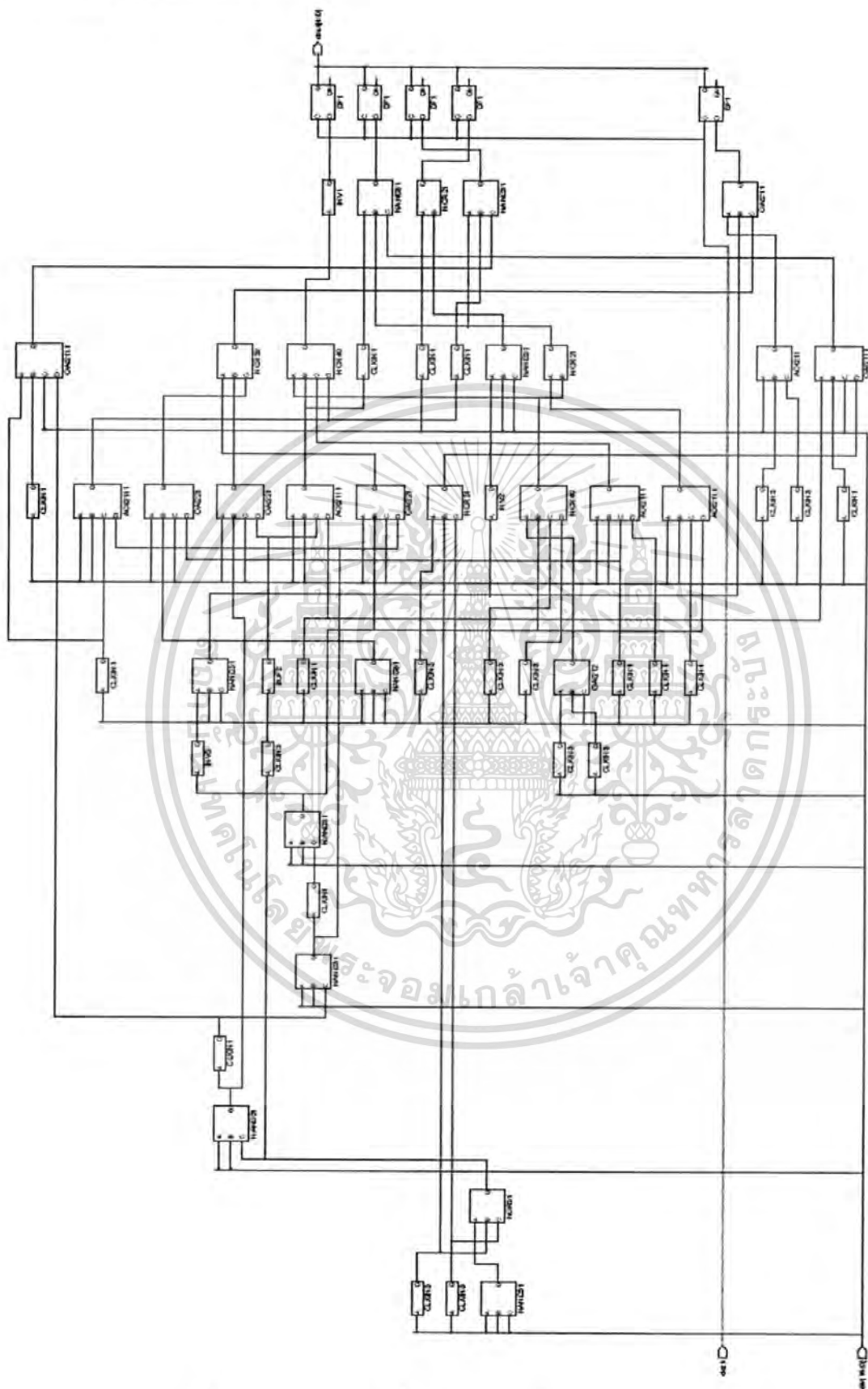
Cell	Library	References	Total Area	
AOI211	c35_CORELIB	1 x	73	73 um2
AOI2111	c35_CORELIB	4 x	91	364 um2
BUF2	c35_CORELIB	1 x	55	55 um2
CLKIN1	c35_CORELIB	12 x	36	437 um2
CLKIN3	c35_CORELIB	10 x	36	364 um2
DF1	c35_CORELIB	5 x	273	1365 um2
INV1	c35_CORELIB	1 x	36	36 um2
INV2	c35_CORELIB	1 x	36	36 um2
INV3	c35_CORELIB	1 x	36	36 um2
NAND31	c35_CORELIB	9 x	73	655 um2
NOR21	c35_CORELIB	2 x	55	109 um2
NOR31	c35_CORELIB	2 x	73	146 um2
NOR32	c35_CORELIB	1 x	91	91 um2
NOR40	c35_CORELIB	2 x	73	146 um2
OAI211	c35_CORELIB	1 x	73	73 um2
OAI2111	c35_CORELIB	2 x	91	182 um2
OAI212	c35_CORELIB	1 x	73	73 um2
OAI221	c35_CORELIB	3 x	91	273 um2

Number of ports : 22
 Number of nets : 76
 Number of instances : 59
 Number of references to this view : 0

Total accumulated area :
 Number of um2 : 4514
 Number of accumulated instances : 59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 วงจร Encoder



รูปที่ ข.1 วงจร Encoder ซึ่งเป็นวงจรภายในของวงจร TDC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. วงจร Comparator ซึ่งเป็นวงจรภายในของวงจร Fine filter

```

-----
-- Company:
-- Engineer:
--
-- Create Date:      14:30:02 06/23/2008
-- Design Name:
-- Module Name:      comparatorv1 - Behavioral for fine filter
-- Project Name:
-- Target Devices:
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments:
--
-----

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity comparatorv1 is
    Port ( A : in  STD_LOGIC_VECTOR (4 downto 0);
          B : in  STD_LOGIC_VECTOR (4 downto 0);
          AeqB : out STD_LOGIC;
          AgtB : out STD_LOGIC;
          AltB : out STD_LOGIC);
end comparatorv1;

architecture Behavioral of comparatorv1 is

begin
    AeqB <= '1' when A = B else '0';
    AgtB <= '1' when A > B else '0';
    AltB <= '1' when A < B else '0';
end Behavioral;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1 สรุปรายละเอียดขนาดของวงจร Comparator

```
*****
Cell: comparatorv1   View: Behavioral   Library: work
*****
```

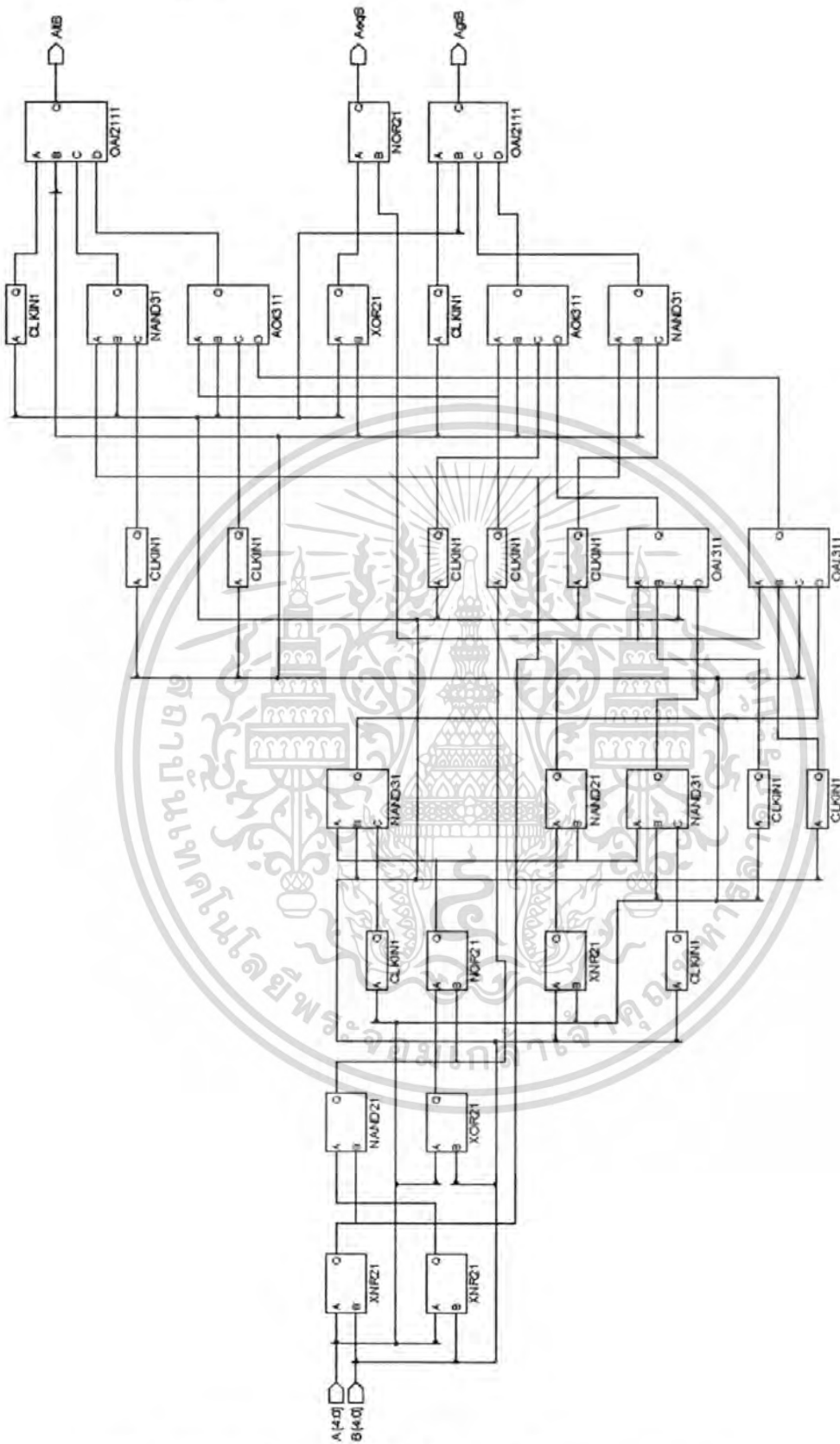
Cell	Library	References	Total Area
AOI311	c35_CORELIB	2 x	1 2 AOI311
CLKIN1	c35_CORELIB	11 x	1 11 CLKIN1
NAND21	c35_CORELIB	2 x	1 2 NAND21
NAND31	c35_CORELIB	4 x	1 4 NAND31
NOR21	c35_CORELIB	2 x	1 2 NOR21
OAI2111	c35_CORELIB	2 x	1 2 OAI2111
OAI311	c35_CORELIB	2 x	1 2 OAI311
XNR21	c35_CORELIB	3 x	1 3 XNR21
XOR21	c35_CORELIB	2 x	1 2 XOR21

```
Number of ports : 13
Number of nets : 40
Number of instances : 30
Number of references to this view : 0
```

```
Total accumulated area :
Black Box AOI311 : 2
Black Box CLKIN1 : 11
Black Box NAND21 : 2
Black Box NAND31 : 4
Black Box NOR21 : 2
Black Box OAI2111 : 2
Black Box OAI311 : 2
Black Box XNR21 : 3
Black Box XOR21 : 2
Number of accumulated instances : 30
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 วงจร Comparator



รูปที่ ข.2 วงจร Comparator ซึ่งเป็นวงจรภายในของวงจร Fine filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3. วงจร Data processor ซึ่งเป็นวงจรภายในของวงจร Fine filter

```

-----
-- Company:
-- Engineer:
-- Create Date:      19:06:11 07/24/2008
-- Design Name:
-- Module Name:      dataprocessor04 - Behavioral in fine filter
-- Project Name:
-- Target Devices:
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments:
-----

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity dataprocessor04 is
    Port (
        Agt : in  STD_LOGIC;
        Alt : in  STD_LOGIC;
        Aeq : in  STD_LOGIC;
        din  : in  STD_LOGIC_VECTOR (3 downto 0);
        clock : in  STD_LOGIC;
        reset : in  STD_LOGIC;
        PHlimit : in  STD_LOGIC_VECTOR (1 downto 0);
        divide : in  STD_LOGIC_VECTOR (3 downto 0);
        clkout : out STD_LOGIC);
end dataprocessor04;

architecture Behavioral of dataprocessor04 is

    signal counterN : std_logic_vector(3 downto 0);
    signal data : std_logic;
    signal state : std_logic;

begin
    process (clock, reset, Agt, Alt, Aeq, din, PHlimit, divide)
    begin

        if reset = '1' then
            counterN <= (others => '0');
            data <= '0';
            state <= '0';
        elsif (clock'event and clock = '1') then
            if Agt = '1' then
                counterN <= counterN + 1;
                state <= '0';
                if counterN < (divide - 1) then
                    data <= '0';

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับกรใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

        elsif counterN >= (divide - 1) then
            counterN <= (others => '0');
            data <= '1';
        end if;

    elsif Alt = '1' then
        data <= '0';
        counterN <= (others => '0');
        state <= '1';

    elsif Aeq = '1' then
        if state = '0' then
            if din > PHlimit then
                counterN <= counterN + 1;
                if counterN < (divide - 1) then
                    data <= '0';
                elsif counterN >= (divide - 1)
then
                    counterN <= (others =>
'0');
                    data <= '1';
                end if;
            end if;
        end if;
    end if;
end if;

clkout <= data;
end process;
end Behavioral;

```



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 สรุปรายละเอียดขนาดของวงจร Data processor

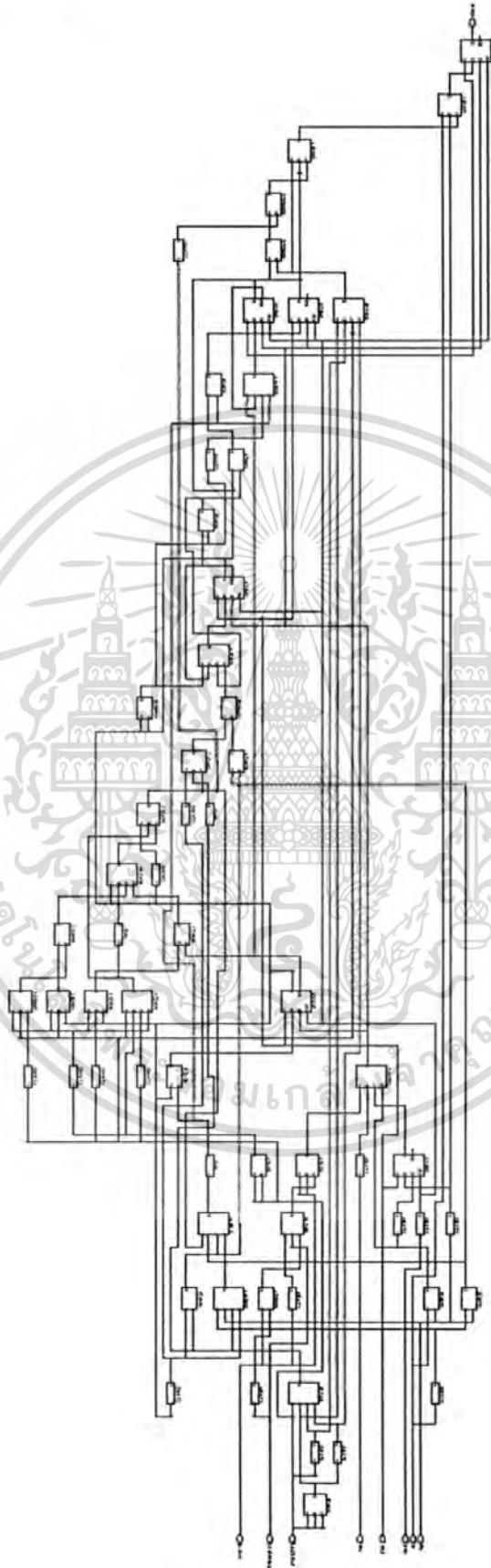
```

*****
Cell: dataprocessor04      View: Behavioral      Library: work
*****
Cell      Library References      Total Area
AOI211    c35_CORELIB      3 x      73      218 um2
AOI2111   c35_CORELIB      3 x      91      273 um2
AOI221    c35_CORELIB      3 x      91      273 um2
CLKIN1    c35_CORELIB      7 x      36      255 um2
CLKIN3    c35_CORELIB     11 x      36      400 um2
DFEC1     c35_CORELIB      6 x     346     2075 um2
IMAJ30    c35_CORELIB      1 x     109      109 um2
INV2      c35_CORELIB      1 x      36       36 um2
INV3      c35_CORELIB      2 x      36       73 um2
NAND21    c35_CORELIB      2 x      55      109 um2
NAND22    c35_CORELIB      4 x      55      218 um2
NAND31    c35_CORELIB      1 x      73       73 um2
NOR21     c35_CORELIB      9 x      55      491 um2
NOR31     c35_CORELIB      2 x      73      146 um2
OAI211    c35_CORELIB      1 x      73       73 um2
OAI2111   c35_CORELIB      1 x      91       91 um2
OAI212    c35_CORELIB      2 x      73      146 um2
OAI311    c35_CORELIB      2 x      91      182 um2
XNR21     c35_CORELIB      1 x     109      109 um2
Number of ports :      16
Number of nets :      80
Number of instances :   62
Number of references to this view : 0
Total accumulated area :
Number of um2 :      5351
Number of accumulated instances :   62

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2 วงจร Data processor



รูปที่ 3.3 วงจร Encoder ซึ่งเป็นวงจรภายในของวงจร TDC

เอกสารนี้เป็นเอกสารลิขสิทธิ์สงวนสำหรับโครงการวิจัยซึ่งมีลิขสิทธิ์โดยสถาบันวิจัยและพัฒนาเทคโนโลยีสารสนเทศและการสื่อสาร มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี หากมีข้อผิดพลาดประการใดขออภัยเป็นอย่างสูง และขอสงวนสิทธิ์ในเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. วงจร Fine counter ซึ่งเป็นวงจรภายในของวงจร Loop filter

```

-----
-- Company:
-- Engineer:
-- Create Date:      23:12:47 07/18/2008
-- Design Name:
-- Module Name:      Lcounter - Behavioral in fine counter
-- Project Name:
-- Target Devices:
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments:
--
-----
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity Lcounter is
    Port ( clock : in  STD_LOGIC;
          updn  : in  STD_LOGIC;
          set   : in  STD_LOGIC;
          cout  : out STD_LOGIC_VECTOR (3 downto 0));
end Lcounter;

architecture Behavioral of Lcounter is

    signal count : std_logic_vector(3 downto 0);

begin
    process (clock,set,updn)
    begin
        if set = '1' then
            count <= "1000";
        elsif (clock'event and clock = '1') then
            if updn = '1' then
                if count < "1111" then
                    count <= count + 1;
                else
                    count <= count;
                end if;
            else
                if count > "0000" then
                    count <= count - 1;
                else
                    count <= count;
                end if;
            end if;
        end if;
    end if;
end if;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

    cout <= count;
end process;

end Behavioral;

```

4.1 สรุปรายละเอียดขนาดของวงจร Fine counter

```

*****
Cell: Lcounter3      View: Behavioral      Library: work
*****

```

Cell	Library	References	Total Area	
CLKIN1	c35_CORELIB	4 x	36	146 um2
CLKIN3	c35_CORELIB	6 x	36	218 um2
DFEC1	c35_CORELIB	4 x	346	1383 um2
DFEP1	c35_CORELIB	1 x	346	346 um2
IMAJ30	c35_CORELIB	1 x	109	109 um2
MAJ31	c35_CORELIB	1 x	109	109 um2
NAND22	c35_CORELIB	1 x	55	55 um2
NOR40	c35_CORELIB	1 x	73	73 um2
NOR41	c35_CORELIB	1 x	91	91 um2
XNR21	c35_CORELIB	7 x	109	764 um2

```

Number of ports :          9
Number of nets :         34
Number of instances :     27
Number of references to this view : 0

```

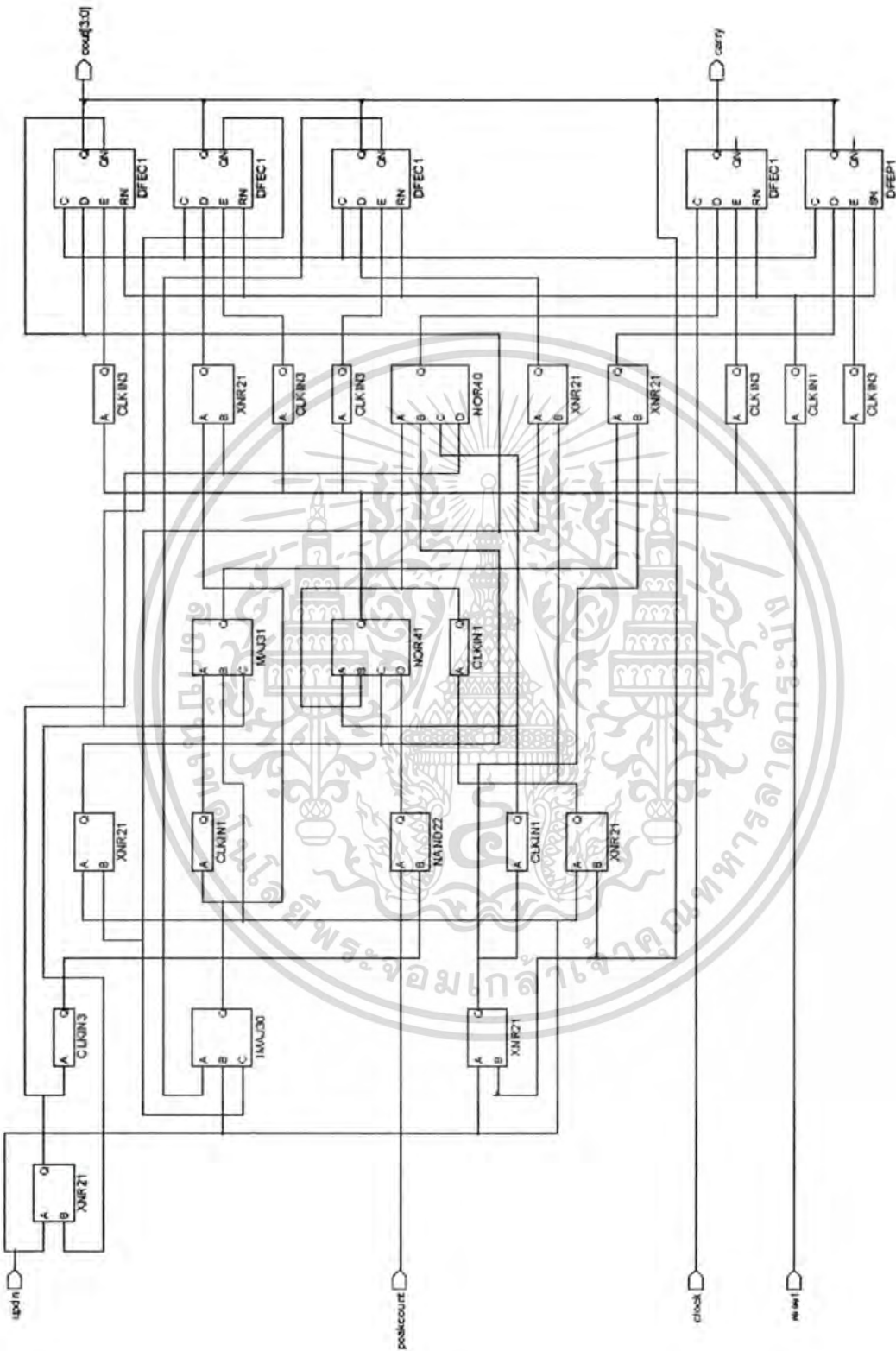
```

Total accumulated area :
Number of um2 :          3294
Number of accumulated instances : 27

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2 วงจร Fine counter



รูปที่ ข.4 วงจร Fine counter ซึ่งเป็นวงจรภายในของวงจร Loop filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. วงจร Coarse filter ซึ่งเป็นวงจรภายในของวงจร Loop filter

```

-----
-- Company:
-- Engineer:
--
-- Create Date:      22:16:27 07/18/2008
-- Design Name:
-- Module Name:      Coarse_tunel - Behavioral in coarse filter
-- Project Name:
-- Target Devices:
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments:
--
-----

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity Coarse_tunel is
    Port ( din : in  STD_LOGIC_VECTOR (3 downto 0);
          clk : in  STD_LOGIC;
          reset : in  STD_LOGIC;
          clk_out : out  STD_LOGIC);
end Coarse_tunel;

architecture Behavioral of Coarse_tunel is

    signal data : std_logic;

begin
    process (clk,din,reset)
    begin
        if reset = '1' then
            data <= '0';
        elsif (clk'event and clk = '1') then
            if din > 14 then
                data <= '1';
            else data <= '0';
            end if;
        end if;
        clk_out <= data;
    end process;
end Behavioral;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1 สรุปรายละเอียดขนาดของวงจร Coarse filter

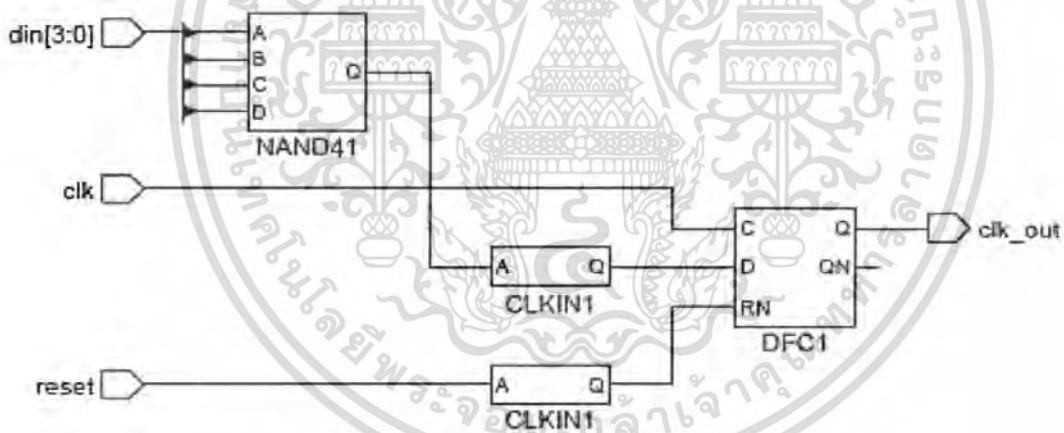
```
*****
Cell: Coarse_tune1      View: Behavioral      Library: work
*****
```

Cell	Library	References	Total Area
CLKIN1	c35_CORELIB	2 x	36 73 um2
DFC1	c35_CORELIB	1 x	309 309 um2
NAND41	c35_CORELIB	1 x	73 73 um2

Number of ports : 7
 Number of nets : 9
 Number of instances : 4
 Number of references to this view : 0

Total accumulated area :
 Number of um2 : 455
 Number of accumulated instances : 4

5.2 วงจร Coarse filter



รูปที่ ข.5 วงจร Coarse filter ซึ่งเป็นวงจรภายในของวงจร Loop filter

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. วงจร Coarse counter ซึ่งเป็นวงจรภายในของวงจร Loop filter

```

-----
-- Company:
-- Engineer:
--
-- Create Date:      22:29:33 07/18/2008
-- Design Name:
-- Module Name:      4Hcounter - Behavioral coarse counter
-- Project Name:
-- Target Devices:
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments:
--
-----

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity Hcounter is
    Port ( clock : in  STD_LOGIC;
          updn  : in  STD_LOGIC;
          set   : in  STD_LOGIC;
          cout  : out STD_LOGIC_VECTOR (3 downto 0));
end Hcounter;

architecture Behavioral of Hcounter is

    signal count : std_logic_vector(3 downto 0);

begin
    process (clock,set,updn)
    begin
        if set = '1' then
            count <= "0100";
        elsif (clock'event and clock = '1') then
            if updn = '1' then
                if count < "1000" then
                    count <= count + 1;
                else
                    count <= count;
                end if;
            else
                if count > "0000" then
                    count <= count - 1;
                else
                    count <= count;
                end if;
            end if;
        end if;
    end process;
end Behavioral;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

                                end if;
                        end if;
                cout <= count;
end process;

end Behavioral;

```

6.1 สรุปรายละเอียดขนาดของวงจร Coarse counter

```

*****
Cell: Hcounter      View: Behavioral      Library: work
*****

```

Cell	Library	References	Total Area
CLKIN1	c35_CORELIB	3 x	36 109 um2
DFEC1	c35_CORELIB	3 x	346 1037 um2
DFEP1	c35_CORELIB	1 x	346 346 um2
IMAJ30	c35_CORELIB	2 x	109 218 um2
NOR31	c35_CORELIB	1 x	73 73 um2
OAI211	c35_CORELIB	1 x	73 73 um2
XNR21	c35_CORELIB	6 x	109 655 um2
XOR21	c35_CORELIB	1 x	127 127 um2

```

Number of ports : 7
Number of nets : 24
Number of instances : 18
Number of references to this view : 0

```

```

Total accumulated area :
Number of um2 : 2639
Number of accumulated instances : 18

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7. วงจร Decoder ซึ่งเป็นวงจรภายในของวงจร DCO

```

-----
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

-- Uncomment the following lines to use the declarations that are
-- provided for instantiating Xilinx primitive components.
--library UNISIM;
--use UNISIM.VComponents.all;

entity Decode8to10 is
    Port ( Din : in std_logic_vector(7 downto 0);
          Dout ; out std_logic_vector(9 downto 0));
end Decode8to10;

architecture Behavioral of Decode8to10 is

begin
    process (Din)
    begin
        case Din is
            when "00000000" => Dout <= "0000000000"; --00-000
            when "00000001" => Dout <= "0000000001"; --01-001
            when "00000010" => Dout <= "0000000010"; --02-002
            when "00000011" => Dout <= "0000010001"; --03-011
            when "00000100" => Dout <= "0000010010"; --04-012
            when "00000101" => Dout <= "0000100001"; --05-021
            when "00000110" => Dout <= "0000100010"; --06-022
            when "00000111" => Dout <= "0000110001"; --07-031
            when "00001000" => Dout <= "0000110010"; --08-032
            when "00001001" => Dout <= "0001000001"; --09-041
            when "00001010" => Dout <= "0001000010"; --0A-042
            when "00001011" => Dout <= "0001000011"; --0B-043
            when "00001100" => Dout <= "0001010010"; --0C-052
            when "00001101" => Dout <= "0001010011"; --0D-053
            when "00001110" => Dout <= "0001100010"; --0E-062
            when "00001111" => Dout <= "0001100011"; --0F-063

            when "00010000" => Dout <= "0001110010"; --10-072
            when "00010001" => Dout <= "0001110011"; --11-073
            when "00010010" => Dout <= "0010000010"; --12-082
            when "00010011" => Dout <= "0010000011"; --13-083
            when "00010100" => Dout <= "0010000100"; --14-084
            when "00010101" => Dout <= "0010010011"; --15-093
            when "00010110" => Dout <= "0010010100"; --16-094
            when "00010111" => Dout <= "0010100011"; --17-0A3
            when "00011000" => Dout <= "0010100100"; --18-0A4
            when "00011001" => Dout <= "0010110011"; --19-0B3
            when "00011010" => Dout <= "0010110100"; --1A-0B4
            when "00011011" => Dout <= "0011000011"; --1B-0C3
            when "00011100" => Dout <= "0011000100"; --1C-0C4
            when "00011101" => Dout <= "0011000101"; --1D-0C5
            when "00011110" => Dout <= "0011010100"; --1E-0D4
            when "00011111" => Dout <= "0011010101"; --1F-0D5

            when "00100000" => Dout <= "0011100100"; --20-0E4
            when "00100001" => Dout <= "0011100101"; --21-0E5
            when "00100010" => Dout <= "0011110100"; --22-0F4

```

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์สำหรับนักเรียนเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปเผยแพร่หรือใช้เป็นการค้า

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

when "00100011" => Dout <= "0011110101"; --23-0F5
when "00100100" => Dout <= "0100010100"; --24-114
when "00100101" => Dout <= "0100010101"; --25-115
when "00100110" => Dout <= "0100010110"; --26-116
when "00100111" => Dout <= "0100100101"; --27-125
when "00101000" => Dout <= "0100100110"; --28-126
when "00101001" => Dout <= "0100110101"; --29-135
when "00101010" => Dout <= "0100110110"; --2A-136
when "00101011" => Dout <= "0101000101"; --2B-145
when "00101100" => Dout <= "0101000110"; --2C-146
when "00101101" => Dout <= "0101010101"; --2D-155
when "00101110" => Dout <= "0101010110"; --2E-156
when "00101111" => Dout <= "0101010111"; --2F-157

```

```

when "00110000" => Dout <= "0101100110"; --30-166
when "00110001" => Dout <= "0101100111"; --31-167
when "00110010" => Dout <= "0101110110"; --32-176
when "00110011" => Dout <= "0101110111"; --33-177
when "00110100" => Dout <= "0110000110"; --34-186
when "00110101" => Dout <= "0110000111"; --35-187
when "00110110" => Dout <= "0110010110"; --36-196
when "00110111" => Dout <= "0110010111"; --37-197
when "00111000" => Dout <= "0110011000"; --38-198
when "00111001" => Dout <= "0110100111"; --39-1A7
when "00111010" => Dout <= "0110101000"; --3A-1A8
when "00111011" => Dout <= "0110110111"; --3B-1B7
when "00111100" => Dout <= "0110111000"; --3C-1B8
when "00111101" => Dout <= "0111000111"; --3D-1C7
when "00111110" => Dout <= "0111001000"; --3E-1C8
when "00111111" => Dout <= "0111010111"; --3F-1D7

```

```

when "01000000" => Dout <= "0111011000"; --40-1D8
when "01000001" => Dout <= "0111011001"; --41-1D9
when "01000010" => Dout <= "0111101000"; --42-1E8
when "01000011" => Dout <= "0111101001"; --43-1E9
when "01000100" => Dout <= "0111111000"; --44-1F8
when "01000101" => Dout <= "0111111001"; --45-1F9
when "01000110" => Dout <= "1000011000"; --46-218
when "01000111" => Dout <= "1000011001"; --47-219
when "01001000" => Dout <= "1000101000"; --48-228
when "01001001" => Dout <= "1000101001"; --49-229
when "01001010" => Dout <= "1000101010"; --4A-22A
when "01001011" => Dout <= "1000111001"; --4B-239
when "01001100" => Dout <= "1000111010"; --4C-23A
when "01001101" => Dout <= "1001001001"; --4D-249
when "01001110" => Dout <= "1001001010"; --4E-24A
when "01001111" => Dout <= "1001011001"; --4F-259

```

```

when "01010000" => Dout <= "1001011010"; --50-25A
when "01010001" => Dout <= "1001101001"; --51-269
when "01010010" => Dout <= "1001101010"; --52-26A
when "01010011" => Dout <= "1001101011"; --53-26B
when "01010100" => Dout <= "1001111010"; --54-27A
when "01010101" => Dout <= "1001111011"; --55-27B
when "01010110" => Dout <= "1010001010"; --56-28A
when "01010111" => Dout <= "1010001011"; --57-28B
when "01011000" => Dout <= "1010011010"; --58-29A
when "01011001" => Dout <= "1010011011"; --59-29B
when "01011010" => Dout <= "1010101010"; --5A-2AA
when "01011011" => Dout <= "1010101011"; --5B-2AB

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

when "01011100" => Dout <= "1010101100"; --5C-2AC
when "01011101" => Dout <= "1010111011"; --5D-2BB
when "01011110" => Dout <= "1010111100"; --5E-2BC
when "01011111" => Dout <= "1011001011"; --5F-2CB

when "01100000" => Dout <= "1011001100"; --60-2CC
when "01100001" => Dout <= "1011011011"; --61-2DB
when "01100010" => Dout <= "1011011100"; --62-2DC
when "01100011" => Dout <= "1011101011"; --63-2EB
when "01100100" => Dout <= "1011101100"; --64-2EC
when "01100101" => Dout <= "1011101101"; --65-2ED
when "01100110" => Dout <= "1011111100"; --66-2FC
when "01100111" => Dout <= "1011111101"; --67-2FD
when "01101000" => Dout <= "1100011100"; --68-31C
when "01101001" => Dout <= "1100011101"; --69-31D
when "01101010" => Dout <= "1100101100"; --6A-32C
when "01101011" => Dout <= "1100101101"; --6B-32D
when "01101100" => Dout <= "1100111100"; --6C-33C
when "01101101" => Dout <= "1100111101"; --6D-33D
when "01101110" => Dout <= "1100111110"; --6E-33E
when "01101111" => Dout <= "1101001101"; --6F-34D

when "01110000" => Dout <= "1101001110"; --70-34E
when "01110001" => Dout <= "1101011101"; --71-35D
when "01110010" => Dout <= "1101011110"; --72-35E
when "01110011" => Dout <= "1101101101"; --73-36D
when "01110100" => Dout <= "1101101110"; --74-36E
when "01110101" => Dout <= "1101111101"; --75-37D
when "01110110" => Dout <= "1101111110"; --76-37E
when "01110111" => Dout <= "1101111111"; --77-37F
when "01111000" => Dout <= "1110001110"; --78-38E
when "01111001" => Dout <= "1110001111"; --79-38F
when "01111010" => Dout <= "1110011110"; --7A-39E
when "01111011" => Dout <= "1110011111"; --7B-39F
when "01111100" => Dout <= "1110101110"; --7C-3AE
when "01111101" => Dout <= "1110101111"; --7D-3AF
when "01111110" => Dout <= "1110111110"; --7E-3BE
when "01111111" => Dout <= "1110111111"; --7F-3BF

when "10000000" => Dout <= "1111001111"; --80-3CF
when "10000001" => Dout <= "1111011111"; --81-3DF
when "10000010" => Dout <= "1111101111"; --82-3EF
when "10000011" => Dout <= "1111111111"; --83-3FF

```

```

when others => Dout <= "1111111111";

```

```

end case;

```

```

end process;

```

```

end Behavioral;

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.1 สรุปรายละเอียดขนาดของวงจร Decoder

```

*****
Cell: Decode8to10      View: Behavioral      Library: work
*****
Cell      Library References      Total Area
AOI211    c35_CORELIB      13 x      73      946 um2
AOI2111   c35_CORELIB      9 x      91      819 um2
AOI221    c35_CORELIB      1 x      91       91 um2
AOI222    c35_CORELIB      2 x     109     218 um2
AOI311    c35_CORELIB      3 x      91     273 um2
CLKIN1    c35_CORELIB      2 x      36      73 um2
CLKIN2    c35_CORELIB      3 x      36     109 um2
CLKIN3    c35_CORELIB     68 x      36    2475 um2
INV2       c35_CORELIB      4 x      36     146 um2
INV3       c35_CORELIB     41 x      36    1492 um2
NAND21    c35_CORELIB      2 x      55     109 um2
NAND22    c35_CORELIB     15 x      55     819 um2
NAND31    c35_CORELIB      8 x      73     582 um2
NAND41    c35_CORELIB      4 x      91     364 um2
NOR21     c35_CORELIB     24 x      55    1310 um2
NOR22     c35_CORELIB      2 x      73     146 um2
NOR31     c35_CORELIB      8 x      73     582 um2
NOR32     c35_CORELIB      1 x      91      91 um2
NOR40     c35_CORELIB     11 x      73     801 um2
OAI211    c35_CORELIB      4 x      73     291 um2
OAI2111   c35_CORELIB     10 x      91     910 um2
OAI212    c35_CORELIB      8 x      73     582 um2
OAI222    c35_CORELIB      6 x      91     546 um2
OAI311    c35_CORELIB      5 x      91     455 um2

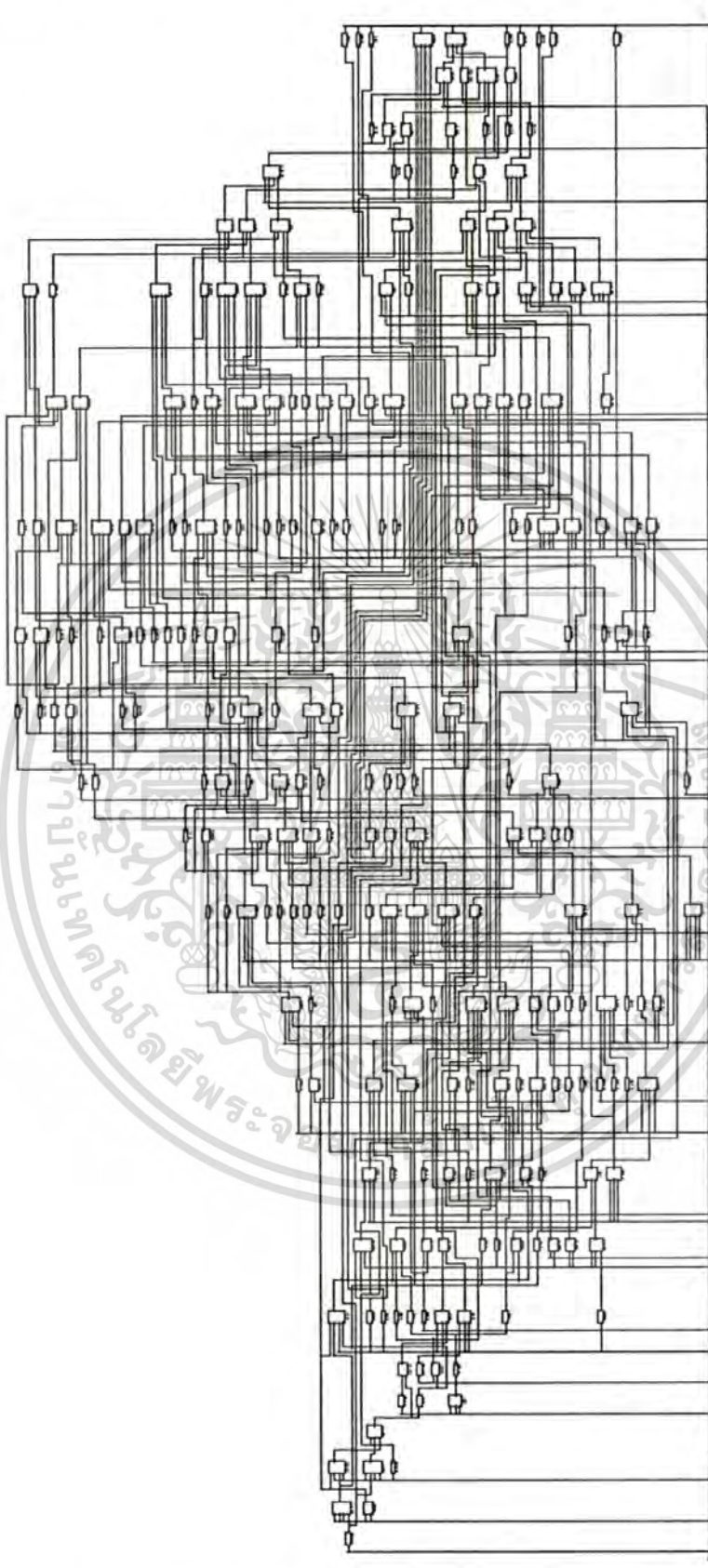
Number of ports :      18
Number of nets :      262
Number of instances :  254
Number of references to this view :  0

Total accumulated area :
Number of um2 :      14232
Number of accumulated instances :  254

```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2 วงจร Decoder



รูปที่ ข.7 วงจร Decoder ซึ่งเป็นวงจรภายในของวงจร DCO

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ก

ผลงานวิจัยที่ได้รับการตีพิมพ์

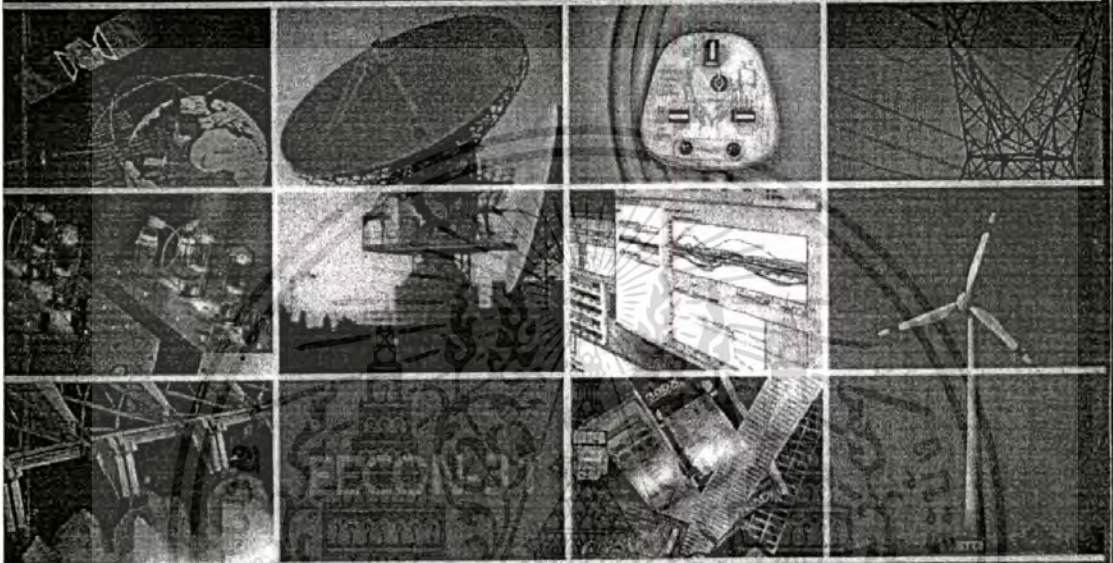
1. เจษฎา ใจดี และ กสิน วิเชียรชม, “วงจรกำเนิดสัญญาณนาฬิกาด้วยวงจรเฟสล็อกคูลูปแบบดิจิตอลทั้งหมด,” การประชุมวิชาการทางไฟฟ้า ครั้งที่ 31 (EECON-31) 29-31 ตุลาคม 2551, หน้าที่ 1011-1014



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



การประชุมวิชาการ ทางวิศวกรรมไฟฟ้า ครั้งที่ 31 31st Electrical Engineering Conference (ECON-31)



Volume II

- ไฟฟ้าสื่อสาร (CM)
- อิเล็กทรอนิกส์ (EL)
- การประมวลผลสัญญาณดิจิทัล (DS)
- ระบบควบคุม และการวัดคุม (CT)
- ไฟโตนิคส์ (PH)
- งานวิจัยที่เกี่ยวข้องกับวิศวกรรมไฟฟ้า (GN)

29 - 31 ตุลาคม 2551

ณ โรงแรมอัสสั กอล์ฟ รีสอร์ท แอนด์ สปา จังหวัดนครนายก

ร่วมจัดโดย



มหาวิทยาลัยศรีนครินทรวิโรฒ
SRINAKHARINWIROT UNIVERSITY



มหาวิทยาลัยศรีปทุม
SRIPATUM UNIVERSITY

สนับสนุนโดย



Western Digital



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรกำเนิดสัญญาณนาฬิกาด้วยวงจรมัลติโพลแบบดิจิทัลทั้งหมด

An All-Digital Phase-locked Loop for Clock Generator

เจษฎา ใจดี กสิน วิเชียรชน

ภาควิชาอิเล็กทรอนิกส์ คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ถนนฉลองกรุง เขตลาดกระบัง กรุงเทพฯ 10520 E-mail: s8060409@kmitl.ac.th, kvkasin@kmitl.ac.th

บทคัดย่อ

บทความนี้นำเสนอการออกแบบวงจรมัลติโพลแบบดิจิทัลทั้งหมด เพื่อใช้เป็นวงจรกำเนิดสัญญาณนาฬิกาสำหรับระบบดิจิทัล โดยนำเสนอวงจรกำเนิดความถี่แบบควบคุมด้วยดิจิทัล (DCO) ที่ใช้ tri-state inverter ที่มีคุณสมบัติเหมือนกันทุกประการ ซึ่งสร้างได้ด้วย standard cell ต่อในลักษณะอาร์เรย์ขนาด 16x5 นำเสนอรูปแบบการควบคุมการปรับความถี่ของ DCO แบบใหม่ โดยใช้ผลจากการประมาณค่าหน่วงเวลาของวงจร DCO ด้วยวงจรมี RC เป็นตัวกำหนด ส่งผลให้วงจร DCO มีจำนวนความถี่เอาต์พุตที่มากกว่าวงจรที่มีโครงสร้างเหมือนกัน ถึงร้อยละ 70 นอกจากนี้ ในการตรวจจับสนิทใช้วงจรตรวจจับสนิทและความถี่ที่ทำงานร่วมกับวงจรแปลงค่าเวลาเป็นค่าดิจิทัล ซึ่งช่วยลดความซับซ้อนของวงจรโดยรวม วงจรที่นำเสนอออกแบบและจำลองการทำงานโดยใช้พารามิเตอร์ของเทคโนโลยีซีมอสขนาด 0.35 μm ผลการจำลองการทำงานพบว่า วงจรมีช่วงความถี่การทำงาน 100 - 653 MHz มีอัตราการสิ้นเปลืองกำลังงานเท่ากับ 20 mW เมื่อใช้แหล่งจ่ายแรงดัน 3.3 V เนื่องจากเป็นวงจรมัลติโพลและสร้างด้วย standard cell ทำให้วงจรมัลติโพลที่นำเสนอ สามารถถูกออกแบบและสร้างใหม่ได้ง่าย ภายในระยะเวลาอันสั้น เมื่อต้องการเปลี่ยนเทคโนโลยี ดังนั้นช่วยลดต้นทุนระยะเวลา และความซับซ้อนยุ่งยากได้ ซึ่งเหมาะสมสำหรับการใช้งานในระบบดิจิทัล

คำสำคัญ: วงจรมัลติโพลแบบดิจิทัลทั้งหมด, วงจรกำเนิดสัญญาณนาฬิกา, วงจรกำเนิดความถี่แบบควบคุมด้วยดิจิทัล, วงจรริงออสซิลเลเตอร์

Abstract

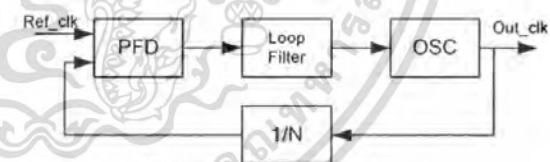
This paper describes the design of an all-digital phase-locked loop (ADPLL) for clock generator. The ADPLL uses a digital controlled oscillator (DCO) that is composed of an array of 16x5 identical tri-state inverters implemented with standard cell. A new method to control the DCO based on its equivalent RC delay approximation is employed. As a results the DCO provides 70% more in frequency step compared to other DCO using the same structure. To reduce its complexity, phase detection is done by a combination of a conventional phase frequency detector (PDF) and a simple time-to-

digital converter (TDC). The proposed circuit was designed using 0.35 μm CMOS process parameters. It has a operation range of 100-653 MHz. At its maximum frequency, the power dissipation is 20 mW with 3.3 V supply voltage. Because of its simplicity and its portability the proposed ADPLL is suitable for digital system applications.

Keywords: All-digital phase-locked loop (ADPLL), clock generator, digitally controlled oscillator (DCO), ring oscillator

1. บทนำ

โครงสร้างของเฟสล็อกคัล โดยทั่วไปแสดงดังรูปที่ 1 ประกอบด้วย ตัวตรวจจับสนิทและความถี่ (Phase-Frequency Detector, PFD) วงจรกรองทรวง (Loop Filter, LF) วงจรออสซิลเลเตอร์ (Oscillator, OSC) และวงจรมหารความถี่ (Frequency Divider)



รูปที่ 1 แผนผังโครงสร้างทั่วไปของ PLL

โดยทั่วไปการออกแบบวงจรมัลติโพลแบบดิจิทัลทั้งหมด (all-digital phase-locked loop, ADPLL) ส่วนของการออกแบบวงจรกำเนิดความถี่แบบควบคุมด้วยดิจิทัล (digitally controlled oscillator, DCO) แบ่งออกเป็น 2 แบบ โดยแบบแรกใช้หลักการหารความถี่ เป็นตัวกำเนิดความถี่เอาต์พุต [1-2] แบบที่ 2 ใช้หลักการการสร้างตัวกำเนิดความถี่ และสามารถเปลี่ยนแปลงความถี่ภายในตัววงจรได้ [3-7]

วงจร DCO ใน [1] ใช้หลักการหารความถี่ โดยนำความถี่สูงมาจากภายนอก ซึ่งความถี่เอาต์พุตจะมีค่าสูงสุดไม่เกินความถี่ดังกล่าว และมีการออกแบบใน [2] ให้อัตราการเกิดความถี่สูงขึ้นภายในวงจร และออกแบบวงจรมหารความถี่ที่สามารถคำนวณความถี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ผ่านการตีพิมพ์ในสิ่งพิมพ์อื่นโดยไม่ได้รับอนุญาต และต้องอ้างถึงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

EL-33

และกำหนดเฟสของเอาต์พุตได้จากความถี่อินพุต แต่การออกแบบวงจรมีความซับซ้อนยุ่งยาก แบบที่ 2 ออกแบบวงจร DCO โดยการสร้างตัวกำเนิดความถี่ และสามารถเปลี่ยนแปลงความถี่ได้ภายในตัววงจร [3-7] โดยใช้หลักการของ ring oscillator ซึ่งใช้ inverter ที่เป็นอุปกรณ์พื้นฐานที่มีอยู่ในระบบดิจิทัล อิน [3] ใช้ inverter AND gate และ OR gate ประกอบเป็น ring oscillator และสามารถเปลี่ยนความถี่โดยการเปลี่ยนขนาดของ ring oscillator ด้วยการเพิ่มลด จำนวน AND gate และ OR gate ที่ต่อในวงจร จึงทำให้ความถี่ของคาบเวลาของสัญญาณเอาต์พุต เท่ากับค่าหม่วงเวลาของ AND gate และ OR gate ซึ่งมีค่าขนาบวงจร DCO ใน [4] ใช้ tri-state inverter ต่อเป็น ring oscillator และใช้ tri-state inverter ต่อขนาบในแต่ stage และใช้การ enable-disable เพื่อเปลี่ยนแปลงค่าหม่วงเวลาในแต่ละ stage จึงได้ความถี่เอาต์พุตต่างๆ แต่จำนวนความถี่เอาต์พุตมีค่าเท่ากับจำนวน tri-state inverter ที่ต่อขนาบ จึงมีความถี่ของค่า วงจร DCO ใน [5] มีลักษณะใกล้เคียงกับ [4] แต่จำนวน tri-state inverter ในแต่ละแถวมีจำนวนไม่เท่ากัน โดยจะมีจำนวนเพิ่มขึ้นตามลำดับแถว แม้ความถี่เอาต์พุตมีความถี่สูง แต่ทำให้วงจรมีขนาดใหญ่ และใน [6-7] วงจร DCO ออกแบบโดยใช้ [3] และ [4] ผสมกัน มีทั้งการเปลี่ยนขนาดของ ring oscillator และการเปลี่ยนค่าหม่วงเวลาในแต่ละ stage เพื่อเปลี่ยนแปลงความถี่ ซึ่งทำให้วงจรมีขนาดใหญ่

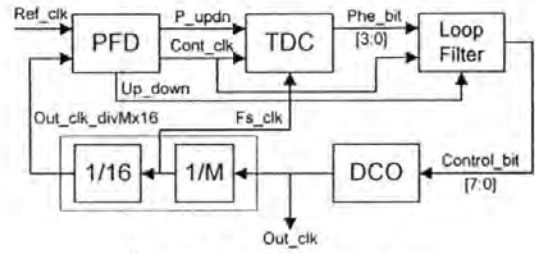
จากวงจร DCO ที่มีหลักการพื้นฐานของวงจร ring oscillator ใน [3] การเพิ่มลดขนาดของวงจรเพื่อเปลี่ยนค่าหม่วงนั้น การเปลี่ยนความถี่ค่อนข้างยาก ใน [4] วงจรมีความถี่ของค่าเอาต์พุตค่า โดยขึ้นอยู่กับจำนวนของ tri-state inverter ที่ต่อขนาบ และใน [5] ปรับปรุงจาก [4] มีความถี่สูงจริงแต่ทำให้วงจรมีขนาดใหญ่

ในบทความนี้เสนอวงจร ADPLL สำหรับวงจรถ้าเนิดสัญญาณนาฬิกา ด้วยวงจร DCO ซึ่งมีลักษณะเช่นเดียวกับ [4] ใช้ tri-state inverter ต่อเป็น ring oscillator และมี tri-state inverter ต่อขนาบในแต่ stage ใช้การ enable-disable เพื่อเปลี่ยนแปลงค่าหม่วงเวลาในแต่ละ stage ทำให้ได้ความถี่เอาต์พุตต่างๆ แต่รูปแบบการ enable-disable แตกต่างกับ ทำให้ความถี่ของค่าเอาต์พุตสูงขึ้นเมื่อเทียบกับ [4] โดยที่วงจรมีลักษณะเช่นเดียวกัน และจำนวนอุปกรณ์เท่ากัน

2. โครงสร้างของวงจร ADPLL

วงจร ADPLL แสดงดังรูปที่ 2 ประกอบด้วย วงจรตรวจจับเฟสและความถี่ วงจรแปลงค่าเวลาเป็นดิจิทัล (Time-to-Digital Converter, TDC) วงจรอุปกรของ วงจร DCO และวงจรรักษาความถี่

วงจรถวจจับเฟสและความถี่ตรวจความต่างเฟสระหว่างสัญญาณอินพุตหรือสัญญาณอ้างอิง (Ref_clk) กับสัญญาณเอาต์พุตจากวงจร DCO ผ่านวงจรรักษาความถี่ ได้ค่าความต่างเฟสของสัญญาณผ่านวงจร TDC แปลงค่าความต่างเฟสนั้นเป็นค่าดิจิทัลบิต (Phe_bit) วงจรอุปกรของจะนำค่าความต่างเฟสนี้มาประมวลผลแล้วได้เอาต์พุตเป็นสัญญาณควบคุม (Control_bit) เพื่อนำไปควบคุมการกำเนิดความถี่ของวงจร DCO ให้มีค่าความถี่และเฟสตรงกับสัญญาณอ้างอิง

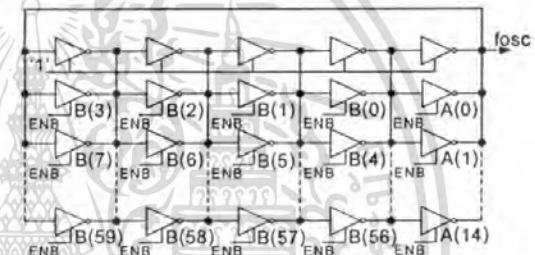


รูปที่ 2 แผนผังโครงสร้างของวงจร ADPLL

3. การออกแบบวงจร ADPLL

3.1 วงจรกำเนิดความถี่แบบควบคุมด้วยดิจิทัล

วงจร DCO ที่นำเสนอแสดงดังรูปที่ 3 จากรูปจะเห็นได้ว่าประกอบด้วย tri-state inverter ที่มีคุณสมบัติเหมือนกันทุกประการ ต่อเป็นวงจร ring oscillator 5 stage ในแต่ละ stage มี tri-state inverter ต่อขนาบอีก 15 ตัว วงจรจึงมีลักษณะเป็นอาร์เรย์ 16x5 โดยในแถวที่ 1 enable ไว้ตลอดเวลา tri-state inverter ที่ต่อขนาบอยู่ในแต่ละ stage สามารถ enable หรือ disable เพื่อควบคุมการเปลี่ยนแปลงความถี่ของวงจร



รูปที่ 3 โครงสร้างของวงจร DCO

ความถี่เอาต์พุตของ DCO สามารถหาได้จาก

$$f_{osc} = \frac{1}{2 \sum_{i=1}^m t_{di}} \tag{1}$$

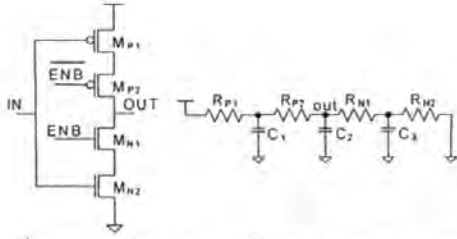
โดย t_{di} คือค่าหม่วงเวลาในแต่ละ stage และ m คือจำนวน stage ของวงจร DCO

ค่าหม่วงเวลาในแต่ละ stage (t_{di}) คำนวณจากค่าเฉลี่ยของ propagation delay $t_{p,11}$ และ $t_{p,10}$ ที่ output ของ tri-state inverter โดยเราจะพิจารณาจาก tri-state inverter 1 ตัวก่อน จากนั้นจึงพิจารณาคงเมื่อต่อขนาบกัน สมมติให้ $t_{p,11}$ มีค่าเท่ากับ $t_{p,10}$ จึงคำนวณเพียงค่าเดียว วงจร tri-state inverter แทนด้วยวงจร RC tree network ดังรูปที่ 4 R_{p1} และ R_{p2} คือค่าความต้านทานของ PMOS R_{n1} และ R_{n2} คือค่าความต้านทานของ NMOS C_1 คือค่าตัวเก็บประจุที่โหนดร่วมของ PMOS C_2 คือค่าตัวเก็บประจุที่โหนด output C_3 คือค่าตัวเก็บประจุที่โหนดร่วมของ NMOS

เมื่อ enable tri-state inverter และอินพุตเป็น step function เปลี่ยนจาก ลอจิก "1" เป็น ลอจิกเป็น "0" เอาต์พุตเปลี่ยนจาก ลอจิก "0" เป็น ลอจิกเป็น "1" เป็นช่วงเวลาที่เกิด $t_{p,11}$ มี M_{p1} M_{p2} และ M_{n1} ทำงาน ในขณะที่ M_{n2} ไม่ทำงาน สามารถใช้หลักการประมาณค่า

หม่วงเวลาของ Elmore หาก $t_{p,11}$ ได้จาก

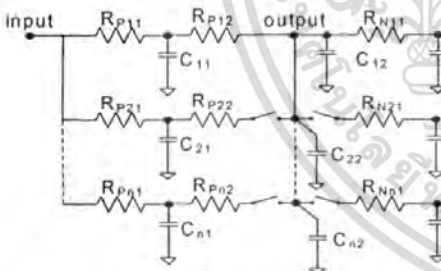
$$t_{p,11} = R_{p1}C_1 + (R_{p1} + R_{p2})C_2 + (R_{p1} + R_{p2})C_3 \tag{2}$$



รูปที่ 4 วงจรภายในและวงจรเสมือนของ tri-state inverter

การคำนวณค่าหาช่วงเวลาในแต่ละ stage ($t_{d,i}$) เมื่อแต่ละ stage มี tri-state inverter ต่อขนานกันทั้งหมด 16 ตัว ใน 1 stage แทนวงจร tri-state inverter ด้วยวงจร RC network หาค่าหาช่วงเวลาของช่วง $t_{p,1}$ แสดงดังรูปที่ 5 จากรูปพบว่าวงจรเชื่อมต่อไปในลักษณะ วงจร RC mesh network ซึ่งโดยทั่วไปในการประมาณค่าหาช่วงเวลาต้องมีการคำนวณค่า invert node-conductance matrix ดังเช่นใน [8] ไม่สามารถใช้หลักการประมาณค่าหาช่วงเวลาของ Elmore ได้ อย่างไรก็ตามเนื่องจาก tri-state inverter ที่ใช้มีคุณสมบัติเหมือนกันทุกประการ ดังนั้นค่า R และ C ของ tri-state inverter แต่ละตัวจึงมีค่าเท่ากัน ทำให้สามารถใช้หลักการประมาณค่าหาช่วงเวลาของ Elmore ได้

รูปที่ 5 โหนด output มีตัวเก็บประจุต่อขนานกัน n ตัว และมีวงจร RC 1 ชุด ในแถวที่ 1 ต่อระหว่างโหนด input กับ output สามารถพิจารณาอยู่ในรูปของวงจร RC tree network ได้ เมื่อวงจร RC ในแถวที่ 2 ต่อกับโหนด output วงจรอยู่ในลักษณะของ RC mesh network (แต่เนื่องจากค่า RC ของแต่ละชุดมีค่าเท่ากัน โหนดที่โหนด output ถูกจับด้วยวงจร RC 2 ชุด ทำให้โหนดถูกแบ่งเป็น 2 ส่วน และเมื่อวงจร RC ต่อกับโหนด output จำนวน E ชุด โหนดถูกแบ่งเป็น E ส่วน ซึ่งวงจร RC ต่อกับโหนด output คือการ enable ของ tri-state inverter ใน stage นั้นๆ



รูปที่ 5 วงจร RC network ของวงจร DCO 1 stage ในช่วง $t_{p,1}$

จากสมการที่ 2 สามารถเขียนใหม่ ดังสมการที่ 3 สำหรับวงจร DCO 1 stage โดยมีจำนวน tri-state inverter ที่ต่อขนานกันทั้งหมด n ตัว และมีจำนวน tri-state inverter ที่ enable เป็นจำนวน E ตัว

$$t_{p,1} = R_{p11}C_{11} + (R_{p11} + R_{p12})\frac{nC_{12}}{E} + (R_{p11} + R_{p12})C_{13} \quad (3)$$

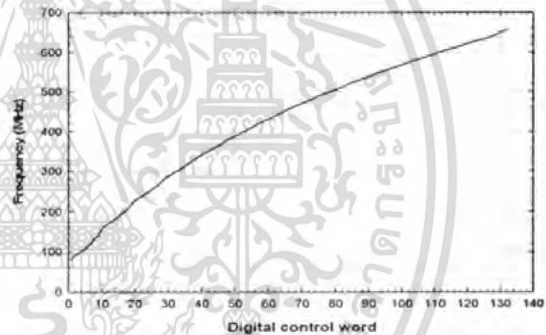
จากการคำนวณหาช่วงเวลา สามารถออกแบบรูปแบบการควบคุมความถี่ของ DCO เพื่อให้ความถี่มีการเปลี่ยนแปลงไปในทิศทางเดียวและมีลำดับการทำงานที่ไม่ยุ่งยากซับซ้อน วงจร DCO ในรูปที่ 3 แบ่งออกเป็น 3 ส่วน ได้แก่ ring oscillator หลัก 5 stage และวงจรที่ต่อขนานอีก 2 ส่วน A(n) และ B(n) ลำดับแรกที่มีความถี่ต่ำสุด วงจร ring oscillator หลักเท่านั้นที่ enable จากนั้น enable tri-state inverter ที่ต่อ

ขนานในแต่ละ stage โดยมีรูปแบบและลำดับดังนี้ ลำดับที่ 2 A(0) ลำดับที่ 3 A(0),A(1) ลำดับที่ 4 A(0),B(0) ลำดับที่ 5 A(0),A(1),B(0) ลำดับที่ 6 A(0),B(0),B(1) จากรูปแบบเดิมใน [4] tri-state inverter จะ enable ทีละตัวเรียงไปจนครบทั้งแถวแล้วจึงขึ้นแถวต่อไปจน tri-state inverter ทำงานครบทุกตัว ดังนั้นจะได้จำนวนของความถี่ทั้งหมดเท่ากับจำนวน tri-state inverter ที่ต่อขนานเพิ่มจาก ring oscillator หลัก บวกกับลำดับที่ ring oscillator หลักทำงาน จากการออกแบบการทำงานใหม่ สามารถเพิ่มความละเอียดของความถี่เอาท์พุทประมาณ 70 เปอร์เซ็นต์ จากวงจร [4] แต่ช่วงความถี่ต่ำสุดถึงสูงสุดมีค่าเท่าเดิม แต่มีจำนวนของความถี่เพิ่มขึ้นหรือมีความละเอียดของความถี่สูงขึ้นนั่นเอง

จากรูปแบบการทำงานสามารถคำนวณหาจำนวนของความถี่เอาท์พุทได้ดังสมการที่ 4

$$A_f = [(2m-1)(n-2)] + (m+1) \quad (4)$$

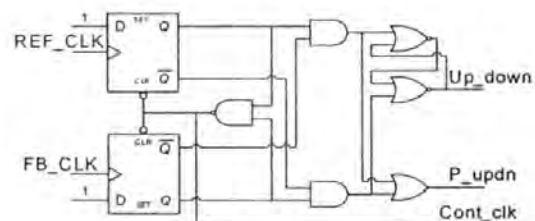
โดย m คือจำนวน stage ของวงจร และ n จำนวน tri-state inverter ที่ต่อขนานทั้งหมดในแต่ละ stage ผลการทดลองวงจร DCO แสดงความถี่เอาท์พุทเทียบกับลำดับการควบคุม แสดงดังรูปที่ 6



รูปที่ 6 ผลการวัดความถี่เอาท์พุทเทียบกับบิตควบคุมของ DCO

3.2 วงจรตรวจจับเฟสและความถี่

วงจรตรวจจับเฟสและความถี่แสดงดังรูปที่ 7 วงจรตรวจจับเฟสและความถี่เดิมมีสัญญาณเอาท์พุทคือ Up และ Down ซึ่งเป็นสัญญาณขงบอกถึงปริมาณของความต่างเฟสว่ามีเฟสนำหรือตาม และทำการปรับปรุ้งโดยมีสัญญาณเอาท์พุท P_updn แสดงปริมาณของความต่างเฟส Up_down แสดงสถานะนำหรือตามของเฟส และ Cont_clk เป็นสัญญาณแสดงจังหวะสิ้นสุดการวัดความต่างเฟสในแต่ละครั้ง ใช้เป็นสัญญาณควบคุมจังหวะการทำงานของวงจร TDC และ Loop Filter



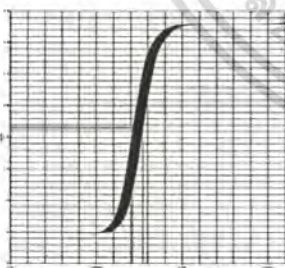
รูปที่ 7 วงจรตรวจจับเฟสและความถี่

3.3 วงจรลูปรอง

วงจรลูปรองประกอบด้วย วงจร TDC และ Loop Filter โดยวงจร TDC เปลี่ยนค่าความต่างเฟสที่เป็นค่าทางเวลาให้เป็นค่าตัวเลขดิจิตอล และวงจร Loop Filter นำค่าดังกล่าวมาทำการประมวลผลเพื่อให้ได้สัญญาณสำหรับควบคุม DCO ให้เกิดการเปลี่ยนแปลงความถี่ วงจร Loop Filter ประกอบด้วยวงจรสำหรับตรวจสอบค่าความต่างเฟส และวงจรนับขึ้นลง โดยหลักการการทำงาน จะพิจารณาการเปลี่ยนแปลงของความต่างเฟส ถ้าค่าความต่างเฟสมีค่าสูงขึ้น หรือคงที่ โดยมีค่ามากกว่าศูนย์ วงจรนับจะทำการนับขึ้นหรือลงแล้วแต่สถานะของเฟสว่านำหรือตามอยู่ หากค่าความต่างเฟสเริ่มมีค่าลดลง และเข้าใกล้ศูนย์ วงจรนับจะหยุดทำงาน เพื่อรอพิจารณาการเปลี่ยนแปลงของเฟสต่อไป

4. ผลการทดลอง

วงจร ADPLL ได้ถูกออกแบบและจำลองการทำงานด้วยโปรแกรม Cadence โดยใช้ค่าพารามิเตอร์ เทคโนโลยี ซิมอส 0.35 μm ของ AMS เนื่องจาก DCO ไม่สามารถให้ค่าความถี่อย่างต่อเนื่องได้แบบอนาล็อก VCO ดังนั้น หากความถี่อ้างอิง ที่ป้อนคู่ด้วยอัตราส่วนการหารมีค่าไม่ตรงกับค่าความถี่ที่ DCO สามารถผลิตได้ วงจร ADPLL จะควบคุมให้ DCO สวิตช์สลับไปมาระหว่างค่าความถี่ที่ติดกันสองความถี่ที่ใกล้เคียงกับความถี่ที่ต้องการมากที่สุด ดังนั้นค่าความถี่เอาต์พุตที่ได้จึงเป็นค่าความถี่เฉลี่ย (long-term average) ระหว่างค่าความถี่ทั้งสอง ผลการจำลองการทำงาน พบว่า วงจร ADPLL สามารถ lock และให้ค่าความถี่เอาต์พุตที่ต้องการได้ เกือบตลอดช่วงการทำงานของ DCO เว้นแต่ในช่วงที่ความถี่เอาต์พุตมีค่าเข้าใกล้ค่าความถี่ต่ำสุดของ DCO พบว่าความถี่เอาต์พุตจะสวิตช์อยู่ที่ 130 MHz ไม่สามารถเข้าใกล้ความถี่ต่ำสุดได้ ทั้งนี้เป็นผลจากฟังก์ชันการทำงานของวงจรลูปรอง ที่ไม่สามารถทำงานได้ในกรณีที่ความต่างเฟสมีค่าเพิ่มขึ้นและลดลงอย่างต่อเนื่อง โดยต้องการปรับปรุงแก้ไขเพิ่มเติมในส่วนของฟังก์ชันการทำงานของวงจรลูปรอง ผลการจำลองการทำงานสรุปได้ ดังในตารางที่ 1



รูปที่ 8 แสดงค่า peak-to-peak jitter ที่ความถี่เอาต์พุตเท่ากับ 436 MHz

ตารางที่ 1 ผลการจำลองการทำงาน

Process	0.35 μm CMOS
Multiplication factor (M)	1 - 80
Power dissipation	20mW@650MHz
Output clock frequency range	100 - 653 MHz
Max Lock-time	< 200 cycle
Supply voltage	3.3 V

การวัด output jitter ของวงจร ADPLL ทำได้โดยการป้อนความถี่อ้างอิงที่ได้จากการคำนวณจากค่าความถี่ที่ DCO สามารถผลิตได้ ในกรณีนี้เลือกค่าความถี่ DCO เท่ากับ 436 MHz ดังนั้นค่าความถี่อ้างอิงที่ใช้จึงเป็น 54.5 MHz ผลการจำลองการทำงานพบว่า ค่า peak-to-peak jitter มีค่าประมาณ 62 ps ดังแสดงในรูปที่ 8

5. สรุป

วงจรเฟสล็อกแบบดิจิตอลทั้งหมดสำหรับการใช้งานเป็นวงจรถ่ายสัญญาณนาฬิกา โดยวงจร DCO ที่นำเสนอใช้ tri-state inverter ที่มีคุณสมบัติเหมือนกันทุกประการ ต่อในลักษณะอาร์เรย์ขนาด 16x5 โดยนำเสนอรูปแบบการควบคุมการปรับความถี่ของ DCO โดยใช้ผลจากการประมาณค่าช่วงเวลาของวงจร DCO ด้วยวงจรเสมือน RC เป็นตัวกำหนด วงจรที่นำเสนอจำลองการทำงานโดยใช้เทคโนโลยีซิมอสขนาด 0.35 μm ใช้แหล่งจ่ายแรงดัน 3.3 V จากผลการทดลองพบว่าวงจรมีช่วงความถี่เอาต์พุต 100 - 653 MHz มีอัตราการสิ้นเปลืองกำลังงานเท่ากับ 20 mW

เอกสารอ้างอิง

- [1] STEPHEN M. WALTERS, "Digital Phase-Locked Loop with Jitter Bounded," IEEE Trans. Circuit and Systems, vol. 36, pp.980-987, July 1989.
- [2] T. Watanabe and S. Yamauchi, "An All-Digital PLL for Frequency Multiplication by 4 to1022 with Seven-Cycle Lock Time," IEEE J. Solid-State Circuits, vol. 38, pp.198-204, Feb 2003.
- [3] R. Stefo, J. Schreiter, J. U. Senlbler and R. Schuffny, "High Resolution ADPLL Frequency Synthesizer for FPGA-and ASIC-based Applications," Field-Programmable Technology (FPT), 2003. Proceedings, 2003 IEEE International Conference on , vol. no., pp. 28-34, 15-17 Dec. 2003
- [4] T. Olsson and P. Nilsson, "An All-Digital PLL Clock Multiplier," ASIC. 2002. Proceedings. 2002 IEEE Asia-Pacific Conference on , vol. no., pp. 275-278, 2002
- [5] E. Mokhari and M. Sawan, "CMOS High-Resolution All-Digital Phase-Locked Loop," IEEE-MWSCAS, pp. 221-224, Dec 2003
- [6] T. Y. Hsu, C. C. Wang and C. Y. Lee, "Design and Analysis of a Portable High-Speed Clock Generator," IEEE Trans. Circuit and Systems II: Analog and Digital Signal Processing, vol. 48, pp.367-375, Apr 2001.
- [7] C. C. Chung and C. Y. Lee, "An All-Digital Phase-Locked Loop for High-Speed Clock Generation," IEEE J. Solid-State Circuits, vol.38, pp. 347-351, Feb 2003.
- [8] Pak K. Chan, Martine D.F. Schlag, "Bound on Singnal Delay in RC Mesh Networks," IEEE Transactions on Computer-Aided Desing, vol.8, no.6, pp.581-589, Jun 1989.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อผู้ใดที่นำเอกสารฉบับนี้ไปใช้โดยไม่ได้รับอนุญาตจากสำนักพิมพ์หรือเจ้าของลิขสิทธิ์จะถือว่าผิดกฎหมาย

ประวัติผู้เขียน

นายเจษฎา ใจดี เกิดเมื่อวันที่ 29 พฤศจิกายน พ.ศ. 2524 สำเร็จการศึกษาปริญญาตรี
วิศวกรรมศาสตรบัณฑิต สาขาวิศวกรรมอิเล็กทรอนิกส์ จากสถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณ
ทหารลาดกระบัง เมื่อปี พ.ศ. 2548



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้