สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ระบบการชี้เฉพาะด้วยคลื่นความถี่วิทยุ
RADIO FREQUENCY IDENTIFICATION

T104299

โดย

นายธนา พันธุภากร

นายธนากร เมียงอารมณ์

นายนนท์ธวัช สนิทสุริวงษ์

เลขหมู่.....
เลขทะเบียน 104299
วัน,เดือน,ปี - 2 พ.ย. 2552

b 12110309
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2551

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบการชี้เฉพาะด้วยคลื่นความถี่วิทยุ

RADIO FREQUENCY IDENTIFICATION

โดย

นายธนา พันธุภากร 48010354

นายธนากร เมียงอารมณ์ 48010356

นายนนท์ธวัช สนิทสุริวงษ์ 48010411

อาจารย์ที่ปรึกษา

ผศ. ประภากร สุวรรณะ

ปริญญานิพนธ์นี้สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2551

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ ปีการศึกษา 2551

ภาควิชา อิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง ระบบการชี้เฉพาะด้วยคลื่นความถี่วิทยุ

ผู้จัดทำ

1.นายธนา พันธุภากร

2.นายธนากร เมียงอารมณ์

3.นายนนท์ธวัช สนิทสุริวงษ์

.....อาจารย์ที่ปรึกษา

(ผศ. ประภากร สุวรรณะ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ระบบการชี้เฉพาะด้วยคลื่นความถี่วิทยุ

นายธนา พันธุภากร รหัส 48010354
นายธนากร เมียงอารมณ์ รหัส 48010356
นายนนท์ธวัช สนิทสุริวงษ์ รหัส 48010411
ผศ.ประภากร สุวรรณะ อาจารย์ที่ปรึกษา
ปีการศึกษา 2551

บทคัดย่อ

โครงงานนี้ประกอบไปด้วย 2 ส่วนคือ แท็ก(Tag) และเครื่องอ่าน(Reader) โดยในส่วนของแท็กจะทำหน้าที่ในการเก็บบันทึกข้อมูลไว้ในไมโครคอนโทลเลอร์และส่งข้อมูลออกไปทางสายอากาศ ในส่วนของเครื่องอ่านจะทำหน้าที่ให้พลังงานแก่แท็กและในขณะเดียวกันจะอ่านข้อมูลจากแท็กที่ได้มาโดยการตรวจจับความเปลี่ยนแปลงของคลื่นพาหะแล้วนำมาแปลงเป็นข้อมูลต่อไป

ในการอ่านข้อมูลจะใช้การส่งผ่านแบบไร้สายโดยใช้คลื่นแม่เหล็กไฟฟ้า ซึ่งในโครงงานนี้ใช้การส่งข้อมูลแบบ FSK ที่มีความถี่คลื่นพาหะ 13.56 เมกะเฮริตซ์ และมีความถี่คลื่นพาหะรอง 484 กิโลเฮริตซ์ กับ 423 กิโลเฮริตซ์ โดยในโครงงานนี้มีทั้งส่วนที่เป็นอะนาล็อกและดิจิตอล ในส่วนอะนาล็อกได้แก่ วงจรขยายกำลัง, วงจรมอดดูเลชั่น และวงจรดีมอดดูเลชั่น และส่วนดิจิตอลได้ใช้ภาษาซีเขียนโปรแกรมลงในไมโครคอนโทลเลอร์ ซึ่งใช้ PIC เป็นตัวประมวลผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Radio Frequency Identification

Mr. Thana Panthupakorn ID 48010354
Mr. Tanakorn Miengarrom ID 48010356
Mr. Nontawat Sanitsuriwong ID 48010411
Assist.Prof . Praphakorn Suwanna Advisor
Education Year 2008

Abstract

This project consists of two main parts which are tag and reader. Tag is a part where data is reserved with in microcontroller and then sent out by antenna. Whereas reader takes part by providing energy to tag and in the meanwhile receive the data from tag by detected the changing of carrier wave then transform the change into the required data.

Reading uses wireless by magnetic field and sending data with FSK which carrier frequency is 13.56 MHz and subcarrier frequency is 484 kHz and 423 kHz. This project has analog part and digital part. In analog part which includes Power Amplifier circuit, Modulation circuit and Demodulation circuit. In digital part, we use C language to program in microcontroller ,PIC.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

รายงานฉบับนี้สามารถลุล่วงไปได้ด้วยดี เพราะได้รับความช่วยเหลือจากหลายบุคคล โดยเฉพาะอย่างยิ่ง ผศ. ประภากร สุวรรณะ ที่คอยให้คำปรึกษา รวมทั้งการแก้ไขปัญหาต่างๆ และผลักดันให้ปริญญานิพนธ์นี้สำเร็จลุล่วงด้วยดี อีกทั้งยังได้รับความช่วยเหลือของเพื่อนๆ ทุกคนที่คอยช่วยเหลือในการปฏิบัติงานได้เป็นอย่างดีมาโดยตลอด

จึงขอขอบคุณมา ณ ที่นี้

ผู้จัดทำ

.....

(นายธนา พันธุภากร)

.....

(นายธนากร เมียงอารมณ์)

.....

(นายนนท์ธวัช สนิทสุริวงษ์)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

บทคัดย่อ	I
ABSTRACT	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูป	VII
สารบัญตาราง	X
บทที่ 1 บทนำ	1
1.1 ความรู้เบื้องต้นเกี่ยวกับ RFID	1
1.2 มาตรฐานความถี่ของ RFID (Standard frequency of RFID)	1
1.3 ตัวอย่างการประยุกต์ใช้งาน RFID	2
บทที่ 2 ทฤษฎีและหลักการทำงานของ RFID	4
2.1 ส่วนประกอบของระบบ RFID	4
2.1.1 แท็ก (Tag)	4
2.1.2 เครื่องอ่าน (Reader)	5
2.1.3 Antenna	6
2.2 หลักการทำงานเบื้องต้น	6
2.3 รูปแบบการสื่อสารแบบอนุกรม	7
2.3.1 การสื่อสารแบบซิงโครนัส (Synchronous)	7
2.3.2 การสื่อสารแบบอะซิงโครนัส (Asynchronous)	7
2.4 บิตเรตและบอดเรต (Bit Rate ,Baud Rate)	8
2.5 การผสมข้อมูลแบบดิจิตอล (Digital Modulation Procedure)	8
2.5.1 Amplitude Shift Keying (ASK)	8
2.5.2 Frequency Shift Keying (FSK)	9
2.5.3 Phase Shift Keying (PSK)	10
2.6 การแปลงข้อมูลดิจิตอลให้เป็นสัญญาณดิจิตอล (Digital Data to Digital Signal)	10
2.7 รูปแบบการรับส่งข้อมูลโดยใช้ความถี่คลื่นวิทยุ	14

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 เทคโนโลยี RFID ที่ใช้การสื่อสารแบบ Duplexing 15
2.9 การส่งข้อมูลจากเครื่องลูกข่ายมายังเครื่องอ่าน 16
2.10 วงจรเรโซแนนซ์ 18
2.10.1 วงจรเรโซแนนซ์แบบอนุกรม(Series Resonance) 18
2.10.2 วงจรเรโซแนนซ์แบบขนาน (Parallel Resonance) 19
2.11 การแปลงวงจร RL,RC แบบอนุกรมและแบบขนาน 21
2.12 การแมทช์อิมพีแดนซ์ (Impedance Matching) 22
2.12.1 การแปลงระหว่าง อิมพีแดนซ์อนุกรม และอิมพีแดนซ์ขนาน 22
2.12.2 วงจรแมทช์ชิ่งอิมพีแดนซ์อย่างง่าย 24
2.13 ความต้านทานกระแสสลับของตัวนำ 27
2.14 ความต้านทานของตัวนำด้วยการประมาณที่ความถี่ต่ำ 28
2.15 ตัวเหนี่ยวนำที่ประกอบด้วยขดลวดสี่เหลี่ยมหลายชั้น 28
2.16 วงจรขยายคลาสซี (Class C Amplifier Circuit) 29
2.16.1 การคิดอัตรากำลัง (Power Gain) 30
2.16.2 การทำงานกับวงจรจูน (Tuning Circuit Operation) 31
2.16.3 กำลังเอาต์พุตสูงสุด (Power Maximum Output) 32
2.17 ค่าเหนี่ยวนำร่วม (Mutual Inductance) 33
2.17.1 พลังงานในวงจรที่เชื่อมโยงกัน (Energy in a Coupled Circuit) 36

บทที่ 3 การคำนวณและการออกแบบวงจร 37
3.1 วงจร Tag 37
3.1.1 การออกแบบวงจร Tag Regulator 38
3.1.2 การคำนวณหาค่า NQ ของ Tag 40
3.1.3 วงจรหารความถี่ 45
3.1.4 การทำงานของ CPU ในภาคส่ง 46
3.2 วงจร Reader 47
3.2.1 วงจร Oscillator และ Power Amp 47
3.2.2 วงจร Demodulator 51
3.2.2.1 วงจร Demodulator Carrier 51
3.2.2.2 วงจร Demodulator Subcarrier 52

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.3 วงจร Comparator 53

3.2.4 การทำงานของ CPU ในภาครับ 53

บทที่ 4 การทดลองและบันทึกผล 55

4.1 การทดลองวงจรของ Tag 55

4.1.1 การทดลองวงจร Tag Regulator 55

4.1.2 การทดลองหาค่า Voltage ที่ระยะต่างๆ 58

4.1.3 การทดลองวัดสัญญาณต่างๆ 59

4.2 การทดลองวงจรของ Reader 60

4.2.1 การทดลองวัดสัญญาณต่างๆ 61

4.3 การทดลองวงจร Demodulator 61

4.3.1 การทดลองวัดสัญญาณต่างๆ 61

4.4 การทดลองบนจอ LCD 62

บทที่ 5 สรุปและวิจารณ์ผลการทดลอง 64

หนังสืออ้างอิง

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูปภาพ

รูปที่ 1.1 RFID และ บาร์โค้ด 1

รูปที่ 1.2 ความถี่ย่านที่ระบบ RFID ถูกใช้งาน 2

รูปที่ 1.3 รูปแบบต่าง ๆ ของผลิตภัณฑ์ RFID 3

รูปที่ 2.1 ส่วนประกอบหลักของระบบ RFID 4

รูปที่ 2.2 โครงสร้างภายในของแท็ก 4

รูปที่ 2.3 ตัวอย่างเครื่องอ่านแบบต่างๆ 5

รูปที่ 2.4 แสดงการสื่อสารระหว่าง Tag และ Reader 6

รูปที่ 2.5 สัญญาณนาฬิกาและสัญญาณข้อมูลแบบซิงโครนัส 7

รูปที่ 2.6 สัญญาณข้อมูลแบบอะซิงโครนัส 7

รูปที่ 2.7 ASK 9

รูปที่ 2.8 FSK 9

รูปที่ 2.9 PSK 10

รูปที่ 2.10 การเข้ารหัสแบบต่างๆ 12

รูปที่ 2.11 การกระจายความหนาแน่นสเปกตรัมกำลังงานของไลน์โค้ดชนิดต่างๆ 13

รูปที่ 2.12 ความแตกต่างของการสื่อสาร 14

รูปที่ 2.13 วงจรเรโซแนนซ์แบบอนุกรม 19

รูปที่ 2.14 วงจรเรโซแนนซ์แบบขนาน 20

รูปที่ 2.15 การแปลงวงจร RL 21

รูปที่ 2.16 การแปลงวงจร RC 22

รูปที่ 2.17 วงจรเสมือนอิมพีแดนซ์ 22

รูปที่ 2.18 วงจรแมทช์อิมพีแดนซ์อย่างง่ายที่สุด

(ก) กรณี $R_s > R_L$: $R_2 \equiv R_s$ และ $R_1 \equiv R_L$ 24

(ข) กรณี $R_s < R_L$: $R_1 \equiv R_s$ และ $R_2 \equiv R_L$ 24

รูปที่ 2.19 การแมทช์อิมพีแดนซ์ ระหว่าง R_2 และ R_1

(ก) R_2 ถูกแปลงเป็น $R_1 \pm jX_{se1}$ โดยการนำ $Z_p = \pm jX_p$ ไปต่อขนานกับ R_2 25

(ข) $\pm jX_{se1}$ ที่เกิดจากการนำ Z_p ไปต่อขนานกับ R_2 ถูกกำจัดโดยการนำ 26

$Z_{se} = \mp jX_{se1}$ ไปต่ออนุกรมเพิ่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.20 ขดลวดลูปสี่เหลี่ยมหลายชั้น 28
รูปที่ 2.21 การทำงานเบื้องต้นของคลาสซี 29
รูปที่ 2.22 การทำงานของวงจรคลาสซี
(ก) วงจรเบื้องต้นการขยายคลาสซี 29
(ข) แรงดันอินพุตและกระแสเอาต์พุต 29
(ค) การทำงานบนเส้นโหลดไลน์ 30
รูปที่ 2.23 การทำงานของวงจรขยายคลาสซี
(ก) พัลส์ที่เป็นกระแสคอลเล็กเตอร์ 30
(ข) รูปสัญญาณของคลาสซี 30
รูปที่ 2.24 วงจรจูนคลาสซี
(ก) วงจรเบื้องต้น 31
(ข) รูปสัญญาณทางออก 31
รูปที่ 2.25 แสดงรายละเอียดของวงจรเรโซแนนซ์
(ก) เมื่อ C ชาร์จประจุอันเนื่องมาจากทรานซิสเตอร์นำกระแส 31
(ข) เมื่อทรานซิสเตอร์ OFF 32
(ค) ทรานซิสเตอร์ยังคง OFF 32
(ง) ยังคง OFF ต่อไป 32
(จ) ยังคง OFF กำลังจะเริ่ม ON ใหม่ 32
รูปที่ 2.26 ฟลักซ์สนามแม่เหล็กที่เกิดขึ้น 34
รูปที่ 2.27 ขดลวดที่ค่า Self-Inductance เท่ากับ L_1 และ L_2 34
รูปที่ 2.28 ทิศทางของกระแสและแรงดันที่เกิดขึ้นในขดลวด 36
รูปที่ 2.29 สัมประสิทธิ์การคลัปปลิ้ง 36
รูปที่ 3.1 วงจรของ Tag 37
รูปที่ 3.2 วงจร Tag Regulator 38
รูปที่ 3.3 Tag Coil ชนิด Rectangular loop 40
รูปที่ 3.4 กราฟแสดง ripple filter เพื่อใช้สำหรับการคำนวณ $R_{L(AC)}$ 43
รูปที่ 3.5 วงจรหารความถี่ 45
รูปที่ 3.6 Flow Chart แสดงการทำงานซอฟแวร์ของตัวส่ง 46
รูปที่ 3.7 วงจร Oscillator และPower Amp 47
รูปที่ 3.8 การทำ Matching ระหว่าง Output กับ 50 Ω 49

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 3.9 Network C2 จาก AN267 49
รูปที่ 3.10 วงจร Match จาก 50 Ω ไป R_1 50
รูปที่ 3.11 วงจร Butterworth และ Voltage Amp. 51
รูปที่ 3.12 วงจร Butterworth ที่ n = 3 51
รูปที่ 3.13 วงจร Quadrature Detector 52
รูปที่ 3,14 วงจร Comparator 53
รูปที่ 3.15 Flow Chart แสดงการทำงานซอฟแวร์ของตัวรับ 53
รูปที่ 4.1 Tag 55
รูปที่ 4.2 วงจร Tag Regulator 55
รูปที่ 4.3 กราฟความสัมพันธ์ของ Load Regulation 56
รูปที่ 4.4 กราฟความสัมพันธ์ของ Line Regulation 57
รูปที่ 4.5 กราฟแสดงความสัมพันธ์ระหว่างระยะทางกับแรงดันเอาท์พุท 58
รูปที่ 4.6 สัญญาณข้อมูลที่ส่งจาก PIC 59
รูปที่ 4.7 สัญญาณที่ได้จากการหาร16,14 59
รูปที่ 4.8 สัญญาณที่ได้จากการหาร32,28 59
รูปที่ 4.9 สัญญาณที่ขาเดรนของ mosfet 60
รูปที่ 4.10 Reader 60
รูปที่ 4.11 สัญญาณจาก Reader ตอนที่ยังไม่มี Tag 61
รูปที่ 4.12 สัญญาณจาก Reader ตอนที่มี Tag 61
รูปที่ 4.13 สัญญาณจากวงจรขยายหลังจากผ่าน Filter 62
รูปที่ 4.14 เปรียบเทียบสัญญาณจาก Tag กับ Reader 62
รูปที่ 4.15 หน้าจอแสดงผลเมื่อไม่มี Tag 63
รูปที่ 4.16 หน้าจอแสดงผลเมื่อข้อมูลถูกต้อง 63

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

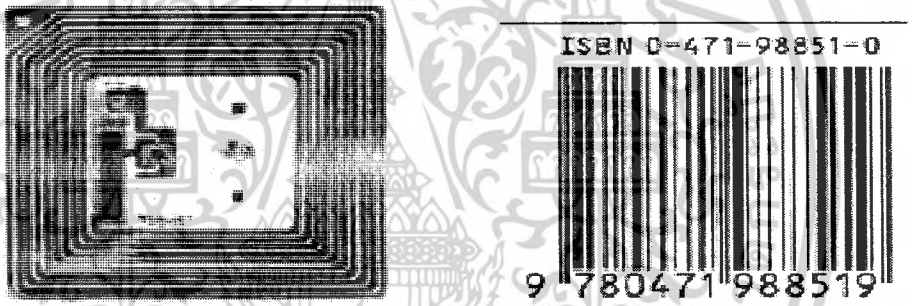
ตารางที่ 3.1 สรุปค่าพารามิเตอร์ที่คำนวณได้ของวงจร tag 45
ตารางที่ 4.1 ผลการวัดค่า Load Regulation 56
ตารางที่ 4.2 ผลการวัดค่า Line Regulation 57
ตารางที่ 4.3 ผลการวัดค่าที่ P_{MIN} 58
ตารางที่ 4.4 ผลการวัดค่าที่ P_{MAX} 58

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความรู้เบื้องต้นเกี่ยวกับ RFID

RFID (Radio Frequency Identifications) ปัจจุบันเป็นเทคโนโลยีที่ถูกนำมาใช้งานอย่างแพร่หลาย เนื่องจากเป็นเทคโนโลยีหนึ่งที่มีราคาต้นทุนที่ไม่แพงรวมทั้งสะดวกในการใช้งานง่าย และยังดีกว่าการใช้เทคโนโลยีของบาร์โค้ดสแกนผลิตภัณฑ์สินค้า เนื่องจากรหัสบาร์โค้ดอาจจะไม่ชัดเจนจนไม่สามารถสแกนได้เป็นต้น



รูปที่ 1.1 RFID และ บาร์โค้ด

RFID คือ การแปลงสัญญาณจากอะนาลอกเป็นดิจิตอลโดยใช้คลื่นความถี่วิทยุในการส่งผ่านข้อมูล และสามารถขนเคลื่อนย้ายได้เพื่อใช้ในการแสดงตัว (identify), การจัดกลุ่มสินค้า การตรวจสอบข้อมูลต่างๆ เป็นต้น ส่วนประกอบของระบบRFID มี 2 ส่วนดังนี้

1. RFID Tags หรือ Transponder
2. เครื่องอ่าน Reader หรือ Interrogator

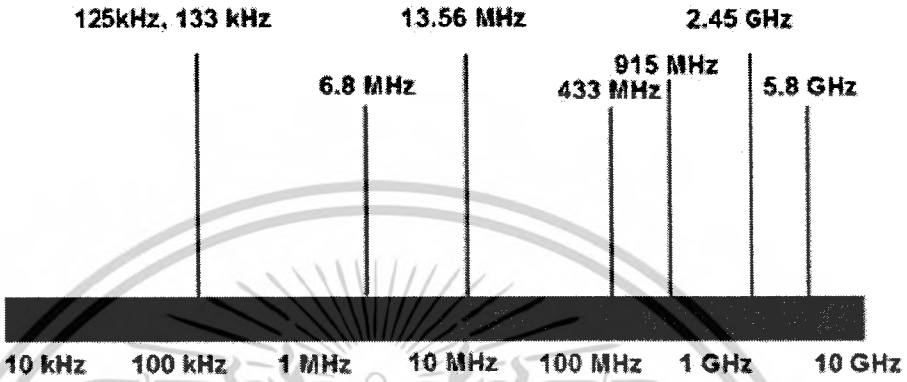
1.2 มาตรฐานความถี่ของ RFID (Standard frequency of RFID)

ย่านความถี่ของ RFID แบ่งออกได้เป็น 3 ย่านความถี่ใช้งานหลัก ได้แก่

- ย่านความถี่ต่ำ (Low Frequency: LF) ใช้ความถี่ต่ำกว่า 150 kHz
- ย่านความถี่สูง (High Frequency: HF) ใช้ความถี่ 13.56 MHz

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

• ย่านความถี่สูงยิ่ง (Ultra High Frequency: UHF) ใช้ความถี่ 433/868/915 MHz



รูปที่ 1.2 ความถี่ย่านที่ระบบ RFID ถูกใช้งาน

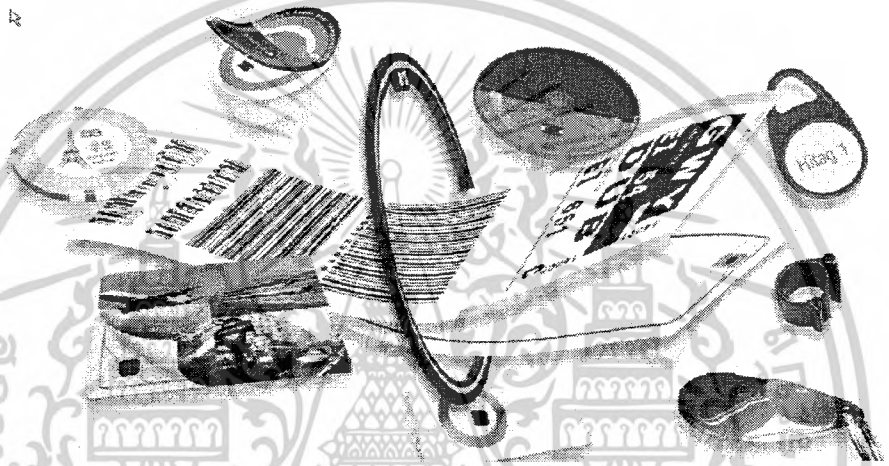
การใช้งาน 2 ย่านความถี่แรกจะเหมาะสำหรับใช้กับงานที่มีระยะการสื่อสารข้อมูลในระยะใกล้ (LF ระยะอ่านประมาณ 10-20 เซนติเมตร และ HF ระยะอ่านประมาณ 1 เมตร) เช่น การตรวจสอบการผ่านเข้าออกพื้นที่การตรวจหาและเก็บประวัติในสัตว์ ส่วนย่านความถี่สูงยิ่ง จะถูกใช้กับงานที่มีระยะการสื่อสารข้อมูลในระยะไกล (UHF ระยะอ่านประมาณ 1-10 เมตร) เช่น ระบบเก็บค่าบริการทางด่วน และในปัจจุบันระบบ RFID กำลังถูกวิจัยและพัฒนาในย่านความถี่ไมโครเวฟที่ความถี่ 2.4 GHz และความถี่ 5.8 GHz เพื่อใช้งานที่ต้องการระยะอ่านที่ไกลกว่า 10 เมตร เป็นต้น ดังรูปที่ 1.3 ในแง่ของราคาและความเร็วในการสื่อสารข้อมูล เมื่อเทียบกันแล้ว RFID ซึ่งใช้คลื่นพาหะย่านความถี่สูงเป็นระบบที่มีความเร็วในการส่งข้อมูลสูงสุด และมีราคาแพงที่สุดด้วย เช่นกัน ส่วน RFIDที่ใช้คลื่นพาหะในอีก 2 ย่านความถี่จะมีระดับราคาและความเร็วลดหลั่นกันไป

1.3 ตัวอย่างการประยุกต์ใช้งาน RFID

- ระบบการบอกรหัสสัตว์เลี้ยง (Animal identification)
- ระบบทะเบียนประวัติ บัตรประชาชน (e-Citizen)
- ระบบตั๋วอิเล็กทรอนิกส์ (e-Ticket)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ระบบบัญชีรายการอัตโนมัติ (Automated Inventory)
- ระบบบอกรหัสพนักงาน (Automatic Teller)
- ระบบอนุญาตเข้าออกสำนักงาน (Security Access)



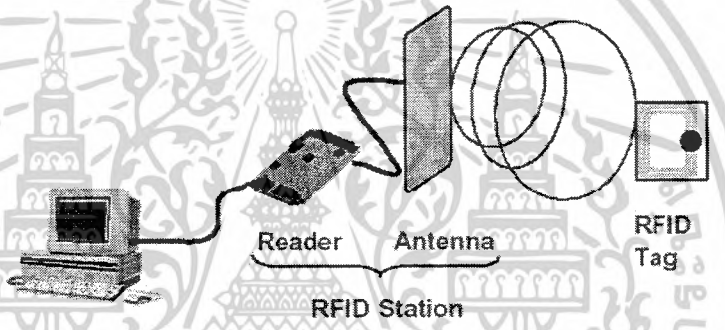
รูปที่ 1.3 รูปแบบต่าง ๆ ของผลิตภัณฑ์ RFID

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการทำงานของ RFID

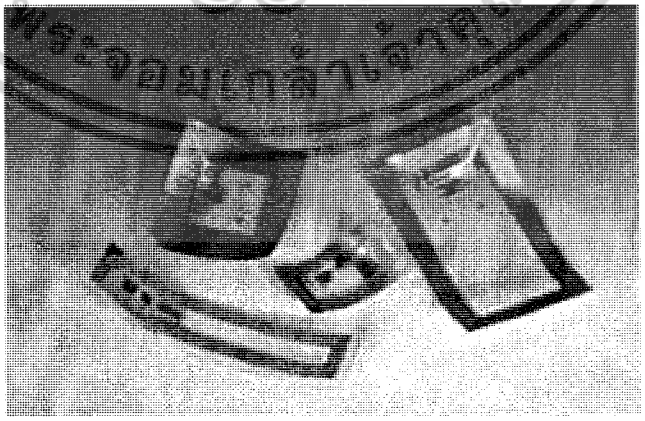
2.1 ส่วนประกอบของระบบ RFID

RFID ประกอบด้วย 2 ส่วนหลักๆคือ แท็ก (Tag) และเครื่องอ่าน (Reader)



รูปที่ 2.1 ส่วนประกอบหลักของระบบ RFID

2.1.1 แท็ก (Tag)



รูปที่ 2.2 โครงสร้างภายในของแท็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างภายในของแท็กจะประกอบด้วย 2 ส่วนใหญ่ๆ ได้แก่ขดลวดขนาดเล็กซึ่งทำหน้าที่เป็นสายอากาศ (Antenna) สำหรับรับส่งสัญญาณคลื่นความถี่วิทยุ และสร้างพลังงานป้อนให้ส่วนของไมโครชิพที่ทำหน้าที่เก็บข้อมูลของวัตถุ เช่น รหัสสินค้า โดยทั่วไปตัวแท็กอาจอยู่ทั้งในชนิดที่เป็นกระดาษ แผ่นฟิล์ม พลาสติก มีขนาดและรูปร่างต่างๆ กันไปทั้งนี้ขึ้นอยู่กับวัสดุที่จะนำเอาไปติดและมีหลายรูปแบบ เช่น ขนาดเท่าบัตรเครดิต เหรียญ กระดุม ฉลากสินค้า เป็นต้น ดังรูป ซึ่งแท็กแบ่งได้เป็น 2 ชนิดคือ

- Active Tag : ประกอบด้วยเครื่องรับ-ส่งคลื่นวิทยุ และแบตเตอรี่ที่ให้พลังงานในตัวเอง ทำให้สามารถรับ-ส่งสัญญาณข้อมูลกับ RFID Reader ได้ในระยะไกล สามารถทำงานในบริเวณที่มีสัญญาณรบกวนได้ดี และสามารถอ่านและเขียนข้อมูลลงใน Tag ชนิดนี้ได้ แต่มีข้อเสียคือ มีอายุการใช้งานจำกัดตามอายุของแบตเตอรี่ และมีราคาแพงกว่าแบบ Passive Tag
- Passive Tag : ไม่มีแบตเตอรี่ในตัวเอง น้ำหนักเบา อายุการใช้งานไม่จำกัด และราคาถูกกว่าแบบ Active Tag ลักษณะการทำงานคือ เมื่อได้รับสัญญาณที่ RFID Reader ส่งมา (อยู่ภายในรัศมีสัญญาณ ประมาณ 3 เมตร) จะทำการแปลงสัญญานนั้นเป็นพลังงาน(Beam Powered) เพื่อใช้ในการส่งข้อมูลของตัวเองกลับไปยัง Reader โดยใช้เทคนิคที่เรียกว่า Backscatter แต่ข้อเสียคือระยะการรับส่งข้อมูลใกล้ ตัวอ่านข้อมูลต้องมีความไว้สูง และจะถูกรบกวนด้วยคลื่นแม่เหล็กไฟฟ้าได้ง่าย

2.1.2 เครื่องอ่าน (Reader)

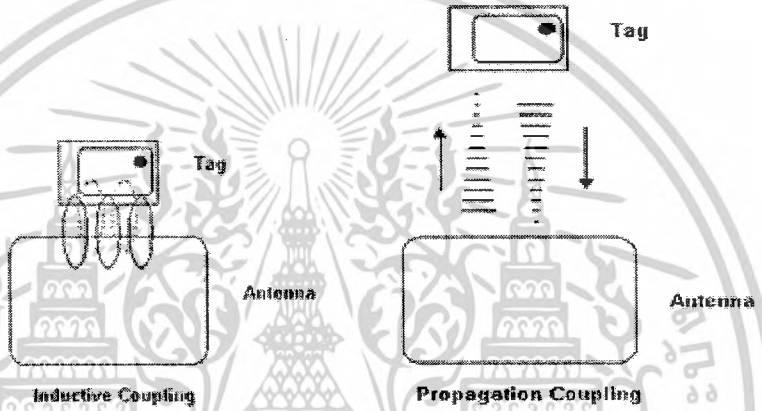
Reader คือตัวอ่านข้อมูล มีหน้าที่รับข้อมูลที่ส่งมาจาก Tag แล้วทำการตรวจสอบความผิดพลาดของข้อมูล ถอดรหัสข้อมูล และนำข้อมูลผ่านเข้าสู่กระบวนการต่อไป

รูปที่ 2.3 ตัวอย่างเครื่องอ่านแบบต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.3 Antenna

เป็นสายอากาศที่เชื่อมต่อกับ Reader เป็นตัวรับและส่งคลื่นความถี่วิทยุ ซึ่งการรับส่งคลื่นมี 2 วิธีด้วยกันคือวิธีเหนี่ยวนำคลื่นแม่เหล็กไฟฟ้า (Inductive Coupling) หรือ (Proximity Electromagnetic) กับ วิธีการแผ่คลื่นแม่เหล็กไฟฟ้า (Electromagnetic Propagation Coupling) ดังรูป



รูปที่ 2.4 แสดงการสื่อสารระหว่าง Tag และ Reader

2.2 หลักการทำงานเบื้องต้น

1. Reader จะทำการปล่อยคลื่นแม่เหล็กไฟฟ้าออกมาตลอดเวลา และคอยตรวจจับว่ามีแท็กเข้ามาอยู่ในบริเวณสนามแม่เหล็กไฟฟ้าหรือไม่

2. เมื่อมี Tag เข้ามาอยู่ในบริเวณสนามแม่เหล็กไฟฟ้า Tag จะได้รับพลังงานไฟฟ้าที่เกิดจากการเหนี่ยวนำของคลื่นแม่เหล็กไฟฟ้าเพื่อให้ Tag เริ่มทำงานและจะส่งข้อมูลในหน่วยความจำที่ผ่านการมอดูเลต กับคลื่นพาหะ แล้วออกมาทางสายอากาศที่อยู่ภายใน Tag

3. คลื่นพาหะที่ถูกส่งออกมาจาก Tag จะเกิดการเปลี่ยนแปลงแอมปลิจูด, ความถี่ หรือเฟส ขึ้นอยู่กับวิธีการมอดูเลต

4. Reader จะตรวจจับความเปลี่ยนแปลงของคลื่นพาหะ แปลงออกมาเป็นข้อมูลแล้วทำการถอดรหัสเพื่อนำข้อมูลไปใช้งานต่อไป

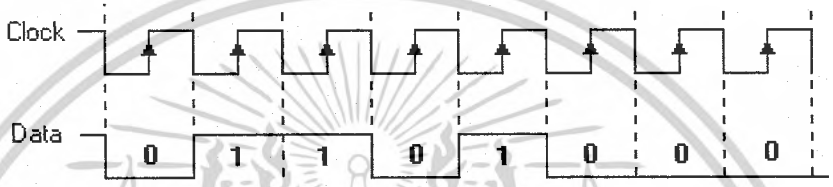
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 รูปแบบการสื่อสารแบบอนุกรม

มีด้วยกันอยู่ 2 แบบ คือแบบซิงโครนัส (Synchronous) และแบบอะซิงโครนัส(Asynchronous)

2.3.1 การสื่อสารแบบซิงโครนัส (Synchronous)

การรับส่งข้อมูล จะมีสัญญาณนาฬิกา ซึ่งเป็นตัวกำหนด จังหวะเวลา การส่งข้อมูล ร่วมอยู่ด้วยอีกเส้นหนึ่ง ใช้คู่กับสัญญาณข้อมูล ตัวอย่างเช่น การส่งสัญญาณจากคีย์บอร์ด



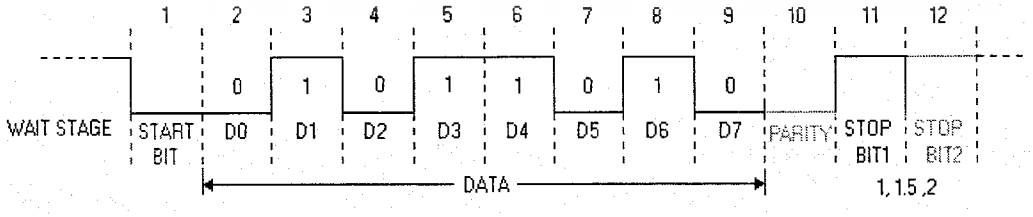
รูปที่ 2.5 สัญญาณนาฬิกาและสัญญาณข้อมูลแบบซิงโครนัส

2.3.2 การสื่อสารแบบอะซิงโครนัส (Asynchronous)

การรับส่งข้อมูล โดยที่ไม่จำเป็นต้องมีสัญญาณนาฬิกา ร่วมด้วย แต่จะใช้ให้ตัวส่ง และตัวรับมี อัตราส่งข้อมูลที่เท่ากัน

รูปแบบข้อมูลแบบอะซิงโครนัส ประกอบด้วย 4 ส่วนคือ

1. บิตเริ่มต้น (Start bit) มีขนาด1 บิต
2. บิตข้อมูล (Data) มีขนาด 5,6,7 หรือ 8 บิต
3. บิตตรวจสอบพาริตี้ (Parity bit) มีขนาด 1 บิตหรือไม่มี
4. บิตหยุด (Stop bit) มีขนาด 1, 1.5, 2 บิต



รูปที่ 2.6 สัญญาณข้อมูลแบบอะซิงโครนัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- เมื่อไม่มีการส่งข้อมูล ขา data จะมีสถานะเป็นโลจิก "1" หรือ สถานะหยุดรอ (Waiting stage)
- เมื่อเริ่มต้นส่งข้อมูลจะให้ขา data เป็นโลจิก "0" เป็นจำนวน 1 บิต เรียกว่าบิตเริ่มต้น (Start bit)
- จากนั้นก็จะเริ่มต้นส่งข้อมูล โดยส่งบิตต่ำไปก่อน (LSB)
- แล้วตามด้วยพาริตี้บิต (จะมีหรือไม่ก็ได้ ขึ้นอยู่กับการติดตั้งค่า ของทั้งสองฝ่าย)
- สุดท้ายตามด้วยโลจิก "1" อย่างน้อย 1 บิต (มีขนาด 1, 1.5, หรือ 2 บิต) เพื่อแสดงว่าสิ้นสุดข้อมูล

นอกจากนี้การรับและส่งข้อมูลแบบอนุกรมยังแบ่งออกเป็นลักษณะการใช้งานได้ 3 แบบคือ

1.) แบบซิมเพลกซ์ (Simplex) เป็นการส่ง หรือรับข้อมูล แบบทิศทางเดียว เท่านั้น
2.) แบบฮาล์ฟดูเพลกซ์ (Half Duplex) เป็นการส่งและรับข้อมูลแบบสลับกัน คือเมื่อด้านหนึ่งส่ง อีกด้านหนึ่ง เป็นฝ่ายรับ สลับกัน ไม่สามารถรับ-ส่งในเวลาเดียวกันได้
3.) แบบฟูลดูเพลกซ์ (Full Duplex) สามารถรับ-ส่งข้อมูลในเวลาเดียวกันได้

2.4 บิตเรตและบอดเรต (Bit Rate ,Baud Rate)

บิตเรต คือจำนวนของ Bits ที่ส่งได้ในหนึ่งหน่วยเวลา (1 วินาที)

บอดเรต คือจำนวนของ Symbols หรือ Signal Units ที่ส่งได้ในหนึ่งหน่วยเวลา

-Symbol แต่ละหน่วย ประกอบด้วยข้อมูลตั้งแต่ 1 บิตขึ้นไป

-Baud Rate เป็นดัชนีชี้วัดประสิทธิภาพในการถ่ายโอนข้อมูลระหว่างต้นทาง และปลายทาง

-Baud Rate = (Bit Rate)/(Number of Bits per Signal Unit)

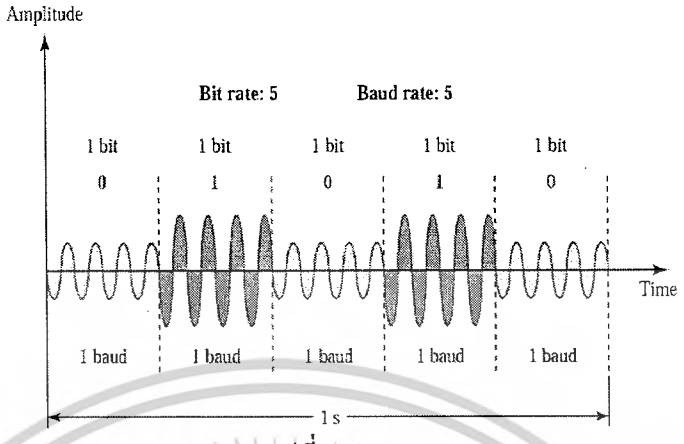
-Bit Rate = (Baud Rate) x (Number of Bits per Signal Unit)

2.5 การผสมข้อมูลแบบดิจิตอล (Digital Modulation Procedure)

2.5.1 Amplitude Shift Keying (ASK)

คือการเปลี่ยนความสูง(ระดับ)ของสัญญาณตามบิตข้อมูลเช่นระดับ A0 เมื่อข้อมูลเป็น 0 (ถ้า A0 = 0 เรียกว่า On/Off Keying) และระดับ A1 เมื่อข้อมูลเป็น 1 ทั้งนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



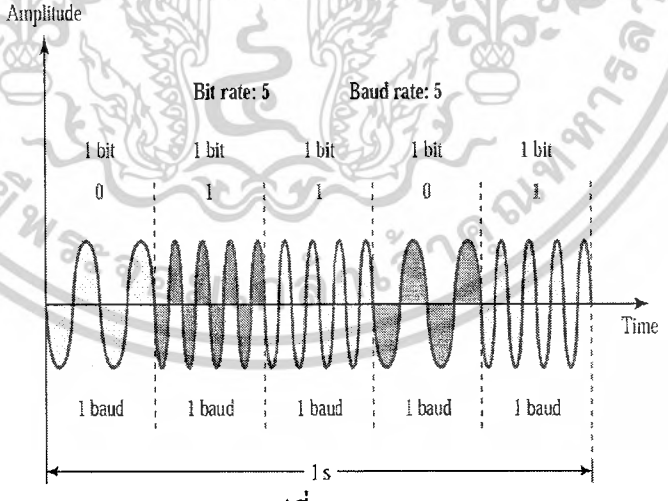
รูปที่ 2.7 ASK

ข้อดี - ออกแบบได้ง่าย ไม่ซับซ้อน

ข้อเสีย - ไม่ทนทานต่อสัญญาณรบกวน เกิดความผิดพลาดได้ง่าย

2.5.2 Frequency Shift Keying (FSK)

วิธีนี้แอมพลิจูดของสัญญาณคลื่นพาห์ที่ใช้จะคงที่ไม่เปลี่ยนแปลง แต่จะอาศัยการเปลี่ยนแปลงความถี่ของคลื่นพาหะระหว่าง 2 ความถี่ขึ้นอยู่กับสถานะของข้อมูล 0 กับ 1 โดยความถี่สูงใช้แทนข้อมูลดิจิตอลที่มีค่าเป็น 1 และความถี่ต่ำใช้แทนข้อมูลที่เป็น 0



รูปที่ 2.8 FSK

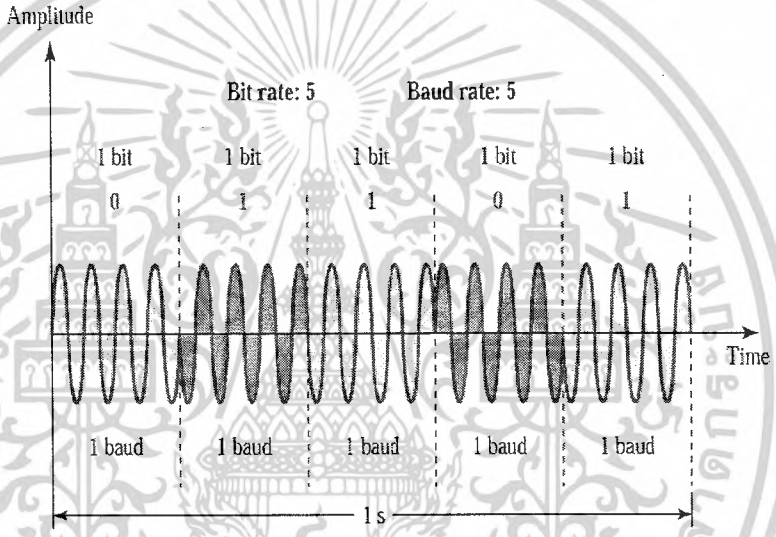
ข้อดี - ทนทานต่อสัญญาณรบกวนมากกว่าวิธี Modulation แบบ ASK เนื่องจากอุปกรณ์ด้านรับมองหา ความถี่เฉพาะ ที่อยู่ในช่วงเวลาหนึ่งๆ โดยไม่สนใจ Noise กระชากระยะสั้น

ข้อเสีย - แถบ Bandwidth กว้างกว่าวิธี Modulation แบบ ASK เมื่อส่งข้อมูลที่มี Baud Rate เท่ากัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.5.3 Phase Shift Keying (PSK)

วิธีนี้แอมพลิจูดและความถี่ของคลื่นพาห์จะกำหนดให้เป็นค่าคงที่ค่าหนึ่งโดยไม่มีการเปลี่ยนแปลงใดๆ ส่วนที่เปลี่ยนไปตามข้อมูลดิจิตอล 0 หรือ 1 คือ เฟส กล่าวคือถ้าบิตข้อมูลที่จะส่งมีค่าเป็น 0 ระบบจะส่งคลื่นพาห์ทีมีเฟสตามที่กำหนดค่าหนึ่ง และถ้าบิตข้อมูลมีค่าเป็น 1 ระบบจะส่งคลื่นที่ต่างไปจากกรณีแรก โดยทั่วไปถ้าเราต้องการให้ได้ระบบที่มีสมรรถนะดีก็มักจะเลือกเฟสทั้งสองให้มีค่าต่างกัน 180 องศา



รูปที่ 2.9 PSK

ข้อดี - ทนทานต่อสัญญาณรบกวนมากกว่า ASK, ใช้แถบความถี่แคบกว่า PSK และ สามารถแทนสัญลักษณ์ได้มากกว่า 1 บิตต่อหน่วยสัญญาณ

ข้อเสีย - ออกแบบเครื่องรับ/ส่ง และวิเคราะห์ ยากกว่า ASK และ PSK

2.6 การแปลงข้อมูลดิจิตอลให้เป็นสัญญาณดิจิตอล (Digital Data to Digital Signal)

สัญญาณ PCM(Pulse Code Modulation) ที่ได้จะประกอบด้วยกลุ่มข้อมูลของ “1” และ “0” ซึ่งจะถูกส่งผ่านไปในสื่อสัญญาณต่างๆ และเพื่อให้ข้อมูลนี้สามารถส่งไปถึงปลายทางได้อย่างถูกต้องจำเป็นต้องมีการเปลี่ยนรูปของสัญญาณ PCM ที่ได้ให้มีรูปแบบที่เหมาะสมก่อนจึงจะส่งไปในสื่อสัญญาณต่างๆ ได้ ซึ่งรูปแบบแต่ละรูปแบบเราเรียกว่า Line Code (หรือการเข่านหัสทางสายส่ง) โดยมี Code Conversion ทำหน้าที่ในการแปลงสัญญาณ PCM ให้อยู่ในรูปแบบที่ต้องการ และมีหลักในการกำหนด Line Code ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. สัญญาณนั้นจะต้องไม่มีส่วนประกอบของสัญญาณไฟตรง(DC) ตลอดเวลาหรือเป็นช่วงเวลานาน เพราะสัญญาณไฟตรงไม่สามารถผ่านอุปกรณ์พวก Capacitor หรือ Transformer ซึ่งมีไว้อยู่ในวงจรส่วนต่างๆ ได้

2. พลังงานที่ความถี่ต่ำจะต้องมีค่าน้อย เนื่องจากจะทำให้ต้องใช้อุปกรณ์ที่มีขนาดใหญ่ในส่วนของวงจร Equalization

3. สามารถซิงโครไนซ์ได้เอง(Self-synchronization) หมายถึงการที่ลำดับหรือชุดของสัญญาณที่รับได้มีข่าวสารของสัญญาณนาฬิกาที่เพียงพอผนวกมาพร้อมกับข่าวสารของบิตข้อมูล

4. ความน่าจะเป็นที่เกิดความผิดพลาดบิตต่ำ (low probability of bit error) คือ สามารถทนทานต่อสัญญาณรบกวนได้ดี

5. สัญญาณ Code นั้นจะต้องมีเพียง Code เดียวเพื่อไม่ให้เกิดความคลุมเครือที่ตะทำให้การ Decode แปลงค่าผิดไป

5. ต้องใช้ Bandwidth ในการส่งสัญญาณนั้นน้อยที่สุด และในขณะเดียวกันสเปกตรัมของสัญญาณนั้นจะต้องมีรูปลักษณ์ที่เหมาะสมกับช่องสัญญาณด้วย(a spectrum that is suitable for the channel)

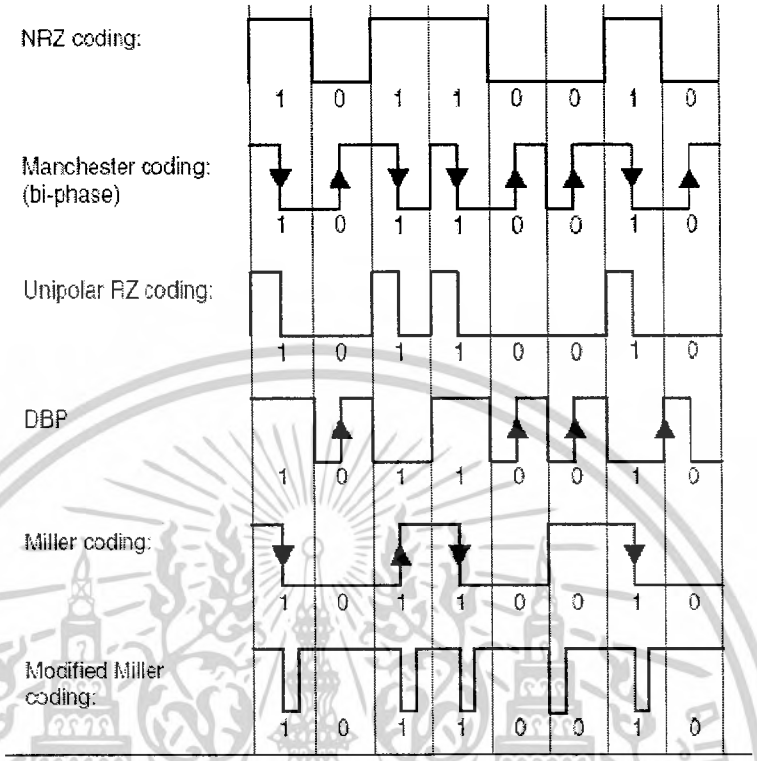
6. จะต้องมีการตรวจจับหรือแก้ไขข้อผิดพลาดจากการส่งได้ (Error Detection and Correction)

7. ทรานส์พาเรนต์ซี (transparency) หมายถึงคุณสมบัติที่ระบบสามารถรับส่งชุดบิตที่มีรูปแบบใดก็ได้โดยไม่มีผลต่อสมรรถนะการทำงานของระบบ

มาตรฐานการทำ line code มีหลายลักษณะ และสำหรับ Line Code ที่พบบ่อยและเป็นที่นิยมใช้ก็คือ NRZ และ Manchester Coding ซึ่งมีลักษณะที่สำคัญ ดังนี้

- ***Non Return to Zero: NRZ*** การทำไลน์โค้ดแบบ NRZ จะพบว่าภายในช่วงเวลาของแต่ละบิต รูปสัญญาณจะไม่มีการเปลี่ยนระดับไปสู่ค่าศูนย์โวลต์ ซึ่งต่างกับการทำไลน์โค้ดแบบ RZ หรือ Return to Zero ซึ่งลักษณะรูปสัญญาณจะมีการเปลี่ยนระดับไปสู่ค่าศูนย์โวลต์ทุกๆ บิต มีข้อดีคือสัญญาณพัลส์ที่ส่งออกจะมีการเปลี่ยนแปลงระดับอย่างแน่นอน ซึ่งนับเป็นปัจจัยสำคัญในการจะช่วยให้การซิงโครไนซ์สัญญาณ ณ ภาครับทำได้โดยตรงจากสัญญาณที่รับมาได้ เพราะสัญญาณที่รับมาได้นั้นมีทั้งสัญญาณนาฬิการวมอยู่กับสัญญาณข้อมูลแล้ว แต่ขนาดของแบนด์วิดท์ที่ต้องใช้ในการส่งสัญญาณก็จำเป็นต้องใช้ขนาดที่กว้างกว่าใช้ไลน์โค้ดแบบ NRZ ดังนั้นการจะเลือกใช้ไลน์โค้ดแบบใดจึงต้องมีการพิจารณาคุณสมบัติหลายประการประกอบกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 การเข้ารหัสแบบต่างๆ

• ***Manchester*** เป็นการเข้ารหัสข้อมูลดิจิทัลวิธีหนึ่ง ก่อนที่ข้อมูลซึ่งผ่านการเข้ารหัสแล้วจะถูกส่งไปมอดูเลต เพื่อแก้ปัญหาเกี่ยวกับการซิงโครไนซ์ของข้อมูล เนื่องจากการส่งกระจายสัญญาณตาม

ปกตินั้นหากมีการส่งสัญญาณดิจิทัลในระดับเดียวติดต่อกันเป็นช่วงยาว เช่น ส่งสัญญาณดิจิทัลที่มีค่าลอจิกเป็น 1 ออกไป 20 บิตติดต่อกัน จะทำให้การซิงโครไนซ์ของข้อมูลเกิดการคลาดเคลื่อน (โดยปกติวงจรดิจิทัลจะปรับการซิงโครไนซ์ของข้อมูลได้เฉพาะในช่วงที่มีการเปลี่ยนระดับของข้อมูลจาก 1 เป็น 0 หรือ จาก 0 เป็น 1) และทำให้รับข้อมูลผิดพลาดเพื่อป้องกันปัญหาดังกล่าวจึงจะต้องมีการนำสัญญาณดิจิทัลปกติไปผ่านเข้ารหัสเสียก่อน โดยการเข้ารหัสแบบแมนเชสเตอร์ จะเปลี่ยนให้สัญญาณดิจิทัลลอจิก 0 ถูกแทนด้วยการเปลี่ยนค่าจากลอจิก 1 เป็น 0 และสัญญาณดิจิทัลลอจิก 1 แทนด้วยการเปลี่ยนค่าจากลอจิก 0 เป็น 1 ข้อดีของการเข้ารหัสแบบนี้ก็คือ ทำให้การเปลี่ยนระดับของข้อมูลทุกๆ ครั้งเป็นไปอย่างแน่นอน หรือเกิดการเข้าจังหวะ (synchronize) กันของข้อมูลนั่นเอง แต่ว่าการเข้ารหัสแบบนี้ก็มีข้อเสียอยู่กล่าวคือช่วงความถี่ที่ใช้ในการส่งข้อมูลต้องเพิ่มขึ้นเป็น 2 เท่า

เมื่อพิจารณาการกระจายความหนาแน่นสเปกตรัมกำลังงานของไลน์โค้ด แต่ละประเภทอธิบายได้ดังรูปที่ 2.12

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

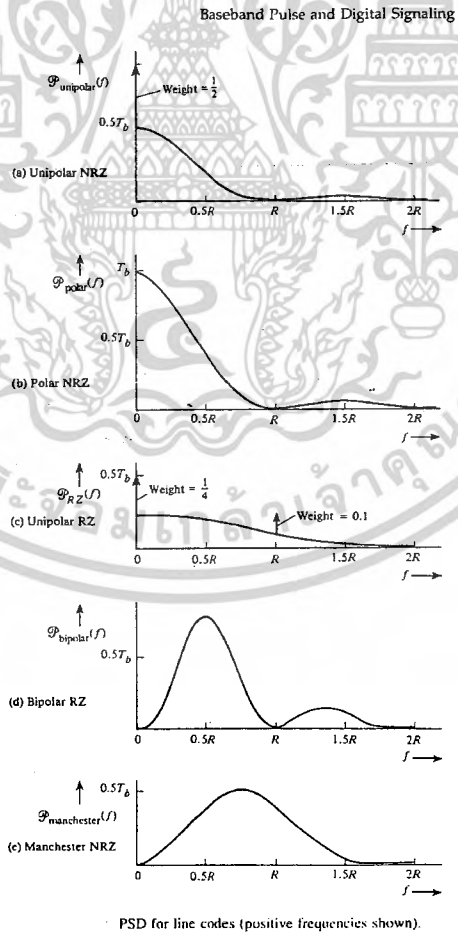
1.ไลน์โค้ด Unipolar NRZ: จัดว่ามีองค์ประกอบของกระแสตรงอยู่ในสัดส่วนที่สูงมาก และพลังงานของสัญญาณส่วนที่เหลือกระจายอยู่ในช่วงความถี่[0-R]

2.ไลน์โค้ด Polar NRZ: ความหนาแน่นกำลังของถือว่ามีองค์ประกอบของกระแสตรงอยู่บ้างแต่ด้วยสัดส่วนที่น้อยมาก และพลังงานส่วนใหญ่มีการกระจายตัวอยู่ที่ความถี่[0-R]

3.ไลน์โค้ดแบบ Unipolar RZ: มีลักษณะการกระจายกำลังงานที่คล้ายกับ Unipolar NRZ เพียงแต่มีความหนาแน่นของสเปกตรัมกว้างขึ้นอีกเท่าตัวเมื่อเทียบกับ NRZ

4. ไลน์โค้ดแบบ Bipolar RZ: แม้ว่าจะมีการกระจายกำลังงานส่วนใหญ่อยู่ที่ [0-R] เช่นเดียวกับ 2 กรณีแรก แต่สิ่งที่น่าสังเกตคือ ไลน์โค้ดชนิดนี้ไม่มีองค์ประกอบของไฟตรงปนอยู่เลย

5. ไลน์โค้ด Manchester: การกระจายตัวของพลังงานครอบคลุมช่วงความถี่[0-2R] ซึ่งหมายความว่าไลน์โค้ด Manchester มีความต้องการ Bandwidth ในการส่งที่กว้างกว่าไลน์โค้ดชนิดอื่นเท่าตัว



รูปที่ 2.11 การกระจายความหนาแน่นสเปกตรัมกำลังงานของไลน์โค้ดชนิดต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

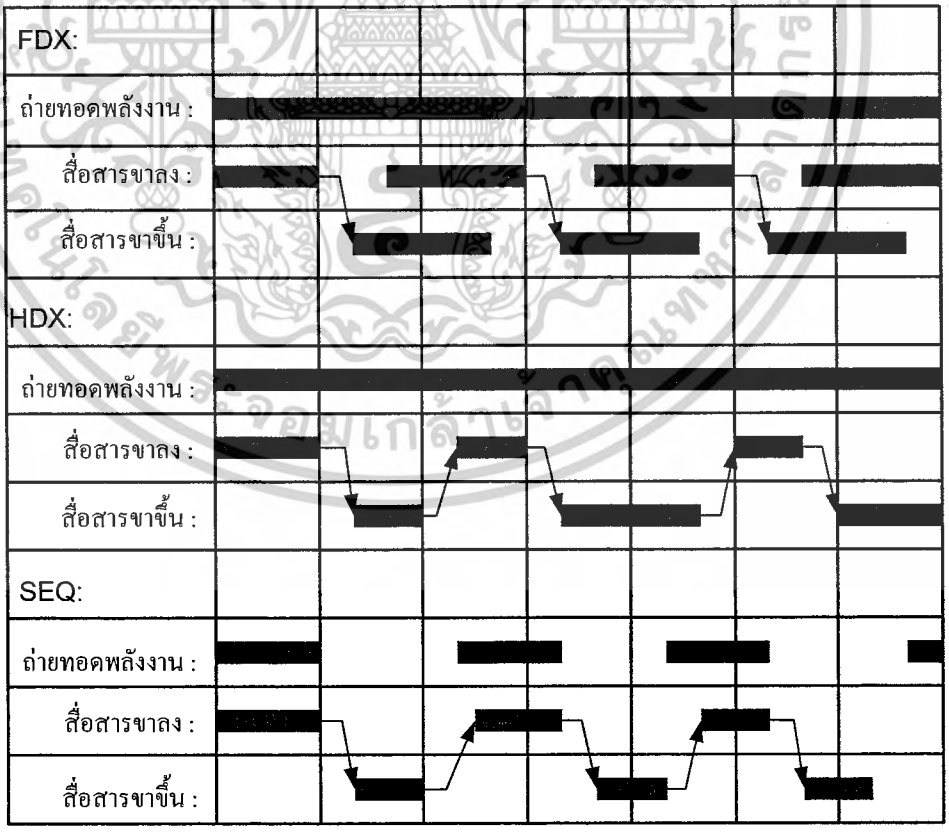
2.7 รูปแบบการรับส่งข้อมูลโดยใช้ความถี่คลื่นวิทยุ

รูปแบบการรับส่งข้อมูลโดยการใช้คลื่นวิทยุสามารถแบ่งออกเป็น 3 ประเภท ดังนี้

การสื่อสารแบบ Full Duplex : แบบ Full Duplex เครื่องอ่านจะทำการส่งสัญญาณที่สามารถตรวจจับและแปลงเป็นกำลังงานไฟฟ้าให้กับเครื่องลูกข่ายได้ตลอดเวลา การส่งข้อมูลจากเครื่องอ่านไปยังเครื่องลูกข่าย (Downlink) และการส่งข้อมูลจากเครื่องลูกข่ายกลับมายังเครื่องอ่าน (Uplink) สามารถกระทำขึ้นเมื่อใดก็ได้ ไม่จำเป็นต้องรอจังหวะในการส่งไปกลับแต่อย่างใด

การสื่อสารแบบHalf Duplex : แบบ Half Duplex แม้ว่าเครื่องอ่านจะทำการส่งพลังงานไฟฟ้าไปให้กับเครื่องลูกข่ายตลอดเวลา แต่ก็ต้องมีการกำหนดจังหวะผลัดกันรับส่งข้อมูลระหว่างเครื่องอ่านและเครื่องลูกข่าย

การสื่อสารแบบSequential : แบบ Sequential นั้น จะมีการจำกัดเวลาในการส่งพลังงานไฟฟ้าจากเครื่องอ่านไฟให้เครื่องลูกข่ายในลักษณะพัลซ์ (Pulse) หรือก้อนพลังงานที่ส่งออกในแต่ละช่วงเวลาและใช้การปรากฏขึ้นของพลังงานไฟฟ้าหรือพัลซ์เป็นสัญญาณกำหนดให้มีการส่งข้อมูล(Downlink)ส่วนช่วงที่ไม่มีพลังงานปรากฏอยู่จะเป็นการส่งสัญญาณ (Uplink)



รูปที่ 2.12 ความแตกต่างของการสื่อสารแบบ Full Duplex, Half Duplex และ Sequential

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.8 เทคโนโลยี RFID ที่ใช้การสื่อสารแบบ Duplexing

มาตรฐานการสื่อสาร RFID แบบ Duplexing ซึ่งสามารถจำแนกตามรูปแบบการทำงานได้ 4 ประเภท อันได้แก่เทคโนโลยีแบบ Inductive Coupling, Elextromagnetic backscatter Coupling, Close Coupling และเทคโนโลยี Electrical Coupling ซึ่งจะขอกล่าวเฉพาะเทคโนโลยีแบบ Inductive Coupling

เทคโนโลยี แบบ Inductive Coupling

เป็นมาตรฐานที่ใช้หลักการเหนี่ยวนำทางคลื่นแม่เหล็ก โครงสร้างของเครื่องลูกข่ายประกอบไปด้วยแผงวงจรหรือชิปที่ใช้เก็บข้อมูลต่างๆ โดยมีขดลวดพื้นที่กว้างทำหน้าที่เป็นสายอากาศสำหรับ
รับและส่งสัญญาณ ทั้งนี้จะกล่างถึงเทคนิคในการส่งจ่ายพลังงานไฟฟ้าจากเครื่องลูกข่ายเพื่อเลี้ยงให้อุปกรณ์ชิปสามารถทำงานได้ก่อนจะกล่าวถึงเทคนิคที่ใช้ในการรับส่งข้อมูล

การส่งพลังงานจากเครื่องอ่าน

เนื่องจากการทำงานของเครื่องลูกข่ายนั้นเป็นแบบพาสซีฟ (Passive operation) กล่าวคือไม่มีแหล่งพลังงานภายในเป็นของตนเอง จึงจำเป็นจะต้องรับพลังงาน(Energy) มาจากเครื่องอ่านโดยตรง ด้วยเหตุนี้ จึงต้องมีการออกแบบระบบสายอากาศของเครื่องอ่าน(ซึ่งทำหน้าที่เป็นเครื่องส่งทั้งข้อมูลและพลังงานไปในตัว) ให้สามารถส่งพลังงานคลื่นแม่เหล็กไฟฟ้าที่กำลังสูงสามารถตกกระทบขดลวดที่ทำหน้าที่เป็นสายอากาศของเครื่องลูกข่ายได้อย่างเหมาะสม

ประกอบทั้งความยาวคลื่นของสัญญาณคลื่นแม่เหล็กไฟฟ้าที่ส่งกระจายออกมาจากเครื่องอ่านนี้มีค่ามากกว่าระยะห่างระหว่างเครื่องลูกข่ายกับเครื่องอ่าน ซึ่งโดยทั่วไปมักวางห่างกันในหลักไม่มากนัก ในขณะที่เทคโนโลยี RFID แบบ Inductive Coupling ส่วนใหญ่ใช้ความถี่ต่ำเพียง 135 กิโลเฮิรตซ์หรืออาจจะต่ำกว่า ซึ่งคลื่นแม่เหล็กไฟฟ้า จะมีความยาวคลื่นสูงมากถึง 2,400 เมตร แม้ในบางระบบที่ความถี่ใช้ความถี่สูงในย่าน 13.56 เมกะเฮิรตซ์ ก็ยังกำเนิดคลื่นสัญญาณที่มีความยาวคลื่นถึง 22.1 เมตร จึงไม่มีปัญหาในเรื่องของความยาวคลื่นที่สั้นเกินไปจนเกิดปรากฏการณ์เลี้ยวเบนหรือถูกลดทอนจากผนังอาคารหรือสิ่งก่อสร้างต่างๆ หากพิจารณาถึงพื้นที่ใช้งานโดยทั่วไปที่มิได้ไกลหรือกว้างใหญ่มากนัก

สัญญาณคลื่นแม่เหล็กไฟฟ้าส่วนหนึ่งจะตกกระทบขดลวดสายอากาศของเครื่องลูกข่ายก่อให้เกิดแรงดันไฟฟ้าขนาดอ่อนๆ ขึ้นบนขดลวดดังกล่าว ซึ่งแรงดันไฟฟ้านี้จะถูกนำไปเข้ากระบวนการเร็กติไฟร์โดยตัวเก็บประจุและไดโอดเพื่อกรองให้เป็นแรงดันไฟฟ้ากระแสตรงสำหรับป้อนให้กับอุปกรณ์ชิป ทั้งนี้หัวใจของการออกแบบอยู่ที่การเลือกค่าของตัวเก็บประจุ C1 ซึ่งจะต้องมีค่าสัมพันธ์กับค่าความเหนี่ยวนำของขดลวด L เพื่อให้สามารถกำหนดค่าความถี่กำทอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

(Resonance Frequency) ที่ตรงกับความถี่ของคลื่นแม่เหล็กไฟฟ้าที่ถูกส่งออกมาจากเครื่องอ่าน เพื่อให้เกิดการเหนี่ยวนำพลังงานไฟฟ้าสูงสุดที่เครื่องลูกข่าย

สิ่งที่ผู้ออกแบบอุปกรณ์เครื่องอ่านและเครื่องลูกข่าย RFID แบบ Inductive Coupling ให้ความสำคัญมากที่สุดก็คือ การออกแบบขดลวดทั้งที่เครื่องอ่านและเครื่องลูกข่ายให้สามารถถ่ายทอด

พลังงานไฟฟ้าให้แก่กันได้อย่างมีประสิทธิภาพมากที่สุด หากจินตนาการเปรียบเทียบการถ่ายทอดพลังงานไฟฟ้าระหว่างขดลวดทั้งสองมิได้พันอยู่บนแกนแม่เหล็กเดยวกัน กลับกลายเป็นใช้อากาศซึ่งมีคุณศมบัติในการนำพาสัญญาณที่เลวร้ายกว่าแกนแม่เหล็กมากๆ

ดังนั้นในการออกแบบระบบแบบ Inductive Coupling ให้มีประสิทธิภาพในการถ่ายทอดพลังงานให้มากที่สุดจึงต้องเน้นไปที่ย่านความถี่ที่เหมาะสมต่อการส่งกระจายพลังงาน จำนวนรอบของขดลวดที่เครื่องอ่าน พื้นที่หน้าตัดของขดลวดที่เครื่องลูกข่าย มุมติดตั้ง และระยะห่างระหว่างเครื่องอ่านกับเครื่องลูกข่าย

เมื่อความถี่ที่ใช้ในการสื่อสารมีค่าสูงมากขึ้น จะพบว่าค่าความเหนี่ยวนำที่ต้องใช้สำหรับขดลวดสายอากาศของเครื่องลูกข่ายจะมีค่าลดลง ซึ่งหมายถึงใช้จำนวนรอบในการพันลดลงเช่นกัน ตัวอย่างเช่น หากใช้งานที่ความถี่ย่าน 135 กิโลเฮิรตซ์ จะต้องมีการพันขดลวดอากาศที่เครื่องลูกข่ายในช่วง 100-1,000 รอบ แต่หากเพิ่มความถี่ในการใช้งานเป็น 13.56 เมกะเฮิรตซ์ ก็จะสามารถลดจำนวนรอบของขดลวดจะเหลือเพียง 3-10 รอบเท่านั้น

2.9 การส่งข้อมูลจากเครื่องลูกข่ายมายังเครื่องอ่าน

<u>เทคโนโลยี Load Modulation</u>

การส่งพลังงานและสัญญาณระหว่างขดลวดของเครื่องอ่านและขดลวดของเครื่องลูกข่ายมีแบบจำลองที่ไม่ต่างจากการทำงานของขดลวดหม้อแปลงไฟฟ้าแต่อย่างใด หากแต่เพียงตัวกลางที่ใช้ในการถ่ายทอดพลังงานเป็นอากาศไม่ใช่แท่งโลหะที่พบเห็นในหม้อแปลงไฟฟ้า อย่างไรก็ตามการใช้อากาศเป็นตัวกลางถ่ายทอดสัญญาณระหว่างขดลวดทั้งสองนั้น จะทำได้ก็ต่อเมื่อระยะห่างระหว่างขดลวดของเครื่องอ่านและเครื่องลูกข่ายห่างกันไม่เกิน 0.16 เท่าของค่าความยาวคลื่น

หากมีการนำเครื่องลูกข่ายซึ่งมีคุณสมบติของขดลวดและตัวเก็บประจุ (LC) ตรงกันกับค่าความถี่กำทอนของเครื่องอ่านมาใช้ในพื้นที่ตรวจสอบที่มีการแพร่กระจายสัญญาณคลื่นแม่เหล็กไฟฟ้าจากเครื่องอ่าน เครื่องลูกข่ายย่อมจะดึงพลังงานไฟฟ้าผ่านกระบวนการเหนี่ยวนำเพื่อสร้างแรงดันไฟเลี้ยงให้กับอุปกรณ์อิเล็กทรอนิกส์ภายใน ซึ่งหากพิจารณาในแง่ของวงจรไฟฟ้าแล้ว เครื่องอ่านจะมองเห็นเครื่องลูกข่ายเป็นโหลดวงจรตัวหนึ่งที่มีค่าอิมพีแดนซ์เท่ากับ ZT ต่อพ่วงกับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

ขดลวดสายอากาศของเครื่องอ่าน การเปลี่ยนแปลงใดๆ ไม่ว่าจะเป็นการส่งหรือหยุดส่งพลังงานจากเครื่องอ่านย่อมมีผลต่อการเปลี่ยนแปลงค่าอิมพีแดนซ์ ZT ที่เครื่องอ่านมองเห็นอย่างแน่นอน เนื่องจากในแง่ของวงจร Resonant ที่เกิดจากขดลวด (L) และตัวเก็บประจุ (C) บนเครื่องลูกข่ายย่อมมีค่าอิมพีแดนซ์เปลี่ยนแปลงไปตามค่าความถี่ที่ตกกระทบ และไม่มีการจ่ายพลังงานก็เทียบเท่ากับความถี่เท่ากับศูนย์ ซึ่งการเปลี่ยนแปลงค่าอิมพีแดนซ์เสมือน ZT นี้ย่อมมีผลต่อการเปลี่ยนแปลงระดับแรงดันไฟฟ้าที่ตกคร่อมขดลวดสายอากาศของเครื่องอ่านโดยปริยาย ซึ่งนี่เองที่เป็นสัญญาณแจ้งให้เครื่องอ่านทราบว่ากำลังจะมีการส่งข้อมูลจากเครื่องลูกข่ายมา เรียกเทคโนโลยีนี้ว่า Load Modulation

<u>เทคโนโลยี Load Modulation with subcarrier</u>

เนื่องจากระดับความสามารถในการถ่ายทอด (Coupling) สัญญาณระหว่างขดลวดสายอากาศของเครื่องลูกข่ายและเครื่องอ่านค่อนข้างต่ำอันเนื่องมาจากเหตุผลที่ได้กล่าวไปแล้ว การเปลี่ยนแปลงระดับแรงดันสัญญาณที่เกิดขึ้นบนขดลวดของเครื่องอ่าน อันมีผลมาจากการส่งข้อมูลจากเครื่องลูกข่ายย่อมอยู่ในระดับที่ต่ำมาก ๆ จนบางครั้งอาจไม่สามารถตรวจจับได้ เป็นผลให้เกิดปัญหาในการส่งข้อมูลในทิศทาง Uplink ในทางปฏิบัติสำหรับระบบ RFID แบบ Inductive Coupling ที่ใช้ความถี่ 13.56 Mhz. สมมุติว่ามีแรงดันปรากฏที่ขดลวดของเครื่องอ่านสูงถึง 100 โวลต์ (ที่สูงเช่นนี้ส่วนใหญ่เกิดจากการปรากฏการณ์กำทอน) จะพบว่าเมื่อมีการส่งข้อมูลจากเครื่องลูกข่ายกลับมายังเครื่องอ่าน ความเปลี่ยนแปลงของระดับแรงดันไฟฟ้าที่จะเกิดขึ้นเหนือแรงดัน 100 โวลต์ บนขดลวดของเครื่องอ่านจะมีค่าสูงอย่างมากก็ไม่เกิน 100 มิลลิโวลต์ก็ถือว่าต่ำกว่าแรงดันพื้นฐานบนขดลวดถึง 1000 เท่า หรือหากคิดในแง่ของการออกแบบวงจรเพื่อตรวจจับสัญญาณการเปลี่ยนแปลงดังกล่าว ก็ต้องกล่าวว่าสัญญาณดังกล่าวมีระดับความแตกต่างระหว่างตัวสัญญาณจริงกับสัญญาณรบกวนต่ำมาก เพียง 80 เดซิเบล เท่านั้น ที่กล่าวเช่นนี้ก็เพราะโอกาสที่จะเกิดสัญญาณรบกวน เช่นการกระเพื่อมโดยธรรมชาติของแรงดันไฟฟ้า 100 โวลต์ ในพิกัด ± 10 มิลลิโวลต์ เป็นไปได้สูงมากการใช้เทคโนโลยี Load Modulation with subcarrier ซึ่งมีหลักการคล้ายคลึงกับการรับส่งวิทยุ AM (Amplitude Modulation)

เนื่องจากปัญหาในเรื่องของขนาดแรงดันสัญญาณข้อมูลที่ต่ำมาก ๆ ทำให้ต้องออกแบบวงจรตรวจจับความเปลี่ยนแปลงของแรงดันไฟฟ้าที่ซับซ้อนและมีต้นทุนสูงมาก จึงมีการปรับปรุงรูปแบบการตรวจจับสัญญาณโดยใช้เทคนิค Load Modulation with subcarrier ซึ่งในกรณีที่มีการส่งข้อมูลจำนวนมาก ๆ ซึ่งหากมองในแง่ของเครื่องอ่านย้อนกลับมายังเครื่องลูกข่าย จะเห็นการเปลี่ยนแปลงของแรงดันไฟฟ้าด้วยความถี่ค่าหนึ่งสมมุติว่าเป็น fs ในกรณีนี้จะพบว่าพฤติกรรมในการส่งข้อมูลจากเครื่องลูกข่ายมายังเครื่องอ่านไม่ต่างจากการส่งกระจายสัญญาณ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

104299

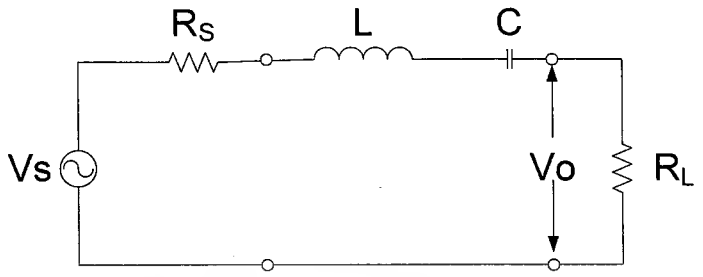
คลื่นวิทยุแบบ AM แต่อย่างใด กล่าวคือ ความต้องการในการส่งข้อมูลข่าวสารในแบนด์วิดธ์ช่วง fs ซึ่งเป็นค่าความถี่ต่ำ โดยใช้ความถี่คลื่นพาหะที่เป็นความถี่สูงกว่ามาก ๆ ซึ่งในกรณีของอุปกรณ์ RFID นั้นก็คือความถี่พื้นฐานที่ใช้ในการติดต่อสื่อสารระหว่างเครื่องอ่านกับเครื่องลูกข่ายนั้นเอง หากมีการนำอุปกรณ์ประเภททรานซิสเตอร์ซึ่งมีคุณสมบัติในการรวมสัญญาณ ดังเช่นที่ใช้ในเครื่องรับส่งคลื่นวิทยุมาต่อในวงจรภายในเครื่องลูกข่ายก็จะทำให้เกิดการมอดูเลตสัญญาณ ทำให้ปรากฏคลื่นความถี่ไซด์แบนด์ (Sideband) หรือความถี่ข้างเคียงอันมีค่าเท่ากับ fT + fs และ fT - fs โดย fT ก็คือความถี่ในการติดต่อสื่อสารระหว่างเครื่องอ่านและเครื่องลูกข่าย RFID นั่นเอง เมื่อเป็นเช่นนี้ การตรวจจับสัญญาณที่ปรากฏบนเครื่องอ่านก็จะง่ายดายขึ้น โดยเพียงแต่ทำการติดตั้งอุปกรณ์แยกกรองความถี่ (Bandpass filter) ที่ขดลวดของเครื่องอ่าน โดยสามารถเลือกเฉพาะสัญญาณในด้านหนึ่งที่ต้องการ (fT ± fs) จากนั้นจึงนำสัญญาณที่กรองออกมาไปทำการขยายแล้วทำการดีมอดูเลตก็จะได้สัญญาณข้อมูลที่ถูกส่งออกมาจากเครื่องลูกข่าย โดยไม่มีปัญหาการผิดพลาดจากการตรวจจับการเปลี่ยนแปลงระดับแรงดันไฟฟ้าที่ซับซ้อนอีกแต่อย่างใด และเนื่องจากข้อมูลที่มีการส่งออกมาจากเครื่องลูกข่ายไปยังเครื่องอ่านแท้จริงแล้วเป็นลำดับข้อมูลไบนารีที่สถานะเพียง “1” หรือ “0” จึงสามารถเลือกใช้รูปแบบการมอดูเลตสัญญาณแบบดิจิตอลได้หลากหลายชนิด ไม่ว่าจะเป็น ASK (Amplitude Shift Keying) FSK (Frequency Shift Keying) หรือ PSK (Phase Shift Keying) อย่างไรก็ตามเนื่องจากความถี่ในการส่งข้อมูลจากเครื่องลูกข่ายมายังเครื่องอ่านทำให้ต้องมีการกันแบนด์วิดธ์สำหรับการรับส่งข้อมูลไว้ค่อนข้างสูง

2.10 วงจรเรโซแนนซ์

ธรรมชาติของวงจรเรโซแนนซ์จะยอมให้ความถี่ค่าหนึ่งผ่านได้ดี เรียกว่า ความถี่เรโซแนนซ์ เมื่อป้อนความถี่เรโซแนนซ์แก่วงจรเรโซแนนซ์อนุกรม กระแสจะผ่านได้มากที่สุดโดยมีแรงดันตกคร่อมวงจรต่ำที่สุด ถ้าป้อนความถี่เรโซแนนซ์แก่วงจรเรโซแนนซ์ขนาน กระแสจะผ่านได้น้อยที่สุดโดยมีแรงดันตกคร่อมวงจรสูงที่สุด โดยปกติวงจรเรโซแนนซ์จะต้องมีแบนด์วิดธ์ที่ยอมให้ความถี่ข้างเคียงกับความถี่เรโซแนนซ์ทั้งด้านสูงและด้านต่ำผ่านไปได้ช่วงหนึ่ง ความถี่เรโซแนนซ์จึงหมายถึงความถี่ที่ผ่านวงจรตลอดแบนด์วิดธ์ ซึ่งอาจจะกว้างหรือแคบขึ้นอยู่กับคุณสมบัติของวงจรเรโซแนนซ์นั้นๆ

2.10.1 วงจรเรโซแนนซ์แบบอนุกรม(Series Resonance)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 วงจรเรโซแนนซ์แบบอนุกรม

จากวงจรในรูปที่ 2.13 ได้

$$\frac{V_0(s)}{V_s(s)} = H(s) = \frac{R_L}{R_s + sL + \frac{1}{sC} + R_L}$$

$$= \frac{sCR_L}{s^2LC + sc(R_s + R_L) + 1}\left[\frac{\frac{1}{LC}}{\frac{1}{LC}}\right]$$

$$= \frac{\frac{sR_L}{L}\left[\frac{R_s + R_L}{R_s + R_L}\right]}{s^2 + s\left(\frac{R_s + R_L}{L}\right) + \frac{1}{LC}}$$

$$\frac{V_0(s)}{V_s(s)} = \frac{\frac{R_L}{R_s + R_L}s\left(\frac{R_s + R_L}{L}\right)}{s^2 + s\left(\frac{R_s + R_L}{L}\right) + \frac{1}{LC}}$$

จะได้ Passband gain : $K = \frac{R_L}{R_s + R_L}$

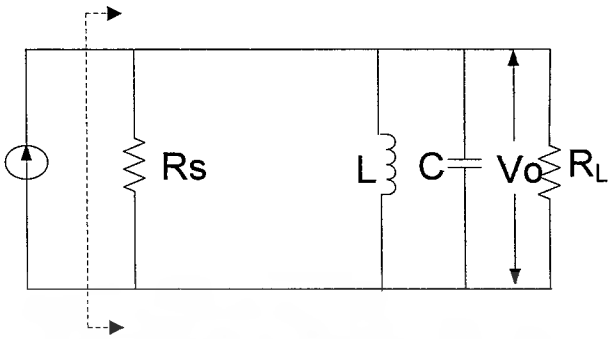
ความถี่ศูนย์กลาง : $\omega_p = \frac{1}{\sqrt{LC}}$ R/S

-3 dB Bandwidth :BW = $\frac{R_s + R_L}{L}$ R/S

และ Qp = $\frac{\sqrt{b}}{a} = \frac{1}{\sqrt{LC}} \times \frac{L}{R_s + R_L} = \frac{1}{R_s + R_L}\sqrt{\frac{L}{C}}$

2.10.2 วงจรเรโซแนนซ์แบบขนาน หรือ วงจรแทงค์ (Parallel Resonance or Tank circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.14 วงจรเรโซแนนซ์แบบขนาน หรือ วงจรแทงค์

จากวงจรในรูปที่ 2.14 R_s จะขนานอยู่กับ R_L ดังนั้น

$$R_{Total} = R_s // R_L$$

อิมพีแดนซ์ของวงจรแทงค์ : Z_{tank} จะมีค่าเป็น

$$(Z_{tank})^{-1} = \frac{1}{R_T} + \frac{1}{SL} + SC$$

$$= \frac{sL + R_L + s^2 LR_T C}{sLR_T}$$

จะได้

$$Z_{tank} = \frac{sLR_T}{sL + R_T + s^2 LR_T C}\left[\frac{\frac{1}{LCR_T}}{\frac{1}{LCR_T}}\right]$$

$$= \frac{s\frac{1}{C}\left[\frac{R_T}{R_T}\right]}{s^2 + s\left(\frac{1}{R_T C}\right) + \frac{1}{LC}}$$

$$= \frac{R_T \cdot s\left[\frac{1}{R_T C}\right]}{s^2 + s\left(\frac{1}{R_T C}\right) + \frac{1}{LC}}$$

จากหลักการของสมการ Band pass filter ค่าอิมพีแดนซ์ของวงจรขนาน RLC จะมีค่าสูงสุด

ความถี่ $\omega_p : \omega_p \approx 1/\sqrt{b}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\omega|_{Z\tan kMAX} = \omega_p = \frac{1}{\sqrt{LC}}$$

และค่าของอิมพีแดนซ์ที่ความถี่ $1/\sqrt{b} = 1/\sqrt{LC}$ จะมีค่าเท่ากับ K : K = R_T หรือ $Z_{MAX} = R_T$

ในขณะที่ Z_{tank} มีค่าสูงสุด ค่าของแรงดัน Vo ที่คร่อม Tank ก็จะมีค่าสูงสุดเช่นเดียวกันและค่า -3 dB Bandwidth จะมีค่าเป็น $\frac{1}{R_T C}$

หมายเหตุ รูปทั่วไปของฟังก์ชั่น Band pass filter ที่มีอัตราการขยาย K เท่า จะเป็น

$$Gain_{BPF} = \frac{Kas}{s^2 + as + b} = \frac{K\frac{\omega_p}{Q_p}s}{s^2 + \frac{\omega_p}{Q_p}s + {\omega_p}^2}$$

โดยที่

K = Passband gain

ω_p = ความถี่ศูนย์กลางของ BPF

2.11 การแปลงวงจร RL,RC แบบอนุกรมและแบบขนาน

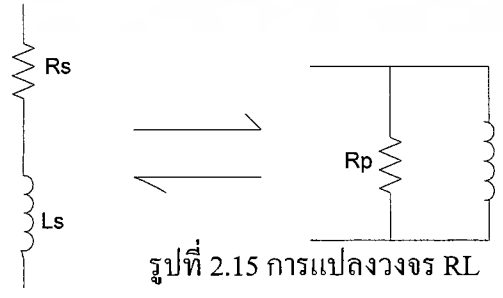
Q_U คือ UNLOAD Q หมายถึงQ ที่ใช้แสดงคุณสมบัติของLและC

$$Q_{S(U)} = \frac{X}{R_S} = Q_{P(U)} = \frac{R_P}{X}$$

$$Q_{S(U)} = \frac{\omega L_S}{R_S} = Q_{P(U)} \qquad Q_{P(U)} = \frac{R_P}{\omega L_P} = Q_{S(U)}$$

$$R_S = \frac{R_P}{(Q^2{}_U + 1)} \qquad R_P = R_S(1 + Q^2{}_U)$$

$$L_S = \frac{L_P}{1 + \left(\frac{1}{Q^2{}_U}\right)} \qquad L_P = L_S\left(1 + \frac{1}{Q^2{}_U}\right)$$



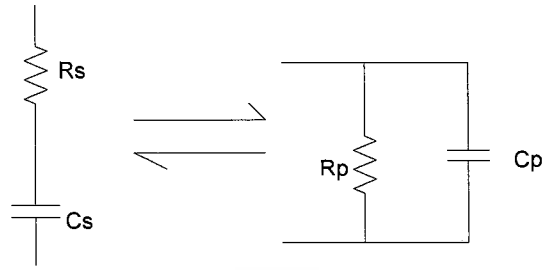
รูปที่ 2.15 การแปลงวงจร RL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Q_{S(U)} = \frac{1/\omega c_S}{R_S} = Q_{P(U)} \qquad Q_{P(U)} = \frac{R_P}{1/\omega c_P} = Q_{S(U)}$$

$$R_S = \frac{R_P}{\left(Q^2{}_U + 1\right)} \qquad R_P = R_S\left(1 + Q^2{}_U\right)$$

$$C_S = \frac{C_P}{1 + \left(\frac{1}{Q^2{}_U}\right)} \qquad L_P = L_S\left(1 + \frac{1}{Q^2{}_U}\right)$$



รูปที่ 2.16 การแปลงวงจร RC

2.12 การแมทช์อิมพีแดนซ์ (Impedance Matching)

วงจรแมทช์ชิ่ง (Matching circuit) เป็นวงจรที่ใช้ในการแปลงค่าอิมพีแดนซ์ของวงจร หรือโครงข่ายเพื่อให้วงจร หรือโครงข่าย มีค่า Z_s' และ /หรือ Z_L' ตามที่เราต้องการ เพื่อทำให้วงจร หรือโครงข่ายทำงานได้อย่างมีเสถียรภาพ และทำให้เกิดการถ่ายทอดกำลังสูงสุด

วงจรที่ใช้ในการแมทช์ชิ่งอาจใช้เพียง ตัวความต้านทาน หรือ หม้อแปลง หรือวงจร L-C

2.12.1 การแปลงระหว่าง อิมพีแดนซ์อนุกรม และอิมพีแดนซ์ขนาน

หลักการที่สำคัญของการออกแบบวงจรแมทช์อิมพีแดนซ์ คือการแปลงอิมพีแดนซ์ที่อยู่ในรูป

$$Z_p = R_p \,//\, jX_p \Leftrightarrow R_{se} + jX_{se} = Z_{se}$$

(ก) อิมพีแดนซ์ขนาน (ข) อิมพีแดนซ์อนุกรม

รูปที่ 2.17 วงจรเสมือนอิมพีแดนซ์

จากรูปที่ 2.17(ก)จะได้ $Z_p = R_p \,//\, jX_p$

$$Z_p = \frac{R_p \bullet jX_p}{R_p + jX_p} \bullet \frac{R_p - jX_p}{R_p - jX_p}$$

$$= \frac{R_p{}^2 jX_p + X_p{}^2 R_p}{R_p{}^2 + X_p{}^2}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\therefore Z_p = \frac{X_p{}^2 R_p}{R_p{}^2 + X_p{}^2} + j\frac{R_p{}^2 X_p}{R_p{}^2 + X_p{}^2} \quad (2.12.1a)$$

จากรูปที่ 2.17(ข)จะได้ $Z_{se} = R_{se} + jX_{se}$

$$Z_p \equiv Z_{se} \quad (2.12.1b)$$

จะได้ $\frac{X_p{}^2 R_p}{R_p{}^2 + X_p{}^2} + j\frac{R_p{}^2 X_p}{R_p{}^2 + X_p{}^2} \equiv R_{se} + jX_{se}$

$$\text{Real part; } R_{se} = \frac{X_p{}^2 R_p}{R_p{}^2 + X_p{}^2} \quad (2.12.1c)$$

$$\text{Re}\{Z_{se}\} = R_{se} = \frac{R_p}{1 + (R_p / X_p)^2} \quad (2.12.1d)$$

$$\text{Imaginary part; } X_{se} = \frac{R_p{}^2 X_p}{R_p{}^2 + X_p{}^2} \quad (2.12.1e)$$

จากสมการ 2.12.1c $R_p{}^2 + X_p{}^2 = \frac{X_p{}^2 \bullet R_p}{R_{se}}$

แทนลงในสมการที่ 2.12.1e จะได้ $X_{se} = R_p{}^2 X_p \bullet \frac{R_{se}}{X_p{}^2 R_p}$

$$\text{Im}\{Z_{se}\} = X_{se} = R_{se}\left(\frac{R_p}{X_p}\right) \quad (2.12.1f)$$

และจากสมการที่ 2.12.1b

$$R_p = R_{se}\left(1 + \frac{R_p{}^2}{X_p{}^2}\right) \quad (2.12.1g)$$

จากสมการที่2.12.1d: $\frac{R_p}{X_p} = Q_p = \frac{X_{se}}{R_{se}} = Q_{se}$ (2.12.1h)

จากสมการที่ 2.12.1b : $\text{Im}\{Z_p\} = X_p = \frac{R_p}{X_s / R_{se}}$ (2.12.1i)

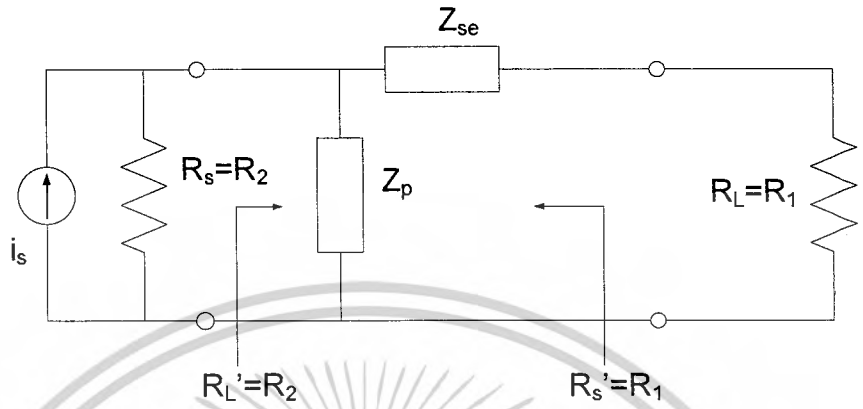
แทนค่า R_p / X_p ในสมการที่ 2.12.1e ด้วย X_{se} / R_{se} จะได้

$$\text{Re}\{Z_p\} = R_p = R_{se}\left(1 + \left(\frac{X_{se}}{R_{se}}\right)^2\right) \quad (2.12.1j)$$

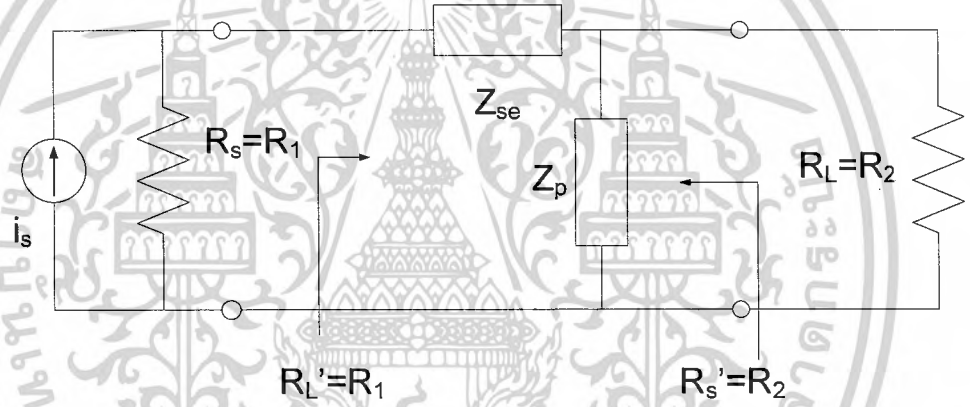
ค่าอัตราส่วน R_p / X_p หรือ X_{se} / R_{se} อาจถูกเรียกว่าค่า Q ของอิมพีแดนซ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.12.2 วงจรแมทช์ชิ่งอิมพีแดนซ์อย่างง่าย



(ก) กรณี $R_s > R_L$: $R_2 \equiv R_s$ และ $R_1 \equiv R_L$



(ข) กรณี $R_s < R_L$: $R_1 \equiv R_s$ และ $R_2 \equiv R_L$

รูปที่ 2.18 วงจรแมทช์อิมพีแดนซ์อย่างง่ายที่สุด

จากรูปที่ 2.17 แหล่งกำเนิดสัญญาณ i_s ซึ่งมีค่าอิมพีแดนซ์ R_s จะต้องแมทช์กับ R_L เพื่อให้ได้การถ่ายทอดกำลังไฟฟ้าจาก i_s ไปยัง R_L ให้มากที่สุด

- แหล่งกำเนิด i_s ควรต่อกับโหลดที่มีค่า $R_L' = R_s$
- R_L ควรต่อกับแหล่งกำเนิดที่มีค่า $R_s' = R_L$ การถ่ายทอดกำลังไฟฟ้า อาจหมายถึง
  - การถ่ายทอดกำลังไฟฟ้าในจากแหล่งกำเนิดไปสู่วงจรขยาย ในกรณีนี้อิมพีแดนซ์ที่ทางเข้าของวงจรขยาย จะเสมือนเป็น R_L หรือ $R_L = R_{IN}$
  - การถ่ายทอดกำลังไฟฟ้าจากวงจรขยายไปยัง R_L ในกรณีนี้อิมพีแดนซ์ที่ทางออกของวงจรขยาย จะเสมือนเป็น R_s หรือ $R_{o(n)} = R_s$ และ $R_{IN(n+1)} = R_L$

จากรูปที่ 2.18 R_2 หมายถึง ด้านที่มีอิมพีแดนซ์สูงกว่า ในกรณีที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- $R_s > R_L$ $R_2 \equiv R_s$ และ $R_1 \equiv R_L$ ดังในรูปที่ 21(ก)

- $R_s < R_L$ $R_2 \equiv R_L$ และ $R_1 \equiv R_s$ ดังในรูปที่ 21(ข)

โดยการนำอิมพีแดนซ์ Z_p ไปต่อขนานกับฝั่งที่มีความต้านทานสูงกว่า หรือ R_2 เลือกค่าของ Z_p เพื่อทำให้

$$R_2 // \pm jX_p = R_1 \pm jX_{se1}$$

นั่นคือ R_2 จะถูกทำให้มีค่าความต้านทานเสมือนเป็น R_1 จากสมการที่ 2.12.1d

$$R_{se} = \frac{R_p}{1+\left(\frac{R_p}{X_p}\right)^2}$$

$$R_1 = \frac{R_2}{1+\left(\frac{R_2}{X_p}\right)^2}$$

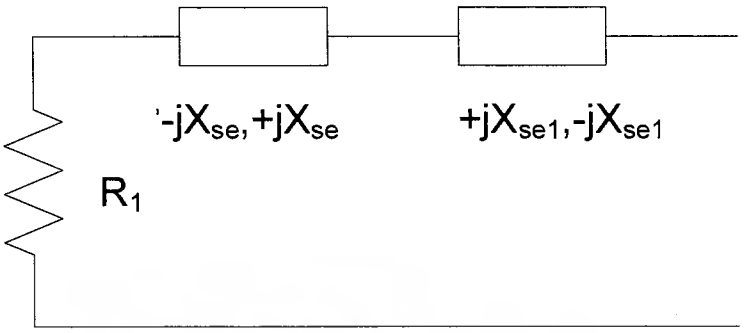
จะได้ $$X_p = \frac{R_2}{\sqrt{\left(\frac{R_2}{R_1}\right)-1}} \qquad (2.12.2a)$$

ซึ่ง $$Z_p = \pm jX_p = \frac{\pm jR_2}{\sqrt{\left(\frac{R_2}{R_1}\right)-1}} \qquad (2.12.2b)$$

R_2 ถูกแปลงเป็น R_1 โดยต่อ Z_p

(ก) R_2 ถูกแปลงเป็น $R_1 \pm jX_{se1}$ โดยการนำ $Z_p = \pm jX_p$ ไปต่อขนานกับ R_2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$Z_{se} = \mp jX_{se1}$ ถูกต่อเพิ่ม

(ข) $\pm jX_{se1}$ ที่เกิดจากการนำ Z_p ไปต่อขนานกับ R_2 ถูกกำจัดโดยการนำ $Z_{se} = \mp jX_{se1}$ ไปต่ออนุกรมเพิ่ม

รูปที่ 2.19 การแมทช์อิมพีแดนซ์ ระหว่าง R_2 และ R_1

โดยการนำ $Z_p = \pm jX_p = \dfrac{\pm jR_2}{\sqrt{\dfrac{R_2}{R_1}-1}}$ ไปต่อขนานกับ R_2 ทำให้ R_2 ถูกแปลงเป็น R_1 ต่ออนุกรมกับ $\pm jX_{se1}$ ดังรูปที่ 2.19(ก) จากสมการ ที่ 2.12.1f ค่าของ X_{se1} จะมีค่าเป็น $X_{se} = R_{se} \bullet \dfrac{R_p}{X_P}$

$$X_{se1} = \frac{R_1 \bullet R_2}{\dfrac{R_2}{\sqrt{\dfrac{R_2}{R_1}-1}}} = R_1\sqrt{\frac{R_2}{R_1}-1}$$

หรือ $Z_{se1} = \pm jR_1\sqrt{\dfrac{R_2}{R_1}-1}$ (2.12.2c)

นั่นคือ $R_2 // \dfrac{\pm jR_2}{\sqrt{\dfrac{R_2}{R_1}-1}} = R_1 \pm jR_1\sqrt{\dfrac{R_2}{R_1}-1}$

โดยการนำอิมพีแดนซ์ $Z_{se} = \mp Z_{se1}$ ไปต่ออนุกรมกับ R_1 ดังรูปที่ 2.19(ข) จะได้ค่าของอิมพีแดนซ์ Z_{se} ที่นำไปต่ออนุกรมกับ R_1 เป็น

$$Z_{se} = \mp jR_1\sqrt{\frac{R_2}{R_1}-1} \qquad (2.12.2d)$$

โดยการเลือกให้ Z_p และ Z_{se} เป็นอิมพีแดนซ์ที่มีเฟสตรงกันข้าม อิมพีแดนซ์ R_2 จะถูกแมทช์กับ R_1 ค่าของ Z_p และ Z_{se} สามารถเขียนเป็นรูปทั่วไปได้เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$|Z_p|_{\text{ขนานกับR2}} = \frac{R_2}{\sqrt{\frac{R_2}{R_1} - 1}} \qquad (2.12.2e)$$

และ $|Z_{se}|_{\text{อนุกรมกับ R1}} = R_1\sqrt{\frac{R_2}{R_1} - 1}$ (2.12.2f)

โดยที่ $R_2 > R_1$

2.13 ความต้านทานกระแสสลับของตัวนำ

สำหรับกระแสตรง พาหะตัวนำจะกระจายอยู่รอบๆ ส่วนต่างๆ ของลวด ถ้าความถี่เพิ่มขึ้น ที่ศูนย์กลางของตัวนำสนามแม่เหล็กไฟฟ้าจะเพิ่มขึ้น ดังนั้นความต้านทานของขดลวดที่มีต่อการนำไฟฟ้าสลับที่ใกล้ๆ จุดศูนย์กลางของลวดจะเพิ่มขึ้น ด้วยเหตุนี้ ในบริเวณที่มีความหนาแน่นของกระแสความต้านทานจะสูงขึ้น

ดังนั้น ประจุจะเคลื่อนจากจุดศูนย์กลางของลวดตรงไปยังขอบๆ ของลวด เป็นผลทำให้ความหนาแน่นที่จุดศูนย์กลางของลวดลดลงและเพิ่มขึ้นที่บริเวณใกล้กับขอบของลวด นี่คือ 'skin effect' ลึกเข้าไปในตัวนำ ความหนาแน่นของกระแสตกลงเป็น 1/e หรือ 37% (= 0.3679) ของค่าที่พื้นผิว เป็นที่รู้กันว่าเป็นลักษณะของ skin depth และ คือปัจจัยของความถี่และค่าความซึมซับและค่าความนำของตัวกลาง ผลต่างๆ ของ skin effect ทั้งหมดทั้งปวงเพิ่มขึ้นในความต้านทานกระแสสลับของลวด

ค่า skin depth คำนวณได้จากสมการที่ (2.13.1)

$$\delta = \frac{1}{\sqrt{\pi f \mu \sigma}} \qquad (2.13.1)$$

โดยที่

f = ความถี่

μ = ค่าความซึมซับ

μ_0 = ค่าความซึมซับของอากาศ

μ_r = 1 สำหรับ ทองแดง , อะลูมิเนียม , ทอง และอื่นๆ

= 4000 สำหรับ เหล็กบริสุทธิ์

σ =ค่าความนำไฟฟ้าของวัสดุ

$= 5.8\times10^7 (\Omega/m)$ สำหรับ ทองแดง

$= 3.82\times10^7 (\Omega/m)$ สำหรับ อะลูมิเนียม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$= 4.1\times10^{7}(\Omega/m)$ สำหรับ ทอง

$= 6.1\times10^{7}(\Omega/m)$ สำหรับ เงิน

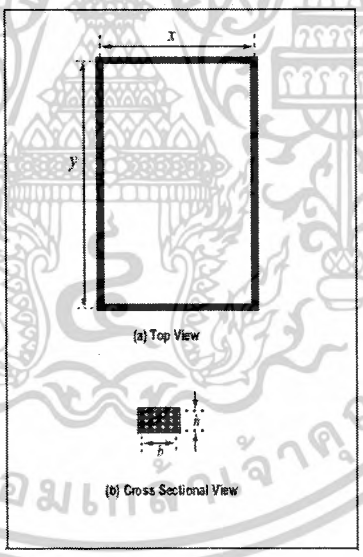
2.14 ความต้านทานของตัวนำด้วยการประมาณที่ความถี่ต่ำ

เมื่อ skin depth ส่วนใหญ่จะเปรียบเทียบกับรัศมีของตัวนำ ความต้านทานสามารถได้รับการประมาณด้วยความถี่ต่ำได้

$$R_{low\ freq} \approx \frac{1}{\sigma\pi a^2}\left[1+\frac{1}{48}\left(\frac{a}{\delta}\right)^2\right] \qquad (2.14.1)$$

พจน์แรกของสมการที่ (2.14.1) คือ ความต้านทานกระแสตรง ส่วนพจน์ที่สองคือความต้านทานกระแสสลับ

2.15 ตัวเหนี่ยวนำที่ประกอบด้วยขดลวดสี่เหลี่ยมหลายชั้น



รูปที่ 2.20 ขดลวดลูปสี่เหลี่ยมหลายชั้น

ค่าความเหนี่ยวนำของขดลวดสี่เหลี่ยมหลายชั้นคำนวณจากสมการที่ (2.15.1)

$$L = \frac{0.0276(CN)^2}{1.908C+9b+10h} \qquad \mu H \qquad (2.15.1)$$

โดยที่

$N =$ จำนวนรอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

C = x+y+2 h

X = ความกว้างของขดลวด

Y = ความยาวของขดลวด

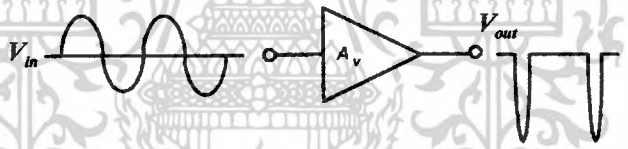
b = ความกว้างของภาคตัดขวาง

h = ความสูงของภาคตัดขวาง

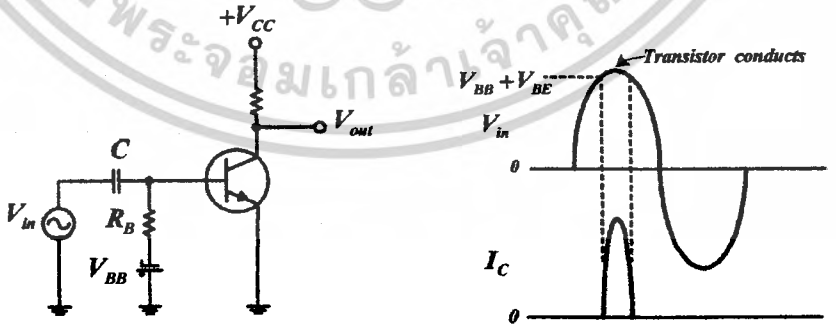
หมายเหตุ อยู่ในหน่วย เซนติเมตร

2.16 วงจรขยายคลาสซี (Class C Amplifier Circuit)

วงจรขยายคลาส C เป็นวงจรที่ให้ประสิทธิภาพสูง แต่ความผิดเพี้ยนมีสูงมาก ใช้สำหรับวงจรขยายในย่านความถี่วิทยุ (RF)เพราะสามารถใช้วงจรจูนชดเชยความผิดเพี้ยนได้การจัดไบอัสคลาส C จะตั้งไบอัสให้เลยจุดคัตออฟไป หรือเรียกว่าตั้งไบอัสเลยเส้นโหลดไลน์ออกไปทำให้ทรานซิสเตอร์ขยายสัญญาณได้เพียงบางส่วนเท่านั้น ดังแสดงหลักการไว้ในรูปที่ 2.21, 2.22 และ 2.23

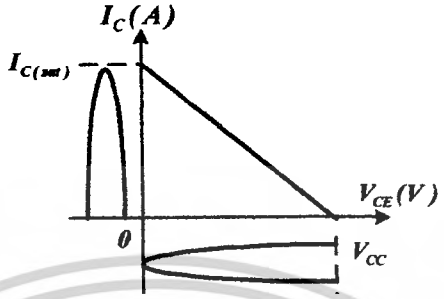


รูปที่ 2.21 การทำงานเบื้องต้นของคลาสซี



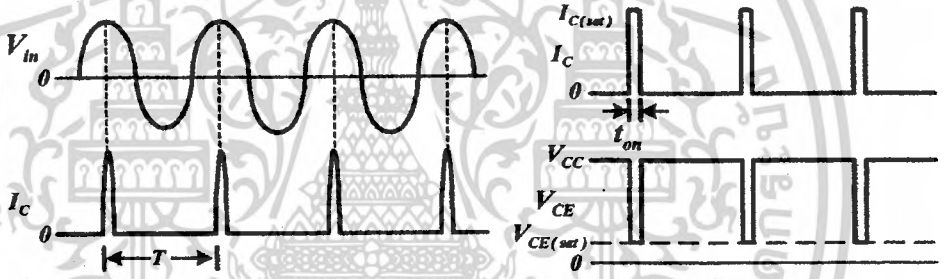
(ก) วงจรเบื้องต้นการขยายคลาสซี (ข) แรงดันอินพุตและกระแสเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ค) การทำงานบนเส้นโหลดไลน์

รูปที่ 2.22 การทำงานของวงจรคลาสซี



(ก) พัลส์ที่เป็นกระแสคอลเล็กเตอร์ (ข) รูปสัญญาณของคลาสซี

รูปที่ 2.23 การทำงานของวงจรขยายคลาสซี

2.16.1 การคิดอัตรากำลัง (Power Gain)

การเกิดความร้อนและการลดทอนกำลังของวงจรแบบนี้จะเกิดขึ้นต่ำเพราะทรานซิสเตอร์ทำงานในช่วงเวลาสั้น ๆ ค่ากระแส $I_C(sat)$ เกิดขึ้นเฉพาะช่วงทรานซิสเตอร์นำกระแส ตอนนี้จึงเกิดค่า $V_{CE}(sat)$ ในจังหวะที่ทรานซิสเตอร์นำกระแส (On) คิดค่าออกมาได้เท่ากับ

$$P_{Dis_{(avg)}} = V_{CE_{(sat)}} I_{C_{(sat)}}$$

ทรานซิสเตอร์นำกระแสได้ในช่วงเวลาสั้น ๆ ค่ากระจายกำลังจึงต้องคิดมาจากค่าดิวตี้ไซเกิ้ล (Duty cycle)

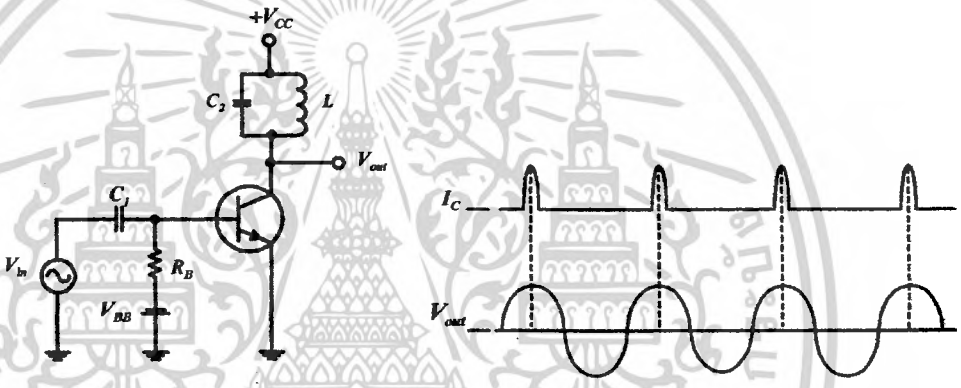
$$P_{Dis_{(avg)}} = \left(\frac{t_{on}}{T}\right) P_{Dis_{(avg)}}$$

$$= \left(\frac{t_{on}}{T}\right) V_{CE_{(sat)}} I_{CE_{(sat)}}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

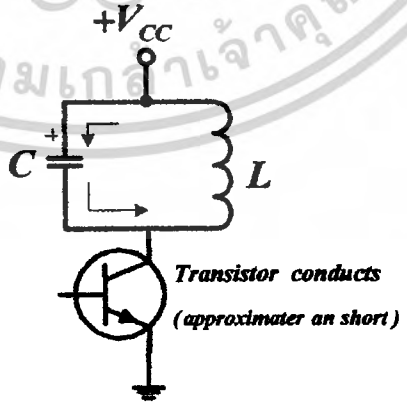
2.16.2 การทำงานกับวงจรจูน (Tuning Circuit Operation)

เพราะแรงดันไฟทางออก (Output) คือแรงดันคอลเลคเตอร์เป็นแรงดันที่มีรูปร่างเหมือนขาเข้า (Input) ดังนั้นหากโหลดคอลเลคเตอร์เป็นรีซิสเตอร์การขยายคลาส C จะไม่มีลักษณะของสัญญาณที่เป็นลิเนียร์ซึ่งหมายถึงรูปร่างหน้าตาของสัญญาณผิดเพี้ยนไปหมดนั่นเองวงจรดังกล่าวสามารถแก้ไขได้โดยการนำเอาวงจรแทงค์ (Tank) หรือวงจรจูนแบบขนานมาต่อเป็นโหลดคอลเลคเตอร์ทำให้เกิดเรโซแนนซ์ตามสมการความถี่ $\frac{1}{2\pi\sqrt{LC}}$ แม้ว่ากระแสคอลเลคเตอร์จะปรากฏเป็นห้วงเวลาสั้น ๆ แต่แรงดันไฟที่วงจรเรโซแนนซ์สร้างขึ้นจะสามารถทำให้รูปร่างครบได้ด้วยวงจรเบื้องต้น



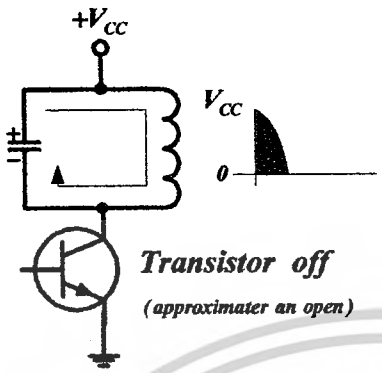
(ก) วงจรเบื้องต้น (ข) รูปสัญญาณทางออก

รูปที่ 2.24 วงจรจูนคลาสซี

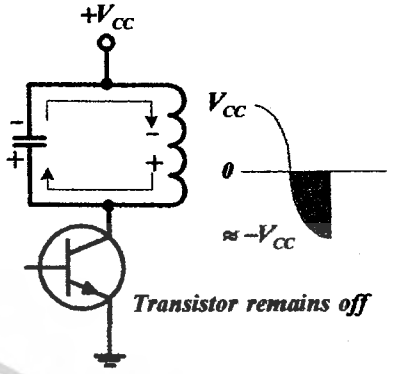


(ก) เมื่อ C ชาร์จประจุอันเนื่องมาจากทรานซิสเตอร์นำกระแส

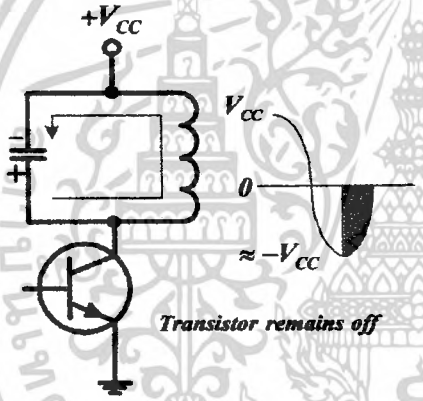
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



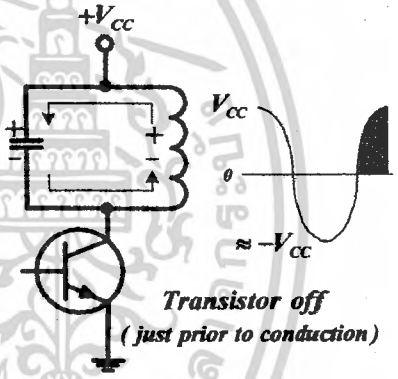
(ข) เมื่อทรานซิสเตอร์ OFF



(ค) ทรานซิสเตอร์ยังคง OFF



(ง) ยังคง OFF ต่อไป



(จ) ยังคง OFF กำลังจะเริ่ม ON ใหม่

รูปที่ 2.25 แสดงรายละเอียดของวงจรเรโซแนนซ์

รูปที่ 2.24 สามารถให้แรงดันไฟหรือ Voltage output ที่มีรูปร่างถูกต้องได้อย่างไรให้ดูการทำงานจากรูปที่ 2.25 เมื่อทรานซิสเตอร์มีไบอัสเกิดกระแสได้ในช่วงเวลาสั้น ย่อมทำให้ไฟจากแหล่งจ่ายชาร์จเข้าที่ C ตามรูปที่ 2.25 (ก) เพราะ C นำกระแสได้เร็วกว่า L ตามรูปที่ 2.25 (ข) เกิดแรงดันไฟบวกที่ขดลวดและลดลงสู่ 0 โวลต์ ประจุดังกล่าวจึงวิ่งไปรีชาร์จ (Recharge)อีกทางหนึ่งของขั้ว C ดังรูปที่ 2.25 (ค) เกิดการเปลี่ยนค่าแรงดันมาทางลบ เมื่อ C ถ่ายประจุแล้ว C จะดิสก์ชาร์จกลับทาง ตามรูปที่ 2.25 (ง) พร้อมการยุบตัวของ L แรงดันไฟจากศักย์ลบจึงกลับสู่ 0 โวลต์และกลับไปเป็นบวก ดังรูปที่ 2.25 (จ) รอผลการนำกระแสครั้งต่อไปของทรานซิสเตอร์

2.16.3 กำลังเอาต์พุตสูงสุด (Power Maximum Output)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันตกคร่อมวงจรแทงค์หากคิดค่าพีคทูพีค จะมีค่าประมาณ $2V_{CC}$ กำลังเอาต์พุตที่ส่งออกจึงหาได้จาก

$$P_{(out)} = \frac{V_{(rms)}{}^2}{R_C} = \frac{(0.707V_{CC})^2}{R_C} = \frac{0.5V_{CC}{}^2}{R_C}$$

เมื่อ R_C ในวงจรสมมูลย์คือค่า R ที่ขนานกับวงจรแทงค์ เมื่อค่า R รวมคิดจากค่า R มาขนานกับ R_C ค่าขดลวดมีค่าน้อยมาก ดังนั้นจึงถือว่ามีผลน้อย และค่ารวมได้ว่า

$$P_T = P_{(out)} + P_{Dis_{(avg)}}$$

ประสิทธิภาพ หาได้จาก

$$\eta = \frac{P_{(out)}}{P_{(out)} + P_{Dis_{(avg)}}}$$

สรุปผลของคลาส C เนื่องจาก $P_{(out)} \rangle\rangle P_{Dis_{(avg)}}$ ทำให้ประสิทธิภาพของคลาส C ใกล้เคียง 1 หรือ 100 เปอร์เซ็นต์

2.17 ค่าเหนี่ยวนำร่วม (Mutual Inductance)

ค่าความเหนี่ยวนำร่วม คือ ความสามารถของขดลวดหนึ่งที่เหนี่ยวนำแรงดันให้เกิดขึ้นที่ขดลวดข้างเคียง โดยมีหน่วยเป็นเฮนรี่ (H)

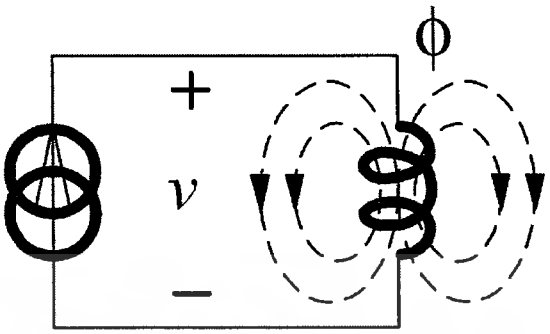
วงจรทางไฟฟ้าสามารถแบ่งการเชื่อมโยงได้ 2 แบบคือ

- การเชื่อมโยงทางตัวนำ (Conductively Coupled) หมายถึง ลูปหนึ่งในวงจรไปมีผลต่ออีกลูปหนึ่งในวงจรผ่านกระแส

- การเชื่อมโยงทางสนามแม่เหล็ก (Magneticaly Coupled) หมายถึง ลูปหนึ่งในวงจรไปมีผลต่ออีกลูปหนึ่งในวงจรที่ไม่ได้เชื่อมต่ อกันผ่านทางสนามแม่เหล็กหม้อแปลง (Transformer) เป็นอีกตัวอย่าง

หนึ่งที่ใช้หลักการการเชื่อมต่อทางสนามแม่เหล็ก ซึ่งจะถูกมองในรูปพลังงานที่ถ่ายเทจากวงจรหนึ่งไปยังอีกวงจรหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.26 ฟลักซ์สนามแม่เหล็กที่เกิดขึ้น

จากรูปที่ 2.20 ขดลวดพัน N รอบจะมี กระแสไหล, $i(t)$ ผ่านทำให้เกิดฟลักซ์สนามแม่เหล็ก ϕ ที่ เกิดขึ้น

รอบๆขดลวด จากกฎของฟาราเดย์กล่าวไว้ว่า

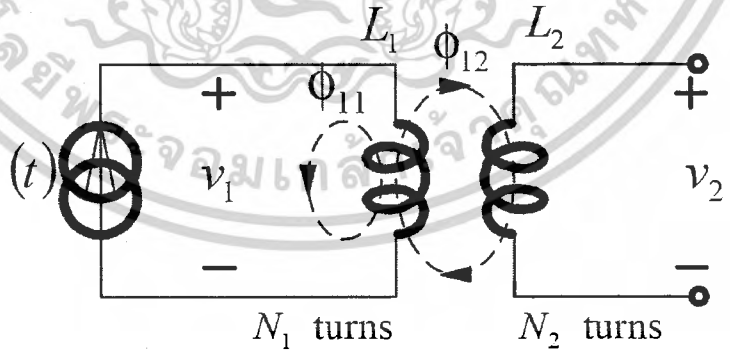
$$v = N\frac{d\phi}{dt}$$

ฟลักซ์, ϕ ก็เกิดจากอัตราการเปลี่ยนแปลงกระแสต่อเวลาดังนั้น

$$v = N\frac{d\phi}{di}\frac{di}{dt}$$

หรือ $v = L\dfrac{di}{dt}$ โดยที่ $L = N\dfrac{d\phi}{di}$

โดยที่ L จะถูกเรียกว่า Self-Inductance เนื่องจาก ผลของแรงดันที่เกิดจากการเปลี่ยนแปลงกระแสต่อเวลาในขดลวดเดียวกัน



รูปที่ 2.27 ขดลวดที่ค่า Self-Inductance เท่ากับ L_1 และ L_2

ขดลวด 2 ขดที่ค่า Self-Inductance เท่ากับ L_1 และ L_2 มาวางใกล้กัน ขดลวด L1และ L2 พัน N_1 และ N_2 รอบตามลำดับ เนื่องจากขดลวด L2 ไม่มีกระแสไหล ฟลักซ์ทั้งหมดที่เกิดขึ้นในขดลวดที่ 1 คือ $\phi_1 = \phi_{11} + \phi_{12}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันที่เกิดขึ้นที่ขดลวดที่ 1: $v_1 = N_1 \frac{d\phi 1}{dt} = N_1 \frac{d\phi_1}{di_1}\frac{di_1}{dt} = L_1 \frac{di_1}{dt}$

แรงดันที่เกิดขึ้นที่ขดลวดที่ 2: $v_2 = N_2 \frac{d\phi_{12}}{dt} = N_2 \frac{d\phi_{12}}{di}\frac{di_1}{dt} = M_{21} \frac{di_1}{dt}$

โดยที่ M_{21}: mutual-Inductance ของขดลวด

ในทางตรงกันข้าม ถ้าให้ขดลวด L1 ไม่มีกระแสไหลทำนองเดียวกัน ฟลักซ์ทั้งหมด ที่เกิดขึ้นในขดลวดที่ 2 คือ: $\phi_2 = \phi_{21} + \phi_{22}$

แรงดันที่เกิดขึ้นในขดลวดที่ 2: $v_2 = N_2 \frac{d\phi_2}{dt} = N_2 \frac{d\phi_2}{di_2}\frac{di_2}{dt} = L_2 \frac{di_2}{dt}$

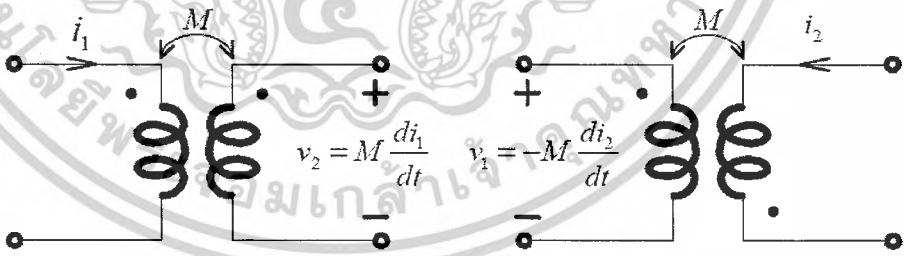
ซึ่งทำให้ $v_1 = L_1 \frac{di_1}{dt}$

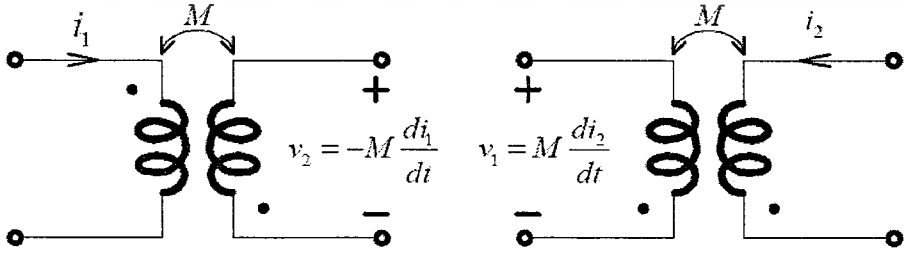
แรงดันที่เกิดขึ้นในขดลวดที่ 1: $v_1 = N_1 \frac{d\phi_{21}}{dt} = N_1 \frac{d\phi_{21}}{di_2}\frac{di_2}{dt} = M_{12} \frac{di_2}{dt}$

จะพบว่า $M_{21} = M_{12} = M$ โดยที่ M คือค่า Mutual Inductance ระหว่างขดลวด 2 ขด

ความยุ่งยากในการกำหนดแรงดัน ความเหนี่ยวนำร่วม สามารถพิจารณาได้โดยใช้ Dot Convention ดังนั้น

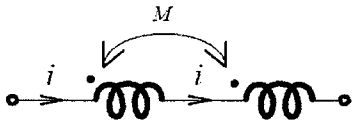
- ถ้ากระแสไหลเข้าจุดของขดลวดอันแรก แรงดันเหนี่ยวนำร่วมของขดลวดที่สองที่ขั้วของจุดจะเป็นบวก
- ถ้ากระแสไหลออกจากจุดของขดลวดอันแรก แรงดันเหนี่ยวนำร่วมของขดลวดที่ขั้วของจุดจะเป็นลบ



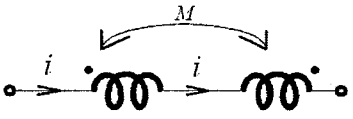


-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



$$L = L_1 + L_2 + 2M$$



$$L = L_1 + L_2 - 2M$$

รูปที่ 2.28 ทิศทางของกระแสและแรงดันที่เกิดขึ้นในขดลวด

2.17.1 พลังงานในวงจรที่เชื่อมโยงกัน (Energy in a Coupled Circuit)

พลังงานสะสมในตัวเหนี่ยวนำ $\left(w = \frac{1}{2} L i^2 \right)$

พลังงานสะสมในขดลวดเหนี่ยวนำ $\left(w = \frac{1}{2} L_1 {i_1}^2 + \frac{1}{2} L_2 {i_2}^2 \pm M i_1 i_2 \right)$

พลังงานที่เกิดขึ้นจะต้องมากกว่าหรือเท่ากับ 0 ดังนั้น $\frac{1}{2} L_1 {i_1}^2 + \frac{1}{2} L_2 {i_2}^2 + M i_1 i_2 > 0$

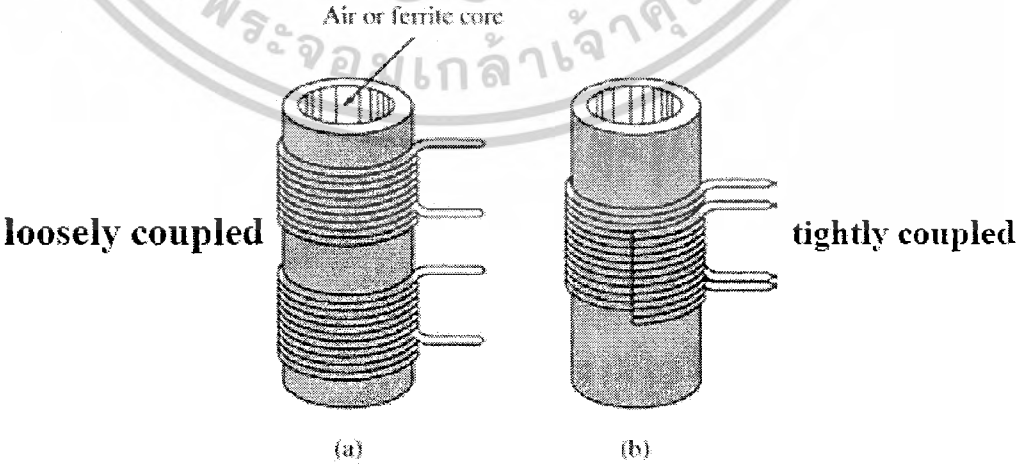
ความสัมพันธ์ระหว่างค่า M และค่า L คือ $\sqrt{L_1 L_2} - M$ หรือ $M\sqrt{L_1 L_2}$

อัตราส่วนของค่าความเหนี่ยวนำร่วม ต่อค่าเฉลี่ยของค่าความเหนี่ยวนำส่วนตัวคือค่าสัมประสิทธิ์การคลัปปลิ้ง(Coefficient of coupling),k

$$k = \frac{M}{\sqrt{L_1 L_2}}; 0 < k < 1$$

สำหรับ k < 0.5 จะเรียกว่า Loosely Coupled

สำหรับ k> 0.5 จะเรียกว่า Tightly Coupled

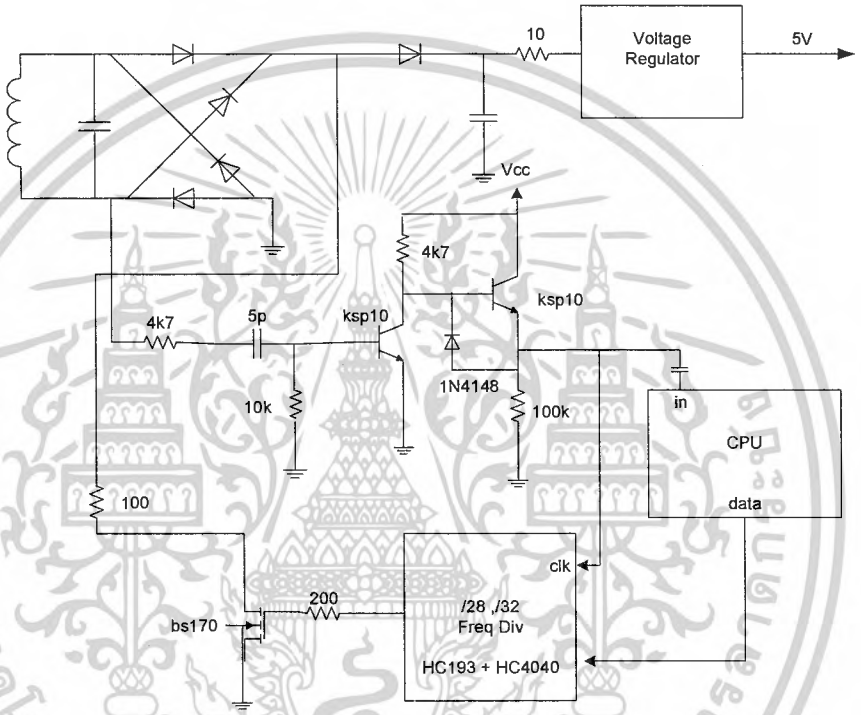


รูปที่ 2.29 สัมประสิทธิ์การคลัปปลิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
การคำนวณและออกแบบวงจร

3.1 วงจร Tag



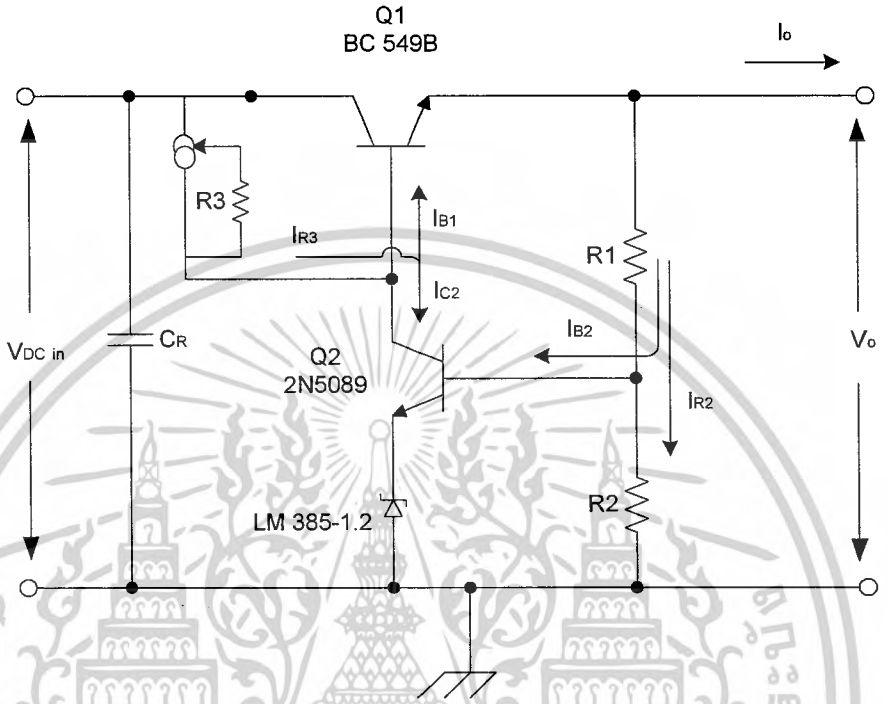
รูปที่ 3.1 วงจรของ Tag

จากวงจร Tag ประกอบไปด้วยวงจรLC Resonant วงจร Voltage Regulator วงจรของ CPU และวงจรหารความถี่

โดยในส่วนของวงจรCPU จะทำการส่ง data ที่ได้ทำการเข้ารหัสแบบ Manchester Code จากนั้นนำมาหารความถี่ด้วยวงจรหารความถี่เพื่อทำให้เป็น Sub Carrier จากนั้นนำมารวมสัญญาณกันโดยใช้ Mosfet

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1 การออกแบบวงจร Tag Regulator



รูปที่ 3.2 วงจร Tag Regulator

1.) กำหนดค่า V_O ให้มีค่า 5 V และ $I_{O\,MAX}$ มีค่า 25 mA

2.) การหาค่า R3, R1, R2

เนื่องจากกระแสที่ไหลผ่าน R_3 มีค่า ดังสมการ

$$I_{R3} = Iset \approx \frac{I_{OMAX}}{\beta_{1MIN}} + 40\mu A = \frac{25mA}{200} + 40\mu A = 0.165mA \qquad (3.2.1)$$

$$R_3' \approx R_{SET}' \approx \frac{69.24\times10^{-3}}{I_{SET}'}\ ,\quad R_3' \approx 420\Omega$$

$$\boxed{R_3 = 470\Omega} \qquad (3.2.2)$$

จากค่า R_3 ที่ใช้ ค่าของ I_{SET} จะเป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_{SET} \approx \frac{69.24\times10^{-3}}{R_{SET}} = I_{C2MAX} = 147.3\mu A$$

$$I_{B2MAX} \approx \frac{I_{C2MAX}}{\beta_{2MIN}} \approx \frac{147.3\mu A}{100} = 1.473\mu A$$

$$I_{BB} \approx 20 I_{B2MAX} \approx 20\times1.473\mu A \approx 29.46\mu A$$

$$I_{C2MIN} = I_{C2MAX} - \frac{I_{OMAX}}{\beta_{1MIN}} \quad , \quad I_{C2MIN} > 20\mu A$$

$$\therefore I_{C2MIN} = 147.3\mu A - \frac{25mA}{200} = 22.3\mu A$$

และ $$\bar{I}_{C2} \approx \frac{I_{C2MAX} + I_{C2MIN}}{2} \approx \frac{147.3\mu A + 22.3\mu A}{2} \approx 84.8\mu A$$

จาก $$V_{BE2} \approx V_T \ln\left(\frac{\bar{I}_{C2}}{I_S}\right) = 0.61$$

$$R_2{}' \approx \frac{V_{BE2} + 1.235}{I_{BB}} = 62.6k \quad , \quad \frac{R_1}{R_2} = \frac{V_O}{V_{BE2} + 1.235} - 1 = 1.71$$

ปัดค่า $R_2{}'$ และหาค่า R_1 เพื่อให้ได้ค่า Vo ใกล้เคียงกับที่ต้องการ จะได้

$R_3 = 470\Omega$	$R_1 = 82k\Omega$	$R_2 = 47k\Omega$

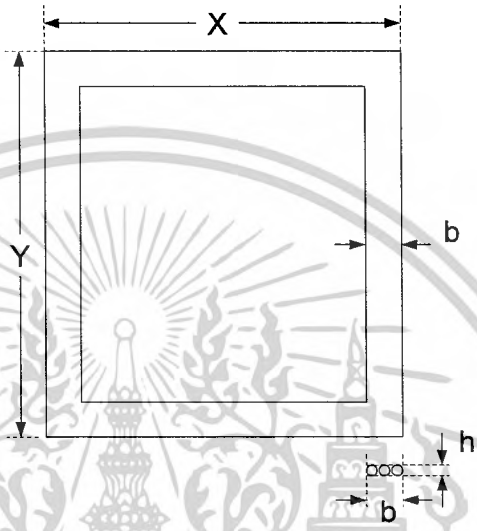
หรือ $$V_O \approx (1.235 + V_{BE2})\left(1 + \frac{R1}{R2}\right) \approx 4.96V$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กระแสทางเข้าหาได้จาก

$$I_{in} = I_{R3} + I_{BB} = 147.3\mu A + 29.46\mu A = 176.76\mu A \qquad (3.2.3)$$

3.1.2 การคำนวณหาค่า NQ ของ Tag



รูปที่ 3.3 Tag Coil ชนิด Rectangular loop

หาค่า NQ จากจำนวนรอบ โดยหาค่า NQ ที่มีค่ามากที่สุด ในที่นี้จะยกตัวอย่างจำนวนรอบตั้งแต่ 1-3 เนื่องจากNQ_{MAX} อยู่ในช่วงนี้

Step1 หาค่าของ L_{TAG}

X : Average width of coil ≈ 5.5 cm

Y : Average Length of coil ≈ 8.5 cm

H : coil height ≈ 0.04 cm

C = x+y+2h = 5.5+8.5+(2x0.04) = 14.08 cm

d_T : Total Diameter ≈ H ≈ 0.04 cm

b : width of cross section ≈Nd_T+ (N-1)0.1 mm

d : Bare Diameter ≈ 0.36 mm

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จาก $$L_{sN} = \frac{0.0276(CN)^2}{1.908C + 9b + 10h} \quad \mu H \qquad (3.3.1)$$

เมื่อ N คือ จำนวนรอบของขดลวด ซึ่งมีค่าตั้งแต่ 1-3 รอบ

จะได้ว่า

$$L_{S1} = \frac{0.0276(14.08\times 1)^2}{(1.908\times 14.08)+(9\times 0.004)+(10\times 0.04)} = 0.1986 \quad \mu H$$

$$L_{S2} = \frac{0.0276(14.08\times 2)^2}{(1.908\times 14.08)+(9\times 0.018)+(10\times 0.04)} = 0.7848 \quad \mu H$$

$$L_{S3} = \frac{0.0276(14.08\times 3)^2}{(1.908\times 14.08)+(9\times 0.032)+(10\times 0.04)} = 1.7450 \quad \mu H$$

Step2 หาค่า $R_{S(AC)}$ และ $R_{P(AC)}$ ของ Tag coil

จาก $$R_{S(DC)} \approx R_{DC}\left(1+\frac{1}{48}\left(\frac{d}{2\delta}\right)^2\right)\Omega$$

(3.3.2)

โดยที่ ρ : Copper Resistivity $\approx 1.7\text{x}10^{-8}\ \Omega - m$

σ : Copper Conductivity $= \frac{1}{\rho} \approx 5.8\text{x}10^{7}\ (\Omega - m)^{-1}$

จากผลของ Skin effect : $$\delta \approx \frac{1}{\sqrt{f\pi\mu\sigma}} \qquad (3.3.3)$$

จะได้ $$\delta_{\text{copper}} \approx \frac{6.6\times 10^{-2}}{\sqrt{f}} \approx \frac{6.6\times 10^{-2}}{\sqrt{13.56\times 10^{6}}}\text{ m} \approx 1.79\times 10^{-5}\text{ m}$$

จาก $$A = \frac{\pi d^2}{4}\ \text{m}^2,\ A = 1.02\times 10^{-7}\ \text{m}^2$$

จาก ℓ_T : ความยาวของลวดทั้งหมด $\approx 2N(x+y)$ m

$$\ell_{T1} = (2\times 1)(0.055+0.085) = 0.28\ \text{m}$$

$$\ell_{T2} = (2\times 2)(0.055+0.085) = 0.56\ \text{m}$$

$$\ell_{T3} = (2\times 3)(0.055+0.085) = 0.84\ \text{m}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ถ้า $d > 2\delta$: $R_{S(AC)} \approx \frac{\rho \ell_T}{A_{AC}}$ และ $A_{(AC)} \approx \frac{\pi}{4}\left(d-\left(d-2\delta\right)\right)^2$

$$A_{AC\ \text{ของลวด}} \approx \frac{\pi}{4}[d_T{}^2 - (d_T - 2\delta)^2]$$

$$\approx \frac{\pi}{4}[(0.36\times10^{-3})^2 - (0.36\times10^{-3} - 0.0358\times10^{-3})^2]$$

$$\approx \frac{\pi}{4}[(1.296\times10^{-7}) - (1.051\times10^{-7})]$$

$$\approx 1.924\times10^{-8}\, m^2$$

ดังนั้น $$R_{S(AC)} \approx \frac{\rho \ell_T}{A_{AC}} \approx \frac{1.7\times10^{-8}\times\ell_T}{1.924\times10^{-8}} \approx 0.88\ell_T$$

จะได้ว่า

$$R_{S1(AC)} = 0.88\times0.28 = 0.2551\,\Omega$$
$$R_{S2(AC)} = 0.88\times0.56 = 0.5121\,\Omega$$
$$R_{S3(AC)} = 0.88\times0.84 = 0.7708\,\Omega$$

และจาก $$Q_{uN} \approx \frac{2\pi f L_s}{R_{S(AC)}} \qquad (3.3.4)$$

แทนค่า L_s และ $R_{S(AC)}$ จะได้

$$Q_{U1} = 66.34$$
$$Q_{U2} = 130.6$$
$$Q_{U3} = 192.8$$

ดังนั้น $$R_{P(AC)} \approx R_{sN(AC)}(1+Q_{uN}{}^2) \qquad (3.3.5)$$

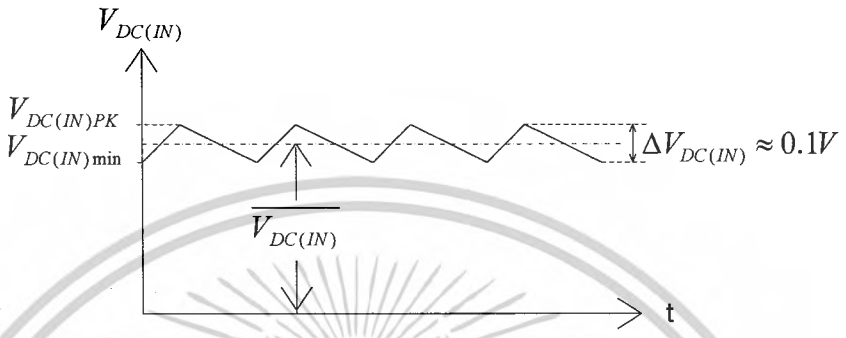
จะได้ว่า

$$R_{P1(AC)} = 1124\Omega$$
$$R_{P2(AC)} = 8731\Omega$$
$$R_{P3(AC)} = 28.66K\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Step3 หาค่า $C_{p(resonance)}$, $R_{L(AC)}$, R_{TOT} , Q_L , NQ_L

- **หาค่า $R_{L(AC)}$**



รูปที่ 3.4 กราฟแสดง ripple filter เพื่อใช้สำหรับการคำนวณ $R_{L(AC)}$

$$V_{DC(IN)PK} \approx V_O + V_{DROP} + \Delta V$$
$$\approx 5 + 1.7 + 1 \approx 7.7V$$

$$V_{TAG\ (PK)} \approx V_{DC\ (IN)} + 3V_F$$
$$\approx 7.7 + 2.25 \approx 9.95V$$

$$V_{TAG\ (RMS)} \approx \frac{V_{TAG\ (PK)}}{\sqrt{2}} \approx 7V_{RMS}$$

จาก $$P_{AC} \approx P_{DC\ (IN)}$$

$$\frac{V_{TAG\ (RMS)}^{2}}{R_{LAC}} \approx V_{DC\ (IN)} \times I_{TAG\ (DC)} \approx 7.7 I_{TAG\ (DC)}$$

$$R_{LAC} \approx \frac{49}{7.7\ I_{TAG\ (DC)}}$$

$$R_{L(AC)} = \frac{V_{AC(rms0}^{2}}{P_{DC(IN)}} \approx 350\Omega$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

L_P หาได้จาก

$$L_P = L_S\left(1+\frac{1}{Q_U{}^2}\right) \tag{3.3.6}$$

$$\boxed{\begin{aligned} L_{P1} &= 0.1987\mu H \\ L_{P2} &= 0.7848\mu H \\ L_{P3} &= 1.745\mu H \end{aligned}}$$

จาก $$C_P \approx \frac{1}{4\pi^2 f^2 L_{sN}} \approx \frac{1}{4\pi^2 \times (13.56\times 10^6)^2 \times L_{sN}}$$

ดังนั้น

$$\boxed{\begin{aligned} C_{P1} &= 693.3\,pF \\ C_{P2} &= 175.5\,pF \\ C_{P3} &= 78.96\,pF \end{aligned}}$$

จาก $R_{TOT} \approx R_P // R_{L(AC)}$ (3.3.7)

$$\boxed{\begin{aligned} R_{TOT1} &\approx 1124\Omega // 350\Omega \approx 266.8\Omega \\ R_{TOT2} &\approx 8731\Omega // 350\Omega \approx 336.5\Omega \\ R_{TOT3} &\approx 28.66K\Omega // 350\Omega \approx 345.8\Omega \end{aligned}}$$

จาก $$\text{BW} \approx \frac{1}{2\pi C_P R_{TOT}} \text{ Hz} \tag{3.3.8}$$

จะได้

$$\boxed{\begin{aligned} \text{BW}_1 &\approx 0.8603 \text{ MHz} \\ \text{BW}_2 &\approx 2.694 \text{ MHz} \\ \text{BW}_3 &\approx 5.829 \text{ MH} \end{aligned}}$$

จาก $$\text{NQ}_\text{L} = \frac{f_{pk}}{BW} = \frac{N\times 13.56\,MHz}{BW} \tag{3.3.9}$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จะได้

$NQ_{L1} = 15.76$

$NQ_{L2} = 10.07$

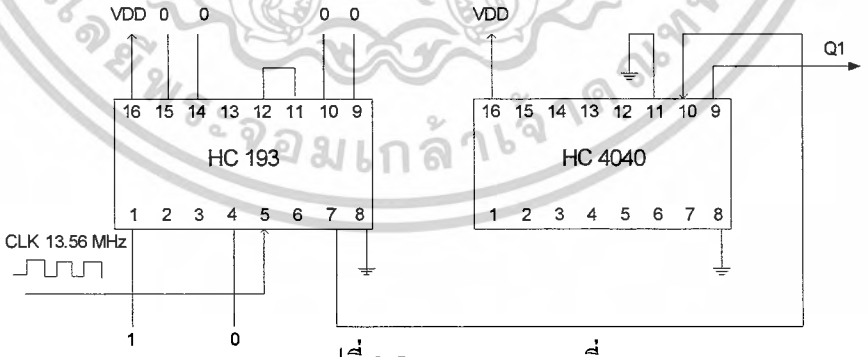
$NQ_{L3} = 6.979$

สรุปค่าพารามิเตอร์ต่างๆ สำหรับการหาค่า NQ ของวงจรฝั่ง Tag ได้ดังตาราง

N(turn)	$L_s(\mu H)$	$R_{S(AC)}$ (Ω)	Q_U	L_P(μH)	C_P(nF)	$R_{P(AC)}$(Ω)	BW (MHz)	NQ_L
1	0.1986	0.2551	66.34	0.1987	693.3	1124	0.8603	15.76
2	0.7848	0.5121	130.6	0.7848	175.5	8731	2.694	10.07
3	1.745	0.7708	192.8	1.745	78.96	28.66K	5.829	6.979

ตารางที่ 3.1 สรุปค่าพารามิเตอร์ที่คำนวณได้ของวงจร tag

3.1.3 วงจรหารความถี่



รูปที่ 3.5 วงจรหารความถี่

จากรูปเป็นการต่อวงจรหารความถี่โดยใช้ไอซีสองตัวคือ HC193 กับ HC4040 โดยที่ HC193 จะทำหน้าที่หารความถี่16 หรือ 14 จากนั้นจะเข้าไอซี HC4040 เพื่อทำการหาร 2 ต่อ โดยไอซี HC193 มีคุณสมบัติดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

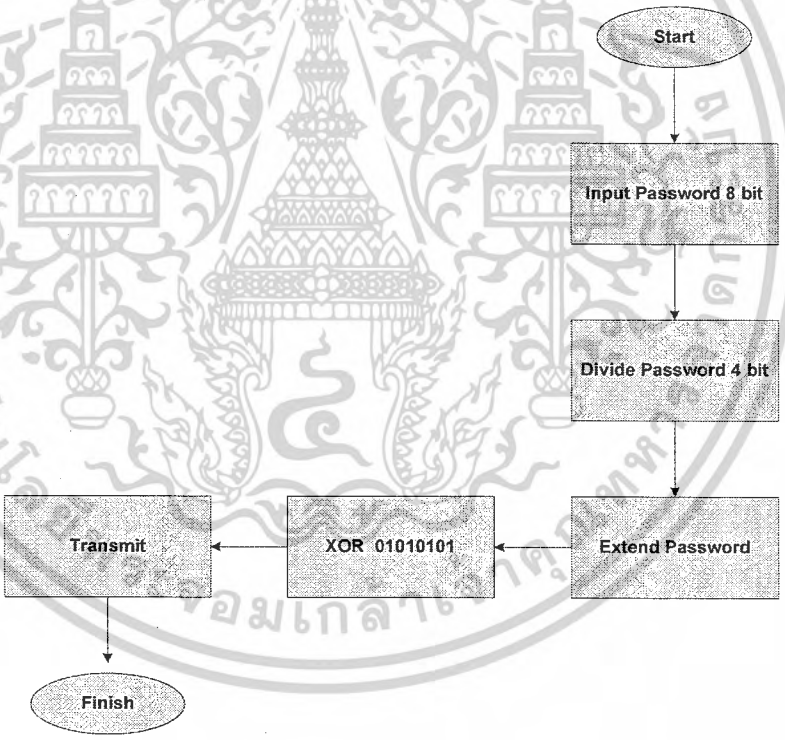
1.สามารถนับขึ้นหรือลงได้โดยการป้อนพัลส์ที่ต้องการนับเข้าที่ขา 5(นับขึ้น)หรือ 4(นับลง) ซึ่งทำงานช่วงขอบขาขึ้นของ Clock โดยมีการทดหรือยืมจากหลักข้างหน้า

2.สามารถเซ็ทค่าเริ่มต้นได้โดยการป้อนโลจิก 0ที่ขาPL หรือขา 11 จะนำข้อมูลจาก P0 –P3 เก็บเข้าในฟลิปฟลอป Q0 – Q3

3.ขารีเซ็ทฟลิปฟลอปเป็นศูนย์ทั้งหมดคือ MR(Master Reset) active low

ในการใช้งานนั้นจะใช้การนับขึ้นโดยนับตั้งแต่ 2 ขึ้นไป (0010) เนื่องจากต้องการทำให้เป็นการนับ 14 นั่นเอง จากนั้นจึงเข้าไอซีหาร 2 อีกครั้ง

3.1.4 การทำงานของ CPU ในภาคส่ง



รูปที่ 3.6 Flow Chart แสดงการทำงานซอฟแวร์ของตัวส่ง

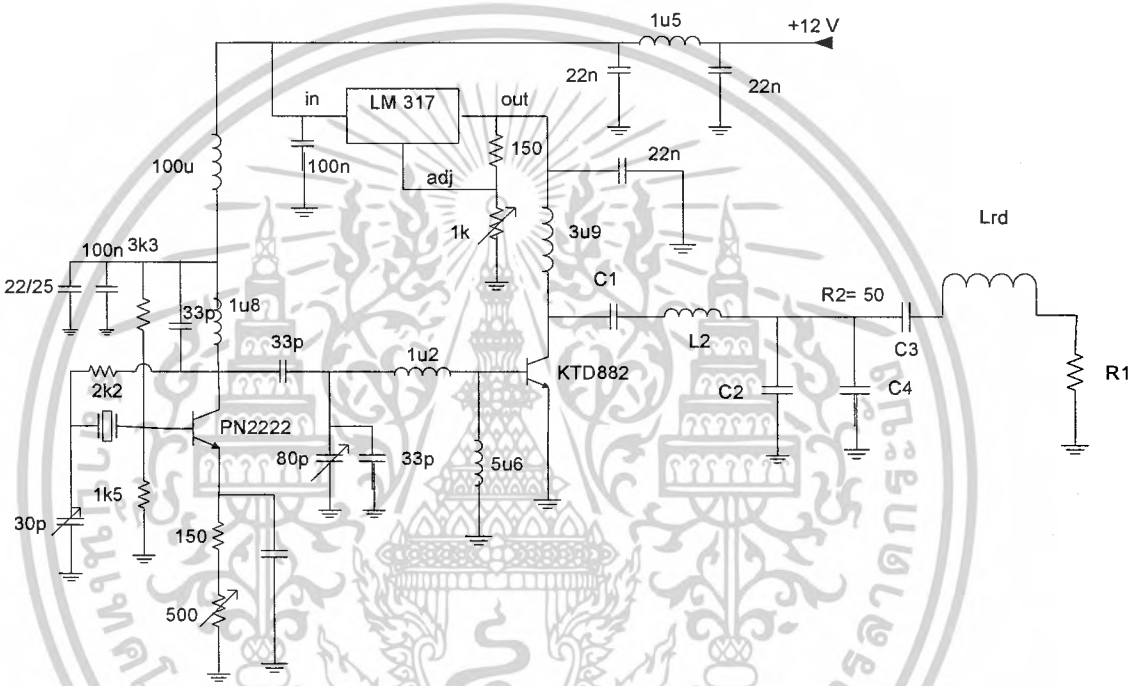
ในการทำงานของโปรแกรมนั้นเริ่มจากใส่รหัสที่เป็นรหัส 8 บิตลงไป จากนั้นนำรหัสนี้ไปแบ่งให้เป็น 4 บิต สองชุด เมื่อได้รหัสแบบ 4 บิตแล้วให้นำรหัสแต่ละชุดมาขยายข้อมูลให้ยาวขึ้น เพื่อที่จะทำให้กลายเป็นข้อมูลที่มี 8 บิต สองชุด หลังจากนั้นนำข้อมูลนี้ไปทำการ Excusive OR กับ Clock หรือข้อมูลที่มีรหัส 01010101 เพื่อที่จะทำเป็น Manchester Code เมื่อได้แล้วจะทำการส่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อมูลไปทีละชุดติดต่อกัน และทำการ delay เมื่อส่งข้อมูลเสร็จ จากนั้นโปรแกรมจะทำการส่งข้อมูลใหม่ซึ่งจะเป็นลักษณะนี้ไปเรื่อยๆ

3.2 วงจร Reader

3.2.1 วงจร Oscillator และ Power Amp



รูปที่ 3.7 วงจร Oscillator และPower Amp

ขั้นตอนการออกแบบ

1.) หาค่าของ $(NQ_L)_{TAG}$ เพื่อใช้ในการคำนวณค่า $(NI)_{READ}$ จากการหาค่า $(NQ)_{TAG}$ ที่คำนวณไปข้างต้น จะใช้ค่า NQ_L เท่ากับ 10.07

ดังนั้นจึงเลือก $N_{TAG} = 2$ รอบ

2.) คำนวณหาค่า $(NI)_{Reader}$ จากค่า $(NQ_L)_{TAG}$ จากข้อ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$(NI)_{Rd}\,rms = \frac{2V_{Tag}\,rms(a^2 + r^2)^{1.5}}{2\pi fsCos\alpha\mu_0 a^2 (NQ_L)_{Tag}} \qquad A_{rms}$$

กำหนดให้ a : Read Radius $\approx 38\times10^{-3}\,m$

r : Read Range $\approx 0 \rightarrow 3cm$

s : Read Surface $\approx (5\times8)cm^2 \approx 4\times10^{-3}\,m^2$

$V_{Tag} \approx 7.8\ \ V_{rms}$

$NQ_L \approx 10.07$

$\cos\alpha = 0.9 \qquad (\pm 25.8^{\circ})$

ดังนั้น $$(NI)_{Rd}\,rms = \frac{2\times7.8\times\left[(38\times10^{-3})^2 + r^2\right]^{1.5}}{2\pi\times13.56\times10^6\times4\times10^{-3}\times0.9\times4\pi\times10^{-7}\times(38\times10^{-3})^2\times10.07}$$

$$\approx 2950\left(0.038^2 + r^2\right)^{1.5} \quad A_{rms}$$

$r(cm)$	$(NI)_{rms}$
0	0.1619
1	0.1790
2	0.2336
3	0.3348

3.) พัน Reader Coil โดยใช้ (3x6) นิ้ว^2 Loop

เพื่อให้เกิดผล Load Modulation ดังนั้นจึงให้ $N_{Tag} > N_{Reader}$

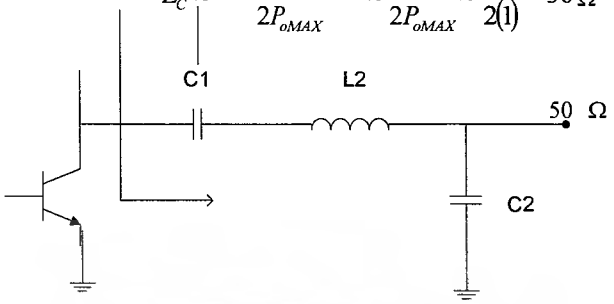
ดังนั้นจึงเลือก

N_{Reader} = 1.8 รอบ

4.) การทำ Output Matching

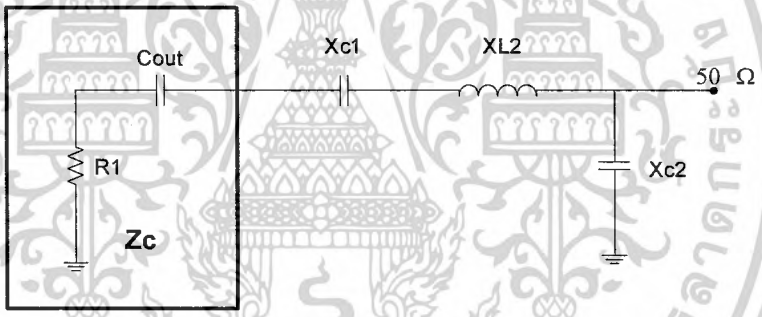
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$Z_C \approx \frac{(V_{CCMAX}-V_{SAT})^2}{2P_{oMAX}} \approx \frac{8.5^2}{2P_{oMAX}} \approx \frac{8.5^2}{2(1)} = 36\,\Omega$$



รูปที่ 3.8 การทำ Matching ระหว่าง Output กับ 50 Ω

Match จาก Series from ของ $[Z_C \,//\, 100PF] \longrightarrow 50\ \Omega$, Q ≈ 5 โดยใช้ Network C2 จาก AN267



รูปที่ 3.9 Network C2 จาก AN267

สามารถคำนวณได้จาก

1. เลือกค่า Q

2. $X_{C1} = QR_1$, $X_{C2} = R_L\sqrt{\frac{R_1}{R_L - R_1}}$, $X_{L2} = X_{C1} + \left(\frac{R_1 R_L}{X_{C2}}\right) + X_{Cout}$

หรือสามารถใช้ค่าที่ทาง datasheet คำนวณเป็นตารางมาให้แล้ว โดยจะได้ค่าต่างๆดังนี้

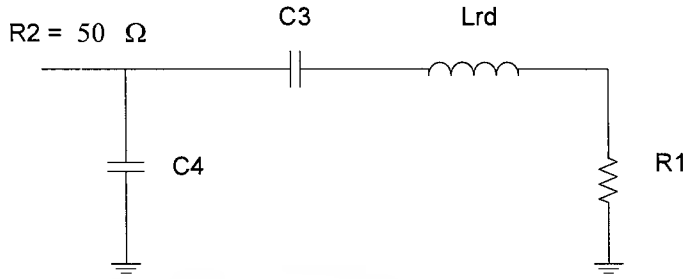
$Q = 5$, $X_{C1} = 100$, $X_{C2} = 40.82$, $X_{L2} = 124.49$, $R_1 = 20$

ดังนั้นจึงได้ค่า

$$C_1 = 120p \quad , \quad C_2 = 300p \quad , \quad L_2 = 1.66u$$

5.) การ Matching จาก 50 Ω ไป R_1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 วงจร Match จาก 50 Ω ไป R_1

ที่ 13.56 MHz ค่า L_{Rd} หาได้จาก

5.1 วัดค่า L ของ Reader Coil(L_{Rd}') ที่ความถี่ต่ำ ได้ 1.66 uH

5.2 วัดค่า Self Resonant ของ Reader Coil (f_{sp}) 55.2 MHz

5.3 หาค่า parasitic Cp

จาก $$Cp = \frac{1}{4\pi^2 f_{sp}^2 L_{Rd}'}$$

จะได้ Cp = 5.018 pF

5.4 หาอิมพิแดนซ์ของ Reader Coil (Z_{LRd})ที่ 13.56 MHz

จาก Z_{LRd} = -j234k // j141.36

= j150.35 Ω

5.5 จากค่า Z_{LRd} จะหาค่า L_{Rd} ได้จาก

$$L_{Rd} = \frac{|Z_{LRd}(f)|}{2\pi f}$$

= 1.766 uH

5.6 จากวงจร Matching สามารถหา R_1 ได้จาก

$$R_1 = \frac{(R_2 + 2QX_L) \pm \sqrt{(R_2 + 2QX_L)^2 - 4(Q^2+1)X_L^2}}{2(Q^2+1)}$$

ได้ $R_1 \simeq 25$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

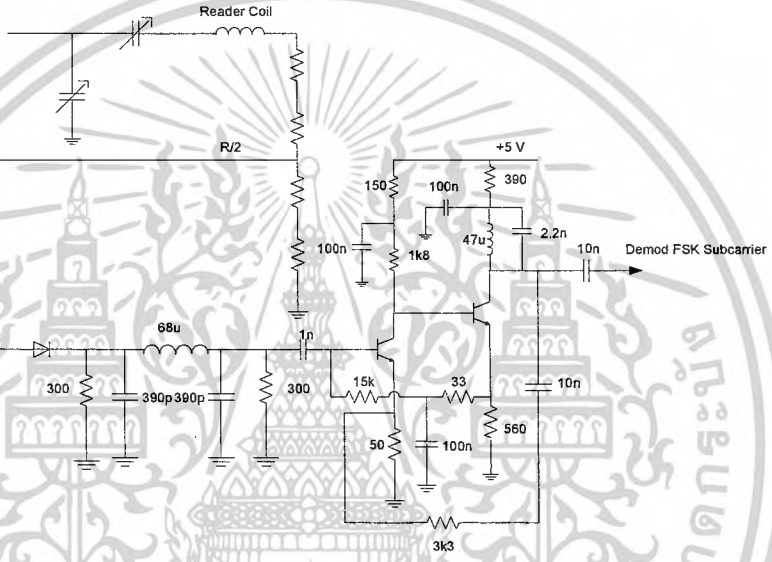
จากนั้น

$$X_{C3} = QR_1 = 5 \times 25 = 125 \quad \therefore C_3 \approx 94pF$$

$$X_{C4} = R_2\sqrt{\frac{R_1}{R_2 - R_1}} = 50 \quad \therefore C_4 \approx 235pF$$

3.2.2 วงจร Demodulator

3.2.2.1 วงจร Demodulator Carrier

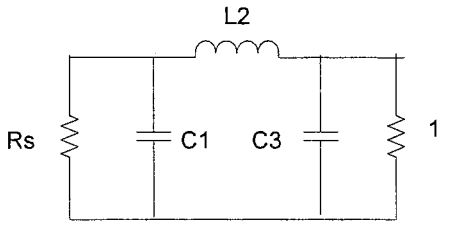


รูปที่ 3.11 วงจร Butterworth และ Voltage Amp.

จากรูปประกอบไปด้วยวงจร Voltage Amplifier (POSI) และวงจรกรองความถี่ (Butterworth) โดยที่วงจร POSI จะมี Negative Feedback ต่ออยู่

จากการคำนวณ Ac Model ในส่วนของวงจร Voltage Amp. จะได้ $A_{VO} \approx 300$ และเมื่อมี Feedback ซึ่งมีค่าเท่ากับ $\frac{R_4}{R_4 + R_5} = \frac{50}{50 + 3300} = 14.93 \times 10^{-3}$ จะทำให้ได้ $A_{VCCT} \approx \frac{A_{VO}}{1 + A_{VO}F} \approx 55$

ในส่วนของวงจร Butterworth ,n = 3 จะมีค่าต่างๆดังนี้



รูปที่ 3.12 วงจรButterworth ที่ n = 3

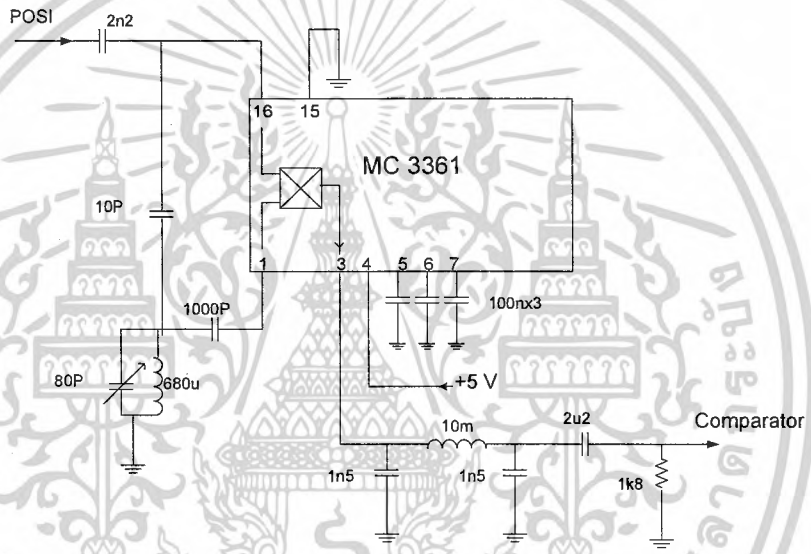
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่ n = 3 จะมีค่า Rs = 1, C1 = 1, L2 = 2, C3 = 1 ดังนั้นสามารถหาค่า R,L,C ได้จาก

$$L \approx \frac{L'Z}{2\pi f} \quad , \quad C \approx \frac{C'}{2\pi f Z} \quad , \quad R_S, R_L = RZ$$

โดยให้ Z = 300 , f = 1.35 M ดังนั้นจะได้ $R_S, R_L = 300$, C1,C3 = 390p , L2 = 68u และมี Passband ที่ความถี่ 850 KHz และมี Stopband ที่ความถี่ 13.5 MHz นั่นคือวงจรจะกำจัดความถี่สูงออกไป และจะยอมให้ความถี่ที่ต่ำกว่า 850 KHz ผ่านนั่นเอง

3.2.2.2 วงจร Demodulator Subcarrier



รูปที่ 3.13 วงจร Quadrature Detector

การทำงานของวงจร Quadrature Detector ทำงานโดยอาศัยหลักการของการเลื่อนเฟสของสัญญาณซึ่งจะเปลี่ยนตามความถี่ แล้วใช้วงจรคูณทำหน้าที่เป็นเฟสดีเทคเตอร์ ถ้าสัญญาณที่ทางเข้ามีความถี่เดียวกันแต่มีเฟสต่างกัน วงจรคูณจะสามารถทำงานเป็นเฟสดีเทคเตอร์

จากรูปที่ 44 ให้ $v_1 = V_1 \cos \omega t$ และ $v_2 = V_2 \cos(\omega t + \theta)$

สัญญาณที่ทางออกจะเป็น

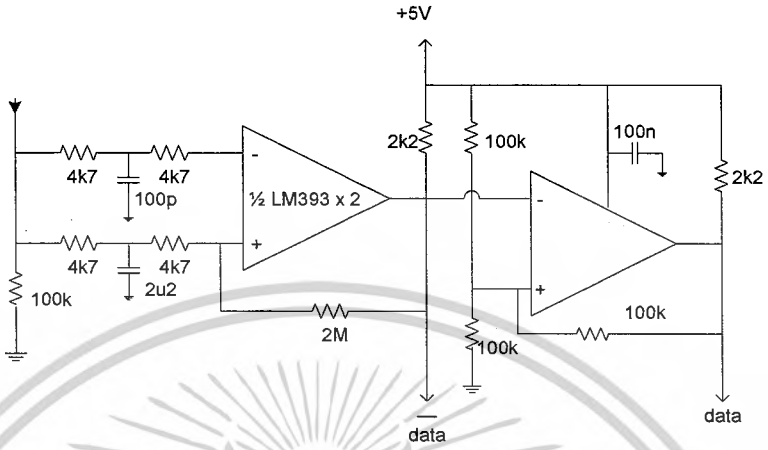
$$x_0 = k v_1 v_2 = \frac{k v_1 v_2}{2} \left(\cos(2\omega t + \theta) + \cos\theta\right)$$

$$x_0 = k^* \cos(2\omega t + \theta) + k^* \cos\theta$$

เมื่อนำสัญญาณที่ทางออกไปป้อนให้กับวงจรกรองความถี่ต่ำผ่าน พจน์ที่มีความถี่สูงจะถูกกำจัดออกไป โดยวงจรกำจัดความถี่สูงจะใช้ Butterworth ที่ n = 3 ซึ่งจะให้ความถี่ผ่านมีค่าเท่ากับ 56 kHz จากนั้นสัญญาณจึงเข้าสู่วงจรต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

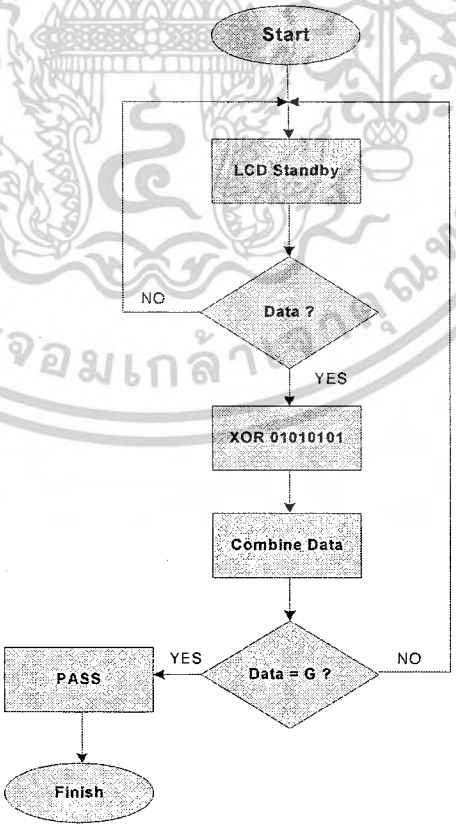
3.2.3 วงจร Comparator



รูปที่ 3.14 วงจร Comparator

สัญญาณที่เข้าวงจร Comparator จะถูกทำเป็นค่าDC เฉลี่ยที่ขาบวกของ OpAmp เพื่อตั้งเป็นค่าแรงดันอ้างอิง ทำให้สัญญาณที่ได้เปลี่ยนแปลงตามสัญญาณอ้างอิง ดังนั้นสัญญาณจะมีค่าตั้งแต่ 0-5V และมีสัญญาณออกตาม Data ที่อยู่บนแท็ก หลังจากนั้นนำค่า Data นี้ไปเข้า PIC ตัวรับเพื่อถอดรหัสต่อไป

3.2.4 การทำงานของ CPU ในภาครับ



รูปที่ 3.15 Flow Chart แสดงการทำงานซอฟแวร์ของตัวรับ

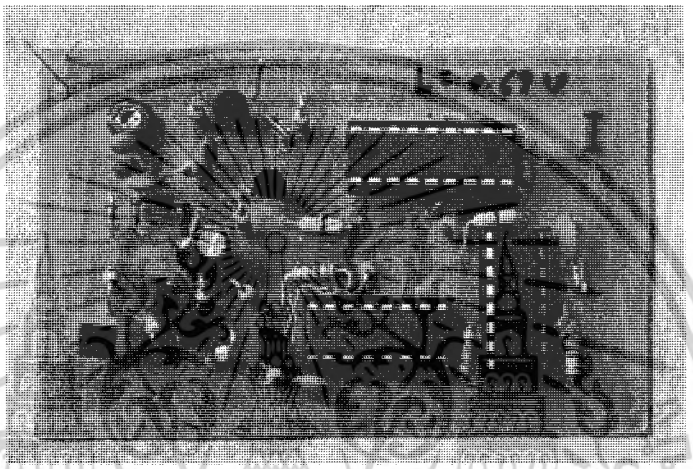
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในการทำงานของโปรแกรมนี้เริ่มจากขึ้นตัวอักษรแสดงค่า Standby เมื่อ CPU ยังไม่มีการรับข้อมูล จากนั้นถ้ามีสัญญาณข้อมูลเข้ามาข้อมูลจะทำการ Excusive OR กับ Clock หรือ 01010101 จากนั้นจะนำข้อมูลทั้งสองชุดที่ได้จาก CPU ตัวส่งมาทำการรวมกันเพื่อให้เป็นข้อมูลเดียวที่มีขนาด 8 บิต เมื่อได้ข้อมูลแล้วโปรแกรมจะทำการตรวจสอบค่าว่าข้อมูลนั้นตรงกับรหัสตัว G หรือไม่ ซึ่งเป็นรหัสที่ได้ใส่ไว้ที่ตัวส่ง ถ้าข้อมูลไม่ตรงกับรหัสโปรแกรมจะแสดงหน้าจอ Standby แล้วรอรับค่าและตรวจสอบใหม่ แต่ถ้าข้อมูลตรงกับรหัส โปรแกรมจะแสดงค่าว่าผ่านหรือข้อมูลถูกต้องนั่นเอง จากนั้นโปรแกรมจะทำเช่นนี้วนไปเรื่อยๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

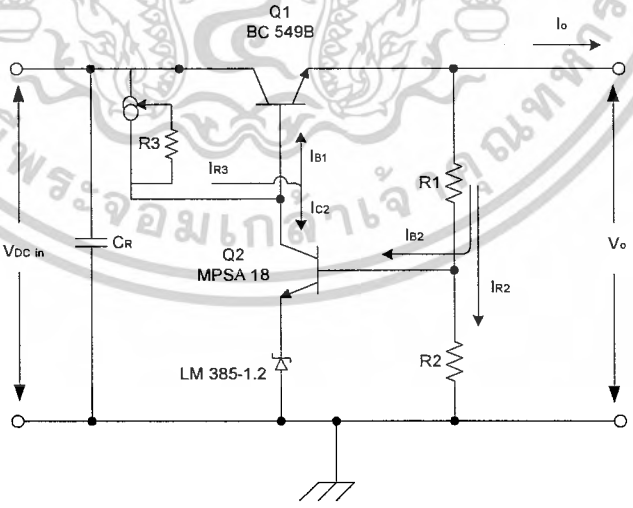
บทที่ 4
การทดลองและบันทึกผล

4.1 การทดลองวงจรของ Tag



รูปที่ 4.1 Tag

4.1.1 การทดลองวงจร Tag Regulator



รูปที่ 4.2 วงจร Tag Regulator

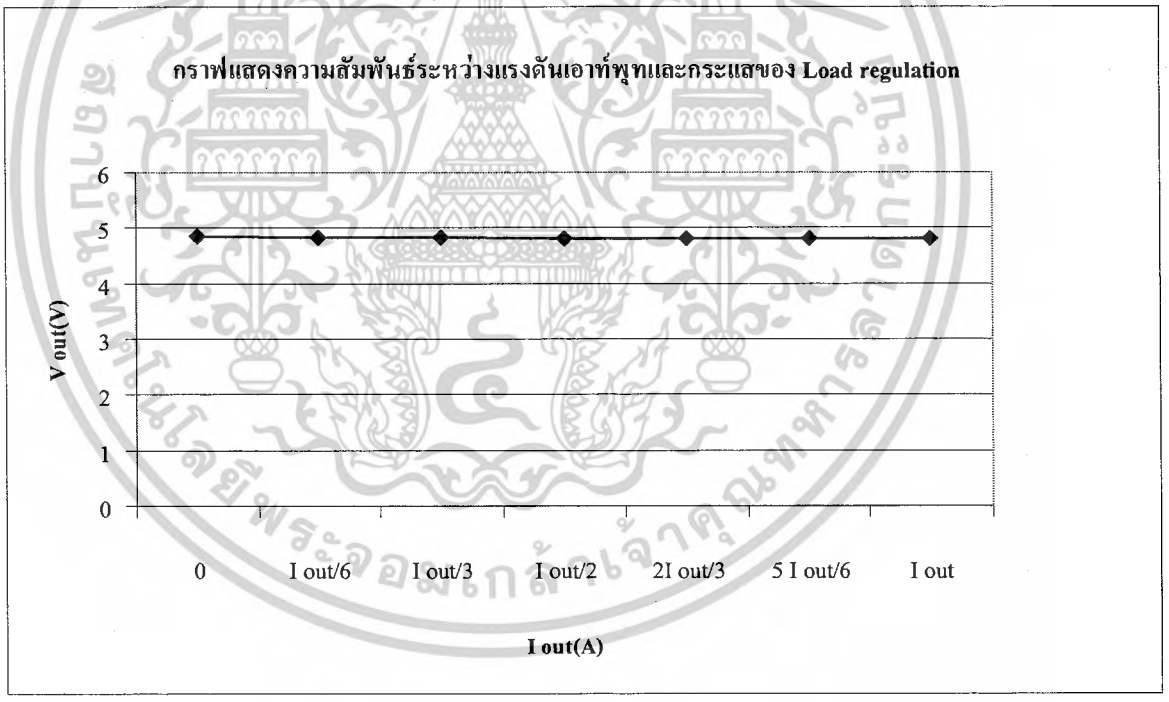
ตารางที่ 4.1) ผลการวัดแรงดันเอาท์พุท กระแสเข้าและค่าLoad Regulation

$I_{TAG\ DC\ MAX} = I_O = 25mA$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

I_O(mA)	Load (ohm)	V_O(V)	LR(%)
0	∞	4.84	0
$I_O/6$	1.2k	4.83	0.21
$I_O/3$	560	4.82	0.41
$I_O/2$	390	4.81	0.62
$2I_O/3$	300	4.80	0.83
$5I_O/6$	240	4.80	0.83
I_O	200	4.80	0.83

ตารางที่ 4.1 ผลการวัดค่า Load Regulation



รูปที่ 4.3 กราฟความสัมพันธ์ของ Load Regulation

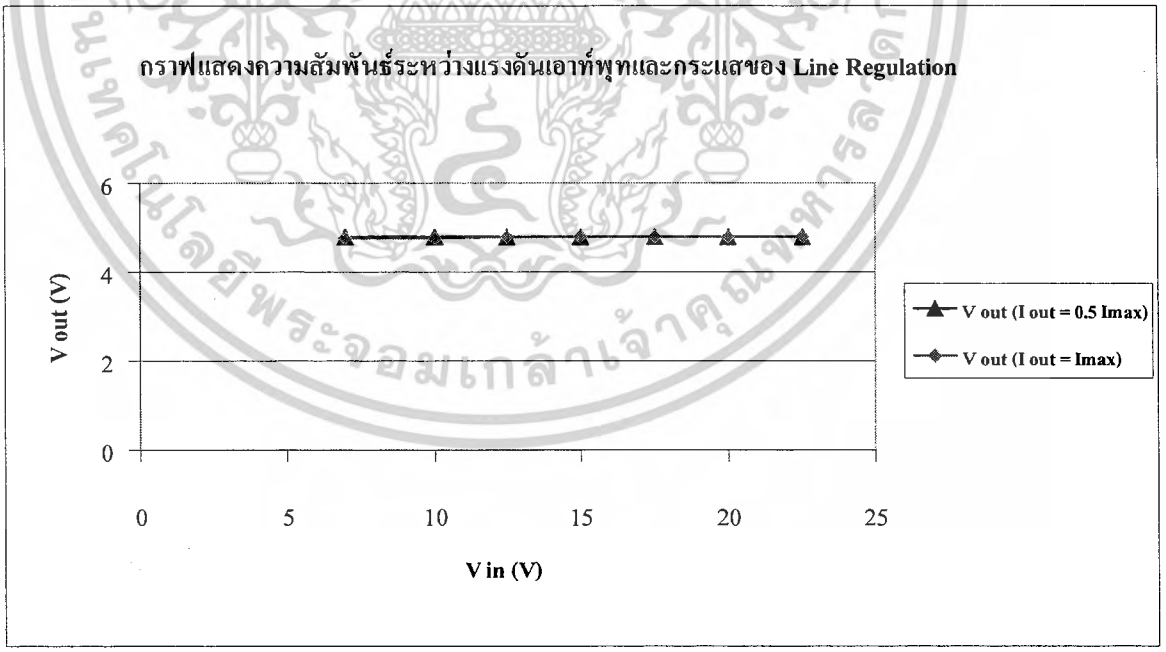
ตารางที่ 4.2) ผลการวัดแรงดันเอาท์พุท กระแสเข้าและค่าLine Regulation

$I_{TAG\ DC\ MAX} = I_O = 25mA$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

V_{in}(V)	I_O(A)			
	V_O (I_O=0.5 I_{MAX})	LR(%)	V_O (I_O= I_{MAX})	LR(%)
7.0	4.78	0.42	4.77	0.21
10.0	4.78	0.42	4.77	0.21
12.5	4.78	0.42	4.78	0
15.0	4.80	0	4.78	0
17.5	4.80	0	4.78	0
20.0	4.80	0	4.78	0
22.5	4.80	0	4.78	0

ตารางที่ 4.2 ผลการวัดค่า Line Regulation



รูปที่ 4.4 กราฟความสัมพันธ์ของ Line Regulation

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1.2 การทดลองหาค่า Voltage ที่ระยะต่างๆ

1) ทดลองโดยใช้ค่าพลังงานที่ต่ำสุดที่วงจรสามารถรับส่งข้อมูลได้

P_{MIN} $R/2 \approx 12\ \Omega$

Range (cm)	$V_{ก่อน\ Reg}$ (V)	$V_{หลัง\ Reg}$ (V)	I_{in} (mA)	$V_{ที่\ R/2}$ (V)	Power (W)
0	10.91	4.75	14.1	3.6	0.54
1	11.93	4.75	14.3	3.8	0.60
2	13.95	4.76	14.3	4.0	0.67
3	15.75	4.78	15.1	4.8	0.96

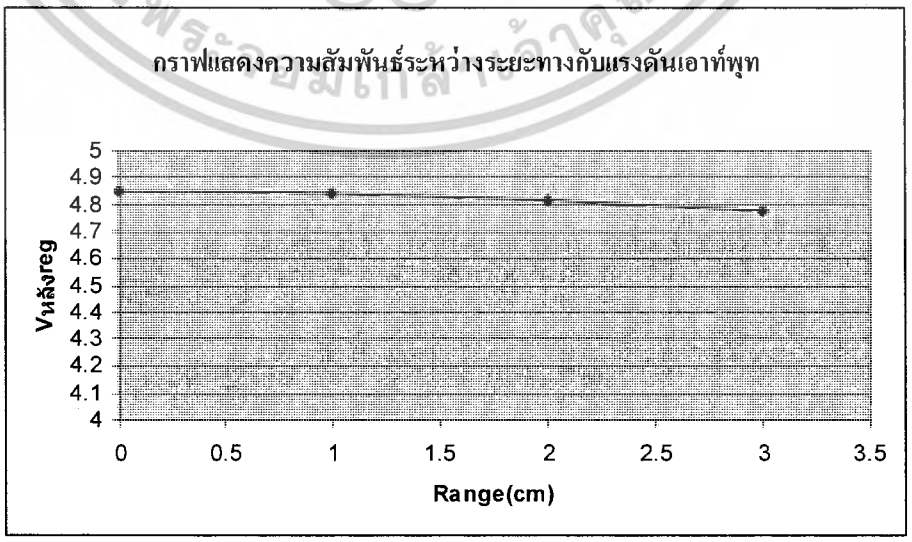
ตารางที่ 4.3 ผลการวัดค่าที่ P_{MIN}

2) ทดลองโดยใช้ค่าพลังงานที่มากที่สุดเพื่อดูค่าที่ระยะต่างๆ

P_{MAX} $V_{R/2} \approx 4.8$ V Power ≈ 0.96 W

Range (cm)	$V_{ก่อน\ Reg}$ (V)	$V_{หลัง\ Reg}$ (V)	I_{in} (mA)
0	16.44	4.81	16.7
1	16.18	4.81	16.5
2	16.17	4.80	16.1
3	15.76	4.78	15.5

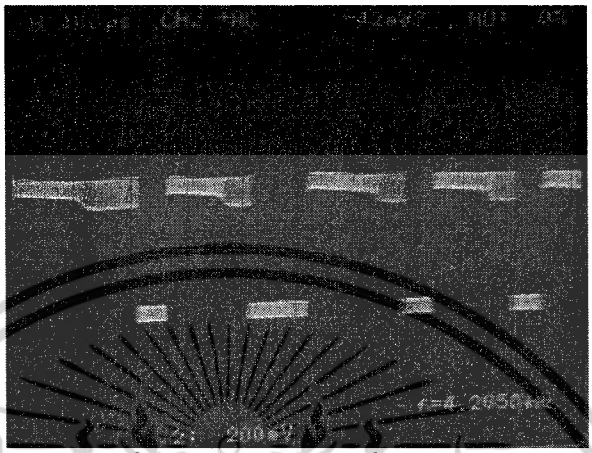
ตารางที่ 4.4 ผลการวัดค่าที่ P_{MAX}



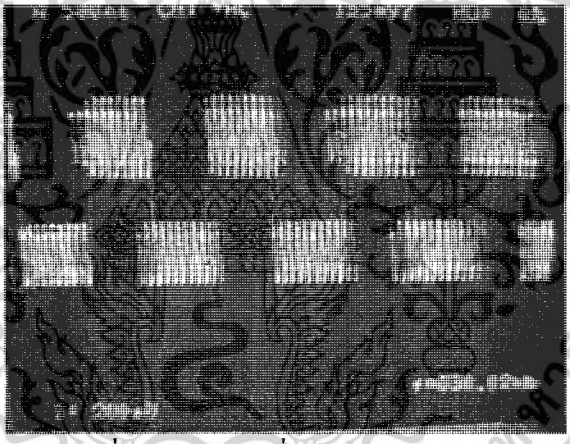
รูปที่ 4.5 กราฟแสดงความสัมพันธ์ระหว่างระยะทางกับแรงดันเอาท์พุท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

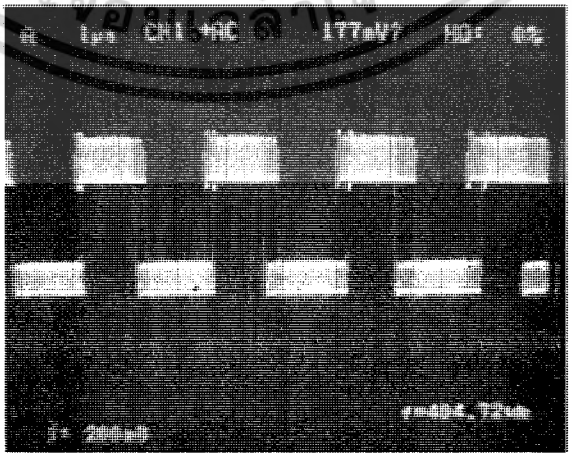
4.1.3 การทดลองวัดสัญญาณต่างๆ



รูปที่ 4.6 สัญญาณข้อมูลที่ส่งจาก PIC

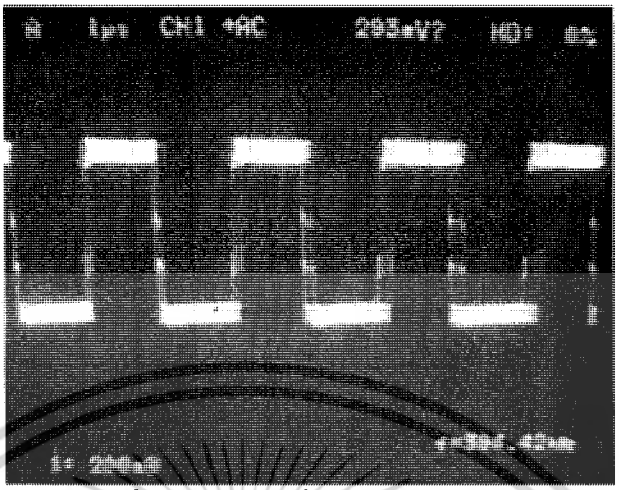


รูปที่ 4.7 สัญญาณที่ได้จากการหาร16,14



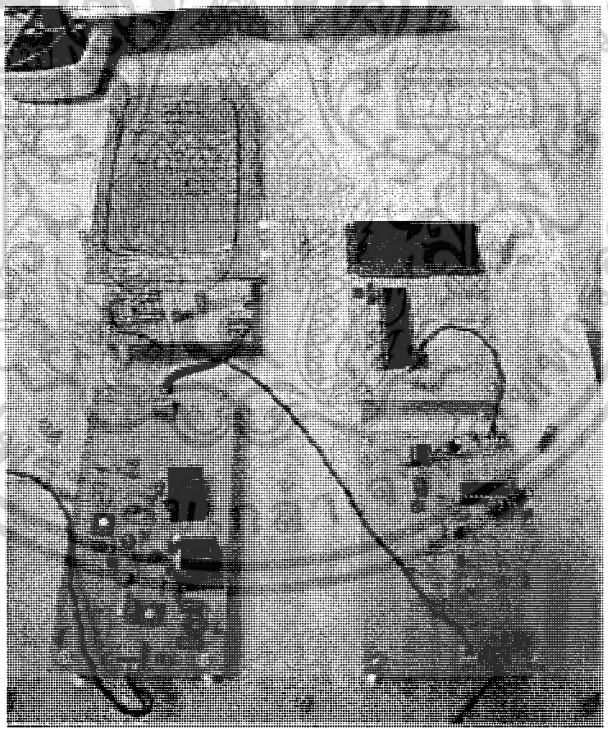
รูปที่ 4.8 สัญญาณที่ได้จากการหาร32,28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.9 สัญญาณที่ขาเดรนของ mosfet

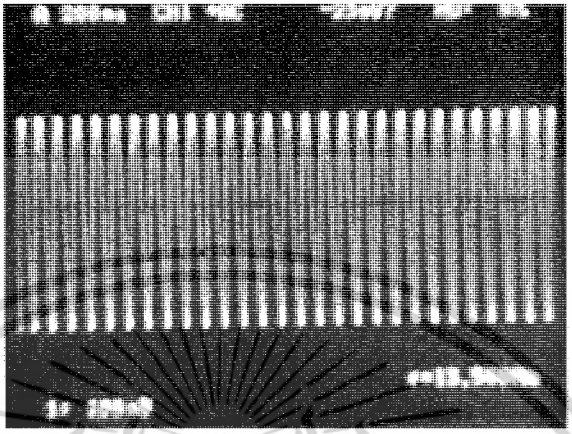
4.2 การทดลองวงจรของ Reader



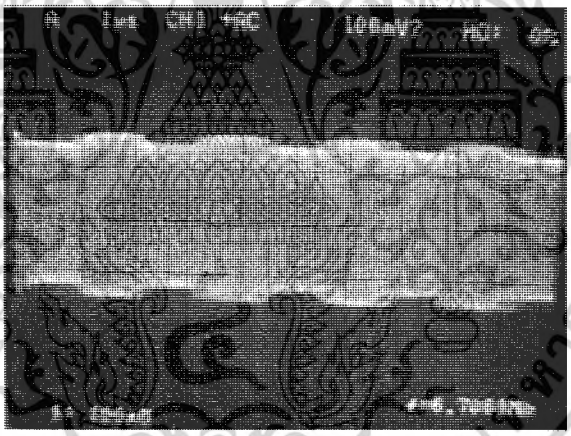
รูปที่ 4.10 Reader

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.1 การทดลองวัดสัญญาณต่างๆ



รูปที่ 4.11 สัญญาณจาก Reader ตอนที่ยังไม่มี Tag

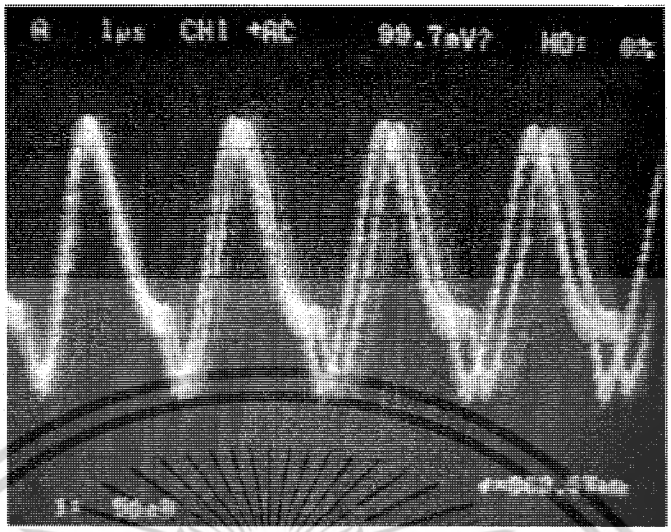


รูปที่ 4.12 สัญญาณจาก Reader ตอนที่มี Tag

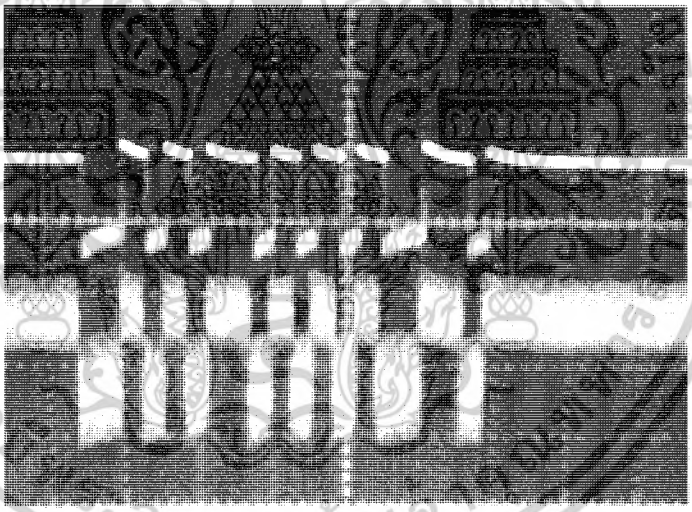
4.3 การทดลองวงจร Demodulator

4.3.1 การทดลองวัดสัญญาณต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



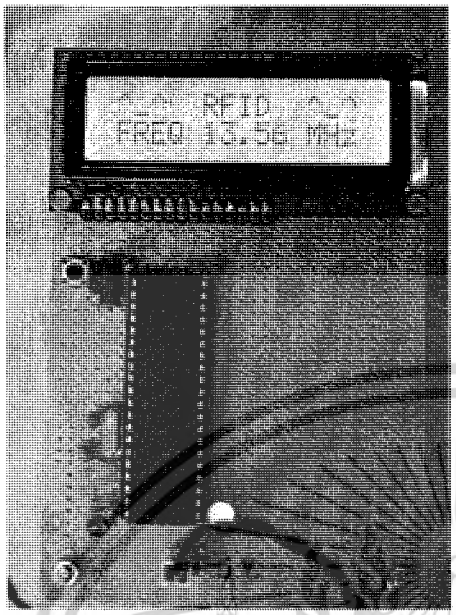
รูปที่ 4.13 สัญญาณจากวงจรขยายหลังจากผ่าน Filter



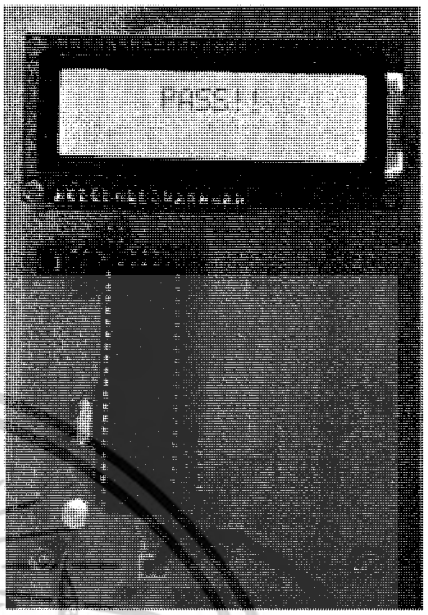
รูปที่ 4.14 เปรียบเทียบสัญญาณจาก Tag กับ Reader

4.4 การทดลองบนจอ LCD

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.15 หน้าจอแสดงผลเมื่อไม่มี Tag



รูปที่ 4.16 หน้าจอแสดงผลเมื่อข้อมูลถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์ผลการทดลอง

สรุปผลการทดลอง

โครงงานนี้ประกอบด้วยส่วนของซอฟต์แวร์กับส่วนฮาร์ดแวร์ โดยในส่วนซอฟต์แวร์จะประกอบไปด้วยการรับส่งจากไมโครคอนโทรเลอร์ไปยังไมโครคอนโทรเลอร์ ซึ่งเป็นการส่งแบบ Manchester Code

ส่วนของ Hardware ประกอบด้วย Tag และ Reader ซึ่งจากการทดลองแบ่งเป็นการทดลอง 2 ส่วนคือในส่วนของวงจร Tag กับ Reader ส่วนของวงจร Tag ในตอนแรกได้ทำการทดลองวัดประสิทธิภาพของวงจรรักษาแรงดัน ซึ่งพบว่าวงจรรักษาแรงดันสามารถรักษาแรงดันได้โดยมีค่าแรงดันเอาท์พุทประมาณ 4.8 V และจากกราฟรูปที่ 4.3 และ 4.4 ซึ่งเป็นกราฟของ Load Regulation และ Line Regulation พบว่ากราฟมีค่าค่อนข้างคงที่ ดังนั้นจึงเป็นวงจรที่มีประสิทธิภาพดี

ในตอนที่สองได้ทำการทดลองค่าพลังงานต่ำสุดของวงจรReader ที่สามารถรับส่งข้อมูลได้ โดยพบว่าเมื่อระยะห่างระหว่าง Tag กับ Reader เพิ่มมากขึ้น ทำให้ต้องใช้พลังงานมากขึ้นเพื่อให้ Tag สามารถส่งข้อมูลได้ และตอนที่สามได้ทำการทดลองโดยปรับค่าให้ Reader ส่งพลังงานมากที่สุดประมาณ 0.96 W แล้วทำการวัดค่าแรงดันและกระแสบน Tag พบว่ากระแสที่ใช้มีค่าประมาณ 16 mA และให้แรงดันเอาท์พุทประมาณ 4.8 v และเมื่อเพิ่มระยะห่างระหว่าง Tag กับ Reader แรงดันจะมีค่าลดลง แต่ถ้าระยะห่างมากกว่า 3 เซนติเมตร จะทำให้แรงดันจากวงจร Regulator มีค่าลดลงและค่าแรงดันอาจไม่เพียงพอที่จะทำให้วงจรบน Tag ทำงานได้ ดังนั้นจึงทำให้ไม่สามารถส่งสัญญาณข้อมูลไปยัง Reader ได้ ดังนั้นระยะทางระหว่าง tag และ reader ที่มากที่สุดที่วงจรจะทำงานได้ควรอยู่ในช่วงระยะห่างไม่เกิน 3 เซนติเมตร ซึ่งเป็นระยะที่ใช้งานปกติ

ในส่วนของวงจร Reader ได้ทำการวัดสัญญาณต่างๆ โดยสัญญาณสุดท้ายที่ได้จะมีสัญญาณตรงกับสัญญาณข้อมูลที่ส่งมาจาก Tag ดังรูปที่ 4.14

วิจารณ์ผลการทดลอง

ในส่วนของ CPU ตัวรับ สัญญาณข้อมูลที่ได้จะเคลื่อนที่ตลอดเวลาทำให้การแสดงผลออกทางหน้าจอ LCD ต้องใช้เวลานานขึ้น ดังนั้นในการวาง Tag ต้องใช้เวลาในการวาง เพื่อให้การแสดงผลในส่วนรับแสดงค่าได้ถูกต้อง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสืออ้างอิง

1. ประจิน พลังสันติกุล “PIC Works”
2. ลัญฉกร วุฒิสิทธิกุล “หลักการไฟฟ้าสื่อสาร”
3. Behrouz A. Forouzan “Data Communications and Networking”
4. RFID Handbook
5. Youbok Lee, “ AN710 Antena circuit Design for RFID Application ” , Microchip , 2003
6. www.alldatasheet.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมตัวส่งของ PIC16F628A

```
#include <16F628A.h>
#fuses NOWDT,EC_IO,NOPROTECT,NOLVP
#use delay(clock=13560000)
#use rs232(baud=9600,xmit=PIN_B2,rcv=PIN_B1)
#include <stdio.h>
int i,q,a,y;
char d[5],data,data1,data2,real1,real2;
void loop()
{
  q=0b00000000;
  d[4]=y & 0b00001000;      //d[4]=0000X000//
  d[3]=y & 0b00000100;      //d[3]=00000x00//
  d[2]=y & 0b00000010;      //d[2]=000000x0//
  d[1]=y & 0b00000001;      //d[1]=0000000x//
  for (i=4;i>=1;i--)
  {
    d[i] = d[i]<<(i-1);    //0x000000//
    q = q + d[i];          //0x000000/
    d[i] = d[i]<<1;        //x0000000//
    q = q + d[i];          //xx000000//
  }
}
 void loop1()
{
  q=0b00000000;
  d[4]=y & 0b00010000;      //d[4]=000x0000//
  d[3]=y & 0b00100000;      //d[3]=00x00000//
  d[2]=y & 0b01000000;      //d[2]=0x000000//
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
  d[1]=y & 0b10000000;      //d[1]=x0000000//
  for (i=1;i<=4;i++)
  {
    d[i] = d[i]>>(i-1);    //x0000000//
    q = q + d[i];          //x0000000/
    d[i] = d[i]>>1;         //0x000000//
    q = q + d[i];          //xx000000//
  }
}
void transmit()
{
  data1= a & 0b00001111;  //data1 = 0000XXXX//
  data2= a & 0b11110000;  //data2 = XXXX0000//
  y=data1;
  loop();
  real1=q^0b01010101;
  y=data2;
  loop1();
  real2=q^0b01010101;
 while(1)
 {  putc(real1);
  putc(real2);
  delay_ms(100);
 }
 }
void main()
{
a='G'; //01000111//
  transmit();
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โปรแกรมตัวรับของ PIC16F877A

```
#include <16F877A.h>
#fuses NOWDT,HS,NOPROTECT,NOLVP
#use delay(clock=13560000)
#use rs232(baud=9600,rcv=PIN_A0)
#include <stdio.h>
#use fast_io (B)
#define use_portb_lcd
#include <lcd.c>
int i,j,d;
char data[2],x,y,sum,a[5],g;
void recieve()
{
data[0]=getc();
data[1]=getc();
data[0]=data[0] ^ 0x55;
data[1]=data[1] ^ 0x55;
x=data[0];
y=0x00;
  a[4]=x & 0b10000000;
  a[3]=x & 0b00100000;
  a[2]=x & 0b00001000;
  a[1]=x & 0b00000010;
  for (i=1;i<=4;i++)
  {
    a[i] = a[i]>>i;
    y = y + a[i];
  }
data[0]=y;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
x=data[1];
y=0x00;
  a[4]=x & 0b10000000;
  a[3]=x & 0b00100000;
  a[2]=x & 0b00001000;
  a[1]=x & 0b00000010;
  for (i=1;i<=4;i++)
  {
    a[i] = a[i]>>i;
    y = y + a[i];
  }
  data[1]=y<<4;
sum=data[0]+data[1];
}
void main()
{
 delay_ms(150);
 lcd_init();
 lcd_gotoxy(1,1);
 lcd_putc(" ^_^ RFID ^_^ ");
 lcd_gotoxy(1,2);
 lcd_putc(" FREQ 13.56 MHz ");
 output_high(PIN_D0);
 while(1){
     if(kbhit()) {
                    recieve();
                     d=sum;
                    lcd_init();
       if (d == 'G')
       {output_low(PIN_D0);
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        output_high(PIN_D1);
        lcd_gotoxy(1,1);
        lcd_putc("    PASS!!    ");
        delay_ms(3000);
        output_low(PIN_D1);
        lcd_putc("\f");
       }
      else
       {output_low(PIN_D0);
        output_high(PIN_D2);
        lcd_gotoxy(1,1);
        lcd_putc(" ^_^  RFID  ^_^ ");
        lcd_gotoxy(1,2);
        lcd_putc(" FREQ 13.56 MHz ");
        delay_ms(3000);
        output_low(PIN_D2);
        lcd_putc("\f");
       }
        output_low(PIN_A0);
        output_high(PIN_A0);
     }
     }
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

AN267

Matching Network Designs with Computer Solutions

Prepared by: Frank Davis

INTRODUCTION

One of the problems facing the circuit design engineer is the design of high-frequency matching networks. Careful design of a network that will accomplish the required matching, harmonic attenuation, bandwidth, etc., and yield components of practical size can result in many hours spent with pencil and slide rule.

The design of matching networks for high–frequency circuits involves an infinite number of possibilities, and a complete tabulation of possible network solutions would be virtually impossible. However, it is often necessary to design matching networks with a 50 + j 0 ohm impedance at one port. This, combined with a restricted range of impedance values to be matched, imposed by network and device limitations, makes practical a tabulation of some of the more commonly used networks. These design solutions are given in this report.

The network solutions included in this report have the limitation that one terminating impedance must be 50 + j 0 ohms. These networks are often used for matching in transistor RF power amplifier circuits that have a 50-ohm source or load. When the network does not have a 50-ohm termination at either port, the mathematical procedure given for each network in Appendix I can be used for the solution.

COMPONENT CONSIDERATIONS

Four networks are presented in this report with solutions in the form of computer tabulations. Each network has its own limitations. Although the network configuration is normally up to the discretion of the design engineer, it is sometimes necessary to use one configuration in preference to another in order to obtain component values that are more realistic from a practical standpoint.

Component selection in the UHF and VHF frequency ranges becomes a major problem, and the network configuration to obtain realistic component values is of vital importance to the design engineer. Design calculations for matching networks can become completely meaningless unless the components for the network are measured at the operating frequency.

For example, a 100 pF silver mica capacitor that meets all specifications at 1 MHz can have as much capacitance as 300 pF at 100 MHz. At some frequency, the capacitor's series lead inductance will finally tune out the capacitance, thus leaving the capacitor net inductive.

Values of inductance in the low nanohenry range are also difficult to obtain, since the inductance of a one–inch straight piece of #20 solid tinned wire is approximately 20 nH.

Component tolerances have no meaning at VHF frequencies and above unless they are specified at the operating frequency. It cannot be over-emphasized that components must be measured at the operating frequency.

NETWORK SOLUTIONS

The resistor and capacitor shown in the box labeled "device to be matched" represent the complex input or output impedance of a transistor. These complex impedances have been represented in series form in some cases and parallel form in others, depending on which form is most convenient for network calculation. The resultant impedance of the network, when terminated with 50 + j 0 ohms, must be equal to the conjugate of the impedance in the box. The computer tabulations provide this solution.

Network A (see Figure 1) is applicable only when the "device to be matched" has a series real part of less than 50 ohms. As we can see from the computer tabulation, as the series real part approaches 50 ohms, the reactance of C_1 approaches infinity. However, in RF power amplifiers, we normally find that the series real part of both the input and the output is less than 50 ohms, making this matching network applicable to most RF power amplifier stages. Where the terminating impedance is other than 50 ohms, the mathematical procedure for the network solution is given in Appendix I.

Network B (see Figure 2) is the Pi network widely used in vacuum tube transmitters. As is apparent from the computer tabulation, this network is often impractical for use where R_1 is small. For values of R_1 less than 50 ohms, the inductance of L becomes impractically small while the capacitance of both C_1 and C_2 become very large. Where the Pi network configuration must be used to match low values of impedance, a double Pi network, in which the Q of the first section is very low, can be utilized to yield practical components.

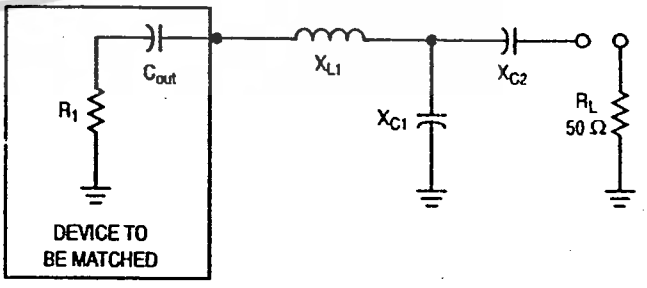


Figure 1. Network A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่อนุญาตให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

© Motorola, Inc. 1993

MOTOROLA

For More Information On This Product,
Go to: www.freescale.com

Freescale Semiconductor, Inc.

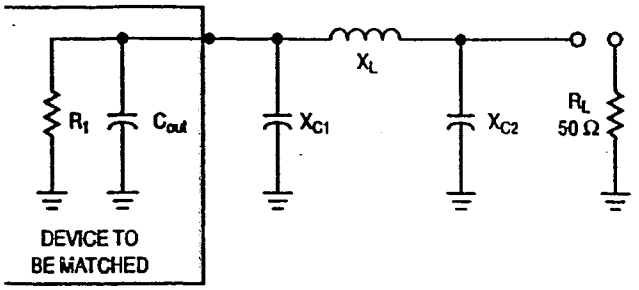


Figure 2. Network B

Network C has been solved in two forms (see Figure 3). oth of these networks have the limitation that R_1 must be ss than 50 ohms. However, it must be stressed that this etwork configuration quite often yields the most practical omponents where low values of R_1 must be matched.

Network D (see Figure 4) is a "Tee" network. This network useful for matching impedance less than or greater than) ohms. It has been observed in laboratory tests that this etwork configuration also yields very high collector fficiencies when used for output matching in transistor RF ower amplifier stages.

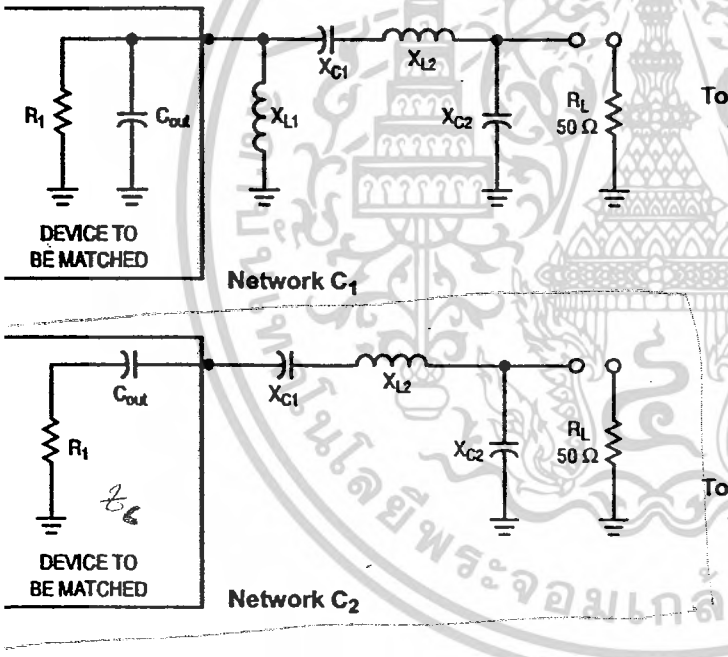


Figure 3.

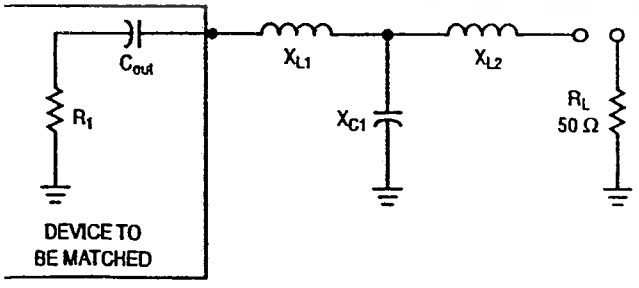


Figure 4. Network D

SUMMARY

Four computer-solved networks have been presented. The mathematical procedure for the solution of each network has been given in Appendix I.* Although the networks have found major use in matching solid-state RF power amplifier stages, they are also applicable to any circuit where the individual network's limitations are fulfilled.

*For the derivation of the equations used, refer to Electronic Circuit Analysis, Volume 1, "Passive Networks," Philip Cutler.

APPENDIX I

To convert a parallel resistance and reactance combination to series:

$$R_s = \frac{R_P}{1 + (R_P/X_P)^2}$$

$$X_s = R_s \frac{R_P}{X_P}$$

To convert a series resistance and reactance combination to parallel:

$$R_P = R_s [1 + (X_s/R_s)^2]$$

$$X_P = \frac{R_P}{X_s/R_s}$$

To solve network A:

1. Select a Q

$$X_{L1} = QR_1 + X_{Cout}$$

$$X_{C2} = AR_L$$

$$X_{C1} = \frac{(B/A)(B/Q)}{(B/A) - (B/Q)} = \frac{B}{Q - A}$$

where $A = \sqrt{\left[\frac{R_1 (1 + Q^2)}{R_L}\right]} - 1$

$$B = R_1 (1 + Q^2)$$

To solve network B:

1. Select a Q

$$X_{C1} = R_1/Q$$

$$X_{C2} = R_L \sqrt{\frac{R_1/R_L}{(Q^2 + 1) - (R_1/R_L)}}$$

$$X_L = \frac{QR_1 + (R_1R_L/X_{C2})}{Q^2 + 1}$$

To solve network C_1:

1. Select a Q

$$X_{L1} = X_{Cout}$$

$$X_{C1} = QR_1$$

$$X_{C2} = R_L \sqrt{\frac{R_1}{R_L - R_1}}$$

$$X_{L2} = X_{C1} + \left(\frac{R_1R_L}{X_{C2}}\right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของ Freescale Semiconductor, Inc. ทุกครั้งที่มีการนำไปใช้

For More Information On This Product,
Go to: www.freescale.com

To solve network C_2:

1. Select a Q
2. L_1 is not used in this network

$$X_{C1} = QR_1$$

$$X_{C2} = R_L\sqrt{\frac{R_1}{R_L - R_1}}$$

$$X_{L2} = X_{C1} + \left(\frac{R_1R_L}{X_{C2}}\right) + X_{Cout}$$

To solve network D:

1. Select a Q

$$X_{L1} = (R_1Q) + X_{Cout}$$

$$X_{L2} = R_LB$$

$$X_{C1} = \frac{(A/Q)(A/B)}{(A/Q) + (A/B)} = \frac{A}{Q + B}$$

where $A = R_1(1 + Q^2)$

$$B = \sqrt{\left(\frac{A}{R_L}\right) - 1}$$

5

$R_1 = 20$

$R_L = 50$

$X_{C2} = 40$

$125.5 = 100 + 25 + X_{Cout}$

$X_{Cout} = -0.5$

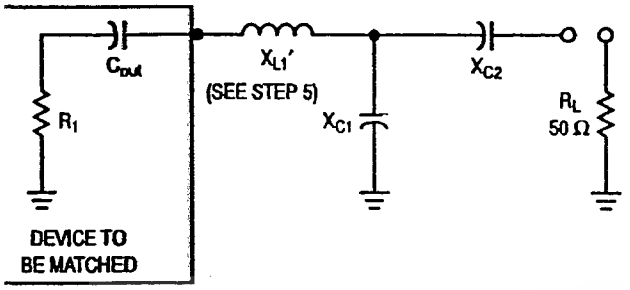
$Z_L = (Q_1 + 1)X_{Q_1}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

For More Information On This Product,
Go to: www.freescale.com

Freescale Semiconductor, Inc.

NETWORK A



TO DESIGN A NETWORK USING THE TABLES

1. Transform the parallel impedance of the device to be matched to series form ($R_1 + jX_{Cout}$).
2. Define Q, in column one, as X_{L1}/R_1.
3. Choose a Q.
4. For a Q, find the R_s to be matched in the R column and read the reactive value of the components.
5. X_{L1}' is equal to the quantity X_{L1} obtained from the tables plus $|X_{Cout}|$.
6. This completes the network.

Q	X_{L1}	X_{C1}	X_{C2}	R_1
1	26	65	10	26
1	27	75.3	14.14	27
1	28	85.68	17.32	28
1	29	96.66	20	29
1	30	108.5	22.36	30
1	32	136	26.46	32
1	34	170	30	34
1	36	213.8	33.16	36
1	38	272.5	38.05	38
1	40	355	38.7	40
1	42	479	41.23	42
1	44	686.32	43.59	44
1	46	1102	45.83	46
1	48	2351	48	48
2	22	32.7	15.8	11
2	24	38.6	22.4	12
2	26	45	27.4	13
2	28	51.2	31.6	14
2	30	58	35.4	15
2	32	65.3	38.7	16
2	34	73.1	41.8	17
2	36	81.4	44.7	18
2	38	90.3	47.4	19
2	40	100	50	20
2	42	110.4	52.4	21
2	44	122	55	22
2	46	134	57	23
2	48	147	59	24
2	50	161	61	25
2	52	177	63	26
2	54	194	65	27
2	56	213	67	28
2	58	233	69	29
2	60	256	71	30
2	64	310	74	32
2	68	377	77	34
2	72	464	81	36
2	76	582	84	38
2	80	746	87	40
2	84	995	89	42
2	88	1409	92	44
2	92	2241	95	46
2	96	4739	97	48
3	18	23.5	22.3	6
3	21	29.6	31.6	7
3	24	35.9	38.7	8
3	27	42.7	44.7	9
3	30	50	50	10
3	33	57.8	54.8	11
3	36	66	59	12
3	39	75	63.2	13

Q	X_{L1}	X_{C1}	X_{C2}	R_1
3	42	84	67	14
3	45	95	71	15
3	48	105	74	16
3	51	117	77	17
3	54	130	81	18
3	57	143	84	19
3	60	158	87	20
3	63	173	89	21
3	66	190	92	22
3	69	209	95	23
3	72	228	97	24
3	75	250	100	25
3	78	274	102	26
3	81	299	105	27
3	84	327	107	28
3	87	358	110	29
3	90	393	112	30
3	96	473	116	32
3	102	575	120	34
3	108	706	124	36
3	114	882	128	38
3	120	1129	132	40
3	126	1502	136	42
3	132	2124	140	44
3	138	3372	143	46
3	144	7119	146	48
4	12	13.2	7.1	3
4	16	20	30	4
4	20	26.9	41.8	5
4	24	34.2	51	6
4	28	42.1	58.7	7
4	32	50.6	66	8
4	36	60	72	9
4	40	69	77	10
4	44	80	83	11
4	48	91	88	12
4	52	103	92	13
4	56	115	97	14
4	60	129	101	15
4	64	144	105	16
4	68	159	109	17
4	72	176	113	18
4	76	194	117	19
4	80	214	120	20
4	84	235	124	21
4	88	257	127	22
4	92	282	131	23
4	96	308	134	24
4	100	337	137	25
4	104	368	140	26
4	108	403	143	27

Q	X_{L1}	X_{C1}	X_{C2}	R_1
4	112	440	146	28
4	116	482	149	29
4	120	527	152	30
4	128	635	157	32
4	136	770	162	34
4	144	945	168	36
4	152	1180	173	38
4	160	1510	177	40
4	168	2007	182	42
4	176	2837	187	44
4	184	4500	191	46
4	192	9497	196	48
5	10	10.8	10	2
5	15	18.3	37.4	3
5	20	26.3	52	4
5	25	34.8	63.2	5
5	30	44	73	6
5	35	54	81	7
5	40	65	89	8
5	45	76	96	9
5	50	88	102	10
5	55	101	108	11
5	60	115	114	12
5	65	130	120	13
5	70	146	125	14
5	75	163	130	15
5	80	181	135	16
5	85	201	140	17
5	90	222	145	18
5	95	245	149	19
5	100	269	153	20
5	105	295	157	21
5	110	323	162	22
5	115	354	166	23
5	120	387	169	24
5	125	423	173	25
5	130	462	177	26
5	135	505	181	27
5	140	553	184	28
5	145	604	188	29
5	150	662	191	30
5	160	796	198	32
5	170	965	204	34
5	180	1184	210	36
5	190	1477	217	38
5	200	1890	222	40
5	210	2510	228	42
5	220	3548	234	44
5	230	5628	239	46
5	240	11874	245	48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา

For More Information On This Product,
Go to: www.freescale.com

Q	X_{L1}	X_{C1}	X_{C2}	R_1
5	12	13.9	34.6	2
5	18	22.7	55.2	3
5	24	32.2	70	4
5	30	42.5	82	5
5	36	53.6	93	6
5	42	65.5	102	7
5	48	78	110	8
5	54	92	119	9
5	60	107	126	10
5	66	122	133	11
5	72	139	140	12
5	78	157	147	13
5	84	176	153	14
5	90	197	159	15
5	96	219	165	16
5	102	242	170	17
5	108	267	175	18
5	114	295	181	19
5	120	324	186	20
5	126	355	191	21
5	132	389	195	22
5	138	426	200	23
6	144	466	205	24
6	150	509	209	25
6	156	556	214	26
6	162	608	218	27
6	168	664	222	28
6	174	727	226	29
6	180	795	230	30
6	192	957	238	32
6	204	1160	246	34
6	216	1422	253	36
6	228	1775	260	38
6	240	2270	267	40
6	252	3015	274	42
6	264	4260	281	44
6	276	6755	287	46
6	288	14250	294	48
7	14	16.7	50	2
7	21	26.8	71	3
7	28	38	87	4
7	35	50	100	5
7	42	63	112	6
7	49	77	122	7
7	56	92	132	8
7	63	108	141	9
7	70	125	150	10
7	77	143	158	11
7	84	163	166	12
7	91	184	173	13
7	98	206	180	14
7	105	230	187	15
7	112	256	193	16
7	119	283	200	17
7	126	313	206	18
7	133	344	212	19
7	140	379	218	20
7	147	415	224	21
7	154	455	229	22
7	161	498	234	23
7	168	544	239	24
7	175	595	245	25
7	182	650	250	26

Q	X_{L1}	X_{C1}	X_{C2}	R_1
7	189	710	255	27
7	196	776	260	28
7	203	849	265	29
7	210	929	269	30
7	224	1117	278	32
7	238	1354	287	34
7	252	1661	296	36
7	266	2071	304	38
7	280	2649	312	40
7	294	3518	320	42
7	308	4971	328	44
7	322	7882	335	46
7	336	16626	343	48
8	8	8.7	27.4	1
8	16	19.3	63.2	2
8	24	31	85	3
8	32	43.6	102	4
8	40	57.4	117	5
8	48	72	130	6
8	56	88	142	7
8	64	105	153	8
8	72	124	164	9
8	80	143	173	10
8	88	164	182	11
8	96	187	191	12
8	104	211	199	13
8	112	236	207	14
8	120	264	215	15
8	128	293	222	16
8	136	324	230	17
8	144	358	237	18
8	152	394	243	19
8	160	433	250	20
8	168	475	256	21
8	176	521	263	22
8	184	570	269	23
8	192	623	275	24
8	200	681	281	25
8	208	744	286	26
8	216	812	292	27
8	224	888	297	28
8	232	971	303	29
8	240	1062	308	30
8	256	1277	318	32
8	272	1548	329	34
8	288	1899	338	36
8	304	2368	348	38
8	320	3028	357	40
8	336	4022	366	42
8	352	5682	375	44
8	368	9009	383	46
9	9	10	40	1
9	18	21.9	76	2
9	27	35	99	3
9	36	49.4	118	4
9	45	65	134	5
9	54	82	149	6
9	63	100	162	7
9	72	119	174	8
9	81	139	185	9
9	90	162	196	10
9	99	185	206	11

Q	X_{L1}	X_{C1}	X_{C2}	R_1
9	108	210	216	12
9	117	237	225	13
9	126	266	234	14
9	135	297	243	15
9	144	330	251	16
9	153	365	259	17
9	162	403	267	18
9	171	444	275	19
9	180	488	282	20
9	189	535	289	21
9	198	586	296	22
9	207	641	303	23
9	216	701	310	24
9	225	766	316	25
9	234	837	323	26
9	243	914	329	27
9	252	999	335	28
9	261	1092	341	29
9	270	1196	347	30
9	288	1438	359	32
9	306	1743	370	34
9	324	2137	381	36
9	342	2665	391	38
9	360	3407	402	40
9	378	4525	412	42
9	396	6393	422	44
10	10	11.2	50.5	1
10	20	24.5	87	2
10	30	39	112	3
10	40	55	133	4
10	50	72	151	5
10	60	91	167	6
10	70	111	181	7
10	80	132	195	8
10	90	155	207	9
10	100	180	219	10
10	110	206	230	11
10	120	234	241	12
10	130	264	251	13
10	140	296	261	14
10	150	330	271	15
10	160	367	280	16
10	170	406	289	17
10	180	448	297	18
10	190	494	306	19
10	200	543	314	20
10	210	595	322	21
10	220	652	330	22
10	230	713	337	23
10	240	780	345	24
10	250	852	352	25
10	260	930	359	26
10	270	1016	366	27
10	280	1111	373	28
10	290	1214	379	29
10	300	1329	383	30
10	320	1598	399	32
10	340	1937	411	34
10	360	2375	423	36
10	380	2961	435	38
10	400	3787	446	40
10	420	5029	458	42
10	440	7104	469	44

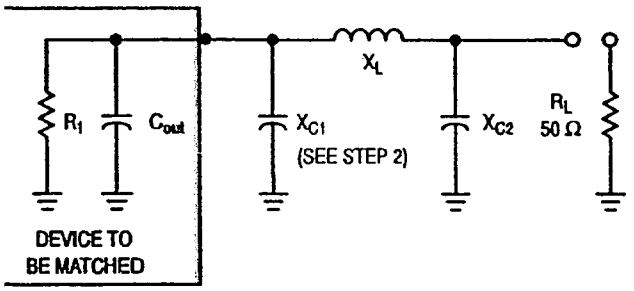
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

For More Information On This Product,
Go to: www.freescale.com

Freescale Semiconductor, Inc.

NETWORK B

The following is a computer solution for the Pi network when R_L equals 50 ohms.



TO DESIGN A NETWORK USING THE TABLES

1. Define Q, in column one, as R_1/X_{C1}.
2. C_1 actual is equal to C_1 – parallel C_{out} of device to be matched.
3. This completes the network.

Q	X_{C1}	X_{C2}	X_L	R_1
1	1	5.03	5.47	1
1	2	7.14	8	2
1	3	8.79	10.03	3
1	4	10.21	11.8	4
1	5	11.47	13.4	5
1	10	16.67	20	10
1	15	21	25.35	15
1	20	25	30	20
1	25	28.87	34.15	25
1	30	32.73	37.91	30
1	35	36.69	41.35	35
1	40	40.82	44.49	40
1	45	45.23	47.37	45
1	50	50	50	50
1	55	55.28	52.37	55
1	60	61.24	54.49	60
1	65	68.14	56.35	65
1	70	76.38	57.91	70
1	75	86.6	59.15	75
1	80	100	60	80
1	85	119.02	60.35	85
1	90	150	60	90
2	0.5	3.17	3.56	1
2	1	4.49	5.25	2
2	1.5	5.51	6.64	3
2	2	6.38	7.87	4
2	2.5	7.14	9	5
2	5	10.21	13.8	10
2	7.5	12.63	17.87	15
2	10	14.74	21.56	20
2	12.5	16.67	25	25
2	15	18.46	28.25	30
2	17.5	20.17	31.35	35
2	20	21.82	34.33	40
2	22.5	23.43	37.21	45
2	25	25	40	50
2	27.5	26.55	42.71	55
2	30	28.1	45.35	60
2	32.5	29.64	47.93	65
2	35	31.18	50.45	70
2	37.5	32.73	52.91	75
2	40	34.3	55.32	80
2	42.5	35.89	57.69	85
2	45	37.5	60	90
2	47.5	39.14	62.27	95
2	50	40.82	64.49	100
2	62.5	50	75	125
2	75	61.24	84.49	150
2	87.5	76.38	92.91	175
2	100	100	100	200
2	112.5	150	105	225

Q	X_{C1}	X_{C2}	X_L	R_1
3	0.33	2.24	2.53	1
3	0.67	3.17	3.76	2
3	1	3.88	4.76	3
3	1.33	4.49	5.65	4
3	1.67	5.03	6.47	5
3	3.33	7.14	10	10
3	5	8.79	13.03	15
3	6.67	10.21	15.8	20
3	8.33	11.47	18.4	25
3	10	12.63	20.87	30
3	11.67	13.72	23.26	35
3	13.33	14.74	25.56	40
3	15	15.72	27.81	45
3	16.67	16.67	30	50
3	18.33	17.58	32.14	55
3	20	18.46	34.25	60
3	21.67	19.33	36.32	65
3	23.33	20.17	38.35	70
3	25	21	40.35	75
3	26.67	21.82	42.33	80
3	28.33	22.63	44.28	85
3	30	23.43	46.21	90
3	31.67	24.22	48.12	95
3	33.33	25	50	100
3	41.67	28.87	59.12	125
3	50	32.73	67.91	150
3	58.33	36.69	76.35	175
3	66.67	40.82	84.49	200
3	75	45.23	92.37	225
3	83.33	50	100	250
4	6.25	8.7	14.33	25
4	12.5	12.5	23.53	50
4	18.75	15.55	31.83	75
4	25	18.26	39.64	100
4	31.25	20.76	47.12	125
4	37.5	23.15	54.36	150
4	43.75	25.46	61.39	175
4	50	27.74	68.27	200
4	56.25	30	75	225
4	62.5	32.27	81.61	250
4	75	36.93	94.48	300
4	100	47.14	119.07	400
4	125	59.76	142.25	500
4	150	77.46	163.96	600
4	175	108.01	183.77	700
4	200	200	200	800
5	0.2	1.39	1.58	1
5	5	7	11.67	25
5	10	10	19.23	50
5	15	12.37	26.08	75

Q	X_{C1}	X_{C2}	X_L	R_1
5	20	14.43	32.55	100
5	25	16.31	38.78	125
5	30	18.06	44.82	150
5	35	19.72	50.72	175
5	40	21.32	56.5	200
5	45	22.87	62.18	225
5	50	24.4	67.78	250
5	60	27.39	78.76	300
5	80	33.33	100	400
5	100	39.53	120.48	500
5	120	46.29	140.31	600
5	140	54.01	159.54	700
5	160	63.25	178.17	800
5	180	75	196.15	900
5	200	91.29	213.37	1000
5	220	117.26	229.58	1100
5	240	173.21	244.09	1200
6	0.17	1.16	1.32	1
6	4.17	5.85	9.83	25
6	8.33	8.33	16.22	50
6	12.5	10.28	22.02	75
6	16.67	11.95	27.52	100
6	20.83	13.46	32.82	125
6	25	14.85	37.97	150
6	29.17	16.16	43.01	175
6	33.33	17.41	47.96	200
6	37.5	18.61	52.83	225
6	41.67	19.76	57.63	250
6	50	22	67.08	300
6	66.67	26.26	85.45	400
6	83.33	30.43	103.29	500
6	100	34.64	120.7	600
6	116.67	39.01	137.76	700
6	133.33	43.64	154.5	800
6	150	48.67	170.94	900
6	166.67	54.23	187.08	1000
6	183.33	60.55	202.93	1100
6	200	67.94	218.46	1200
6	216.67	75.87	233.66	1300
6	233.33	88.19	248.48	1400
6	250	103.51	262.83	1500
6	266.67	126.49	276.55	1600
6	283.33	168.33	289.32	1700
6	300	300	300	1800
7	0.14	1	1.14	1
7	3.57	5.03	8.47	25
7	7.14	7.14	14	50
7	10.71	8.79	19.03	75
7	14.29	10.21	23.8	100
7	17.86	11.47	28.4	125

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา

For More Information On This Product,
Go to: www.freescale.com

Q	X_{C1}	X_{C2}	X_L	R_1
7	21.43	12.63	32.87	150
7	25	13.72	37.26	175
7	28.57	14.74	41.56	200
7	32.14	15.72	45.81	225
7	35.71	16.67	50	250
7	42.86	18.46	58.25	300
7	57.14	21.82	74.33	400
7	71.43	25	90	500
7	85.71	28.1	105.35	600
7	100	31.18	120.45	700
7	114.29	34.3	135.32	800
7	128.57	37.5	150	900
7	142.86	40.82	164.49	1000
7	171.43	48.04	192.98	1200
7	200	56.41	220.82	1400
7	228.57	66.67	248	1600
7	257.14	80.18	274.45	1800
7	285.71	100	300	2000
7	314.29	135.4	324.25	2200
7	342.86	244.95	345.8	2400
8	0.13	0.88	1	1
8	3.13	4.4	7.45	25
8	6.25	6.25	12.31	50
8	9.38	7.68	16.74	75
8	12.5	8.91	20.94	100
8	15.63	10	25	125
8	18.75	11	28.95	150
8	21.88	11.93	32.82	175
8	25	12.8	36.63	200
8	28.13	13.64	40.38	225
8	31.25	14.43	44.09	250
8	37.5	15.94	51.4	300
8	50	18.73	65.66	400
8	62.5	21.32	79.58	500
8	75	23.79	93.25	600
8	87.5	26.2	106.71	700
8	100	28.57	120	800
8	112.5	30.94	133.14	900
8	125	33.33	146.15	1000
8	150	38.25	171.82	1200
8	175	43.5	197.07	1400
8	200	49.24	221.92	1600
8	225	55.71	246.39	1800
8	250	63.25	270.48	2000
8	275	72.37	294.15	2200
8	300	84.02	317.36	2400
9	8.33	6.83	14.93	75
9	11.11	7.91	18.69	100
9	13.89	8.87	22.32	125
9	16.67	9.74	25.85	150
9	19.44	10.56	29.31	175
9	22.22	11.32	32.72	200
9	25	12.05	36.08	225
9	27.78	12.74	39.4	250
9	33.33	14.05	45.95	300
9	44.44	16.44	58.74	400
9	55.56	18.63	71.24	500
9	66.67	20.7	83.53	600
9	77.78	22.69	95.64	700
9	88.89	24.62	107.62	800
9	100	26.52	119.48	900
9	111.11	28.4	131.23	1000
9	133.33	32.16	154.46	1200
9	155.56	36	177.37	1400
9	177.78	40	200	1600
9	200	44.23	222.37	1800
9	222.22	48.8	244.5	2000
9	244.44	53.8	266.4	2200
9	266.67	59.41	288.05	2400

Q	X_{C1}	X_{C2}	X_L	R_1
10	0.1	0.7	0.8	1
10	5	5	9.9	50
10	10	7.11	16.87	100
10	15	8.75	23.34	150
10	20	10.15	29.55	200
10	25	11.41	35.6	250
10	30	12.57	41.52	300
10	40	14.66	53.11	400
10	50	16.57	64.44	500
10	60	18.36	75.58	600
10	70	20.06	86.58	700
10	80	21.69	97.46	800
10	90	23.28	108.24	900
10	100	24.85	118.94	1000
10	120	27.91	140.09	1200
10	140	30.97	161	1400
10	160	34.05	181.68	1600
10	180	37.21	202.17	1800
10	200	40.49	222.47	2000
10	220	43.93	242.61	2200
10	240	47.58	262.59	2400
12	25	10.39	34.79	300
12	33.33	12.08	44.52	400
12	41.67	13.81	54.05	500
12	50	15.02	63.43	600
12	58.33	16.35	72.7	700
12	66.67	17.61	81.87	800
12	75	18.82	90.97	900
12	83.33	20	100	1000
12	100	22.27	117.89	1200
12	116.67	24.46	135.6	1400
12	133.33	26.61	153.15	1600
12	150	28.73	170.57	1800
12	166.67	30.86	187.86	2000
12	183.33	33	205.06	2200
12	200	35.17	222.15	2400
12	216.67	37.39	239.16	2600
12	233.33	39.66	256.07	2800
12	250	42.01	272.9	3000
12	291.67	48.3	314.64	3500
12	333.33	55.47	355.9	4000
12	375	63.96	396.67	4500
12	416.67	74.54	436.92	5000
12	458.33	88.64	476.57	5500
12	500	109.54	515.44	6000
14	21.43	8.86	29.91	300
14	28.57	10.29	38.3	400
14	35.71	11.56	46.51	500
14	42.86	12.73	54.6	600
14	50	13.83	62.59	700
14	57.14	14.87	70.51	800
14	64.29	15.86	78.37	900
14	71.43	16.81	86.17	1000
14	85.71	18.62	101.63	1200
14	100	20.35	116.95	1400
14	114.29	22.02	132.15	1600
14	128.57	23.64	147.24	1800
14	142.86	25.24	162.25	2000
14	157.14	26.81	177.17	2200
14	171.43	28.38	192.02	2400
14	185.71	29.94	206.81	2600
14	200	31.51	221.54	2800
14	214.29	33.09	236.21	3000
14	250	37.12	272.66	3500
14	285.71	41.34	308.82	4000
14	321.43	45.86	344.7	4500
14	357.14	50.77	380.33	5000
14	392.86	56.22	415.69	5500
14	428.57	62.42	450.79	6000

Q	X_{C1}	X_{C2}	X_L	R_1
16	18.75	7.73	26.23	300
16	25	8.96	33.59	400
16	31.25	10.06	40.8	500
16	37.5	11.07	47.9	600
16	43.75	12	54.93	700
16	50	12.88	61.89	800
16	56.25	13.72	68.79	900
16	62.5	14.52	75.65	1000
16	75	16.05	89.26	1200
16	87.5	17.48	102.74	1400
16	100	18.86	116.12	1600
16	112.5	20.18	129.42	1800
16	125	21.47	142.64	2000
16	137.5	22.73	155.8	2200
16	150	23.96	168.9	2400
16	162.5	25.18	181.95	2600
16	175	26.39	194.96	2800
16	187.5	27.59	207.92	3000
16	218.75	30.59	240.16	3500
16	250	33.61	272.18	4000
16	281.25	36.71	304.01	4500
16	312.5	39.9	335.66	5000
16	343.75	43.25	367.15	5500
16	375	46.8	398.49	6000
18	16.67	6.86	23.35	300
18	22.22	7.94	29.9	400
18	27.78	8.91	36.33	500
18	33.33	9.79	42.66	600
18	38.89	10.61	48.92	700
18	44.44	11.38	55.13	800
18	50	12.11	61.28	900
18	55.56	12.8	67.4	1000
18	66.67	14.12	79.54	1200
18	77.78	15.35	91.57	1400
18	88.89	16.52	103.51	1600
18	100	17.65	115.38	1800
18	111.11	18.73	127.2	2000
18	122.22	19.79	138.95	2200
18	133.33	20.81	150.66	2400
18	144.44	21.82	162.33	2600
18	155.56	22.81	173.96	2800
18	166.67	23.79	185.55	3000
18	194.44	26.2	214.4	3500
18	222.22	28.57	243.08	4000
18	250	30.94	271.6	4500
18	277.78	33.33	300	5000
18	305.56	35.76	328.27	5500
18	333.33	38.25	356.44	6000
20	15	6.16	21.03	300
20	20	7.13	26.94	400
20	25	8	32.73	500
20	30	8.78	38.44	600
20	35	9.51	44.09	700
20	40	10.19	49.69	800
20	45	10.84	55.24	900
20	50	11.46	60.76	1000
20	60	12.62	71.71	1200
20	70	13.7	82.57	1400
20	80	14.72	93.35	1600
20	90	15.7	104.07	1800
20	100	16.64	114.73	2000
20	110	17.55	125.35	2200
20	120	18.44	135.93	2400
20	130	19.3	146.47	2600
20	140	20.14	156.98	2800
20	150	20.97	167.46	3000
20	175	22.99	193.54	3500
20	200	24.96	219.48	4000
20	225	26.9	245.3	4500
20	250	28.82	271.01	5000
20	275	30.74	296.62	5500
20	300	32.67	322.15	6000

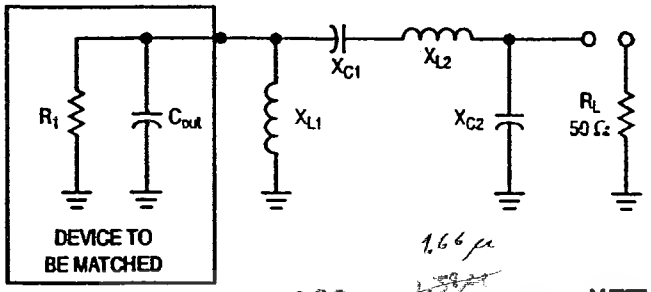
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

For More Information On This Product,
Go to: www.freescale.com

Freescale Semiconductor, Inc.

NETWORK C_1

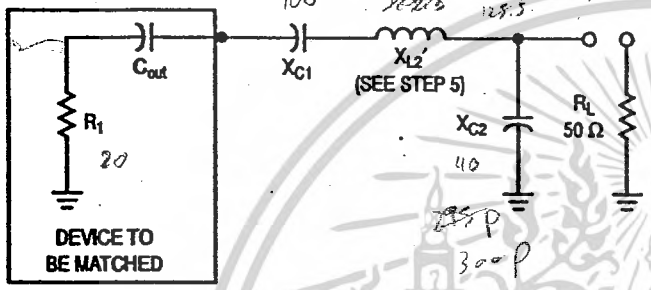
The following is a computer solution for an RF matching network.
This computer solution is applicable for two forms of matching networks.



TO DESIGN A NETWORK USING THE TABLES

1. $X_{L1} = X_{Cout}$.
2. Define Q, in column one, as X_{C1}/R_1.
3. All network values can now be read from the charts in terms of reactance.
4. This completes network C_1.

NETWORK C_2



TO DESIGN A NETWORK USING THE TABLES

1. L_1 is not used in this network.
2. Transform the impedance of the device to be matched to series form ($R_1 + jX_{Cout}$).
3. Define Q, in column one, as X_{C1}/R_1.
4. For a desired Q, find the R_s to be matched in the R_1 column and read the reactive value of the components
5. $X_{L2'}$ is equal to the quantity X_{L2} obtained from the tables plus $|X_{Cout}|$.
6. This completes network C_2.

Q	X_{C1}	X_{C2}	X_{L2}	R_1
1	1	7.14	8	1
1	2	10.21	11.8	2
1	3	12.63	14.87	3
1	4	14.74	17.56	4
1	5	16.67	20	5
1	6	18.46	22.25	6
1	7	20.17	24.35	7
1	8	21.82	26.33	8
1	9	23.43	28.21	9
1	10	25	30	10
1	11	26.55	31.81	11
1	12	28.1	33.35	12
1	13	29.64	34.93	13
1	14	31.13	36.45	14
1	15	32.73	37.91	15
1	16	34.3	39.32	16
1	17	35.89	40.69	17
1	18	37.5	42	18
1	19	39.14	43.27	19
1	20	40.82	44.49	20
1	21	42.55	45.68	21
1	22	44.32	46.82	22
1	23	46.15	47.92	23
1	24	48.04	48.98	24
1	25	50	50	25
1	26	52.04	50.98	26
1	27	54.17	51.92	27
1	28	56.41	52.82	28
1	29	58.76	53.68	29
1	30	61.24	54.49	30
1	32	66.67	56	32
1	34	72.89	57.32	34
1	36	80.18	58.45	36
1	38	88.98	59.35	38
1	40	100	60	40
1	42	114.56	60.33	42
1	44	135.4	60.25	44
1	46	169.56	59.56	46
1	48	244.95	57.8	48
2	2	7.14	9	1
2	4	10.21	13.8	2
2	6	12.63	17.87	3
2	8	14.74	21.56	4
2	10	16.67	25	5
2	12	18.46	28.25	6
2	14	20.17	31.35	7
2	16	21.82	34.33	8
2	18	23.43	37.21	9
2	20	25	40	10
2	22	26.55	42.71	11
2	24	28.1	45.35	12
2	26	29.64	47.93	13
2	28	31.18	50.45	14
2	30	32.73	52.91	15
2	32	34.3	55.32	16
2	34	35.89	57.69	17
2	36	37.5	60	18
2	38	39.14	62.27	19
2	40	40.82	64.49	20
2	42	42.55	66.68	21
2	44	44.32	68.82	22
2	46	46.15	70.92	23
2	48	48.04	72.98	24
2	50	50	75	25
2	52	52.04	76.98	26
2	54	54.17	78.92	27
2	56	56.41	80.82	28
2	58	58.76	82.68	29
2	60	61.24	84.49	30
2	64	66.67	88	32
2	68	72.89	91.32	34
2	72	80.18	94.45	36
2	76	88.98	97.35	38
2	80	100	100	40
2	84	114.56	102.33	42
2	88	135.4	104.25	44
2	92	169.56	105.56	46
2	96	244.95	105.8	48
3	3	7.14	10	1
3	6	10.21	15.8	2
3	9	12.63	20.87	3
3	12	14.74	25.56	4
3	15	16.67	30	5
3	18	18.46	34.25	6
3	21	20.17	38.35	7
3	24	21.82	42.33	8
3	27	23.43	46.21	9
3	30	25	50	10
3	33	26.55	53.71	11
3	36	28.1	57.35	12
3	39	29.64	60.98	13
3	42	31.18	64.45	14
3	45	32.73	67.91	15
3	48	34.3	71.32	16
3	51	35.89	74.69	17
3	54	37.5	78	18
3	57	39.14	81.27	19

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของมหาวิทยาลัยเกษตรศาสตร์

For More Information On This Product,
Go to: www.freescale.com

Q	X_{C1}	X_{C2}	X_{L2}	R_1
3	60	40.82	84.49	20
3	63	42.55	87.68	21
3	66	44.32	90.82	22
3	69	46.15	93.93	23
3	72	48.04	96.98	24
3	75	50	100	25
3	78	52.04	102.98	26
3	81	54.17	105.92	27
3	84	56.41	108.82	28
3	87	58.76	111.68	29
3	90	61.24	114.49	30
3	96	66.67	120	32
3	102	72.89	125.32	34
3	108	80.18	130.45	36
3	114	88.98	135.35	38
3	120	100	140	40
3	126	114.56	144.33	42
3	132	135.4	148.25	44
3	138	169.56	151.56	46
3	144	244.95	153.8	48
4	4	7.14	11	1
4	8	10.21	17.8	2
4	12	12.63	23.87	3
4	16	14.74	29.56	4
4	20	16.67	35	5
4	24	18.46	40.25	6
4	28	20.17	45.35	7
4	32	21.82	50.33	8
4	36	23.43	55.21	9
4	40	25	60	10
4	44	26.55	64.71	11
4	48	28.1	69.35	12
4	52	29.64	73.93	13
4	56	31.18	78.45	14
4	60	32.73	82.91	15
4	64	34.3	87.32	16
4	68	35.89	91.69	17
4	72	37.5	96	18
4	76	39.14	100.27	19
4	80	40.82	104.49	20
4	84	42.55	108.68	21
4	88	44.32	112.82	22
4	92	46.15	116.92	23
4	96	48.04	120.98	24
4	100	50	125	25
4	104	52.04	128.98	26
4	108	54.17	132.92	27
4	112	56.41	136.82	28
4	116	58.76	140.68	29
4	120	61.24	144.49	30
4	128	66.67	152	32
4	136	72.89	159.32	34
4	144	80.18	166.45	36
4	152	88.98	173.35	38
4	160	100	180	40
4	168	114.56	186.33	42
4	176	135.4	192.25	44
4	184	169.56	197.56	46
4	192	244.95	201.8	48
5	5	7.14	12	1
5	10	10.21	19.8	2
5	15	12.63	26.87	3
5	20	14.74	33.56	4
5	25	16.67	40	5
5	30	18.46	46.25	6
5	35	20.17	52.35	7

Q	X_{C1}	X_{C2}	X_{L2}	R_1
5	40	21.82	58.33	8
5	45	23.43	64.21	9
5	50	25	70	10
5	55	26.55	75.71	11
5	60	28.1	81.35	12
5	65	29.64	86.93	13
5	70	31.18	92.45	14
5	75	32.73	97.91	15
5	80	34.3	103.32	16
5	85	35.89	108.69	17
5	90	37.5	114	18
5	95	39.14	119.27	19
5	100	40.82	124.49	20
5	105	42.55	129.68	21
5	110	44.32	134.82	22
5	115	46.15	139.92	23
5	120	48.04	144.98	24
5	125	50	150	25
5	130	52.04	154.98	26
5	135	54.17	159.92	27
5	140	56.41	164.82	28
5	145	58.76	169.68	29
5	150	61.24	174.49	30
5	160	66.67	184	32
5	170	72.89	193.32	34
5	180	80.18	202.45	36
5	190	88.98	211.35	38
5	200	100	220	40
5	210	114.56	228.33	42
5	220	135.4	236.25	44
5	230	169.56	243.56	46
5	240	244.95	249.8	48
6	6	7.14	13	1
6	12	10.21	21.8	2
6	18	12.63	29.87	3
6	24	14.74	37.56	4
6	30	16.67	45	5
6	36	18.46	52.25	6
6	42	20.17	59.35	7
6	48	21.82	66.33	8
6	54	23.43	73.21	9
6	60	25	80	10
6	66	26.55	86.71	11
6	72	28.1	93.35	12
6	78	29.64	99.93	13
6	84	31.18	106.45	14
6	90	32.73	112.91	15
6	96	34.3	119.32	16
6	102	35.89	125.69	17
6	108	37.5	132	18
6	114	39.14	138.27	19
6	120	40.82	144.49	20
6	126	42.55	150.68	21
6	132	44.32	156.82	22
6	138	46.15	162.92	23
6	144	48.04	168.98	24
6	150	50	175	25
6	156	52.04	180.98	26
6	162	54.17	186.92	27
6	168	56.41	192.82	28
6	174	58.76	198.68	29
6	180	61.24	204.49	30
6	192	66.67	216	32
6	204	72.89	227.32	34
6	216	80.18	238.45	36
6	228	88.98	249.35	38
6	240	100	260	40

Q	X_{C1}	X_{C2}	X_{L2}	R_1
6	252	114.56	270.33	42
6	264	135.4	280.25	44
6	276	169.56	289.56	46
6	288	244.95	297.8	48
7	7	7.14	14	1
7	14	10.21	23.8	2
7	21	12.63	32.87	3
7	28	14.74	41.56	4
7	35	16.67	50	5
7	42	18.46	58.25	6
7	49	20.17	66.35	7
7	56	21.82	74.33	8
7	63	23.43	82.21	9
7	70	25	90	10
7	77	26.55	97.71	11
7	84	28.1	105.35	12
7	91	29.64	112.93	13
7	98	31.18	120.45	14
7	105	32.73	127.91	15
7	112	34.3	135.32	16
7	119	35.89	142.69	17
7	126	37.5	150	18
7	133	39.14	157.27	19
7	140	40.82	164.49	20
7	147	42.55	171.68	21
7	154	44.32	178.82	22
7	161	46.15	185.92	23
7	168	48.04	192.98	24
7	175	50	200	25
7	182	52.04	206.98	26
7	189	54.17	213.92	27
7	196	56.41	220.82	28
7	203	58.76	227.68	29
7	210	61.24	234.49	30
7	224	66.67	248	32
7	238	72.89	261.32	34
7	252	80.18	274.45	36
7	266	88.98	287.35	38
7	280	100	300	40
7	294	114.56	312.33	42
7	308	135.4	324.25	44
7	322	169.56	335.56	46
7	336	244.95	345.8	48
8	8	7.14	15	1
8	16	10.21	25.8	2
8	24	12.63	35.87	3
8	32	14.74	45.56	4
8	40	16.67	55	5
8	48	18.46	64.25	6
8	56	20.17	73.35	7
8	64	21.82	82.33	8
8	72	23.43	91.21	9
8	80	25	100	10
8	88	26.55	108.71	11
8	96	28.1	117.35	12
8	104	29.64	125.93	13
8	112	31.18	134.45	14
8	120	32.73	142.91	15
8	128	34.3	151.32	16
8	136	35.89	159.69	17
8	144	37.5	168	18
8	152	39.14	176.27	19
8	160	40.82	184.49	20
8	168	42.55	192.68	21
8	176	44.32	200.82	22
8	184	46.15	208.92	23

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

For More Information On This Product,
Go to: www.freescale.com

Freescale Semiconductor, Inc.

Q	X_{C1}	X_{C2}	X_{L2}	R_1
8	192	48.04	216.98	24
8	200	50	225	25
8	208	52.04	232.98	26
8	216	54.17	240.92	27
8	224	56.41	248.82	28
8	232	58.76	256.68	29
8	240	61.24	264.49	30
8	256	66.67	280	32
8	272	72.89	295.32	34
8	288	80.18	310.45	36
8	304	88.98	325.35	38
8	320	100	340	40
8	336	114.56	354.33	42
8	352	135.4	368.25	44
8	368	169.56	381.56	46
8	384	244.95	393.8	48
9	9	7.14	16	1
9	18	10.21	27.8	2
9	27	12.63	38.87	3
9	36	14.74	49.56	4
9	45	16.67	60	5
9	54	18.46	70.25	6
9	63	20.17	80.35	7
9	72	21.82	90.33	8
9	81	23.43	100.21	9
9	90	25	110	10
9	99	26.55	119.71	11
9	108	28.1	129.35	12
9	117	29.64	138.93	13
9	126	31.18	148.45	14
9	135	32.73	157.91	15
9	144	34.3	167.32	16

Q	X_{C1}	X_{C2}	X_{L2}	R_1
9	153	35.89	176.69	17
9	162	37.5	186	18
9	171	39.17	195.27	19
9	180	40.82	204.49	20
9	189	42.55	213.68	21
9	198	44.32	222.82	22
9	207	46.15	231.92	23
9	414	169.56	427.56	46
9	432	244.95	441.8	48
9	216	48.04	240.98	24
9	225	50	250	25
9	234	52.04	258.98	26
9	243	54.17	267.92	27
9	252	56.41	276.82	28
9	261	58.76	285.88	29
9	270	61.24	294.49	30
9	288	66.67	312	32
9	306	72.89	329.32	34
9	324	80.18	346.45	36
9	342	88.98	363.35	38
9	360	100	380	40
9	378	114.56	396.33	42
9	396	135.4	412.25	44
10	10	7.14	17	1
10	20	10.21	29.8	2
10	30	12.63	41.87	3
10	40	14.74	53.56	4
10	50	16.67	65	5
10	60	18.46	76.25	6
10	70	20.17	87.35	7
10	80	21.82	98.33	8

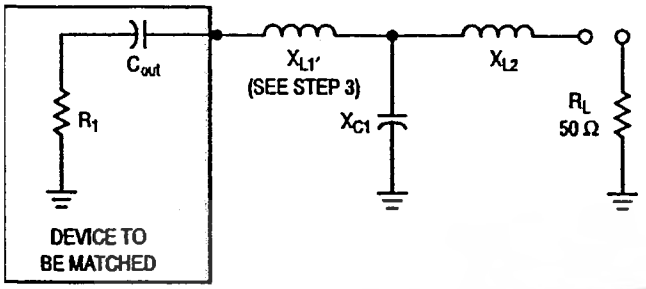
Q	X_{C1}	X_{C2}	X_{L2}	R_1
10	90	23.43	109.21	9
10	100	25	120	10
10	110	26.55	130.71	11
10	120	28.1	141.35	12
10	130	29.64	151.93	13
10	140	31.18	162.45	14
10	150	32.73	172.91	15
10	160	34.3	183.32	16
10	170	35.89	193.69	17
10	180	37.5	204	18
10	190	39.14	214.27	19
10	200	40.82	224.49	20
10	210	42.55	234.68	21
10	220	44.32	244.82	22
10	230	46.15	254.92	23
10	240	48.04	264.98	24
10	250	50	275	25
10	260	52.04	284.98	26
10	270	54.17	294.92	27
10	280	56.41	304.82	28
10	290	58.76	314.68	29
10	300	61.24	324.49	30
10	320	66.67	344	32
10	340	72.89	363.32	34
10	360	80.18	382.45	36
10	380	88.98	401.35	38
10	400	100	420	40
10	420	114.56	438.33	42
10	440	135.4	456.25	44
10	460	169.56	473.56	46
10	480	244.95	489.8	48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา

For More Information On This Product,
Go to: www.freescale.com

NETWORK D

The following is a computer solution for an RF "Tee" matching network.
Tuning is accomplished by using a variable capacitor for C_1.
Variable matching may also be accomplished by increasing X_{L2} and adding an equal amount of X_C in series in the form of a variable capacitor.



TO DESIGN A NETWORK USING THE TABLES

1. Define Q, in column one, as X_{L1}/R_1.
2. For an R_1 to be matched and a desired Q, read the reactances of the network components from the charts.
3. $X_{L1'}$ is equal to the quantity X_{L1} obtained from the tables plus $|X_{Cout}|$.
4. This completes the network.

Q	X_{L1}	X_{L2}	X_{C1}	R_1
1	26	10	43.33	26
1	27	14.14	42.09	27
1	28	17.32	41.59	28
1	29	20	41.43	29
1	30	22.36	41.46	30
1	32	26.46	41.85	32
1	34	30	42.5	34
1	36	33.17	43.29	36
1	38	36.06	44.16	38
1	40	38.73	45.08	40
1	42	41.23	46.04	42
1	44	43.59	47.01	44
1	46	45.83	48	46
1	48	47.96	49	48
1	50	50	50	50
1	55	54.77	52.49	55
1	60	59.16	54.96	60
1	65	63.25	57.4	65
1	70	67.08	69.79	70
1	75	70.71	62.13	75
1	80	74.16	64.43	80
1	85	77.46	66.69	85
1	90	80.62	68.9	90
1	95	83.67	71.07	95
1	100	86.6	73.21	100
1	125	100	83.33	125
1	150	111.8	92.71	150
1	175	122.47	101.46	175
1	200	132.29	109.72	200
1	225	141.42	117.54	225
1	250	150	125	250
1	275	158.11	132.14	275
1	300	165.83	139	300
2	22	15.81	23.75	11
2	24	22.36	24.52	12
2	26	27.39	25.51	13
2	28	31.62	26.59	14
2	30	35.36	27.7	15
2	32	38.73	28.83	16
2	34	41.83	29.96	17
2	36	44.72	31.09	18
2	38	47.43	32.22	19
2	40	50	33.33	20
2	42	52.44	34.44	21
2	44	54.77	35.54	22
2	46	57.01	36.62	23
2	48	59.16	37.7	24

Q	X_{L1}	X_{L2}	X_{C1}	R_1
2	50	61.24	38.76	25
2	52	63.25	39.82	26
2	54	65.19	40.86	27
2	56	67.08	41.9	28
2	58	68.92	42.92	29
2	60	70.71	43.93	30
2	64	74.16	45.93	32
2	68	77.46	47.9	34
2	72	80.62	49.83	36
2	76	83.67	51.72	38
2	80	86.6	53.59	40
2	84	89.44	55.43	42
2	88	92.2	57.23	44
2	92	94.87	59.01	46
2	96	97.47	60.77	48
2	100	100	62.5	50
2	110	106.07	66.73	55
2	120	111.8	70.82	60
2	130	117.26	74.8	65
2	140	122.47	78.66	70
2	150	127.48	82.43	75
2	160	132.29	86.1	80
2	170	136.93	89.69	85
2	180	141.42	93.2	90
2	190	145.77	96.63	95
2	200	150	100	100
2	250	169.56	115.93	125
2	300	187.08	130.62	150
2	350	203.1	144.34	175
2	400	217.94	157.26	200
2	450	231.84	169.51	225
2	500	244.95	181.19	250
2	550	257.39	192.37	275
2	600	269.26	203.11	300
3	18	22.36	17.41	6
3	21	31.62	19.27	7
3	24	38.73	21.19	8
3	27	44.72	23.11	9
3	30	50	25	10
3	33	54.77	26.86	11
3	36	59.16	28.69	12
3	39	63.25	30.48	13
3	42	67.08	32.25	14
3	45	70.71	33.98	15
3	48	74.16	35.69	16
3	51	77.46	37.37	17
3	54	80.62	39.02	18

Q	X_{L1}	X_{L2}	X_{C1}	R_1
3	57	83.67	40.66	19
3	60	86.6	42.26	20
3	63	89.44	43.85	21
3	66	92.2	45.42	22
3	69	94.87	46.96	23
3	72	97.47	48.49	24
3	75	100	50	25
3	78	102.47	51.49	26
3	81	104.88	52.97	27
3	84	107.24	54.42	28
3	87	109.54	55.87	29
3	90	111.8	57.29	30
3	96	116.19	60.11	32
3	102	120.42	62.87	34
3	108	124.5	65.57	36
3	114	128.45	68.23	38
3	120	132.29	70.85	40
3	126	136.01	73.42	42
3	132	139.64	75.96	44
3	138	143.18	78.45	46
3	144	146.63	80.91	48
3	150	150	83.33	50
3	165	158.11	89.25	55
3	180	165.83	94.99	60
3	195	173.21	100.56	65
3	210	180.28	105.97	70
3	225	187.08	111.25	75
3	240	193.65	116.4	80
3	255	200	121.43	85
3	270	206.16	126.35	90
3	285	212.13	131.17	95
3	300	217.94	135.89	100
3	375	244.95	158.25	125
3	450	269.26	178.89	150
3	525	291.55	198.17	175
3	600	312.25	216.33	200
3	675	331.66	233.57	225
3	750	350	250	250
3	825	367.42	265.74	275
3	900	384.06	280.87	300
4	12	7.07	12.31	3
4	16	30	14.78	4
4	20	41.83	17.57	5
4	24	50.99	20.32	6
4	28	58.74	23	7
4	32	65.57	25.6	8
4	36	71.76	28.15	9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

For More Information On This Product,
Go to: www.freescale.com

Freescale Semiconductor, Inc.

Q	X_{L1}	X_{L2}	X_{C1}	R_1
4	40	77.46	30.64	10
4	44	82.76	33.07	11
4	48	87.75	35.45	12
4	52	92.47	37.78	13
4	56	96.95	40.07	14
4	60	101.24	42.32	15
4	64	105.36	44.54	16
4	68	109.32	46.72	17
4	72	113.14	48.86	18
4	76	116.83	50.97	19
4	80	120.42	53.06	20
4	84	123.9	55.11	21
4	88	127.28	57.14	22
4	92	130.58	59.14	23
4	96	133.79	61.12	24
4	100	136.93	63.07	25
4	104	140	65	26
4	108	143	66.91	27
4	112	145.95	68.8	28
4	116	148.83	70.67	29
4	120	151.66	72.51	30
4	128	157.16	76.16	32
4	136	162.48	79.73	34
4	144	167.63	83.24	36
4	152	172.63	86.68	38
4	160	177.48	90.07	40
4	168	182.21	93.4	42
4	176	186.82	96.69	44
4	184	191.31	99.92	46
4	192	195.7	103.11	48
4	200	200	106.25	50
4	220	210.36	113.93	55
4	240	220.23	121.36	60
4	260	229.67	128.59	65
4	280	238.75	135.61	70
4	300	247.49	142.46	75
4	320	255.93	148.15	80
4	340	264.1	155.68	85
4	360	272.03	162.07	90
4	380	279.73	168.32	95
4	400	287.23	174.46	100
4	500	322.1	203.5	125
4	600	353.55	230.33	150
4	700	382.43	255.4	175
4	800	409.27	279.02	200
4	900	434.45	301.44	225
4	1000	458.26	322.82	250
4	1100	480.88	343.3	275
4	1200	502.49	362.99	300
5	10	10	10	2
5	15	37.42	13.57	3
5	20	51.96	17.22	4
5	25	63.25	20.75	5
5	30	72.8	24.16	6
5	35	81.24	27.47	7
5	40	88.88	30.69	8
5	45	95.92	33.82	9
5	50	102.47	36.88	10
5	55	108.63	39.87	11
5	60	114.46	42.8	12
5	65	120	45.68	13
5	70	125.3	48.49	14
5	75	130.38	51.26	15
5	80	135.28	53.99	16
5	85	140	56.67	17
5	90	144.57	59.31	18
5	95	149	61.91	19
5	100	153.3	64.47	20
5	105	157.48	67	21
5	110	161.55	69.49	22
5	115	165.53	71.96	23
5	120	169.41	74.39	24
5	125	173.21	76.79	25
5	130	176.92	79.17	26
5	135	180.55	81.52	27
5	140	184.12	83.85	28
5	145	187.62	86.15	29
5	150	191.05	88.43	30
5	160	197.74	92.91	32
5	170	204.21	97.31	34
5	180	210.48	101.63	36
5	190	216.56	105.88	38
5	200	222.49	110.06	40
5	210	228.25	114.17	42
5	220	233.88	118.21	44
5	230	239.37	122.2	46
5	240	244.74	126.13	48
5	250	260	130	50
5	275	262.68	139.46	55
5	300	274.77	148.64	60
5	325	286.36	157.54	65
5	350	297.49	166.21	70
5	375	308.22	174.66	75
5	400	318.59	182.91	80
5	425	328.63	190.97	85
5	450	338.38	198.85	90
5	475	347.85	206.57	95
5	500	357.07	214.14	100
5	625	400	250	125
5	750	438.75	283.12	150
5	875	474.34	314.08	175
5	1000	507.44	343.26	200
5	1125	538.52	670.95	225
5	1250	567.89	397.36	250
5	1375	595.82	422.67	275
5	1500	622.49	446.99	300
6	12	34.64	11.06	2
6	18	55.23	15.62	3
6	24	70	20	4
6	30	82.16	24.2	5
6	36	92.74	28.26	6
6	42	102.23	32.2	7
6	48	110.91	36.02	8
6	54	118.95	39.74	9
6	60	126.49	43.38	10
6	66	133.6	46.93	11
6	72	140.36	50.41	12
6	78	146.8	53.83	13
6	84	152.97	57.18	14
6	90	158.9	60.47	15
6	96	164.62	63.71	16
6	102	170.15	66.89	17
6	108	175.5	70.03	18
6	114	180.69	73.12	19
6	120	185.74	76.17	20
6	126	190.66	79.18	21
6	132	195.45	82.15	22
6	138	200.12	85.08	23
6	144	204.69	87.97	24
6	150	209.17	90.83	25
6	156	213.54	93.66	26
6	162	217.83	96.46	27
6	168	222.04	99.23	28
6	174	226.16	101.96	29
6	180	230.22	104.67	30
6	192	238.12	110.01	32
6	204	245.76	115.25	34
6	216	253.18	120.39	36
6	228	260.38	125.45	38
6	240	267.39	130.42	40
6	252	274.23	135.31	42
6	264	280.89	140.13	44
6	276	287.4	144.88	46
6	288	293.77	149.55	48
6	300	300	154.17	50
6	330	315.04	165.44	55
6	360	329.39	176.36	60
6	390	343.15	186.97	65
6	420	356.37	197.3	70
6	450	369.12	207.36	75
6	480	381.44	217.19	80
6	510	393.38	226.79	85
6	540	404.97	236.18	90
6	570	416.23	245.38	95
6	600	427.2	254.4	100
6	750	478.28	297.13	125
6	900	524.4	336.61	150
6	1050	566.79	373.5	175
6	1200	606.22	408.29	200
6	1350	643.23	441.3	225
6	1500	678.23	472.79	250
6	1650	711.51	502.96	275
6	1800	743.3	531.96	300
7	14	50	12.5	2
7	21	70.71	17.83	3
7	28	86.6	22.9	4
7	35	100	27.78	5
7	42	111.8	32.48	6
7	49	122.47	37.04	7
7	56	132.29	41.47	8
7	63	141.42	45.79	9
7	70	150	50	10
7	77	158.11	54.12	11
7	84	165.83	58.16	12
7	91	173.21	62.12	13
7	98	180.28	66	14
7	105	187.08	69.82	15
7	112	193.65	73.58	16
7	119	200	77.27	17
7	126	206.16	80.91	18
7	133	212.13	84.5	19
7	140	217.94	88.04	20
7	147	223.61	91.53	21
7	154	229.13	94.97	22
7	161	234.52	98.37	23
7	168	239.79	101.73	24
7	175	244.95	105.05	25
7	182	250	108.33	26
7	189	254.95	111.58	27
7	196	259.81	114.79	28
7	203	264.58	117.97	29
7	210	269.26	121.11	30
7	224	278.39	127.31	32
7	238	287.23	133.39	34
7	252	295.8	139.36	36
7	266	304.14	145.23	38
7	280	312.25	151	40
7	294	320.16	156.68	42
7	308	327.87	162.27	44
7	322	335.41	167.78	46
7	336	342.78	173.21	48

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา

For More Information On This Product,
Go to: www.freescale.com

	X_{L1}	X_{L2}	X_{C1}	R_1
	350	350	178.57	50
	385	367.42	191.66	55
	420	384.06	204.34	60
	455	400	216.67	65
	490	415.33	228.66	70
	525	430.12	240.35	75
	560	444.41	251.76	80
	595	458.86	262.91	85
	630	471.7	273.82	90
	665	484.77	284.51	95
	700	497.49	294.99	100
	875	556.78	344.63	125
	1050	610.33	390.49	150
	1225	659.55	433.36	175
	1400	705.34	473.78	200
	1575	748.33	512.14	225
	1750	788.99	548.73	250
	1925	827.65	583.79	275
	2100	864.58	617.5	300
	8	27.39	7.6	1
	16	63.25	14.03	2
	24	85.15	20.1	3
	32	102.47	25.87	4
	40	117.26	31.42	5
	48	130.38	36.77	6
	56	142.3	41.95	7
	64	153.3	46.99	8
	72	163.55	51.9	9
	80	173.21	56.7	10
	88	182.35	61.39	11
	96	191.05	65.98	12
	104	199.37	70.49	13
	112	207.36	74.91	14
	120	215.06	79.26	15
	128	222.49	83.54	16
	136	229.67	87.74	17
	144	236.64	91.89	18
	152	243.41	95.97	19
	160	250	100	20
	168	256.42	103.97	21
	176	262.68	107.9	22
	184	268.79	111.77	23
	192	274.77	115.59	24
	200	280.62	119.38	25
	208	286.36	123.11	26
	216	291.98	126.81	27
	224	297.49	130.47	28
	232	302.9	134.09	29
	240	308.22	137.67	30
	256	318.59	144.73	32
	272	328.63	151.65	34
	288	338.38	158.46	36
	304	347.85	165.14	38
	320	357.07	171.71	40
	336	366.06	178.18	42
	352	374.83	184.55	44
	368	383.41	190.83	46
	384	391.79	197.02	48
	400	400	203.13	50
	440	419.82	218.04	55
	480	438.75	232.49	60
	520	456.89	246.53	65
	560	474.34	260.2	70
	600	491.17	273.52	75

Q	X_{L1}	X_{L2}	X_{C1}	R_1
8	640	507.44	286.52	80
8	680	523.21	299.23	85
8	720	538.52	311.66	90
8	760	553.4	323.84	95
8	800	567.89	335.78	100
8	1000	635.41	392.36	125
8	1200	696.42	444.63	150
8	1400	752.5	493.49	175
8	1600	804.67	539.57	200
8	1800	853.67	583.29	225
8	2000	900	625	250
8	2200	944.06	664.96	275
8	2400	986.15	703.38	300
9	9	40	8.37	1
9	18	75.5	15.6	2
9	27	98.99	22.4	3
9	36	117.9	28.88	4
9	45	134.16	35.09	5
9	54	148.66	41.09	6
9	63	161.86	46.91	7
9	72	174.07	52.56	8
9	81	185.47	58.07	9
9	90	196.21	63.45	10
9	99	206.4	68.71	11
9	108	216.1	73.86	12
9	117	225.39	78.92	13
9	126	234.31	83.88	14
9	135	242.9	88.76	15
9	144	251.2	93.55	16
9	153	259.23	98.28	17
9	162	267.02	102.93	18
9	171	274.59	107.51	19
9	180	281.96	112.03	20
9	189	289.14	116.49	21
9	198	296.14	120.89	22
9	207	302.99	125.23	23
9	216	309.68	129.53	24
9	225	316.23	133.77	25
9	234	322.65	137.97	26
9	243	328.94	142.12	27
9	252	335.11	146.22	28
9	261	341.17	150.28	29
9	270	347.13	154.3	30
9	288	358.75	162.23	32
9	306	370	170	34
9	324	380.92	177.63	36
9	342	391.54	185.14	38
9	360	401.87	192.52	40
9	378	411.95	199.78	42
9	396	421.78	206.93	44
9	414	431.39	213.98	46
9	432	440.79	220.93	48
9	450	450	227.78	50
9	495	472.23	244.52	55
9	540	493.46	260.74	60
9	585	513.81	276.51	65
9	630	533.39	291.85	70
9	675	552.27	306.8	75
9	720	570.53	321.4	80
9	765	588.22	335.67	85
9	810	605.39	349.63	90
9	855	622.09	363.31	95
9	900	638.36	376.71	100
9	1125	714.14	440.24	125
9	1350	782.62	498.94	150

Q	X_{L1}	X_{L2}	X_{C1}	R_1
9	1575	845.58	553.81	175
9	1800	904.16	605.54	200
9	2025	959.17	654.64	225
9	2250	1011.19	701.48	250
9	2475	1060.66	746.36	275
9	2700	1107.93	789.51	300
10	10	50.5	9.17	1
10	20	87.18	17.2	2
10	30	112.47	24.74	3
10	40	133.04	31.91	4
10	50	150.83	38.8	5
10	60	166.73	45.45	6
10	70	181.25	51.89	7
10	80	194.68	58.16	8
10	90	207.24	64.26	9
10	100	219.09	70.23	10
10	110	230.33	76.06	11
10	120	241.04	81.78	12
10	130	251.3	87.38	13
10	140	261.15	92.89	14
10	150	270.65	98.29	15
10	160	279.82	103.61	16
10	170	288.7	108.85	17
10	180	297.32	114.01	18
10	190	305.7	119.09	19
10	200	313.85	124.1	20
10	210	321.79	129.05	21
10	220	329.55	133.93	22
10	230	337.12	138.75	23
10	240	344.53	143.51	24
10	250	351.78	148.22	25
10	260	358.89	152.87	26
10	270	365.86	157.47	27
10	280	372.69	162.03	28
10	290	379.41	166.53	29
10	300	386.01	170.99	30
10	320	398.87	179.78	32
10	340	411.34	188.4	34
10	360	423.44	196.87	36
10	380	435.2	205.2	38
10	400	446.65	213.38	40
10	420	457.82	221.44	42
10	440	468.72	229.37	44
10	460	479.37	237.19	46
10	480	489.8	244.9	48
10	500	500	252.5	50
10	550	524.64	271.07	55
10	600	548.18	289.07	60
10	650	570.75	306.56	65
10	700	592.45	323.58	70
10	750	613.39	340.18	75
10	800	633.64	356.37	80
10	850	653.26	372.21	85
10	900	672.31	387.7	90
10	950	690.83	402.87	95
10	1000	708.87	417.74	100
10	1250	792.94	488.23	125
10	1500	868.91	553.36	150
10	1750	938.75	614.25	175
10	2000	1003.74	671.66	200
10	2250	1064.78	726.14	225
10	2500	1122.5	778.12	250
10	2750	1177.39	827.92	275
10	3000	1229.84	875.8	300

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

For More Information On This Product,
Go to: www.freescale.com

PIC16F62X

FLASH-Based 8-Bit CMOS Microcontrollers

Devices included in this data sheet:

- PIC16F627
- PIC16F628

Referred to collectively as PIC16F62X .

High Performance RISC CPU:

- Only 35 instructions to learn
- All single-cycle instructions (200 ns), except for program branches which are two-cycle
- Operating speed:
  - DC - 20 MHz clock input
  - DC - 200 ns instruction cycle

Device	Memory		
	FLASH Program	RAM Data	EEPROM Data
PIC16F627	1024 x 14	224 x 8	128 x 8
PIC16F628	2048 x 14	224 x 8	128 x 8

- Interrupt capability
- 16 special function hardware registers
- 8-level deep hardware stack
- Direct, Indirect and Relative addressing modes

Peripheral Features:

- 15 I/O pins with individual direction control
- High current sink/source for direct LED drive
- Analog comparator module with:
  - Two analog comparators
  - Programmable on-chip voltage reference (V_{REF}) module
  - Programmable input multiplexing from device inputs and internal voltage reference
  - Comparator outputs are externally accessible
- Timer0: 8-bit timer/counter with 8-bit programmable prescaler
- Timer1: 16-bit timer/counter with external crystal/clock capability
- Timer2: 8-bit timer/counter with 8-bit period register, prescaler and postscaler
- Capture, Compare, PWM (CCP) module
  - Capture is 16-bit, max. resolution is 12.5 ns
  - Compare is 16-bit, max. resolution is 200 ns
  - PWM max. resolution is 10-bit
- Universal Synchronous/Asynchronous Receiver/Transmitter USART/SCI
- 16 Bytes of common RAM

Special Microcontroller Features:

- Power-on Reset (POR)
- Power-up Timer (PWRT) and Oscillator Start-up Timer (OST)
- Brown-out Detect (BOD)
- Watchdog Timer (WDT) with its own on-chip RC oscillator for reliable operation
- Multiplexed $\overline{MCLR}$-pin
- Programmable weak pull-ups on PORTB
- Programmable code protection
- Low voltage programming
- Power saving SLEEP mode
- Selectable oscillator options
  - FLASH configuration bits for oscillator options
  - ER (External Resistor) oscillator
    - Reduced part count
  - Dual speed INTRC
    - Lower current consumption
  - EC External Clock input
  - XT oscillator mode
  - HS oscillator mode
  - LP oscillator mode
- Serial in-circuit programming (via two pins)
- Four user programmable ID locations

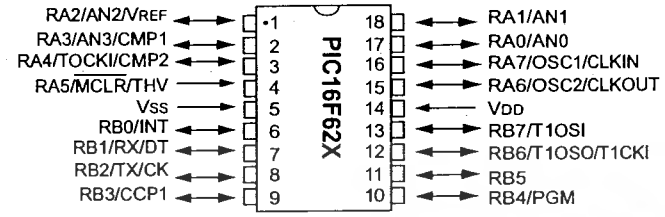
CMOS Technology:

- Low-power, high-speed CMOS FLASH technology
- Fully static design
- Wide operating voltage range
  - PIC16F627 - 3.0V to 5.5V
  - PIC16F628 - 3.0V to 5.5V
  - PIC16LF627 - 2.0V to 5.5V
  - PIC16LF628 - 2.0V to 5.5V
- Commercial, industrial and extended temperature range
- Low power consumption
  - < 2.0 mA @ 5.0V, 4.0 MHz
  - 15 µA typical @ 3.0V, 32 kHz
  - < 1.0 µA typical standby current @ 3.0V

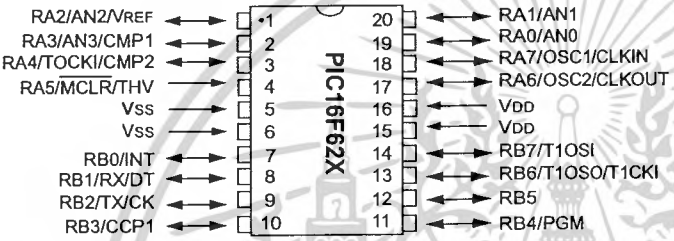
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Pin Diagrams

PDIP, SOIC



SSOP



Device Differences

Device	Voltage Range	Oscillator	Process Technology (Microns)
PIC16F627	3.0 - 5.5	See Note 1	0.7
PIC16F628	3.0 - 5.5	See Note 1	0.7
PIC16LF627	2.0 - 5.5	See Note 1	0.7
PIC16LF628	2.0 - 5.5	See Note 1	0.7

Note 1: If you change from this device to another device, please verify oscillator characteristics in your application.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

 © 1999 Microchip Technology Inc.

1.0 GENERAL DESCRIPTION

The PIC16F62X are 18-Pin FLASH-based members of the versatile PIC16CXX family of low-cost, high-performance, CMOS, fully-static, 8-bit microcontrollers.

All PICmicro® microcontrollers employ an advanced RISC architecture. The PIC16F62X have enhanced core features, eight-level deep stack, and multiple internal and external interrupt sources. The separate instruction and data buses of the Harvard architecture allow a 14-bit wide instruction word with the separate 8-bit wide data. The two-stage instruction pipeline allows all instructions to execute in a single-cycle, except for program branches (which require two cycles). A total of 35 instructions (reduced instruction set) are available. Additionally, a large register set gives some of the architectural innovations used to achieve a very high performance.

PIC16F62X microcontrollers typically achieve a 2:1 code compression and a 4:1 speed improvement over other 8-bit microcontrollers in their class.

PIC16F62X devices have special features to reduce external components, thus reducing system cost, enhancing system reliability and reducing power consumption. There are eight oscillator configurations, of which the single pin ER oscillator provides a low-cost solution. The LP oscillator minimizes power consumption, XT is a standard crystal, INTRC is a self-contained internal oscillator and the HS is for High Speed crystals. The SLEEP (power-down) mode offers power savings. The user can wake up the chip from SLEEP through several external and internal interrupts and reset.

A highly reliable Watchdog Timer with its own on-chip RC oscillator provides protection against software lock- up.

Table 1-1 shows the features of the PIC16F62X mid-range microcontroller families.

A simplified block diagram of the PIC16F62X is shown in Figure 3-1.

The PIC16F62X series fits in applications ranging from battery chargers to low-power remote sensors. The FLASH technology makes customization of application programs (detection levels, pulse generation, timers, etc.) extremely fast and convenient. The small footprint packages make this microcontroller series ideal for all applications with space limitations. Low-cost, low-power, high-performance, ease of use and I/O flexibility make the PIC16F62X very versatile.

1.1 Development Support

The PIC16F62X family is supported by a full-featured macro assembler, a software simulator, an in-circuit emulator, a low-cost development programmer and a full-featured programmer. A Third Party "C" compiler support tool is also available.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 1-1: PIC16F62X FAMILY OF DEVICES

		PIC16F627	PIC16F628	PIC16LF627	PIC16LF628
Clock	Maximum Frequency of Operation (MHz)	20	20	20	20
Memory	FLASH Program Memory (words)	1024	2048	1024	2048
	RAM Data Memory (bytes)	224	224	224	224
	EEPROM Data Memory (bytes)	128	128	128	128
Peripherals	Timer Module(s)	TMR0, TMR1, TMR2	TMR0, TMR1, TMR2	TMR0, TMR1, TMR2	TMR0, TMR1, TMR2
	Comparators(s)	2	2	2	2
	Capture/Compare/PWM modules	1	1	1	1
	Serial Communications	USART	USART	USART	USART
	Internal Voltage Reference	Yes	Yes	Yes	Yes
Features	Interrupt Sources	10	10	10	10
	I/O Pins	16	16	16	16
	Voltage Range (Volts)	3.0-5.5	3.0-5.5	2.0-5.5	2.0-5.5
	Brown-out Detect	Yes	Yes	Yes	Yes
	Packages	18-pin DIP, SOIC; 20-pin SSOP	18-pin DIP, SOIC; 20-pin SSOP	18-pin DIP, SOIC; 20-pin SSOP	18-pin DIP, SOIC; 20-pin SSOP

All PICmicro® Family devices have Power-on Reset, selectable Watchdog Timer, selectable code protect and high I/O current capability. All PIC16F62X Family devices use serial programming with clock pin RB6 and data pin RB7.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

 © 1999 Microchip Technology Inc.

3.0 ARCHITECTURAL OVERVIEW

The high performance of the PIC16F62X family can be attributed to a number of architectural features commonly found in RISC microprocessors. To begin with, the PIC16F62X uses a Harvard architecture, in which, program and data are accessed from separate memories using separate busses. This improves bandwidth over traditional von Neumann architecture where program and data are fetched from the same memory. Separating program and data memory further allows instructions to be sized differently than 8-bit wide data word. Instruction opcodes are 14-bits wide making it possible to have all single word instructions. A 14-bit wide program memory access bus fetches a 14-bit instruction in a single cycle. A two-stage pipeline overlaps fetch and execution of instructions. Consequently, all instructions (35) execute in a single-cycle (200 ns @ 20 MHz) except for program branches.

The Table below lists program memory (Flash, Data and EEPROM).

Device	Memory		
	FLASH Program	RAM Data	EEPROM Data
PIC16F627	1024 x 14	224 x 8	128 x 8
PIC16F628	2048 x 14	224 x 8	128 x 8
PIC16LF627	1024 x 14	224 x 8	128 x 8
PIC16LF628	2048 x 14	224 x 8	128 x 8

The PIC16F62X can directly or indirectly address its register files or data memory. All special function registers including the program counter are mapped in the data memory. The PIC16F62X have an orthogonal (symmetrical) instruction set that makes it possible to carry out any operation on any register using any addressing mode. This symmetrical nature and lack of 'special optimal situations' make programming with the PIC16F62X simple yet efficient. In addition, the learning curve is reduced significantly.

The PIC16F62X devices contain an 8-bit ALU and working register. The ALU is a general purpose arithmetic unit. It performs arithmetic and Boolean functions between data in the working register and any register file.

The ALU is 8-bit wide and capable of addition, subtraction, shift and logical operations. Unless otherwise mentioned, arithmetic operations are two's complement in nature. In two-operand instructions, typically one operand is the working register (W register). The other operand is a file register or an immediate constant. In single operand instructions, the operand is either the W register or a file register.

The W register is an 8-bit working register used for ALU operations. It is not an addressable register.

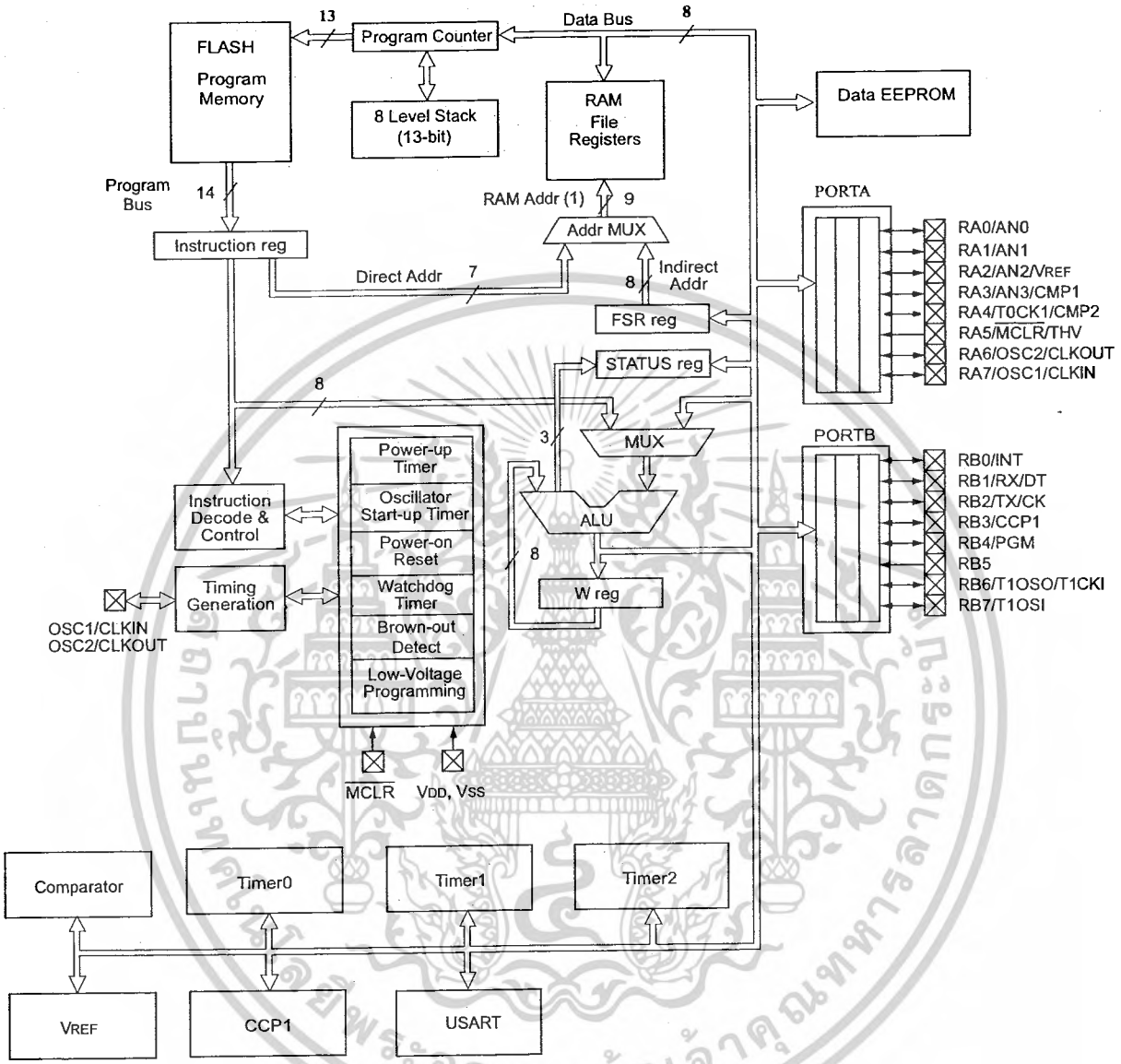
Depending on the instruction executed, the ALU may affect the values of the Carry (C), Digit Carry (DC), and Zero (Z) bits in the STATUS register. The C and DC bits operate as a Borrow and Digit Borrow out bit, respectively, bit in subtraction. See the SUBLW and SUBWF instructions for examples.

A simplified block diagram is shown in Figure 3-1, with a description of the device pins in Table 3-1.

Two types of data memory are provided on the PIC16F62X devices. Non-volatile EEPROM data memory is provided for long term storage of data such as calibration values, look up table data, and any other data which may require periodic updating in the field. This data is not lost when power is removed. The other data memory provided is regular RAM data memory. Regular RAM data memory is provided for temporary storage of data during normal operation. It is lost when power is removed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 3-1: BLOCK DIAGRAM



Device	Memory		
	FLASH Program	RAM Data	EEPROM Data
PIC16F627	1024 x 14	224 x 8	128 x 8
PIC16F628	2048 x 14	224 x 8	128 x 8
PIC16LF627	1024 x 14	224 x 8	128 x 8
PIC16LF628	2048 x 14	224 x 8	128 x 8

Note 1: Higher order bits are from the STATUS register.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

 © 1999 Microchip Technology Inc.

TABLE 3-1: PIC16F62X PINOUT DESCRIPTION

Name	DIP/ SOIC Pin #	SSOP Pin #	I/O/P Type	Buffer Type	Description
RA0/AN0	17	19	I/O	ST	Bi-directional I/O port/Analog comparator input
RA1/AN1	18	20	I/O	ST	Bi-directional I/O port/Analog comparator input
RA2/AN2/VREF	1	1	I/O	ST	Bi-directional I/O port/Analog comparator input/VREF output
RA3/AN3/CMP1	2	2	I/O	ST	Bi-directional I/O port/Analog comparator input/comparator output
RA4/T0CKI/CMP2	3	3	I/O	ST	Bi-directional I/O port/Can be configured as T0CKI/comparator output
RA5/$\overline{MCLR}$/THV	4	4	I	ST	Input port/master clear (reset input/programming voltage input. When configured as $\overline{MCLR}$, this pin is an active low reset to the device. Voltage on $\overline{MCLR}$/THV must not exceed VDD during normal device operation.
RA6/OSC2/CLKOUT	15	17	I/O	ST	Bi-directional I/O port/Oscillator crystal output. Connects to crystal or resonator in crystal oscillator mode. In ER mode, OSC2 pin outputs CLKOUT which has 1/4 the frequency of OSC1, and denotes the instruction cycle rate.
RA7/OSC1/CLKIN	16	18	I/O	ST	Bi-directional I/O port/Oscillator crystal input/external clock source input. ER biasing pin.
RB0/INT	6	7	I/O	TTL/ST(1)	Bi-directional I/O port/external interrupt. Can be software programmed for internal weak pull-up.
RB1/RX/DT	7	8	I/O	TTL/ST(3)	Bi-directional I/O port/ USART receive pin/synchronous data I/O. Can be software programmed for internal weak pull-up.
RB2/TX/CK	8	9	I/O	TTL/ST(3)	Bi-directional I/O port/ USART transmit pin/synchronous clock I/O. Can be software programmed for internal weak pull-up.
RB3/CCP1	9	10	I/O	TTL/ST(4)	Bi-directional I/O port/Capture/Compare/PWM I/O. Can be software programmed for internal weak pull-up.
RB4/PGM	10	11	I/O	TTL/ST(5)	Bi-directional I/O port/Low voltage programming input pin. Wake-up from SLEEP on pin change. Can be software programmed for internal weak pull-up. When low voltage programming is enabled, the interrupt on pin change and weak pull-up resistor are disabled.
RB5	11	12	I/O	TTL	Bi-directional I/O port/Wake-up from SLEEP on pin change. Can be software programmed for internal weak pull-up.
RB6/T1OSO/T1CKI	12	13	I/O	TTL/ST(2)	Bi-directional I/O port/Timer1 oscillator output/Timer1 clock input. Wake up from SLEEP on pin change. Can be software programmed for internal weak pull-up.
RB7/T1OSI	13	14	I/O	TTL/ST(2)	Bi-directional I/O port/Timer1 oscillator input. Wake up from SLEEP on pin change. Can be software programmed for internal weak pull-up.
VSS	5	5,6	P	—	Ground reference for logic and I/O pins.
VDD	14	15,16	P	—	Positive supply for logic and I/O pins.

Legend: O = output I/O = input/output P = power
— = Not used I = Input ST = Schmitt Trigger input
TTL = TTL input I/OD =input/open drain output

Note 1: This buffer is a Schmitt Trigger input when configured as the external interrupt.
Note 2: This buffer is a Schmitt Trigger input when used in serial programming mode.
Note 3: This buffer is a Schmitt Trigger I/O when used in USART/Synchronous mode.
Note 4: This buffer is a Schmitt Trigger I/O when used in CCP mode.
Note 5: This buffer is a Schmitt Trigger input when used in low voltage program mode.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1 Clocking Scheme/Instruction Cycle

The clock input (OSC1/CLKIN/RA7 pin) is internally divided by four to generate four non-overlapping quadrature clocks namely Q1, Q2, Q3 and Q4. Internally, the program counter (PC) is incremented every Q1, the instruction is fetched from the program memory and latched into the instruction register in Q4. The instruction is decoded and executed during the following Q1 through Q4. The clocks and instruction execution flow is shown in Figure 3-2.

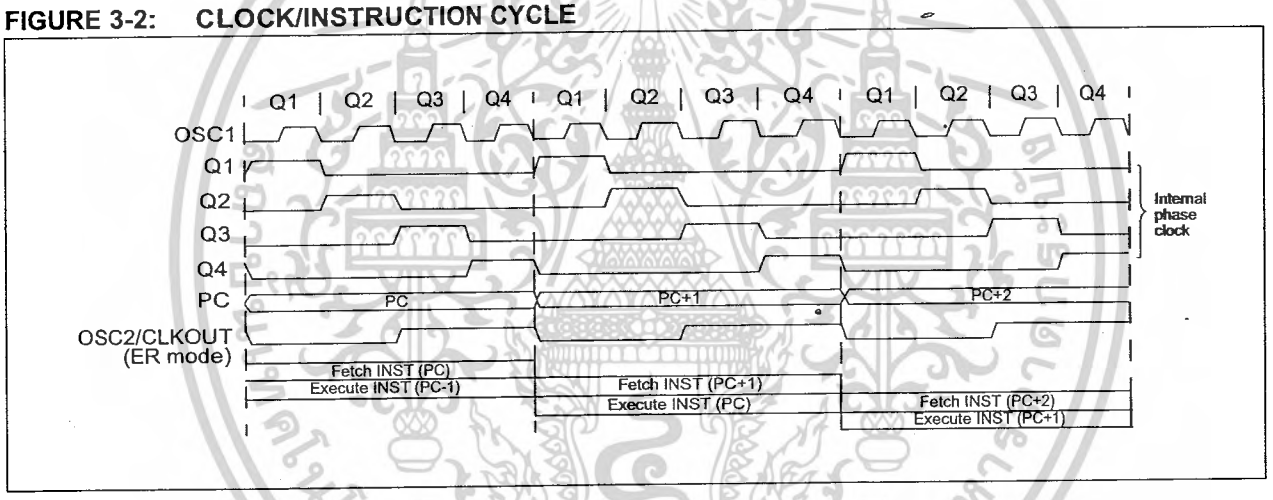
3.2 Instruction Flow/Pipelining

An "Instruction Cycle" consists of four Q cycles (Q1, Q2, Q3 and Q4). The instruction fetch and execute are pipelined such that fetch takes one instruction cycle while decode and execute takes another instruction cycle. However, due to the pipelining, each instruction effectively executes in one cycle. If an instruction causes the program counter to change (e.g., GOTO) then two cycles are required to complete the instruction (Example 3-1).

A fetch cycle begins with the program counter (PC) incrementing in Q1.

In the execution cycle, the fetched instruction is latched into the "Instruction Register (IR)" in cycle Q1. This instruction is then decoded and executed during the Q2, Q3, and Q4 cycles. Data memory is read during Q2 (operand read) and written during Q4 (destination write).

FIGURE 3-2: CLOCK/INSTRUCTION CYCLE



EXAMPLE 3-1: INSTRUCTION PIPELINE FLOW

```
1. MOVLW 55h
2. MOVWF PORTB
3. CALL  SUB_1
4. BSF   PORTA, BIT3
```

Fetch 1	Execute 1				
	Fetch 2	Execute 2			
		Fetch 3	Execute 3		
			Fetch 4	Flush	
				Fetch SUB_1	Execute SUB_1

All instructions are single cycle, except for any program branches. These take two cycles since the fetch instruction is "flushed" from the pipeline while the new instruction is being fetched and then executed.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

 © 1999 Microchip Technology Inc.

4.0 MEMORY ORGANIZATION

4.1 Program Memory Organization

The PIC16F62X has a 13-bit program counter capable of addressing an 8K x 14 program memory space. Only the first 1K x 14 (0000h - 03FFh) for the PIC16F627 and 2K x 14 (0000h - 07FFh) for the PIC16F628 are physically implemented. Accessing a location above these boundaries will cause a wrap-around within the first 1K x 14 space (PIC16F627) or 2K x 14 space (PIC16F628). The reset vector is at 0000h and the interrupt vector is at 0004h (Figure 4-1 and Figure 4-2).

FIGURE 4-1: PROGRAM MEMORY MAP AND STACK FOR THE PIC16F627

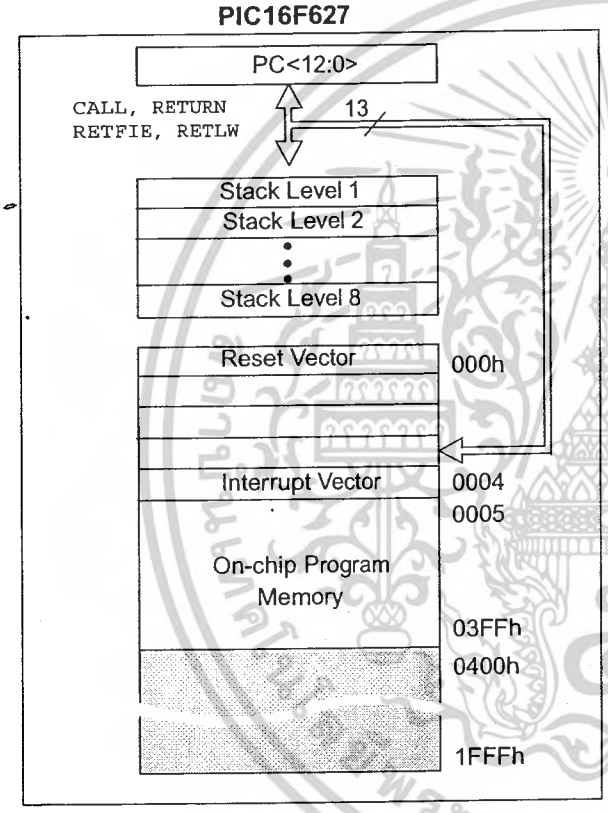
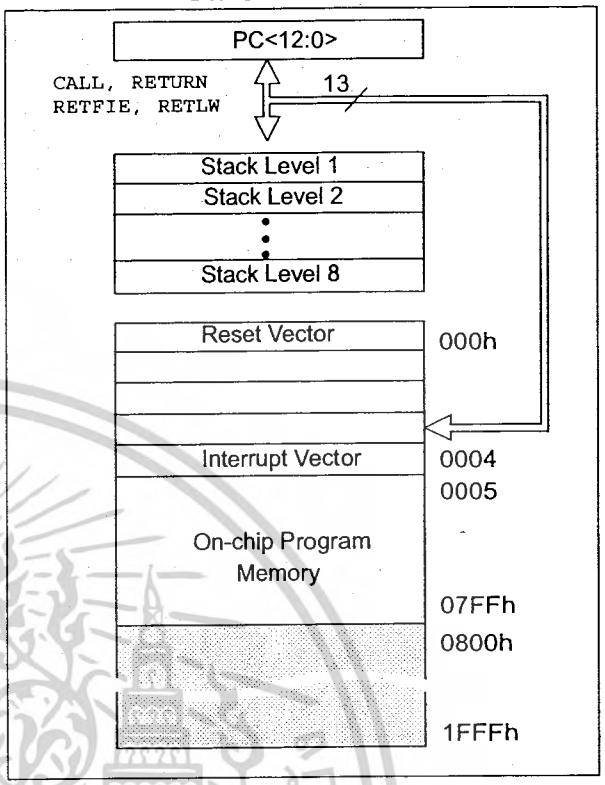


FIGURE 4-2: PROGRAM MEMORY MAP AND STACK FOR THE PIC16F628



4.2 Data Memory Organization

The data memory (Figure 4-3) is partitioned into four Banks which contain the general purpose registers and the special function registers. The Special Function Registers are located in the first 32 locations of each Bank. Register locations 20-7Fh, A0h-FFh, 120h-14Fh, 170h-17Fh and 1F0h-1FFh are general purpose registers implemented as static RAM.

The Table below lists how to access the four banks of registers:

	RP1	RP0
Bank0	0	0
Bank1	0	1
Bank2	1	0
Bank3	1	1

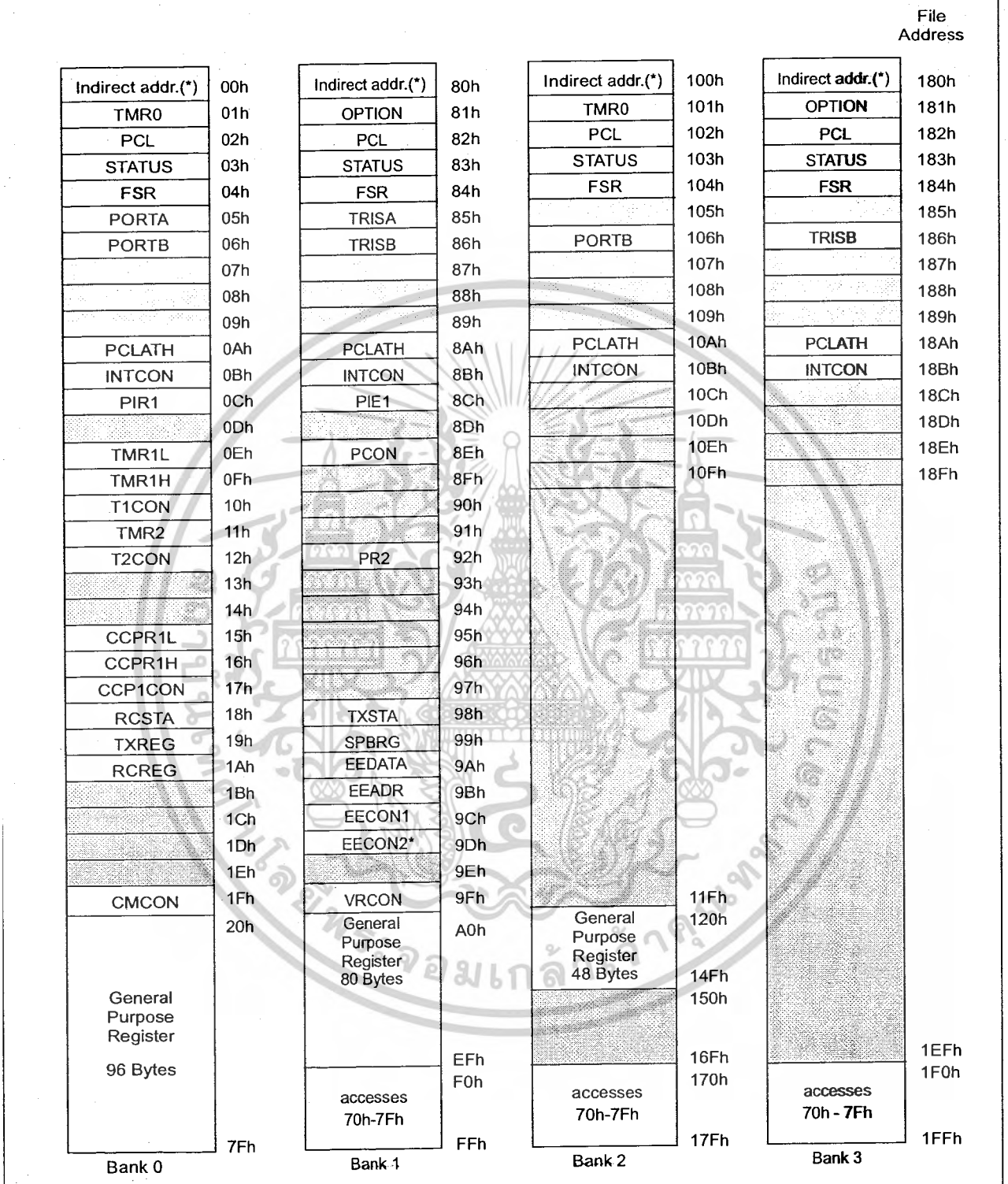
Addresses F0h-FFh, 170h-17Fh and 1F0h-1FFh are implemented as common RAM and mapped back to addresses 70h-7Fh.

4.2.1 GENERAL PURPOSE REGISTER FILE

The register file is organized as 224 x 8 in the PIC16F62X. Each is accessed either directly or indirectly through the File Select Register FSR (Section 4.4).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FIGURE 4-3: DATA MEMORY MAP OF THE PIC16F627 AND PIC16F628



Unimplemented data memory locations, read as '0'.
* Not a physical register.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

 © 1999 Microchip Technology Inc.

4.2.2 SPECIAL FUNCTION REGISTERS

The special function registers are registers used by the CPU and Peripheral functions for controlling the desired operation of the device (Table 4-1). These registers are static RAM.

The special registers can be classified into two sets (core and peripheral). The special function registers associated with the "core" functions are described in this section. Those related to the operation of the peripheral features are described in the section of that peripheral feature.

TABLE 4-1: SPECIAL REGISTERS SUMMARY BANK0

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR Reset	Value on all other Resets(1)
Bank 0											
00h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
01h	TMR0	Timer0 Module's Register								xxxx xxxx	uuuu uuuu
02h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	0000 0000
03h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	000q quuu
04h	FSR	Indirect data memory address pointer								xxxx xxxx	uuuu uuuu
05h	PORTA	RA7	RA6	RA5	RA4	RA3	RA2	RA1	RA0	xxxx 0000	xxxx 0000
06h	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	uuuu uuuu
07h	Unimplemented									—	—
08h	Unimplemented									—	—
09h	Unimplemented									—	—
0Ah	PCLATH	—	—	—	Write buffer for upper 5 bits of program counter					---0 0000	---0 0000
0Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	EEIF	CMIF	RCIF	TXIF	—	CCP1IF	TMR2IF	TMR1IF	0000 -000	0000 -000
0Dh	Unimplemented									—	—
0Eh	TMR1L	Holding register for the least significant byte of the 16-bit TMR1								xxxx xxxx	uuuu uuuu
0Fh	TMR1H	Holding register for the most significant byte of the 16-bit TMR1								xxxx xxxx	uuuu uuuu
10h	T1CON	—	—	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON	--00 0000	--uu uuuu
11h	TMR2	TMR2 module's register								0000 0000	0000 0000
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-uuu uuuu
13h	Unimplemented									—	—
14h	Unimplemented									—	—
15h	CCPR1L	Capture/Compare/PWM register (LSB)								xxxx xxxx	uuuu uuuu
16h	CCPR1H	Capture/Compare/PWM register (MSB)								xxxx xxxx	uuuu uuuu
17h	CCP1CON	—	—	CCP1X	CCP1Y	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000	--00 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADEN	FERR	OERR	RX9D	0000 -00x	0000 -00x
19h	TXREG	USART Transmit data register								0000 0000	0000 0000
1Ah	RCREG	USART Receive data register								0000 0000	0000 0000
1Bh	Unimplemented									—	—
1Ch	Unimplemented									—	—
1Dh	Unimplemented									—	—
1Eh	Unimplemented									—	—
1Fh	CMCON	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0	0000 0000	0000 0000

Legend: — = Unimplemented locations read as '0', u = unchanged, x = unknown, q = value depends on condition, shaded = unimplemented

Note 1: Other (non power-up) resets include $\overline{MCLR}$ Reset, Brown-out Detect and Watchdog Timer Reset during normal operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 4-2: SPECIAL FUNCTION REGISTERS SUMMARY BANK1

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR Reset	Value on all other resets(1)
Bank 1											
80h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
81h	OPTION	$\overline{RBPU}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
82h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	0000 0000
83h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	000q quuu
84h	FSR	Indirect data memory address pointer								xxxx xxxx	uuuu uuuu
85h	TRISA	TRISA7	TRISA6	—	TRISA4	TRISA3	TRISA2	TRISA1	TRISA0	11-1 1111	11-1 1111
86h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	1111 1111	1111 1111
87h	Unimplemented									—	—
88h	Unimplemented									—	—
89h	Unimplemented									—	—
8Ah	PCLATH	—	—	—	Write buffer for upper 5 bits of program counter					---0 0000	---0 0000
8Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
8Ch	PIE1	EEIE	CMIE	RCIE	TXIE	—	CCP1IE	TMR2IE	TMR1IE	0000 -000	0000 -000
8Dh	Unimplemented									—	—
8Eh	PCON	—	—	—	—	OSCF	—	$\overline{POR}$	$\overline{BOD}$	---- 1-0x	---- 1-uq
8Fh	Unimplemented										
90h	Unimplemented									—	—
91h	Unimplemented									—	—
92h	PR2	Timer2 Period Register								11111111	11111111
93h	Unimplemented									—	—
94h	Unimplemented									—	—
95h	Unimplemented									—	—
96h	Unimplemented									—	—
97h	Unimplemented									—	—
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Baud Rate Generator Register								0000 0000	0000 0000
9Ah	EEDATA	EEPROM data register								xxxx xxxx	uuuu uuuu
9Bh	EEADR	—	EEPROM address register							xxxx xxxx	uuuu uuuu
9Ch	EECON1	—	—	—	—	WRERR	WREN	WR	RD	---- x000	---- q000
9Dh	EECON2	EEPROM control register 2 (not a physical register)								--------	--------
9Eh	Unimplemented									—	—
9Fh	VRCON	VREN	VROE	VRR	—	VR3	VR2	VR1	VR0	000- 0000	000- 0000

Legend: : — = Unimplemented locations read as '0', u = unchanged, x = unknown, q = value depends on condition, shaded = unimplemented

Note 1: Other (non power-up) resets include $\overline{MCLR}$ Reset, Brown-out Detect and Watchdog Timer Reset during normal operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา รูปภาพ หรือข้อความอ้างอิงถึงเจ้าของเอกสารนี้ก่อนนำไปใช้

 © 1999 Microchip Technology Inc.

TABLE 4-3: SPECIAL FUNCTION REGISTERS SUMMARY BANK2

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR Reset	Value on all other resets(1)
Bank 1											
100h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
101h	TMR0	$\overline{RBPU}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
102h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	0000 0000
103h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	000q quuu
104h	FSR	Indirect data memory address pointer								xxxx xxxx	uuuu uuuu
105h	Unimplemented									—	—
106h	PORTB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	1111 1111	1111 1111
107h	Unimplemented									—	—
108h	Unimplemented									—	—
109h	Unimplemented									—	—
10Ah	PCLATH	—	—	—	Write buffer for upper 5 bits of program counter					---0 0000	---0 0000
10Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
10Ch										—	—
10Dh	Unimplemented									—	—
10Eh										—	—
10Fh	Unimplemented										
110h	Unimplemented									—	—
111h	Unimplemented									—	—
112h											
113h	Unimplemented									—	—
114h	Unimplemented									—	—
115h	Unimplemented									—	—
116h	Unimplemented									—	—
117h	Unimplemented									—	—
118h										—	—
119h										—	—
11Ah										—	—
11Bh										—	—
11Ch										—	—
11Dh										—	—
11Eh	Unimplemented									—	—
11Fh										—	—

Legend: — = Unimplemented locations read as '0', u = unchanged, x = unknown, q = value depends on condition, shaded = unimplemented

Note 1: Other (non power-up) resets include $\overline{MCLR}$ Reset, Brown-out Detect and Watchdog Timer Reset during normal operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

TABLE 4-4: SPECIAL FUNCTION REGISTERS SUMMARY BANK3

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR Reset	Value on all other resets(1)
Bank 1											
180h	INDF	Addressing this location uses contents of FSR to address data memory (not a physical register)								xxxx xxxx	xxxx xxxx
181h	OPTION	$\overline{RBPU}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
182h	PCL	Program Counter's (PC) Least Significant Byte								0000 0000	0000 0000
183h	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxx	000q quuu
184h	FSR	Indirect data memory address pointer								xxxx xxxx	uuuu uuuu
185h	Unimplemented									—	—
186h	TRISB	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	1111 1111	1111 1111
187h	Unimplemented									—	—
188h	Unimplemented									—	—
189h	Unimplemented									—	—
18Ah	PCLATH	—	—	—	Write buffer for upper 5 bits of program counter					---0 0000	---0 0000
18Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
18Ch											
18Dh											
18Eh											
18Fh											
190h											
191h											
192h											
193h											
194h											
195h											
196h											
197h											
198h											
199h											
19Ah											
19Bh											
19Ch											
19Dh											
19Eh											
19Fh											

Legend: — = Unimplemented locations read as '0', u = unchanged, x = unknown, q = value depends on condition, shaded = unimplemented

Note 1: Other (non power-up) resets include $\overline{MCLR}$ Reset, Brown-out Detect and Watchdog Timer Reset during normal operation.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

 © 1999 Microchip Technology Inc.

4.2.2.1 STATUS REGISTER

The STATUS register, shown in Register 4-1, contains the arithmetic status of the ALU, the RESET status and the bank select bits for data memory (SRAM).

The STATUS register can be the destination for any instruction, like any other register. If the STATUS register is the destination for an instruction that affects the Z, DC or C bits, then the write to these three bits is disabled. These bits are set or cleared according to the device logic. Furthermore, the $\overline{TO}$ and $\overline{PD}$ bits are not writable. Therefore, the result of an instruction with the STATUS register as destination may be different than intended.

For example, `CLRF STATUS` will clear the upper-three bits and set the Z bit. This leaves the status register as `000uuluu` (where `u` = unchanged).

It is recommended, therefore, that only `BCF`, `BSF`, `SWAPF` and `MOVWF` instructions are used to alter the STATUS register because these instructions do not affect any status bit. For other instructions, not affecting any status bits, see the "Instruction Set Summary".

Note 1:	The C and DC bits operate as a $\overline{\text{Borrow}}$ and $\overline{\text{Digit Borrow}}$ out bit, respectively, in subtraction. See the `SUBLW` and `SUBWF` instructions for examples.

REGISTER 4-1: STATUS REGISTER (ADDRESS 03H OR 83H)

R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
IRP	$\overline{RP1}$	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C
bit7							bit0

R = Readable bit
W = Writable bit
U = Unimplemented bit, read as '0'
-n = Value at POR reset
-x = Unknown at POR reset

bit 7: **IRP**: Register Bank Select bit (used for indirect addressing)
1 = Bank 2, 3 (100h - 1FFh)
0 = Bank 0, 1 (00h - FFh)

bit 6-5: **RP1:RP0**: Register Bank Select bits (used for direct addressing)
11 = Bank 3 (180h - 1FFh)
10 = Bank 2 (100h - 17Fh)
01 = Bank 1 (80h - FFh)
00 = Bank 0 (00h - 7Fh)

bit 4: **$\overline{TO}$**: Time-out bit
1 = After power-up, `CLRWDT` instruction, or `SLEEP` instruction
0 = A WDT time-out occurred

bit 3: **$\overline{PD}$**: Power-down bit
1 = After power-up or by the `CLRWDT` instruction
0 = By execution of the `SLEEP` instruction

bit 2: **Z**: Zero bit
1 = The result of an arithmetic or logic operation is zero
0 = The result of an arithmetic or logic operation is not zero

bit 1: **DC**: Digit carry/$\overline{\text{borrow}}$ bit (`ADDWF`, `ADDLW`, `SUBLW`, `SUBWF` instructions)(for $\overline{\text{borrow}}$ the polarity is reversed)
1 = A carry-out from the 4th low order bit of the result occurred
0 = No carry-out from the 4th low order bit of the result

bit 0: **C**: Carry/$\overline{\text{borrow}}$ bit (`ADDWF`, `ADDLW`, `SUBLW`, `SUBWF` instructions)
1 = A carry-out from the most significant bit of the result occurred
0 = No carry-out from the most significant bit of the result occurred
Note: For $\overline{\text{borrow}}$ the polarity is reversed. A subtraction is executed by adding the two's complement of the second operand. For rotate (`RRF`, `RLF`) instructions, this bit is loaded with either the high or low order bit of the source register.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2.2 OPTION REGISTER

The OPTION register is a readable and writable register which contains various control bits to configure the TMR0/WDT prescaler, the external RB0/INT interrupt, TMR0, and the weak pull-ups on PORTB.

Note: To achieve a 1:1 prescaler assignment for TMR0, assign the prescaler to the WDT (PSA = 1). See Section 6.3.1

REGISTER 4-2: OPTION REGISTER (ADDRESS 81H)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
$\overline{\text{RBPU}}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
bit7							bit0

R = Readable bit
W = Writable bit
-n = Value at POR reset

bit 7: **$\overline{\text{RBPU}}$**: PORTB Pull-up Enable bit
1 = PORTB pull-ups are disabled
0 = PORTB pull-ups are enabled by individual port latch values

bit 6: **INTEDG**: Interrupt Edge Select bit
1 = Interrupt on rising edge of RB0/INT pin
0 = Interrupt on falling edge of RB0/INT pin

bit 5: **T0CS**: TMR0 Clock Source Select bit
1 = Transition on RA4/T0CKI pin
0 = Internal instruction cycle clock (CLKOUT)

bit 4: **T0SE**: TMR0 Source Edge Select bit
1 = Increment on high-to-low transition on RA4/T0CKI pin
0 = Increment on low-to-high transition on RA4/T0CKI pin

bit 3: **PSA**: Prescaler Assignment bit
1 = Prescaler is assigned to the WDT
0 = Prescaler is assigned to the Timer0 module

bit 2-0: **PS2:PS0**: Prescaler Rate Select bits

Bit Value	TMR0 Rate	WDT Rate
000	1 : 2	1 : 1
001	1 : 4	1 : 2
010	1 : 8	1 : 4
011	1 : 16	1 : 8
100	1 : 32	1 : 16
101	1 : 64	1 : 32
110	1 : 128	1 : 64
111	1 : 256	1 : 128

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

 © 1999 Microchip Technology Inc.

4.2.2.3 INTCON REGISTER

The INTCON register is a readable and writable register which contains the various enable and flag bits for all interrupt sources except the comparator module. See Section 4.2.2.4 and Section 4.2.2.5 for a description of the comparator enable and flag bits.

Note: Interrupt flag bits get set when an interrupt condition occurs regardless of the state of its corresponding enable bit or the global enable bit, GIE (INTCON<7>).

REGISTER 4-3: INTCON REGISTER (ADDRESS 0BH OR 8BH)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x
GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF
bit7							bit0

R = Readable bit
W = Writable bit
U = Unimplemented bit, read as '0'
-n = Value at POR reset
-x = Unknown at POR reset

bit 7: **GIE:** Global Interrupt Enable bit
1 = Enables all un-masked interrupts
0 = Disables all interrupts

bit 6: **PEIE**: Peripheral Interrupt Enable bit
1 = Enables all un-masked peripheral interrupts
0 = Disables all peripheral interrupts

bit 5: **T0IE**: TMR0 Overflow Interrupt Enable bit
1 = Enables the TMR0 interrupt
0 = Disables the TMR0 interrupt

bit 4: **INTE:** RB0/INT External Interrupt Enable bit
1 = Enables the RB0/INT external interrupt
0 = Disables the RB0/INT external interrupt

bit 3: **RBIE**: RB Port Change Interrupt Enable bit
1 = Enables the RB port change interrupt
0 = Disables the RB port change interrupt

bit 2: **T0IF**: TMR0 Overflow Interrupt Flag bit
1 = TMR0 register has overflowed (must be cleared in software)
0 = TMR0 register did not overflow

bit 1: **INTF**: RB0/INT External Interrupt Flag bit
1 = The RB0/INT external interrupt occurred (must be cleared in software)
0 = The RB0/INT external interrupt did not occur

bit 0: **RBIF**: RB Port Change Interrupt Flag bit
1 = When at least one of the RB7:RB4 pins changed state (must be cleared in software)
0 = None of the RB7:RB4 pins have changed state

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2.4 PIE1 REGISTER

This register contains interrupt enable bits.

REGISTER 4-4: PIE1 REGISTER (ADDRESS 8CH)

R/W-0	R/W-0	R/W-0	R/W-0	U	R/W-0	R/W-0	R/W-0
EEIE	CMIE	RCIE	TXIE	-	CCP1IE	TMR2IE	TMR1IE
bit7							bit0

R = Readable bit
W = Writable bit
U = Unimplemented bit, read as '0'
-n = Value at POR reset

bit 7: **EEIE:** EE Write Complete Interrupt Enable Bit
1 = Enables the EE write complete interrupt
0 = Disables the EE write complete interrupt

bit 6: **CMIE:** Comparator Interrupt Enable bit
1 = Enables the comparator interrupt
0 = Disables the comparator interrupt

bit 5: **RCIE:** USART Receive Interrupt Enable bit
1 = Enables the USART receive interrupt
0 = Disables the USART receive interrupt

bit 4: **TXIE:** USART Transmit Interrupt Enable bit
1 = Enables the USART transmit interrupt
0 = Disables the USART transmit interrupt

bit 3: **Unimplemented:** Read as '0'

bit 2: **CCP1IE:** CCP1 Interrupt Enable bit
1 = Enables the CCP1 interrupt
0 = Disables the CCP1 interrupt

bit 1: **TMR2IE:** TMR2 to PR2 Match Interrupt Enable bit
1 = Enables the TMR2 to PR2 match interrupt
0 = Disables the TMR2 to PR2 match interrupt

bit 0: **TMR1IE:** TMR1 Overflow Interrupt Enable bit
1 = Enables the TMR1 overflow interrupt
0 = Disables the TMR1 overflow interrupt

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

 © 1999 Microchip Technology Inc.

4.2.2.5 PIR1 REGISTER

This register contains interrupt flag bits.

Note: Interrupt flag bits get set when an interrupt condition occurs regardless of the state of its corresponding enable bit or the global enable bit, GIE (INTCON<7>). User software should ensure the appropriate interrupt flag bits are clear prior to enabling an interrupt.

REGISTER 4-5: PIR1 REGISTER (ADDRESS 0CH)

R/W-0	R/W-0	R-0	R-0	U	R/W-0	R/W-0	R/W-0
EEIF	CMIF	RCIF	TXIF	-	CCP1IF	TMR2IF	TMR1IF
bit7							bit0

R = Readable bit
W = Writable bit
U = Unimplemented bit, read as '0'
-n = Value at POR reset

bit 7: **EEIF:** EEPROM Write Operation Interrupt Flag bit
1 = The write operation completed (must be cleared in software)
0 = The write operation has not completed or has not been started

bit 6: **CMIF**: Comparator Interrupt Flag bit
1 = Comparator input has changed
0 = Comparator input has not changed

bit 5: **RCIF**: USART Receive Interrupt Flag bit
1 = The USART receive buffer is full
0 = The USART receive buffer is empty

bit 4: **TXIF**: USART Transmit Interrupt Flag bit
1 = The USART transmit buffer is empty
0 = The USART transmit buffer is full

bit 3: **Unimplemented**: Read as '0'

bit 2: **CCP1IF**: CCP1 Interrupt Flag bit
Capture Mode
1 = A TMR1 register capture occurred (must be cleared in software)
0 = No TMR1 register capture occurred
Compare Mode
1 = A TMR1 register compare match occurred (must be cleared in software)
0 = No TMR1 register compare match occurred
PWM Mode
Unused in this mode

bit 1: **TMR2IF**: TMR2 to PR2 Match Interrupt Flag bit
1 = TMR2 to PR2 match occurred (must be cleared in software)
0 = No TMR2 to PR2 match occurred

bit 0: **TMR1IF**: TMR1 Overflow Interrupt Flag bit
1 = TMR1 register overflowed (must be cleared in software)
0 = TMR1 register did not overflow

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2.6 PCON REGISTER

The PCON register contains flag bits to differentiate between a Power-on Reset, an external $\overline{MCLR}$ reset, WDT reset or a Brown-out Detect.

Note: $\overline{BOD}$ is unknown on Power-on Reset. It must then be set by the user and checked on subsequent resets to see if $\overline{BOD}$ is cleared, indicating a brown-out has occurred. The $\overline{BOD}$ status bit is a "don't care" and is not necessarily predictable if the brown-out circuit is disabled (by programming BOREN bit in the Configuration word).

REGISTER 4-6: PCON REGISTER (ADDRESS 8Eh)

U-0	U-0	U-0	U-0	R/W-1	U-0	R/W-q	R/W-q
—	—	—	—	OSCF	—	$\overline{POR}$	$\overline{BOD}$
bit7							bit0

R = Readable bit
W = Writable bit
U = Unimplemented bit, read as '0'
-n = Value at POR reset

bit 7-4,2: **Unimplemented:** Read as '0'

bit 3: **OSCF**: INTRC/ER oscillator speed
1 = 4 MHz typical(1)
0 = 37 KHz typical

bit 1: **$\overline{POR}$**: Power-on Reset Status bit
1 = No Power-on Reset occurred
0 = A Power-on Reset occurred (must be set in software after a Power-on Reset occurs)

bit 0: **$\overline{BOD}$**: Brown-out Detect Status bit
1 = No Brown-out Reset occurred
0 = A Brown-out Reset occurred (must be set in software after a Brown-out Reset occurs)

Note 1: When in ER oscillator mode, setting OSCF = 1 will cause the oscillator speed to change to the speed specified by the external resistor.

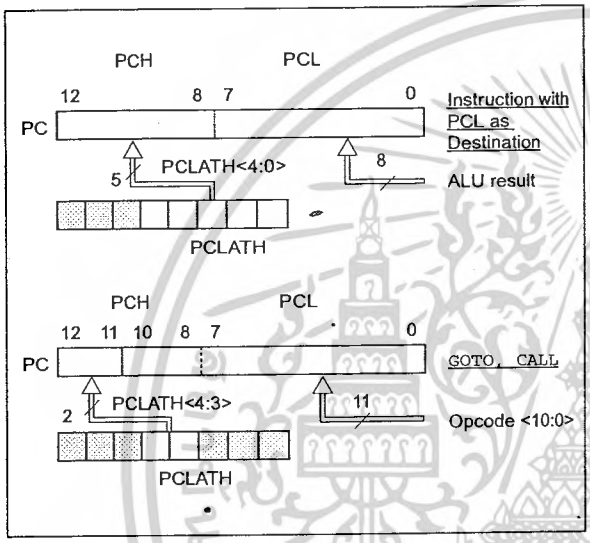
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา รูปภาพ หรือข้อความอ้างอิงถึงเจ้าของเอกสารนี้ก่อนนำไปใช้

 © 1999 Microchip Technology Inc.

4.3 PCL and PCLATH

The program counter (PC) is 13-bits wide. The low byte comes from the PCL register, which is a readable and writable register. The high byte (PC<12:8>) is not directly readable or writable and comes from PCLATH. On any reset, the PC is cleared. Figure 4-7 shows the two situations for the loading of the PC. The upper example in the figure shows how the PC is loaded on a write to PCL (PCLATH<4:0> → PCH). The lower example in the figure shows how the PC is loaded during a CALL or GOTO instruction (PCLATH<4:3> → PCH).

FIGURE 4-7: LOADING OF PC IN DIFFERENT SITUATIONS



4.3.1 COMPUTED GOTO

A computed GOTO is accomplished by adding an offset to the program counter (ADDWF PCL). When doing a table read using a computed GOTO method, care should be exercised if the table location crosses a PCL memory boundary (each 256 byte block). Refer to the application note *"Implementing a Table Read"* (AN556).

4.3.2 STACK

The PIC16F62X family has an 8 level deep x 13-bit wide hardware stack (Figure 4-1 and Figure 4-2). The stack space is not part of either program or data space and the stack pointer is not readable or writable. The PC is PUSHed onto the stack when a CALL instruction is executed or an interrupt causes a branch. The stack is POPed in the event of a RETURN, RETLW or a RETFIE instruction execution. PCLATH is not affected by a PUSH or POP operation.

The stack operates as a circular buffer. This means that after the stack has been PUSHed eight times, the ninth push overwrites the value that was stored from the first push. The tenth push overwrites the second push (and so on).

Note 1: There are no STATUS bits to indicate stack overflow or stack underflow conditions.

Note 2: There are no instructions/mnemonics called PUSH or POP. These are actions that occur from the execution of the CALL, RETURN, RETLW and RETFIE instructions, or the vectoring to an interrupt address.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

4.4 Indirect Addressing, INDF and FSR Registers

The INDF register is not a physical register. Addressing the INDF register will cause indirect addressing.

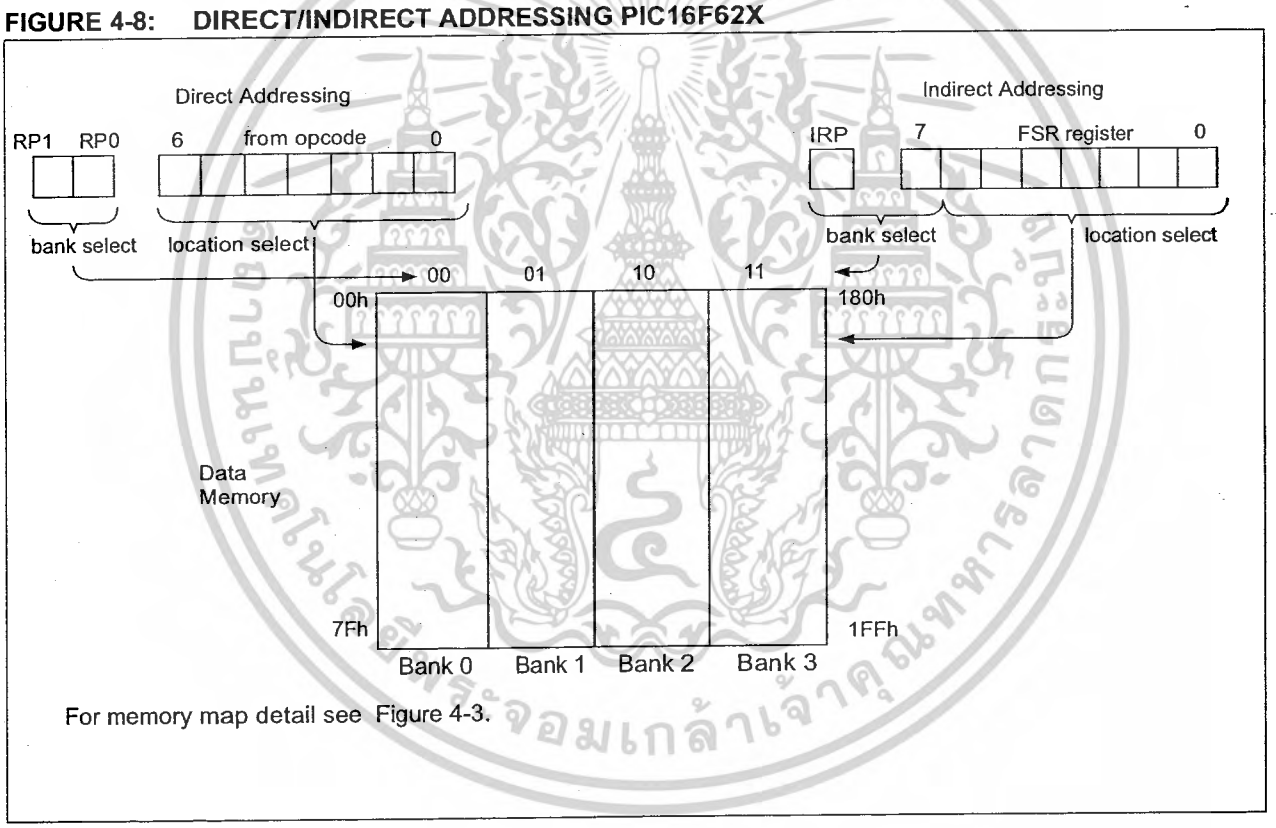
Indirect addressing is possible by using the INDF register. Any instruction using the INDF register actually accesses data pointed to by the file select register (FSR). Reading INDF itself indirectly will produce 00h. Writing to the INDF register indirectly results in a no-operation (although status bits may be affected). An effective 9-bit address is obtained by concatenating the 8-bit FSR register and the IRP bit (STATUS<7>), as shown in Figure 4-8.

A simple program to clear RAM location 20h-2Fh using indirect addressing is shown in Example 4-1.

EXAMPLE 4-1: INDIRECT ADDRESSING

```
        movlw   0x20    ;initialize pointer
        movwf   FSR     ;to RAM
NEXT    clrf    INDF    ;clear INDF register
        incf    FSR     ;inc pointer
        btfss   FSR,4   ;all done?
        goto    NEXT    ;no clear next
                        ;yes continue
CONTINUE:
```

FIGURE 4-8: DIRECT/INDIRECT ADDRESSING PIC16F62X



For memory map detail see Figure 4-3.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

 © 1999 Microchip Technology Inc.

12.0 UNIVERSAL SYNCHRONOUS ASYNCHRONOUS RECEIVER TRANSMITTER (USART)

The Universal Synchronous Asynchronous Receiver Transmitter (USART) module is one of the two serial I/O modules. (USART is also known as a Serial Communications Interface or SCI). The USART can be configured as a full duplex asynchronous system that can communicate with peripheral devices such as CRT terminals and personal computers, or it can be configured as a half duplex synchronous system that can communicate with peripheral devices such as A/D or D/A integrated circuits, Serial EEPROMs etc.

The USART can be configured in the following modes:

- Asynchronous (full duplex)
- Synchronous - Master (half duplex)
- Synchronous - Slave (half duplex)

Bit SPEN (RCSTA<7>), and bits TRISB<2:1>, have to be set in order to configure pins RB2/TX/CK and RB1/RX/DT as the Universal Synchronous Asynchronous Receiver Transmitter.

REGISTER 12-1: TXSTA: TRANSMIT STATUS AND CONTROL REGISTER (ADDRESS 98h)

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R-1	R/W-0
CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D
bit7							bit0

R = Readable bit
W = Writable bit
U = Unimplemented bit, read as '0'
-n = Value at POR reset

bit 7: **CSRC**: Clock Source Select bit

Asynchronous mode
Don't care

Synchronous mode
1 = Master mode (Clock generated internally from BRG)
0 = Slave mode (Clock from external source)

bit 6: **TX9**: 9-bit Transmit Enable bit
1 = Selects 9-bit transmission
0 = Selects 8-bit transmission

bit 5: **TXEN**: Transmit Enable bit
1 = Transmit enabled
0 = Transmit disabled
Note: SREN/CREN overrides TXEN in SYNC mode.

bit 4: **SYNC**: USART Mode Select bit
1 = Synchronous mode
0 = Asynchronous mode

bit 3: **Unimplemented:** Read as '0'

bit 2: **BRGH**: High Baud Rate Select bit

Asynchronous mode
1 = High speed
0 = Low speed

Synchronous mode
Unused in this mode

bit 1: **TRMT**: Transmit Shift Register Status bit
1 = TSR empty
0 = TSR full

bit 0: **TX9D**: 9th bit of transmit data. Can be parity bit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

REGISTER 12-2: RCSTA: RECEIVE STATUS AND CONTROL REGISTER (ADDRESS 18h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R-0	R-x
SPEN	RX9	SREN	CREN	ADEN	FERR	OERR	RX9D
bit7							bit0

R = Readable bit
W = Writable bit
U = Unimplemented bit, read as '0'
-n = Value at POR reset
x = unknown

bit 7: **SPEN**: Serial Port Enable bit
(Configures RB1/RX/DT and RB2/TX/CK pins as serial port pins when bits TRISB<2:17> are set)
1 = Serial port enabled
0 = Serial port disabled

bit 6: **RX9**: 9-bit Receive Enable bit
1 = Selects 9-bit reception
0 = Selects 8-bit reception

bit 5: **SREN**: Single Receive Enable bit
Asynchronous mode:
Don't care
Synchronous mode - master:
1 = Enables single receive
0 = Disables single receive
This bit is cleared after reception is complete.
Synchronous mode - slave:
Unused in this mode

bit 4: **CREN**: Continuous Receive Enable bit
Asynchronous mode:
1 = Enables continuous receive
0 = Disables continuous receive
Synchronous mode:
1 = Enables continuous receive until enable bit CREN is cleared (CREN overrides SREN)
0 = Disables continuous receive

bit 3: **ADEN:** Address Detect Enable bit
Asynchronous mode 9-bit (RX9 = 1):
1 = Enables address detection, enable interrupt and load of the receive buffer when RSR<8> is set
0 = Disables address detection, all bytes are received, and ninth bit can be used as parity bit
Asynchronous mode 8-bit (RX9=0):
Unused in this mode
Synchronous mode
Unused in this mode

bit 2: **FERR**: Framing Error bit
1 = Framing error (Can be updated by reading RCREG register and receive next valid byte)
0 = No framing error

bit 1: **OERR**: Overrun Error bit
1 = Overrun error (Can be cleared by clearing bit CREN)
0 = No overrun error

bit 0: **RX9D**: 9th bit of received data (Can be parity bit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

 © 1999 Microchip Technology Inc.

12.1 USART Baud Rate Generator (BRG)

The BRG supports both the Asynchronous and Synchronous modes of the USART. It is a dedicated 8-bit baud rate generator. The SPBRG register controls the period of a free running 8-bit timer. In asynchronous mode bit BRGH (TXSTA<2>) also controls the baud rate. In synchronous mode bit BRGH is ignored. Table 12-1 shows the formula for computation of the baud rate for different USART modes which only apply in master mode (internal clock).

Given the desired baud rate and Fosc, the nearest integer value for the SPBRG register can be calculated using the formula in Table 12-1. From this, the error in baud rate can be determined.

Example 12-1 shows the calculation of the baud rate error for the following conditions:

Fosc = 16 MHz
Desired Baud Rate = 9600
BRGH = 0
SYNC = 0

EXAMPLE 12-1: CALCULATING BAUD RATE ERROR

Desired Baud rate = Fosc / (64 (X + 1))

9600 = 16000000 /(64 (X + 1))

X = 25.042° = 25

Calculated Baud Rate=16000000 / (64 (25 + 1))

= 9615

$$\text{Error} = \frac{\text{(Calculated Baud Rate - Desired Baud Rate)}}{\text{Desired Baud Rate}}$$

= (9615 - 9600) / 9600

= 0.16%

It may be advantageous to use the high baud rate (BRGH = 1) even for slower baud clocks. This is because the Fosc/(16(X + 1)) equation can reduce the baud rate error in some cases.

Writing a new value to the SPBRG register, causes the BRG timer to be reset (or cleared), this ensures the BRG does not wait for a timer overflow before outputting the new baud rate.

TABLE 12-1: BAUD RATE FORMULA

SYNC	BRGH = 0 (Low Speed)	BRGH = 1 (High Speed)
0	(Asynchronous) Baud Rate = Fosc/(64(X+1))	Baud Rate= Fosc/(16(X+1))
1	(Synchronous) Baud Rate = Fosc/(4(X+1))	NA

X = value in SPBRG (0 to 255)

TABLE 12-2: REGISTERS ASSOCIATED WITH BAUD RATE GENERATOR

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR	Value on all other resets
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
18h	RCSTA	SPEN	RX9	SREN	CREN	ADEN	FERR	OERR	RX9D	0000 -00x	0000 -00x
99h	SPBRG	Baud Rate Generator Register								0000 0000	0000 0000

Legend: x = unknown, - = unimplemented read as '0'. Shaded cells are not used by the BRG.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TABLE 12-3: BAUD RATES FOR SYNCHRONOUS MODE

BAUD RATE (K)	Fosc = 20 MHz			16 MHz			10 MHz			7.15909 MHz		
	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)
0.3	NA	-	-	NA	-	-	NA	-	-	NA	-	-
1.2	NA	-	-	NA	-	-	NA	-	-	NA	-	-
2.4	NA	-	-	NA	-	-	NA	-	-	NA	-	-
9.6	NA	-	-	NA	-	-	9.766	+1.73	255	9.622	+0.23	185
19.2	19.53	+1.73	255	19.23	+0.16	207	19.23	+0.16	129	19.24	+0.23	92
76.8	76.92	+0.16	64	76.92	+0.16	51	75.76	-1.36	32	77.82	+1.32	22
96	96.15	+0.16	51	95.24	-0.79	41	96.15	+0.16	25	94.20	-1.88	18
300	294.1	-1.96	16	307.69	+2.56	12	312.5	+4.17	7	298.3	-0.57	5
500	500	0	9	500	0	7	500	0	4	NA	-	-
HIGH	5000	-	0	4000	-	0	2500	-	0	1789.8	-	0
LOW	19.53	-	255	15.625	-	255	9.766	-	255	6.991	-	255

BAUD RATE (K)	Fosc = 5.0688 MHz			4 MHz			3.579545 MHz			1 MHz			32.768 kHz		
	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)
0.3	NA	-	-	NA	-	-	NA	-	-	NA	-	-	0.303	+1.14	26
1.2	NA	-	-	NA	-	-	NA	-	-	1.202	+0.16	207	1.170	-2.48	6
2.4	NA	-	-	NA	-	-	NA	-	-	2.404	+0.16	103	NA	-	-
9.6	9.6	0	131	9.615	+0.16	103	9.622	+0.23	92	9.615	+0.16	25	NA	-	-
19.2	19.2	0	65	19.231	+0.16	51	19.04	-0.83	46	19.24	+0.16	12	NA	-	-
76.8	79.2	+3.13	15	76.923	+0.16	12	74.57	-2.90	11	83.34	+8.51	2	NA	-	-
96	97.48	+1.54	12	1000	+4.17	9	99.43	+3.57	8	NA	-	-	NA	-	-
300	316.8	+5.60	3	NA	-	-	298.3	-0.57	2	NA	-	-	NA	-	-
500	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-
HIGH	1267	-	0	100	-	0	894.9	-	0	250	-	0	8.192	-	0
LOW	4.950	-	255	3.906	-	255	3.496	-	255	0.9766	-	255	0.032	-	255

TABLE 12-4: BAUD RATES FOR ASYNCHRONOUS MODE (BRGH = 0)

BAUD RATE (K)	Fosc = 20 MHz			16 MHz			10 MHz			7.15909 MHz		
	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)
0.3	NA	-	-	NA	-	-	NA	-	-	NA	-	-
1.2	1.221	+1.73	255	1.202	+0.16	207	1.202	+0.16	129	1.203	+0.23	92
2.4	2.404	+0.16	129	2.404	+0.16	103	2.404	+0.16	64	2.380	-0.83	46
9.6	9.469	-1.36	32	9.615	+0.16	25	9.766	+1.73	15	9.322	-2.90	11
19.2	19.53	+1.73	15	19.23	+0.16	12	19.53	+1.73	7	18.64	-2.90	5
76.8	78.13	+1.73	3	83.33	+8.51	2	78.13	+1.73	1	NA	-	-
96	104.2	+8.51	2	NA	-	-	NA	-	-	NA	-	-
300	312.5	+4.17	0	NA	-	-	NA	-	-	NA	-	-
500	NA	-	-	NA	-	-	NA	-	-	NA	-	-
HIGH	312.5	-	0	250	-	0	156.3	-	0	111.9	-	0
LOW	1.221	-	255	0.977	-	255	0.6104	-	255	0.437	-	255

BAUD RATE (K)	Fosc = 5.0688 MHz			4 MHz			3.579545 MHz			1 MHz			32.768 kHz		
	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)
0.3	0.31	+3.13	255	0.3005	-0.17	207	0.301	+0.23	185	0.300	+0.16	51	0.256	-14.67	1
1.2	1.2	0	65	1.202	+1.67	51	1.190	-0.83	46	1.202	+0.16	12	NA	-	-
2.4	2.4	0	32	2.404	+1.67	25	2.432	+1.32	22	2.232	-6.99	6	NA	-	-
9.6	9.9	+3.13	7	NA	-	-	9.322	-2.90	5	NA	-	-	NA	-	-
19.2	19.8	+3.13	3	NA	-	-	18.64	-2.90	2	NA	-	-	NA	-	-
76.8	79.2	+3.13	0	NA	-	-	NA	-	-	NA	-	-	NA	-	-
96	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-
300	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-
500	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-
HIGH	79.2	-	0	62.500	-	0	55.93	-	0	15.63	-	0	0.512	-	0
LOW	0.3094	-	255	3.906	-	255	0.2185	-	255	0.0610	-	255	0.0020	-	255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของลิขสิทธิ์ทุกครั้งที่มีการนำไปใช้

 © 1999 Microchip Technology Inc.

TABLE 12-5: BAUD RATES FOR ASYNCHRONOUS MODE (BRGH = 1)

BAUD RATE (K)	FOSC = 20 MHz			16 MHz			10 MHz			7.16 MHz		
	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)
9.6	9.615	+0.16	129	9.615	+0.16	103	9.615	+0.16	64	9.520	-0.83	46
19.2	19.230	+0.16	64	19.230	+0.16	51	18.939	-1.36	32	19.454	+1.32	22
38.4	37.878	-1.36	32	38.461	+0.16	25	39.062	+1.7	15	37.286	-2.90	11
57.6	56.818	-1.36	21	58.823	+2.12	16	56.818	-1.36	10	55.930	-2.90	7
115.2	113.636	-1.36	10	111.111	-3.55	8	125	+8.51	4	111.860	-2.90	3
250	250	0	4	250	0	3	NA	-	-	NA	-	-
625	625	0	1	NA	-	-	625	0	0	NA	-	-
1250	1250	0	0	NA	-	-	NA	-	-	NA	-	-

BAUD RATE (K)	FOSC = 5.068 MHz			4 MHz			3.579 MHz			1 MHz			32.768 kHz		
	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)
9.6	9.6	0	32	NA	-	-	9.727	+1.32	22	8.928	-6.99	6	NA	-	-
19.2	18.645	-2.94	16	1.202	+0.17	207	18.643	-2.90	11	20.833	+8.51	2	NA	-	-
38.4	39.6	+3.12	7	2.403	+0.13	103	37.286	-2.90	5	31.25	-18.61	1	NA	-	-
57.6	52.8	-8.33	5	9.615	+0.16	25	55.930	-2.90	3	62.5	+8.51	0	NA	-	-
115.2	105.6	-8.33	2	19.231	+0.16	12	111.860	-2.90	1	NA	-	-	NA	-	-
250	NA	-	-	NA	-	-	223.721	-10.51	0	NA	-	-	NA	-	-
625	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-
1250	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

12.1.1 SAMPLING

The data on the RB1/RX/DT pin is sampled three times by a majority detect circuit to determine if a high or a low level is present at the RX pin. If bit BRGH (TXSTA<2>) is clear (i.e., at the low baud rates), the sampling is done on the seventh, eighth and ninth falling edges of a x16 clock (Figure 12-3). If bit BRGH is set (i.e., at the high baud rates), the sampling is done on the 3 clock edges preceding the second rising edge after the first falling edge of a x4 clock (Figure 12-4 and Figure 12-5).

FIGURE 12-1: RX PIN SAMPLING SCHEME. BRGH = 0

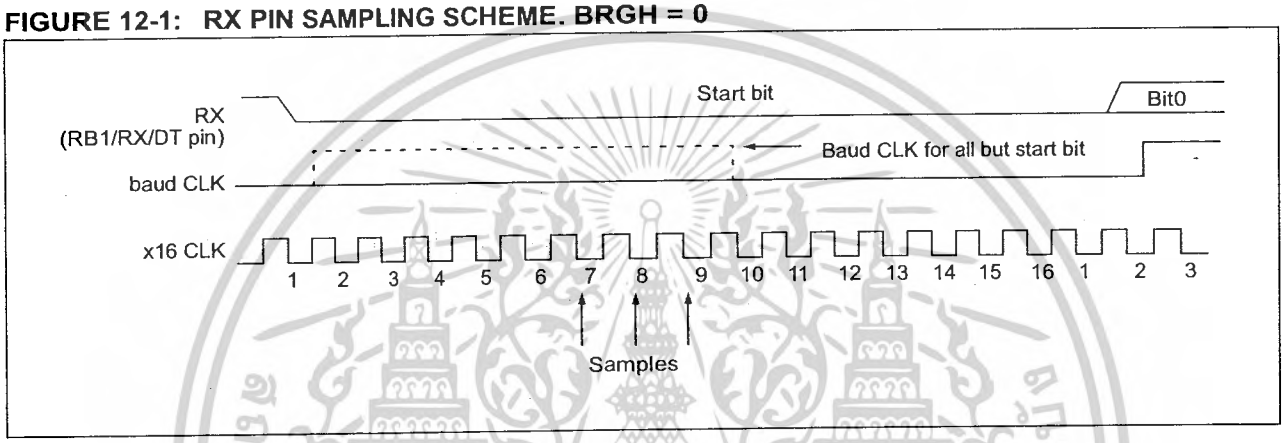
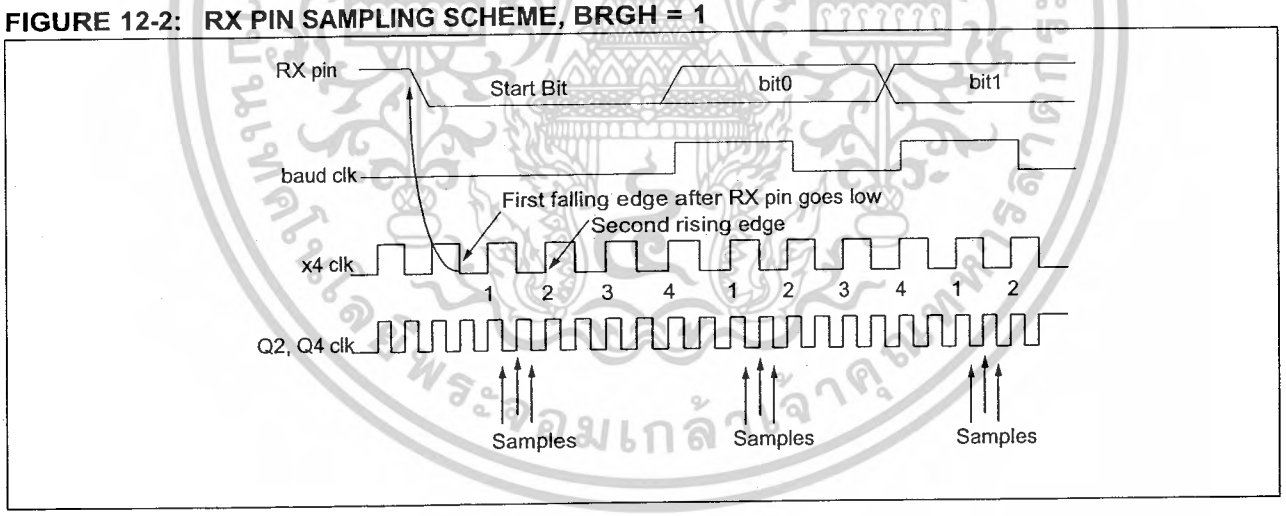


FIGURE 12-2: RX PIN SAMPLING SCHEME, BRGH = 1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

 © 1999 Microchip Technology Inc.

FIGURE 12-3: RX PIN SAMPLING SCHEME, BRGH = 1

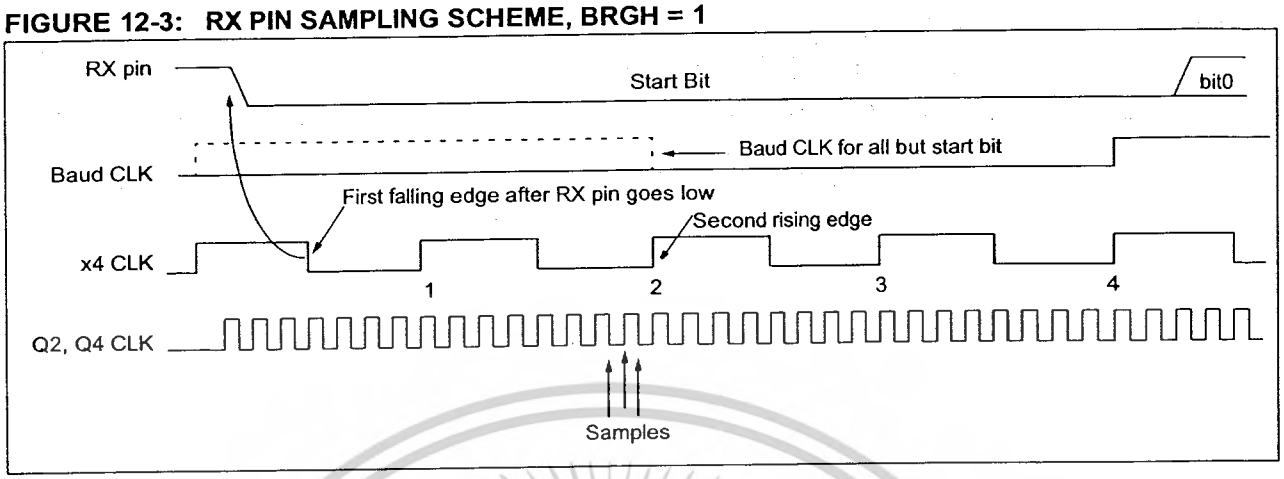
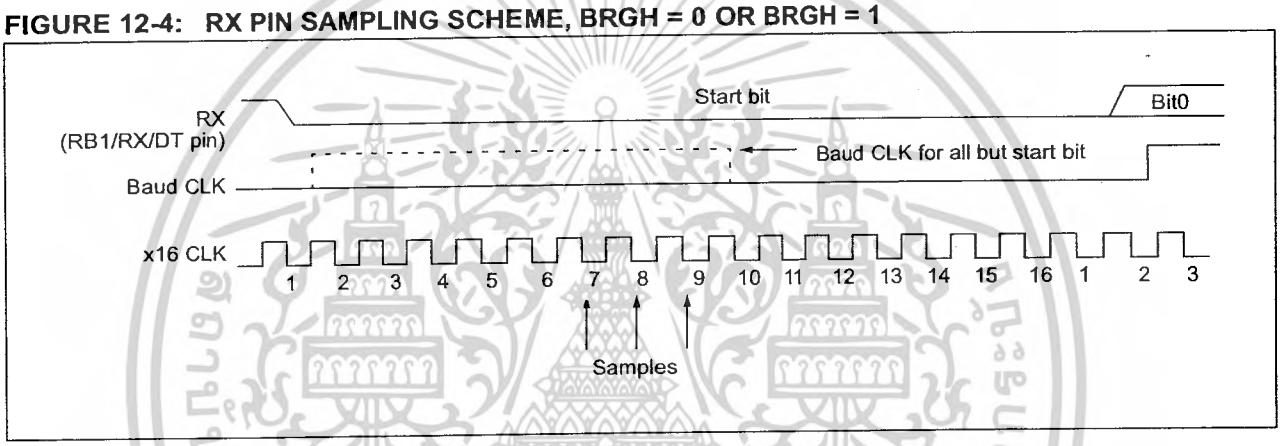


FIGURE 12-4: RX PIN SAMPLING SCHEME, BRGH = 0 OR BRGH = 1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

12.2 USART Asynchronous Mode

In this mode, the USART uses standard nonreturn-to-zero (NRZ) format (one start bit, eight or nine data bits and one stop bit). The most common data format is 8-bits. An on-chip dedicated 8-bit baud rate generator can be used to derive standard baud rate frequencies from the oscillator. The USART transmits and receives the LSb first. The USART's transmitter and receiver are functionally independent but use the same data format and baud rate. The baud rate generator produces a clock either x16 or x64 of the bit shift rate, depending on bit BRGH (TXSTA<2>). Parity is not supported by the hardware, but can be implemented in software (and stored as the ninth data bit). Asynchronous mode is stopped during SLEEP.

Asynchronous mode is selected by clearing bit SYNC (TXSTA<4>).

The USART Asynchronous module consists of the following important elements:

- Baud Rate Generator
- Sampling Circuit
- Asynchronous Transmitter
- Asynchronous Receiver

12.2.1 USART ASYNCHRONOUS TRANSMITTER

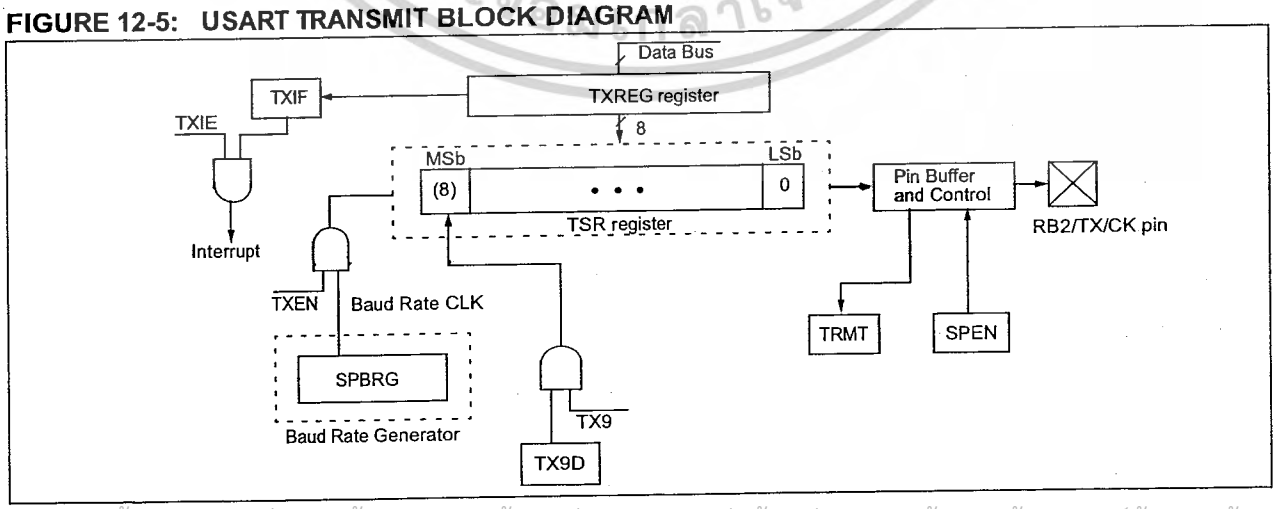
The USART transmitter block diagram is shown in Figure 12-5. The heart of the transmitter is the transmit (serial) shift register (TSR). The shift register obtains its data from the read/write transmit buffer, TXREG. The TXREG register is loaded with data in software. The TSR register is not loaded until the STOP bit has been transmitted from the previous load. As soon as the STOP bit is transmitted, the TSR is loaded with new data from the TXREG register (if available). Once the TXREG register transfers the data to the TSR register (occurs in one TCY), the TXREG register is empty and flag bit TXIF (PIR1<4>) is set. This interrupt can be enabled/disabled by setting/clearing enable bit TXIE (PIE1<4>). Flag bit TXIF will be set regardless of the state of enable bit TXIE and cannot be cleared in software. It will reset only when new data is loaded into the TXREG register. While flag bit TXIF indicated the status of the TXREG register, another bit TRMT (TXSTA<1>) shows the status of the TSR register. Status bit TRMT is a read only bit which is set when the TSR register is empty. No interrupt logic is tied to this bit, so the user has to poll this bit in order to determine if the TSR register is empty.

Note 1:	The TSR register is not mapped in data memory so it is not available to the user.
Note 2:	Flag bit TXIF is set when enable bit TXEN is set.

Transmission is enabled by setting enable bit TXEN (TXSTA<5>). The actual transmission will not occur until the TXREG register has been loaded with data and the baud rate generator (BRG) has produced a shift clock (Figure 12-5). The transmission can also be started by first loading the TXREG register and then setting enable bit TXEN. Normally when transmission is first started, the TSR register is empty, so a transfer to the TXREG register will result in an immediate transfer to TSR resulting in an empty TXREG. A back-to-back transfer is thus possible (Figure 12-7). Clearing enable bit TXEN during a transmission will cause the transmission to be aborted and will reset the transmitter. As a result the RB2/TX/CK pin will revert to hi-impedance.

In order to select 9-bit transmission, transmit bit TX9 (TXSTA<6>) should be set and the ninth bit should be written to TX9D (TXSTA<0>). The ninth bit must be written before writing the 8-bit data to the TXREG register. This is because a data write to the TXREG register can result in an immediate transfer of the data to the TSR register (if the TSR is empty). In such a case, an incorrect ninth data bit maybe loaded in the TSR register.

FIGURE 12-5: USART TRANSMIT BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

 © 1999 Microchip Technology Inc.

Steps to follow when setting up an Asynchronous Transmission:

1. Initialize the SPBRG register for the appropriate baud rate. If a high speed baud rate is desired, set bit BRGH. (Section 12.1)
2. Enable the asynchronous serial port by clearing bit SYNC and setting bit SPEN.
3. If interrupts are desired, then set enable bit TXIE.
4. If 9-bit transmission is desired, then set transmit bit TX9.
5. Enable the transmission by setting bit TXEN, which will also set bit TXIF.
6. If 9-bit transmission is selected, the ninth bit should be loaded in bit TX9D.
7. Load data to the TXREG register (starts transmission).

FIGURE 12-6: ASYNCHRONOUS MASTER TRANSMISSION

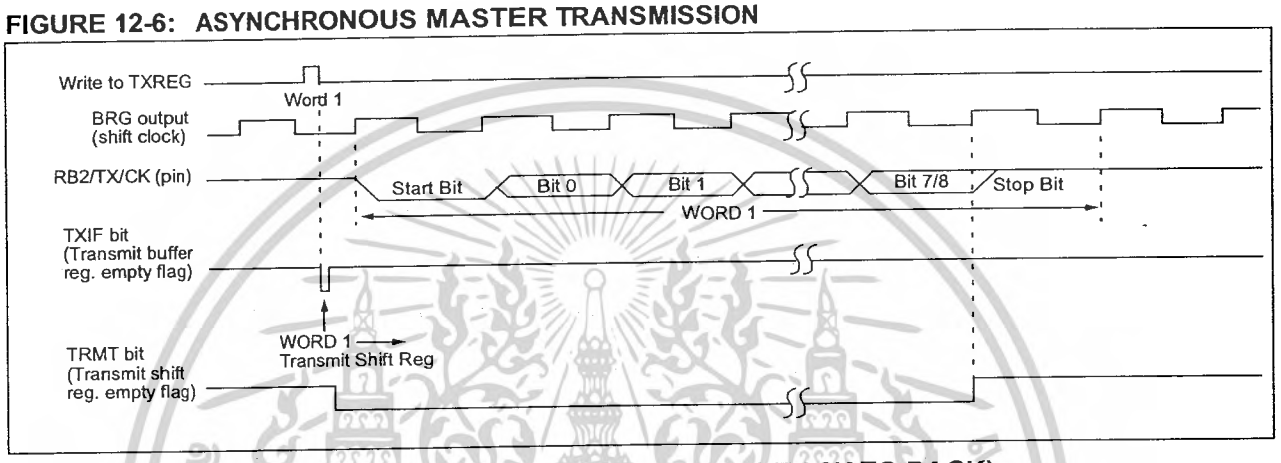
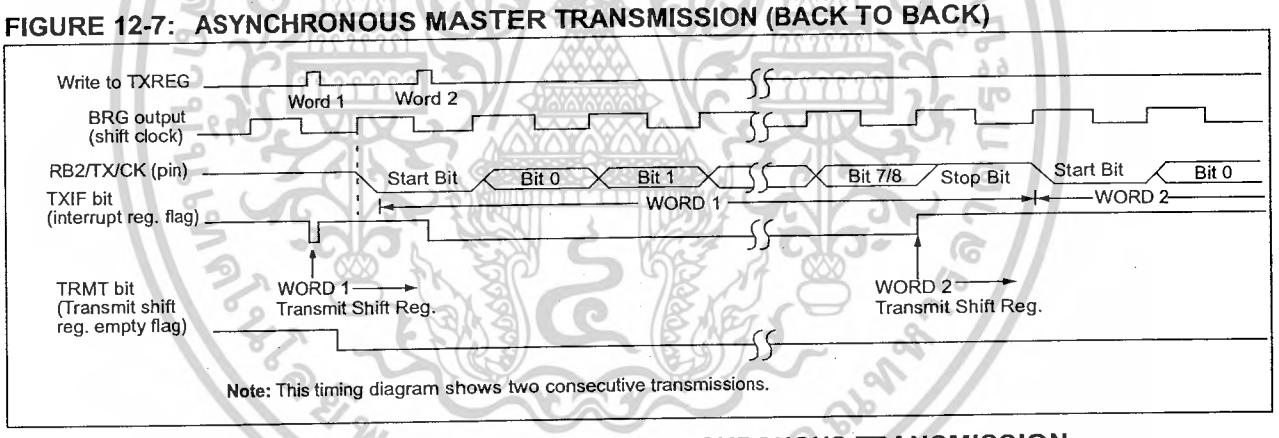


FIGURE 12-7: ASYNCHRONOUS MASTER TRANSMISSION (BACK TO BACK)



Note: This timing diagram shows two consecutive transmissions.

TABLE 12-6: REGISTERS ASSOCIATED WITH ASYNCHRONOUS TRANSMISSION

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR	Value on all other Resets
0Ch	PIR1	EEIF	CMIF	RCIF	TXIF	—	CCP1IF	TMR2IF	TMR1IF	0000 -000	0000 -000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADEN	FERR	OERR	RX9D	0000 -00x	0000 -00x
19h	TXREG	USART Transmit Register								0000 0000	0000 0000
8Ch	PIE1	EEIE	CMIE	RCIE	TXIE	—	CCP1IE	TMR2IE	TMR1IE	0000 -000	0000 -000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Baud Rate Generator Register								0000 0000	0000 0000

Legend: x = unknown, - = unimplemented locations read as '0'. Shaded cells are not used for Asynchronous Transmission.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

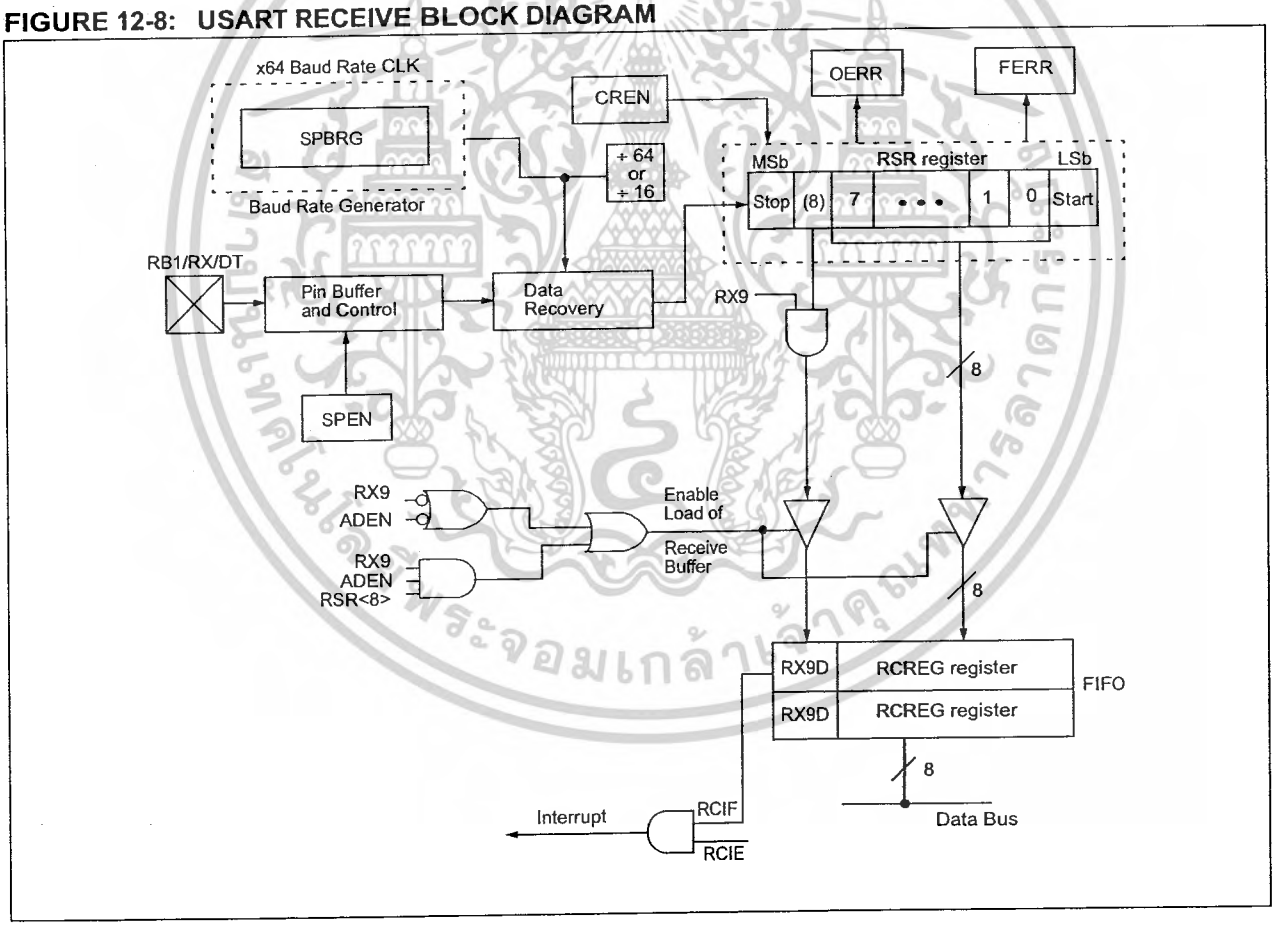
12.2.2 USART ASYNCHRONOUS RECEIVER

The receiver block diagram is shown in Figure 12-8. The data is received on the RB1/RX/DT pin and drives the data recovery block. The data recovery block is actually a high speed shifter operating at x16 times the baud rate, whereas the main receive serial shifter operates at the bit rate or at Fosc.

Once Asynchronous mode is selected, reception is enabled by setting bit CREN (RCSTA<4>).

The heart of the receiver is the receive (serial) shift register (RSR). After sampling the STOP bit, the received data in the RSR is transferred to the RCREG register (if it is empty). If the transfer is complete, flag bit RCIF (PIR1<5>) is set. The actual interrupt can be enabled/disabled by setting/clearing enable bit RCIE (PIE1<5>). Flag bit RCIF is a read only bit which is cleared by the hardware. It is cleared when the RCREG register has been read and is empty. The RCREG is a double buffered register, i.e. it is a two deep FIFO. It is possible for two bytes of data to be received and transferred to the RCREG FIFO and a third byte begin shifting to the RSR register. On the detection of the STOP bit of the third byte, if the RCREG register is still full then overrun error bit OERR (RCSTA<1>) will be set. The word in the RSR will be lost. The RCREG register can be read twice to retrieve the two bytes in the FIFO. Overrun bit OERR has to be cleared in software. This is done by resetting the receive logic (CREN is cleared and then set). If bit OERR is set, transfers from the RSR register to the RCREG register are inhibited, so it is essential to clear error bit OERR if it is set. Framing error bit FERR (RCSTA<2>) is set if a stop bit is detected as clear. Bit FERR and the 9th receive bit are buffered the same way as the receive data. Reading the RCREG, will load bits RX9D and FERR with new values, therefore it is essential for the user to read the RCSTA register before reading RCREG register in order not to lose the old FERR and RX9D information.

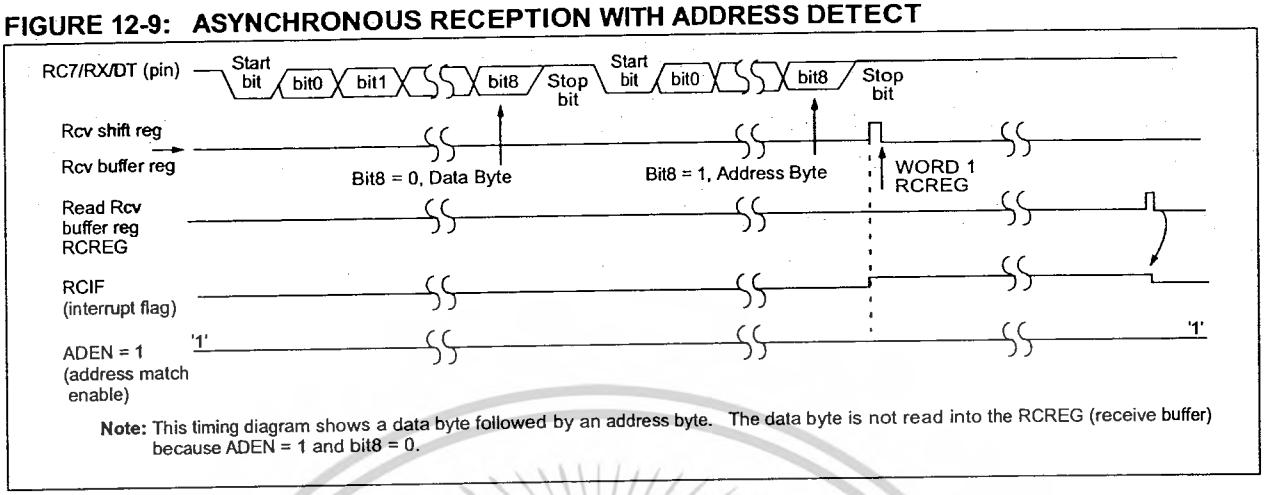
FIGURE 12-8: USART RECEIVE BLOCK DIAGRAM



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

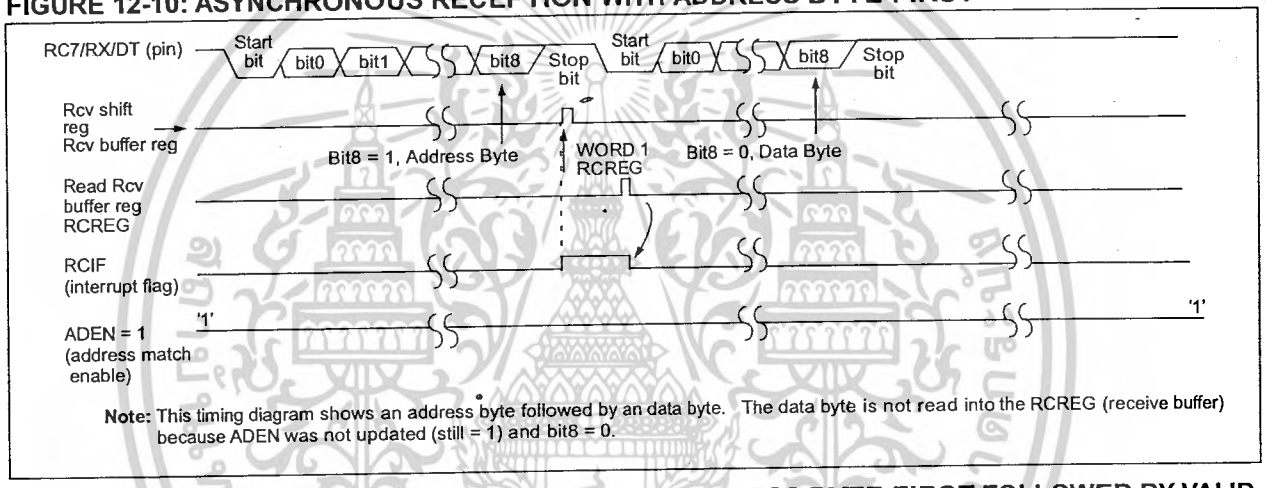
© 1999 Microchip Technology Inc.

FIGURE 12-9: ASYNCHRONOUS RECEPTION WITH ADDRESS DETECT



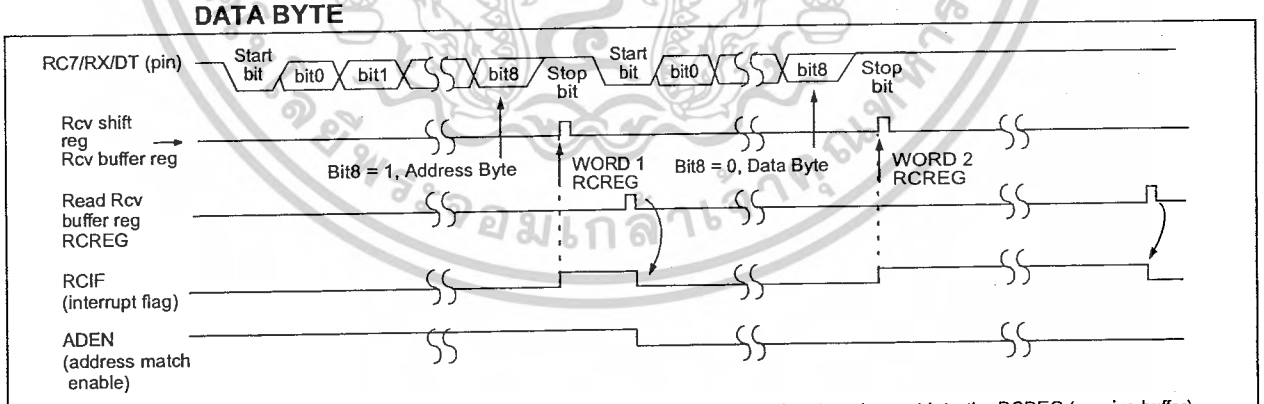
Note: This timing diagram shows a data byte followed by an address byte. The data byte is not read into the RCREG (receive buffer) because ADEN = 1 and bit8 = 0.

FIGURE 12-10: ASYNCHRONOUS RECEPTION WITH ADDRESS BYTE FIRST



Note: This timing diagram shows an address byte followed by an data byte. The data byte is not read into the RCREG (receive buffer) because ADEN was not updated (still = 1) and bit8 = 0.

FIGURE 12-11: ASYNCHRONOUS RECEPTION WITH ADDRESS BYTE FIRST FOLLOWED BY VALID DATA BYTE



Note: This timing diagram shows an address byte followed by an data byte. The data byte is read into the RCREG (receive buffer) because ADEN was updated after an address match, and was cleared to a '0', so the contents of the receive shift register (RSR) are read into the receive buffer regardless of the value of bit8.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

Steps to follow when setting up an Asynchronous Reception:

1. Initialize the SPBRG register for the appropriate baud rate. If a high speed baud rate is desired, set bit BRGH. (Section 12.1).
2. Enable the asynchronous serial port by clearing bit SYNC, and setting bit SPEN.
3. If interrupts are desired, then set enable bit RCIE.
4. If 9-bit reception is desired, then set bit RX9.
5. Enable the reception by setting bit CREN.
6. Flag bit RCIF will be set when reception is complete and an interrupt will be generated if enable bit RCIE was set.
7. Read the RCSTA register to get the ninth bit (if enabled) and determine if any error occurred during reception.
8. Read the 8-bit received data by reading the RCREG register.
9. If any error occurred, clear the error by clearing enable bit CREN.

TABLE 12-7: REGISTERS ASSOCIATED WITH ASYNCHRONOUS RECEPTION

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR	Value on all other Resets
0Ch	PIR1	EEIF	CMIF	RCIF	TXIF	—	CCP1IF	TMR2IF	TMR1IF	0000 -000	0000 -000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADEN	FERR	OERR	RX9D	0000 -00x	0000 -00x
1Ah	RCREG	USART Receive Register								0000 0000	0000 0000
8Ch	PIE1	EEIE	CMIE	RCIE	TXIE	—	CCP1IE	TMR2IE	TMR1IE	0000 -000	0000 -000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Baud Rate Generator Register								0000 0000	0000 0000

Legend: x = unknown, - = unimplemented locations read as '0'. Shaded cells are not used for Asynchronous Reception.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

 © 1999 Microchip Technology Inc.

12.3 USART Function

The USART function is similar to that on the PIC16C74B, which includes the BRGH = 1 fix.

12.3.1 USART 9-BIT RECEIVER WITH ADDRESS DETECT

When the RX9 bit is set in the RCSTA register, 9-bits are received and the ninth bit is placed in the RX9D bit of the RCSTA register. The USART module has a special provision for multi-processor communication. Multiprocessor communication is enabled by setting the ADEN bit (RCSTA<3>) along with the RX9 bit. The port is now programmed such that when the last bit is received, the contents of the receive shift register (RSR) are transferred to the receive buffer, the ninth bit of the RSR (RSR<8>) is transferred to RX9D, and the receive interrupt is set if and only if RSR<8> = 1. This feature can be used in a multi-processor system as follows:

A master processor intends to transmit a block of data to one of many slaves. It must first send out an address byte that identifies the target slave. An address byte is identified by setting the ninth bit (RSR<8>) to a '1' (instead of a '0' for a data byte). If the ADEN and RX9 bits are set in the slave's RCSTA register, enabling multiprocessor communication, all data bytes will be ignored. However, if the ninth received bit is equal to a '1', indicating that the received byte is an address, the slave will be interrupted and the contents of the RSR register will be transferred into the receive buffer. This allows the slave to be interrupted only by addresses, so that the slave can examine the received byte to see if it is being addressed. The addressed slave will then clear its ADEN bit and prepare to receive data bytes from the master.

When ADEN is enabled (='1'), all data bytes are ignored. Following the STOP bit, the data will not be loaded into the receive buffer, and no interrupt will occur. If another byte is shifted into the RSR register, the previous data byte will be lost.

The ADEN bit will only take effect when the receiver is configured in 9-bit mode (RX9 = '1'). When ADEN is disabled (='0'), all data bytes are received and the 9th bit can be used as the parity bit.

The receive block diagram is shown in Figure 12-8.

Reception is enabled by setting bit CREN (RCSTA<4>).

12.3.1.1 SETTING UP 9-BIT MODE WITH ADDRESS DETECT

Steps to follow when setting up an Asynchronous or Synchronous Reception with Address Detect Enabled:

1. Initialize the SPBRG register for the appropriate baud rate. If a high speed baud rate is desired, set bit BRGH.
2. Enable asynchronous or synchronous communication by setting or clearing bit SYNC and setting bit SPEN.
3. If interrupts are desired, then set enable bit RCIE.
4. Set bit RX9 to enable 9-bit reception.
5. Set ADEN to enable address detect.
6. Enable the reception by setting enable bit CREN or SREN.
7. Flag bit RCIF will be set when reception is complete, and an interrupt will be generated if enable bit RCIE was set.
8. Read the 8-bit received data by reading the RCREG register to determine if the device is being addressed.
9. If any error occurred, clear the error by clearing enable bit CREN if it was already set.
10. If the device has been addressed (RSR<8> = 1 with address match enabled), clear the ADEN and RCIF bits to allow data bytes and address bytes to be read into the receive buffer and interrupt the CPU.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

TABLE 12-1: REGISTERS ASSOCIATED WITH ASYNCHRONOUS RECEPTION

Addr	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR	Value on all other Resets
0Ch	PIR1	EEIF	CMIF	RCIF	TXIF	—	CCP1IF	TMR2IF	TMR1IF	0000 -000	0000 -000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADEN	FERR	OERR	RX9D	0000 -00x	0000 -00x
1Ah	RCREG	RX7	RX6	RX5	RX4	RX3	RX2	RX1	RX0	0000 0000	0000 0000
8Ch	PIE1	EEIE	CMIE	RCIE	TXIE	—	CCP1IE	TMR2IE	TMR1IE	0000 -000	0000 -000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Baud Rate Generator Register								0000 0000	0000 0000

Legend: x = unknown, - = unimplemented locations read as '0'. Shaded cells are not used for Asynchronous Reception.

12.4 USART Synchronous Master Mode

In Synchronous Master mode, the data is transmitted in a half-duplex manner, i.e. transmission and reception do not occur at the same time. When transmitting data, the reception is inhibited and vice versa. Synchronous mode is entered by setting bit SYNC (TXSTA<4>). In addition enable bit SPEN (RCSTA<7>) is set in order to configure the RB2/TX/CK and RB1/RX/DT I/O pins to CK (clock) and DT (data) lines respectively. The Master mode indicates that the processor transmits the master clock on the CK line. The Master mode is entered by setting bit CSRC (TXSTA<7>).

12.4.1 USART SYNCHRONOUS MASTER TRANSMISSION

The USART transmitter block diagram is shown in Figure 12-5. The heart of the transmitter is the transmit (serial) shift register (TSR). The shift register obtains its data from the read/write transmit buffer register TXREG. The TXREG register is loaded with data in software. The TSR register is not loaded until the last bit has been transmitted from the previous load. As soon as the last bit is transmitted, the TSR is loaded with new data from the TXREG (if available). Once the TXREG register transfers the data to the TSR register (occurs in one Tcycle), the TXREG is empty and interrupt bit, TXIF (PIR1<4>) is set. The interrupt can be enabled/disabled by setting/clearing enable bit TXIE (PIE1<4>). Flag bit TXIF will be set regardless of the state of enable bit TXIE and cannot be cleared in software. It will reset only when new data is loaded into the TXREG register. While flag bit TXIF indicates the status of the TXREG register, another bit TRMT (TXSTA<1>) shows the status of the TSR register. TRMT is a read only bit which is set when the TSR is empty. No interrupt logic is tied to this bit, so the user has to poll this bit in order to determine if the TSR register is empty. The TSR is not mapped in data memory so it is not available to the user.

Transmission is enabled by setting enable bit TXEN (TXSTA<5>). The actual transmission will not occur until the TXREG register has been loaded with data. The first data bit will be shifted out on the next available rising edge of the clock on the CK line. Data out is stable around the falling edge of the synchronous clock (Figure 12-12). The transmission can also be started by first loading the TXREG register and then setting bit TXEN (Figure 12-13). This is advantageous when slow baud rates are selected, since the BRG is kept in reset when bits TXEN, CREN, and SREN are clear. Setting enable bit TXEN will start the BRG, creating a shift clock immediately. Normally when transmission is first started, the TSR register is empty, so a transfer to the TXREG register will result in an immediate transfer to TSR resulting in an empty TXREG. Back-to-back transfers are possible.

Clearing enable bit TXEN, during a transmission, will cause the transmission to be aborted and will reset the transmitter. The DT and CK pins will revert to hi-impedance. If either bit CREN or bit SREN is set, during a transmission, the transmission is aborted and the DT pin reverts to a hi-impedance state (for a reception). The CK pin will remain an output if bit CSRC is set (internal clock). The transmitter logic however is not reset although it is disconnected from the pins. In order to reset the transmitter, the user has to clear bit TXEN. If bit SREN is set (to interrupt an on-going transmission and receive a single word), then after the single word is received, bit SREN will be cleared and the serial port will revert back to transmitting since bit TXEN is still set. The DT line will immediately switch from hi-impedance receive mode to transmit and start driving. To avoid this, bit TXEN should be cleared.

In order to select 9-bit transmission, the TX9 (TXSTA<6>) bit should be set and the ninth bit should be written to bit TX9D (TXSTA<0>). The ninth bit must be written before writing the 8-bit data to the TXREG register. This is because a data write to the TXREG can result in an immediate transfer of the data to the TSR register (if the TSR is empty). If the TSR was empty and the TXREG was written before writing the "new" TX9D, the "present" value of bit TX9D is loaded.

เอกสารนี้จัดทำขึ้นเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

 © 1999 Microchip Technology Inc.

Steps to follow when setting up a Synchronous Master Transmission:

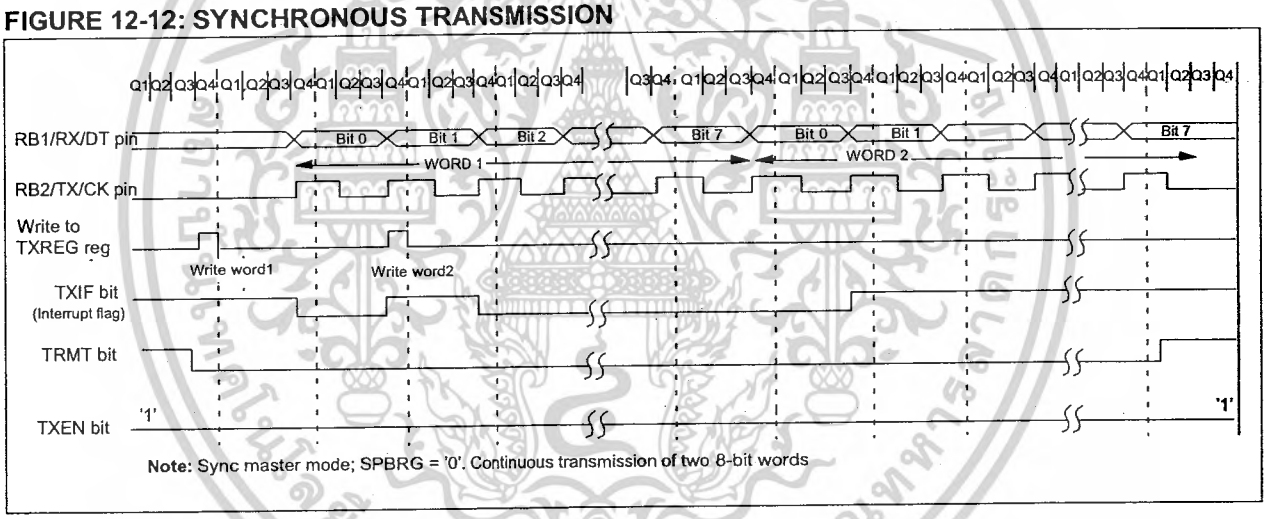
1. Initialize the SPBRG register for the appropriate baud rate (Section 12.1).
2. Enable the synchronous master serial port by setting bits SYNC, SPEN, and CSRC.
3. If interrupts are desired, then set enable bit TXIE.
4. If 9-bit transmission is desired, then set bit TX9.
5. Enable the transmission by setting bit TXEN.
6. If 9-bit transmission is selected, the ninth bit should be loaded in bit TX9D.
7. Start transmission by loading data to the TXREG register.

TABLE 12-2: REGISTERS ASSOCIATED WITH SYNCHRONOUS MASTER TRANSMISSION

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR	Value on all other Resets
0Ch	PIR1	EEIF	CMIF	RCIF	TXIF	—	CCP1IF	TMR2IF	TMR1IF	0000 -000	0000 -000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADEN	FERR	OERR	RX9D	0000 -00x	0000 -00x
19h	TXREG	USART Transmit Register								0000 0000	0000 0000
8Ch	PIE1	EEIE	CMIE	RCIE	TXIE	—	CCP1IE	TMR2IE	TMR1IE	0000 -000	0000 -000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Baud Rate Generator Register								0000 0000	0000 0000

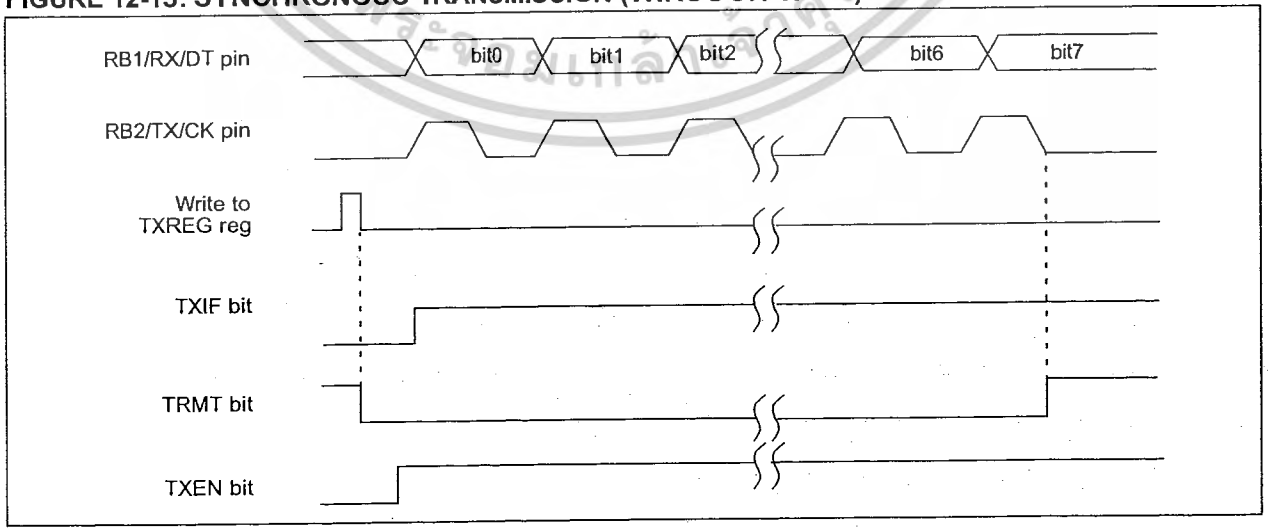
Legend: x = unknown, - = unimplemented, read as '0'. Shaded cells are not used for Synchronous Master Transmission.

FIGURE 12-12: SYNCHRONOUS TRANSMISSION



Note: Sync master mode; SPBRG = '0'. Continuous transmission of two 8-bit words

FIGURE 12-13: SYNCHRONOUS TRANSMISSION (THROUGH TXEN)



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

12.4.2 USART SYNCHRONOUS MASTER RECEPTION

Once Synchronous mode is selected, reception is enabled by setting either enable bit SREN (RCSTA<5>) or enable bit CREN (RCSTA<4>). Data is sampled on the RB1/RX/DT pin on the falling edge of the clock. If enable bit SREN is set, then only a single word is received. If enable bit CREN is set, the reception is continuous until CREN is cleared. If both bits are set then CREN takes precedence. After clocking the last bit, the received data in the Receive Shift Register (RSR) is transferred to the RCREG register (if it is empty). When the transfer is complete, interrupt flag bit RCIF (PIR1<5>) is set. The actual interrupt can be enabled/disabled by setting/clearing enable bit RCIE (PIE1<5>). Flag bit RCIF is a read only bit which is reset by the hardware. In this case it is reset when the RCREG register has been read and is empty. The RCREG is a double buffered register, i.e. it is a two deep FIFO. It is possible for two bytes of data to be received and transferred to the RCREG FIFO and a third byte to begin shifting into the RSR register. On the clocking of the last bit of the third byte, if the RCREG register is still full then overrun error bit OERR (RCSTA<1>) is set. The word in the RSR will be lost. The RCREG register can be read twice to retrieve the two bytes in the FIFO. Bit OERR has to be cleared in software (by clearing bit CREN). If bit OERR is set, transfers from the RSR to the RCREG are inhibited, so it is essential to clear bit OERR if it is set. The 9th receive bit is buffered the same way as the receive data. Reading the RCREG register, will load bit RX9D with a new value, therefore it is essential for the user to read the RCSTA register before reading RCREG in order not to lose the old RX9D information.

Steps to follow when setting up a Synchronous Master Reception:

1. Initialize the SPBRG register for the appropriate baud rate. (Section 12.1)
2. Enable the synchronous master serial port by setting bits SYNC, SPEN, and CSRC.
3. Ensure bits CREN and SREN are clear.
4. If interrupts are desired, then set enable bit RCIE.
5. If 9-bit reception is desired, then set bit RX9.
6. If a single reception is required, set bit SREN. For continuous reception set bit CREN.
7. Interrupt flag bit RCIF will be set when reception is complete and an interrupt will be generated if enable bit RCIE was set.
8. Read the RCSTA register to get the ninth bit (if enabled) and determine if any error occurred during reception.
9. Read the 8-bit received data by reading the RCREG register.
10. If any error occurred, clear the error by clearing bit CREN.

TABLE 12-3: REGISTERS ASSOCIATED WITH SYNCHRONOUS MASTER RECEPTION

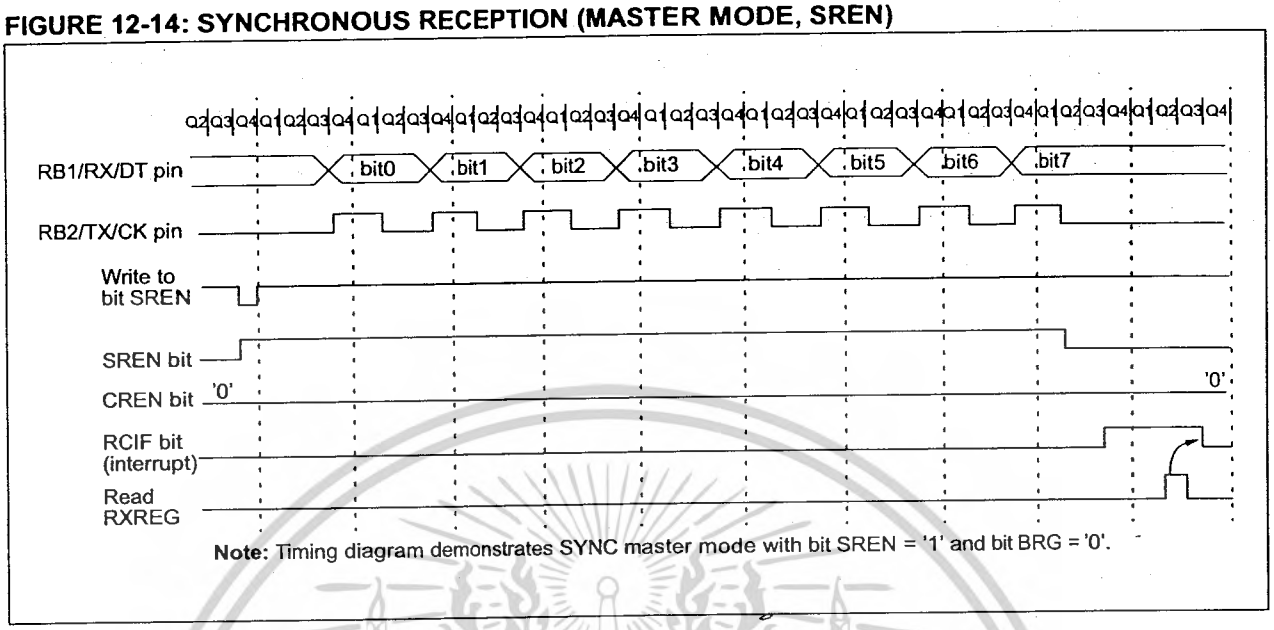
Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR	Value on all other Resets
0Ch	PIR1	EEIF	CMIF	RCIF	TXIF	—	CCP1IF	TMR2IF	TMR1IF	0000 -000	0000 -000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADEN	FERR	OERR	RX9D	0000 -00x	0000 -00x
1Ah	RCREG	USART Receive Register								0000 0000	0000 0000
8Ch	PIE1	EEPIE	CMIE	RCIE	TXIE	—	CCP1IE	TMR2IE	TMR1IE	-000 0000	-000 -000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Baud Rate Generator Register								0000 0000	0000 0000

Legend: x = unknown, - = unimplemented read as '0'. Shaded cells are not used for Synchronous Master Reception.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

 © 1999 Microchip Technology Inc.

FIGURE 12-14: SYNCHRONOUS RECEPTION (MASTER MODE, SREN)



Note: Timing diagram demonstrates SYNC master mode with bit SREN = '1' and bit BRG = '0'.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

12.5 USART Synchronous Slave Mode

Synchronous slave mode differs from the Master mode in the fact that the shift clock is supplied externally at the RB2/TX/CK pin (instead of being supplied internally in master mode). This allows the device to transfer or receive data while in SLEEP mode. Slave mode is entered by clearing bit CSRC (TXSTA<7>).

12.5.1 USART SYNCHRONOUS SLAVE TRANSMIT

The operation of the synchronous master and slave modes are identical except in the case of the SLEEP mode.

If two words are written to the TXREG and then the SLEEP instruction is executed, the following will occur:

a) The first word will immediately transfer to the TSR register and transmit.
b) The second word will remain in TXREG register.
c) Flag bit TXIF will not be set.
d) When the first word has been shifted out of TSR, the TXREG register will transfer the second word to the TSR and flag bit TXIF will now be set.
e) If enable bit TXIE is set, the interrupt will wake the chip from SLEEP and if the global interrupt is enabled, the program will branch to the interrupt vector (0004h).

Steps to follow when setting up a Synchronous Slave Transmission:

1. Enable the synchronous slave serial port by setting bits SYNC and SPEN and clearing bit CSRC.
2. Clear bits CREN and SREN.
3. If interrupts are desired, then set enable bit TXIE.
4. If 9-bit transmission is desired, then set bit TX9.
5. Enable the transmission by setting enable bit TXEN.
6. If 9-bit transmission is selected, the ninth bit should be loaded in bit TX9D.
7. Start transmission by loading data to the TXREG register.

12.5.2 USART SYNCHRONOUS SLAVE RECEPTION

The operation of the synchronous master and slave modes is identical except in the case of the SLEEP mode. Also, bit SREN is a don't care in slave mode.

If receive is enabled, by setting bit CREN, prior to the SLEEP instruction, then a word may be received during SLEEP. On completely receiving the word, the RSR register will transfer the data to the RCREG register and if enable bit RCIE bit is set, the interrupt generated will wake the chip from SLEEP. If the global interrupt is enabled, the program will branch to the interrupt vector (0004h).

Steps to follow when setting up a Synchronous Slave Reception:

1. Enable the synchronous master serial port by setting bits SYNC and SPEN and clearing bit CSRC.
2. If interrupts are desired, then set enable bit RCIE.
3. If 9-bit reception is desired, then set bit RX9.
4. To enable reception, set enable bit CREN.
5. Flag bit RCIF will be set when reception is complete and an interrupt will be generated, if enable bit RCIE was set.
6. Read the RCSTA register to get the ninth bit (if enabled) and determine if any error occurred during reception.
7. Read the 8-bit received data by reading the RCREG register.
8. If any error occurred, clear the error by clearing bit CREN.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

 © 1999 Microchip Technology Inc.

TABLE 12-4: REGISTERS ASSOCIATED WITH SYNCHRONOUS SLAVE TRANSMISSION

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR	Value on all other Resets
0Ch	PIR1	EEIF	CMIF	RCIF	TXIF	—	CCP1IF	TMR2IF	TMR1IF	0000 -000	0000 -000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADEN	FERR	OERR	RX9D	0000 -00x	0000 -00x
19h	TXREG	USART Transmit Register								0000 0000	0000 0000
8Ch	PIE1	EEIE	CMIE	RCIE	TXIE	—	CCP1IE	TMR2IE	TMR1IE	0000 -000	0000 -000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Baud Rate Generator Register								0000 0000	0000 0000

Legend: x = unknown, - = unimplemented read as '0'. Shaded cells are not used for Synchronous Slave Transmission.

TABLE 12-5: REGISTERS ASSOCIATED WITH SYNCHRONOUS SLAVE RECEPTION

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on POR	Value on all other Resets
0Ch	PIR1	EEIF	CMIF	RCIF	TXIF	—	CCP1IF	TMR2IF	TMR1IF	0000 -000	0000 -000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADEN	FERR	OERR	RX9D	0000 -00x	0000 -00x
1Ah	RCREG	USART Receive Register								0000 0000	0000 0000
8Ch	PIE1	EEIE	CMIE	RCIE	TXIE	—	CCP1IE	TMR2IE	TMR1IE	0000 -000	0000 -000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Baud Rate Generator Register								0000 0000	0000 0000

Legend: x = unknown, - = unimplemented read as '0'. Shaded cells are not used for Synchronous Slave Reception.

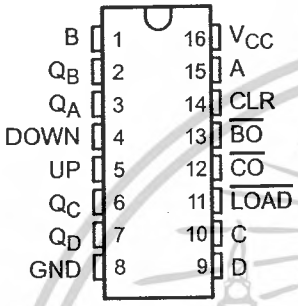
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

SN54HC193, SN74HC193
4-BIT SYNCHRONOUS UP/DOWN COUNTERS
(DUAL CLOCK WITH CLEAR)

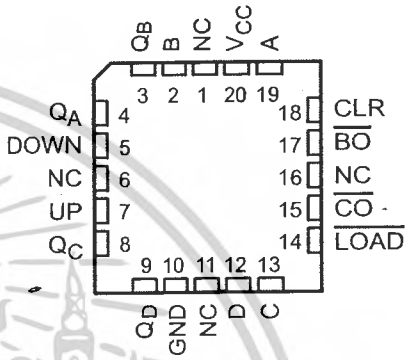
SCLS122D – DECEMBER 1982 – REVISED OCTOBER 2003

- Wide Operating Voltage Range of 2 V to 6 V
- Outputs Can Drive Up To 10 LSTTL Loads
- Low Power Consumption, 80-μA Max I_{CC}
- Typical t_{pd} = 20 ns
- ±4-mA Output Drive at 5 V
- Low Input Current of 1 μA Max
- Look-Ahead Circuitry Enhances Cascaded Counters
- Fully Synchronous in Count Modes
- Parallel Asynchronous Load for Modulo-N Count Lengths
- Asynchronous Clear

SN54HC193 . . . J OR W PACKAGE
SN74HC193 . . . D, N, NS, OR PW PACKAGE
(TOP VIEW)



SN54HC193 . . . FK PACKAGE
(TOP VIEW)



NC – No internal connection

description/ordering information

The 'HC193 devices are 4-bit synchronous, reversible, up/down binary counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincidentally with each other when so instructed by the steering logic. This mode of operation eliminates the output counting spikes normally associated with asynchronous (ripple-clock) counters.

ORDERING INFORMATION

T_A	PACKAGE†		ORDERABLE PART NUMBER	TOP-SIDE MARKING
−40°C to 85°C	PDIP – N	Tube of 25	SN74HC193N	SN74HC193N
	SOIC – D	Tube of 40	SN74HC193D	HC193
		Reel of 2500	SN74HC193DR	
		Reel of 250	SN74HC193DT	
	SOP – NS	Reel of 2000	SN74HC193NSR	HC193
	TSSOP – PW	Tube of 90	SN74HC193PW	HC193
		Reel of 2000	SN74HC193PWR	
		Reel of 250	SN74HC193PWT	
−55°C to 125°C	CDIP – J	Tube of 25	SNJ54HC193J	SNJ54HC193J
	CFP – W	Tube of 150	SNJ54HC193W	SNJ54HC193W
	LCCC – FK	Tube of 55	SNJ54HC193FK	SNJ54HC193FK

† Package drawings, standard packing quantities, thermal data, symbolization, and PCB design guidelines are available at www.ti.com/sc/package.

Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

Copyright © 2003, Texas Instruments Incorporated
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

description/ordering information (continued)

The outputs of the four flip-flops are triggered on a low-to-high-level transition of either count (clock) input (UP or DOWN). The direction of counting is determined by which count input is pulsed while the other count input is high.

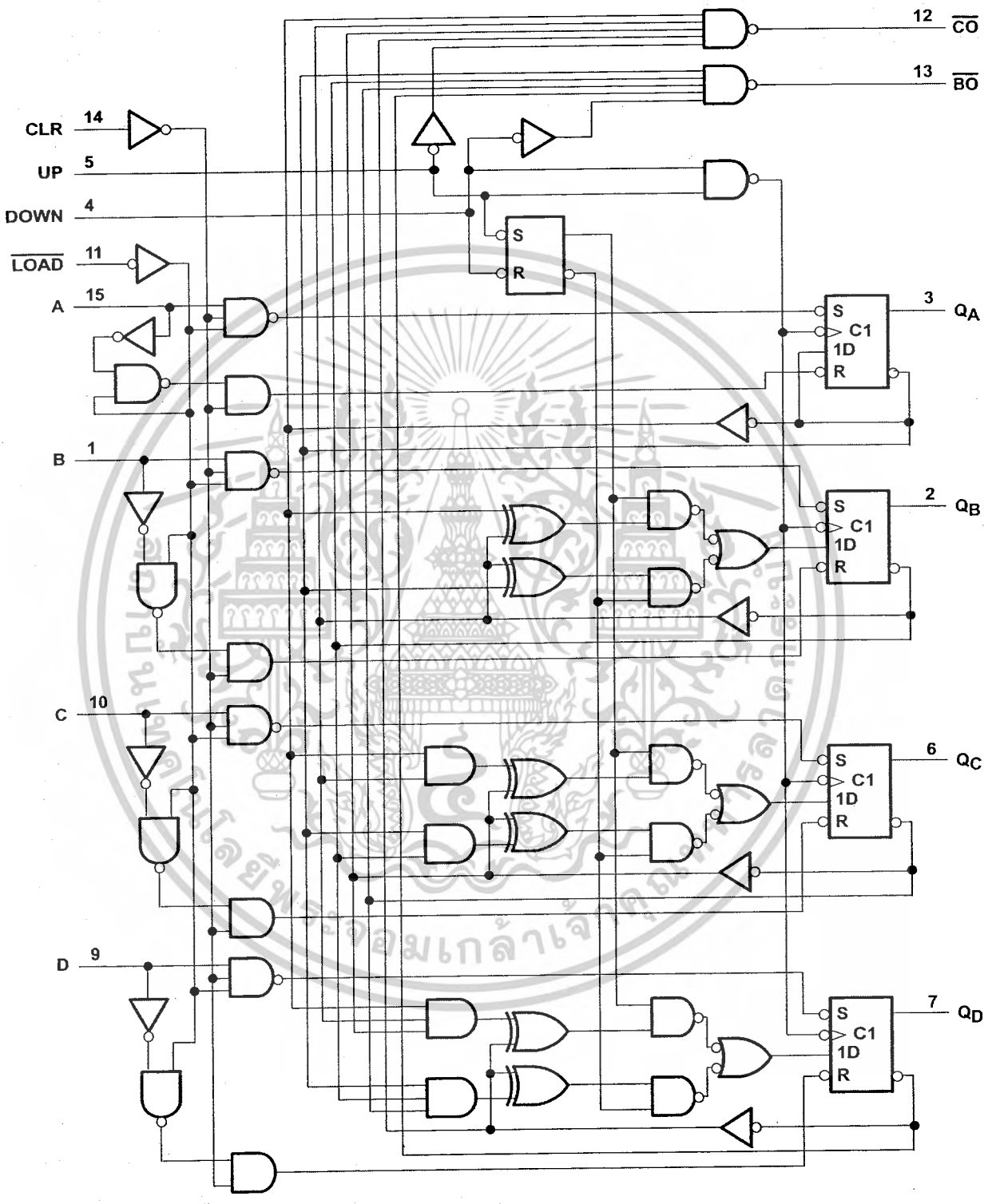
All four counters are fully programmable; that is, each output may be preset to either level by placing a low on the load ($\overline{\text{LOAD}}$) input and entering the desired data at the data inputs. The output changes to agree with the data inputs independently of the count pulses. This feature allows the counters to be used as modulo-N dividers simply by modifying the count length with the preset inputs.

A clear (CLR) input has been provided that forces all outputs to the low level when a high level is applied. The clear function is independent of the count and $\overline{\text{LOAD}}$ inputs.

These counters were designed to be cascaded without the need for external circuitry. The borrow ($\overline{\text{BO}}$) output produces a low-level pulse while the count is zero (all outputs low) and DOWN is low. Similarly, the carry ($\overline{\text{CO}}$) output produces a low-level pulse while the count is maximum (9 or 15), and UP is low. The counters then can be cascaded easily by feeding $\overline{\text{BO}}$ and $\overline{\text{CO}}$ to DOWN and UP, respectively, of the succeeding counter.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

logic diagram (positive logic)



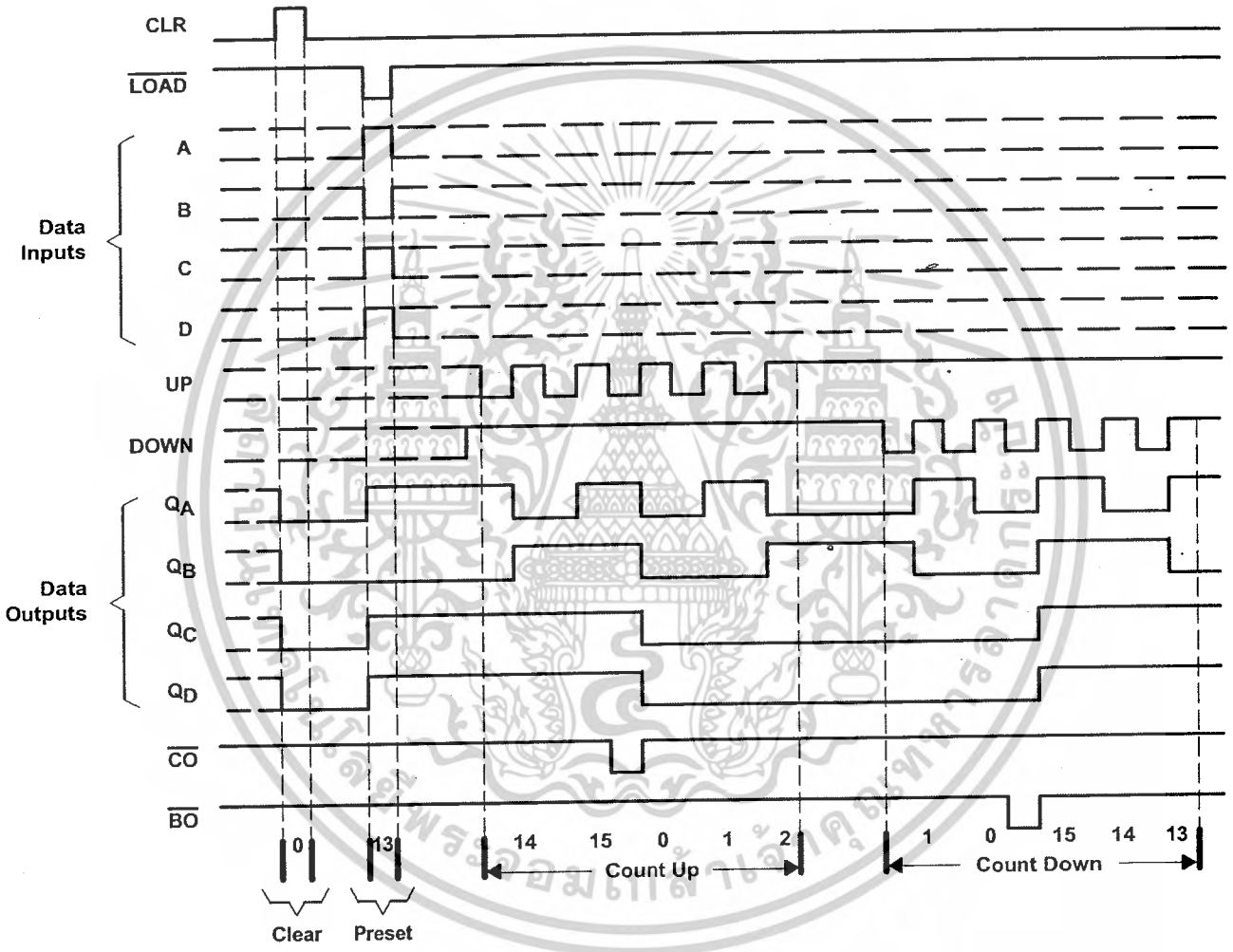
Pin numbers shown are for the D, J, N, NS, PW, and W packages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเอกสารทุกครั้งที่มีการนำไปใช้

typical clear, load, and count sequence

The following sequence is illustrated below:

1. Clear outputs to 0
2. Load (preset) to binary 13
3. Count up to 14, 15, carry, 0, 1, and 2
4. Count down to 1, 0, borrow, 15, 14, and 13



NOTES: A. CLR overrides LOAD, data, and count inputs.
B. When counting up, count-down input must be high; when counting down, count-up input must be high.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)†

Supply voltage range, V_{CC} . . . . . −0.5 V to 7 V
Input clamp current, I_{IK} ($V_I < 0$ or $V_I > V_{CC}$) (see Note 1) . . . . . ±20 mA
Output clamp current, I_{OK} ($V_O < 0$ or $V_O > V_{CC}$) (see Note 1) . . . . . ±20 mA
Continuous output current, I_O (V_O = 0 to V_{CC}) . . . . . ±25 mA
Continuous current through V_{CC} or GND . . . . . ±50 mA
Package thermal impedance, θ_{JA} (see Note 2): D package . . . . . 73°C/W
N package . . . . . 67°C/W
NS package . . . . . 64°C/W
PW package . . . . . 108°C/W
Storage temperature range, T_{stg} . . . . . −65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTES: 1. The input and output voltage ratings may be exceeded if the input and output current ratings are observed.
2. The package thermal impedance is calculated in accordance with JESD 51-7.

recommended operating conditions (see Note 3)

			SN54HC193			SN74HC193			UNIT
			MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC}	Supply voltage		2	5	6	2	5	6	V
V_{IH}	High-level input voltage	V_{CC} = 2 V	1.5			1.5			V
		V_{CC} = 4.5 V	3.15			3.15			
		V_{CC} = 6 V	4.2			4.2			
V_{IL}	Low-level input voltage	V_{CC} = 2 V			0.5			0.5	V
		V_{CC} = 4.5 V			1.35			1.35	
		V_{CC} = 6 V			1.8			1.8	
V_I	Input voltage		0		V_{CC}	0		V_{CC}	V
V_O	Output voltage		0		V_{CC}	0		V_{CC}	V
$\Delta t/\Delta v$‡	Input transition rise/fall time	V_{CC} = 2 V			1000			1000	ns
		V_{CC} = 4.5 V			500			500	
		V_{CC} = 6 V			400			400	
T_A	Operating free-air temperature		−55		125	−40		85	°C

NOTE 3: All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation. Refer to the TI application report, *Implications of Slow or Floating CMOS Inputs*, literature number SCBA004.

‡ If this device is used in the threshold region (from V_{IL}max = 0.5 V to V_{IH}min = 1.5 V), there is a potential to go into the wrong state from induced grounding, causing double clocking. Operating with the inputs at t_t = 1000 ns and V_{CC} = 2 V does not damage the device; however, functionally, the CLK inputs are not ensured while in the shift, count, or toggle operating modes.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา หรือลบข้อความส่วนใดส่วนหนึ่งของเอกสารทุกครั้งที่มีการนำไปใช้

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS		V_{CC}	T_A = 25°C			SN54HC193		SN74HC193		UNIT
				MIN	TYP	MAX	MIN	MAX	MIN	MAX	
V_{OH}	V_I = V_{IH} or V_{IL}	I_{OH} = −20 μA	2 V	1.9	1.998		1.9		1.9		V
			4.5 V	4.4	4.499		4.4		4.4		
			6 V	5.9	5.999		5.9		5.9		
		I_{OH} = −4 mA	4.5 V	3.98	4.3		3.7		3.84		
		I_{OH} = −5.2 mA	6 V	5.48	5.8		5.2		5.34		
V_{OL}	V_I = V_{IH} or V_{IL}	I_{OL} = 20 μA	2 V		0.002	0.1		0.1		0.1	V
			4.5 V		0.001	0.1		0.1		0.1	
			6 V		0.001	0.1		0.1		0.1	
		I_{OL} = 4 mA	4.5 V		0.17	0.26		0.4		0.33	
		I_{OL} = 5.2 mA	6 V		0.15	0.26		0.4		0.33	
I_I	V_I = V_{CC} or 0		6 V		±0.1	±100		±1000		±1000	nA
I_{CC}	V_I = V_{CC} or 0, I_O = 0		6 V			8		160		80	μA
C_i			2 V to 6 V		3	10		10		10	pF

timing requirements over recommended operating free-air temperature range (unless otherwise noted)

			V_{CC}	T_A = 25°C		SN54HC193		SN74HC193		UNIT
				MIN	MAX	MIN	MAX	MIN	MAX	
f_{clock}	Clock frequency		2 V		4.2		2.8		3.3	MHz
			4.5 V		21		14		17	
			6 V		24		16		19	
t_w	Pulse duration	CLR high	2 V	120		180		150		ns
			4.5 V	24		36		30		
			6 V	21		31		26		
		$\overline{LOAD}$ low	2 V	120		180		150		
			4.5 V	24		36		30		
			6 V	21		31		26		
		UP or DOWN high or low	2 V	120		180		150		
			4.5 V	24		36		30		
			6 V	21		31		26		
t_{su}	Setup time	Data before $\overline{LOAD}$ inactive	2 V	110		165		140		ns
			4.5 V	22		33		28		
			6 V	19		28		24		
		CLR inactive before UP↑ or DOWN↑	2 V	110		165		140		
			4.5 V	22		33		28		
			6 V	19		28		24		
		$\overline{LOAD}$ inactive before UP↑ or DOWN↑	2 V	110		165		140		
			4.5 V	22		33		28		
			6 V	19		28		24		
t_h	Hold time	Data after $\overline{LOAD}$ inactive	2 V	5		5		5		ns
			4.5 V	5		5		5		
			6 V	5		5		5		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

switching characteristics over recommended operating free-air temperature range, C_L = 50 pF (unless otherwise noted) (see Figure 1)

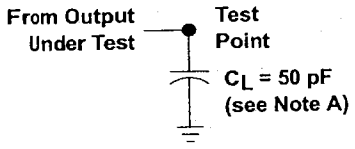
PARAMETER	FROM (INPUT)	TO (OUTPUT)	V_{CC}	T_A = 25°C			SN54HC193		SN74HC193		UNIT
				MIN	TYP	MAX	MIN	MAX	MIN	MAX	
f_{max}			2 V	4.2	8		2.8		3.3		MHz
			4.5 V	21	55		14		17		
			6 V	24	60		16		19		
t_{pd}	UP	$\overline{CO}$	2 V		75	165		250		205	ns
			4.5 V		24	33		50		41	
			6 V		20	28		43		35	
	DOWN	$\overline{BO}$	2 V		75	165		250		205	
			4.5 V		24	33		50		41	
			6 V		20	28		43		35	
	UP or DOWN	Any Q	2 V		190	250		375		315	
			4.5 V		40	50		75		63	
			6 V		35	43		64		54	
	$\overline{LOAD}$	Any Q	2 V		190	260		390		325	
			4.5 V		40	52		78		65	
			6 V		35	44		66		55	
t_{PHL}	CLR	Any Q	2 V		170	240		360		300	ns
			4.5 V		36	48		72		60	
			6 V		31	41		61		51	
t_t		Any	2 V		38	75		110		95	ns
			4.5 V		8	15		22		19	
			6 V		6	13		19		16	

operating characteristics, T_A = 25°C

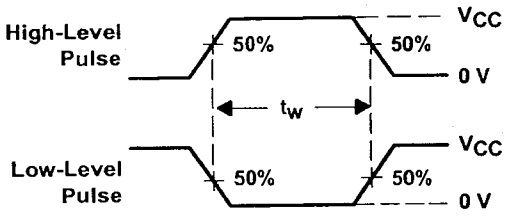
PARAMETER		TEST CONDITIONS	TYP	UNIT
C_{pd}	Power dissipation capacitance	No load	50	pF

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงลิขสิทธิ์ของเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

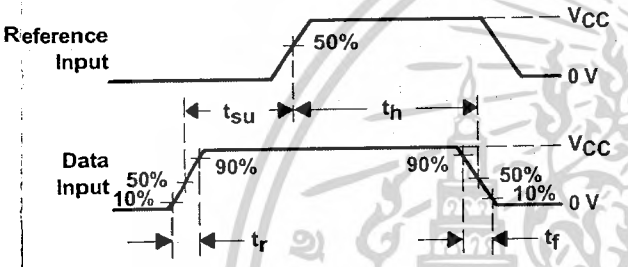
PARAMETER MEASUREMENT INFORMATION



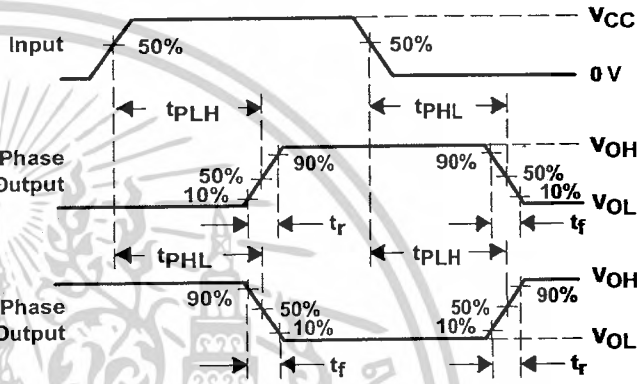
LOAD CIRCUIT



VOLTAGE WAVEFORMS
PULSE DURATIONS



VOLTAGE WAVEFORMS
SETUP AND HOLD AND INPUT RISE AND FALL TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY AND OUTPUT TRANSITION TIMES

NOTES: A. C_L includes probe and test-fixture capacitance.
B. Phase relationships between waveforms were chosen arbitrarily. All input pulses are supplied by generators having the following characteristics: PRR ≤ 1 MHz, Z_O = 50 Ω, t_r = 6 ns, t_f = 6 ns.
C. For clock inputs, f_{max} is measured when the input duty cycle is 50%.
D. The outputs are measured one at a time with one input transition per measurement.
E. t_{PLH} and t_{PHL} are the same as t_{pd}.

Figure 1. Load Circuit and Voltage Waveforms

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้