สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

หนังสือเสียงระบบเดซีอย่างง่าย

Simple Daisy Talking Book

T104170

โดย

นายภูชิชย์ พฤกษเจริญพงศ์

นายวีระศักดิ์ ปานรอด

ปริญ
ว 653ท
2551

เลขหมู่.....
เลขทะเบียน 104170
วัน,เดือน,ปี 30 ต.ค. 2552

b. 12109113
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2551

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสือเสียงระบบเดซีอย่างง่าย

Simple Daisy Talking Book

โดย

นายภูชิชย์ พฤกษเจริญพงศ์ เลขประจำตัว 48010685

นายวีระศักดิ์ ปานรอด เลขประจำตัว 48012188

อาจารย์ที่ปรึกษา

ดร.กิตติพล ชิตสกุล

ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2551

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2551

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง หนังสือเสียงระบบเดซีอย่างง่าย

ผู้จัดทำ

นายภูชิชย์	พฤกษเจริญพงศ์	รหัส 48010685
นายวีระศักดิ์	ปานรอด	รหัส 48012188

..... อาจารย์ที่ปรึกษา

(ดร. กิติพล ชิตสกุล)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสือเสียงระบบเดซีอย่างง่าย

MP3 player

นายภูชิชย์ พฤกษเจริญพงศ์ รหัส 48010685

นายวีระศักดิ์ ปานรอด รหัส 48012188

ปริญญานิพนธ์ได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้

.....

(ดร. กิตติพล ชิตสกุล)

อาจารย์ที่ปรึกษา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หนังสือเสียงระบบเดซีอย่างง่าย

นายภูชิชย์ พฤกษเจริญพงศ์ รหัส 48010685
นายวีระศักดิ์ ปานรอด รหัส 48012188
ดร. กิติพล ชิตสกุล (อาจารย์ที่ปรึกษา)

บทคัดย่อ

โครงงานหนังสือเสียงระบบเดซีอย่างง่าย นี้เป็นการประยุกต์ใช้ CD-ROM มาสร้างเป็นหนังสือเสียงระบบเดซีที่สามารถเล่นแผ่นซีดีในรูปแบบปหนังสือเสียงระบบเดซีได้โดยไม่จำเป็นต้องต่อกับไมโครคอมพิวเตอร์ มีฟังก์ชันต่างๆ ได้แก่ Eject, Close, Play, Stop และการเลือกบท จะถูกควบคุมการทำงานด้วยไมโครคอนโทรลเลอร์ตระกูล AVR เบอร์ ATMEGA162 ผ่านทางพอร์ต IDE Interface ATAPI ส่วนการถอดรหัสใช้ไอซีถอดรหัสเบอร์ VS1011B เปลี่ยนไฟล์ MP3 ให้เป็นสัญญาณเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Simple Daisy Talking Book

Mr.Phuchit Pruksajaroenpong ID. 48010685
Mr.Verasak Panrod ID. 48012188
Dr. Kitiphol Chitsakul (ADVISOR)

Abstract

This simple daisy talking book is an application of CD-ROM to be able to play audio files type Daisy-MP3 without interfacing to a microcomputer. The function such as Eject, Close, Play, Stop and Jump chapter can be controlled by microcontroller AVR family ATMEGA162 via a port IDE interface ATAPI. A VS1011B is used as decoder to convert MP3 file into voice signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ในการทำโครงงานนี้ได้รับคำแนะนำและ คำปรึกษาจาก ดร.กิตติพล ชิตสกุล (อาจารย์ที่ปรึกษา) จึงขอขอบพระคุณอาจารย์มา ณ โอกาสนี้ด้วย ทั้งรวมไปถึงอาจารย์ทุกท่านที่ได้สอนให้ความรู้จนมีความสามารถที่จะทำโครงงาน และเพื่อนทุกคนที่คอยให้คำปรึกษาการช่วยเหลือต่าง ๆ รวมถึงคำแนะนำในการทำโครงงานนี้ให้ได้จนประสบความสำเร็จ.

.....

(นายภูชิชย์ พฤกษเจริญพงศ์)

.....

(นายวีระศักดิ์ ปานรอด)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ	I
ABSTRACT	II
กิตติกรรมประกาศ	III
สารบัญ	IV
สารบัญรูป	IX
สารบัญตาราง	XI
บทที่ 1 บทนำ	
1.1 ความเป็นมาของโครงงาน	1
1.2 วัตถุประสงค์ของโครงงาน	1
1.3 ประโยชน์ที่คาดว่าจะได้รับ	1
1.4 วิธีการดำเนินงาน	1
1.5 โครงสร้างของปริญญานิพนธ์	2
บทที่ 2 หลักการทำงานของระบบเสียงเดซี	3
2.1 ประวัติความเป็นมา	3
2.2 ความหมายและประเภทของหนังสือเสียงเดซี	3
2.3 วิธีผลิตหนังสือเสียงระบบ DAISY	4
2.4 วิธีการสร้างเครื่องเล่นเสียงระบบเดซี	6
บทที่ 3 ทฤษฎีและหลักการของ MPEG	9
3.1 ความหมายของเอ็มเป็ก (MPEG)	9
3.2 เอ็มเป็ก 1 เลเยอร์ 3 (MP3)	9
3.2.1 ระบบโมโน	10
3.2.2 ระบบดูอัลโมโน	10
3.2.3 ระบบเสตอริโอ	10
3.2.4 ระบบจอยท์-เสตอริโอ	10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 คุณภาพเสียงที่ได้ 12
3.4 โครงสร้างของข้อมูลไฟล์เอ็มเป็ก 1 เลเยอร์ 3 16
3.5 ชิพถอดรหัสข้อมูลเอ็มเป็ก VS1002d 17
3.5.1 คุณสมบัติของ VS1002d 17
3.5.2 ข้อมูลของขาใน VS1002d 18
3.5.3 การนำชิพ VS1002d ไปต่อใช้งาน 20
3.6 ส่วนที่เชื่อมต่อข้อมูลอนุกรม SPI ของชิพ VS1002d
สำหรับดาต้า (SDI: Serial Protocol for Serial Data Interfacd) 21
3.6.1 หน้าที่สำหรับขาส่งข้อมูลอนุกรม SPI 21
3.6.2 คุณลักษณะสำหรับการส่งแบบอนุกรมสำหรับการ
ส่งข้อมูล (SDI) 22
3.7 ส่วนเชื่อมต่อข้อมูลอนุกรม SPI ของชิพ VS1002d สำหรับ
คอนโทรล (SCI: Serial Protocol for Serial Command Interface) 23
3.7.1 การอ่านข้อมูลสำหรับ SCI (SCI Read) 23
3.7.2 การเขียนข้อมูลสำหรับ SCI (SCI Write) 24
3.7.3 ลักษณะการทำงาน 25
3.8 SCI รีจิสเตอร์ 25
3.8.1 รีจิสเตอร์โหมด, โหมด (RW) 26
3.8.2 รีจิสเตอร์สถานะ, STATUS (RW) 27
3.8.3 INT_FCNTLH (-) 28
3.8.4 รีจิสเตอร์สัญญาณนาฬิกา, CLOCKF (RW) 28
3.8.5 รีจิสเตอร์ SRATE (R) 28
3.8.6 รีจิสเตอร์ AUDATA (R) 28
3.8.7 รีจิสเตอร์ WRAM (W) 29
3.8.8 รีจิสเตอร์ WRAMDDR (W) 29
3.8.9 รีจิสเตอร์ HDATA and HDAT1 (R) 29
3.8.10 รีจิสเตอร์ AIADDR (RW) 31
3.8.11 รีจิสเตอร์ VOL (RW) 31
3.8.12 รีจิสเตอร์ A1CTRL[x] (RW) 31
3.9 การทำงานส่วนต่าง ๆ ของชิพ VS1002d 31

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9.1 สัญญาณนาฬิกา 31
3.9.2 โหมดประหยัดพลังงาน 32
3.9.3 การรีเซตตัวเครื่อง 32
3.9.4 การรีเซตโปรแกรม 32
3.9.5 การถอดรหัสข้อมูลเอ็มเป็ก 32
3.9.6 การตรวจสอบว่ามีการทำงานอย่างปกติหรือไม่ 33
3.9.7 การทดสอบ 33
3.9.8 อัตราเร็วสูงสุดของสัญญาณนาฬิกา 33
3.9.9 ความเร็วสูงสุดในการสุ่มข้อมูล 34
3.9.10 อัตราเร็วสูงสุดของบิตข้อมูลในการถอดรหัส 34
3.9.11 การทำงานเมื่อตอนรีเซต 34
3.9.12 การส่งข้อมูลสู่สายสัญญาณ SCI 34
3.9.13 การส่งข้อมูลสู่ส่วน SDI (ข้อมูลเอ็มเป็ก) 35

บทที่ 4 ไมโครคอนโทรลเลอร์ 36
4.1 สถาปัตยกรรม และคุณสมบัติโดยทั่วไปของ ATMEGA162 36
4.2 สถาปัตยกรรมภายในและรีจิสเตอร์ใช้งานทั่วไป 38
4.2.1 สถาปัตยกรรมภายใน 38
4.2.1.1 หน่วยประมวลผลทางคณิตศาสตร์ และ ลอจิก 40
4.2.1.2 หน่วยความจำ SRAM 41
4.2.1.3 หน่วยความจำข้อมูลแบบ EEPROM 41
4.2.2 รีจีสเตอร์ใช้งานทั่วไป 43
4.2.2.1 The Status Register – SREG 43
4.2.2.2 Stack Pointer: SP 45
4.3 การรีเซ็ตและการอินเตอร์รัพท์ 45
4.3.1 การรีเซ็ตและการอินเตอร์รัพท์ 45
4.3.2 สัญญาณรีเซ็ต 45
4.3.2.1 Power On Reset 46
4.3.2.2 External Reset 46
4.3.2.3 Watchdog Reset 47

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 Interrupt Handling 48
4.5 พอร์ตอินพุต/เอาท์พุต 48
4.5.1 พอร์ต A 48
4.5.2 พอร์ต B 49
4.5.3 พอร์ต C 50
4.5.4 พอร์ต D 51
4.6 Timer & Counter 52
4.6.1 TIMER 0 & COUNTER 0 52
4.6.2 TIMER 1 & COUNTER 1 53

บทที่ 5 โปรโตคอลที่ใช้ในการเชื่อมต่อกับซีดี-รอม 54
5.1 ATA 54
5.1.1 การเชื่อมต่อทางกายภาพ 54
5.1.2 ขาเชื่อมต่อสำหรับรับส่งข้อมูล 55
5.1.3 รีจิสเตอร์ภายใน 57
5.1.4 โปรโตคอลการส่งข้อมูล 59
5.1.4.1 โปรโตคอลการส่งคำสั่งที่ไม่มีการส่งข้อมูลกลับ 59
5.1.4.2 โปรโตคอลการส่งคำสั่งที่มีการส่งข้อมูลกลับ ในแบบ PIO 60
5.1.4.3 โปรโตคอลการส่งคำสั่งที่มีการส่งข้อมูลกลับ ในแบบ DMA 60
5.2 ATAPI 61
5.2.1 ATAPI Protocol 61
5.2.2 ATAPI PACKET Command 62
5.2.3 Status Register for Packet Command 62
5.2.3.1 ATAPI Device Control Register 63
5.2.3.2 ATAPI Error Register 64
5.2.3.3 ATAPI Feature Register 64
5.2.3.4 ATAPI Interrupt Reason Register 65
5.2.3.5 ATAPI Byte Count Register 65

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2.3.6 ATAPI Drive Select Register 66
5.2.3.7 ATAPI Status Register 66
5.3 ขั้นตอนการส่งคำสั่งแบบ PIOที่มีข้อมูลเข้าสู่ Host 67

บทที่ 6 ISO 9660 70
6.1 บทนำ 70
6.2 ภาพรวมโครงสร้าง ISO9660 70
6.2.1 The Volume Descriptor 71
6.2.1.1 Primary Volume Descriptor 71
6.2.2 โครงสร้างของไดเรคทอรี 74
6.2.3 Path Table 77

บทที่ 7 การสร้างและการออกแบบ 79
7.1 การสร้างและออกแบบการควบคุมซีดีรอม 79
7.2 การสร้างและออกแบบการควบคุมการทำงานของวงจรภาคถอดรหัส 80
7.3 การสร้างและออกแบบ Key Switch 80
7.4 การสร้างและออกแบบแหล่งจ่ายไฟตรง 82
7.5 โฟลว์ชาร์ตการทำงานของส่วนต่างๆ 83
7.5.1 โฟลว์ชาร์ตของโปรแกรมหลัก 83
7.5.2 โฟลว์ชาร์ตของการ Play 84
7.5.3 โฟลว์ชาร์ตของการเพิ่มและลดเสียง 85

บทที่ 8 การทดลองและผลการทดลอง 86
8.1 การทดลองและผลของการเขียนโปรแกรมควบคุมภาคถอดรหัส 86
8.2 การทดลองและผลการทดลองของโครงงาน 88

บทที่ 9 บทสรุป 90

บรรณานุกรม 91

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญรูป

	หน้า
รูปที่ 2.1 โปรแกรม Plextalk Recorder	5
รูปที่ 2.2 การแบ่งเฟส	6
รูปที่ 2.3 NCC Code	7
รูปที่ 2.4 .SMIL ไฟล์	8
รูปที่ 3.1 ความไวต่อเสียงความถี่ต่าง ๆ ของมนุษย์	13
รูปที่ 3.2 การบังทางด้านความถี่ (Frequency Masking) ที่ความถี่มาสก์ 1 กิโลเฮิรตซ์	14
รูปที่ 3.3 ย่านความถี่วิกฤต (Critical Band) ที่ความถี่ต่าง	15
รูปที่ 3.4 ขอบเขตของช่วงความถี่ที่ถูกบังในการใช้ไซโคอคูสติก (Psychacoustic)	15
รูปที่ 3.5 ส่วนประกอบภายในหัวข้อมูล (Header)	17
รูปที่ 3.6 ขาต่าง ๆ ของชิพ VS1002d	18
รูปที่ 3.7 การนำชิพ VS1002d ไปต่อใช้งานกับอุปกรณ์ไมโครคอนโทรลเลอร์	20
รูปที่ 3.8 รูปสัญญาณ BSYNC	22
รูปที่ 3.9 สัญญาณการอ่านข้อมูลผ่านพอร์ตอนุกรม	24
รูปที่ 3.10 สัญญาณการเขียนข้อมูลลงพอร์ตอนุกรม	24
รูปที่ 3.11 แผนผังเวลาของพอร์ตอนุกรม	25
รูปที่ 4.1 แผนผังโครงสร้างของ ATMEGA162	39
รูปที่ 4.2 สถาปัตยกรรมแบบ RISC ของ ATMEGA162	40
รูปที่ 4.3 การจัดตำแหน่งหน่วยความจำ SRAM	42
รูปที่ 4.4 การเข้าถึงข้อมูล SRAM ภายใน CPU	42
รูปที่ 4.5 โครงสร้างของรีจีสเตอร์ใช้งานทั่วไป	43
รูปที่ 4.6 ตำแหน่งรีจีสเตอร์ SREG ถูกจัดวางไว้ที่ตำแหน่ง $3F	43
รูปที่ 4.7 ตำแหน่งรีจีสเตอร์ Stack Pointer ถูกจัดวางไว้ที่ตำแหน่ง $3E และ $3D	45
รูปที่ 4.8 Port A Data Register: PORTA	49
รูปที่ 4.9 Port B Data Register: PORTB	49
รูปที่ 4.10 Port C Data Register: PORTC	50
รูปที่ 4.11 Port D Data Register: PORTD	51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 4.12 โครงสร้างของ TIMER/COUNTER0 53
รูปที่ 5.1 การเชื่อมต่อระหว่างตัวแม่กับอุปกรณ์ 2 ตัว 54
รูปที่ 5.2 การเชื่อมต่อระหว่างตัวแม่กับอุปกรณ์ตัวเดียว 55
รูปที่ 5.3 ตัวเชื่อมต่อขนาด 40 ขา ตามมารถฐาน ATA 55
รูปที่ 5.4 ลักษณะของขั้วไฟเลี้ยงของเครื่องเล่นซีดี 57
รูปที่ 5.5 ขั้นตอนการส่งคำสั่งแบบ PIOที่มีข้อมูลออกจาก Host 69
รูปที่ 6.1 โครงสร้าง ISO 9660 70
รูปที่ 6.2 d-characters 72
รูปที่ 6.3 a – character 73
รูปที่ 6.4 ระดับชั้นไดเรคทอรี 74
รูปที่ 6.5 ไดเรคทอรีแม่ 76
รูปที่ 7.1 วงจรที่ทำการทดลองติดต่อกับ CD-ROM 79
รูปที่ 7.2 วงจรที่ทำการทดลองภาคถอดรหัส 80
รูปที่ 7.3 วงจร Key Switch 81
รูปที่ 7.4 วงจรแหล่งจ่ายไฟตรง 82
รูปที่ 7.5 โฟลว์ชาร์ตโปรแกรมหลัก 83
รูปที่ 7.6 โฟลว์ชาร์ตโปรแกรมย่อยส่วน Play 84
รูปที่ 7.7 โฟลว์ชาร์ตของการเพิ่มและลดเสียง 85
รูปที่8.1 สัญญาณอินพุทความถี่ 1 KHz 87
รูปที่ 8.2 สัญญาณเอาท์พุทความถี่ 1 KHz ที่ได้จากวงจรถอดรหัส 87
รูปที่ 8.3 การตอบสนองความถี่ของวงจรถอดรหัส 88

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่ 3.1 อัตราการบีบอัดข้อมูลและความเร็วในการส่งข้อมูลจาก
เครื่องอ่านของข้อมูลที่ถูกบีบอัดตามมาตรฐาน MPEG-1 10
ตารางที่ 3.2 ความสัมพันธ์ระหว่างคุณภาพเสียงที่ต้องการกับขนาด
ของข้อมูลที่ถูกบีบอัด 11
ตารางที่ 2.3 เวลาที่เสียไปในการแปลงข้อมูลเอ็มเป็ก 11
ตารางที่ 3.4 รูปแบบข้อมูลเอ็มเป็ก 1 เลเยอร์ 3 17
ตารางที่ 3.5 หน้าที่ของขาในชิพ VS1002d 18
ตารางที่ 3.6 หน้าที่ของพอร์ตอนุกรม SPI 21
ตารางที่ 3.7 ชุดคำสั่งของชิพ VS1002d 23
ตารางที่ 3.7 SCI รีจิสเตอร์ 25
ตารางที่ 3.8 รีจิสเตอร์โหมด 26
ตารางที่ 3.9 รีจิสเตอร์ HDATA and HDAT1 (R) 29
ตารางที่ 4.1 รีเซ็ตและอินเตอร์รัพท์เวกเตอร์ 47
ตารางที่ 5.1 รายละเอียดและหน้าที่ของแต่ละขาตามมาตรฐาน IDE 56
ตารางที่ 5.2 แอดเดรสของรีจิสเตอร์ตามมาตรฐาน ATA 58
ตารางที่ 5.3 รายละเอียดเกี่ยวกับรีจิสเตอร์ต่างๆที่ใช้ใน ATAPI 63
ตารางที่ 6.1 Primary Volume Descriptor 71
ตารางที่ 6.2 ความยาวของ path 75
ตารางที่ 6.3 File Identifier 77
ตารางที่ 8.1 การทำงานของวงจรที่อัตรา Bit Rate ต่างๆ 89
ตารางที่ 8.2 การทำงานของวงจรเมื่อใช้ CD-ROM ยี่ห้อต่างๆ 89

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาของโครงงาน

เนื่องจากปัจจุบันนี้ การอ่านหนังสือให้ผู้พิการทางสายตาฟัง เป็นที่แพร่หลายมากขึ้น และเพื่อที่จะใช้ทำให้เป็นมาตรฐานสากล ซึ่งสามารถใช้ได้ทั่วไปกับแผ่นเสียงที่ทุกประเทศสามารถใช้ร่วมกันได้ จึงได้เกิดแนวคิดที่จะทำ “หนังสือเสียงระบบเดซีอย่างง่าย” ขึ้น โดยในประเทศไทยมีการผลิตแผ่นเสียงในระบบ MP3 ขึ้นมาเป็นจำนวนมาก แต่ทว่าในการฟังแผ่นเสียงระบบนี้มีความพิเศษเฉพาะตัวซึ่งต้องใช้เครื่องเล่นที่สร้างขึ้นเพื่อสนับสนุนในระบบนี้ นั่นคือ “หนังสือเสียงระบบเดซี”

ซึ่งในระบบนี้จะอ่านข้อมูลโดยใช้การบีบอัดข้อมูลแบบ MP3 เพื่อเพิ่มการบรรจุข้อมูลให้มีขนาดมากขึ้นโดยการใช้ไมโครคอนโทรลเลอร์ ในการควบคุมการทำงานของเครื่องเล่นซีดีออดิโอผ่านสาย IDE ตามมาตรฐานของ ATAPI ในตอนแรกเราจะทำการศึกษาการทำงานของซีดีรอมโดยผ่านทางจอคอมพิวเตอร์ และเขียนโปรแกรมควบคุมการทำงานของซีดีรอม

ด้วยเวลาที่จำกัดเครื่องเล่นนี้จึงอาจยังไม่สมบูรณ์ตามมาตรฐานสากลได้ เนื่องจากหนังสือเสียงในระบบสากลนั้น จะอยู่ในรูปของระบบเดซี ซึ่งจะขอกล่าวอย่างคร่าวๆในบทที่หนึ่ง เพื่อเป็นพื้นฐานในการพัฒนาหนังสือเสียงระบบเดซีต่อไป

1.2 วัตถุประสงค์ของโครงงาน

1. เพื่อศึกษาและทำความเข้าใจกับรูปแบบการติดต่อของเครื่องซีดีรอม
2. เพื่อศึกษาและทำความเข้าใจการใช้งานไมโครคอนโทรเลอร์ชนิด ATMEGA162
3. เพื่อศึกษาและทำความเข้าใจในรูปแบบของหนังสือเสียงระบบ MP3
4. เพื่อศึกษาและทำความเข้าใจการบีบอัดข้อมูลแบบ MP3
5. เพื่อเพิ่มพูนประสบการณ์และนำความรู้ที่ศึกษามาใช้งานจริง
6. เพื่อเพิ่มทักษะในการแก้ปัญหาและอุปสรรคที่ได้พบ
7. เพื่อเป็นพื้นฐานสำหรับพัฒนาหนังสือเสียงระบบเดซีต่อไป

1.3 ประโยชน์ที่คาดว่าจะได้รับ

1. เพิ่มพูนทักษะและความรู้ต่างๆที่ได้ศึกษามา
2. เพื่อส่งเสริมและสร้างความภาคภูมิใจให้เกิดขึ้น
3. สามารถสร้างเครื่องเล่นแผ่นซีดี MP3 ที่ใกล้เคียงกับมาตรฐานสากล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. เป็นแนวทางในการพัฒนาต่อไปในส่วนที่มีความซับซ้อนมากขึ้นของระบบเดซี

1.4 วิธีการดำเนินงาน

1. ศึกษาการทำงานระบบเดซี การทำแผ่นเสียง เครื่องเล่น MP3
2. ศึกษาหลักการและทฤษฎีที่ต้องใช้ในโครงงาน
3. ทดลองต่อบอร์ดติดต่อซีดี
4. เก็บรายละเอียด, ปัญหา และสรุปผลการทดลอง

1.5 โครงสร้างของปริญญานิพนธ์

ปริญญานิพนธ์ได้รวบรวม แนวคิดของการทำโครงงาน ทฤษฎีต่าง ๆที่เกี่ยวข้อง การทดลองและผลที่ได้ โดยรวบรวมไว้เป็นบทตอนดังนี้

บทที่ 1 กล่าวถึงความเป็นมา วัตถุประสงค์ ขั้นตอนของการทำโครงงาน

บทที่ 2 กล่าวถึงหลักการทำงานของระบบเสียงเดซี

บทที่ 3 กล่าวถึงทฤษฎีและหลักการของ MPEG

บทที่ 4 กล่าวถึงทฤษฎีไมโครคอนโทรลเลอร์ AVR เบอร์ ATMEGA162

บทที่ 5 กล่าวถึงโปรโตคอลที่ใช้ในการเชื่อมต่อกับ CD-ROM ตามมาตรฐาน ATAPI

บทที่ 6 กล่าวถึง ISO 9660

บทที่ 7 กล่าวถึงการสร้างและการออกแบบ

บทที่ 8 กล่าวถึงการทดลองและผลการทดลอง

บทที่ 9 กล่าวถึงสรุปผลการทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
หลักการทำงานของระบบเสียงเดซี

2.1 ประวัติความเป็นมา

เมื่อ Dr. Raymond Kurzweil ผู้สร้างเครื่องอ่านหนังสือ (Reading Machine) เครื่องแรกของโลกร่วมกับคนตาบอดหลายคน ในปี ค.ศ. 1975 เพื่อช่วยให้คนตาบอดสามารถอ่านเอกสารที่เป็นสิ่งพิมพ์ได้ด้วยตนเอง จนนวัตกรรมดังกล่าวได้กลายมาเป็น โปรแกรมคอมพิวเตอร์ที่เรียกว่า Optical Character Recognition (OCR) ซึ่งเป็นที่รู้จักไปทั่วโลก นำประโยชน์อันมหาศาลมาสู่ธุรกิจสิ่งพิมพ์ Dr. Kurzweil ถึงกับกล่าวด้วยความประหลาดใจและภาคภูมิใจว่า " นี่เป็นเหตุการณ์ประวัติศาสตร์ ที่ชุมชนคนตาบอดได้สร้าง คุณูปการแก่ประชาคมโลก" จนในปัจจุบันนี้โปรแกรมต่างๆได้พัฒนามาจนเป็นรูปแบบมาตรฐานที่เราเรียกว่า "หนังสือเสียงระบบเดซี"

2.2 ความหมายและประเภทของหนังสือเสียงเดซี

DAISY ย่อมาจากคำว่า Digital Accessible Information System หรือที่เราเรียกกันง่าย ๆ เป็นภาษาไทยว่า "หนังสือเสียงระบบเดซี" เป็นเทคโนโลยีรูปแบบใหม่ของการผลิตหนังสือเสียง ที่เป็นได้มากกว่าหนังสือเสียง ซึ่งแตกต่างจากหนังสือเสียงในอดีตซึ่งเป็นระบบ analog โดยสิ้นเชิง เพราะผู้อ่านสามารถเข้าถึงส่วนต่าง ๆ ของหนังสือเสียงได้โดยตรง สามารถค้นหาข้อมูลได้ และยังมีคุณภาพเสียงดีกว่า อาศัยเนื้อที่จัดเก็บน้อยกว่าเนื่องด้วยการจัดเก็บเป็น MP3 โดยเราจะแบ่งหนังสือเสียงระบบเดซีออกเป็นทั้งหมด 6 ประเภทคือ

1. Audio with title element only (หนังสือเสียงที่มีแต่ส่วนที่เป็นเสียงเท่านั้น) ไม่มีโครงสร้างคู่ขนานแนวดิ่งที่ช่วยให้สามารถค้นหาหรือเข้าถึงส่วนต่าง ๆ ของหนังสือได้โดยตรง

2. Audio with NCC/NCX (Navigation Control Center หรือ Navigation Control for XML Application) only (หนังสือเสียงที่ประกอบด้วย NCC/NCX หรือศูนย์ควบคุมการนำร่อง) ประกอบด้วยตัวหนังสือที่แสดงหัวเรื่อง บท ตอนหรือหน้า เพื่อช่วยให้ผู้อ่านสามารถเข้าถึงส่วนต่าง ๆ ของหนังสือหรือสามารถค้นหาได้บ้าง

3. Audio with NCC/NCX and partial text (หนังสือเสียงที่มีโครงสร้าง ศูนย์ควบคุมการนำร่องและส่วนอื่นเพิ่มเติม) ซึ่งนอกจากจะประกอบด้วยโครงสร้างที่เป็น NCC/NCX ตามข้อ 2 แล้ว ยังประกอบด้วยตัวหนังสือ (marked up text) เพิ่มเติม เพื่อช่วยให้การค้นหาข้อมูลทำได้สะดวกยิ่งขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เช่น index และ glossery

4. Full Audio and full text (หนังสือเสียงที่ประกอบด้วยทั้งเสียงและตัวหนังสือหรือสิ่งพิมพ์เต็มรูปแบบ) เป็นหนังสือเสียงที่มีทั้งโครงสร้างของ NCC/NCX และตัวหนังสือที่เป็นสิ่งพิมพ์ควบคู่ไปกับเสียงครบถ้วน มีความซับซ้อนและยุ่งยากในการผลิต แต่มีความสมบูรณ์ที่สุดในด้านประโยชน์ของการใช้ เพื่อการอ่านและการค้นหาข้อมูล

5. Full text and some audio (หนังสือเสียงที่มีตัวหนังสือครบถ้วนแต่มีเสียงเป็นบางส่วน) หมายถึงหนังสือที่มีส่วนที่เป็นตัวหนังสือ ทั้งที่เป็นโครงสร้าง NCC/NCX และเนื้อหาทั้งหมด แต่ในส่วนที่เป็นเสียงอ่านนั้น มีเป็นบางส่วนเท่านั้น

6. Full Text and no audio (หนังสือเสียงที่มีเพียงตัวหนังสือ แต่ไม่มีเสียงที่บันทึกจากการอ่านของมนุษย์

2.3 วิธีผลิตหนังสือเสียงระบบ DAISY

ในหัวข้อนี้จะกล่าวถึงการผลิตหนังสือ ในรูปของซีดี MP3 ก่อนที่เราจะกล่าวถึงการสร้างเครื่องเล่นต่อไป โดยการผลิตหนังสือ (ซีดี MP3) เราจะใช้โปรแกรมต่างๆซึ่งจะแบ่งได้ 2 ประเภท คือ

1. โดยใช้โปรแกรมที่ติดตั้งบนเครื่องไมโครคอมพิวเตอร์

1.1 โปรแกรมที่แจกให้บุคคลทั่วไปหรือองค์กรที่ไม่แสวงหากำไร

- SigtunaDAR และ My Studio PC จากประชาคมญี่ปุ่นเพื่อการฟื้นฟูสมรรถภาพคนพิการ (JSRPD)
- LP Studio/Pro จากองค์การ DAISY (DAISY Consortium)

1.2 โปรแกรมที่มีขายทั่วไป

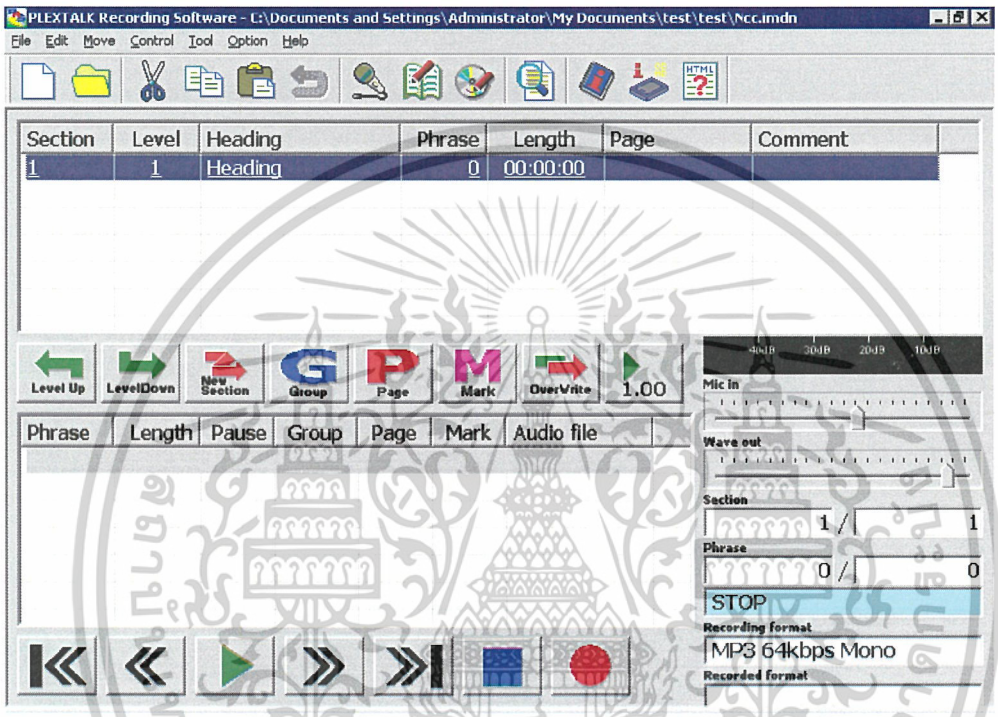
- Lp Studio/Plus ของบริษัท Labyrinten ประเทศสวีเดน
- Lp Studio/Pro ของบริษัท Labyrinten ประเทศสวีเดน

2. โดยใช้เครื่องผลิตหนังสือเสียงระบบ DAISY โดยเฉพาะ

- Plextalk Recorder (PTR1) ของบริษัท Plextor ประเทศญี่ปุ่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในส่วนของประเทศไทยนั้น เรานิยมใช้โปรแกรม Plextalk Recorder เป็นส่วนมากโดยการผลิตหนังสือเสียงระบบเดซีนี้จะอยู่ที่ ห้องสมุดคนตาบอดแห่งชาติ ซึ่งในการผลิตนี้จะใช้โปรแกรมนี้เป็นหลัก ซึ่งในการจะแบ่งออกเป็น 3 ขั้นตอน ดังนี้



รูปที่ 2.1 โปรแกรม Plextalk Recorder

2.3.1 การบันทึกเสียง (Recording)

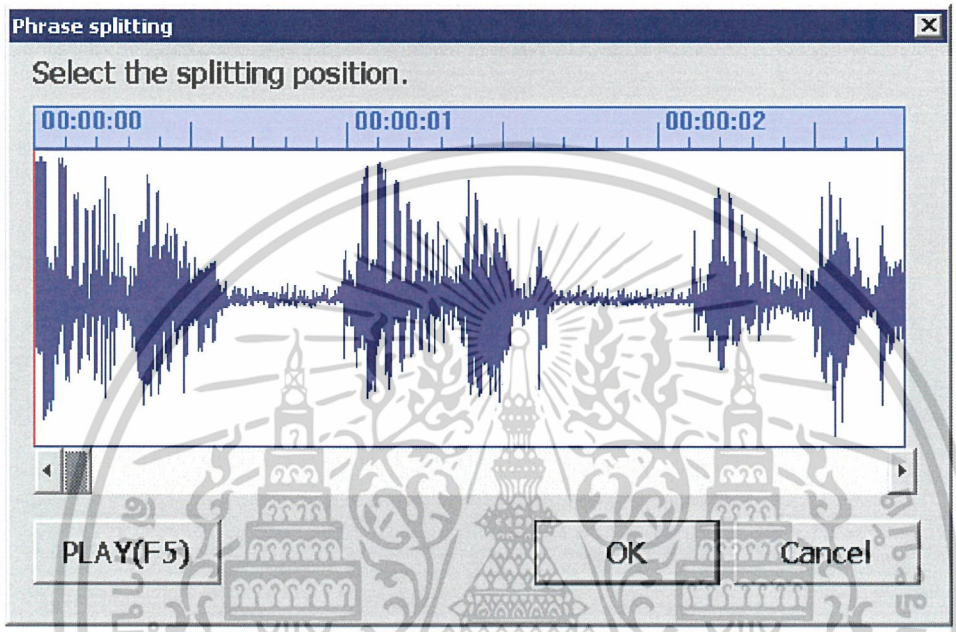
ในการบันทึกเสียง เป็นขั้นตอนการอัดข้อมูลเสียงเข้าสู่โปรแกรมในรูปของ ไฟล์ .wav ซึ่งในขั้นสุดท้ายจะมีการแปลงไฟล์เป็น MP3ในขั้นตอนนี้ยังต้องมีการแบ่ง Section เพื่อเป็นการแบ่งหัวข้อ หรือบทที่ต้องการบันทึก

2.3.2 การแบ่งและรวมเฟส (Split and Join Phrase)

ในขั้นตอนนี้เป็นการแบ่งประโยคออกเป็นที่ละประโยค เพื่อให้หนังสือระบบเดซีมีความสะดวกในการใช้งานและค้นหา ในส่วน Phrase นี้ถือว่าเป็นส่วนย่อยของ Section ซึ่งจะมีการแบ่งคล้ายๆกับการแบ่ง Section โดยจะใช้การแบ่ง Phrase นี้ในกรณีที่หนึ่ง Phrase มีข้อความที่ยาวเกินไปซึ่งจะส่งผลทำให้ผู้นำหนังสือไปอ่านอาจจะเกิดปัญหาได้ และทำให้เราสามารถทำการเลื่อนประโยค หรือย้อนกลับไปยังประโยคที่เราได้ผ่านมาแล้ว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ได้ สำหรับการรวม Phrase นี้จะใช้ในกรณีที่ Phrase สั้นเกินไป อาจจะเป็น Phrase ละ 1 วลี เป็นต้น ดังนั้นจึงต้องนำไปรวมกับ Phrase อื่นๆ เพื่อให้ประโยคมีความยาวมากขึ้น เพื่อความสะดวกในการฟัง



รูปที่ 2.2 การแบ่งเฟส

2.3.3 Audio Export

เป็นขั้นตอนสุดท้ายในการสร้างหนังสือ ซึ่งเป็นการแปลงไฟล์จาก .wav เป็น MP3 ซึ่งทำให้ไฟล์ มีขนาดเล็ก โดยเราสามารถกำหนดคุณภาพเสียงได้ตามที่เราต้องการ

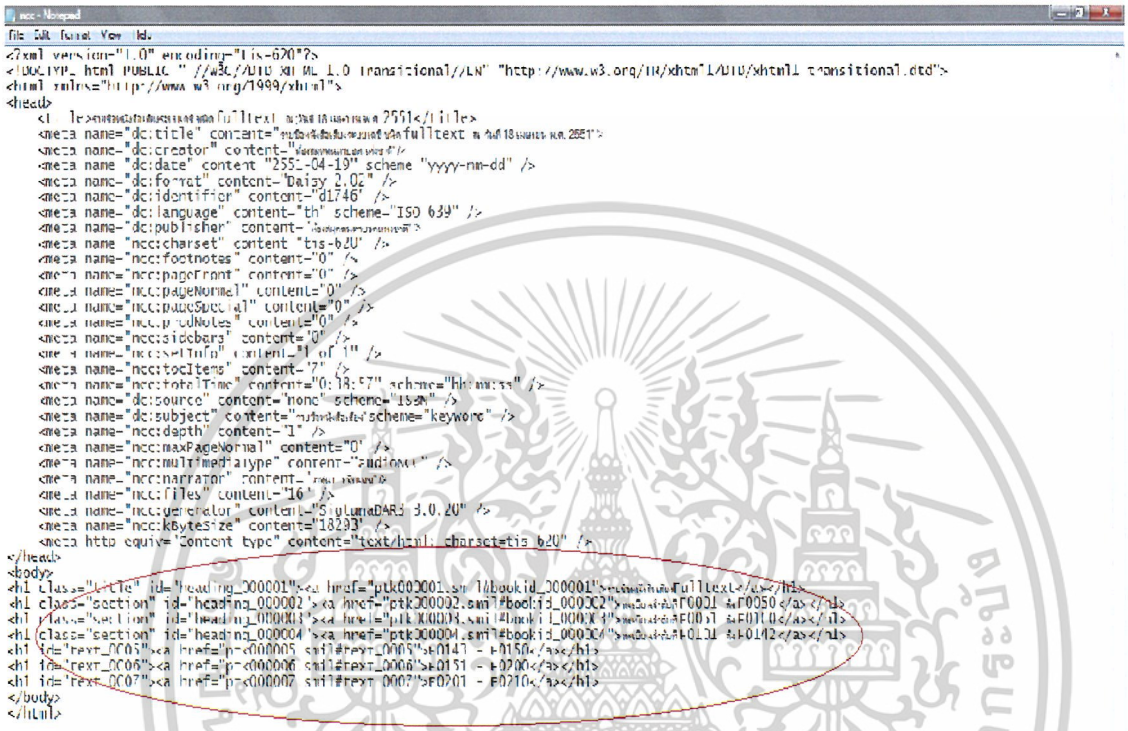
2.4 วิธีการสร้างเครื่องเล่นเสียงระบบเดซี

ในขั้นตอนการสร้างเครื่องอ่านหนังสือเสียงระบบเดซีนั้น มีความซับซ้อนมากในด้านของการผลิตเนื่องด้วย ด้านของเวลาที่จำกัดจึงไม่สามารถสร้างได้ในโปรเจคครั้งนี้ และจะขอกล่าวถึงวิธีการผลิตโดย พอสังเขป ดังนี้

ในการผลิตแผ่นเสียงเดซีนั้น เมื่อเราใช้โปรแกรม Plextalk Recorder เราจะพบว่าการ mark จุดต่างๆ เพื่อให้โปรแกรมสามารถทำการเลื่อนประโยคไปยัง ประโยคก่อนหน้า และประโยคต่อไป ได้ในการ mark เราจะพบว่าเราใช้การแบ่งเฟสเป็นตัวกำหนดประโยค ซึ่งก็คือความยาวของประโยค เป็นวินาที ในโปรแกรมนี้ เราจะพบว่าหลังสร้างหนังสือเสียงระบบเดซีเสร็จแล้วไฟล์เสียงที่เป็น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MP3 นั้นจะถูกกำหนดโดย Code 2 Code คือ NCC (.HTML) และ .SMIL ไฟล์ ซึ่งใน Code 2 ตัวนี้จะมีหน้าที่ในการควบคุมการทำงานของการเลื่อนประโยค และการเปลี่ยนบท หรือหัวข้อ

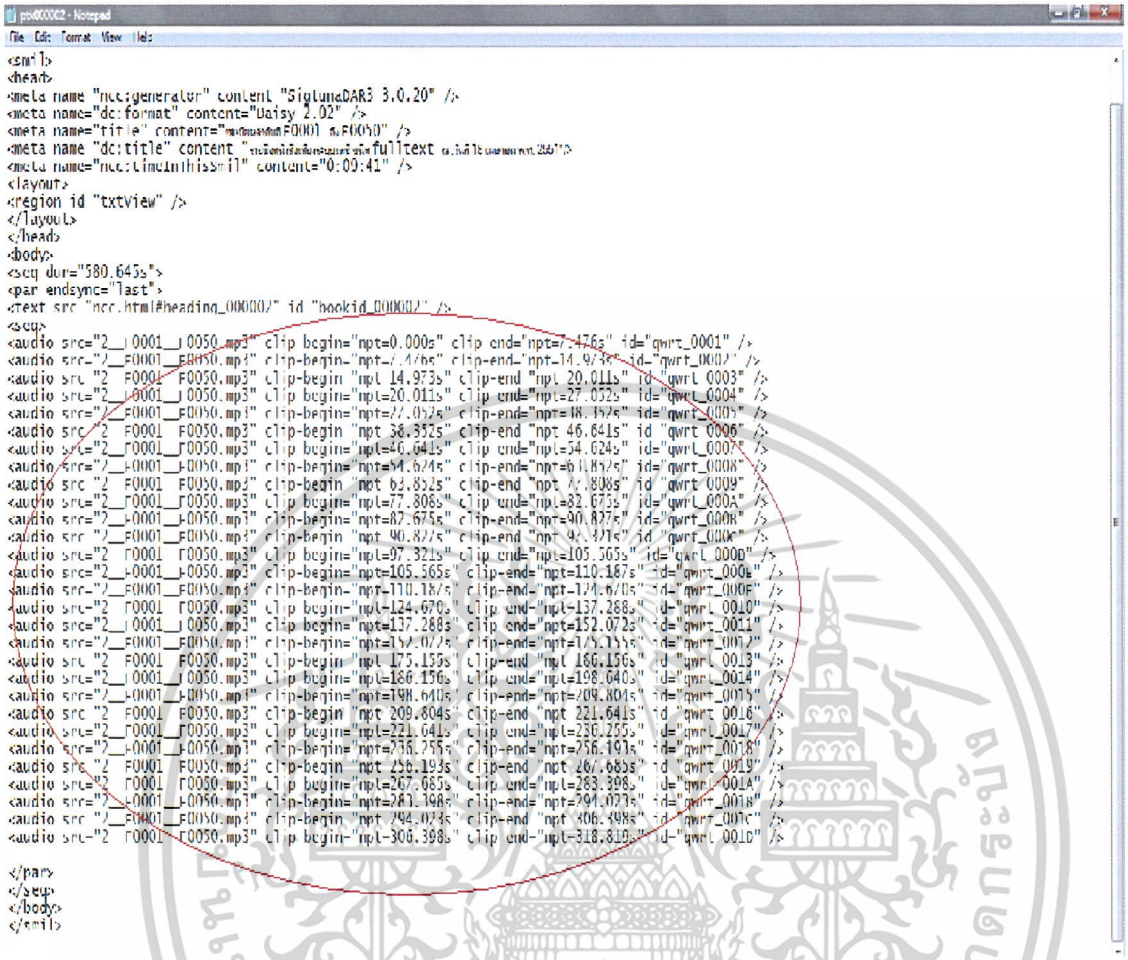


รูปที่ 2.3 NCC Code

NCC Code นั้นเป็น Code ที่โปรแกรมสร้างขึ้น เพื่อเป็น Code ที่ใช้ในการ Link ข้อมูล MP3 ในแต่ละบท หรือหัวข้อ เพื่อเป็นตัวกำหนดการทำงานในหนังสือเสียงระบบเดซี ในส่วนที่ได้วงกลมไว้ในรูป 2.3 ส่วนนี้คือคำสั่งในการเลื่อนบทไปตามเท่าที่เราต้องการซึ่ง ในกรณีที่มี บทหรือหัวข้อมากนั้นCode ก็จะเขียนเพิ่มขึ้นด้วยโปรแกรม มากขึ้นตาม ในส่วนนี้ โปรแกรม Plextalk Recorder จะเป็นตัวสร้างขึ้นมาเอง ซึ่งเราสามารถกำหนดหัวข้อได้ตามความต้องการ

ในส่วนของ .SMIL ไฟล์นั้นจะต่างจาก NCC Code ตรงที่ .SMIL ไฟล์ นี้จะเป็น Code ที่ใช้ควบคุมตัว MP3 ให้ทำงานเป็นวินาทีตามที่เราได้ Mark ไว้ในขั้นตอนของการแบ่งเฟสนั่นเอง ซึ่งการแบ่งเฟสนี้จะเริ่มที่ 0 วินาที จนจบหนึ่งเฟส แล้วเริ่มที่วินาทีต่อจากเฟสเดิมไปจนจบเฟสอีกครั้ง ซึ่ง Code นี้จะกำหนดช่วงเวลาไปเรื่อยๆ จนจบ ในCode .SMIL ไฟล์ 1 Code นั้นจะทำหน้าที่ในการควบคุมการทำงานภายใน ไฟล์ MP3 1 ไฟล์เท่านั้นดังรูปที่ 2.4 ที่วงกลมไว้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 .SMIL ไฟล์

ซึ่ง MP3 1 ไฟล์ นั่นคือ 1 บทหรือ 1 หัวข้อเท่านั้นดังนั้น หากไฟล์มีการแบ่งเฟสมาก Code ใน .SMIL ไฟล์ ก็มีจำนวนมากขึ้นตาม เวลาที่ถูกกำหนดขึ้นจะยาวตามระยะเวลาของ ไฟล์ MP3 นั่นเอง และหาก ไฟล์ MP3 มีมากขึ้น NCC Code จะมี Code เพิ่มขึ้นด้วยเช่นกัน

การทำงานในหนังสือเสียงระบบเดซี จะมีการ Link ข้อมูลกลับไปมาเสมอขณะที่เราสั่งงาน NCC Code จะส่งคำสั่งไปยัง .SMIL ไฟล์ และ.SMIL ไฟล์ จะไปค้นหาไฟล์ MP3 ที่ถูกกำหนดไว้ภายในไฟล์นั่นเอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3
ทฤษฎีและหลักการ MPEG

3.1 ความหมายของเอ็มเป็ก (MPEG)

เอ็มเป็ก (MPEG) ย่อมาจาก Moving Picture Experts Group ซึ่งเป็นชื่อของกลุ่มบุคคลที่ร่วมมือกันสร้างมาตรฐานสากล (International Standard) เพื่อใช้ในการเข้ารหัสข้อมูลภาพและเสียงที่อยู่ในรูปของสัญญาณดิจิตอล ก่อตั้งขึ้นตั้งแต่ปี ค.ศ. 1988 โดยมาตรฐานที่สร้างขึ้นนั้นถูกบรรจุเป็นมาตรฐานสากล ISO/IEC หมายความว่า มาตรฐานนี้มาใช้เข้ารหัสหรือถอดรหัสข้อมูลของตัวเองได้โดยไม่ต้องขออนุญาตหรือลิขสิทธิ์ให้กับผู้ใด

มาตรฐาน MPEG นั้น แบ่งย่อยออกเป็นกลุ่มๆ ตามชนิดของข้อมูลที่ถูกเข้ารหัสและการนำไปใช้งาน ซึ่งในปัจจุบันแบ่งออกได้เป็น 5 กลุ่ม ดังนี้

MPEG-1 เข้ารหัสข้อมูลภาพและเสียง ใช้ในระบบวีดีโอซีดีและเสียงเพลง

MPEG-2 เข้ารหัสข้อมูลภาพและเสียง ใช้ในระบบโทรทัศน์ดิจิตอลและดีวีดี

MPEG-3 เข้ารหัสข้อมูลมัลติมีเดียที่ใช้กันอยู่ในเว็บเพจ

MPEG-7 เป็นมาตรฐานในการใส่คำอธิบายชนิดของข้อมูลมัลติมีเดียในตัวของมันเอง มีประโยชน์ในด้านการหาข้อมูลบนระบบอินเตอร์เน็ต

MPEG-21 เป็นมาตรฐานใหม่ล่าสุดที่เพิ่งกำเนิดขึ้น ว่าด้วยเรื่องเกี่ยวกับ Multimedia Framework

3.2 เอ็มเป็ก 1 เลเยอร์ 3 (MP3)

MP3 ที่เรารู้จักกันจะอยู่ในมาตรฐาน MPEG-1 ใช้ในการเข้ารหัสข้อมูลภาพและเสียง แต่ตัว MPEG-1 นี้ยังแบ่งออกเป็น 3 เลเยอร์ (layer) ตามความสามารถและความซับซ้อนในการเข้ารหัสข้อมูล โดยเลเยอร์ 1 มีความซับซ้อนในการเข้ารหัสน้อยทำให้บีบอัดข้อมูลได้น้อย และในทางกลับกัน เลเยอร์ 3 มีความซับซ้อนในการเข้ารหัสมากที่สุดทำให้บีบอัดข้อมูลได้มากที่สุด แต่ทั้งสามเลเยอร์จะมีพื้นฐานในการบีบอัดเหมือนกันทั้งหมด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MP3 นี้คือการเข้ารหัสข้อมูล MPEG-1 Layer 3 มีกระบวนการในการเข้ารหัสที่ซับซ้อนที่สุด ทำให้บีบอัดข้อมูลได้มาก หรือทำให้เหลือขนาดของข้อมูลเก็บมาก แต่ขนาดข้อมูลที่เล็กลงใช่ว่าจะไม่เสียอะไรไปเลย เนื่องจากการบีบอัดข้อมูลแบบ MPEG นั้น ได้ผลลัพธ์เป็นข้อมูลที่เรียงต่อกัน (Data Stream) ซึ่งจะรองรับทั้งในแบบ 1 ช่องสัญญาณ และ 2 ช่องสัญญาณ แยกออกเป็นระบบเสียงต่าง ๆ ได้ถึง 4 ระบบ คือ

3.2.1 ระบบโมโน คือ ได้ผลลัพธ์เป็นข้อมูลเพียง 1 ช่องสัญญาณ ซึ่งอาจจะเป็นเสียงจากช่องซ้ายหรือขวาก็ได้

3.2.2 ระบบดูอัลโมโน (Dual-Mono) ได้ข้อมูลผลลัพธ์ออกมา 2 ช่องสัญญาณ โดยช่องหนึ่งเป็นเสียงจากข้อมูลฝั่งซ้าย อีกช่องเป็นเสียงจากลำโพงฝั่งขวา

3.2.3 ระบบเสตอริโอ ข้อมูลที่ได้ประกอบด้วย 2 ช่องสัญญาณเช่นกัน แต่ช่องหนึ่งจะเป็นผลรวมของเสียงลำโพงซ้ายกับลำโพงขวา อีกช่องหนึ่งเป็นผลต่างของลำโพงซ้ายกับลำโพงขวา

3.2.4 ระบบจอยท์-เสตอริโอ (Joint-Stereo) มีลักษณะคล้ายกับระบบเสตอริโอ แต่จะมีการรวมสัญญาณที่ความถี่ต่ำ ๆ ไว้ในช่องสัญญาณเดียว และแยกเสียงที่ความถี่สูงขึ้นมาเหมือนกับระบบเสตอริโอปรกติทั่วไป เนื่องจากธรรมชาติของหูมนุษย์จะแยกแยะตำแหน่งของแหล่งกำเนิดเสียงได้ยากถ้าเสียงนั้นมีความถี่ต่ำ

มาตรฐานในการบีบอัด	อัตราส่วน	ความเร็วในการส่งข้อมูล
MPEG-1 Layer 1	1 : 4	384 กิโลบิต/s
MPEG-1 Layer 2	1 : 6 ถึง 1: 8	256 – 192 กิโลบิต/s
MPEG-1 Layer 3	1 : 10 ถึง 1: 12	128 – 115 กิโลบิต/s

ตารางที่ 3.1 อัตราการบีบอัดข้อมูลและความเร็วในการส่งข้อมูลจากเครื่องอ่านของข้อมูลที่ถูกบีบอัดตามมาตรฐาน MPEG-1

จากข้างต้น จะเห็นว่าข้อมูลที่อ่านได้จากซีดีรอมเพลงธรรมดานั้นมีจำนวนถึง 1,411,200 บิตต่อความยาว 1 วินาที ดังนั้นความเร็วในการส่งข้อมูลจากเครื่องอ่านไปยังตัวแปลงข้อมูลต้องสูงตาม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไปด้วย คือประมาณ 1.4 เมกะบิตต่อวินาที จากตารางแสดงการบีบอัดข้อมูลแสดงให้เห็นถึงอัตราการบีบอัดข้อมูลและความเร็วในการส่งข้อมูล จากเครื่องอ่านของข้อมูลที่ถูกบีบอัดตามมาตรฐาน MPEG-1 เลเยอร์ต่างๆ โดยอ้างอิงเสียงที่ได้จากการแปลงกลับให้อยู่ระดับคุณภาพเสียงซีดี เห็นได้ว่าข้อมูลที่บีบอัดตามมาตรฐาน MP3 นั้นจะเหลืออัตราความเร็วในการส่งข้อมูลเพียง 128 กิโลบิตต่อวินาที หมายความว่าข้อมูลเสียงเพลง 1 นาที จากเดิมที่มีขนาดประมาณ 10 เมกะไบต์จะเหลือเพียงประมาณ 1 เมกะไบต์เท่านั้น นั่นหมายถึงแผ่นซีดีรอมจากเดิมที่เก็บเพลงได้ 14 – 18 เพลง รวมความยาวประมาณ 65 นาที ถ้านำมาเก็บข้อมูลที่ถูกเข้ารหัส MP3 จะสามารถเก็บเพลงได้มากกว่า 200 เพลง รวมความยาวมากกว่า 600 นาที

คุณภาพเสียง	แบนด์วิดธ์	ระบบเสียง	อัตราการส่งข้อมูล	อัตราส่วนการบีบอัดข้อมูล
โทรศัพท์	2.5 กิโลเฮิรตซ์	โมโน	8 กิโลบิต/s	96 : 1
ดีกว่าคลื่น Shortwave	4.5 กิโลเฮิรตซ์	โมโน	16 กิโลบิต/s	48 : 1
ดีกว่าคลื่นวิทยุ AM	7.5 กิโลเฮิรตซ์	โมโน	32 กิโลบิต/s	24 : 1
ใกล้เคียงวิทยุ FM	11 กิโลเฮิรตซ์	เสตอริโอ	56 - 64 กิโลบิต/s	26 – 24 : 1
ใกล้เคียงวิทยุ CD	15 กิโลเฮิรตซ์	เสตอริโอ	96 กิโลบิต/s	16 : 1
CD	> 15 กิโลเฮิรตซ์	เสตอริโอ	112-128 กิโลบิต/s	14 – 12 : 1

ตารางที่ 3.2 ความสัมพันธ์ระหว่างคุณภาพเสียงที่ต้องการกับขนาดของข้อมูลที่ถูกบีบอัด

เลเยอร์	อัตราส่วนการบีบอัด	เวลาที่ใช้ในการถอดรหัส
1	4 : 1	19 ns
2	6 : 1	35 ns
3	12 : 1	59 ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.3 เวลาที่เสียไปในการแปลงข้อมูลเอ็มเป็ก

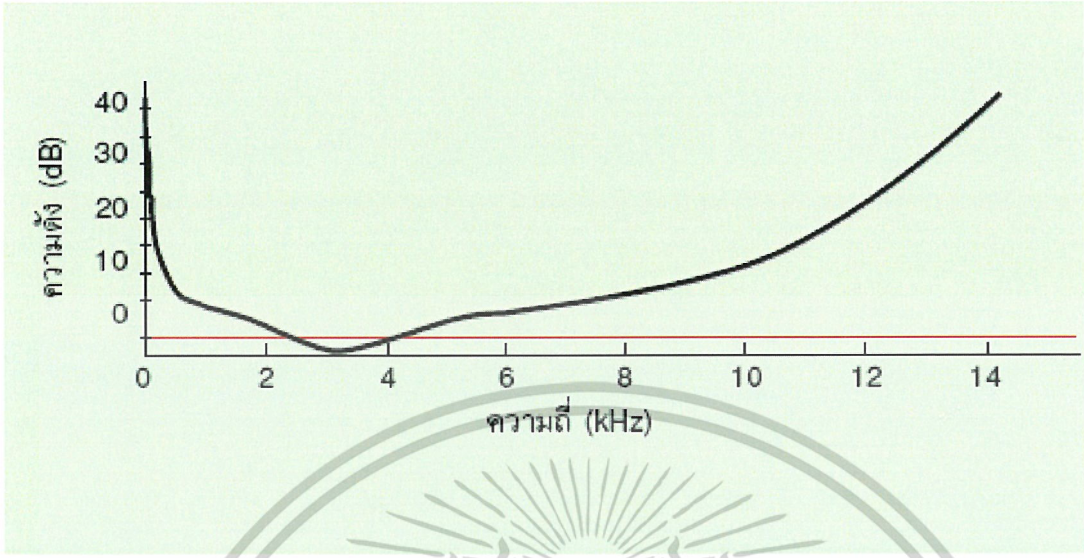
3.3 คุณภาพเสียงที่ได้

การบีบอัดข้อมูลตามมาตรฐาน MPEG นั้น สามารถกำหนดได้ว่าต้องการให้ข้อมูลที่ได้มีคุณภาพเสียงในระดับใด ถ้าต้องการให้มีคุณภาพเสียงที่ดีก็จะมีขนาดของข้อมูลใหญ่กว่าข้อมูลที่ต้องการคุณภาพเสียงที่ด้อยลงมา ขนาดของข้อมูลที่ถูกบีบอัดสามารถแทนได้ด้วยอัตราเร็วในการส่งข้อมูล เนื่องจากถ้าอัตราเร็วในการส่งข้อมูลสูง หมายความว่า ใน 1 วินาที ต้องใช้ข้อมูลในจำนวนที่สูงตามไปด้วย

ถ้าหากมาดูกันถึงความสัมพันธ์ระหว่างคุณภาพเสียงที่ต้องการ กับขนาดของข้อมูลที่ถูกบีบอัดจะเห็นความสามารถในการบีบอัดแบบ MP3 ได้อย่างชัดเจน ในกรณีที่เราต้องการคุณภาพเสียงในระดับของโทรศัพท์ จะเหลืออัตราการส่งข้อมูลเพียง 8 กิโลบิตต่อวินาทีเท่านั้น (ปัจจุบันระบบโทรศัพท์ดิจิตอลส่งข้อมูลเสียงด้วยความเร็ว 64 กิโลบิตต่อวินาที ตามมาตรฐาน (ISDN) หรือถ้าหากเราต้องการเสียงที่มีคุณภาพในระบบวิทยุ FM โดยใช้การบีบอัดแบบ MP3 ก็จะใช้อัตราการส่งข้อมูลเพียง 64 กิโลบิตต่อวินาทีเท่านั้น ด้วยความเร็วเท่านี้ ทำให้เราสามารถสร้างระบบวิทยุดิจิตอลซึ่งส่งข้อมูลดิจิตอลออกอากาศให้เป็นความจริงได้ แต่ความสามารถในการบีบอัดที่สูงก็ใช่ว่าจะได้มาโดยไม่เสียอะไรเลย เนื่องจากกระบวนการในการเข้ารหัสที่ซับซ้อนทำให้การแปลงข้อมูลต้องใช้เวลาช่วงหนึ่งในการทำงาน ดังเห็นได้จากตารางที่ 3.3

การลดขนาดข้อมูลตามมาตรฐาน MPEG นั้น ใช้พฤติกรรมในการได้ยินเสียงของมนุษย์มาเป็นเครื่องมือในการลดขนาดข้อมูล อย่างที่เรารู้กันโดยทั่วไปว่า หูของมนุษย์นั้นมีขีดจำกัดในด้านการรับฟัง โดยขีดจำกัดที่อยู่ด้านความถี่ 20 – 20,000 เฮิรตซ์ นั่นหมายความว่ามนุษย์จะได้ยินเสียงในช่วงความถี่สูงกว่า 20 เฮิรตซ์ แต่ต่ำกว่า 20 กิโลเฮิรตซ์เท่านั้น ถ้าอยู่เกินช่วงนี้ไปหูเราจะไม่ได้ยินเสียงนั้น ๆ แต่ใช่ว่าหูเราจะมีความไวต่อทุก ๆ ความถี่ที่เราได้ยินเท่า ๆ กัน จากผลการทดลองของนักวิทยาศาสตร์โดยสร้างห้องปิดที่ไม่มีเสียงรบกวนจากภายนอกขึ้น ให้ผู้ทดลองเข้าไปข้างในห้อง จากนั้นก็เริ่มสร้างเสียงที่ความถี่เท่าหนึ่ง (ที่หูมนุษย์ได้ยิน) โดยค่อย ๆ เพิ่มความดังของเสียงขึ้นเรื่อยๆ จนครบตลอดย่านความถี่ที่มนุษย์ได้ยินนำข้อมูลที่ได้มาวาดกราฟจะได้ดังรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

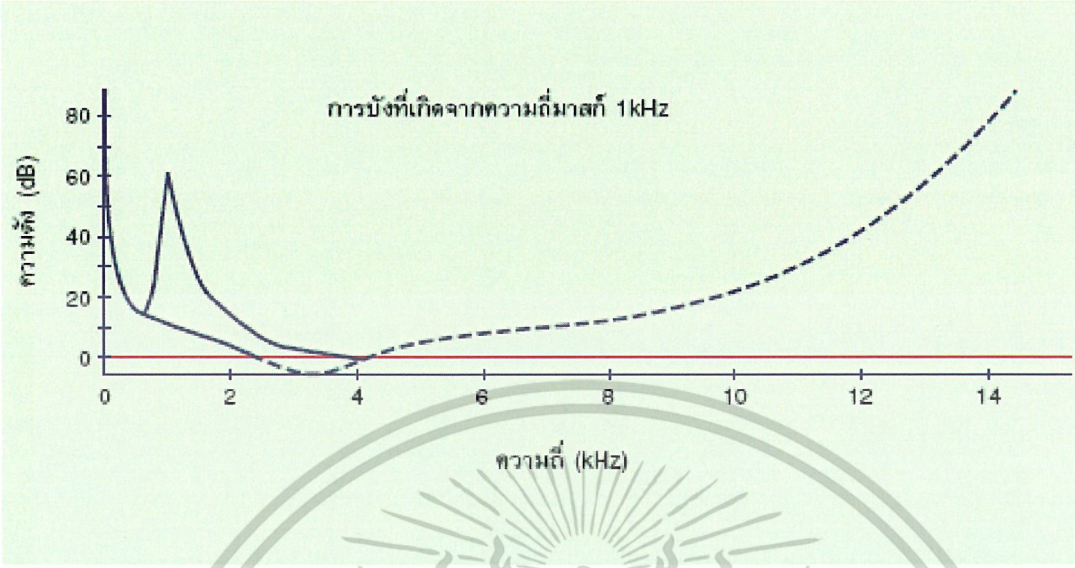


รูปที่ 3.1 ความไวต่อเสียงความถี่ต่าง ๆ ของมนุษย์

จากรูปที่ 3.1 จะเห็นได้อย่างชัดเจนว่า หูของมนุษย์เรามีความไวต่อเสียงแตกต่างกันที่ความถี่ต่าง ๆ กัน โดยจะมีความไวมากที่สุดในช่วงความถี่ 2 – 4 กิโลเฮิรตซ์ และถ้าเป็นความถี่ที่ต่ำมาก ๆ หรือสูงมาก ๆ ก็ยิ่งต้องใช้ความดังมาก ๆ เพื่อให้หูเราได้ยิน การทดลองในช่วงที่ผ่านมาเป็นการทดลองกับความถี่เพียงความถี่เดียว ต่อไปเราจะมาดูว่าถ้ามีเสียง 2 ความถี่ที่ใกล้เคียงกันกำเนิดพร้อม ๆ กัน หูเราจะได้ยินอย่างไร

ในห้องปิดห้องเดิมสร้างเสียงความถี่ 1 กิโลเฮิรตซ์ที่ระดับความดัง 60 dB จากนั้นก็สร้างเสียงที่มีความถี่ใกล้เคียงกันขึ้นมา เช่น 0.9 กิโลเฮิรตซ์ แล้วเพิ่มความดังขึ้นเรื่อย ๆ จนกว่าหูจะได้ยิน แล้วบันทึกค่าไว้ แล้วปรับความถี่ที่สร้างขึ้นเป็นความถี่ที่ 2 ทดลองไปเรื่อย ๆ แล้วบันทึกค่า นำมาวาดกราฟจะได้ดังรูปที่ 3.2

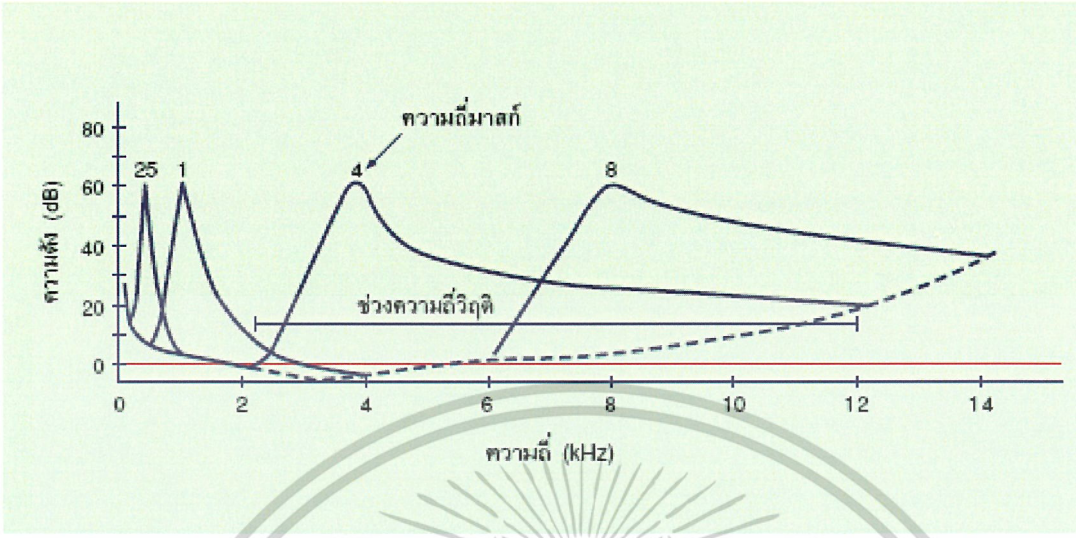
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



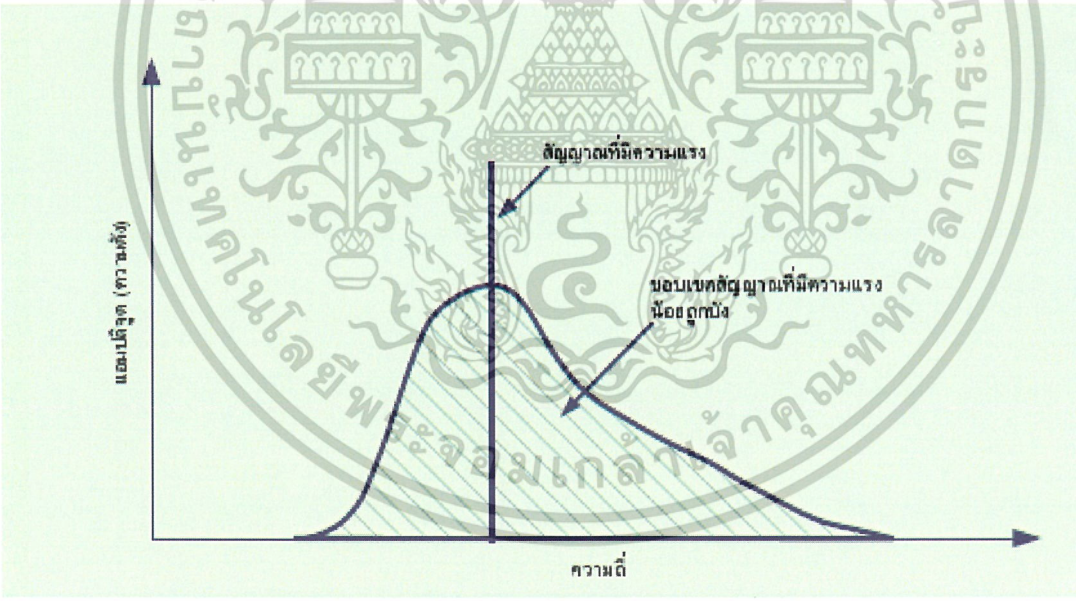
รูปที่ 3.2 การบังทางด้านความถี่ (Frequency Masking) ที่ความถี่มาสก์ 1 กิโลเฮิรตซ์

จากรูปที่ 3.2 เห็นได้ว่ามีความถี่หนึ่งดังขึ้นมา เสียงความถี่ที่ใกล้เคียงที่จะทำให้เราได้ยินนั้นจำเป็นต้องมีความดังมาก ๆ หากมีความดังน้อยกว่าเส้นกราฟหมายความว่าเราจะไม่ได้ยินเสียงนั้น ๆ ไปเลย คุณสมบัติของหูมนุษย์ในจุดนี้ทำให้เกิดย่านความถี่วิกฤต (Critical Band) ถ้ามองจากรูปก็คือช่วงความถี่ที่อยู่ในส่วนฐานของสามเหลี่ยม และเราเรียกความถี่ที่เป็นยอดของสามเหลี่ยมนี้ว่าความถี่มาสก์ (Marking Tone) สรุปแล้วย่านความถี่วิกฤตก็คือย่านความถี่ในช่วงที่ได้ยินหรือแยกแยะเสียงได้ยาก ถ้ามีเสียงความถี่มาสก์ของแบนด์นั้น ๆ อยู่ เราเรียกคุณสมบัติข้อนี้ของหูมนุษย์ว่าการบังทางความถี่ (Frequency Marking) นอกจากการไม่ได้ยินเสียงที่อยู่ในย่านความถี่วิกฤตแล้วยังมีคุณสมบัติอีกข้อหนึ่งที่ทำให้หูเราไม่ได้ยินเสียงไปชั่วคราว เราเรียกคุณสมบัติข้อนี้ว่า การบังชั่วคราว (Temporal Marking) คือเมื่อเราได้ยินเสียงที่เป็นความถี่มาสก์ดังขึ้นมาในระดับหนึ่งหลังจากเสียงนั้นหยุดลง เราจะต้องเสียเวลาช่วงหนึ่งก่อนที่เราจะได้ยินเสียงที่มีความถี่ใกล้เคียงกับความถี่มาสก์นั้น ดังรูปที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3 ย่านความถี่วิกฤต (Critical Band) ที่ความถี่ต่าง



รูปที่ 3.4 ขอบเขตของช่วงความถี่ที่ถูกบังในการใช้ไซโคอคูสติก (Psychacoustic)

เป็นกราฟที่ได้จากการทดลองสร้างเสียงความถี่มาสก์ 1 กิโลเฮิรตซ์ ที่มีความดัง 60 dB หลังจากนั้นปิดเสียงที่เป็นความถี่มาสก์ทดลองสร้างความที่ใกล้เคียง (ในที่นี้คือ 1.1 กิโลเฮิรตซ์) ที่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความดังค่าหนึ่งขึ้นมาจับเวลาที่เสียไปก่อนจะได้ยินเสียงนั้น แล้วทดลองซ้ำโดยเปลี่ยนระดับความดังของเสียงที่เกิดขึ้นทีหลังไปเรื่อย ๆ นำข้อมูลทั้งหมดมาวาดกราฟ ซึ่งจะเห็นได้ว่ายิ่งเสียงที่เกิดขึ้นมีความดังน้อยเท่าไหร่ ก็ยิ่งมีระยะที่เราไม่ได้ยินเสียงยาวขึ้นเท่านั้น

คุณสมบัติด้านการฟังทั้งหมดที่กล่าวมานั้น เรียกว่าไซโคอคูสติกโมเดล (Psychoacoustic Model) ถือเป็นเครื่องมือสำคัญในการลดขนาดข้อมูลของการบีบอัดตามมาตรฐานMPEGซึ่งมีลำดับกระบวนการในการบีบอัดดังนี้

1.นำข้อมูลเสียงดิจิตอลป้อนเข้าฟิลเตอร์เพื่อแยกเสียงออกเป็นช่วงความถี่ย่อยๆ (Subbands) ซึ่งมีความกว้างเท่ากับย่านความถี่วิกฤต จำนวน 32 ช่วงความถี่ เรียงขั้นตอนนี้ว่า Sub-band Filtering

2.ใช้ไซโคอคูสติกโมเดลเป็นเครื่องมือในการวิเคราะห์ข้อมูล ส่วนที่ไม่มีผลต่อการได้ยินของมนุษย์ออกไป โดยพิจารณาระหว่างช่วงความถี่ 2 ช่วงที่ติดกันและพิจารณาย่อยลงไปในแต่ละช่วงความถี่ด้วย

3.ถ้าวิเคราะห์แล้วพบว่าเสียงช่วงใดไม่มีผลต่อการได้ยิน ให้ตัดข้อมูลส่วนนั้นออกไป ไม่นำไปเข้ารหัสในส่วนถัดไป

4.นำข้อมูลที่เหลือมาเข้ารหัสซึ่งจะมีวิธีที่แตกต่างกันขึ้นอยู่กับแต่ละเลเยอร์

3.4 โครงสร้างของข้อมูลไฟล์เอ็มเป็ก 1 เลเยอร์ 3

ข้อมูลที่ถูกบีบอัดตามมาตรฐาน MP3 นั้นจะอยู่ในลักษณะของเฟรมข้อมูลโดยในแต่ละเฟรมข้อมูลจะมีส่วนประกอบภายในอยู่ 4 ส่วน คือ

1. หัวข้อมูล (Header) เป็นข้อมูลขนาด 32 บิต แสดงลักษณะทั่วไปของไฟล์นั้น ๆ

2. ส่วนตรวจสอบความผิดพลาด (CRC) เป็นข้อมูลขนาด 16 บิต ใช้ตรวจสอบข้อมูลภายในเฟรมว่าถูกต้องหรือไม่จะมีหรือไม่ก็ได้

3. ข้อมูลข้างเคียง (Side Information) มีขนาด 17 หรือ 32 ไบต์ (17 ไบต์สำหรับระบบโมโน32 ไบต์ สำหรับระบบอื่น ๆ) เป็นส่วนที่เก็บองค์ประกอบที่ใช้ในการถอดรหัส

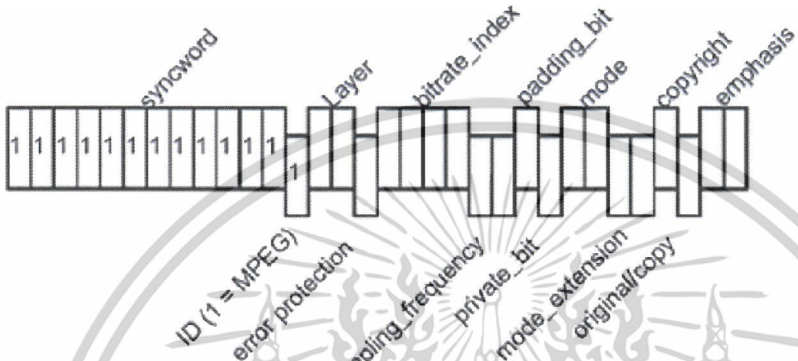
4. ข้อมูลหลัก (Main Data) มีความยาวขึ้นอยู่กับอัตราการส่งข้อมูล (Baud rate) และอัตราการสุ่มข้อมูลในการแปลงกลับเป็นสัญญาณอะนาลอก (Sampling Frequency)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

หัวข้อมูล (Header)	ตรวจสอบความผิดพลาด (CRC)	ข้อมูลข้างเคียง (Side Information)	ข้อมูลหลัก (Main Data)

ตารางที่ 3.4 รูปแบบข้อมูลเอ็มเป็ก 1 เลเยอร์ 3



รูปที่ 3.5 ส่วนประกอบภายในหัวข้อมูล (Header)

3.5 ชิพถอดรหัสข้อมูลเอ็มเป็ก VS1002d

3.5.1 คุณสมบัติของ VS1002d

1. สามารถถอดรหัสข้อมูลเอ็มเป็กออดิโอได้ทั้งเลเยอร์ 1, 2 และ 3
2. สนับสนุนการถอดรหัสข้อมูลเอ็มเป็ก1และ2 ทั้งทุกเลเยอร์ในเอ็มเป็ก 3 สามารถถอดรหัสได้ถึงเลเยอร์ 2.5 โดยสนับสนุนข้อมูลทั้งแบบโมโนและสเตริโอ
3. สามารถส่งข้อมูลด้วยความเร็วได้หลายระดับ
4. ทำงานที่สัญญาณนาฬิกา 12.288 – 16 เมกะเฮิรตซ์ หรือ 24.576 – 26 เมกะเฮิรตซ์ (สำหรับความเร็วในการส่งต่ำ)
5. ประหยัดพลังงาน
6. ในชิพประกอบด้วย ดิจิตอลอะนาลอกคอนเวสเตอร์ (DAC) คุณภาพสูงโดยปราศจากเพสเอเรอระหว่างแชลแนล
7. สำหรับสัญญาณอะนาลอกทำงานด้วยระดับแรงดัน 2.6 – 3.6 V
8. สำหรับสัญญาณดิจิตอลทำงานด้วยระดับแรงดัน 2.1 – 3.6 V

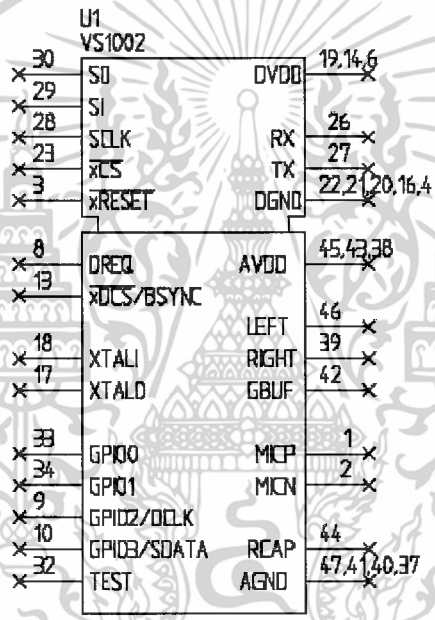
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
104170

9. มีแรมบนชิพถึง 4 กิโลบิต สำหรับผู้ใช้

10. มีฟังก์ชั่นใหม่เพิ่มเติม เช่น ข้อมูลเข้าเป็น PCM ข้อมูลเข้าเป็นสตรีม (Streaming)

11. ประมวลผลใน 16 บิตเวิร์ดของข้อมูล

3.5.2 ข้อมูลของขาใน VS1002d



รูปที่ 3.6 ขาต่าง ๆ ของชิพ VS1002d

ชื่อขา	ขาที่	ชนิดของขา	หน้าที่ของขา
DREQ	1	DO	ขาแสดงร้องขอข้อมูล
DCIK	2	DIO	ขาสัญญาณนาฬิกาสำหรับข้อมูลอินพุตแบบอนุกรม
SDATA	3	DI	ขาข้อมูลอินพุตแบบอนุกรม
BSYNC	4	DI	ขาสัญญาณแสดงข้อมูลซิงโครไนส์
DVDD1	5	PWR	ขาไฟเลี้ยงดิจิตอล
DGND1	6	PWR	ขากราวด์ดิจิตอล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XTALO	7	CLK	ขาคริสตอลเอาท์พุต
XTALI	8	CLK	ขาคริสตอลอินพุต
DVDD2	9	PWR	ขาไฟเลี้ยงดิจิตอล
DGND2	10	PWR	ขากราวด์ดิจิตอล
XCS	11	DI	ขาเลือกอินพุตข้อมูลว่าเป็นข้อมูลหรือคอนโทรล (active low)
SCLK	12	DI	ขาสัญญาณนาฬิกาสำหรับข้อมูลอินพุตแบบอนุกรม
SI	13	DI	ขาอินพุตอนุกรม
SO	14	DO3	ขาเอาท์พุตอนุกรม
TEST0	15	DI	ขาสำรองไว้สำหรับทดสอบ ต่อเข้ากับ DVDD
TEST1	16	DIO	ขาสำรองไว้สำหรับทดสอบ ไม่ต้องต่อ
TEST2	17	DIO	ขาสำรองไว้สำหรับทดสอบ ไม่ต้องต่อ
AGND1	18	PWR	ขากราวด์อะนาลอก
AVDD1	19	PWR	ขาไฟเลี้ยงอะนาลอก
RIGHT	20	AO	ขาเอาท์พุตแชนแนลขวา
AGND2	21	PWR	ขากราวด์อะนาลอก
RCAP	22	AIO	ขาเปรียบเทียบความจุไฟฟ้า
AVDD2	23	PWR	ขาไฟเลี้ยงอะนาลอก
LEFT	24	AO	ขาเอาท์พุตแชนแนลซ้าย
AGND3	25	PWR	ขากราวด์อะนาลอก
XRESET	26	DI	ขารีเซตแบบอะซิงโครไนส์ ทำงานที่ระดับสัญญาณ “0”
DGND3	27	PWR	ขากราวด์ดิจิตอล
DVDD3	28	PWR	ขาไฟเลี้ยงดิจิตอล

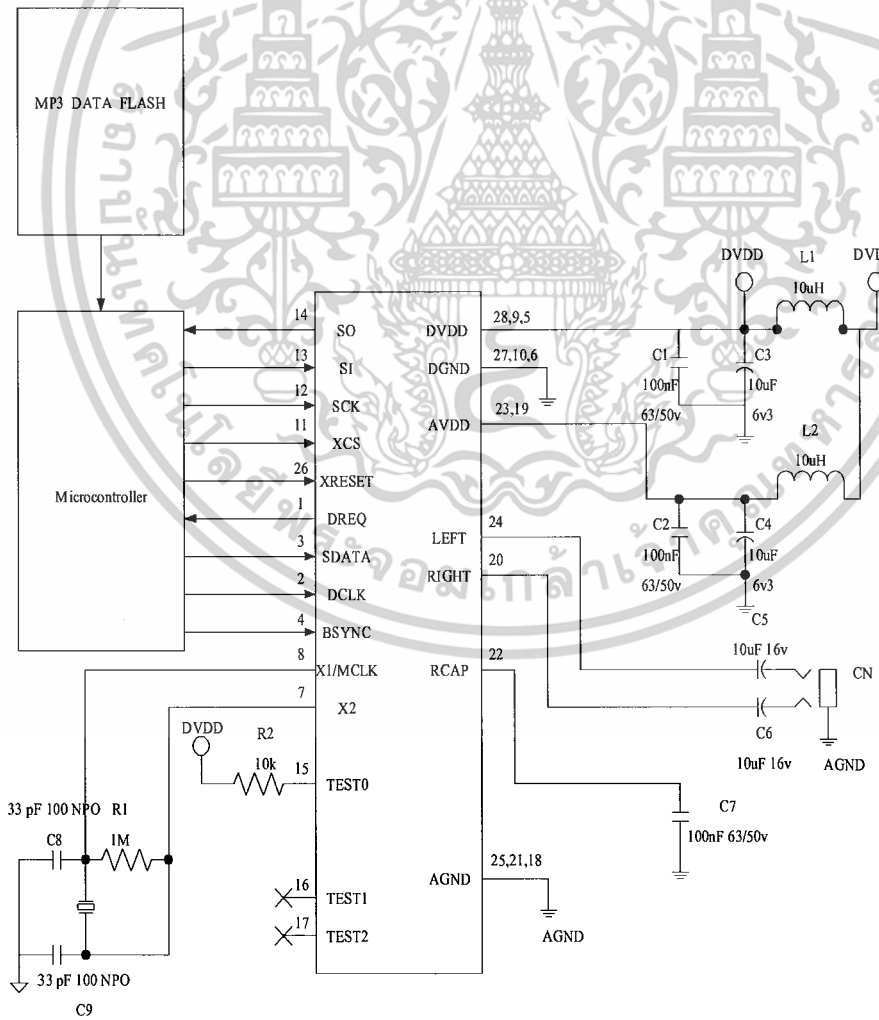
ตารางที่ 3.5 หน้าที่ของขาในชิพ VS1002d

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ความหมายของชนิดของขา

- DI ขาดิจิตอลอินพุต
- DO ขาดิจิตอลเอาท์พุต
- DIO ขาดิจิตอลอินพุต/เอาท์พุต
- AO ขาอนาล็อกเอาท์พุต
- CLK ขาสัญญาณนาฬิกา/ขาแสดงการต่อกับคริสตอล
- PWR ขาไฟเลี้ยงหรือกราวด์

3.5.3 การนำชิพ VS1002d ไปต่อใช้งาน



รูปที่ 3.7 การนำชิพ VS1002d ไปต่อใช้งานกับอุปกรณ์ไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6 ส่วนที่เชื่อมต่อข้อมูลอนุกรม SPI ของชิพ VS1002d สำหรับดาต้า (SDI: Serial Protocol for Serial Data Interfacd)

สามารถแบ่งได้เป็น 2 แบบ คือ

1. ส่วนเชื่อมต่อข้อมูลแบบอนุกรมสำหรับส่งข้อมูล
2. ส่วนเชื่อมต่อข้อมูลอนุกรมสำหรับการควบคุม

3.6.1 หน้าที่สำหรับขาส่งข้อมูลอนุกรม SPI

ขา SDI	ขา SCI	หน้าที่
-	XCS	ถ้าขา XCS ถูกป้อนเข้าด้วยระดับสัญญาณ “0” เป็นการเลือกว่าข้อมูลที่ส่งเป็นเอ็มเป็ก ถ้าขา XCS ถูกป้อนเข้าด้วยระดับสัญญาณ “1” เป็นการเลือกว่าข้อมูลที่ส่งเป็นข้อมูลสำหรับควบคุม
DCLK	SCK	สัญญาณนาฬิกาของข้อมูลอนุกรม จะถูกใช้เหมือนเป็นสัญญาณนาฬิกาหลักสำหรับอุปกรณ์อินเตอร์เฟส ในกรณีที่ XCS เป็น “0” ที่ขอบขาขึ้นแรกจะทำให้บิตแรกถูกเขียนลงไป ในขณะที่สัญญาณนาฬิกาก็กำลังให้สัญญาณต่อเนื่องไปเรื่อย ๆ
SDATA	SI	ข้อมูลอินพุตแบบอนุกรม ในกรณีที่ XCS มีค่าเป็น “0” SI จะเริ่มสุ่มเอาข้อมูลที่ขอบขาขึ้นของสัญญาณ SCK
-	SO	ข้อมูลเอาท์พุตแบบอนุกรมในการอ่าน ข้อมูลจะถูกเลื่อนออกที่ขอบขาของสัญญาณ SCK ที่ขอบขาลง ในการเขียน SO จะอยู่ในสถานะ high impedance

ตารางที่ 3.6 หน้าที่ของพอร์ตอนุกรม SPI

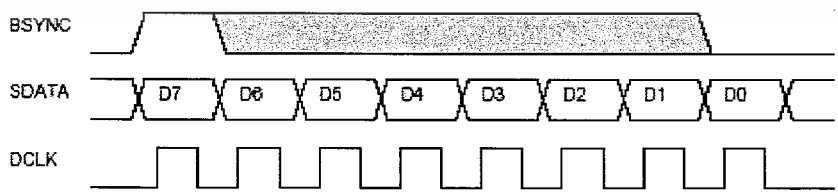
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.6.2 คุณลักษณะสำหรับการส่งแบบอนุกรมสำหรับการส่งข้อมูล (SDI)

สำหรับการส่งข้อมูลแบบอนุกรมจะสามารถทำงานได้ 2 โหมด คือ มาสเตอร์และสเลฟ ในการทำงานโหมดมาสเตอร์ VS1002d จะทำการสร้างสัญญาณนาฬิกา DCLK ขึ้นมาเองโดยจะสามารถเลือกระดับความเร็วของสัญญาณนาฬิกาได้ 2 ระดับ คือ 512 และ 1024 เมกะเฮิรตซ์ในโหมดสเลฟสัญญาณนาฬิกา DCLK จะถูกสร้างจากวงจรภายนอก สำหรับข้อมูล (SDATA signal) จะสามารถเปลี่ยนแปลงได้ทั้งที่ขอบขาขึ้นหรือขอบขาลงของ DCLK ได้ตามการโปรแกรมของเราชิพ VS1002d จะสมมติเอาข้อมูลอินพุตของไบต์ซิงโครไนส์ เช่น การทำงานภายในตัวดีโคดเดอร์ภายในชิพจะไม่หาไบต์ซิงโครไนส์สำหรับเฟรมจากข้อมูลที่เข้ามาเรื่อย ๆ แต่จะสมมุติเอาข้อมูลที่เรียงเข้ามาอย่างถูกต้องเท่านั้น โดยไบต์ข้อมูลจะถูกส่งมาได้ทั้งแบบ MSB หรือLSB ขึ้นอยู่กับการเซตในโหมด

เพื่อความแน่ใจว่าข้อมูลที่เข้ามาเป็นไบต์จะถูกต้องจริงๆ การส่งข้อมูลแบบอนุกรมจะมีสัญญาณ BSYNC เข้ามา ระหว่างที่สัญญาณ BSYNC เป็น “1” สัญญาณนาฬิกาจะให้กำเนิดพัลส์แรกออกมาและสัญญาณ BSYNC จะตกลงเป็น “0” ก่อนที่ข้อมูลจะส่งครบ ถ้าสัญญาณ BSYNC ไม่ใช้เราสามารถต่อเข้ากับไฟเลี้ยงภายนอก และอุปกรณ์ที่จะส่งข้อมูลเข้าจะต้องส่งได้อย่างถูกต้อง

สัญญาณ DREQ จะเป็นสัญญาณที่แสดงการร้องขอข้อมูลของ VS1002d ถ้า DREQ เป็น “0” ตัวส่งควรจะหยุดการส่งข้อมูลใหม่เพราะว่าจะเหลือเนื้อที่ 32 ไบต์เป็นเนื้อที่ปลอดภัย ซึ่งจะง่ายสำหรับพวกอุปกรณ์ไมโครคอนโทรลเลอร์ที่มีความเร็วต่ำ ถ้าหากไม่มีการตรวจสอบสัญญาณ DREQ ตัวส่งอาจส่งมากเกิน 32 ไบต์ ทำให้อาจไม่เกิดการดีโค้ดของข้อมูลได้



รูปที่ 3.8 รูปสัญญาณ BSYNC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.7 ส่วนเชื่อมต่อข้อมูลอนุกรม SPI ของชิพ VS1002d สำหรับคอนโทรล (SCI: Serial Protocol for Serial Command Interface)

โดยปกติ ชุดคำสั่งของการส่งข้อมูลอนุกรมสำหรับคอนโทรลจะประกอบด้วยชุด คำสั่ง แอดเดรสไบต์ และ 16 บิต ดาต้าเวิรส์ (instructions + address byte + 16 bit data word) โดยชุดคำสั่ง (instruction) จะเป็นข้อมูล 8 บิต ซึ่งเป็นคำสั่งสำหรับอ่านและเขียนดังตาราง

ชนิด	ออปโค้ด (Opcode)	ลักษณะการทำงาน
READ	0000 0011	Read Data
WRITE	0000 0010	Write Data

ตารางที่ 3.7 ชุดคำสั่งของชิพ VS1002d

*** หลังจากได้ส่งคำสั่งควบคุมแล้วตัวชิพ VS1001h จะไม่ยอมให้ส่ง SCI หรือ SDI ได้อีกเป็นระยะเวลา 5 ไมโครวินาที

3.7.1 การอ่านข้อมูลสำหรับ SCI (SCI Read)

การอ่านข้อมูลจากชิพ VS1002d สามารถทำได้ดังนี้

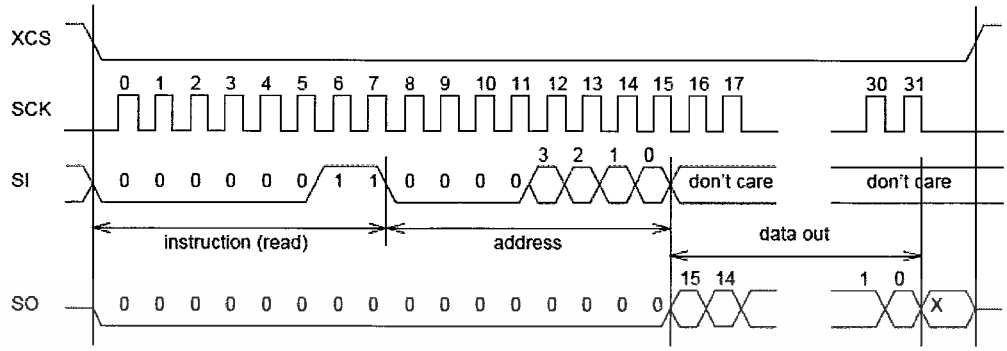
1. ให้สัญญาณ XCS เป็น “0” เพื่อเลือกชิพให้ทำงานที่ SCI

2. จากนั้นส่ง ออปโค้ดอ่าน (Read Opcode) 03H ผ่านสาย SI จากนั้นส่ง 8 บิต แอดเดรสตามลำดับ

3. หลังจากที่ส่งแอดเดรสไปแล้ว หากมีข้อมูลใดส่งไปตามหลังชิพ VS1002d จะไม่สนใจ แต่จะส่งข้อมูล 16 บิตที่อยู่ในแอดเดรสที่ต้องการ โดยชิพ (shifted) ออกไปทางสาย SO

4. ให้สัญญาณ XCS เป็น “1” หลังจากชิพ (shifted) ข้อมูลเรียบร้อยแล้ว เพื่อให้จบกระบวนการอ่านข้อมูล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.9 สัญญาณการอ่านข้อมูลผ่านพอร์ตอนุกรม

3.7.2 การเขียนข้อมูลสำหรับ SCI (SCI Write)

การเขียนข้อมูลให้แก่ชิพ VS1002d สามารถทำได้ดังนี้

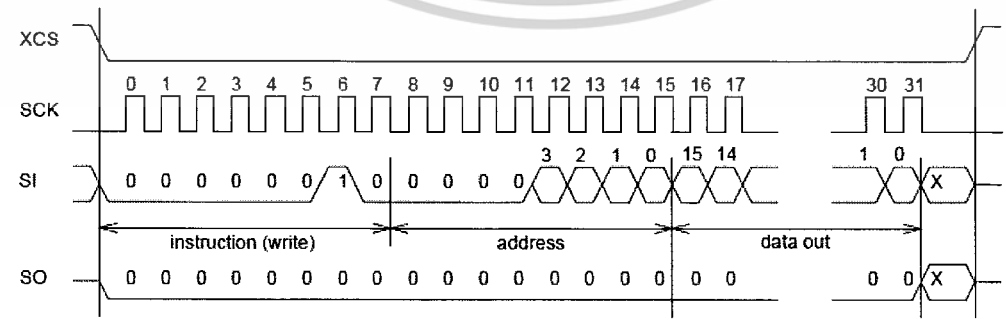
1. ให้สัญญาณ XCS เป็น “0” เพื่อเลือกชิพให้ทำงานที่ SCI

2. จากนั้นส่ง ออปโค้ดเขียน (Write Opcode) 02H ผ่านสาย SI จากนั้นส่ง 8 บิต แอดเดรสตามลำดับ

3. จากนั้นจึงส่งข้อมูลตามไป ข้อมูลจะถูกชิพ (Shifted) ออกไปตามสาย SI

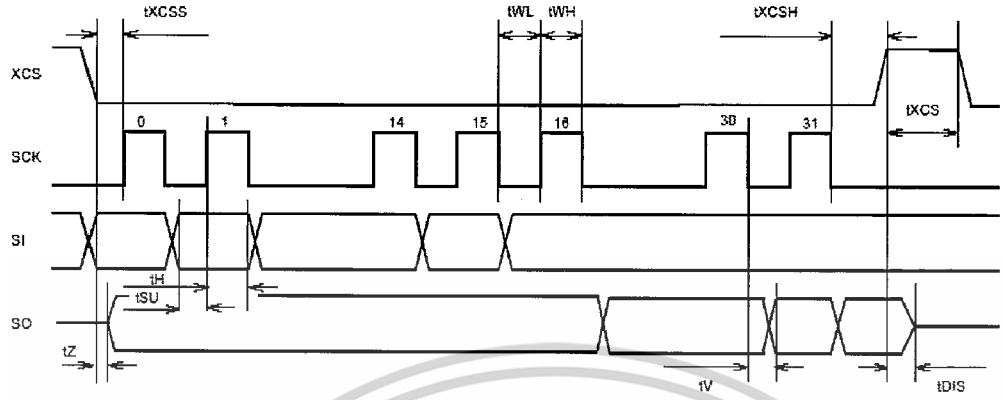
4. ให้สัญญาณ XCS เป็น “1” เพื่อจบกระบวนการเขียนข้อมูลลง SCI

5. ระดับสัญญาณ XCS เปลี่ยนจาก “0” ไป “1” จะเกิดหลังจากสัญญาณ SCLK เปลี่ยนจาก “1” ไป “0” การเปลี่ยนแปลงจะเกิดตรงกับบิด LSB ของข้อมูล



รูปที่ 3.10 สัญญาณการเขียนข้อมูลลงพอร์ตอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.11 แผนผังเวลาของพอร์ตอนุกรม

3.7.3 ลักษณะการทำงาน

VS1002dใช้คุณสมบัติพื้นฐานการประมวลผลสัญญาณดิจิตอล VS_DPS ภายในบรรจุรหัสและหน่วยความจำที่จำเป็นสำหรับการถอดรหัสเอ็มเป็กทั้งหมด พร้อมด้วยพอร์ตอนุกรมกับตัวขยายและควบคุมเอาท์พุตที่เป็นสัญญาณอะนาลอก สเตริโอ DAC หลายระบบ

ข้อมูลและบิตเรตในส่วนเพิ่มเติมสามารถส่งข้อมูลด้วยความเร็วหลายระดับ(VBR) เป็นตัวสนับสนุน ระดับ VBR ที่ใช้สำหรับเพลงจากใกล้เคียง VS1002d สามารถเล่นได้ทั้งไฟล์เอ็มเป็ก 1 และ 2 เลเยอร์ 1, 2 และ 3 ส่วนประกอบไฟล์ทั้ง อัตราสุ่ม CD นั้นประมาณ 100 kบิตs/s สำหรับตัวอย่างเพลงระบบสเตริโอที่ความถี่ 44100 Hz ด้วยเหตุที่การเข้ารหัสแบบเก่าต้องใช้ 128 k บิตs/s สำหรับการทำงานเต็มที่ VBR การเข้ารหัสคุณภาพสูงได้ถูกนำมาใช้ประโยชน์อย่างกว้างขวาง

3.8 SCI รีจิสเตอร์

Name	Type	Addr	Function
โหมด	RW	0	โหมดคอนโทรล
STATUS	RW	1	สถานะของชิพ VS1002d

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

INT_FCTLH	-	2	รีจิสเตอร์ภายใน
CLOCKF	RW	3	ความเร็วสัญญาณนาฬิกา
SRATE	R	4	อัตราการสุ่มข้อมูล
SUDATA	R	5	ข้อมูลเสียงความดัง
WRAM	W	6	ส่วนการเขียนโปรแกรมลงหน่วยความจำ
WRAMADDR	W	7	แอดเดรสของหน่วยความจำที่ต้องการเขียน
HDAT0	R	8	จุดอ่านข้อมูล
HDAT1	R	9	จุดอ่านข้อมูล
AIADDR	RW	10	แอดเดรสที่ทำการเริ่มโปรแกรม
VOL	RW	11	ควบคุมความดังของเสียง
AICTRL[x]	RW	12	รีจิสเตอร์สำหรับการประยุกต์ใช้งานต่าง

ตารางที่ 3.7 SCI รีจิสเตอร์

3.8.1 รีจิสเตอร์โหมด, โหมด (RW)

บิต	Function		คำอธิบาย
โหมด[0]	ไม่ใช้งาน		
โหมด[1]	ไม่ใช้งาน		
บิต	Function		คำอธิบาย
โหมด[3]	ไม่ใช้งาน		
โหมด[4]	ประหยัดพลังงาน	0 1	ไม่มี มี
โหมด[2]	โปรแกรมรีเซต	0 1	รีเซ็ต ไม่รีเซ็ต
โหมด[5]	ไม่ใช้งาน		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โหมด[6]	ไม่ใช้งาน		
โหมด[7]	ไม่ใช้งาน		
โหมด[8]	สัญญาณ DCLK ทำงานที่ขอบขาขึ้น หรือขอบขาลง	0 1	ขอบขาขึ้น ขอบขาลง
โหมด[9]	ส่งบิตไหน ก่อนหน้าหรือหลัง	0 1	MSB ก่อน MSB หลัง
โหมด[10]	โหมดอินพุตข้อมูล	0 1	สเลฟ มาสเตอร์
โหมด[11]	ถ้าให้เป็นมาสเตอร์จะมีสัญญาณนาฬิกา เท่าใด	0 1	512 กิโลเฮิรตซ์ 1024 กิโลเฮิรตซ์

เครื่องจะรีเซต เมื่อตั้งค่า บิต 2 เป็น 1

ตารางที่ 3.8 รีจิสเตอร์โหมด

หน้าที่ของแต่ละบิตในรีจิสเตอร์โหมด มีดังนี้

บิต 4 จะครอบคลุมตัวอย่าง โดยจะเป็นตัวเปลี่ยน VS1002d เป็นโหมดประหยัดพลังงานที่เฉพาะส่วนการทำงาน คอนโทรลสายสัญญาณ

บิต 8 กำหนดขอบเขตการทำงานของ data clock สำหรับ SDI

บิต 9 กำหนด data order ภายในไบต์ สำหรับ SDI

บิต 10 ตั้งค่าสายสัญญาณอินพุตเป็นมาสเตอร์

บิต 11 ตั้งค่า bus clock speed เมื่อ VS1002d เป็นมาสเตอร์

3.8.2 รีจิสเตอร์สถานะ, STATUS (RW)

รีจิสเตอร์สถานะบรรจุข้อมูลบน สถานะปัจจุบันของ VS1002d บิต 1 และ 0 ใช้ควบคุมอะนาลอกเอาท์พุต ระดับเสียง 0 = -0 dB, 1 = -6 dB, 3 = -12 dB บิต 2 คืออะนาลอก powerdown บิต เมื่อเซตเป็นอะนาลอกเป็น powerdown

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8.3 INT_FCNTLH (-)

INT_FCNTLH ไม่ใช้ user-accessible รีจิสเตอร์

3.8.4 รีจิสเตอร์สัญญาณนาฬิกา, CLOCKF (RW)

รีจิสเตอร์สัญญาณนาฬิกา สัญญาณนาฬิกาซึ่งทำงานบางอย่างด้วยความถี่มากกว่า 24.576 เมกะเฮิรตซ์ ความเร็วของสัญญาณนาฬิกาจะเซตในทุก ๆ 2 กิโลเฮิรตซ์ ดังนั้นสูตรการคำนวณค่าที่ถูกต้อง สำหรับรีจิสเตอร์นี้ คือ ClockIn Hz / 2000 ค่านี้จะอยู่ระหว่าง 0.32767 ถึงแม้ว่าฮาร์ดแวร์จะมีขอบเขตความเร็วสูงสุด ที่ความเร็วต่ำกว่า 24.576 เมกะเฮิรตซ์ ทั้งอัตราสุ่มข้อมูลและบิตสตรีมจะทำงานไม่นานนัก ถ้ากำหนดให้ MSB ของ CLOCKF เป็น 1 จะทำงานภายใน clock-doubling clock ที่สูงถึง 15 เมกะเฮิรตซ์ อาจจะเป็น doubled ถ้าทำงานเป็น clock doubler 15 LSBs ของรีจิสเตอร์จะเป็นค่า clock-doubled ที่ใช้คำนวณ ดังนั้น รีจิสเตอร์นี้ต้องเซตค่าก่อนเริ่มการถอดรหัสข้อมูล MP3 มิฉะนั้นอัตราการสุ่มข้อมูลจะเซตไม่ถูกต้อง

ตัวอย่างที่ 1 : สำหรับความเร็วสัญญาณนาฬิกาที่ 26 เมกะเฮิรตซ์ ค่าจะเป็น 13000

ตัวอย่าง 2ที่ : สำหรับความเร็วสัญญาณนาฬิกาภายนอกและใช้ clock-doubling สำหรับ 27 เมกะเฮิรตซ์ ค่าจะเป็น 0 x 8000 + 13500 = 46263

3.8.5 รีจิสเตอร์ SRATE (R)

เมื่อถอดรหัสข้อมูลถูกต้อง ออดิโออัตราสุ่มข้อมูลสามารถพบใน SRATE ไม่เป็นจำนวนเต็ม

3.8.6 รีจิสเตอร์ AUDATA (R)

เมื่อถอดรหัสข้อมูลถูกต้อง อัตราบิตเรตในปัจจุบันใน k บิตs/s สามารถพบใน บิตs 0.8 ของ AUDATA สำหรับบิตสตรีม variable บิตrate บิตs 14.9 จะไม่ใช้และจะเซตเป็น 0 บิตs 15 เป็น 0 สำหรับข้อมูลแบบโมโนและ 1 สำหรับแบบสเตริโอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8.7 รีจิสเตอร์ WRAM (W)

WRAM ใช้โหลดโปรแกรมประยุกต์เป็นโปรแกรมแอดเดรสของแรมเริ่มต้นต้องเป็นตัวแรกโดยการเขียนเป็น WRAMADDR รีจิสเตอร์ ลำดับถัดไปเป็นการเรียกครั้งแรกของ WRAM ค่าที่ใช้ 16 บิตs ของข้อมูลสามารถส่งได้กับหนึ่งการเขียน WRAM และโปรแกรมเวิร์สเป็น 32 บิตสองการเขียนที่ตามมาจำเป็นสำหรับแต่ละโปรแกรมเวิร์สไบต์ ลำดับคือบิตที่มีค่าสูงสุดก่อน

3.8.8 รีจิสเตอร์ WRAMDDR (W)

WRAMDDR ใช้เซตแอดเดรสของโปรแกรมสำหรับติดตามการเขียน WRAM พื้นที่สำหรับให้ผู้เขียนโปรแกรมระหว่างแอดเดรส 4096 ... 5119 (ที่แอดเดรส 4096 ... 4111 จะถูกสำรองโดยระบบ) แต่สำหรับการเขียน WRAM ทั้งหมดจะสนใจแอดเดรสที่สูงกว่า 4096 ดังนั้นถ้าโปรแกรมเมอร์ต้องการเขียนที่แอดเดรส 4567 ต้องเขียนเป็น 4567 + 4096 = 8663 WRAMADDR

3.8.9 รีจิสเตอร์ HDATA and HDAT1 (R)

บิต	การทำงาน	ค่า	คำอธิบาย
HDAT [4 : 3]	ID	3	MPG 2.5 (1/4-rate)
		2	MPG 2.5 (1/4-rate)
		1	ISO 11172-3 1.0
		0	MPG 2.0 (1/2-tate)
HDAT [2 : 1]	เลเยอร์	3	I
		2	II
		1	III
		0	สำรองไว้
HADT [0]	โปรเท็กส์บิต	1	มีการโปรเท็กส์ด้วย CRC
		0	ไม่มี CRC
HDAT0 [15 : 12]	บิตrate		c.f. 11172-3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HDAT0 [11 : 10]	อัตราสุ่มข้อมูล	3	สำรองไว้
		2	32/16/8 กิโลเฮิรตซ์
		1	48/24/12 กิโลเฮิรตซ์
		0	44/22/11 กิโลเฮิรตซ์
บิต	การทำงาน	ค่า	คำอธิบาย
HDAT0 [8]	Private บิต		Not defined
HDAT0 [9]	Padrate	1	Addition slot
		0	Normal frame
HDAT0 [7 : 6]	โหมด	3	โมโน
		2	ช่องสัญญาณคู่
		1	จอยส์สเตริโอ
		0	สเตริโอ
HDAT0 [5 : 4]	ส่วนขยาย		c.f. 11172-3
HDAT0 [3]	ลิขสิทธิ์	1	มีลิขสิทธิ์
		0	ฟรี
HDAT0 [2]	ต้นฉบับ	1	ต้นฉบับ
		0	ก็อบปี้
HDAT [1 : 0]	Emphasis	3	CCITT J.17
		2	สำรองไว้
		1	50/5 ไมโครวินาที
		0	None

ตารางที่ 3.9 รีจิสเตอร์ HDATA and HDAT1 (R)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.8.10 รีจิสเตอร์ AIADDR (RW)

AIADDR เป็นตัวแสดงแอดเดรสเริ่มต้นของการเขียนรหัสประยุกต์ที่เร็วกว่ารีจิสเตอร์ WRAMADDR และ WRAM ถ้าไม่ใช้รหัสประยุกต์ รีจิสเตอร์นี้จะไม่เป็นตัวแรกหรือตัวแรกจะเป็น 0

3.8.11 รีจิสเตอร์ VOL (RW)

VOL ตัวคุมระดับสัญญาณเสียงสำหรับเครื่องเล่น สำหรับแต่ละช่องสัญญาณ ค่าในช่วงของ 0 ... 255 อาจจะกำหนดให้มันเบาลงจากระดับสัญญาณเสียงสูงสุด (ระดับใน 0.5 dB) ทางช่องซ้ายจะมีหลายค่าโดย 256 และค่าที่เพิ่มขึ้น ดังนั้นระดับสัญญาณเสียงสูงสุดเป็น 0 และเงียบถ้าเป็น 65535 ตัวอย่าง : สำหรับระดับสัญญาณเสียง –2.0 dB ของช่องซ้ายและ –3.5 dB ของช่องขวา : (4*256) + 7 = 1031 ดังนั้นที่ startup ระดับสัญญาณเสียงเซตเป็นเต็ม 1 ระดับสัญญาณเสียงการรีเซตซอฟต์แวร์ต้องไม่รีเซตระดับสัญญาณเสียง ดังนั้นการเซตระดับสัญญาณเสียงเป็น total silence (255 สำหรับช่องซ้ายและขวา) จะปิดอะนาลอก power แต่ทำให้เกิดการสั่นในหูฟัง ถ้าคุณต้องการปิดระดับสัญญาณเสียง แต่ไม่ต้องการการสั่นนี้ ต้องปรับระดับสัญญาณเสียงเป็น 254 ทั้ง 2 ช่อง (0 x FEFE)

3.8.12 รีจิสเตอร์ A1CTRL[x] (RW)

A1CTRL[x] – รีจิสเตอร์ (x = [0.2]) สามารถใช้เข้ากับโปรแกรมประยุกต์ของผู้ใช้ได้

3.9 การทำงานส่วนต่าง ๆ ของชิพ VS1002d

3.9.1 สัญญาณนาฬิกา

ชิพ VS1002d จะทำงานบนความถี่ 24.576 เมกะเฮิรตซ์ ของสัญญาณนาฬิกาหลักนี้สามารถกำเนิดจากวงจรภายนอก (ต่อที่ขา XTAL1) หรือโดยภายในคริสตอลอินเตอร์เฟส (ขา XTAL1 และ XTAL0) นี้เป็นสัญญาณนาฬิกาที่พอเพียงกับเอาท์พุตออดิโอคุณภาพสูงสำหรับทุกมาตรฐานอัตราตัวอย่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9.2 โหมดประหยัดพลังงาน

ในโหมดประหยัดพลังงาน ชิพแสดงเพียงสายคอนโทรลตัวขับอะนาลอก เอาท์พุต จะปิดและการประมวลผลตกค้างในสถานะคงค่า (Hold State)

3.9.3 การรีเซตตัวเครื่อง

เมื่อขา xRESET ป้อนพัลส์ "0" เข้าไป VS1002d จะรีเซตและทุกรีจิสเตอร์คอนโทรลและค่ากำหนดภายในต้องเซตเป็นค่าเริ่มต้น สัญญาณ xRESET เป็นอะซิงโครนัส ไม่ขึ้นกับสัญญาณนาฬิกาภายนอก รีเซตโหมดดับเบิลจะเป็นฟูลเพาเวอร์ดาวน์โหมด เมื่อทั้งส่วนสัญญาณดิจิตอลและอะนาลอกของชิพ VS1002d เป็นพาวเวอร์น้อยสุด จะทำให้เมื่อสัญญาณนาฬิกาหยุด

หลังจากตัวเครื่องรีเซตแล้ว จะเซตให้ตัวโปรแกรมในรีจิสเตอร์เช่นรีจิสเตอร์ควบคุมเสียงให้พร้อมแล้วจึงทำการเริ่มถอดรหัสสัญญาณเสียง

3.9.4 การรีเซตโปรแกรม

ระหว่างข้อมูลเอ็มเป็ก หากมีการรีเซตซอฟต์แวร์ จะมีการกระตุ้นให้บิตที่ 2 ในรีจิสเตอร์ SCI และต้องรออย่างน้อย 2 ไมโครวินาที จากนั้นขา DREQ จะเป็น "0" ประมาณ 6000 แมทชีนไซเคิล (ประมาณ 250 ไมโครวินาที จะเป็นการหน่วงเวลาเอาไว้เพราะว่าชิพ VS1002d จะทำงานที่สัญญาณนาฬิกา 25.576 เมกะเฮิรตซ์ เมื่อสัญญาณ DREQ เป็น "1" ให้ส่งข้อมูลใด ๆ เข้าสู่ส่วน SDI หลังจากนี้ตัวชิพก็จะทำงานต่อไปได้อย่างปกติ

ถ้าต้องการให้แน่ใจว่าตัวชิพ VS1002d จะไม่หยุดกลางคันถ้าหากว่ามีการส่งข้อมูลมาช้ามากให้ส่ง "2048H" เข้าสู่ส่วน SDI ก่อนที่จะทำการรีเซตโปรแกรม

3.9.5 การถอดรหัสข้อมูลเอ็มเป็ก

โดยการทำงานปกติส่วนข้อมูลเอ็มเป็กเมื่อถูกถอดรหัส ตัวถอดรหัสจะทำการสุ่มเอาข้อมูลเอ็มเป็ก แล้วมาทำการถอดรหัสเป็นสัญญาณดิจิตอลภายในส่วน DAC ถ้าหากมีการผิดพลาดระหว่างการถอดรหัสแล้วจะมีการเซตบิตขึ้นในรีจิสเตอร์คอนโทรล (SCI) ที่บิต HDAT0 และ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HDAT1 ในกรณีที่เกิดการล้มเหลวขึ้นในการส่งข้อมูล ตัวถอดรหัสจะยังคงทำงานแต่สัญญาณอะนาลอกจะไม่มีสัญญาณออกมา

3.9.6 การตรวจสอบว่ามีการทำงานอย่างปกติหรือไม่

ถึงแม้ว่าตัวชิพเองจะมีการตรวจสอบอยู่แล้ว แต่ก็อาจมีเหตุให้เกิดการไม่ถอดรหัสข้อมูลบางตัว ทำให้โปรแกรมทำงานผิดพลาดได้ โดยอาจเกิดในกรณีการเร่งสปีดในการถอดรหัส

ตัวไมโครคอนโทรลเลอร์เองจะเก็บค่าความเร็วที่ VS1002d ต้องการไว้ ถ้าตัวข้อมูลเกิดการหยุดส่งหรือถ้าตัวชิพต้องการข้อมูลมากกว่า 60 กิโลบิตในทุก ๆ วินาที มันจะส่งผลต่อตัวไมโครคอนโทรลเลอร์เวลาตัวโปรแกรมเกิดการรีเซต ถ้าหากไม่มีการตรวจสอบแล้วเกิดการรีเซตทางฮาร์ดแวร์จะยังคงทำงาน

3.9.7 การทดสอบ

มีการทดสอบหลายอย่างในการทดสอบชิพ VS1002d โดยอาจมีการทดสอบหน่วยความจำ ส่วนส่งสัญญาณอนุกรม (SPI) และเอาท์พุตสัญญาณไซน์ที่มีความถี่ตั้งแต่ 250 Hz ถึง 1500 Hz

การทดสอบสามารถทำได้หลายทางหากมีข้อมูลเอ็มเป็กถูกถอดรหัส ตัวถอด รหัสจะจบการถอดรหัสโดยทำการส่งข้อมูล 1024H ออกมา ทำให้เชื่อได้ว่าตัวถอดรหัสมองหาข้อมูลตัวต่อไปและจะยังไม่ถอดรหัสข้อมูลโดยปราศจากข้อมูลเอ็มเป็ก ถ้าไม่มีข้อมูลเอ็มเป็กถูกถอดรหัสตั้งแต่การรีเซตครั้งก่อนขั้นตอนนี้ก็จะไม่เกิด การทดสอบแต่ละครั้งจะเริ่มโดยการส่งคำสั่ง 4 ไบต์ตามลำดับ โดยการส่งแต่ละครั้งจะให้เอาท์พุตออกมา

3.9.8 อัตราเร็วสูงสุดของสัญญาณนาฬิกา

การใช้สัญญาณนาฬิกาอื่น ที่ไม่ใช่ความเร็วของสัญญาณนาฬิกาที่ 24.576 เมกะเฮิรตซ์ นี้จะส่งผลต่อความเร็วของการสุ่มเอาข้อมูล ความเร็วในการถอดรหัสบิตข้อมูลและผลกระทบต่อตัว DSP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9.9 ความเร็วสูงสุดในการสุ่มข้อมูล

ที่สัญญาณนาฬิกา 24.576 เมกะเฮิรตซ์หรือสูงกว่า อัตราสุ่มเอาข้อมูลสูงสุดอยู่ที่ 48000 Hz สำหรับที่ความเร็วต่ำกว่าสามารถคำนวณได้จาก (4800 x ความเร็วสัญญาณนาฬิกา (เมกะเฮิรตซ์))/ 24.576 จะเห็นว่าถ้าความเร็วของสัญญาณนาฬิกาลดลง จะทำให้ความเร็วในการสุ่มเอาข้อมูลลดลงด้วย

หากนำเอาสัญญาณนาฬิกาที่ 26 เมกะเฮิรตซ์ มาใส่จะเป็นความเร็วสูงสุดของสัญญาณนาฬิกาในการสุ่มเอาข้อมูลโดยจะมีความเร็วในการสุ่มข้อมูลถึง 50781 Hz ดังนั้น ทุก ๆ ข้อมูลเอ็มเป็กจะถูกถอดรหัสออกมาอย่างถูกต้อง แต่ที่ 48000 Hz แล้วจะไม่สามารถถอดรหัสได้อย่างถูกต้อง

3.9.10 อัตราเร็วสูงสุดของบิตข้อมูลในการถอดรหัส

ที่สัญญาณนาฬิกา 24.576 เมกะเฮิรตซ์ อัตราในการถอดรหัสข้อมูลเอ็มเป็กได้ 256 kbps และหากความเร็วของสัญญาณนาฬิกาต่างกันได้จะทำให้อัตราเร็วในการถอดรหัสต่างกันไปด้วย

3.9.11 การทำงานเมื่อตอนรีเซต

เมื่อชิพ VS1002d ทำการรีเซต (ขา xRESET เป็น “1”) เมื่อเวลาผ่านไปประมาณ 4096 แมทชีนไซเคิล ขา DREQ ควรจะเป็น “0” ถ้าหากไม่เป็น “0” แล้วหลังจากเวลาผ่านไปประมาณ 6000 แมทชีนไซเคิล ขา DREQ ควรจะเป็น “1” ถ้าขา DREQ ไม่เปลี่ยนแปลงตานี้แล้วการทำงานของโปรแกรมจะไม่ถูกต้อง

3.9.12 การส่งข้อมูลสู่สายสัญญาณ SCI

ถ้าเราต้องการส่งข้อมูลที่ทำให้เอาท์พุตออกมาเป็น –2dB ที่ช่องสัญญาณซ้าย และ –3.5dB ที่ช่องสัญญาณขวา ดังนั้นเพื่อให้เป็นดังข้างต้นเราต้องส่งข้อมูล 0407H ไปที่รีจิสเตอร์เสียง (VOL register)

- ให้ส่วน SCI ทำงาน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ส่งข้อมูล 4 ไบต์ 02H, 0BH, 04H, 07H ผ่านสาย SCI
- อ่านข้อมูลเข้ามาส่วนรีจิสเตอร์ MISO ทีละ 8 บิต โดยจะเป็น MSB และ LSB ตามลำดับ
- ข้อมูลที่ได้จะเป็น 16 บิต
- เมื่อจบการอ่านข้อมูลก็เซตให้ขา GIO1 เป็น “1”

3.9.13 การส่งข้อมูลสู่ส่วน SDI (ข้อมูลเอ็มเป็ก)

เราสามารถส่งข้อมูล 32 ไบต์ หรือเล็กกว่าข้อมูลเอ็มเป็กสู่ VS1002d ได้

- รอจนกว่าขา DREQ เป็น “1”
- ให้ขา DCLK มีสัญญาณนาฬิกา
- ในการส่งแต่ละไบต์ให้ทำตามขั้นตอนดังนี้
  1. ให้ขา BSYNC เป็น “1”
  2. ทำให้ SPI ทำงาน
  3. รอจนกว่าเรารู้ว่าข้อมูลบิตแรกถูกส่งออกไปแล้วแต่บิตสุดท้ายยังไม่ถูกส่งออกไป
- เซตให้ขา BSYNC เป็น “0”
- รอจนกว่าไมโครคอนโทรลเลอร์ส่งข้อมูลผ่าน SPI จนจบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

ไมโครคอนโทรลเลอร์

ไมโครคอนโทรลเลอร์ (Microcontroller) เป็นชื่อของอุปกรณ์อิเล็กทรอนิกส์แบบหนึ่งที่รวมเอาหน่วยประมวลผล หน่วยคำนวณทางคณิตศาสตร์และลอจิก วงจรรับสัญญาณอินพุท วงจรขับสัญญาณเอาท์พุท หน่วยความจำ วงจรกำเนิดสัญญาณนาฬิกาไว้ด้วยกัน ทำให้สามารถนำไปใช้งานแทนวงจรอิเล็กทรอนิกส์ที่ซับซ้อนได้เป็นอย่างดี ช่วยลดจำนวนอุปกรณ์และขนาดของระบบในขณะที่มีขีดความสามารถสูงขึ้น

ไมโครคอนโทรลเลอร์ มาจากคำ 2 คำรวมกัน คือ ไมโคร (Micro) ซึ่งหมายถึง ไมโครโปรเซสเซอร์ (Microprocessor) ซึ่งเป็นอุปกรณ์ประมวลผลขนาดเล็กภายในประกอบด้วย หน่วยประมวลผล กลางหรือซีพียู (CPU : Central Processing Unit) หน่วยคำนวณทางคณิตศาสตร์และลอจิก (ALU : Arithmetic Logic Unit) วงจรเชื่อมต่อหน่วยความจำและวงจรสัญญาณนาฬิกาอีกคำหนึ่งเรียกว่า “ คอนโทรลเลอร์ ” (Controller) หมายถึง อุปกรณ์ควบคุม ดังนั้นไมโครคอนโทรลเลอร์จึงเป็นอุปกรณ์ที่ใช้ในการควบคุม โดยที่จะสามารถเขียนโปรแกรมเพื่อกำหนดรูปแบบการควบคุมได้อย่างอิสระ

4.1 สถาปัตยกรรม และคุณสมบัติโดยทั่วไปของ ATMEGA162

- สถาปัตยกรรมภายในถูกออกแบบให้ใช้สถาปัตยกรรมแบบ RISC (Reduce Instruction Set Computer)
- หน่วยความจำแบบ FLASH สำหรับบันทึก PROGRAM MEMORY ขนาด 16 KByte
- หน่วยความจำแบบ EEPROM สำหรับบันทึก DATA MEMORY ขนาด 512 Byte
- หน่วยความจำแบบ RAM ขนาด 1 KByte
- ระบบเปลี่ยนสัญญาณ ANALOG TO DIGTL ขนาด 10 บิด จำนวน 8 CHANNEL
- กลุ่มรีจีสเตอร์ใช้งานทั่วไป 8 บิท จำนวน 32 ตัว
- พอร์ตอินพุตและเอาท์พุตขนาด 8 บิท จำนวน 4 พอร์ต
- ระบบสื่อสารข้อมูลดิจิตอลแบบอะซิงโครนัส (UART) 1 CHANNEL

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ระบบสื่อสารข้อมูลแบบซิงโครนัส (SPI) 1 CHANNEL
- ความถี่สัญญาณนาฬิกา 0 – 16 MHz
- ระบบการรีเซตแบบอัตโนมัติเมื่อเริ่มจ่ายกระแสไฟฟ้าเข้าไมโครคอนโทรลเลอร์
- ระบบการกำเนิดความถี่สัญญาณแบบ PWM จำนวน 3 CHANNEL
- ระบบการตรวจจับสัญญาณอนาลอก (Analog Comparator)
- ระบบการป้องกันการ COPY ข้อมูลภายในหน่วยความจำ
-ระบบตรวจจับการทำงานผิดพลาดของ CPU (WATCDOG TIMER ON-CHIP OSCILATOR)
- ระบบอินเตอร์รัพท์จากภายนอก (EXTERNAL INTERUPT)
- TIMER/COUTER ขนาด 16 บิท 2 CHANNEL
- TIMER/COUTER ขนาด 8 บิท 2 CHANNEL

ATMEGA162 เป็นไมโครคอนโทรลเลอร์ขนาด 8 บิท ที่สถาปัตยกรรมแบบ RISC (Reduce Instruction Set Computer) ซึ่งทำให้การประมวลผลมีความเร็ว 1 คำสั่ง/1 Clock หรือ CPU สามารถประมวลคำสั่งได้ 1 MIPS / MHz จะมีหน่วยความจำสำหรับ PROGRAM MFMORY แบบ FLASH ขนาด 16 KByte หน่วยความจำสำหรับ DATA MEMORY แบบ EEPROM ขนาด 512 Byte และหน่วยความจำแบบ RAM ขนาด 1 KByte มีพอร์ตที่สามารถทำงานได้สองทิศทางจำนวน 32 เส้น สัญญาณ PWM และระบบ TIME/COUNTER จำนวน 4 ชุด ที่มีโหมดการทำงานเสริมในส่วนของการสร้างสัญญาณ Input Capture มีอุปกรณ์สื่อสารข้อมูลอนุกรมแบบ UARP และ SPI และยังเสริมด้วยระบบการแปลง สัญญาณ Analog to digital ขนาด 10 บิท จำนวน 8 ช่องสัญญาณ ที่มาพร้อมกับ MCU มี Watchdog Timer เพื่อตรวจสอบการทำงานของไมโครคอนโทรลเลอร์ และมีระบบการประหยัดพลังงานอีก 3 ระบบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

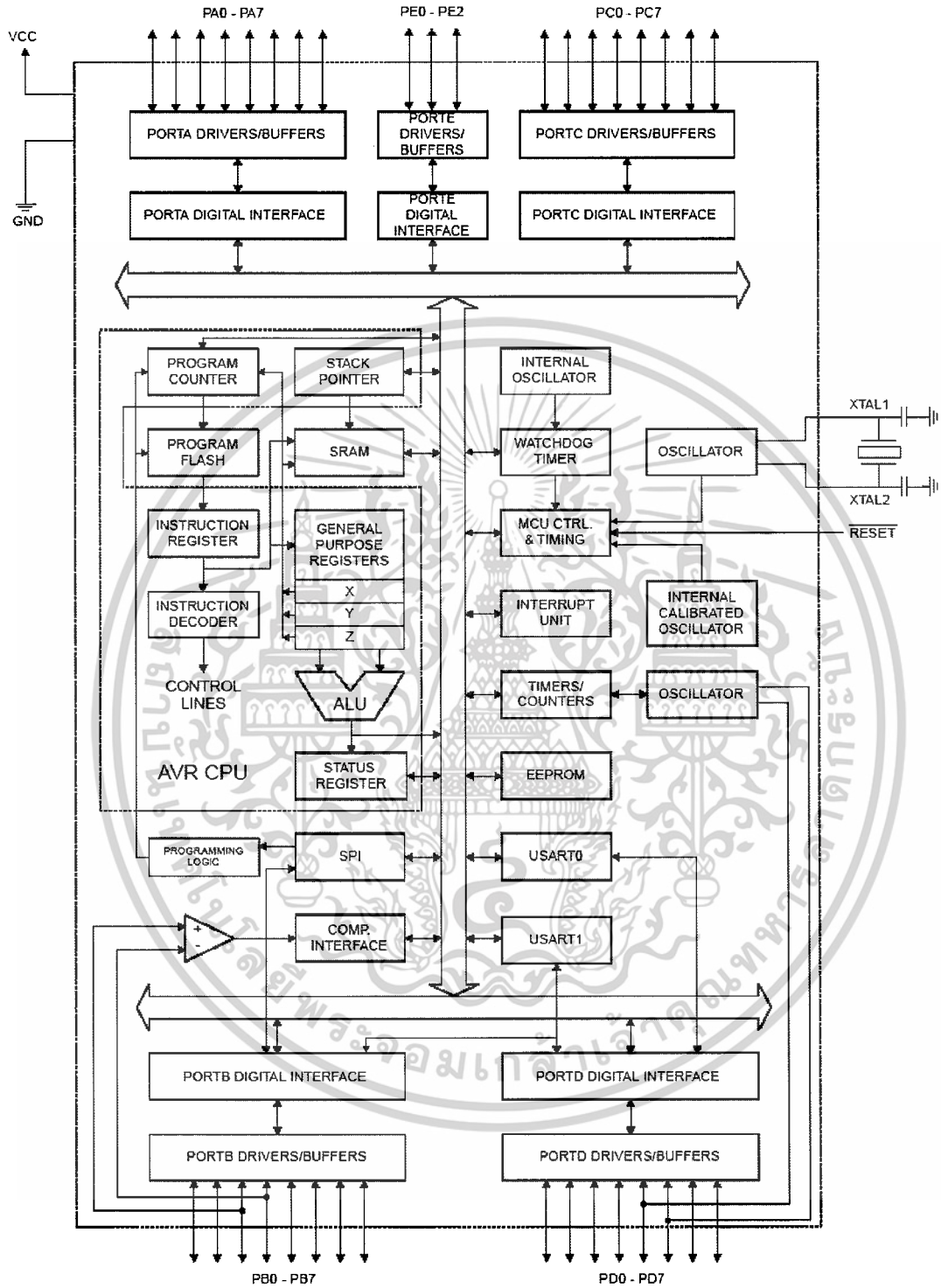
4.2 สถาปัตยกรรมภายในและรีจิสเตอร์ใช้งานทั่วไป

4.2.1 สถาปัตยกรรมภายใน

โครงสร้างภายในจะประกอบด้วยรีจีสเตอร์ใช้งานทั่วไปขนาด 8 บิท จำนวน 32 ตัว ที่สามารถเข้าถึงข้อมูลได้ใน 1 Clock ซึ่งหมายความว่า MCU สามารถจัดการข้อมูลภายในรีจีสเตอร์ใช้งานทั่วไปได้เสร็จภายใน 1 Clock ของสัญญาณนาฬิกาโดยรีจีสเตอร์ R26-F31 เป็น รีจีสเตอร์ขนาด 8 บิท จำนวน 6 ตัว สามารถจับคู่เพื่อใช้เป็นรีจีสเตอร์ขนาด 16 บิท 3 ตัว โดยใช้ชื่อว่ารีจีสเตอร์ X, Y, Z

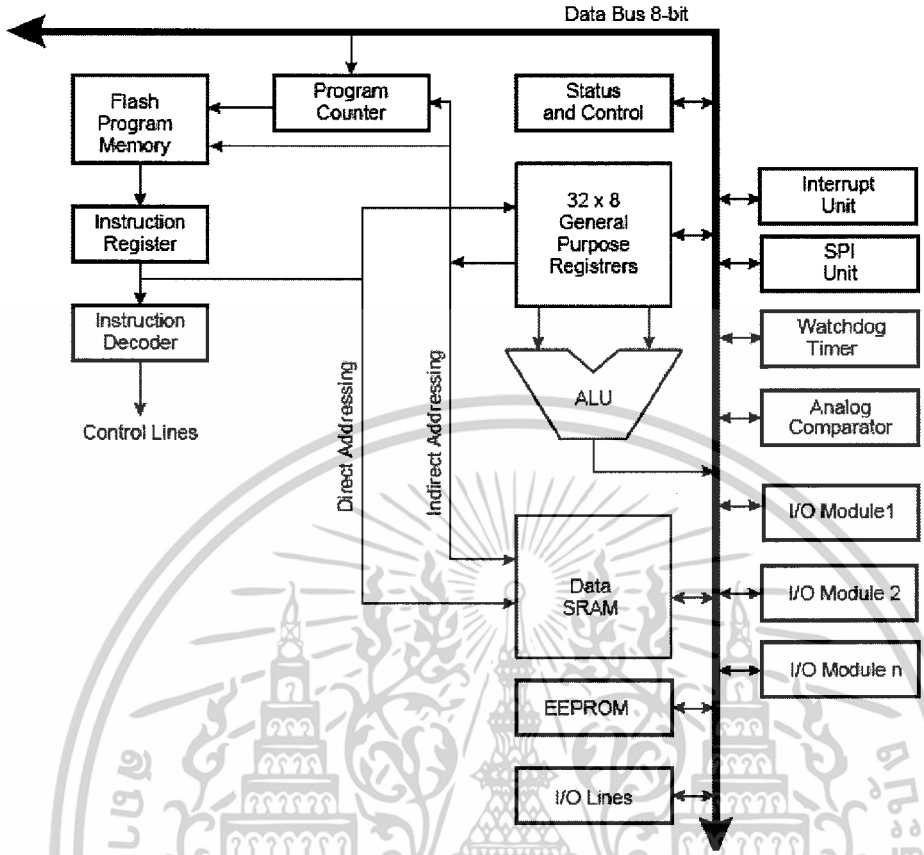
ALU จะสนับสนุนการกระทำทางคณิตศาสตร์และลอจิก ระหว่าง รีจีสเตอร์กับรีจีสเตอร์ หรือ ระหว่าง รีจีสเตอร์กับค่าคงที่ ซึ่งการเรียกใช้รีจีสเตอร์ใช้งานทั่วไป สามารถกระทำได้โดยการอ้างหน่วยความจำภายในที่ตำแหน่ง S00 – S1F จำนวน 32 ตำแหน่ง และใน MCU ได้จัดแบ่งให้มีรีจีสเตอร์ที่ใช้ควบคุมการทำงานของหน่วยความจำที่ตำแหน่ง S20 – S1F

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 แผนผังโครงสร้างของ ATMEGA162

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.2 สถาปัตยกรรมแบบ RISC ของ ATMEGA162

ระบบการทำงานของไมโครคอนโทรลเลอร์ใช้หลักการออกแบบของ HAVARD ด้วยการแยกระบบบัสของ PROGRAM และ DATA ออกจากกัน โดยโปรแกรมจะมีการประมวลผลด้วย SINGLE LEVEL PIPELINNING ซึ่งทำให้ CPU สามารถ Fetch และ Execute คำสั่งได้ภายใน 1 คาบเวลา ด้วยคำสั่ง JUMP และ CALL แบบ RELATIVE ที่สามารถกระโดดข้ามการทำงานได้ไกลถึง 2K/4K ซึ่งใน 1 คำสั่งจะใช้รหัสการทำงาน 16 Bit หรือ 1 WORD โดยทุกครั้งที่มีการอินเตอร์รัพท์ หรือ การข้ามไปทำงานในโปรแกรมย่อยค่าของ PROGRAM COUNTER (PC) จะถูกเก็บลง STACK ซึ่งจะใช้พื้นที่หน่วยความจำใน SRAM บางส่วนเพื่อทำเป็นพื้นที่ของ STACK

4.2.1.1 หน่วยประมวลผลทางคณิตศาสตร์ และ ลอจิก

ระบบการประมวลผลที่มีประสิทธิภาพของ AVR คือ ALU สามารถสื่อสารข้อมูลโดยตรงกับรีจีสเตอร์ใช้งานทั่วไปได้ทั้ง 32 ตัว โดย ALU ได้จัดแบ่งระบบการจัดการข้อมูลไว้ 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน คือ ส่วนของการจัดการทางคณิตศาสตร์ ส่วนการกระทำทางลอจิกและในส่วนของการกระทำกับบิท

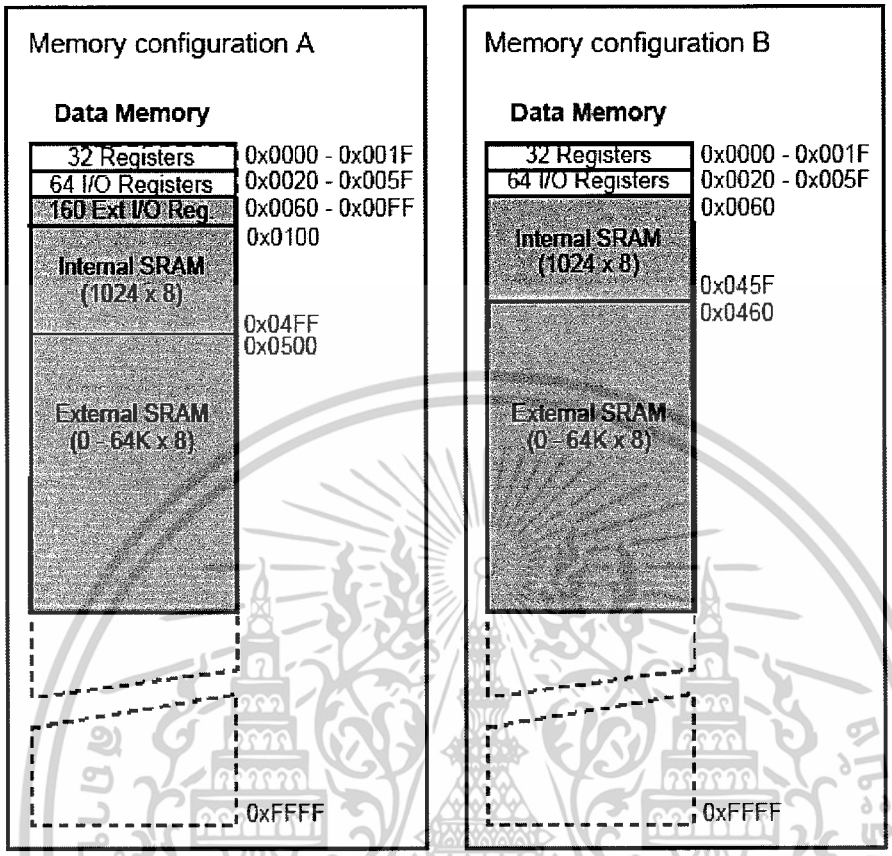
4.2.1.2 หน่วยความจำ SRAM

หน่วยความจำภายใน MCU จัดไว้ 352 ตำแหน่ง โดยหน่วยความจำทั้งหมดถูกแบ่งออกเป็นพื้นที่ของรีจีสเตอร์ใช้งาน I/O และหน่วยความจำภายใน SRAM โดย 96 ตำแหน่งจะถูกแบ่งออกเป็นส่วนของรีจีสเตอร์ และอีก 256 ตำแหน่ง ถูกจัดไว้เป็นส่วนของหน่วยความจำภายใน SRAM

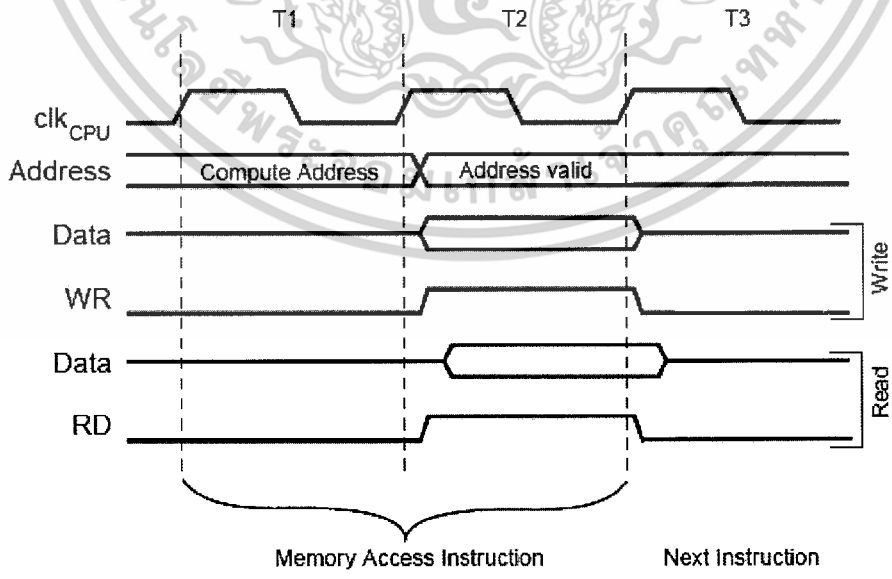
4.2.1.3 หน่วยความจำข้อมูลแบบ EEPROM

ไมโครคอนโทรลเลอร์ ATMEGA162 มีหน่วยความจำแบบ EEPROM ขนาด 512 BYTE ซึ่งสามารถอ่านและเขียนครั้งละ 1 Byte โดยสามารถทำการลบและเขียนข้อมูลใหม่ได้ 100,000 ครั้ง หน่วยความจำแบบ EEPROM นี้ จะเก็บรักษาข้อมูลได้แม้ว่าจะหยุดจ่ายไฟเลี้ยงก็ตาม ซึ่งจะมีประโยชน์มากในการเก็บข้อมูลบางอย่างตามที่ต้องการขณะประมวลผล เพื่อนำไปใช้เป็นค่าเริ่มต้นในการประมวลผลที่เกี่ยวเนื่องกันในครั้งต่อๆ ไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.3 การจัดตำแหน่งหน่วยความจำ SRAM

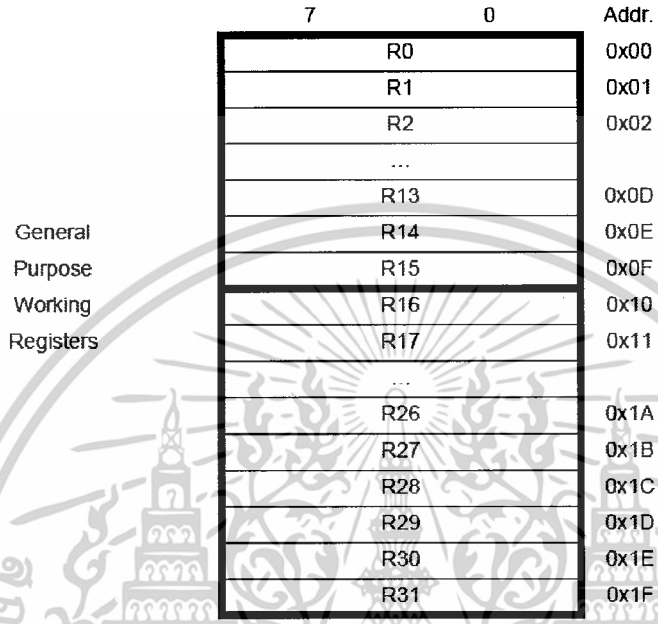


รูปที่ 4.4 การเข้าถึงข้อมูล SRAM ภายใน CPU

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2 รีจีสเตอร์ใช้งานทั่วไป

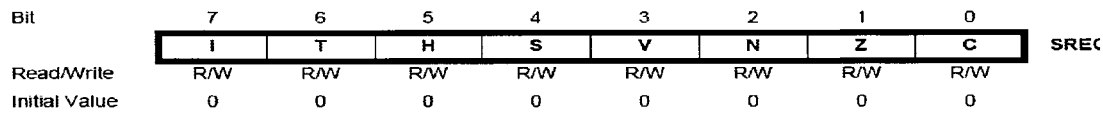
โครงสร้างของรีจีสเตอร์ใช้งานทั่วไปทั้ง 32 ตัว แสดงดังรูปที่ 3.5



รูปที่ 4.5 โครงสร้างของรีจีสเตอร์ใช้งานทั่วไป

รีจีสเตอร์ทั้งหมดสามารถใช้ชุดคำสั่ง เพื่อเข้าถึงได้โดยตรงและจะใช้ช่วงเวลาการเข้าถึงเพียง 1 Clock โดยคำสั่ง SBCL, SUBI, CPI, ANDI และ ORI ซึ่งกระทำระหว่างรีจีสเตอร์กับค่าคงที่ และรีจีสเตอร์กับรีจีสเตอร์ และคำสั่ง LDI ที่ใช้โหลดค่าคงที่เข้าในรีจีสเตอร์ จะต้องใช้งานกับรีจิสเตอร์ R16 ถึง R31 ส่วนคำสั่ง SCB, SUB, CP, AND และ OR และคำสั่งใช้งานอื่น ๆ สามารถใช้งานได้ในรีจีสเตอร์ทั่วไป

4.2.2.1 The Status Register – SREG



รูปที่ 4.6 ตำแหน่งรีจีสเตอร์ SREG ถูกจัดวางไว้ที่ตำแหน่ง $3F

- Bit 7: Global Interrupt Enable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิท I จะต้องถูก SET เป็น I เมื่อต้องการกำหนดให้ INTERRUPT ทั้งหมดทำงาน โดยอินเตอร์รัพท์แต่ละแหล่งจะสามารถแบ่งแยกกันกำหนดได้ในรีจีสเตอร์ GIMSK และ TIMSK แต่ละถ้าบิท 1 ถูก CLAR เป็น 0 อินเตอร์รัพท์ทุกตัวจะถูก DISABLE โดยบิท I จะถูก Clear โดยอัตโนมัติ เมื่อเกิดการอินเตอร์รัพท์และถูก SET โดยการใช้คำสั่ง RET

- Bit 6: Bit Copy Storage

การใช้คำสั่ง BLD และคำสั่ง BST จะเป็นคำสั่งที่ใช้บิท T ทำหน้าที่เป็น SOURCE หรือ DESTINATION โดยบิทต่าง ๆ ในรีจีสเตอร์สามารถ COPY บิท T ลงในบิทของรีจีสเตอร์ได้โดยใช้คำสั่ง BST

- Bit 5: Half Carry Flag

บิท H แสดงการเกิด Half Carry Flag

- Bit 4: Sign Bit, S = N + V

เป็นบิทที่ใช้แสดงเครื่องหมาย

- Bit 3: Two's Complement Overflow Flag

แสดงการทำ Two's Complement

- Bit 2: Negative Flag

จะแสดงการทำคำสั่งที่เป็นลบของการกระทำทางคณิตศาสตร์และลอจิก

- Bit 1: Zero Flag

แสดงการทำคำสั่งทางคณิตศาสตร์และลอจิกที่ให้ผลเป็น 0

- Bit 0: Carry Flag

แสดงการเกิด Carry Flag

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2.2 Stack Pointer: SP

ใน ATMEGA162 จะใช้รีจีสเตอร์ขนาด 8 บิท bit 2 ตัว ในตำแหน่ง $3E และ $3D ทำหน้าที่เป็น STACK POINTER มีหน้าที่เก็บข้อมูลของรีจีสเตอร์ต่างๆไว้ชั่วคราว เมื่อโปรแกรมทำการตอบสนองการอินเตอร์รัพท์จากแหล่งกำเนิดนั้นๆ โดยก่อนที่โปรแกรมจะกระโดดไปตอบสนองโปร แกรมย่อย จะมีการเก็บค่าที่สำคัญเอาไว้ก่อน มิฉะนั้นแล้วอาจจะทำให้ค่าของรีจีสเตอร์เปลี่ยนแปลงไป เมื่อโปรแกรมกลับมาทำคำสั่งต่อไป จะทำให้เกิดการผิดพลาดได้

Bit	15	14	13	12	11	10	9	8	
	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SPH
	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	SPL
	7	6	5	4	3	2	1	0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	
	0	0	0	0	0	0	0	0	

รูปที่ 4.7 ตำแหน่งรีจีสเตอร์ Stack Pointer ถูกจัดวางไว้ที่ตำแหน่ง $3E และ $3D

4.3 การรีเซ็ตและการอินเตอร์รัพท์

4.3.1 การรีเซ็ตและการอินเตอร์รัพท์

ไมโครคอนโทรลเลอร์ ATMEGA162 มีระบบการตอบสนองสัญญาณอินเตอร์รัพท์จาก 16 แหล่งสัญญาณ โดยได้แยกอินเตอร์รัพท์เวกเตอร์ของแต่ละอินเตอร์รัพท์ออกจากกัน ในการควบคุมการตอบสนองของอินเตอร์รัพท์แต่ละแหล่ง สามารถแยกการควบคุมได้จากบิท Enable ของอินเตอร์รัพท์นั้นๆ และบิท 1 ซึ่งใช้ควบคุมการอินเตอร์รัพท์ทั้งหมด โดยตำแหน่งแรกๆ ใน PROGRAM MEMORY จะเป็นตำแหน่งที่ถูกใช้เป็นพื้นที่ของอินเตอร์รัพท์เวกเตอร์และรีเซ็ตซึ่งตารางที่ 2 แสดงอินเตอร์รัพท์เวกเตอร์ต่าง ๆ โดยเริ่มจากอินเตอร์รัพท์ที่มีระดับความสำคัญสูงสุด คือ KESET จนถึงอินเตอร์รัพท์ที่มีระดับความสำคัญต่ำสุด

4.3.2 สัญญาณรีเซ็ต

ไมโครคอนโทรลเลอร์ ATMEGA162 มีสัญญาณรีเซ็ต 3 แหล่ง คือ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. POWER ON RESET ไมโครคอนโทรลเลอร์จะรีเซ็ตเมื่อมีการจ่ายไฟให้กับขา Vcc และ GND (ตอนจ่ายไฟเลี้ยงครั้งแรก)

2. EXTERNAL RESET ไมโครคอนโทรลเลอร์จะรีเซ็ตเมื่อมีสัญญาณลอจิก LOW เข้ามาที่ขารีเซ็ตเป็นระยะเวลามากกว่า 2 คาบเวลาของสัญญาณ XTAL

3. WATCHDOG RESET ไมโครคอนโทรลเลอร์จะทำการรีเซ็ต เมื่อถึงคาบเวลาของ WATCHDOG และ WATCHDOG จะต้องถูกกำหนดให้ทำงาน

ในระหว่างที่เกิดการรีเซ็ต รีจีสเตอร์ทั้งหมดจะถูกกำหนดให้ค่าเริ่มต้น และโปรแกรมจะเริ่มทำงานที่ตำแหน่ง $0000 โดยคำสั่งที่ตำแหน่ง $0000 จะต้องเป็นคำสั่ง RJMP แต่ถ้าโปรแกรมไม่มีการกำหนดให้มีการใช้อินเตอร์รัพท์พื้นที่ส่วนที่เป็นอินเตอร์รัพท์เวกเตอร์จะถูกใช้เป็นพื้นที่ของโปรแกรม

4.3.2.1 Power On Reset

วงจรของ Power On Reset (POR) ถูกสร้างขึ้นเพื่อให้แน่ใจว่า MCU จะไม่ทำงานถ้าระดับของแรงดันไฟเลี้ยววงจรยังไม่ถึงระดับที่จะทำให้ระบบการทำงานภายในของ MCU ทำงานได้อย่างถูกต้อง

ถ้าต้องการใช้ระบบ Power On Reset ภายใน MCU จะต้องต่อขารีเซ็ตเข้ากับ Vcc หรือ ต่อผ่านความต้านทาน Pull Up ค่าประมาณ 100K – 500K

โดยบิท FSTRT ใช้ในการเลือกคาบเวลา TIME – OUT ซึ่งเมื่อบิท FSTRT ถูกโปรแกรมจะทำให้ช่วงเวลา TIME – OUT มีคาบเวลาน้อยลง ซึ่งมีประโยชน์อย่างมากเมื่อใช้ OSC ที่เป็น Ceramic Resonator

4.3.2.2 External Reset

การรีเซ็ตจากภายนอกจะเกิดขึ้นโดยการให้ลอจิก LOW ที่ขา RESET อย่างน้อย 2 Clock ของสัญญาณนาฬิกา ซึ่งเมื่อสัญญาณที่ขอบขาขึ้นถึงระดับ Treshold Voltage จะทำให้วงจร Time Delay ทำงานซึ่ง CPU จะถูกรีเซ็ตเมื่อคาบเวลาของ Time Delay มากกว่าคาบเวลา Time –Out

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3.2.3 Watchdog Reset

เมื่อ WTD TIME – OUT เริ่มกำเนิดสัญญาณ PULSE ที่มีคาบเวลาเท่ากับ Clock ของสัญญาณนาฬิกาโดยช่วงขอบขาลงของ PUISE จะทำให้ระบบการหน่วงเวลาเริ่มทำงานจนหมดช่วงเวลาของ TIME – OUT จึงจะทำให้ CPU รีเซ็ต

Vector No.	Program Address(2)	Source	Interrupt Definition
1	0x000(1)	RESET	External Pin, Power-on Reset, Brown-out Reset, Watchdog Reset, and JTAG AVR Reset
2	0x002	INT0	External Interrupt Request 0
3	0x004	INT1	External Interrupt Request 1
4	0x006	INT2	External Interrupt Request 2
5	0x008	PCINT0	Pin Change Interrupt Request 0
6	0x00A	PCINT1	Pin Change Interrupt Request 1
7	0x00C	TIMER3 CAPT	Timer/Counter3 Capture Event
8	0x00E	TIMER3 COMPA	Timer/Counter3 Compare Match A
9	0x010	TIMER3 COMPB	Timer/Counter3 Compare Match B
10	0x012	TIMER3 OVF	Timer/Counter3 Overflow
11	0x014	TIMER2 COMP	Timer/Counter2 Compare Match
12	0x016	TIMER2 OVF	Timer/Counter2 Overflow
13	0x018	TIMER1 CAPT	Timer/Counter1 Capture Event
14	0x01A	TIMER1 COMPA	Timer/Counter1 Compare Match A
15	0x01C	TIMER1 COMPB	Timer/Counter1 Compare Match B
16	0x01E	TIMER1 OVF	Timer/Counter1 Overflow
17	0x020	TIMER0 COMP	Timer/Counter0 Compare Match
18	0x022	TIMER0 OVF	Timer/Counter0 Overflow
19	0x024	SPI, STC	Serial Transfer Complete
20	0x026	USART0, RXC	USART0, Rx Complete
21	0x028	USART1, RXC	USART1, Rx Complete
22	0x02A	USART0, UDRE	USART0 Data Register Empty
23	0x02C	USART1, UDRE	USART1 Data Register Empty
24	0x02E	USART0, TXC	USART0, Tx Complete
25	0x030	USART1, TXC	USART1, Tx Complete
26	0x032	EE_RDY	EEPROM Ready
27	0x034	ANA_COMP	Analog Comparator
28	0x036	SPM_RDY	Store Program Memory Ready

ตารางที่ 4.1 รีเซ็ตและอินเตอร์รัพท์เวกเตอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.4 Interrupt Handling

ไมโครคอนโทรลเลอร์ ATMEGA162 มีรีจีสเตอร์ที่ใช้งานอินเตอร์รัพท์ 2 ตัว คือGIMSK และ TIMSK ที่ใช้บรรจุบิทควบคุมและแสดงบิทสถานะของอินเตอร์รัพท์ต่างๆ

เมื่ออินเตอร์รัพท์เกิดขึ้นจะทำให้บิท I ซึ่งเป็น บิทที่ใช้ควบคุมอินเตอร์รัพท์ถูกเคลียร์เป็น 0 และจะทำให้อินเตอร์รัพท์ทั้งหมดจะถูก Disable ผู้ใช้สามารถเซ็ทบิท I เป็น 1 เมื่อต้องการ Enable Interrupt

เมื่อเกิดอินเตอร์รัพท์จะทำให้ CPU กระโดดไปทำโปรแกรมบริการอินเตอร์รัพท์ และเคลียร์ Interrupt Flag (ของอินเตอร์รัพท์ที่กำลังเกิดขึ้น) ให้เป็น 0 หรือผู้ใช้สามารถเคลียร์ Interrupt Flag ได้โดยการเขียนลอจก 1 ลงใน Flag ที่ต้องการ

4.5 พอร์ตอินพุต/เอาท์พุต

4.5.1 พอร์ต A

เป็นพอร์ต 2 ทิศทางขนาด 8 บิต โดยมีหน่วยควบคุมต่างๆ ของพอร์ต คือ รีจีสเตอร์ (PORTA REGISTER) อยู่ที่ตำแหน่ง $1B ($3B) รีจีสเตอร์ DDRA (DATA DIRECTIONREGISTER) อยู่ที่ตำแหน่ง&1A ($3A) และPINA (PORT A INPUT PINS) อยู่ที่ตำแหน่ง $19($39) โดย PINA จะสามารถอ่านได้อย่างเดียว ไม่สามารถเขียนข้อมูลลงได้ ในขณะที่ PORTA และ DDRA สามารถอ่านเขียนได้ โดยแต่ละขาสัญญาณของพอร์ต Aจะสามารถกำหนดให้ค่าความต้านทาน PULL LOW ในขณะที่ความต้านทาน PULL UP ภายใน ACTIVE จะ ทำให้ MCU จ่ายกระแสออกมาภายนอก

พอร์ต A จะถูกนำไปใช้งานอีกอย่างหนึ่ง คือ เป็นขาสัญญาณอินพุตของวงจร ANALOG TO DIGITAL โดยถ้าบางขาของพอร์ต A ในขณะที่วงจร ANALOG TO DIGITAL กำลัง Conversion สัญญาณ ซึ่งอาจจะทำให้การทำการแปลงสัญญาณถูกขัดจังหวะ จะมีผลทำให้การแปลงสัญญาณผิดพลาด การทำงานในโหมดประหยัดพลังงานจะทำให้ SCHMITT TRIGGER ของส่วนเอาท์พุตถูกตัดออก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Bit	7	6	5	4	3	2	1	0	
	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0	PORTA
R rite	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

รูปที่ 4.8 Port A Data Register: PORTA

4.5.2 พอร์ต B

พอร์ต B เป็นพอร์ตสองทิศทาง ขนาด 8 บิท โดยมีรีจิสเตอร์ที่ใช้ควบคุมพอร์ต B อยู่ 3 ตัว คือ รีจิสเตอร์ PORTB อยู่ที่ตำแหน่ง $18 ($38), รีจิสเตอร์ DDRB อยู่ที่ตำแหน่ง $16 ($36) โดยพอร์ต B แต่ละขาสามารถแยกกำหนดให้มีความต้านทาน PULL UP ได้ตามต้องการ ซึ่งแต่ละขาสามารถรับกระแส (SINK CURRENT) ได้ 20 mA โดยขาของพอร์ต B ยังมีหน้าที่อื่นๆอีก คือ

Bit	7	6	5	4	3	2	1	0	
	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0	I
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

รูปที่ 4.9 Port B Data Register: PORTB

ฟังก์ชันอื่น ๆ ที่ใช้ขาสัญญาณของพอร์ต B

- SCK – POTB, Bit 7

เป็นขา CLOCK ที่ใช้งานในส่วนของการสื่อสารแบบ SPI

- MISO – PORTB, Bit 6

เป็นขารับข้อมูลการสื่อสารแบบ SPI

- MOSI – PORTB, Bit 5

เป็นขาส่งข้อมูลในการสื่อสารแบบ SPI

- SS – PORTB, Bit 4

ใช้เป็นขาควบคุมการทำงานในโหมด SPI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- AIN1 – PORTB, Bit 3

เป็นขาอินพุต 1 ของการทำงานในส่วนของ Analog Compare

- AIN0 – PORTB, Bit 2

เป็นขาอินพุต 0 ของการทำงานในส่วนของ Analog Compare

- T1 – PORTB, Bit 1

เป็นขาอินพุตที่ใช้ในส่วนของ Timer 1

- T0 – PORTB, Bit 0

เป็นขาอินพุตที่ใช้ในส่วนของ Timer 1

4.5.3 พอร์ต C

พอร์ต C เป็นพอร์ตสองทิศทาง ขนาด 8 บิท โดยมีหน่วยควบคุมการทำงานของพอร์ตจำนวน 3 หน่วย คือ PORTC (Data Register – PORTC) อยู่ที่ตำแหน่งหน่วยความจำ $15($35), DDRC (Data Direction Register – DDRC) อยู่ที่ตำแหน่งหน่วย $14 ($34) และ PINC (Port C Input Pin – PINC) อยู่ที่ตำแหน่ง $13 ($33) โดย PINC จะสามารถอ่านได้อย่างเดียว ในขณะที่ PORTC และ DDRC จะสามารถทั้งอ่านและเขียนได้โดยแต่ละขาของพอร์ต C สามารถแยกกำหนดให้มีความต้านทาน PULL UP ได้ ในขณะที่พอร์ต C แต่ละขาสามารถรับกระแส (SINK CURRENT) ได้ 20 mA โดยถ้าภายในกำหนดให้มีความต้านทาน PULL UP และภายนอกมีความต้านทาน PULL LOW จะทำให้ MCU จ่ายกระแสออกภายนอก

Bit	7	6	5	4	3	2	1	0	
	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0	PC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

รูปที่ 4.10 Port C Data Register: PORTC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.5.4 พอร์ต D

พอร์ต D เป็นพอร์ตสองทิศทาง ขนาด 8 บิท ที่มีหน่วยควบคุมการทำงานของพอร์ตคือ PORTD (DATA Register – PORTD) อยู่ที่ตำแหน่ง $12 ($30) โดย PIND สามารถอ่านได้อย่างเดียว ในขณะที่ PORD และ DDRD สามารถทั้งอ่านและเขียน โดยพอร์ต D สามารถรับกระแสได้ 20 mA ซึ่งแต่ละขาของพอร์ต D สามารถเลือกฟังก์ชันการทำงานอื่น ๆ ได้อีก

Bit	7	6	5	4	3	2	1	0
	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

รูปที่ 4.11 Port D Data Register: PORTD

การทำงานฟังก์ชันอื่นของพอร์ต D

- OC2 – PORTD, Bit 7

ขา OC2 ใช้งานเป็นขาเอาท์พุตของ Compare Output Match ของ Timer/ Counter2

- ICP – PORTD, Bit 6

ขา ICP ใช้งานเป็นขาอินพุตของ Input Capture Mode ของ Timer/Counter1

- OC1A – PORTD, Bit 5

ขา OC1A ใช้งานเป็นขาเอาท์พุตของ Output CompareA Match ของ Timer/ Counter1

- OC1B – PORTD, Bit 4

ขา OC1B ใช้งานเป็นขาเอาท์พุตของ Output CompareB Match ของ Timer/ Counter1

- INT1 – PORTD, Bit 3

ขา INT1 ใช้งานเป็นขาอินพุตของ อินเตอร์รัพท์จากภายนอก

- INT0 – PORTD, Bit 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขา INT0ใช้งานเป็นขาอินพุตของอินเตอร์รัพท์ จากภายนอก

- TXD – PORTD, Bit 1

ขา TXD ใช้งานเป็นขาส่งสัญญาณของการ สื่อสารอนุกรมแบบ UART

- RXD – PORTD, Bit 0

ขา RXD ใช้งานเป็นขารับสัญญาณของการ สื่อสารอนุกรมแบบ UART

4.6 Timer & Counter

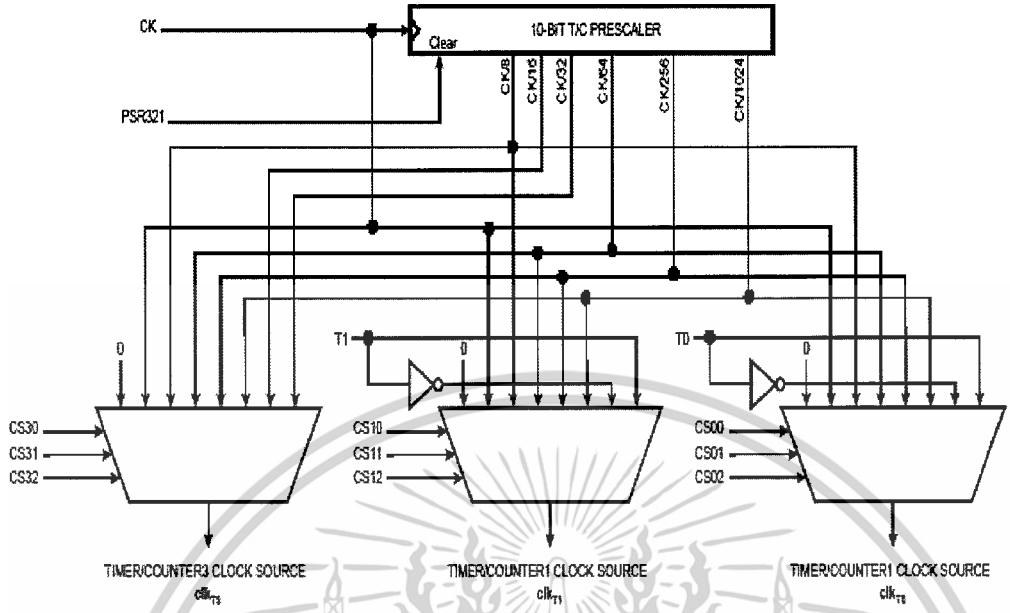
ภายใน ATMEGA162 จัดให้มี Timer/Counter 4 ชุด โดยจัดเป็น Timer/Counter ขนาด 8 บิท 2 ชุด และ Timer/Counter ขนาด 16 บิต 2 ชุด Timer/Counter2 สามารถรับสัญญาณ CLOCK จากภายนอก ซึ่งเป็น Option ที่จะนำ Timer/Counter2 มาทำเป็น RTC โดยใช้ XTAL ที่มีค่าความถี่เท่ากับ 32.768 KHz มาทำเป็นฐานเวลา Timer/Counter0 และ Timer/Counter1 ใช้วงจร Prescaling ขนาด 10 บิทร่วมกัน ส่วน Timer/Counter2 ใช้วงจร Prescaling แยกจากกัน

4.6.1 TIMER 0 & COUNTER 0

โครงสร้างของ Timer/Counter 0 ขนาด 8 บิท แสดงในรูปที่ ซึ่งสามารถเลือกสัญญาณ CLOCK ได้จาก CK (Clock ของระบบ) หรือสัญญาณ CLOCK ของระบบที่ถูกหาร (Prescaling) หรือ สัญญาณจากภายนอก โดยการใช้งานจะอธิบายในรีจีสเตอร์ TCCR0 ซึ่งการควบคุมการอินเตอร์รัพพ์จะ ควบคุมได้จากรีจีสเตอร์ TIMSK เมื่อ Timer/Counter0 ได้รับสัญญาณจากภายนอก ซึ่งสัญญาณดังกล่าว จะซิงโครไน (Synchronized) กับสัญญาณนาฬิกาภายใน CPU

โดย TIMER/COUNTER 0 จะเป็นวงจรนับขึ้นที่สามารถเขียนและอ่านข้อมูลได้ตลอดเวลา โดยเมื่อทำการเขียนข้อมูลลงใน TIMER/COUNTER 0 ในขณะที่มีสัญญาณ CLOCK จะทำให้ TIMER/COUNTER 0 นับค่าต่อเนื่องจากค่าที่ถูกเขียนลงไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.12 โครงสร้างของ TIMER/COUNTER0

4.6.2 TIMER 1 & COUNTER 1

Timer/Counter1 จะมีขนาด 16 บิท โดยสามารถเลือกสัญญาณนาฬิกาได้จาก CK หรือ สัญญาณที่ได้รับจากการหาร CK (Prescller) ซึ่งการหยุด Timer1/Counter1 จะอธิบายไว้ในรีจีสเตอร์ TCCR1A (Timer/Counter1 Control Register) และ TCCR1B โดยแฟร์กที่แสดงสถานะต่าง ๆ (Overflow, Compare math, Capture even) ส่วนสัญญาณควบคุมจะอธิบายไว้ในรีจีสเตอร์ TCCR1A และ TCCR1B การควบคุมสัญญาณอินเตอร์รัพพ์จะควบคุมได้จากรีจีสเตอร์ TIMSK (TIMER / COUNTER INTERRUPT MASK REGISTER) เมื่อ TIMER1/COUNTER1 ถูกกำหนดให้ใช้สัญญาณนาฬิกาจากภายนอก สัญญาณดังกล่าวจะถูกซิงโครไน (Synchronized) กับสัญญาณนาฬิกาภายใน CPU

TIMER1/COUNTER1 จะประกอบด้วยส่วนของการเปรียบเทียบเอาท์พุต (Output Compare Function) 2 ฟังก์ชัน โดยจะใช้รีจีสเตอร์ OCR1A (Output Compare Register 1A) และ OCR1B (Output Compare Register 1B) เป็นส่วนหนึ่ง ของการเก็บค่าข้อมูลของการเปรียบเทียบ TIMER1/COUNTER1 จะสามารถเลือกใช้ฟังก์ชัน PWM ได้ทั้ง 8, 9 และ 10 บิท

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

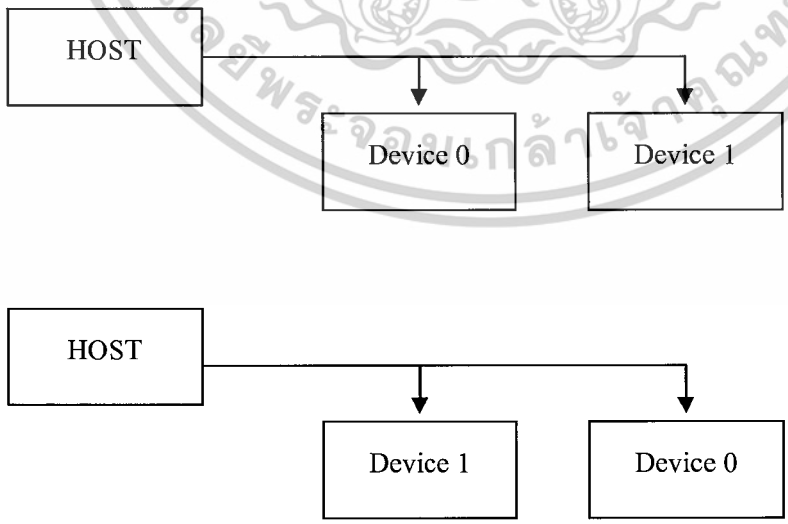
บทที่ 5
โปรโตคอลที่ใช้ในการเชื่อมต่อกับซีดี-รอม

ซีดี-รอมที่ผลิตขึ้นมาใช้กับเครื่องคอมพิวเตอร์ในปัจจุบันนั้นมีการเชื่อมต่อ เป็นไปตามมาตรฐานATAPI ซึ่งเป็นมาตรฐานที่เพิ่มเติมมาจากมาตรฐาน ATA ซึ่งเป็นมาตรฐานในการเชื่อมต่อฮาร์ดดิสก์เข้ากับเครื่องคอมพิวเตอร์ โดยการเชื่อมต่ออุปกรณ์ตามมาตรฐานATAPI จะเหมือนกับมาตรฐาน ATA ทั้งหมด จะมีส่วนที่แตกต่างกันก็คือการส่งคำสั่งเข้าไปยังตัวอุปกรณ์จะต้องส่งเป็นชุดคำสั่ง

5.1 ATA

5.1.1 การเชื่อมต่อทางกายภาพ

ตามมาตรฐาน ATA สามารถนำอุปกรณ์มาเชื่อมต่อกันได้ 1-2 ตัว โดยอุปกรณ์นั้นๆ ต้องเชื่อมต่อกับส่วนที่ทำหน้าที่ควบคุมมัน หรือที่เรียกว่าโฮสท์อะแดปเตอร์ (Host adapter) และถ้าอุปกรณ์ที่เชื่อมต่อมี 2 ตัว อุปกรณ์ทั้งสองจะต้องต่อเชื่อมกันแบบ daisy chain configuration ซึ่งอุปกรณ์ตัวหนึ่งจะถูกกำหนดเป็น Device0 และอีกตัวหนึ่งเป็น Device1



รูปที่ 5.1 การเชื่อมต่อระหว่างตัวแม่กับอุปกรณ์ 2 ตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การกำหนดว่าอุปกรณ์ตัวใดเป็น Device0 หรือ Device1 นั้นอาจทำได้หลายวิธี

- สวิทช์หรือจัมเปอร์ (jumper) บนอุปกรณ์
- การใช้ขา Cable Select (CSEL)

ในการเชื่อมต่ออุปกรณ์ 2 ตัวนั้นตำแหน่งในการต่อสายไฟจะไม่มีผลต่อการเชื่อมต่อ ถ้ามีอุปกรณ์ที่เชื่อมต่อแบบ ATA เพียงตัวเดียว แล้วโฮสท์กับอุปกรณ์ควรจะอยู่ที่ปลายทั้ง 2 ด้านของสายไฟ

รูปที่ 5.2 การเชื่อมต่อระหว่างตัวแม่กับอุปกรณ์ตัวเดียว

5.1.2 ขาเชื่อมต่อสำหรับรับส่งข้อมูล

ตามมาตรฐาน ATA ขาเชื่อมต่อระหว่างอุปกรณ์และตัวแม่เป็นตัวเชื่อมต่อขนาด 40 ขา ซึ่งมีการจัดวางตำแหน่งตามรูปที่ 5.3

(ก) แผนผังขาทางด้านของตัวอุปกรณ์ (ข) แผนผังขาทางด้านของสายเคเบิล

รูปที่ 5.3 ตัวเชื่อมต่อขนาด 40 ขา ตามมารถฐาน ATA

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากจำนวนขาทั้งหมด 40 ขา เป็นส่วนของขาส่งข้อมูลขนาด 16 บิตอยู่ 16 ขา ส่วนที่ทำหน้าที่กำหนดตำแหน่งรีจิสเตอร์ที่จะเขียนอีก 5 ขา ส่วนที่ใช้ควบคุมการส่งข้อมูลในแบบ DMA 2 ขา ขารีเซท1 ขา และส่วนที่เหลือเป็นขาสำหรับควบคุมการทำงานต่างๆของตัวอุปกรณ์ เช่น สัญญาณอ่าน-เขียนสัญญาณอินเตอร์รัพ รายละเอียดหน้าที่ของขาแต่ละขาแสดงได้ตามตารางที่ 5.1 เป็นต้น

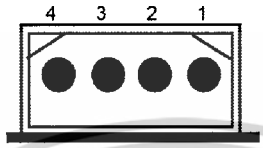
ในส่วนของไฟเลี้ยงอุปกรณ์ที่เป็นไปตามมารถฐาน ATA นั้นจะเป็นตัวเชื่อมต่อขนาด 4 ขา ดังรูปที่ 5.4 โดยจะมีไฟเลี้ยงขนาดสองชุด ชุดหนึ่งจ่ายไฟตรง 12 V อีกชุดหนึ่งจ่ายไฟตรง 5 V

ขาที่	ชื่อขา	หน้าที่	ขาที่	ชื่อขา	หน้าที่
1	- RESET	Reset	21	N/C	Not Connect
2	GND	Ground	22	GND	Ground
3	DD7	DATA7	23	-IOW	Write Strobe
4	DD8	DATA8	24	GND	Ground
5	DD6	DATA6	25	-IOR	Read Strobe
6	DD9	DATA9	26	GND	Ground
7	DD5	DATA5	27	IORDY	I/O Ready
8	DD10	DATA10	28	ALE	Address Latch
9	DD4	DATA4	29	N/C	Not Connect
10	DD11	DATA11	30	GND	Ground
11	DD3	DATA11	31	IRQR	Interrupt
12	DD12	DATA12	32	-IOCS	Chip Select
13	DD2	DATA2	33	DA1	Address
14	DD13	DATA13	34	N/C	Not connect
15	DD1	DATA1	35	DA0	Address
16	DD14	DATA14	36	DA2	Address
17	DD0	DATA0	37	-CS0	(1F0-1F7)
18	DD15	DATA15	38	-CS1	(3F6-3F7)
19	GND	Ground	39	-ACTIVE	LED Driver

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

20	KEY	Key	40	GND	Ground

ตารางที่ 5.1 รายละเอียดและหน้าที่ของแต่ละขาตามมาตรฐาน IDE



รูปที่ 5.4 ลักษณะของขั้วไฟเลี้ยงของเครื่องเล่นซีดี

5.1.3 รีจิสเตอร์ภายใน

ตามมาตรฐาน ATA นั้น การสั่งงานเพื่อควบคุมการทำงานของอุปกรณ์จะต้องกระทำผ่านรีจิสเตอร์ ต่างๆ ภายในตัวอุปกรณ์นั้นๆ โดยการกำหนดรีจิสเตอร์ที่จะใช้งานนั้นจะกำหนดผ่านสายสัญญาณทั้ง 5 แล้ว การเขียนหรืออ่านรีจิสเตอร์ในตำแหน่งเดียวกันนั้นยังเป็นการอ้างถึงรีจิสเตอร์คนละตัวกันด้วย

รีจิสเตอร์ทั้งหมดสามารถแบ่งออกได้เป็นสองส่วนใหญ่ๆคือ

-รีจิสเตอร์ Command Block จะถูกใช้เพื่อส่งคำสั่งไปยังอุปกรณ์หรือส่งสถานะของอุปกรณ์กลับมายังโฮสท์

- รีจิสเตอร์ Control Block จะถูกใช้เพื่อให้อุปกรณ์เข้าควบคุม และส่งค่าสถานะสำรอง (alternate status)

ตำแหน่งของรีจิสเตอร์ต่างๆตามมาตรฐาน ATA เป็นไปตามตาราง 3.2 รีจิสเตอร์แต่ละตัวมีขนาด 16 บิต และมีหน้าที่การทำงานที่ต่างกันไป ต่อไปจะขอกล่าวถึงหน้าที่การทำงานของรีจิสเตอร์บางตัวที่สำคัญ

แอดเดรส					หน้าที่	
CS0-	CS1-	DA2	DA1	DA0	READ(DIOR-)	WRITE(DIOW-)
N	N	X	X	X	บัสข้อมูลอยู่ในสถานะอิมพิแดนซ์สูง	ไม่ใช้
รีจิสเตอร์ Control Block						

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

N	A	0	X	X	บัสข้อมูลอยู่ในสถานะอิมพิแดนซ์สูง	ไม่ใช้
N	A	1	0	X	บัสข้อมูลอยู่ในสถานะอิมพิแดนซ์สูง	ไม่ใช้
N	A	1	1	0	Alternate Status	Device Control
N	A	1	1	1	ไม่ใช้	ไม่ใช้
รีจิสเตอร์ Command Block						
A	N	0	0	0	Data	Data
A	N	0	0	1	Error	Error
A	N	0	1	0	Sector Count	Sector Count
A	N	0	1	1	Sector Number	Sector Number
A	N	1	0	0	Cylinder Low	Cylinder Low
A	N	1	0	1	Cylinder High	Cylinder High
A	N	1	1	0	Device/Head	Device/Head
A	N	1	1	1	Status	Status
A	A	X	X	X	Invalid Address	Invalid Address

A=signal asserted, N=signal negated, x=don't care

ตารางที่ 5.2 แอดเดรสของรีจิสเตอร์ตามมาตรฐาน ATA

-รีจิสเตอร์ข้อมูล (Data Register) เป็นตำแหน่งของรีจิสเตอร์ที่ทำหน้าที่ส่งข้อมูลจากตัวอุปกรณ์ออกไปยังโฮสท์ และรับข้อมูลจากโฮสท์เข้ามา

-รีจิสเตอร์ Error เก็บสถานะของการทำงานคำสั่งล่าสุด ใช้สำหรับตรวจสอบความผิดพลาดในการทำงาน

-รีจิสเตอร์ Device/Head ใช้กำหนดตัวอุปกรณ์ที่จะใช้งานเนื่องจากการต่ออุปกรณ์ตามมาตรฐาน ATA สามารถต่อได้ 2 ตัว จึงต้องมีการเลือกอุปกรณ์ที่ใช้งานด้วย

-รีจิสเตอร์สถานะ (Status Register) เก็บสถานะปัจจุบันของตัวอุปกรณ์

-รีจิสเตอร์คำสั่ง (Command Register) เป็นตำแหน่งรีจิสเตอร์ที่ใช้เขียนคำสั่งเข้ามาเพื่อควบคุมการทำงานของตัวอุปกรณ์

รีจิสเตอร์ที่กล่าวมาข้างต้น บางตัวจะมีการกำหนดหน้าที่การทำงานเป็นบิตๆ โดยแต่ละบิตแยกกันอย่างอิสระ

เอกสารนี้มีลิขสิทธิ์ที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.1.4 โปรโตคอลการส่งข้อมูล

การควบคุมอุปกรณ์ตามมาตรฐาน ATA นั้นต้องส่งข้อมูลเข้าไปยังรีจิสเตอร์ต่างๆ ของตัวอุปกรณ์นั้นๆ โดยการส่งข้อมูลเข้าไปยังรีจิสเตอร์ภายในนั้นจำเป็นจะต้องมีลำดับในการเขียนรีจิสเตอร์ต่าง ๆ อย่างถูกต้องจึงจะสามารถส่งคำสั่งได้อย่างถูกต้องโปรโตคอลในการส่งคำสั่งเพื่อควบคุมการทำงานของอุปกรณ์ สามารถแบ่งออกได้เป็นประเภทต่าง ๆ ตามข้อมูลที่อ่านออกมาจากตัวอุปกรณ์ซึ่งสามารถแบ่งออกได้เป็น 3 ประเภท

- คำสั่งที่ไม่มีการส่งข้อมูลกลับจากตัวอุปกรณ์
- คำสั่งที่มีการส่งข้อมูลกลับในแบบ PIO
- คำสั่งที่มีการส่งข้อมูลกลับในแบบ DMA

โปรโตคอลทั้งสามจะมีส่วนที่คล้ายกันและต่างกันในบางส่วน ซึ่งจะขอกล่าวแยกเป็นชนิดๆดังนี้

5.1.4.1 โปรโตคอลการส่งคำสั่งที่ไม่มีการส่งข้อมูลกลับ

ลำดับการส่งคำสั่งที่ไม่มีการส่งข้อมูลจากตัวอุปกรณ์กลับมายังโฮสท์เป็นไปดังนี้

1.โฮสท์ต้องเช็คค่าบิต BSY ภายในรีจิสเตอร์สถานะ (Status Register) จนกว่าบิต BSY จะเท่ากับ 0

2.เขียนรีจิสเตอร์ Device/Head เพื่อเลือกอุปกรณ์ที่ต้องการควบคุม

3.ตรวจสอบค่าภายในรีจิสเตอร์สถานะ (Status Register) โดยรอจนกว่าบิต BSY จะเท่ากับ 0และบิต DRDY จะเท่ากับ 1

4.เขียนพารามิเตอร์ต่างๆที่แต่ละคำสั่งต้องการลงในรีจิสเตอร์ต่างๆ ตามความต้องการของแต่ละคำสั่ง

5.เขียนคำสั่งที่ต้องการลงในรีจิสเตอร์คำสั่ง (Command Register)

6.เมื่ออุปกรณ์ได้รับการเขียนรีจิสเตอร์คำสั่ง ตัวอุปกรณ์จะเซ็ทบิต BSY เป็น 1 และปฏิบัติตามคำสั่งที่สั่ง

7.เมื่อทำงานตามคำสั่งนั้นๆเสร็จสิ้นอุปกรณ์จะเคลียร์ค่าบิต BSY และส่งสัญญาณอินเทอร์รัพท์กลับมายังโฮสท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

8.กรณีที่เกิดความผิดพลาดในการส่งข้อมูลจะรายงานความผิดพลาดในรีจิสเตอร์ Error

5.1.4.2 โปรโตคอลการส่งคำสั่งที่มีการส่งข้อมูลกลับในแบบ PIO

การส่งคำสั่งที่มีการส่งข้อมูลกลับในแบบ PIO นี้จะมีส่วนที่เหมือนกับการส่งข้อมูลที่ไม่มีกาส่งข้อมูลกลับตั้งแต่ลำดับที่ 1 ถึงลำดับที่ 5

1.โฮสท์ต้องเช็คค่าบิต BSY ภายในรีจิสเตอร์สถานะ (Status Register) จนกว่าบิต BSY จะเท่ากับ 0

2.เขียนรีจิสเตอร์ Device/Head เพื่อเลือกอุปกรณ์ที่ต้องการควบคุม

3.ตรวจสอบค่าภายในรีจิสเตอร์สถานะ (Status Register) โดยรอจนกว่าบิต BSY จะเท่ากับ 0และบิต DRDY จะเท่ากับ 1

4.เขียนพารามิเตอร์ต่างๆที่แต่ละคำสั่งต้องการลงในรีจิสเตอร์ต่างๆ ตามความต้องการของแต่ละคำสั่ง

5.เขียนคำสั่งที่ต้องการลงในรีจิสเตอร์คำสั่ง (Command Register)

6.อุปกรณ์จะเซ็ตบิต BSY และปฏิบัติตามคำสั่งที่ส่งเข้าไป และเตรียมส่งข้อมูลชุดแรกไปยังโฮสท์

7.เมื่อพร้อมที่จะส่งข้อมูลออกมา อุปกรณ์จะเซ็ตบิต DRQ เคลียร์บิต BSY และส่งสัญญาณอินเทอร์รัพท์กลับมายังโฮสท์

8.โฮสท์อ่านข้อมูลจากตัวอุปกรณ์

9.เซ็ตบิต DRQ ภายในรีจิสเตอร์สถานะ ถ้าบิต DRQ เท่ากับ 1 หมายถึงยังมีข้อมูลเวิร์ดถัดไปที่จะส่งออกมายังโฮสท์ แต่ถ้าหมดข้อมูลที่จะส่งแล้วบิต DRQ จะเท่ากับ 0 และบิต BSY จะเท่ากับ 0

5.1.4.3 โปรโตคอลการส่งคำสั่งที่มีการส่งข้อมูลกลับในแบบ DMA

การส่งคำสั่งที่มีการส่งข้อมูลกลับในแบบ DMA นี้จะคล้ายกับการส่งข้อมูลที่ส่งข้อมูลที่ไม่มีการส่งข้อมูลกลับตั้งแต่ลำดับ 1ถึง 5 เช่นเดียวกับการส่งข้อมูลกลับแบบ PIO แต่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หลังจากนั้นการส่งข้อมูลจากตัวโฮสท์จะเป็นไปตามมารถฐานการส่งข้อมูลแบบ DMA ซึ่งในงานนี้ไม่ได้ใช้โปรโตคอลนี้จึงไม่ขอกล่าวละเอียด

5.2 ATAPI

มาตรฐาน ATAPI เป็นมารถฐานที่อยู่บนมารถฐาน ATA อีกทีหนึ่ง จากเดิมที่การควบคุมอุปกรณ์ในมาตรฐาน ATA เพียงเวิร์ดเดียวในการสั่งงาน ในมาตรฐาน ATAPI นี้จะเปลี่ยนรูปแบบการส่งคำสั่งจากเวิร์ดเดียวเป็นแพ็คเกตขอคำสั่งแทน เพื่อความยืดหยุ่นในการสั่งงานอุปกรณ์ แต่ถึงอย่างไรก็ตามมาตรฐานATAPI เป็นมาตรฐานที่อยู่บนมาตรฐาน ATA ดังนั้นการเชื่อมต่อขาเชื่อมต่อ (Connector) และลำดับการส่งสัญญาณจะเหมือนกับมาตรฐาน ATA ทั้งหมด ส่วนที่แตกต่างไปบ้างคือ รีจิสเตอร์ภายในอุปกรณ์ที่มีการเปลี่ยนแปลงหน้าที่การทำงานไปบางส่วน และส่วนที่แตกต่างกันกับมาตรฐาน ATA อย่างชัดเจนก็คือโปรโตคอลที่ใช้ส่งคำสั่งควบคุมอุปกรณ์

5.2.1 ATAPI Protocol

ATAPI Device จะถูกสั่งด้วยวิธีการ 2 วิธีด้วยกัน คือ

1. คำสั่งพื้นฐานของมาตรฐาน ATA
2. คำสั่งแบบเป็นแพ็คเก็ต (Packet Command)

ทั้งสอง 2 วิธีอุปกรณ์จะคอยรับคำสั่งจาก Host เพื่อปฏิบัติตามและจะแจ้งสถานะของตัวอุปกรณ์ให้กับ Host เมื่อทำคำสั่งเสร็จ แต่ถ้ามีอุปกรณ์มากกว่า 1 ตัว ต่อพ่วงกันอยู่ คำสั่งจะถูกเขียนไปสู่ทุกตัวและจะมีเฉพาะคำสั่งเลือกอุปกรณ์เท่านั้นที่จะทำ โดยที่ Device 1 จะแจ้งสถานะของตัวมันสู่ Device 0 ผ่านทางบิต PDIAG “The Protocol” ของ ATAPI ก็คือการใช้คำสั่ง ATA แบบใหม่ที่เรียกว่า “ATAPI Packet Command”โปรโตคอลของ ATA ทั้งหมดจะถูกส่งเป็นแบบ Packet Command แต่เมื่อมีการส่งคำสั่งออกไปแล้วจะมีกฎใหม่ ๆ เพิ่มเข้ามา

1.บิต DRQ ที่อยู่ใน Status Register จะถูกนำมาใช้ร่วมกับ Interrupt Reason Register เพื่อกำหนด Interrupt Type

2.คำสั่งของการจัดการกับตัวอุปกรณ์จะถูกส่งเป็น Packet ผ่าน Data Register

3.ค่าคำสั่งที่ส่งไปโดย Packet Command จะเหมือนกับของ Task File

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.Byte Count จะถูกใช้เพื่อกำหนดปริมาณข้อมูลที่ Host จะถ่ายโอนไปในแต่ละ DRQ Interrupt

5.The ATAPI Feature Register จะถูกใช้เพื่อบอกเมื่อ DMA ถูกใช้ด้วยการใช้ออปโคด (Opcode) ที่ต่างกัน

6.สถานะสุดท้ายที่จะชี้บอกกับตัว Host จะส่งเป็น interrupt หลังจากข้อมูลสุดท้ายได้ถูกถ่ายโอนไปโปรโตคอลที่ว่ามานี้จะถูกเพิ่มเข้ามาเมื่อมีการส่ง Packet Command ออกไปแล้วเท่านั้นจนกระทั่ง Host ได้อ่าน Completion Status หลังจาก Host ได้ทำการอ่าน Completion Status แล้ว Task File Register และ Protocol ต่างๆจะกลับเข้าสู่รูปแบบมาตรฐานของ ATA

5.2.2 ATAPI PACKET Command

ATAPI Packet Command จะคล้ายกับคำสั่งของ ATA ปกติ โดยการเริ่มต้นด้วย The Task Register และการเซ็ต Drive Selection Bit และการเขียนไบต์คำสั่งเข้าไปใน Command Register ด้วยคำสั่ง ATA ปกติบิต DRQ จะถูกสร้างขึ้นมาเพื่อบอกว่าข้อมูลสำหรับคำสั่งควรจะถูกส่งเข้าไปหรือออกมาจากตัวอุปกรณ์แต่ถ้าเป็นรูปแบบ Packet Command บิต DRQ จะถูกสร้างมาเพื่อบอกว่า Command Packet Data ควรจะถูกเขียนเข้าไปในตัวอุปกรณ์ในการส่งแบบ ATA Packet Command สามารถที่จะส่งคำสั่งออกไปได้โดยไม่ต้องสนใจสถานะของบิต DRDY Status

5.2.3 Status Register for Packet Command

การติดต่อเข้าไปหรือออกมาจากตัวอุปกรณ์จะกระทำผ่าน I/O Register ซึ่งจะทำผ่านรีจิสเตอร์ที่ถูกเลือกโดยการในใส่สัญญาณจาก Host (CS0-, CS1-, DA2, DA1, DA0, DIOR-, DIOW-) ซึ่งจะแสดงได้ดังตารางที่ 5.3

แอดเดรส					หน้าที่	
CS0-	CS1-	DA2	DA1	DA0	READ(DIOR-)	WRITE(DIOW-)
รีจิสเตอร์ Control Block						
N	A	0	0	0	สถานะฟล็อปปี้ A	ไม่ใช้
N	A	0	0	1	สถานะฟล็อปปี้ A	ไม่ใช้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

N	A	0	1	0	ไม่ใช้	Floppy Digital Output
N	A	0	1	1	ควบคุม Floppy ID/Tape	สงวน
N	A	1	0	0	สถานะ Floppy Controller	สงวน
N	A	1	0	1	รีจิสเตอร์บล็อกคำสั่ง	
N	A	1	1	0	สถานะ Altemate ATAPI	ควบคุมอุปกรณ์
N	A	1	1	1	ไม่ใช้	ไม่ใช้
รีจิสเตอร์ Command Block						
A	N	0	0	0	Data	
A	N	0	0	1	Error	Error
A	N	0	1	0	Sector Count	Sector Count
A	N	0	1	1	Sector Number	Sector Number
A	N	1	0	0	Cylinder Low	Cylinder Low
A	N	1	0	1	Cylinder High	Cylinder High
A	N	1	1	0	Device/Head	Device/Head
A	N	1	1	1	Status	Status
A	A	X	X	X	Invalid Address	Invalid Address

ตารางที่ 5.3 รายละเอียดเกี่ยวกับรีจิสเตอร์ต่างๆที่ใช้ใน ATAPI

ใน ATAPI Register จะอ้างอิงด้วยการใช้ขนาด 8 บิตทุกตัว ยกเว้น Data Register จะใช้ขนาดในการติดต่อเป็น 16 บิตเราจะทำการอธิบายหน้าที่ต่างๆของรีจิสเตอร์แต่ละส่วนดังนี้

5.2.3.1 ATAPI Device Control Register

D7	D6	D5	D4	D3	D2	D1	D0
Reserved				1	SRST	nIEN	0

บิต 4 – 7: สงวนไว้เผื่อใช้ในอนาคต

บิต 3 : เป็น 1 เสมอ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต 2 : SRST บิตนี้คือ Software Reset ซึ่งขั้นตอนในการรีเซ็ตจะทำเป็นขั้นตอน ซึ่งจะได้อธิบายไว้ในตอนต่อไป

บิต 1 : nIEN บิตนี้จะเป็นตัว Enable/Disable ของ Interrupt ที่จะมีถึง Host

เมื่อ nIEN = 0: ขา INTRQ จะอยู่ในสถานะ Tri-State Buffer

เมื่อ nIEN = 1: ขา INTRQ จะอยู่ในสถานะ High Impedance

บิต 0 : เป็น 0 เสมอ

5.2.3.2 ATAPI Error Register

D7	D6	D5	D4	D3	D2	D1	D0
Sense Key				MCR	ABRT	EOM	ILI

บิต 4 – 7: Sense Key ซึ่งจะได้กล่าวต่อไป

บิต 3 : MCR (Media Change Requested) ถูกใช้ตามมาตรฐาน ATA

บิต 2 : ABRT (Aborted Command) ถูกใช้ตามมาตรฐาน ATA

บิต 1 : EOM (End of Media Detected)

บิต 0 : ILI (Illegal Length Indication)

5.2.3.3 ATAPI Feature Register

D7	D6	D5	D4	D3	D2	D1	D0
Reserved						Overlap	DMA

บิต 2 – 7: สงวนไว้เผื่อใช้ในอนาคต

บิต 1 : Overlap (Optional)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต 0 : DMA (Optional) บางคำสั่งจะถ่ายโอนข้อมูลผ่านการเชื่อมต่อแบบ DMA แต่บิตนี้จะไม่ใช้ในการคำสั่งแบบแพ็คเก็ต (Command Packet)

5.2.3.4 ATAPI Interrupt Reason Register

D7	D6	D5	D4	D3	D2	D1	D0
Reserved					Release	IO	CoD

บิต 3 – 7: สงวนไว้เผื่อใช้ในอนาคต

บิต 2 : RELEASE เป็นตัวบอกว่าอุปกรณ์ได้มีการปล่อย ATA bus ก่อนที่คำสั่งจะทำเสร็จ

บิต 1 : IO เป็นรีจิสเตอร์ที่ชี้บอกถึงทิศทางในการโอนถ่ายข้อมูลว่าข้อมูลเข้าไปใน Host หรือออกจาก Host

โดยถ้า IO = 1 แสดงว่าข้อมูลไหลเข้าไปใน Host

IO = 0 แสดงว่าข้อมูลไหลออกจาก Host

บิต 0 : CoD (Command or Data)

โดยถ้า CoD = 1 แสดงว่าข้อมูลที่โอนถ่ายกันเป็น คำสั่ง (Command)

CoD = 0 แสดงว่าข้อมูลที่โอนถ่ายกันเป็นข้อมูล (Data)

5.2.3.5 ATAPI Byte Count Register

D7	D6	D5	D4	D3	D2	D1	D0
Byte Count (bits 0-7)							
Byte Count (bits 8-15)							

Byte Count จะใช้ใน PIO Mode เท่านั้น การกระทำคำสั่งจะทำการเซ็ตก่อนที่จะมีการส่งคำสั่งแพ็คเก็ตคำสั่งออกไป (Command Packet) ในรีจิสเตอร์นี้จะประกอบไปด้วยขนาดของ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คำสั่งทั้งหมดที่จะมีการโอนถ่ายเพียงหนึ่งกลุ่มข้อมูลเท่านั้น เช่น คำสั่ง Mode Select/Sense สำหรับคำสั่งที่ต้องการ DRQ Interrupt หลายๆครั้ง เช่น คำสั่ง Read / Write จะทำโดยการเซ็ตขนาดที่ต้องการ เมื่อมีการส่งข้อมูลตัวอุปกรณ์จะทำการเซ็ต Byte Count Register ให้มีขนาดเท่ากับจำนวนข้อมูลที่ Host จะทำการโอนถ่ายและจะทำการปล่อย DRQ Interrupt ข้อมูลภายในของรีจิสเตอร์จะไม่เปลี่ยนจนกว่าข้อมูลเวิร์ดแรกจะทำส่งเข้าไปหรือออกจาก Data Register เมื่อเริ่มมีการส่งข้อมูลตัวอุปกรณ์จะทำการเปลี่ยนขนาดของ byte count

5.2.3.6 ATAPI Drive Select Register

D7	D6	D5	D4	D3	D2	D1	D0
1	Reserved	1	DRV	Reserved for SAM LUN			

บิต 4 : เป็นการเลือกตัวอุปกรณ์ว่าจะเป็นไดร์ฟไหนโดยถ้า DRV = 0: แสดงว่าต้องการติดต่อกับ Device 0โดยถ้า DRV = 1: แสดงว่าต้องการติดต่อกับ Device 1

5.2.3.7 ATAPI Status Register

D7	D6	D5	D4	D3	D2	D1	D0
BSY	DRDY	DMA/DF	SERVICE/DSC	DRQ	CORR	Reserved	CHECK

บิต 7 : BSY (Busy) บิตนี้จะถูกเซ็ตเมื่อตัวอุปกรณ์มีการเข้าถึงข้อมูลภายใน Command Block

บิต 6 : DRDY เป็นบิตที่บอกว่าตัวอุปกรณ์มีการตอบสนองต่อคำสั่ง ATA

บิต 5 : DMA READY / DF บิตนี้จะเป็นตัวบอกว่าตัวอุปกรณ์นั้นพร้อมที่จะทำการโอนถ่ายข้อมูลในโหมด DMA บิตนี้จะถูกสงวนไว้ใช้ในอนาคตเพื่อเพิ่มความสามารถในการ Overlap

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บิต 4 : SERVICE / DSC บิตนี้จะเป็นตัวบอกว่าตัวอุปกรณ์กำลังร้องขอ Service หรือ Interrupt และจะไม่เคลียร์บิตนี้จนกว่าจะได้รับคำสั่ง Service Command

บิต 3 : DRQ (Data Request) เป็นบิตที่บอกว่าตัวอุปกรณ์พร้อมที่โอนถ่ายข้อมูลระหว่าง Host กับตัวอุปกรณ์ ข้อมูลใน ATAPI Interrupt Reason จะมีการเปลี่ยนแปลงในระหว่างที่มี Packet Command และ เมื่อ DRQ = 1

บิต 2 : CORR บิตนี้จะเป็นตัวบอกว่ามีการเกิด Correctable Error

บิต 1 : สงวนไว้เผื่อใช้ในอนาคต

บิต 0 : CHECK จะเป็นตัวบอกว่ามีการเกิด Error ขึ้นในระหว่างที่มีการประมวลผลของคำสั่งก่อนหน้านี้

5.3 ขั้นตอนการส่งคำสั่งแบบ PIOที่มีข้อมูลเข้าสู่ Host

ขั้นตอนเหล่านี้จะประกอบด้วยคำสั่งเช่น คำสั่ง Inquiry, Read และอื่นๆ

1. Host จะต้องคอยเช็คค่า BSY = 0, DRQ = 0 แล้วก็เขียนพารามิเตอร์ต่างๆลงใน Feature, Byte Count และ Drive/Head Register

2. Host จะทำการเขียน Packet Command Code (A0H) เข้าไปใน Command Register

3. ตัวอุปกรณ์จะทำการเซ็ต BSY และทำการเตรียมรับคำสั่ง Packet Command

4. เมื่อตัวอุปกรณ์พร้อมที่จะรับคำสั่ง Packet Command ตัวอุปกรณ์จะทำการเซ็ตบิต CoD และเคลียร์บิตIO ส่วนบิต DRQ จะทำการเซ็ตขึ้นมาทันทีหรือก่อนที่บิต BSY จะเคลียร์ลง

5. หลังจากเจอสัญญาณ DRQ แล้ว Host ก็จะทำการเขียนคำสั่งจำนวน 12 ไบต์ลงใน Data Register

6. หลังจากนั้นตัวอุปกรณ์จะทำการเคลียร์ DRQ (เมื่อคำสั่งไบต์ที่ 12 ได้เขียนไปแล้ว) และจะทำการเซ็ตบิต BSY และจะทำการอ่าน Feature และ Byte Count ที่สั่งมาจาก Host และตัวอุปกรณ์จะทำการรอรับข้อมูลที่จะทำการดอนถ่ายมา

7. เมื่อมีข้อมูลเข้ามาตัวอุปกรณ์จะทำการใส่จำนวนไบต์ข้อมูลลงใน Byte Count Register และจะทำการเซ็ต IO และเคลียร์ CoD และจะทำการเซ็ต DRQ และเคลียร์ BSY และเซ็ต INTRQ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

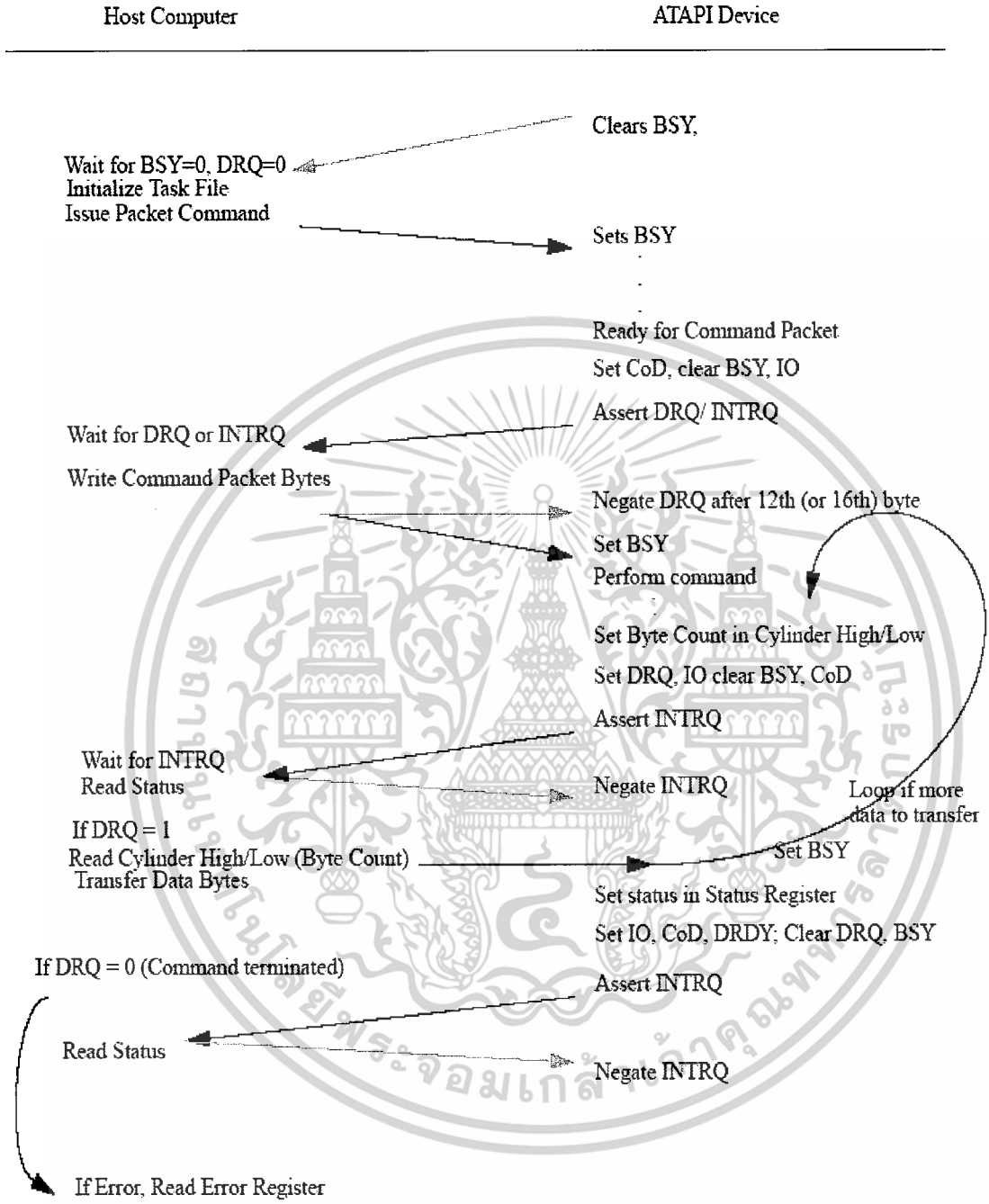
8. หลังจากเจอสัญญาณ INTRQ แล้ว Host จะทำการอ่าน DRQ เพื่อจะได้กำหนดคำสั่งต่อไปถ้า DRQ = 0 ตัวอุปกรณ์จะทำการยุติคำสั่ง แต่ถ้า DRQ =1 แล้ว Host จะทำการอ่านค่าข้อมูล (จำนวนไบต์ใน Byte Count Register) ผ่านทาง Data Register

9. ตัวอุปกรณ์จะเคลียร์ DRQ (ถ้ามีความต้องการจะโอนถ่ายข้อมูลอีก BSY จะเท่ากับ 1 และให้ปฏิบัติตามตั้งแต่ข้อ 7. ลงมา)

10.เมื่อตัวอุปกรณ์พร้อมที่จะแสดงสถานะของตัวเองตัวอุปกรณ์จะทำการใส่ค่า Completion Status เข้าไปใน Status Register, และจะทำการเซ็ต CoD, IO, DRDY และเคลียร์ BSY, DRQ และปล่อยสัญญาณ INTRQ

11. หลังจากเจอสัญญาณ INTRQ&DRQ =0 Host จะทำการอ่าน Status Register

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 5.5 ขั้นตอนการส่งคำสั่งแบบ PIOที่มีข้อมูลออกจาก Host

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 6

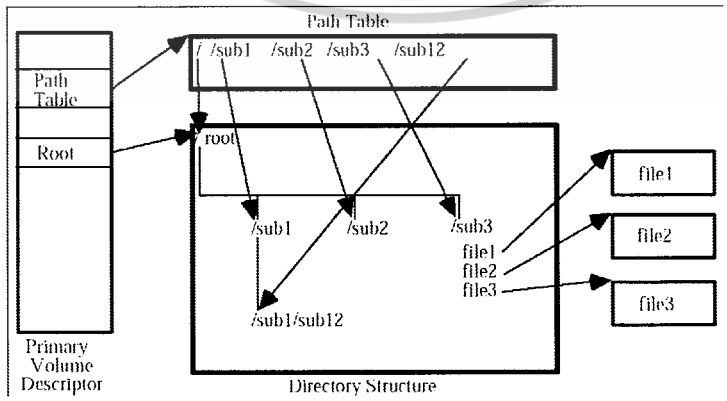
ISO 9660

6.1 บทนำ

คอมแพคดิสค์ (CD) ถูกเรียกได้ว่าเป็นผลิตภัณฑ์ที่ประสบความสำเร็จในตลาดผู้บริโภคอย่างสูงที่สุดเท่าที่เคยวางตลาดมา ตั้งแต่การแนะนำสินค้าชนิดนี้ในเดือนมิถุนายน 1980 ทำให้ CD มีอิทธิพลต่ออุตสาหกรรมดนตรีและเป็นทางเลือกสำหรับผู้ฟังดนตรีหลายล้านคน เนื่องจากความถูกต้องสูงเป็นพิเศษซึ่งเกิดจากเทคนิคการบันทึกแบบดิจิตอล และการแก้ไขข้อมูลนั้นสามารถทำได้ยากมากซึ่งเกิดจากการบันทึกแบบออปติคอล (Optical) คุณสมบัติเหล่านี้ทำให้ CD มีเสน่ห์น่าสนใจในการเป็นตัวกลางของข้อมูลดิจิตอล ลักษณะเด่นอื่นที่ทำให้ CD น่าสนใจ ก็คือการที่สามารถผลิตออกมาในประมาณมากๆได้อย่างรวดเร็ว

แต่ในระยะแรกของการเกิดนั้นยังไม่มีมาตรฐานใดๆ เข้ามารับรองรูปแบบของการเขียนข้อมูลในตัวแผ่น ทำให้เกิดปัญหาในด้านความเข้ากันได้ของแผ่นซีดี ซึ่งเป็นปัญหาอย่างมากในด้านการพัฒนา จึงมีการจับมือกันระหว่างผู้ผลิตซีดีรอมหลายรายในการสร้างมาตรฐานร่วมกันให้เป็นมาตรฐานอุตสาหกรรมที่นิยามโดย Red Book, Yellow Book และ ISO 9660 ทำให้ปัจจุบันสามารถใช้ CD กับฮาร์ดแวร์และซอฟท์แวร์ได้เกือบจะทุกรูปแบบ

6.2 ภาพรวมโครงสร้าง ISO9660



รูปที่ 6.1 โครงสร้าง ISO 9660

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โครงสร้างทางข้อมูลของ ISO 9660 แบ่งได้เป็น 3 ส่วนหลัก คือ Volume Descriptor, Directory Structure และ Path Table โครงสร้างเหล่านี้เกี่ยวข้องซึ่งกันและกันดังแสดงในรูปที่ 6.1Volume Descriptor จะบอกตำแหน่งของ Directory Structure และ Path Table ไดเรคทอรี่จะบอกตำแหน่งของไฟล์ และ Path Table จะเป็นวิธีลัดไปสู่แต่ละไดเรคทอรี

6.2.1 The Volume Descriptor

มี Volume Descriptor อยู่ 4 ชนิดที่นิยามใน ISO 9660 คือ Primary Volume Descriptor, Boot Record, Supplementary Volume Descriptor และ Volume Partition Descriptor โดย Primary Volume Descriptor ถูกใช้ทั่วไป Boot Record ใช้สำหรับระบบที่ต้องแสดงบางอย่างของการตั้งค่าเริ่มต้น(initialization) ก่อนที่ใช้จะสามารถเข้าถึง Volume ได้ แม้ว่า ISO 9660 จะไม่กำหนดว่าข้อมูลอะไรบ้างที่ต้องอยู่ใน Boot Record หรือวิธีที่จะใช้ข้อมูลเหล่านั้น Supplementary Volume Descriptor สามารถใช้ระบุ alternate character set สำหรับระบบที่ไม่สนับสนุน ISO 646 character set ส่วน Volume Partition Descriptor สามารถใช้แบ่ง Volume ออกเป็น Volume ให้มีขนาดเล็กลงVolume Descriptor จะเริ่มการอัดที่ Logical Sector 16 (ซึ่งตอบสนองภายใน 2 วินาที และ 16เซคเตอร์ใน CD หรือใน CD “Atime”, 00:02:16)

6.2.1.1 Primary Volume Descriptor

Standard Identifier
Volume Identifier
Volume Set Identifier
System Identifier
Volume Size
Logical Block Size
Path Table Size
Root Directory Record
Identifier
Time Stamps

ตารางที่ 6.1 Primary Volume Descriptor

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Primary Volume Descriptor เป็นจุดเริ่มต้นในการระบุ CD-ROM ประกอบด้วย Standard Identifier, Volume Identifier, Volume Set Identifier, System Identifier, Volume Size, Number of Volume in this set, Number of this Volume in the set, Size Logical Block, Size of the Path Table, Location of the Path Table, Root Directory Record, Other Identifiers และเวลาสำคัญที่เกี่ยวข้องกับ Volume

1. Standard Identifier เป็นกลุ่มของตัวอักษร และมีค่า CD001 ตามมาตรฐาน ISO 9660ซึ่งจะบอกระบบปฏิบัติการว่านี่คือดิสค์ตาม ISO 9660 เพื่อที่จะแบ่งแยก Volume ออกจากระบบไฟล์อื่นโดยใช้แบบแผนง่ายๆ เช่น High Sierra ซึ่งมี Standard Identifier คือ CD-ROM และ Compact Disc Interactive ซึ่งมี Standard Identifier คือ CD-I

2. Volume Identifier ตัวอักษรที่ใช้จะถูกกำหนดโดย ISO 9660 ซึ่งเรียกว่า d-characterและไม่สามารถยาวเกิน 31 ตัวอักษรได้

A B C D E F G H I J K L M N O P Q R

S T U V W X Y Z 0 1 2 3 4 5 6 7 8 9 _

รูปที่ 6.2 d-characters

3. Volume Set Identifier เป็นการระบุชื่อของ Multiple Volume ที่ Volume นั้นอยู่ Volume Set Identifier จะเหมือนกับ Volume Identifier ตรงที่จะถูกระบุโดย d – character และไม่สามารถยาวเกิน 31 ตัวอักษรได้ ตัวอย่างเช่น ถ้า Volume นี้ชื่อ DICTIONARY_E_H ก็อาจจะมี Volume Set Identifier เป็น DICTIONARY ซึ่งหมายความว่า Volume นี้มีเวิร์ดเริ่มด้วยตัวอักษร E ถึง H และVolume Set จะเป็นกลุ่มของดิสค์สำหรับตัวอักษรทั้งหมด

4. System Identifier จะระบุว่าระบบนั้นสามารถยอมรับได้และสามารถทำให้เกิด logicบน เซคเตอร์ 0 -15 ได้ ตัวอักษรที่ถูกใช้ในระบบ ID คือสิ่งที่ ISO 9660 เรียกว่า a – character และมีความยาวจำกัดที่ 31 ตัวอักษร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5. Volume Size เป็นจำนวนซึ่งบอกระบบปฏิบัติการว่ามี Logical Block อยู่ใน Volume Set นั้นเท่าไหร่ Logical Block เป็นวิธีทั่วไปในการหาตำแหน่งของข้อมูลที่อยู่ใน Volume ซึ่งแต่ละตำแหน่งทั้งหมดนี้จะมี Logical Block Number

A B C D E F G H I J K L M N O P Q R S

T U V W X Y Z 0 1 2 3 4 5 6 7 8 9 _ sp

! " % ' ( ) * + , - . / : ; < = > ?

รูปที่ 6.3 a – character

6. Volume Set Size เป็นจำนวนซึ่งบอกระบบปฏิบัติการว่ามี Volume อยู่ใน Volume Set นั้นเท่าไหร่ Volume Sequence Number เป็นตำแหน่งใน Multiple Volume Set ที่ Volume นั้นอยู่ยกตัวอย่างเช่น แผ่นดิสค์แผ่นหนึ่งมี Volume Set Size = 5 และ Volume Sequence Number = 3 แสดงว่าดิสค์แผ่นนี้เป็นดิสค์แผ่นที่ 3 ของดิสค์ชุดที่ 5

7. Logical Block Size เป็นจำนวนไบต์ที่จัดรูปแบบแล้วเกิดที่ว่างที่น้อยที่สุดซึ่งถูกจัดสรรใน Volume นั้นๆ จำนวนนี้สามารถเป็น 512, 1024 หรือ 2048 ไบต์ก็ได้ ส่วนมากดิสค์ ISO 9660 จะใช้ Logical Block Size ขนาด 2048 ไบต์ ซึ่งมีขนาดเดียวกันกับขนาดของเซคเตอร์

8. Path Table Size จะบอกระบบปฏิบัติการว่ามีจำนวนไบต์เท่าไหร่ที่อยู่ใน Path Table ระบบปฏิบัติการส่วนมากจะใช้ Path Table ใน fast memory, local memory (RAM) การใช้ Path Table Size เป็นวิธีที่รวดเร็วสำหรับระบบปฏิบัติการที่จะรู้ว่าจะต้องจัดสรรหน่วยความจำเท่าไหร่ก่อนที่มันจะอ่าน Path Table วิธีนี้ทำให้ระบบปฏิบัติการอ่าน Path Table เพียงครั้งเดียวเท่านั้น เป็นการประหยัดเวลา

9. Root Directory Record จะบรรจุข้อมูลที่ระบบปฏิบัติการต้องการในการระบุตำแหน่งและอ่านไดเรคทอรีที่อยู่ระดับบนสุด รูปแบบของ Root Directory Record จะเหมือนกับ Directory Record อื่นๆ

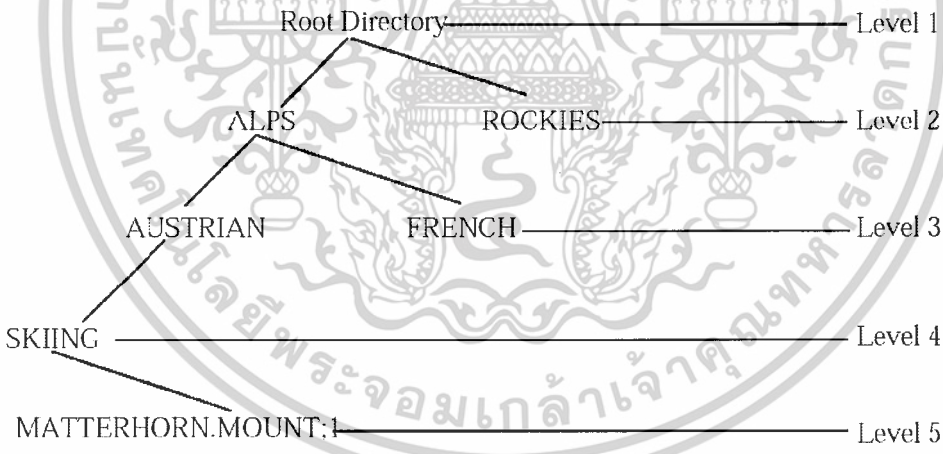
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

10. Identifier อื่นๆ ใน Primary Volume Descriptor นั้นจะบรรจุข้อมูลเกี่ยวกับว่าใครเป็นผู้ตีพิมพ์ Volume นี้, ใครเตรียมข้อมูล, การประยุกต์ใช้งาน และชื่อของไฟล์ซึ่งบรรจุ copyright notice, บทคัดย่อ และบรรณานุกรม

11. Time Stamps เป็นฟิลด์ (field) ใน Primary Volume Descriptor ซึ่งบรรจุข้อมูลเกี่ยวกับว่า Volume นั้น ถูกสร้างขึ้นเมื่อไหร่, ถูกปรับปรุงเมื่อไหร่, เมื่อไหร่ที่ข้อมูลนั้นใช้ได้และเมื่อไหร่ที่เลิกใช้ข้อมูล

6.2.2 โครงสร้างของไดเรคทอรี

โครงสร้างของไดเรคทอรีตาม ISO 9660 ได้ถูกจัดแบ่งเป็นระดับชั้นต่างๆคล้ายกับระบบไฟล์ส่วนใหญ่ ส่วนบนสุดของระดับชั้น คือ Root Directory ซึ่งจะระบุตำแหน่งอยู่ใน Primary Volume Descriptor



รูปที่ 6.4 ระดับชั้นไดเรคทอรี

จากรูป Root Directory เป็นไดเรคทอรีที่อยู่ Level 1 เท่านั้น ไดเรคทอรีย่อย ALPS และROCKIES จะอยู่ Level 2, ไดเรคทอรีย่อย AUSTRAIN และ FRENCH จะอยู่ Level 3 ไดเรคทอรีย่อย SKIING จะอยู่ Level 4 และไฟล์ MATTERHORN.MOUNT; 1 จะอยู่ Level 5

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

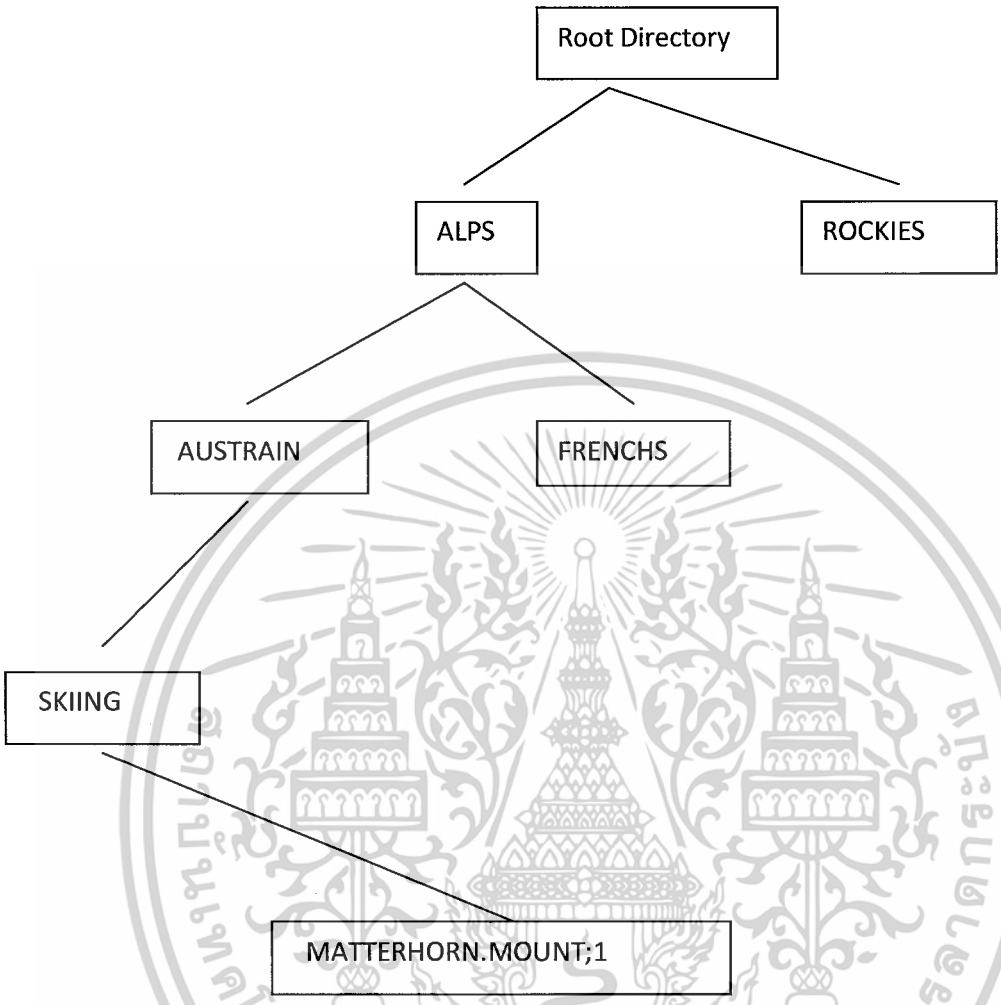
ISO 9660 ได้กำหนดให้สามารถมีความกว้างของ Directory Structure ได้สูงสุด คือ Level 8 นอกจากนี้ยังกำหนดความยาว path ของแต่ละไฟล์ ซึ่งหาได้จากผลรวมของความยาวไดเรคทอรีทั้งหมดที่เกี่ยวข้อง, ความยาวของ File Identifier และจำนวนไดเรคทอรีที่เกี่ยวข้อง ความยาว path จะต้องไม่เกิน 225 จากรูปที่ 6.5 จะมีความยาว path คือ 39 ดังตารางที่ 6.1

ไดเรคทอรีใน ISO 9660 Volume จะถูกบันทึกอยู่ในรูปของไฟล์ซึ่งบรรจุกลุ่มของ Directory record ในแต่ละ directory record จะอธิบายถึงไฟล์หนึ่งหรือไดเรคทอรีอื่น แต่ละไดเรคทอรีจะมีไดเรคทอรีแม่ (parent directory) ในไดเรคทอรีแม่จะบรรจุ directory record ซึ่งใช้ระบุไดเรคทอรีนั้น แสดงดังรูปที่ 6.5

Identifier	Length
ALPS	4
AUSTRIAN	8
SKIING	6
MATTERHORN.MOUNT;1	18
Number of directories	3
Sum of length and number of directories	39

ตารางที่ 6.2 ความยาวของ path

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 6.5 ไดเรคทอรีแม่

ชื่อไฟล์

ตามาตรฐาน ISO 9660 ทุกๆไฟล์และทุกๆไดเรคทอรีจะต้องมีชื่อ และชื่อนั้นเรียกว่า File Identifier โดยที่ File Identifier จะประกอบไปด้วย 5 ส่วน ดังแสดงในตารางที่ 6.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

	File Name	SEPARATOR 1	File Name Extension	SEPARATOR 2	File Version Number
contents	d-characters	-	d-characters	-	A number from 1 to 32767
File 1	MATTERHORN	-	MOUNT	-	1
File 2	PIKES_PEAK	-	-	-	1
File 3	-	-	HILLS	-	1
directory	SKIING	-	-	-	-

ตารางที่ 6.3 File Identifier

File Identifier จะต้องเป็นไปตามเงื่อนไขดังนี้

- ถ้า File Name ไม่มีตัวอักษรแล้ว File Name Extension จะต้องมีอย่างน้อย 1 ตัวอักษรดังแสดงในตารางที่ 6.3 ไฟล์ 3

- ถ้า File Name Extension ไม่มีตัวอักษรแล้ว File Name จะต้องมีอย่างน้อย 1 ตัวอักษรดังแสดงในตารางที่ 6.3 ไฟล์ 2

- ผลรวมความยาวของจำนวนตัวอักษรของ File Name และ File Name Extension จะต้องไม่เกิน 30 ตัวอักษร

ส่วนไดเรคทอรี ตามมาตรฐาน ISO 9660 จะถูกกำหนดให้มีแค่ชื่อไฟล์เท่านั้น จะไม่มีSEPARATOR1 (.), SEPARATOR2 (.); File Name Extension หรือ File Version Number ดังแสดงในตารางที่ 6.2 ไดเรคทอรี

6.2.3 Path Table

Path Table เป็นวิธีลัดที่ระบบปฏิบัติการเลือกใช้ในการไปสู่แต่ละไดเรคทอรีบนดิสค์เพื่อที่จะให้ได้ไฟล์ที่ต้องการ Path Table จะเก็บชื่อไดเรคทอรี, ชื่อไดเรคทอรีแม่, ที่อยู่สำหรับแต่ละไดเรคทอรียกเว้น Root Directory

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนใหญ่ระบบปฏิบัติการจะอ่าน Path Table ก่อน 1 ครั้งและเก็บไว้ในหน่วยความจำมากกว่าที่จะอ่านหลายๆครั้ง ตัวอย่างดังรูปที่ 6.5 ถ้าระบบปฏิบัติการไม่ใช้ Path Table แล้วจะต้องอ่าน Root Directory เพื่อที่จะหาตำแหน่งของไดเรคทอรี ALPS จากนั้นอ่านไดเรคทอรี ALPS เพื่อที่จะหาตำแหน่งของไดเรคทอรี AUSTRAIN แล้วอ่านไดเรคทอรี SKIING เพื่อที่จะหาตำแหน่งของไฟล์ MATTERHORN.MOUNT; 1 แต่ถ้าใช้ Path Table ระบบปฏิบัติการจะค้นหาตำแหน่งของไดเรคทอรี่ SKIING ใน Path Table, อ่านไดเรคทอรี SKIING และหาตำแหน่งของไฟล์

จากตัวอย่างข้างต้นพบว่าการค้นหาตำแหน่งจองไฟล์โดยไม่ใช้ Path Table จะต้องอ่านข้อมูลจาก CD-ROM ถึง 4 ครั้ง แต่ถ้าใช้ Path Table จะอ่านข้อมูลเพียงแค่ครั้งเดียว ซึ่งใน CDROM ทั่ว ๆ ไป การขับ (Drive) จะใช้เวลาในการเข้าถึงข้อมูล (seek time) ประมาณ 0.25 วินาทีดังนั้นช่วงเวลาที่แตกต่างกันในการค้นหาจะเท่ากับ 0.75 วินาที ในกรณีที่ต้องการเข้าถึงไฟล์จำนวนมากช่วงเวลาที่ต่างกันนี้จะมีผลต่อการทำงาน

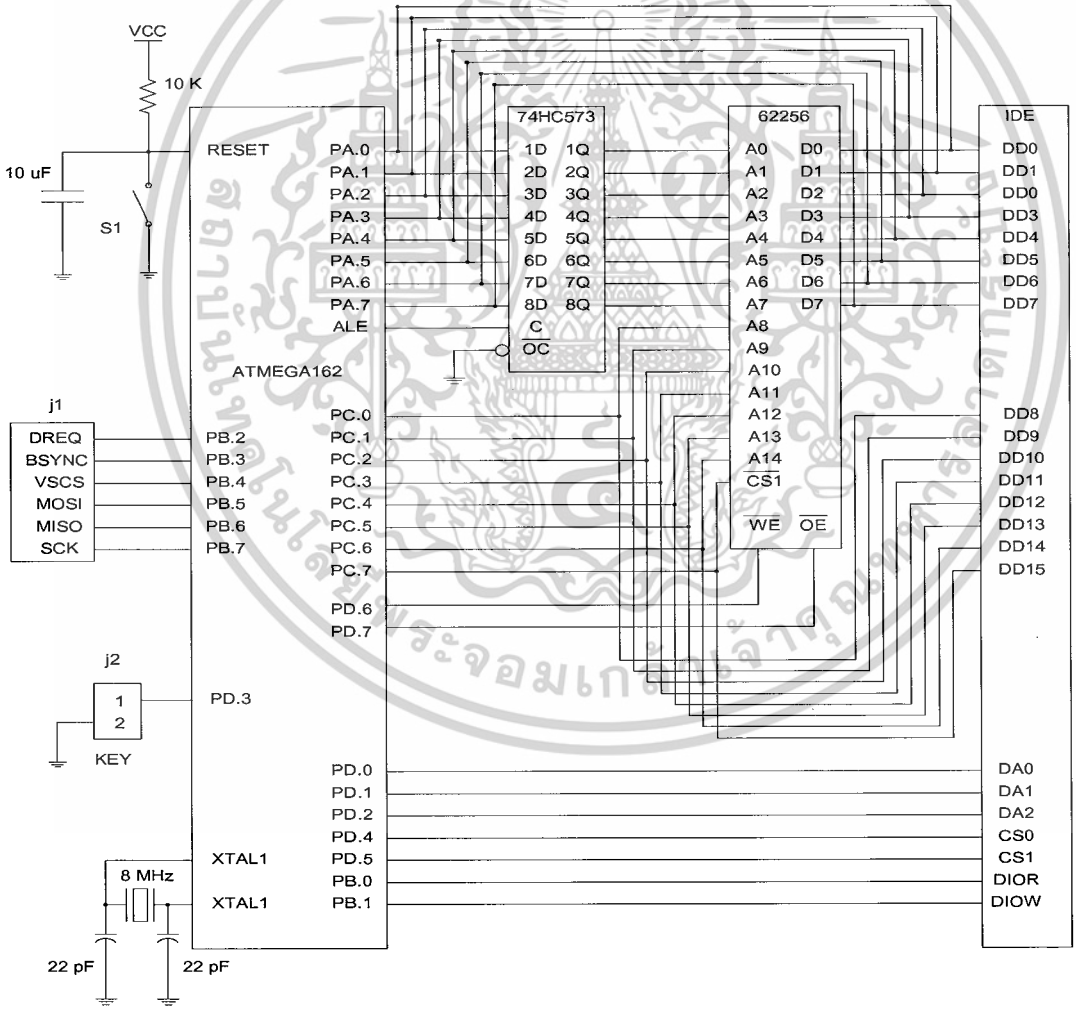
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 7

การสร้างและการออกแบบ

7.1 การสร้างและออกแบบการควบคุมซีดีรอม

โครงงานนี้จะใช้ไมโครคอนโทรลเลอร์ AVR ควบคุมการทำงานของ CD-ROM ซึ่งรายละเอียดของวงจรที่ทดลองแสดงดังรูปที่ 7.1

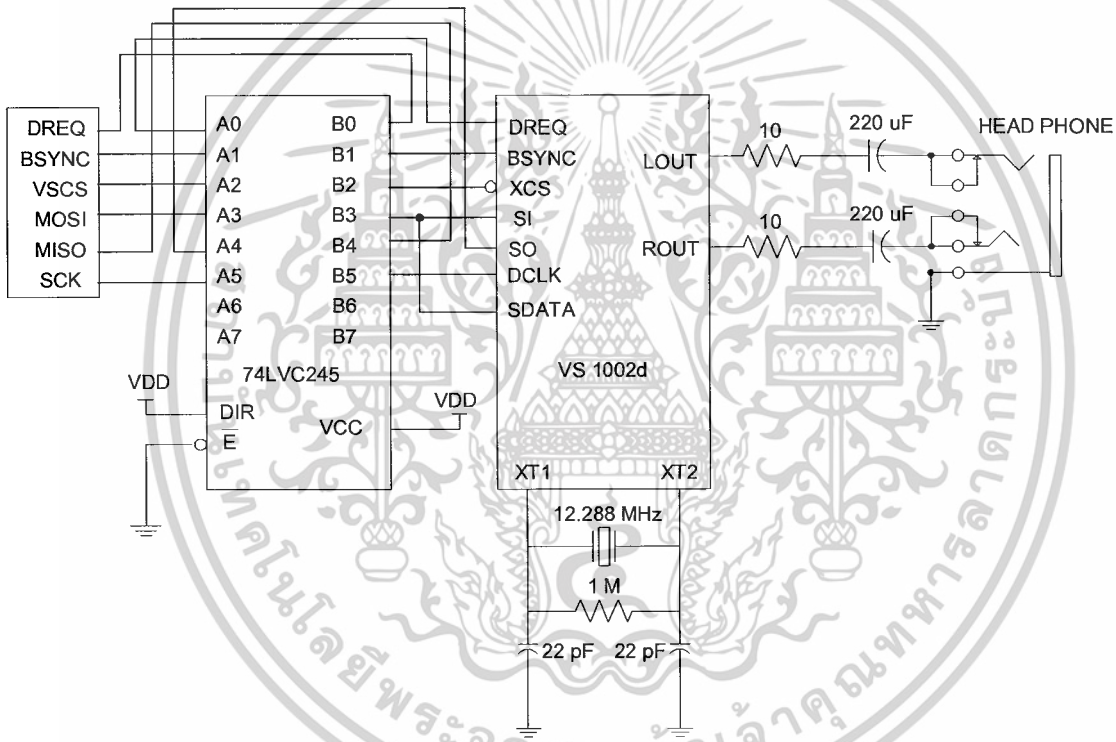


รูปที่ 7.1 วงจรที่ทำการทดลองติดต่อกับ CD-ROM

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.2 การสร้างและออกแบบการควบคุมการทำงานของวงจรภาคถอดรหัส

เนื่องจากชิพถอดรหัส VS1011B จะติดต่อกับไมโครคอนโทรลเลอร์แบบ SPI จึงทำให้การออกแบบวงจรภาคถอดรหัสต้องใช้ไมโครคอนโทรลเลอร์ที่มีการติดต่อสื่อสารแบบ SPI ด้วย แต่การเชื่อมต่อระหว่างไมโครคอนโทรลเลอร์กับชิพถอดรหัสต้องผ่านไอซีเบอร์ 74LVC245 ก่อน เนื่องจากอุปกรณ์ทั้งสองมีขนาดแรงดันที่ไม่เท่ากัน ซึ่งการออกแบบวงจรภาคถอดรหัสที่ใช้ในการทดลองนี้แสดงดังรูปที่ 7.2



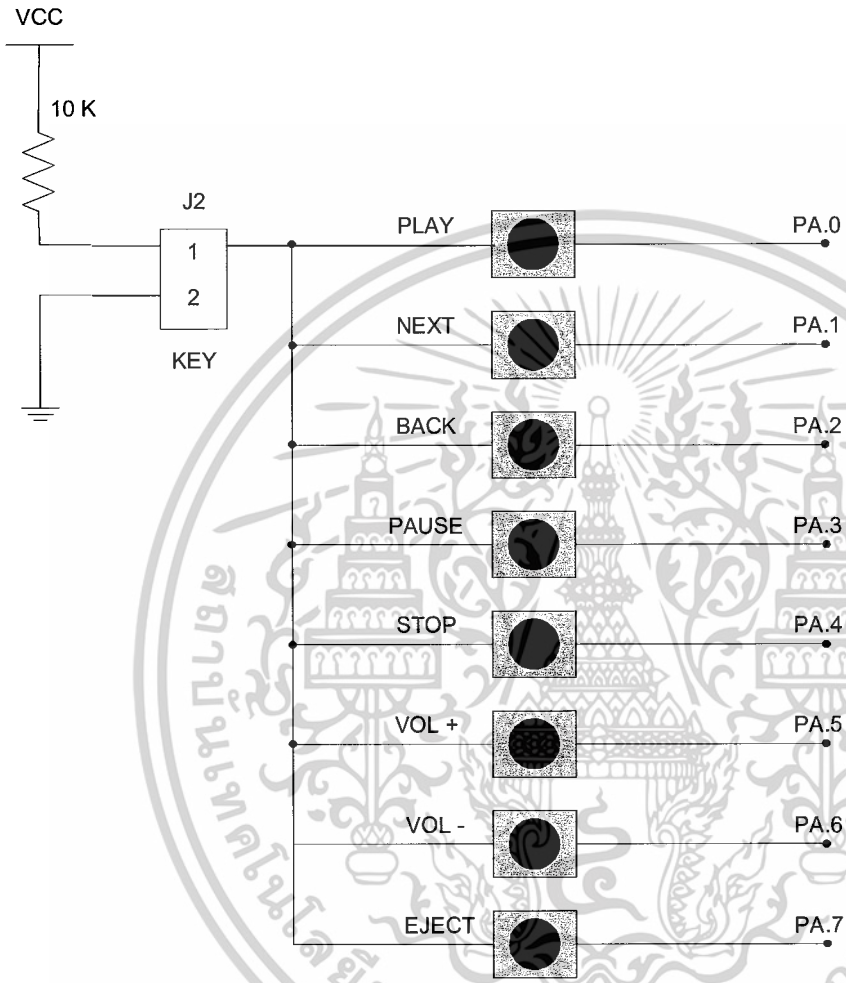
รูปที่ 7.2 วงจรที่ทำการทดลองภาคถอดรหัส

7.3 การสร้างและออกแบบ Key Switch

เนื่องจากจำนวนพอร์ตของไมโครคอนโทรลเลอร์มีจำนวนจำกัด ดังนั้นการออกแบบ Key Switch จึงใช้ความสามารถในการอินเตอร์รัพท์ของไมโครคอนโทรลเลอร์ ซึ่งกำหนดให้ตอบสนอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

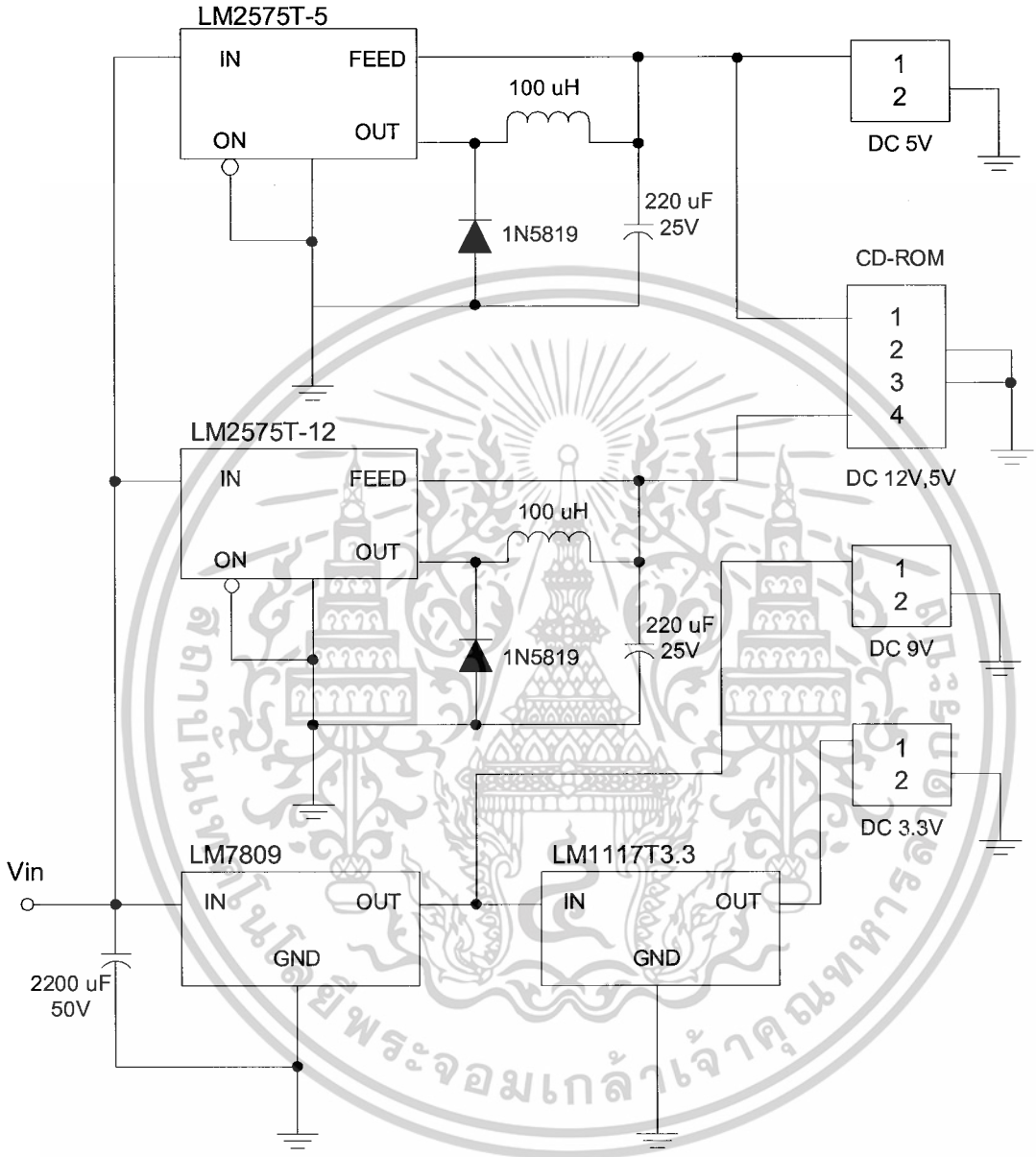
การอินเตอร์รัพท์ที่ขอบขาลง เมื่อเกิดการอินเตอร์รัพท์ขึ้นแล้วค่อยไปตรวจสอบว่าเป็นปุ่มกดใด ซึ่งการออกแบบวงจร Key Switch ที่ใช้ในการทดลองนี้แสดงดังรูปที่ 7.3



รูปที่ 7.3 วงจร Key Switch

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.4 การสร้างและออกแบบแหล่งจ่ายไฟตรง

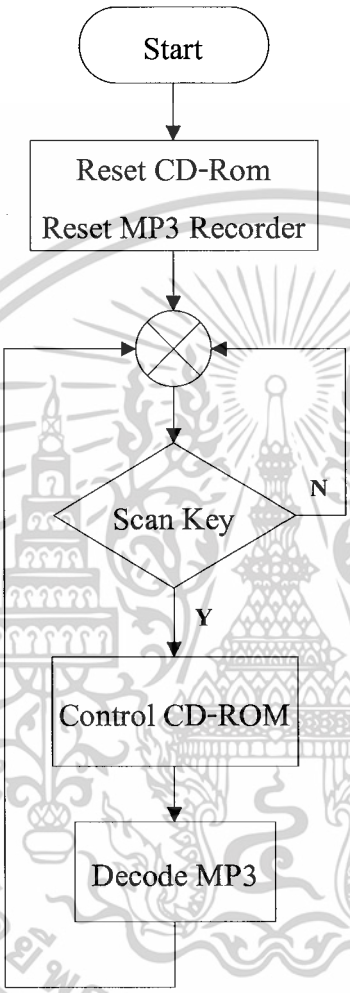


รูปที่ 7.4 วงจรแหล่งจ่ายไฟตรง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.5 โฟลว์ชาร์ตการทำงานของส่วนต่างๆ

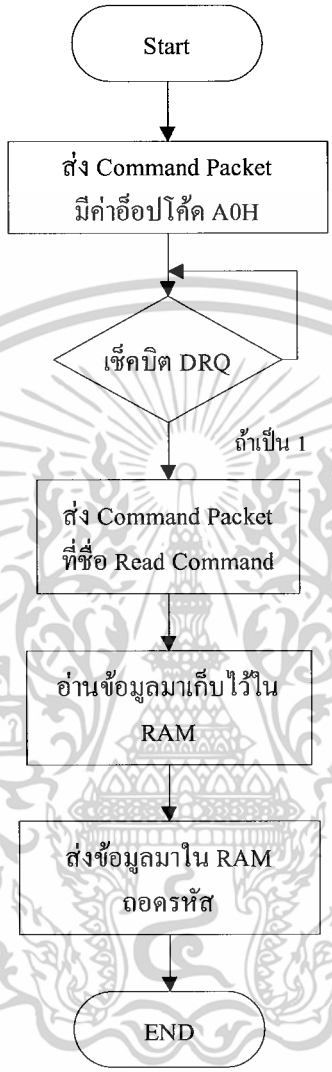
7.5.1 โฟลว์ชาร์ตของโปรแกรมหลัก



รูปที่ 7.5 โฟลว์ชาร์ตโปรแกรมหลัก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

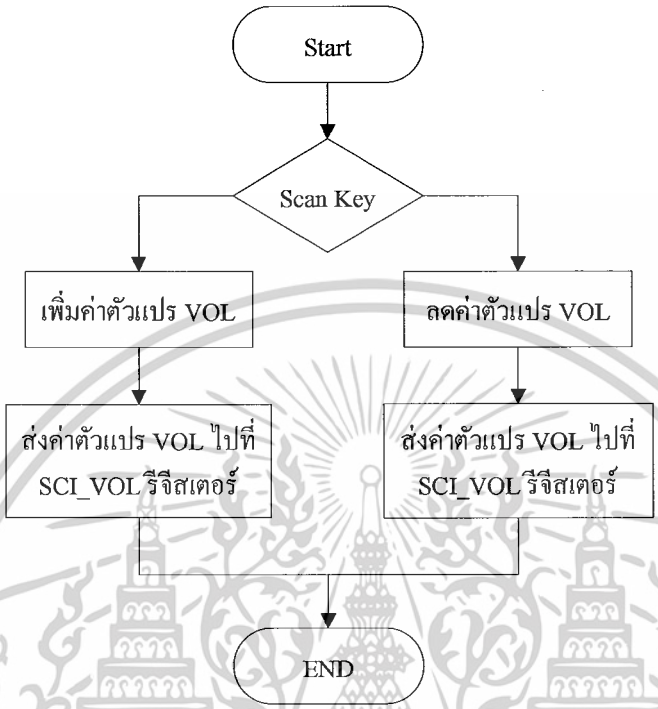
7.5.2 โฟลว์ชาร์ตของการ Play



รูปที่ 7.6 โฟลว์ชาร์ตโปรแกรมย่อยส่วน Play

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

7.5.3 โฟลว์ชาร์ตของการเพิ่มและลดเสียง



รูปที่ 7.7 โฟลว์ชาร์ตของการเพิ่มและลดเสียง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 8

การทดลองและผลการทดลอง

8.1 การทดลองและผลการทดลองของการเขียนโปรแกรมควบคุมภาคถอดรหัส

การทดลองควบคุมภาคถอดรหัส ทำได้โดยใช้ไมโครคอนโทรลเลอร์ควบคุมผ่านทางพอร์ตอนุกรม SPI ที่ใช้ส่งคำสั่งและข้อมูลรหัสไฟล์ MP3 เข้าสู่ชิพ VS1011B ซึ่งการเขียนโปรแกรมควบคุมมีลำดับขั้นตอนดังนี้

1. ตั้งค่าเริ่มต้นพอร์ตอนุกรม SPI ของไมโครคอนโทรลเลอร์ ได้แก่ ความเร็วการส่งข้อมูลและส่ง MSB ก่อน ซึ่งถูกควบคุมโดยรีจีสเตอร์ SPCR

2. Reset ชิพ VS1011B

3. รอจนกว่าขา DREQ เป็น 1

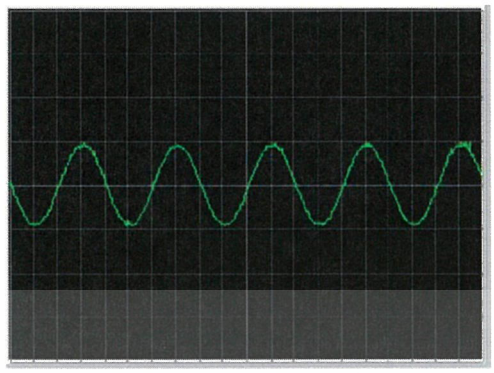
4. ตั้งค่าเริ่มต้นรีจีสเตอร์ต่างๆ ของชิพ VS1011B ได้แก่ รีจีสเตอร์ SCI_MODE รีจีสเตอร์ SCI_CLOCKF รีจีสเตอร์ SCI_AUDATA และรีจีสเตอร์ SCI_VOL

5. ส่งข้อมูลทดสอบชิพโดยป้อนค่าดังนี้ 53H, EFH, 6EH, 30H, 00H, 00H, 00H, 00H, 45H, 78H, 69H, 74H

จากการทดลองป้อนค่าเข้าสู่ชิพ VS1011B สรุปได้ว่า การเขียนโปรแกรมควบคุมภาคถอดรหัส สามารถทำการถอดรหัสได้ ซึ่งจากการทดลองป้อนค่าต่างๆ ดังที่ได้กล่าวมาแล้วนั้นทำให้ได้สัญญาณเอาท์พุทเป็นสัญญาณอะนาลอกออดิโอที่มีความถี่อยู่ในช่วงที่มนุษย์สามารถรับฟังได้ เมื่อนำสัญญาณเอาท์พุทที่ได้ไปต่อกับลำโพงก็จะได้ยินเสียงออกมา

นอกจากนี้ยังได้ทำการทดลองนำคลื่นซายน์ความถี่ 1 ถึง 20 KHz แปลงเป็นข้อมูลไฟล์ MP3 นำไปป้อนให้กับวงจรถอดรหัสถอดรหัส วัดสัญญาณอินพุทเทียบกับสัญญาณเอาท์พุทได้ดังรูปที่ 8.1 และ 8.2 และพล็อตการตอบสนองความถี่ได้ดังรูปที่ 8.3

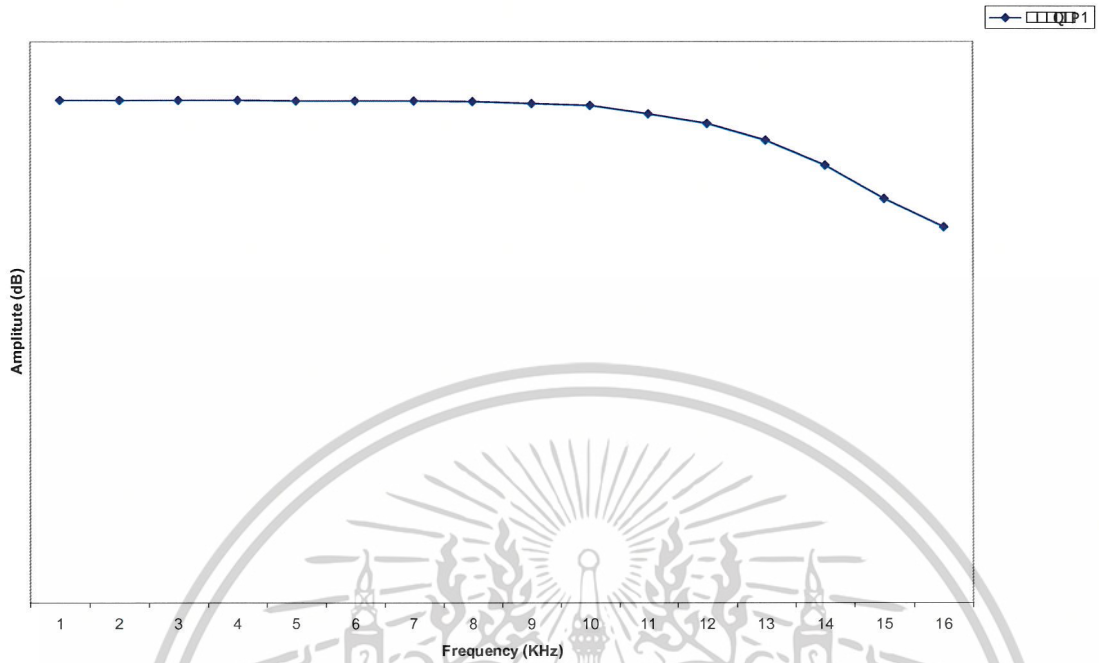
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่8.1 สัญญาณอินพุทความถี่ 1 KHz

รูปที่ 8.2 สัญญาณเอาท์พุทความถี่ 1 KHzที่ได้จากวงจรถอดรหัส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 8.3 การตอบสนองความถี่ของวงจรถอดรหัส

8.2 การทดลองและผลการทดลองของโครงงาน

ในการทำชิ้นงานจริงสิ่งที่เป็นปัญหาของโครงงานคือ การเขียนโปรแกรมควบคุมการทำงานของตัว CD-ROM ให้สามารถทำงานตามฟังก์ชันทั่วไปของเครื่องเล่น MP3 Player ให้ได้ การเขียนโปรแกรมควบคุมฟังก์ชันการทำงานของวงจรนี้ ผู้จัดทำสามารถเขียนโปรแกรม ควบคุมได้เพียงบางส่วนเท่านั้น กล่าวคือ สามารถควบคุมฟังก์ชันได้แก่ การเล่น (Play) การหยุด (Stop) การเปิด-ปิดถาด (Eject) และการเพิ่มลดเสียง Next, Back และ Pause ส่วนการเลื่อน Track ยังไม่สามารถใช้งานได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อัตรา Bit Rate	การทำงานของวงจร
80 kbps	ทำงานได้
96 kbps	ทำงานได้
112 kbps	ทำงานได้
128 kbps	ทำงานได้
160 kbps	ทำงานได้
192 kbps	ทำงานได้
256 kbps	ทำงานไม่ได้
320 kbps	ทำงานไม่ได้

ตารางที่ 8.1 การทำงานของวงจรที่อัตรา Bit Rate ต่างๆ

ชนิดของ CD-ROM	การทำงานของวงจร
ASUS 52X	ทำงานได้
LG 52X	ทำงานได้
SAMSUNG 52X	ทำงานได้
LITE ON RW	ทำงานได้
LG 40X	ทำงานไม่ได้

ตารางที่ 8.2 การทำงานของวงจรเมื่อใช้ CD-ROM ยี่ห้อต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 9
บทสรุป

ในปริญญานิพนธ์ได้รายงานการออกแบบและการสร้างหนังสือเสียงระบบเดซี ซึ่งใช้ซีดีรอมที่ใช้กับคอมพิวเตอร์ทั่วไป ซึ่งสามารถอ่านไฟล์ที่บันทึกลงบนแผ่นซีดีซึ่งบันทึกในรูปแบบของไฟล์ เดซี-MP3 ซึ่งมีจำนวนข้อมูลที่บันทึกได้มีขนาดมากกว่าการบันทึกเสียงแบบ Audio ที่ไม่มีการบีบอัดของข้อมูล

การออกแบบฮาร์ดแวร์ควบคุมฟังก์ชันการทำงานของซีดีรอม และส่วนของการถอดรหัสซึ่งใช้ชิปถอดรหัสเบอร์ VS1011B นั้น ทั้งสองส่วนจะถูกควบคุมโดยใช้ไมโครคอนโทรเลอร์ AVR เบอร์ ATMEGA162 เพื่อไม่ต้องพึ่งพาไมโครคอมพิวเตอร์ และใช้งานหรือเคลื่อนย้ายโดยสะดวก จากผลการทดสอบการทำงานของวงจรซึ่งจะ สามารถใช้งานได้การเล่น (Play) การหยุด (Stop) การเปิด ปิดถาด (Eject) และการเพิ่ม ลด เสียง รวมทั้งฟังก์ชั่นการควบคุม Next, Back, Pause และการเลื่อน Track เป็นบทตามหนังสือ อย่างไรก็ดีเครื่องยังไม่สามารถกระทำฟังก์ชันอื่น ๆ ของหนังสือเสียงเดซีมาตรฐานได้หมด เช่นการข้ามประโยค หรืออ่านประโยคซ้ำเป็นต้น

ปัญหาของระบบคือยังไม่สามารถใช้กับเครื่องเล่น CD-ROM บางยี่ห้อเท่านั้น และปัญหาอีกจุดหนึ่งคือ Power Supply เนื่องจากตัว CD-ROM จะใช้พลังงานสูง อยู่ระหว่าง 20 ถึง 25 W ทำให้ยังไม่สามารถใช้กับแบตเตอรี่ขนาดเล็กได้ และต้องหาวิธีให้ประหยัดพลังงานมากที่สุดด้วย

ในส่วนของ VS1011B นั้นทางบริษัทได้ยกเลิกการนำเข้าแล้วเปลี่ยนเป็น โมดูล MP3 แทน ซึ่งไม่อาจใช้กับวงจรที่ได้ทำมาในโครงงานนี้เพราะความไปเสถียรของตัวอุปกรณ์ ทำให้การที่จะพัฒนาต่อไปต้องคำถึงถึงชุดอุปกรณ์ที่จะสามารถทำงานร่วมกันได้ด้วย

จากโครงงานนี้ทางผู้จัดทำได้หวังว่าจะเป็นประโยชน์ในการปรับปรุงพัฒนาต่อไปได้ในอนาคตในเรื่องของระบบเดซี ซึ่งสำหรับโครงงานนี้ได้พัฒนาจนเข้าสู่มาตรฐานส่วนหนึ่งของเดซี นั่นคือ Audio with NCC/NCX only (หนังสือเสียงที่ประกอบด้วย NCC/NCX หรือศูนย์ควบคุมการนำร่อง) และหวังว่าจะพัฒนาต่อไปจนถึงระบบสากลในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

1. ข้อมูลการผลิตหนังสือ จาก ห้องสมุดคนตาบอดแห่งชาติ (http://www.daisythailand.org)

2. ข้อมูลระบบเดซี่ จาก http://www.daisy.org

3. สมศักดิ์ เลอยุกต์, "เทคนิคสารพันสร้างสรรค์งาน CD", กรุงเทพฯ: ซอฟท์เพรส 2546 296 หน้า

4. อภิรักษ์ นามแถ่ง เครื่องแปลง CD-ROM เป็นเครื่องเล่น CD สำหรับฟังเพลง "วารสารเซมิคอนดักเตอร์-อิเล็กทรอนิกส์" ฉบับที่ 265 2547 หน้า 161-168

5. ข้อมูล VS1002d จาก http://www.vlsi.fi/

6. ข้อมูล ATAPI จาก http://www.t13.org/

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้