

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

แหล่งจ่ายไฟกระแสตรงแบบดิจิทัลควบคุมด้วยไมโครคอนโทรลเลอร์

Digital Power Supply Controlled by Microcontroller



T 1 0 3 1 0 4

โดย
นายกิตติ เอี่ยมเจริญศักดิ์
นายผจญ หัมพานนท์
นายสวัสดิ์ พงษ์พันธ์

เลขหมู่.....
เลขทะเบียน.....103104
วัน,เดือน,ปี..... 28 ส.ค. 2552

b. 12099260
i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาอิเล็กทรอนิกส์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง
ปีการศึกษา 2551

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แหล่งจ่ายไฟกระแสตรงแบบดิจิทัลควบคุมด้วยไมโครคอนโทรลเลอร์

Digital Power Supply Controlled by Microcontroller



ปริญญานิพนธ์สำหรับปริญญาวิศวกรรมศาสตรบัณฑิต

สาขาวิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหาร ลาดกระบัง

ปีการศึกษา 2551

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญานิพนธ์ปีการศึกษา 2551

ภาควิชาอิเล็กทรอนิกส์

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง แหล่งจ่ายไฟกระแสตรงแบบดิจิทัลควบคุมด้วยไมโครคอนโทรลเลอร์

DIGITAL POWER SUPPLY CONTROLLED BY MICROCONTROLLER

ผู้จัดทำ

- | | | |
|--------------|-------------------|----------|
| 1.นายกิตติ | เอี่ยมเจริญศักดิ์ | 49015181 |
| 2.นายพจณ | หิมพานนท์ | 49015199 |
| 3.นายสวัสดิ์ | พงษ์พันธ์ | 49015213 |


.....อาจารย์ที่ปรึกษา
(อาจารย์เจติมพันธ์ หวังวิวัฒนา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แหล่งจ่ายไฟกระแสตรงแบบดิจิทัลควบคุมด้วยไมโครคอนโทรลเลอร์

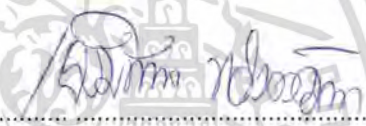
DIGITAL POWER SUPPLY CONTROLLED BY MICROCONTROLLER

นายกิตติ เอี่ยมเจริญศักดิ์ 49015181

นายพจน์ หัมพานนท์ 49015199

นายสวัสดิ์ พงษ์พันธ์ 49015213

โครงการได้รับการตรวจสอบแล้ว พร้อมที่จะทำการสอบได้


.....อาจารย์ที่ปรึกษา
(อาจารย์ เจติมพันธ์ หวังวิวัฒนา)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แหล่งจ่ายไฟกระแสตรงแบบดิจิทัลควบคุมด้วยไมโครคอนโทรลเลอร์

นาย กิตติ เอี่ยมเจริญศักดิ์ รหัส 49015181

นาย ผจญ หัมพานนท์ รหัส 49015199

นาย สวัสดิ์ พงษ์พันธ์ รหัส 49015213

อ.เฉลิมพันธ์ หวังวัฒนา อาจารย์ที่ปรึกษา

ปีการศึกษา 2551

บทคัดย่อ

การปรับแรงดันของแหล่งจ่ายไฟกระแสตรงโดยทั่วไป จะปรับ โดยใช้ตัวต้านทานปรับค่า เพื่อปรับเปลี่ยนค่าแรงดันอ้างอิงที่ใช้สร้างแรงดันเอาต์พุต หากเป็นการปรับที่ต้องการค่าที่เฉพาะเจาะจงจะปรับ ได้ยากและเสียเวลานาน อีกทั้งในงานอุตสาหกรรมบางอย่าง เช่นการตรวจสอบผลิตภัณฑ์ มีความจำเป็นต้องมีแหล่งจ่ายไฟ ที่มีความถูกต้องของค่าแรงดันเอาต์พุตสูง ทั้งนี้เพื่อให้ได้ค่าที่ต้องการตรวจสอบที่ถูกต้องที่สุด จากปัญหาดังกล่าวจึงมีแนวคิดที่จะสร้างแหล่งจ่ายไฟ กระแสตรงแบบดิจิทัลควบคุมด้วยไมโครคอนโทรลเลอร์ ซึ่งใช้หลักการ สร้างแรงดันอ้างอิง ผ่านทางวงจรแปลงสัญญาณดิจิทัล เป็นสัญญาณแอนาล็อก ซึ่งสามารถควบคุมแรงดันอ้างอิง และปรับเปลี่ยนค่าแรงดันที่ต้องการได้ ง่ายและสะดวกกว่า แหล่งจ่ายไฟกระแสตรงแบบดิจิทัลนี้ สามารถจ่ายไฟกระแสตรง ได้ตั้งแต่ 0 – 30 โวลต์ ความละเอียดในการปรับได้ 0.10 โวลต์ จ่ายกระแสได้สูงสุด 2 แอมป์ รวมทั้งสามารถป้องกันการดึงกระแสเกินของโหลดได้

DIGITAL POWER SUPPLY CONTROLLED BY MICROCONTROLLER

Mr. Kitti Iamjaruensak ID 49015181

Mr. Pajon Hampanont ID 49015199

Mr. Sawas Phongphan ID49015213

Mr. Chaluemphan Wangviwatana(Advisor)

Education Year 2008

Abstract

Usually, the voltage and the current of the power supply can be adjusted by a variable resistor which adjusts the referent voltage that makes the output voltage. However, it is difficult and time-consuming to adjust the voltage to the required and specific level. In addition, some industries such as production inspection need to have a power supply with highly accurate output voltage in order to acquire the most accurate voltage for inspection. Due to the need for reliable power supply, this project attempts to invent a digital direct-current power supply controlled by a microcontroller. The referent voltage is converted from digital to analog signal which can control the referent voltage and easily and conveniently adjust it to the desired level. This power supply can distribute zero to 30 volts of direct current at the resolution of 0.10 V. The maximum current distributed is 2 A. Overload problem can also be prevented.

สารบัญ

	หน้า
บทคัดย่อ	ก
Abstract	ข
สารบัญภาพ	ค
สารบัญตาราง	ฉ
บทที่ 1. บทนำ	
1.1 ความเป็นมาของแนวคิด วัตถุประสงค์ และขอบเขตโครงการ	1
บทที่ 2. ทฤษฎีและเนื้อหาที่เกี่ยวข้อง	
2.1 วงจรจ่ายไฟตรง	2
2.1.1 หม้อแปลงไฟฟ้า[Transformers]	3
2.1.2 วงจรเรียงกระแส(Rectifier circuit)	5
2.1.3 วงจรเรียงกระแสแบบครึ่งคลื่น (Half wave rectifier)	5
2.1.4 วงจรเรียงกระแสแบบเต็มคลื่นแบบหม้อแปลงมีแทป (Full Wave Center Tapped)	7
2.1.5 วงจรเรียงกระแสแบบเต็มคลื่นแบบบริดจ์ (Full Wave Bridge Rectifier; FWT)	10
2.1.6 วงจรกรองลดการกระเพื่อม(Ripple Filters)	11
2.1.7 วงจรลดการกระเพื่อมโดยใช้ตัวเก็บประจุ (Ripple Filter using capacitors)	12
2.1.8 การคำนวณขนาดของแรงดันกระเพื่อมโดยประมาณ	16
2.1.9 การออกแบบวงจรจ่ายไฟตรง	20
2.1.10 การเพื่ออัตราความทนทานของตัวอุปกรณ์	21
2.1.11 ตัวเก็บประจุกรองแรงดันกระเพื่อม	21
2.1.12 ขนาดของหม้อแปลง	22

สารบัญ (ต่อ)

	หน้า
2.1.13 การเลือกหรือกำหนดคุณสมบัติของไดโอด	23
2.1.14 การคำนวณขนาดของฟิวส์	24
2.2 วงจรรักษาระดับแรงดันคงที่ (Voltage Regulator)	26
2.2.1. การรักษาระดับแรงดันคงที่แบบอนุกรม (Series Voltage Regulation)	26
2.2.2 การรักษาระดับแรงดันคงที่แบบขนาน (Shunt Voltage Regulation)	27
2.3 Psoe Microcontroller	29
2.3.1 คุณสมบัติทั่วไปเกี่ยวกับ ไมโครคอนโทรลเลอร์ Psoe	29
2.3.2 โครงสร้างหลักของ Psoe MCU	33
2.3.3 หน่วยความจำโปรแกรม	32
2.3.4 ระบบสัญญาณนาฬิกา	45
2.3.5 การรีเซ็ตของระบบ (System Resets)	50
2.3.6 คุณสมบัติและการใช้ User Module	53
2.4 อุปกรณ์แสดงผลทางแสง	59
2.4.1 จอแสดงผลแบบผลึกเหลว	59
2.4.2 โครงสร้างภายในของแอลซีดีโมดูล	61
2.4.3 คำสั่งที่อยู่ใน Register Setting ของแอลซีดีโมดูล	62
2.5 วงจรเมตริกซ์สวิตช์	63
บทที่ 3. การออกแบบและการสร้างวงจรแหล่งจ่ายไฟกระแสตรงแบบดิจิทัลควบคุมด้วย ไมโครคอนโทรลเลอร์	
3.1 ส่วนควบคุมและสั่งการการทำงานทั้งหมด	65
3.2 หลักการออกแบบ วงจรภาคเรกเตเตอร์	66
3.2.1 หลักการทำงานวงจร	69
3.3 การออกแบบส่วนควบคุมและแสดงผล	71
3.3.1การทำงานขอระบบ	71
3.3.2 การออกแบบโปรแกรมควบคุมโดยใช้ไมโครคอนโทรลเลอร์ Psoe	72

สารบัญ (ต่อ)

	หน้า
บทที่ 4. การทดลองและผลการทดลอง	
4.1 ค่าแรงดันเอาต์พุตที่แรงดันอ้างอิงต่างๆ	75
4.2 การทดสอบคุณสมบัติต่างๆของแหล่งจ่ายไฟกระแสตรง	76
4.3 การทดลองความสามารถในการควบคุมแรงดันของ PSOC Microcontroller	82
บทที่ 5. สรุปผลการทดลองและข้อเสนอแนะ	
5.1 สรุปผลการทดลอง	84
5.2 ปัญหาที่เกิดขึ้นกับโครงงาน	84
5.3 แนวทางการแก้ไข	85
บรรณานุกรม	86
ภาคผนวก ก	87
Data sheet of circuit component	88

สารบัญภาพ

	หน้า
รูปที่ 1.1 ส่วนประกอบต่างๆ ของวงจรแหล่งจ่ายไฟฟ้ากระแสตรงควบคุมด้วย ไมโครคอนโทรลเลอร์	1
รูปที่ 2.1 Block diagram D.C. power supply	2
รูปที่ 2.2 ขั้วหรือเฟสของหม้อแปลง	3
รูปที่ 2.3 หม้อแปลงที่มีแทปกึ่งกลาง	4
รูปที่ 2.4 วงจรเรียงกระแสแบบครึ่งคลื่น	5
รูปที่ 2.5 ก. การเรียงกระแสแบบเต็มคลื่นแบบหม้อแปลงมีแทป	7
รูปที่ 2.5 ข. รูปสัญญาณวงจรเรียงกระแสแบบเต็มคลื่นแบบหม้อแปลงมีแทป	8
รูปที่ 2.6 FWB	10
รูปที่ 2.7 FWB	10
รูปที่ 2.8 การทำงานของวงจรกรองที่ใช้ C ในสถานะที่ไม่มีโหลด	12
รูปที่ 2.9 การทำงานของ C กรองไฟ ในสถานะที่มีโหลด	14
รูปที่ 2.10 ผลของค่า C ต่างๆ กัน	16
รูปที่ 2.11 การประมาณค่าแรงดันกระแสเพิ่มของวงจรเรียงกระแส แบบครึ่งคลื่น(HW)จากการที่เราประมาณการคายประจุของ C เป็นเส้นตรง C จะคายประจุด้วยกระแสคงที่	16
รูปที่ 2.12 ประมาณค่าแรงดันกระแสเพิ่มในวงจรเรียงกระแสแบบเต็มคลื่น	17
รูปที่ 2.13 แสดงการคำนวณค่า $V_{O(DC)}$	19
รูปที่ 2.14 สถานะที่เกิดขึ้น ขณะที่เริ่มจ่ายไฟ AC Line	25
รูปที่ 2.15 บล็อกไดอะแกรมวงจรรักษาระดับแรงดันคงที่แบบอนุกรม	26
รูปที่ 2.16 วงจรรักษาระดับแรงดันแบบอนุกรมโดยใช้ Op-Amp	27
รูปที่ 2.17 บล็อกไดอะแกรมวงจรรักษาระดับแรงดันคงที่แบบอนุกรม	27
รูปที่ 2.18 วงจรรักษาระดับแรงดันแบบขนานโดยใช้ Op-Amp	28
รูปที่ 2.19 ฮาร์ดแวร์และอุปกรณ์เชื่อมต่อของชุด Psoe Microcontroller	30
รูปที่ 2.20 การใช้โมดูลภายในแบบวิซวลซึ่งอยู่ภายใน Psoe microcontroller	32
รูปที่ 2.21 บล็อกไดอะแกรมของ Psoe	33
รูปที่ 2.22 Psoe Core System	34

สารบัญภาพ(ต่อ)

	หน้า
รูปที่ 2.23 โครงสร้างบล็อก ของ Digital System	35
รูปที่ 2.24 พื้นที่การใช้งานทางอนาล็อกของชิพ PsoC CY29-Series	36
รูปที่ 2.25 System Resource	37
รูปที่ 2.26 ขาสัญญาณและพอร์ทของ PsoC CY8C29666	38
รูปที่ 2.27 การเชื่อม Block ต่อภายในกับขาสัญญาณภายนอกแบบกราฟฟิก	39
รูปที่ 2.28 การเชื่อมต่อของรีจิสเตอร์ PRTxDMx[2:0] เพื่อเลือก Drive Mode ของ Analog IO	40
รูปที่ 2.29 ไดอะแกรมของการ Drive ใน Mode ต่างๆ	41
รูปที่ 2.30 การเชื่อมต่อระหว่างพอร์ทกับ Analog IO	45
รูปที่ 2.31 แสดงการต่อคริสตอลเพื่อให้สัญญาณนาฬิกาภายนอก	48
รูปที่ 2.32 การกำหนดค่าแรงดัน Trip Voltage จากหน้าต่าง Global Resources	51
รูปที่ 2.33 วงจร Switch Mode Pump พื้นฐาน	52
รูปที่ 2.34 หลักระยะและแถวของ LCD ขนาด 16x2	53
รูปที่ 2.35 โครงสร้างของ ADCINC 12 User Module	55
รูปที่ 2.36 แสดงโครงสร้างของ DAC9 User Module	57
รูปที่ 2.37 ส่วนต่างๆ ของ แอลซีดี	59
รูปที่ 2.38 วงจรการต่อใช้งานแอลซีดี 8 บิต	60
รูปที่ 2.39 โครงสร้างภายในแอลซีดีโมดูล	62
รูปที่ 2.40 การออกแบบการต่อใช้งานวงจรเมตริกซ์สวิตช์	64
รูปที่ 2.41 ชื่อและรหัสของคีย์แบบเมตริกซ์สวิตช์	64
รูปที่ 3.1 แสดงบล็อกไดอะแกรมการทำงานของส่วนควบคุมทั้งหมด	65
รูปที่ 3.2 แผนผังของภาคจ่ายไฟแบบ Series Regulator	66
รูปที่ 3.3 รูปวงจร ภาคเรกูเลเตอร์แรงดันเอาต์พุต	68
รูปที่ 3.4 การเชื่อมต่อระหว่างหน่วยควบคุม ประมวลผล และแสดงผล	71
รูปที่ 3.5 แผนผังการทำงานของโปรแกรมควบคุมแรงดันไฟฟ้า 1	73
รูปที่ 3.6 แผนผังการทำงานของโปรแกรมควบคุมแรงดันไฟฟ้า 2	74

สารบัญภาพ(ต่อ)

	หน้า
รูปที่ 4.1 กราฟแสดงความสัมพันธ์ระหว่าง V_{ref} กับ V_{out}	76
รูปที่ 4.2 กราฟแสดงโพลครีเทคชันของแรงดัน	77
รูปที่ 4.3 กราฟแสดงโพลครีเทคชันของแรงดัน	78
รูปที่ 4.4 กราฟแสดงโพลครีเทคชันของแรงดัน	79
รูปที่ 4.5 กราฟแสดงโพลครีเทคชันของแรงดัน	80
รูปที่ 4.6 กราฟแสดงโพลครีเทคชันของแรงดัน	81



สารบัญตาราง

	หน้า
ตารางที่ 2.1 พิกัดกระแสพุทติยภูมิของหม้อแปลงที่ใช้กับวงจรเรียงกระแส ที่มีตัวเก็บประจุลดแรงดันการกระเพื่อม	22
ตารางที่ 2.2 ก. ขาสัญญาณ I/O และหน้าที่การทำงาน	42
ตารางที่ 2.2 ข. ขาสัญญาณ I/O และหน้าที่การทำงาน	43
ตารางที่ 2.3 ชื่อและความหมายของอินพุท เอาท์พุทต่างๆ	44
ตารางที่ 2.4 แสดงความถี่ของสัญญาณนาฬิกาที่สามารถปรับได้โดยการกำหนดบิต ของรีจิสเตอร์ OSC_CR0	47
ตารางที่ 2.5 การปรับค่ารีจิสเตอร์ ILO_TR ในบิต Trim [3:0] เพื่อปรับค่าความถี่ของสัญญาณ	48
ตารางที่ 2.6 แสดงค่าเวลา Sleep Timer	50
ตารางที่ 2.7 แสดงขาสัญญาณต่อใช้งานระหว่าง Psoc กับ LCD รวมทั้งบิตในการติดต่อ	53
ตารางที่ 2.8 หน้าที่ต่างๆ ของขาแอลซีดี	60
ตารางที่ 2.9 แสดงคำสั่งที่อยู่ใน Register Setting	62
ตารางที่ 4.1 ผลการทดลองวัดแรงดันไฟฟ้าที่ เอาท์พุท(Vout) และแรงดันอ้างอิง (Vref)	75
ตารางที่ 4.2 ผลการทดลองของวงจรจ่ายแรงดันปรับค่าได้ 0-30 V เมื่อ Vnoload = 5.04 V	77
ตารางที่ 4.3 ผลการทดสอบของวงจรจ่ายแรงดันปรับค่าได้ 0-30 V เมื่อ Vnoload = 10.06V	78
ตารางที่ 4.4 ผลการทดสอบของวงจรจ่ายแรงดันปรับค่าได้ 0-30 V เมื่อ Vnoload = 15.04V	79
ตารางที่ 4.5 ผลการทดสอบของวงจรจ่ายแรงดันปรับค่าได้ 0-30 V เมื่อ Vnoload = 20.07V	80
ตารางที่ 4.6 ผลการทดสอบของวงจรจ่ายแรงดันปรับค่าได้ 0-30 Vเมื่อ Vnoload = 30.04V	81
ตารางที่ 4.7 ผลการทดลองหาค่าความผิดพลาดในการควบคุมแรงดัน Vout ของ Psoc	82

บทที่ 1

บทนำ

สิ่งสำคัญของระบบอิเล็กทรอนิกส์ในปัจจุบันก็คือ เสถียรภาพของระบบเพราะฉะนั้น ก่อนที่จะมีการผลิตวงจรอิเล็กทรอนิกส์ออกมา การทดสอบและการทดลองการทำงานของวงจรถือเป็นเรื่องสำคัญ

วงจร แหล่งจ่ายไฟกระแสตรง เป็นส่วนหนึ่งที่ขาดไม่ได้ในการทดลองวงจร หรืออุปกรณ์อิเล็กทรอนิกส์ สิ่งที่ต้องการจาก วงจรจ่ายไฟกระแสตรง ก็คือความเที่ยงตรงหรือความผิดพลาดน้อยที่สุด

วงจรจ่ายไฟฟ้ากระแสตรงโดยทั่วไปมีการควบคุมหรือปรับแรงดันโดยใช้การปรับหมุนตัวต้านทานปรับค่าได้ เพื่อให้มีความเที่ยงตรงตามต้องการนั้นทำได้ยาก และมีความผิดพลาดเกิดขึ้น

ดังนั้นการใช้ระบบดิจิทัลเข้ามาควบคุมการปรับค่าจึงเป็นทางออกที่ดีในการแก้ปัญหา และยังทำให้เกิดความสะดวก และรวดเร็วแก่ผู้ใช้งานอีกด้วย

ดังนั้นกลุ่มนักศึกษาจึงนำหลักการนี้มาออกแบบ และสร้างวงจรแหล่งจ่ายไฟฟ้ากระแสตรง ควบคุมด้วยไมโครคอนโทรลเลอร์(Digital Power Supply Controlled by Microcontroller) เพื่อหลีกเลี่ยงปัญหาความผิดพลาดที่เกิดจากการปรับค่าของผู้ใช้ ซึ่งระบบของ วงจรแหล่งจ่ายไฟฟ้ากระแสตรงควบคุมด้วยไมโครคอนโทรลเลอร์ จะประกอบด้วยส่วนต่างๆ ดังรูปที่ 1.1



รูปที่ 1.1 ส่วนประกอบต่างๆ ของวงจรแหล่งจ่ายไฟฟ้ากระแสตรงควบคุมด้วยไมโครคอนโทรลเลอร์

การทำงานของระบบคือ ไมโครคอนโทรลเลอร์จะเป็นผู้กำหนดค่ากระแสและแรงดันของวงจรจ่ายกำลังไฟฟ้า โดยรับคำสั่งจากผู้ใช้งานทางคีย์บอร์ด(Keyboard) ขนาด 16 คีย์ และมีจอแสดงผลติดต่อกับผู้ใช้ จากนั้นไมโครคอนโทรลเลอร์จะส่งขนาดของกระแส และแรงดันควบคุมผ่านวงจรแปลงสัญญาณดิจิทัลเป็นอนาล็อก (Digital to Analog Converter) ไปยังส่วนควบคุมกระแส และแรงดันของวงจรจ่ายกำลังเพื่อให้อุปกรณ์ดังกล่าวควบคุมอุปกรณ์จ่ายกำลังไฟฟ้าภาคสุดท้าย

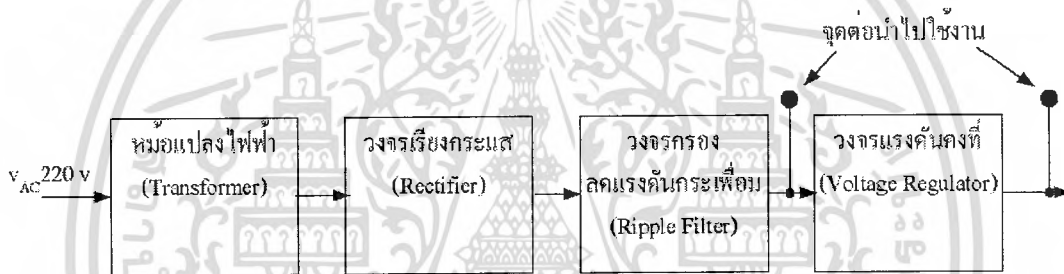
บทที่ 2

ทฤษฎีและหลักการ

2.1 วงจรจ่ายไฟตรง

วงจรอิเล็กทรอนิกส์เกือบทุกวงจรต้องใช้แหล่งจ่ายไฟตรงเป็นแหล่งจ่ายพลังงานเพื่อให้ตัวอุปกรณ์ ในวงจรทำงานได้ในอุปกรณ์หรือเครื่องมือขนาดเล็ก เช่น เครื่องรับวิทยุ เครื่องเล่นเทป อาจใช้แบตเตอรี่เป็นตัวจ่ายพลังงานได้ อย่างไรก็ตามอุปกรณ์อิเล็กทรอนิกส์ขนาดใหญ่ เช่น โทรทัศน์ คอมพิวเตอร์ อุปกรณ์เหล่านี้จะใช้ไฟตรงจากแหล่งจ่ายไฟตรง(DC POWER SUPPLY)

ซึ่งเป็นวงจรที่แปลงไฟฟ้าบ้านมาเป็นไฟฟ้ากระแสตรงดังรูปที่ 2.1



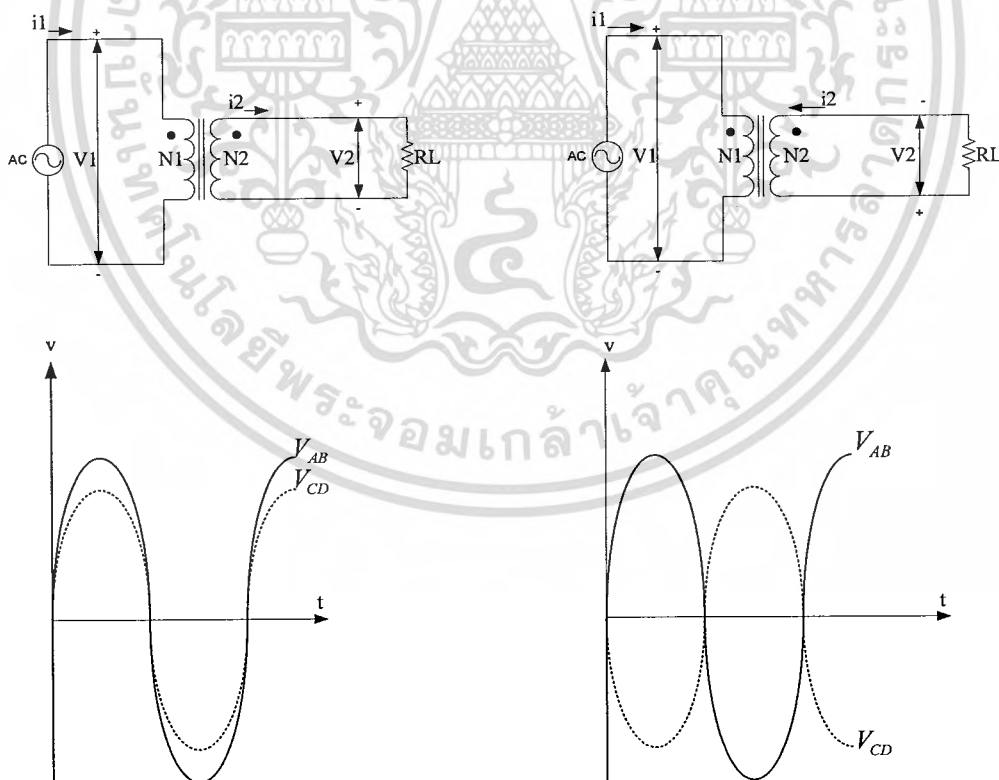
รูปที่ 2.1 Block diagram D.C. power supply

ค่าแรงดันไฟฟ้าบ้าน A.C. 220 V จะถูกหม้อแปลงไฟฟ้า (Transformers) เปลี่ยนค่าให้เหมาะสมกับความต้องการของวงจรส่วนใหญ่จะเป็นการลดค่าแรงดัน เมื่อหม้อแปลงไฟฟ้าเปลี่ยนค่าแรงดันได้ตามต้องการแล้ว วงจรเรียงกระแส (Rectifier) จะเปลี่ยนไฟกระแสสลับให้เป็นกระแสตรงซึ่งวงจรเรียงกระแสจะใช้อุปกรณ์สารกึ่งตัวนำ เรียกว่า Diode มาต่อเป็นวงจรเรียงกระแส 1 ชุด ไฟตรงที่ได้ในวงจรเรียงกระแสขณะนี้มีลักษณะเป็นพัลส์ (Pulsating DC) มีการกระเพื่อมสูงมากทำให้วงจรอิเล็กทรอนิกส์ไม่สามารถทำงานได้ ดังนั้นจึงจำเป็นต้องมีวงจรลดแรงดันการกระเพื่อมทำหน้าที่กรองแรงดันไฟตรงที่มีการกระเพื่อมออกจากไฟตรงที่เป็นพัลส์ หลังจากทำการลดการกระเพื่อมแล้ววงจรอิเล็กทรอนิกส์จะสามารถทำงานได้ วงจรลดแรงดันการกระเพื่อมนี้จะสร้างขึ้นมาจากอุปกรณ์ที่เป็นรีแอคทีฟ (Reactive) ได้แก่ตัวเก็บประจุ และ ตัวเหนี่ยวนำ ซึ่งจะต่อวงจรในลักษณะวงจรกรองความถี่ต่ำผ่าน (Low pass filter) วงจรอิเล็กทรอนิกส์บางวงจรที่ต้องการไฟตรงที่เรียบมากๆ สามารถใช้วงจรแรงดันคงที่ (Voltage regulator) จะทำหน้าที่กำจัดแรงดันที่เหลืออยู่เล็กน้อยที่ Out put ให้หมดไปโดยที่วงจรแรงดันคงที่ จะมีโครงสร้างเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยใช้ซีเนอร์ไดโอด กับรีซิสเตอร์หรืออาจมีความซับซ้อนมากกว่าซีเนอร์ไดโอด กับรีซิสเตอร์ในปัจจุบันมีวงจรรวมซึ่งทำหน้าที่เป็นวงจรแรงดันคงที่ ซึ่งเป็นที่นิยมใช้กันอย่างมาก ไฟตรงที่ได้จากวงจรแรงดันคงที่จะมีคุณภาพใกล้เคียงกับไฟที่ออกมาจากแหล่งจ่ายแบตเตอรี่มาก

2.1.1 หม้อแปลงไฟฟ้า (Transformer)

โครงสร้างของหม้อแปลงไฟฟ้าประกอบด้วยขดลวดอย่างน้อยสองขดเรียกดทางด้านที่เป็น Input ว่าขดลวดปฐมภูมิ(Primary) และขดลวดด้าน Output(Secondary)ว่าขดลวดทุติยภูมิ พันอยู่บนแกนเหล็กการทำงานของหม้อแปลงจะใช้หลักการเหนี่ยวนำสนามแม่เหล็กซึ่งหลักการนี้สามารถใช้ได้กับไฟฟ้ากระแสสลับ หรือไฟฟ้ากระแสตรงที่มีการเปลี่ยนแปลงเท่านั้นหม้อแปลงหม้อแปลงบางตัวอาจมีขดลวดทุติยภูมิได้หลายขด และขดทุติยภูมินี้อาจมีจุดแทปกึ่งกลาง (Center tapped) ขั้วของหม้อแปลงสามารถแสดงได้ด้วยเครื่องหมาย (+,-) หรือสัญลักษณ์จุด (.) ดังรูปที่ 2.2



รูปที่ 2.2 ขั้วหรือเฟสของหม้อแปลง

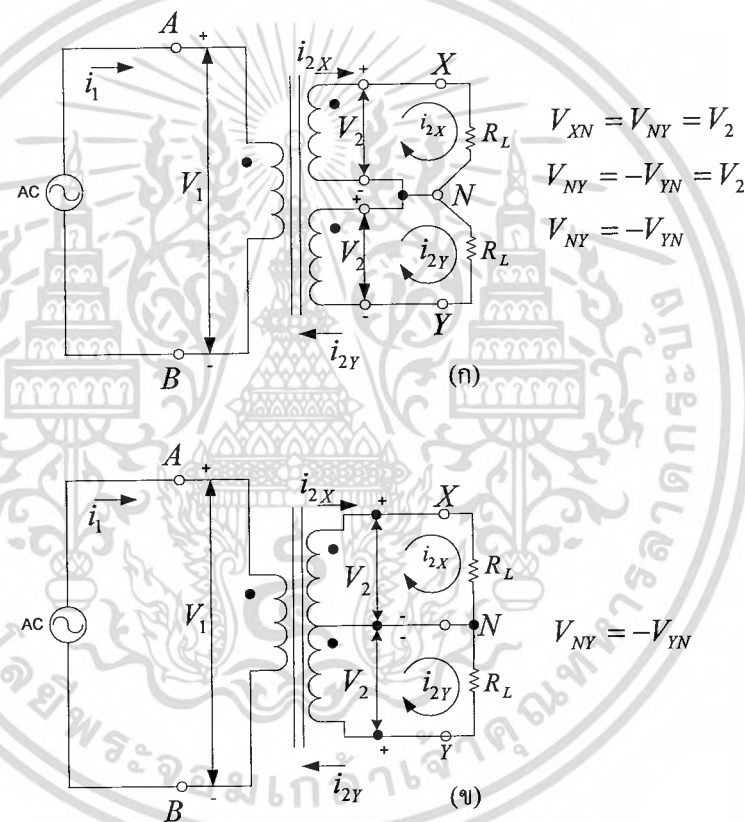
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จั่วของหม้อแปลงก็คือ เฟสของหม้อแปลง สำหรับการคำนวณหม้อแปลงในอุดมคติ (ไม่มีการสูญเสีย) เราจะได้

$$\frac{|V_1|}{|V_2|} = \frac{N_1}{N_2} \quad (2.1)$$

$$|V_1| \cdot |I_1| = |V_2| \cdot |I_2| \quad (2.2)$$

หม้อแปลงที่มีแท่งกึ่งกลางก็คือ หม้อแปลงที่มีขดลวดทุติยภูมิสองขดที่จำนวนรอบเท่ากันนำมาต่ออนุกรมกัน ดังรูปที่ 2.3



รูปที่ 2.3 หม้อแปลงที่มีแท่งกึ่งกลาง

ก. หม้อแปลงที่มีขดลวดทุติยภูมิ 2 ขด

ข. หม้อแปลงที่มีแท่งกึ่งกลางก็คือ หม้อแปลงที่มีขดลวดทุติยภูมิ 2 ขดต่ออนุกรมกัน

หม้อแปลงที่มีแท่งกึ่งกลางก็คือ หม้อแปลงที่มีขดลวดทุติยภูมิสองขดที่จำนวนรอบเท่ากันมาต่ออนุกรมกันเฟสของไฟฟ้าที่จุดต้น (x) และจุดปลาย (y) จะต่างกัน 180 องศาหรือกลับเฟสกัน เมื่อใช้จุดแท่งกึ่งกลางเป็นจุดอ้างอิง สามารถคำนวณหาค่าแรงดันได้ดังนี้

$$V_{XN} = V_{NY} = V_2 \quad (2.3)$$

$$V_{NY} = -V_{YN} \text{ ดังนั้น } V_{XN} = -V_{YN} \quad (2.4)$$

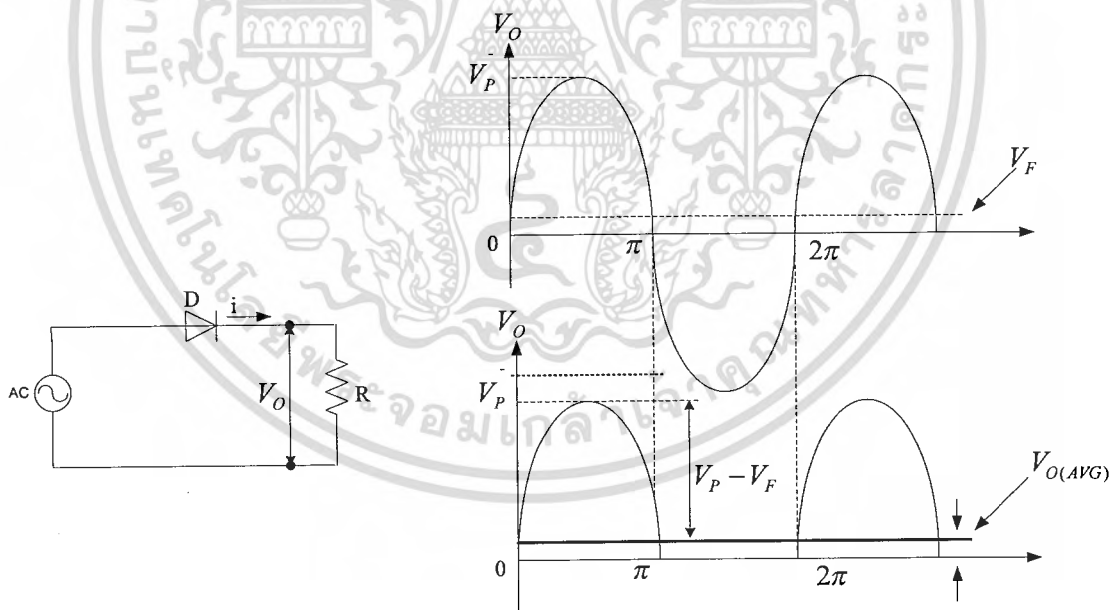
2.1.2 วงจรเรียงกระแส(Rectifier circuit)

เราจะทำการศึกษาวงจรเรียงกระแสสำหรับไฟเฟสเดียว(Single phase) ถ้าแบ่งตามมุมของกระแสที่ไหลผ่านโหลดจะสามารถแบ่งได้ 2 แบบ คือ

-วงจรเรียงกระแสแบบครึ่งคลื่น (Half wave rectifier) ใช้ไดโอดเพียงตัวเดียว

-วงจรเรียงกระแสแบบเต็มคลื่น (Full wave rectifier) สามารถต่อวงจรได้ 2 แบบ คือ วงจรเรียงกระแสแบบเต็มคลื่นแบบหม้อแปลงมีแทป (FWCT) วงจรเรียงกระแสแบบเต็มคลื่นแบบบริดจ์ (FWB)

2.1.3 วงจรเรียงกระแสแบบครึ่งคลื่น (Half wave rectifier)



รูปที่ 2.4 วงจรเรียงกระแสแบบครึ่งคลื่น

จากวงจรรูปที่ 2.4 เขียนสมการของ KVL จะได้

$$V_{AC} = V_D + V_O \quad V \quad (2.5)$$

ในขณะที่ไฟสลับมีค่าเป็นบวก ($0 < \omega t < \pi$) ไดโอดจะได้รับไบอัสตรง แรงดันเอาต์พุตจะมีค่าเป็น

$$V_O = V_{AC} + V_D \quad V \quad (2.6)$$

ในขณะที่ไฟสลับมีค่าเป็นลบ ($0 < \omega t < 2\pi$) ไดโอดจะได้รับไบอัสย้อนกลับจะไม่มีกระแสไหลผ่านไดโอดแรงดันเอาต์พุตจะมีค่าเป็น ศูนย์

$$V_O = V_P \sin \omega t - 0.6 \quad V \quad ; 0 < \omega t < \pi \quad (2.7)$$

จะเห็นได้อย่างชัดเจนว่ากระแสไหลผ่าน RL ในทิศทางเดียวเท่านั้นถึงแม้ว่าแรงดันที่ RL จะเป็นกระแสตรงก็จะมีลักษณะคล้ายพัลส์ มีการกระเพื่อมสูงมากคลื่นไฟกระแสสลับหนึ่งลูกคลื่นจะได้ลูกคลื่นไฟตรงหนึ่งลูก ดังรูปที่ 2.3 นั่นคือความถี่ของการกระเพื่อม (Ripple Frequency) จะเป็น

$$F_R(FW) = F_{line} \quad H_z \quad (2.8)$$

ในขณะที่ไฟสลับเป็นซิกลอป ไดโอดได้รับไบอัสกลับจะไม่กระแสไหลผ่านไดโอดแรงดันเอาต์พุตจะเป็น ศูนย์ ดังนั้นจึงได้สมการดังนี้

$$V_D = V_{AC} \quad V \quad ; 0 < \omega t < 2\pi \quad (2.9)$$

แรงดันของไฟสลับทั้งหมดจะตกคร่อมที่ไดโอด ในการเรียงกระแสไดโอดจะต้องไม่เบรกดาวน์ ไดโอดที่ใช้จะต้องมีค่าแรงดันพังทลายอย่างต่ำเท่ากับค่าสูงสุดของไฟสลับ

$$V_{R(MAX)} \geq V_{P(AC)} \quad V \quad (2.10)$$

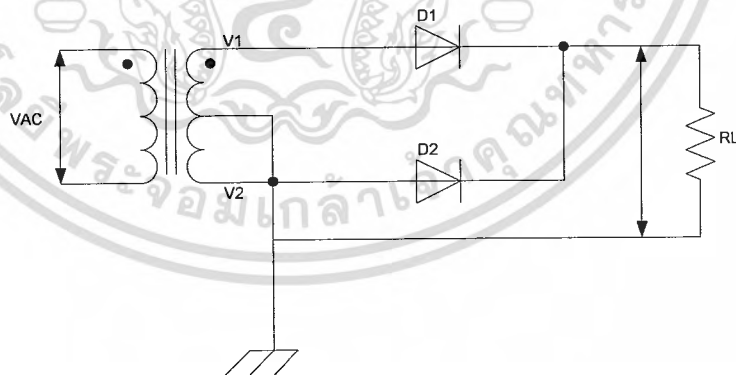
ในวงจรทั่วไปค่าสูงสุดของไฟสลับจะมีค่าสูงกว่าแรงดันที่ตกคร่อมไดโอด ($= 0.6 \text{ V}$) อย่างมากเราจะถือว่าค่าสูงสุดของไฟตรงมีค่าเท่ากับค่าสูงสุดของไฟสลับ ค่าแรงดันเอาต์พุตของวงจรจะมีค่าเท่ากับ

$$V_{\text{ODC}(t)} = \begin{cases} V_p \sin \omega t & V; 0 < \omega t < \pi \\ 0 & V; 0 < \omega t < 2\pi \end{cases} \quad (2.11)$$

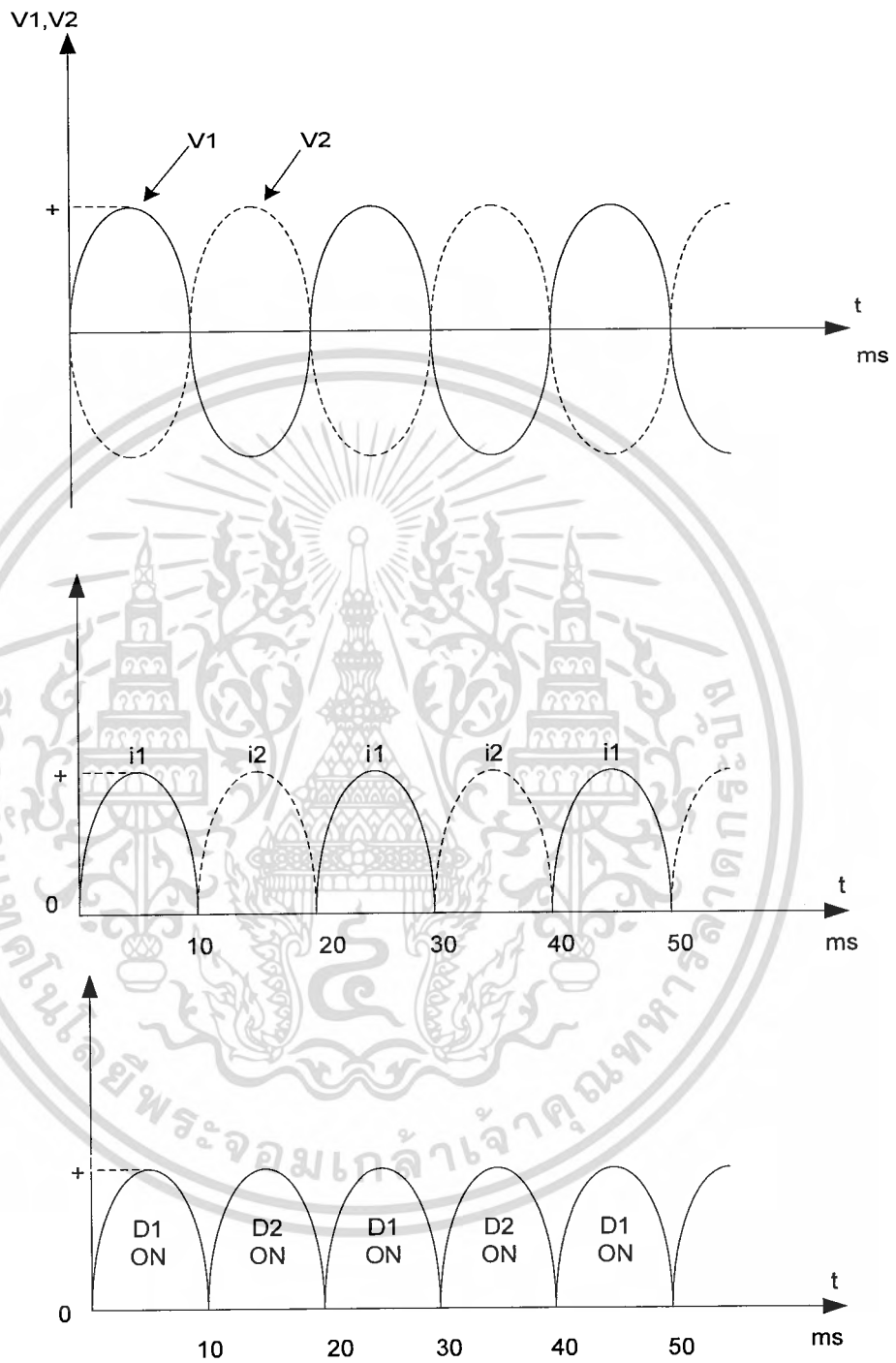
$$V_{\text{ODC}(t)} = \begin{cases} 0 & V; 0 < \omega t < \pi \\ V_p \sin \omega t & V; 0 < \omega t < 2\pi \end{cases} \quad (2.12)$$

2.1.4 วงจรเรียงกระแสแบบเต็มคลื่นแบบหม้อแปลงมีแทป (Full Wave Center Tapped)

จากที่ทราบว่า เฟสของไฟสลับที่จุดต้นกับจุดปลายต่างกัน 180 องศาเมื่อเทียบกับจุดกึ่งกลาง โดยการใช้หม้อแปลงที่มีแทปกลางร่วมกับไดโอดสองตัว หม้อแปลงจะทำหน้าที่สลับเฟสของไฟสลับที่ป้อนให้กับไดโอดทั้งสองตัวให้สลับกันทำงานแต่ละ 180 องศา เราจะได้กระแสที่ผ่านโหลดตลอดเวลาเต็มคลื่นของไฟสลับดังแสดง ดังรูปที่ 2.5



รูปที่ 2.5 ก. วงจรเรียงกระแสแบบเต็มคลื่นแบบหม้อแปลงมีแทป



รูปที่ 2.5 ข. รูปสัญญาณวงจรเรียงกระแสแบบเต็มคลื่นแบบหม้อแปลงมีแทป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.5 จะเห็นได้อย่างชัดเจนว่า

$$i_{o(t)} = i_1 + i_2 \quad A \quad (2.13)$$

ให้ I_1 และ I_2 เป็นกระแสเฉลี่ยของไดโอด D1 ตามลำดับ D2 ค่า I_1 และ I_2 คือ

$$I_1 = I_2 = \frac{I_{PK}}{\pi} \quad A \quad (2.14)$$

ซึ่งค่าสูงสุดของ i_1 และ i_2 คือ

$$\text{ซึ่ง} \quad I_{pk} = \frac{V_{PK} - 0.6}{R_L} \quad A \quad (2.15)$$

ซึ่ง V_{pk} คือค่าสูงสุดของ $v_1(t)$ หรือ $v_2(t)$ จะได้สมการ I_1 ดังนี้

$$I_1 = I_2 = \frac{I_0}{2} \quad A \quad (2.16)$$

โดยที่ I_0 คือค่าเฉลี่ยของ $i_0(t)$

และจะได้ค่าเฉลี่ยแรงดันเอาต์พุตเป็น

$$V_{O(DC)} = \frac{2(V_{PK} - 0.6)}{\pi} \quad V \quad (2.17)$$

ในการใช้งานค่าของ $V_{pk} \gg 0.6$ ค่า 0.6 V อาจไม่จำเป็นต้องนำมาคิด

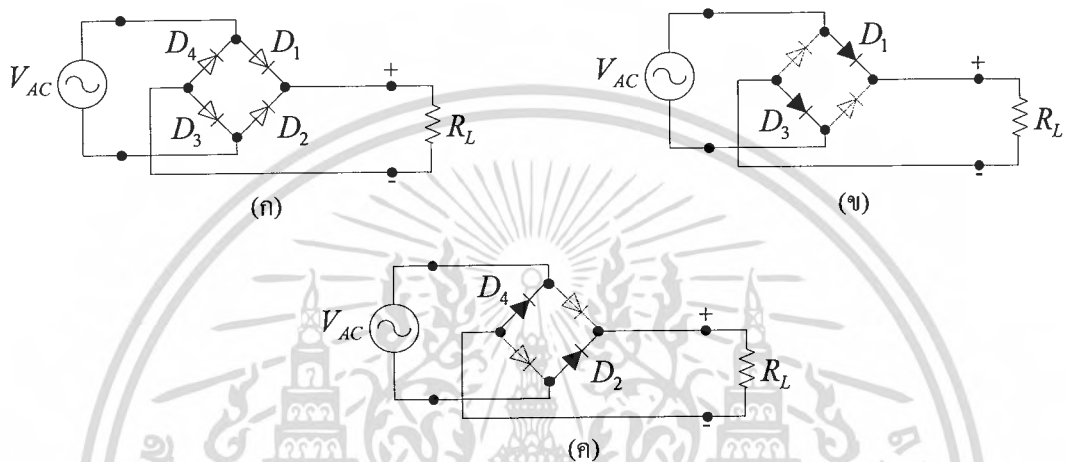
จากรูปที่ 2.5 ที่ 1 คาบของไฟสลับแรงดันเอาต์พุต V_0 จะมีการกระเพื่อมสองลูกคลื่น
ความถี่ของการกระเพื่อมจะเป็น

$$FR_{(FW)} = 2F_{line} \quad H_z \quad (2.18)$$

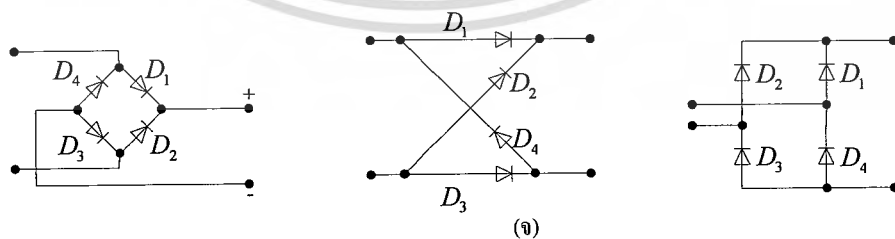
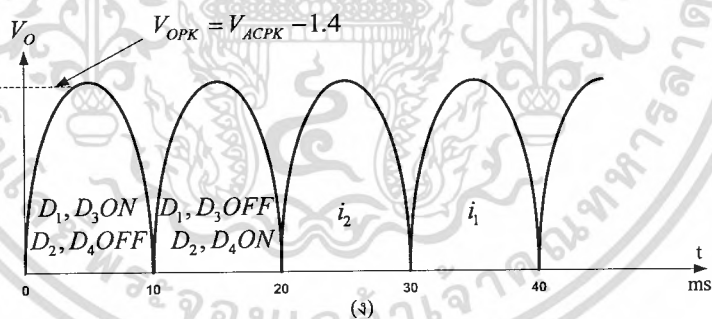
2.1.5 วงจรเรียงกระแสแบบเต็มคลื่นแบบบริดจ์

(Full Wave Bridge Rectifier; FWT)

วงจรเรียงกระแสแบบเต็มคลื่นแบบบริดจ์ นิยมใช้งานกันอย่างมากโดยการใช้ไดโอดสี่ตัวในการทำงาน ไดโอดจะสลับกันทำงานให้มีกระแสไหลผ่านในเวลาครึ่งคาบของไฟสลับ คาบละสองตัวดังจะเห็นได้จากรูปที่ 2.6



รูปที่ 2.6 วงจรFWB



รูปที่ 2.7FWB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในขณะที่ V_{ac} เป็นบวกจะมีกระแสไหลผ่าน D1, D3, i_2 จะมีค่าเป็นศูนย์ (ถูกไบอัสย้อนกลับ) และเมื่อ V_{ac} เป็นลบ i_1 จะเป็นศูนย์ กระแสจะไหลผ่าน D2, D4

ค่าของกระแส $i_o(t)$, $i_1(t)$, $i_2(t)$ กระแสเฉลี่ย I_o , I_1 และ I_2 ค่าความถี่ของการกระเพื่อมจะอยู่ในรูปแบบเดียวกับวงจร FWCT คือ

$$I_1 = I_2 = \frac{I_o}{2} \quad (A) \quad (2.19)$$

$$V_{O(PK)} = V_{AC(PK)} - 1.4 \text{ V} \quad (V) \quad (2.20)$$

$$F_R = 2F_{line} \quad (H_z) \quad (2.21)$$

ในการสร้างวงจรบริดจ์ของไดโอด เราจะใช้ไดโอดเดี่ยว 4 ตัว มาต่อวงจร หรืออาจจะใช้ไดโอดบริดจ์ซึ่งภายในเป็นไดโอด 4 ตัวต่อวงจรในลักษณะของบริดจ์เรียบร้อยแล้ว สำหรับบริดจ์ไดโอดมิให้เลือกใช้งานตั้งแต่ขนาดกระแสเอาต์พุตเฉลี่ย 0.5 A ขึ้นไปถึงหลายร้อยแอมป์ และทนแรงดันได้มากกว่า 1,000 V

2.1.6 วงจรกรองลดการกระเพื่อม(Ripple Filters)

การใช้หลักการวิเคราะห์แบบฟูเรียร์จะได้องค์ประกอบทางความถี่ของไฟตรงที่ได้จากวงจรเรียงกระแส และในขณะที่ยังมีได้ทำการกรองลดการกระเพื่อม จะได้ผลลัพธ์ของสัญญาณดังนี้

$$V_{HW} = V_p \left(\frac{1}{\pi} = \frac{1}{2} \cos(\omega t) + \frac{2}{3\pi} \cos(2\omega t) - \frac{2}{15\pi} \cos(4\omega t) + \frac{2}{15\pi} \cos(6\omega t) - \dots + \dots \right) \quad (2.22)$$

หรือ

$$V_{HW} = 0.318VP + 0.5v_p \cos(\omega t) + 0.212v_p \cos(2\omega t) + \dots \quad (2.23)$$

และ

$$V_{FW} = 0.637v_p + 0.424v_p \cos(2\omega t) - 0.085v_p \cos(4\omega t) + \dots \quad (2.24)$$

ในการแสดงคุณสมบัติของวงจรลดการกระเพื่อมว่าดีเพียงใด พิจารณาได้จากค่าเปอร์เซ็นต์ของการกระเพื่อม(Percent of Ripple:%R):ซึ่งนิยามโดย

$$\text{Percentage of Ripple} = \frac{\text{Ripple voltage (rms)}}{\text{DC voltage}} = \frac{V_{r(rms)}}{V_{dc}} * 100\% \quad (2.25)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กรณีของวงจรเรียงกระแสครึ่งคลื่นที่ยังไม่มีการกรองจะมีค่า %R ดังนี้

ค่า RMS ของส่วนกระแสสลับ (HW) : $V_{R(HW)RMS}$

$$V_{r(hw)RMS} = V_P \sqrt{\frac{0.5^2 + 0.212^2 + 0.042^2}{2}} = 0.385 v_p \quad (2.26)$$

$$V_{DC(HW)} = \frac{V_P}{\pi} = 0.318 v_p \quad (2.27)$$

$$\%R_{(HW)} = \frac{0.385}{0.318} * 100 = 121\% \quad (2.28)$$

สำหรับวงจรเรียงกระแสเต็มคลื่นจะได้

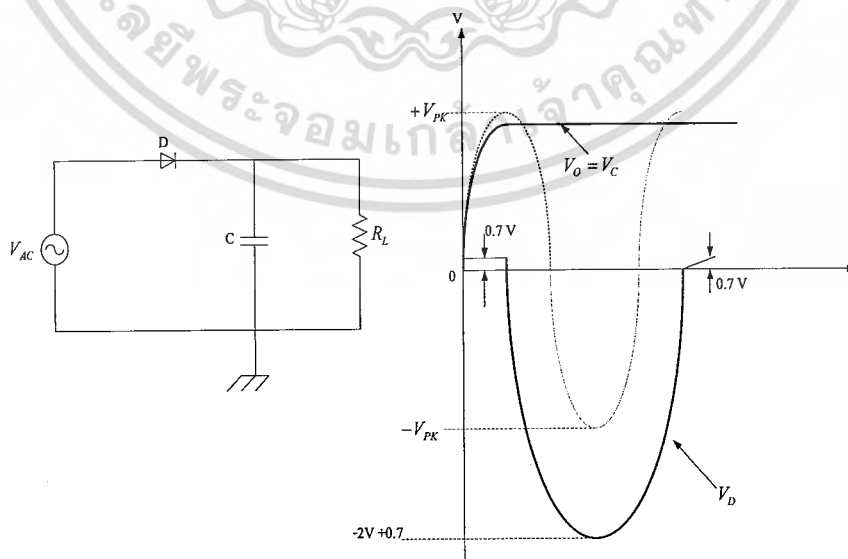
$$\%R_{(FW)} = \frac{0.306}{0.637} * 100 = 48\% \quad (2.29)$$

และสำหรับไฟตรงในอุดมคติ

$$\%R_{Ideal} = \frac{0}{V_{dc}} = 0\% \quad (2.30)$$

2.1.7 วงจรลดการกระเพื่อมโดยใช้ตัวเก็บประจุ (Ripple Filter using capacitors)

หลักการทำงานของวงจรกรองลดการกระเพื่อม สามารถอธิบายได้อย่างง่าย ๆ คือ ในขณะที่ไดโอดนำกระแส ตัวเก็บประจุจะสะสมพลังงานไว้ เมื่อไดโอดหยุดนำกระแส ตัวเก็บประจุก็จะคายพลังงานออกมาให้กับ R_L ทำให้ R_L ได้รับพลังงานได้อย่างต่อเนื่อง



รูปที่ 2.8 การทำงานของวงจรกรองที่ใช้ C ในสถานะที่ไม่มีโหลด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในสถานะที่ไม่มีโหลดไดโอดจะเริ่มนำกระแสเมื่อได้รับไฟสลับทางบวกครั้งแรกที่เวลา $1/4$ คาบของไฟสลับ เมื่อถึงเวลา $1/4$ คาบของไฟสลับลูกที่ 1 C จะได้รับการคายประจุให้มี

แรงดันไฟฟ้าเป็น $V_{PK} - 0.7 \text{ V}$ เนื่องจากวงจรไม่มีโหลด แรงดันไฟฟ้าที่ตกคร่อม C จะมีแรงดันคงที่เท่ากับ $V_{PK} - 0.7 \text{ V}$ ตลอดไป และไดโอดจะไม่นำกระแสอีกเลย แรงดันที่เอาต์พุตคือแรงดันคร่อม C จะมีค่าคงที่เท่ากับ $\sqrt{2} V_{AC} - 0.7 \text{ V}$ ซึ่งเราจะได้ไฟตรงที่เรียบมากเหมือนไฟตรงในอุดมคติ

ในวงจรเรียงกระแสแบบครึ่งคลื่น ซึ่งยังไม่มี C กรองไฟ ไดโอดที่ใช้จะต้องมีค่าแรงดันพังทลายน้อยสุดเท่ากับค่าสูงสุดของไฟสลับ เมื่อมี C กรองไฟไดโอดในวงจรเรียงกระแสแบบครึ่งคลื่น ไดโอดจะต้องมีค่าแรงดันพังทลายเป็นสองเท่าของค่าสูงสุดของไฟสลับ ซึ่งพิจารณาได้จาก

KVL ในวงจรรูปที่ 2.15 คือ

$$V_{AC} = V_D + V_C \quad \text{V} \quad (2.31)$$

หรือ

$$V_D = V_C = V_{AC} - V_D \quad \text{V} \quad (2.32)$$

หลังจากไฟสลับทางซีกบวกคลื่นแรกเข้ามาสู่วงจร $\frac{1}{4}$ ของคาบเวลา 1 คลื่น C จะได้รับประจุเป็น $V_{PK} - V_D$ ดังได้กล่าวมาแล้ว จากสมการ KVL V_D จะมีค่าเป็น

$$V_D = V_{AC} - V_C \quad \text{V} \quad (2.33)$$

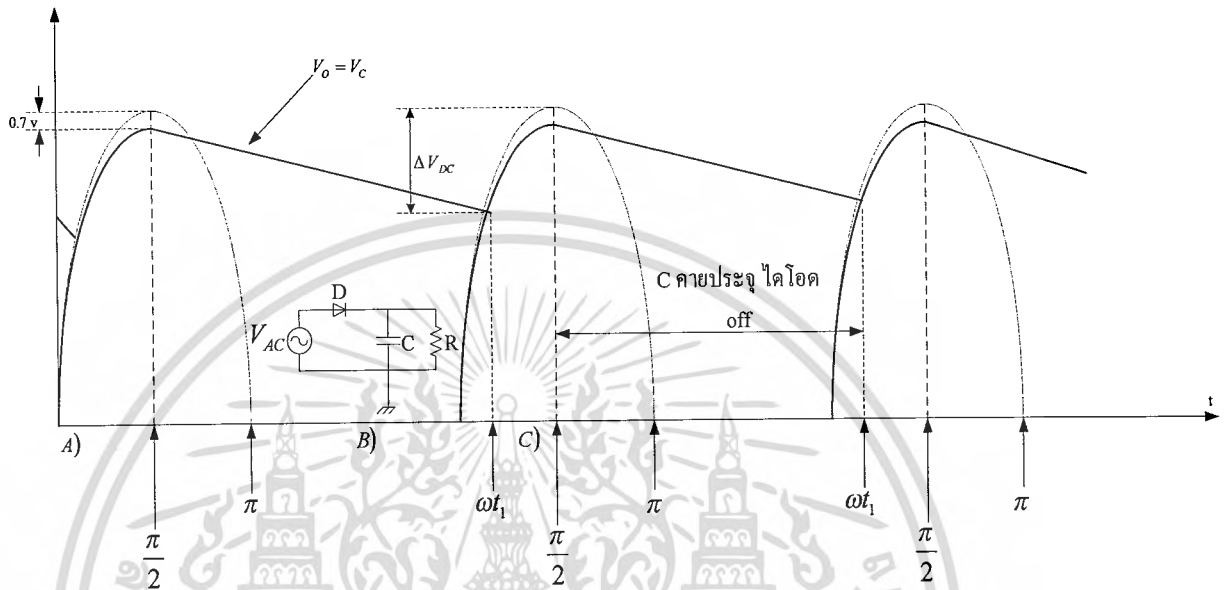
ภายหลังคาบไฟสลับบวกครั้งแรก V_C จะมีค่าเป็น $V_{PK} - 0.7 \text{ V}$ และเมื่อไฟสลับมีค่าสูงสุดทางลบแรงดันที่ไดโอดจะเป็น

$$V_D = -V_{PK} - (V_{PK} - 0.7) \quad \text{V} \quad (2.34)$$

หรือ

$$V_D = -2V_{PK} + 0.7 \approx -2V_{PK} \quad \text{V} \quad (2.35)$$

สำหรับวงจรเรียงกระแสเต็มคลื่น แบบที่ใช้หม้อแปลงมีแทปกึ่งกลาง (FWCT) ก็คือวงจรเรียงกระแส 2 ชุดสลับกันนำกระแส ไดโอดในวงจร FWCT ก็จะต้องมีค่าแรงดันพังทลายอย่างน้อยเท่ากับ $2V_{PK}$ เช่นเดียวกัน



รูปที่ 2.9 การทำงานของ C กรองไฟ ในสภาวะที่มีโหลด

A) ภายในช่วงเวลา $T/4$ ของไฟสลับทางบวกถูกแรกผ่านไป ไดโอดจะนำกระแสประจุ c ทำให้แรงดันไฟฟ้าที่ c มีค่าเท่ากับ v_p ซึ่ง T คือ คาบเวลาของไฟสลับ และ $V_p = V_p - V_{F(diode)}$

B) หลังจากเวลา $T/4$ ของไฟสลับทางบวกถูกแรกผ่านไปไฟสลับเริ่มมีค่าลดลง ถ้าเราใช้ C ที่มีค่ามาก เพื่อให้ค่าเวลาคงที่ $R_L C$ มีค่ามากกว่าคาบเวลา T ของไฟสลับมาก การลดลงของไฟสลับจะเร็วกว่าการลดลงของแรงดันไฟฟ้าที่ C ไดโอดจะถูกไบแอสกลับ C จะคายประจุจ่ายกระแสให้กับ RL แรงดันคร่อม C จะมีค่าลดลงอย่างเอ็กซ์โพเนนเชียล ตัวเก็บประจุจะคายประจุจนถึงเมื่อไฟสลับมีมุมเฟส ωt_1 ที่มุมเฟส $2\pi + \omega t_1$ ค่าของแรงดันเอาต์พุต (VC) ที่มุมเฟส $\frac{\pi}{2}$ ถึง $2\pi + \omega t_1$ จะเป็น

$$V_o(\omega t) = V_p * e^{-\left(\frac{\omega t - \pi/2}{\omega R_L C}\right)} \quad ; \frac{\pi}{2} < \omega t < +\omega t_1 \quad (2.36)$$

$$V_o(\omega t) = V_p * \sin \omega t \quad ; \omega t_1 < \omega t < +\frac{\pi}{2} \omega t_1 \quad (2.37)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไดโอดจะเริ่มนำกระแสที่มุมเฟส ωt_1 จนถึง $\frac{\pi}{2}$ ค่าแรงดันเอาต์พุตที่มุมเฟส ωt_1 ถึง 2π

จะเป็น

ซึ่งค่าของ $V_0(\omega t)$ ในสมการที่ (29) จะเท่ากับ $V_0(\omega t)$ ในสมการที่ (30) ที่มุมเฟส $2\pi + \omega t_1$ ดังนั้น

$$V_0(\omega t) = V_P * e^{-\left(\frac{2\pi + \omega t_1 - \pi/2}{\omega R_L C}\right)} = V_P * \sin(2\pi + \omega t_1) \quad (2.38)$$

จะได้

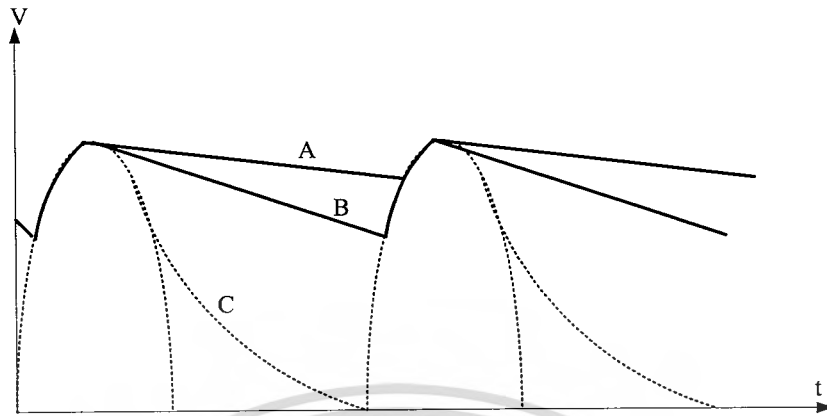
$$\omega t_1 = \sin^{-1} \left[e^{\left(\frac{\omega t_1 + 1.5\pi}{\omega R_L C}\right)} \right] \quad \text{rad} \quad (2.39)$$

$$\Delta V_{DC} = V_P * (1 - \sin \omega t_1) \quad V_{PP} \quad (2.40)$$

ถ้าเราสามารถแก้สมการที่(31)ได้เราจะสามารถทราบค่ามุมเฟส ωt_1 ซึ่งจะนำไปคำนวณหาขนาดของแรงดันกระแสเพิ่ม : ΔV_{DC} และค่าแรงดันไฟตรงที่เอาต์พุตคือ

$$V_{O(DC)} = \frac{V_P}{2\pi} * \left[\int_{\omega t_1}^{\frac{\pi}{2}} \sin \omega t d\omega t + \int_{\frac{\pi}{2}}^{2\pi + \omega t_1} e^{-\left(\frac{\omega t \pi/2}{\omega R_L C}\right)} d\omega t \right] \quad (2.41)$$

ในรูปที่ 2.10 แสดงให้เห็นถึงผลที่เกิดขึ้นจากค่า C ต่างๆซึ่งจะเห็นได้ชัดเจนว่า C ค่ายิ่งมากไฟตรงที่ได้ก็จะกระเพื่อมน้อยลง

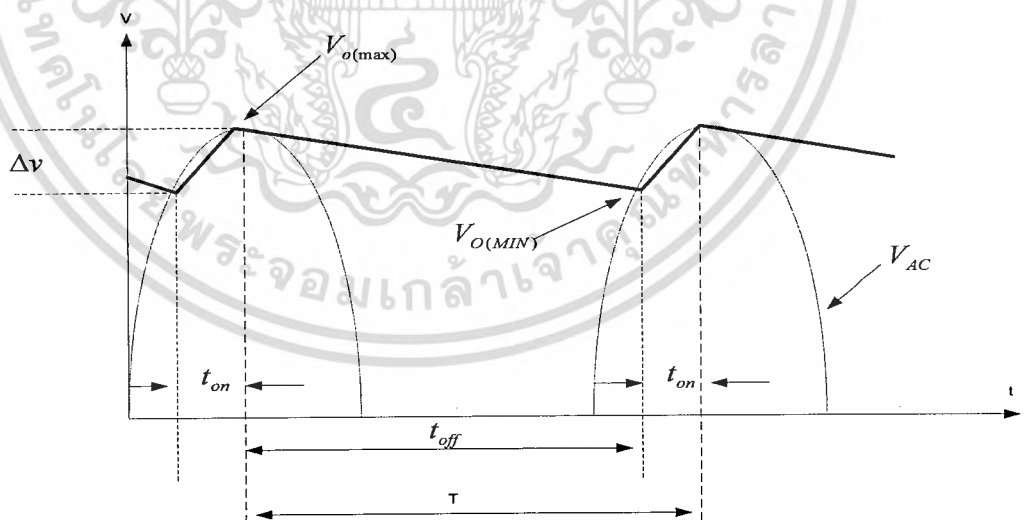


รูปที่ 2.10 ผลของค่า C ต่างๆกัน

A, B $R_L C_1 > R_L C_2 > T$: T= คาบของไฟสลับ
C $R_L C_3 < T$

2.1.8 การคำนวณขนาดของแรงดันกระแสเฟืองโดยประมาณ

จากหัวข้อที่ผ่านมาเป็นการคำนวณค่าของแรงดันกระแสเฟืองที่ยู่ยากพอสมควร วิธีการคำนวณโดยประมาณเป็นวิธีที่ง่ายกว่ามาก และเป็นวิธีที่ยอมรับกันโดยทั่วไป ซึ่งจะแทนเส้นโค้งของการประจุและการคายประจุด้วยเส้นตรง ดังในรูปที่ 2.11



รูปที่ 2.11 การประมาณค่าแรงดันกระแสเฟืองของวงจรเรียงกระแสแบบครึ่งคลื่น(HW)

จากการที่เราประมาณการคายประจุของ C เป็นเส้นตรง C จะคายประจุด้วยกระแสคงที่ I_0

นี่คือกระแสที่ RL หรือกระแสที่วงจรจ่ายไปให้กับ RL ช่วงเวลาที่ C คายประจุ $T - t_{on}$ เมื่อ T คือ คาบเวลาของไฟสลับ และ t_{on} คือช่วงเวลาที่ C ถูกประจุจากไดโอด จำนวนประจุที่ C คายออกมา คือ

$$Q_{DIS} = I_0(T - t_{on}) \quad C \quad (2.42)$$

ในวงจรทั่วไปเราอาจประมาณได้ค่า $T \gg t_{on}$ ดังนั้นสมการที่ (34a) จะเป็น

$$Q_{DIS} = I_0(T) \quad C \quad (2.43)$$

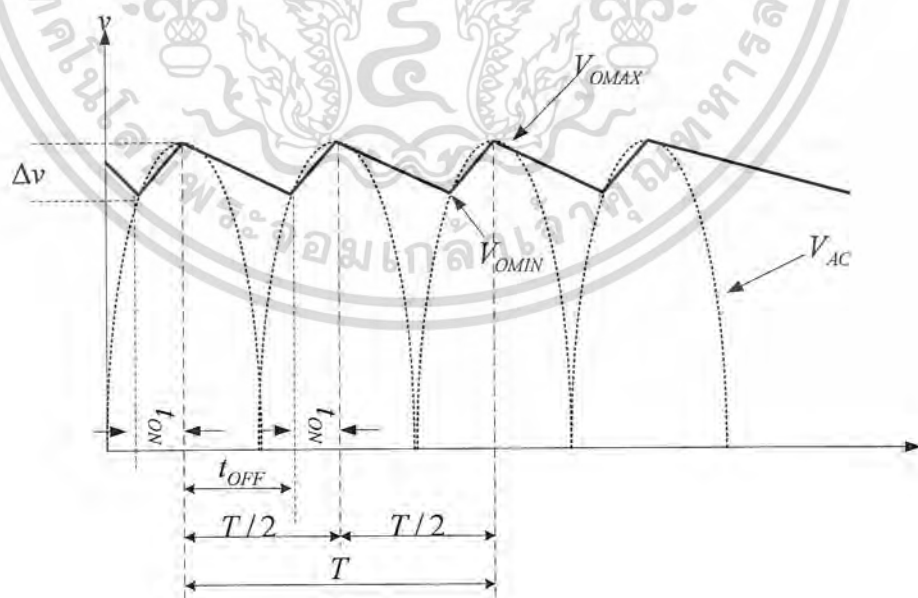
ในช่วงเวลา t_{on} C จะถูกประจุให้มีค่าแรงดันเพิ่มขึ้นจาก V_{min} เป็น V_{max} แรงดันที่ C ได้รับคือ ΔV ถ้า C มีค่าความจุเท่ากับ C จำนวนประจุที่ได้รับคือ

$$Q_{CH} = C\Delta V \quad C \quad (2.44)$$

ในช่วงเวลา 1 คาบของไฟสลับ จำนวนประจุที่ C ถูกประจุจะต้องมีค่าเท่ากับ จำนวนประจุที่คายออกไป ดังนั้น

$$C\Delta V = I_0 \quad C \text{ (HW)} \quad (2.45)$$

สำหรับวงจรเรียงกระแสแบบเต็มคลื่น จะเป็นดังในรูปที่ 2.12



รูปที่ 2.12 การประมาณค่าแรงดันกระเพื่อมในวงจรเรียงกระแสแบบเต็มคลื่น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกหรือเผยแพร่ข้อมูลนี้อ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับวงจรเรียงกระแสแบบเต็มคลื่น ช่วงเวลาการชาร์จคาบจะเป็น $T/4$ เมื่อ T คือคาบเวลาของไฟสลับในทำนองเดียวกับวงจรเรียงกระแสครึ่งคลื่น จะได้

$$C \Delta v = \frac{I_{OT}}{2} \quad C(FW)$$

โดยการแทนค่า $T=1/F_{line}$ สมการ(2.45)และ(2.46)จะเป็น

และ

$$C \Delta v = \frac{I_{OT}}{F_{line}} \quad C(FW) \quad (2.47)$$

$$C \Delta v = \frac{I_O}{2F_{line}} \quad C(HW) \quad (2.48)$$

จากสมการ(2.8)และ(2.18)

$$FR_{(HW)} = F_{line} \quad (2.49)$$

$$FR_{(FW)} = 2F_{line} \quad (2.49)$$

สมการ(2.47)(2.48) สามารถเขียนได้เป็น

$$C \Delta v = \frac{I_O}{F_R} \quad C \quad (2.50)$$

สมการ(2.50) นี้เป็นสมการที่แสดงความสัมพันธ์ระหว่างขนาดของแรงดันกระแสเฟรม กับค่าของ C โดยประมาณ ซึ่งอยู่ในรูปแบบที่ง่ายกว่าสมการ (2.40) และ (2.41) มากจึงมีประโยชน์มากในทางปฏิบัติทั้งในการออกแบบและวิเคราะห์

โดยที่ C คือค่าความจุไฟฟ้าของตัวเก็บประจุมีหน่วยเป็น ฟารัด:F

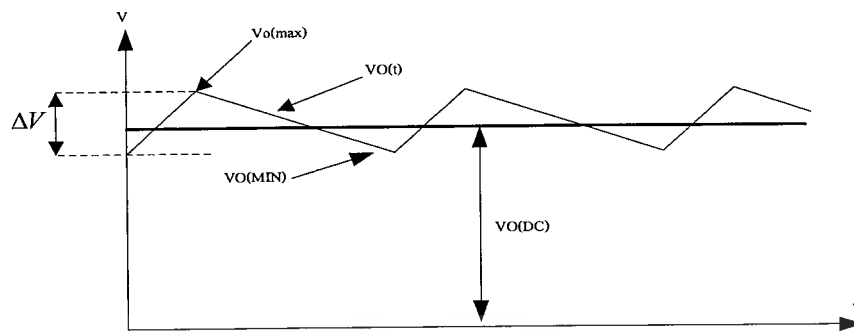
I_O คือ ค่ากระแสที่จ่ายให้กับโหลด มีหน่วยเป็น แอมแปร์:A

V คือค่าขนาดของแรงดันกระแสเฟรมมีหน่วยเป็น โวลท์จากขอดคลื่นซีกบวกถึงขอดคลื่น

ซีกลบ:VPP

FR คือ ค่าความถี่ของการกระแสเฟรม มีหน่วยเป็นเฮิรตซ์: H_z

ซึ่งจะมีค่าเท่ากับ F_{line} สำหรับ HW และ $2F_{line}$ สำหรับFW



รูปที่ 2.13 แสดงการคำนวณค่า $V_{O(DC)}$

จากรูปที่ 2.13 จะได้ค่าเฉลี่ยของ V_O หรือค่าของไฟตรง V_O จะมีค่าเป็น

$$V_{O(AV)} = V_{O(DC)} = V_{O(MAX)} - \frac{V_{O(MAX)} - V_{O(MIN)}}{2} \quad (2.51)$$

ซึ่ง $V_{O(max)}$ คือ V_P และ $V_{O(max)} - V_{O(min)}$ คือค่าของแรงดันกระเพื่อม ส่วนค่าของแรงดันไฟเฉลี่ยจะเป็น

$$V_{O(DC)} = V_P - \frac{\Delta V}{2} \quad (2.52)$$

โดยที่ V_P^* คือค่าสูงสุดของ $v_O(t)$ ซึ่งจะมีค่าเท่ากับ

$$\text{ก) } \sqrt{2V_{AC}} - V_{F(DIODE)} \quad (2.53)$$

V_{AC} :ค่าแรงดันไฟสลับ:VRMS

$V_{F(DIODE)}$: ค่าแรงดันไฟฟ้าที่ตกคร่อมไดโอดในสภาวะไบอัสตรง ซึ่งมีค่าประมาณ

$V_{F(DIODE)}$ 0.7 V สำหรับ HW และ FWCT

$V_{F(DIODE)}$ 1.4 สำหรับ FWB

2.1.9 การออกแบบวงจรจ่ายไฟตรง

เราจะต้องกำหนดคุณสมบัติของวงจรเสียก่อน คุณสมบัติที่จำเป็นในการออกแบบวงจรจ่ายไฟตรงได้แก่

ก) ขนาด ทิศทางของไฟตรงที่ต้องการ : $VO(DC)$

ข) ค่ากระแสไฟตรงสูงสุดที่วงจรจะจ่ายได้ : $|IO|$

ค) ขาดแรงดันของการกระเพื่อมที่ยอมรับได้; ΔV

หรือ % แรงดันกระเพื่อม: %R

การกำหนดคุณสมบัติทั้ง 3 ประการนี้ จะได้มาจากความต้องการในการใช้งาน กล่าวคือ

ก) ขนาดและทิศทางของไฟตรงที่ต้องการ

-ขนาดของไฟตรงที่ต้องการ ขึ้นอยู่กับว่าเรานำแหล่งจ่ายไฟตรงไปใช้กับ

อุปกรณ์อะไร

-ทิศทางของไฟตรง คือ การกำหนดจุดที่จะเป็นจุดอ้างอิง

ข) ค่ากระแสสูงสุดที่วงจรจะจ่ายได้ ขึ้นอยู่กับความต้องการกระแสของวงจรที่เราจะนำวงจรจ่ายไฟไปจ่ายพลังงานให้ ซึ่งค่ากระแสที่วงจรต่างๆต้องการจะมีความสัมพันธ์กับค่าแรงดันไฟตรงนั้นๆที่ต้องการ และการทำงานของวงจรนั้นๆต้องการ และการทำงานของวงจรนั้นๆ โดยจะต้องนำความรู้ทางทฤษฎีในการทำงานของวงจรนั้นๆ วิเคราะห์ซึ่งเป็นสิ่งที่ต้องรู้ต่อไป

ค) ขนาดของแรงดันกระเพื่อม หรือ % แรงดันกระเพื่อมจะขึ้นกับชนิดของวงจรที่จะนำไฟตรงไปใช้งาน

ในการคำนวณการออกแบบวงจรไฟตรงจะมีขั้นตอนการคำนวณดังต่อไปนี้

- เลือกชนิดของวงจรเรียงกระแส HW หรือ FWCT และ FWB ในทางปฏิบัติถ้า
 $|VO_{dc}|$ หรือ $|IO|$ หรือกำลังไฟฟ้าที่จ่ายมากกว่า 1 Watt ควรใช้วงจร แบบ FWCT หรือ FWB
- คำนวณค่า c ได้จากสมการที่ (39) และกำหนดอัตราการทนแรงดันของ c
- คำนวณขนาดของหม้อแปลง
- เลือกหรือกำหนดคุณสมบัติของไดโอดที่จะนำมาใช้
- คำนวณขนาดของฟิวส์

2.1.10 การเผื่ออัตราความทนทานของตัวอุปกรณ์

ในการออกแบบทางวิศวกรรมทุกสาขา จะต้องมีการเผื่ออัตราความทนทานขององค์ประกอบต่างๆเสมอเพื่อไม่ให้เกิดความเสียหายขึ้นที่องค์ประกอบนั้นๆ วิศวกรต้องตระหนักถึงความรับผิดชอบในงานของตนเพราะเมื่อเกิดความเสียหายขึ้นที่องค์ประกอบใดก็ตาม จะทำให้ระบบทั้งระบบล้มเหลวและอาจทำให้เกิดอันตรายถึงชีวิตได้

พิกัดหรือขนาดของตัวอุปกรณ์ที่จะนำไปใช้ในการสร้างวงจรจะต้องมีขนาดหรือพิกัดอย่างน้อยที่สุดเท่ากับค่าแรงดันไฟฟ้า และ/หรือ ค่ากระแส และ/หรือ ค่ากำลังไฟฟ้าที่อุปกรณ์นั้นถูกด้วยค่าอัตราเผื่อความปลอดภัย (Safety Margin Factor) ซึ่งค่าอัตราเผื่อความปลอดภัยอย่างน้อยที่สุด คือ 1.25-2 เท่า ในองค์ประกอบที่มีความสำคัญมาก หรืออุปกรณ์ในระบบที่ต้องการความเชื่อถือสูง (Reliability) เช่น เครื่องช่วยหายใจ, อุปกรณ์ในอากาศยาน อาจต้องเผื่อความปลอดภัยไว้สูงถึง 10 เท่า (100) ก็ได้

ในทางไฟฟ้าอัตราการทนไฟของอุปกรณ์จะอยู่ในรูปของค่าแรงดันไฟฟ้า กระแส หรือ กำลังไฟฟ้า

ก) **แรงดันไฟฟ้า** ค่าอัตราการทนไฟของตัวเก็บประจุ อุปกรณ์สารกึ่งตัวนำที่ได้รับการไบอัสย้อนกลับที่ไม่ต้องการให้เบรกดาวน์ เช่น ไดโอดเรียงกระแส , ทรานซิสเตอร์ ในวงจรทุกชนิด เป็นต้น และค่าเบรกดาวน์ของฉนวนไฟฟ้า รวมไปถึงหน้าสัมผัสของสวิตช์ ค่าอัตราการทนแรงดันไฟฟ้า หรือแรงดันเบรกดาวน์ของอุปกรณ์เหล่านั้นจะต้องมีค่าอย่างน้อยที่สุด 1.25-2 เท่าของแรงดันไฟฟ้าที่ตกคร่อมอุปกรณ์เหล่านั้น

ข) **กระแสไฟฟ้า** พิกัดกระแสของสารกึ่งตัวนำทุกชนิด พิกัดกระแสของตัวนำไฟฟ้า (สายไฟฟ้า) ขดลวดทุกชนิดรวมทั้งหม้อแปลงไฟฟ้า และค่าพิกัดกระแสของหน้าสัมผัสสวิตช์ ค่าพิกัดกระแสของอุปกรณ์เหล่านี้ จะต้องมีค่าอย่างน้อยที่สุด 1.25-2 เท่า

ค) **ค่ากำลังไฟฟ้า** ค่าอัตราทนกำลังไฟฟ้าของอุปกรณ์ทุกชนิด จะต้องมีค่าอย่างน้อยที่สุดจะต้องมีค่า 1.25-2 เท่า ของกำลังไฟฟ้าที่เกิดขึ้นกับอุปกรณ์

2.1.11 ตัวเก็บประจุกรองแรงดันกระเพื่อม

ค่าความจุ C คำนวณได้จากสมการ

$$C \geq \frac{I_o}{F_R \Delta V} \quad \text{FARAD} \quad (2.54)$$

ค่า ΔV ในสมการนี้มีหน่วยเป็น V_{pp} ซึ่ง

$$\Delta v_{pp} = 2\sqrt{3\Delta v_{rms}} \quad (2.55)$$

และ

$$\Delta v_{pp} = 2\sqrt{3} (\% \text{Ripple} \times V_{O(DC)}) \quad (2.56)$$

ค่าอัตราการทำงานแรงดันไฟฟ้าของ C; CWV แรงดันไฟฟ้าสูงสุดที่คร่อม C จะมีค่าเท่ากับค่าสูงสุดของ $v_o(t)$ ซึ่งจะมีค่าเท่ากับ $V^*_P = V_{O(DC)} + \frac{\Delta V}{2}$; $V:V_{PP}$

$$C_{wv} \geq 1.25 \left(V_{O(DC)} + \frac{\Delta V}{2} \right) ; \Delta V : V_{PP} \quad (2.57)$$

C_{wv} : Capacitor Working Voltage คืออัตราทนแรงดันของตัวเก็บประจุ

2.1.12 ขนาดของหม้อแปลง

พิกัดแรงดันไฟฟ้าของหม้อแปลง สามารถคำนวณได้จากสมการนี้

$$V_{AC(sec)} : rms = \frac{V_{O(DC)} + 0.5\Delta V + V_{F(DIODE)}}{\sqrt{2}} \quad V_{rms} \quad (2.58)$$

พิกัดกระแสหม้อแปลง สามารถคำนวณได้จากสมการนี้

ตารางที่ 2.1 พิกัดกระแสขดลวดของหม้อแปลงที่ใช้กับวงจรเรียงกระแสที่มีตัวเก็บประจุ
ลดแรงดันการกระเพื่อม

ชนิดของวงจร	พิกัดกระแสของขดลวดขดลวด: $I_{AC(SEC)} : A_{rms}$
HALF WAVE	$I_{AC(SEC)} = 1.8I_{O(DC)}$
FULL WAVE CENTERTAPED	$I_{AC(SEC)} = 1.2I_{O(DC)}$
FULL WAVE BRIDGE	$I_{AC(SEC)} = 1.8I_{O(DC)}$
DUAL FULL WAVE CENTERTAPED	$I_{AC(SEC)} = 1.8I_{O(DC)}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.13 การเลือกหรือกำหนดคุณสมบัติของไดโอด

ก่อนที่เราจะเลือกเบอร์ไดโอดไปใช้งานเราจะต้องเข้าใจคุณสมบัติของไดโอด จากข้อมูลของผู้ผลิต

ในการเลือกใช้อุปกรณ์สารกึ่งตัวนำทุกชนิด คุณสมบัติเฉพาะที่เราที่เรากำลังพิจารณาก่อนคือค่าพิกัดสูงสุด (Maximum Rating) ข้อมูลของค่าพิกัดสูงสุดเป็นข้อมูลที่บอกให้เราทราบถึงค่าสูงสุดของ แรงดันไฟฟ้า, กระแส และกำลังงานไฟฟ้าสูงสุดที่อุปกรณ์นั้นจะใช้งานได้ภายใต้เงื่อนไขที่กำหนด

ก) การเลือกค่ากระแสไบอัสตรง

ค่ากระแสไบอัสสูงสุด : I_o ของไดโอดจะต้องมีค่าไบอัสอย่างน้อย 2 เท่าของค่ากระแสไฟตรงที่ไหลผ่านไดโอด

- กรณีของ Half Wave ซึ่งใช้ไดโอดเพียงตัวเดียวกระแสไฟตรงที่ทางออกทั้งหมด จะเท่ากับกระแสไบอัสตรงที่ผ่านไดโอด ดังนั้น

$$I_o(\text{diode}) \text{ จาก Spec } 2I_o(\text{dc})$$

- กรณีของ Full Wave ซึ่งไดโอดแต่ละชุดจะสลับกันทำงาน ตัวละครึ่งไซเคิล ของไฟสลับ ดังนั้นกระแสเฉลี่ย หรือ กระแสไฟตรงที่ผ่านไดโอด แต่ละชุดจึงเป็นครึ่งหนึ่งของกระแสไฟตรงที่ออก ดังนั้น

$$I_o(\text{diode}) \text{ จาก Spec } I_o(\text{dc})$$

- ในกรณี FWB เราอาจใช้ไดโอดเดี่ยวสี่ตัว มาต่อเป็นวงจรบริดจ์ ในกรณีนี้ $I_o(\text{diode})$ จะเป็นไปตามสมการ แต่ถ้าใช้บริดจ์สำเร็จรูปเราจะใช้สมการดังนี้

$$I_o(\text{Bridge diode}) \text{ จาก Spec } 2I_o(\text{dc})$$

ข) ค่าแรงดันพังทลายของไดโอด

สำหรับ HW และ FWCT

$$V_R \geq 4\sqrt{2V_{AC}} : V_{AC}(rms) \quad (2.59)$$

$$V_R \geq 4\sqrt{2V_{AC}} : V_{AC}(rms) \quad (2.60)$$

สำหรับ FWCT

$$V_R \geq 2\sqrt{2V_{AC}} : V_{AC}(rms) \quad (2.61)$$

2.1.14 การคำนวณขนาดของฟิวส์

ฟิวส์เป็นอุปกรณ์ที่ใส่ไว้เพื่อความปลอดภัย ทั้งอุปกรณ์ในวงจร และทรัพย์สินของผู้เป็นเจ้าของ เมื่อไม่มีฟิวส์เมื่อเกิดสถานะโหลดเกิน หรืออุปกรณ์บางตัวเสียหายเช่น ไดโอดเกิดลัดวงจร จะทำให้มีกระแสไหลเข้าสู่หม้อแปลงจำนวนมาก ถ้าทิ้งไว้เป็นเวลานานหม้อแปลงจะร้อนมากและลัดวงจร อาจทำให้เกิดอัคคีภัยร้ายแรงได้ การมีฟิวส์จะช่วยทำให้กระแสหยุดไหลก่อนที่จะเกิด

ความเสียหาย หลักการคิดขนาดของฟิวส์ เราใช้หลักการง่ายๆ ของการอนุรักษ์พลังงาน ถ้าไม่คิดการสูญเสียของหม้อแปลงและวงจรเรียงกระแสจะได้ว่า

$$P_{AC(LINE)} = P_{O(DC)} \approx V_{O(DC)} I_{O(DC)} \quad (2.62)$$

จะได้

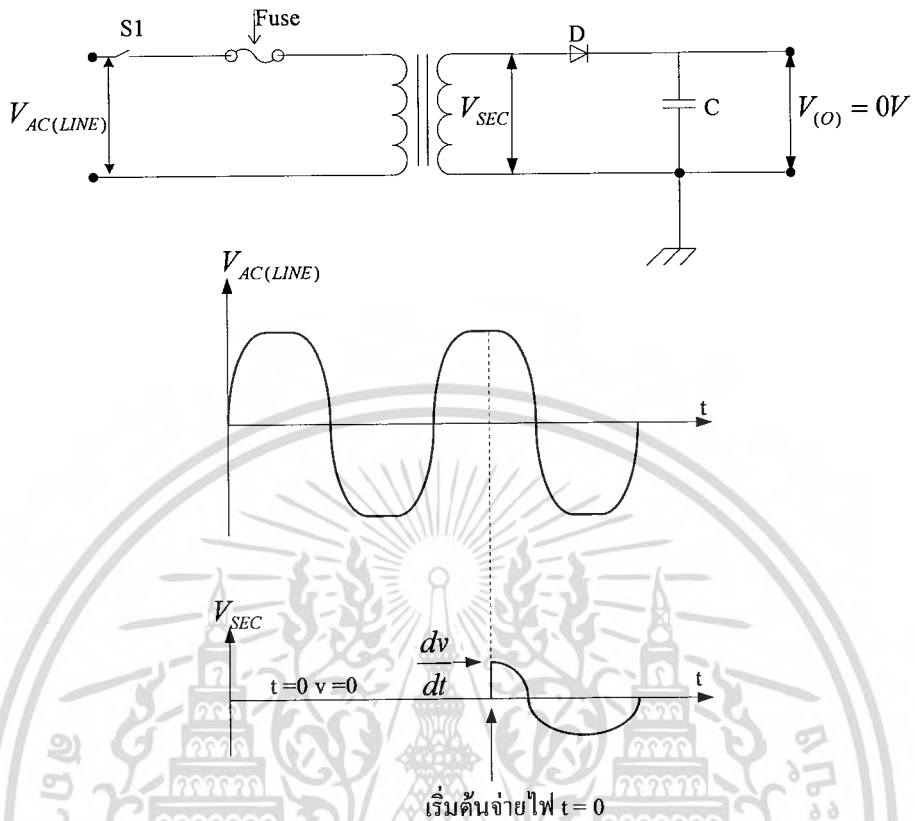
$$I_{AC(LINE)} \approx \frac{V_{O(DC)} I_{O(DC)}}{V_{AC(LINE)}} \quad (2.63)$$

โดยทั่วไป หม้อแปลง และ วงจรเรียงกระแสจะมีการสูญเสีย ประมาณ 5-20 % ขนาดของฟิวส์จะมีค่าประมาณ

$$Fuse_{(Line)} \approx 1.25 \frac{\sum (V_{O(DC)} \times I_{O(DC)})}{V_{AC(LINE)}} \quad (2.64)$$

ซึ่งค่า $V_{AC(LINE)}$ ในประเทศไทยคือ 220 v_{rms}

พิจารณาวจรจ่ายไฟที่มีตัวเก็บประจุเป็นตัวกรองลดแรงดันกระเพื่อม ในความเป็นจริงค่าแรงดันไฟฟ้าเริ่มต้นของวงจรของ C (Initial Voltage: $V_{(0)}$) จะมีค่าเป็น 0 โวลต์ ทันทีที่เราเปิดสวิตช์(ปิดวงจร) C จะมีค่าเป็น 0 โวลต์ ในขณะที่วงจรเริ่มต้นทำงานจะมีกระแสกระชาก ค่าสูงไหลเข้าสู่วงจร อาจทำให้ฟิวส์ขาดได้ถึงแม้ว่าวงจรที่ทางออกอยู่ในสภาวะเปิดวงจร



รูปที่ 2.14 สถานะที่เกิดขึ้น ขณะที่เริ่มจ่ายไฟ AC Line

ก่อนที่จะจ่ายไฟ AC Line ให้วงจร $t = 0$, $V_{sec} = 0$ ณ เวลาที่เริ่มต้นจ่ายไฟ AC Line $t = 0$ แรงดันไฟฟ้าที่หม้อแปลงอาจเพิ่มขึ้นอย่างทันทีทันใด ดังในรูปที่ 2.20 จะทำให้ค่า มีค่าสูงมาก

$$I_{(\text{capacitor})} = C \frac{dv}{dt} \approx \infty \quad (2.65)$$

หรือ C เสมือนลัดวงจร

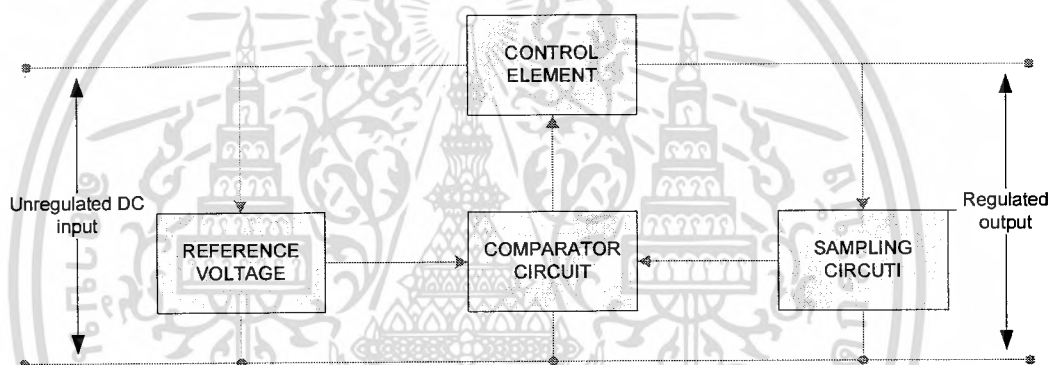
ทำให้เกิดกระแสชั่วขณะ (Transient or Surge) ค่ามากไหลในวงจร ซึ่งอาจทำให้ฟิวส์ขาด ดังนั้นฟิวส์ที่ใช้จึงควรเป็นชนิด "ขาดช้า" (Slow Blow)

2.2 วงจรรักษาระดับแรงดันคงที่ (Voltage Regulator)

วงจรรักษาระดับแรงดันคงที่ มี 2 ชนิดคือ การรักษาระดับแรงดันแบบอนุกรม และการรักษาระดับแรงดันแบบขนาน ซึ่งแต่ละชนิดสามารถให้แรงดันเอาต์พุตเป็นไฟฟ้ากระแสตรงนั้นคือ รักษาแรงดันให้คงที่ไว้ หรือรักษาแรงดันคงที่เมื่อแรงดันเข้าหรือโหลดที่ต่ออยู่ทางด้านเอาต์พุตเปลี่ยนไป

2.2.1. การรักษาระดับแรงดันคงที่แบบอนุกรม (Series Voltage Regulation)

บล็อกไดอะแกรมพื้นฐานของวงจรรักษาระดับแรงดันคงที่แบบอนุกรม ดังรูปที่ 2.15 ส่วนที่ควบคุมที่อนุกรมจะรับแรงดันเข้าทั้งหมด เพื่อให้เพิ่มแรงดันเอาต์พุต ส่วนเอาต์พุตที่ได้จากการสุ่มมาเพื่อที่จะป้อนกลับมาเปรียบเทียบกับแรงดันอ้างอิง เพื่อจะได้แรงดันเอาต์พุตที่คงที่

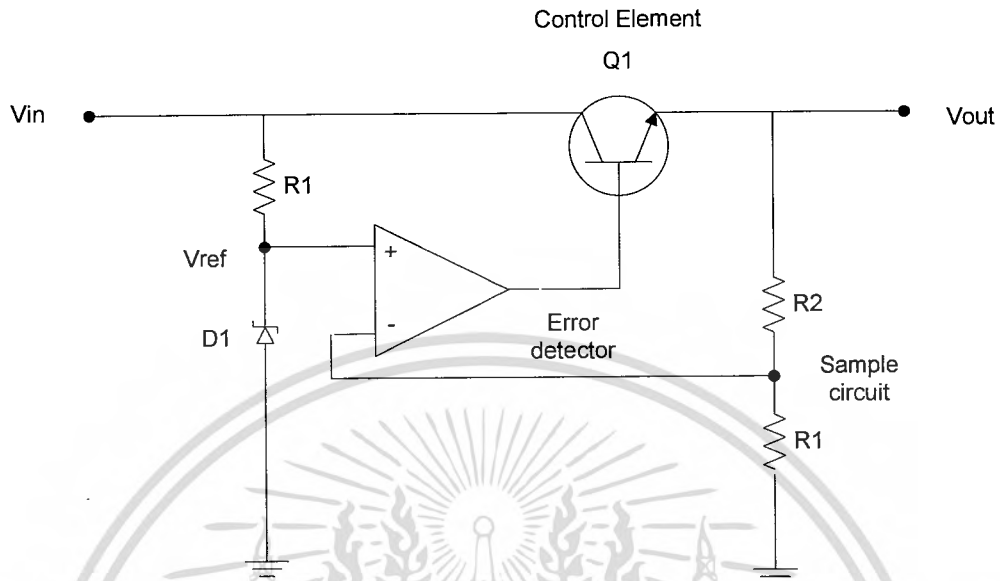


รูปที่ 2.15 บล็อกไดอะแกรมวงจรรักษาระดับแรงดันคงที่แบบอนุกรม

1. ถ้าเอาต์พุตมีแรงดันเพิ่มขึ้น ส่วนของวงจรเปรียบเทียบ จะไปควบคุมสัญญาณที่ไปยัง Control Element ให้ควบคุมให้เอาต์พุตโวลต์เดจลดลง
2. ถ้าแรงดันเอาต์พุตลดลงส่วนของวงจรเปรียบเทียบจะไปควบคุมสัญญาณที่ไปยัง ส่วนของ Control Element ให้ควบคุมแรงดันเอาต์พุตให้เพิ่มขึ้น

วงจรดังรูปที่ 2.16 เป็นวงจรรักษาระดับแรงดันคงที่แบบอนุกรมที่อาศัยคุณสมบัติการเปลี่ยนค่าความต้านทานที่รอยต่อ CE ของทรานซิสเตอร์ และใช้ Op-Amp ขยาย Error Signal โดยมิ Zener Diode เป็นตัวป้อนแรงดันอ้างอิงที่ขา non-inverting ของ Op-Amp ส่วนที่เอาต์พุตใช้ Voltage divider โดย R2 กับ R3 เป็นตัวตรวจสอบความเปลี่ยนแปลงของแรงดัน มายังขา inverting ของ Op-Amp เพื่อควบคุมกระแสเบสของทรานซิสเตอร์ Q1 แรงดันที่เอาต์พุตจึงคงที่

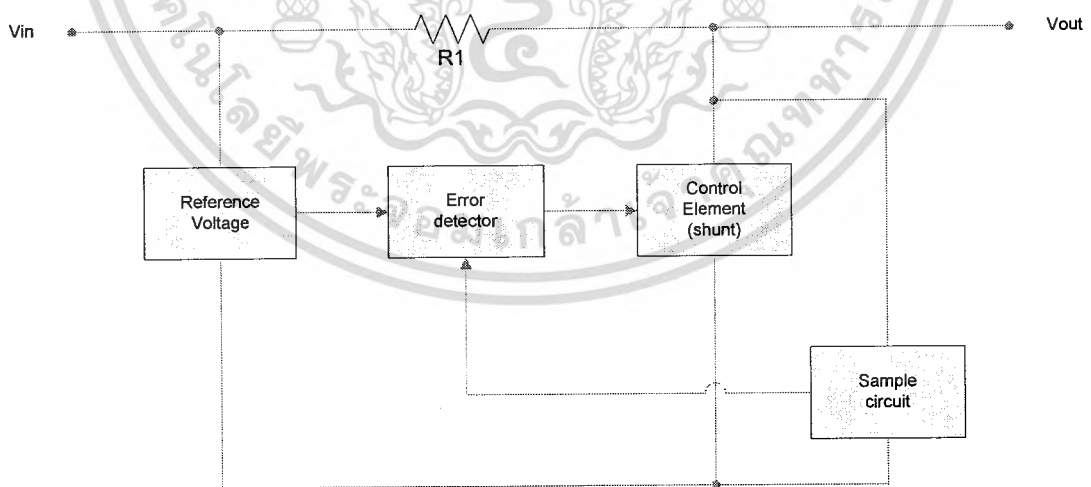
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.16 วงจรรักษาระดับแรงดันแบบอนุกรมโดยใช้ Op-Amp

2.2.2 การรักษาระดับแรงดันคงที่แบบขนาน (Shunt Voltage Regulation)

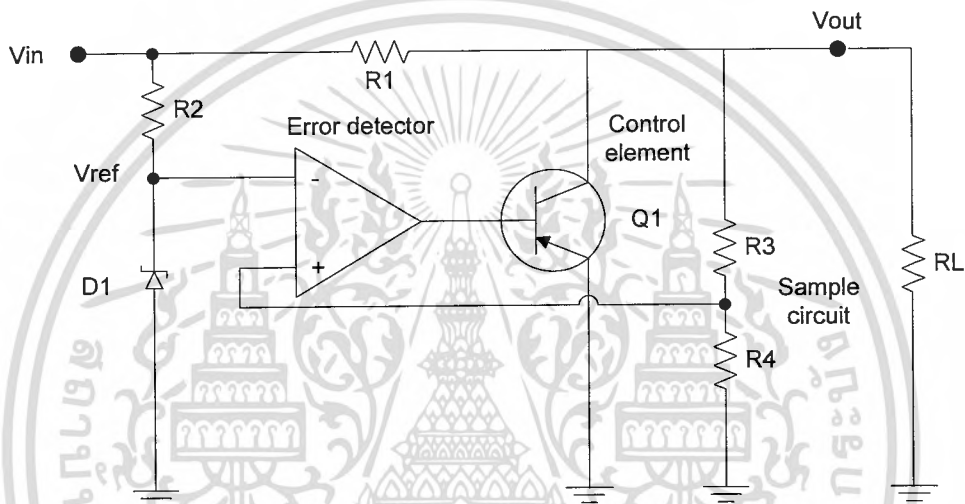
แรงดันขนานเป็นสิ่งที่นำมาไว้ควบคุมโดยใช้หลักการแบ่งกระแส จากโหลดที่ควบคุมอยู่ที่แรงดันเอาต์พุต ตามรูปที่ 2.17 แสดงบล็อกไดอะแกรมของ วงจรรักษาระดับแรงดันคงที่แบบขนาน



รูปที่ 2.17 บล็อกไดอะแกรมวงจรรักษาระดับแรงดันคงที่แบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรรักษาระดับแรงดันแบบขนาน อินพุตที่ไม่ได้ถูกควบคุมมาถึงแรงดันและกระแสไปยังโหลดกระแสบางส่วนจะถูกดึงลงโดยส่วน Control Element เพื่อไปควบคุมแรงดันเอาต์พุตที่ตกคร่อมโหลดถ้าแรงดันเอาต์พุตเปลี่ยน อันเนื่องมาจากการเปลี่ยนโหลด ส่วนของการลุ่มตัวอย่างจะป้อนสัญญาณกลับไปยังวงจรเปรียบเทียบโดยที่ส่วนของ ควบคุมสัญญาณ จะเปลี่ยนแปลงตามกระแสที่ขนานมาจากโหลดในขณะที่แรงดันเอาต์พุตถูกทำให้เพิ่มขึ้น จะทำให้วงจรลุ่มตัวอย่าง จะป้อนกลับมาให้กลับวงจรเปรียบเทียบโดยส่งให้ Control Element ดึงกระแสขนานให้มากขึ้น จะทำให้กระแสโหลดลดลง ดังนั้น จะรักษาระดับแรงดันได้ดีขึ้น



รูปที่ 2.18 วงจรรักษาระดับแรงดันแบบขนานโดยใช้ Op-Amp

วงจรรักษาระดับแรงดันแบบขนานมีลักษณะการต่อดังรูปที่ 2.4 เมื่อความต้านทานที่โหลดเพิ่มขึ้นแรงดันทางด้านเอาต์พุตเพิ่มขึ้นและจากวงจร Voltage divider ซึ่งทำหน้าที่เป็นวงจร Sample circuit ต่อมายังขา non-inverting เปรียบเทียบเทียบกับแรงดันอ้างอิงโดย Zener diode ที่ต่ออยู่กับขา inverting ของ Op-Amp ลักษณะเช่นนี้จะส่งผลให้ กระแสไบอัสที่ขาเบสเพิ่มขึ้น ทรานซิสเตอร์จะดึงกระแสหลักของวงจร ทำให้แรงดันเอาต์พุตลดลงเข้าสู่ค่าเดิม

2.3 Psoc Microcontroller

ในปัจจุบันเทคโนโลยีระบบฝังตัว (Embedded system) ได้เข้ามามีบทบาทอย่างมาก อุปกรณ์ไฟฟ้าอิเล็กทรอนิกส์ต่างๆ ได้มีการเพิ่มหน่วยประมวลผลเข้าไปในตัวมัน ในขณะที่เทคโนโลยีของหน่วยประมวลผลได้มีการพัฒนาอยู่ตลอดเวลา โดยทั่วไปแล้ววงจรควบคุมการทำงานของอุปกรณ์อิเล็กทรอนิกส์ต่างๆ อาจอยู่ในรูปของวงจรดิจิทัลทั่วๆ ไปก็ได้ แต่ในปัจจุบันจะพบว่าระบบฝังตัวจะใช้ไมโครคอนโทรลเลอร์มากขึ้น เนื่องจากมีความยืดหยุ่นสูง ทำให้การควบคุมการทำงานจะเน้นไปที่การพัฒนาทางซอฟต์แวร์ (Software) แทนการพัฒนาทางด้านฮาร์ดแวร์ (Hardware) เช่นในอดีต ส่วนใหญ่ผู้พัฒนาระบบฝังตัวจะให้ความสำคัญกับไมโครโปรเซสเซอร์ หรือไมโครคอนโทรลเลอร์เป็นหลัก การแบ่งระดับความซับซ้อนมากๆ จะใช้ไมโครโปรเซสเซอร์ที่มีคุณภาพสูงเป็นหน่วยประมวลผลกลาง เช่นตระกูล x86 ของบริษัทอินเทล สำหรับระบบฝังตัวขนาดเล็กจะใช้ไมโครคอนโทรลเลอร์ที่มีการประมวลผลแบบ 4 บิต หรือ 8 บิต ไมโครคอนโทรลเลอร์ที่เหมาะสมสำหรับการศึกษาและสร้างโครงงานนี้ก็คือ Psoc Microcontroller ซึ่งมีรายละเอียด คุณสมบัติ และการใช้งานที่เกี่ยวข้องกับโครงงานนี้ดังต่อไปนี้

2.3.1 คุณสมบัติทั่วไปเกี่ยวกับไมโครคอนโทรลเลอร์ Psoc

Psoc เป็นไมโครคอนโทรลเลอร์ของค่าย Cypress Microsystems โดยเป็นไมโครคอนโทรลเลอร์ที่มีการประมวลผลข้อมูลขนาด 8 บิต แต่คุณสมบัติที่แตกต่างไปจากไมโครคอนโทรลเลอร์ตระกูลอื่นก็คือ Psoc MCU จะรวมเอาการออกแบบทั้งทางด้านดิจิทัล และ อนาล็อก มารวมไว้ด้วยกัน ทำให้การออกแบบสามารถลดความยุ่งยากระหว่าง อุปกรณ์ดิจิทัลและอนาล็อกได้ อีกทั้ง Psoc ยังมีความคล่องตัวสูงในเรื่องสัญญาณนาฬิกาที่หลากหลาย และมีฟังก์ชัน In-System Serial Programming (ISSP) ที่สามารถทำการโปรแกรมชอว์โค้ดที่ได้ออกแบบลงในหน่วยความจำโปรแกรม (Flash Memory) ภายในตัวชิปได้ ซึ่งจะช่วยให้การพัฒนาโปรแกรมให้กับไมโครคอนโทรลเลอร์มีความสะดวกสบายมากขึ้น



รูปที่ 2.19 ฮาร์ดแวร์และอุปกรณ์เชื่อมต่อของชุด PsoC Microcontroller

จุดเด่นของ PsoC MCU เมื่อเทียบกับไมโครคอนโทรลเลอร์อื่นๆ

- User Modules : สามารถเลือกใช้ทรัพยากรของระบบได้ทั้งในส่วนของ อนุalog และ ดิจิตอล ไม่ถูกจำกัดด้วยโครงสร้างทางฮาร์ดแวร์
- API (Application Programming Interface) : สนับสนุนการพัฒนาโปรแกรมด้วยฟังก์ชัน API ทำให้ออกแบบโปรแกรมได้โดยง่าย
- ISRs (Interrupt Service Routines) : สนับสนุนและรองรับการทำงานแบบอินเทอร์รัพท์
- Interconnect device interface : สามารถทำการเชื่อมต่อสัญญาณต่างๆ ได้อย่างอิสระไม่ถูกกำหนดตายตัวทางฮาร์ดแวร์

คุณสมบัติของ PsoC CY8C29666

- สถาปัตยกรรมแบบ Harvard Architecture Processor
- ความเร็วของ MCU Processor สูงสุด 24 MHz
- 8 x 8 Multiply, 32-Bit Accumulate
- Low Power at High Speed
- ทำงานในช่วงแรงดัน 3.0 ถึง 5.25 v
- สามารถทำงานด้วยแรงดันที่ต่ำสุดที่ 1.0v โดยใช้วงจร Switch Mode Pump (SMP) ภายในชิพ
- 12 Analog PsoC Blocks รองรับการใช้งานทางด้านอนุalog เช่น

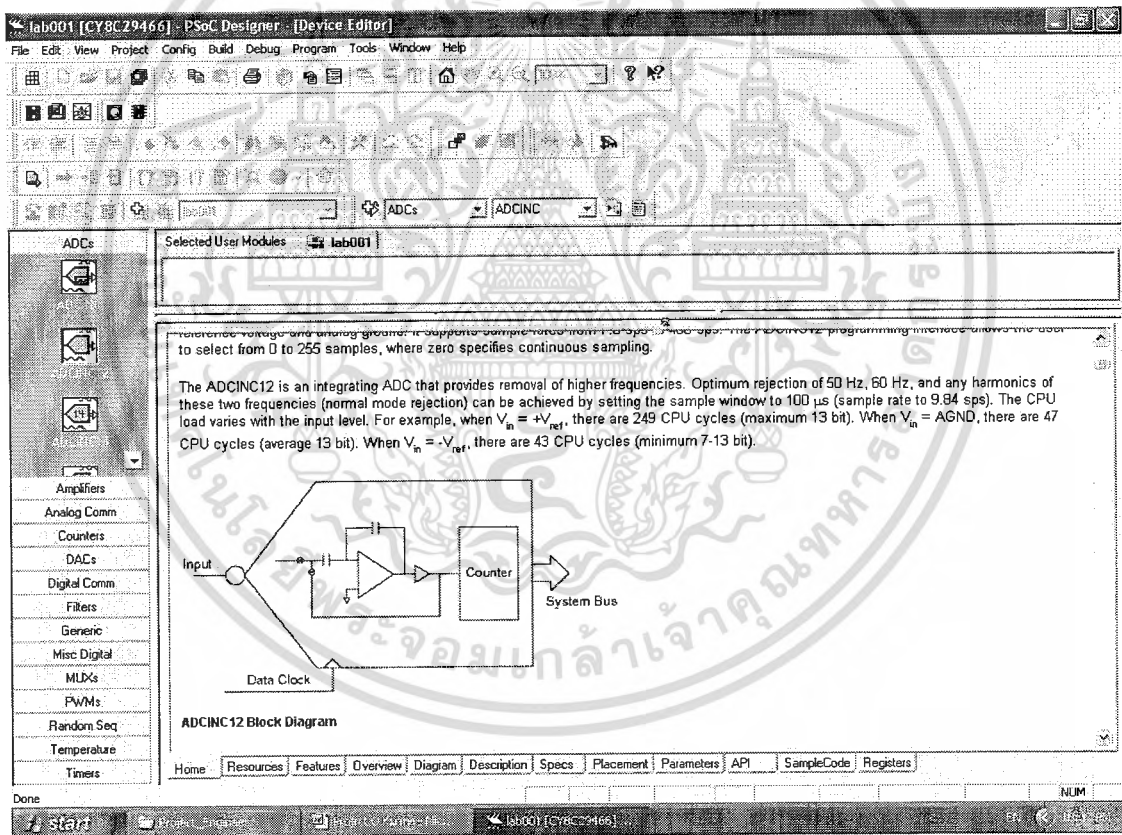
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- ADCs ความละเอียดสูงสุดถึง 14 บิต
- DACs ความละเอียดสูงสุดถึง 9 บิต
- วงจรควบคุมเกนส์การขยาย (Programmable Gain Amplifiers)
- วงจรฟิลเตอร์ และ วงจรคอมพาราเตอร์ (Programmable Filters and Comparators)
- 8 Digital PsoC Blocks รองรับการใช้งานทางด้านอนาลอก เช่น
 - Timers, Counters และ PWMs ขนาด 8 ถึง 32 บิต
 - CRC และ PRS โมดูล
 - UARTs แบบ Full-Duplex สูงสุด 2 ช่อง
 - SPI โมดูล เป็นได้ทั้งแบบ Master และ Slave
 - ดิจิตอลบล็อกต่างๆ สามารถเชื่อมต่อไปยังขาสัญญาณ GPIO ได้ทุกขาสัญญาณ
- สามารถกำหนดความถี่สัญญาณนาฬิกาภายในได้หลายระดับ มีค่าความคลาดเคลื่อน +/- 2.5% อีกทั้งยังสามารถเลือกใช้แหล่งกำเนิดสัญญาณนาฬิกาจากภายใน 24/48 MHz หรือต่อใช้งานจากภายนอกก็ได้ แต่จะรับความถี่ได้สูงสุด 24 MHz
- มีสัญญาณนาฬิกาภายในให้กับ Watchdog และ Sleep
- หน่วยความจำโปรแกรมแบบ Flash ขนาด 32K Byte สามารถ Erase/Write ได้ถึง 50,000 ครั้ง
- หน่วยความจำข้อมูล SRAM ขนาด 2 KByte
- ฟังก์ชันการโปรแกรมภายใน ISSP (In-System Serial Programming)
- สามารถเปลี่ยนแปลงข้อมูล Flash Memory เฉพาะบางส่วนได้
- สามารถตั้งค่านระบบป้องกันข้อมูล (ใช้จาก Flash Memory)
- ขาสัญญาณ GPIO จำนวน 24 ขาสัญญาณ
- สามารถกำหนด Drive Mode ของขาสัญญาณ GPIO ได้ เช่น Pull-Up, Pull-Down, High-z-Strong หรือ Open Drain
- ขาสัญญาณอนาลอกอินพุตสูงสุด 12 ขาสัญญาณ(ขาสัญญาณของ GPIO)
- ขาสัญญาณอนาลอกเอาต์พุตสูงสุด 4 ขาสัญญาณ(ขาสัญญาณของ GPIO) จ่ายกระแสได้ถึง 40 mA
- สามารถกำหนดการอินเทอร์รัพท์ได้ทุกสัญญาณขาของ GPIO
- I2C โหมด Slave , Master และ Multi-Master ความเร็วสูงสุด 400 MHz
- Watchdog และ Sleep Timer

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- สามารถตั้งค่าตรวจจับแรงดันต่ำได้ (Low Voltage Detection)
- Integrated Supervisory Circuit
- On-Chip Precision Voltage Reference

จะเห็นได้ว่า PsoC MCU เป็นไมโครคอนโทรลเลอร์ที่มีคุณสมบัติที่ถือว่าครบถ้วนมาก การออกแบบจะใช้ซอฟต์แวร์ PsoC Designer ในการออกแบบ ซึ่งซอฟต์แวร์ดังกล่าวมีลักษณะของกราฟฟิค หรือเป็นแบบ วิสซวล (Visual) เช่นการเลือกโมดูลต่างๆ หรือการกำหนดค่า Configuration ต่างๆ ในการเขียนโปรแกรมจะเป็นการใช้งาน API ที่ PsoC Designer ได้จัดเตรียมไว้ให้แล้ว

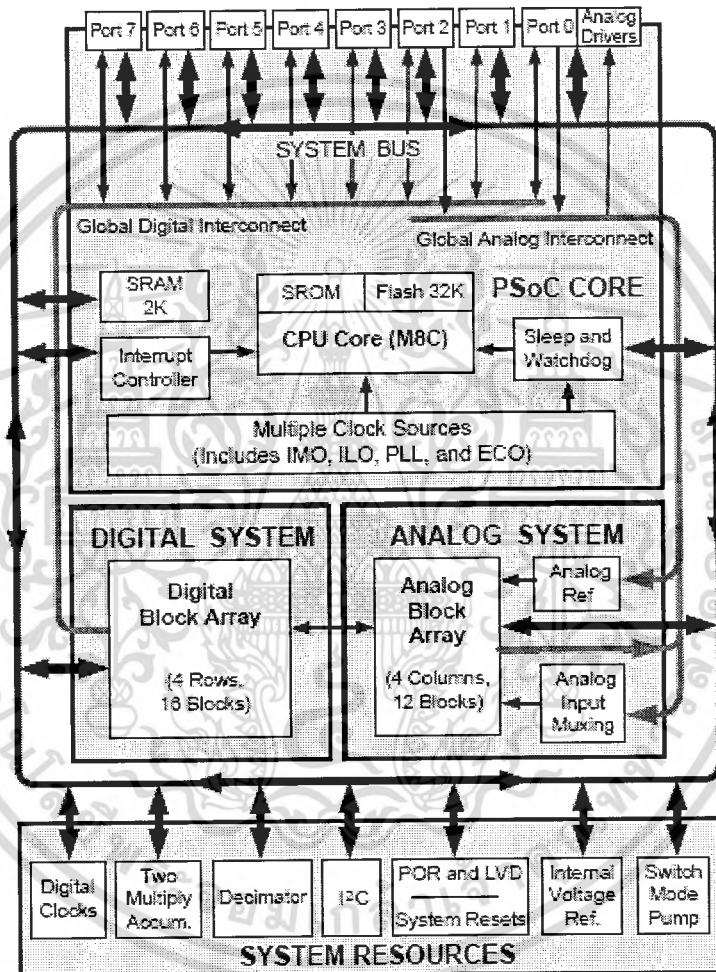


รูปที่ 2.20 การใช้โมดูลภายในแบบวิสซวลซึ่งอยู่ภายใน PsoC microcontroller

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2 โครงสร้างหลักของ PsoC MCU

ไมโครคอนโทรลเลอร์ PsoC โครงสร้างภายในจะประกอบด้วยส่วนต่างๆ มากมาย แบ่งเป็น 4 ส่วนหลักๆ คือ PsoC Core, Digital Systems, Analog Systems, Systems Resources โดยแต่ละส่วนจะเชื่อมต่อกันด้วยระบบบัส



รูปที่ 2.21 บล็อกไดอะแกรมของ PsoC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

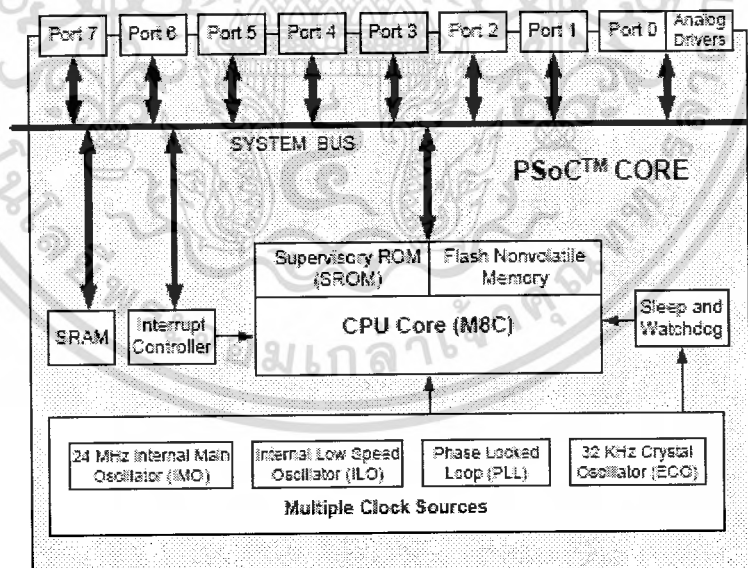
2.3.2.1 Psoc Core

เป็นส่วนหลักของการประมวลผล ซึ่งจะดูแลส่วนต่างๆ เช่นการประมวลคำสั่ง การจัดเก็บข้อมูลลงในหน่วยความจำ SRAM การควบคุมการอินเตอร์รัพท์ การเลือกแหล่งกำเนิดสัญญาณนาฬิกา ซึ่งส่วนที่จัดการหน้าที่เหล่านี้คือ M8U เป็นสถาปัตยกรรมไมโครคอนโทรลเลอร์แบบ 8 บิต นอกจากนี้ภายใน Psoc Core ยังมีหน่วยความจำแบบ

Flash Memory สำหรับจัดเก็บโปรแกรมคำสั่ง หรือหน่วยความจำโปรแกรม

Supervisory ROM (SROM) หรือหน่วยความจำโปรแกรมภายใน ทำหน้าที่ควบคุมระบบการทำงานภายในของไมโครคอนโทรลเลอร์ เช่น การ Boot การ Calibrate วงจรภายใน และการจัดเก็บข้อมูลกับ Flash memory

SRAM หน่วยความจำ RAM ภายในสำหรับใช้ในการเก็บข้อมูลระหว่างการทำงานของโปรแกรม

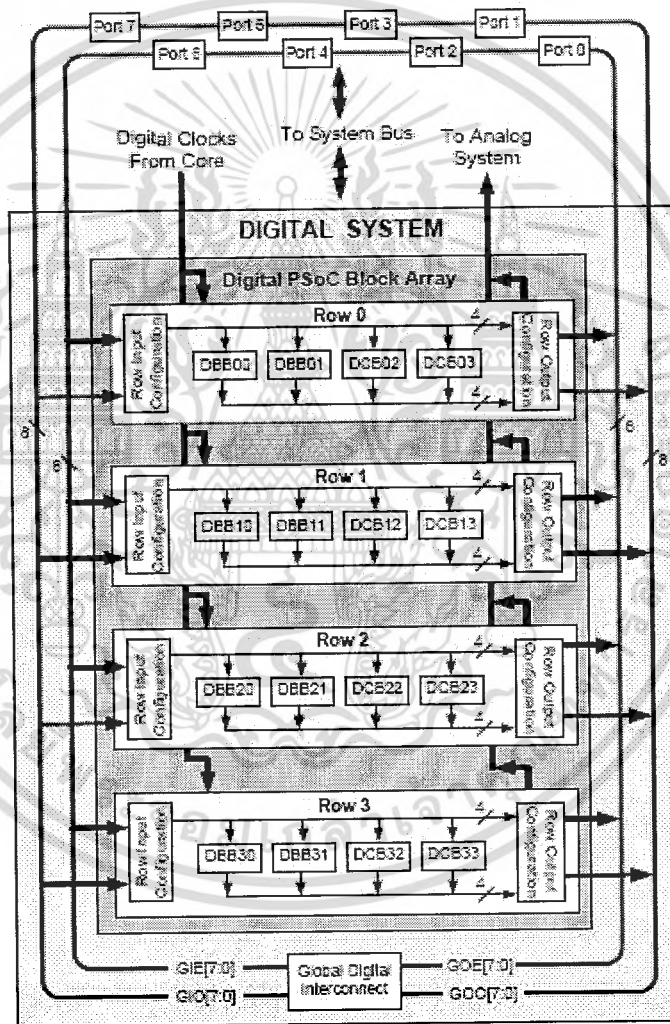


รูปที่ 2.22 Psoc Core System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2.2 Digital System

เป็นระบบของดิจิทัลบล็อกที่วางอยู่ในรูปแบบของบล็อกอาร์เรย์(array block) ในส่วนของ Digital System เป็นพื้นที่การทำงานทาง Hardware ที่แยกเป็นอิสระจาก PsoC Core โครงสร้างส่วนนี้ผู้ใช้สามารถกำหนดคุณสมบัติฟังก์ชันทางดิจิทัลได้ตามความต้องการ

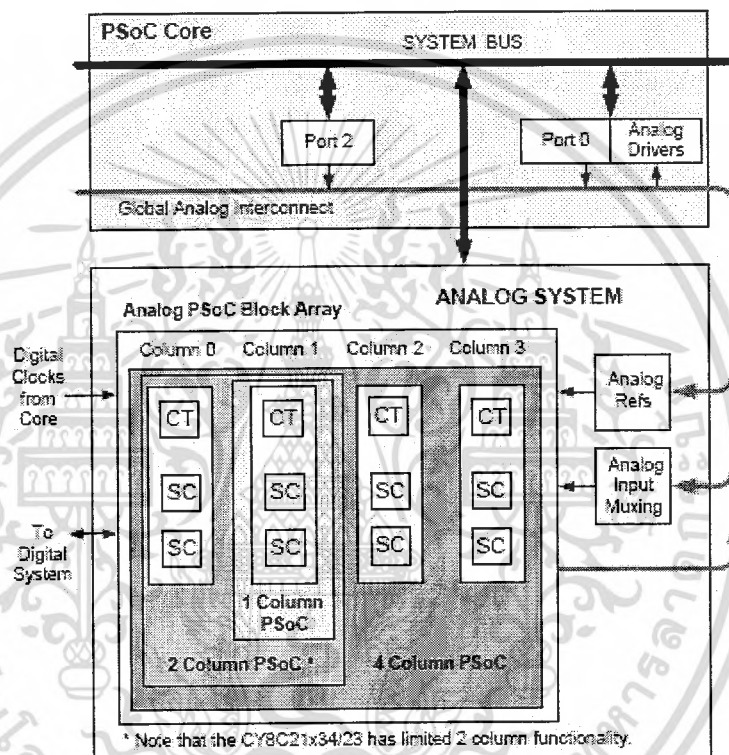


รูปที่ 2.23 โครงสร้างบล็อก ของ Digital System

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.2.3 Analog System

เป็นพื้นที่การทำงานของระบบอนาล็อก โดยมีลักษณะเป็นส่วนการทำงานทางฮาร์ดแวร์ที่แยกเป็นอิสระจาก PSoC Core เช่นเดียวกับ Digital System โดยโครงสร้างในส่วนนี้ผู้ใช้สามารถกำหนดคุณสมบัติฟังก์ชันทางด้านอนาล็อกให้แก่ชิพไมโครคอนโทรลเลอร์ได้ เช่น Amplifier , ADC และ DAC เป็นต้นสำหรับชิพรุ่น CY29-Series มีพื้นที่ให้งานได้ 12 Analog Block ดังรูปที่



รูปที่ 2.24 พื้นที่การใช้งานทางอนาล็อกของชิพ PsoC CY29-Series

2.3.2.4 System Resources

เป็นส่วนของทรัพยากรรวมภายในระบบ ซึ่งแต่ละส่วนของระบบไมโครคอนโทรลเลอร์สามารถติดต่อถึงกันได้โดยผ่านทางซิสเต็มบัส (System Bus) ประกอบไปด้วย

Digital Clock สำหรับควบคุมสัญญาณนาฬิกา

Multiply Accumulate (MAC)

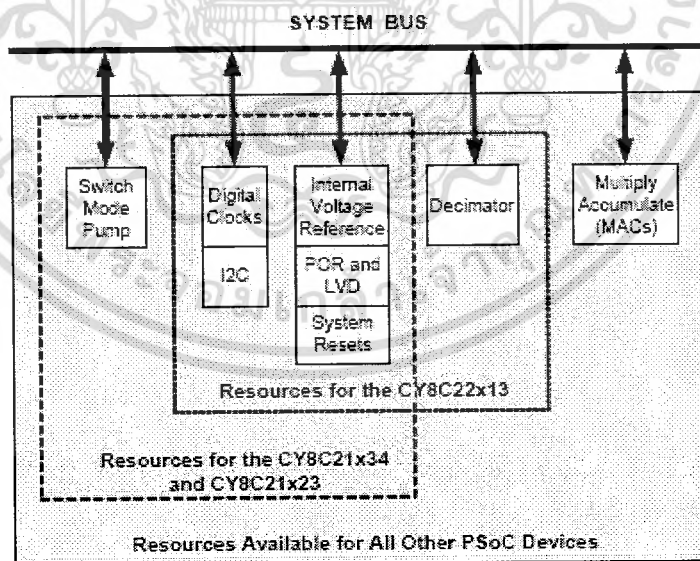
Decimator

I2C สำหรับการสื่อสารด้วยรูปแบบ I2C

POR and LVD สำหรับการควบคุมระบบ Reset และระบบตรวจสอบแรงดันไฟเลี้ยงที่ต่ำกว่ากำหนด

Internal Voltage Reference แรงดันอ้างอิงภายใน สามารถกำหนดใช้งานเป็นค่าแรงดันอ้างอิงภายในให้แก่วงจร ADC หรือส่งผ่านค่าแรงดันอ้างอิงออกมาสู่ขาสัญญาณเพื่อนำออกไปใช้งานภายนอกได้

Switch Mode Pump โหมคควบคุมการทำงานสำหรับบูตค่าแรงดันไฟเลี้ยงขณะที่ไฟเลี้ยงมีระดับต่ำ ให้มีแรงดันสูงขึ้นและเพียงพอสำหรับการทำงานของระบบไมโครคอนโทรลเลอร์ที่ประยุกต์ใช้งานกับแบตเตอรี่



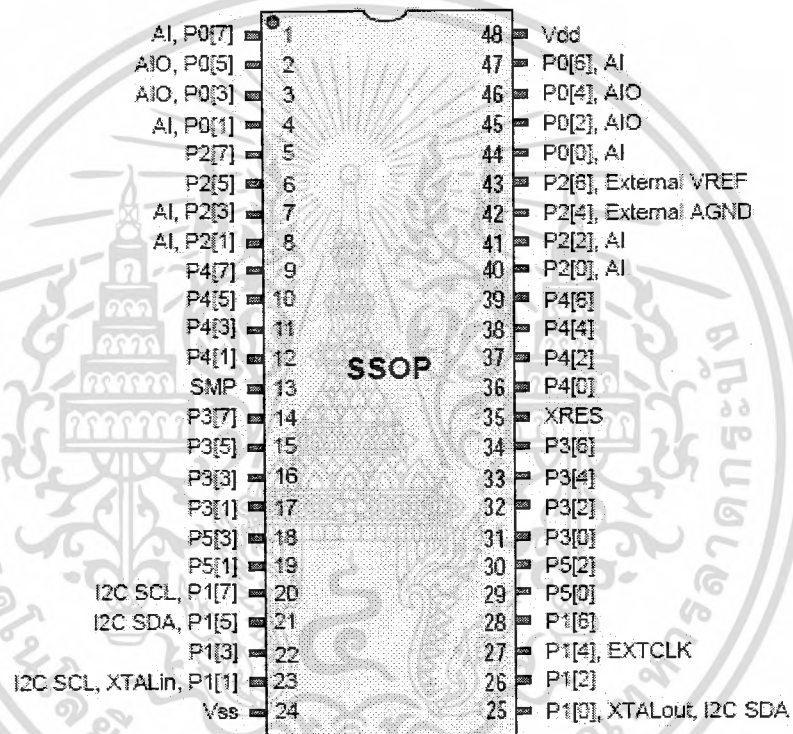
รูปที่ 2.25 System Resource

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3.3 ขาสัญญาณอินพุต เอาท์พุท (GPIO : General Purpose IO)

คุณสมบัติทางด้านขาสัญญาณ I/O (Input/Output) ของ PsoC MCU ซึ่งขาสัญญาณของ PsoC MCU นั้นสามารถทำงานได้ในทั้งส่วนของ ขาสัญญาณดิจิทัลและ ขาสัญญาณอนาล็อก ซึ่งในการใช้งานจะผ่านทางรีจิสเตอร์ต่างๆ

CY8C29666 48-Pin PSoC Device



รูปที่ 2.26 ขาสัญญาณและพอร์ตของ PsoC CY8C29666

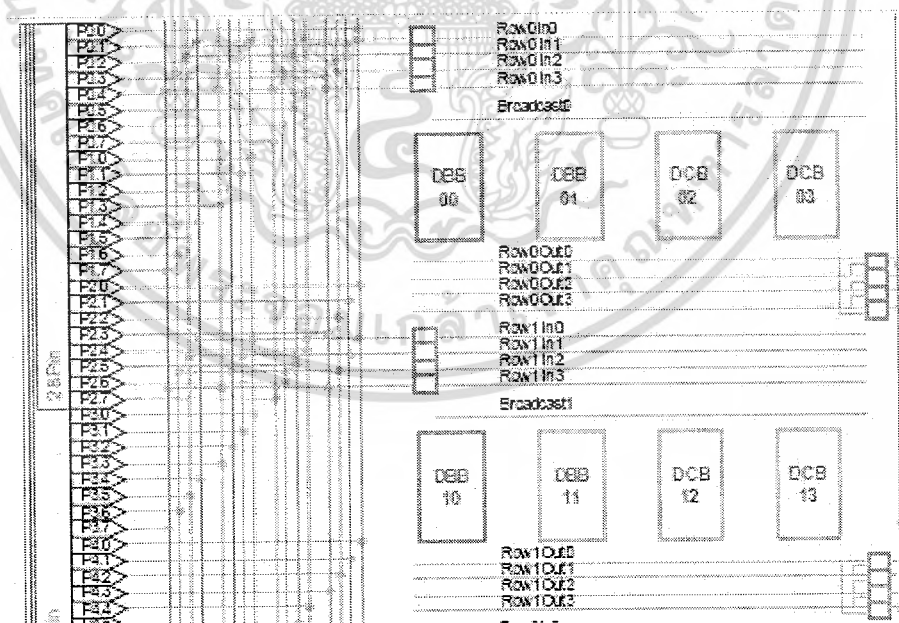
ขาสัญญาณ I/O ของ PsoC MCU ประกอบไปด้วย บัฟเฟอร์อินพุต และ วงจรขับทางด้านเอาท์พุทโดยปกติขาสัญญาณเหล่านี้จะถูกจัดไว้เป็นพอร์ต ซึ่งปกติ 1 พอร์ต จะมีทั้งหมด 8 บิต แต่จะมีบางกรณีที่พอร์ตนั้นมีขาสัญญาณไม่ถึง 8 บิต ขาสัญญาณ I/O ต่างๆเหล่านี้สามารถทำงานในลักษณะต่างๆได้ดังนี้

2.3.3.1 Digital IO

สำหรับการอ่านหรือเขียนค่าไปที่พอร์ทซึ่ง M8C ต้องติดต่อผ่านทางรีจิสเตอร์ PRTxDR สถานะรีจิสเตอร์ส่งผลโดยตรงกับ I/O Pin ของPsoc MCU เช่น ในการเขียนข้อมูลลอจิกไปยังพอร์ทผ่านรีจิสเตอร์ PRTxDR ข้อมูลดังกล่าวจะถูกเปลี่ยนให้เป็นสถานะทางไฟฟ้าปรากฏที่สัญญาณขาต่างๆ ส่วนในกรณีอ่านข้อมูลจากพอร์ท หน่วยประมวลผลสามารถอ่านค่าสถานะไฟฟ้าจากขาสัญญาณ I/O ได้จากรีจิสเตอร์ PRTxDR ด้วยเช่นกัน ซึ่งสถานะทางไฟฟ้าจะเปลี่ยนเป็นสถานะทางลอจิกแล้วส่งมาที่รีจิสเตอร์ PRTxDR

2.3.3.2 Global IO

Global IO จะถูกใช้เป็นส่วนเชื่อมต่อ (interconnect) ระหว่าง Psoc Block กับขาสัญญาณภายนอกโดยจะเชื่อมต่อผ่าน Global In และ Global Out เราสามารถทำการเชื่อมโยงสัญญาณจาก GPIO เข้ามายัง Global In และ Global Out แล้วนำไปเชื่อมต่อกับ Psoc Block ต่างๆได้ตามความต้องการ ซึ่งในการออกแบบสามารถใช้โปรแกรม Psoc Designer ซึ่งวิธีออกแบบเป็นลักษณะวิซวล หรือ กราฟฟิก และไม่จำเป็นต้องเข้าไปเซตค่ารีจิสเตอร์ใดๆเลยดังแสดงในรูปที่ 2.27



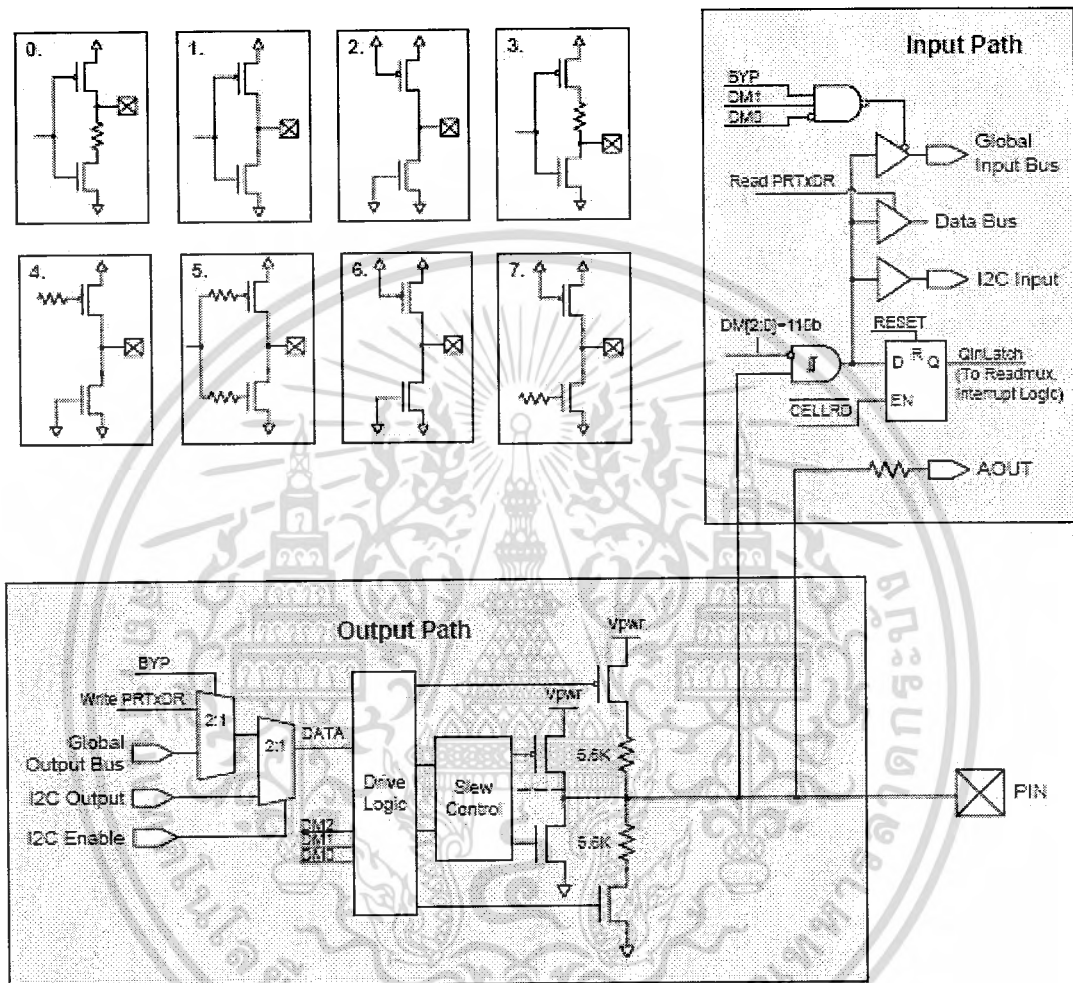
รูปที่ 2.27 การเชื่อม Block ต่อภายในกับขาสัญญาณภายนอกแบบกราฟฟิก

2.3.3.3 Analog IO

เป็นขาสัญญาณ Input/Output อนาล็อก ซึ่งจะเชื่อมต่อขาสัญญาณภายนอกกับสัญญาณภายใน
อนาล็อกบล็อก ผ่านขาสัญญาณ AOUT โดยจะต่อตัวต้านทานภายในประมาณ 300 โอห์ม สำหรับ
ในโหมดของอนาล็อก ชนิดของ GPIO จะเป็น High Impedance Analog Drive Mode (Hi-Z)

Drive Modes				Diagram Number		
DM2	DM1	DM0	Drive Mode		Data = 0	Data = 1
0	0	0	Resistive Pull Down	0	Resistive	Strong
0	0	1	Strong Drive	1	Strong	Strong
0	1	0	High Impedance	2	Hi-Z	Hi-Z
0	1	1	Resistive Pull Up	3	Strong	Resistive
1	0	0	Open Drain, Drives High	4	Hi-Z	Strong (Slow)
1	0	1	Slow Strong Drive	5	Strong (Slow)	Strong (Slow)
1	1	0	High Impedance Analog	6	Hi-Z	Hi-Z
1	1	1	Open Drain, Drives Low	7	Strong (Slow)	Hi-Z

รูปที่ 2.28 การเซตบิตของรีจิสเตอร์ PRTxDMx[2:0] เพื่อเลือก Drive Mode ของ Analog IO



รูปที่ 2.29 โค้ดแกรมของการ Drive ใน Mode ต่างๆ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ขาสัญญาณ GPIO ที่ทำหน้าที่เป็นสัญญาณ Analog Input/Output ซึ่งสามารถเชื่อมต่อกับ Analog Block ได้จะมีทั้งหมด 4 ขาสัญญาณคือ ขาสัญญาณ PO[2], PO[3], PO[4] และ PO[5] ดังรูป

ตารางที่ 2.2 ก. ขาสัญญาณ I/O และหน้าที่การทำงาน

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P0[7]	Analog column mux input.
2	IO	IO	P0[5]	Analog column mux input and column output.
3	IO	IO	P0[3]	Analog column mux input and column output.
4	IO	I	P0[1]	Analog column mux input.
5	IO		P2[7]	
6	IO		P2[5]	
7	IO	I	P2[3]	Direct switched capacitor block input.
8	IO	I	P2[1]	Direct switched capacitor block input.
9	IO		P4[7]	
10	IO		P4[5]	
11	IO		P4[3]	
12	IO		P4[1]	
13	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
14	IO		P3[7]	
15	IO		P3[5]	
16	IO		P3[3]	
17	IO		P3[1]	
18	IO		P5[3]	
19	IO		P5[1]	
20	IO		P1[7]	I2C Serial Clock (SCL)
21	IO		P1[5]	I2C Serial Data (SDA)
22	IO		P1[3]	
23	IO		P1[1]	Crystal (XTALin), I2C Serial Clock (SCL)
24	Power		Vss	Ground connection.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 ข. ขาสัญญาณ I/O และหน้าที่การทำงาน

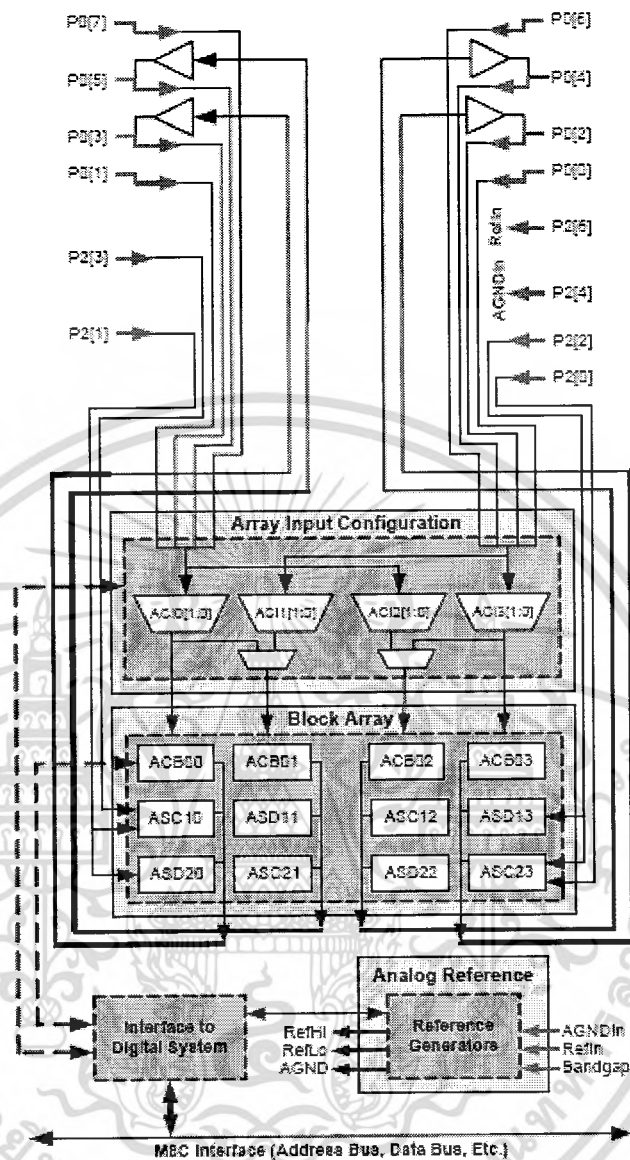
25	IO		P1[0]	Crystal (XTALout), I2C Serial Data (SDA)
26	IO		P1[2]	
27	IO		P1[4]	Optional External Clock Input (EXTCLK)
28	IO		P1[6]	
29	IO		P5[0]	
30	IO		P5[2]	
31	IO		P3[0]	
32	IO		P3[2]	
33	IO		P3[4]	
34	IO		P3[6]	
35	Input		XRES	Active high pin reset with internal pull down.
36	IO		P4[0]	
37	IO		P4[2]	
38	IO		P4[4]	
39	IO		P4[6]	
40	IO	I	P2[0]	Direct switched capacitor block input.
41	IO	I	P2[2]	Direct switched capacitor block input.
42	IO		P2[4]	External Analog Ground (AGND)
43	IO		P2[6]	External Voltage Reference (VREF)
44	IO	I	P0[0]	Analog column mux input.
45	IO	IO	P0[2]	Analog column mux input and column output.
46	IO	IO	P0[4]	Analog column mux input and column output.
47	IO	I	P0[6]	Analog column mux input.
48	Power		Vdd	Supply voltage.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.3 ชื่อและความหมายของอินพุท เอาท์พุทต่างๆ

Acronym	Description
AC	alternating current
ADC	analog-to-digital converter
API	application programming interface
CPU	central processing unit
CT	continuous time
DAC	digital-to-analog converter
DC	direct current
EEPROM	electrically erasable programmable read-only memory
FSR	full scale range
GPIO	general purpose IO
IO	input/output
IPOR	imprecise power on reset
LSb	least-significant bit
LVD	low voltage detect
MSb	most-significant bit
PC	program counter
POR	power on reset
PPOR	precision power on reset
PSoC™	Programmable System-on-Chip
PWM	pulse width modulator
RAM	random access memory
ROM	read only memory
SC	switched capacitor
SMP	switch mode pump

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.30 การเชื่อมต่อระหว่างพอร์ทกับ Analog IO

2.3.4 ระบบสัญญาณนาฬิกา

ระบบสัญญาณนาฬิกาของ PSoC MCU เป็นระบบที่มีความหลากหลาย ก่อนข้างซับซ้อน และมีรายละเอียดการทำงานต่างๆ มากมาย หากศึกษาอย่างเข้าใจแล้วจะพบว่า เป็นระบบที่มีโครงสร้างที่มีประสิทธิภาพดีมาก ซึ่งสามารถแบ่งแหล่งกำเนิดสัญญาณนาฬิกาออกเป็นส่วนต่างๆ ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) สัญญาณนาฬิกาหลักภายใน

เป็นแหล่งกำเนิดสัญญาณนาฬิกาหลัก กำเนิดสัญญาณนาฬิกาภายใน PsoC MCU โดยสามารถผลิตสัญญาณนาฬิกาได้ ความถี่ 24MHz เรียกว่า SYSCLK และยังมีวงจรคูณความถี่เป็นสองเท่า (Clock Double) ซึ่งจะทำให้ได้ความถี่เป็น 48MHz เรียกว่า SYSCLK2X โดยสามารถเลือกใช้งานได้

นอกจากนี้ยังสามารถปรับแต่งความถี่(Trim) ได้อีกด้วยโดยใช้รีจิสเตอร์ IMO_TR ที่ใช้สำหรับปรับค่าความถี่ของสัญญาณนาฬิกาเพื่อให้มีความเที่ยงตรงมากขึ้น

ในการผลิตสัญญาณความถี่นี้ จะได้สัญญาณอินพุตมาจากแหล่งกำเนิดสัญญาณออสซิลเลเตอร์ ความถี่ 32 KHz จากภายในตัว PsoC MCU ค่าความคลาดเคลื่อนของสัญญาณนาฬิกา ทั้ง 24 และ 48 MHz จะอยู่ที่ +/- 2.5% ซึ่งมีผลมาจากสภาวะของอุณหภูมิและแรงดัน (3.3V +/- 0.3V และ 5V +/- 5%) โดยการใช้งานออสซิลเลเตอร์แบบภายในมีข้อดีคือไม่จำเป็นต้องต่ออุปกรณ์ภายนอกใดๆ แต่อาจจะมีปัญหาความคลาดเคลื่อนอยู่บ้าง ดังนั้นหากใช้ความถี่สูงๆ ควรจะใช้ ออสซิลเลเตอร์จากภายนอก (ECO) ซึ่งโมดูลของ IMO จะสนับสนุนการใช้สัญญาณนาฬิกาจากภายนอกด้วย โดยอาศัยสัญญาณจากวงจร Phase Locked Loop (PLL) ซึ่งอินพุตของ PLL นี้จะได้จากสัญญาณ 32KHz ของคริสตัลออสซิลเลเตอร์ภายนอก (ECO)

ความเร็วในการทำงานของ MCU นั้นเลือกได้หลายระดับ โดยนำสัญญาณนาฬิกาของระบบ SYSCLK 24 MHz มาหารด้วยอัตราส่วนต่างๆซึ่งกำหนดไว้โดยรีจิสเตอร์ OSC_CR0 ในบิต 2:0 ตามตารางที่ 2.4

ตารางที่ 2.4 แสดงความถี่ของสัญญาณนาฬิกาที่สามารถปรับได้โดยการกำหนดบิตของ รีจิสเตอร์ OSC_CR0

Bits	Divider Source Clock	
	Internal Main Oscillator at 24 MHz	External Clock
0h	24 MHz	EXTCLK / 1
1h	12 MHz	EXTCLK / 2
2h	8 MHz	EXTCLK / 3
3h	6 MHz	EXTCLK / 4
4h	4.8 MHz	EXTCLK / 5
5h	4 MHz	EXTCLK / 6
6h	3.43 MHz	EXTCLK / 7
7h	3 MHz	EXTCLK / 8
8h	2.67 MHz	EXTCLK / 9
9h	2.40 MHz	EXTCLK / 10
Ah	2.16 MHz	EXTCLK / 11
Bh	2.00 MHz	EXTCLK / 12
Ch	1.85 MHz	EXTCLK / 13
Dh	1.71 MHz	EXTCLK / 14
Eh	1.6 MHz	EXTCLK / 15
Fh	1.5 MHz	EXTCLK / 16

2) สัญญาณนาฬิกาแบบความเร็วต่ำภายใน (Internal Low Speed Oscillator (ILO))

เป็นสัญญาณนาฬิกาแบบความเร็วต่ำ (32KHz) ที่อยู่ภายใน PsoC MCU โดยปกติแล้วจะใช้กำหนดสัญญาณให้กับการทำงานในโหมดประหยัดพลังงาน (Sleep) และ Watchdog นอกจากนี้ก็ยังสามารถนำไปใช้เป็นสัญญาณนาฬิกาให้กับ Digital PsoC Blocks ได้อีกด้วย

เราสามารถกำหนดระดับการใช้พลังงานของสัญญาณออสซิลเลเตอร์ ILO ได้ 3 โหมดด้วยกัน โดยการกำหนดค่าให้กับรีจิสเตอร์ ILO_TR ในบิต BiasTrim [5:4] ดังนี้คือ

โหมดปกติ (Normal power mode) เหมาะกับการใช้งานทั่วไปที่ต้องการความถูกต้องของสัญญาณสูง

โหมดพลังงานต่ำ (Low power mod) เหมาะสำหรับการใช้งานในโหมดประหยัดพลังงาน (Sleep) แต่ในโหมดนี้ความถูกต้องของสัญญาณจะต่ำลง

โหมดไม่ใช้งาน Off

เรายังสามารถปรับค่าความถี่ของสัญญาณ (Freq Trim) ได้อีกด้วยโดยการปรับค่ารีจิสเตอร์ ILO_TR ในบิต Trim [3:0] ดังต่อไปนี้

รีจิสเตอร์ ILO_TR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

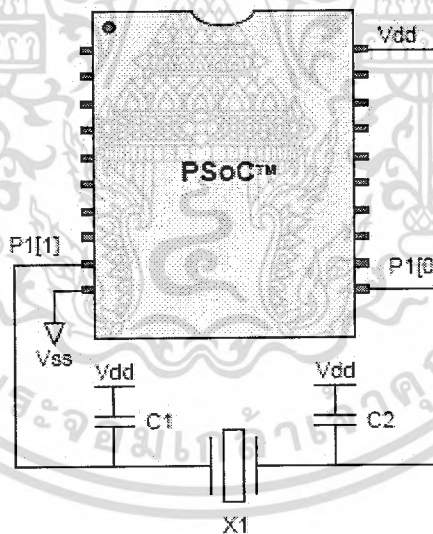
Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Access
1.E4h	ILO_TR									W: 00

ตารางที่ 2.5 การปรับค่ารีจิสเตอร์ ILO_TR ในบิต Trim [3:0] เพื่อปรับค่าความถี่ของสัญญาณ

Bias Current	Bias Trim [1:0]
Medium Bias	00b
Maximum Bias	01b
Minimum Bias	10b
Reserved	11b

3) สัญญาณนาฬิกา 32 KHz จากคริสตัลภายนอก (ECO)

เป็นแหล่งกำเนิดสัญญาณนาฬิกาที่ได้จากภายนอกโดยวงจรคริสตัลลออสซิลเลเตอร์ 32 KHz โดยทำการต่อคริสตัลเข้ากับขาสัญญาณ P1 [1] (XTAL In) และ P1 [0] (XTAL Out) นอกจากนี้ยังต้องต่อตัวเก็บประจุรวมอีกด้วย 2 ตัวดังรูป



รูปที่ 2.31 แสดงการต่อคริสตัลเพื่อให้สัญญาณนาฬิกาภายนอก

สัญญาณนาฬิกาจาก ECO นี้สามารถใช้เป็นฐานเวลาให้กับแหล่งสัญญาณนาฬิกาหลัก (IMO) ได้โดยการเลือกใช้งานในโหมด PLL ซึ่งจะได้สัญญาณนาฬิกาหลัก (IMO) ที่มีความถี่ตรงสูงที่ความถี่ 24 MHz ซึ่งจะเป็นสัญญาณนาฬิกาของระบบ (SYSCLK) นอกจากนี้การต่อสัญญาณนาฬิกาแบบ ECO ยังสนับสนุนการใช้งานคริสตัลความถี่ 32.768 KHz ซึ่งเป็นความถี่ที่ใช้กับ IC นาฬิกา (Real Time Clock (RTC)) เหมาะกับการประยุกต์ใช้งานเป็นนาฬิกา เพราะให้ค่าเวลา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ที่เที่ยงตรงเหมือนกับนาฬิกาทั่วไป การใช้งานออสซิลเลเตอร์ในโหมด ECO นีบิต 7 ของรีจิสเตอร์ OSC_CR0 จะต้องเซตเป็น 1 ด้วย

การใช้งานออสซิลเลเตอร์แบบ ECO นั้นสามารถทำได้โดยกำหนดค่าต่างๆในหน้าต่าง Device Editor ของซอฟต์แวร์ Psoc Designer โดยกำหนด 32K_Select เป็น External และหากต้องการใช้สัญญาณนาฬิกาจาก ECO ทำได้โดยเลือก PLL_Mode เป็น Ext Lock นอกจากนี้จะต้องกำหนดให้ขาสัญญาณ P1[0] เป็น Xtalout และ P1[1] เป็น XtalIn อีกด้วย

เมื่อเราเลือกโหมดสัญญาณนาฬิกาจากภายนอก ECO เมื่อ MCU เริ่มต้นทำงาน หรือหลังจากการรีเซ็ต การทำงานของระบบจะอาศัยสัญญาณนาฬิกาจากภายในไปก่อนระยะหนึ่งเพื่อรอให้สัญญาณจากภายนอก และภายในมีเสถียรภาพ สวิตช์จึงจะทำการเลือกใช้สัญญาณนาฬิกาจากภายนอก และการเลือกใช้สัญญาณ ภายนอกจะให้ความแม่นยำสูง เหมาะแก่งานที่ต้องใช้ความแม่นยำทางสัญญาณนาฬิกาสูง เช่นการใช้งาน DTMF หรือ RS232 เป็นต้น

4) Phase Locked Loop (PLL)

เป็นฟังก์ชันการทำงานในการสร้างสัญญาณนาฬิกาของระบบ โดยอาศัยอินพุตสัญญาณนาฬิกาจากวงจรคริสตอลออสซิลเลเตอร์ภายนอก โดยเอาท์พุตสัญญาณ PLL จะมีค่าความถี่เท่ากับ 23.986 MHz เมื่อใช้ความถี่คริสตอลภายนอกเท่ากับ 32.768 kHz โดยเอาท์พุตของ PLL จะถูกใช้เป็นสัญญาณนาฬิกาของระบบ

5) การทำงานในโหมด Sleep หรือ Watchdog

Sleep Mode หรือโหมดประหยัดพลังงาน ซึ่งก็เพื่อที่จะประหยัดพลังงานของ CPU ให้มากที่สุดเท่าที่จะทำได้ เมื่อสั่งให้ CPU เข้าอยู่ในโหมด Sleep มีผลทำให้ CPU หยุดทำงาน ส่งผลให้แหล่งกำเนิดสัญญาณนาฬิกา 24/48 MHz, หน่วยความจำ FLASH และ bandgap Voltage อยู่ในโหมดพลังงานต่ำ

Watchdog Timer คือ ส่วนที่ทำหน้าที่เฝ้าระวังการทำงานของ CPU โดยจุดประสงค์การทำงานของ Watchdog Timer ก็เพื่อป้องกันการทำงานที่ผิดพลาดของ CPU ซึ่งการผิดพลาดในที่นี้หมายถึง CPU เกิดการค้างไม่สามารถทำงานได้ต่อ โดย Watchdog จะทำการรีเซ็ต CPU ทันทีที่การนับของมันสิ้นสุดลง เพื่อให้ CPU กลับไปตั้งต้นทำงานใหม่ได้

6) Sleep Timer

คือค่าเวลาของการทำงานในโหมด Sleep ซึ่งจะเป็นไทม์เมอร์ขนาด 15Bit แบบนับขึ้น ซึ่งจะนับสัญญาณจากแหล่งกำเนิดสัญญาณนาฬิกา 32 kHz โดยเลือกได้ว่าจะใช้จากภายใน (ILO) หรือภายนอก (ECO) และสามารถเลือกช่วงเวลา Sleep Timer ได้ดังในตาราง

ตารางที่ 2.6 แสดงค่าเวลา Sleep Timer

Sleep Interval OSC_CR[4:3]	Sleep Timer Clocks	Sleep Period (nominal)	Watchdog Period (nominal)
00b (default)	64	1.95 ms	6 ms
01b	512	15.6 ms	47 ms
10b	4,096	125 ms	375 ms
11b	32,768	1 sec	3 sec

การเปิดการทำงานของ Sleep Timer สามารถทำได้โดยการเซตบิตที่ [3] ของรีจิสเตอร์ CPU_SCR0 โดยตรง หรือเซตผ่านค่ามาโครฟังก์ชัน M8C_Sleep ของ M8C

การออกจาก Sleep Mode (Wake up from sleep)

เมื่อเข้าทำงานในโหมด Sleep ระบบต่างๆ จะทำงานด้วยพลังงานที่ต่ำ และในการออกจากการทำงานในโหมด Sleep จะเรียกว่า Wake up เกิดขึ้นจากการอินเทอร์รัพท์และการรีเซ็ตต่างๆ เช่น Sleep timer interrupt , GPIO(pin) interrupt , supply monitor interrupt , และ timers clocked externally เป็นต้น

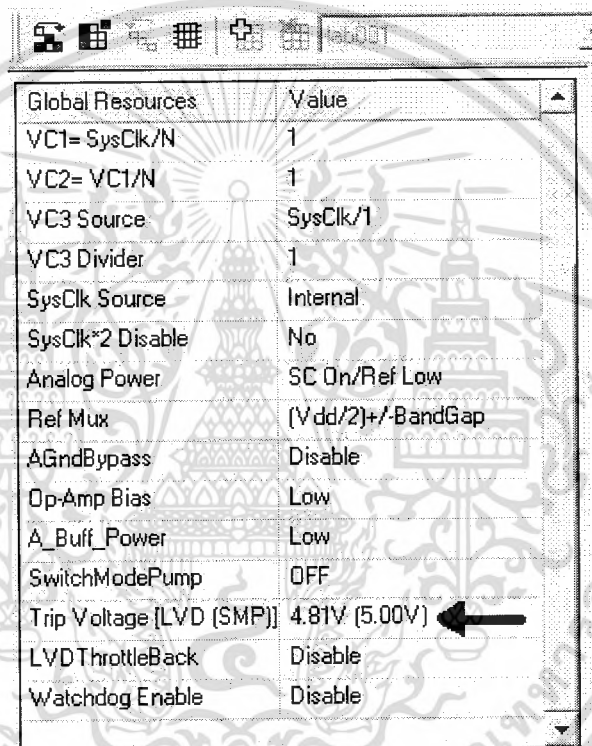
2.3.5 การรีเซ็ตของระบบ (System Resets)

การรีเซ็ตของระบบ มีผลทำให้ CPU กลับไปทำงานในสถานะเริ่มต้น และทำให้รีจิสเตอร์ต่างๆ มีค่าสถานะกลับไปตามค่าของ Default statues โดยการรีเซ็ตมีสาเหตุมาจากเหตุต่างๆ ดังนี้

- Power-on Reset(POR) เป็นการรีเซ็ตที่เกิดจาก แหล่งจ่ายแรงดันของ CPU มีแรงดันต่ำกว่าระดับที่กำหนด(ต่ำกว่าค่าแรงดัน Trip Voltage ที่ตั้งไว้)
- External Reset (XRES) เป็นการรีเซ็ตที่เกิดจากขาสัญญาณ XRES ของ PsoC MCU โดยจะเกิดการรีเซ็ตเมื่อขาสัญญาณ XRES ได้รับสถานะลอจิกสูง (“1”)
- Watchdog Reset (WDR) เป็นการรีเซ็ตที่เกิดจากการทำงานของ Watchdog Timer
- Internal Reset (IRES) การรีเซ็ตที่เกิดขึ้นจากกระบวนการภายใน

1) Power On Reset

เมื่อเริ่มต้นจ่ายพลังงานให้กับ CPU วงจร POR จะทำการรีเซ็ต CPU พร้อมทั้งตรวจสอบแรงดันไฟเลี้ยงที่ขา Vdd กับแรงดัน Trip Voltage [LVD] ซึ่งจะทำให้ CPU อยู่ในสภาวะรีเซ็ตจนกว่า Vdd จะมีค่าสูงกว่าแรงดัน Trip Voltage โดยสามารถกำหนดค่าแรงดัน Trip Voltage ได้จากการกำหนดค่าบิต VM[2:0] (ในรีจิสเตอร์ VLT_CR) หรือกำหนดจากหน้าต่าง Global Resources ในซอฟต์แวร์ Psoc Designer ดังแสดงในรูปที่ 2.32



Global Resources	Value
VC1= SysClk/N	1
VC2= VC1/N	1
VC3 Source	SysClk/1
VC3 Divider	1
SysClk Source	Internal
SysClk*2 Disable	No
Analog Power	SC On/Ref Low
Ref Mux	(Vdd/2)+/-BandGap
AGndBypass	Disable
Op-Amp Bias	Low
A_Buff_Power	Low
SwitchModePump	OFF
Trip Voltage [LVD (SMP)]	4.81V (5.00V)
LVDThrottleBack	Disable
Watchdog Enable	Disable

รูปที่ 2.32 การกำหนดค่าแรงดัน Trip Voltage จากหน้าต่าง Global Resources

2) External Reset (XRES)

การรีเซ็ตนี้เกิดขึ้นเมื่อขาสัญญาณ XRES ได้รับลอจิก “1” โดยทั่วไปต้องต่อตัวต้านทานแบบ Pull Down ให้กับขาสัญญาณนี้

3) Watchdog Timer Reset

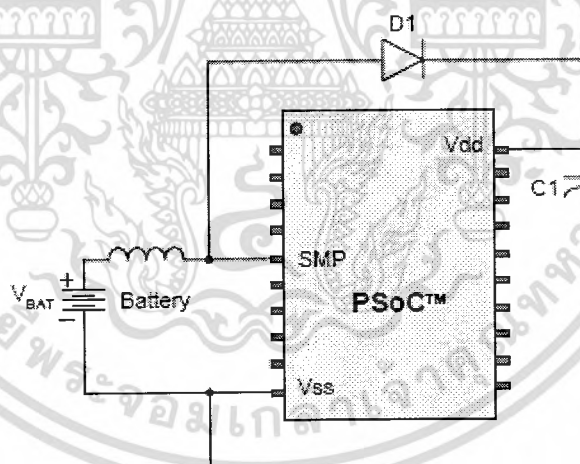
เมื่อ CPU กิดการค้าง Watchdog Timer จะทำการรีเซ็ต CPU ในทันทีที่ค่าการนับของมันสิ้นสุดลง ทำให้ CPU กลับไปตั้งต้นทำงานใหม่ เราสามารถ Enable หรือ Disable

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของ Watchdog Timer ได้โดยการเคลียร์บิต PORS (บิต4ของรีจิสเตอร์ CPU_SCR0) หลังจากที่เราได้เปิดการทำงาน (Enable) ของ WDR แล้วจะไม่สามารถปิดการทำงาน (Disable) ได้ด้วยการเขียนคำสั่งในการเซ็ตค่าให้กับบิต PORS การปิดการทำงานของ WDR จะสามารถเกิดขึ้นได้จากการรีเซ็ตของ POR และ XRES เท่านั้น

4) Switch Mode Pump (SMP)

SMP คือ วงจรที่ใช้สวิตช์แรงดันจากแบตเตอรี่ หรือ เซลล์พลังงานแรงดันต่ำๆ ให้มีระดับแรงดันที่สูงขึ้นจนสามารถทำให้ CPU ทำงานได้ โดยภายในตัว IC PSOC MCU จะมีอาร์ดแวร์ภายในรองรับการทำงานส่วนนี้ แต่ต้องมีการต่อวงจรภายนอกบางส่วน คือ ต่ออินดักเตอร์ระหว่างขั้วแรงดันแบตเตอรี่กับขาสัญญาณ SMP ของ PSOC MCU และควรจะมีคาปาซิเตอร์ค่าต่ำๆประมาณ 0.1 μ F ต่อขั้วพาสจากขาสัญญาณดังกล่าวลงกราวด์ (Vss) ด้วย



รูปที่ 2.33 วงจร Switch Mode Pump พื้นฐาน

การใช้งานโหมด SMP สามารถทำได้โดยกำหนดที่หน้าต่าง Global Resource ของโปรแกรม PSOC Designer

2.3.6 คุณสมบัติและการใช้ User Module

การใช้งานพอร์ตอินพุตและเอาต์พุตของ PSOC Microcontroller

อินพุตและเอาต์พุตของ PSOC สามารถใช้งานได้โดยผ่านรีจิสเตอร์ชื่อ PRTxDR (Port Data Register) ซึ่งตัว “X” หมายถึง เลขพอร์ต เช่น รีจิสเตอร์ของพอร์ต0 ก็คือ PRT0DR โดยการอ่านและเขียนข้อมูลจากพอร์ตต้องกระทำผ่านรีจิสเตอร์ดังกล่าว

การเขียนข้อมูล 0x0F ไป Port0 สามารถเขียนได้ดังนี้

$PRT0DR = 0x0F$;

การอ่านข้อมูลจาก Port0 สามารถเขียนได้ดังนี้

$Data = PRT0DR$;

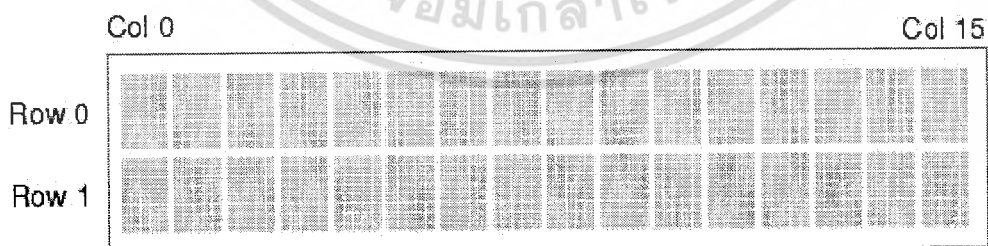
1) LCD User Module

LCD User Module ของ Psoc Microcontroller สามารถใช้ได้กับ LCD Module แบบ1,2 หรือ หรือ 4 บรรทัดที่ใช้มาตรฐานการติดต่อแบบ Hitachi HD44780 LDC Display Driver Protocol โดยใช้ในการติดต่อแบบ 4 bit interface ใช้ pin รวมทั้งหมด 7-Pin (0-6) ของ Port ใดก็ได้

ตารางที่ 2.7 แสดงขาสัญญาณต่อใช้งานระหว่าง Psoc กับ LCD รวมทั้งบิตในการติดต่อ

LCD to PSoC Interconnect

PSoC Pin	LCD Pin	Description
Port-X0	DB4	Data Bit 0
Port-X1	DB5	Data Bit 1
Port-X2	DB6	Data Bit 2
Port-X3	DB7	Data Bit 3
Port-X4	E	LCD Enable
Port-X5	RS	Register Select
Port-X6	R/W	Read/ Not Write



รูปที่ 2.34 หลักระบบและแถวของ LCD ขนาด 16x2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

API ฟังก์ชันของ LCD Tool Box User Module

LDD_start

Initialize LCD ให้ทำงานแบบ 4 bit interface ต้องเรียกใช้ก่อนที่จะเรียกใช้งานฟังก์ชันอื่นๆ

LCD_Position

กำหนดตำแหน่งตัวอักษรบนจอ LCD สำหรับข้อมูลที่จะส่งไปว่าจะให้แสดงตำแหน่งที่ใด

LCD_PrString

แสดงผลข้อความจาก RAM (Null-Terminal Ram-Base String)

LCD_PrCString

แสดงผลข้อความจาก ROM (Null-Terminal Rom-Base String)

LCD_PrHexBye

แสดงค่าตัวเลขของตัวแปรประเภท char, BYTE(unsigned char) ในรูปของเลขฐาน 16

LCD_PrHexInt

แสดงค่าตัวเลขของตัวแปรประเภท Int, WORD(unsigned int) ในรูปของเลขฐาน 16

กลุ่มคำสั่งเกี่ยวกับการแสดงผลแบบ Bar Graph แนวนอน

LCD_IntBitG

กำหนดค่าเริ่มต้นให้กับ LCD สำหรับการใช้งาน Bar Graph แนวนอน

LCD_DrawBG

แสดงผล Bar Graph แนวนอน

กลุ่มคำสั่งเกี่ยวกับการแสดงผลแบบ Bar Graph แนวตั้ง

LCD_IntVB

กำหนดค่าเริ่มต้นให้กับ LCD สำหรับการใช้งาน Bar Graph แนวตั้ง

LCD_DrawVBG

แสดงผล Bar Graph แนวตั้ง

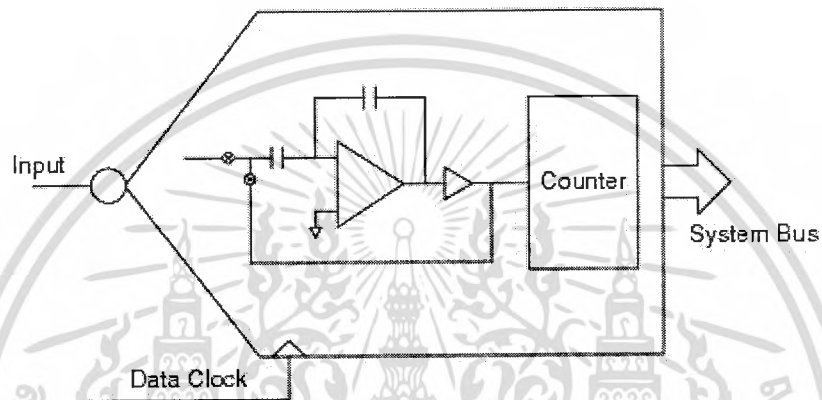
2) ADCINC12 (12-bit incremental ADC) User Module

คุณสมบัติ

เอาต์พุตเป็นแบบ 2's complement ความละเอียด 12 บิต

Sample rate 7.8 sps ถึง 480sps

Input rang AGND +/- V_{Ref}



รูปที่ 2.35 โครงสร้างของ ADCINC 12 User Module

ADCINC 12 User Module เป็น ADC ขนาด 12 บิต โดย Output ที่ได้จะอยู่ในรูป 2's complement มีค่าอยู่ในช่วง +2047 ถึง -2048 ส่วนช่วงของแรงดันอินพุต นั้นขึ้นอยู่กับ การกำหนดค่า Ref Mux โดยมีสูตรที่ใช้ในการคำนวณหาค่าแรงดันอินพุตจากค่าดิจิตอลที่ได้ดังนี้

$$V_{in} = \frac{n - 2048}{2048} V_{Ref} \quad (2.66)$$

หรือ

$$n = \frac{2048 \times V_{in}}{V_{Ref}} + 2048 \quad (2.67)$$

เมื่อ V_{in} = แรงดันอินพุตที่รับเข้ามาเทียบกับค่าแรงดันอ้างอิง(ต้อง $+ V_{Ref}$ เมื่อต้องการเทียบ GND)

n = ค่าดิจิตอลที่ได้ในช่วงบวก มีค่าตั้งแต่ 0-4096 (ค่าดิจิตอล+2048)

V_{Ref} = ค่าแรงดันอ้างอิงซึ่งขึ้นอยู่กับค่า Ref Mux

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

พารามิเตอร์ของ ADCINC 12 Module

Input A/D สามารถเลือกได้จาก external input pins ได้โดยตรงในบาง Block นอกจากนั้น ยังเลือกได้จาก Analog Block ข้างๆ

TMR Clock and CNT Clock (Data Clock)

เป็น Clock ที่จ่ายให้กับ TMR และ CMT มีค่าอยู่ในช่วง 125 KHz ถึง 8MHz ในกรณีที่ CPU Clock ต่ำกว่า 24MHz ถ้าใช้ CPU Clock ที่ 24MHz Data Clock ไม่ควรต่ำกว่า 250 KHz และการเลือกใช้ค่า TMR Clock , CNT Clock และ Column Clock ควรใช้ค่าเดียวกัน เพื่อความถูกต้องในการทำงาน

API ฟังก์ชันของ ADCINC12 User Module

ADCINC12_Start

กำหนดค่าเริ่มต้นต่างๆ ที่จำเป็นสำหรับ ADCINC12 Module และทำหน้าที่กำหนดค่า Power ให้กับ Module

ADCINC12_GetSamples

กำหนดจำนวนการ Sample (0-255) ถ้าหาก เท่ากับ “0” ADCINC12 ทำงานแบบต่อเนื่อง

ADCINC12_flgDataAvailable

ฟังก์ชันตรวจสอบสถานะ(Data Available Flag) ของ ADC โดยฟังก์ชันจะส่งค่าที่ไม่เท่ากับ “0” กลับมาเมื่อแปลงข้อมูลเสร็จเรียบร้อยแล้ว

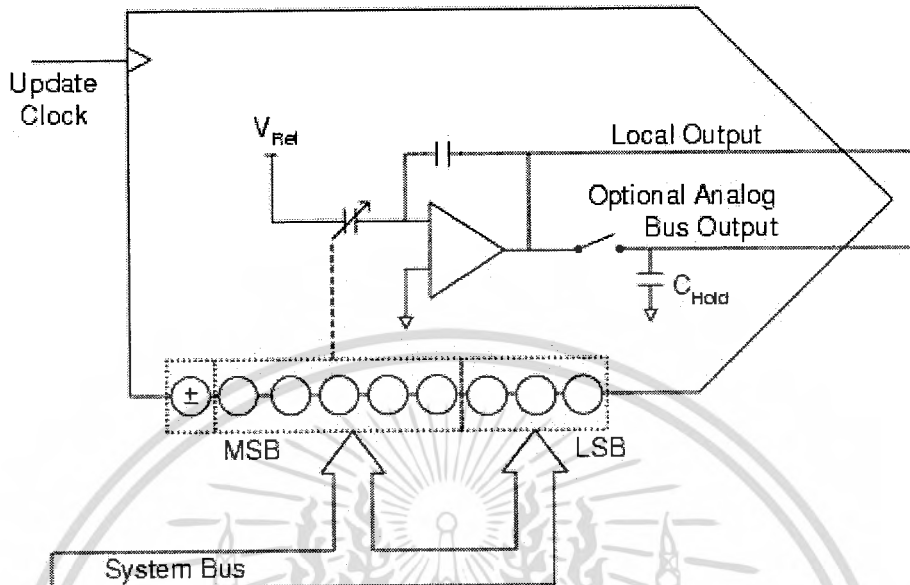
ADCINC12_iGetData

ฟังก์ชันอ่านค่า Input ที่ Convert ได้ และควรใช้ฟังก์ชัน ADCINC12_flgDataAvailable(Void) ตรวจสอบสถานะของ ADC ก่อนที่จะอ่านค่าเพื่อตรวจสอบว่าข้อมูลพร้อมรึยัง

ADCINC12_ClearFlag

รีเซ็ต Data Available Flag

3) DAC9 (9 Bit Output DAC) User Module



รูปที่ 2.36 แสดงโครงสร้างของ DAC9 User Module

DAC9 User Module เป็น DAC ขนาด 9 บิตมีค่าข้อมูลอยู่ในช่วง -255 ถึง 255 และยังสามารถกำหนดให้เป็นแบบ offset-binary (0-510) ได้โดยมีความสัมพันธ์กับ ค่าแรงดัน Vout ดังนี้

$$V_{out} = AGND \pm V_{REF} \left[\frac{C_1}{2^5 \cdot 2^5} + \frac{C_3}{2^5} \right] \quad (2.68)$$

โดยที่เครื่องหมาย $\pm$ ของสมการ กำหนดด้วยข้อมูลในบิตที่ 8

C_3 = ข้อมูลบิตที่ 2 ถึง บิตที่ 7

C_1 = ข้อมูลบิตที่ 0 ถึง บิตที่ 1

พารามิเตอร์ของ DAC9 User Module

Data Format

กำหนดรูปแบบข้อมูล Digital ที่จะส่งให้กับ DAC Module สามารถเลือกเป็น offset binary, 2's complement, and sign-and-magnitude

Analog Bus

Analog Output ของ DAC สามารถต่อออกไปภายนอกผ่าน AnalogOutBuf

Clock Phase

ค่า Clock Phase ควรกำหนดเป็นแบบ Normal

API ฟังก์ชันของ DAC9 User Module

DAC9_Start

ฟังก์ชัน Start DAC Module พร้อมกำหนดค่า Power setting ให้กับ Module โดยที่ค่า Power จะมีอยู่ทั้งหมด 4 ค่าคือ 0, 1, 2 และ 3 ตามตาราง

DAC9_WriteStall

ฟังก์ชันส่งค่าให้กับ Output โดย DAC Module จะทำการแปลงค่าดังกล่าวให้เป็นแรงดัน ออก Output ต่อไป

DAC9_WriteBlind

ฟังก์ชันส่งค่าให้กับค่า Output โดย DAC Module จะทำการแปลงค่าดังกล่าวให้เป็นแรงดัน ออก Output ต่อไป

DAC9_Stop

ฟังก์ชันหยุดการทำงานของ DAC9 Module โดยหยุดจ่าย Power ให้กับ Module

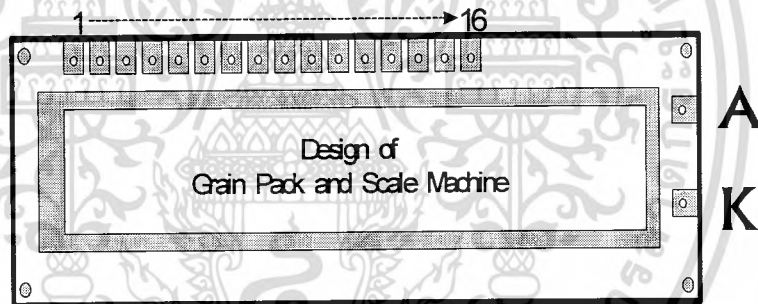
2.4 อุปกรณ์แสดงผลทางแสง

2.4.1 จอแสดงผลแบบผลึกเหลว

จอแสดงผลแบบผลึกเหลวที่ใช้สำหรับแสดงผลระบบตัวเลขในเครื่องใช้อิเล็กทรอนิกส์ ในปัจจุบันซึ่งอยู่ในภาคแสดงผลของเครื่องคิดเลข, นาฬิกา, หน้าปัดเครื่องรับวิทยุโทรทัศน์, เครื่องมือวัดและทดสอบระบบดิจิทัล, วงจรแสดงผลทางดิจิทัล ฯลฯ

ผลึกเหลวเป็นหัวใจหลักของจอแสดงผลแบบผลึกเหลวนี้ เป็นสารชนิดหนึ่งซึ่งมีสภาพการไหลเหมือนอย่างของเหลว แต่การรวมตัวของโมเลกุล จะรวมตัวกันแบบ โมเลกุลของของแข็ง

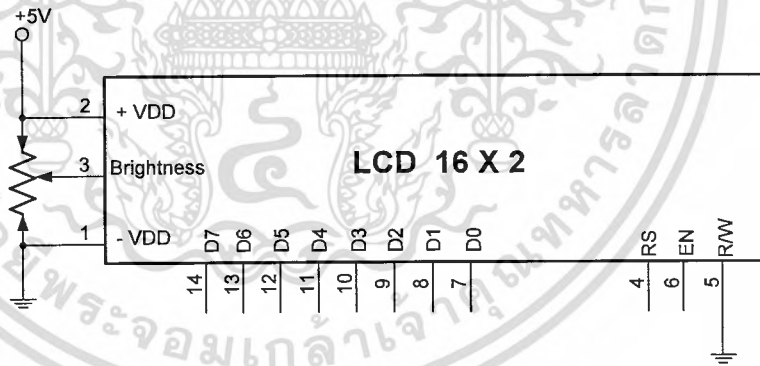
จอแสดงผลแบบผลึกเหลวที่ใช้อยู่ทั่วไปในปัจจุบันมีอยู่ 2 ชนิด คือชนิดไดนามิกสแกตเตอร์ (Dynamic Scattering) กับชนิดฟิลด์เอฟเฟ็ค (Field-effect) จอแสดงผลแบบผลึกเหลวชนิดหลังนิยมใช้มากกว่าชนิดแรก เพราะกินกระแสเพียง 20 เปอร์เซ็นต์ ของชนิดแรก และยังสามารถให้แสงได้ชัดแม้ในขณะที่แสงสว่างจากภายนอกจะมาก



รูปที่ 2.37 ส่วนต่างๆ ของ แอลซีดี

ตารางที่ 2.8 หน้าที่ต่างๆ ของขาแอลซีดี

ขา	ชื่อขา	หน้าที่
1	Ground	กราวด์
2	+ 5 V	ไฟเลี้ยง
3	Brightness	ปรับความสว่าง
4	ขา RS	สัญญาณเลือกระหว่างข้อมูลและคำสั่ง
5	ขา R/W	สัญญาณอ่านละเขียนข้อมูล
6	ขา EN	สัญญาณพร้อมส่งข้อมูล
7-14	D0 - D 7	สัญญาณข้อมูล 8 บิต
15	A	ขั้ว + ของBackLight ใช้ไฟ 5 V
16	K	ขั้ว - ของBackLight



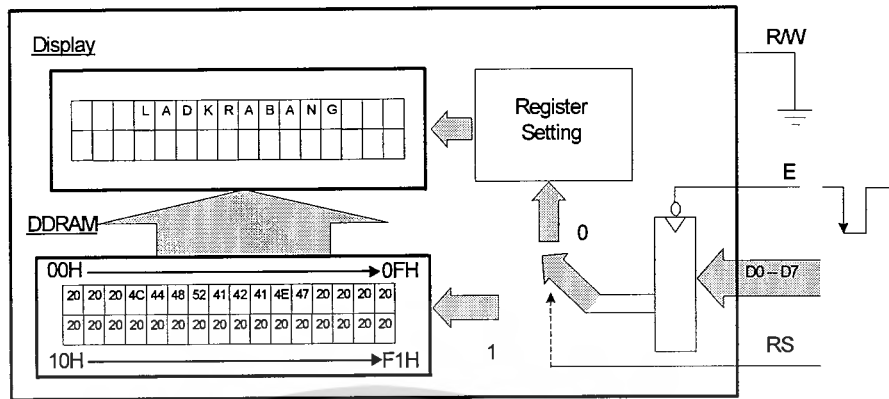
รูปที่ 2.38 วงจรการต่อใช้งานแอลซีดี 8 บิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.4.2 โครงสร้างภายในของแอลซีดีโมดูล

โครงสร้างภายในของแอลซีดีโมดูล จะประกอบด้วยส่วนสำคัญต่างๆ ดังนี้

- 1.1) DISPLAY จะเป็นส่วนที่แสดงข้อความต่างๆ ให้เราดู ซึ่งข้อความเรานี้ก็ได้มาจากหน่วยความจำ ที่ชื่อว่า DDRAM
- 1.2) DDRAM จะเป็นหน่วยความจำที่เก็บรหัส ASCII ซึ่ง LCD จะนำข้อมูลรหัส ASCII มาแสดง ที่ Display โดยอัตโนมัติ ถ้าเราสั่งเกิดให้ดี DDRAM จะมีขนาดของ LED เพราะฉะนั้น ถ้าเราต้องการที่จะแสดงที่ตำแหน่งใด ก็ให้ใส่รหัส ASCII ที่ตำแหน่งนั้น
- 1.3) REGISTER SETTING จะเป็นส่วนที่ทำหน้าที่ เซตลักษณะ การแสดงผลของ LCD ซึ่งจะอธิบายให้หวัข้อต่อไป
- 1.4) D0-D7 จะเป็นขาข้อมูลที่ป้อนเข้าไปใน LED ซึ่งข้อมูลจะเข้าไปยังส่วนของ DDRAM หรือ Register Setting ก็ขึ้นอยู่กับลอจิกของขา RS ถ้า RS เป็น “0” ข้อมูล D0 – D7 จะ ถูกส่งไปยัง Register Setting ถ้า RS เป็น “1” ข้อมูล D0 - D7 จะส่งถูกส่งไปยัง DDRAM v ดังนั้นข้อมูลที่ป้อนมาก็ควรจะ เป็นรหัส ASCII
- 1.5) Enable (EN) เป็นขาที่ควบคุมว่าจะให้ข้อมูล D0 – D7 เข้าไปยัง LED หรือไม่ ซึ่งเราจะต้องป้อนพัลส์ลบ เข้าที่ขานี้ตามรูปที่ 2.13
- 1.6) R/W เป็นขาที่กำหนดว่าจะให้เขียนข้อมูล หรือให้อ่านข้อมูล ถ้าเป็น “0” จะเป็นการเขียน และถ้าเป็น “1” จะเป็นการอ่าน โดยส่วนใหญ่แล้วเราจะ ทำงานการเขียนข้อมูลมากกว่า จึงต่อขานี้ลงกราวด์ตามรูปที่ 2.13



รูปที่ 2.39 โครงสร้างภายในแอลซีดีโมดูล

2.4.3 คำสั่งที่อยู่ใน Register Setting ของแอลซีดีโมดูล

ตารางที่ 2.9 แสดงคำสั่งที่อยู่ใน Register Setting

คำสั่ง	Command Code							
	D7	D6	D5	D4	D3	D2	D1	D0
1. เคลียร์หน้าจอ	0	0	0	0	0	0	0	1
2. เลื่อนเคอร์เซอร์ไปยังซ้ายสุดของจอ	0	0	0	0	0	0	1	X
3. เลือกโหมดการป้อนข้อมูล	0	0	0	0	0	1	I/D	S
4. เปิดปิดจอแสดงผลและเลื่อนเคอร์เซอร์	0	0	0	0	1	D	C	B
5. เลื่อนจอแสดงผลและเลื่อนเคอร์เซอร์	0	0	0	1	S/c	R/L	X	X
6. กำหนดฟังก์ชัน	0	0	1	D/L	N	F	X	X
7. เซต Address ของ CGRAM	0	1	Address CGRAM					
8. เซต Address ของ DDRAM	1	Address DDRAM						

I/D = เป็นบิตที่กำหนดว่าเมื่อเราเขียนหรืออ่านข้อมูลจาก DDRAM Address จะเพิ่มขึ้นหรือลดลง อีก 1 1 = เพิ่ม 0 = ลด

S = 1 เมื่อใส่ข้อมูลเข้าไปใน DDRAM แล้ว Cursor จะอยู่กับที่ตัวอักษรบนหน้าจอจะถูกเลื่อนไปทางซ้าย

S = 0 เมื่อใส่ข้อมูลเข้าไปใน DDRAM แล้ว Cursor จะถูกเลื่อนไปทางขวามือ ส่วนตัวอักษรบนหน้าจอจะอยู่กับที่

D = 1 : LCD ทำงาน , 0 : LCD ไม่ทำงาน N = 1 : แสดงข้อความมากกว่า 8 อักษร

C = 1 : แสดง Cursor , 0 : ไม่แสดง Cursor 0 : แสดงข้อความน้อยกว่าหรือเท่ากับ 8 อักษร

B = 1 : Cursor กระพริบ , 0 : Cursor ไม่กระพริบ

S/C = 1 : เลื่อน Cursor , 0 : เลื่อนตัวอักษร F = 1 : ขนาดของตัวอักษร 5 x 10 dot

R/L = 1 : เลื่อนไปทางขวา , 0 : เลื่อนไปทางซ้าย 0 : ขนาดของตัวอักษร 5 x 7 dot

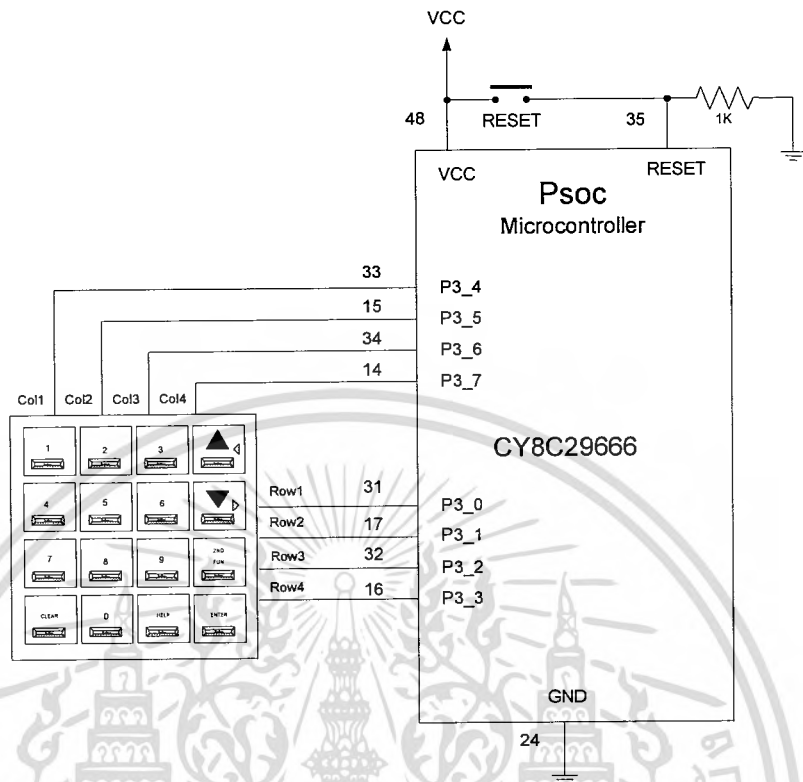
DL = 1 : ติดต่อกับ LCD แบบ 8bit 0 : ติดต่อกับ LCD แบบ 4 bit

Address CGRAM : เป็นแอดเดรสของหน่วยความจำ ที่สามารถสร้างตัวอักษรหรือรูปขึ้นมาได้ตามต้องการ

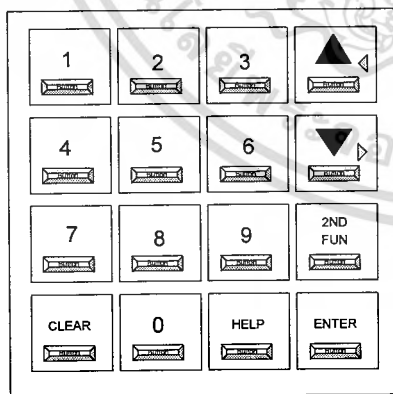
Address DDRAM : เป็นแอดเดรสเริ่มต้นในการเขียนข้อความเข้าไปที่ DDRAM ซึ่งตำแหน่งที่เราเขียนก็คือ ตำแหน่งตัวอักษรที่อยู่บนหน้าจอ LCD นั่นเอง

2.5 วงจรเมตริกซ์สวิตช์

เมตริกซ์สวิตช์ (Matrix Switch) ใช้ในการป้อนข้อมูลรถยนต์ที่ใช้บริการระบบ ซึ่งเมตริกซ์สวิตช์ที่ใช้จะมีขนาด 4 แถวคูณ 4 หลักจึงมีสวิตช์จำนวน 16 ตัว โดยเชื่อมต่อกับคีย์พอร์ตของบอร์ดควบคุมการทำงานหลักที่พอร์ต P3 โดยจะมีการส่งค่าข้อมูลออกไปทำการสแกนในแต่ละหลัก จำนวน 4 บิต และทำการอ่านค่าข้อมูลของเมตริกซ์สวิตช์กลับเข้ามาเมื่อมีการกดปุ่มที่เมตริกซ์สวิตช์ ดังแสดงในรูปที่ 3.4



รูปที่ 2.40 การออกแบบการต่อใช้งานวงจรเมตริกซ์สวิตช์



EE	ED	EB	E7
DE	DD	DB	D7
BE	BD	BB	B7
7E	7D	7B	77

(ก) ชื่อของแต่ละคีย์ (ข) ค่ารหัสสแกนของแต่ละคีย์

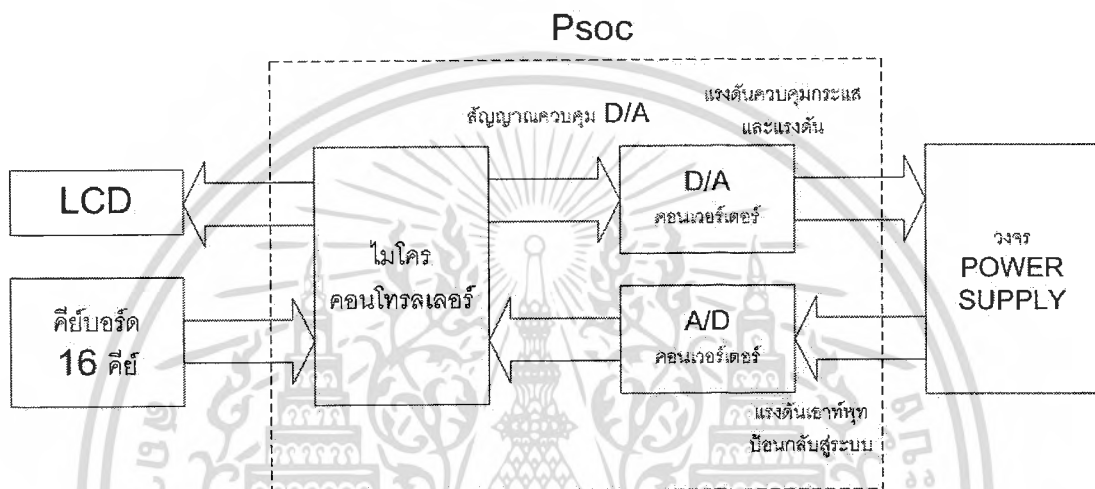
รูปที่ 2.41 ชื่อและรหัสของคีย์แบบเมตริกซ์สวิตช์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

การออกแบบและการสร้างวงจรแหล่งจ่ายไฟกระแสตรงแบบดิจิทัลควบคุมด้วยไมโครคอนโทรลเลอร์

ระบบการทำงานแบ่งออกเป็น 2 ส่วน ส่วนใหญ่คือส่วนควบคุมและสั่งการทำงานทั้งหมด และส่วนควบคุมแรงดันเอาต์พุตให้มีค่าตามกำหนด



รูปที่ 3.1 บล็อกไดอะแกรมการทำงานของส่วนควบคุมทั้งหมด

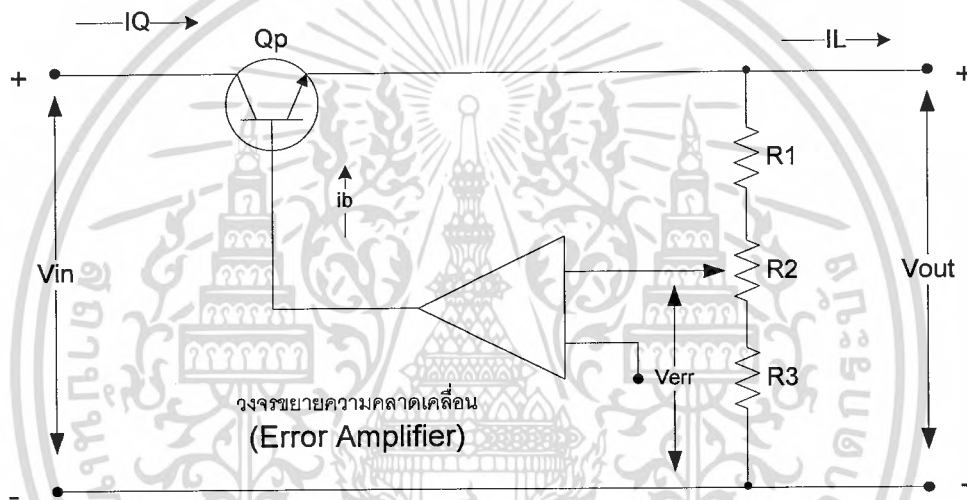
3.1 ส่วนควบคุมและสั่งการทำงานทั้งหมด

รูปที่ 3.1 แสดงบล็อกไดอะแกรมการทำงานของส่วนควบคุม และสั่งการทำงานทั้งหมด จะเห็นได้ว่าหัวใจหลักในการทำงานประมวลผลข้อมูลทั้งหมดก็คือไมโครคอนโทรลเลอร์ โดยสามารถควบคุมแรงดันที่จ่ายออกเอาต์พุตได้โดยการป้อนข้อมูลไปยังวงจรแปลงข้อมูลดิจิทัลเป็นสัญญาณอนาล็อกหรือ DAC (digital to analog converter) เพื่อสร้างแรงดันควบคุม (control voltage) และแรงดันควบคุมกระแส (current control) ไปยังส่วนควบคุมแรงดันเอาต์พุต นอกจากไมโครคอนโทรลเลอร์จะส่งข้อมูลไปยัง DAC เพื่อกำหนดแรงดันควบคุมแล้วค่าแรงดันเอาต์พุตที่จ่ายออกจริงจะถูกป้อนกลับมายังไมโครคอนโทรลเลอร์อีกครั้งด้วยเพื่อตรวจสอบและแสดงผลเป็นดิจิทัลโวลต์มิเตอร์การป้อนค่ากลับจากเอาต์พุตทำได้โดยการป้อนแรงดันเอาต์พุตเข้าไปยังวงจรแปลงสัญญาณอนาล็อกเป็นข้อมูลดิจิทัลหรือ ADC (analog to digital converter) ข้อมูลดิจิทัลที่แทนค่าระดับแรงดันเอาต์พุตที่จ่ายออกจริงจึงถูกนำกลับไปประมวลผลอีกครั้งหนึ่ง

การรับข้อมูลของไมโครคอนโทรลเลอร์ทำได้โดยใช้บอร์ดขนาด 16 คีย์ แบบเมตริกซ์ ต่อเข้ากับระบบการถอดรหัสการกดคีย์สวิตช์ใดๆทำได้โดยซอฟต์แวร์ด้วยการเขียน โปรแกรม สแกนคีย์ การแสดงผลของระบบใช้จอแสดงผล LCD

3.2 หลักการออกแบบ วงจรภาคเรกูเลเตอร์

หลักการของการสร้างวงจรเรกูเลเตอร์ใช้การจัดวงจรในรูปที่ 1 ซึ่งเป็นแบบ Series Regulator คือการต่อทรานซิสเตอร์ในลักษณะอนุกรมกับอินพุตและเอาต์พุต โดยมี Op-Amp ทำหน้าที่ขยายความคลาดเคลื่อน (Error Amplifier)



รูปที่ 3.2 แผนผังของภาคจ่ายไฟแบบ Series Regulator

เมื่อโหลดดึงกระแส (IL) เพิ่มขึ้นแรงดันเอาต์พุต (Vout) จะมีที่ต่ำลงทำให้ Verr ตกลงไปด้วย Op-Amp ถูกจัดให้ทำงานในลักษณะขยายแบบกลับขั้วสัญญาณ เมื่อ Verr ตกลงจะทำให้เอาต์พุตของ

Op-Amp มีแรงดันสูงขึ้น เป็นผลให้กระแสเบสของทรานซิสเตอร์ (Qp) สูงขึ้น ก็เลยส่งผลถึงกระแสคอลเลกเตอร์ของ Qp มีค่าสูงขึ้น ผลสุดท้ายก็คือ แรงดันเอาต์พุตถูกปรับให้มีค่าคงที่และถ้าให้โหลดดึงกระแส (Ip) ลดลงจะมีการทำงานในลักษณะตรงข้าม

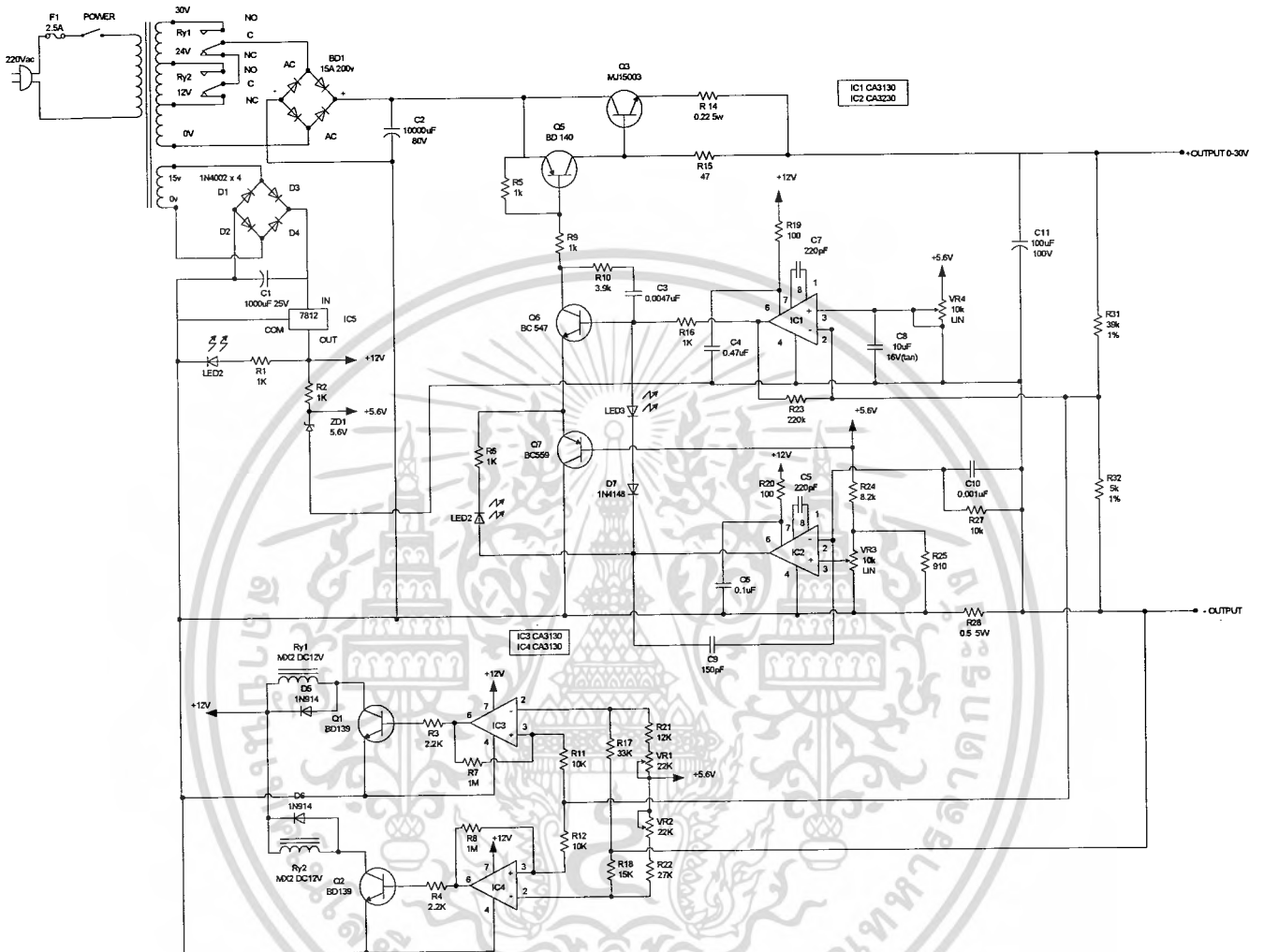
ถ้าหากแรงดันอินพุต (Vin) มีค่าสูงขึ้น แรงดันเอาต์พุตก็จะมีที่ต่ำลงตามไปด้วย เช่นเดียวกับ Verr จะสูงขึ้นด้วยเช่นกัน ซึ่งก็จะเป็นผลให้กระแสเบสของ Qp ลดลง, กระแสคอลเลกเตอร์ลดลง แรงดันเอาต์พุตจะถูกปรับให้มีค่าคงที่ ในทางตรงข้ามกันถ้าแรงดัน Vin สูงขึ้นการ

ทำงานก็จะตรงกันข้าม แต่แรงดันเอาต์พุตยังคงเดิม การปรับค่าตัวต้านทาน R2 จะทำให้ Verr เปลี่ยนไป และเป็นการตั้งค่าแรงดันเอาต์พุต

หลักการของ Series Regulator นี้ตัวทรานซิสเตอร์จะเกิดกำลังสูงเสียที่ตัวทรานซิสเตอร์มันโดยตรง ถ้าหากแรงดันอินพุตสูงๆ และปรับแรงดันเอาต์พุตต่ำๆ จะเกิดแรงดันตกคร่อม ทรานซิสเตอร์สูงมาก และถ้ายังต้องจ่ายกระแสสูงมากๆ ตัวทรานซิสเตอร์จะเกิดกำลังงานสูญเสีย (Power dissipation) สูงมากเนื่องจากกำลังงานสูญเสียเกิดจากค่าแรงดันตกคร่อมและกระแสที่ไหลผ่านจะแปรสภาพออกมาเป็นความร้อน

ตัวอย่างเช่น ต้องการให้จ่ายแรงดันได้ 0-30 V กระแสสูงสุด 2 A กำลังงานสูญเสียจะเกิดขึ้นเมื่อแรงดันอินพุตเป็น 30 V หรือสูงกว่าและแรงดันเอาต์พุตเป็นสูง (จากการลัดวงจร) และจำกัดกระแสไว้ที่ 2 A กำลังงานสูญเสียสูงสุดจะเป็น 60 W $[(30-0) \times 2]$ หรือมากกว่าซึ่งกำลังสูญเสียขนาดนี้ จะแปรสภาพออกมาเป็นพลังงานความร้อนและต้องใช้แผ่นระบายความร้อนที่มีขนาดใหญ่

วงจรจ่ายไฟนี้อาศัยหลักการ Switching หรือเลือกขดลวดหม้อแปลงเข้ามาช่วย ด้วยหลักการตรวจสอบแรงดันที่เอาต์พุต ถ้าเอาต์พุตต่ำกว่า 10 V วงจรตรวจสอบแรงดันจะเลือกขดลวดหม้อแปลง 12 V และถ้าสูงกว่า 20 V จะเลือกขด 24 V แต่ถ้าสูงกว่า 20 V จะเลือกขดสูงสุดคือ 30 V วิธีนี้เมื่อลัดวงจรทางด้านเอาต์พุตเกิดกำลังงานสูญเสียสูงสุดเพียง 33.94 W และจะเกิดกำลังงานสูญเสียสูงสุด เมื่อแรงดันเอาต์พุต 30 V และจ่ายกระแสสูงสุด 2 A คือได้ค่าประมาณ 24.85 W หรือคำนวณได้จากสูตร $PD = (V_{in} - V_{out}) \times I_L$



รูปที่ 3.3 รูปวงจร ภากรูเตอร์แรงดันเอาต์พุต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.2.1 หลักการทำงานของวงจร

แหล่งจ่ายไฟตรงนี้ใช้วงจร Series Regulator ขดลวดของหม้อแปลงทางด้านทุติยภูมิขนาด 43v มีจุดเทปออกมา ซึ่งจะถูกล็อกโดยอัตโนมัติด้วยรีเลย์ในขณะที่มีการปรับแรงดัน เพื่อให้กำลังสูญเสียของทรานซิสเตอร์ที่เอาต์พุตมีค่าน้อยที่สุด ขดลวด 15 V อีกขดหนึ่งใช้สำหรับเป็นภาคจ่ายไฟเลี้ยงวงจรทั้งหมด โดยมี D1-D4 ช่วยเรียงกระแส และมี C1 ช่วยกรองไฟฟ้าให้เรียบ จากนั้น IC5 ทำหน้าที่เรกูเลตรักษาแรงดันให้คงที่ เพื่อป้องกันให้ไฟเลี้ยงวงจรส่วนอื่นๆ ทั้งหมด นอกจากนี้ยังมี ZD1 เป็นตัวสร้างแรงดันอ้างอิงขนาด 5.6 V ป้อนให้กับ Op-Amp

รีเลย์ Ry1 และ Ry2 ถูกควบคุมด้วย Q1 และ Q2 เพื่อเลือกขดลวดของ T1 ในตำแหน่งที่เหมาะสม โดยมีวงจรเปรียบเทียบแรงดัน (IC3 และ IC4) และ R7, R8, R11 และ R12 เป็นส่วนควบคุมอีกทีหนึ่ง สำหรับตัวต้านทานทั้ง 4 ตัว นั้นทำหน้าที่กำหนดช่วงฮิสเทอรีซิส เพื่อไม่ให้รีเลย์เกิดออสซิลเลตเมื่อปรับแรงดันเอาต์พุตให้มีค่าเท่ากับจุดที่ทำการเปรียบเทียบพอดี

ตัวต้านทาน R17, R18, R21, R22 และ VR1, VR2 ช่วยแบ่งแรงดันจากแรงดันอ้างอิง 5.6 V เพื่อเป็นตัวกำหนดจุดตัดต่อรีเลย์ทั้ง 2 ตัว ซึ่งรีเลย์ Ry2 จะทำงาน เมื่อแรงดันเอาต์พุตมีค่าสูงกว่า 16 V ในขณะที่ Ry1 จะทำงานที่ค่าสูงกว่า 12 V แต่ไม่ว่ารีเลย์ Ry2 จะทำงานหรือ Ry1 ทำงานด้วยก็ตาม แรงดันอินพุตของทรานซิสเตอร์ ภาคเอาต์พุต (Q3, Q4) จาก C2 จะมีค่าสูงเพียงพอที่จะทำให้เกิดเรกูเลชันที่ดีแต่จะไม่สูงเกินไปจนทำให้เกิดกำลังงานสูญเสียเกินต้องการ

แรงดันจากเอาต์พุตที่นำเข้ามาเปรียบเทียบนี้ได้จากการลดแรงดันด้วย R31 กับ R32 แล้วผ่าน R11 และ R12 เมื่อแรงดันเอาต์พุตต่ำกว่า 16 V จะไม่มีรีเลย์ตัวใดทำงานเลย ขดลวด 14 V จะต่อเข้ากับ BD1 แต่ถ้า Ry1 ทำงานจะเลือกขด 28 V เข้า BD1 และถ้า Ry1 และ Ry2 ทำงานทั้งคู่จะเลือกขด 43 V

ส่วนสำคัญได้แก่ IC1 ซึ่งเป็นวงจรขยายความคลาดเคลื่อนโดยเลือกใช้เบอร์ CA3130 ซึ่งเป็น FET-input op-amp ตัว IC1 ทำการเปรียบเทียบแรงดันที่ขานอน-อินเวอร์ตติ้ง (ขา 3) กับขานอนเวอร์ตติ้ง (ขา 2) ซึ่งจะวัดแรงดันเอาต์พุตจาก R31 กับ R32 ในขณะที่ขานอน-อินเวอร์ตติ้งถูกต่อเข้ากับ VR4 ซึ่งจะทำให้แรงดันอ้างอิงของ IC1 เปลี่ยนไปตั้งแต่ 0-5.6 V เอาต์พุตของ IC1 ต่อเข้ากับ R16 ไปยังขาเบสของ Q6 ซึ่งจะขับเคลื่อนร่วมกับ Q5 ให้มีค่าสูงพอเพียงที่จะไปขับเคลื่อนขาเบสของ Q3 ทั้งคู่ อีกทอดหนึ่ง โดยมี C3 กับ R10 ช่วยป้องกันกลับทางลบให้กับ Q6 เพื่อให้เสถียรภาพดีขึ้นด้วยการลดอัตราขยายที่ความถี่สูงๆ C8 ใช้ชนิดแทนทาลัมทำหน้าที่กรองแรงดันอ้างอิงของ IC1 ให้คงที่แน่นอน เรื่องนี้สำคัญมากเพราะว่าวงจรขยายความคลาดเคลื่อนนี้ใช้แรงดันเอาต์พุต แรงดันไม่คงที่เพียงเล็กน้อยที่เกิดขึ้นที่ขา 3 ของ IC1 จะถูกขยายออกทางเอาต์พุตทันที ส่วน C12 ทำหน้าที่

เช่นเดียวกับ C3 และช่วยควบคุมเลื่อนเฟสของความถี่สูงในวงจรของการป้อนกลับแบบลบช่วยป้องกันการเกิดออสซิลเลต แล้วยังมี C7 ช่วยชดเชยการทำงานของ IC1 อีกด้วย

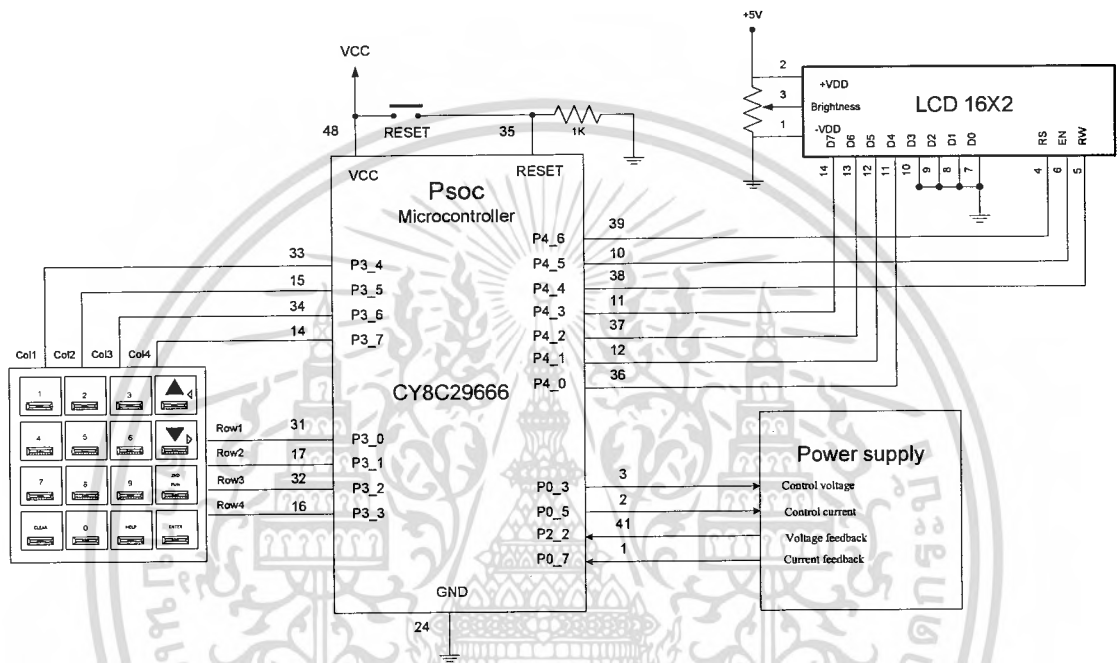
วงจรขยายความคลาดเคลื่อนของการจำกัดกระแสประกอบด้วย IC2, C9, C5, R20 และ C6 โดย R20 กับ C6 ทำหน้าที่คล้ายๆกับวงจรรองความถี่ต่ำผ่านเพื่อจ่ายแรงดันป้อนให้กลับ IC2 สำหรับ C5 ช่วยชดเชย IC2 และ C9 ช่วยป้อนกลับเพื่อลดอัตราขยายที่ความถี่สูงๆ อันเป็นการเพิ่มเสถียรภาพของการทำงานของวงจรจำกัดกระแส ขานอน-อินอินเวอร์ต (ขา 3) ของ IC2 ต่อเข้ากับแรงดันอ้างอิงที่ปรับค่าได้จาก VR3 ร่วมกับ R24 และ R25 ส่วนขาอินเวอร์ต (ขา 2) ต่อเข้ากับ R27 ไปยังเอาต์พุตที่จ่ายขั้วไฟลบ ลักษณะเช่นนี้ IC2 จะวัดแรงดันที่ตกคร่อมตัวต้านทาน R28 และแรงดันที่ตกคร่อมนี้จะขึ้นอยู่กับกระแสที่จ่ายออกทางเอาต์พุต สมมุติว่าเราต้องการจำกัดกระแสไว้ที่ 2 A เราต้องปรับ VR3 เพื่อให้อ่านค่ากระแสให้ได้ 4 A ซึ่งการปรับ VR3 นี้จะทำให้แรงดันอ้างอิงที่ขา 3 ของ IC2 มีค่า 1V แล้ว IC2 จะเปรียบเทียบแรงดันอ้างอิงที่ตกคร่อม R28

หลังจากนั้น IC2 จะขับกระแสทางเอาต์พุตเพื่อให้ขาอินเวอร์ตทั้ง 2 ขา มีแรงดันเท่ากัน เช่นที่กระแส 2 A จะเกิดแรงดัน 1 V ตกคร่อมตัวต้านทาน R28 และเมื่อปรับ VR3 จนได้แรงดันที่ขา 3 เป็น 1 V กระแสเอาต์พุตจะเป็น 2 A พอดี ถ้าหากว่าปรับ VR3 จนมีแรงดันสูงกว่าแรงดันที่เกิดจากกระแสที่ไหลผ่านโหลดเอาต์พุตของ IC จะมีแรงดันสูงประมาณ 12 V ทำให้ LED เกิดไบแอสตรงติดสว่าง ซึ่งแสดงว่า เอาต์พุตของแหล่งจ่ายไฟนี้ควบคุมได้ที่ VR4 (voltage mode) หรือวงจรจำกัดกระแสไม่เกิดการ ทำงาน แต่ถ้ากระแสที่ไหลผ่านโหลดมีค่ามากกว่าที่ตั้งไว้ด้วย VR3 ตัว IC2 จะเริ่มทำงานโดยเอาต์พุตของมันจะต่ำลง และรักษาระแสไว้ไม่ให้เกินกว่าค่าที่ตั้งไว้ด้วย VR4 และเอาต์พุตของ IC1 จะมีค่าสูงประมาณ 12 V ซึ่งจะทำให้ LED เกิดไบแอสติดสว่าง แสดงว่าแหล่งจ่ายไฟนี้ถูกควบคุมด้วย VR3 (current mode) หรือค่าแรงดันไม่สามารถควบคุมได้

3.3 การออกแบบส่วนควบคุมและแสดงผล

ในการออกแบบสร้างในส่วนนี้ ส่วนที่สำคัญก็คือ PsoC Microcontroller ที่ต้องทำงานร่วมกันระหว่าง คีย์สวิตช์ จอ LCD และวงจรพาวเวอร์ซัพพลายซึ่งทั้งหมดได้มีการเชื่อมต่องานที่

3.4



รูปที่ 3.4 การเชื่อมต่อระหว่างหน่วยควบคุม ประมวลผล และแสดงผล

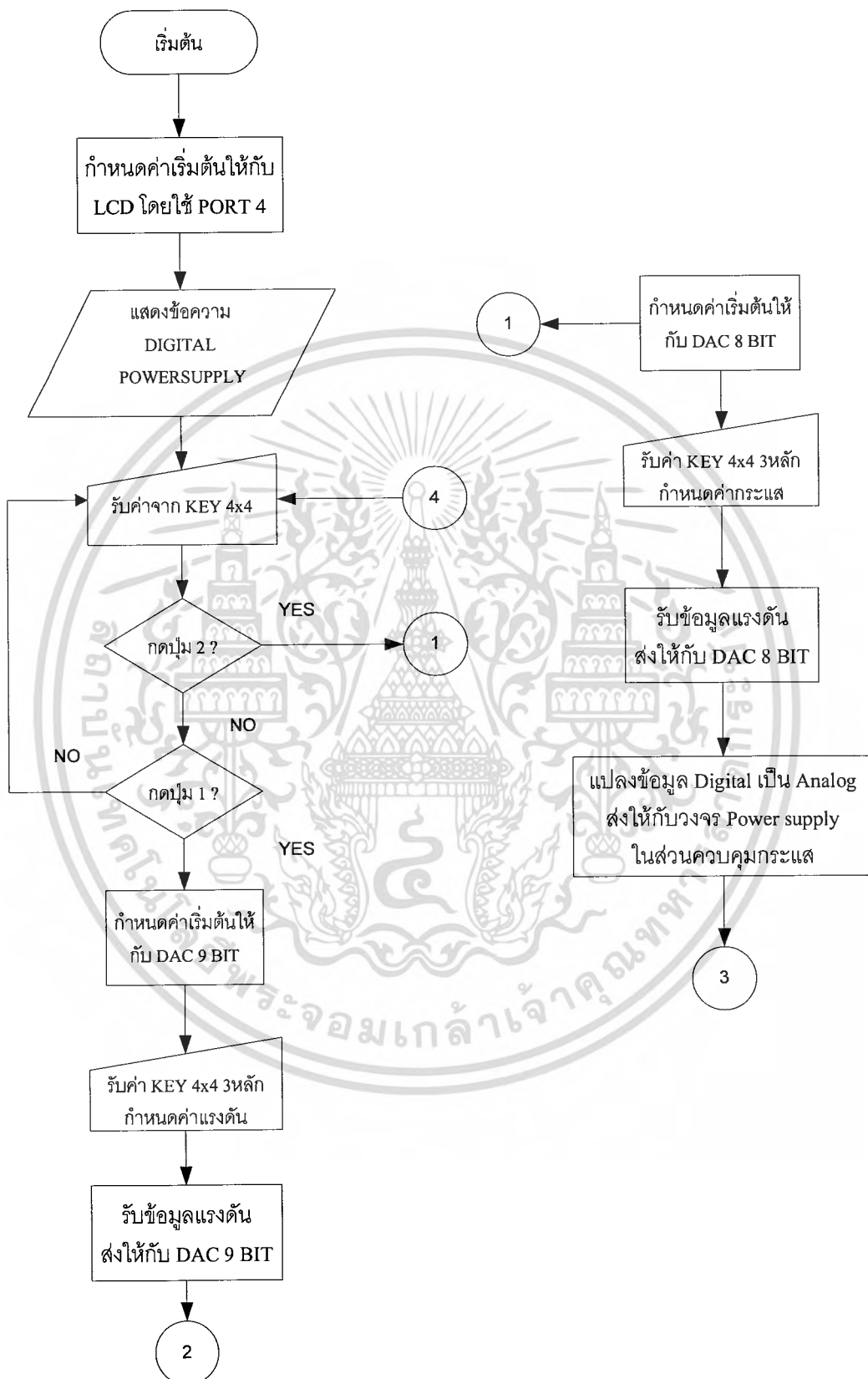
3.3.1 การทำงานของระบบ

เริ่มจากการเชื่อมต่อคีย์สวิตช์เข้ากับพอร์ต 3 ของ PsoC โดย P3_0 ถึง P3-3 ทำหน้าที่เป็นพอร์ตรับค่าไบนารีจากคีย์สวิตช์ และพอร์ตP3_4 ถึง P3_7 เป็นพอร์ตแอสกนคีย์สวิตช์ ค่าไบนารีที่ส่งมาจากคีย์สวิตช์จะถูกแปลงเป็นข้อมูลของแรงดันและกระแสออกไปยังหน้าจอ LCD และด้วยข้อมูลที่รับมาด้วยกันนี้จะถูกส่งไปยังโมดูลของ DAC เพื่อแปลงเป็นค่าแรงดัน 0-5 โวลต์ ไปป้อนให้กับวงจรเรกกูเลเตอร์ ของพาวเวอร์ซัพพลาย โดยแรงดันควบคุมนี้จะออกไปที่พอร์ต P0_3 สำหรับควบคุมแรงดัน และจะมีแรงดันออกไปยังพอร์ตP0_5 เพื่อไปควบคุมกระแส

ในการตรวจเช็คค่าแรงดัน และกระแสที่พาวเวอร์ซัพพลายจ่ายมานั้นมีค่าตามที่เราต้องการหรือไม่ ก็จะมีการส่งแรงดันอ้างอิง 0-5 โวลต์ ป้อนกลับไปที่ PsoC Microcontroller เพื่อนำแรงดันนั้นมาเข้าโมดูล ADC ซึ่งข้อมูลที่ออกจากโมดูล ADC นี้จะได้ข้อมูลดิจิทัล จากนั้นเราจะนำข้อมูลดิจิทัลที่ได้นี้ไปประมวลผลกับข้อมูลดิจิทัลที่รับมาจากคีย์สวิตช์ว่ามีค่าเท่ากัน หรือไม่ถ้าไม่เท่าก็ให้ทำการ Run โปรแกรมเพื่อปรับเปลี่ยนแรงดันที่ PsoC จ่ายออกไป เพื่อให้ได้ข้อมูลที่ป้อนกลับมาตามที่ต้องการ แต่ส่วนกระบวนการ วิเคราะห์ข้อมูลนั้น จะเป็นในส่วนของโปรแกรม ซึ่งได้แสดงไว้ในภาคผนวก ข

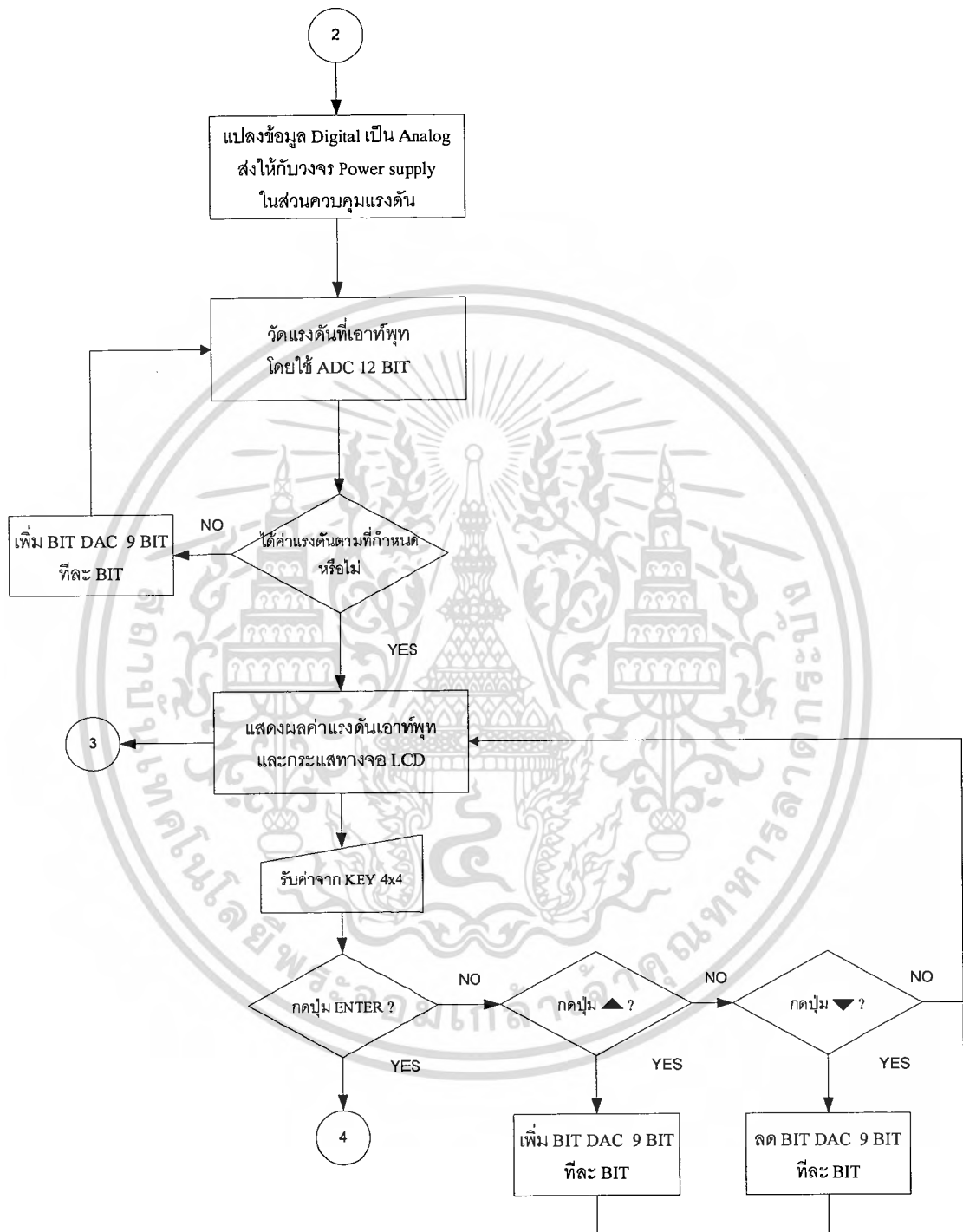
3.3.2 การออกแบบโปรแกรมควบคุมโดยใช้ไมโครคอนโทรลเลอร์ PsoC

ส่วนการควบคุมทั้งหมดจะใช้ไมโครคอนโทรลเลอร์ตระกูล PsoC โดยการรับค่าจากคีย์สวิตช์ 4X4 นำค่าที่กด 3 หลักมารวมกัน เช่นต้องการแรงดัน 5.6 V ให้กดคีย์ 056 โดยให้หลักการหลักแรกคูณด้วย100 หลักที่สองคูณด้วย 10 และหลักสุดท้ายคูณ 1 แล้วจึงนำเลขจำนวน3 หลักมารวมกัน ข้อมูลที่ได้นำไปประมวลผลและส่งค่าแรงดันที่ต้องการไปยัง DAC ทำการแปลงสัญญาณดิจิทัล (Digital) เป็นสัญญาณอนาล็อก (Analog) ส่งไปยังส่วนควบคุมแรงดันของวงจร Power supply และทำการวัดแรงดันเอาต์พุตที่ได้ด้วย ADC ทำการแปลงสัญญาณอนาล็อก (Analog) เป็นสัญญาณดิจิทัล (Digital) โดยค่าที่วัดได้เป็นทศนิยมหนึ่งหลัก และนำค่าที่วัดได้ทำการประมวลผลอีกครั้งว่าได้แรงดันที่กำหนดหรือไม่ ถ้าแรงดันไม่ตรงตามที่กำหนด แรงดันมากกว่าที่กำหนดไว้จะทำการลดDAC ที่ละหนึ่งบิต แต่ถ้าแรงดันเอาต์พุตน้อยกว่าที่กำหนดไว้ให้เพิ่ม DAC ที่ละหนึ่งบิตเช่นกัน จนกว่าแรงดันเอาต์พุตที่ได้ตรงกับที่เรากำหนดและแสดงผลออกทางจอ LCD ซึ่งในการทำงานของโปรแกรมนั้นจะเป็นไปตามโฟลวชาร์ท(Flow chart) หรือตามแผนผังดังนี้



รูปที่ 3.5 แผนผังการทำงานของโปรแกรมควบคุมแรงดันไฟฟ้า1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แผนผังการทำงานของโปรแกรมควบคุมแรงดันไฟฟ้า 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

การทดลองและผลการทดลอง

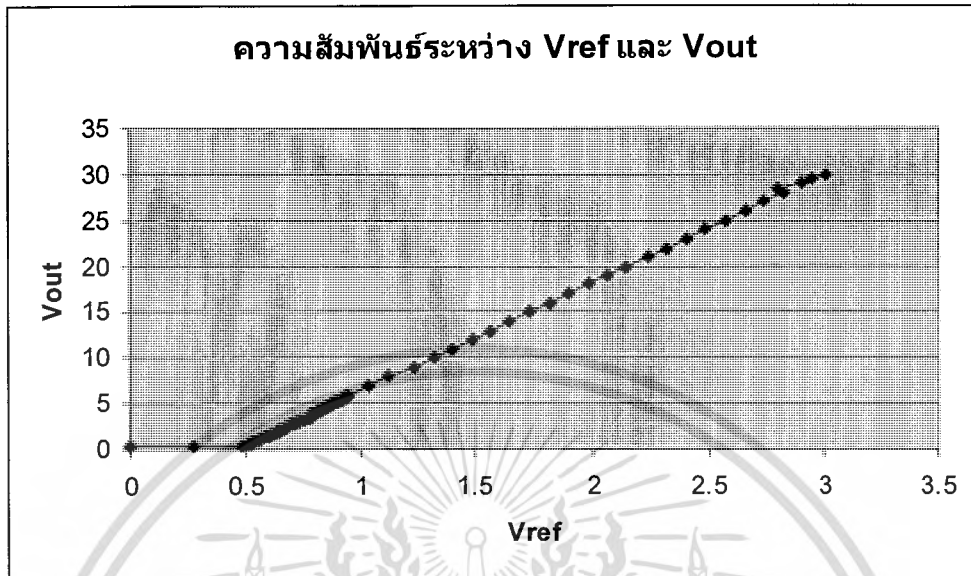
4.1 การทดลองค่าแรงดันเอาต์พุตที่แรงดันอ้างอิงต่างๆ

หลังจากประกอบวงจรภาคเร็กกูเลเตอร์แรงดันเอาต์พุต ได้ทำการทดลองวัดแรงดันไฟฟ้าที่เอาต์พุต เปรียบเทียบกับแรงดันอ้างอิง(Reference Voltage) ที่ค่าแรงดันต่างๆซึ่งได้ผลทดลองดังนี้

ตารางที่ 4.1 ผลการทดลองวัดแรงดันไฟฟ้าที่เอาต์พุต(V_{out}) และแรงดันอ้างอิง (V_{ref})

V_{ref}	V_{out} (ทดลอง)	V_{ref}	V_{out} (ทดลอง)
0	0.390	0.831	4.550
0.273	0.398	0.845	4.590
0.480	0.513	0.852	4.720
0.511	0.670	0.862	4.830
0.514	0.702	0.870	4.940
0.524	0.780	0.876	5.020
0.530	0.927	0.881	5.150
0.547	1.000	0.892	5.200
0.557	1.076	0.898	5.310
0.566	1.280	0.914	5.490
0.572	1.300	0.918	5.550
0.586	1.430	0.922	5.690
0.596	1.571	0.935	5.840
0.606	1.585	0.945	5.940
0.614	1.702	0.949	6.000
0.625	1.835	1.034	7.000
0.635	1.900	1.120	8.060
0.633	2.060	1.237	9.060
0.643	2.170	1.318	10.040
0.653	2.290	1.402	11.040
0.665	2.350	1.484	12.040
0.671	2.423	1.563	12.990
0.680	2.553	1.647	13.990
0.686	2.654	1.730	14.990
0.695	2.735	1.818	16.040
0.704	2.802	1.899	17.020
0.709	2.917	1.986	18.050
0.721	2.990	2.068	19.040
0.725	3.080	2.147	19.970
0.735	3.238	2.238	21.040
0.753	3.302	2.316	21.970
0.782	3.415	2.403	22.990
0.770	3.500	2.485	23.990
0.778	3.608	2.571	25.010
0.770	3.804	2.661	26.090
0.778	3.940	2.743	27.040
0.788	4.020	2.829	28.040
0.802	4.130	2.801	28.540
0.812	4.250	2.903	29.065
0.814	4.340	2.952	29.540
0.831	4.420	3.007	30.070

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.1 กราฟแสดงความสัมพันธ์ระหว่าง Vref กับ Vout

4.2 การทดสอบคุณสมบัติต่างๆของแหล่งจ่ายไฟกระแสตรง

คุณสมบัติต่างๆของแหล่งจ่ายไฟกระแสตรงที่ได้ทำการทดสอบมีดังนี้

- วัดแรงดันเอาต์พุตของวงจรแหล่งจ่ายไฟกระแสตรงสามารถปรับค่าได้ 0 ถึง 30V 2A ที่โหลดค่าต่างๆ

- โหลดเรกกูเลชัน (Load Regulation : %LR) ทดสอบความสามารถในการรักษาระดับแรงดันที่เอาต์พุตของแหล่งจ่ายไฟกระแสตรงโดยที่

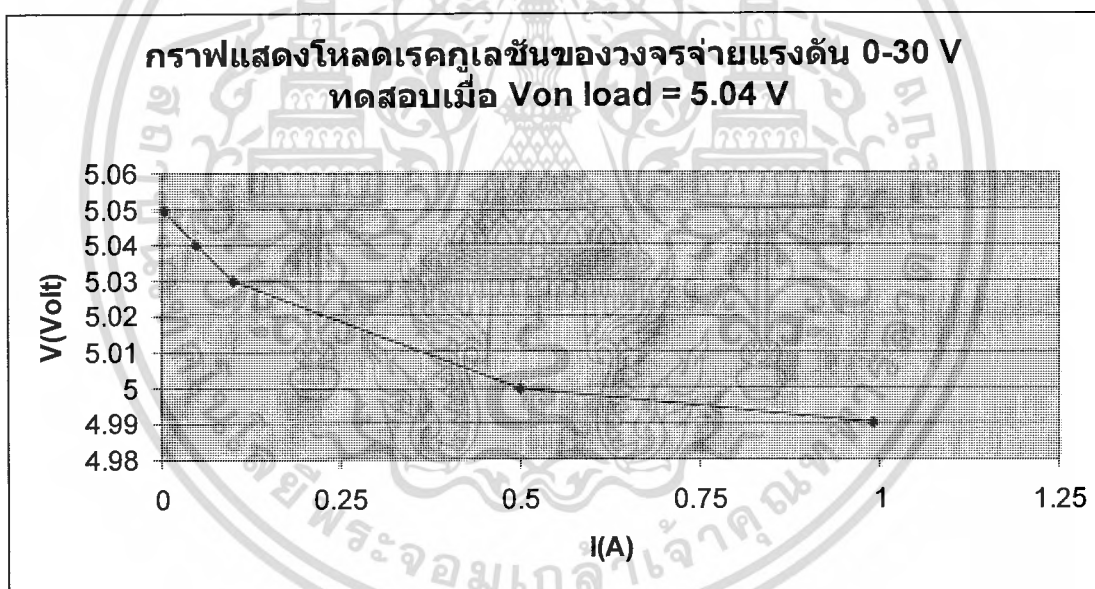
$$\%LR = (V_{NL} - V_{FL}) / V_{NL} * 100\%$$

เมื่อ V_{NL} คือ แรงดันเอาต์พุตขณะที่ไม่มีโหลด (No Load)

V_{FL} คือ แรงดันเอาต์พุตขณะที่มีโหลดมากที่สุดที่แรงดันเอาต์พุตยังคงที่ได้อยู่ได้ (Full Load)

ตารางที่ 4.2 ผลการทดลองของวงจรจ่ายแรงดันปรับค่าได้ 0-30 V เมื่อ $V_{load} = 5.04$ V

RL	Vout(V)	Iout(A)	%LR
5	4.99	0.99	0.99
10	5.00	0.5	0.79
50	5.03	0.1	0.19
100	5.04	0.05	0.00
1K	5.05	0.005	0.19

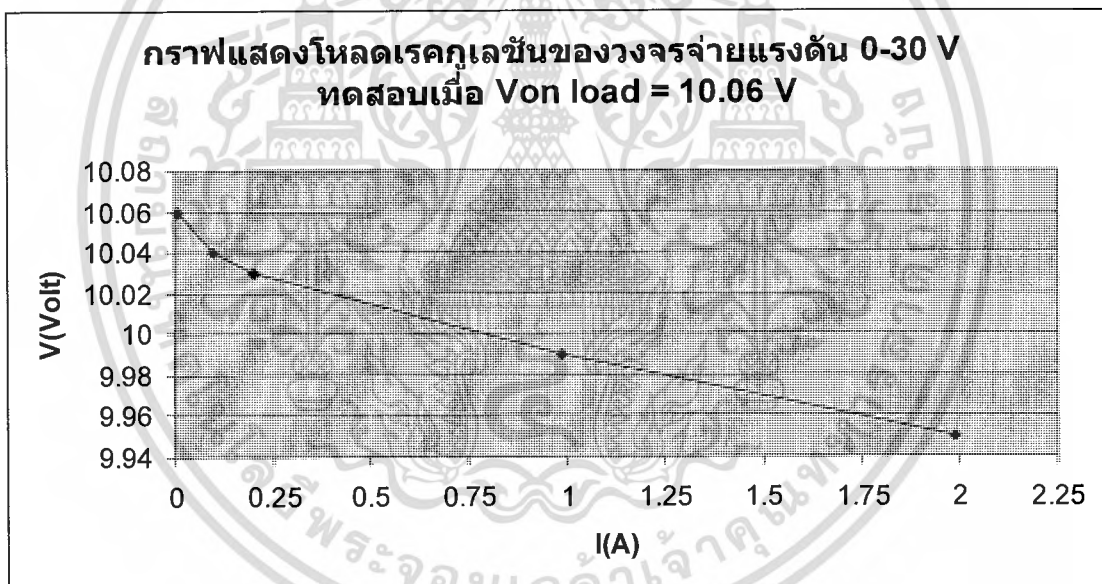


รูปที่ 4.2 กราฟแสดง โหลดเรกกูเลชันของแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.3 ผลการทดสอบของวงจรจ่ายแรงดันปรับค่าได้ 0-30 V เมื่อ $V_{noload} = 10.06V$

RL	Vout(V)	Iout(A)	%LR
5	9.95	1.99	1.09
10	9.99	0.99	0.69
50	10.03	0.20	0.29
100	10.04	0.10	0.19
1K	10.06	0.01	0

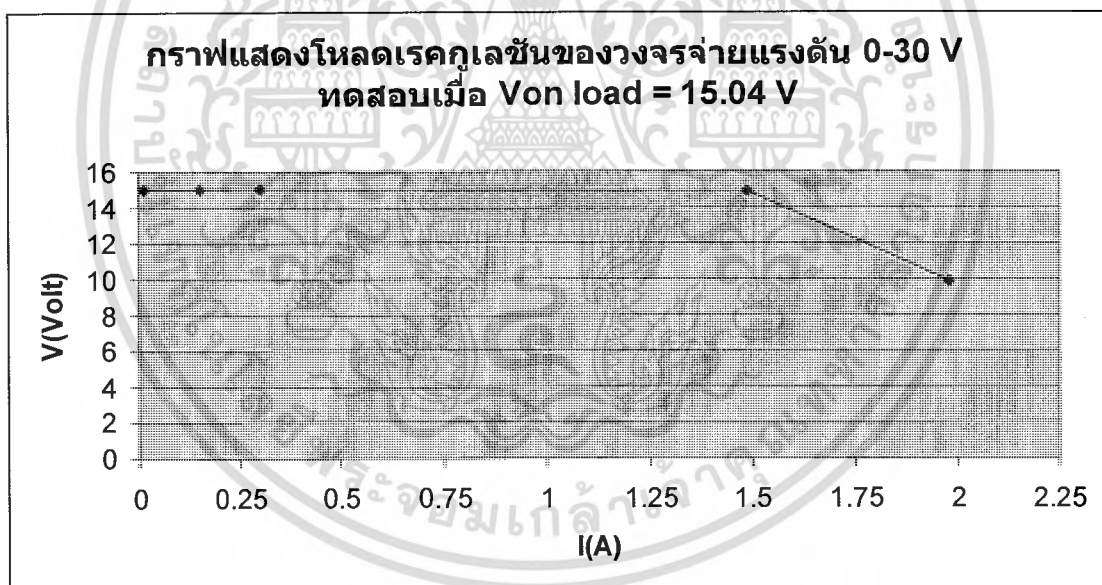


รูปที่ 4.3 กราฟแสดงโหลดเรกกูเลชันของแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.4 ผลการทดสอบของวงจรจ่ายแรงดันปรับค่าได้ 0-30 V เมื่อ $V_{load} = 15.04V$

RL	Vout(V)	Iout(A)	%LR
5	9.93	1.98	33.97
10	14.95	1.49	0.59
50	15.00	0.3	0.26
100	15.02	0.15	0.13
1K	15.03	0.015	0.06

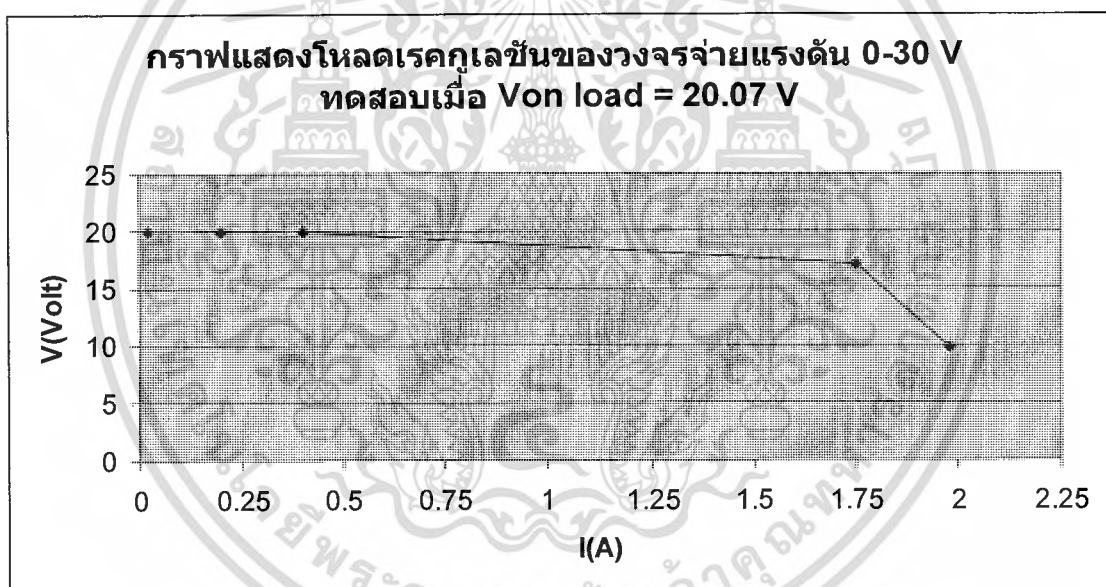


รูปที่ 4.4 กราฟแสดงโหลดเรกกูเลชันของแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.5 ผลการทดสอบของวงจรจ่ายแรงดันปรับค่าได้ 0-30 V ทดสอบเมื่อ $V_{load} = 20.07V$

RL	Vout(V)	Iout(A)	%LR
5	9.9	1.98	50.67
10	17.05	1.75	15.04
50	20.03	0.40	0.19
100	20.05	0.20	0.09
1K	20.06	0.02	0.04

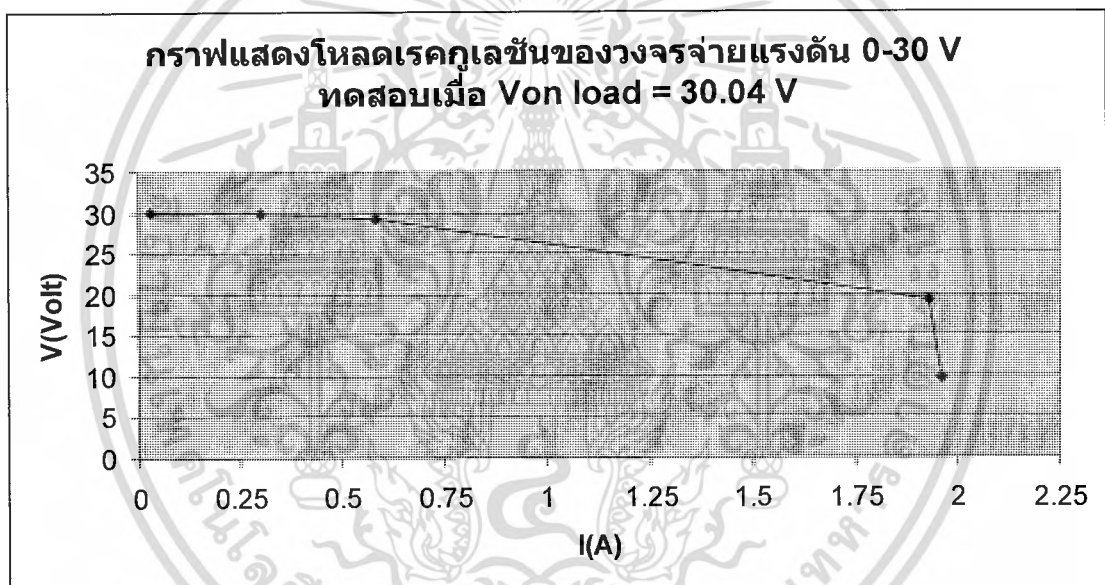


รูปที่ 4.5 กราฟแสดงโหลดเรกูเลชันของแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 4.6 ผลการทดสอบของวงจรจ่ายแรงดันปรับค่าได้ 0-30 V เมื่อ $V_{noload} = 30.04V$

RL	Vout(V)	Iout(A)	%LR
5	9.8	1.96	67.37
10	19.30	1.93	36.65
50	29.26	0.58	2.59
100	30.01	0.30	0.09
1K	30.03	0.03	0.03



รูปที่ 4.6 กราฟแสดงโหลดเรกกูเลชันของแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การทดสอบความสามารถในการควบคุมแรงดันของ PSOC Microcontroller

โดยการตั้งค่าแรงดันเอาต์พุตจากคีย์สวิตช์ ทำการวัดแรงดันเอาต์พุตของพาวเวอร์ซัพพลาย ด้วยดิจิตอลโวลท์มิเตอร์ เทียบกับค่าแรงดันที่ปรากฏ ณ จอของ LCD จากนั้นจึงคำนวณหาค่าผิดพลาด ซึ่งได้ผลการทดลองดังตารางที่ 4.7

ตารางที่ 4.7 ผลการทดลองหาค่าความผิดพลาดในการควบคุมแรงดัน Vout ของ Psoc

ค่าแรงดัน ที่กดkey	ค่าแรงดัน ที่ LCD	digital meter	%ความผิดพลาด ของวงจร	%ความผิดพลาด จากการวัด
0.1	0.0	0.114	100.00	100.00
0.2	0.2	0.27	0.00	25.92
0.3	0.4	0.45	33.33	11.11
0.4	0.4	0.43	0.00	6.97
0.5	0.5	0.57	0.00	12.28
0.6	0.7	0.75	16.66	6.99
0.7	0.7	0.75	0.00	6.66
0.8	0.8	0.88	0.00	9.09
0.9	1.0	1.03	11.11	2.90
1.0	1.0	1.13	0.00	11.5
1.1	1.1	1.14	0.00	3.50
1.2	1.2	1.29	0.00	6.97
1.3	1.3	1.38	0.00	5.79
1.4	1.4	1.47	0.00	4.76
1.5	1.5	1.55	0.00	3.22
1.6	1.6	1.68	0.00	4.76
1.7	1.7	1.75	0.00	2.85
1.8	1.8	1.89	0.00	4.76
1.9	1.9	1.95	0.00	2.56
2.0	2.0	2.09	0.00	4.30
2.1	2.1	2.17	0.00	3.22
2.2	2.2	2.31	0.00	4.76
2.3	2.3	2.38	0.00	3.36
2.4	2.4	2.46	0.00	2.43
2.5	2.5	2.53	0.00	0.85
2.6	2.6	2.69	0.00	3.34
2.7	2.8	2.81	3.70	0.35
2.8	2.8	2.86	0.00	2.09
2.9	2.9	2.95	0.00	1.69
3.0	3.0	3.06	0.00	1.96
3.1	3.1	3.17	0.00	2.20
3.2	3.2	3.25	0.00	1.53
3.3	3.3	3.36	0.00	1.78
3.4	3.4	3.48	0.00	2.29
3.5	3.5	3.55	0.00	1.40
3.6	3.6	3.69	0.00	2.43
3.7	3.7	3.78	0.00	2.11
3.8	3.8	3.88	0.00	2.06

เอกสารนี้เป็นเอกสารที่ลงนามไว้สำหรับใช้เพื่อการเรียนการสอน ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.9	3.9	3.95	0.00	1.26
4.0	4.0	4.01	0.00	0.24
4.1	4.1	4.16	0.00	1.44
4.2	4.2	4.25	0.00	1.17
4.3	4.3	4.37	0.00	1.60
4.4	4.4	4.44	0.00	0.90
4.5	4.5	4.51	0.00	0.22
4.6	4.6	4.67	0.00	1.49
4.7	4.7	4.75	0.00	1.05
4.8	4.8	4.84	0.00	0.82
4.9	4.9	4.97	0.00	1.40
5.0	5.0	5.05	0.00	0.99
5.5	5.5	5.51	0.00	0.18
6	6.0	6	0.00	0.00
6.5	6.5	6.51	0.00	0.15
7	7.0	7.07	0.00	0.99
7.5	7.5	7.51	0.00	0.13
8.0	8.0	8.07	0.00	0.86
8.5	8.5	8.57	0.00	0.81
9.0	9.0	9.01	0.00	0.11
9.5	9.5.0	9.55	0.00	0.52
10.0	10.0	10.01	0.00	0.09
11.0	11.0	11.07	0.00	0.63
12.0	12.0	11.99	0.00	0.08
13.0	13.0	12.96	0.00	0.30
14.0	14.0	13.94	0.00	0.43
15.0	15.0	15.01	0.00	0.06
16.0	16.0	16.01	0.00	0.06
17.0	17.0	16.67	0.00	1.97
18.0	18.0	17.91	0.00	0.50
19.0	19.0	19.02	0.00	0.10
20.0	20.0	19.98	0.00	0.10
21.0	21.0	21.03	0.00	0.14
22.0	22.0	22.01	0.00	0.04
23.0	23.0	23.07	0.00	0.30
24.0	24.0	24.04	0.00	0.16
25.0	25.0	25.09	0.00	0.35
26.0	26.0	26.07	0.00	0.26
27.0	27.0	27.03	0.00	0.11
28.0	28.0	28.06	0.00	0.21
29.0	29.0	29.03	0.00	0.10
30.0	30.0	30.05	0.00	0.16

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5

สรุปผลการทดลองการทดลอง

และข้อเสนอแนะ

5.1 สรุปผลการทดลอง

จากการทดลองในตารางที่ 4.1 เป็นการปรับค่าแรงดัน อ้างอิงโดยใช้การปรับหมุนตัวต้านทานปรับค่าและจากการผลการทดลองการที่จะปรับค่าแรงดันเอาต์พุตได้ตามต้องการนั้นทำได้ยากมากยิ่งขึ้นถ้าต้องการความละเอียดและความถูกต้องระดับหน่วยมิลลิโวลต์แล้วต้องเสียเวลานานกับการปรับให้ได้ตามต้องการ และจากการทดลองได้จะเห็นว่าค่าของแรงดันเอาต์พุตมีความไม่เป็นเชิงเส้นที่ค่าแรงดันแรงดันอ้างอิงที่มีค่าน้อย

จากการผลทดลองในตารางที่ 4.2-4.6 เป็นการหาค่าโพลาริเซชัน ซึ่งพบว่าเปอร์เซ็นต์การเรกกูเลชันจะมีค่าสูงที่ แรงดันเอาต์พุตของพาวเวอร์ซัพพลายสูงๆ และในกรณีที่โพลาริเซชันของวงจรมีค่าสูง(ความต้านทานเอาต์พุตมีค่าต่ำ)

จากผลการทดลองในตารางที่ 4.7 เป็นการหาค่าความผิดพลาดในการควบคุมแรงดันของระบบที่ Psoc Microcontroller เข้ามาปรับค่าแรงดันอ้างอิงแทนการปรับค่าความต้านทาน และได้ผลการทดลองเป็นที่น่าพอใจเพราะว่าโดยส่วนมากจะมีค่าความผิดพลาดไม่ถึง 1 เปอร์เซ็นต์ซึ่งบอกได้ว่าพาวเวอร์ซัพพลายนี้มีความแม่นยำในการปรับแรงดันสูง

5.2 ปัญหาที่เกิดขึ้นกับโครงการ

เมื่อป้อนค่าค่าแรงดันอ้างอิงที่ค่าต่ำๆแรงดันเอาต์พุตไม่เป็นเชิงเส้น ถ้าเรากำหนดแรงดันอ้างอิงที่ป้อนให้กับวงจรที่มาจากวงจรแปลงสัญญาณดิจิตอลเป็นอนาลอกเป็นค่าแรงดันที่เป็นเชิงเส้นค่าแรงดันเอาต์พุตที่ได้อาจมีค่าที่ผิดพลาดได้

ในการเลือกหาอุปกรณ์ที่เกี่ยวข้องกับการแปลงดิจิตอลเป็นอนาลอก และอนาลอกเป็นดิจิตอล IC ที่ต้องการนั้นไม่มีจำหน่ายตามท้องตลาด ซึ่งต้องทำการออกแบบตามอุปกรณ์ที่มีขายจริงทำให้เกิดความยุ่งยากในขั้นตอนนี้

การส่งค่าแรงดันที่แปลงมาจากกระแสเอาต์พุตเพื่อเป็นข้อมูลป้อนกลับให้แก่ Psoc Microcontroller นั้นเป็นขั้นตอนที่ต้องระวัง เพราะว่าค่าความต้านทาน

5.3 แนวทางการแก้ไข

เพื่อแก้ไขความผิดพลาดของแรงดันเอาต์พุตที่อาจเกิดขึ้นจะต้องมีการป้อนกลับแรงดันเอาต์พุตด้วยการแปลงสัญญาณอนาลอกเป็นดิจิตอล แล้วส่งให้ไมโครคอนโทรลเลอร์ทำการประมวลผลเพื่อกำหนดแรงดันอ้างอิงอีกครั้ง เพื่อให้ค่าแรงดันเอาต์พุตมีความเที่ยงตรงมากขึ้น



บรรณานุกรม

- 1.อุกฤษฏ์ ต้นสุทธานนท์, “การเขียนโปรแกรมไมโครคอนโทรลเลอร์ PsoC ด้วยภาษา C ฉบับ CY8C29XXX”,ไมโคร รีเซิร์ช เทคโนโลยี,220 หน้า
- 2.วัชรินทร์ เคารพ . “เรียนรู้และเข้าใจ PsoC Microcontroller ด้วยภาษา Assembly และภาษา C”
กรุงเทพมหานคร : บริษัท อีทีทีจำกัด 2548,340 หน้า
- 3.Robert Boylestad,Louis Nashelsky,”Electronic device and circuit theory”Englewood Cliffs
NJ : Prentice Hall,c1992
4. <http://www.cypress.com>





ภาคผนวก ก
รายละเอียดและคุณสมบัติของอุปกรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



BD136 BD138/BD140

PNP SILICON TRANSISTORS

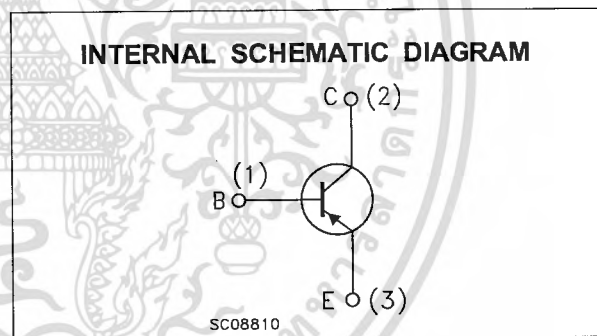
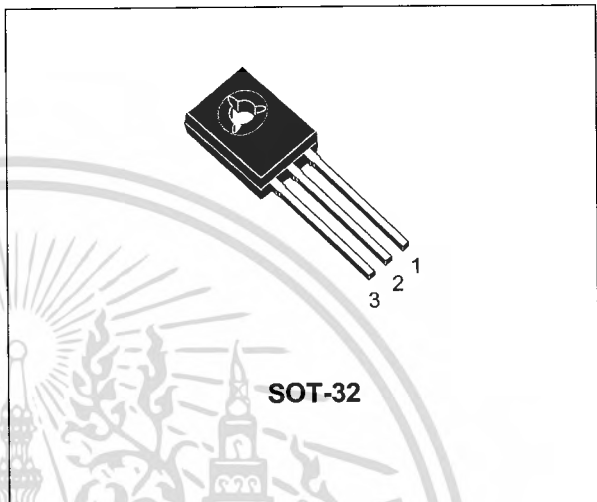
Type	Marking
BD136	BD136
BD136-10	BD136-10
BD136-16	BD136-16
BD138	BD138
BD140	BD140
BD140-10	BD140-10
BD140-16	BD140-16

- STMicroelectronics PREFERRED SALESTYPES
- PNP TRANSISTOR

DESCRIPTION

The BD136, BD138 and BD140 are silicon Epitaxial Planar PNP transistors mounted in Jedec SOT-32 plastic package, designed for audio amplifiers and drivers utilizing complementary or quasi-complementary circuits.

The complementary NPN types are the BD135, BD137 and BD139.



ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value			Unit
		BD136	BD138	BD140	
V_{CBO}	Collector-Base Voltage ($I_E = 0$)	-45	-60	-80	V
V_{CEO}	Collector-Emitter Voltage ($I_B = 0$)	-45	-60	-80	V
V_{EBO}	Emitter-Base Voltage ($I_C = 0$)	-5			V
I_C	Collector Current	-1.5			A
I_{CM}	Collector Peak Current	-3			A
I_B	Base Current	-0.5			A
P_{tot}	Total Dissipation at $T_c \leq 25^\circ\text{C}$	12.5			W
P_{tot}	Total Dissipation at $T_{amb} \leq 25^\circ\text{C}$	1.25			W
T_{stg}	Storage Temperature	-65 to 150			$^\circ\text{C}$
T_j	Max. Operating Junction Temperature	150			$^\circ\text{C}$

THERMAL DATA

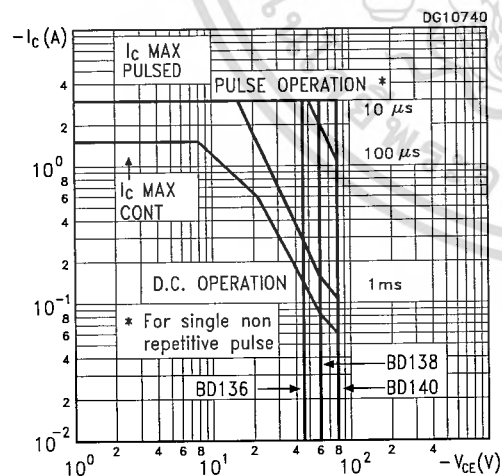
$R_{thj-case}$	Thermal Resistance Junction-case	Max	10	$^{\circ}C/W$
----------------	----------------------------------	-----	----	---------------

ELECTRICAL CHARACTERISTICS ($T_{case} = 25^{\circ}C$ unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
I_{CBO}	Collector Cut-off Current ($I_E = 0$)	$V_{CB} = -30\text{ V}$ $V_{CB} = -30\text{ V}$ $T_C = 125^{\circ}C$			-0.1 -10	μA μA
I_{EBO}	Emitter Cut-off Current ($I_C = 0$)	$V_{EB} = -5\text{ V}$			-10	μA
$V_{CEQ(sus)}^*$	Collector-Emitter Sustaining Voltage ($I_B = 0$)	$I_C = -30\text{ mA}$ for BD136 for BD138 for BD140	-45 -60 -80			V V V
$V_{CE(sat)}^*$	Collector-Emitter Saturation Voltage	$I_C = -0.5\text{ A}$ $I_B = -0.05\text{ A}$			-0.5	V
V_{BE}^*	Base-Emitter Voltage	$I_C = -0.5\text{ A}$ $V_{CE} = -2\text{ V}$			-1	V
h_{FE}^*	DC Current Gain	$I_C = -5\text{ mA}$ $V_{CE} = -2\text{ V}$ $I_C = -150\text{ mA}$ $V_{CE} = -2\text{ V}$ $I_C = -0.5\text{ A}$ $V_{CE} = -2\text{ V}$	25 40 25		250	
h_{FE}	h_{FE} Groups	$I_C = -150\text{ mA}$ $V_{CE} = -2\text{ V}$ for BD136/BD140 group-10 for BD136/BD140 group-16	63 100		160 250	

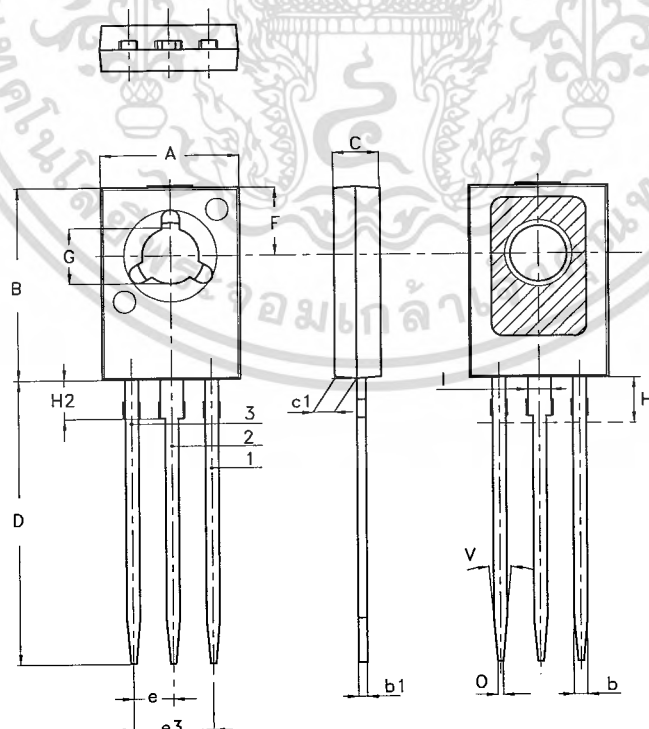
* Pulsed: Pulse duration = 300 μs , duty cycle 1.5 %

Safe Operating Areas



SOT-32 (TO-126) MECHANICAL DATA

DIM.	mm			inch		
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.
A	7.4		7.8	0.291		0.307
B	10.5		10.8	0.413		0.425
b	0.7		0.9	0.028		0.035
b1	0.40		0.65	0.015		0.025
C	2.4		2.7	0.094		0.106
c1	1.0		1.3	0.039		0.051
D	15.4		16.0	0.606		0.630
e		2.2			0.087	
e3		4.4			0.173	
F		3.8			0.150	
G	3		3.2	0.118		0.126
H			2.54			0.100
H2		2.15			0.084	
I		1.27			0.05	
O		0.3			0.011	
V		10°			10°	



1: Base
2: Collector
3: Emitter

0016114/B



Information furnished is believed to be accurate and reliable. However, STMicroelectronics assumes no responsibility for the consequences of use of such information nor for any infringement of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of STMicroelectronics. Specification mentioned in this publication are subject to change without notice. This publication supersedes and replaces all information previously supplied. STMicroelectronics products are not authorized for use as critical components in life support devices or systems without express written approval of STMicroelectronics.

The ST logo is a trademark of STMicroelectronics

© 2001 STMicroelectronics – Printed in Italy – All Rights Reserved

STMicroelectronics GROUP OF COMPANIES

Australia - Brazil - Canada - China - Finland - France - Germany - Hong Kong - India - Israel - Italy - Japan - Malaysia - Malta - Morocco - Singapore - Spain - Sweden - Switzerland - United Kingdom - United States.

<http://www.st.com>

This datasheet has been download from:

www.datasheetcatalog.com

Datasheets for electronics components.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

MJ15003 (NPN), MJ15004 (PNP)

Preferred Device

Complementary Silicon Power Transistors

The MJ15003 and MJ15004 are PowerBase™ power transistors designed for high power audio, disk head positioners and other linear applications.

Features

- High Safe Operating Area (100% Tested) – 5.0 A @ 50 V
- For Low Distortion Complementary Designs
- High DC Current Gain – $h_{FE} = 25$ (Min) @ $I_C = 5$ Adc
- Pb-Free Packages are Available*

MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Collector-Emitter Voltage	V_{CEO}	140	Vdc
Collector-Base Voltage	V_{CBO}	140	Vdc
Emitter-Base Voltage	V_{EBO}	5	Vdc
Collector Current – Continuous	I_C	20	Adc
Base Current – Continuous	I_B	5	Adc
Emitter Current – Continuous	I_E	25	Adc
Total Power Dissipation @ $T_C = 25^\circ\text{C}$ Derate above 25°C	P_D	250 1.43	W W/°C
Operating and Storage Junction Temperature Range	T_J, T_{stg}	-65 to +200	°C

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction-to-Case	$R_{\theta JC}$	0.70	°C/W
Maximum Lead Temperature for Soldering Purposes 1/16" from Case for ≤ 10 secs	T_L	265	°C

Maximum ratings are those values beyond which device damage can occur. Maximum ratings applied to the device are individual stress limit values (not normal operating conditions) and are not valid simultaneously. If these limits are exceeded, device functional operation is not implied, damage may occur and reliability may be affected.



ON Semiconductor®

<http://onsemi.com>

20 AMPERE
POWER TRANSISTORS
COMPLEMENTARY SILICON
140 VOLTS, 250 WATTS



TO-204AA (TO-3)
CASE 1-07
STYLE 1

MARKING DIAGRAM



MJ1500x = Device Code
x = 3 or 4
G = Pb-Free Package
A = Location Code
YY = Year
WW = Work Week
MEX = Country of Origin

ORDERING INFORMATION

Device	Package	Shipping
MJ15003	TO-204AA	100 Units/Tray
MJ15003G	TO-204AA (Pb-Free)	100 Units/Tray
MJ15004	TO-204AA	100 Units/Tray
MJ15004G	TO-204AA (Pb-Free)	100 Units/Tray

*For additional information on our Pb-Free strategy and soldering details, please download the ON Semiconductor Soldering and Mounting Techniques Reference Manual, SOLDERRM/D.

Preferred devices are recommended choices for future use and best overall value.

MJ15003 (NPN), MJ15004 (PNP)

ELECTRICAL CHARACTERISTICS ($T_C = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Collector Emitter Sustaining Voltage (Note 1) ($I_C = 200\text{ mAdc}$, $I_B = 0$)	$V_{CEO(sus)}$	140	—	Vdc
Collector Cutoff Current ($V_{CE} = 140\text{ Vdc}$, $V_{BE(off)} = 1.5\text{ Vdc}$) ($V_{CE} = 140\text{ Vdc}$, $V_{BE(off)} = 1.5\text{ Vdc}$, $T_C = 150^\circ\text{C}$)	I_{CEX}	—	100 2	μAdc mAdc
Collector Cutoff Current ($V_{CE} = 140\text{ Vdc}$, $I_B = 0$)	I_{CEO}	—	250	μAdc
Emitter Cutoff Current ($V_{EB} = 5\text{ Vdc}$, $I_C = 0$)	I_{EBO}	—	100	μAdc

SECOND BREAKDOWN

Second Breakdown Collector Current with Base Forward Biased ($V_{CE} = 50\text{ Vdc}$, $t = 1\text{ s}$ (non repetitive)) ($V_{CE} = 100\text{ Vdc}$, $t = 1\text{ s}$ (non repetitive))	$I_{S/b}$	5.0 1.0	— —	Adc
--	-----------	------------	--------	-----

ON CHARACTERISTICS

DC Current Gain ($I_C = 5\text{ Adc}$, $V_{CE} = 2\text{ Vdc}$)	h_{FE}	25	150	—
Collector Emitter Saturation Voltage ($I_C = 5\text{ Adc}$, $I_B = 0.5\text{ Adc}$)	$V_{CE(sat)}$	—	1.0	Vdc
Base Emitter On Voltage ($I_C = 5\text{ Adc}$, $V_{CE} = 2\text{ Vdc}$)	$V_{BE(on)}$	—	2.0	Vdc

DYNAMIC CHARACTERISTICS

Current Gain — Bandwidth Product ($I_C = 0.5\text{ Adc}$, $V_{CE} = 10\text{ Vdc}$, $f_{test} = 0.5\text{ MHz}$)	f_T	2.0	—	MHz
Output Capacitance ($V_{CB} = 10\text{ Vdc}$, $I_E = 0$, $f_{test} = 1\text{ MHz}$)	C_{ob}	—	1000	pF

1. Pulse Test: Pulse Width = 300 μs , Duty Cycle $\leq 2\%$.

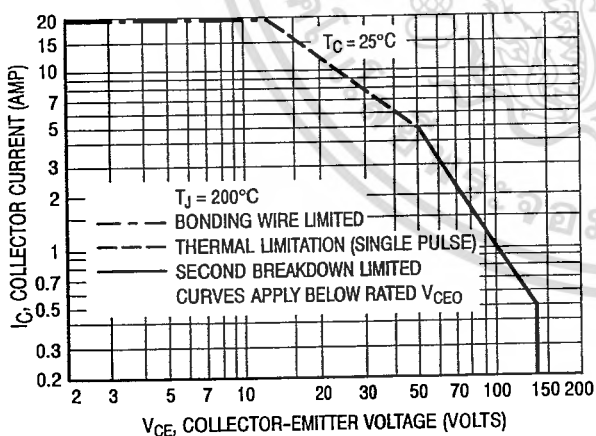


Figure 1. Active-Region Safe Operating Area

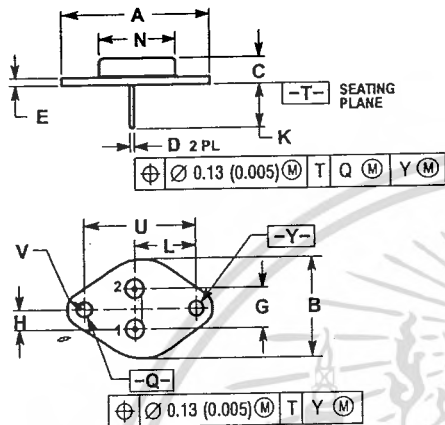
There are two limitations on the powerhandling ability of a transistor: average junction temperature and second breakdown. Safe operating area curves indicate $I_C - V_{CE}$ limits of the transistor that must be observed for reliable operation; i.e., the transistor must not be subjected to greater dissipation than the curves indicate.

The data of Figure 1 is based on $T_{J(pk)} = 200^\circ\text{C}$; T_C is variable depending on conditions. At high case temperatures, thermal limitations will reduce the power that can be handled to values less than the limitations imposed by second breakdown.

MJ15003 (NPN), MJ15004 (PNP)

PACKAGE DIMENSIONS

TO-204 (TO-3)
CASE 1-07
ISSUE Z



- NOTES:
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982.
 2. CONTROLLING DIMENSION: INCH.
 3. ALL RULES AND NOTES ASSOCIATED WITH REFERENCED TO-204AA OUTLINE SHALL APPLY.

	INCHES		MILLIMETERS	
DIM	MIN	MAX	MIN	MAX
A	1.550 REF		39.37 REF	
B	---	1.050	---	26.67
C	0.250	0.335	6.35	8.51
D	0.038	0.043	0.97	1.09
E	0.055	0.070	1.40	1.77
G	0.430 BSC		10.92 BSC	
H	0.215 BSC		5.46 BSC	
K	0.440	0.480	11.18	12.19
L	0.665 BSC		16.89 BSC	
N	---	0.830	---	21.08
Q	0.151	0.165	3.84	4.19
U	1.187 BSC		30.15 BSC	
V	0.131	0.188	3.33	4.77

STYLE 1:
PIN 1: BASE
2: EMITTER
CASE: COLLECTOR

PowerBase is a trademark of Semiconductor Components Industries, LLC.

ON Semiconductor and are registered trademarks of Semiconductor Components Industries, LLC (SCILLC). SCILLC reserves the right to make changes without further notice to any products herein. SCILLC makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does SCILLC assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. "Typical" parameters which may be provided in SCILLC data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals" must be validated for each customer application by customer's technical experts. SCILLC does not convey any license under its patent rights nor the rights of others. SCILLC products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the SCILLC product could create a situation where personal injury or death may occur. Should Buyer purchase or use SCILLC products for any such unintended or unauthorized application, Buyer shall indemnify and hold SCILLC and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that SCILLC was negligent regarding the design or manufacture of the part. SCILLC is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

PUBLICATION ORDERING INFORMATION

LITERATURE FULFILLMENT:
Literature Distribution Center for ON Semiconductor
P.O. Box 61312, Phoenix, Arizona 85062-1312 USA
Phone: 480-829-7710 or 800-344-3860 Toll Free USA/Canada
Fax: 480-829-7709 or 800-344-3867 Toll Free USA/Canada
Email: orderlit@onsemi.com

N. American Technical Support: 800-282-9855 Toll Free
USA/Canada

Japan: ON Semiconductor, Japan Customer Focus Center
2-9-1 Kamimeguro, Meguro-ku, Tokyo, Japan 153-0051
Phone: 81-3-5773-3850

ON Semiconductor Website: <http://onsemi.com>

Order Literature: <http://www.onsemi.com/litorder>

For additional information, please contact your local Sales Representative.

MJ15003/D

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้คัดลอกเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5MHz, BiMOS Operational Amplifier with 10SFET Input/CMOS Output

CA3130A and CA3130 are op amps that combine the advantage of both CMOS and bipolar transistors.

Gate-protected P-Channel MOSFET (PMOS) transistors are used in the input circuit to provide very-high-input impedance, very-low-input current, and exceptional speed performance. The use of PMOS transistors in the input stage results in common-mode input-voltage capability down to 0.5V below the negative-supply terminal, an important attribute in single-supply applications.

CMOS transistor-pair, capable of swinging the output voltage to within 10mV of either supply-voltage terminal (at very high values of load impedance), is employed as the output circuit.

The CA3130 Series circuits operate at supply voltages ranging from 5V to 16V, ($\pm 2.5V$ to $\pm 8V$). They can be phase compensated with a single external capacitor, and have terminals for adjustment of offset voltage for applications requiring offset-null capability. Terminal provisions are also made to permit strobing of the output stage.

The CA3130A offers superior input characteristics over those of the CA3130.

Ordering Information

PART NO. (BRAND)	TEMP. RANGE (°C)	PACKAGE	PKG. DWG. #
CA3130AE	-55 to 125	8 Ld PDIP	E8.3
CA3130AM (3130A)	-55 to 125	8 Ld SOIC	M8.15
CA3130AM96 (3130A)	-55 to 125	8 Ld SOIC Tape and Reel	M8.15
CA3130AMZ (3130AZ) (Note)	-55 to 125	8 Ld SOIC (Pb-free)	M8.15
CA3130AMZ96 (3130AZ) (Note)	-55 to 125	8 Ld SOIC Tape and Reel (Pb-free)	M8.15
CA3130E	-55 to 125	8 Ld PDIP	E8.3
CA3130EZ (Note)	-55 to 125	8 Ld PDIP* (Pb-free)	E8.3
CA3130M (3130)	-55 to 125	8 Ld SOIC	M8.15
CA3130M96 (3130)	-55 to 125	8 Ld SOIC Tape and Reel	M8.15
CA3130MZ (3130MZ) (Note)	-55 to 125	8 Ld SOIC (Pb-free)	M8.15
CA3130MZ96 (3130MZ)	-55 to 125	8 Ld SOIC Tape and Reel (Pb-free)	M8.15

Pb-free PDIPs can be used for through hole wave solder processing only. They are not intended for use in Reflow solder processing applications.

NOTE: Intersil Pb-free plus anneal products employ special Pb-free material sets; molding compounds/die attach materials and 100% matte tin plate termination finish, which are RoHS compliant and compatible with both SnPb and Pb-free soldering operations. Intersil Pb-free products are MSL classified at Pb-free peak reflow temperatures that meet or exceed the Pb-free requirements of IPC/JEDEC J STD-020.

Features

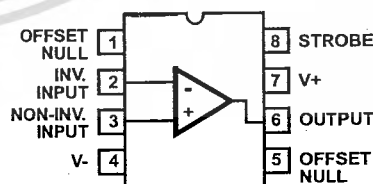
- MOSFET Input Stage Provides:
 - Very High $Z_i = 1.5 T\Omega$ ($1.5 \times 10^{12}\Omega$) (Typ)
 - Very Low I_i 5pA (Typ) at 15V Operation
..... = 2pA (Typ) at 5V Operation
- Ideal for Single-Supply Applications
- Common-Mode Input-Voltage Range Includes Negative Supply Rail; Input Terminals can be Swung 0.5V Below Negative Supply Rail
- CMOS Output Stage Permits Signal Swing to Either (or both) Supply Rails
- Pb-Free Plus Anneal Available (RoHS Compliant)

Applications

- Ground-Referenced Single Supply Amplifiers
- Fast Sample-Hold Amplifiers
- Long-Duration Timers/Monostables
- High-Input-Impedance Comparators (Ideal Interface with Digital CMOS)
- High-Input-Impedance Wideband Amplifiers
- Voltage Followers (e.g. Follower for Single-Supply D/A Converter)
- Voltage Regulators (Permits Control of Output Voltage Down to 0V)
- Peak Detectors
- Single-Supply Full-Wave Precision Rectifiers
- Photo-Diode Sensor Amplifiers

Pinout

CA3130, CA3130A
(PDIP, SOIC)
TOP VIEW



CA3130, CA3130A

Absolute Maximum Ratings

DC Supply Voltage (Between V+ And V- Terminals)	16V
Differential Input Voltage	8V
DC Input Voltage	(V+ +8V) to (V- -0.5V)
Input-Terminal Current	1mA
Output Short-Circuit Duration (Note 1)	Indefinite

Operating Conditions

Temperature Range	-50°C to 125°C
-------------------	----------------

Thermal Information

Thermal Resistance (Typical, Note 2)	θ_{JA} (°C/W)	θ_{JC} (°C/W)
PDIP Package*	115	N/A
SOIC Package	160	N/A
Maximum Junction Temperature (Plastic Package)	150°C	
Maximum Storage Temperature Range	-65°C to 150°C	
Maximum Lead Temperature (Soldering 10s)	300°C	
(SOIC - Lead Tips Only)		

*Pb-free PDIPs can be used for through hole wave solder processing only. They are not intended for use in Reflow solder processing applications.

CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTES:

- Short circuit may be applied to ground or to either supply.
- θ_{JA} is measured with the component mounted on an evaluation PC board in free air.

Electrical Specifications $T_A = 25^\circ\text{C}$, $V_+ = 15\text{V}$, $V_- = 0\text{V}$, Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS	CA3130			CA3130A			UNITS
			MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	$ V_{IO} $	$V_S = \pm 7.5\text{V}$	-	8	15	-	2	5	mV
Input Offset Voltage Temperature Drift	$\Delta V_{IO}/\Delta T$		-	10	-	-	10	-	$\mu\text{V}/^\circ\text{C}$
Input Offset Current	$ I_{IO} $	$V_S = \pm 7.5\text{V}$	-	0.5	30	-	0.5	20	pA
Input Current	I_I	$V_S = \pm 7.5\text{V}$	-	5	50	-	5	30	pA
Large-Signal Voltage Gain	A_{OL}	$V_O = 10\text{V}_{P-P}$ $R_L = 2\text{k}\Omega$	50	320	-	50	320	-	kV/V
			94	110	-	94	110	-	dB
Common-Mode Rejection Ratio	CMRR		70	90	-	80	90	-	dB
Common-Mode Input Voltage Range	V_{ICR}		0	-0.5 to 12	10	0	-0.5 to 12	10	V
Power-Supply Rejection Ratio	$\Delta V_{IO}/\Delta V_S$	$V_S = \pm 7.5\text{V}$	-	32	320	-	32	150	$\mu\text{V}/\text{V}$
Maximum Output Voltage	V_{OM+}	$R_L = 2\text{k}\Omega$	12	13.3	-	12	13.3	-	V
	V_{OM-}	$R_L = 2\text{k}\Omega$	-	0.002	0.01	-	0.002	0.01	V
	V_{OM+}	$R_L = \infty$	14.99	15	-	14.99	15	-	V
	V_{OM-}	$R_L = \infty$	-	0	0.01	-	0	0.01	V
Maximum Output Current	I_{OM+} (Source) at $V_O = 0\text{V}$		12	22	45	12	22	45	mA
	I_{OM-} (Sink) at $V_O = 15\text{V}$		12	20	45	12	20	45	mA
Supply Current	I_+	$V_O = 7.5\text{V}$, $R_L = \infty$	-	10	15	-	10	15	mA
	I_+	$V_O = 0\text{V}$, $R_L = \infty$	-	2	3	-	2	3	mA

CA3130, CA3130A

Electrical Specifications Typical Values Intended Only for Design Guidance, $V_{\text{SUPPLY}} = \pm 7.5\text{V}$, $T_A = 25^\circ\text{C}$
Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS	CA3130, CA3130A	UNITS
Input Offset Voltage Adjustment Range		10k Ω Across Terminals 4 and 5 or 4 and 1	± 22	mV
Input Resistance	R_i		1.5	T Ω
Input Capacitance	C_i	$f = 1\text{MHz}$	4.3	pF
Equivalent Input Noise Voltage	e_N	BW = 0.2MHz, $R_S = 1\text{M}\Omega$ (Note 3)	23	μV
Open Loop Unity Gain Crossover Frequency (For Unity Gain Stability $\geq 47\text{pF}$ Required.)	f_T	$C_C = 0$	15	MHz
		$C_C = 47\text{pF}$	4	MHz
Slew Rate:	SR			
Open Loop		$C_C = 0$	30	V/ μs
Closed Loop		$C_C = 56\text{pF}$	10	V/ μs
Transient Response:		$C_C = 56\text{pF}$, $C_L = 25\text{pF}$, $R_L = 2\text{k}\Omega$ (Voltage Follower)		
Rise Time	t_r		0.09	μs
Overshoot	OS		10	%
Settling Time ($T_o < 0.1\%$, $V_{IN} = 4\text{V}_{P-P}$)	t_s		1.2	μs

NOTE:

3. Although a 1M Ω source is used for this test, the equivalent input noise remains constant for values of R_S up to 10M Ω .

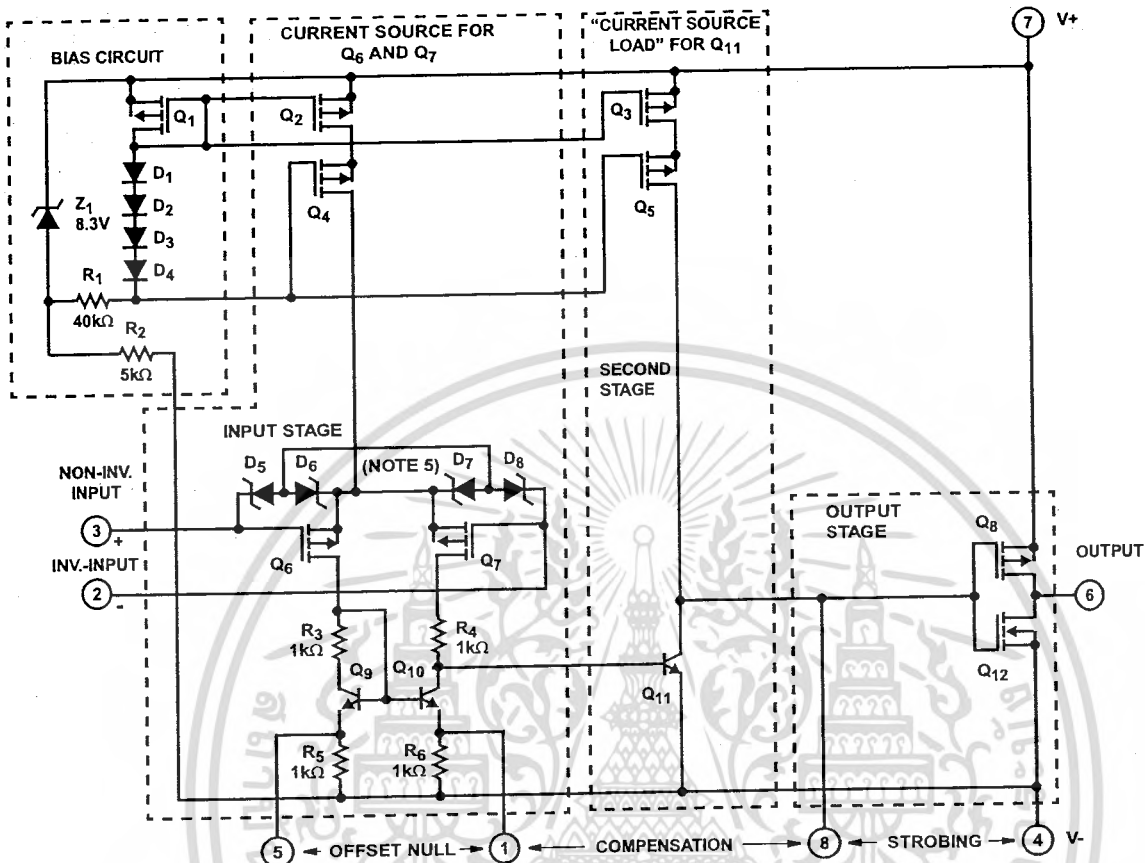
Electrical Specifications Typical Values Intended Only for Design Guidance, $V_+ = 5\text{V}$, $V_- = 0\text{V}$, $T_A = 25^\circ\text{C}$
Unless Otherwise Specified (Note 4)

PARAMETER	SYMBOL	TEST CONDITIONS	CA3130	CA3130A	UNITS
Input Offset Voltage	V_{IO}		8	2	mV
Input Offset Current	I_{IO}		0.1	0.1	pA
Input Current	I_i		2	2	pA
Common-Mode Rejection Ratio	CMRR		80	90	dB
Large-Signal Voltage Gain	A_{OL}	$V_O = 4\text{V}_{P-P}$, $R_L = 5\text{k}\Omega$	100	100	kV/V
			100	100	dB
Common-Mode Input Voltage Range	V_{ICR}		0 to 2.8	0 to 2.8	V
Supply Current	I_+	$V_O = 5\text{V}$, $R_L = \infty$	300	300	μA
		$V_O = 2.5\text{V}$, $R_L = \infty$	500	500	μA
Power Supply Rejection Ratio	$\Delta V_{IO}/\Delta V_+$		200	200	$\mu\text{V/V}$

NOTE:

4. Operation at 5V is not recommended for temperatures below 25°C .

Schematic Diagram



NOTE:

5. Diodes D₅ through D₈ provide gate-oxide protection for MOSFET input stage.

Application Information

Circuit Description

Figure 1 is a block diagram of the CA3130 Series CMOS Operational Amplifiers. The input terminals may be operated down to 0.5V below the negative supply rail, and the output can be swung very close to either supply rail in many applications. Consequently, the CA3130 Series circuits are ideal for single-supply operation. Three Class A amplifier stages, having the individual gain capability and current consumption shown in Figure 1, provide the total gain of the CA3130. A biasing circuit provides two potentials for common use in the first and second stages.

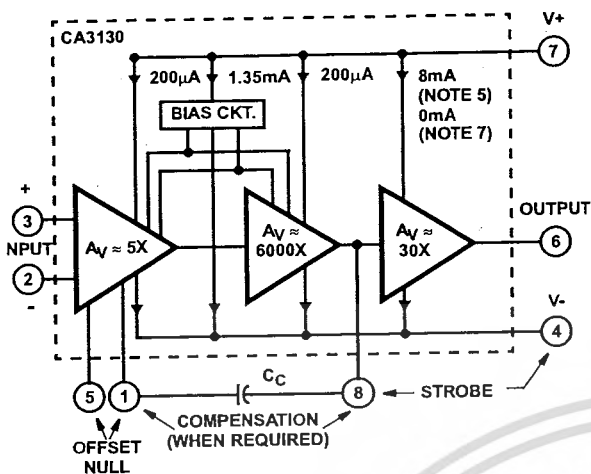
Terminal 8 can be used both for phase compensation and to strobe the output stage into quiescence. When Terminal 8 is tied to the negative supply rail (Terminal 4) by mechanical or electrical means, the output potential at Terminal 6 essentially rises to the positive supply-rail potential at Terminal 7. This condition of essentially zero current drain in

the output stage under the strobed "OFF" condition can only be achieved when the ohmic load resistance presented to the amplifier is very high (e.g., when the amplifier output is used to drive CMOS digital circuits in Comparator applications).

Input Stage

The circuit of the CA3130 is shown in the schematic diagram. It consists of a differential-input stage using PMOS field-effect transistors (Q₆, Q₇) working into a mirror-pair of bipolar transistors (Q₉, Q₁₀) functioning as load resistors together with resistors R₃ through R₆.

The mirror-pair transistors also function as a differential-to-single-ended converter to provide base drive to the second-stage bipolar transistor (Q₁₁). Offset nulling, when desired, can be effected by connecting a 100,000Ω potentiometer across Terminals 1 and 5 and the potentiometer slider arm to Terminal 4.



NOTES:

6. Total supply voltage (for indicated voltage gains) = 15V with input terminals biased so that Terminal 6 potential is +7.5V above Terminal 4.
7. Total supply voltage (for indicated voltage gains) = 15V with output terminal driven to either supply rail.

FIGURE 1. BLOCK DIAGRAM OF THE CA3130 SERIES

Cascade-connected PMOS transistors Q₂, Q₄ are the constant-current source for the input stage. The biasing circuit or the constant-current source is subsequently described.

The small diodes D₅ through D₈ provide gate-oxide protection against high-voltage transients, including static electricity during handling for Q₆ and Q₇.

Second-Stage

Most of the voltage gain in the CA3130 is provided by the second amplifier stage, consisting of bipolar transistor Q₁₁ and its cascade-connected load resistance provided by PMOS transistors Q₃ and Q₅. The source of bias potentials for these PMOS transistors is subsequently described. Miller Effect compensation (roll-off) is accomplished by simply connecting a small capacitor between Terminals 1 and 8. A 47pF capacitor provides sufficient compensation for stable unity-gain operation in most applications.

Bias-Source Circuit

At total supply voltages, somewhat above 8.3V, resistor R₂ and zener diode Z₁ serve to establish a voltage of 8.3V across the series-connected circuit, consisting of resistor R₁, diodes D₁ through D₄, and PMOS transistor Q₁. A tap at the junction of resistor R₁ and diode D₄ provides a gate-bias potential of about 4.5V for PMOS transistors Q₄ and Q₅ with respect to Terminal 7. A potential of about 2.2V is developed across diode-connected PMOS transistor Q₁ with respect to Terminal 7 to provide gate bias for PMOS transistors Q₂ and Q₃. It should be noted that Q₁ is "mirror-connected (see Note 8)" to both Q₂ and Q₃. Since transistors Q₁, Q₂, Q₃ are designed to be identical, the approximately 200μA current in Q₁ establishes a similar current in Q₂ and Q₃ as constant current

sources for both the first and second amplifier stages, respectively.

At total supply voltages somewhat less than 8.3V, zener diode Z₁ becomes nonconductive and the potential, developed across series-connected R₁, D₁-D₄, and Q₁, varies directly with variations in supply voltage.

Consequently, the gate bias for Q₄, Q₅ and Q₂, Q₃ varies in accordance with supply-voltage variations. This variation results in deterioration of the power-supply-rejection ratio (PSRR) at total supply voltages below 8.3V. Operation at total supply voltages below about 4.5V results in seriously degraded performance.

Output Stage

The output stage consists of a drain-loaded inverting amplifier using CMOS transistors operating in the Class A mode. When operating into very high resistance loads, the output can be swung within millivolts of either supply rail. Because the output stage is a drain-loaded amplifier, its gain is dependent upon the load impedance. The transfer characteristics of the output stage for a load returned to the negative supply rail are shown in Figure 2. Typical op amp loads are readily driven by the output stage. Because large-signal excursions are non-linear, requiring feedback for good waveform reproduction, transient delays may be encountered. As a voltage follower, the amplifier can achieve 0.01% accuracy levels, including the negative supply rail.

NOTE:

8. For general information on the characteristics of CMOS transistor-pairs in linear-circuit applications, see File Number 619, data sheet on CA3600E "CMOS Transistor Array".

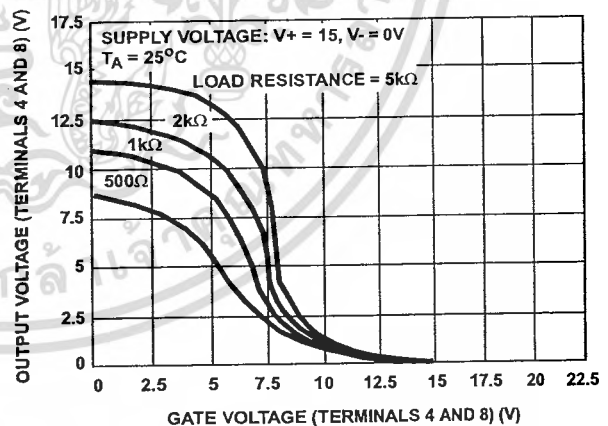


FIGURE 2. VOLTAGE TRANSFER CHARACTERISTICS OF CMOS OUTPUT STAGE

Input Current Variation with Common Mode Input Voltage

As shown in the Table of Electrical Specifications, the input current for the CA3130 Series Op Amps is typically 5pA at $T_A = 25^\circ\text{C}$ when Terminals 2 and 3 are at a common-mode potential of +7.5V with respect to negative supply Terminal 4. Figure 3 contains data showing the variation of input current as a function of common-mode input voltage at $T_A = 25^\circ\text{C}$. These data show that circuit designers can advantageously exploit these characteristics to design circuits which typically require an input current of less than 1pA, provided the common-mode input voltage does not exceed 2V. As previously noted, the input current is essentially the result of the leakage current through the gate-protection diodes in the input circuit and, therefore, a function of the applied voltage. Although the finite resistance of the glass terminal-to-case insulator of the metal can package also contributes an increment of leakage current, there are useful compensating factors. Because the gate-protection network functions as if it is connected to Terminal 4 potential, and the Metal Can base of the CA3130 is also internally tied to Terminal 4, input Terminal 3 is essentially "guarded" from spurious leakage currents.

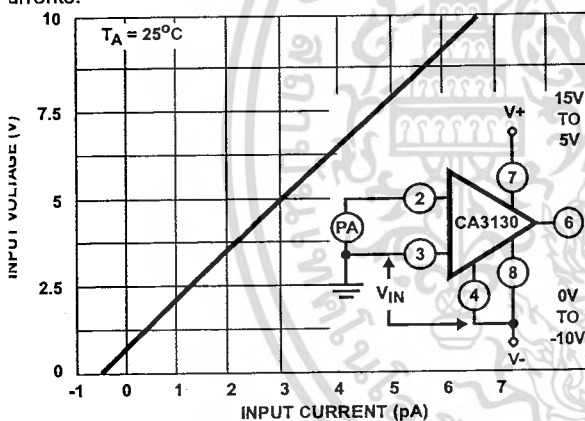


FIGURE 3. INPUT CURRENT vs COMMON-MODE VOLTAGE

Offset Nulling

Offset-voltage nulling is usually accomplished with a 100,000 Ω potentiometer connected across Terminals 1 and 5 and with the potentiometer slider arm connected to Terminal 4. A fine offset-null adjustment usually can be effected with the slider arm positioned in the mid-point of the potentiometer's total range.

Input-Current Variation with Temperature

The input current of the CA3130 Series circuits is typically 5pA at 25°C . The major portion of this input current is due to leakage current through the gate-protective diodes in the input circuit. As with any semiconductor-junction device, including op amps with a junction-FET input stage, the leakage current approximately doubles for every 10°C increase in temperature. Figure 4 provides data on the

typical variation of input bias current as a function of temperature in the CA3130.

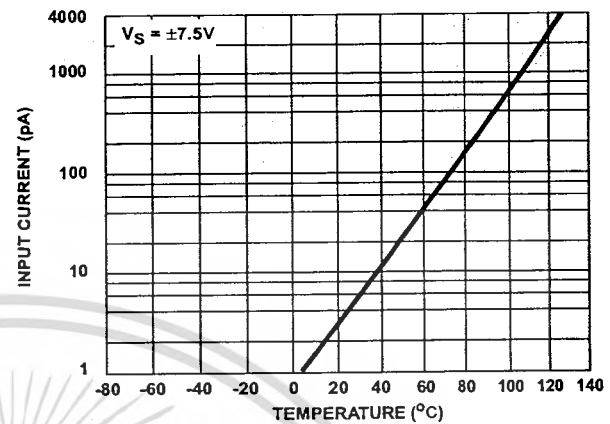


FIGURE 4. INPUT CURRENT vs TEMPERATURE

In applications requiring the lowest practical input current and incremental increases in current because of "warm-up" effects, it is suggested that an appropriate heat sink be used with the CA3130. In addition, when "sinking" or "sourcing" significant output current the chip temperature increases, causing an increase in the input current. In such cases, heat-sinking can also very markedly reduce and stabilize input current variations.

Input Offset Voltage (V_{IO}) Variation with DC Bias and Device Operating Life

It is well known that the characteristics of a MOSFET device can change slightly when a DC gate-source bias potential is applied to the device for extended time periods. The magnitude of the change is increased at high temperatures. Users of the CA3130 should be alert to the possible impacts of this effect if the application of the device involves extended operation at high temperatures with a significant differential DC bias voltage applied across Terminals 2 and 3. Figure 5 shows typical data pertinent to shifts in offset voltage encountered with CA3130 devices (metal can package) during life testing. At lower temperatures (metal can and plastic), for example at 85°C , this change in voltage is considerably less. In typical linear applications where the differential voltage is small and symmetrical, these incremental changes are of about the same magnitude as those encountered in an operational amplifier employing a bipolar transistor input stage. The 2VDC differential voltage example represents conditions when the amplifier output stage is "toggled", e.g., as in comparator applications.

CA3130, CA3130A

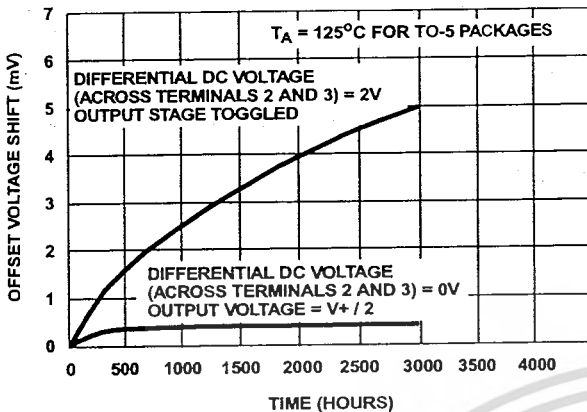


FIGURE 5. TYPICAL INCREMENTAL OFFSET-VOLTAGE SHIFT vs OPERATING LIFE

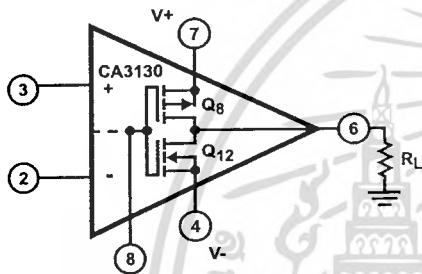


FIGURE 6A. DUAL POWER SUPPLY OPERATION

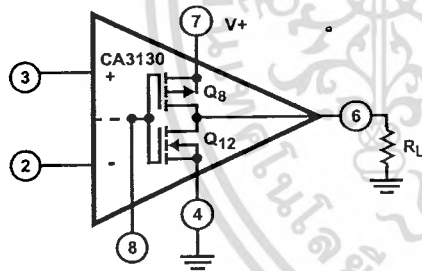


FIGURE 6B. SINGLE POWER SUPPLY OPERATION

FIGURE 6. CA3130 OUTPUT STAGE IN DUAL AND SINGLE POWER SUPPLY OPERATION

Power-Supply Considerations

Because the CA3130 is very useful in single-supply applications, it is pertinent to review some considerations relating to power-supply current consumption under both single-and dual-supply service. Figures 6A and 6B show the CA3130 connected for both dual-and single-supply operation.

Dual-supply Operation: When the output voltage at Terminal 6 is 0V, the currents supplied by the two power supplies are equal. When the gate terminals of Q_8 and Q_{12} are driven increasingly positive with respect to ground, current flow through Q_{12} (from the negative supply) to the load is

increased and current flow through Q_8 (from the positive supply) decreases correspondingly. When the gate terminals of Q_8 and Q_{12} are driven increasingly negative with respect to ground, current flow through Q_8 is increased and current flow through Q_{12} is decreased accordingly.

Single-supply Operation: Initially, let it be assumed that the value of R_L is very high (or disconnected), and that the input-terminal bias (Terminals 2 and 3) is such that the output terminal (No. 6) voltage is at $V+/2$, i.e., the voltage drops across Q_8 and Q_{12} are of equal magnitude. Figure 20 shows typical quiescent supply-current vs supply-voltage for the CA3130 operated under these conditions. Since the output stage is operating as a Class A amplifier, the supply-current will remain constant under dynamic operating conditions as long as the transistors are operated in the linear portion of their voltage-transfer characteristics (see Figure 2). If either Q_8 or Q_{12} are swung out of their linear regions toward cut-off (a non-linear region), there will be a corresponding reduction in supply-current. In the extreme case, e.g., with Terminal 8 swung down to ground potential (or tied to ground), NMOS transistor Q_{12} is completely cut off and the supply-current to series-connected transistors Q_8 , Q_{12} goes essentially to zero. The two preceding stages in the CA3130, however, continue to draw modest supply-current (see the lower curve in Figure 20) even though the output stage is strobed off. Figure 6A shows a dual-supply arrangement for the output stage that can also be strobed off, assuming $R_L = \infty$ by pulling the potential of Terminal 8 down to that of Terminal 4.

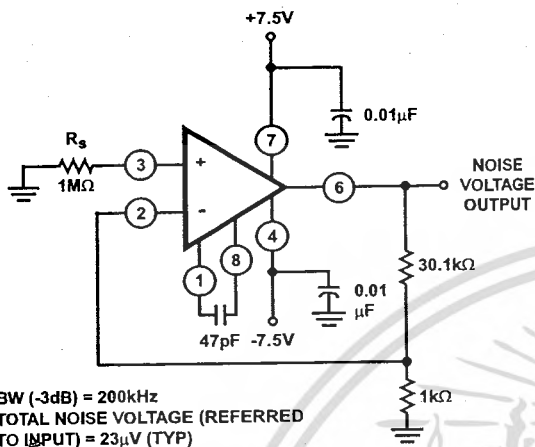
Let it now be assumed that a load-resistance of nominal value (e.g., $2k\Omega$) is connected between Terminal 6 and ground in the circuit of Figure 6B. Let it be assumed again that the input-terminal bias (Terminals 2 and 3) is such that the output terminal (No. 6) voltage is at $V+/2$. Since PMOS transistor Q_8 must now supply quiescent current to both R_L and transistor Q_{12} , it should be apparent that under these conditions the supply-current must increase as an inverse function of the R_L magnitude. Figure 22 shows the voltage-drop across PMOS transistor Q_8 as a function of load current at several supply voltages. Figure 2 shows the voltage-transfer characteristics of the output stage for several values of load resistance.

Wideband Noise

From the standpoint of low-noise performance considerations, the use of the CA3130 is most advantageous in applications where in the source resistance of the input signal is on the order of $1M\Omega$ or more. In this case, the total input-referred noise voltage is typically only $23\mu V$ when the test-circuit amplifier of Figure 7 is operated at a total supply voltage of 15V. This value of total input-referred noise remains essentially constant, even though the value of source resistance is raised by an order of magnitude. This characteristic is due to the fact that reactance of the input capacitance becomes a significant factor in shunting the source resistance. It should be noted, however, that for

CA3130, CA3130A

values of source resistance very much greater than $1\text{M}\Omega$, the total noise voltage generated can be dominated by the thermal noise contributions of both the feedback and source resistors.



$\text{BW } (-3\text{dB}) = 200\text{kHz}$
 $\text{TOTAL NOISE VOLTAGE (REFERRED TO INPUT)} = 23\mu\text{V (TYP)}$

FIGURE 7. TEST-CIRCUIT AMPLIFIER (30-dB GAIN) USED FOR WIDEBAND NOISE MEASUREMENTS

Typical Applications

Voltage Followers

Operational amplifiers with very high input resistances, like the CA3130, are particularly suited to service as voltage followers. Figure 8 shows the circuit of a classical voltage follower, together with pertinent waveforms using the CA3130 in a split-supply configuration.

A voltage follower, operated from a single supply, is shown in Figure 9, together with related waveforms. This follower circuit is linear over a wide dynamic range, as illustrated by the reproduction of the output waveform in Figure 9A with input-signal ramping. The waveforms in Figure 9B show that the follower does not lose its input-to-output phase-sense, even though the input is being swung 7.5V below ground potential. This unique characteristic is an important attribute in both operational amplifier and comparator applications. Figure 9B also shows the manner in which the CMOS output stage permits the output signal to swing down to the negative supply-rail potential (i.e., ground in the case shown). The digital-to-analog converter (DAC) circuit, described later, illustrates the practical use of the CA3130 in a single-supply voltage-follower application.

9-Bit CMOS DAC

A typical circuit of a 9-bit Digital-to-Analog Converter (DAC) is shown in Figure 10. This system combines the concepts of multiple-switch CMOS ICs, a low-cost ladder network of discrete metal-oxide-film resistors, a CA3130 op amp connected as a follower, and an inexpensive monolithic regulator in a simple single power-supply arrangement. An additional feature of the DAC is that it is readily interfaced

with CMOS input logic, e.g., 10V logic levels are used in the circuit of Figure 10.

The circuit uses an R/2R voltage-ladder network, with the output potential obtained directly by terminating the ladder arms at either the positive or the negative power-supply terminal. Each CD4007A contains three "inverters", each "inverter" functioning as a single-pole double-throw switch to terminate an arm of the R/2R network at either the positive or negative power-supply terminal. The resistor ladder is an assembly of 1% tolerance metal-oxide film resistors. The five arms requiring the highest accuracy are assembled with series and parallel combinations of 806,000Ω resistors from the same manufacturing lot.

A single 15V supply provides a positive bus for the CA3130 follower amplifier and feeds the CA3085 voltage regulator. A "scale-adjust" function is provided by the regulator output control, set to a nominal 10V level in this system. The line-voltage regulation (approximately 0.2%) permits a 9-bit accuracy to be maintained with variations of several volts in the supply. The flexibility afforded by the CMOS building blocks simplifies the design of DAC systems tailored to particular needs.

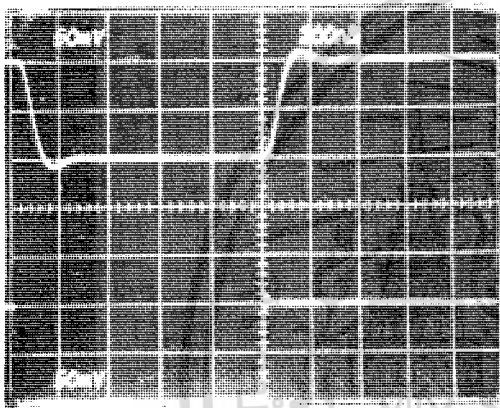
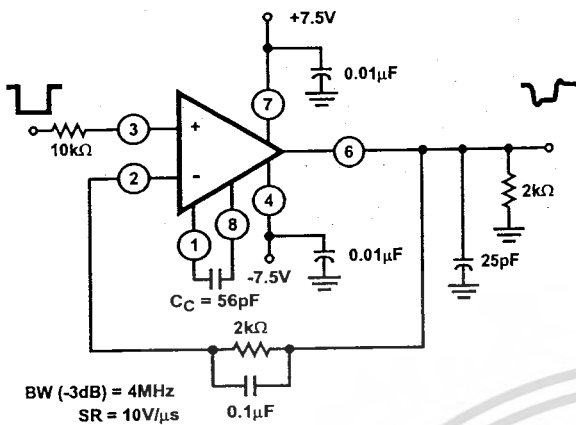
Single-Supply, Absolute-Value, Ideal Full-Wave Rectifier

The absolute-value circuit using the CA3130 is shown in Figure 11. During positive excursions, the input signal is fed through the feedback network directly to the output. Simultaneously, the positive excursion of the input signal also drives the output terminal (No. 6) of the inverting amplifier in a negative-going excursion such that the 1N914 diode effectively disconnects the amplifier from the signal path. During a negative-going excursion of the input signal, the CA3130 functions as a normal inverting amplifier with a gain equal to $-R_2/R_1$. When the equality of the two equations shown in Figure 11 is satisfied, the full-wave output is symmetrical.

Peak Detectors

Peak-detector circuits are easily implemented with the CA3130, as illustrated in Figure 12 for both the peak-positive and the peak-negative circuit. It should be noted that with large-signal inputs, the bandwidth of the peak-negative circuit is much less than that of the peak-positive circuit. The second stage of the CA3130 limits the bandwidth in this case. Negative-going output-signal excursion requires a positive-going signal excursion at the collector of transistor Q₁₁, which is loaded by the intrinsic capacitance of the associated circuitry in this mode. On the other hand, during a negative-going signal excursion at the collector of Q₁₁, the transistor functions in an active "pull-down" mode so that the intrinsic capacitance can be discharged more expeditiously.

CA3130, CA3130A



Top Trace: Output
Center Trace: Input

FIGURE 8A. SMALL-SIGNAL RESPONSE (50mV/DIV., 200ns/DIV.)

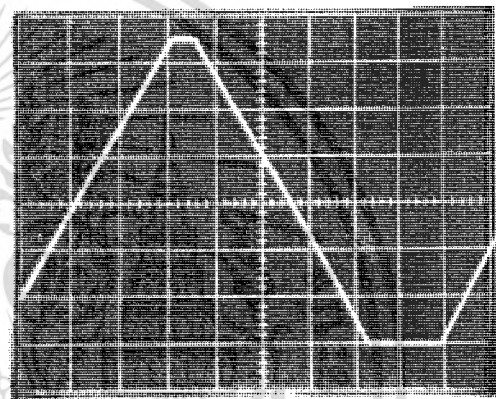
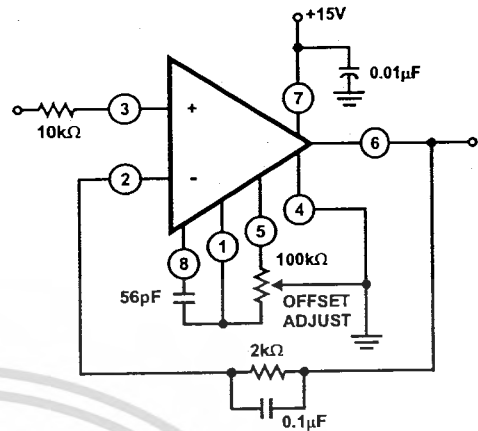
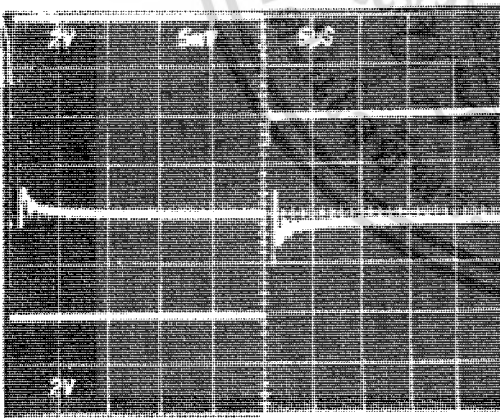


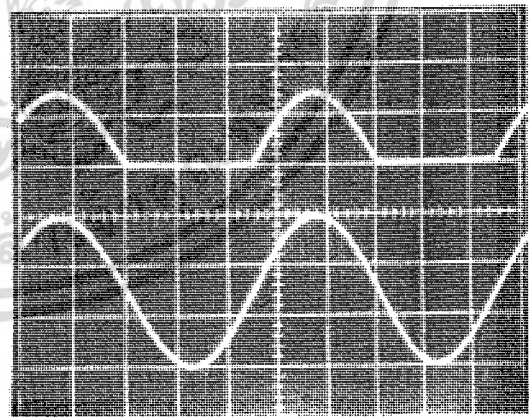
FIGURE 9A. OUTPUT WAVEFORM WITH INPUT SIGNAL RAMPING (2V/DIV., 500μs/DIV.)



Top Trace: Output Signal; 2V/DIV., 5μs/DIV.
Center Trace: Difference Signal; 5mV/DIV., 5μs/DIV.
Bottom Trace: Input Signal; 2V/DIV., 5μs/DIV.

FIGURE 8B. INPUT-OUTPUT DIFFERENCE SIGNAL SHOWING SETTLING TIME (MEASUREMENT MADE WITH TEKTRONIX 7A13 DIFFERENTIAL AMPLIFIER)

FIGURE 8. SPLIT SUPPLY VOLTAGE FOLLOWER WITH ASSOCIATED WAVEFORMS



Top Trace: Output; 5V/DIV., 200μs/DIV.
Bottom Trace: Input Signal; 5V/DIV., 200μs/DIV.

FIGURE 9B. OUTPUT WAVEFORM WITH GROUND REFERENCE SINE-WAVE INPUT

FIGURE 9. SINGLE SUPPLY VOLTAGE FOLLOWER WITH ASSOCIATED WAVEFORMS. (E.G., FOR USE IN SINGLE-SUPPLY D/A CONVERTER; SEE FIGURE 9 IN AN6080)

CA3130, CA3130A

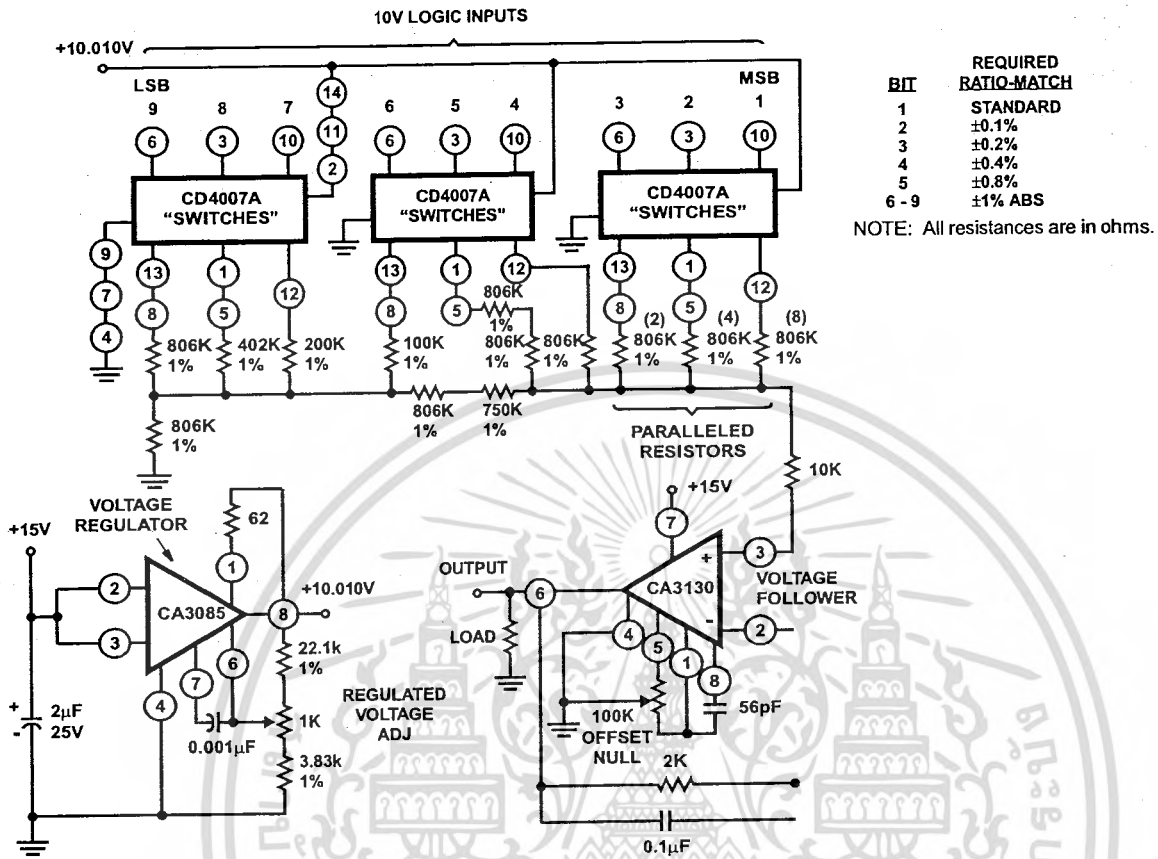
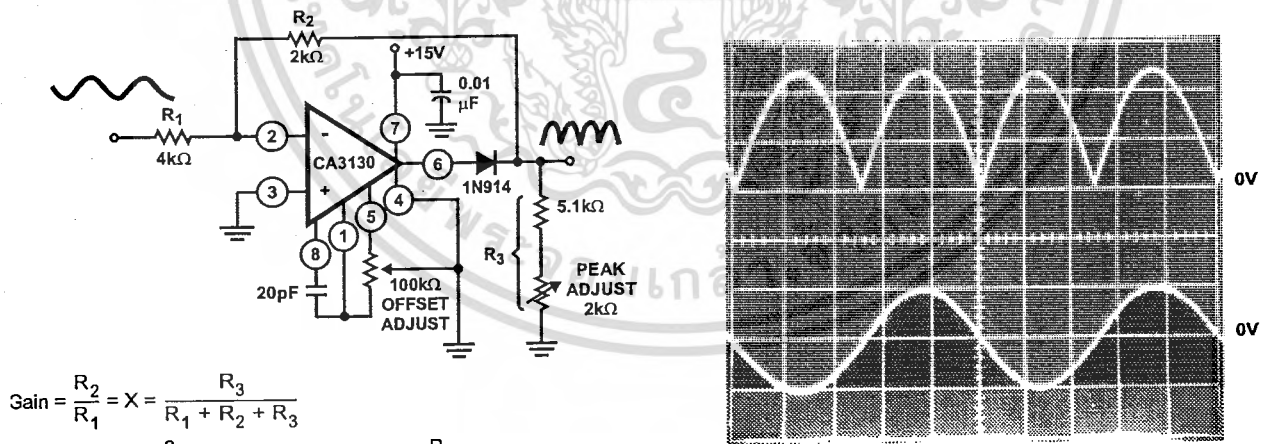


FIGURE 10. 9-BIT DAC USING CMOS DIGITAL SWITCHES AND CA3130



$$\text{Gain} = \frac{R_2}{R_1} = X = \frac{R_3}{R_1 + R_2 + R_3}$$

$$R_3 = R_1 \left(\frac{X + X^2}{1 - X} \right) \quad \text{For } X = 0.5: \frac{2K\Omega}{4k\Omega} = \frac{R_2}{R_1}$$

$$R_3 = 4k\Omega \left(\frac{0.75}{0.5} \right) = 6k\Omega$$

20V_{p-p} Input: BW(-3dB) = 230kHz, DC Output (Avg) = 3.2V

1V_{p-p} Input: BW(-3dB) = 130kHz, DC Output (Avg) = 160mV

Top Trace: Output Signal; 2V/Div.
Bottom Trace: Input Signal; 10V/Div.
Time base on both traces: 0.2ms/Div.

FIGURE 11. SINGLE SUPPLY, ABSOLUTE VALUE, IDEAL FULL-WAVE RECTIFIER WITH ASSOCIATED WAVEFORMS

CA3130, CA3130A

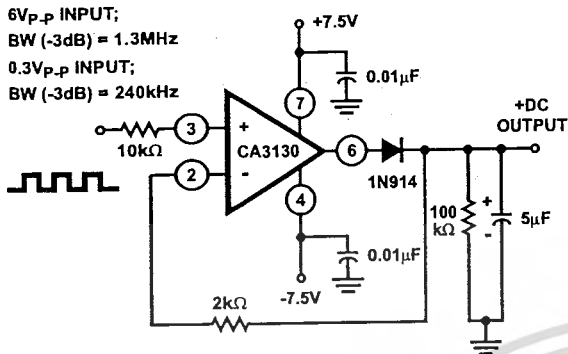


FIGURE 12A. PEAK POSITIVE DETECTOR CIRCUIT

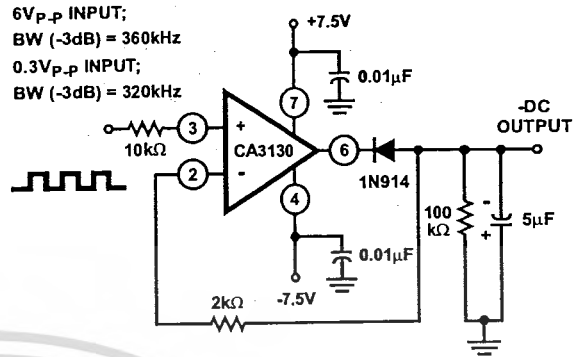


FIGURE 12B. PEAK NEGATIVE DETECTOR CIRCUIT

FIGURE 12. PEAK-DETECTOR CIRCUITS

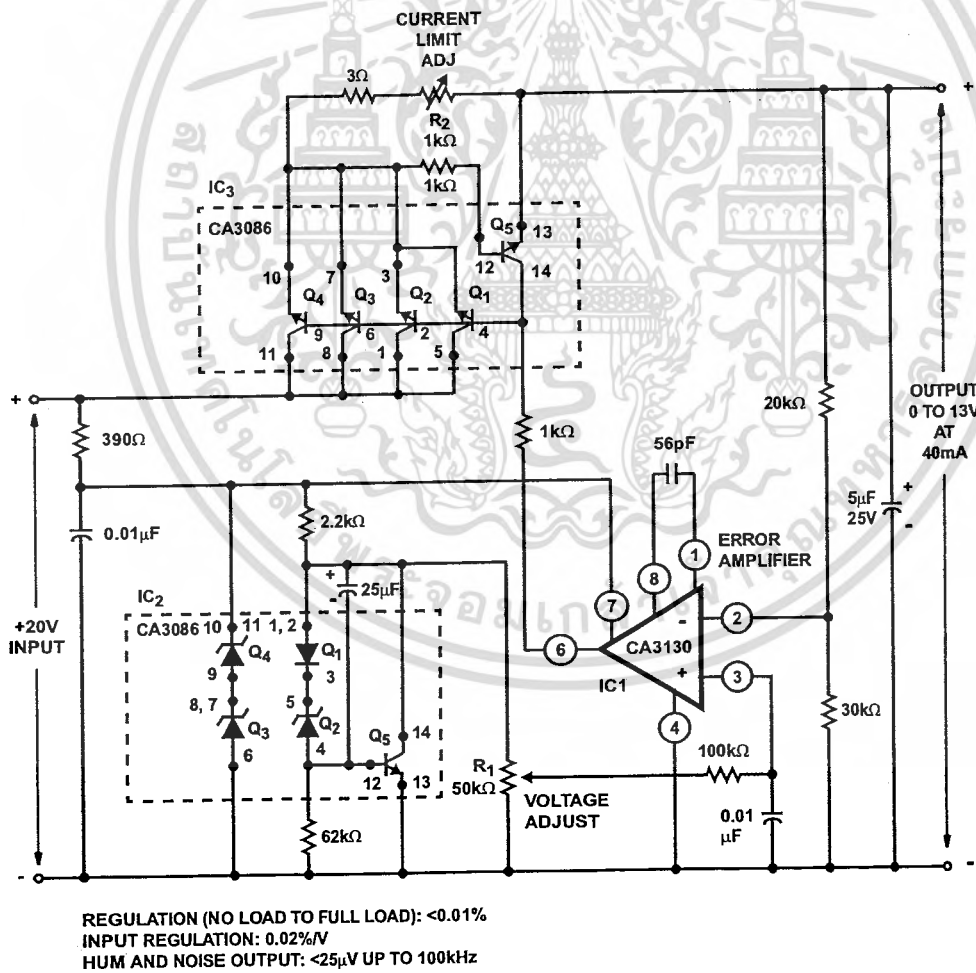


FIGURE 13. VOLTAGE REGULATOR CIRCUIT (0V TO 13V AT 40mA)

CA3130, CA3130A

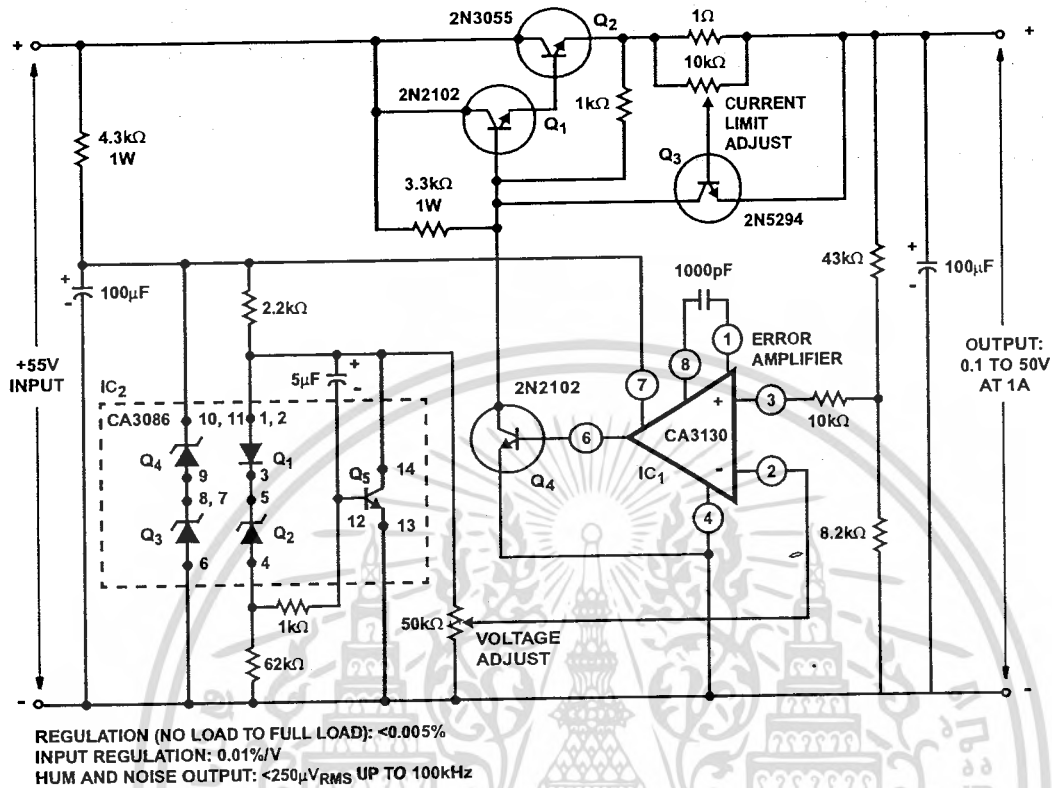


FIGURE 14. VOLTAGE REGULATOR CIRCUIT (0.1V TO 50V AT 1A)

Error-Amplifier in Regulated-Power Supplies

The CA3130 is an ideal choice for error-amplifier service in regulated power supplies since it can function as an error-amplifier when the regulated output voltage is required to approach zero. Figure 13 shows the schematic diagram of a 40mA power supply capable of providing regulated output voltage by continuous adjustment over the range from 0V to 13V. Q₃ and Q₄ in IC₂ (a CA3086 transistor-array IC) function as zeners to provide supply-voltage for the CA3130 comparator (IC₁). Q₁, Q₂, and Q₅ in IC₂ are configured as a low impedance, temperature-compensated source of adjustable reference voltage for the error amplifier. Transistors Q₁, Q₂, Q₃, and Q₄ in IC₃ (another CA3086 transistor-array IC) are connected in parallel as the series-pass element. Transistor Q₅ in IC₃ functions as a current-limiting device by diverting base drive from the series-pass transistors, in accordance with the adjustment of resistor R₂.

Figure 14 contains the schematic diagram of a regulated power-supply capable of providing regulated output voltage by continuous adjustment over the range from 0.1V to 50V and currents up to 1A. The error amplifier (IC₁) and circuitry associated with IC₂ function as previously described, although the output of IC₁ is boosted by a discrete transistor (Q₄) to provide adequate base drive for the Darlington-

connected series-pass transistors Q₁, Q₂. Transistor Q₃ functions in the previously described current-limiting circuit.

Multivibrators

The exceptionally high input resistance presented by the CA3130 is an attractive feature for multivibrator circuit design because it permits the use of timing circuits with high R/C ratios. The circuit diagram of a pulse generator (astable multivibrator), with provisions for independent control of the "on" and "off" periods, is shown in Figure 15. Resistors R₁ and R₂ are used to bias the CA3130 to the mid-point of the supply-voltage and R₃ is the feedback resistor. The pulse repetition rate is selected by positioning S₁ to the desired position and the rate remains essentially constant when the resistors which determine "on-period" and "off-period" are adjusted.

Function Generator

Figure 16 contains a schematic diagram of a function generator using the CA3130 in the integrator and threshold detector functions. This circuit generates a triangular or square-wave output that can be swept over a 1,000,000:1 range (0.1Hz to 100kHz) by means of a single control, R₁. A voltage-control input is also available for remote sweep-control.

CA3130, CA3130A

The heart of the frequency-determining system is an operational-transconductance-amplifier (OTA) (see Note 10), IC₁, operated as a voltage-controlled current-source. The output, I_O, is a current applied directly to the integrating capacitor, C₁, in the feedback loop of the integrator IC₂, using CA3130, to provide the triangular-wave output. Potentiometer R₂ is used to adjust the circuit for slope symmetry of positive-going and negative-going signal excursions.

Another CA3130, IC₃, is used as a controlled switch to set the excursion limits of the triangular output from the integrator circuit. Capacitor C₂ is a "peaking adjustment" to optimize the high-frequency square-wave performance of the circuit.

Potentiometer R₃ is adjustable to perfect the "amplitude symmetry" of the square-wave output signals. Output from the threshold detector is fed back via resistor R₄ to the input of IC₁ so as to toggle the current source from plus to minus generating the linear triangular wave.

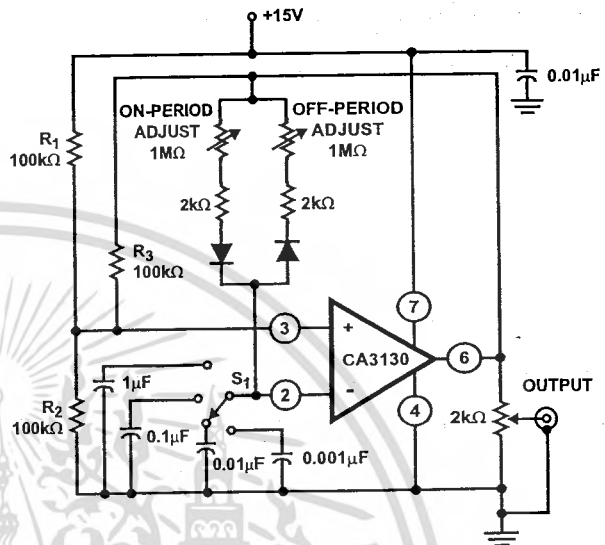
Operation with Output-Stage Power-Booster

The current-sourcing and-sinking capability of the CA3130 output stage is easily supplemented to provide power-boost capability. In the circuit of Figure 17, three CMOS transistors in a single CA3600E (see Note 12) IC array are shown parallel connected with the output stage in the CA3130. In the Class A mode of CA3600E shown, a typical device consumes 30mA of supply current at 15V operation. This arrangement boosts the current-handling capability of the CA3130 output stage by about 2.5X.

The amplifier circuit in Figure 17 employs feedback to establish a closed-loop gain of 48dB. The typical large-signal bandwidth (-3dB) is 50kHz.

NOTE:

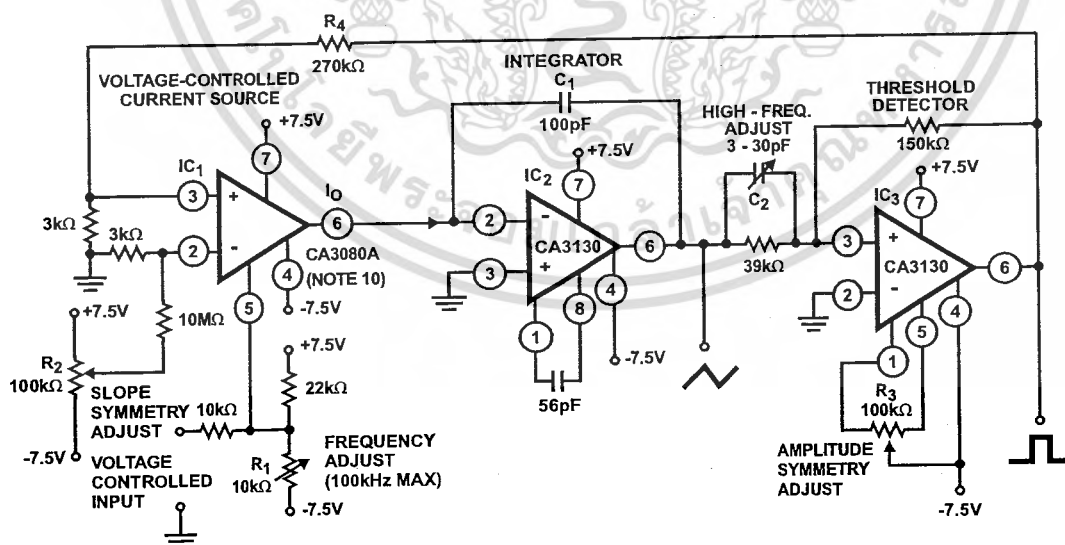
9. See file number 619 for technical information.



FREQUENCY RANGE:

POSITION OF S ₁	PULSE PERIOD
0.001μF	4μs to 1ms
0.01μF	40μs to 10ms
0.1μF	0.4ms to 100ms
1μF	4ms to 1s

FIGURE 15. PULSE GENERATOR (ASTABLE MULTIVIBRATOR) WITH PROVISIONS FOR INDEPENDENT CONTROL OF "ON" AND "OFF" PERIODS

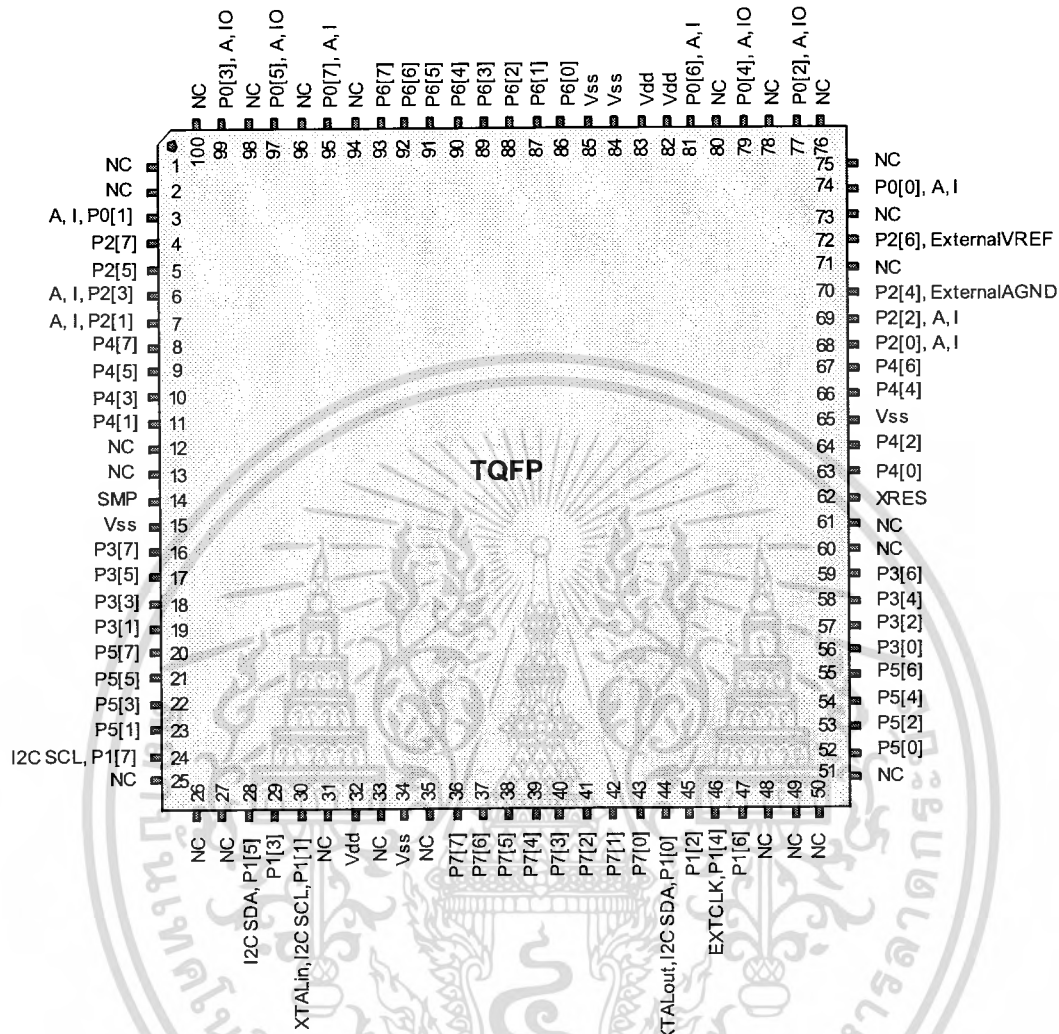


NOTE:

10. See file number 475 and AN6668 for technical information.

FIGURE 16. FUNCTION GENERATOR (FREQUENCY CAN BE VARIED 1,000,000/1 WITH A SINGLE CONTROL)

CY8C29866 100-Pin PSoC Device



2. Register Reference



This chapter lists the registers of the CY8C29x66 PSoC device. For detailed register information, reference the *PSoC™ Mixed-Signal Array Technical Reference Manual*.

2.1 Register Conventions

2.1.1 Abbreviations Used

The register conventions specific to this section are listed in the following table.

Convention	Description
R	Read register or bit(s)
W	Write register or bit(s)
L	Logical register or bit(s)
C	Clearable register or bit(s)
#	Access is bit specific

2.2 Register Mapping Tables

The PSoC device has a total register address space of 512 bytes. The register space is referred to as IO space and is divided into two banks. The XO1 bit in the Flag register (CPU_F) determines which bank the user is currently in. When the XO1 bit is set the user is in Bank 1.

Note In the following register mapping tables, blank fields are reserved and should not be accessed.

Register Map Bank 0 Table: User Space

Name	Addr (0,Hex)	Access	Name	Addr (0,Hex)	Access	Name	Addr (0,Hex)	Access	Name	Addr (0,Hex)	Access
PRT0DR	00	RW	DBB20DR0	40	#	ASC10CR0	80	RW	RDI2RI	C0	RW
PRT0IE	01	RW	DBB20DR1	41	W	ASC10CR1	81	RW	RDI2SYN	C1	RW
PRT0GS	02	RW	DBB20DR2	42	RW	ASC10CR2	82	RW	RDI2IS	C2	RW
PRT0DM2	03	RW	DBB20CR0	43	#	ASC10CR3	83	RW	RDI2LT0	C3	RW
PRT1DR	04	RW	DBB21DR0	44	#	ASD11CR0	84	RW	RDI2LT1	C4	RW
PRT1IE	05	RW	DBB21DR1	45	W	ASD11CR1	85	RW	RDI2RO0	C5	RW
PRT1GS	06	RW	DBB21DR2	46	RW	ASD11CR2	86	RW	RDI2RO1	C6	RW
PRT1DM2	07	RW	DBB21CR0	47	#	ASD11CR3	87	RW		C7	
PRT2DR	08	RW	DCB22DR0	48	#	ASC12CR0	88	RW	RDI3RI	C8	RW
PRT2IE	09	RW	DCB22DR1	49	W	ASC12CR1	89	RW	RDI3SYN	C9	RW
PRT2GS	0A	RW	DCB22DR2	4A	RW	ASC12CR2	8A	RW	RDI3IS	CA	RW
PRT2DM2	0B	RW	DCB22CR0	4B	#	ASC12CR3	8B	RW	RDI3LT0	CB	RW
PRT3DR	0C	RW	DCB23DR0	4C	#	ASD13CR0	8C	RW	RDI3LT1	CC	RW
PRT3IE	0D	RW	DCB23DR1	4D	W	ASD13CR1	8D	RW	RDI3RO0	CD	RW
PRT3GS	0E	RW	DCB23DR2	4E	RW	ASD13CR2	8E	RW	RDI3RO1	CE	RW
PRT3DM2	0F	RW	DCB23CR0	4F	#	ASD13CR3	8F	RW		CF	
PRT4DR	10	RW	DBB30DR0	50	#	ASD20CR0	90	RW	CUR_PP	D0	RW
PRT4IE	11	RW	DBB30DR1	51	W	ASD20CR1	91	RW	STK_PP	D1	RW
PRT4GS	12	RW	DBB30DR2	52	RW	ASD20CR2	92	RW		D2	
PRT4DM2	13	RW	DBB30CR0	53	#	ASD20CR3	93	RW	IDX_PP	D3	RW
PRT5DR	14	RW	DBB31DR0	54	#	ASC21CR0	94	RW	MVR_PP	D4	RW
PRT5IE	15	RW	DBB31DR1	55	W	ASC21CR1	95	RW	MVW_PP	D5	RW
PRT5GS	16	RW	DBB31DR2	56	RW	ASC21CR2	96	RW	I2C_CFG	D6	RW
PRT5DM2	17	RW	DBB31CR0	57	#	ASC21CR3	97	RW	I2C_SCR	D7	#
PRT6DR	18	RW	DCB32DR0	58	#	ASD22CR0	98	RW	I2C_DR	D8	RW
PRT6IE	19	RW	DCB32DR1	59	W	ASD22CR1	99	RW	I2C_MSCR	D9	#
PRT6GS	1A	RW	DCB32DR2	5A	RW	ASD22CR2	9A	RW	INT_CLR0	DA	RW
PRT6DM2	1B	RW	DCB32CR0	5B	#	ASD22CR3	9B	RW	INT_CLR1	DB	RW
PRT7DR	1C	RW	DCB33DR0	5C	#	ASC23CR0	9C	RW	INT_CLR2	DC	RW
PRT7IE	1D	RW	DCB33DR1	5D	W	ASC23CR1	9D	RW	INT_CLR3	DD	RW
PRT7GS	1E	RW	DCB33DR2	5E	RW	ASC23CR2	9E	RW	INT_MSK3	DE	RW
PRT7DM2	1F	RW	DCB33CR0	5F	#	ASC23CR3	9F	RW	INT_MSK2	DF	RW
DBB00DR0	20	#	AMX_IN	60	RW		A0		INT_MSK0	E0	RW
DBB00DR1	21	W		61			A1		INT_MSK1	E1	RW
DBB00DR2	22	RW		62			A2		INT_VC	E2	RC
DBB00CR0	23	#	ARF_CR	63	RW		A3		RES_WDT	E3	W
DBB01DR0	24	#	CMP_CR0	64	#		A4		DEC_DH	E4	RC
DBB01DR1	25	W	ASY_CR	65	#		A5		DEC_DL	E5	RC
DBB01DR2	26	RW	CMP_CR1	66	RW		A6		DEC_CR0	E6	RW
DBB01CR0	27	#		67			A7		DEC_CR1	E7	RW
DCB02DR0	28	#		68		MUL1_X	A8	W	MUL0_X	E8	W
DCB02DR1	29	W		69		MUL1_Y	A9	W	MUL0_Y	E9	W
DCB02DR2	2A	RW		6A		MUL1_DH	AA	R	MUL0_DH	EA	R
DCB02CR0	2B	#		6B		MUL1_DL	AB	R	MUL0_DL	EB	R
DCB03DR0	2C	#	TMP0_DR	6C	RW	ACC1_DR1	AC	RW	ACC0_DR1	EC	RW
DCB03DR1	2D	W	TMP1_DR	6D	RW	ACC1_DR0	AD	RW	ACC0_DR0	ED	RW
DCB03DR2	2E	RW	TMP2_DR	6E	RW	ACC1_DR3	AE	RW	ACC0_DR3	EE	RW
DCB03CR0	2F	#	TMP3_DR	6F	RW	ACC1_DR2	AF	RW	ACC0_DR2	EF	RW
DBB10DR0	30	#	ACB00CR3	70	RW	RDI0RI	B0	RW		F0	
DBB10DR1	31	W	ACB00CR0	71	RW	RDI0SYN	B1	RW		F1	
DBB10DR2	32	RW	ACB00CR1	72	RW	RDI0IS	B2	RW		F2	
DBB10CR0	33	#	ACB00CR2	73	RW	RDI0LT0	B3	RW		F3	
DBB11DR0	34	#	ACB01CR3	74	RW	RDI0LT1	B4	RW		F4	
DBB11DR1	35	W	ACB01CR0	75	RW	RDI0RO0	B5	RW		F5	
DBB11DR2	36	RW	ACB01CR1	76	RW	RDI0RO1	B6	RW		F6	
DBB11CR0	37	#	ACB01CR2	77	RW		B7		CPU_F	F7	RL
DCB12DR0	38	#	ACB02CR3	78	RW	RDI1RI	B8	RW		F8	
DCB12DR1	39	W	ACB02CR0	79	RW	RDI1SYN	B9	RW		F9	
DCB12DR2	3A	RW	ACB02CR1	7A	RW	RDI1IS	BA	RW		FA	
DCB12CR0	3B	#	ACB02CR2	7B	RW	RDI1LT0	BB	RW		FB	
DCB13DR0	3C	#	ACB03CR3	7C	RW	RDI1LT1	BC	RW		FC	
DCB13DR1	3D	W	ACB03CR0	7D	RW	RDI1RO0	BD	RW		FD	
DCB13DR2	3E	RW	ACB03CR1	7E	RW	RDI1RO1	BE	RW	CPU_SCR1	FE	#
DCB13CR0	3F	#	ACB03CR2	7F	RW		BF		CPU_SCR0	FF	#

Blank fields are Reserved and should not be accessed.

Access is bit specific.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ไปใช้ประโยชน์ด้านการค้า

Register Map Bank 1 Table: Configuration Space

Name	Addr (1,Hex)	Access	Name	Addr (1,Hex)	Access	Name	Addr (1,Hex)	Access	Name	Addr (1,Hex)	Access
PRT0DM0	00	RW	DBB20FN	40	RW	ASC10CR0	80	RW	RDI2RI	C0	RW
PRT0DM1	01	RW	DBB20IN	41	RW	ASC10CR1	81	RW	RDI2SYN	C1	RW
PRT0IC0	02	RW	DBB20OU	42	RW	ASC10CR2	82	RW	RDI2IS	C2	RW
PRT0IC1	03	RW		43		ASC10CR3	83	RW	RDI2LT0	C3	RW
PRT1DM0	04	RW	DBB21FN	44	RW	ASD11CR0	84	RW	RDI2LT1	C4	RW
PRT1DM1	05	RW	DBB21IN	45	RW	ASD11CR1	85	RW	RDI2RO0	C5	RW
PRT1IC0	06	RW	DBB21OU	46	RW	ASD11CR2	86	RW	RDI2RO1	C6	RW
PRT1IC1	07	RW		47		ASD11CR3	87	RW		C7	
PRT2DM0	08	RW	DCB22FN	48	RW	ASC12CR0	88	RW	RDI3RI	C8	RW
PRT2DM1	09	RW	DCB22IN	49	RW	ASC12CR1	89	RW	RDI3SYN	C9	RW
PRT2IC0	0A	RW	DCB22OU	4A	RW	ASC12CR2	8A	RW	RDI3IS	CA	RW
PRT2IC1	0B	RW		4B		ASC12CR3	8B	RW	RDI3LT0	CB	RW
PRT3DM0	0C	RW	DCB23FN	4C	RW	ASD13CR0	8C	RW	RDI3LT1	CC	RW
PRT3DM1	0D	RW	DCB23IN	4D	RW	ASD13CR1	8D	RW	RDI3RO0	CD	RW
PRT3IC0	0E	RW	DCB23OU	4E	RW	ASD13CR2	8E	RW	RDI3RO1	CE	RW
PRT3IC1	0F	RW		4F		ASD13CR3	8F	RW		CF	
PRT4DM0	10	RW	DBB30FN	50	RW	ASD20CR0	90	RW	GDI_O_IN	D0	RW
PRT4DM1	11	RW	DBB30IN	51	RW	ASD20CR1	91	RW	GDI_E_IN	D1	RW
PRT4IC0	12	RW	DBB30OU	52	RW	ASD20CR2	92	RW	GDI_O_OU	D2	RW
PRT4IC1	13	RW		53		ASD20CR3	93	RW	GDI_E_OU	D3	RW
PRT5DM0	14	RW	DBB31FN	54	RW	ASC21CR0	94	RW		D4	
PRT5DM1	15	RW	DBB31IN	55	RW	ASC21CR1	95	RW		D5	
PRT5IC0	16	RW	DBB31OU	56	RW	ASC21CR2	96	RW		D6	
PRT5IC1	17	RW		57		ASC21CR3	97	RW		D7	
PRT6DM0	18	RW	DCB32FN	58	RW	ASD22CR0	98	RW		D8	
PRT6DM1	19	RW	DCB32IN	59	RW	ASD22CR1	99	RW		D9	
PRT6IC0	1A	RW	DCB32OU	5A	RW	ASD22CR2	9A	RW		DA	
PRT6IC1	1B	RW		5B		ASD22CR3	9B	RW		DB	
PRT7DM0	1C	RW	DCB33FN	5C	RW	ASC23CR0	9C	RW		DC	
PRT7DM1	1D	RW	DCB33IN	5D	RW	ASC23CR1	9D	RW	OSC_GO_EN	DD	RW
PRT7IC0	1E	RW	DCB33OU	5E	RW	ASC23CR2	9E	RW	OSC_CR4	DE	RW
PRT7IC1	1F	RW		5F		ASC23CR3	9F	RW	OSC_CR3	DF	RW
DBB00FN	20	RW	CLK_CR0	60	RW		A0		OSC_CR0	E0	RW
DBB00IN	21	RW	CLK_CR1	61	RW		A1		OSC_CR1	E1	RW
DBB00OU	22	RW	ABF_CR0	62	RW		A2		OSC_CR2	E2	RW
	23		AMD_CR0	63	RW		A3		VLT_CR	E3	RW
DBB01FN	24	RW		64			A4		VLT_CMP	E4	R
DBB01IN	25	RW		65			A5			E5	
DBB01OU	26	RW	AMD_CR1	66	RW		A6			E6	
	27		ALT_CR0	67	RW		A7		DEC_CR2	E7	RW
DCB02FN	28	RW	ALT_CR1	68	RW		A8		IMO_TR	E8	W
DCB02IN	29	RW	CLK_CR2	69	RW		A9		ILO_TR	E9	W
DCB02OU	2A	RW		6A			AA		BDG_TR	EA	RW
	2B			6B			AB		ECO_TR	EB	W
DCB03FN	2C	RW	TMP0_DR	6C	RW		AC			EC	
DCB03IN	2D	RW	TMP1_DR	6D	RW		AD			ED	
DCB03OU	2E	RW	TMP2_DR	6E	RW		AE			EE	
	2F		TMP3_DR	6F	RW		AF			EF	
DEB10FN	30	RW	ACB00CR3	70	RW	RDI0RI	B0	RW		F0	
DEB10IN	31	RW	ACB00CR0	71	RW	RDI0SYN	B1	RW		F1	
DEB10OU	32	RW	ACB00CR1	72	RW	RDI0IS	B2	RW		F2	
	33		ACB00CR2	73	RW	RDI0LT0	B3	RW		F3	
DEB11FN	34	RW	ACB01CR3	74	RW	RDI0LT1	B4	RW		F4	
DEB11IN	35	RW	ACB01CR0	75	RW	RDI0RO0	B5	RW		F5	
DEB11OU	36	RW	ACB01CR1	76	RW	RDI0RO1	B6	RW		F6	
	37		ACB01CR2	77	RW		B7		CPU_F	F7	RL
DCB12FN	38	RW	ACB02CR3	78	RW	RDI1RI	B8	RW		F8	
DCB12IN	39	RW	ACB02CR0	79	RW	RDI1SYN	B9	RW		F9	
DCB12OU	3A	RW	ACB02CR1	7A	RW	RDI1IS	BA	RW	FLS_PR1	FA	RW
	3B		ACB02CR2	7B	RW	RDI1LT0	BB	RW		FB	
DCB13FN	3C	RW	ACB03CR3	7C	RW	RDI1LT1	BC	RW		FC	
DCB13IN	3D	RW	ACB03CR0	7D	RW	RDI1RO0	BD	RW		FD	
DCB13OU	3E	RW	ACB03CR1	7E	RW	RDI1RO1	BE	RW	CPU_SCR1	FE	#
	3F		ACB03CR2	7F	RW		BF		CPU_SCR0	FF	#

Blank fields are Reserved and should not be accessed.

Access is bit specific.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้ไปใช้ประโยชน์ด้านการค้า

3. Electrical Specifications



This chapter presents the DC and AC electrical specifications of the CY8C29x66 PSoC device. For the most up to date electrical specifications, confirm that you have the most recent data sheet by going to the web at <http://www.cypress.com/psoc>.

Specifications are valid for $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$ and $T_J \leq 100^{\circ}\text{C}$, except where noted.

Refer to Table 3-16 for the electrical specifications on the internal main oscillator (IMO) using SLIMO mode.

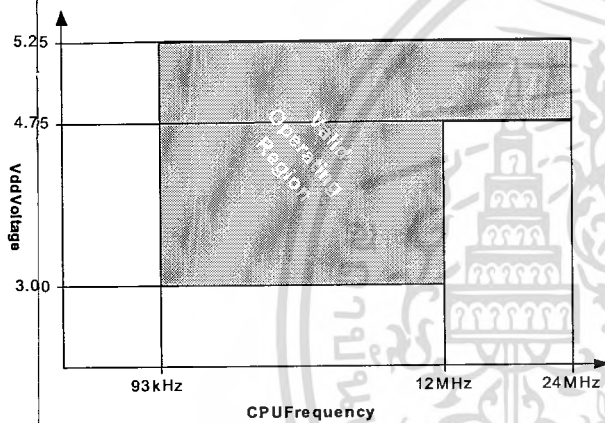


Figure 3-1a. Voltage versus CPU Frequency

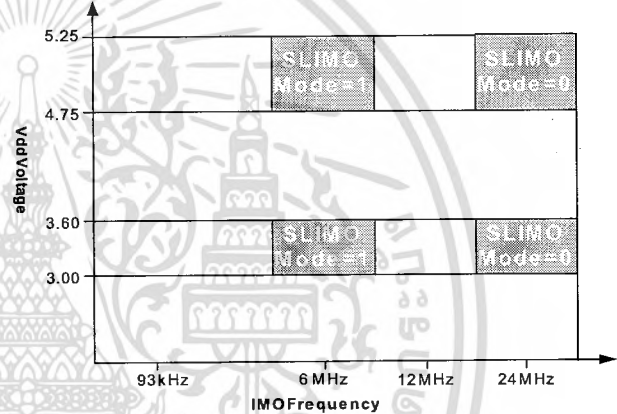


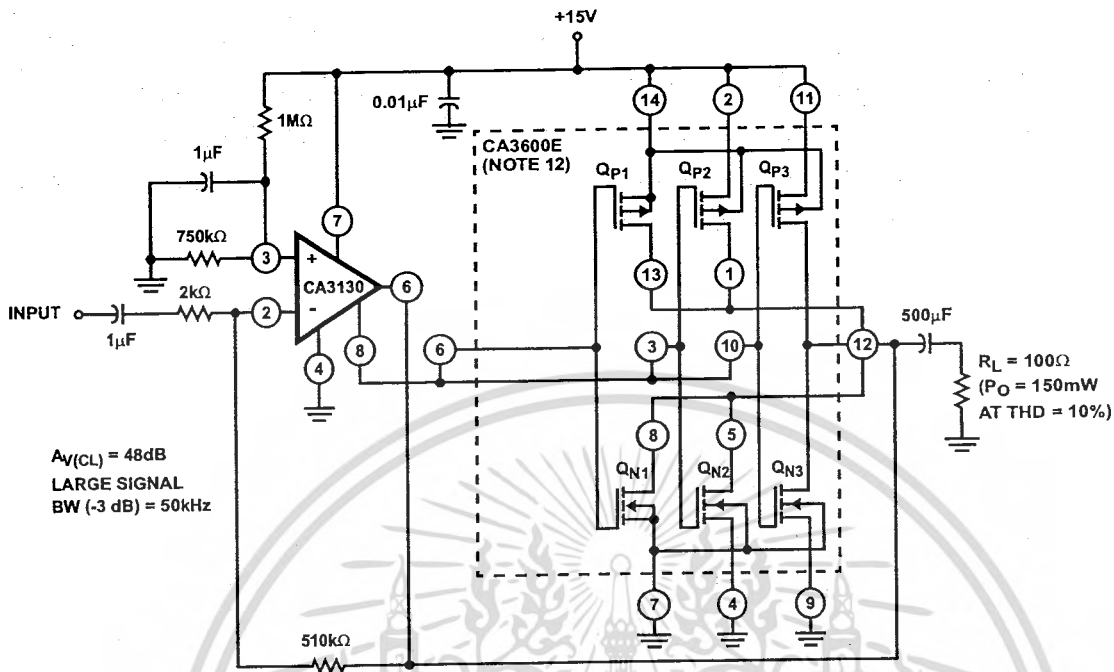
Figure 3-1b. IMO Frequency Trim Options

The following table lists the units of measure that are used in this chapter.

Table 3-1: Units of Measure

Symbol	Unit of Measure	Symbol	Unit of Measure
$^{\circ}\text{C}$	degree Celsius	μW	microwatts
dB	decibels	mA	milli-ampere
fF	femto farad	ms	milli-second
Hz	hertz	mV	milli-volts
KB	1024 bytes	nA	nanoampere
Kbit	1024 bits	ns	nanosecond
kHz	kilohertz	nV	nanovolts
k Ω	kilohm	Ω	ohm
MHz	megahertz	pA	picoampere
M Ω	megaohm	pF	picofarad
μA	microampere	pp	peak-to-peak
μF	microfarad	ppm	parts per million
μH	microhenry	ps	picosecond
μs	microsecond	sps	samples per second
μV	microvolts	σ	sigma: one standard deviation
μVrms	microvolts root-mean-square	V	volts

CA3130, CA3130A



NOTES:

1. Transistors Q_{P1}, Q_{P2}, Q_{P3} and Q_{N1}, Q_{N2}, Q_{N3} are parallel connected with Q₈ and Q₁₂, respectively, of the CA3130.
2. See file number 619.

FIGURE 17. CMOS TRANSISTOR ARRAY (CA3600E) CONNECTED AS POWER BOOSTER IN THE OUTPUT STAGE OF THE CA3130

Typical Performance Curves

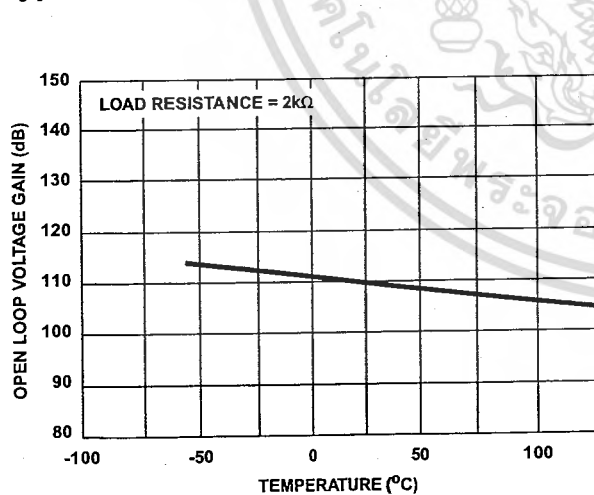


FIGURE 18. OPEN LOOP GAIN vs TEMPERATURE

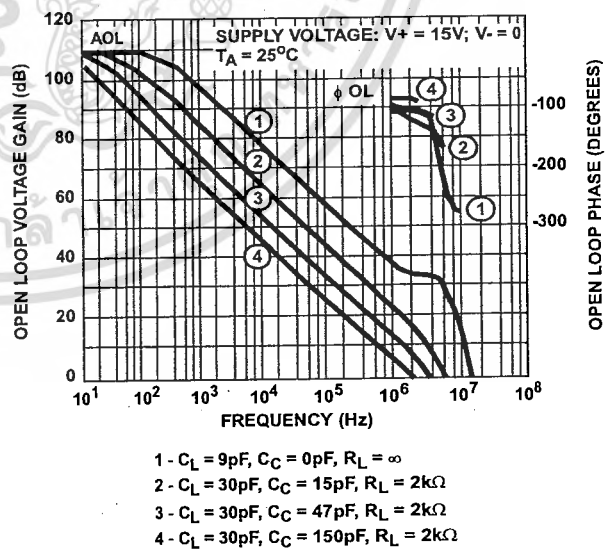


FIGURE 19. OPEN-LOOP RESPONSE

Typical Performance Curves (Continued)

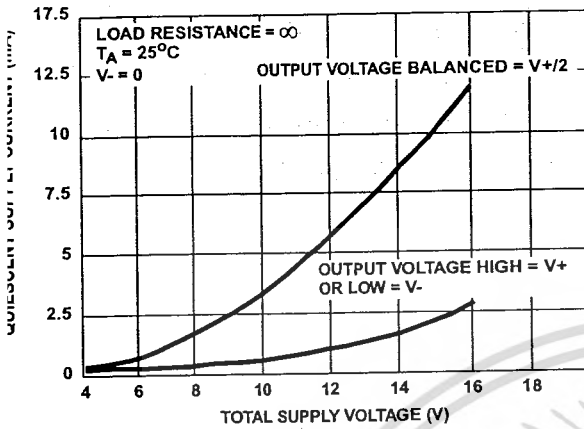


FIGURE 20. QUIESCENT SUPPLY CURRENT vs SUPPLY VOLTAGE

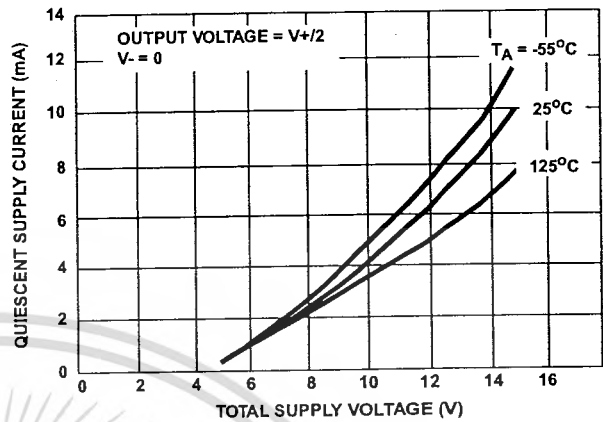
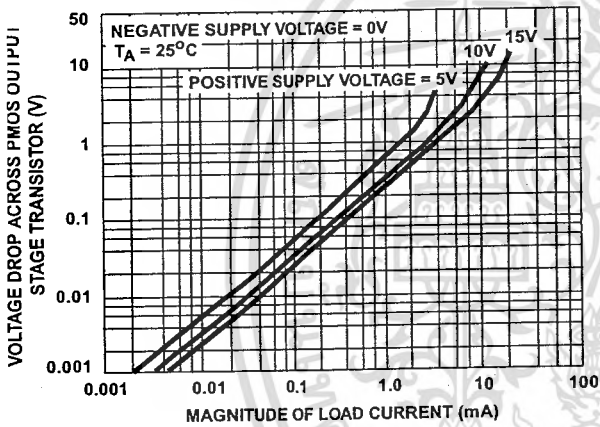
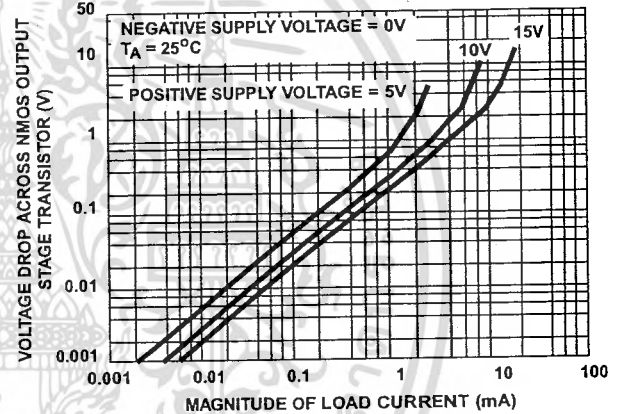
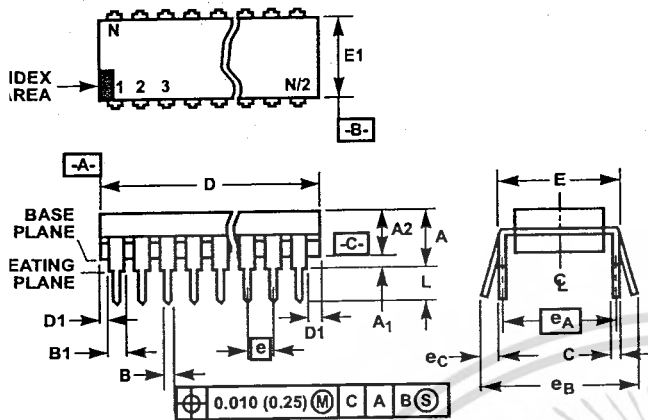


FIGURE 21. QUIESCENT SUPPLY CURRENT vs SUPPLY VOLTAGE

FIGURE 22. VOLTAGE ACROSS PMOS OUTPUT TRANSISTOR (Q₈) vs LOAD CURRENTFIGURE 23. VOLTAGE ACROSS NMOS OUTPUT TRANSISTOR (Q₁₂) vs LOAD CURRENT

Dual-In-Line Plastic Packages (PDIP)



NOTES:

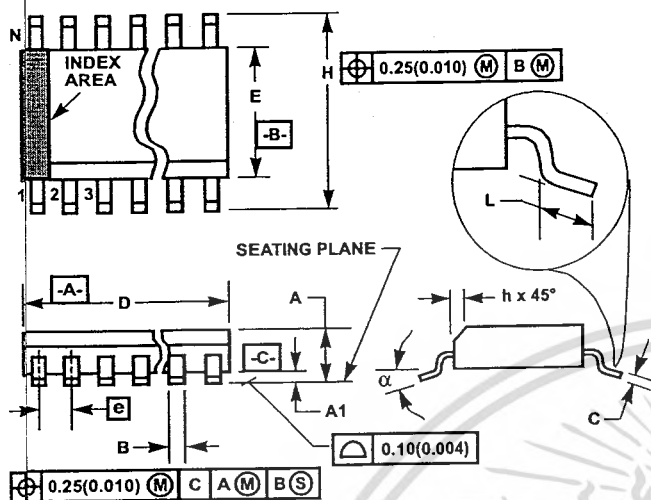
1. Controlling Dimensions: INCH. In case of conflict between English and Metric dimensions, the inch dimensions control.
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Symbols are defined in the "MO Series Symbol List" in Section 2.2 of Publication No. 95.
4. Dimensions A, A1 and L are measured with the package seated in JEDEC seating plane gauge GS-3.
5. D, D1, and E1 dimensions do not include mold flash or protrusions. Mold flash or protrusions shall not exceed 0.010 inch (0.25mm).
6. E and eA are measured with the leads constrained to be perpendicular to datum -C-.
7. eB and eC are measured at the lead tips with the leads unconstrained. eC must be zero or greater.
8. B1 maximum dimensions do not include dambar protrusions. Dambar protrusions shall not exceed 0.010 inch (0.25mm).
9. N is the maximum number of terminal positions.
10. Corner leads (1, N, N/2 and N/2 + 1) for E8.3, E16.3, E18.3, E28.3, E42.6 will have a B1 dimension of 0.030 - 0.045 inch (0.76 - 1.14mm).

E8.3 (JEDEC MS-001-BA ISSUE D)
8 LEAD DUAL-IN-LINE PLASTIC PACKAGE

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	-	0.210	-	5.33	4
A1	0.015	-	0.39	-	4
A2	0.115	0.195	2.93	4.95	-
B	0.014	0.022	0.356	0.558	-
B1	0.045	0.070	1.15	1.77	8, 10
C	0.008	0.014	0.204	0.355	-
D	0.355	0.400	9.01	10.16	5
D1	0.005	-	0.13	-	5
E	0.300	0.325	7.62	8.25	6
E1	0.240	0.280	6.10	7.11	5
e	0.100 BSC		2.54 BSC		-
eA	0.300 BSC		7.62 BSC		6
eB	-	0.430	-	10.92	7
L	0.115	0.150	2.93	3.81	4
N	8		8		9

Rev. 0 12/93

Small Outline Plastic Packages (SOIC)



M8.15 (JEDEC MS-012-AA ISSUE C)

8 LEAD NARROW BODY SMALL OUTLINE PLASTIC PACKAGE

SYMBOL	INCHES		MILLIMETERS		NOTES
	MIN	MAX	MIN	MAX	
A	0.0532	0.0688	1.35	1.75	-
A1	0.0040	0.0098	0.10	0.25	-
B	0.013	0.020	0.33	0.51	9
C	0.0075	0.0098	0.19	0.25	-
D	0.1890	0.1968	4.80	5.00	3
E	0.1497	0.1574	3.80	4.00	4
e	0.050 BSC		1.27 BSC		-
H	0.2284	0.2440	5.80	6.20	-
h	0.0099	0.0196	0.25	0.50	5
L	0.016	0.050	0.40	1.27	6
N	8		8		7
α	0°	8°	0°	8°	-

Rev. 1 6/05

NOTES:

1. Symbols are defined in the "MO Series Symbol List" in Section 2.2 of Publication Number 95.
2. Dimensioning and tolerancing per ANSI Y14.5M-1982.
3. Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusion and gate burrs shall not exceed 0.15mm (0.006 inch) per side.
4. Dimension "E" does not include interlead flash or protrusions. Interlead flash and protrusions shall not exceed 0.25mm (0.010 inch) per side.
5. The chamfer on the body is optional. If it is not present, a visual index feature must be located within the crosshatched area.
6. "L" is the length of terminal for soldering to a substrate.
7. "N" is the number of terminal positions.
8. Terminal numbers are shown for reference only.
9. The lead width "B", as measured 0.36mm (0.014 inch) or greater above the seating plane, shall not exceed a maximum value of 0.61mm (0.024 inch).
10. Controlling dimension: MILLIMETER. Converted inch dimensions are not necessarily exact.

All Intersil U.S. products are manufactured, assembled and tested utilizing ISO9000 quality systems.

Intersil Corporation's quality certifications can be viewed at www.intersil.com/design/quality

Intersil products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design, software and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see www.intersil.com

CY8C29466, CY8C29566, CY8C29666, and CY8C29866



Features

Powerful Harvard Architecture Processor

- M8C Processor Speeds to 24 MHz
- Two 8x8 Multiply, 32-Bit Accumulate
- Low Power at High Speed
- 3.0V to 5.25V Operating Voltage
- Operating Voltages Down to 1.0V Using On-Chip Switch Mode Pump (SMP)
- Industrial Temperature Range: -40°C to +85°C

Advanced Peripherals (PSoC Blocks)

- 12 Rail-to-Rail Analog PSoC Blocks Provide:
 - Up to 14-Bit ADCs
 - Up to 9-Bit DACs
 - Programmable Gain Amplifiers
 - Programmable Filters and Comparators
- 16 Digital PSoC Blocks Provide:
 - 8- to 32-Bit Timers, Counters, and PWMs
 - CRC and PRS Modules
 - Up to 4 Full-Duplex UARTs
 - Multiple SPI™ Masters or Slaves
 - Connectable to all GPIO Pins
- Complex Peripherals by Combining Blocks

Precision, Programmable Clocking

- Internal $\pm 2.5\%$ 24/48 MHz Oscillator
- 24/48 MHz with Optional 32.768 kHz Crystal
- Optional External Oscillator, up to 24 MHz
- Internal Oscillator for Watchdog and Sleep

Flexible On-Chip Memory

- 32K Bytes Flash Program Storage 50,000 Erase/Write Cycles
- 2K Bytes SRAM Data Storage
- In-System Serial Programming (ISSP™)
- Partial Flash Updates
- Flexible Protection Modes
- EEPROM Emulation in Flash

Programmable Pin Configurations

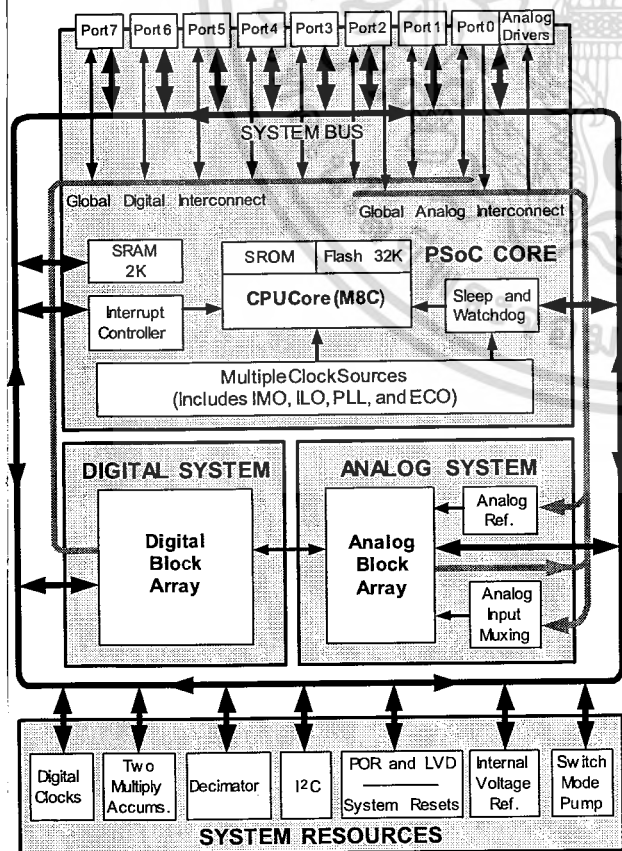
- 25 mA Sink on all GPIO
- Pull up, Pull down, High Z, Strong, or Open Drain Drive Modes on all GPIO
- Up to 12 Analog Inputs on GPIO
- Four 40 mA Analog Outputs on GPIO
- Configurable Interrupt on all GPIO

Additional System Resources

- I²C™ Slave, Master, and Multi-Master to 400 kHz
- Watchdog and Sleep Timers
- User-Configurable Low Voltage Detection
- Integrated Supervisory Circuit
- On-Chip Precision Voltage Reference

Complete Development Tools

- Free Development Software (PSoC™ Designer)
- Full-Featured, In-Circuit Emulator and Programmer
- Full Speed Emulation
- Complex Breakpoint Structure
- 128K Bytes Trace Memory
- Complex Events
- C Compilers, Assembler, and Linker



PSoC™ Functional Overview

The PSoC™ family consists of many *Mixed-Signal Array with On-Chip Controller* devices. These devices are designed to replace multiple traditional MCU-based system components with one, low cost single-chip programmable device. PSoC devices include configurable blocks of analog and digital logic, as well as programmable interconnects. This architecture allows the user to create customized peripheral configurations that match the requirements of each individual application. Additionally, a fast CPU, Flash program memory, SRAM data memory, and configurable IO are included in a range of convenient pinouts and packages.

The PSoC architecture, as illustrated on the left, is comprised of four main areas: PSoC Core, Digital System, Analog System, and System Resources. Configurable global busing allows all the device resources to be combined into a complete custom system. The PSoC CY8C29x66 family can have up to eight IO ports that connect to the global digital and analog interconnects, providing access to 16 digital blocks and 12 analog blocks.

The PSoC Core

The PSoC Core is a powerful engine that supports a rich feature set. The core includes a CPU, memory, clocks, and configurable GPIO (General Purpose IO).

The M8C CPU core is a powerful processor with speeds up to 24 MHz, providing a four MIPS 8-bit Harvard architecture micro-processor. The CPU utilizes an interrupt controller with 25 vec-

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ทางการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามให้คัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PSoC Designer Software Subsystems

Device Editor

The Device Editor subsystem allows the user to select different onboard analog and digital components called user modules using the PSoC blocks. Examples of user modules are ADCs, DACs, Amplifiers, and Filters.

The device editor also supports easy development of multiple configurations and dynamic reconfiguration. Dynamic configuration allows for changing configurations at run time.

PSoC Designer sets up power-on initialization tables for selected PSoC block configurations and creates source code for an application framework. The framework contains software to operate the selected components and, if the project uses more than one operating configuration, contains routines to switch between different sets of PSoC block configurations at run time. PSoC Designer can print out a configuration sheet for a given project configuration for use during application programming in conjunction with the Device Data Sheet. Once the framework is generated, the user can add application-specific code to flesh out the framework. It's also possible to change the selected components and regenerate the framework.

Design Browser

The Design Browser allows users to select and import preconfigured designs into the user's project. Users can easily browse a catalog of preconfigured designs to facilitate time-to-design. Examples provided in the tools include a 300-baud modem, LIN Bus master and slave, fan controller, and magnetic card reader.

Application Editor

In the Application Editor you can edit your C language and Assembly language source code. You can also assemble, compile, link, and build.

Assembler. The macro assembler allows the assembly code to be merged seamlessly with C code. The link libraries automatically use absolute addressing or can be compiled in relative mode, and linked with other software modules to get absolute addressing.

C Language Compiler. A C language compiler is available that supports Cypress MicroSystems' PSoC family devices. Even if you have never worked in the C language before, the product quickly allows you to create complete C programs for the PSoC family devices.

The embedded, optimizing C compiler provides all the features of C tailored to the PSoC architecture. It comes complete with embedded libraries providing port and bus operations, standard keypad and display support, and extended math functionality.

Debugger

The PSoC Designer Debugger subsystem provides hardware in-circuit emulation, allowing the designer to test the program in a physical system while providing an internal view of the PSoC device. Debugger commands allow the designer to read and program and read and write data memory, read and write IO registers, read and write CPU registers, set and clear breakpoints, and provide program run, halt, and step control. The debugger also allows the designer to create a trace buffer of registers and memory locations of interest.

Online Help System

The online help system displays online, context-sensitive help for the user. Designed for procedural and quick reference, each functional subsystem has its own context-sensitive help. This system also provides tutorials and links to FAQs and an Online Support Forum to aid the designer in getting started.

Hardware Tools

In-Circuit Emulator

A low cost, high functionality ICE (In-Circuit Emulator) is available for development support. This hardware has the capability to program single devices.

The emulator consists of a base unit that connects to the PC by way of the USB port. The base unit is universal and will operate with all PSoC devices. Emulation pods for each device family are available separately. The emulation pod takes the place of the PSoC device in the target board and performs full speed (24 MHz) operation.

Designing with User Modules

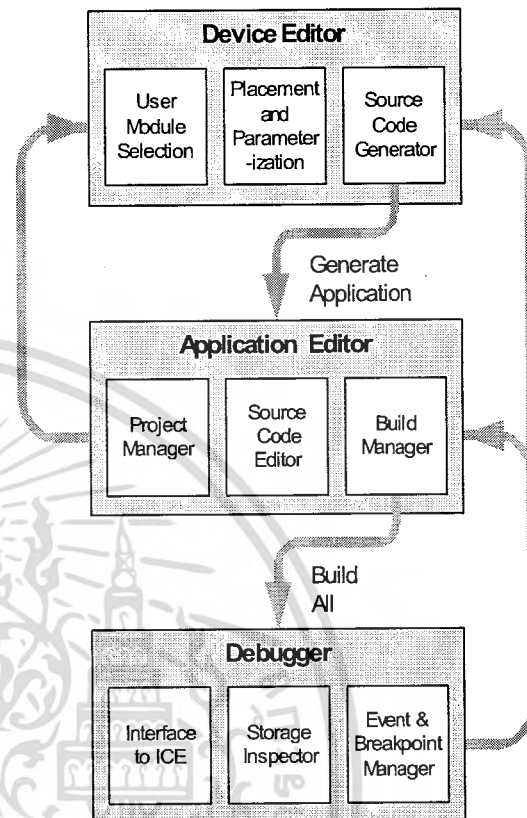
The development process for the PSoC device differs from that of a traditional fixed function microprocessor. The configurable analog and digital hardware blocks give the PSoC architecture a unique flexibility that pays dividends in managing specification change during development and by lowering inventory costs. These configurable resources, called PSoC Blocks, have the ability to implement a wide variety of user-selectable functions. Each block has several registers that determine its function and connectivity to other blocks, multiplexers, buses, and to the IO pins. Iterative development cycles permit you to adapt the hardware as well as the software. This substantially lowers the risk of having to select a different part to meet the final design requirements.

To speed the development process, the PSoC Designer Integrated Development Environment (IDE) provides a library of pre-built, pre-tested hardware peripheral functions, called "User Modules." User modules make selecting and implementing peripheral devices simple, and come in analog, digital, and mixed signal varieties. The standard User Module library contains over 50 common peripherals such as ADCs, DACs Timers, Counters, UARTs, and other not-so common peripherals such as DTMF Generators and Bi-Quad analog filter sections.

Each user module establishes the basic register settings that implement the selected function. It also provides parameters that allow you to tailor its precise configuration to your particular application. For example, a Pulse Width Modulator User Module configures one or more digital PSoC blocks, one for each 8 bits of resolution. The user module parameters permit you to establish the pulse width and duty cycle. User modules also provide tested software to cut your development time. The user module application programming interface (API) provides high-level functions to control and respond to hardware events at run-time. The API also provides optional interrupt service routines that you can adapt as needed.

The API functions are documented in user module data sheets that are viewed directly in the PSoC Designer IDE. These data sheets explain the internal operation of the user module and provide performance specifications. Each data sheet describes the use of each user module parameter and documents the setting of each register controlled by the user module.

The development process starts when you open a new project and bring up the Device Editor, a graphical user interface (GUI) for configuring the hardware. You pick the user modules you need for your project and map them onto the PSoC blocks with point-and-click simplicity. Next, you build signal chains by interconnecting user modules to each other and the IO pins. At this stage, you also configure the clock source connections and enter parameter values directly or by selecting values from drop-down menus. When you are ready to test the hardware configuration or move on to developing code for the project, you perform the "Generate Application" step. This causes PSoC Designer to generate source code that automatically configures the device to your specification and provides the high-level user module API functions.



User Module and Source Code Development Flows

The next step is to write your main program, and any sub-routines using PSoC Designer's Application Editor subsystem. The Application Editor includes a Project Manager that allows you to open the project source code files (including all generated code files) from a hierarchal view. The source code editor provides syntax coloring and advanced edit features for both C and assembly language. File search capabilities include simple string searches and recursive "grep-style" patterns. A single mouse click invokes the Build Manager. It employs a professional-strength "makefile" system to automatically analyze all file dependencies and run the compiler and assembler as necessary. Project-level options control optimization strategies used by the compiler and linker. Syntax errors are displayed in a console window. Double clicking the error message takes you directly to the offending line of source code. When all is correct, the linker builds a HEX file image suitable for programming.

The last step in the development process takes place inside the PSoC Designer's Debugger subsystem. The Debugger downloads the HEX image to the In-Circuit Emulator (ICE) where it runs at full speed. Debugger capabilities rival those of systems costing many times more. In addition to traditional single-step, run-to-breakpoint and watch-variable features, the Debugger provides a large trace buffer and allows you define complex breakpoint events that include monitoring address and data bus values, memory locations and external signals.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Document Conventions

Acronyms Used

The following table lists the acronyms that are used in this document.

Acronym	Description
AC	alternating current
ADC	analog-to-digital converter
API	application programming interface
CPU	central processing unit
CT	continuous time
DAC	digital-to-analog converter
DC	direct current
ECO	external crystal oscillator
EEPROM	electrically erasable programmable read-only memory
FSR	full scale range
GPIO	general purpose IO
GUI	graphical user interface
HBM	human body model
ICE	in-circuit emulator
ILO	internal low speed oscillator
IMO	internal main oscillator
IO	input/output
IPOR	imprecise power on reset
LSb	least-significant bit
LVD	low voltage detect
MSb	most-significant bit
PC	program counter
PLL	phase-locked loop
POR	power on reset
PPOR	precision power on reset
PSoC™	Programmable System-on-Chip™
PWM	pulse width modulator
SC	switched capacitor
SLIMO	slow IMO
SMP	switch mode pump
SRAM	static random access memory

Table of Contents

For an in depth discussion and more information on your PSoC device, obtain the *PSoC Mixed Signal Array Technical Reference Manual*. This document encompasses and is organized into the following chapters and sections.

1. Pin Information	8
1.1 Pinouts	8
1.1.1 28-Pin Part Pinout	8
1.1.2 44-Pin Part Pinout	9
1.1.3 48-Pin Part Pinouts	10
1.1.4 100-Pin Part Pinout	12
2. Register Reference	14
2.1 Register Conventions	14
2.1.1 Abbreviations Used	14
2.2 Register Mapping Tables	14
3. Electrical Specifications	17
3.1 Absolute Maximum Ratings	18
3.2 Operating Temperature	18
3.3 DC Electrical Characteristics	19
3.3.1 DC Chip-Level Specifications	19
3.3.2 DC General Purpose IO Specifications	19
3.3.3 DC Operational Amplifier Specifications	20
3.3.4 DC Analog Output Buffer Specifications	22
3.3.5 DC Switch Mode Pump Specifications	23
3.3.6 DC Analog Reference Specifications	24
3.3.7 DC Analog PSoC Block Specifications	25
3.3.8 DC POR, SMP, and LVD Specifications	25
3.3.9 DC Programming Specifications	26
3.4 AC Electrical Characteristics	27
3.4.1 AC Chip-Level Specifications	27
3.4.2 AC General Purpose IO Specifications	29
3.4.3 AC Operational Amplifier Specifications	30
3.4.4 AC Digital Block Specifications	32
3.4.5 AC Analog Output Buffer Specifications	33
3.4.6 AC External Clock Specifications	34
3.4.7 AC Programming Specifications	34
3.4.8 AC I2C Specifications	35
4. Packaging Information	36
4.1 Packaging Dimensions	36
4.2 Thermal Impedances	40
4.3 Capacitance on Crystal Pins	40
4.4 Solder Reflow Peak Temperature	40
5. Ordering Information	41
5.1 Ordering Code Definitions	41
6. Sales and Service Information	42
6.1 Revision History	42
6.2 Copyrights and Code Protection	42

Units of Measure

A units of measure table is located in the Electrical Specifications section. Table 3-1 on page 17 lists all the abbreviations used to measure the PSoC devices.

Numeric Naming

Hexidecimal numbers are represented with all letters in upper-case with an appended lowercase 'h' (for example, '14h' or '3Ah'). Hexidecimal numbers may also be represented by a '0x' prefix, the C coding convention. Binary numbers have an appended lowercase 'b' (e.g., '01010100b' or '01000011b'). Numbers not indicated by an 'h', 'b', or 0x are decimal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และดัดแปลงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1. Pin Information



This chapter describes, lists, and illustrates the CY8C29x66 PSoC device pins and pinout configurations.

1.1 Pinouts

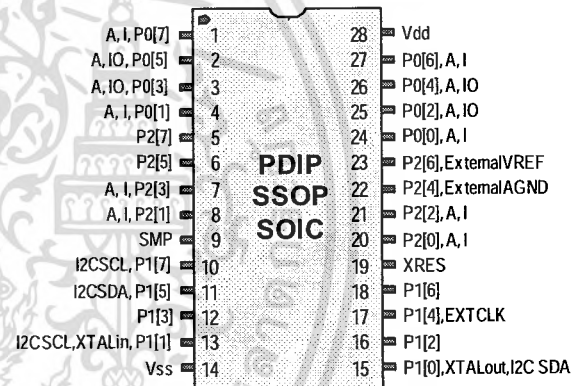
The CY8C29x66 PSoC device is available in a variety of packages which are listed and illustrated in the following tables. Every port pin (labeled with a "P") is capable of Digital IO. However, Vss, Vdd, SMP, and XRES are not capable of Digital IO.

1.1.1 28-Pin Part Pinout

Table 1-1. 28-Pin Part Pinout (PDIP, SSOP, SOIC)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P0[7]	Analog column mux input.
2	IO	IO	P0[5]	Analog column mux input and column output.
3	IO	IO	P0[3]	Analog column mux input and column output.
4	IO	I	P0[1]	Analog column mux input.
5	IO		P2[7]	
6	IO		P2[5]	
7	IO	I	P2[3]	Direct switched capacitor block input.
8	IO	I	P2[1]	Direct switched capacitor block input.
9	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
10	IO		P1[7]	I2C Serial Clock (SCL).
11	IO		P1[5]	I2C Serial Data (SDA).
12	IO		P1[3]	
13	IO		P1[1]	Crystal (XTALin), I2C Serial Clock (SCL).
14	Power		Vss	Ground connection.
15	IO		P1[0]	Crystal (XTALout), I2C Serial Data (SDA).
16	IO		P1[2]	
17	IO		P1[4]	Optional External Clock Input (EXTCLK).
18	IO		P1[6]	
19	Input		XRES	Active high external reset with internal pull down.
20	IO	I	P2[0]	Direct switched capacitor block input.
21	IO	I	P2[2]	Direct switched capacitor block input.
22	IO		P2[4]	External Analog Ground (AGND).
23	IO		P2[6]	External Voltage Reference (VREF).
24	IO	I	P0[0]	Analog column mux input.
25	IO	IO	P0[2]	Analog column mux input and column output.
26	IO	IO	P0[4]	Analog column mux input and column output.
27	IO	I	P0[6]	Analog column mux input.
28	Power		Vdd	Supply voltage.

CY8C29466 28-Pin PSoC Device



LEGEND: A = Analog, I = Input, and O = Output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

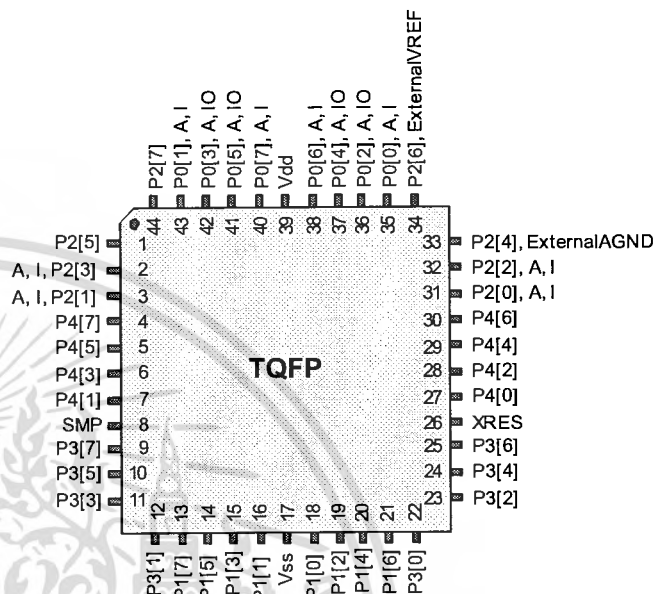
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.1.2 44-Pin Part Pinout

Table 1-2. 44-Pin Part Pinout (TQFP)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO		P2[5]	
2	IO	I	P2[3]	Direct switched capacitor block input.
3	IO	I	P2[1]	Direct switched capacitor block input.
4	IO		P4[7]	
5	IO		P4[5]	
6	IO		P4[3]	
7	IO		P4[1]	
8	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
9	IO		P3[7]	
10	IO		P3[5]	
11	IO		P3[3]	
12	IO		P3[1]	
13	IO		P1[7]	I2C Serial Clock (SCL).
14	IO		P1[5]	I2C Serial Data (SDA).
15	IO		P1[3]	
16	IO		P1[1]	Crystal (XTALin), I2C Serial Clock (SCL).
17	Power		Vss	Ground connection.
18	IO		P1[0]	Crystal (XTALout), I2C Serial Data (SDA).
19	IO		P1[2]	
20	IO		P1[4]	Optional External Clock Input (EXTCLK).
21	IO		P1[6]	
22	IO		P3[0]	
23	IO		P3[2]	
24	IO		P3[4]	
25	IO		P3[6]	
26	Input		XRES	Active high external reset with internal pull down.
27	IO		P4[0]	
28	IO		P4[2]	
29	IO		P4[4]	
30	IO		P4[6]	
31	IO	I	P2[0]	Direct switched capacitor block input.
32	IO	I	P2[2]	Direct switched capacitor block input.
33	IO		P2[4]	External Analog Ground (AGND).
34	IO		P2[6]	External Voltage Reference (VREF).
35	IO	I	P0[0]	Analog column mux input.
36	IO	IO	P0[2]	Analog column mux input and column output.
37	IO	IO	P0[4]	Analog column mux input and column output.
38	IO	I	P0[6]	Analog column mux input.
39	Power		Vdd	Supply voltage.
40	IO	I	P0[7]	Analog column mux input.
41	IO	IO	P0[5]	Analog column mux input and column output.
42	IO	IO	P0[3]	Analog column mux input and column output.
43	IO	I	P0[1]	Analog column mux input.
44	IO		P2[7]	

CY8C29566 44-Pin PSoC Device



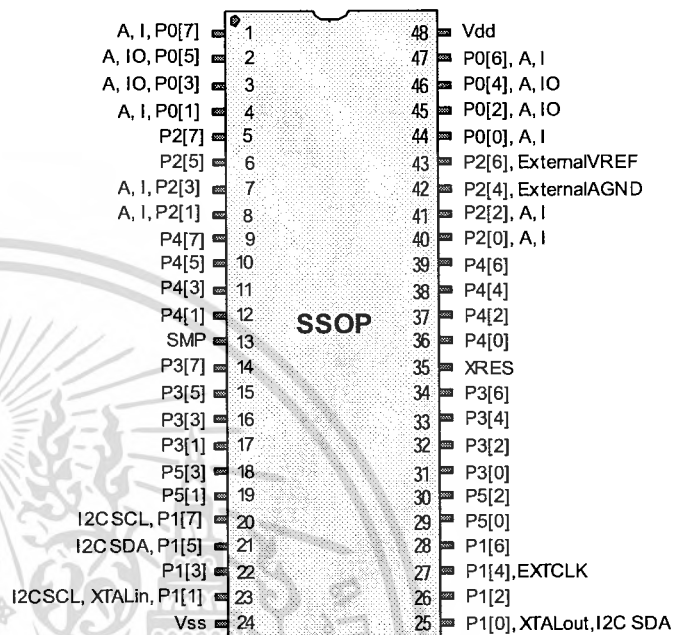
LEGEND: A = Analog, I = Input, and O = Output.

1.1.3 48-Pin Part Pinouts

Table 1-3. 48-Pin Part Pinout (SSOP)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P0[7]	Analog column mux input.
2	IO	IO	P0[5]	Analog column mux input and column output.
3	IO	IO	P0[3]	Analog column mux input and column output.
4	IO	I	P0[1]	Analog column mux input.
5	IO		P2[7]	
6	IO		P2[5]	
7	IO	I	P2[3]	Direct switched capacitor block input.
8	IO	I	P2[1]	Direct switched capacitor block input.
9	IO		P4[7]	
10	IO		P4[5]	
11	IO		P4[3]	
12	IO		P4[1]	
13	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
14	IO		P3[7]	
15	IO		P3[5]	
16	IO		P3[3]	
17	IO		P3[1]	
18	IO		P5[3]	
19	IO		P5[1]	
20	IO		P1[7]	I2C Serial Clock (SCL).
21	IO		P1[5]	I2C Serial Data (SDA).
22	IO		P1[3]	
23	IO		P1[1]	Crystal (XTALin), I2C Serial Clock (SCL).
24	Power		Vss	Ground connection.
25	IO		P1[0]	Crystal (XTALout), I2C Serial Data (SDA).
26	IO		P1[2]	
27	IO		P1[4]	Optional External Clock Input (EXTCLK).
28	IO		P1[6]	
29	IO		P5[0]	
30	IO		P5[2]	
31	IO		P3[0]	
32	IO		P3[2]	
33	IO		P3[4]	
34	IO		P3[6]	
35	Input		XRES	Active high external reset with internal pull down.
36	IO		P4[0]	
37	IO		P4[2]	
38	IO		P4[4]	
39	IO		P4[6]	
40	IO	I	P2[0]	Direct switched capacitor block input.
41	IO	I	P2[2]	Direct switched capacitor block input.
42	IO		P2[4]	External Analog Ground (AGND).
43	IO		P2[6]	External Voltage Reference (VREF).
44	IO	I	P0[0]	Analog column mux input.
45	IO	IO	P0[2]	Analog column mux input and column output.
46	IO	IO	P0[4]	Analog column mux input and column output.
47	IO	I	P0[6]	Analog column mux input.
48	Power		Vdd	Supply voltage.

CY8C29666 48-Pin PSoC Device

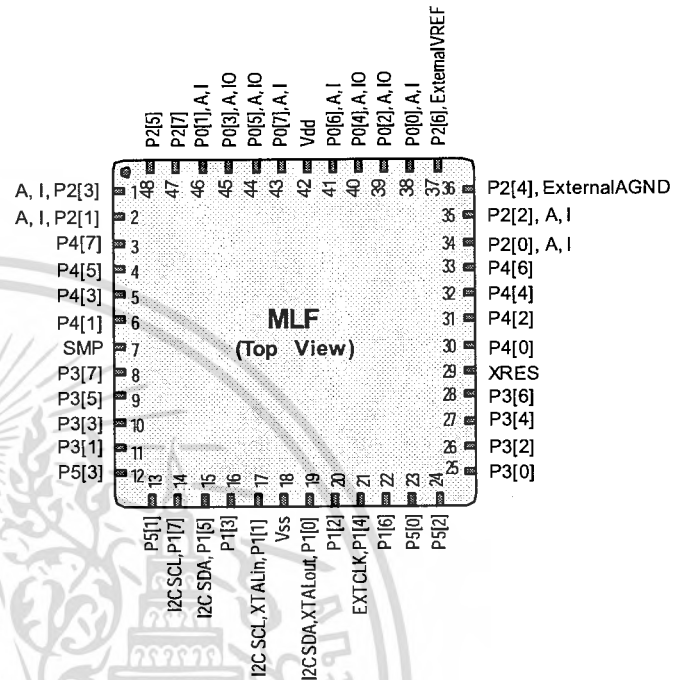


LEGEND: A = Analog, I = Input, and O = Output.

Table 1-4. 48-Pin Part Pinout (MLF*)

Pin No.	Type		Pin Name	Description
	Digital	Analog		
1	IO	I	P2[3]	Direct switched capacitor block input.
2	IO	I	P2[1]	Direct switched capacitor block input.
3	IO		P4[7]	
4	IO		P4[5]	
5	IO		P4[3]	
6	IO		P4[1]	
7	Power		SMP	Switch Mode Pump (SMP) connection to external components required.
8	IO		P3[7]	
9	IO		P3[5]	
10	IO		P3[3]	
11	IO		P3[1]	
12	IO		P5[3]	
13	IO		P5[1]	
14	IO		P1[7]	I2C Serial Clock (SCL).
15	IO		P1[5]	I2C Serial Data (SDA).
16	IO		P1[3]	
17	IO		P1[1]	Crystal (XTALin), I2C Serial Clock (SCL).
18	Power		Vss	Ground connection.
19	IO		P1[0]	Crystal (XTALout), I2C Serial Data (SDA).
20	IO		P1[2]	
21	IO		P1[4]	Optional External Clock Input (EXTCLK).
22	IO		P1[6]	
23	IO		P5[0]	
24	IO		P5[2]	
25	IO		P3[0]	
26	IO		P3[2]	
27	IO		P3[4]	
28	IO		P3[6]	
29	Input		XRES	Active high external reset with internal pull down.
30	IO		P4[0]	
31	IO		P4[2]	
32	IO		P4[4]	
33	IO		P4[6]	
34	IO	I	P2[0]	Direct switched capacitor block input.
35	IO	I	P2[2]	Direct switched capacitor block input.
36	IO		P2[4]	External Analog Ground (AGND).
37	IO		P2[6]	External Voltage Reference (VREF).
38	IO	I	P0[0]	Analog column mux input.
39	IO	IO	P0[2]	Analog column mux input and column output.
40	IO	IO	P0[4]	Analog column mux input and column output.
41	IO	I	P0[6]	Analog column mux input.
42	Power		Vdd	Supply voltage.
43	IO	I	P0[7]	Analog column mux input.
44	IO	IO	P0[5]	Analog column mux input and column output.
45	IO	IO	P0[3]	Analog column mux input and column output.
46	IO	I	P0[1]	Analog column mux input.
47	IO		P2[7]	
48	IO		P2[5]	

CY8C29666 48-Pin PSoC Device



LEGEND: A = Analog, I = Input, and O = Output.

* The MLF package has a center pad that must be connected to ground (Vss).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และคัดลอกหรืออ้างถึงเนื้อหาของเอกสารทุกครั้งที่มีการนำไปใช้

1.1.4 100-Pin Part Pinout

Table 1-5. 100-Pin Part Pinout (TQFP)

Pin No.	Type		Name	Description	Pin No.	Type		Name	Description
	Digital	Analog				Digital	Analog		
1			NC	No connection.	51			NC	No connection.
2			NC	No connection.	52	IO		P5[0]	
3	IO	I	P0[1]	Analog column mux input.	53	IO		P5[2]	
4	IO		P2[7]		54	IO		P5[4]	
5	IO		P2[5]		55	IO		P5[6]	
6	IO	I	P2[3]	Direct switched capacitor block input.	56	IO		P3[0]	
7	IO	I	P2[1]	Direct switched capacitor block input.	57	IO		P3[2]	
8	IO		P4[7]		58	IO		P3[4]	
9	IO		P4[5]		59	IO		P3[6]	
10	IO		P4[3]		60			NC	No connection.
11	IO		P4[1]		61			NC	No connection.
12			NC	No connection.	62	Input		XRES	Active high external reset with internal pull down.
13			NC	No connection.	63	IO		P4[0]	
14	Power		SMP	Switch Mode Pump (SMP) connection to external components required.	64	IO		P4[2]	
15	Power		Vss	Ground connection.	65	Power		Vss	Ground connection.
16	IO		P3[7]		66	IO		P4[4]	
17	IO		P3[5]		67	IO		P4[6]	
18	IO		P3[3]		68	IO	I	P2[0]	Direct switched capacitor block input.
19	IO		P3[1]		69	IO	I	P2[2]	Direct switched capacitor block input.
20	IO		P5[7]		70	IO		P2[4]	External Analog Ground (AGND).
21	IO		P5[5]		71			NC	No connection.
22	IO		P5[3]		72	IO		P2[6]	External Voltage Reference (VREF).
23	IO		P5[1]		73			NC	No connection.
24	IO		P1[7]	I2C Serial Clock (SCL).	74	IO	I	P0[0]	Analog column mux input.
25			NC	No connection.	75			NC	No connection.
26			NC	No connection.	76			NC	No connection.
27			NC	No connection.	77	IO	IO	P0[2]	Analog column mux input and column output.
28	IO		P1[5]	I2C Serial Data (SDA).	78			NC	No connection.
29	IO		P1[3]		79	IO	IO	P0[4]	Analog column mux input and column output.
30	IO		P1[1]	Crystal (XTALin), I2C Serial Clock (SCL).	80			NC	No connection.
31			NC	No connection.	81	IO	I	P0[6]	Analog column mux input.
32	Power		Vdd	Supply voltage.	82	Power		Vdd	Supply voltage.
33			NC	No connection.	83	Power		Vdd	Supply voltage.
34	Power		Vss	Ground connection.	84	Power		Vss	Ground connection.
35			NC	No connection.	85	Power		Vss	Ground connection.
36	IO		P7[7]		86	IO		P6[0]	
37	IO		P7[6]		87	IO		P6[1]	
38	IO		P7[5]		88	IO		P6[2]	
39	IO		P7[4]		89	IO		P6[3]	
40	IO		P7[3]		90	IO		P6[4]	
41	IO		P7[2]		91	IO		P6[5]	
42	IO		P7[1]		92	IO		P6[6]	
43	IO		P7[0]		93	IO		P6[7]	
44	IO		P1[0]	Crystal (XTALout), I2C Serial Data (SDA).	94			NC	No connection.
45	IO		P1[2]		95	IO	I	P0[7]	Analog column mux input.
46	IO		P1[4]	Optional External Clock Input (EXTCLK).	96			NC	No connection.
47	IO		P1[6]		97	IO	IO	P0[5]	Analog column mux input and column output.
48			NC	No connection.	98			NC	No connection.
49			NC	No connection.	99	IO	IO	P0[3]	Analog column mux input and column output.
50			NC	No connection.	100			NC	No connection.

LEGEND: A = Analog, I = Input, and O = Output.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

tors, to simplify programming of real time embedded events. Program execution is timed and protected using the included Sleep and Watch Dog Timers (WDT).

Memory encompasses 32 KB of Flash for program storage, 2 KB of SRAM for data storage, and up to 2 KB of EEPROM emulated using the Flash. Program Flash utilizes four protection levels on blocks of 64 bytes, allowing customized software IP protection.

The PSoC device incorporates flexible internal clock generators, including a 24 MHz IMO (internal main oscillator) accurate to 2.5% over temperature and voltage. The 24 MHz IMO can also be doubled to 48 MHz for use by the digital system. A low power 32 kHz ILO (internal low speed oscillator) is provided for the Sleep timer and WDT. If crystal accuracy is desired, the ECO (32.768 kHz external crystal oscillator) is available for use as a Real Time Clock (RTC) and can optionally generate a crystal-accurate 24 MHz system clock using a PLL. The clocks, together with programmable clock dividers (as a System Resource), provide the flexibility to integrate almost any timing requirement into the PSoC device.

PSoC GPIOs provide connection to the CPU, digital and analog resources of the device. Each pin's drive mode may be selected from eight options, allowing great flexibility in external interfacing. Every pin also has the capability to generate a system interrupt on high level, low level, and change from last read.

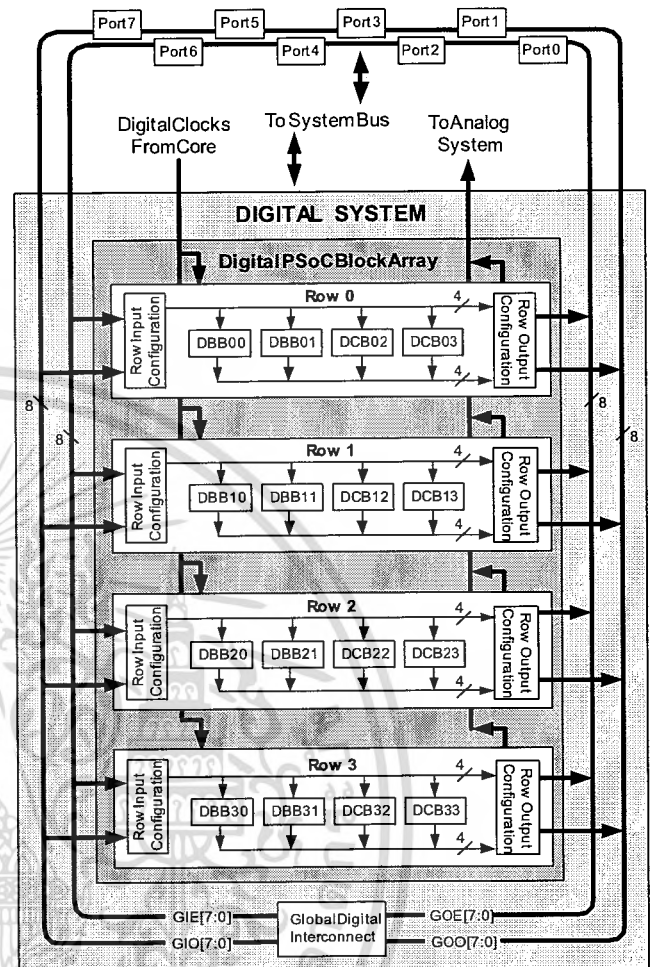
The Digital System

The Digital System is composed of 16 digital PSoC blocks. Each block is an 8-bit resource that can be used alone or combined with other blocks to form 8, 16, 24, and 32-bit peripherals, which are called user module references. Digital peripheral configurations include those listed below.

- PWMs (8 to 32 bit)
- PWMs with Dead band (8 to 32 bit)
- Counters (8 to 32 bit)
- Timers (8 to 32 bit)
- UART 8 bit with selectable parity (up to 4)
- SPI master and slave (up to 4 each)
- I2C slave and multi-master (1 available as a System Resource)
- Cyclical Redundancy Checker/Generator (8 to 32 bit)
- IrDA (up to 4)
- Pseudo Random Sequence Generators (8 to 32 bit)

The digital blocks can be connected to any GPIO through a series of global buses that can route any signal to any pin. The buses also allow for signal multiplexing and for performing logic operations. This configurability frees your designs from the constraints of a fixed peripheral controller.

Digital blocks are provided in rows of four, where the number of blocks varies by PSoC device family. This allows you the optimum choice of system resources for your application. Family resources are shown in the table titled "PSoC Device Characteristics" on page 3.



Digital System Block Diagram

The Analog System

The Analog System is composed of 12 configurable blocks, each comprised of an opamp circuit allowing the creation of complex analog signal flows. Analog peripherals are very flexible and can be customized to support specific application requirements. Some of the more common PSoC analog functions (most available as user modules) are listed below.

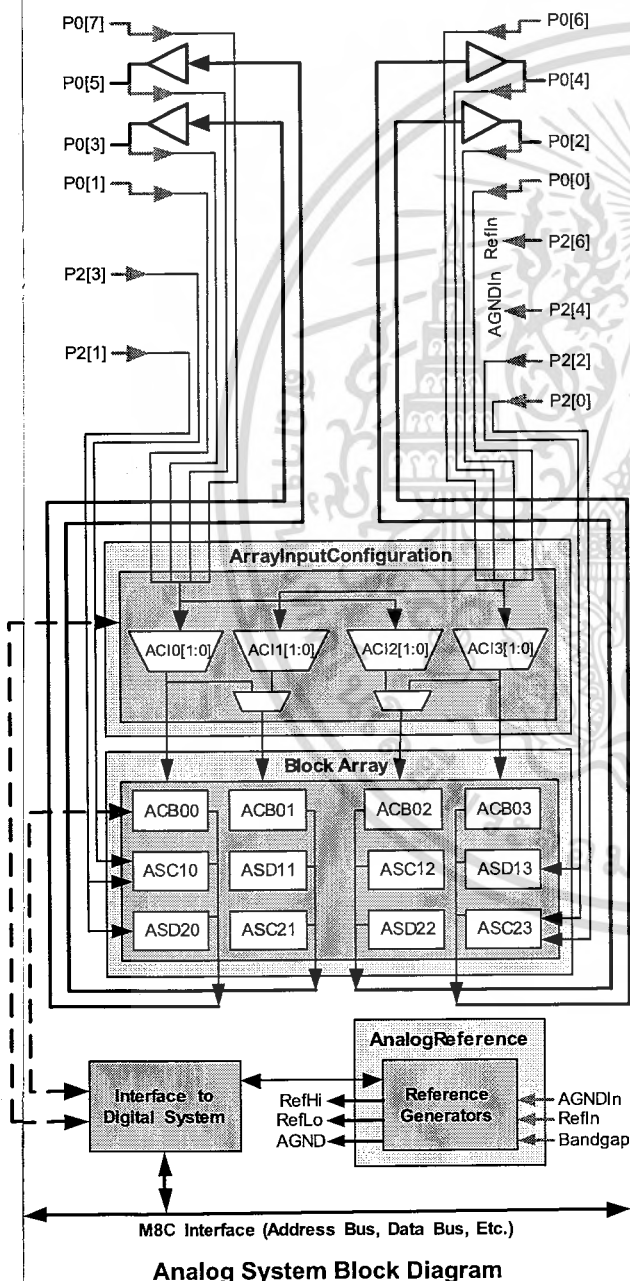
- Analog-to-digital converters (up to 4, with 6- to 14-bit resolution, selectable as Incremental, Delta Sigma, and SAR)
- Filters (2, 4, 6, or 8 pole band-pass, low-pass, and notch)
- Amplifiers (up to 4, with selectable gain to 48x)
- Instrumentation amplifiers (up to 2, with selectable gain to 93x)
- Comparators (up to 4, with 16 selectable thresholds)
- DACs (up to 4, with 6- to 9-bit resolution)
- Multiplying DACs (up to 4, with 6- to 9-bit resolution)
- High current output drivers (four with 40 mA drive as a Core Resource)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

- 1.3V reference (as a System Resource)
- DTMF Dialer
- Modulators
- Correlators
- Peak Detectors
- Many other topologies possible

Analog blocks are provided in columns of three, which includes one CT (Continuous Time) and two SC (Switched Capacitor) blocks, as shown in the figure below.



Additional System Resources

System Resources, some of which have been previously listed, provide additional capability useful to complete systems. Additional resources include a multiplier, decimator, switch mode pump, low voltage detection, and power on reset. Brief statements describing the merits of each system resource are presented below.

- Digital clock dividers provide three customizable clock frequencies for use in applications. The clocks can be routed to both the digital and analog systems. Additional clocks can be generated using digital PSoC blocks as clock dividers.
- Two multiply accumulates (MACs) provide fast 8-bit multipliers with 32-bit accumulators to assist in both general math as well as digital filters.
- The decimator provides a custom hardware filter for digital signal, processing applications including the creation of Delta Sigma ADCs.
- The I2C module provides 100 and 400 kHz communication over two wires. Slave, master, and multi-master modes are all supported.
- Low Voltage Detection (LVD) interrupts can signal the application of falling voltage levels, while the advanced POR (Power On Reset) circuit eliminates the need for a system supervisor.
- An internal 1.3 voltage reference provides an absolute reference for the analog system, including ADCs and DACs.
- An integrated switch mode pump (SMP) generates normal operating voltages from a single 1.2V battery cell, providing a low cost boost converter.

PSoC Device Characteristics

Depending on your PSoC device characteristics, the digital and analog systems can have 16, 8, or 4 digital blocks and 12, 6, or 4 analog blocks. The following table lists the resources available for specific PSoC device groups. The PSoC device covered by this data sheet is highlighted below.

PSoC Device Characteristics

PSoC Device Group	Digital IO (max)	Digital Rows	Digital Blocks	Analog Inputs	Analog Outputs	Analog Columns	Analog Blocks	Amount of SRAM	Amount of Flash
CY8C29x66	44	4	16	12	4	4	12	2K	32K
CY8C27x43	44	2	8	12	4	4	12	256 Bytes	16K
CY8C24794	56	1	4	48	2	2	6	1K	16K
CY8C24x23	24	1	4	12	2	2	6	256 Bytes	4K
CY8C24x23A	24	1	4	12	2	2	6	256 Bytes	4K
CY8C21x34	28	1	4	28	0	2	4 ^a	512 Bytes	8K
CY8C21x23	16	1	4	8	0	2	4 ^a	256 Bytes	4K

a. Limited analog functionality.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Getting Started

The quickest path to understanding the PSoC silicon is by reading this data sheet and using the PSoC Designer Integrated Development Environment (IDE). This data sheet is an overview of the PSoC integrated circuit and presents specific pin, register, and electrical specifications. For in-depth information, along with detailed programming information, reference the *PSoC™ Mixed-Signal Array Technical Reference Manual*.

For up-to-date Ordering, Packaging, and Electrical Specification information, reference the latest PSoC device data sheets on the web at <http://www.cypress.com/psoc>.

Development Kits

Development Kits are available from the following distributors: Digi-Key, Avnet, Arrow, and Future. The Cypress Online Store at <http://www.onfulfillment.com/cyressstore/> contains development kits, C compilers, and all accessories for PSoC development. Click on *PSoC (Programmable System-on-Chip)* to view a current list of available items.

Tele-Training

- Free PSoC "Tele-training" is available for beginners and taught by a marketing or application engineer over the phone. Five training classes are available to accelerate the learning curve including introduction, designing, debugging, advanced design, advanced analog, as well as application-specific classes covering topics like PSoC and the LIN bus. For days and times of the tele-training, see <http://www.cypress.com/support/training.cfm>.

Consultants

Certified PSoC Consultants offer everything from technical assistance to completed PSoC designs. To contact or become a PSoC Consultant, go to the following Cypress support web site: <http://www.cypress.com/support/cypros.cfm>.

Technical Support

PSoC application engineers take pride in fast and accurate response. They can be reached with a 4-hour guaranteed response at <http://www.cypress.com/support/login.cfm>.

Application Notes

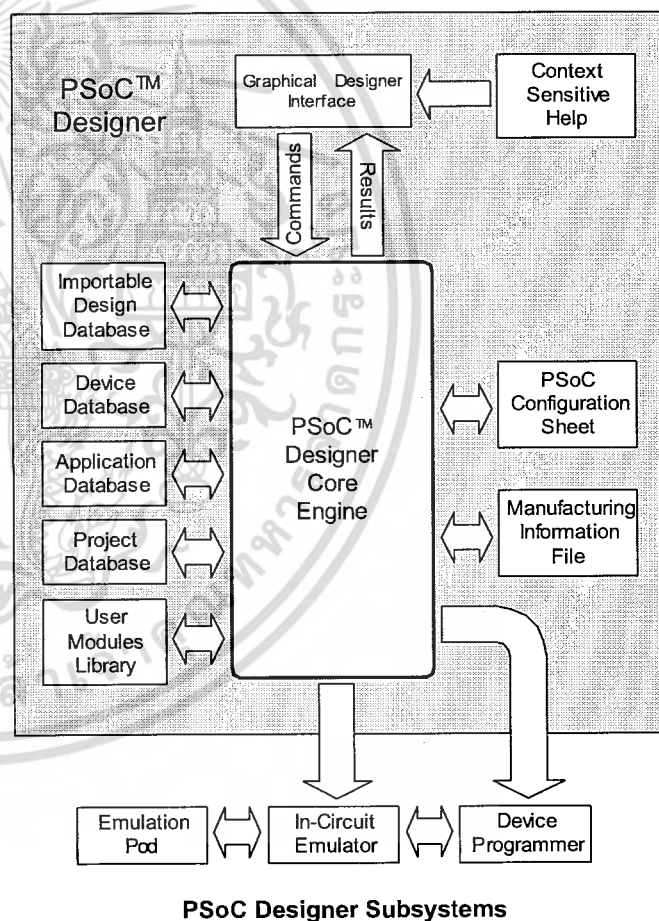
A long list of application notes will assist you in every aspect of your design effort. To locate the PSoC application notes, go to <http://www.cypress.com/design/results.cfm>.

Development Tools

The Cypress MicroSystems PSoC Designer is a Microsoft® Windows-based, integrated development environment for the Programmable System-on-Chip (PSoC) devices. The PSoC Designer IDE and application runs on Windows NT 4.0, Windows 2000, Windows Millennium (Me), or Windows XP. (Reference the PSoC Designer Functional Flow diagram below.)

PSoC Designer helps the customer to select an operating configuration for the PSoC, write application code that uses the PSoC, and debug the application. This system provides design database management by project, an integrated debugger with In-Circuit Emulator, in-system programming support, and the CYASM macro assembler for the CPUs.

PSoC Designer also supports a high-level C language compiler developed specifically for the devices in the family.



3.1 Absolute Maximum Ratings

Table 3-2: Absolute Maximum Ratings

Symbol	Description	Min	Typ	Max	Units	Notes
T_{STB}	Storage Temperature	-55	–	+100	°C	Higher storage temperatures will reduce data retention time.
T_A	Ambient Temperature with Power Applied	-40	–	+85	°C	
V _{DD}	Supply Voltage on V _{DD} Relative to V _{SS}	-0.5	–	+6.0	V	
V _{IO}	DC Input Voltage	V _{SS} - 0.5	–	V _{DD} + 0.5	V	
V _{IOZ}	DC Voltage Applied to Tri-state	V _{SS} - 0.5	–	V _{DD} + 0.5	V	
I _{MIQ}	Maximum Current into any Port Pin	-25	–	+50	mA	
I _{MAIO}	Maximum Current into any Port Pin Configured as Analog Driver	-50	–	+50	mA	
ESD	Electro Static Discharge Voltage	2000	–	–	V	Human Body Model ESD.
LU	Latch-up Current	–	–	200	mA	

3.2 Operating Temperature

Table 3-3: Operating Temperature

Symbol	Description	Min	Typ	Max	Units	Notes
T_A	Ambient Temperature	-40	–	+85	°C	
T_J	Junction Temperature	-40	–	+100	°C	The temperature rise from ambient to junction is package specific. See "Thermal Impedances" on page 40. The user must limit the power consumption to comply with this requirement.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3 DC Electrical Characteristics

3.3.1 DC Chip-Level Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-4: DC Chip-Level Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V _{DD}	Supply Voltage	3.00	—	5.25	V	See DC POR and LVD specifications, Table 3-14 on page 25.
I _{DD}	Supply Current	—	8	14	mA	Conditions are 5.0V, T _A = 25 °C, CPU = 3 MHz, SYSCLK doubler disabled, VC1 = 1.5 MHz, VC2 = 93.75 kHz, VC3 = 0.366 kHz.
I _{DD3}	Supply Current	—	5	9	mA	Conditions are V _{DD} = 3.3V, T _A = 25 °C, CPU = 3 MHz, SYSCLK doubler disabled, VC1 = 1.5 MHz, VC2 = 93.75 kHz, VC3 = 0.366 kHz.
I _{DDP}	Supply current when IMO = 6 MHz using SLIMO mode.	—	2	3	mA	Conditions are V _{DD} = 3.3V, T _A = 25 °C, CPU = 0.75 MHz, SYSCLK doubler disabled, VC1 = 0.375 MHz, VC2 = 23.44 kHz, VC3 = 0.09 kHz.
I _{SB}	Sleep (Mode) Current with POR, LVD, Sleep Timer, WDT, and internal slow oscillator active.	—	3	10	μA	Conditions are with internal slow speed oscillator, V _{DD} = 3.3V, $-40^{\circ}\text{C} \leq T_A \leq 55^{\circ}\text{C}$.
I _{SBH}	Sleep (Mode) Current with POR, LVD, Sleep Timer, WDT, and internal slow oscillator active.	—	4	25	μA	Conditions are with internal slow speed oscillator, V _{DD} = 3.3V, $55^{\circ}\text{C} < T_A \leq 85^{\circ}\text{C}$.
I _{SBXTL}	Sleep (Mode) Current with POR, LVD, Sleep Timer, WDT, internal slow oscillator, and 32 kHz crystal oscillator active.	—	4	12	μA	Conditions are with properly loaded, 1 μW max, 32.768 kHz crystal. V _{DD} = 3.3V, $-40^{\circ}\text{C} \leq T_A \leq 55^{\circ}\text{C}$.
I _{SBXTLH}	Sleep (Mode) Current with POR, LVD, Sleep Timer, WDT, and 32 kHz crystal oscillator active.	—	5	27	μA	Conditions are with properly loaded, 1 μW max, 32.768 kHz crystal. V _{DD} = 3.3V, $55^{\circ}\text{C} < T_A \leq 85^{\circ}\text{C}$.
V _{REF}	Reference Voltage (Bandgap)	1.28	1.3	1.32	V	Trimmed for appropriate V _{DD} .

3.3.2 DC General Purpose IO Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-5: DC GPIO Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
R _{Pu}	Pull up Resistor	4	5.6	8	kΩ	
R _{Pd}	Pull down Resistor	4	5.6	8	kΩ	
V _{OH}	High Output Level	V _{DD} - 1.0	—	—	V	I _{OH} = 10 mA, V _{DD} = 4.75 to 5.25V (8 total loads, 4 on even port pins (for example, P0[2], P1[4]), 4 on odd port pins (for example, P0[3], P1[5])). 80 mA maximum combined IOH budget.
V _{OL}	Low Output Level	—	—	0.75	V	I _{OL} = 25 mA, V _{DD} = 4.75 to 5.25V (8 total loads, 4 on even port pins (for example, P0[2], P1[4]), 4 on odd port pins (for example, P0[3], P1[5])). 150 mA maximum combined IOL budget.
V _{IL}	Input Low Level	—	—	0.8	V	V _{DD} = 3.0 to 5.25.
V _{IH}	Input High Level	2.1	—	—	V	V _{DD} = 3.0 to 5.25.
V _{HI}	Input Hysteresis	—	60	—	mV	
I _{IL}	Input Leakage (Absolute Value)	—	1	—	nA	Gross tested to 1 μA.
C _{IN}	Capacitive Load on Pins as Input	—	3.5	10	pF	Package and pin dependent. Temp = 25°C.
C _{OUT}	Capacitive Load on Pins as Output	—	3.5	10	pF	Package and pin dependent. Temp = 25°C.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 DC Operational Amplifier Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

The Operational Amplifier is a component of both the Analog Continuous Time PSoC blocks and the Analog Switched Capacitor PSoC blocks. The guaranteed specifications are measured in the Analog Continuous Time PSoC block. Typical parameters apply to 5V at 25°C and are for design guidance only.

Table 3-6: 5V DC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOA}	Input Offset Voltage (absolute value)					
	Power = Low, Opamp Bias = High	–	1.6	10	mV	
	Power = Medium, Opamp Bias = High	–	1.3	8	mV	
	Power = High, Opamp Bias = High	–	1.2	7.5	mV	
TCV_{OSOA}	Average Input Offset Voltage Drift	–	7.0	35.0	$\mu\text{V}/^{\circ}\text{C}$	
I_{EBOA}	Input Leakage Current (Port 0 Analog Pins)	–	200	–	pA	Gross tested to 1 μA .
C_{INOA}	Input Capacitance (Port 0 Analog Pins)	–	4.5	9.5	pF	Package and pin dependent. Temp = 25°C .
V_{CMOA}	Common Mode Voltage Range. All Cases, except highest. Power = High, Opamp Bias = High	0.0	–	Vdd	V	
		0.5	–	Vdd - 0.5	V	
$CMRR_{OA}$	Common Mode Rejection Ratio	60	–	–	dB	
G_{OAO}	Open Loop Gain	80	–	–	dB	
$V_{OHIGHOA}$	High Output Voltage Swing (internal signals)	Vdd - .01	–	–	V	
V_{OLOAO}	Low Output Voltage Swing (internal signals)	–	–	0.1	V	
I_{SOA}	Supply Current (including associated AGND buffer)					
	Power = Low, Opamp Bias = Low	–	150	200	μA	
	Power = Low, Opamp Bias = High	–	300	400	μA	
	Power = Medium, Opamp Bias = Low	–	600	800	μA	
	Power = Medium, Opamp Bias = High	–	1200	1600	μA	
	Power = High, Opamp Bias = Low	–	2400	3200	μA	
$PSRR_{OA}$	Supply Voltage Rejection Ratio	67	80	–	dB	
						$V_{SS} \leq V_{IN} \leq (V_{DD} - 2.25)$ or $(V_{DD} - 1.25\text{V}) \leq V_{IN} \leq V_{DD}$.

Table 3-7: 3.3V DC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOA}	Input Offset Voltage (absolute value) Power = Low, Opamp Bias = High Power = Medium, Opamp Bias = High High Power is 5 Volts Only	— —	1.65 1.32	10 8	mV mV	
TCV_{OSOA}	Average Input Offset Voltage Drift	—	7.0	35.0	$\mu V/^{\circ}C$	
I_{EBOA}	Input Leakage Current (Port 0 Analog Pins)	—	200	—	pA	Gross tested to 1 μA .
C_{INOA}	Input Capacitance (Port 0 Analog Pins)	—	4.5	9.5	pF	Package and pin dependent. Temp = 25 $^{\circ}C$.
V_{CMOA}	Common Mode Voltage Range	0	—	Vdd	V	
$CMRR_{OA}$	Common Mode Rejection Ratio	60	—	—	dB	
G_{OLOA}	Open Loop Gain	80	—	—	dB	
$V_{OHIGHOA}$	High Output Voltage Swing (internal signals)	Vdd - .01	—	—	V	
V_{LOWOA}	Low Output Voltage Swing (internal signals)	—	—	.01	V	
I_{SOA}	Supply Current (including associated AGND buffer) Power = Low, Opamp Bias = Low Power = Low, Opamp Bias = High Power = Medium, Opamp Bias = Low Power = Medium, Opamp Bias = High Power = High, Opamp Bias = Low Power = High, Opamp Bias = High	— — — — — —	150 300 600 1200 2400 —	200 400 800 1600 3200 —	μA μA μA μA μA —	Not Allowed
$PSRR_{OA}$	Supply Voltage Rejection Ratio	54	80	—	dB	$V_{SS} \leq V_{IN} \leq (V_{DD} - 2.25)$ or $(V_{DD} - 1.25V) \leq V_{IN} \leq V_{DD}$

3.3.4 DC Analog Output Buffer Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-8: 5V DC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOB}	Input Offset Voltage (Absolute Value)	—	3	12	mV	
TCV_{OSOB}	Average Input Offset Voltage Drift	—	+6	—	$\mu\text{V}/^{\circ}\text{C}$	
V_{CMOB}	Common-Mode Input Voltage Range	0.5	—	$V_{DD} - 1.0$	V	
R_{OUTOB}	Output Resistance					
	Power = Low	—	—	1	Ω	
	Power = High	—	—	1	Ω	
$V_{OHIGHOB}$	High Output Voltage Swing (Load = 32 ohms to $V_{DD}/2$)					
	Power = Low	$0.5 \times V_{DD} + 1.3$	—	—	V	
	Power = High	$0.5 \times V_{DD} + 1.3$	—	—	V	
V_{LOWOB}	Low Output Voltage Swing (Load = 32 ohms to $V_{DD}/2$)					
	Power = Low	—	—	$0.5 \times V_{DD} - 1.3$	V	
	Power = High	—	—	$0.5 \times V_{DD} - 1.3$	V	
I_{SOB}	Supply Current Including Bias Cell (No Load)					
	Power = Low	—	1.1	2	mA	
	Power = High	—	2.6	5	mA	
$PSRR_{OB}$	Supply Voltage Rejection Ratio	40	64	—	dB	

Table 3-9: 3.3V DC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{OSOB}	Input Offset Voltage (Absolute Value)	—	3	12	mV	
TCV_{OSOB}	Average Input Offset Voltage Drift	—	+6	—	$\mu\text{V}/^{\circ}\text{C}$	
V_{CMOB}	Common-Mode Input Voltage Range	0.5	—	$V_{DD} - 1.0$	V	
R_{OUTOB}	Output Resistance					
	Power = Low	—	—	10	Ω	
	Power = High	—	—	10	Ω	
$V_{OHIGHOB}$	High Output Voltage Swing (Load = 1k ohms to $V_{DD}/2$)					
	Power = Low	$0.5 \times V_{DD} + 1.0$	—	—	V	
	Power = High	$0.5 \times V_{DD} + 1.0$	—	—	V	
V_{LOWOB}	Low Output Voltage Swing (Load = 1k ohms to $V_{DD}/2$)					
	Power = Low	—	—	$0.5 \times V_{DD} - 1.0$	V	
	Power = High	—	—	$0.5 \times V_{DD} - 1.0$	V	
I_{SOB}	Supply Current Including Bias Cell (No Load)					
	Power = Low	—	0.8	1	mA	
	Power = High	—	2.0	5	mA	
$PSRR_{OB}$	Supply Voltage Rejection Ratio	60	64	—	dB	

3.3.5 DC Switch Mode Pump Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-10: DC Switch Mode Pump (SMP) Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
$V_{PUMP\ 5V}$	5V Output Voltage at Vdd from Pump	4.75	5.0	5.25	V	Configuration of footnote. ^a Average, neglecting ripple. SMP trip voltage is set to 5.0V.
$V_{PUMP\ 3V}$	3V Output Voltage at Vdd from Pump	3.00	3.25	3.60	V	Configuration of footnote. ^a Average, neglecting ripple. SMP trip voltage is set to 3.25V.
I_{PUMP}	Available Output Current $V_{BAT} = 1.5V$, $V_{PUMP} = 3.25V$ $V_{BAT} = 1.8V$, $V_{PUMP} = 5.0V$	8	—	—	mA	Configuration of footnote. ^a SMP trip voltage is set to 3.25V. SMP trip voltage is set to 5.0V.
		5	—	—	mA	
$V_{BAT\ 5V}$	Input Voltage Range from Battery	1.8	—	5.0	V	Configuration of footnote. ^a SMP trip voltage is set to 5.0V.
$V_{BAT\ 3V}$	Input Voltage Range from Battery	1.0	—	3.3	V	Configuration of footnote. ^a SMP trip voltage is set to 3.25V.
$V_{BATSTART}$	Minimum Input Voltage from Battery to Start Pump	1.2	—	—	V	Configuration of footnote. ^a $0^{\circ}\text{C} \leq T_A \leq 100$. 1.25V at $T_A = -40^{\circ}\text{C}$.
ΔV_{PUMP_Line}	Line Regulation (over V_{BAT} range)	—	5	—	% V_O	Configuration of footnote. ^a V_O is the "Vdd Value for PUMP Trip" specified by the VM[2:0] setting in the DC POR and LVD Specification, Table 3-14 on page 25.
ΔV_{PUMP_Load}	Load Regulation	—	5	—	% V_O	Configuration of footnote. ^a V_O is the "Vdd Value for PUMP Trip" specified by the VM[2:0] setting in the DC POR and LVD Specification, Table 3-14 on page 25.
ΔV_{PUMP_Ripple}	Output Voltage Ripple (depends on capacitor/load)	—	100	—	mVpp	Configuration of footnote. ^a Load is 5 mA.
E_3	Efficiency	35	50	—	%	Configuration of footnote. ^a Load is 5 mA. SMP trip voltage is set to 3.25V.
F_{PUMP}	Switching Frequency	—	1.4	—	MHz	
DC_{PUMP}	Switching Duty Cycle	—	50	—	%	

a. $L_1 = 2\ \mu\text{H}$ inductor, $C_1 = 10\ \mu\text{F}$ capacitor, $D_1 = \text{Schottky diode}$. See Figure 3-2.

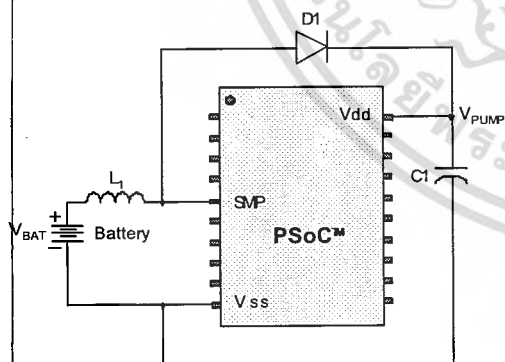


Figure 3-2. Basic Switch Mode Pump Circuit

3.3.6 DC Analog Reference Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

The guaranteed specifications are measured through the Analog Continuous Time PSoC blocks. The power levels for AGND refer to the power of the Analog Continuous Time PSoC block. The power levels for RefHi and RefLo refer to the Analog Reference Control register. The limits stated for AGND include the offset error of the AGND buffer local to the Analog Continuous Time PSoC block. Reference control power is high.

Table 3-11: 5V DC Analog Reference Specifications

Symbol	Description	Min	Typ	Max	Units
V_{BG5}	Bandgap Voltage Reference 5V	1.28	1.30	1.32	V
–	AGND = $V_{dd}/2^a$	$V_{dd}/2 - 0.02$	$V_{dd}/2$	$V_{dd}/2 + 0.02$	V
–	AGND = $2 \times \text{BandGap}^a$	2.52	2.60	2.72	V
–	AGND = P2[4] (P2[4] = $V_{dd}/2$) ^a	P2[4] - 0.013	P2[4]	P2[4] + 0.013	V
–	AGND = BandGap ^a	1.27	1.3	1.34	V
–	AGND = $1.6 \times \text{BandGap}^a$	2.03	2.08	2.13	V
–	AGND Block to Block Variation (AGND = $V_{dd}/2$) ^a	-0.034	0.000	0.034	V
–	RefHi = $V_{dd}/2 + \text{BandGap}$	$V_{dd}/2 + 1.21$	$V_{dd}/2 + 1.3$	$V_{dd}/2 + 1.382$	V
–	RefHi = $3 \times \text{BandGap}$	3.75	3.9	4.05	V
–	RefHi = $2 \times \text{BandGap} + \text{P2}[6]$ (P2[6] = 1.3V)	P2[6] + 2.478	P2[6] + 2.6	P2[6] + 2.722	V
–	RefHi = P2[4] + BandGap (P2[4] = $V_{dd}/2$)	P2[4] + 1.218	P2[4] + 1.3	P2[4] + 1.382	V
–	RefHi = P2[4] + P2[6] (P2[4] = $V_{dd}/2$, P2[6] = 1.3V)	P2[4] + P2[6] - 0.058	P2[4] + P2[6]	P2[4] + P2[6] + 0.058	V
–	RefHi = $2 \times \text{BandGap}$	2.50	2.60	2.70	V
–	RefHi = $3.2 \times \text{BandGap}$	4.02	4.16	4.29	V
–	RefLo = $V_{dd}/2 - \text{BandGap}$	$V_{dd}/2 - 1.369$	$V_{dd}/2 - 1.30$	$V_{dd}/2 - 1.231$	V
–	RefLo = BandGap	1.20	1.30	1.40	V
–	RefLo = $2 \times \text{BandGap} - \text{P2}[6]$ (P2[6] = 1.3V)	2.489 - P2[6]	2.6 - P2[6]	2.711 - P2[6]	V
–	RefLo = P2[4] - BandGap (P2[4] = $V_{dd}/2$)	P2[4] - 1.368	P2[4] - 1.30	P2[4] - 1.232	V
–	RefLo = P2[4] - P2[6] (P2[4] = $V_{dd}/2$, P2[6] = 1.3V)	P2[4] - P2[6] - 0.042	P2[4] - P2[6]	P2[4] - P2[6] + 0.042	V

a. AGND tolerance includes the offsets of the local buffer in the PSoC block. Bandgap voltage is $1.3\text{V} \pm 0.02\text{V}$.

Table 3-12: 3.3V DC Analog Reference Specifications

Symbol	Description	Min	Typ	Max	Units
V_{BG33}	Bandgap Voltage Reference 3.3V	1.28	1.30	1.32	V
–	AGND = $V_{dd}/2^a$	$V_{dd}/2 - 0.02$	$V_{dd}/2$	$V_{dd}/2 + 0.02$	V
–	AGND = $2 \times \text{BandGap}^a$	Not Allowed			
–	AGND = P2[4] (P2[4] = $V_{dd}/2$)	P2[4] - 0.009	P2[4]	P2[4] + 0.009	V
–	AGND = BandGap ^a	1.27	1.30	1.34	V
–	AGND = $1.6 \times \text{BandGap}^a$	2.03	2.08	2.13	V
–	AGND Block to Block Variation (AGND = $V_{dd}/2$) ^a	-0.034	0.000	0.034	mV
–	RefHi = $V_{dd}/2 + \text{BandGap}$	Not Allowed			
–	RefHi = $3 \times \text{BandGap}$	Not Allowed			
–	RefHi = $2 \times \text{BandGap} + \text{P2}[6]$ (P2[6] = 0.5V)	Not Allowed			
–	RefHi = P2[4] + BandGap (P2[4] = $V_{dd}/2$)	Not Allowed			
–	RefHi = P2[4] + P2[6] (P2[4] = $V_{dd}/2$, P2[6] = 0.5V)	P2[4] + P2[6] - 0.042	P2[4] + P2[6]	P2[4] + P2[6] + 0.042	V
–	RefHi = $2 \times \text{BandGap}$	2.50	2.60	2.70	V
–	RefHi = $3.2 \times \text{BandGap}$	Not Allowed			
–	RefLo = $V_{dd}/2 - \text{BandGap}$	Not Allowed			
–	RefLo = BandGap	Not Allowed			
–	RefLo = $2 \times \text{BandGap} - \text{P2}[6]$ (P2[6] = 0.5V)	Not Allowed			
–	RefLo = P2[4] - BandGap (P2[4] = $V_{dd}/2$)	Not Allowed			
–	RefLo = P2[4] - P2[6] (P2[4] = $V_{dd}/2$, P2[6] = 0.5V)	P2[4] - P2[6] - 0.036	P2[4] - P2[6]	P2[4] - P2[6] + 0.036	V

a. AGND tolerance includes the offsets of the local buffer in the PSoC block. Bandgap voltage is $1.3\text{V} \pm 0.02\text{V}$.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.7 DC Analog PSoC Block Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-13: DC Analog PSoC Block Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
R_{CT}	Resistor Unit Value (Continuous Time)	—	12.2	—	k Ω	
C_{SC}	Capacitor Unit Value (Switch Cap)	—	80	—	fF	

3.3.8 DC POR, SMP, and LVD Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-14: DC POR, SMP, and LVD Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
V_{PPOR0R}	Vdd Value for PPOR Trip (positive ramp) PORLEV[1:0] = 00b	—	2.91	—	V	
V_{PPOR1R}	PORLEV[1:0] = 01b	—	4.39	—	V	
V_{PPOR2R}	PORLEV[1:0] = 10b	—	4.55	—	V	
V_{PPOR0}	Vdd Value for PPOR Trip (negative ramp) PORLEV[1:0] = 00b	—	2.82	—	V	
V_{PPOR1}	PORLEV[1:0] = 01b	—	4.39	—	V	
V_{PPOR2}	PORLEV[1:0] = 10b	—	4.55	—	V	
V_{PH0}	PPOR Hysteresis PORLEV[1:0] = 00b	—	92	—	mV	
V_{PH1}	PORLEV[1:0] = 01b	—	0	—	mV	
V_{PH2}	PORLEV[1:0] = 10b	—	0	—	mV	
V_{LVD0}	Vdd Value for LVD Trip VM[2:0] = 000b	2.86	2.92	2.98 ^a	V	
V_{LVD1}	VM[2:0] = 001b	2.96	3.02	3.08	V	
V_{LVD2}	VM[2:0] = 010b	3.07	3.13	3.20	V	
V_{LVD3}	VM[2:0] = 011b	3.92	4.00	4.08	V	
V_{LVD4}	VM[2:0] = 100b	4.39	4.48	4.57	V	
V_{LVD5}	VM[2:0] = 101b	4.55	4.64	4.74 ^b	V	
V_{LVD6}	VM[2:0] = 110b	4.63	4.73	4.82	V	
V_{LVD7}	VM[2:0] = 111b	4.72	4.81	4.91	V	
V_{PUMP0}	Vdd Value for SMP Trip VM[2:0] = 000b	2.96	3.02	3.08	V	
V_{PUMP1}	VM[2:0] = 001b	3.03	3.10	3.16	V	
V_{PUMP2}	VM[2:0] = 010b	3.18	3.25	3.32	V	
V_{PUMP3}	VM[2:0] = 011b	4.11	4.19	4.28	V	
V_{PUMP4}	VM[2:0] = 100b	4.55	4.64	4.74	V	
V_{PUMP5}	VM[2:0] = 101b	4.63	4.73	4.82	V	
V_{PUMP6}	VM[2:0] = 110b	4.72	4.82	4.91	V	
V_{PUMP7}	VM[2:0] = 111b	4.90	5.00	5.10	V	

- a. Always greater than 50 mV above PPOR (PORLEV = 00) for falling supply.
b. Always greater than 50 mV above PPOR (PORLEV = 10) for falling supply.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.9 DC Programming Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-15: DC Programming Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
I_{DDP}	Supply Current During Programming or Verify	—	10	30	mA	
V_{ILP}	Input Low Voltage During Programming or Verify	—	—	0.8	V	
V_{IHP}	Input High Voltage During Programming or Verify	2.2	—	—	V	
I_{ILP}	Input Current when Applying V_{ilp} to P1[0] or P1[1] During Programming or Verify	—	—	0.2	mA	Driving internal pull-down resistor.
I_{IHP}	Input Current when Applying V_{ihp} to P1[0] or P1[1] During Programming or Verify	—	—	1.5	mA	Driving internal pull-down resistor.
V_{OLV}	Output Low Voltage During Programming or Verify	—	—	$V_{SS} + 0.75$	V	
V_{OHV}	Output High Voltage During Programming or Verify	$V_{DD} - 1.0$	—	V_{DD}	V	
Flash_{ENPB}	Flash Endurance (per block)	50,000	—	—	—	Erase/write cycles per block.
Flash_{ENT}	Flash Endurance (total) ^a	1,800,000	—	—	—	Erase/write cycles.
Flash_{DR}	Flash Data Retention	10	—	—	Years	

- a. A maximum of 36 x 50,000 block endurance cycles is allowed. This may be balanced between operations on 36x1 blocks of 50,000 maximum cycles each, 36x2 blocks of 25,000 maximum cycles each, or 36x4 blocks of 12,500 maximum cycles each (to limit the total number of cycles to 36x50,000 and that no single block ever sees more than 50,000 cycles).

For the full industrial range, the user must employ a temperature sensor user module (FlashTemp) and feed the result to the temperature argument before writing. Refer to the Flash APIs Application Note AN2015 at <http://www.cypress.com> under Application Notes for more information.

3.4 AC Electrical Characteristics

3.4.1 AC Chip-Level Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Note See the individual user module data sheets for information on maximum frequencies for user modules.

Table 3-16: AC Chip-Level Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F _{IMO24}	Internal Main Oscillator Frequency for 24 MHz	23.4	24	24.6 ^{a,b,c}	MHz	Trimmed for 5V or 3.3V operation using factory trim values. See Figure 3-1b on page 17. SLIMO Mode = 0.
F _{IMO6}	Internal Main Oscillator Frequency for 6 MHz	5.75	6	6.35 ^{a,b,c}	MHz	Trimmed for 5V or 3.3V operation using factory trim values. See Figure 3-1b on page 17. SLIMO Mode = 1.
F _{CPU1}	CPU Frequency (5V Nominal)	0.93	24	24.6 ^{a,b}	MHz	
F _{CPU2}	CPU Frequency (3.3V Nominal)	0.93	12	12.3 ^{b,c}	MHz	
F _{48M}	Digital PSoC Block Frequency	0	48	49.2 ^{a,b,d}	MHz	Refer to the AC Digital Block Specifications below.
F _{24M}	Digital PSoC Block Frequency	0	24	24.6 ^{b,d}	MHz	
F _{32k1}	Internal Low Speed Oscillator Frequency	15	32	64	kHz	
F _{32k2}	External Crystal Oscillator	—	32.768	—	kHz	Accuracy is capacitor and crystal dependent. 50% duty cycle.
F _{PLL}	PLL Frequency	—	23.986	—	MHz	A multiple (x732) of crystal frequency.
Jitter _{24M2}	24 MHz Period Jitter (PLL)	—	—	600	ps	
T _{PLLSLEW}	PLL Lock Time	0.5	—	10	ms	
T _{PLLSLEWLOW}	PLL Lock Time for Low Gain Setting	0.5	—	50	ms	
T _{OS}	External Crystal Oscillator Startup to 1%	—	250	500	ms	
T _{OSACC}	External Crystal Oscillator Startup to 100 ppm	—	300	600	ms	The crystal oscillator frequency is within 100 ppm of its final value by the end of the T _{OSACC} period. Correct operation assumes a properly loaded 1 uW maximum drive level 32.768 kHz crystal. 3.0V ≤ V _{dd} ≤ 5.5V, $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$.
Jitter _{32k}	32 kHz Period Jitter	—	100	—	ns	
T _{XRST}	External Reset Pulse Width	10	—	—	μs	
DC _{24M}	24 MHz Duty Cycle	40	50	60	%	
Step _{24M}	24 MHz Trim Step Size	—	50	—	kHz	
F _{OUT48M}	48 MHz Output Frequency	46.8	48.0	49.2 ^{a,c}	MHz	Trimmed. Utilizing factory trim values.
Jitter _{24M1}	24 MHz Period Jitter (IMO)	—	600	—	ps	
F _{MAX}	Maximum frequency of signal on row input or row output.	0	—	12.3	MHz	
T _{RAMP}	Supply Ramp Time	0	—	—	μs	

a. 4.75V < V_{dd} < 5.25V.

b. Accuracy derived from Internal Main Oscillator with appropriate trim for V_{dd} range.

c. 3.0V < V_{dd} < 3.6V. See Application Note AN2012 "Adjusting PSoC Microcontroller Trims for Dual Voltage-Range Operation" for information on trimming for operation at 3.3V.

d. See the individual user module data sheets for information on maximum frequencies for user modules.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

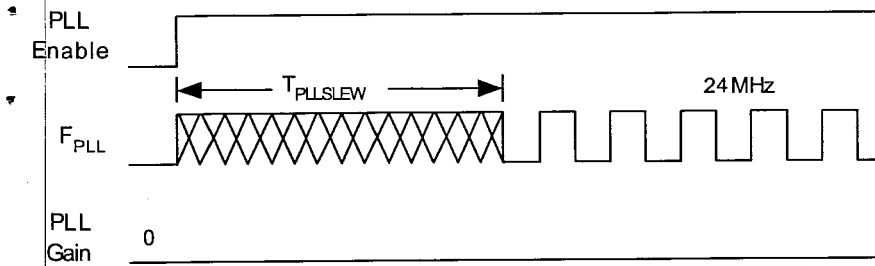


Figure 3-3. PLL Lock Timing Diagram

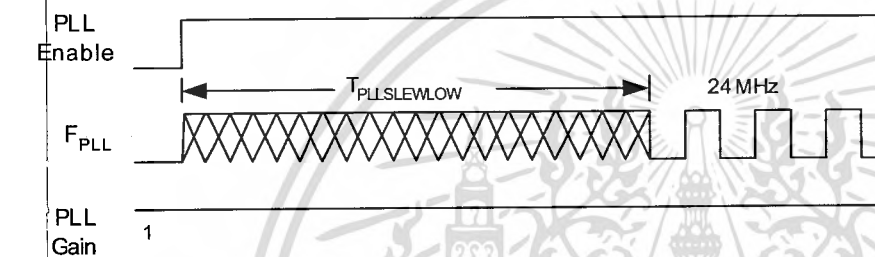


Figure 3-4. PLL Lock for Low Gain Setting Timing Diagram

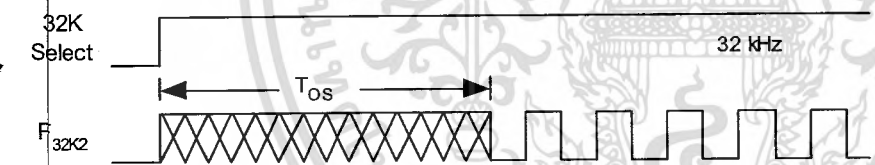


Figure 3-5. External Crystal Oscillator Startup Timing Diagram



Figure 3-6. 24 MHz Period Jitter (IMO) Timing Diagram



Figure 3-7. 32 kHz Period Jitter (ECO) Timing Diagram

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และดัดแปลงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.2 AC General Purpose IO Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-17: AC GPIO Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F_{GPIO}	GPIO Operating Frequency	0	—	12.3	MHz	Normal Strong Mode
TR_{iseF}	Rise Time, Normal Strong Mode, Cload = 50 pF	3	—	18	ns	Vdd = 4.75 to 5.25V, 10% - 90%
TF_{allF}	Fall Time, Normal Strong Mode, Cload = 50 pF	2	—	18	ns	Vdd = 4.75 to 5.25V, 10% - 90%
TR_{iseS}	Rise Time, Slow Strong Mode, Cload = 50 pF	10	27	—	ns	Vdd = 3 to 5.25V, 10% - 90%
TF_{allS}	Fall Time, Slow Strong Mode, Cload = 50 pF	10	22	—	ns	Vdd = 3 to 5.25V, 10% - 90%

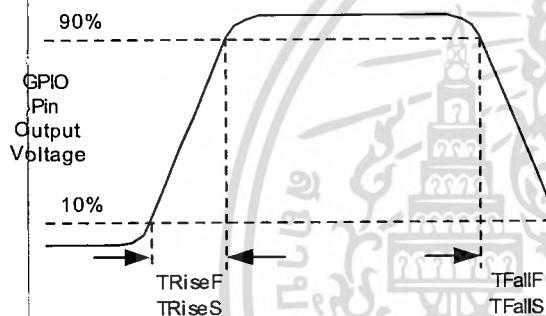


Figure 3-8. GPIO Timing Diagram

3.4.3 AC Operational Amplifier Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Settling times, slew rates, and gain bandwidth are based on the Analog Continuous Time PSoC block.

Power = High and Opamp Bias = High is not supported at 3.3V.

Table 3-18: 5V AC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROA}	Rising Settling Time to 0.1% for a 1V Step (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	—	—	3.9	μs	
	Power = Medium, Opamp Bias = High	—	—	0.72	μs	
	Power = High, Opamp Bias = High	—	—	0.62	μs	
T_{SOA}	Falling Settling Time to 0.1% for a 1V Step (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	—	—	5.9	μs	
	Power = Medium, Opamp Bias = High	—	—	0.92	μs	
	Power = High, Opamp Bias = High	—	—	0.72	μs	
SR_{ROA}	Rising Slew Rate (20% to 80%) of a 1V Step (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.15	—	—	V/ μs	
	Power = Medium, Opamp Bias = High	1.7	—	—	V/ μs	
	Power = High, Opamp Bias = High	6.5	—	—	V/ μs	
SR_{FOA}	Falling Slew Rate (20% to 80%) of a 1V Step (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.01	—	—	V/ μs	
	Power = Medium, Opamp Bias = High	0.5	—	—	V/ μs	
	Power = High, Opamp Bias = High	4.0	—	—	V/ μs	
BW_{OA}	Gain Bandwidth Product					
	Power = Low, Opamp Bias = Low	0.75	—	—	MHz	
	Power = Medium, Opamp Bias = High	3.1	—	—	MHz	
	Power = High, Opamp Bias = High	5.4	—	—	MHz	
E_{NOA}	Noise at 1 kHz (Power = Medium, Opamp Bias = High)	—	100	—	nV/rt-Hz	

Table 3-19: 3.3V AC Operational Amplifier Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROA}	Rising Settling Time to 0.1% of a 1V Step (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	—	—	3.92	μs	
	Power = Medium, Opamp Bias = High	—	—	0.72	μs	
T_{SOA}	Falling Settling Time to 0.1% of a 1V Step (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	—	—	5.41	μs	
	Power = Medium, Opamp Bias = High	—	—	0.72	μs	
SR_{ROA}	Rising Slew Rate (20% to 80%) of a 1V Step (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.31	—	—	V/ μs	
	Power = Medium, Opamp Bias = High	2.7	—	—	V/ μs	
SR_{FOA}	Falling Slew Rate (20% to 80%) of a 1V Step (10 pF load, Unity Gain)					
	Power = Low, Opamp Bias = Low	0.24	—	—	V/ μs	
	Power = Medium, Opamp Bias = High	1.8	—	—	V/ μs	
BW_{OA}	Gain Bandwidth Product					
	Power = Low, Opamp Bias = Low	0.67	—	—	MHz	
	Power = Medium, Opamp Bias = High	2.8	—	—	MHz	
E_{NOA}	Noise at 1 kHz (Power = Medium, Opamp Bias = High)	—	100	—	nV/rt-Hz	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

When bypassed by a capacitor on P2[4], the noise of the analog ground signal distributed to each block is reduced by a factor of up to 5 (14 dB). This is at frequencies above the corner frequency defined by the on-chip 8.1k resistance and the external capacitor.

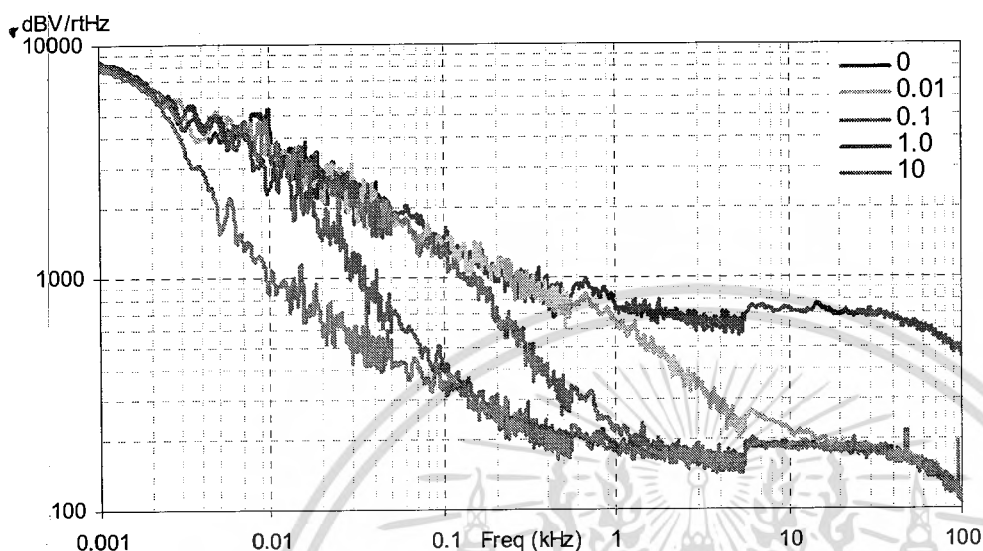


Figure 3-9. Typical AGND Noise with P2[4] Bypass

At low frequencies, the opamp noise is proportional to $1/f$, power independent, and determined by device geometry. At high frequencies, increased power level reduces the noise spectrum level.

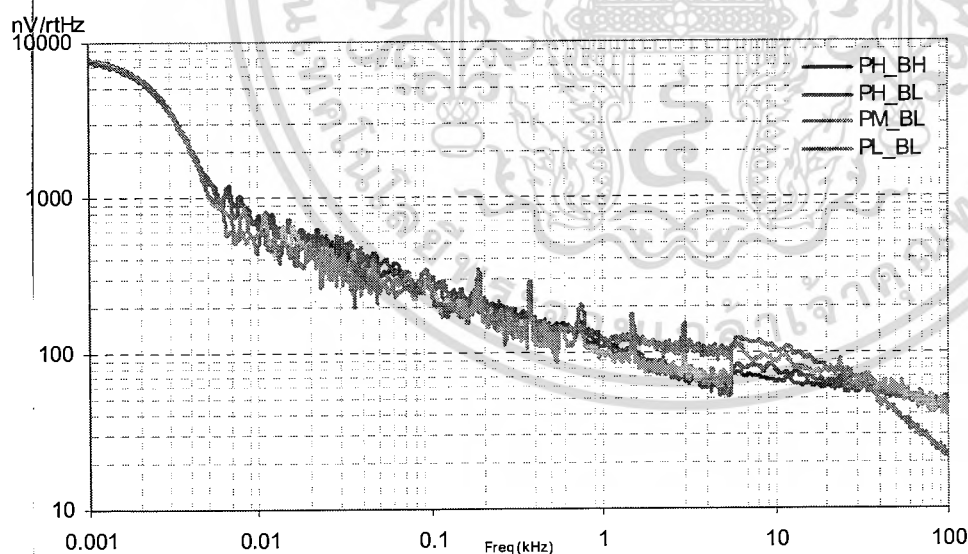


Figure 3-10. Typical Opamp Noise

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.4 AC Digital Block Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-20: AC Digital Block Specifications

Function	Description	Min	Typ	Max	Units	Notes
All Functions	Maximum Block Clocking Frequency ($> 4.75\text{V}$)			49.2		$4.75\text{V} < V_{dd} < 5.25\text{V}$.
	Maximum Block Clocking Frequency ($< 4.75\text{V}$)			24.6		$3.0\text{V} < V_{dd} < 4.75\text{V}$.
Timer	Capture Pulse Width	50 ^a	—	—	ns	
	Maximum Frequency, No Capture	—	—	49.2	MHz	$4.75\text{V} < V_{dd} < 5.25\text{V}$.
	Maximum Frequency, With Capture	—	—	24.6	MHz	
Counter	Enable Pulse Width	50 ^a	—	—	ns	
	Maximum Frequency, No Enable Input	—	—	49.2	MHz	$4.75\text{V} < V_{dd} < 5.25\text{V}$.
	Maximum Frequency, Enable Input	—	—	24.6	MHz	
Dead Band	Kill Pulse Width:					
	Asynchronous Restart Mode	20	—	—	ns	
	Synchronous Restart Mode	50 ^a	—	—	ns	
	Disable Mode	50 ^a	—	—	ns	
	Maximum Frequency	—	—	49.2	MHz	$4.75\text{V} < V_{dd} < 5.25\text{V}$.
CRCPRS (PRS Mode)	Maximum Input Clock Frequency	—	—	49.2	MHz	$4.75\text{V} < V_{dd} < 5.25\text{V}$.
CRCPRS (CRC Mode)	Maximum Input Clock Frequency	—	—	24.6	MHz	
SPIM	Maximum Input Clock Frequency	—	—	8.2	MHz	Maximum data rate at 4.1 MHz due to 2 x over clocking.
SPIS	Maximum Input Clock Frequency	—	—	4.1	ns	
	Width of SS _— Negated Between Transmissions	50 ^a	—	—	ns	
Transmitter	Maximum Input Clock Frequency	—	—	24.6	MHz	Maximum data rate at 3.08 MHz due to 8 x over clocking.
Receiver	Maximum Input Clock Frequency	—	—	24.6	MHz	Maximum data rate at 3.08 MHz due to 8 x over clocking.

a. 50 ns minimum input pulse width is based on the input synchronizers running at 24 MHz (42 ns nominal period).

3.4.5 AC Analog Output Buffer Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-21: 5V AC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROB}	Rising Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	—	—	4	μs	
	Power = High	—	—	4	μs	
T_{SOB}	Falling Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	—	—	3.4	μs	
	Power = High	—	—	3.4	μs	
SR_{ROB}	Rising Slew Rate (20% to 80%), 1V Step, 100pF Load					
	Power = Low	0.5	—	—	V/ μs	
	Power = High	0.5	—	—	V/ μs	
SR_{FOB}	Falling Slew Rate (80% to 20%), 1V Step, 100pF Load					
	Power = Low	0.55	—	—	V/ μs	
	Power = High	0.55	—	—	V/ μs	
BW_{OB}	Small Signal Bandwidth, 20mV _{pp} , 3dB BW, 100pF Load					
	Power = Low	0.8	—	—	MHz	
	Power = High	0.8	—	—	MHz	
BW_{OB}	Large Signal Bandwidth, 1V _{pp} , 3dB BW, 100pF Load					
	Power = Low	300	—	—	kHz	
	Power = High	300	—	—	kHz	

Table 3-22: 3.3V AC Analog Output Buffer Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T_{ROB}	Rising Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	—	—	4.7	μs	
	Power = High	—	—	4.7	μs	
T_{SOB}	Falling Settling Time to 0.1%, 1V Step, 100pF Load					
	Power = Low	—	—	4	μs	
	Power = High	—	—	4	μs	
SR_{ROB}	Rising Slew Rate (20% to 80%), 1V Step, 100pF Load					
	Power = Low	.36	—	—	V/ μs	
	Power = High	.36	—	—	V/ μs	
SR_{FOB}	Falling Slew Rate (80% to 20%), 1V Step, 100pF Load					
	Power = Low	.4	—	—	V/ μs	
	Power = High	.4	—	—	V/ μs	
BW_{OB}	Small Signal Bandwidth, 20mV _{pp} , 3dB BW, 100pF Load					
	Power = Low	0.7	—	—	MHz	
	Power = High	0.7	—	—	MHz	
BW_{OB}	Large Signal Bandwidth, 1V _{pp} , 3dB BW, 100pF Load					
	Power = Low	200	—	—	kHz	
	Power = High	200	—	—	kHz	

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และข้อมูลเชิงเทคนิคของเอกสารทุกครั้งที่มีการนำไปใช้

3.4.6 AC External Clock Specifications

The following tables list guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-23: 5V AC External Clock Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F _{OSCEXT}	Frequency	0.093	—	24.6	MHz	
—	High Period	20.6	—	5300	ns	
—	Low Period	20.6	—	—	ns	
—	Power Up IMO to Switch	150	—	—	μs	

Table 3-24: 3.3V AC External Clock Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
F _{OSCEXT}	Frequency with CPU Clock divide by 1	0.093	—	12.3	MHz	Maximum CPU frequency is 12 MHz at 3.3V. With the CPU clock divider set to 1, the external clock must adhere to the maximum frequency and duty cycle requirements.
F _{OSCEXT}	Frequency with CPU Clock divide by 2 or greater	0.186	—	24.6	MHz	If the frequency of the external clock is greater than 12 MHz, the CPU clock divider must be set to 2 or greater. In this case, the CPU clock divider will ensure that the fifty percent duty cycle requirement is met.
—	High Period with CPU Clock divide by 1	41.7	—	5300	ns	
—	Low Period with CPU Clock divide by 1	41.7	—	—	ns	
—	Power Up IMO to Switch	150	—	—	μs	

3.4.7 AC Programming Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-25: AC Programming Specifications

Symbol	Description	Min	Typ	Max	Units	Notes
T _{RSCLK}	Rise Time of SCLK	1	—	20	ns	
T _{FSCLK}	Fall Time of SCLK	1	—	20	ns	
T _{SSCLK}	Data Set up Time to Falling Edge of SCLK	40	—	—	ns	
T _{HSCLK}	Data Hold Time from Falling Edge of SCLK	40	—	—	ns	
F _{SCLK}	Frequency of SCLK	0	—	8	MHz	
T _{ERASEB}	Flash Erase Time (Block)	—	10	—	ms	
T _{WRITE}	Flash Block Write Time	—	10	—	ms	
T _{DSCLK}	Data Out Delay from Falling Edge of SCLK	—	—	45	ns	V _{dd} > 3.6
T _{DSCLK3}	Data Out Delay from Falling Edge of SCLK	—	—	50	ns	3.0 ≤ V _{dd} ≤ 3.6

3.4.8 AC I²C Specifications

The following table lists guaranteed maximum and minimum specifications for the voltage and temperature ranges: 4.75V to 5.25V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, or 3.0V to 3.6V and $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$, respectively. Typical parameters apply to 5V and 3.3V at 25°C and are for design guidance only.

Table 3-26: AC Characteristics of the I²C SDA and SCL Pins

Symbol	Description	Standard Mode		Fast Mode		Units	Notes
		Min	Max	Min	Max		
$F_{SCL/I2C}$	SCL Clock Frequency	0	100	0	400	kHz	
$T_{HDSTA/I2C}$	Hold Time (repeated) START Condition. After this period, the first clock pulse is generated.	4.0	—	0.6	—	μs	
$T_{LOW/I2C}$	LOW Period of the SCL Clock	4.7	—	1.3	—	μs	
$T_{HIGH/I2C}$	HIGH Period of the SCL Clock	4.0	—	0.6	—	μs	
$T_{SUSTA/I2C}$	Set-up Time for a Repeated START Condition	4.7	—	0.6	—	μs	
$T_{HDDAT/I2C}$	Data Hold Time	0	—	0	—	μs	
$T_{SUBAT/I2C}$	Data Set-up Time	250	—	100 ^a	—	ns	
$T_{SUSTOI2C}$	Set-up Time for STOP Condition	4.0	—	0.6	—	μs	
T_{BUFI2C}	Bus Free Time Between a STOP and START Condition	4.7	—	1.3	—	μs	
T_{SPI2C}	Pulse Width of spikes are suppressed by the input filter.	—	—	0	50	ns	

a. A Fast-Mode I²C-bus device can be used in a Standard-Mode I²C-bus system, but the requirement $t_{SU,DAT} \geq 250$ ns must then be met. This will automatically be the case if the device does not stretch the LOW period of the SCL signal. If such device does stretch the LOW period of the SCL signal, it must output the next data bit to the SDA line $t_{rmax} + t_{SU,DAT} = 1000 + 250 = 1250$ ns (according to the Standard-Mode I²C-bus specification) before the SCL line is released.

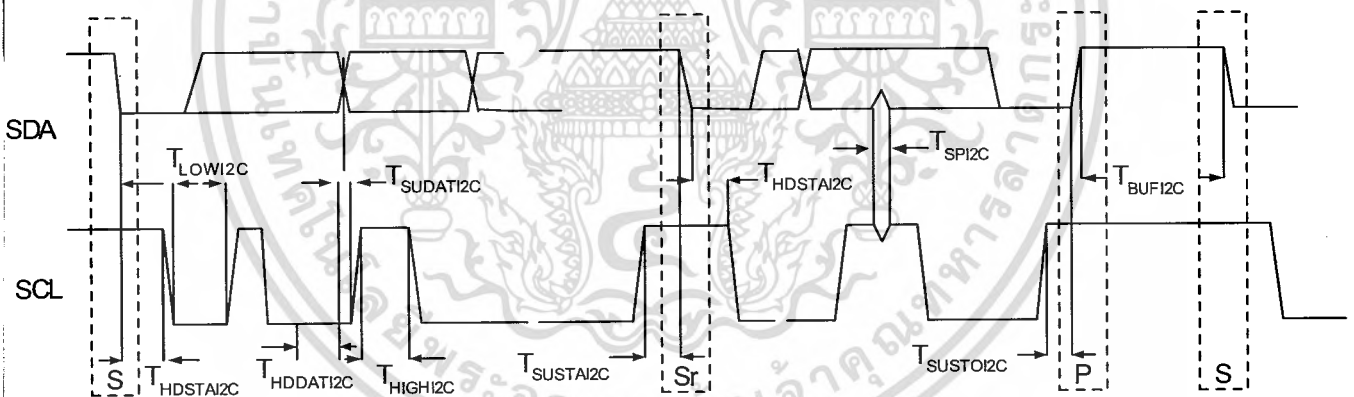


Figure 3-11. Definition for Timing for Fast/Standard Mode on the I²C Bus

4. Packaging Information



This chapter illustrates the packaging specifications for the CY8C29x66 PSoC device, along with the thermal impedances for each package and the typical package capacitance on crystal pins.

Important Note Emulation tools may require a larger area on the target PCB than the chip's footprint. For a detailed description of the emulation tools' dimensions, refer to the document titled *PSoC Emulator Pod Dimensions* at <http://www.cypress.com/support/link.cfm?mr=poddim>.

4.1 Packaging Dimensions

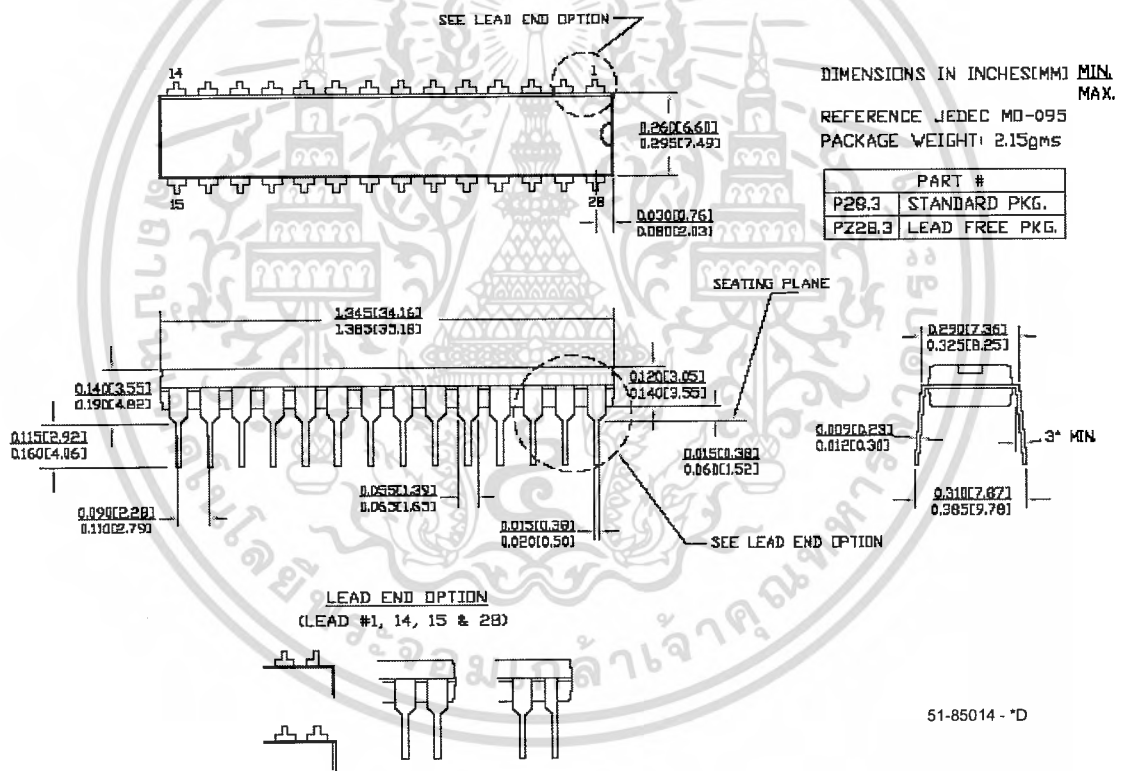


Figure 4-1. 28-Lead (300-Mil) Molded DIP

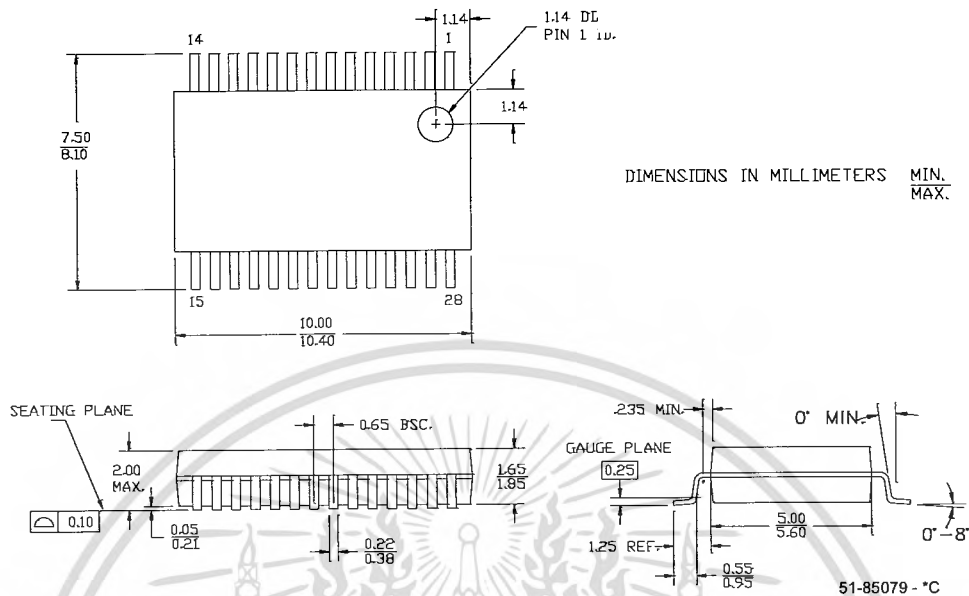


Figure 4-2. 28-Lead (210-Mil) SSOP

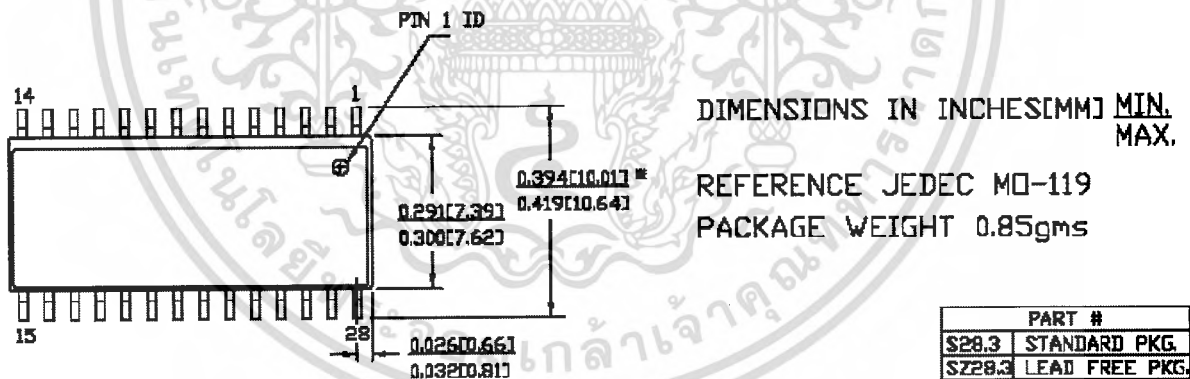


Figure 4-3. 28-Lead (300-Mil) SOIC

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

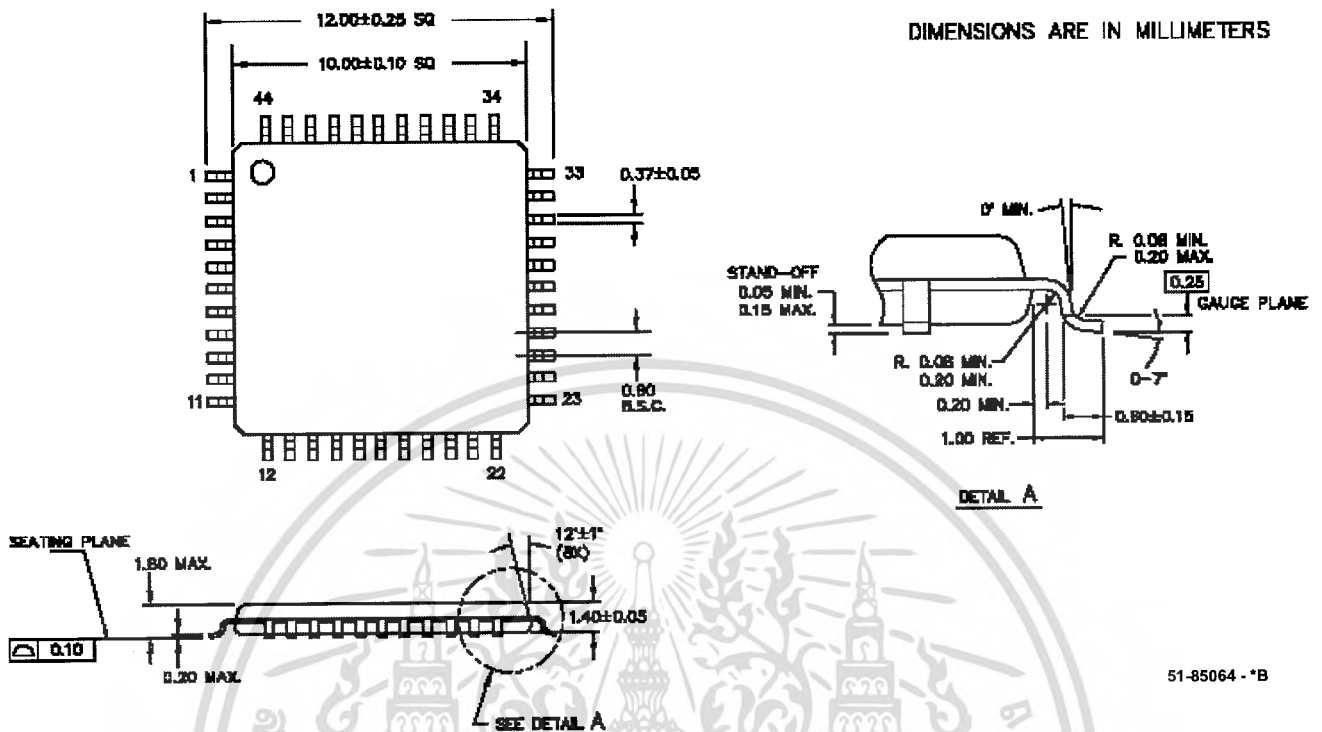


Figure 4-4. 44-Lead TQFP

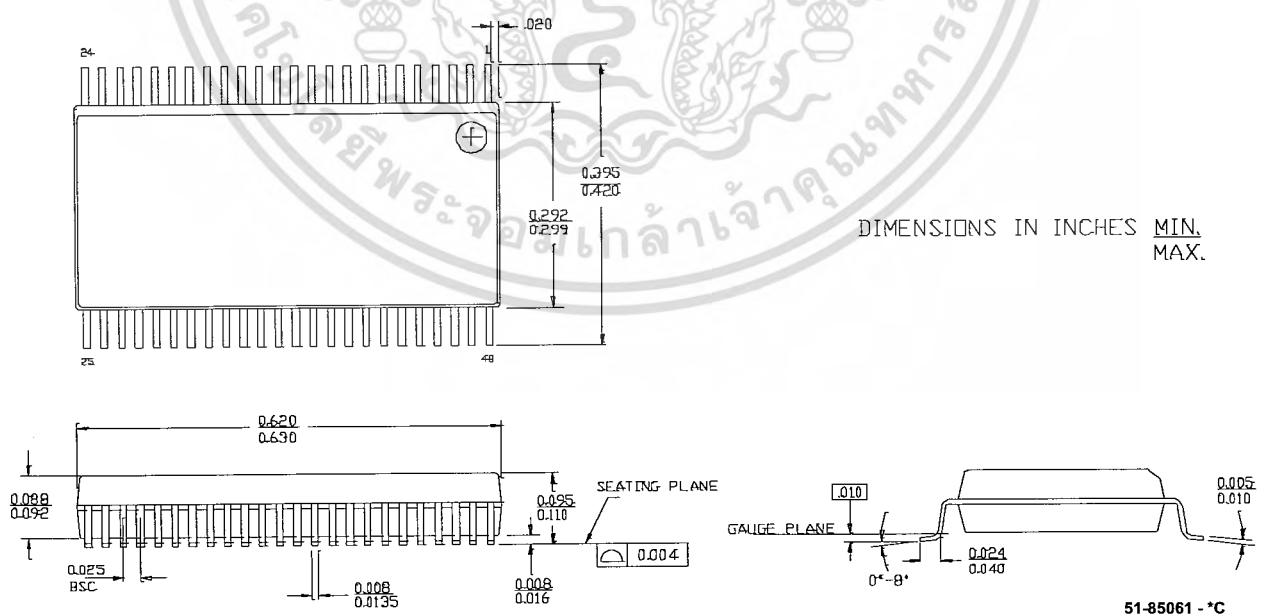


Figure 4-5. 48-Lead (300-Mil) SSOP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

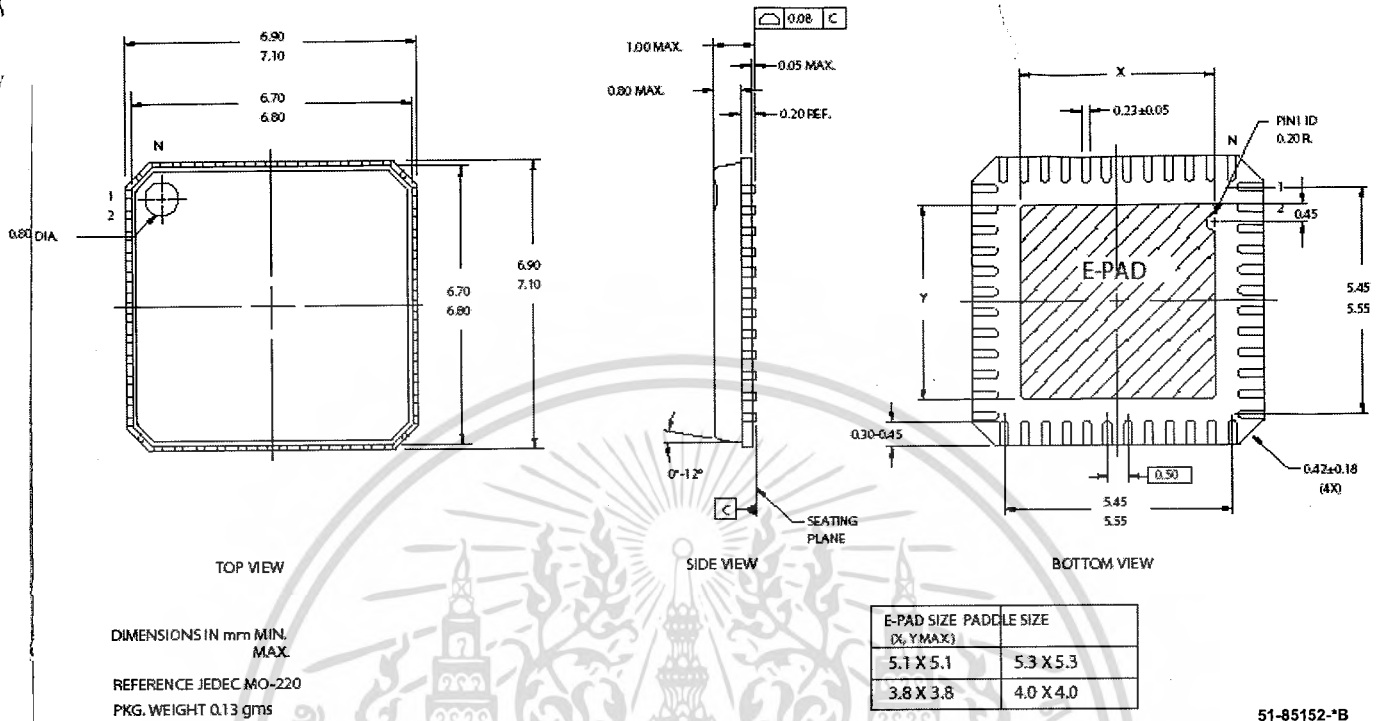


Figure 4-6. 48-Lead (7x7 mm) MLF

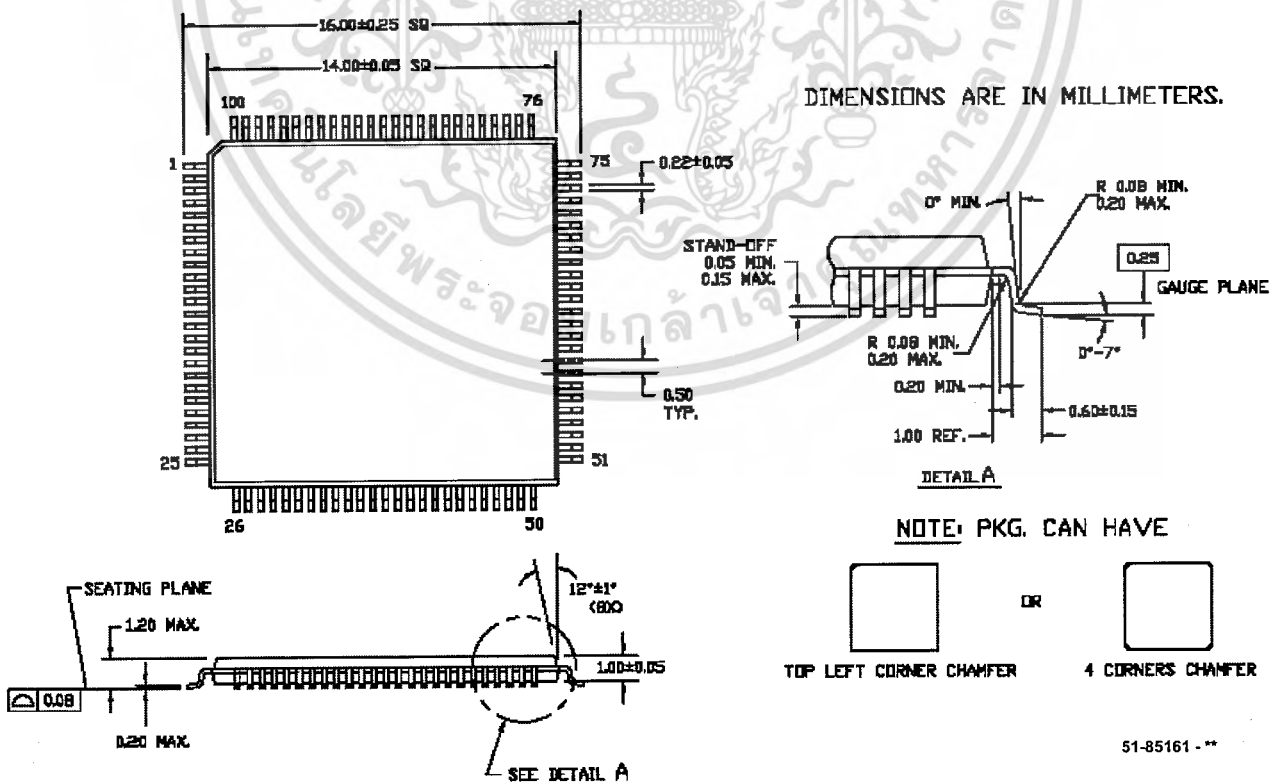


Figure 4-7. 100-Lead TQFP

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

6. Sales and Service Information



To obtain information about Cypress Microsystems or PSoC sales and technical support, reference the following information or go to the section titled "Getting Started" on page 4 in this document.

Cypress Microsystems

2700 162nd Street SW
Building D
Lynnwood, WA 98037
Phone: 800.669.0557
Facsimile: 425.787.4641

Web Sites: Company Information – <http://www.cypress.com>
Sales – http://www.cypress.com/aboutus/sales_locations.cfm
Technical Support – <http://www.cypress.com/support/login.cfm>

6.1 Revision History

Table 6-1. CY8C29X66 Data Sheet Revision History

Document Title: CY8C29466, CY8C29566, CY8C29666, and CY8C29866 PSoC Mixed-Signal Array Final Data Sheet				
Document Number: 38-12013				
Revision	ECN #	Issue Date	Origin of Change	Description of Change
**	131151	11/13/2003	New Silicon	New document (Revision **).
*A	132848	01/21/2004	NWJ	New information. First edition of preliminary data sheet.
*B	133205	01/27/2004	NWJ	Changed part numbers, increased SRAM data storage to 2K bytes.
*C	133656	02/09/2004	SFV	Changed part numbers and removed a 28-pin SOIC.
*D	227240	06/01/2004	SFV	Changes to Overview section, 48-pin MLF pinout, and significant changes to the Electrical Specs.
*E	240108	See ECN	SFV	Added a 28-lead (300 mil) SOIC part.
*F	247492	See ECN	SFV	New information added to the Electrical Specifications chapter.
*G	288849	See ECN	HMT	Add DS standards, update device table, fine-tune pinouts, add Reflow Peak Temp. table. Finalize.
Distribution: External/Public			Posting: None	

6.2 Copyrights and Code Protection

Copyrights

© Cypress Microsystems, Inc. 2003 – 2004. All rights reserved. PSoC™, PSoC Designer™, and Programmable System-on-Chip™ are trademarks of Cypress Microsystems, Inc. All other trademarks or registered trademarks referenced herein are property of the respective corporations.

The information contained herein is subject to change without notice. Cypress Microsystems assumes no responsibility for the use of any circuitry other than circuitry embodied in a Cypress Microsystems product. Nor does it convey or imply any license under patent or other rights. Cypress Microsystems does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress Microsystems products in life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress Microsystems against all charges. Cypress Microsystems products are not warranted nor intended to be used for medical, life-support, life-saving, critical control or safety applications, unless pursuant to an express written agreement with Cypress Microsystems.

Flash Code Protection

Note the following details of the Flash code protection features on Cypress Microsystems devices.

Cypress Microsystems products meet the specifications contained in their particular Cypress Microsystems Data Sheets. Cypress Microsystems believes that its family of products is one of the most secure families of its kind on the market today, regardless of how they are used. There may be methods, unknown to Cypress Microsystems, that can breach the code protection features. Any of these methods, to our knowledge, would be dishonest and possibly illegal. Neither Cypress Microsystems nor any other semiconductor manufacturer can guarantee the security of their code. Code protection does not mean that we are guaranteeing the product as "unbreakable."

Cypress Microsystems is willing to work with the customer who is concerned about the integrity of their code. Code protection is constantly evolving. We at Cypress Microsystems are committed to continuously improving the code protection features of our products.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า