

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การประยุกต์ใช้งานเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับที่มีแหล่งจ่ายเป็น
เซลล์แสงอาทิตย์

The Application of 11-level H-bridge Inverter for Solar cell Sources



T104051



เลขหมู่.....
เลขทะเบียน 104051
วัน,เดือน,ปี. 28 ต.ค. 2552



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต
สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2551

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปีการศึกษา 2551

การประยุกต์ใช้งานเอช-บริดจ์อินเวอร์เตอร์ 11. ระดับที่มีแหล่งจ่ายเป็น
เซลล์แสงอาทิตย์

The Application of 11-level H-bridge Inverter for Solar cell Sources



อาจารย์ที่ปรึกษา

ดร. สุรินทร์ คำฝอย

รศ. ประภาศ ไพรสวรรณา

รศ.ดร. วิริยะ พิเชฐจำเริญ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้


ปริญญาานิพนธ์ปีการศึกษา 2551

ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง การประยุกต์ใช้งานเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับที่มีแหล่งจ่ายเป็น
เซลล์แสงอาทิตย์

ผู้จัดทำ

- 
1. นาย ชาญฤทธิ วัฒนวาณิชย์
 2. นาย ธิฎฐภัทร ไพรสวรรณา
 3. นาย ธิฐิติ ชีววัฒนากุล
 4. นาย ปราการ อินทพัฒน์

.....อาจารย์ที่ปรึกษา
(ดร. สุรินทร์ คำฝอย)

..... อาจารย์ที่ปรึกษา
(รองศาสตราจารย์ ประภาส ไพรสวรรณา)

..... อาจารย์ที่ปรึกษา
(รองศาสตราจารย์ ดร. วิริยะ พิเชฐจำเริญญ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การประยุกต์ใช้งานเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับที่มีแหล่งจ่ายเป็น เซลล์แสงอาทิตย์

นาย ชานุกฤตย์ วัฒนวาณิชย์

นาย ณิชฐภัทร ไพรสุวรรณ

นาย ณิชฐิธี ชีวีวัฒนากุล

นาย ปราการ อินทพัฒน์

รศ. ประภาช ไพรสุวรรณ อาจารย์ที่ปรึกษา

ดร. สุรินทร์ คำฝอย อาจารย์ที่ปรึกษา

รศ.ดร. วิริยะ พิเชฐจำเริญ อาจารย์ที่ปรึกษา

ปีการศึกษา 2551

บทคัดย่อ

ปริณญาณินพนธ์นี้นำเสนอการควบคุมเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับที่ใช้เซลล์แสงอาทิตย์เป็นแหล่งจ่าย โดยมีพิกัดของอินเวอร์เตอร์เป็น 3 kVA ซึ่งในแต่ละเฟสประกอบด้วยอินเวอร์เตอร์ชนิดฟูลบริดจ์ต่อเนื่องกัน 5 ชุด จึงทำให้ต้องมีอินเวอร์เตอร์และแหล่งจ่ายทั้งหมด 15 ชุด โดยมีเซลล์แสงอาทิตย์เป็นแหล่งจ่ายไฟตรงใช้ไมโครคอนโทรลเลอร์เบอร์ PIC18F4431 เป็นตัวกำเนิดสัญญาณพีดีบีบลิวเอ็ม และใช้มอดเฟตเป็นสวิตช์ของอินเวอร์เตอร์มีการใช้ซีพีแอลดี(CPLD)ผสมสัญญาณเพื่อเป็นสัญญาณขับเกตของมอดเฟตในอินเวอร์เตอร์แต่ละตัว ซึ่งสามารถสร้างแรงดันเฟส 220 โวลท์(อาร์เอ็มเอส)ได้โดยไม่ต้องใช้หม้อแปลงและฟิลเตอร์สัญญาณแรงดันที่ได้จะมีคุณภาพที่ดีกว่าอินเวอร์เตอร์สองระดับโดยมีเปอร์เซ็นต์ความผิดเพี้ยนฮาร์มอนิกสรวมของแรงดันเฟส(%THD_v)เท่ากับ 10.69% และเปอร์เซ็นต์ความผิดเพี้ยนฮาร์มอนิกสรวมของแรงดันไลน์(%THD_L)เท่ากับ 6.58% ความเครียดการสวิตช์น้อยกว่าอินเวอร์เตอร์สองระดับและสามารถปรับV/f เพื่อใช้ควบคุมความเร็วมอเตอร์ได้ ซึ่งจะใช้โปรแกรมMATLABในการจำลองวงจรการทำงาน จากนั้นนำผลที่ได้ไปเปรียบเทียบกับค่าที่วัดได้จากเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับที่สร้างขึ้นจริง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

The Application of 11-level H-bridge Inverter for Solar cell Sources

Chanrit Wattanawanich

Nattapat Praisuwanna

Nattee Chewewathanakul

Prakan Inttpat

Assoc.Prof. Prapart Praisuwanna . Advisor

Dr. Surin Khomfoi Advisor

Assoc.Prof.Dr. Viriya Pichetchumrun Advisor

2008

Abstract

The Applications of 11-level H-bridge Inverter for solar cell system are presented in this thesis. The 11-level H-bridge Inverter, rated 3kVA in each phase, consists of 5 full bridge inverter series must 15 solar cell sources. The PIC 18F4431 microcontroller is used to generate the PWM signals. The CPLD is also used to multiplex the PWM signals incorporating with the microcontroller. Power mosfet switches are used in inverter. The 11-level H-Bridge inverter can generate 220 volts(rms) without a transformer and a filter with high quality output voltage waveforms. The total harmonics distortion(%THD_v) of phase voltages are 10.69% and total harmonics distortion of line voltages are 6.58%. The stress of switch is decrease compared to 2-level inverter. Moreover, 11-level H-Bridge inverter can also be adjusted V/f for speed control induction motor drive. The simulation of proposed technique is also performed by using Matlab/Simulink program. The experimental results are satisfactory and agree with the simulation results. The results show that the 11-level H-bridge inverter can be used for solar cell applications.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

โครงการของพวกเขาที่สามารถสำเร็จได้นั้นมาจากการสนับสนุนทางด้านต่างๆจากหลายๆ ส่วน พวกเราขอขอบพระคุณ ดร.สุรินทร์ คำฝอย และ รศ.ดร.วิริยะ พิเชฐจำเริญ อาจารย์ที่ปรึกษา ที่คอยแนะนำและให้คำปรึกษาในเรื่องต่างๆ ตลอดจนอาจารย์ทุกท่านที่ประสิทธิ์ประสาทวิชาความรู้ซึ่งทำให้พวกเราสามารถทำงานจนสำเร็จลุล่วงไปได้ด้วยดี

นอกจากนี้ต้องขอขอบคุณ คุณ นครศักดิ์ แสงศรี ที่คอยอำนวยความสะดวกเกี่ยวกับอุปกรณ์และเครื่องมือวัดภายในห้องวิจัย ตลอดจนเจ้าหน้าที่ทุกๆฝ่ายที่เกี่ยวข้อง ขอขอบคุณบริษัทพีระบราเธอร์ที่ได้ให้อุปกรณ์ในการทำโครงการ รวมถึงสำนักงานกองทุนสนับสนุนการวิจัย ฝ่ายอุตสาหกรรม โครงการโครงการอุตสาหกรรมและวิจัยสำหรับนักศึกษาปริญญาตรี (IRPUS)ประจำปี2551 สำนักงานนโยบายและแผนพลังงาน กระทรวงพลังงาน ที่ได้อุดหนุนเงินทุนในการทำโครงการ และขอขอบคุณ ผอ.เพื่อนทุกคนที่เป็นกำลังใจและให้คำปรึกษา

ท้ายที่สุดนี้ บุคคลที่สำคัญที่สุดที่มีอาลัยได้ก็คือ บิดา มารดาที่ให้กำเนิด เลี้ยงดูและอุปถัมภ์พวกเราจนถึงบัดนี้ พวกเราต้องกราบขอบพระคุณท่านด้วยความเคารพสูงสุด



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

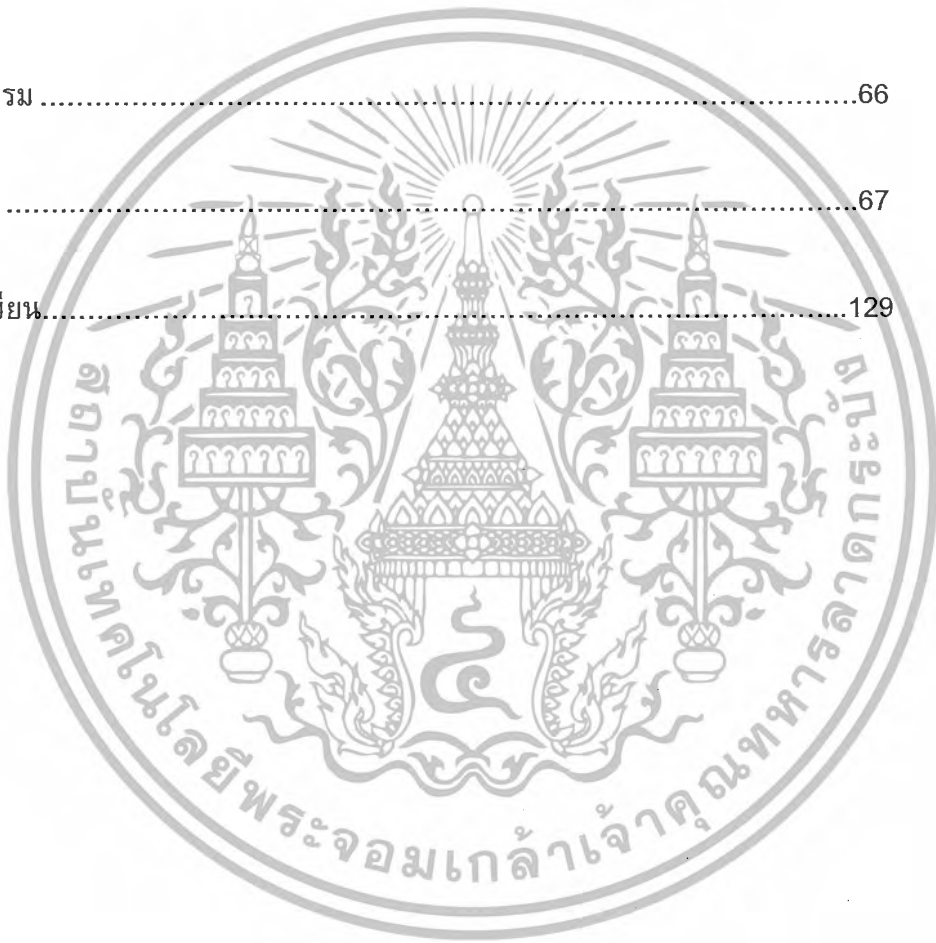
สารบัญ

	หน้า
บทคัดย่อ.....	I
ABSTRACT.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญภาพ.....	VI
สารบัญตาราง.....	VIII
บทที่ 1 บทนำ.....	1
1.1 ความเป็นมาและความสำคัญของปัญหา.....	1
1.2 วัตถุประสงค์.....	2
1.3 ขอบเขตและข้อกำหนดของโครงการ.....	2
1.4 แผนการดำเนินโครงการ.....	2
1.5 ประโยชน์ที่ได้รับจากโครงการ.....	2
1.6 การจัดโครงสร้างของเนื้อหาภายในปฏิญานิพนธ์.....	3
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง.....	4
2.1 เซลล์พลังงานแสงอาทิตย์.....	4
2.2 อินเวอร์เตอร์ (Inverter).....	10
2.3 การมอดดูเลชั่น.....	27
2.4 สรุป.....	32
บทที่ 3 การจำลองวงจรด้วยโปรแกรมคอมพิวเตอร์.....	33
3.1 สร้างสัญญาณขั้วเกิดของมอสเฟต.....	33
3.2 สร้างวงจรกำลัง.....	34
3.3 ผลการจำลอง.....	40
3.4 สรุป.....	45
บทที่ 4 การออกแบบอินเวอร์เตอร์ 11 ระดับชนิดคาสเคดเอชบริดจ์.....	46
4.1 การออกแบบวงจรกำลัง.....	46
4.2 การออกแบบวงจรควบคุม.....	49
4.3 สรุป.....	56

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ(ต่อ)

บทที่ 5 ผลการทดสอบบิตวินเวอร์เตอร์ 11 ระดับ.....	57
5.2 ผลการทดสอบขณะมีภาระทางไฟฟ้า.....	57
5.3 สรุป.....	60
บทที่ 6 สรุปและข้อเสนอแนะ.....	64
6.1 สรุป.....	64
6.2 ข้อเสนอแนะ.....	65
บรรณานุกรม.....	66
ภาคผนวก.....	67
ประวัติผู้เขียน.....	129



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญญภาพ

ภาพที่	หน้า
2.1 ชนิดของเซลล์แสงอาทิตย์.....	4
2.2 หลักการทำงานของเซลล์แสงอาทิตย์.....	6
2.3 อุปกรณ์สำคัญของระบบการผลิตกระแสไฟฟ้าจากเซลล์แสงอาทิตย์.....	8
2.4 อินเวอร์เตอร์ทั่วไป.....	10
2.5 รูปคลื่นแรงดันเอาต์พุตของอินเวอร์เตอร์ทั่วไป.....	10
2.6 อินเวอร์เตอร์ 6 ระดับไดโอดแคลมป์(Diode-Clamped Multilevel Inverter) ...	12
2.7 รูปคลื่นแรงดันไลน์ของอินเวอร์เตอร์ 6 ระดับแบบไดโอดแคลมป์	13
2.8 อินเวอร์เตอร์ 6 ระดับแบบฟลายอิงคาปาซิเตอร์(Flying Capacitor Multilevel – Inverter).....	15
2.9 อินเวอร์เตอร์ 11 ระดับแบบคาสเคดเอชบริดจ์.....	16
2.10 รูปแบบการต่อวงจรอินเวอร์เตอร์ 11 ระดับแบบคาสเคดเอชบริดจ์	20
2.11 รูปคลื่นแรงดันเฟสเอาต์พุต.....	21
2.12 อินเวอร์เตอร์แบบ Generalized	22
2.13 อินเวอร์เตอร์หลายระดับแบบไฮบริดจ์.....	24
2.14 ระบบการเชื่อมต่อแบบขนาน-อนุกรมของอินเวอร์เตอร์หลายระดับแบบ แม็ค – แม็ค.....	25
2.15 โครงสร้างอินเวอร์เตอร์หลายระดับแบบ แม็ค – แม็ค ไดโอดแคลมป์.....	26
2.16 ความสัมพันธ์ระหว่างความสูงของสัญญาณอ้างอิงกับความกว้างพัลส์เอาต์พุตสำหรับอินเวอร์เตอร์หลายระดับ	29
2.17 แสดงการมอดดูเลชันเทคนิค SPWM ของอินเวอร์เตอร์ 11 ระดับ.....	32
3.1 วงจรการจำลองสร้างสัญญาณขับเกต 1 เฟส.....	33
3.2 การมอดดูเลท	34
3.3 การจำลองวงจรกำลัง 1 เฟส	34
3.4 สัญญาณแรงดันของอินเวอร์เตอร์ตัวที่1	35
3.5 สเปกตรัมของอินเวอร์เตอร์ชุดที่1	35
3.6 สัญญาณแรงดันของอินเวอร์เตอร์ตัวที่ 2	36
3.7 สเปกตรัมของอินเวอร์เตอร์ชุดที่2 (INV2)	36
3.8 สัญญาณแรงดันของอินเวอร์เตอร์ตัวที่ 3	37
3.9 สเปกตรัมของอินเวอร์เตอร์ชุดที่3 (INV3)	37
3.10 สัญญาณแรงดันของอินเวอร์เตอร์ตัวที่ 4	38
3.11 สเปกตรัมของอินเวอร์เตอร์ชุดที่4 (INV4)	38
3.12 สัญญาณแรงดันของอินเวอร์เตอร์ตัวที่ 5	39

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญญภาพ(ต่อ)

3.13	สเปกตรัมของอินเวอร์เตอร์ชุดที่5 (INV5)	39
3.14	สัญญาณแรงดันเฟสของอินเวอร์เตอร์ 11ระดับ	40
3.15	สัญญาณแรงดันเฟสของอินเวอร์เตอร์ 2ระดับ	40
3.16	สัญญาณแรงดันไลน์ของอินเวอร์เตอร์ 11 ระดับ	41
3.17	สัญญาณแรงดันไลน์ของอินเวอร์เตอร์ 2 ระดับ	41
3.18	สัญญาณกระแสของอินเวอร์เตอร์ 11 ระดับ	42
3.19	สัญญาณกระแสของอินเวอร์เตอร์ 2 ระดับ	42
3.20	สเปกตรัมของค่าความผิดเพี้ยนฮาร์โมนิรวมของแรงดันเฟสของอินเวอร์เตอร์ 11 ระดับ	43
3.21	สเปกตรัมของค่าความผิดเพี้ยนฮาร์โมนิรวมของแรงดันไลน์ของอินเวอร์เตอร์ 11 ระดับ	43
3.22	สเปกตรัมของค่าความผิดเพี้ยนฮาร์โมนิรวมของแรงดันเฟสของอินเวอร์เตอร์ 2 ระดับ	44
3.23	สเปกตรัมของค่าความผิดเพี้ยนฮาร์โมนิรวมของแรงดันไลน์ของอินเวอร์เตอร์ 2 ระดับ	44
4.1	วงจรกำลังอินเวอร์เตอร์หนึ่งเฟสฟูลบริดจ์ที่มีมอสเฟสเป็นอุปกรณ์สวิตซ์ซิ่ง	46
4.2	แผนผังการเชื่อมต่อของวงจรขับเคลื่อน	47
4.3	วงจรกำลังของอินเวอร์เตอร์หนึ่งเฟสฟูลบริดจ์ระดับที่สร้างขึ้นจริง	48
4.4	วงจรกำลังของอินเวอร์เตอร์ 11 ระดับ 3 เฟสที่สร้างขึ้นจริง	48
4.5	แหล่งจ่ายแรงดันไฟฟ้ากระแสตรงที่สร้างขึ้นจริง	49
4.6	แผนผังการเชื่อมต่อวงจรผสมสัญญาณ	51
4.7	การกำหนดเกตเพื่อทำการเปรียบเทียบสัญญาณทางโลจิกโดยใช้ โปรแกรม Xilinx ISE	52
4.8	วงจรควบคุมที่สร้างขึ้นจริง	54
4.9	วงจรกำลังและวงจรควบคุมของอินเวอร์เตอร์ 11 ระดับชนิดคาสเคดเอชบริดจ์ ที่พร้อมทดสอบ	54
4.10	แผนผังการดำเนินงานของอินเวอร์เตอร์ 11 ระดับชนิดคาสเคดเอชบริดจ์	55
5.1	แสดงสัญญาณแรงดันเฟสที่ความถี่มูลฐานต่างๆขณะไม่มีภาระ	57
5.2	แสดงสัญญาณแรงดันไลน์ที่ความถี่มูลฐานต่างๆขณะไม่มีภาระ	58
5.3	แสดงสัญญาณแรงดันเฟสที่ความถี่มูลฐานต่างๆขณะมีภาระ	59

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

ตารางที่	หน้า
ตารางที่ 2.1 ระดับแรงดันของอินเวอร์เตอร์หลายระดับแบบไดโอดแคลมป์ และสถานะสวิตช์	14
ตารางที่ 2.2 ระดับแรงดันของอินเวอร์เตอร์ 6 ระดับแบบฟลายอิงคาปาซิเตอร์ และสถานะขอสวิตช์	17
ตารางที่ 3.1 กำลังไฟฟ้าของอินเวอร์เตอร์	45



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

ในปัจจุบันการดำเนินกิจกรรมประจำวันของมนุษย์ในหลายๆด้าน ล้วนมีส่วนเกี่ยวข้องกับพลังงาน โดยเฉพาะอย่างยิ่งพลังงานไฟฟ้า พลังงานไฟฟ้าถูกนำมาใช้ประโยชน์ทั้งในด้านอุตสาหกรรม ด้านเกษตรกรรม ด้านบริการ และด้านอื่นๆ ซึ่งเป็นองค์ประกอบหนึ่งในการพัฒนาประเทศโดยมีการแข่งขันกันอยู่ตลอดเวลาทำให้ความต้องการพลังงานไฟฟ้าเพิ่มขึ้นทุกวัน แต่ทรัพยากรบนโลกที่ใช้ผลิตพลังงาน ก็ลดจำนวนลงทุกวันเช่นกัน จึงทำให้ในอนาคตจะต้องประสบปัญหาการขาดแคลนพลังงานขึ้นในหลายๆประเทศ ทำให้เกิดแนวคิดนำเอาพลังงานทดแทนมาใช้ให้เกิดประโยชน์และคุ้มค่าสูงสุด ซึ่งพลังงานทดแทนในปัจจุบันมีหลายชนิด เช่น แสงอาทิตย์, ลม, เซลล์เชื้อเพลิง และอื่นๆ โดยในปฏิญญาพนธ์เล่มนี้ได้เน้นศึกษาเกี่ยวกับการนำเอาเซลล์แสงอาทิตย์มาใช้ในการผลิตกระแสไฟฟ้า แต่กระแสไฟฟ้าที่ได้จากเซลล์แสงอาทิตย์นั้นเป็นไฟฟ้ากระแสตรงแรงดันต่ำ มีข้อบเขตในการนำไปใช้งานที่แคบ จึงต้องทำการเปลี่ยนและปรับปรุงไฟฟ้ากระแสตรงที่ได้จากเซลล์แสงอาทิตย์ ให้เป็นกระแสสลับที่มีพิกัดแรงดันที่สูงขึ้น ซึ่งทำให้มีข้อบเขตและความเหมาะสมในการใช้งานที่หลากหลายมากขึ้น โดยการนำอินเวอร์เตอร์หลายระดับมาใช้ในการเปลี่ยนและปรับปรุงไฟกระแสตรงแรงดันต่ำที่ได้จากเซลล์แสงอาทิตย์ ความได้เปรียบของอินเวอร์เตอร์หลายระดับเมื่อเทียบกับอินเวอร์เตอร์ระดับเดียวนั้น อินเวอร์เตอร์หลายระดับจะมีความสามารถที่ดีกว่าในหลายๆ ด้าน เช่น ความสามารถในการทำงานที่แรงดันที่สูงขึ้น คุณภาพลูกคลื่นแรงดันเอาต์พุทที่ดีกว่า และมีเสถียรภาพที่มากขึ้น โดยปฏิญญาพนธ์เล่มนี้ได้เลือกใช้เอช-บริดจ์ อินเวอร์เตอร์ 11 ระดับ การเลือกใช้เอช-บริดจ์อินเวอร์เตอร์ 11 ระดับนั้นจะมีข้อได้เปรียบในด้านการใช้ประโยชน์จากแรงดันกระแสตรงที่ดีกว่าอินเวอร์เตอร์สามเฟสชนิดอื่นๆ ซึ่งเอช-บริดจ์อินเวอร์เตอร์จะมีความต้องการระดับแรงดันกระแสตรงแค่เพียงสร้างแรงดันเฟส ก็จะสามารถสร้างแรงดันเอาต์พุทที่ระดับแรงดันไลน์ได้ เอชบริดจ์อินเวอร์เตอร์ 11 ระดับ ยังต้องการแหล่งจ่ายที่แยกอิสระต่อกันซึ่งเหมาะสมกับการใช้กับแหล่งจ่ายพลังงานทดแทน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.2 วัตถุประสงค์

1. เพื่อศึกษาระบบการทำงานของ Multilevel Inverter เพื่อให้เกิดความเข้าใจในการทำงาน Multilevel Inverter เพื่อใช้ร่วมกับ renewable voltage sources ให้เกิดความเหมาะสมมากที่สุด
2. เพื่อพัฒนาประสิทธิภาพการใช้เชื้อเพลิงให้คุ้มค่าที่สุด
3. เพื่อวางแนวทางในการใช้เทคโนโลยีที่เข้ามาใหม่ให้เหมาะสมกับสภาวะประเทศในปัจจุบัน
4. นำความรู้ที่ได้ไปประยุกต์ใช้กับเทคโนโลยีที่จะเข้ามาในประเทศในอนาคต

1.3 ขอบเขตและข้อกำหนดของโครงการ

โครงการนี้เป็นการศึกษาหลักการสร้างสัญญาณขับเกตของมอสเฟสแต่ละตัว และศึกษาการทำงานของเอช-บริดจ์อินเวอร์เตอร์หลายระดับ เพื่อนำมาสร้างเอช-บริดจ์อินเวอร์เตอร์ 11ระดับ 3เฟส พิกัด 3kVA ใช้เทคนิคการมอดูเลตดูเลทซ์แบบSPWM

1.4 แผนการดำเนินโครงการ

1. ศึกษาข้อมูล เอช-บริดจ์อินเวอร์เตอร์ 11ระดับและการสร้างสัญญาณขับเกต
2. ออกแบบวงจรเอช-บริดจ์อินเวอร์เตอร์ 11ระดับ
3. จำลองวงจรที่ออกแบบบนคอมพิวเตอร์โดยโปรแกรม MATLAB
4. สร้างเอช-บริดจ์อินเวอร์เตอร์ 11ระดับ และทำการทำสองเก็บผล
5. ทำรูปเล่มปริญญาณิพนธ์

1.5 ประโยชน์ที่ได้รับจากโครงการ

1. โครงการวิจัยนี้ทำให้เกิดความรู้ความเข้าใจกับเทคโนโลยีใหม่ๆที่เกี่ยวกับอินเวอร์เตอร์หลายระดับ
2. สามารถนำความรู้ที่ได้จากการทำการทดลอง อินเวอร์เตอร์หลายระดับมาประยุกต์ใช้กับเทคโนโลยีภายในประเทศ
3. โครงการวิจัยนี้เป็นบูรณาการของวิทยาการด้านต่างๆคืออิเล็กทรอนิกส์กำลัง , ทัศนศาสตร์ทางระบบควบคุม , และวิศวกรรมไฟฟ้ากำลังเข้าด้วยกันซึ่งจะก่อให้เกิดประโยชน์กับนักศึกษาและทำการวิจัยในสาขาดังกล่าว
4. ข้อมูลที่ได้จากการวิจัยนี้จะนำไปสู่การสร้างมาตรฐานให้เข้ากับประเทศเพื่อรองรับเทคโนโลยีที่จะเข้ามาในอนาคต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.6 การจัดโครงสร้างของเนื้อหาภายในปฏิญญาพันธ

1. บทที่ 1 บทนำกล่าวถึงวัตถุประสงค์ ขอบเขตของโครงการ และแผนดำเนินงาน
2. บทที่ 2 ทฤษฎีที่เกี่ยวข้องกล่าวถึงทฤษฎีของอุปกรณ์ที่ต้องใช้ในการทำโครงการ
3. บทที่ 3 การจำลองวงจรด้วยโปรแกรมคอมพิวเตอร์
4. บทที่ 4 การออกแบบเอช-บริดจ์อินเวอร์เตอร์ 11ระดับ
5. บทที่ 5 ผลการทดสอบ-บริดจ์อินเวอร์เตอร์ 11ระดับ
6. บทที่ 6 สรุปและข้อเสนอแนะ



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2 ทฤษฎีที่เกี่ยวข้อง

2.1 เซลล์พลังงานแสงอาทิตย์

ความหมาย Solar Cell หรือ PV มีชื่อเรียกกันไปหลายอย่าง เช่น เซลล์แสงอาทิตย์ เซลล์สุริยะ หรือเซลล์ photovoltaic ซึ่งต่างก็มีที่มาจากคำว่า Photovoltaic โดยแยกออกเป็น photo หมายถึง แสง และ volt หมายถึง แรงดันไฟฟ้าเมื่อรวมคำแล้ว หมายถึง กระบวนการผลิตไฟฟ้าจากการตกกระทบของแสงบนวัตถุที่มีความสามารถในการเปลี่ยนพลังงานแสงเป็นพลังงานไฟฟ้าได้โดยตรง แนวความคิดนี้ได้ถูกค้นพบมาตั้งแต่ ปี ค.ศ. 1839 แต่เซลล์แสงอาทิตย์ก็ยังไม่ถูกสร้างขึ้นมา จนกระทั่งในปี ค.ศ. 1954 จึงมีการประดิษฐ์เซลล์แสงอาทิตย์ และได้ถูกนำไปใช้เป็นแหล่งจ่ายพลังงานให้กับดาวเทียมในอวกาศ เมื่อ ปี ค.ศ. 1959 ดังนั้น สรุปได้ว่า เซลล์แสงอาทิตย์ คือ สิ่งประดิษฐ์ที่ทำจากสารกึ่งตัวนำ เช่น ซิลิคอน (Silicon), แกลเลียม อาร์เซไนด์ (Gallium Arsenide), อินเดียม ฟอสไฟด์ (Indium Phosphide), แคดเมียม เทลลูไรด์ (Cadmium Telluride) และคอปเปอร์ อินเดียม ไดเซเลไนด์ (Copper Indium Diselenide) เป็นต้น ซึ่งเมื่อได้รับแสงอาทิตย์โดยตรงก็จะเปลี่ยนเป็นพาหะนำไฟฟ้า และจะถูกแยกเป็นประจุไฟฟ้าบวก และลบเพื่อให้เกิดแรงดันไฟฟ้า ที่ขั้วทั้งสองของเซลล์แสงอาทิตย์ เมื่อนำขั้วไฟฟ้าของเซลล์แสงอาทิตย์ต่อเข้ากับอุปกรณ์ไฟฟ้ากระแสตรง กระแสไฟฟ้าจะไหลเข้าสู่อุปกรณ์เหล่านั้น ทำให้สามารถทำงานได้



Single Crystalline Silicon

Solar Cell



Polycrystalline Silicon

Solar Cell



Amorphous Silicon

Solar Cell

ภาพที่ 2.1 ชนิดของเซลล์แสงอาทิตย์

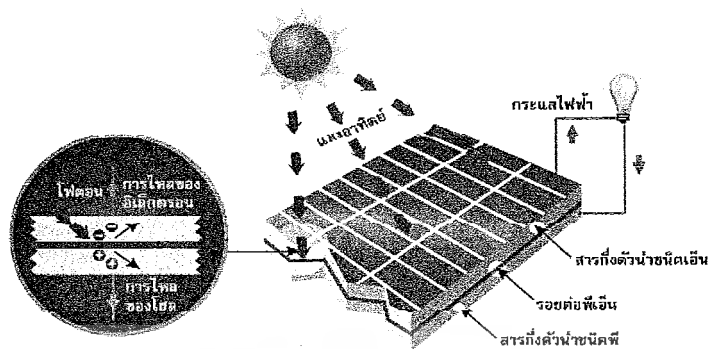
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.1 ชนิดของเซลล์แสงอาทิตย์ แบ่งตามวัสดุที่ใช้เป็น 3 ชนิดหลัก ๆ คือ

1. เซลล์แสงอาทิตย์ที่ทำจากซิลิคอนชนิดผลึกเดี่ยว (Single Crystalline Silicon Solar Cell) หรือที่รู้จักกันในชื่อ Monocrystalline Silicon Solar Cell และชนิดผลึกรวม (Polycrystalline Silicon Solar Cell) ลักษณะเป็นแผ่นซิลิคอนแข็งและบางมาก
2. เซลล์แสงอาทิตย์ที่ทำจากอะมอร์ฟัสซิลิคอน (Amorphous Silicon Solar Cell) ลักษณะเป็นฟิล์มบางเพียง 0.5 ไมครอน (0.0005 มม.) นานักเบามาก และประสิทธิภาพเพียง 5 – 10 %
3. เซลล์แสงอาทิตย์ที่ทำจากสารกึ่งตัวนำอื่น ๆ เช่น แกลเลียม อาร์เซไนด์, แคดเมียมเทลลูไรด์ และคอปเปอร์ อินเดียม ไตเซลไนด์ เป็นต้น มีทั้งชนิดผลึกเดี่ยว (Single Crystalline) และผลึกรวม (Polycrystalline) เซลล์แสงอาทิตย์ที่ทำจากแกลเลียม อาร์เซไนด์ จะให้ประสิทธิภาพสูงถึง 20 – 25 %

2.1.2 โครงสร้างของเซลล์แสงอาทิตย์

โครงสร้างที่นิยมมากที่สุดได้แก่ รอยต่อพีเอ็นของสารกึ่งตัวนำ สารกึ่งตัวนำที่ราคาถูกที่สุดและมีมากที่สุดบนโลกคือ ซิลิคอน จึงถูกนำมาสร้างเซลล์แสงอาทิตย์ โดยนำซิลิคอนมาถลุง และผ่านขั้นตอนการทำให้บริสุทธิ์จนกระทั่งทำให้เป็นผลึก จากนั้นนำมาผ่านกระบวนการแพร่ซึมสารเจือปนเพื่อสร้างรอยต่อพีเอ็น โดยเติมสารเจือฟอสฟอรัสจะเป็นสารกึ่งตัวนำชนิดเอ็น (เพราะนำไฟฟ้าด้วยอิเล็กตรอนซึ่งมีประจุลบ) เมื่อเติมสารเจือโบรอนจะเป็นสารกึ่งตัวนำชนิดพี (เพราะนำไฟฟ้าด้วยโฮลซึ่งมีประจุบวก) ดังนั้น เมื่อนำสารกึ่งตัวนำชนิดพีและเอ็นมาต่อกัน จะเกิดรอยต่อพีเอ็นขึ้น โครงสร้างของเซลล์แสงอาทิตย์ชนิดซิลิคอน อาจมีรูปร่างเป็นแผ่นวงกลมหรือสี่เหลี่ยมจัตุรัส ความหนา 200-400 ไมครอน (0.2-0.4 มม.) ผิวด้านรับแสงจะมีชั้นแพร่ซึมที่มีการนำไฟฟ้า ขั้วไฟฟ้าด้านหน้ารับแสงจะมีลักษณะคล้ายก้างปลาเพื่อให้ได้พื้นที่รับแสงมากที่สุด ส่วนขั้วไฟฟ้าด้านหลังเป็นขั้วโลหะเติมพื้นผิว



ภาพที่ 2.2 หลักการทำงานของเซลล์แสงอาทิตย์

2.1.3 หลักการทำงานทั่วไปของเซลล์แสงอาทิตย์

เมื่อมีแสงอาทิตย์ตกกระทบเซลล์แสงอาทิตย์ จะเกิดการสร้างพาหะนำไฟฟ้า ประจุลบและบวกขึ้นได้แก่ อิเล็กตรอนและโฮล โครงสร้างรอยต่อพีเอ็นจะทำหน้าที่สร้างสนามไฟฟ้าภายในเซลล์ เพื่อแยกพาหะนำไฟฟ้าชนิดอิเล็กตรอนไปที่ขั้วลบ และพาหะนำไฟฟ้าชนิดโฮลไปที่ขั้วบวก ทำให้เกิดแรงดันไฟฟ้าแบบกระแสตรงที่ขั้วไฟฟ้าทั้งสอง เมื่อต่อให้ครบวงจรไฟฟ้าจะเกิดกระแสไฟฟ้าไหลขึ้น ตัวอย่าง เซลล์แสงอาทิตย์ชนิดซิลิคอนที่มีขนาดเส้นผ่าศูนย์กลาง 4 นิ้ว จะให้กระแสไฟฟ้าประมาณ 2-3 แอมแปร์ และให้แรงดันไฟฟ้าวงจรเปิดประมาณ 0.6 โวลต์ เนื่องจากกระแสไฟฟ้าที่ได้จากเซลล์แสงอาทิตย์ไม่มากนัก ดังนั้นเพื่อให้ได้กำลังไฟฟ้ามักเพียงพอสำหรับใช้งาน จึงมีการนำเซลล์แสงอาทิตย์หลายๆ เซลล์มาต่อกันเป็นเรียกว่า แผงเซลล์แสงอาทิตย์ (Solar Modules) ลักษณะการต่อแผงเซลล์แสงอาทิตย์ขึ้นอยู่กับความต้องการกระแสไฟฟ้าหรือแรงดันไฟฟ้า

- การต่อแผงเซลล์แสงอาทิตย์แบบขนาน จะทำให้ได้กระแสไฟฟ้าเพิ่มมากขึ้น
- การต่อแผงเซลล์แสงอาทิตย์แบบอนุกรม จะทำให้ได้แรงดันไฟฟ้าสูงขึ้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

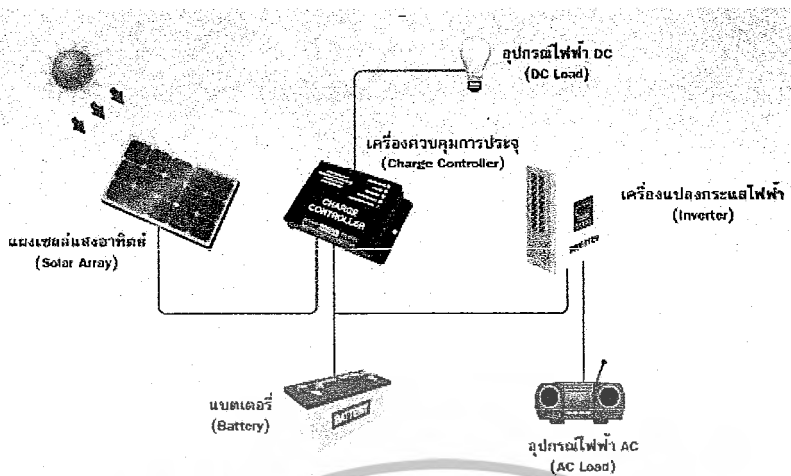
2.1.4 ลักษณะเด่นของเซลล์แสงอาทิตย์

- ใช้พลังงานจากธรรมชาติ คือ แสงอาทิตย์ ซึ่งสะอาดและบริสุทธิ์ ไม่ก่อปฏิกิริยาที่จะทำ ให้สิ่งแวดล้อมเป็นพิษ
- เป็นการนำพลังงานจากแหล่งธรรมชาติมาใช้อย่างคุ้มค่าและไม่มีวันหมดไปจากโลกนี้
- สามารถนำไปใช้เพื่อผลิตพลังงานไฟฟ้าได้ทุกพื้นที่บนโลก และได้พลังงานไฟฟ้าใช้ โดยตรง
- ไม่ต้องใช้เชื้อเพลิงอื่นใดนอกจากแสงอาทิตย์ รวมถึงไม่มีการเผาไหม้ จึงไม่ก่อให้เกิด มลภาวะด้านอากาศและน้ำ
- ไม่เกิดของเสียขณะใช้งาน จึงไม่มีการปล่อยมลพิษทำลายสิ่งแวดล้อม
- ไม่เกิดเสียงและไม่มีการเคลื่อนไหวขณะใช้งาน จึงไม่เกิดมลภาวะด้านเสียง
- เป็นอุปกรณ์ที่ติดตั้งอยู่กับที่ และไม่มีชิ้นส่วนใดที่มีการเคลื่อนไหวขณะทำงาน จึงไม่เกิด การสึกหรอ
- ต้องการการบำรุงรักษาน้อยมาก
- เนื่องจากมีลักษณะเป็นโมดูล จึงสามารถประกอบได้ตามขนาดที่ต้องการ
- ช่วยลดปัญหาการสะสมของก๊าซต่างๆ ในบรรยากาศ เช่น คาร์บอนมอนนอกไซด์, ซัลเฟอร์ไดออกไซด์, ไฮโดรคาร์บอน และก๊าซไนโตรเจนออกไซด์ ฯลฯ ซึ่งเป็นผลจาก การเผาไหม้ของเชื้อเพลิงจำพวกน้ำมัน ถ่านหิน และก๊าซธรรมชาติ ล้วนแล้วแต่ส่งผล กระทบต่อสิ่งแวดล้อม เกิดปฏิกิริยาเรือนกระจก ทำให้โลกร้อนขึ้น เกิดฝนกรด และ อากาศเป็นพิษ ฯลฯ

2.1.5 อุปกรณ์สำคัญของระบบการผลิตกระแสไฟฟ้าจากเซลล์แสงอาทิตย์

- เซลล์แสงอาทิตย์ผลิตไฟฟ้ากระแสตรง จึงนำกระแสไฟฟ้าไปใช้ได้เฉพาะกับอุปกรณ์ ไฟฟ้ากระแสตรงเท่านั้น หากต้องการนำไปใช้กับอุปกรณ์ไฟฟ้าที่ใช้ไฟฟ้ากระแสสลับ หรือเก็บสะสมพลังงานไว้ใช้ต่อไป จะต้องใช้ร่วมกับอุปกรณ์อื่นๆ โดยรวมเข้าเป็นระบบ ที่ผลิตกระแสไฟฟ้าจากเซลล์แสงอาทิตย์ อุปกรณ์สำคัญๆ มีดังนี้
- แผงเซลล์แสงอาทิตย์ (Solar Module) ทำหน้าที่เปลี่ยนพลังงานแสงอาทิตย์ให้เป็น พลังงานไฟฟ้า ซึ่งเป็นไฟฟ้ากระแสตรงมีหน่วยเป็นวัตต์ มีการนำแผงเซลล์แสงอาทิตย์ หลายๆ เซลล์มาต่อกันเป็นแถวหรือเป็นชุด เพื่อให้ได้พลังงานไฟฟ้าใช้งานตาม ที่ ต้องการ โดยการต่อกันแบบอนุกรมจะเพิ่มแรงดันไฟฟ้า และการต่อกันแบบขนานจะ เพิ่มพลังงานไฟฟ้า หากสถานที่ตั้งทางภูมิศาสตร์แตกต่างกันจะมีผลให้ปริมาณของ ค่าเฉลี่ยพลังงานสูงสุดในหนึ่งวันไม่เท่ากันรวมถึงอุณหภูมิก็มีผลต่อการผลิตพลังงาน ไฟฟ้า หากอุณหภูมิสูงขึ้นการผลิตพลังงานไฟฟ้าจะลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.3 อุปกรณ์สำคัญของระบบการผลิตกระแสไฟฟ้าจากเซลล์แสงอาทิตย์

- เครื่องควบคุมการประจุ (Charge Controller) ทำหน้าที่ประจุกระแสไฟฟ้าที่ผลิตได้จากแผงเซลล์แสงอาทิตย์เข้าสู่แบตเตอรี่ และควบคุมการประจุกระแสไฟฟ้าให้มีปริมาณเหมาะสมกับแบตเตอรี่ เพื่อยืดอายุการใช้งานของแบตเตอรี่ รวมถึงการจ่ายกระแสไฟฟ้าออกจากแบตเตอรี่ด้วย ดังนั้น การทำงานของเครื่องควบคุมการประจุ คือ เมื่อประจุกระแสไฟฟ้าเข้าสู่แบตเตอรี่จนเต็มแล้วจะหยุดหรือลดการประจุกระแสไฟฟ้า ระบบพลังงานแสงอาทิตย์จะใช้เครื่องควบคุมการประจุกระแสไฟฟ้าในกรณีที่มีการเก็บพลังงานไฟฟ้าไว้ในแบตเตอรี่เท่านั้น
- แบตเตอรี่ (Battery) ทำหน้าที่เป็นตัวเก็บพลังงานไฟฟ้าที่ผลิตได้จากแผงเซลล์แสงอาทิตย์ไว้ใช้ในเวลาที่ต้องการ เช่น เวลาที่ไม่มีแสงอาทิตย์ เวลากลางคืน หรือนำไปประยุกต์ใช้งานอื่นๆ แบตเตอรี่มีหลายชนิดและหลายขนาดให้เลือกใช้งานตามความเหมาะสม
- เครื่องแปลงกระแสไฟฟ้า (Inverter) ทำหน้าที่แปลงพลังงานไฟฟ้าจากกระแสตรง (DC) ที่ผลิตได้จากแผงเซลล์แสงอาทิตย์ ให้เป็นพลังงานไฟฟ้ากระแสสลับ (AC) เพื่อให้สามารถใช้ได้กับอุปกรณ์ไฟฟ้ากระแสสลับ แบ่งเป็น 2 ชนิด คือ Sine Wave Inverter ใช้ได้กับอุปกรณ์ไฟฟ้ากระแสสลับทุกชนิด และ Modified Sine Wave Inverter ใช้ได้กับอุปกรณ์ไฟฟ้ากระแสสลับที่ไม่มีส่วนประกอบของมอเตอร์และหลอดฟลูออเรสเซนต์ ที่เป็น Electronic ballast
- ระบบป้องกันฟ้าผ่า (Lightning Protection) ทำหน้าที่ป้องกันความเสียหายที่เกิดกับอุปกรณ์ไฟฟ้าเมื่อฟ้าผ่า หรือเกิดการเหนี่ยวนำทำให้ความต่างศักย์สูง ในระบบทั่วไปมักไม่ใช้อุปกรณ์นี้ จะใช้สำหรับระบบขนาดใหญ่และมีความสำคัญเท่านั้น รวมถึงต้องมีระบบสายดินที่มีประสิทธิภาพด้วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.1.6 การบำรุงรักษาเซลล์แสงอาทิตย์และอายุการใช้งาน

อายุการใช้งานเซลล์แสงอาทิตย์ โดยทั่วไปยาวนานกว่า 20 ปี และเนื่องจากเป็นอุปกรณ์ที่ติดตั้งอยู่กับที่ไม่มีส่วนใดที่เคลื่อนไหวเป็นผลให้ลดการดูแลและบำรุงรักษาระบบดังกล่าวจะมีเพียงในส่วนของการทำความสะอาดแผงเซลล์แสงอาทิตย์ ที่เกิดจากฝุ่นละอองเท่านั้น เมื่อเปรียบเทียบกับ การดูแลระบบปรับอากาศขนาดเล็กตาม บ้านพักอาศัยแล้วจะพบว่า งานนี้ดูง่ายกว่าเทคโนโลยีของเซลล์แสงอาทิตย์ ในปัจจุบันมีการพัฒนาให้มีประสิทธิภาพสูงขึ้น ประกอบกับการนำระบบควบคุมที่ดีมาใช้ในการผลิต ทำให้เซลล์แสงอาทิตย์สามารถที่จะผลิตพลังงานไฟฟ้าได้ประมาณ 1,600-1,800 กิโลวัตต์-ชั่วโมงต่อกิโลวัตต์ สูงสุดต่อปีพลังงานไฟฟ้าที่ผลิตได้จากบ้าน 1 หลัง ประมาณ 3,750-4,500 หน่วย/ปี สามารถลดการใช้น้ำมันในการผลิตไฟฟ้าลงได้ 1,250-1,500 ลิตร/ปี



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2 อินเวอร์เตอร์ (Inverter)

2.2.1 บทนำ

อินเวอร์เตอร์แบบดั้งเดิม(Conventional Inverter) เป็นอุปกรณ์ไฟฟ้าที่ทำหน้าที่แปลงไฟฟ้า กระแสตรงเป็นไฟฟ้ากระแสสลับ โครงสร้างของอินเวอร์เตอร์จะประกอบไปด้วยดีซีลิงค์(dc link) และ อุปกรณ์สวิตชิง(Switching device) 4 ตัวสำหรับแบบฟลูบริดจ์(Full Bridge) หรืออุปกรณ์สวิตชิง 2 ตัวสำหรับ แบบฮาฟบริดจ์(Half Bridge) ดังภาพที่ 2.4 แรงดันเอาต์พุทของอินเวอร์เตอร์ทั้งสองจะเป็น รูปคลื่นแรงดันแบบสี่เหลี่ยม(Square wave) ดังภาพที่ 2.5 ซึ่งมีรูปคลื่นคล้ายรูปคลื่นไซน์ (Sine wave) ซึ่งแรงดันเฟสสามารถหาได้จากสมการที่ (2.4)

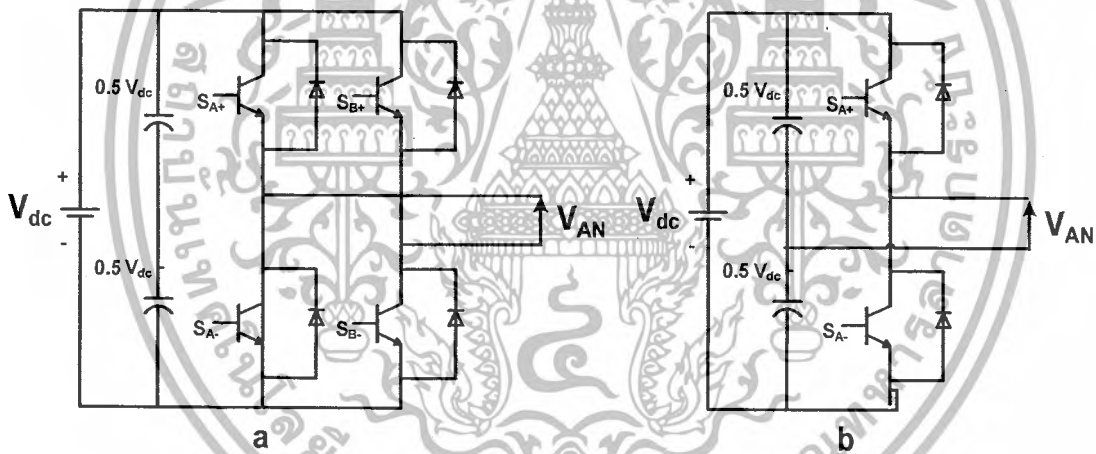
$$V_{AN} = DV_{dc} \tag{2.4}$$

เมื่อ

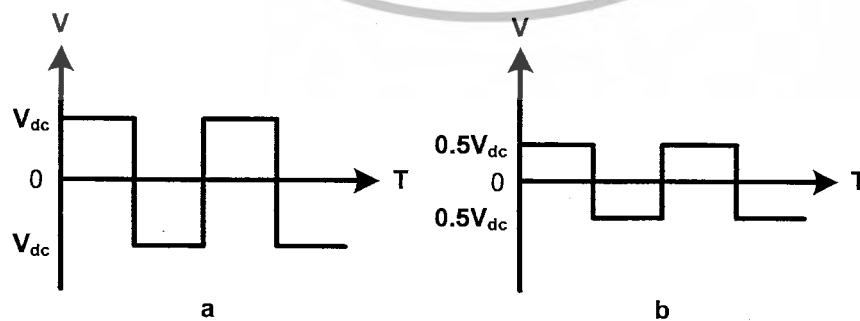
V_{AN} คือ แรงดันเฟสเอาต์พุท

D คือ อัตราส่วนความกว้างพัลส์ (Duty Cycle)

V_{dc} คือ แรงดันไฟฟ้ากระแสตรง



ภาพที่ 2.4 a. อินเวอร์เตอร์แบบฟลูบริดจ์ b. อินเวอร์เตอร์แบบฮาฟบริดจ์



ภาพที่ 2.5 a. รูปคลื่นแรงดันเอาต์พุทของอินเวอร์เตอร์แบบฟลูบริดจ์

b. รูปคลื่นแรงดันเอาต์พุทของอินเวอร์เตอร์แบบฮาฟบริดจ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปคลื่นแรงดันเอาต์พุทของอินเวอร์เตอร์จะใช้เทคนิคพีดับบลิวเอ็ม(Pulse Wide Modulation) โดยใช้สัญญาณสามเหลี่ยมเป็นสัญญาณพาหะ(Carrier Signal) และใช้สัญญาณไซน์เป็นสัญญาณอ้างอิง(Reference Signal) โดยนำสัญญาณทั้งสองมาเปรียบเทียบ(Compare) เพื่อให้ได้สัญญาณพีดับบลิวเอ็มเป็นสัญญาณขับเกต(Gate Drive)ของอุปกรณ์สวิตซ์ซึ่งแสดงในภาพที่ 2.6 ซึ่งสัญญาณที่ได้จะต้องไม่ทำให้อุปกรณ์สวิตซ์ซึ่งทำงานพร้อมกันในกิ่งเดียวกันเพื่อป้องกันไม่ให้เกิดการลัดวงจร อุปกรณ์สวิตซ์ในอินเวอร์เตอร์ S_{A+} และ S_{B-} จะทำงานในซีกบวก ส่วน S_{A-} และ S_{B+} จะทำงานในซีกลบ การทำงานของอุปกรณ์สวิตซ์ในอินเวอร์เตอร์ทั้งหมดนี้ทำให้ได้รูปคลื่นแรงดันเอาต์พุทคล้ายรูปคลื่นไซน์ แต่อย่างไรก็ตามการใช้ประโยชน์จากอินเวอร์เตอร์แบบดั้งเดิมมีประสิทธิภาพไม่ดีเท่าที่ควร ดังนั้นจึงได้มีการพัฒนาอินเวอร์เตอร์หลายระดับ(Multilevel Inverter) ขึ้นมาทดแทนเพื่อแก้ไขจุดบกพร่องในส่วนต่างๆของอินเวอร์เตอร์แบบดั้งเดิม

อินเวอร์เตอร์หลายระดับ(Multilevel Inverter) ได้มีการใช้งานกันอย่างแพร่หลายในภาคอุตสาหกรรม เนื่องจากมีพิคกิ้งค่าสูงและสามารถสร้างรูปคลื่นแรงดันไฟฟ้ากระแสสลับที่คล้ายคลึงกับรูปคลื่นไซน์(Sine wave) โดยไม่จำเป็นต้องใช้หม้อแปลง และตัวฟิวเตอร์ นอกจากนี้อินเวอร์เตอร์หลายระดับสามารถนำมาใช้ได้กับแหล่งจ่ายจากพลังงานทดแทน(Renewable Energy Source) เช่น แหล่งจ่ายพลังงานจากแสงอาทิตย์, แหล่งจ่ายพลังงานจากลม, แหล่งจ่ายพลังงานจากความร้อนใต้พิภพ, เซลล์เชื้อเพลิง เป็นต้น ซึ่งแหล่งจ่ายพลังงานเหล่านี้สามารถนำไปเชื่อมต่อกับอินเวอร์เตอร์หลายระดับได้โดยตรงเพื่อการประยุกต์ใช้ในพิคกิ้งกำลังสูง

อินเวอร์เตอร์หลายระดับมีจุดเด่นที่เหนือกว่าอินเวอร์เตอร์สองระดับแบบดั้งเดิม(Conventional two-level Inverter) ดังต่อไปนี้

- อินเวอร์เตอร์หลายระดับสามารถผลิตรูปคลื่นแรงดันเป็นแบบขั้นบันได(Staircase waveform) ที่มีคุณภาพมีค่าความผิดเพี้ยนต่ำ(Low distortion) และลดความเครียดจาก dv/dt ดังนั้นจะสามารถ ลดปัญหาความเข้ากันได้ทางแม่เหล็ก(EMC)
- อินเวอร์เตอร์หลายระดับสามารถลดแรงดันโหม้ดร่วม(Common mode voltage) ให้มีค่าน้อยลงได้
- อินเวอร์เตอร์หลายระดับสามารถทำงานได้ทั้งที่ความถี่สวิตซ์มูลฐาน(Fundamental switching frequency) และความถี่สวิตซ์ที่สูง(High switching frequency) ของ PWM (Pulse Wide Modulation) เมื่ออินเวอร์เตอร์หลายระดับทำงานที่ความถี่สวิตซ์มูลฐาน ซึ่งจะทำให้ความสูญเสียจากการสวิตซ์มีค่าต่ำ(Lower switching loss) และมีประสิทธิภาพที่สูง
- อินเวอร์เตอร์หลายระดับมีความเหมาะสมกับการขับมอเตอร์ไฟฟ้าที่มีค่าพิคกิ้ง VA สูง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้อินเวอร์เตอร์หลายระดับจะมีข้อเสียในเรื่องการใช้ตัวสวิตช์โดยจะต้องใช้เป็นจำนวนมาก และตัวสวิตช์แต่ละตัวจำเป็นต้องมีวงจรผลิตสัญญาณขับเกต (Gate-drive circuit) ด้วยเหตุนี้เอง จะทำให้อินเวอร์เตอร์หลายระดับทั้งระบบมีราคาแพงและมีความซับซ้อนตามลำดับ

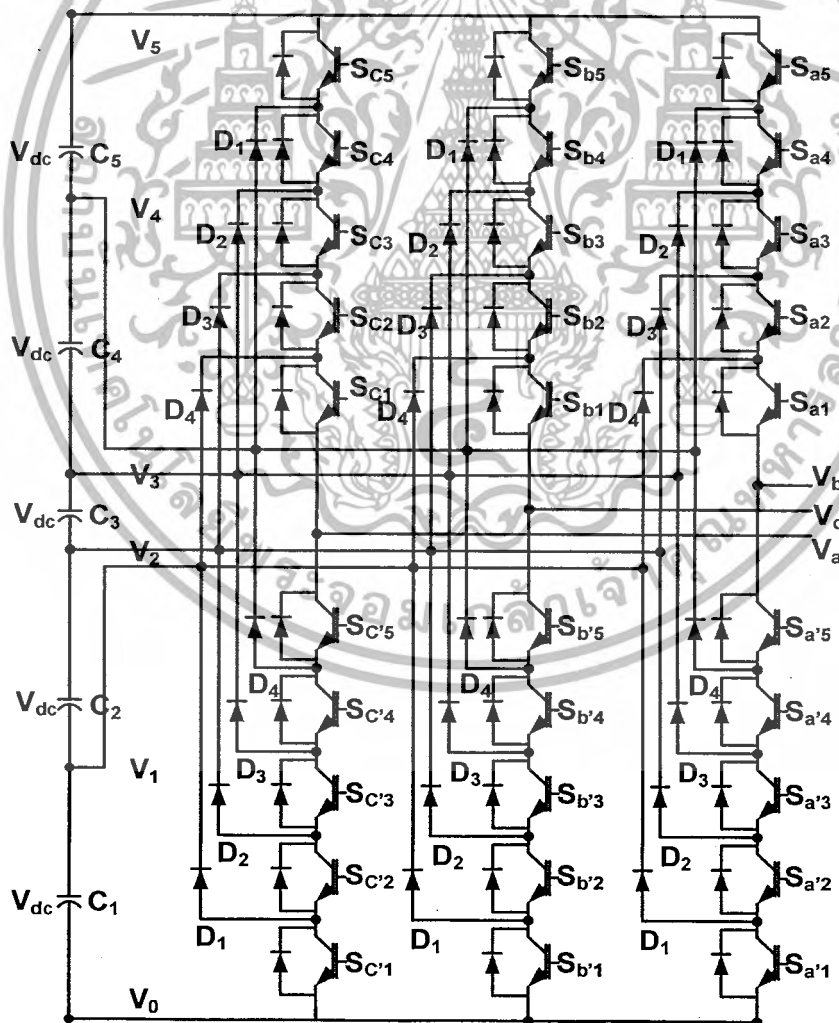
รูปแบบโครงสร้างของอินเวอร์เตอร์หลายระดับมีหลากหลายโครงสร้างซึ่งสามารถสรุปได้ดังนี้

- อินเวอร์เตอร์หลายระดับแบบไดโอดแคลมป์(Diode-Clamped Multilevel Inverter)
- อินเวอร์เตอร์หลายระดับแบบฟลายอิงคาปาซิเตอร์(Flying Capacitor Multilevel - Inverter)
- อินเวอร์เตอร์หลายระดับแบบคาสเคสเอชบริดจ์(Cascaded H-Bridges Multilevel - Inverter)
- อินเวอร์เตอร์หลายระดับแบบอื่นๆ
 - อินเวอร์เตอร์หลายระดับแบบ Generalized (Generalized Multilevel Inverter)
 - อินเวอร์เตอร์หลายระดับแบบไฮบริดจ์ (Mixed-Level Hybrid Multilevel Inverter)
 - อินเวอร์เตอร์หลายระดับแบบ แบ็ค – แบ็ค ไดโอดแคลมป์ (Back-to-Back Diode-Clamped Multilevel Inverter)

2.2.2 อินเวอร์เตอร์หลายระดับแบบไดโอดแคลมป์ (Diode-Clamped Multilevel Inverter)

อินเวอร์เตอร์หลายระดับแบบไดโอดแคลมป์ (Diode-Clamped Multilevel Inverter) สร้างขึ้นในปี 1981 โดย Nabae, Takahashi และ Akagi โดยได้สร้างอินเวอร์เตอร์ 3 ระดับแบบไดโอดแคลมป์ ซึ่งหลังจากนั้นก็ได้มีการวิจัยและสร้างอินเวอร์เตอร์แบบไดโอดแคลมป์ ที่ระดับอื่นๆ

อินเวอร์เตอร์ 6 ระดับแบบไดโอดแคลมป์แสดง 3 เฟสในภาพที่ 2.6 มีแหล่งจ่ายแรงดันไฟฟ้า กระแสตรง(V_{dc}) 5 แหล่งจ่ายที่ต่ออนุกรมกันเพื่อจ่ายไฟให้กับอินเวอร์เตอร์ในแต่ละเฟส ซึ่งในแต่ละเฟส จะประกอบไปด้วยไดโอด (Diode) และสวิตช์ที่ต่อกันเป็นคู่ที่ต่ออนุกรมกัน เช่น ในเฟส a คือ ($S_{a1} , S_{a'1}$) , ($S_{a2} , S_{a'2}$) , ($S_{a3} , S_{a'3}$) , ($S_{a4} , S_{a'4}$) และ ($S_{a5} , S_{a'5}$) โดยสถานะการทำงานของสวิตช์ในแต่ละคู่ จะตรงกันข้ามกันคือ 0 และ 1 โดยสถานะ 1 คือ สวิตช์ทำงาน ส่วนสถานะ 0 คือ สวิตช์ไม่ทำงาน ซึ่ง สามารถแสดงสถานะการทำงานได้ดังตารางที่ 2.1

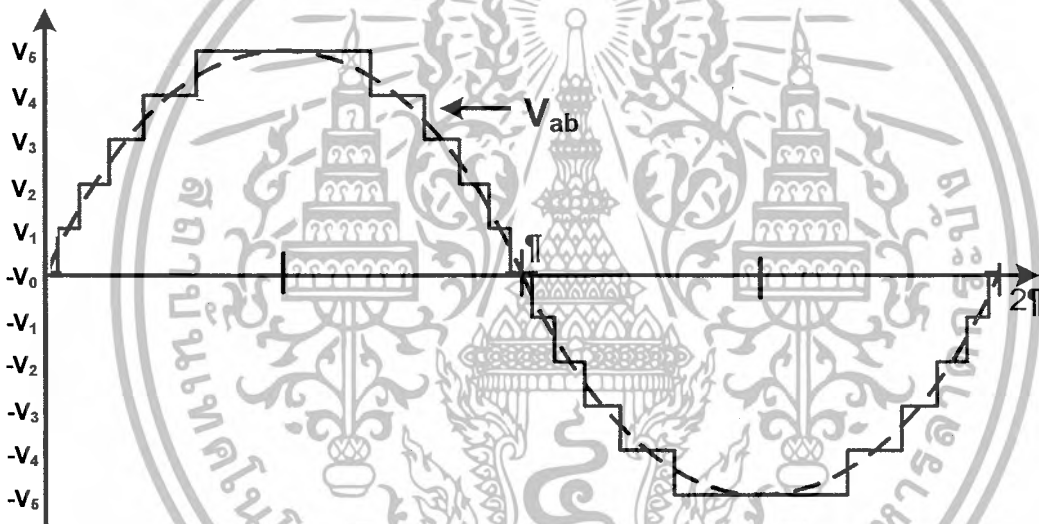


ภาพที่ 2.6 อินเวอร์เตอร์ 6 ระดับแบบไดโอดแคลมป์ (Diode-Clamped Multilevel Inverter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นำไปเผยแพร่โดยไม่ได้รับอนุญาตให้ไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 ระดับแรงดันของอินเวอร์เตอร์หลายระดับแบบไดโอดแคลมป์และสถานะสวิตช์

แรงดัน V_{a0}	สถานะสวิตช์									
	S_{a5}	S_{a4}	S_{a3}	S_{a2}	S_{a1}	$S_{a'5}$	$S_{a'4}$	$S_{a'3}$	$S_{a'2}$	$S_{a'1}$
$V_5 = 5V_{dc}$	1	1	1	1	1	0	0	0	0	0
$V_4 = 4V_{dc}$	0	1	1	1	1	1	0	0	0	0
$V_3 = 3V_{dc}$	0	0	1	1	1	1	1	0	0	0
$V_2 = 2V_{dc}$	0	0	0	1	1	1	1	1	0	0
$V_1 = 1V_{dc}$	0	0	0	0	1	1	1	1	1	0
$V_0 = 0$	0	0	0	0	0	1	1	1	1	1



ภาพที่ 2.7 รูปคลื่นแรงดันไลน์ของอินเวอร์เตอร์ 6 ระดับแบบไดโอดแคลมป์

จากภาพที่ 2.6 ตัวไดโอดที่ใช้แต่ละตัวจะต้องมีความสามารถที่ทนแรงดันย้อนกลับได้ (Reverse Voltage Blocking) เช่น เฟส a เมื่อสวิตช์ $S_{a'1} - S_{a'5}$ ทำงานตัวไดโอดที่ D_4 จะต้องทนแรงดันได้ $4V_{dc}$ ส่วน D_3 , D_2 และ D_1 จะต้องทนแรงดันได้ $3V_{dc}$, $2V_{dc}$ และ V_{dc} ตามลำดับ ถ้าในวงจรใช้ตัวไดโอดที่มีขนาดพิกัดเดียวกันทั้งหมดดังนั้นจำนวนที่จะต้องใช้ไดโอดต่อเฟสทั้งหมดคือ

$$n = (m - 1) \times (m - 2) \quad (2.5)$$

เมื่อ n เป็น จำนวนไดโอดที่ต้องใช้ต่อเฟส

m เป็น จำนวนระดับของอินเวอร์เตอร์แบบไดโอดแคลมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากภาพที่ 2.7 เป็นรูปคลื่นแรงดันไลน์ V_{ab} ของอินเวอร์เตอร์ 6 ระดับแบบไดโอดแคลมป์ ซึ่งรูปคลื่นแรงดันมีลักษณะเป็นขั้นๆ โดยมี 11 ขั้น ดังนั้นจำนวนระดับของแรงดันไลน์เอ๊าท์พุทจากสมการ

$$N_L = 2m - 1 \quad (2.6)$$

เมื่อ N_L เป็น จำนวนระดับของแรงดันไลน์เอ๊าท์พุท
 m เป็น จำนวนระดับของอินเวอร์เตอร์แบบไดโอดแคลมป์

ข้อดีของอินเวอร์เตอร์หลายระดับแบบไดโอดแคลมป์

- เหมาะสำหรับการขับเคลื่อนมอเตอร์ปรับความเร็วและสามารถเชื่อมต่อแบบ back - to - back ได้
- ตัวคาปาซิเตอร์สามารถชาร์จไฟฟ้าได้พร้อมกันทั้งหมด

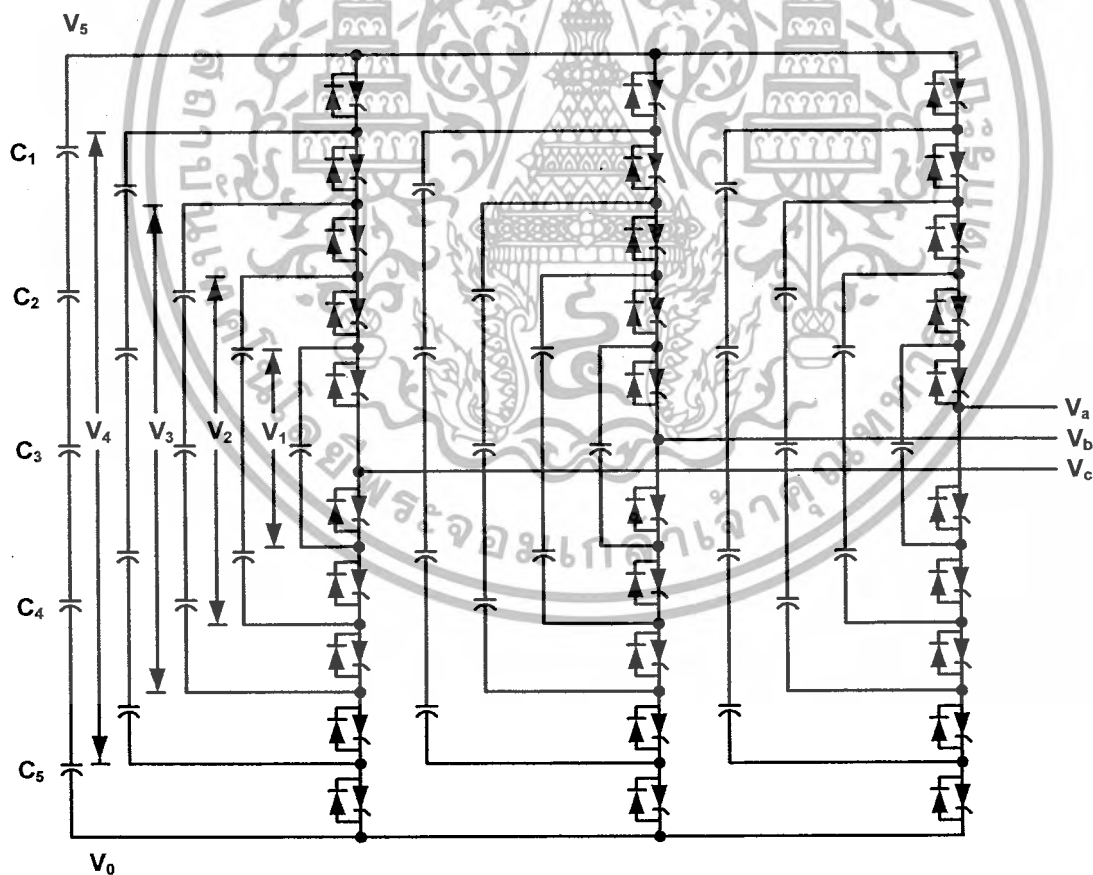
ข้อเสียของอินเวอร์เตอร์หลายระดับแบบไดโอดแคลมป์

- การชาร์จเกินหรือดิซชาร์จของคาปาซิเตอร์จะควบคุมได้ยาก ทำให้การถ่ายเทกำลังได้ไม่สะดวก
- ถ้าอินเวอร์เตอร์แบบไดโอดแคลมป์มีระดับที่มากขึ้น วงจรจะใช้ตัวไดโอดเป็นจำนวนมาก

2.2.3 อินเวอร์เตอร์หลายระดับแบบฟลายอิงคาปาซิเตอร์ (Flying Capacitor Multilevel Inverter)

อินเวอร์เตอร์หลายระดับแบบฟลายอิงคาปาซิเตอร์ (Flying Capacitor Multilevel Inverter) คิดค้นโดย Meynard และ Foch ในปี 1992 ซึ่งมีโครงสร้างของวงจรที่คล้ายคลึงกับอินเวอร์เตอร์หลายระดับแบบไดโอดแคลมป์ (Diode-Clamped Multilevel Inverter) แต่จะแตกต่างกันตรงที่อินเวอร์เตอร์หลายระดับแบบฟลายอิงคาปาซิเตอร์จะใช้คาปาซิเตอร์แทนตัวไดโอดดังภาพที่ 2.8

อินเวอร์เตอร์ 6 ระดับแบบฟลายอิงคาปาซิเตอร์ ในภาพที่ 2.8 จะมีตัวคาปาซิเตอร์เพื่อจ่ายแรงดันไฟฟ้ากระแสตรงให้ตัวสวิตช์ที่ต่อเนื่องกันจะได้รูปคลื่นของแรงดันไฟฟ้ากระแสสลับเป็นระดับขั้นบันได โดยการใช้การควบคุมแรงดันในการชาร์จ (Charging) และดิซชาร์จ (Discharging) ของตัวคาปาซิเตอร์ให้มีค่าที่สมดุลกันเพื่อที่จะสามารถควบคุมระดับแรงดันเอาต์พุตได้ ซึ่งค่าระดับแรงดันเฟสที่ด้านเอาต์พุตของอินเวอร์เตอร์ 6 ระดับแบบฟลายอิงคาปาซิเตอร์สามารถแสดงได้ดัง ตารางที่ 2.2



ภาพที่ 2.8 อินเวอร์เตอร์ 6 ระดับแบบฟลายอิงคาปาซิเตอร์
(Flying Capacitor Multilevel -Inverter)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.2 ระดับแรงดันของอินเวอร์เตอร์ 6 ระดับแบบฟลายอิงคาปาซิเตอร์และสถานะของสวิตช์

แรงดัน V_{a0}	สถานะสวิตช์									
	S_{a5}	S_{a4}	S_{a3}	S_{a2}	S_{a1}	$S_{a'5}$	$S_{a'4}$	$S_{a'3}$	$S_{a'2}$	$S_{a'1}$
$V_{a0} = 5V_{dc}$ (no redundancies)										
$V_5 = 5V_{dc}$	1	1	1	1	1	0	0	0	0	0
$V_{a0} = 4V_{dc}$ (4 redundancies)										
$5V_{dc} - V_{dc}$	1	1	1	1	0	0	0	0	0	1
$4V_{dc}$	0	1	1	1	1	1	0	0	0	0
$5V_{dc} - 4V_{dc} + 3V_{dc}$	1	0	1	1	1	0	1	0	0	0
$5V_{dc} - 3V_{dc} + 2V_{dc}$	1	1	0	1	1	0	0	1	0	0
$5V_{dc} - 2V_{dc} + V_{dc}$	1	1	1	0	1	0	0	0	1	0
$V_{a0} = 3V_{dc}$ (5 redundancies)										
$5V_{dc} - 2V_{dc}$	1	1	1	0	0	0	0	0	1	1
$4V_{dc} - V_{dc}$	0	1	1	1	0	1	0	0	0	1
$3V_{dc}$	0	0	1	1	1	1	1	0	0	0
$5V_{dc} - 4V_{dc} + 2V_{dc}$	1	0	1	1	0	0	1	0	0	1
$5V_{dc} - 3V_{dc} + V_{dc}$	1	1	0	0	1	0	0	1	1	0
$4V_{dc} - 2V_{dc} + V_{dc}$	0	1	1	0	1	1	0	0	1	0
$V_{a0} = 2V_{dc}$ (6 redundancies)										
$5V_{dc} - 3V_{dc}$	1	1	0	0	0	0	0	1	1	1
$5V_{dc} - 4V_{dc} + V_{dc}$	1	0	0	0	1	0	1	1	1	0
$4V_{dc} - 2V_{dc}$	0	1	1	0	0	1	0	0	1	1
$4V_{dc} - 3V_{dc} + V_{dc}$	0	1	0	0	1	1	0	1	1	0
$3V_{dc} - V_{dc}$	0	0	1	1	0	1	1	0	0	1
$3V_{dc} - 2V_{dc}$	0	0	1	0	1	1	0	0	0	0

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานี้เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$+V_{dc}$										
$2V_{dc}$	0	0	0	1	1	1	1	1	0	0
$V_{a0} = V_{dc} \text{ (4 redundancies)}$										
$5V_{dc} - 4V_{dc}$	1	0	0	0	0	0	1	1	1	1
$4V_{dc} - 3V_{dc}$	0	1	0	0	0	1	0	1	1	1
$3V_{dc} - 2V_{dc}$	0	0	1	0	0	1	1	0	1	1
$2V_{dc} - V_{dc}$	0	0	0	1	0	1	1	1	0	1
V_{dc}	0	0	0	0	1	1	1	1	1	0
$V_{a0} = 0 \text{ (no redundancies)}$										
0	0	0	0	0	0	1	1	1	1	1

นอกจากนี้อินเวอร์เตอร์หลายระดับแบบฟลายอิงคาปาซิเตอร์ จะสามารถหาจำนวนของดีซีลิงค์ (dc link) ได้จากสมการ $m-1$ และสามารถหาจำนวนของตัวคาปาซิเตอร์ที่ใช้ ต่อเฟสคือ

$$n = (m - 1) \times (m - 2) / 2 \quad (2.7)$$

เมื่อ n เป็น จำนวนของตัวคาปาซิเตอร์ที่ใช้ ต่อเฟส

m เป็น จำนวนระดับของอินเวอร์เตอร์หลายระดับแบบฟลายอิงคาปาซิเตอร์

ข้อดีของอินเวอร์เตอร์หลายระดับแบบฟลายอิงคาปาซิเตอร์

- ระดับแรงดันของคาปาซิเตอร์ สามารถควบคุมให้มีความสมดุลย์
- กำลังจริง (Real Power) และ กำลังรีแอกทีฟ (Reactive Power) ที่ไหลจะสามารถควบคุมได้
- คาปาซิเตอร์ที่ใช้เป็นจำนวนมาก ทำให้อินเวอร์เตอร์สามารถทนต่อการลัดวงจรระหว่างเกิดการ เอาท์เตจ (Outage) และ เกิดแรงดันตก (Voltage sags)

ข้อเสียของอินเวอร์เตอร์หลายระดับแบบฟลายอิงคาปาซิเตอร์

- การควบคุมระดับแรงดันของคาปาซิเตอร์ให้มีความสมดุลย์มีความยุ่งยากซับซ้อน
- การใช้ประโยชน์จากการสวิตซ์ซิงและประสิทธิภาพไม่ดีพอสำหรับการส่งจ่ายกำลังจริง
- คาปาซิเตอร์ที่ใช้มีจำนวนมาก ซึ่งมีราคาแพงและมีขนาดใหญ่กว่าไดโอดแคลมป์ที่ถูกใช้ในอินเวอร์เตอร์หลายระดับแบบไดโอดแคลมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.4 อินเวอร์เตอร์หลายระดับแบบคาสเคสเอชบริดจ์(Cascaded H-Bridges Multilevel Inverter)

อินเวอร์เตอร์หลายระดับแบบคาสเคสเอชบริดจ์(Cascaded H-Bridges Multilevel Inverter) โครงสร้างของวงจรจะประกอบไปด้วยอินเวอร์เตอร์ฟูลบริดจ์(Full-bridge) หรือ เอชบริดจ์(H- bridge) ที่ต่ออนุกรมกันเป็นระดับๆและมีแหล่งจ่ายไฟฟ้ากระแสตรงแยกอิสระต่อกัน โดยแหล่งจ่ายไฟฟ้ากระแส ตรงนี้ สามารถใช้กับแหล่งจ่ายพลังงานทดแทนได้ (Renewable Energy) ดังแสดงในภาพที่ 2.9 ซึ่งเป็นอินเวอร์เตอร์ 11 ระดับแบบคาสเคสเอชบริดจ์

อินเวอร์เตอร์หลายระดับแบบคาสเคสเอชบริดจ์สามารถผลิตแรงดันระหว่าง $+V_{dc}$, 0 , และ $-V_{dc}$ ซึ่งเกิดจากการทำงานของตัวสวิตช์(Switching) S_1 , S_2 , S_3 , และ S_4 เมื่อแรงดันมีค่าเป็น $+V_{dc}$ สวิตช์ S_1 และ S_4 จะทำงาน(Turned on) และเมื่อแรงดันมีค่าเป็น $-V_{dc}$ สวิตช์ S_2 และ S_3 จะทำงาน(Turned on) หากสวิตช์ทุกตัวทำงานพร้อมกัน(all turned on) รูปคลื่นแรงดันเอาท์พุทของอินเวอร์เตอร์ชนิดนี้เป็นไฟกระแสสลับและรูปคลื่นแรงดันมีลักษณะเป็นขั้นบันไดคล้ายรูปคลื่นไซน์ที่มีค่า THD น้อยกว่า 5% ดังภาพที่ 2.11

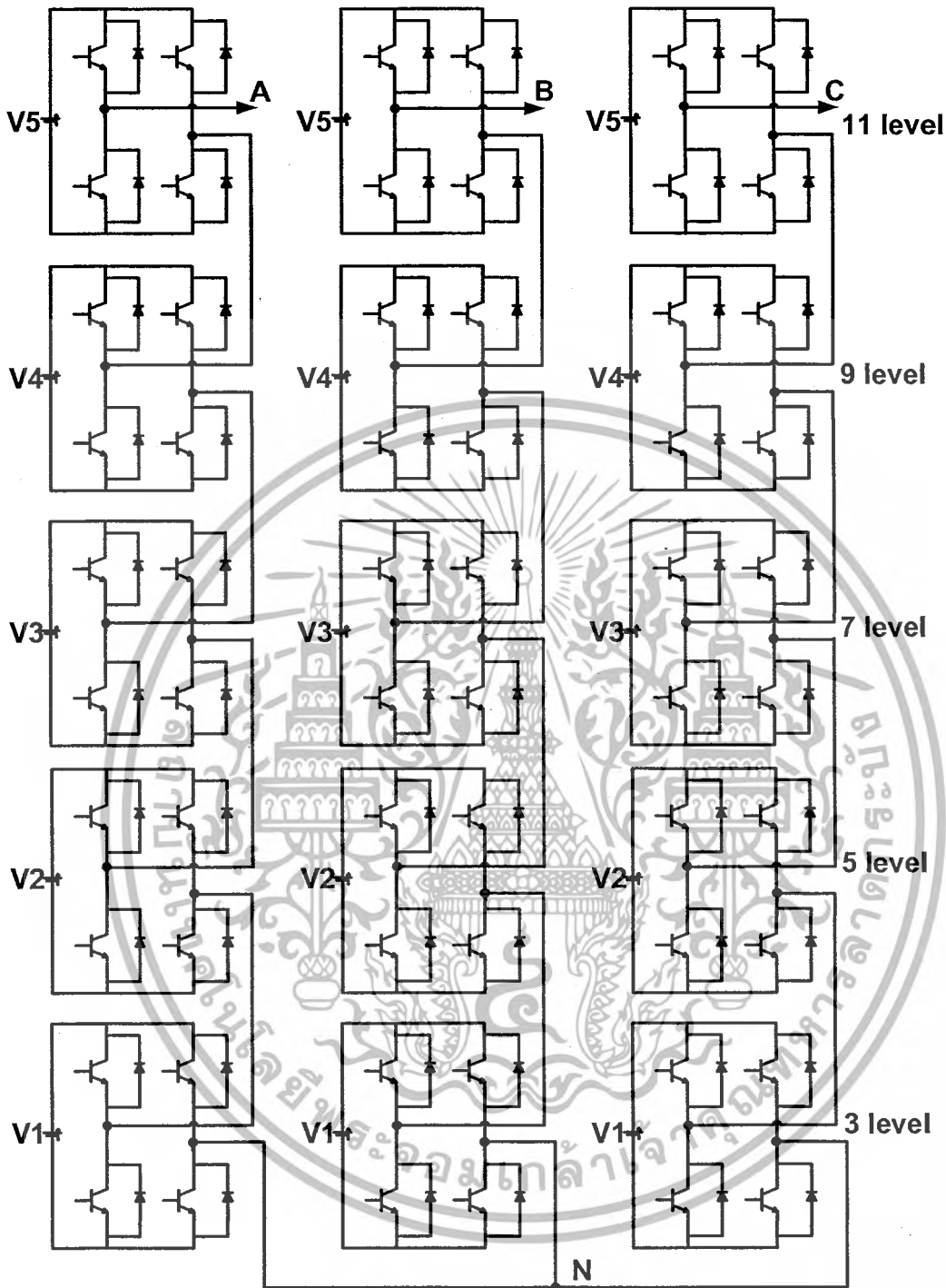
จำนวนระดับ(m_p)ของรูปคลื่นแรงดันเฟสซึ่งจะหาได้จากสมการ

$$m_p = 2s + 1 \quad (2.8)$$

ส่วนระดับ (m_L) รูปคลื่นแรงดันไลน์หาได้จากสมการ

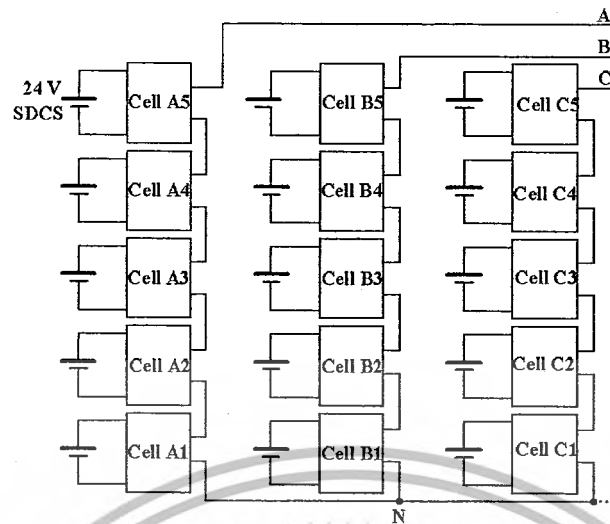
$$m_L = 4s-1 \quad (2.9)$$

เมื่อ m_L เป็น จำนวนระดับรูปคลื่นแรงดันไลน์
 m_p เป็น จำนวนระดับรูปคลื่นแรงดันเฟส
 s เป็น จำนวนของแหล่งจ่ายไฟตรง

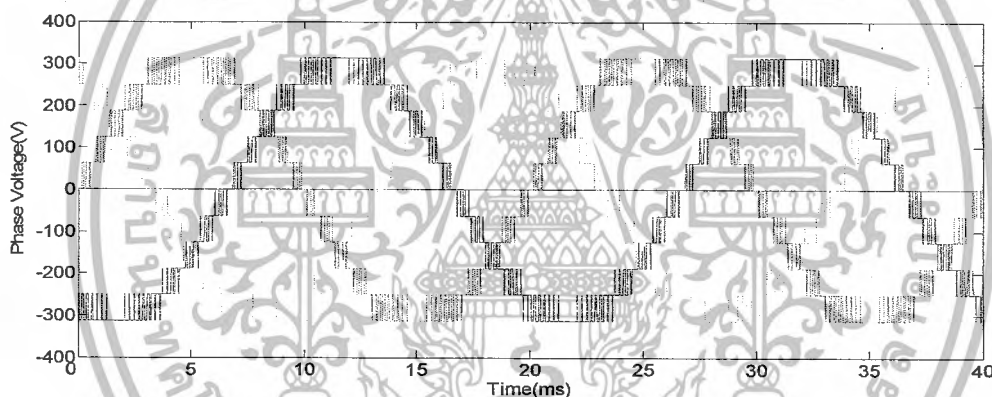


ภาพที่ 2.9 อินเวอร์เตอร์ 11 ระดับแบบคาสเคดเอชบริดจ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.10 รูปแบบการต่อวงจรอินเวอร์เตอร์ 11 ระดับแบบคาสเคดเอชบริดจ์



ภาพที่ 2.11 รูปคลื่นแรงดันเฟสเอชบริดจ์

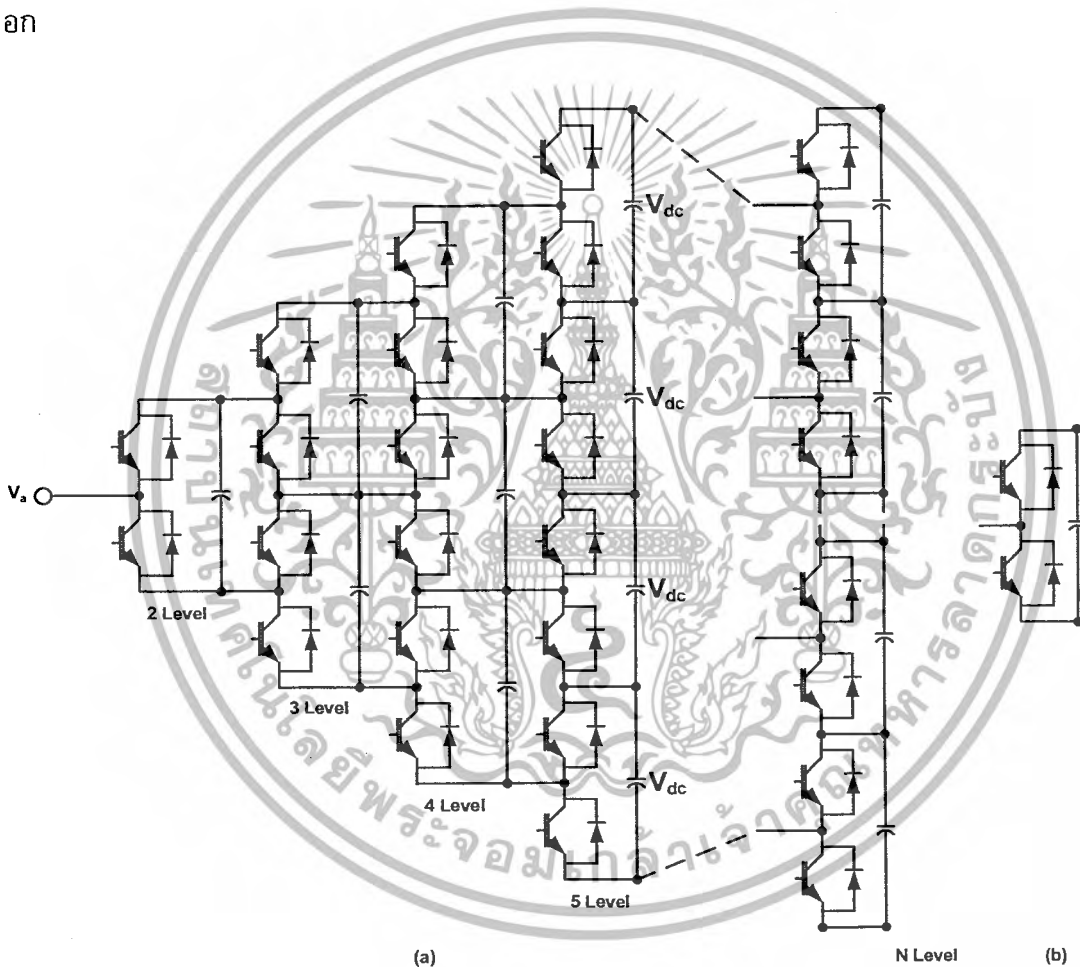
ข้อดีของอินเวอร์เตอร์หลายระดับแบบคาสเคดเอชบริดจ์

- จำนวนของระดับแรงดันเอชบริดจ์ที่สามารถเป็นไปได้อาจมีค่ามากกว่าสองเท่าของแหล่งที่แยกอิสระต่อเฟส ซึ่งเป็นไปตามสมการ $m_p = 2s+1$
- สามารถลดระดับแรงดันได้โดยการปรับดัชนีการมอดดูเลท
- อินเวอร์เตอร์หลายระดับจะมีเอชบริดจ์อินเวอร์เตอร์ต่ออนุกรมกันอยู่ จะทำให้สามารถผลิตอินเวอร์เตอร์แต่ละตัวได้อย่างรวดเร็ว เนื่องจากใช้คาสเคดเอชบริดจ์อินเวอร์เตอร์ที่มีโครงสร้างเหมือนกัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.5 อินเวอร์เตอร์หลายระดับแบบ Generalized (Generalized Multilevel Inverter)

อินเวอร์เตอร์หลายระดับแบบ Generalized ถูกคิดค้นโดย Peng โครงสร้างนี้มีชื่อเรียกว่า P2 ดังแสดงในภาพที่ 2.12 ซึ่งภายในวงจรประกอบไปด้วย อุปกรณ์สวิตชิง ไดโอด คาปาซิเตอร์เป็นดีซีลิงค์ ซึ่งมีแรงดันเป็น V_{dc} หรือ $1 / (m-1)$ ของแรงดันดีซีลิงค์ เมื่อ m เป็นจำนวนระดับ อินเวอร์เตอร์ชนิดนี้ จะสามารถรักษาระดับแรงดันที่คาปาซิเตอร์ได้คงที่ด้วยตนเอง (Self Voltage Balancing) โดยการปรับ เปลี่ยนกำลังแอกทีฟหรือกำลังรีแอกทีฟ และสามารถปรับเปลี่ยนระดับได้ตามความต้องการใช้งาน เช่น อินเวอร์เตอร์แบบ Generalized 5 ระดับ เมื่อต้องปรับเป็น 2 ระดับสามารถทำได้โดยการตัดระดับออก (Cutting off) ที่ระดับ 3 , 4 และ 5 ออก



ภาพที่ 2.12 a) อินเวอร์เตอร์แบบ Generalized b) วงจร P2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ข้อดีของอินเวอร์เตอร์หลายระดับแบบไดโอดแคลมป์

- สามารถปรับเลี่ยนระดับแรงดันได้ตามความต้องการใช้งาน

ข้อเสียของอินเวอร์เตอร์หลายระดับแบบไดโอดแคลมป์

- เมื่ออินเวอร์เตอร์มีระดับเพิ่มมากขึ้นจะจำเป็นต้องใช้อุปกรณ์สวิตชิงและคาปาซิเตอร์เป็นจำนวนมาก ซึ่งทำให้อินเวอร์เตอร์มีราคาแพง



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.6 อินเวอร์เตอร์หลายระดับแบบไฮบริด (Mixed-Level Hybrid Multilevel Inverter)

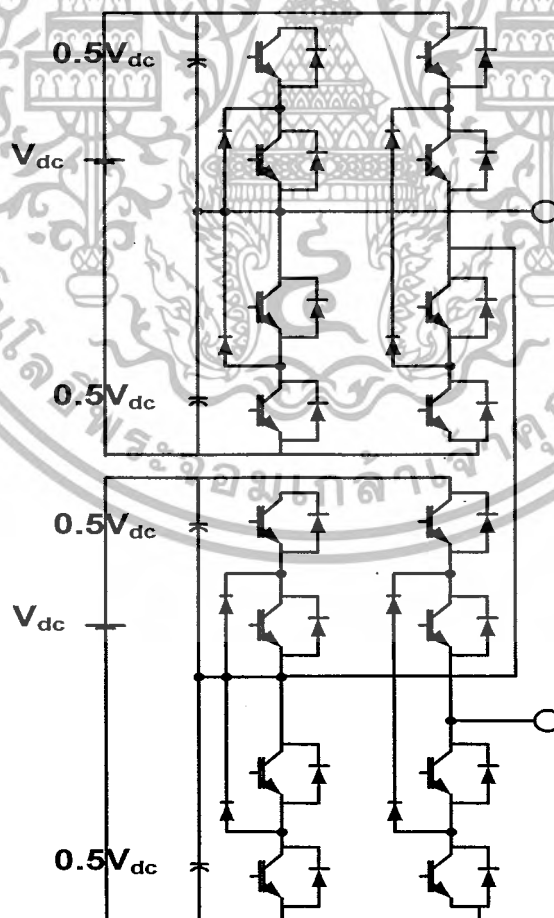
อินเวอร์เตอร์หลายระดับเมื่อต้องการการลดจำนวนของแหล่งจ่ายแรงดันดีซีที่แยกอิสระต่อกัน สำหรับการประยุกต์ใช้งานแรงดันและพิกัดกำลังสูง ในภาพที่ 2.13 เป็นอินเวอร์เตอร์หลายระดับแบบไฮบริด ประกอบไปด้วยอินเวอร์เตอร์แบบคลาสเคส 9 ระดับกับอินเวอร์เตอร์แบบไดโอดเคลมปี 3 ระดับ อินเวอร์เตอร์แบบคลาสเคส 9 ระดับแบบดั้งเดิมจะใช้แหล่งจ่ายดีซีแยกอิสระต่อกัน 4 แหล่งจ่ายในหนึ่งเฟส เมื่อนำมาต่อรวมกันจะมีแหล่งจ่ายดีซี 2 แหล่งที่แยกอิสระต่อกันต่อหนึ่งเฟส ซึ่งอินเวอร์เตอร์หลายระดับแบบไฮบริดจะมีโครงสร้างแบบคลาสเคส

ข้อดีของอินเวอร์เตอร์หลายระดับแบบไดโอดเคลมปี

- ลดการใช้แหล่งจ่ายดีซีที่แยกอิสระต่อกันได้

ข้อเสียของอินเวอร์เตอร์หลายระดับแบบไฮบริด

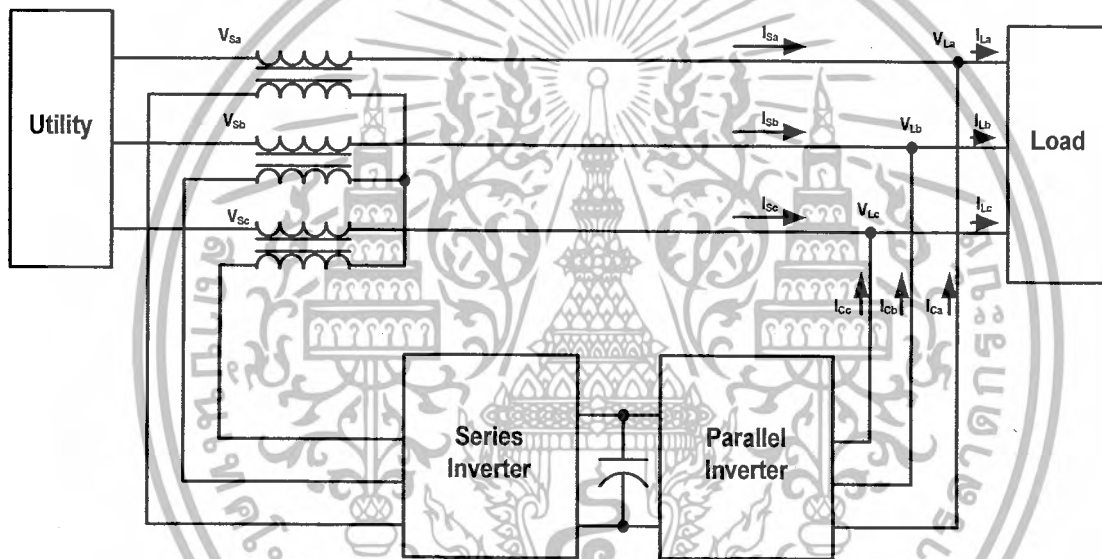
- การควบคุมสัญญาณจะมีความซับซ้อน



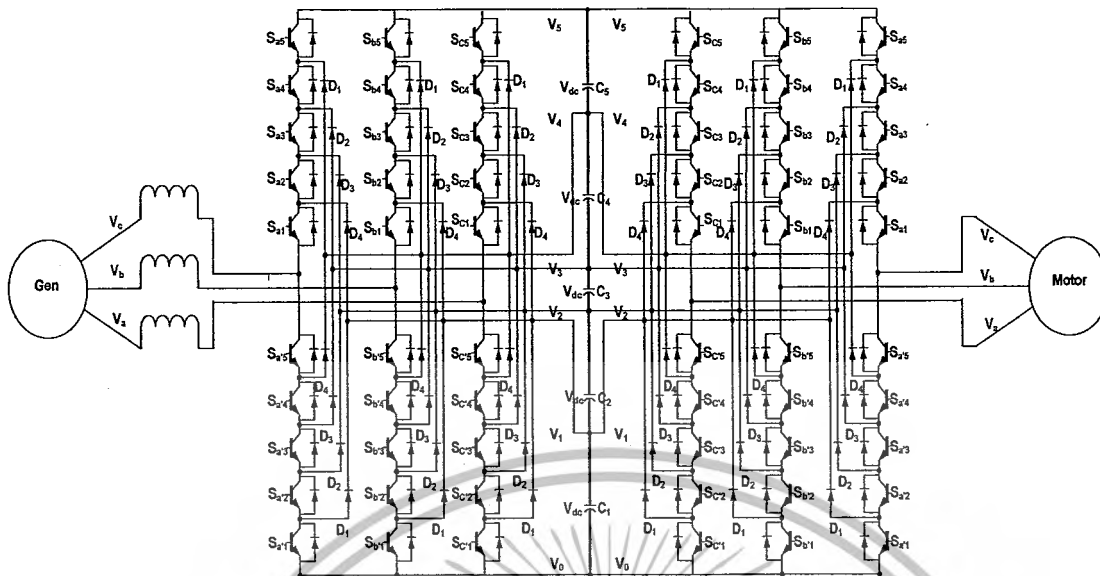
เอกสารนี้เป็นเอกสารที่สงวนไว้ **ภาพที่ 2.13** อินเวอร์เตอร์หลายระดับแบบไฮบริด ญาติให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.2.7 อินเวอร์เตอร์หลายระดับแบบ แบ็ค - แบ็ค ไดโอดแคลมป์ (Back-to-Back Diode-Clamped Multilevel Inverter)

อินเวอร์เตอร์หลายระดับ 2 ตัวสามารถเชื่อมต่อแบบ แบ็ค-แบ็ค ไดโอดแคลมป์ที่ใช้ในการควบคุมกระแสและแรงดันในระบบการเชื่อมต่อไฟฟ้ากำลังดังแสดงในภาพที่ 2.14 ตัวกรองกำลังแบบแอคทีฟ (active power filter) ต่ออนุกรม-ขนาน กันซึ่งถูกอธิบายใน ก่อหน้านี้ Lai และ Peng ได้แสดงโครงสร้างอินเวอร์เตอร์หลายระดับแบบ แบ็ค - แบ็ค ไดโอดแคลมป์ดังภาพที่ 2.15 ซึ่งใช้สำหรับ การเชื่อมต่อระบบแรงสูงไฟฟ้ากระแสตรง (HVDC) หรือใช้เป็นชุดขับเพื่อปรับปรุงความเร็วของ มอเตอร์ไฟฟ้าแรงสูง โดยแต่ละเฟสของอินเวอร์เตอร์หลายระดับจะสามารถเชื่อมต่อกันโดยใช้ดีซีลิงค์ร่วมกัน



ภาพที่ 2.14 ระบบการเชื่อมต่อแบบขนาน-อนุกรมของอินเวอร์เตอร์หลายระดับแบบ แบ็ค - แบ็ค



ภาพที่ 2.15 โครงสร้างอินเวอร์เตอร์หลายระดับแบบ แบริค - แบริค ไตโอดแคสเมป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.3 การมอดดูเลชั่น

2.3.1 การมอดดูเลชั่นความกว้างพัลส์(Pulse Width Modulate : PWM)

อุตสาหกรรมในปัจจุบันนี้มีการพัฒนาไปจากแต่ก่อนมากซึ่งสิ่งจำเป็นในการพัฒนาความสามารถนี้มาจากการพัฒนาและการใช้งานทางด้านขับเคลื่อนแบบไฟฟ้าสลับ ทั้งนี้เนื่องจากเทคนิคต่างๆที่ใช้ควบคุมระบบขับเคลื่อนไฟฟ้าสลับนั้นมีผลการทำงานที่แม่นยำและมีประสิทธิภาพที่ดี โดยเทคนิคในปัจจุบันที่นิยมใช้คือ เทคนิคของอินเวอร์เตอร์ ที่ใช้ในการควบคุมการทำงานโดยการมอดดูเลชั่นความกว้างพัลส์โดยมีรายละเอียดดังนี้

2.3.1.1 หลักการพื้นฐานของการมอดดูเลชั่นความกว้างพัลส์

การมอดดูเลชั่นความกว้างพัลส์ คือ การนำสัญญาณพาหะ(Carrier)มาเปรียบเทียบกับสัญญาณอ้างอิง (reference) หรือ $V_{control}$ ซึ่งอาจเป็นไฟฟ้ากระแสตรง สัญญาณสามเหลี่ยม(Retangular Wave) สัญญาณไซน์ หรือสัญญาณอื่นๆ โดยนำสัญญาณที่เกิดมอดดูเลชั่นไปเป็นสัญญาณสวิตช์และนำไปขับเกจของมอสเฟตเพื่อนำกระแสมาให้น้อยตามที่ต้องการ โดยสิ่งที่ต้องการคือ ให้กระแสเอาต์พุตเป็นไซน์ซึ่งสามารถควบคุมขนาดและความถี่ได้

2.3.1.2 นิยามของ m_a และ m_f

1. อัตราส่วนขนาดมอดดูเลชั่น (m_a) หรือดัชนีมอดดูเลต คือ อัตราส่วนระหว่างขนาดของสัญญาณอ้างอิงต่อขนาดสัญญาณพาหะ

$$m_a = \frac{V_{ref}}{V_c} \quad (2.10)$$

เมื่อ V_{ref} คือขนาดของสัญญาณอ้างอิง
 V_c คือขนาดของสัญญาณพาหะ

ปกติค่า m_a จะอยู่ในช่วง 0 ถึง 1 เป็นช่วงที่แรงบิดของมอเตอร์เหนี่ยวนำคงที่จากความเร็วศูนย์จนถึงพิกัด แต่เมื่อ m_a มีค่าเกินหนึ่งแรงบิดจะไม่คงที่เรียกว่า การโอเวอร์มอดดูเลชั่น

อัตราส่วนความถี่มอดดูเลชั่น (m_f) คือ อัตราส่วนระหว่างความถี่ของสัญญาณพาหะต่อความถี่ของสัญญาณอ้างอิง

$$m_f = \frac{f_c}{f_{ref}} \quad (2.11)$$

เมื่อ f_c คือความถี่ของสัญญาณพาหะ
 f_{ref} คือความถี่ของสัญญาณอ้างอิง

การใช้งานของโดยทั่วไปของค่า m_f จะอยู่ในช่วง 9 ถึง 100 การทำงานที่ m_f

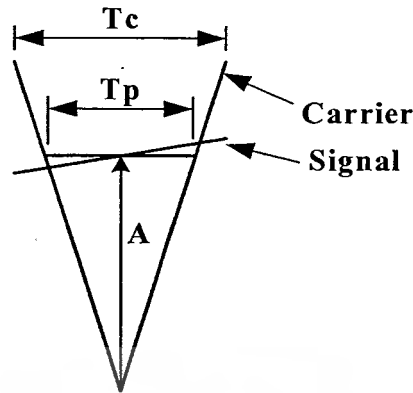
ต่ำกว่าจะเกิดปัญหาเกี่ยวกับฮาร์มอนิกค่อนข้างสูง แต่การทำงานที่ m_f สูงจะลดฮาร์มอนิกส์ลงมาก อย่างไรก็ตามการคำนวณฮาร์มอนิกส์ที่แม่นยำขึ้นนั้นจำเป็นต้องใช้ซอฟต์แวร์หรือเครื่องมือในการคำนวณที่ซับซ้อนขึ้น ดังนั้นการคำนวณฮาร์มอนิกส์ที่แม่นยำขึ้นนั้นจำเป็นต้องใช้ซอฟต์แวร์หรือเครื่องมือในการคำนวณที่ซับซ้อนขึ้น ไม่ว่าจะเป็นกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การเลือกค่า m_a และ m_f ในการเลือกค่าความถี่สวิตชิงและอัตราส่วนความถี่ที่นำมาถือดูเลขชั้นนั้นไม่มีกฎเกณฑ์ตายตัวเนื่องจากเราต้องพยายามเลือกค่าที่ทำให้แรงดันฮาร์โมนิกน้อยที่สุด โดยปกติถ้าแรงดันฮาร์โมนิกน้อยลงค่าความถี่สูงขึ้น ดังนั้นจึงต้องพยายามเลือกให้มีความถี่สวิตชิงสูงที่สุด แต่เมื่อความถี่สวิตชิงยิ่งสูงขึ้นก็จะทำให้เกิดค่าความสูญเสียมากขึ้นตามไปด้วย ฉะนั้นในทางปฏิบัติเราจึงเลือกค่าความถี่สวิตชิงไม่ต่ำกว่า 6 kHz แต่ไม่เกิน 20 kHz ในการใช้งานที่ 50 ถึง 60 Hz เช่น การขับ AC motor (ความถี่หลักที่เอาท์พุทของอินเวอร์เตอร์อาจต้องสูงถึง 200 Hz) ค่า m_f อาจเป็น 9 หรือน้อยกว่านั้นถ้าความถี่สวิตชิงน้อยกว่า 2 kHz และค่า m_f จะต้องมากกว่า 100 kHz ถ้าความถี่สวิตชิงมากกว่า 20 kHz การเลือกความสัมพันธ์ระหว่างสัญญาณไซน์กับสัญญาณสามเหลี่ยมได้จากการเลือกค่า m_f นี้ ซึ่งไม่มีเกณฑ์ที่แน่นอน $m_f = 21$ ถือเป็นค่ากลาง ส่วนค่า m_a ควรเลือกให้น้อยกว่า 1 เพราะถ้า m_a มากกว่า 1 จะกลายเป็นโอเวอร์มอดดูเลขชั้นไป

2.3.2 การมอดดูเลขชั้นพีดับบลิวเอ็มแบบอาศัยคลื่นพาหะของอินเวอร์เตอร์หลายระดับ เทคนิคของคลื่นพาหะที่นิยมมีด้วยกัน 3 วิธีคือ

1. Phase Disposition : PD มีคลื่นพาหะเท่ากับจำนวนระดับลบด้วยหนึ่ง โดยมุมเฟสเริ่มต้นในแต่ละคลื่นพาหะจะมีค่ามุมเฟสที่เหมือนกัน
2. Phase Opposition Disposition : POD เทคนิคนี้คล้ายกับเทคนิคแบบ PD แต่แตกต่างกันที่มุมเฟสเริ่มต้นในซีกบวกจะแตกต่างจากซีกลบเท่ากับ 180 องศา
3. Phase Shifted Carrier : PSCPWM แต่ละคลื่นพาหะจะมีความสูงจากยอดบนจนถึงยอดล่างเท่ากับ 1 จนถึง -1 ตามลำดับ โดยอาศัยมุมต่างเฟสแต่ละคลื่นพาหะเพื่อคำนวณพีดับบลิวเอ็มเอาท์พุท

ในปริภูมิเฟสสามเหลี่ยมนี้ได้เลือกใช้เทคนิคการมอดดูเลขชั้นแบบอาศัยคลื่นพาหะแบบ PD ในการสร้างพีดับบลิวเอ็ม 11 ระดับ ซึ่งจะมีคลื่นพาหะทั้งหมดสิบคลื่นโดยอยู่ในซีกบวกห้าคลื่นและในซีกลบห้าคลื่น ความสูงของคลื่นพาหะมีค่าเท่ากับหนึ่งในห้าของความสูงคลื่นอ้างอิง



ภาพที่ 2.16 ความสัมพันธ์ระหว่างความสูงของสัญญาณอ้างอิงกับความกว้างพัลส์เอทพุท สำหรับอินเวอร์เตอร์หลายระดับ

2.3.3 การสร้างพีดีบีลิวเอ็มของอินเวอร์เตอร์หลายระดับ

เนื่องจากความสูงของคลื่นพาหะจะขึ้นกับจำนวนระดับ การหาความกว้างของพัลส์เอทพุทสามารถพิจารณาจาก ค่าความสูงจากยอดถึงยอดของคลื่นพาหะเป็นหนึ่งหน่วยดังภาพที่ 2.17 และความสูงของสัญญาณที่ใช้ในการมอดดูเลชันมีจุดอ้างอิงที่ศูนย์ (ขอบล่างของคลื่นพาหะ) ความกว้างสัญญาณเอทพุทที่ได้จะเป็นไปตามสมการ

$$\frac{T_P}{T_S} = A \quad ; \quad 0 \leq A \leq 1 \quad (2.12)$$

การคำนวณเทคนิคการมอดดูเลชันแบบ SPWM สำหรับอินเวอร์เตอร์ 11 ระดับนั้น ความของคลื่นพาหะจะมีค่าเท่ากับ 1 ใน 5 ถ้าจะทำให้คลื่นพาหะเป็นหนึ่งหน่วยต้องคูณด้วย 5 ดังสมการ

$$\begin{array}{l}
 T_P \left\{ \begin{array}{ll}
 5(m \sin(\omega t) - \frac{4}{5})T_s & ; \frac{4}{5} \leq m \sin(\omega t) \leq 1 \\
 5(m \sin(\omega t) - \frac{3}{5})T_s & ; \frac{3}{5} \leq m \sin(\omega t) \leq \frac{4}{5} \\
 5(m \sin(\omega t) - \frac{2}{5})T_s & ; \frac{2}{5} \leq m \sin(\omega t) \leq \frac{3}{5} \\
 5(m \sin(\omega t) - \frac{1}{5})T_s & ; \frac{1}{5} \leq m \sin(\omega t) \leq \frac{2}{5} \\
 5(m \sin(\omega t))T_s & ; 0 \leq m \sin(\omega t) \leq \frac{1}{5} \\
 5(m \sin(\omega t) + \frac{1}{5})T_s & ; -\frac{1}{5} \leq m \sin(\omega t) \leq 0 \\
 5(m \sin(\omega t) + \frac{2}{5})T_s & ; -\frac{2}{5} \leq m \sin(\omega t) \leq -\frac{1}{5} \\
 5(m \sin(\omega t) + \frac{3}{5})T_s & ; -\frac{3}{5} \leq m \sin(\omega t) \leq -\frac{2}{5} \\
 5(m \sin(\omega t) + \frac{4}{5})T_s & ; -\frac{4}{5} \leq m \sin(\omega t) \leq -\frac{3}{5} \\
 5(m \sin(\omega t) + 1)T_s & ; -1 \leq m \sin(\omega t) \leq -\frac{4}{5}
 \end{array} \right. \quad (2.13)
 \end{array}$$

ในการสร้างพีดับบลิวเอ็มทั้ง 60 สัญญาณสำหรับอินเวอร์เตอร์ 11 ระดับ การผสมสัญญาณ(สัญญาณพีดับบลิวเอ็มที่ได้จากชุดกำเนิดสัญญาณพีดับบลิวเอ็มของไมโครคอนโทรลเลอร์แต่ละตัวที่กำเนิดได้ตัวละตัวละ 6 สัญญาณ) จำเป็นต้องใช้วงจรจากภายนอก เพื่อให้ได้ 60 สัญญาณตามที่ต้องการ โดยสัญญาณที่นำมาใช้ในการผสมมาจากการเปรียบเทียบสัญญาณอ้างอิงกับค่าคงที่ โดยจะต้องใช้ 5 สัญญาณต่อเฟสสำหรับอินเวอร์เตอร์ 11 ระดับ จะได้สมการดังนี้

$$A_1 = \begin{cases} =1 & ; \text{Signal} \geq 0 \\ =0 & ; \text{Signal} \leq 0 \end{cases} \quad (2.14)$$

$$A_2 = \begin{cases} =1 & ; \text{Signal} \geq \frac{1}{5} \\ =0 & ; \text{Signal} \leq -\frac{1}{5} \end{cases} \quad (2.15)$$

$$A_3 = \begin{cases} =1 & ; \text{Signal} \geq \frac{2}{5} \\ =0 & ; \text{Signal} \leq -\frac{2}{5} \end{cases} \quad (2.16)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

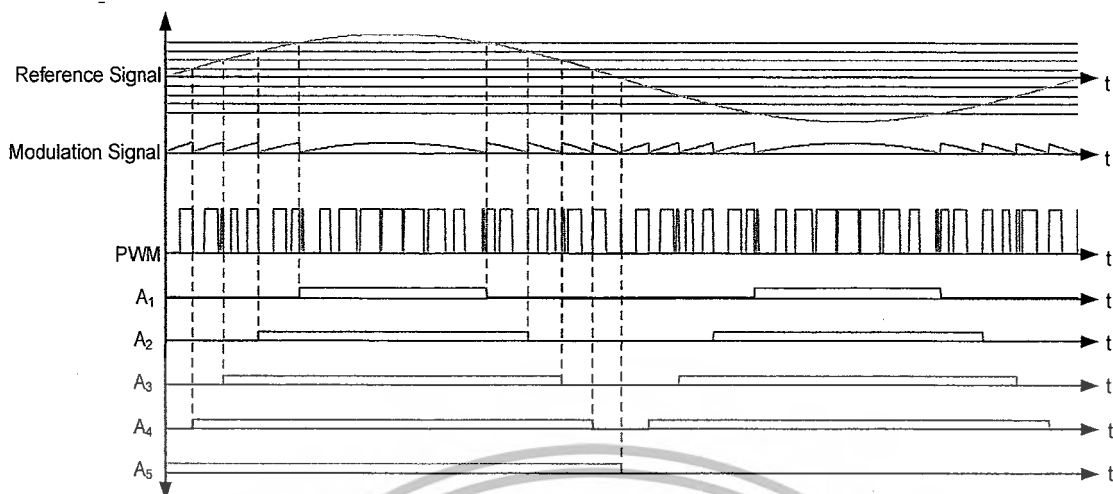
$$A_4 = \begin{cases} =1 \\ =0 \end{cases} \quad \begin{array}{l} ; \text{Signal} \geq \frac{3}{5} \\ ; \text{Signal} \leq \frac{3}{5} \end{array} \quad (2.17)$$

$$A_5 = \begin{cases} =1 \\ =0 \end{cases} \quad \begin{array}{l} ; \text{Signal} \geq \frac{4}{5} \\ ; \text{Signal} \leq \frac{4}{5} \end{array} \quad (2.18)$$

เนื่องจากสัญญาณทางซีกบวกและซีกลบสมมาตรกันดังนั้นเราสามารถลดจำนวนข้อมูลได้ โดยจะเก็บข้อมูลทางซีกบวกอย่างเดียวจะได้สมการดังนี้

$$T_P \begin{cases} 5(m \sin(\omega t) - \frac{4}{5})T_s & ; \frac{4}{5} \leq m \sin(\omega t) \leq 1 \\ 5(m \sin(\omega t) - \frac{3}{5})T_s & ; \frac{3}{5} \leq m \sin(\omega t) \leq \frac{4}{5} \\ 5(m \sin(\omega t) - \frac{2}{5})T_s & ; \frac{2}{5} \leq m \sin(\omega t) \leq \frac{3}{5} \\ 5(m \sin(\omega t) - \frac{1}{5})T_s & ; \frac{1}{5} \leq m \sin(\omega t) \leq \frac{2}{5} \\ 5(m \sin(\omega t))T_s & ; 0 \leq m \sin(\omega t) \leq \frac{1}{5} \end{cases} \quad (2.19)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.17 แสดงการมอดดูเลชันเทคนิค SPWM ของอินเวอร์เตอร์ 11 ระดับ

เมื่อนำเอาสัญญาณพีดับบลิวเอ็มที่ได้มาเข้ากระบวนการรวมแล้วก็ได้พีดับบลิวเอ็มเอาท์พุทตามที่เราต้องการ

2.4 สรุป

ในบทนี้ได้กล่าวถึงอินเวอร์เตอร์แบบดั้งเดิมและอินเวอร์เตอร์หลายระดับชนิดต่างๆ ซึ่งได้ทำการ เปรียบเทียบลักษณะของโครงสร้าง, หลักการทำงาน รวมทั้งข้อดีและข้อเสียของอินเวอร์เตอร์แบบดั้งเดิมกับอินเวอร์เตอร์หลายระดับชนิดต่างๆ โดยอินเวอร์เตอร์หลายระดับชนิดคลาสเคสเอชบริดจ์ที่เลือกใช้ในปฏิญญาฉบับนี้จะมีโครงสร้างเป็นอินเวอร์เตอร์แบบฟูลบริดจ์หนึ่งเฟสหลายๆ ที่นำมาต่อกันแบบอนุกรม ซึ่งอินเวอร์เตอร์ชนิดนี้มีข้อดีในเรื่องของจำนวนของระดับแรงดันเอาท์พุทที่สามารถเป็นไปได้จะมีค่ามากกว่าสองเท่าของแหล่งที่แยกอิสระต่อเฟส และสามารถลดระดับแรงดันลงได้เพื่อการใช้งานที่เหมาะสม แต่อินเวอร์เตอร์ชนิดนี้จะมีข้อเสียในเรื่องของการใช้แหล่งจ่ายแรงดันไฟฟ้ากระแสตรงจากพลังงานทดแทนเป็นจำนวนมาก เนื่องจากจะต้องต่อแหล่งจ่ายแยกอิสระต่อกันไปเข้าเอชบริดจ์อินเวอร์เตอร์ทุกๆ ตัว และแหล่งจ่ายแต่ละชุดจะต้องแยกกราวด์ (Ground Separate)

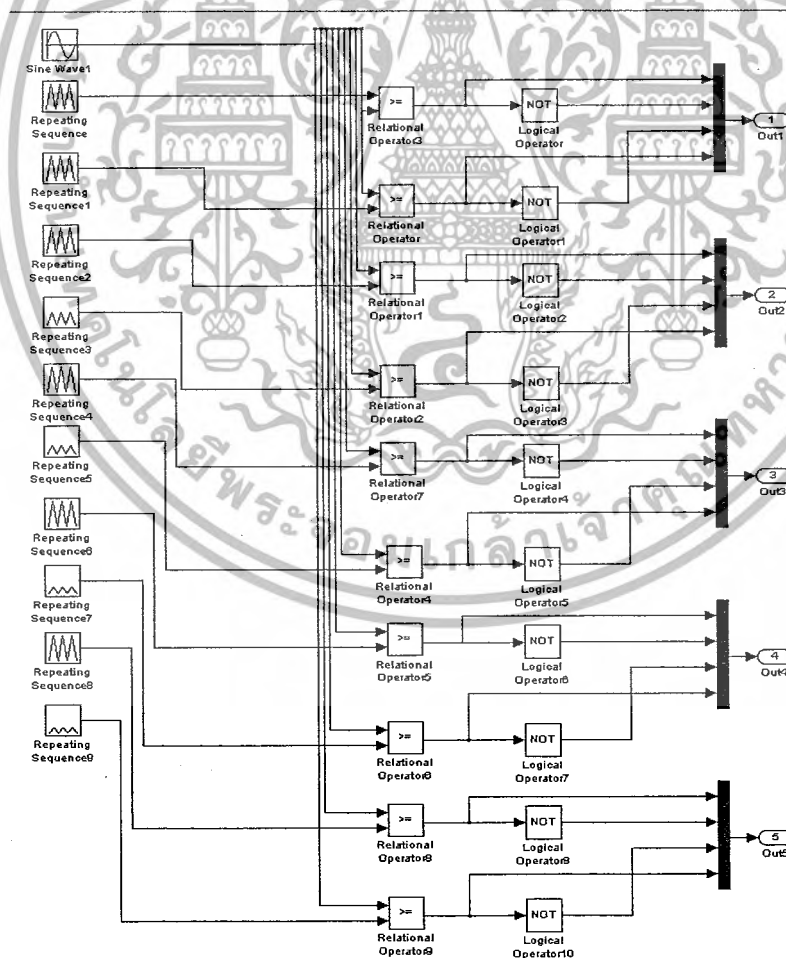
บทที่ 3

การจำลองวงจรด้วยโปรแกรมคอมพิวเตอร์

ขั้นตอนการจำลองวงจรที่ได้ออกแบบไว้เป็นการยืนยันหลักการในการออกแบบว่าถูกต้องและได้ผลเป็นไปตามสมมุติฐานที่ตั้งไว้ ก่อนนำไปสร้างชิ้นงานจริง ซึ่งควรจะเป็นค่าใช้จ่ายจริงที่จะใช้สร้างอินเวอร์เตอร์และสามารถช่วยลดความเสียหายและอุบัติเหตุได้ โดยโปรแกรมที่ใช้ในการทดสอบวงจรนี้ ได้เลือกใช้ MATLAB/Simulink

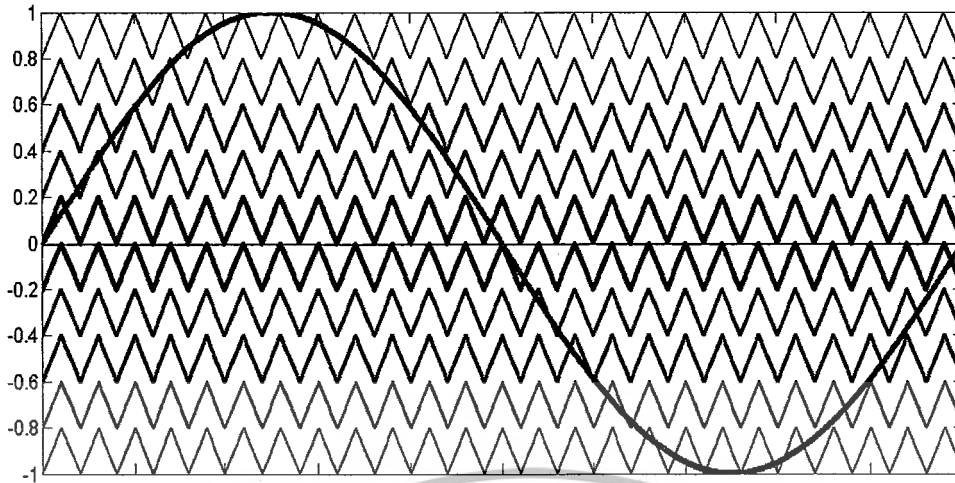
3.1 สร้างสัญญาณขับเกตของมอสเฟต

การสร้างขับเกตของเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับ 3 เฟสนี้ ต้องมีสัญญาณขับเกตทั้งหมด 15 สัญญาณประกอบด้วยสัญญาณอ้างอิง 3 สัญญาณและคลื่นพาหะ 10 สัญญาณ นำมาเชื่อมต่อกัน โดยความถี่ของสัญญาณอ้างอิงเท่ากับ 50Hz และความถี่ของคลื่นพาหะเท่ากับ 4.8kHz แสดงวงจรการจำลองดังภาพนี้



ภาพที่ 3.1 วงจรการจำลองสร้างสัญญาณขับเกต 1 เฟส

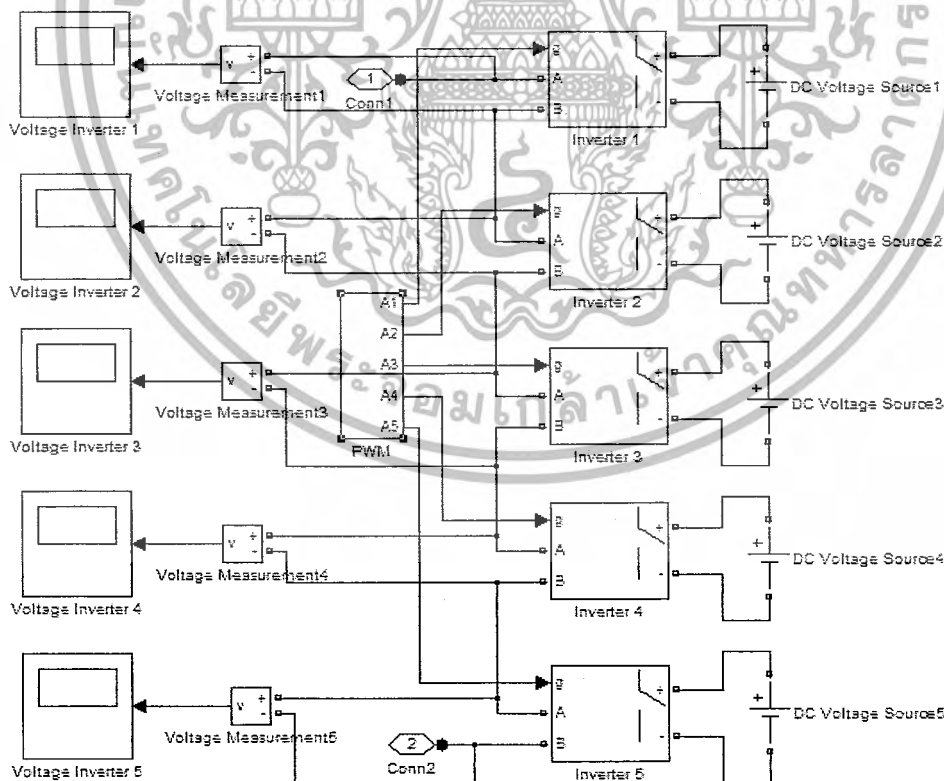
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.2 การมอดดูเลท

3.2 สร้างวงจรกำลัง

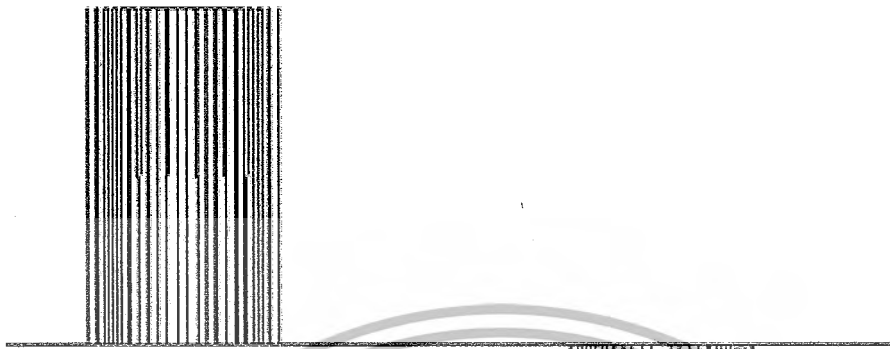
วงจรกำลังจะประกอบไปด้วยตัวสวิตช์ ซึ่งในการจำลองนี้ได้เลือกใช้สวิตช์อุดมคติจำนวน 5 ตัว มาตรฐานหนึ่งต่อ 1 เฟส และนำสัญญาณขับเกตที่สร้างขึ้นตอนแรกมาจ่ายเข้าขาเกตกัน แสดงวงจรการจำลองดังภาพนี้



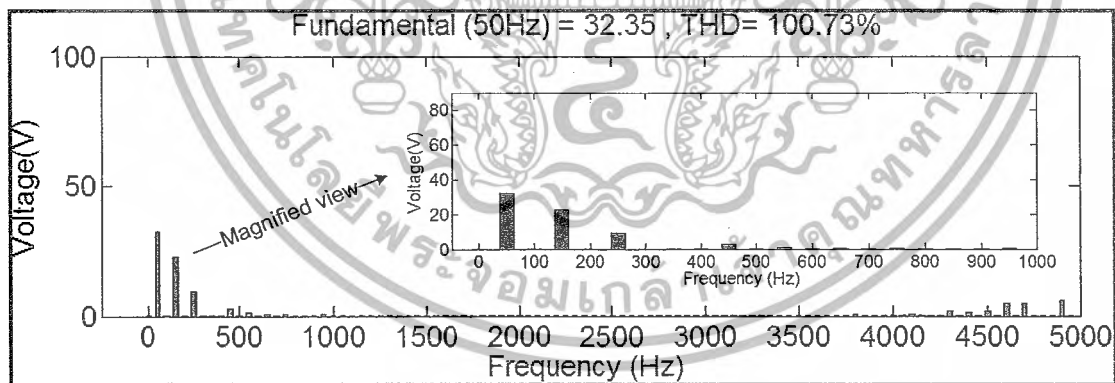
ภาพที่ 3.3 การจำลองวงจรกำลัง 1 เฟส

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

โดยมีสัญญาณแรงดันที่วัดได้จากเครื่องมือในภาพ ดังแสดงต่อไปนี้

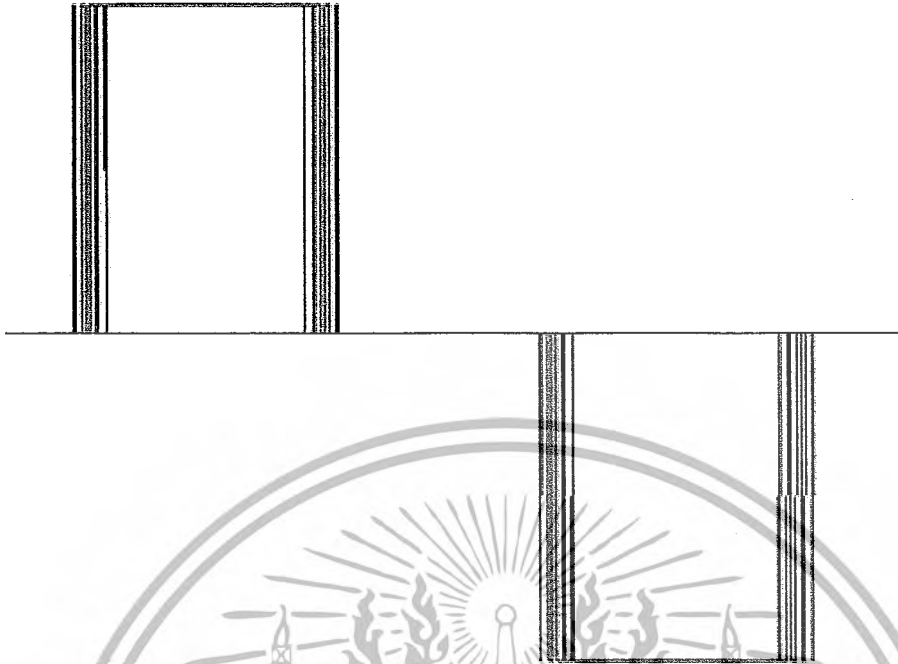


ภาพที่ 3.4 สัญญาณแรงดันของอินเวอร์เตอร์ตัวที่ 1

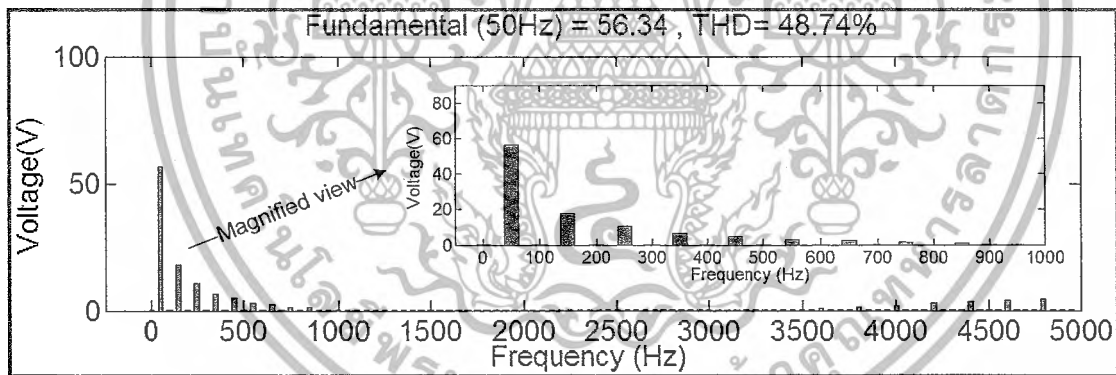


ภาพที่ 3.5 สเปกตรัมของอินเวอร์เตอร์ชุดที่ 1 (INV1)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

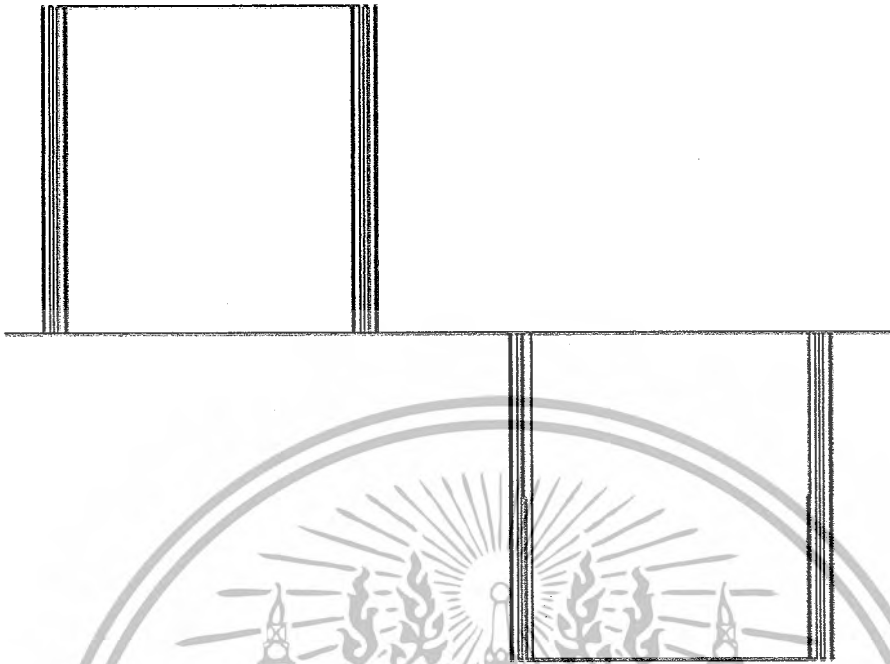


ภาพที่ 3.6 สัญญาณแรงดันของอินเวอร์เตอร์ตัวที่ 2

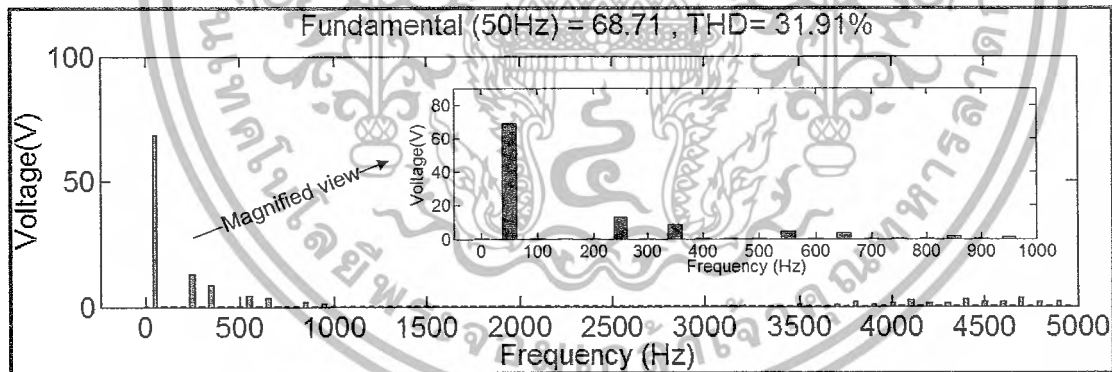


ภาพที่ 3.7 สเปกตรัมของอินเวอร์เตอร์ชุดที่ 2 (INV2)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

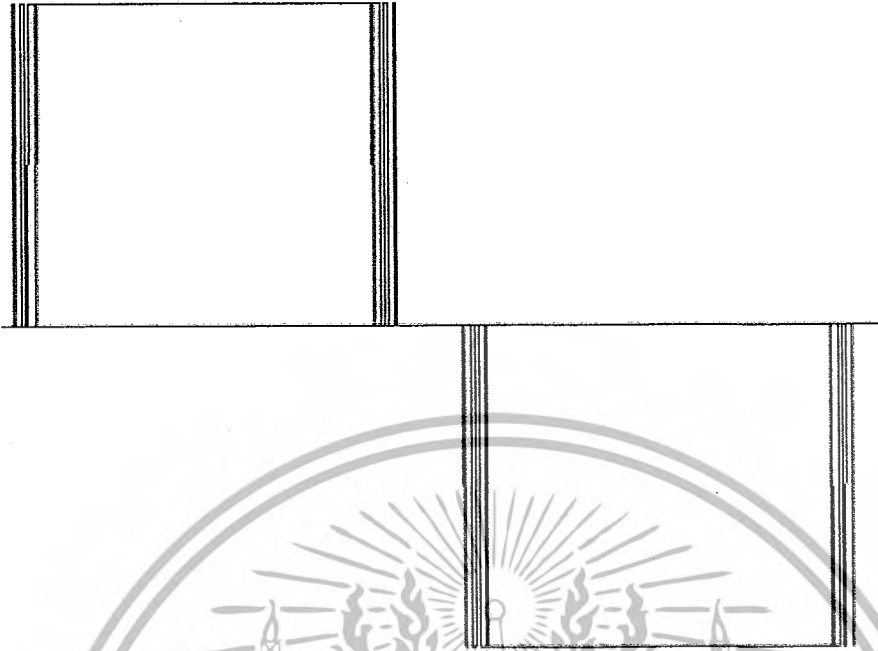


ภาพที่ 3.8 สัญญาณแรงดันของอินเวอร์เตอร์ตัวที่ 3

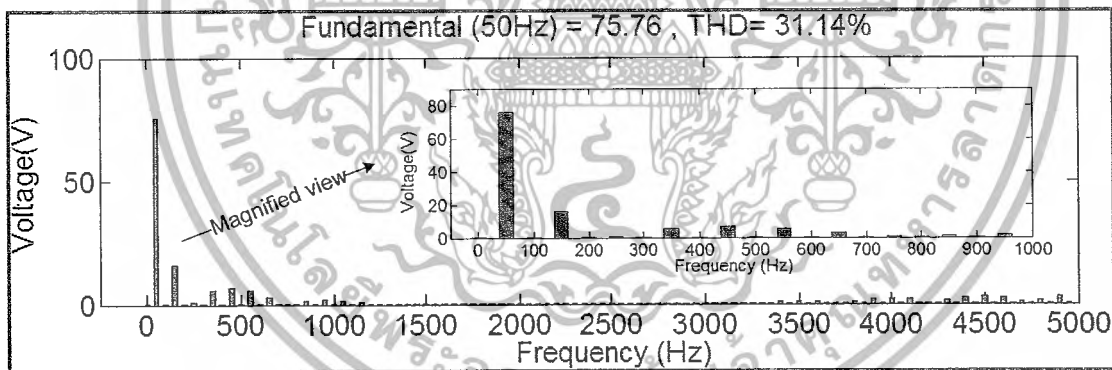


ภาพที่ 3.9 สเปกตรัมของอินเวอร์เตอร์ชุดที่3 (INV3)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

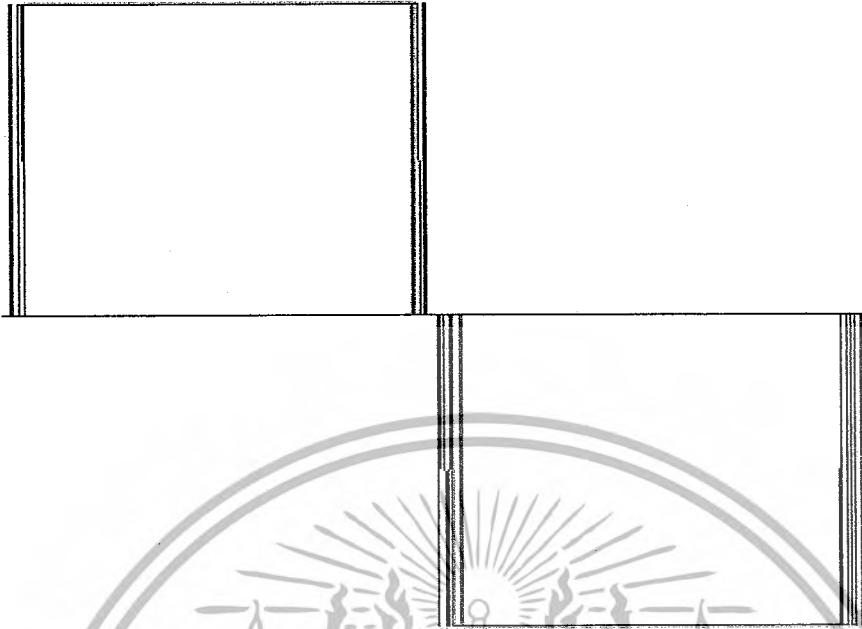


ภาพที่ 3.10 สัญญาณแรงดันของอินเวอร์เตอร์ตัวที่ 4

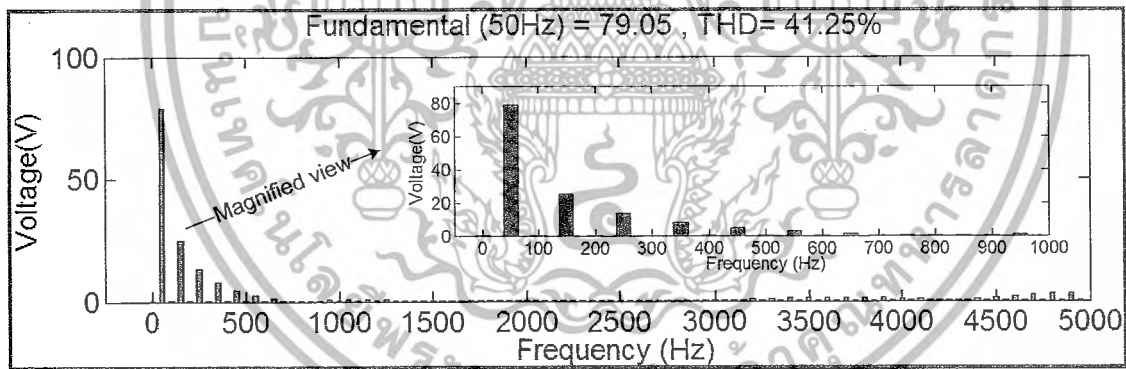


ภาพที่ 3.11 สเปกตรัมของอินเวอร์เตอร์ชุดที่ 4 (INV4)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.12 สัญญาณแรงดันของอินเวอร์เตอร์ตัวที่ 5



ภาพที่ 3.13 สเปกตรัมของอินเวอร์เตอร์ชุดที่ 5 (INV5)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

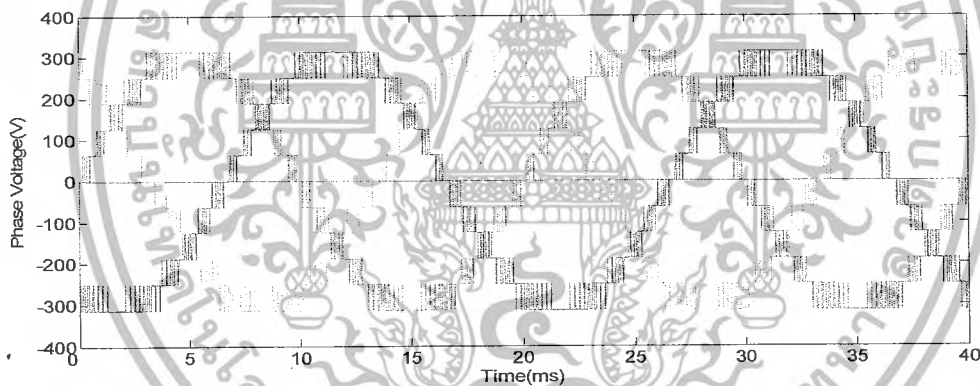
จากรูปสัญญาณแรงดันและสเปกตรัมของอินเวอร์เตอร์แต่ละชุดพบว่าสเปกตรัมค่าความผิดเพี้ยนฮาร์โมนิกรวมของแรงดันเกิดขึ้นจากฮาร์โมนิกส์ลำดับที่เป็นเลขคี่ใกล้กับลำดับความถี่มูลฐาน ซึ่งทำให้เกิดความสูญเสียในระบบ

3.3 ผลการจำลอง

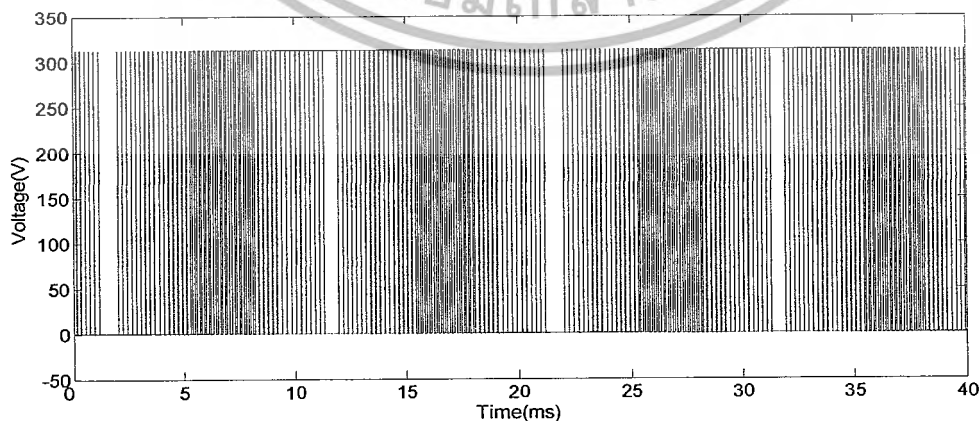
การจำลองนี้ได้สร้างเป็นอินเวอร์เตอร์ 11 ระดับ 3 เฟสเปรียบเทียบกับอินเวอร์เตอร์ 2 ระดับ โดยต่อกับโหลดตัวต้านทาน 100 โอห์มและตัวเหนี่ยวนำ 1 มิลลิเฮนรี่ แล้วทำการสร้างวงจรและเก็บผลดังนี้

1. สัญญาณแรงดันเฟส
2. สัญญาณแรงดันไลน์
3. กระแสเมื่อมีภาระทางไฟฟ้า
4. สเปกตรัมค่าความผิดเพี้ยนฮาร์โมนิกรวมของแรงดัน

3.3.1 สัญญาณแรงดันเฟส



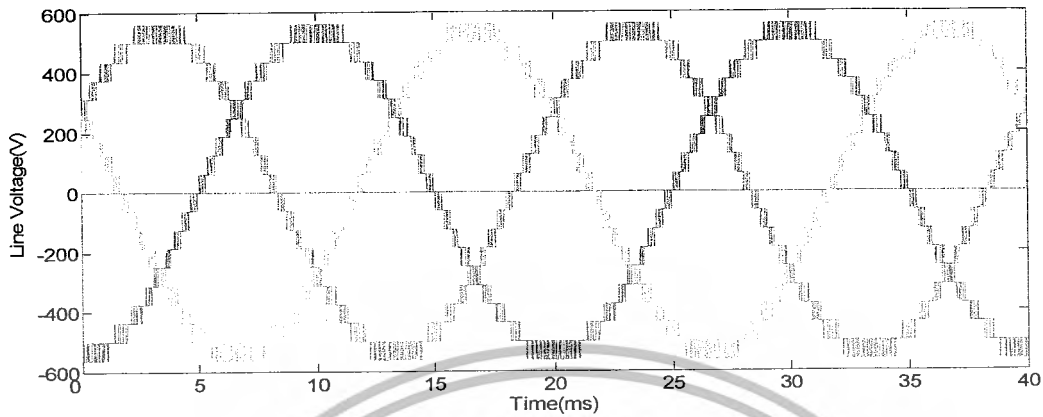
ภาพที่ 3.14 สัญญาณแรงดันเฟสของอินเวอร์เตอร์ 11 ระดับ



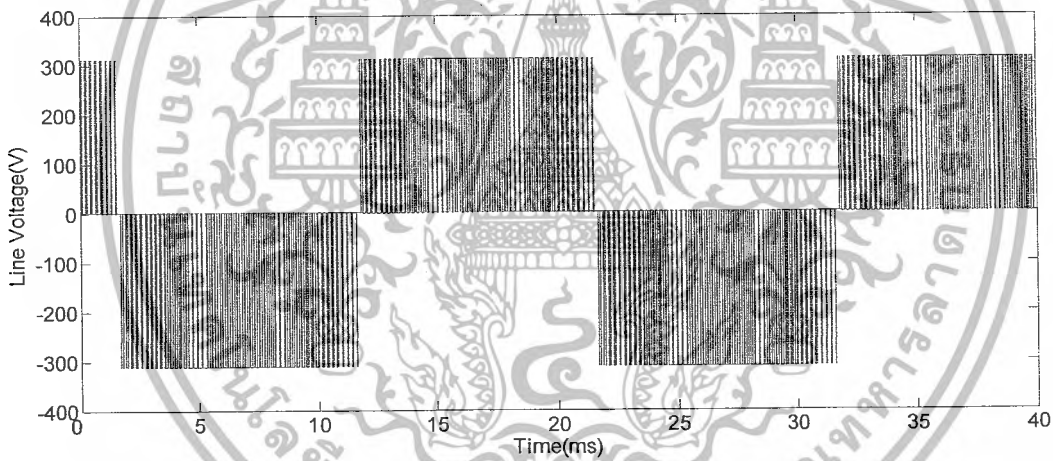
ภาพที่ 3.15 สัญญาณแรงดันเฟสของอินเวอร์เตอร์ 2 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.2 สัญญาณแรงดันไลน์



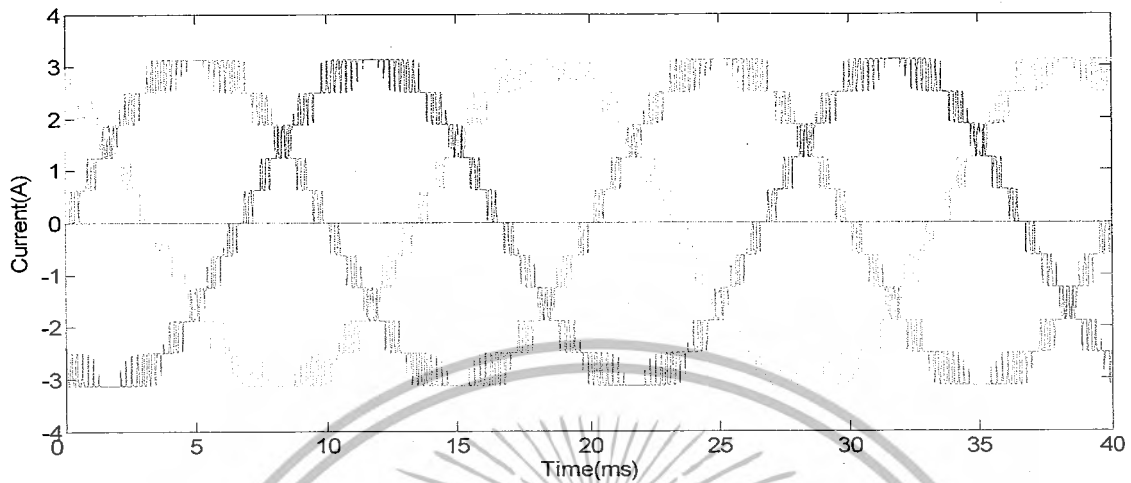
ภาพที่ 3.16 สัญญาณแรงดันไลน์ของอินเวอร์เตอร์ 11 ระดับ



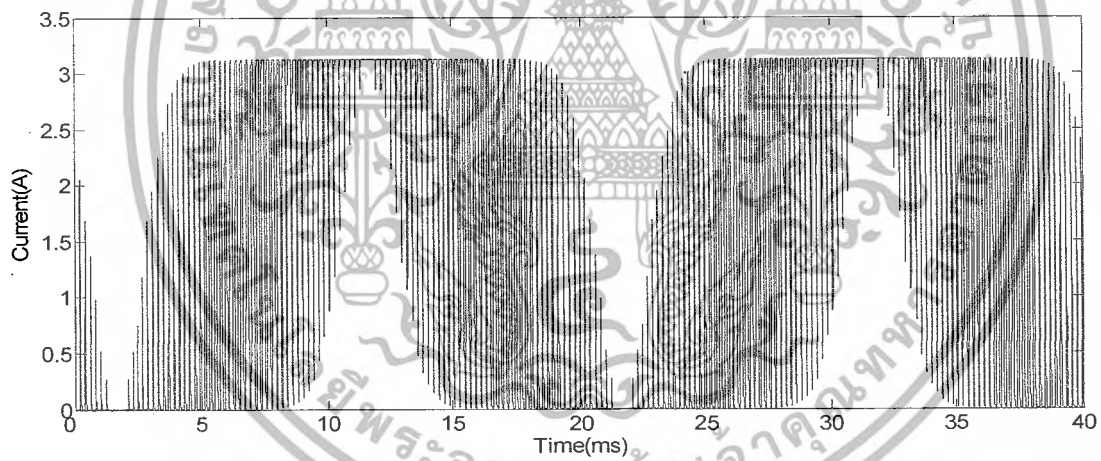
ภาพที่ 3.17 สัญญาณแรงดันไลน์ของอินเวอร์เตอร์ 2 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.3 กระแสเมื่อมีภาระทางไฟฟ้า



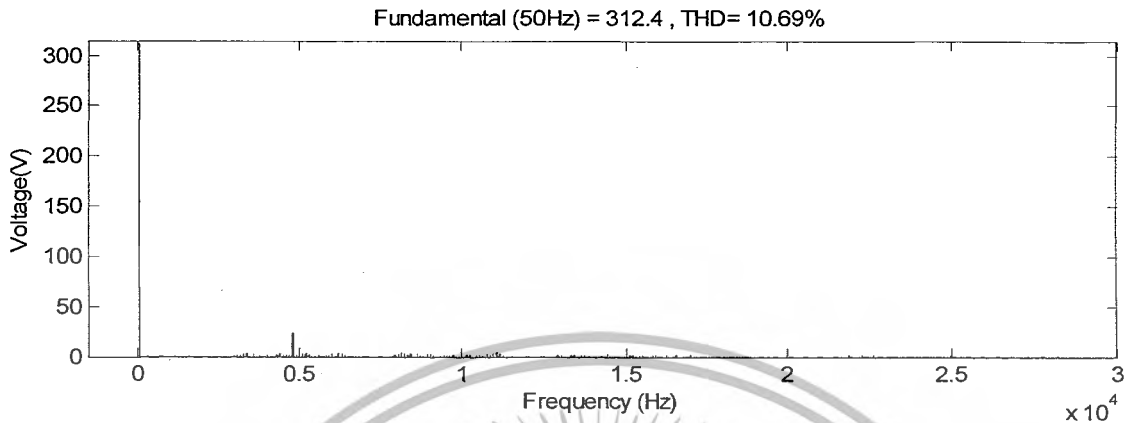
ภาพที่ 3.18 สัญญาณกระแสของอินเวอร์เตอร์ 11 ระดับ



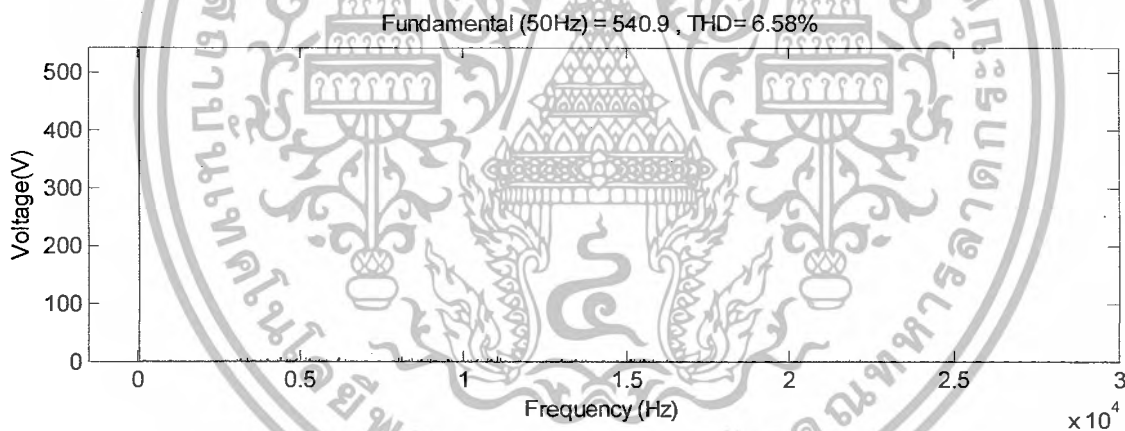
ภาพที่ 3.19 สัญญาณกระแสของอินเวอร์เตอร์ 2 ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.3.4 สเปกตรัมค่าความผิดเพี้ยนฮาร์โมนิรวมของแรงดัน

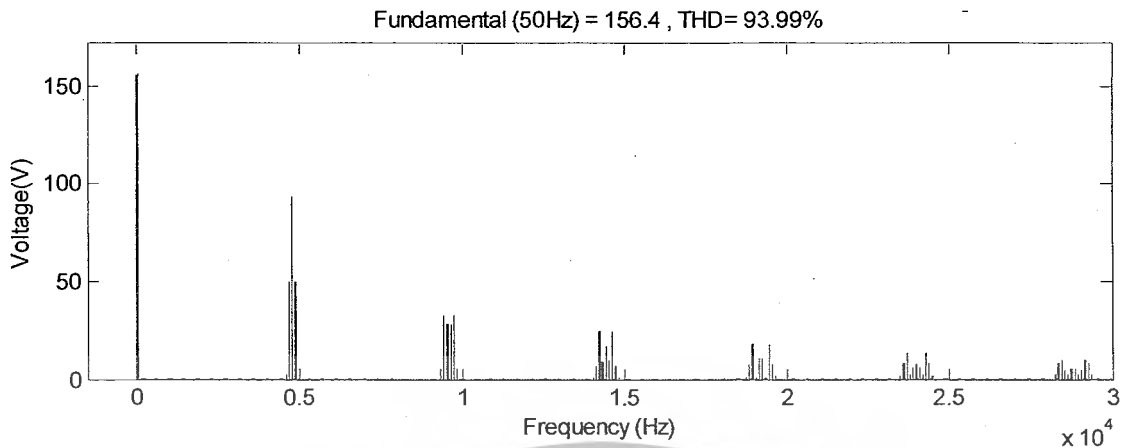


ภาพที่3.20 สเปกตรัมของค่าความผิดเพี้ยนฮาร์โมนิรวมของแรงดันเฟส ของอินเวอร์เตอร์ 11 ระดับ

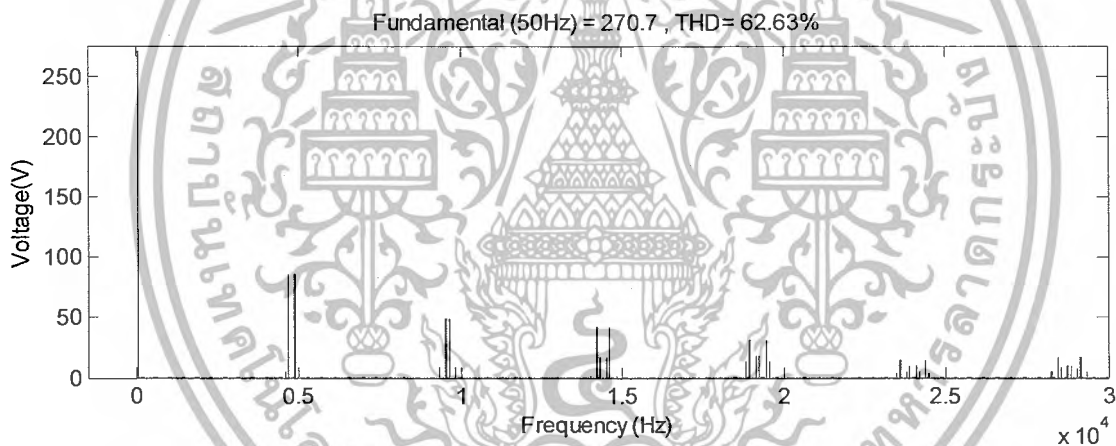


ภาพที่3.21 สเปกตรัมของค่าความผิดเพี้ยนฮาร์โมนิรวมของแรงดันไลน์ของอินเวอร์เตอร์ 11ระดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่3.22 สเปกตรัมของค่าความผิดเพี้ยนฮาร์โมนิรวมของแรงดันเฟส ของอินเวอร์เตอร์ 2 ระดับ



ภาพที่3.23 สเปกตรัมของค่าความผิดเพี้ยนฮาร์โมนิรวมของแรงดันไลน์ของอินเวอร์เตอร์ 2 ระดับ

จากภาพสเปกตรัมค่าความผิดเพี้ยนฮาร์โมนิรวมของแรงดัน จะสามารถเปรียบเทียบค่าเปอร์เซ็นต์ความผิดเพี้ยนฮาร์โมนิรวมของแรงดันระหว่างอินเวอร์เตอร์สองระดับกับอินเวอร์เตอร์ 11 ระดับที่ความถี่ 50 Hz จะมีค่าความผิดเพี้ยนฮาร์โมนิของแรงดันเฟสรวมคือ 10.69 % และ 93.99% ตามลำดับ ส่วนความผิดเพี้ยนฮาร์โมนิของแรงดันไลน์รวมคือ 6.58 % และ 62.63% ตามลำดับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.1 กำลังไฟฟ้าของอินเวอร์เตอร์

ลำดับอินเวอร์เตอร์	กำลังไฟฟ้า
INV1	10.37%
INV2	17.56%
INV3	21.55%
INV4	24.58%
INV5	25.94%

3.4 สรุป

จากผลการจำลองทดลอง จะเห็นว่ารูปสัญญาณแรงดันเฟสของอินเวอร์เตอร์ 11 ระดับ มีจำนวนขั้น 11 ระดับ และสัญญาณแรงดันไลน์ของอินเวอร์เตอร์ 11 ระดับ มีจำนวนขั้น 19 ระดับ ซึ่งตรงตามทฤษฎีที่กล่าวมาในบทที่ 2 และเมื่อนำสเปกตรัมค่าความผิดพลาดฮาร์โมนิกรวมของแรงดันเฟสและไลน์มาเปรียบเทียบกัน ต้องเทียบที่แรงดันมูลฐานเดียวกันและความถี่เดียวกัน จากผลสามารถยืนยันได้ว่าเมื่อจำนวนระดับของสัญญาณแรงดันมากขึ้นจะทำให้ค่าความผิดพลาดฮาร์โมนิกรวมของแรงดันน้อยลง จะทำให้ค่าสูญเสียจากแรงดันฮาร์โมนิกลดลงเพราะมีรูปคลื่นคล้ายไซน์มากขึ้น ซึ่งการจำลองนี้สามารถนำไปเป็นข้อมูลในการสร้างอินเวอร์เตอร์ 11 ระดับได้

บทที่ 4

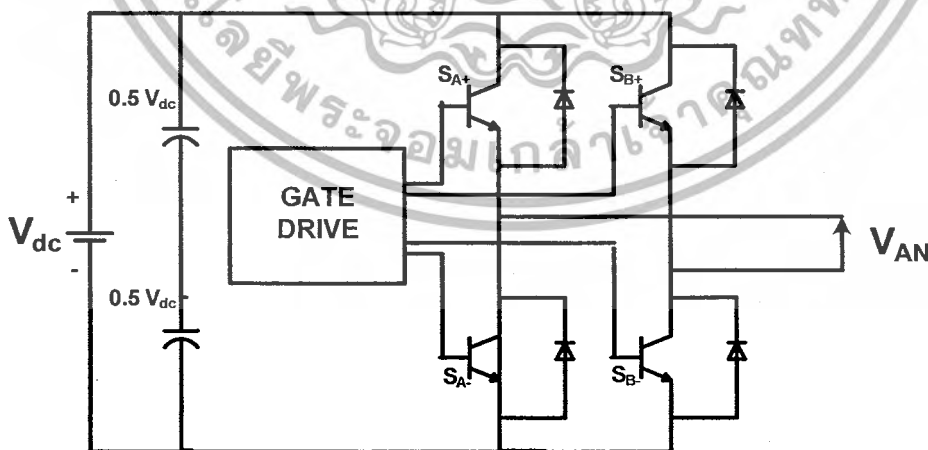
การออกแบบเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับ

การออกแบบเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับชนิดคาสเคดที่มีพิกัด 3 KVA , 220 V , 50 HZ จะประกอบไปด้วยการออกแบบวงจรหลักสองส่วนคือวงจรกำลังและวงจรควบคุม

4.1 การออกแบบวงจรกำลัง

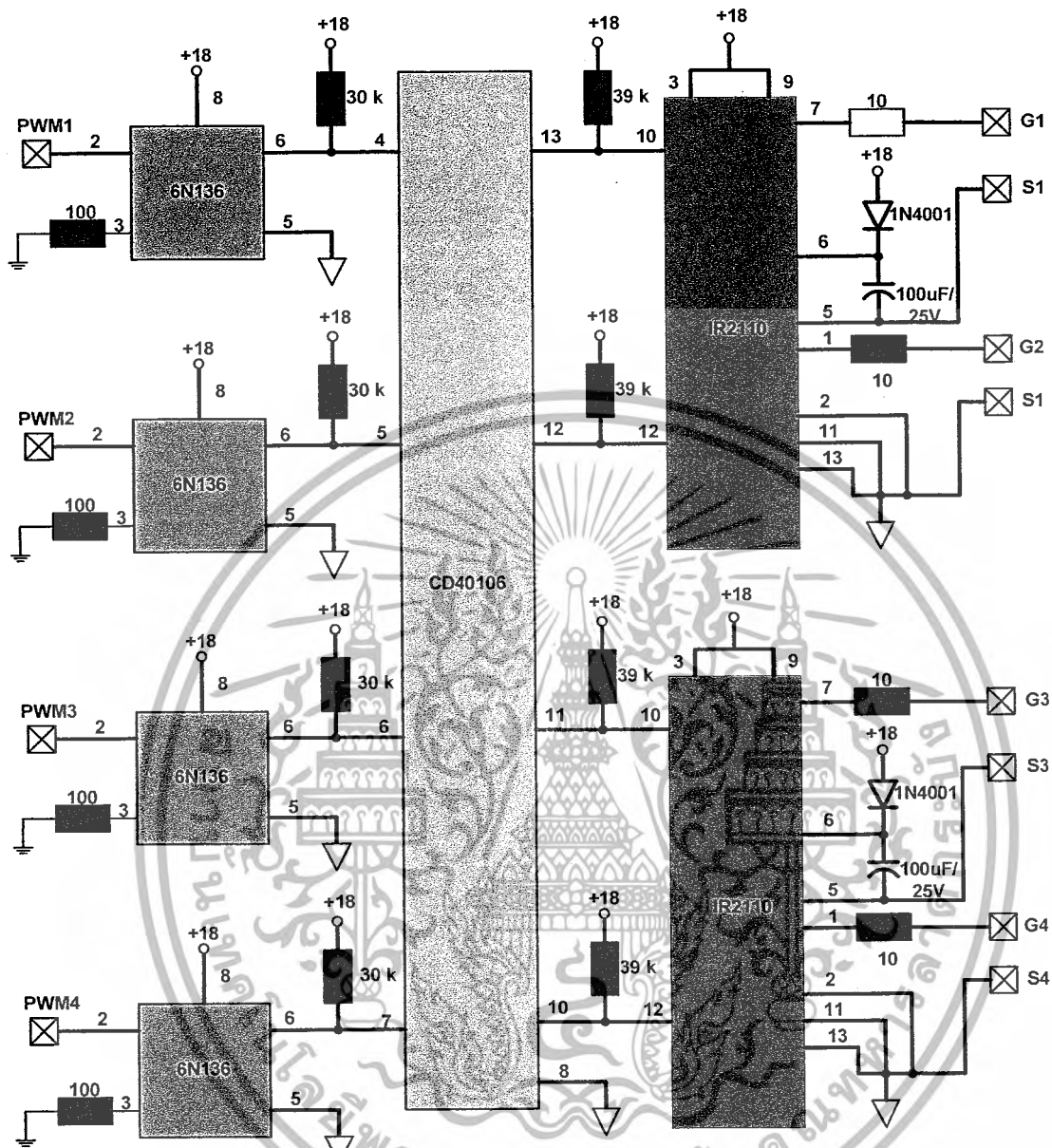
วงจรกำลังของเอช-บริดจ์อินเวอร์เตอร์ 11ระดับ จะประกอบไปด้วยอินเวอร์เตอร์แบบฟูลบริดจ์หนึ่งเฟสหลายตัวต่ออนุกรมกันภายในอินเวอร์เตอร์แบบฟูลบริดจ์หนึ่งเฟส มีอุปกรณ์สวิตช์ซึ่งเป็นมอสเฟสเบอร์ K1213 จำนวน 4 ตัว มีพิกัดแรงดัน 600 โวลท์ และมีพิกัด กระแส 7 แอมป์แปรดังภาพที่ 4.1 ซึ่งมอสเฟสแต่ละตัวจะมีวงจรถูกกำเนิดสัญญาณจากภายนอกเพื่อควบคุม สถานะทำงานของมอสเฟสทั้งหมด 60 ตัว และจะเรียกวงจรถูกกำเนิดสัญญาณนี้ว่าวงจรขับเคลื่อน (Gate Drive Circuit)

วงจรถูกกำเนิดดังภาพที่ 4.2 จะประกอบไปด้วยออปโตไอโซเลท(Opto Isolate) เบอร์ 6N136 ต่อแบบกลับสัญญาณ(Invert Signal)ให้แยกกราวด์กันระหว่างวงจรถูกกำเนิดและวงจรควบคุมเพื่อมิให้เกิด สัญญาณรบกวนระหว่างกัน จากนั้นออปโตไอโซเลทจะส่งสัญญาณไปยังไอซีเบอร์ CD40106 เพื่อให้ สัญญาณกลับมาเหมือนเดิมอีกครั้ง และสัญญาณที่ได้จะถูกส่งเข้าไปยังไอซีเบอร์ IR2110 ซึ่งเป็นตัวส่ง สัญญาณเข้าไปยังขาเกตของมอสเฟสเพื่อสั่งการให้อินเวอร์เตอร์ทำงาน



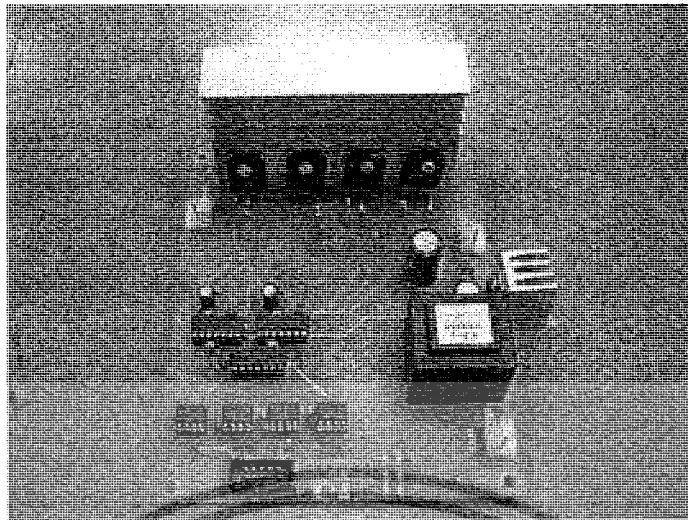
ภาพที่ 4.1 วงจรกำลังอินเวอร์เตอร์หนึ่งเฟสฟูลบริดจ์ที่มีมอสเฟสเป็นอุปกรณ์สวิตช์ซึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

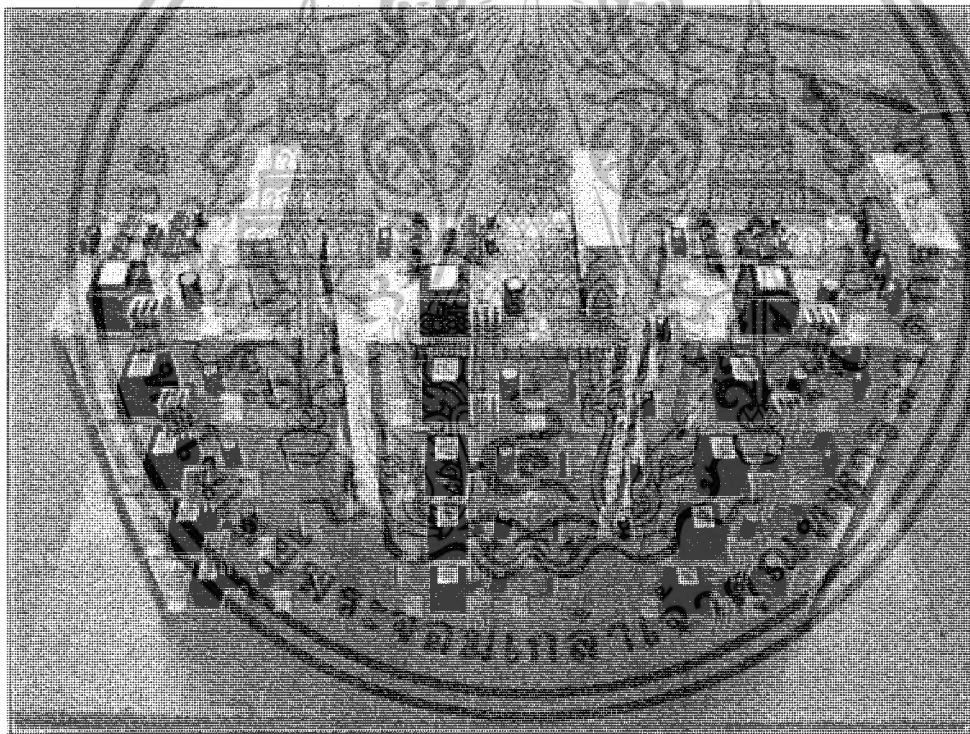


ภาพที่ 4.2 แผนผังการเชื่อมต่อของวงจรขับเกด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



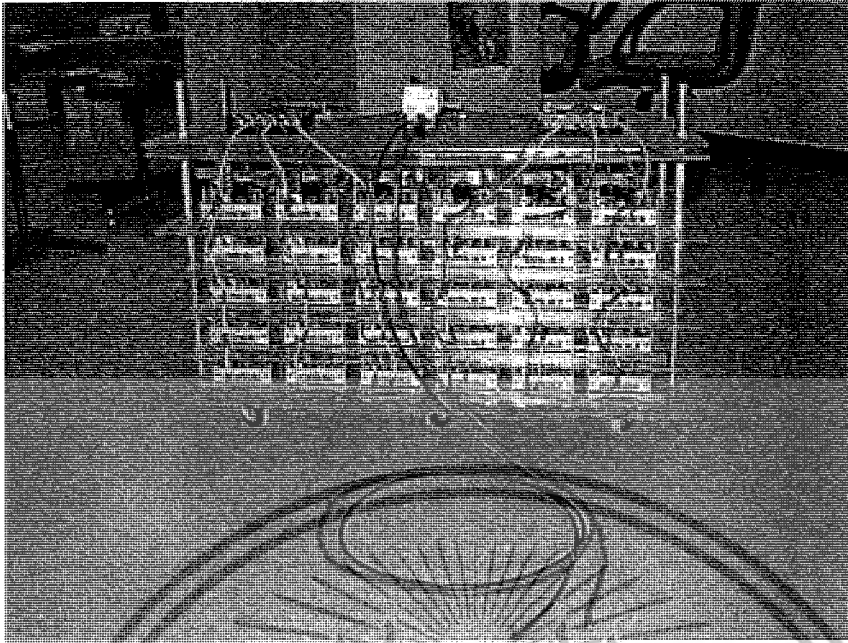
ภาพที่ 4.3 วงจรกำลังของอินเวอร์เตอร์หนึ่งเฟสฟูลบริดจ์ระดับที่สร้างขึ้นจริง



ภาพที่ 4.4 วงจรกำลังของอินเวอร์เตอร์ 11 ระดับ 3 เฟสที่สร้างขึ้นจริง

การออกแบบแหล่งจ่ายไฟฟ้ากระแสตรงแต่ละตัวที่แยกอิสระต่อกันของเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับ ได้ถูกออกแบบให้แหล่งจ่ายแต่ละชุดมีแรงดันไฟฟ้ากระแสตรง 62.5 โวลต์ โดยใช้แหล่งจ่ายจำนวน 5 ชุดต่อเฟส ทำให้มีค่ายอดแรงดันไฟฟ้ากระแสสลับด้านเอาต์พุตรวม 312.5 โวลต์ต่อเฟส หรือคิดเป็นแรงดันเฟส 220 โวลต์ต่อเฟส ซึ่งแรงดันไฟฟ้ากระแสสลับที่ได้นี้สามารถนำมา ใช้ประโยชน์กับอุปกรณ์ไฟฟ้าชนิดต่างๆ ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.5 แหล่งจ่ายแรงดันไฟฟ้ากระแสตรงที่สร้างขึ้นจริง

4.2 การออกแบบวงจรควบคุม

ในการออกแบบวงจรควบคุมมีจุดมุ่งหมายเพื่อกำเนิดสัญญาณพีดับบลิวเอ็มควบคุมมอสเฟสใน เอช-บริดจ์อินเวอร์เตอร์ 11ระดับ จะต้องใช้หลักการพื้นฐานของการสร้างสัญญาณพีดับบลิวเอ็มในอินเวอร์เตอร์ หลายระดับตามที่ได้กล่าวไว้ในบทที่ 2 ซึ่งสามารถนำไปสู่การประยุกต์ใช้กับการออกแบบวงจรควบคุมสัญญาณจริงได้

การออกแบบวงจรควบคุมในทางปฏิบัติจะใช้ไมโครโปรเซสเซอร์และไมโครคอนโทรลเลอร์(Microprocessor and Microcontroller) เป็นตัวกำเนิดสัญญาณพีดับบลิวเอ็มและควบคุมลำดับการทำงานของมอสเฟสในเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับ 3 เฟส สัญญาณควบคุมขาเกิดของ มอสเฟสทุกตัวจะมี สัญญาณควบคุม 60 สัญญาณ ซึ่งความซับซ้อนของสัญญาณซับซ้อนที่สร้างจะขึ้นอยู่กับจำนวนระดับของอินเวอร์เตอร์

หลักการควบคุมสัญญาณซับซ้อนจะเริ่มจากซีพียู(Control Processor Unit (CPU)) โดยเลือก ใช้ PIC (Peripheral Interface Controller) เบอร์ 18F4431 แล้วทำการเขียนโปรแกรมคอมพิวเตอร์ด้วยภาษาแอสเซมบลี(Assembly Language) เพื่อสร้างสัญญาณพีดับบลิวเอ็มและสัญญาณค่าคงที่ หลังจากนั้นนำสัญญาณที่ได้มาเข้าวงจรผสมสัญญาณ(Combine Circuit) เพื่อทำการเปรียบเทียบสัญญาณ แบบลอจิก(Logic) โดยเลือกใช้ CPLD (Complex Logic Device) เบอร์ X9536XL-7C จำนวน 3 ตัว ซึ่งจะได้สัญญาณซับซ้อนของมอสเฟสทั้งหมด 60 สัญญาณ จากหลักการออกแบบวงจรควบคุมดังกล่าวสามารถแบ่งขั้นตอนและรายละเอียดของการออกแบบวงจรควบคุมได้ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

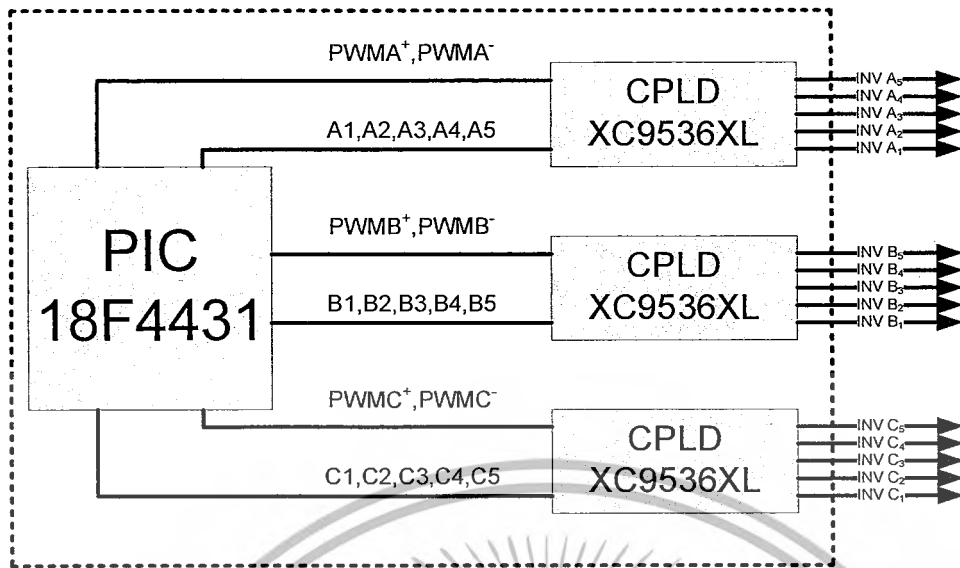
4.2.1 การออกแบบโปรแกรม

การออกแบบโปรแกรมควบคุมซีพียูโดยเลือกใช้ PIC เบอร์ 18F4431 เพื่อทำการสร้างสัญญาณ พีดับบลิวเอ็มและสัญญาณค่าคงที่ ซึ่งซีพียูที่เลือกใช้ในปริภูมิตัวนี้จะมีคุณสมบัติในด้านต่างๆ เช่น มีพอร์ตให้เลือกใช้งานทั้งหมด 36 พอร์ต, พอร์ตช่องสัญญาณเพื่อสร้างสัญญาณพีดับบลิวเอ็ม 8 พอร์ต , หน่วยความจำของข้อมูล 16 กิโลไบต์ , มีพอร์ตการแปลงสัญญาณดิจิทัลเป็นสัญญาณอนาล็อก(Digital to Analog), ความถี่ในการทำงาน 1 MHZ, สามารถเขียนและลบโปรแกรมได้ ประมาณ 100,000 ครั้ง เป็นต้น

การเขียนโปรแกรมคอมพิวเตอร์สร้างชุดสัญญาณพีดับบลิวเอ็มสัญญาณค่าคงที่ด้วยภาษาแอสเซมบลีในโปรแกรมเอ็มพีแลบ(MP LAB) ซึ่งจะทำการสร้างสัญญาณพีดับบลิวเอ็มที่สามารถปรับเปลี่ยนความถี่ได้ โดยใช้หลักการควบคุมแบบสเกลาร์ (Scalar Control) เพื่อให้อัตราส่วนระหว่างแรงดันกับความถี่มีค่าคงที่(Open Loop Volts / HZ Control) ซึ่งได้ถูกอธิบาย ใน [3] เมื่อนำหลักการดังกล่าวมาประยุกต์กับการเขียนโปรแกรมจะได้สัญญาณพีดับบลิวเอ็ม(PWM+) 3 สัญญาณที่เฟสต่างกัน 120 องศา สัญญาณพีดับบลิวเอ็มตรงกันข้ามกับสัญญาณพีดับบลิวเอ็ม (PWM-) 3 สัญญาณ และสัญญาณค่าคงที่ (A1 , A2 , A3 , A4 , A5) 5 สัญญาณ เมื่อได้สัญญาณที่กำหนดจาก ตัวซีพียูครบตามต้องการแล้ว หลังจากนั้นนำสัญญาณที่ได้มาเข้าสู่วงจรผสมสัญญาณ เพื่อทำการเพิ่มจำนวนสัญญาณขั้วเกิดของมอสเฟสให้ครบทุกตัว

4.2.2 การออกแบบวงจรผสมสัญญาณ

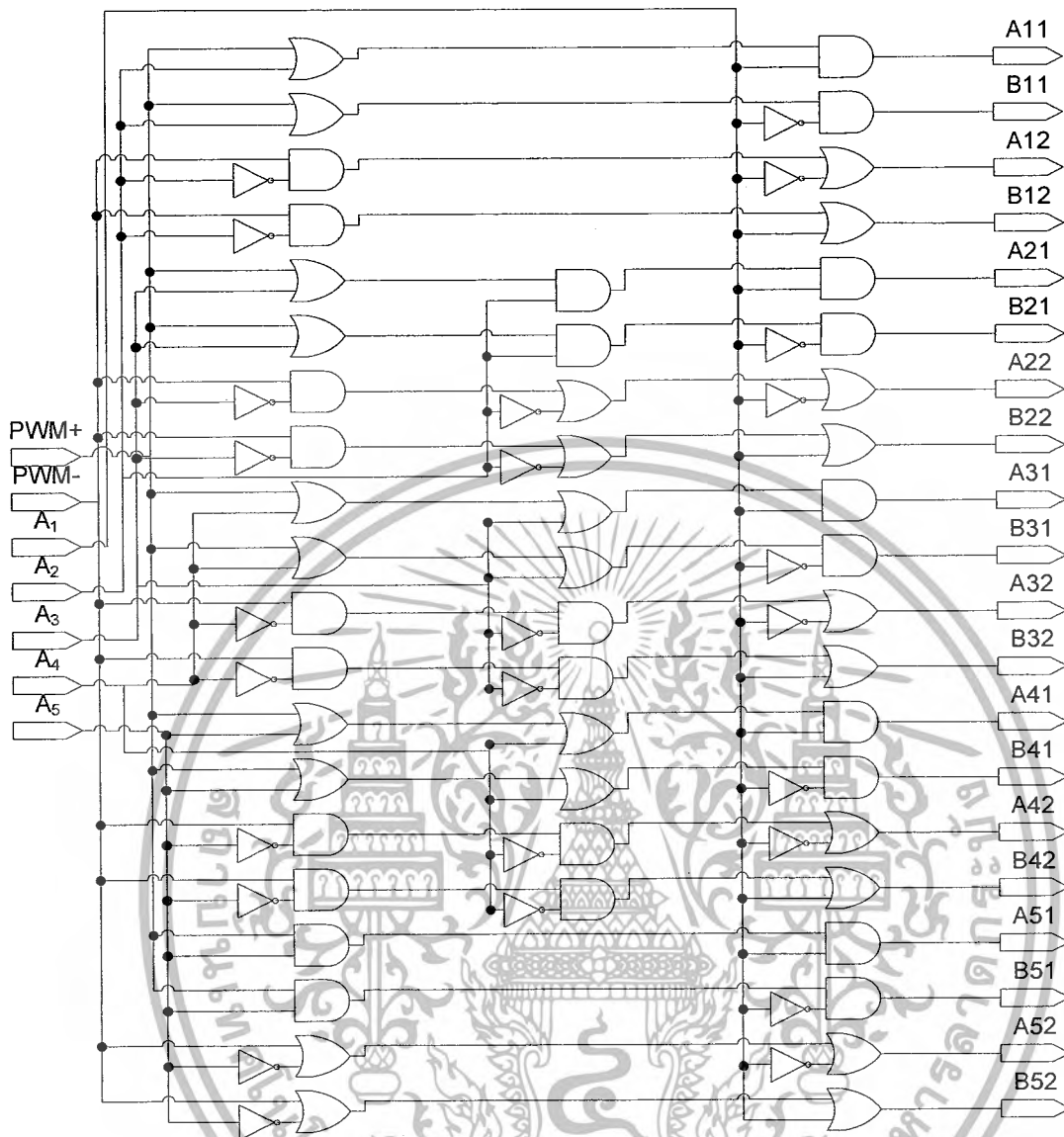
การออกแบบวงจรผสมสัญญาณในภาพที่ 4.6 จะเลือกใช้ CPLD เบอร์ X9536XL-7C เพื่อทำการเปรียบเทียบทางลอจิกของสัญญาณที่กำหนดมาจากซีพียู โดยจะเป็นการเพิ่มจำนวนสัญญาณขั้วเกิดของมอสเฟสให้ครบทุกตัว CPLD ที่เลือกใช้ในการออกแบบวงจรผสมสัญญาณในปริภูมิตัวนี้จะมี คุณสมบัติในด้านต่างๆ เช่น มีพอร์ตให้เลือกใช้งานทั้งหมด 34 พอร์ต, สามารถกำหนดเหตุการณ์ใช้งานได้ 800 เหตุ , ความเร็วในการประมวลผล 7 nS , สามารถเขียนและลบโปรแกรมได้ประมาณ 100,000 ครั้ง เป็นต้น



ภาพที่ 4.6 แผนผังการเชื่อมต่อวงจรผสมสัญญาณ

ในการออกการทำงานของ CPLD จะใช้การกำหนดเกตเพื่อทำการเปรียบเทียบทางลอจิกของ สัญญาณที่กำเนิดมาจากซีพียูดังแสดงในภาพที่ 4.7 โดยใช้โปรแกรม Xilinx ISE กำหนดเกตและผสม สัญญาณตามสมการบูลีน จะได้สัญญาณขับเกตของมอสเฟสทั้งหมด 60 สัญญาณ

จากหลักการที่กล่าวไว้ข้างต้นสามารถอธิบายหลักการทำงานของอินเวอร์เตอร์ 11 ระดับชนิดคาสเคดเอชบริดจ์ ดังแสดงในรูปแผนผังการดำเนินงานที่ 4.10



ภาพที่ 4.7 การกำหนดเกตเพื่อทำการเปรียบเทียบสัญญาณทางโลจิกโดยใช้
โปรแกรม Xilinx ISE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สมการบูลีนของภาพที่ 4.7

อินเวอร์เตอร์ตัวที่ 1

$$A+ = (PWM^+ + A_2) \bullet A_1 \quad (4.1)$$

$$B+ = (PWM^+ + A_2) \bullet \bar{A}_1 \quad (4.2)$$

$$A- = (PWM^- \bullet \bar{A}_2) + \bar{A}_1 \quad (4.3)$$

$$B- = (PWM^- \bullet \bar{A}_2) + A_1 \quad (4.4)$$

อินเวอร์เตอร์ตัวที่ 2

$$A+ = ((PWM^+ + A_3) \bullet A_2) \bullet A_1 \quad (4.5)$$

$$B+ = ((PWM^+ + A_3) \bullet A_2) \bullet \bar{A}_1 \quad (4.6)$$

$$A- = ((PWM^- \bullet \bar{A}_3) + \bar{A}_2) + \bar{A}_1 \quad (4.7)$$

$$B- = ((PWM^- \bullet \bar{A}_3) + \bar{A}_2) + A_1 \quad (4.8)$$

อินเวอร์เตอร์ตัวที่ 3

$$A+ = ((PWM^+ + A_4) \bullet A_3) \bullet A_1 \quad (4.9)$$

$$B+ = ((PWM^+ + A_4) \bullet A_3) \bullet \bar{A}_1 \quad (4.10)$$

$$A- = ((PWM^- \bullet \bar{A}_4) + \bar{A}_3) + \bar{A}_1 \quad (4.11)$$

$$B- = ((PWM^- \bullet \bar{A}_4) + \bar{A}_3) + A_1 \quad (4.12)$$

อินเวอร์เตอร์ตัวที่ 4

$$A+ = ((PWM^+ + A_5) \bullet A_4) \bullet A_1 \quad (4.13)$$

$$B+ = ((PWM^+ + A_5) \bullet A_4) \bullet \bar{A}_1 \quad (4.14)$$

$$A- = ((PWM^- \bullet \bar{A}_5) + \bar{A}_4) + \bar{A}_1 \quad (4.15)$$

$$B- = ((PWM^- \bullet \bar{A}_5) + \bar{A}_4) + A_1 \quad (4.16)$$

อินเวอร์เตอร์ตัวที่ 5

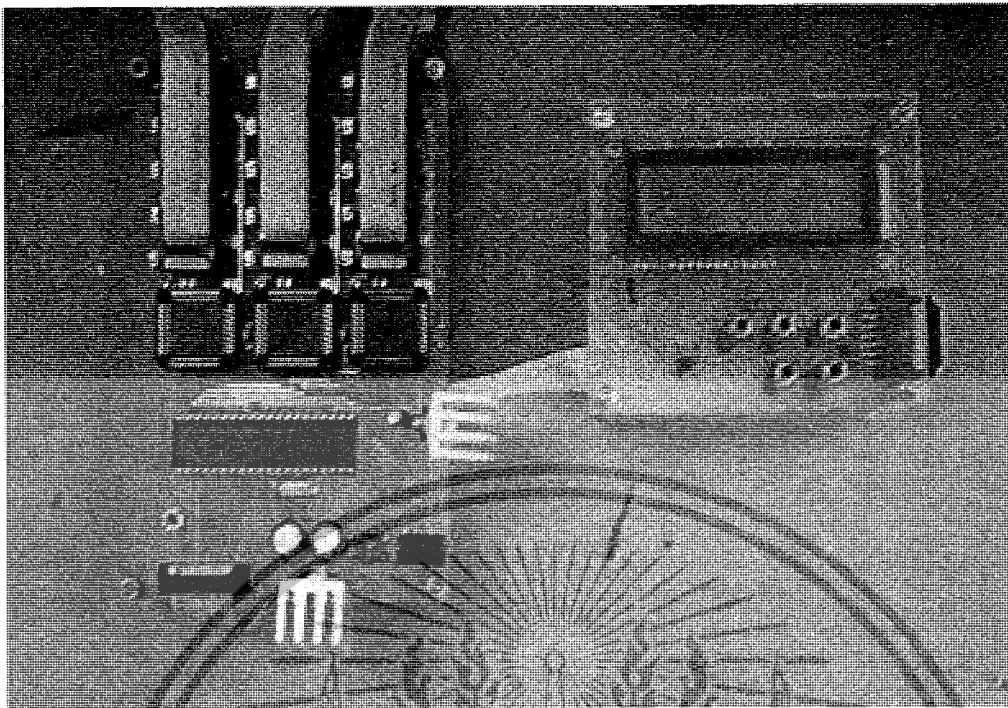
$$A+ = (PWM^+ \bullet A_5) \bullet A_1 \quad (4.17)$$

$$B+ = (PWM^+ \bullet A_5) \bullet \bar{A}_1 \quad (4.18)$$

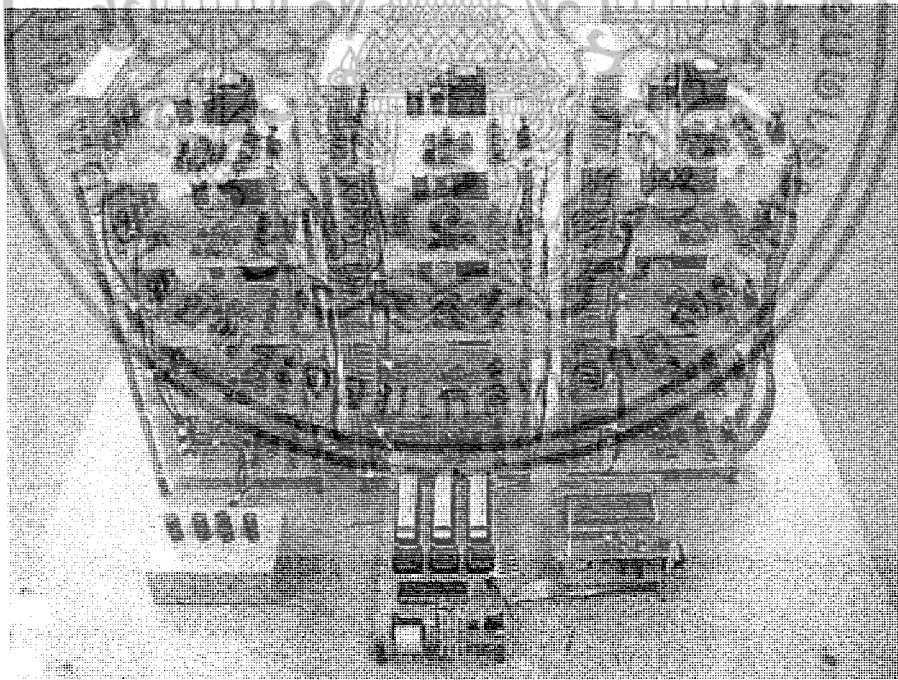
$$A- = (PWM^- + \bar{A}_5) + \bar{A}_1 \quad (4.19)$$

$$B- = (PWM^- + \bar{A}_5) + A_1 \quad (4.20)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

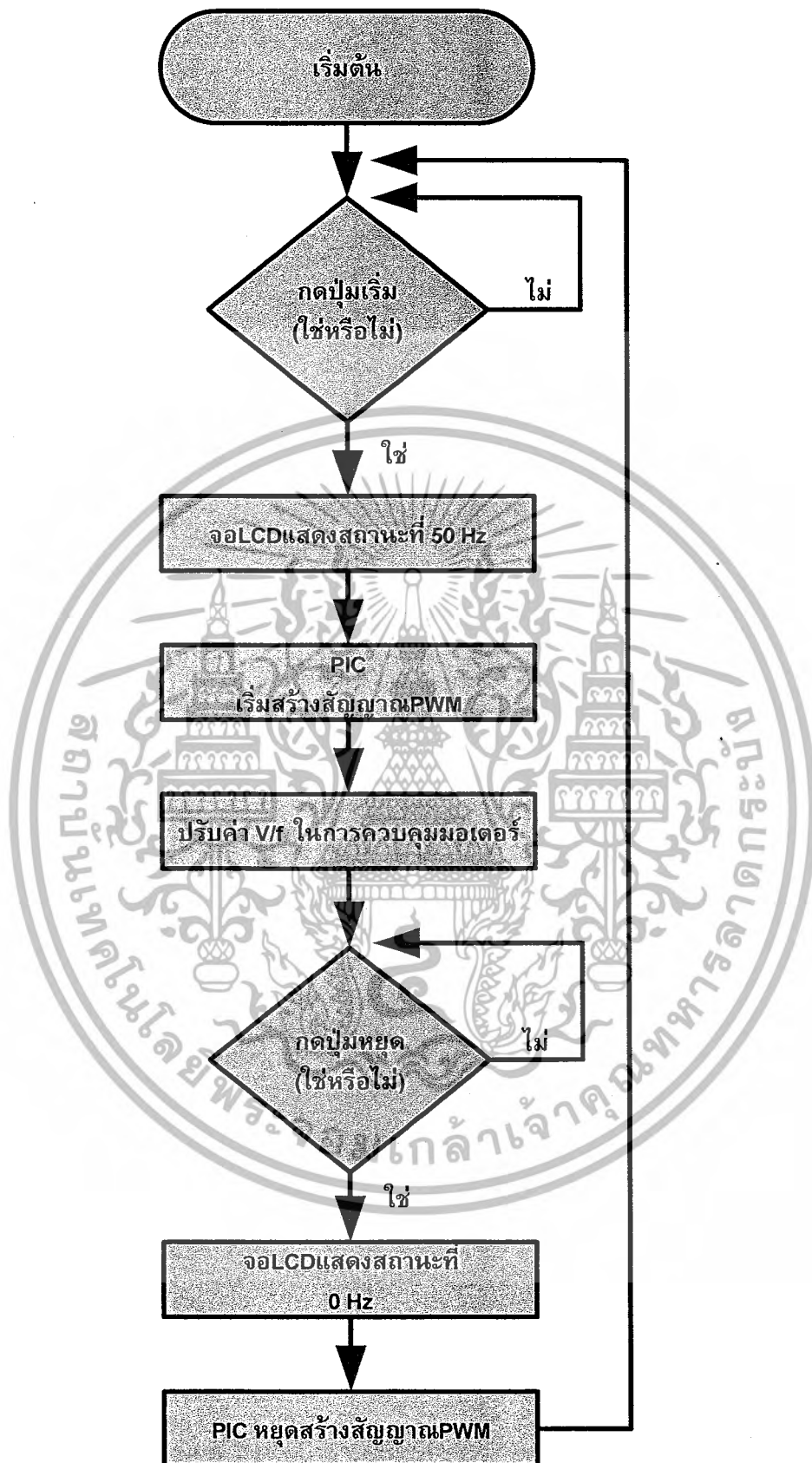


ภาพที่ 4.8 วงจรควบคุมที่สร้างขึ้นจริง



ภาพที่ 4.9 วงจรกำลังและวงจรควบคุมของอินเวอร์เตอร์ 11 ระดับชนิดคาสเคดเอชบริดจ์
ที่พร้อมทดสอบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.10 แผนผังการดำเนินงานของอินเวอร์เตอร์ 11 ระดับชนิดคาสเคดเอชบริดจ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 สรุป

ในบทนี้ได้แสดงหลักการออกแบบอินเวอร์เตอร์ 11 ระดับชนิดคาสเคดเอชบริดจ์ จะประกอบไปด้วยการออกแบบวงจรหลักสองส่วน คือวงจรกำลังและวงจรควบคุมซึ่งในส่วนของวงจรควบคุมจะต้องเข้าใจหลักการพื้นฐานของการสร้างสัญญาณพีดับบลิวเอ็ม และสามารถนำไปสู่การประยุกต์ใช้วงจรควบคุมกับไมโครโปรเซสเซอร์ และไมโครคอนโทรลเลอร์ เพื่อผลิตสัญญาณขับเคลื่อนของมอเตอร์ทุกตัวในอินเวอร์เตอร์หลายระดับได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

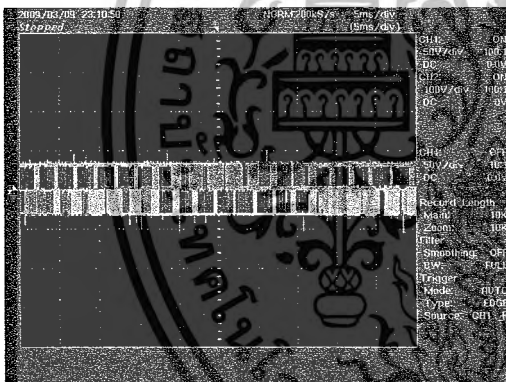
บทที่ 5

ผลการทดสอบเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับ

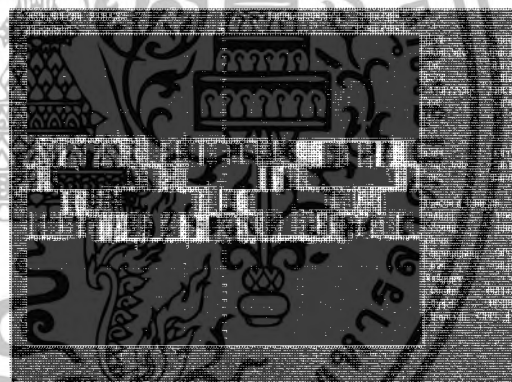
ในการทดสอบเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับ โดยเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับที่ใช้ในการทดสอบจะมีคุณสมบัติดังนี้แหล่งจ่ายไฟตรงของอินเวอร์เตอร์แต่ละตัว 62.5 โวลต์เพื่อแทนเซลล์แสงอาทิตย์, ความถี่สวิตช์เท่ากับ 4.8 kHz และการมอดูเลตแบบ SPWM แล้วทำการวัดสัญญาณแรงดันและกระแสขาออกและปรับความถี่ในย่านต่างๆ แล้วสังเกตการเปลี่ยนแปลงที่เกิดขึ้นโดยการปรับความถี่มูลฐานตั้งแต่ 10 ถึง 80 Hz ในการทดสอบนี้ได้ทดสอบขณะไร้ภาระไฟฟ้าและขณะมีภาระทางไฟฟ้า

5.1 ผลการทดสอบขณะไม่มีภาระทางไฟฟ้า

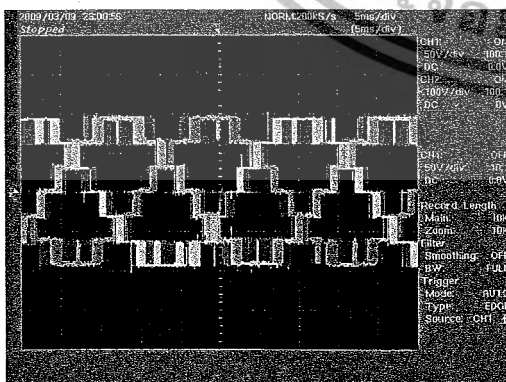
จากการทดสอบการปรับความถี่มูลฐานจะเห็นได้ว่า การปรับความถี่มูลฐานมีผลต่อแรงดันเฟสและแรงดันไลน์ขาออกและจำนวนระดับของแรงดันเฟสและแรงดันไลน์ผลการทดลองที่ได้เป็นดังนี้



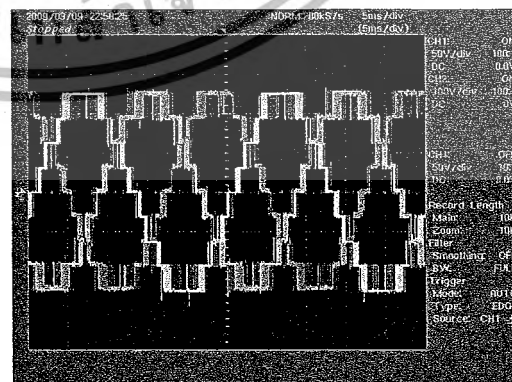
ก)



ข)

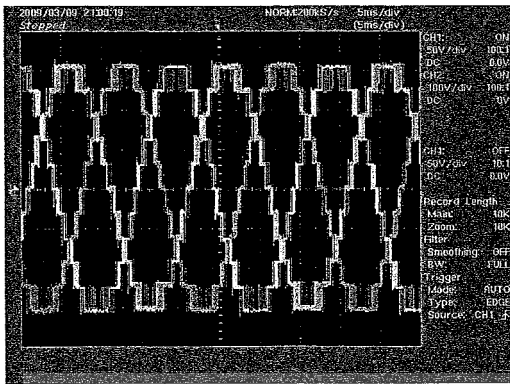


ค)

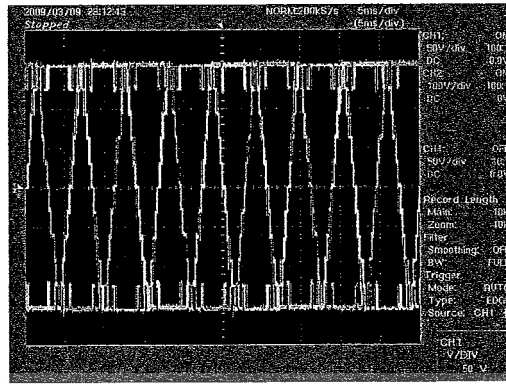


ง)

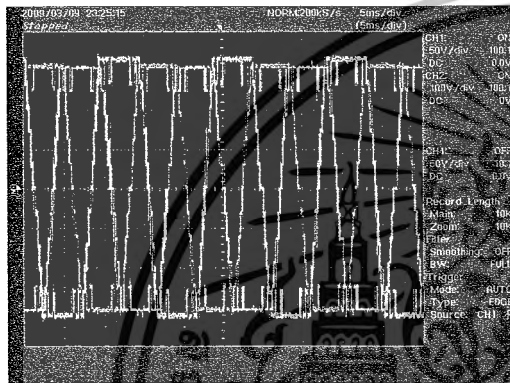
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



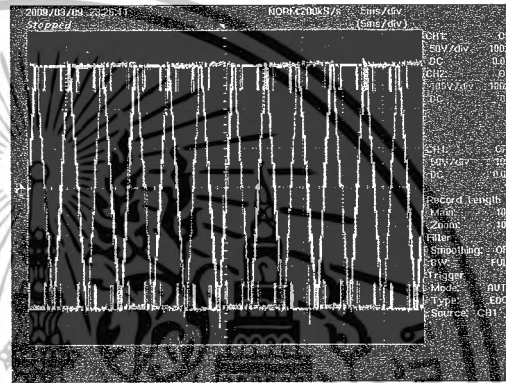
จ)



ฉ)



ช)

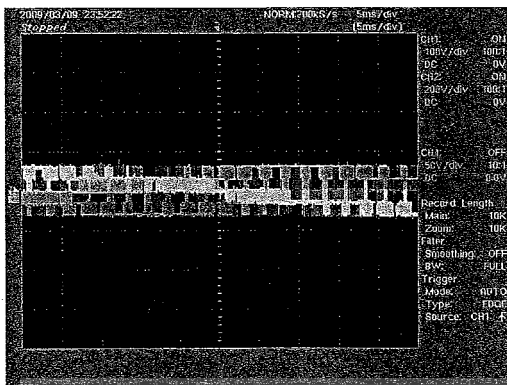


ซ)

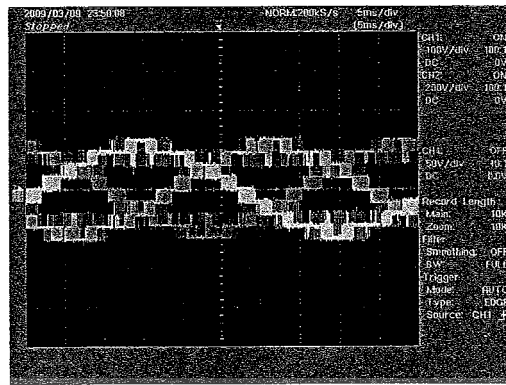
ภาพที่ 5.1 แสดงสัญญาณแรงดันเฟสที่มีความถี่มูลฐานต่าง ๆ
 ก) ที่ความถี่มูลฐาน 10 Hz ข) ที่ความถี่มูลฐาน 20 Hz ค) ที่ความถี่มูลฐาน 30 Hz
 ง) ที่ความถี่มูลฐาน 40 Hz จ) ที่ความถี่มูลฐาน 50 Hz ฉ) ที่ความถี่มูลฐาน 60 Hz
 ช) ที่ความถี่มูลฐาน 70 Hz ซ) ที่ความถี่มูลฐาน 80 Hz

จากภาพที่ 5.1 ผลการทดลองสัญญาณแรงดันเฟสที่มีความถี่มูลฐานต่าง ๆ เมื่อทำการปรับความถี่เพิ่มขึ้นในสภาวะที่ไว้ภาระทางไฟฟ้าพบว่า ที่ความถี่มูลฐาน 10 Hz ถึง 50 Hz แอมพลิจูด(Amplitude)ของแรงดันและจำนวนระดับจะมีค่าเพิ่มขึ้น ซึ่งการเพิ่มขึ้นของความถี่ทำให้รูปคลื่นแรงดันที่ได้มีรูปคลื่นแรงดันร่างคล้ายคลึงกับรูปคลื่นไซน์มากขึ้น และเมื่อทำการปรับความถี่มากกว่า 50 Hz พบว่าแอมพลิจูด(Amplitude)ของแรงดันและจำนวนระดับจะมีค่าไม่เปลี่ยนแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ก)



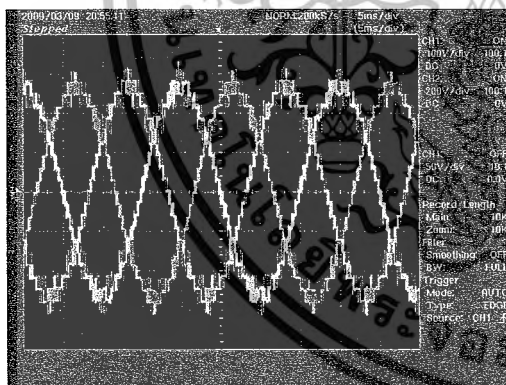
ข)



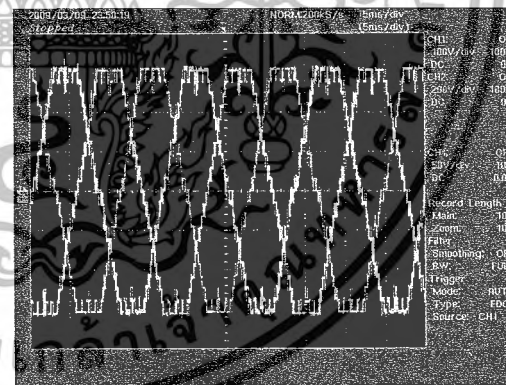
ค)



ง)

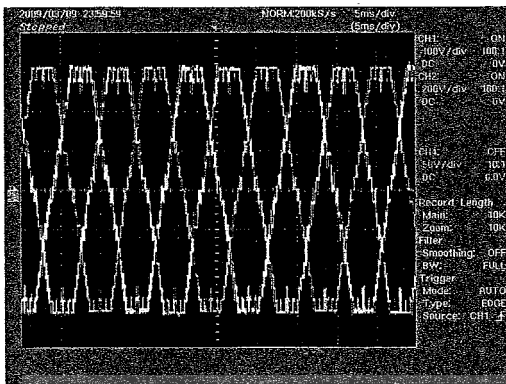


จ)

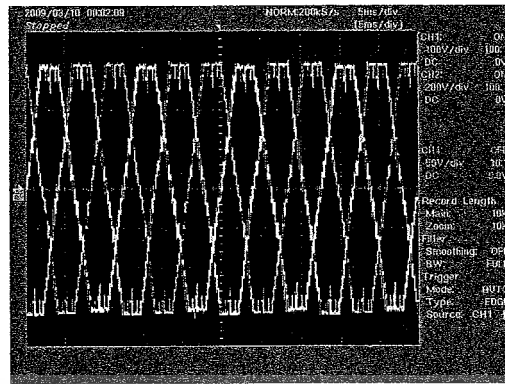


ฉ)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ข)



ข)

ภาพที่ 5.2 แสดงสัญญาณแรงดันโวลต์ที่ความถี่มูลฐานต่างๆ

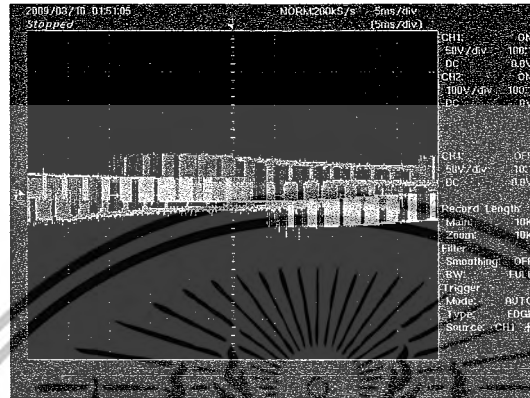
- ก) ที่ความถี่มูลฐาน 10 Hz ข) ที่ความถี่มูลฐาน 20 Hz ค) ที่ความถี่มูลฐาน 30 Hz
 ง) ที่ความถี่มูลฐาน 40 Hz จ) ที่ความถี่มูลฐาน 50 Hz ฉ) ที่ความถี่มูลฐาน 60 Hz
 ช) ที่ความถี่มูลฐาน 70 Hz ซ) ที่ความถี่มูลฐาน 80 Hz

จากภาพที่ 5.2 ผลการทดลองสัญญาณแรงดันโวลต์ที่ความถี่มูลฐานต่างๆ เมื่อทำการปรับความถี่เพิ่มขึ้นในสภาวะที่ไร้อุปกรณ์ไฟฟ้าพบว่า ที่ความถี่มูลฐาน 10 Hz ถึง 50 Hz แอมพลิจูด(Amplitude)ของแรงดันและจำนวนระดับจะมีค่าเพิ่มขึ้น ซึ่งการเพิ่มขึ้นของความถี่ทำให้รูปคลื่นแรงดันที่ได้มีรูปคลื่นแรงดันร่างคล้ายคลึงกับรูปคลื่นไซน์มากขึ้น และเมื่อทำการปรับความถี่มากกว่า 50 Hz พบว่าแอมพลิจูด(Amplitude)ของแรงดันและจำนวนระดับจะมีค่าไม่เปลี่ยนแปลง

การเปรียบเทียบระหว่างสัญญาณแรงดันเฟสและสัญญาณแรงดันโวลต์ที่ความถี่เดียวกันพบว่า แอมพลิจูดของแรงดันและจำนวนระดับของแรงดันโวลต์จะมีค่ามากกว่าแรงดันเฟส

5.2 ผลการทดสอบขณะมีภาระทางไฟฟ้า

ในการทดสอบอินเวอร์เตอร์ 11 ระดับแบบคาสเคดจะใช้มอเตอร์ไฟฟ้าเหนี่ยวนำ 3 เฟส ที่มีพิกัด 3 HP (2.2 kW), 380 Volts, 50 Hz, 5 Ampere, 1420 rpm, PF 0.8 จะได้ผลดังนี้

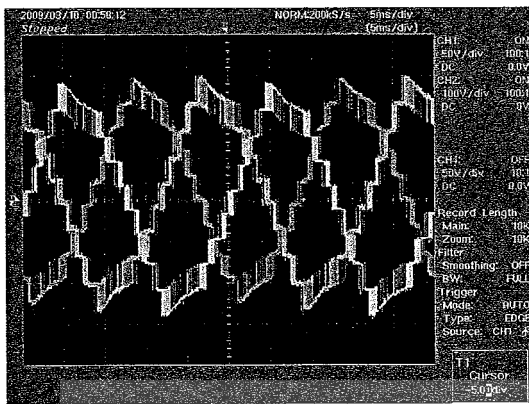


ก)

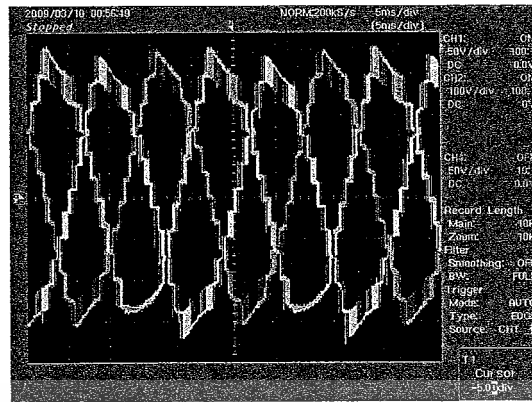


ข)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ง)



จ)

ภาพที่ 5.3 แสดงสัญญาณแรงดันเฟสที่มีความถี่มูลฐานต่าง ๆ
 ก) ที่ความถี่มูลฐาน 10 Hz ข) ที่ความถี่มูลฐาน 20 Hz ค) ที่ความถี่มูลฐาน 30 Hz
 ง) ที่ความถี่มูลฐาน 40 Hz จ) ที่ความถี่มูลฐาน 50 Hz

จากภาพที่ 5.3 ผลการทดลองสัญญาณแรงดันเฟสที่มีความถี่มูลฐานต่าง ๆ เมื่อทำการปรับความถี่เพิ่มขึ้นในสภาวะที่ไว้ภาระทางไฟฟ้าพบว่า ที่ความถี่มูลฐาน 10 Hz ถึง 50 Hz แอมพลิจูด (Amplitude) ของแรงดันและจำนวนระดับจะมีค่าเพิ่มขึ้น ซึ่งการเพิ่มขึ้นของความถี่ทำให้รูปคลื่นแรงดันที่ได้มีรูปคลื่นแรงดันร่างคล้ายคลึงกับรูปคลื่นไซน์มากขึ้น และเมื่อทำการปรับความถี่มากกว่า 50 Hz พบว่าจะทำให้มีกระแสเกินในวงจร ซึ่งอาจทำให้มอเตอร์เสียหายได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.3 สรุป

จากการทดลองอินเวอร์เตอร์ 11 ระดับแบบเอชบริดจ์ที่สภาวะไม่มีภาระทางไฟฟ้าพบว่า เมื่อทำการปรับค่าความถี่เพิ่มขึ้นทีละ 10 ค่าโดยเริ่มต้นจาก 10 Hz ซึ่งจะมีผลให้รูปคลื่นแรงดันเอาต์พุตมีค่าแอมพลิจูดและจำนวนระดับจะเพิ่มขึ้น จนกระทั่งปรับค่าความถี่ 50 Hz ค่าแอมพลิจูดของแรงดันเอาต์พุตและจำนวนระดับจะมีค่ามากที่สุด และหากทำการปรับค่าความถี่เพิ่มขึ้นไปอีก พบว่าค่าแอมพลิจูดของแรงดันและจำนวนระดับจะมีค่าไม่เปลี่ยนแปลง

ในส่วนของการทดลองที่สภาวะมีภาระทางไฟฟ้าคือมอเตอร์ไฟฟ้าเหนี่ยวนำ ผลการทดลองจะให้ผลคล้ายคลึงกับสภาวะไร้โหลด แต่เมื่อปรับค่าความถี่เกิน 50 Hz จะทำให้มีกระแสเกินในวงจร ซึ่งอาจทำให้มอเตอร์เสียหายได้



บทที่ 6

สรุปและข้อเสนอแนะ

6.1 สรุป

ผลการทดลอง อินเวอร์เตอร์หลายระดับแบบ 11ระดับ ที่สร้างจากทฤษฎีที่กล่าวมาพบว่า เราสามารถสร้างรูปคลื่นสัญญาณแรงดันเฟสที่มีจำนวน 11 ระดับมีลักษณะคล้ายไซน์แต่จะมี สัญญาณรบกวน(noise) เล็กน้อย สัญญาณรบกวนที่เกิดขึ้นสันนิษฐานว่าอาจจะมีมาจาก สวิตชิงเพาเวอร์ซัพพลาย(Switching Power Supply)และเมื่อนำมาขับโหลดมอเตอร์ รูปคลื่นที่ได้จะเปลี่ยนแปลงไปจากเดิมเล็กน้อยโดยที่ยอดรูปคลื่นที่ได้จะมีลักษณะเฉียงลงแต่ยังเป็น 11 ระดับเช่นเดิม

เราได้ทำการทดสอบอีกว่าเมื่ออินเวอร์เตอร์ตัวใดตัวหนึ่งมีปัญหาแล้ว อินเวอร์เตอร์ตัวอื่นๆที่เหลือยังสามารถทำงานได้ โดยทำการบายพาส(Bypass) สัญญาณของอินเวอร์เตอร์ตัวใดตัวหนึ่งในชุดอินเวอร์เตอร์ 11ระดับ และทำการทดสอบพบว่า อินเวอร์เตอร์ตัวอื่นๆยังสามารถทำงานได้ตามปกติ รูปคลื่นสัญญาณแรงดันเฟสที่ได้จะมีจำนวน 9 ระดับ ตามทฤษฎี

ในการทดลองเปลี่ยนความถี่โดยใช้การควบคุมแบบความถี่ต่อความเร็วคงที่ ทำการทดลองโดยการปรับเพิ่มและลดจากความถี่มูลฐานที่ 50 Hz พบว่าเมื่อเราปรับลดความถี่ลงเรื่อยๆจำนวนระดับของรูปคลื่นที่ได้ก็จะลดลงเรื่อยๆโดยจะลดลงประมาณ 2 ระดับ ต่อการลดความถี่ลง 10 Hz และเมื่อทำการเพิ่มความถี่ขึ้นจากความถี่มูลฐานที่ 50 Hz จำนวนระดับของรูปคลื่นจะคงที่ที่ 11 ระดับ แต่ความกว้างของรูปคลื่นจะลดลงเรื่อยๆตามการเพิ่มของความถี่ และเมื่อนำการทดลองนี้มาทำการขับโหลดมอเตอร์พบว่า เมื่อลดความถี่ลงความเร็วมอเตอร์ก็จะลดลง และเมื่อเพิ่มความถี่ขึ้นความเร็วมอเตอร์จะเพิ่มขึ้นเช่นกัน

จากผลการทดลองทั้งหมดของอินเวอร์เตอร์หลายระดับแบบ 11 ระดับมีความสามารถตามบทความที่ได้นำเสนอและเราสามารถนำอินเวอร์เตอร์หลายระดับไปประยุกต์ใช้กับการใช้งานอื่นๆตามความเหมาะสมได้โดยการปรับจำนวนระดับของอินเวอร์เตอร์หลายระดับตามจำนวนของแหล่งจ่ายไฟตรงและค่าแรงดันที่ได้ในแต่ละแหล่งจ่ายตามความเหมาะสมของการใช้งานและสถานการณ์

6.2 ข้อเสนอแนะโครงการ

- เนื่องจากรูปคลื่นแรงดันที่ได้จากอินเวอร์เตอร์ 11 ระดับนั้นมีสัญญาณรบกวนเข้ามาแทรกเราสามารถกำจัดทิ้งโดยการติดตั้งตัวคาร์ปาซีเตอร์ค่าน้อยๆที่แหล่งจ่ายกระแสตรงเพื่อกรองสัญญาณรบกวนที่เกิดขึ้น
- เมื่อเราใช้อินเวอร์เตอร์มาขับโหลดมอเตอร์พบว่ารูปคลื่นแรงดันที่ได้จะมีลักษณะของยอดที่ไม่เรียบแต่มีลักษณะเฉียง เราสามารถแก้ไขได้โดยการติดตั้งตัวคาร์ปาซีเตอร์ค่าใหญ่ๆเพื่อมาชดเชยแรงดันที่ตกขณะขับมอเตอร์
- การทำงานของอินเวอร์เตอร์หลายระดับมีการทำงานแบบไม่มีการเฉลี่ยโหลดจึงทำให้การทำงานของอินเวอร์เตอร์ไม่เท่ากันทำให้อายุการใช้งานของอินเวอร์เตอร์แต่ละตัวสั้นยาวไม่เท่ากันดังนั้นเราจึงควรปรับปรุงการใช้งานโดยมีการเฉลี่ยโหลดซึ่งทำให้อินเวอร์เตอร์แต่ละตัวมีการทำงานที่เท่ากันทำให้อายุการใช้งานแต่ละตัวเท่ากัน
- การทำงานของมอเตอร์ในอินเวอร์เตอร์แต่ละตัวจะเกิดความร้อนขึ้นเราจึงต้องมีระบบระบายความร้อนที่ดีเพื่อระบายความร้อนที่เกิดขึ้นเพื่อรักษาอายุการใช้งานของอินเวอร์เตอร์ให้ยาวนานยิ่งขึ้น
- ในการใช้อินเวอร์เตอร์หลายระดับร่วมกับเซลล์แสงอาทิตย์นั้น แรงดันไฟฟ้าที่ได้จากเซลล์แสงอาทิตย์ไม่คงที่เนื่องจากไม่สามารถควบคุมให้แสงอาทิตย์มีความเข้มแสงคงที่ตลอด ดังนั้นเราสามารถใส่แบตเตอรี่ในการสำรองไฟฟ้าที่ไม่คงที่ให้คงที่ได้

บรรณานุกรม

- [1] L. M. Tolbert, F. Z. Peng, and T. G. Habetler, "Multilevel Converters for Large Electric Drives," **IEEE trans. Industrial Electron.**, Vol. 35, No.1, 1999, pp. 36-44.
- [2] L. M. Tolbert, F. Z. Peng, and T. G. Habetler, "A Multilevel Converter-Based Universal Power Conditioner," **IEEE trans. Industrial Electron.**, Vol. 36, No.2, 2000, pp. 596-603.
- [3] B. K. Bose, **Modern Power Electronics and AC Drives**, Prentice - Hall, Inc., 2002.
- [4] S.Khomfoi, L.M. Tolbert, **Power Electronics Handbook**, Elsevier, 2006.
- [5] ผศ.อนุตร จำลองกุล, "พลังงานทางเลือกจากเซลล์แสงอาทิตย์" **Industrial Technology Review 13**, ฉบับที่162, 2550, หน้า183-191.
- [6] จัตรชัย เอ็มสะอาด, "การวิเคราะห์การสูญเสียที่เพิ่มขึ้นของมอเตอร์เหนี่ยวนำที่เกิดจากแรงดันฮาร์มอนิกที่ป้อนด้วยพีดีบีบลิวเอ็มโดยอินเวอร์เตอร์หลายระดับชนิดเอชบริดจ์" วิทยานิพนธ์วิศวกรรมศาสตรมหาบัณฑิต, สาขาวิชาวิศวกรรมไฟฟ้า, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2537.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



MICROCHIP PIC18F2331/2431/4331/4431

28/40/44-Pin Enhanced Flash Microcontrollers with nanoWatt Technology, High Performance PWM and A/D

14-bit Power Control PWM Module:

- Up to 4 channels with complementary outputs
- Edge- or center-aligned operation
- Flexible dead-band generator
- Hardware fault protection inputs
- Simultaneous update of duty cycle and period:
 - Flexible special event trigger output

Motion Feedback Module:

- Three independent input capture channels:
 - Flexible operating modes for period and pulse width measurement
 - Special Hall Sensor interface module
 - Special event trigger output to other modules
- Quadrature Encoder Interface:
 - 2 phase inputs and one index input from encoder
 - High and low position tracking with direction status and change of direction interrupt
 - Velocity measurement

High-Speed, 200 Ksps 10-bit A/D Converter:

- Up to 9 channels
- Simultaneous two-channel sampling
- Sequential sampling: 1, 2 or 4 selected channels
- Auto-conversion capability
- 4-word FIFO with selectable interrupt frequency
- Selectable external conversion triggers
- Programmable acquisition time

Flexible Oscillator Structure:

- Four crystal modes up to 40 MHz
- Two external clock modes up to 40 MHz
- Internal oscillator block:
 - 8 user selectable frequencies: 31 kHz to 8 MHz
 - OSCUNE can compensate for frequency drift
- Secondary oscillator using Timer1 @ 32 kHz
- Fail-Safe Clock Monitor:
 - Allows for safe shutdown of device if clock fails

Power-Managed Modes:

- Run CPU on, peripherals on
- Idle CPU off, peripherals on
- Sleep CPU off, peripherals off
- Idle mode currents down to 5.8 μ A typical
- Sleep current down to 0.1 μ A typical
- Timer1 oscillator, 1.8 μ A typical, 32 kHz, 2V
- Watchdog Timer (WDT), 2.1 μ A typical
- Two-Speed oscillator start-up

Peripheral Highlights:

- High current sink/source 25 mA/25 mA
- Three external interrupts
- Two Capture/Compare/PWM (CCP) modules:
 - Capture is 16-bit, max. resolution 6.25 ns ($T_{CY}/16$)
 - Compare is 16-bit, max. resolution 100 ns (T_{CY})
 - PWM output: PWM resolution is 1 to 10 bits
- Enhanced USART module:
 - Supports RS-485, RS-232 and LIN 1.2
 - Auto-Wake-up on Start bit
 - Auto-Baud detect
- RS-232 operation using internal oscillator block (no external crystal required)

Special Microcontroller Features:

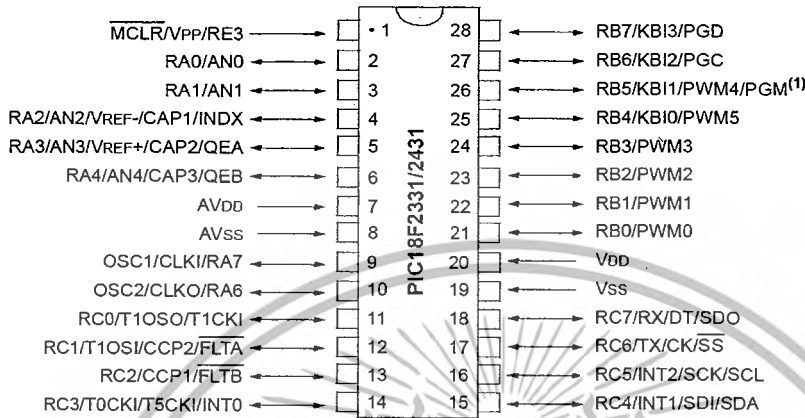
- 100,000 erase/write cycle enhanced Flash program memory typical
- 1,000,000 erase/write cycle data EEPROM memory typical
- Flash/data EEPROM retention: 100 years
- Self-programmable under software control
- Priority levels for interrupts
- 8 X 8 Single-cycle Hardware Multiplier
- Extended Watchdog Timer (WDT):
 - Programmable period from 41 ms to 131s
- Single-supply In-Circuit Serial Programming™ (ICSP™) via two pins
- In-Circuit Debug (ICD) via two pins
 - Drives PWM outputs safely when debugging

Device	Program Memory		Data Memory		I/O	10-bit A/D (ch)	CCP	SSP		EUSART	Quadrature Encoder	14-bit PWM (ch)	Timers 8/16-bit
	Flash (bytes)	# Single-Word Instructions	SRAM (bytes)	EEPROM (bytes)				SPI	Slave I ² C™				
PIC18F2331	8192	4096	768	256	24	5	2	Y	Y	Y	Y	6	1/3
PIC18F2431	16384	8192	768	256	24	5	2	Y	Y	Y	Y	6	1/3
PIC18F4331	8192	4096	768	256	36	9	2	Y	Y	Y	Y	8	1/3
PIC18F4431	16384	8192	768	256	36	9	2	Y	Y	Y	Y	8	1/3

PIC18F2331/2431/4331/4431

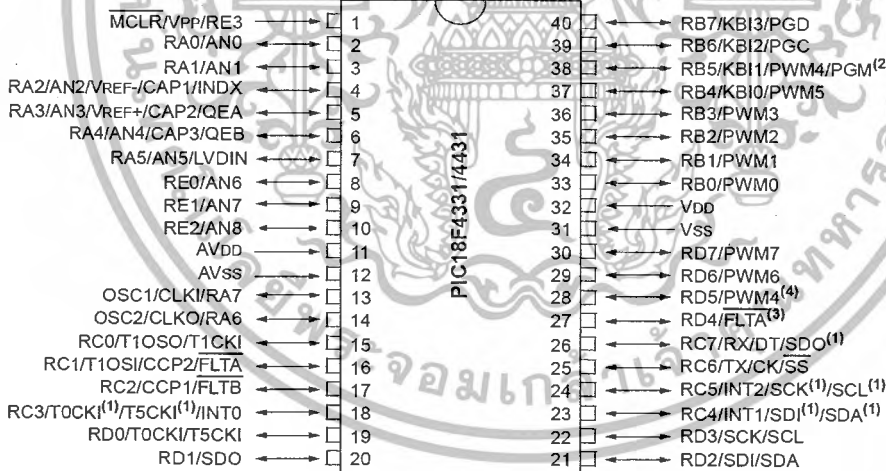
Pin Diagrams

28-Pin SDIP, SOIC



Note 1: Low-voltage programming must be enabled.

40-Pin PDIP



Note 1: RC3 is the alternate pin for T0CKI/T5CKI; RC4 is the alternate pin for SDI/SDA; RC5 is the alternate pin for SCK/SCL.

Note 2: Low-voltage programming must be enabled.

Note 3: RD4 is the alternate pin for FLTA.

Note 4: RD5 is the alternate pin for PWM4.

PIC18F2331/2431/4331/4431

1.0 DEVICE OVERVIEW

This document contains device specific information for the following devices:

- PIC18F2331
- PIC18F4331
- PIC18F2431
- PIC18F4431

This family offers the advantages of all PIC18 microcontrollers – namely, high computational performance at an economical price, with the addition of high endurance enhanced Flash program memory and a high-speed 10-bit A/D converter. On top of these features, the PIC18F2331/2431/4331/4431 family introduces design enhancements that make these microcontrollers a logical choice for many high performance, power control and motor control applications. These special peripherals include:

- 14-bit resolution Power Control PWM Module (PCPWM) with programmable dead time insertion
- Motion Feedback Module (MFM), including a 3-channel Input Capture (IC) Module and Quadrature Encoder Interface (QEI)
- High-speed 10-bit A/D Converter (HSADC)

The PCPWM can generate up to eight complementary PWM outputs with dead-band time insertion. Overdrive current is detected by off-chip analog comparators or the digital fault inputs (FLTA, FLTB).

The MFM Quadrature Encoder Interface provides precise rotor position feedback and/or velocity measurement. The MFM 3 X input capture or external interrupts can be used to detect the rotor state for electrically commutated motor applications using Hall Sensor feedback, such as BLDC motor drives.

PIC18F2331/2431/4331/4431 devices also feature Flash program memory and an internal RC oscillator with built-in LP modes.

1.1 New Core Features

1.1.1 nanoWatt TECHNOLOGY

All of the devices in the PIC18F2331/2431/4331/4431 family incorporate a range of features that can significantly reduce power consumption during operation. Key items include:

- **Alternate Run Modes:** By clocking the controller from the Timer1 source or the internal oscillator block, power consumption during code execution can be reduced by as much as 90%.
- **Multiple Idle Modes:** The controller can also run with its CPU core disabled, but the peripherals are still active. In these states, power consumption can be reduced even further, to as little as 4% of normal operation requirements.

- **On-the-fly Mode Switching:** The power-managed modes are invoked by user code during operation, allowing the user to incorporate power saving ideas into their application's software design.
- **Lower Consumption in Key Modules:** The power requirements for both Timer1 and the Watchdog Timer have been reduced by up to 80%, with typical values of 1.1 and 2.1 μ A, respectively.

1.1.2 MULTIPLE OSCILLATOR OPTIONS AND FEATURES

All of the devices in the PIC18F2331/2431/4331/4431 family offer nine different oscillator options, allowing users a wide range of choices in developing application hardware. These include:

- Four crystal modes, using crystals or ceramic resonators.
- Two external clock modes, offering the option of using two pins (oscillator input and a divide-by-4 clock output) or one pin (oscillator input, with the second pin reassigned as general I/O).
- Two external RC oscillator modes, with the same pin options as the external clock modes.
- An internal oscillator block, which provides an 8 MHz clock and an INTRC source (approximately 31 kHz, stable over temperature and VDD), as well as a range of 6 user-selectable clock frequencies (from 125 kHz to 4 MHz) for a total of 8 clock frequencies.

Besides its availability as a clock source, the internal oscillator block provides a stable reference source that gives the family additional features for robust operation:

- **Fail-Safe Clock Monitor:** This option constantly monitors the main clock source against a reference signal provided by the internal oscillator. If a clock failure occurs, the controller is switched to the internal oscillator block, allowing for continued low speed operation or a safe application shutdown.
- **Two-Speed Start-up:** This option allows the internal oscillator to serve as the clock source from Power-on Reset or wake-up from Sleep mode, until the primary clock source is available. This allows for code execution during what would otherwise be the clock start-up interval, and can even allow an application to perform routine background activities and return to Sleep without returning to full power operation.

PIC18F2331/2431/4331/4431

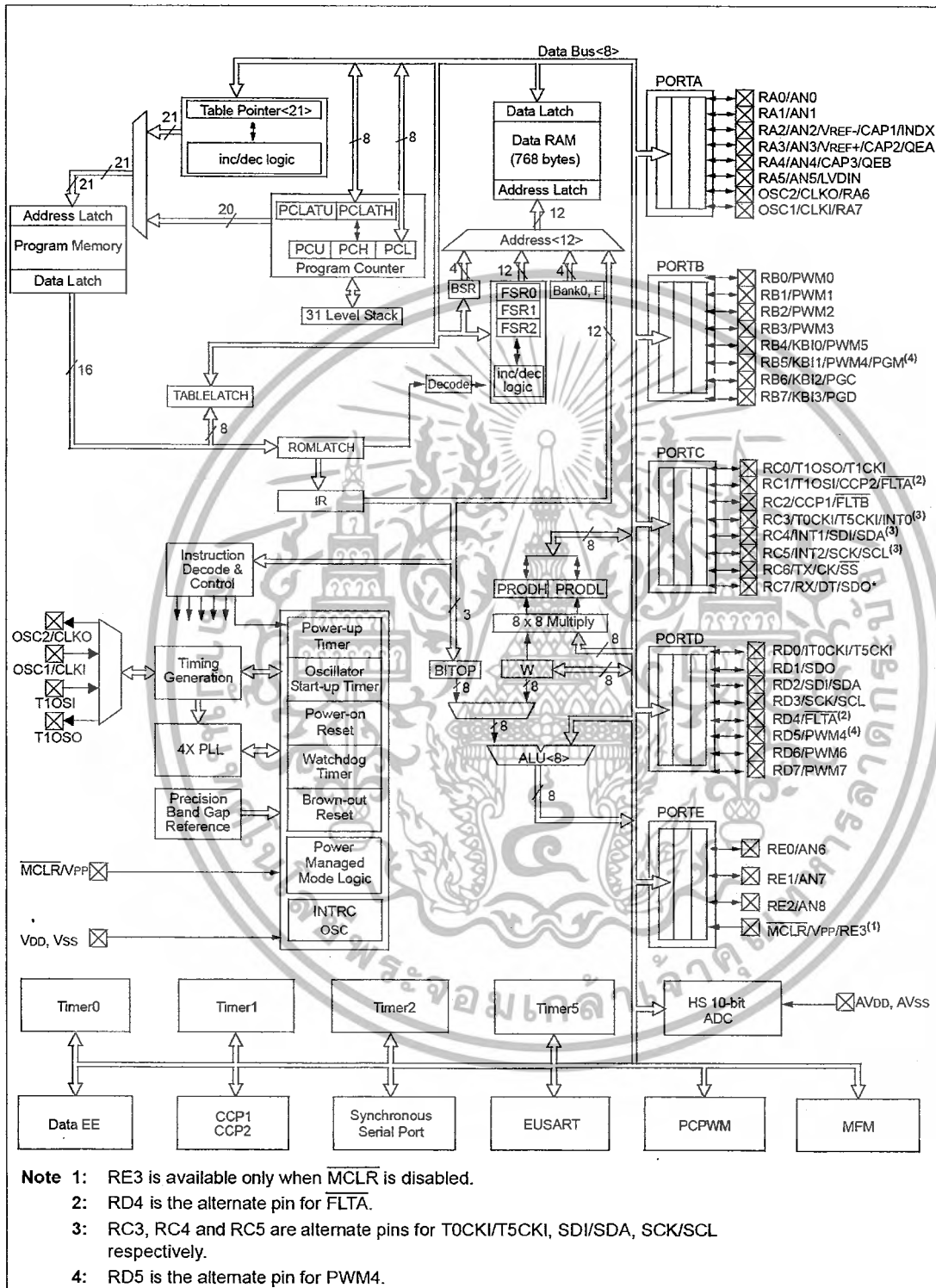
1.2 Other Special Features

- **Memory Endurance:** The enhanced Flash cells for both program memory and data EEPROM are rated to last for many thousands of erase/write cycles – up to 100,000 for program memory and 1,000,000 for EEPROM. Data retention without refresh is conservatively estimated to be greater than 100 years.
- **Self-programmability:** These devices can write to their own program memory spaces under internal software control. By using a bootloader routine located in the protected Boot Block at the top of program memory, it becomes possible to create an application that can update itself in the field.
- **Power Control PWM Module:** In PWM mode, this module provides 1, 2 or 4 modulated outputs for controlling half-bridge and full-bridge drivers. Other features include Auto-Shutdown on fault detection and Auto-Restart to reactivate outputs once the condition has cleared.
- **Enhanced USART:** This serial communication module is capable of standard RS-232 operation using the internal oscillator block, removing the need for an external crystal (and its accompanying power requirement) in applications that talk to the outside world. This module also includes auto-baud detect and LIN capability.
- **High-speed 10-bit A/D Converter:** This module incorporates Programmable Acquisition Time, allowing for a channel to be selected and a conversion to be initiated without waiting for a sampling period and thus, reducing code overhead.
- **Motion Feedback Module (MFM):** This module features a Quadrature Encoder Interface (QEI) and an Input Capture (IC) module. The QEI accepts two phase inputs (QEA, QEB) and one index input (INDX) from an incremental encoder. The QEI supports high and low precision position tracking, direction status and change of direction interrupt, and velocity measurement. The input capture features 3 channels of independent input capture with Timer5 as the time base, a special event trigger to other modules, and an adjustable noise filter on each IC input.
- **Extended Watchdog Timer (WDT):** This enhanced version incorporates a 16-bit prescaler, allowing a time-out range from 4 ms to over 2 minutes, that is stable across operating voltage and temperature.



PIC18F2331/2431/4331/4431

FIGURE 1-2: PIC18F4331/4431 BLOCK DIAGRAM



- Note 1:** RE3 is available only when MCLR is disabled.
Note 2: RD4 is the alternate pin for FLTA.
Note 3: RC3, RC4 and RC5 are alternate pins for T0CKI/T5CKI, SDI/SDA, SCK/SCL respectively.
Note 4: RD5 is the alternate pin for PWM4.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIC18F2331/2431/4331/4431

TABLE 1-3: PIC18F4331/4431 PINOUT I/O DESCRIPTIONS

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	DIP	TQFP	QFN			
MCLR/VPP/RE3 MCLR VPP RE3	1	18	18	I P I	ST ST	Master Clear (input) or programming voltage (input). Master Clear (Reset) input. This pin is an active-low. Reset to the device. Programming voltage input. Digital input. Available only when MCLR is disabled.
OSC1/CLKI/RA7 OSC1 CLKI RA7	13	30	32	I I I/O	ST CMOS TTL	Oscillator crystal or external clock input. Oscillator crystal input or external clock source input. ST buffer when configured in RC mode, CMOS otherwise. External clock source input. Always associated with pin function OSC1. (See related OSC1/CLKI, OSC2/CLKO pins.) General purpose I/O pin.
OSC2/CLKO/RA6 OSC2 CLKO RA6	14	31	33	O O I/O	— — TTL	Oscillator crystal or clock output. Oscillator crystal output. Connects to crystal or resonator in Crystal Oscillator mode. In RC mode, OSC2 pin outputs CLKO, which has 1/4 the frequency of OSC1 and denotes the instruction cycle rate. General purpose I/O pin.
RA0/AN0 RA0 AN0	2	19	19	I/O I	TTL Analog	PORTA is a bidirectional I/O port. Digital I/O. Analog input 0.
RA1/AN1 RA1 AN1				I/O I	TTL Analog	
RA2/AN2/VREF-/CAP1/ INDX RA2 AN2 VREF- CAP1 INDX	4	21	21	I/O I I I	TTL Analog Analog ST ST	Digital I/O. Analog input 2. A/D Reference Voltage (Low) input. Input capture pin 1. Quadrature Encoder Interface index input pin.
RA3/AN3/VREF+/ CAP2/QEA RA3 AN3 VREF+ CAP2 QEA				I/O I I I I	TTL Analog Analog ST ST	Digital I/O. Analog input 3. A/D Reference Voltage (High) input. Input capture pin 2. Quadrature Encoder Interface channel A input pin.
RA4/AN4/CAP3/QEB RA4 AN4 CAP3 QEB	6	23	23	I/O I I I	TTL Analog ST ST	Digital I/O. Analog input 4. Input capture pin 3. Quadrature Encoder Interface channel B input pin.
RA5/AN5/LVDIN RA5 AN5 LVDIN				I/O I I	TTL Analog Analog	Digital I/O. Analog input 5. Low-voltage Detect input.

Legend: TTL = TTL compatible input CMOS = CMOS compatible input or output
 ST = Schmitt Trigger input with CMOS levels I = Input
 O = Output P = Power
 OD = Open-Drain (no diode to VDD)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIC18F2331/2431/4331/4431

TABLE 1-3: PIC18F4331/4431 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	DIP	TQFP	QFN			
RB0/PWM0 RB0 PWM0	33	8	9	I/O O	TTL TTL	PORTB is a bidirectional I/O port. PORTB can be software programmed for internal weak pull-ups on all inputs. Digital I/O. PWM output 0.
RB1/PWM1 RB1 PWM1	34	9	10	I/O O	TTL TTL	Digital I/O. PWM output 1.
RB2/PWM2 RB2 PWM2	35	10	11	I/O O	TTL TTL	Digital I/O. PWM output 2.
RB3/PWM3 RB3 PWM3	36	11	12	I/O O	TTL TTL	Digital I/O. PWM output 3.
RB4/KBI0/PWM5 RB4 KBI0 PWM5	37	14	14	I/O I O	TTL TTL TTL	Digital I/O. Interrupt-on-change pin. PWM output 5.
RB5/KBI1/PWM4/ PGM RB5 KBI1 PWM4 PGM	38	15	15	I/O I O I/O	TTL TTL TTL ST	Digital I/O. Interrupt-on-change pin. PWM output 4. Low-voltage ICSP programming entry pin.
RB6/KBI2/PGC RB6 KBI2 PGC	39	16	16	I/O I I/O	TTL TTL ST	Digital I/O. Interrupt-on-change pin. In-Circuit Debugger and ICSP programming dock pin.
RB7/KBI3/PGD RB7 KBI3 PGD	40	17	17	I/O I I/O	TTL TTL ST	Digital I/O. Interrupt-on-change pin. In-Circuit Debugger and ICSP programming data pin.

Legend: TTL = TTL compatible input CMOS = CMOS compatible input or output
 ST = Schmitt Trigger input with CMOS levels I = Input
 O = Output P = Power
 OD = Open-Drain (no diode to VDD)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIC18F2331/2431/4331/4431

TABLE 1-3: PIC18F4331/4431 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	DIP	TQFP	QFN			
RC0/T1OSO/T1CKI RC0 T1OSO T1CKI	15	32	34	I/O O I	ST — ST	PORTC is a bidirectional I/O port. Digital I/O. Timer1 oscillator output. Timer1 external clock input.
RC1/T1OSI/CCP2/ FLTA	16	35	35	I/O I I/O I	ST CMOS ST ST	Digital I/O. Timer1 oscillator input. Capture2 input, Compare2 output, PWM2 output. Fault interrupt input pin.
RC2/CCP1/FLTB RC2 CCP1 FLTB	17	36	36	I/O I/O I	ST ST ST	Digital I/O. Capture1 input/Compare1 output/PWM1 output. Fault interrupt input pin.
RC3/T0CKI/T5CKI/ INT0 RC3 T0CKI T5CKI INT0	18	37	37	I/O I I I	ST ST ST ST	Digital I/O. Timer0 alternate clock input. Timer5 alternate clock input. External interrupt 0.
RC4/INT1/SDI/SDA RC4 INT1 SDI SDA	23	42	42	I/O I I I/O	ST ST ST ST	Digital I/O. External interrupt 1. SPI Data in. I ² C Data I/O.
RC5/INT2/SCK/SCL RC5 INT2 SCK SCL	24	43	43	I/O I I/O I/O	ST ST ST ST	Digital I/O. External interrupt 2. Synchronous serial clock input/output for SPI mode. Synchronous serial clock input/output for I ² C mode.
RC6/TX/CK/SS RC6 TX CK SS	25	44	44	I/O O I/O I	ST — ST ST	Digital I/O. USART Asynchronous Transmit. USART Synchronous Clock (see related RX/DT). SPI Slave Select input.
RC7/RX/DT/SDO RC7 RX DT SDO	26	1	1	I/O I I/O O	ST ST ST —	Digital I/O. USART Asynchronous Receive. USART Synchronous Data (see related TX/CK). SPI Data out.

Legend: TTL = TTL compatible input
 ST = Schmitt Trigger input with CMOS levels
 O = Output
 OD = Open-Drain (no diode to VDD)
 CMOS = CMOS compatible input or output
 I = Input
 P = Power

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIC18F2331/2431/4331/4431

TABLE 1-3: PIC18F4331/4431 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number			Pin Type	Buffer Type	Description	
	DIP	TQFP	QFN				
RD0/T0CKI/T5CKI	19	38	38			PORTD is a bidirectional I/O port, or a Parallel Slave Port (PSP) for interfacing to a microprocessor port. These pins have TTL input buffers when PSP module is enabled.	
RD0				I/O	ST		Digital I/O.
T0CKI				I	ST		Timer0 external clock input.
T5CKI				I	ST	Timer5 input clock.	
RD1/SDO	20	39	39			Digital I/O. SPI Data out.	
RD1				I/O	ST		
SDO				O	—		
RD2/SDI/SDA	21	40	40			Digital I/O. SPI Data in. I ² C Data I/O.	
RD2				I/O	ST		
SDI				I	ST		
SDA				I/O	ST		
RD3/SCK/SCL	22	41	41			Digital I/O. Synchronous serial clock input/output for SPI mode. Synchronous serial clock input/output for I ² C mode.	
RD3				I/O	ST		
SCK				I/O	ST		
SCL				I/O	ST		
RD4/FLTA	27	2	2			Digital I/O. Fault interrupt input pin.	
RD4				I/O	ST		
FLTA				I	ST		
RD5/PWM4	28	3	3			Digital I/O. PWM output 4.	
RD5				I/O	ST		
PWM4				O	TTL		
RD6/PWM6	29	4	4			Digital I/O. PWM output 6.	
RD6				I/O	ST		
PWM6				O	TTL		
RD7/PWM7	30	5	5			Digital I/O. PWM output 7.	
RD7				I/O	ST		
PWM7				O	TTL		

Legend: TTL = TTL compatible input CMOS = CMOS compatible input or output
 ST = Schmitt Trigger input with CMOS levels I = Input
 O = Output P = Power
 OD = Open-Drain (no diode to VDD)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

PIC18F2331/2431/4331/4431

TABLE 1-3: PIC18F4331/4431 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number			Pin Type	Buffer Type	Description	
	DIP	TQFP	QFN				
RD0/T0CKI/T5CKI	19	38	38			PORTD is a bidirectional I/O port, or a Parallel Slave Port (PSP) for interfacing to a microprocessor port. These pins have TTL input buffers when PSP module is enabled.	
RD0				I/O	ST		Digital I/O.
T0CKI				I	ST		Timer0 external clock input.
T5CKI				I	ST	Timer5 input clock.	
RD1/SDO	20	39	39			Digital I/O. SPI Data out.	
RD1				I/O	ST		
SDO				O	—		
RD2/SDI/SDA	21	40	40			Digital I/O. SPI Data in. I ² C Data I/O.	
RD2				I/O	ST		
SDI				I	ST		
SDA				I/O	ST		
RD3/SCK/SCL	22	41	41			Digital I/O. Synchronous serial clock input/output for SPI mode. Synchronous serial clock input/output for I ² C mode.	
RD3				I/O	ST		
SCK				I/O	ST		
SCL				I/O	ST		
RD4/FLTA	27	2	2			Digital I/O. Fault interrupt input pin.	
RD4				I/O	ST		
FLTA				I	ST		
RD5/PWM4	28	3	3			Digital I/O. PWM output 4.	
RD5				I/O	ST		
PWM4				O	TTL		
RD6/PWM6	29	4	4			Digital I/O. PWM output 6.	
RD6				I/O	ST		
PWM6				O	TTL		
RD7/PWM7	30	5	5			Digital I/O. PWM output 7.	
RD7				I/O	ST		
PWM7				O	TTL		

Legend: TTL = TTL compatible input CMOS = CMOS compatible input or output
 ST = Schmitt Trigger input with CMOS levels I = Input
 O = Output P = Power
 OD = Open-Drain (no diode to VDD)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HIGH SPEED TRANSISTOR OPTOCOUPLED

SINGLE-CHANNEL
 6N135, 6N136
 HCPL-2503
 HCPL-4502

DUAL-CHANNEL
 HCPL-2530
 HCPL-2531

DESCRIPTION

The HCPL-4502/HCPL-2503, 6N135/6 and HCPL-2530/HCPL-2531 optocouplers consist of an AlGaAs LED optically coupled to a high speed photodetector transistor.

A separate connection for the bias of the photodiode improves the speed by several orders of magnitude over conventional phototransistor optocouplers by reducing the base-collector capacitance of the input transistor.

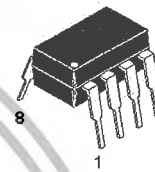
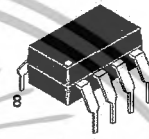
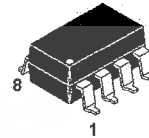
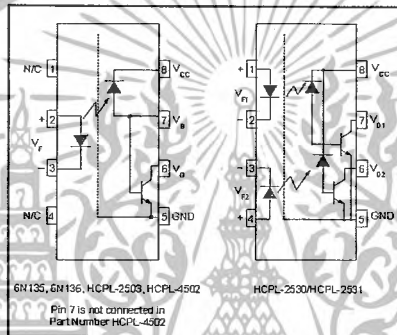
An internal noise shield provides superior common mode rejection of 10kV/ μ s. An improved package allows superior insulation permitting a 480 V working voltage compared to industry standard of 220 V.

FEATURES

- High speed-1 MBit/s
- Superior CMR-10 kV/ μ s
- Dual-Channel
 HCPL-2530/HCPL-2531
- Double working voltage-480V RMS
- CTR guaranteed 0-70°C
- U.L. recognized (File # E90700)

APPLICATIONS

- Line receivers
- Pulse transformer replacement
- Output interface to CMOS-LSTTL-TTL
- Wide bandwidth analog coupling



ABSOLUTE MAXIMUM RATINGS (T_A = 25°C unless otherwise specified)

Parameter	Symbol	Value	Units
Storage Temperature	T _{STG}	-55 to +125	°C
Operating Temperature	T _{OPR}	-55 to +100	°C
Lead Solder Temperature	T _{SOL}	260 for 10 sec	°C
EMITTER			
DC/Average Forward Input Current Each Channel (Note 1)	I _F (avg)	25	mA
Peak Forward Input Current (50% duty cycle, 1 ms P.W.) Each Channel (Note 2)	I _F (pk)	50	mA
Peak Transient Input Current - (<= 1 μ s P.W., 300 pps) Each Channel	I _F (trans)	1.0	A
Reverse input Voltage Each Channel	V _R	5	V
Input Power Dissipation (6N135/6N136 and HCPL-2503/4502) (HCPL-2530/2531) Each Channel (Note 3)	P _D	100 45	mW
DETECTOR			
Average Output Current Each Channel	I _O (avg)	8	mA
Peak Output Current Each Channel	I _O (pk)	16	mA
Emitter-Base Reverse Voltage (6N135, 6N136 and HCPL-2503 only)	V _{EBR}	5	V
Supply Voltage	V _{CC}	-0.5 to 30	V
Output Voltage	V _O	-0.5 to 20	V
Base Current (6N135, 6N136 and HCPL-2503 only)	I _B	5	mA
Output power (6N135, 6N136, HCPL-2503, HCPL-4502) (Note 4) (HCPL-2530, HCPL-2531) Each Channel	P _D	100 35	mW

200004A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SINGLE-CHANNEL
6N135, 6N136
HCPL-2503
HCPL-4502
DUAL-CHANNEL
HCPL-2530
HCPL-2531

ELECTRICAL CHARACTERISTICS ($T_A = 0$ to 70°C Unless otherwise specified)							
INDIVIDUAL COMPONENT CHARACTERISTICS							
Parameter	Test Conditions	Symbol	Device	Min	Typ**	Max	Unit
EMITTER							
Input Forward Voltage	($I_F = 16 \text{ mA}$, $T_A = 25^\circ\text{C}$)	V_F			1.45	1.7	V
Input Reverse Breakdown Voltage	($I_R = 10 \mu\text{A}$)	B_{VR}		5.0		1.8	V
Temperature coefficient of forward voltage	($I_F = 16 \text{ mA}$)	$(\Delta V_F / \Delta T_A)$			-1.6		mV/ $^\circ\text{C}$
DETECTOR							
Logic high output current	($I_F = 0 \text{ mA}$, $V_O = V_{CC} = 5.5 \text{ V}$) ($T_A = 25^\circ\text{C}$)	I_{OH}	All		0.001	0.5	μA
	($I_F = 0 \text{ mA}$, $V_O = V_{CC} = 15 \text{ V}$) ($T_A = 25^\circ\text{C}$)		6N135 6N136 HCPL-4502 HCPL-2503		0.005	1	
	($I_F = 0 \text{ mA}$, $V_O = V_{CC} = 15 \text{ V}$)		All			50	
	($I_F = 16 \text{ mA}$, $V_O = \text{Open}$) ($V_{CC} = 15 \text{ V}$)		6N135 6N136 HCPL-4502 HCPL-2503		120	200	
Logic low supply current	($I_{F1} = I_{F2} = 16 \text{ mA}$, $V_O = \text{Open}$) ($V_{CC} = 15 \text{ V}$)	I_{ccl}	HCPL-2530 HCPL-2531		200	400	μA
Logic high supply current	($I_F = 0 \text{ mA}$, $V_O = \text{Open}$, $V_{CC} = 15 \text{ V}$) ($T_A = 25^\circ\text{C}$)	I_{cch}	6N135 6N136 HCPL-4502 HCPL-2503			1	μA
	($I_F = 0 \text{ mA}$, $V_O = \text{Open}$) ($V_{CC} = 15 \text{ V}$)		6N135 6N136 HCPL-4502 HCPL-2503			2	
	($I_F = 0 \text{ mA}$, $V_O = \text{Open}$) ($V_{CC} = 15 \text{ V}$)		HCPL-2530 HCPL-2531		0.02	4	
	($I_F = 0 \text{ mA}$, $V_O = \text{Open}$) ($V_{CC} = 15 \text{ V}$)						

 ** All typicals at $T_A = 25^\circ\text{C}$

200004A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SINGLE-CHANNEL
6N135, 6N136
HCPL-2503
HCPL-4502
DUAL-CHANNEL
HCPL-2530
HCPL-2531

TRANSFER CHARACTERISTICS (T _A = 0 to 70°C Unless otherwise specified)							
Parameter	Test Conditions	Symbol	Device	Min	Typ**	Max	Unit
COUPLED	(I _F = 16 mA, V _O = 0.4 V) (V _{CC} = 4.5 V, T _A = 25°C)	CTR	6N135	7	18	50	%
			HCPL-2530				
			6N136	19	27	50	%
			HCPL-4502				
			HCPL-2531				
	(I _F = 16 mA, V _O = 0.5 V) (V _{CC} = 4.5 V)	CTR	6N135	5	21		%
			HCPL-2530				
			6N136	15	30		%
			HCPL-4502				
			HCPL-2531				
Logic low output voltage output voltage	(I _F = 16 mA, I _O = 1.1 mA) (V _{CC} = 4.5 V, T _A = 25°C)	V _{OL}	6N135		0.18	0.4	V
			HCPL-2530		0.18	0.5	
	(I _F = 16 mA, I _O = 3 mA) (V _{CC} = 4.5 V, T _A = 25°C)	V _{OL}	6N136		0.25	0.4	
			HCPL-4502				
			HCPL-2503		0.25	0.5	
	(I _F = 16 mA, I _O = 0.8 mA) (V _{CC} = 4.5 V)	V _{OL}	6N135			0.5	
			HCPL-2530				
	(I _F = 16 mA, I _O = 2.4 mA) (V _{CC} = 4.5 V)	V _{OL}	6N136			0.5	
			HCPL-4502				
				HCPL-2503			
			HCPL-2531				

 ** All typicals at T_A = 25°C

200004A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SINGLE-CHANNEL
6N135, 6N136
HCPL-2503
HCPL-4502
DUAL-CHANNEL
HCPL-2530
HCPL-2531

SWITCHING CHARACTERISTICS ($T_A = 0$ to 70°C unless otherwise specified., $V_{CC} = 5\text{ V}$)							
Parameter	Test Conditions	Symbol	Device	Min	Typ**	Max	Unit
Propagation delay time to logic low	$T_A = 25^\circ\text{C}$, ($R_L = 4.1\text{ k}\Omega$, $I_F = 16\text{ mA}$) (Note 6) (Fig. 7)	T_{PHL}	6N135		0.45	1.5	μs
			HCPL-2530				
	$(R_L = 1.9\text{ k}\Omega$, $I_F = 16\text{ mA}$) (Note 7) (Fig. 7) $T_A = 25^\circ\text{C}$		6N136		0.45	0.8	μs
			HCPL-4502				
			HCPL-2503				
			HCPL-2531				
$(R_L = 4.1\text{ k}\Omega$, $I_F = 16\text{ mA}$) (Note 6) (Fig. 7)	6N135				2.0	μs	
	HCPL-2530						
Propagation delay time to logic high	$T_A = 25^\circ\text{C}$, ($R_L = 4.1\text{ k}\Omega$, $I_F = 16\text{ mA}$) (Note 6) (Fig. 7)	T_{PLH}	6N135		0.5	1.5	μs
			HCPL-2530				
	$(R_L = 1.9\text{ k}\Omega$, $I_F = 16\text{ mA}$) (Note 7) (Fig. 7) $T_A = 25^\circ\text{C}$		6N136		0.3	0.8	μs
			HCPL-4502				
			HCPL-2503				
			HCPL-2531				
$(R_L = 4.1\text{ k}\Omega$, $I_F = 16\text{ mA}$) (Note 6) (Fig. 7)	6N135				2.0	μs	
	HCPL-2530						
Common mode transient immunity at logic high	$(I_F = 0\text{ mA}$, $V_{CM} = 10\text{ V}_{P-P}$, $R_L = 4.1\text{ k}\Omega$) (Note 8) (Fig. 8) $T_A = 25^\circ\text{C}$	$ CM_{HI} $	6N135		10,000		$\text{V}/\mu\text{s}$
			HCPL-2530				
	$(I_F = 0\text{ mA}$, $V_{CM} = 10\text{ V}_{P-P}$) $T_A = 25^\circ\text{C}$, ($R_L = 1.9\text{ k}\Omega$) (Note 8) (Fig. 8)		6N136		10,000		$\text{V}/\mu\text{s}$
			HCPL-4502				
Common mode transient immunity at logic low	$(I_F = 16\text{ mA}$, $V_{CM} = 10\text{ V}_{P-P}$, $R_L = 4.1\text{ k}\Omega$) (Note 8) (Fig. 8) $T_A = 25^\circ\text{C}$	$ CM_{LI} $	6N135		10,000		$\text{V}/\mu\text{s}$
			HCPL-2530				
	$(I_F = 16\text{ mA}$, $V_{CM} = 10\text{ V}_{P-P}$) ($R_L = 1.9\text{ k}\Omega$) (Note 8) (Fig. 8)		6N136		10,000		$\text{V}/\mu\text{s}$
			HCPL-4502				
			HCPL-2503				
			HCPL-2531				

 ** All typicals at $T_A = 25^\circ\text{C}$

200004A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SINGLE-CHANNEL
6N135, 6N136
HCPL-2503
HCPL-4502
DUAL-CHANNEL
HCPL-2530
HCPL-2531

ISOLATION CHARACTERISTICS ($T_A = 0$ to 70°C Unless otherwise specified)						
Characteristics	Test Conditions	Symbol	Min	Typ**	Max	Unit
Input-output insulation leakage current	(Relative humidity = 45%) ($T_A = 25^\circ\text{C}$, $t = 5$ s) ($V_{I-O} = 3000$ VDC) (Note 9)	I_{I-O}			1.0	μA
Withstand insulation test voltage	(RH \leq 50%, $T_A = 25^\circ\text{C}$) (Note 9) ($t = 1$ min.)	V_{ISO}	2500			V_{RMS}
Resistance (input to output)	(Note 9) ($V_{I-O} = 500$ VDC)	R_{I-O}		10^{12}		Ω
Capacitance (input to output)	(Note 9) ($f = 1$ MHz)	C_{I-O}		0.6		pF
DC Current gain	($I_O = 3$ mA, $V_O = 5$ V)	HFE		150		
Input-Input Insulation leakage current	(RH \leq 45%, $V_{I-I} = 500$ VDC) (Note 10) $t = 5$ s, (HCPL-2530/2531 only)	I_{I-I}		0.005		μA
Input-Input Resistance	($V_{I-I} = 500$ VDC) (Note 10) (HCPL-2530/2531 only)	R_{I-I}		10^{11}		Ω
Input-Input Capacitance	($f = 1$ MHz) (Note 10) (HCPL-2530/2531 only)	C_{I-I}		0.03		pF

 ** All typical at $T_A = 25^\circ\text{C}$
NOTES

- Derate linearly above 70°C free-air temperature at a rate of 0.8 mA/°C.
- Derate linearly above 70°C free-air temperature at a rate of 1.6 mA/°C.
- Derate linearly above 70°C free-air temperature at a rate of 0.9 mW/°C.
- Derate linearly above 70°C free-air temperature at a rate of 2.0 mW/°C.
- Current Transfer Ratio is defined as a ratio of output collector current, I_O , to the forward LED input current, I_F , times 100%.
- The 4.1 k Ω load represents 1 LSTTL unit load of 0.36 mA and 6.1 k Ω pull-up resistor.
- The 1.9 k Ω load represents 1 TTL unit load of 1.6 mA and 5.6 k Ω pull-up resistor.
- Common mode transient immunity in logic high level is the maximum tolerable (positive) dV_{CM}/dt on the leading edge of the common mode pulse signal V_{CM} , to assure that the output will remain in a logic high state (i.e., $V_O > 2.0$ V). Common mode transient immunity in logic low level is the maximum tolerable (negative) dV_{CM}/dt on the trailing edge of the common mode pulse signal, V_{CM} , to assure that the output will remain in a logic low state (i.e., $V_O < 0.8$ V).
- Device is considered a two terminal device; Pins 1, 2, 3 and 4 are shorted together and Pins 5, 6, 7 and 8 are shorted together.
- Measured between pins 1 and 2 shorted together, and pins 3 and 4 shorted together.

200004A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SINGLE-CHANNEL	DUAL-CHANNEL
6N135, 6N136	HCPL-2530
HCPL-2503	HCPL-2531
HCPL-4502	

Fig. 1 Normalized CTR vs. Forward Current

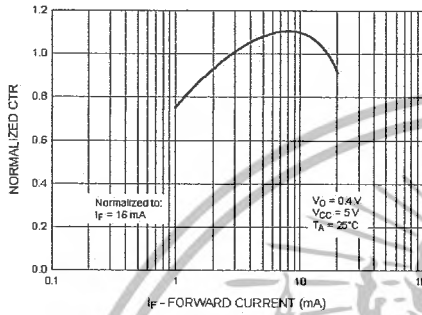


Fig. 2 Normalized CTR vs. Temperature

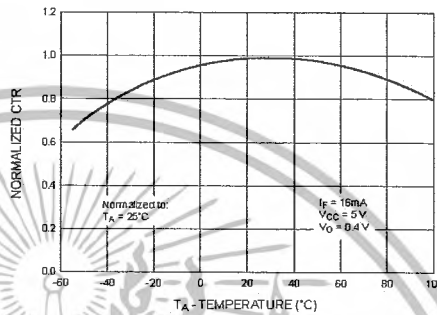


Fig. 3 Output Current vs. Output Voltage

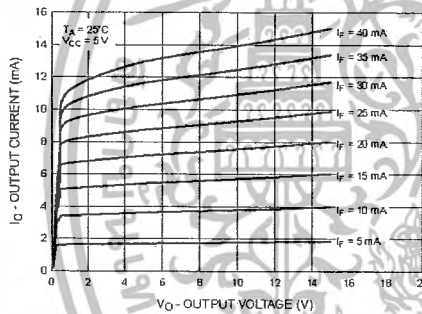


Fig. 4 Logic High Output Current vs. Temperature

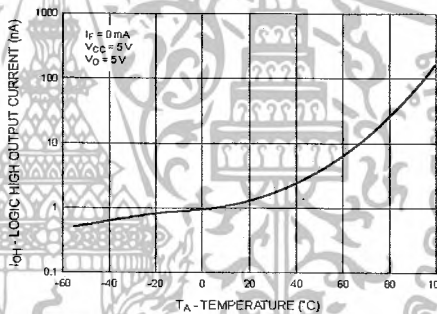


Fig. 5 Propagation Delay vs. Temperature

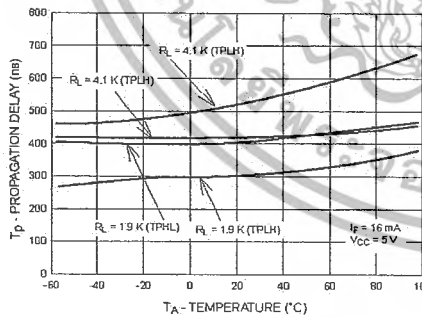
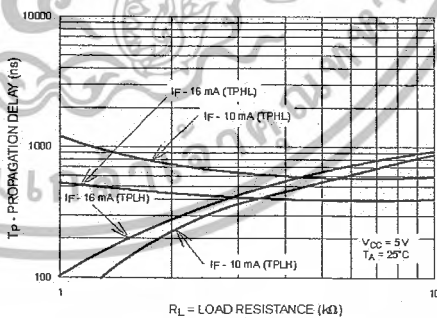


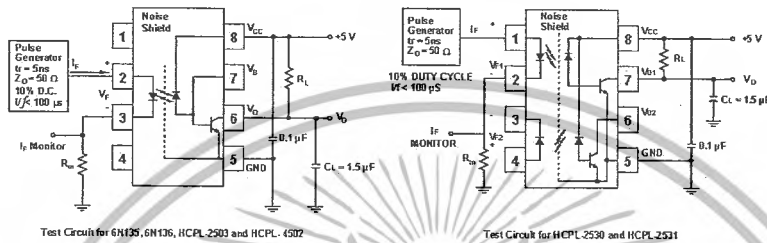
Fig. 6 Propagation Delay vs. Load Resistance



200004A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

SINGLE-CHANNEL	DUAL-CHANNEL
6N135, 6N136	HCPL-2530
HCPL-2503	HCPL-2531
HCPL-4502	



Test Circuit for 6N135, 6N136, HCPL-2503 and HCPL-4502

Test Circuit for HCPL-2530 and HCPL-2531

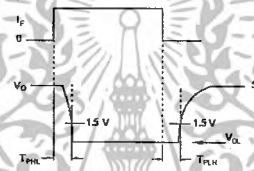
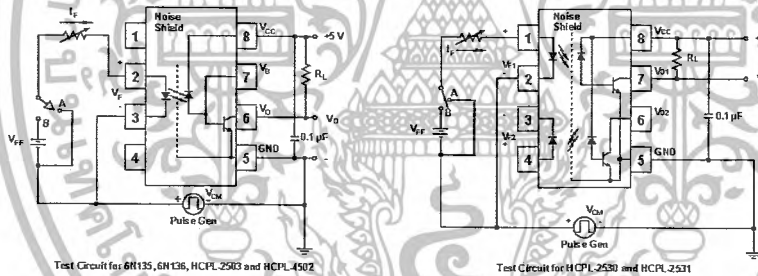


Fig. 7 Switching Time Test Circuit



Test Circuit for 6N135, 6N136, HCPL-2503 and HCPL-4502

Test Circuit for HCPL-2530 and HCPL-2531

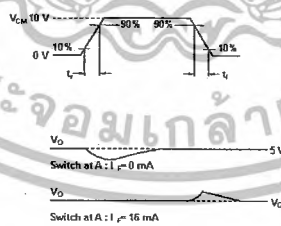


Fig. 8 Common Mode Immunity Test Circuit

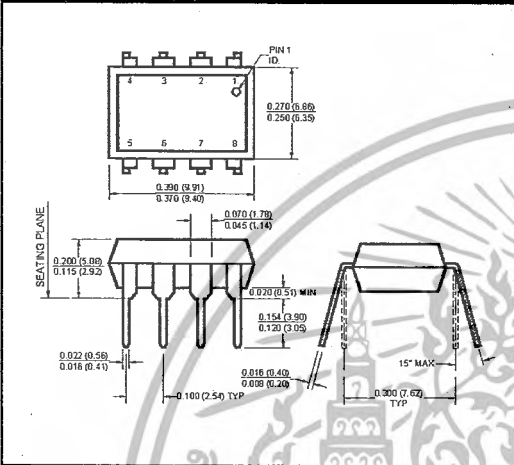
200004A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

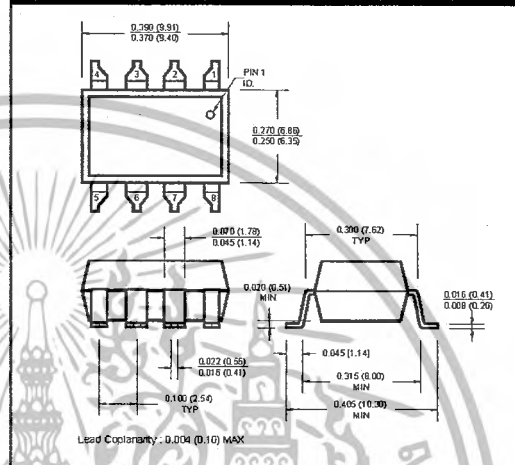
SINGLE-CHANNEL
6N135, 6N136
HCPL-2503
HCPL-4502

DUAL-CHANNEL
HCPL-2530
HCPL-2531

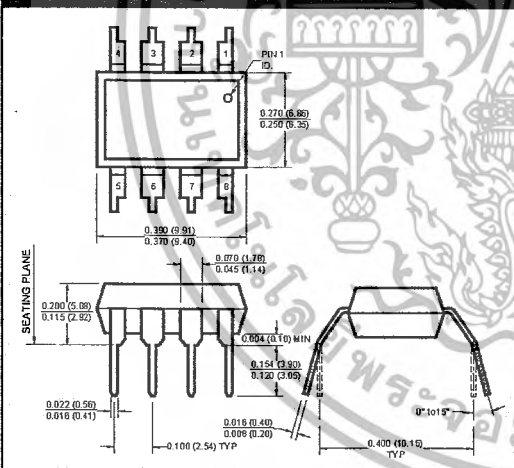
Package Dimensions (Through Hole)



Package Dimensions (Surface Mount)



Package Dimensions (0.4" Lead Spacing)



NOTE
All dimensions are in inches (millimeters)

200004A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

FAIRCHILD
SEMICONDUCTOR

HIGH SPEED TRANSISTOR OPTOCOUPLEDERS

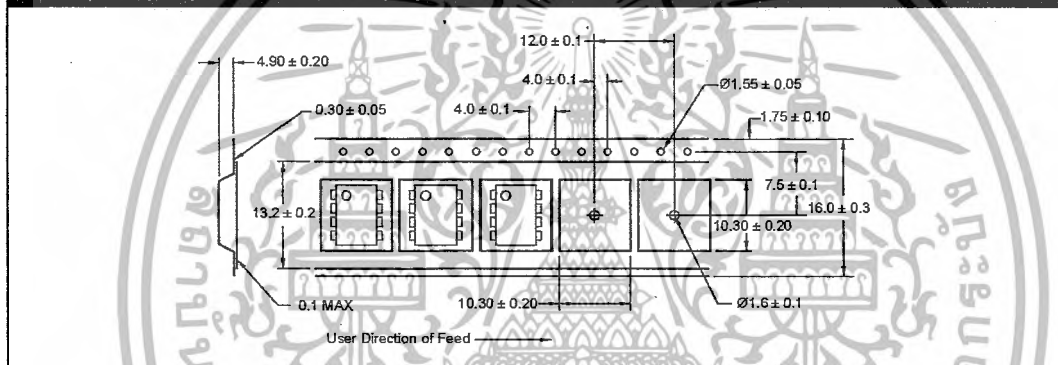
SINGLE-CHANNEL
6N135, 6N136
HCPL-2503
HCPL-4502

DUAL-CHANNEL
HCPL-2530
HCPL-2531

ORDERING INFORMATION

Option	Order Entry Identifier	Description
R2	.R2	Opto Plus Reliability Conditioning
S	.S	Surface Mount Lead Bend
SD	.SD	Surface Mount; Tape and reel
SDL	.SDL	Surface Mount; Tape and reel
W	.W	0.4" Lead Spacing

QT Carrier Tape Specifications ("D" Taping Orientation)



Corporate Headquarters
QT Optoelectronics
610 North Mary Avenue
Sunnyvale, CA 94086
(408) 720-1440 Phone
(408) 720-0848 Fax

European Sales
QT Optoelectronics
"Le Levant"
2, rue du Nouveau Bercy
F-94277-CHARENTON-LE PONT Cedex
FRANCE
33 [0] 1.45.18.78.78 Phone
33 [0] 1.43.75.77.57 Fax

North American Sales
QT Optoelectronics
16775 Addison Rd., Suite 200
Addison, TX 75001
(972) 447-1300 Phone
(972) 447-0784 Fax

Asia/Pacific Sales
QT Optoelectronics
B613, 6th Floor
East Wing, Wisma Tractors
Jalan SS16/1, Subang Jaya
47500 Petaling Jaya
Selangor Darul Eshan, Malaysia
603/735-2417 Phone
603/736-3382 Fax

European Sales
Quality Technologies Deutschland GmbH
Max-Huber-Strasse 8
D-85737 Ismaning, Germany
49 [0] 89/96.30.51 Phone
49 [0] 89/96.54.74 Fax

European Sales
Quality Technologies (U.K) Ltd.
10, Prebendal Court, Oxford Road
Aylesbury, Buckinghamshire
HP19-3EY United Kingdom
44 [0] 1296/30.44.99 Phone
44 [0] 1296/39.24.32 Fax

200004A

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury of the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.





เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



XC9536XL High Performance CPLD

DS058 (v1.8) March 22, 2006

Product Specification

Features

- 5 ns pin-to-pin logic delays
- System frequency up to 178 MHz
- 36 macrocells with 800 usable gates
- Available in small footprint packages
 - 44-pin PLCC (34 user I/O pins)
 - 44-pin VQFP (34 user I/O pins)
 - 48-pin CSP (36 user I/O pins)
 - 64-pin VQFP (36 user I/O pins)
 - Pb-free available for all packages
- Optimized for high-performance 3.3V systems
 - Low power operation
 - 5V tolerant I/O pins accept 5 V, 3.3V, and 2.5V signals
 - 3.3V or 2.5V output capability
 - Advanced 0.35 micron feature size CMOS Fast FLASH™ technology
- Advanced system features
 - In-system programmable
 - Superior pin-locking and routability with Fast CONNECT™ II switch matrix
 - Extra wide 54-input Function Blocks
 - Up to 90 product-terms per macrocell with individual product-term allocation
 - Local clock inversion with three global and one product-term clocks
 - Individual output enable per output pin
 - Input hysteresis on all user and boundary-scan pin inputs
 - Bus-hold circuitry on all user pin inputs
 - Full IEEE Standard 1149.1 boundary-scan (JTAG)
- Fast concurrent programming
- Slew rate control on individual outputs
- Enhanced data security features
- Excellent quality and reliability
 - Endurance exceeding 10,000 program/erase cycles
 - 20 year data retention
 - ESD protection exceeding 2,000V
- Pin-compatible with 5V-core XC9536 device in the 44-pin PLCC package and the 48-pin CSP package

Description

The XC9536XL is a 3.3V CPLD targeted for high-performance, low-voltage applications in leading-edge communications and computing systems. It is comprised of two 54V18 Function Blocks, providing 800 usable gates with propagation delays of 5 ns. See Figure 2 for architecture overview.

Power Estimation

Power dissipation in CPLDs can vary substantially depending on the system frequency, design application and output loading. To help reduce power dissipation, each macrocell in a XC9500XL device may be configured for low-power mode (from the default high-performance mode). In addition, unused product-terms and macrocells are automatically deactivated by the software to further conserve power. For a general estimate of I_{CC} , the following equation may be used:

$$I_{CC}(mA) = MC_{HS}(0.175 * PT_{HS} + 0.345) + MC_{LP}(0.052 * PT_{LP} + 0.272) + 0.04 * MC_{TOG}(MC_{HS} + MC_{LP}) * f$$

where:

MC_{HS} = # macrocells in high-speed configuration

PT_{HS} = average number of high-speed product terms per macrocell

MC_{LP} = # macrocells in low power configuration

PT_{LP} = average number of low power product terms per macrocell

f = maximum clock frequency

MC_{TOG} = average % of flip-flops toggling per clock (~12%)

This calculation was derived from laboratory measurements of an XC9500XL part filled with 16-bit counters and allowing a single output (the LSB) to be enabled. The actual I_{CC} value varies with the design application and should be verified during normal system operation. Figure 1 shows the above estimation in a graphical form. For a more detailed discussion of power consumption in this device, see Xilinx application note [XAPP114, "Understanding XC9500XL CPLD Power."](#)

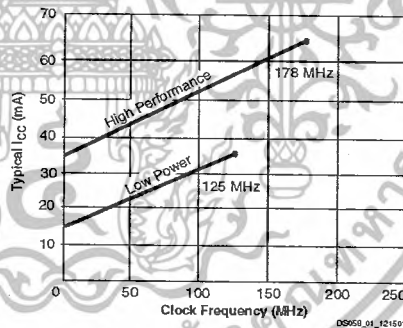


Figure 1: Typical I_{CC} vs. Frequency for XC9536XL

© 2006 Xilinx, Inc. All rights reserved. All Xilinx trademarks, registered trademarks, patents, and disclaimers are as listed at <http://www.xilinx.com/legal.htm>. All other trademarks and registered trademarks are the property of their respective owners. All specifications are subject to change without notice.

DS058 (v1.8) March 22, 2006
Product Specification

www.xilinx.com

1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

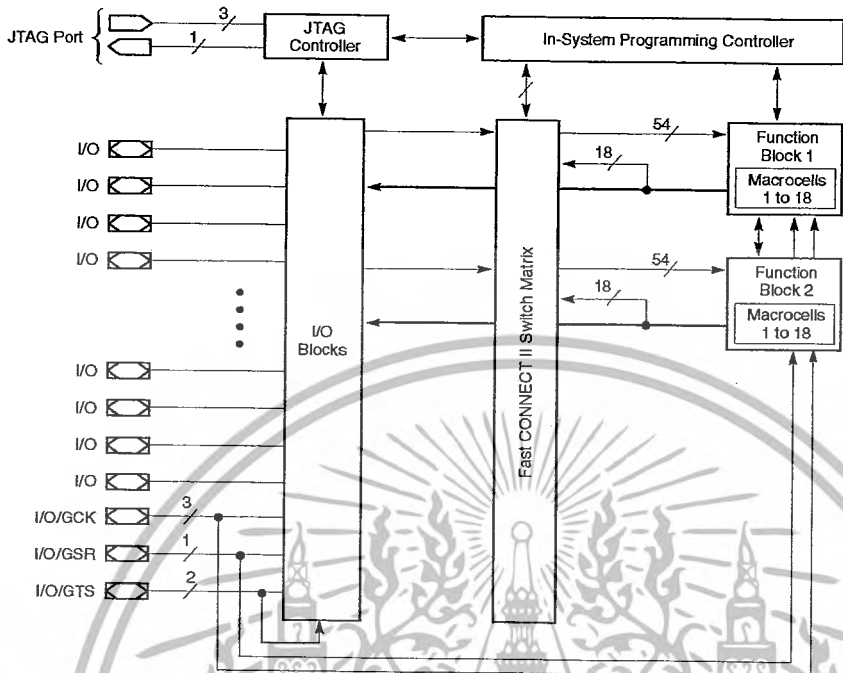


Figure 2: XC9536XL Architecture
Function Block outputs (indicated by the bold line) drive the I/O Blocks directly.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings⁽²⁾

Symbol	Description	Value	Units
V _{CC}	Supply voltage relative to GND	-0.5 to 4.0	V
V _{IN}	Input voltage relative to GND ⁽¹⁾	-0.5 to 5.5	V
V _{TS}	Voltage applied to 3-state output ⁽¹⁾	-0.5 to 5.5	V
T _{STG}	Storage temperature (ambient) ⁽³⁾	-65 to +150	°C
T _J	Junction temperature	+150	°C

Notes:

- Maximum DC undershoot below GND must be limited to either 0.5V or 10 mA, whichever is easier to achieve. During transitions, the device pins may undershoot to -2.0 V or overshoot to +7.0V, provided this over- or undershoot lasts less than 10 ns and with the forcing current being limited to 200 mA. External I/O voltage may not exceed V_{CCINT} by 4.0V.
- Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those listed under Operating Conditions is not implied. Exposure to Absolute Maximum Ratings conditions for extended periods of time may affect device reliability.
- For soldering guidelines and thermal considerations, see the [Device Packaging](#) information on the Xilinx website. For Pb-free packages, see [XAPP427](#).

Recommended Operation Conditions

Symbol	Parameter	Min	Max	Units	
V _{CCINT}	Supply voltage for internal logic and input buffers	Commercial T _A = 0°C to 70°C	3.0	3.6	V
		Industrial T _A = -40°C to +85°C	3.0	3.6	V
V _{CCIO}	Supply voltage for output drivers for 3.3V operation	3.0	3.6	V	
	Supply voltage for output drivers for 2.5V operation	2.3	2.7	V	
V _{IL}	Low-level input voltage	0	0.80	V	
V _{IH}	High-level input voltage	2.0	5.5	V	
V _O	Output voltage	0	V _{CCIO}	V	

Quality and Reliability Characteristics

Symbol	Parameter	Min	Max	Units
T _{DR}	Data Retention	20	-	Years
N _{PE}	Program/Erase Cycles (Endurance)	10,000	-	Cycles
V _{ESD}	Electrostatic Discharge (ESD)	2,000	-	Volts

DC Characteristic Over Recommended Operating Conditions

Symbol	Parameter	Test Conditions	Min	Max	Units
V _{OH}	Output high voltage for 3.3V outputs	I _{OH} = -4.0 mA	2.4	-	V
	Output high voltage for 2.5V outputs	I _{OH} = -500 μA	90% V _{CCIO}	-	V
V _{OL}	Output low voltage for 3.3V outputs	I _{OL} = 8.0 mA	-	0.4	V
	Output low voltage for 2.5V outputs	I _{OL} = 500 μA	-	0.4	V
I _{IL}	Input leakage current	V _{CC} = Max; V _{IN} = GND or V _{CC}	-	±10	μA
I _{IH}	I/O high-Z leakage current	V _{CC} = Max; V _{IN} = GND or V _{CC}	-	±10	μA
I _{IH}	I/O high-Z leakage current	V _{CC} = Max; V _{CCIO} = Max; V _{IN} = GND or 3.6V	-	±10	μA
		V _{CC} Min < V _{IN} < 5.5V	-	±50	μA
C _{IN}	I/O capacitance	V _{IN} = GND; f = 1.0 MHz	-	10	pF
I _{CC}	Operating supply current (low power mode, active)	V _{IN} = GND; No load; f = 1.0 MHz	10 (Typical)		mA

AC Characteristics

Symbol	Parameter	XC9536XL-5		XC9536XL-7		XC9536XL-10		Units
		Min	Max	Min	Max	Min	Max	
T _{PD}	I/O to output valid	-	5.0	-	7.5	-	10.0	ns
T _{SU}	I/O setup time before GCK	3.7	-	4.8	-	6.5	-	ns
T _H	I/O hold time after GCK	0	-	0	-	0	-	ns
T _{CO}	GCK to output valid	-	3.5	-	4.5	-	5.8	ns
f _{SYSTEM}	Multiple FB internal operating frequency	-	178.6	-	125	-	100	MHz
T _{PSU}	I/O setup time before p-term clock input	1.7	-	1.6	-	2.1	-	ns
T _{PH}	I/O hold time after p-term clock input	2.0	-	3.2	-	4.4	-	ns
T _{PCO}	P-term clock output valid	-	5.5	-	7.7	-	10.2	ns
T _{OE}	GTS to output valid	-	4.0	-	5.0	-	7.0	ns
T _{OD}	GTS to output disable	-	4.0	-	5.0	-	7.0	ns
T _{POE}	Product term OE to output enabled	-	7.0	-	9.5	-	11.0	ns
T _{POD}	Product term OE to output disabled	-	7.0	-	9.5	-	11.0	ns
T _{AO}	GSR to output valid	-	10.0	-	12.0	-	14.5	ns
T _{PAO}	P-term S/R to output valid	-	10.5	-	12.6	-	15.3	ns
T _{WLH}	GCK pulse width (High or Low)	2.8	-	4.0	-	4.5	-	ns
T _{APRPW}	Asynchronous preset/reset pulse width (High or Low)	5.0	-	6.5	-	7.0	-	ns
T _{PLH}	P-term clock pulse width (High or Low)	5.0	-	6.5	-	7.0	-	ns

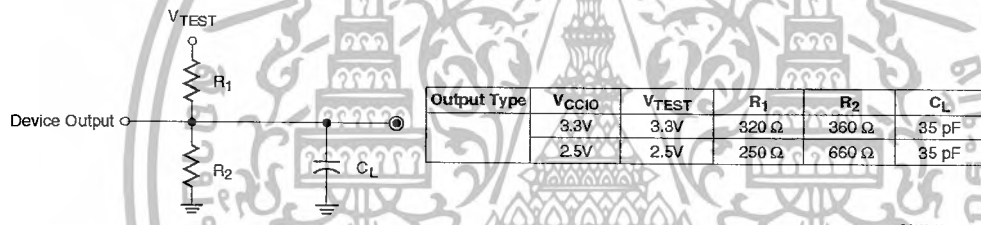


Figure 3: AC Load Circuit

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Internal Timing Parameters

Symbol	Parameter	XC9536XL-5		XC9536XL-7		XC9536XL-10		Units
		Min	Max	Min	Max	Min	Max	
Buffer Delays								
T _{IN}	Input buffer delay	-	1.5	-	2.3	-	3.5	ns
T _{GCK}	GCK buffer delay	-	1.1	-	1.5	-	1.8	ns
T _{GSR}	GSR buffer delay	-	2.0	-	3.1	-	4.5	ns
T _{GTS}	GTS buffer delay	-	4.0	-	5.0	-	7.0	ns
T _{OUT}	Output buffer delay	-	2.0	-	2.5	-	3.0	ns
T _{EN}	Output buffer enable/disable delay	-	0	-	0	-	0	ns
Product Term Control Delays								
T _{PTCK}	Product term clock delay	-	1.6	-	2.4	-	2.7	ns
T _{PTSR}	Product term set/reset delay	-	1.0	-	1.4	-	1.8	ns
T _{PTTS}	Product term 3-state delay	-	5.5	-	7.2	-	7.5	ns
Internal Register and Combinatorial Delays								
T _{PDI}	Combinatorial logic propagation delay	-	0.5	-	1.3	-	1.7	ns
T _{SUI}	Register setup time	2.3	-	2.6	-	3.0	-	ns
T _{HI}	Register hold time	1.4	-	2.2	-	3.5	-	ns
T _{ECSU}	Register clock enable setup time	2.3	-	2.6	-	3.0	-	ns
T _{ECHO}	Register clock enable hold time	1.4	-	2.2	-	3.5	-	ns
T _{COI}	Register clock to output valid time	-	0.4	-	0.5	-	1.0	ns
T _{AOI}	Register async. S/R to output delay	-	6.0	-	6.4	-	7.0	ns
T _{RAI}	Register async. S/R recover before clock	5.0	-	7.5	-	10.0	-	ns
T _{LOGI}	Internal logic delay	-	1.0	-	1.4	-	1.8	ns
T _{LOGILP}	Internal low power logic delay	-	5.0	-	6.4	-	7.3	ns
Feedback Delays								
T _F	Fast CONNECT II feedback delay	-	1.9	-	3.5	-	4.2	ns
Time Adders								
T _{PTA}	Incremental product term allocator delay	-	0.7	-	0.8	-	1.0	ns
T _{SLEW}	Slew-rate limited delay	-	3.0	-	4.0	-	4.5	ns

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

XC9536XL I/O Pins⁽²⁾

Function Block	Macro-cell	PC44	VQ44	CS48	VQ64	BScan Order	Function Block	Macro-cell	PC44	VQ44	CS48	VQ64	BScan Order
1	1	2	40	D6	9	105	2	1	1	39	D7	8	51
1	2	3	41	C7	10	102	2	2	44	38	E5	7	48
1	3	5 ⁽¹⁾	43 ⁽¹⁾	B7 ⁽¹⁾	15 ⁽¹⁾	99	2	3	42 ⁽¹⁾	36 ⁽¹⁾	E6 ⁽¹⁾	5 ⁽¹⁾	45
1	4	4	42	C6	11	96	2	4	43	37	E7	6	42
1	5	6 ⁽¹⁾	44 ⁽¹⁾	B6 ⁽¹⁾	16 ⁽¹⁾	93	2	5	40 ⁽¹⁾	34 ⁽¹⁾	F6 ⁽¹⁾	2 ⁽¹⁾	39
1	6	8	2	A6	19	90	2	6	39 ⁽¹⁾	33 ⁽¹⁾	G7 ⁽¹⁾	64 ⁽¹⁾	36
1	7	7 ⁽¹⁾	1 ⁽¹⁾	A7 ⁽¹⁾	17 ⁽¹⁾	87	2	7	38	32	G6	63	33
1	8	9	3	C5	20	84	2	8	37	31	F5	62	30
1	9	11	5	B5	22	81	2	9	36	30	G5	61	27
1	10	12	6	A4	24	78	2	10	35	29	F4	60	24
1	11	13	7	B4	25	75	2	11	34	28	G4	57	21
1	12	14	8	A3	27	72	2	12	33	27	E3	56	18
1	13	18	12	B2	33	69	2	13	29	23	F2	50	15
1	14	19	13	B1	35	66	2	14	28	22	G1	48	12
1	15	20	14	C2	36	63	2	15	27	21	F1	45	9
1	16	22	16	C3	38	60	2	16	26	20	E2	44	6
1	17	24	18	D2	42	57	2	17	25	19	E1	43	3
1	18	-	-	D3	39	54	2	18	-	-	E4	49	0

Notes:

1. Global control pin.
2. The pin-outs are the same for Pb-free versions of packages.

XC9536XL Global, JTAG and Power Pins⁽¹⁾

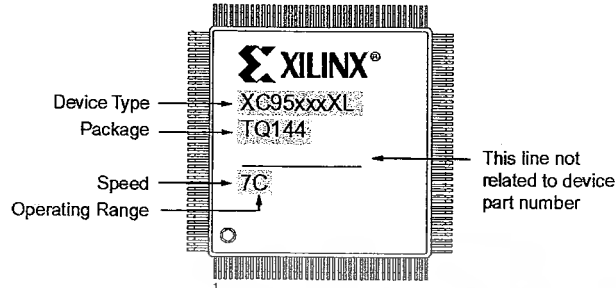
Pin Type	PC44	VQ44	CS48	VQ64
I/O/GCK1	5	43	B7	15
I/O/GCK2	6	44	B6	16
I/O/GCK3	7	1	A7	17
I/O/GTS1	42	36	E6	5
I/O/GTS2	40	34	F6	2
I/O/GSR	39	33	G7	64
TCK	17	11	A1	30
TDI	15	9	B3	28
TDO	30	24	G2	53
TMS	16	10	A2	29
V _{CCINT} 3.3V	21, 41	15, 35	C1, F7	3, 37
V _{CCIO} 2.5V/3.3V	32	26	G3	55
GND	10, 23, 31	4, 17, 25	A5, D1, F3	21, 41, 54
No Connects	-	-	C4, D4	1, 4, 12, 13, 14, 18, 23, 26, 31, 32, 34, 40, 46, 47, 51, 52, 58, 59

Notes:

1. The pin-outs are the same for Pb-free versions of packages.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Device Part Marking and Ordering Combination Information



Sample package with part marking.

Notes:

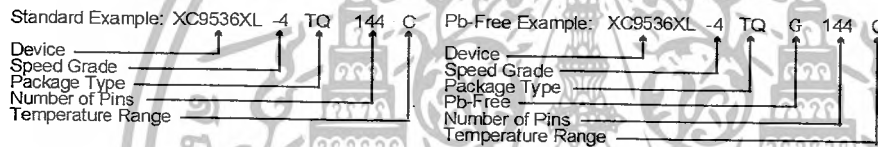
- Due to the small size of chip scale packages, part marking on these packages does not follow the above sample and the complete part number cannot be included in the marking. Part marking on chip scale packages by line:
 - Line 1 = X (Xilinx logo), then truncated part number (no XC), i.e., 95xxxXL.
 - Line 2 = Not related to device part number.
 - Line 3 = Not related to device part number.
 - Line 4 = Package code, speed, operating temperature, three digits not related to part number. Package codes: C1 = CS48, C2 = CSG48.

Device Ordering and Part Marking Number	Speed (pin-to-pin delay)	Pkg. Symbol	No. of Pins	Package Type	Operating Range ⁽¹⁾
XC9536XL-5PC44C	5 ns	PC44	44-pin	Plastic Lead Chip Carrier (PLCC)	C
XC9536XL-5VQ44C	5 ns	VQ44	44-pin	Quad Flat Pack (VQFP)	C
XC9536XL-5CS48C	5 ns	CS48	48-ball	Chip Scale Package (CSP)	C
XC9536XL-5VQ64C	5 ns	VQ64	64-pin	Quad Flat Pack (VQFP)	C
XC9536XL-7PC44C	7.5 ns	PC44	44-pin	Plastic Lead Chip Carrier (PLCC)	C
XC9536XL-7VQ44C	7.5 ns	VQ44	44-pin	Quad Flat Pack (VQFP)	C
XC9536XL-7CS48C	7.5 ns	CS48	48-ball	Chip Scale Package (CSP)	C
XC9536XL-7VQ64C	7.5 ns	VQ64	64-pin	Quad Flat Pack (VQFP)	C
XC9536XL-7PC44I	7.5 ns	PC44	44-pin	Plastic Lead Chip Carrier (PLCC)	I
XC9536XL-7VQ44I	7.5 ns	VQ44	44-pin	Quad Flat Pack (VQFP)	I
XC9536XL-7CS48I	7.5 ns	CS48	48-ball	Chip Scale Package (CSP)	I
XC9536XL-7VQ64I	7.5 ns	VQ64	64-pin	Quad Flat Pack (VQFP)	I
XC9536XL-10PC44C	10 ns	PC44	44-pin	Plastic Lead Chip Carrier (PLCC)	C
XC9536XL-10VQ44C	10 ns	VQ44	44-pin	Quad Flat Pack (VQFP)	C
XC9536XL-10CS48C	10 ns	CS48	48-ball	Chip Scale Package (CSP)	C
XC9536XL-10VQ64C	10 ns	VQ64	64-pin	Quad Flat Pack (VQFP)	C
XC9536XL-10PC44I	10 ns	PC44	44-pin	Plastic Lead Chip Carrier (PLCC)	I
XC9536XL-10VQ44I	10 ns	VQ44	44-pin	Quad Flat Pack (VQFP)	I
XC9536XL-10CS48I	10 ns	CS48	48-ball	Chip Scale Package (CSP)	I
XC9536XL-10VQ64I	10 ns	VQ64	64-pin	Quad Flat Pack (VQFP)	I
XC9536XL-5PCG44C	5 ns	PCG44	44-pin	Plastic Lead Chip Carrier (PLCC); Pb-free	C
XC9536XL-5VQG44C	5 ns	VQG44	44-pin	Quad Flat Pack (VQFP); Pb-free	C

Device Ordering and Part Marking Number	Speed (pin-to-pin delay)	Pkg. Symbol	No. of Pins	Package Type	Operating Range ⁽¹⁾
XC9536XL-5CSG48C	5 ns	CSG48	48-ball	Chip Scale Package (CSP); Pb-free	C
XC9536XL-5VQG64C	5 ns	VQG64	64-pin	Quad Flat Pack (VQFP); Pb-free	C
XC9536XL-7PCG44C	7.5 ns	PCG44	44-pin	Plastic Lead Chip Carrier (PLCC); Pb-free	C
XC9536XL-7VQG44C	7.5 ns	VQG44	44-pin	Quad Flat Pack (VQFP); Pb-free	C
XC9536XL-7CSG48C	7.5 ns	CSG48	48-ball	Chip Scale Package (CSP); Pb-free	C
XC9536XL-7VQG64C	7.5 ns	VQG64	64-pin	Quad Flat Pack (VQFP); Pb-free	C
XC9536XL-7PCG44I	7.5 ns	PCG44	44-pin	Plastic Lead Chip Carrier (PLCC); Pb-free	I
XC9536XL-7VQG44I	7.5 ns	VQG44	44-pin	Quad Flat Pack (VQFP); Pb-free	I
XC9536XL-7CSG48I	7.5 ns	CSG48	48-ball	Chip Scale Package (CSP); Pb-free	I
XC9536XL-7VQG64I	7.5 ns	VQG64	64-pin	Quad Flat Pack (VQFP); Pb-free	I
XC9536XL-10PCG44C	10 ns	PCG44	44-pin	Plastic Lead Chip Carrier (PLCC); Pb-free	C
XC9536XL-10VQG44C	10 ns	VQG44	44-pin	Quad Flat Pack (VQFP); Pb-free	C
XC9536XL-10CSG48C	10 ns	CSG48	48-ball	Chip Scale Package (CSP); Pb-free	C
XC9536XL-10VQG64C	10 ns	VQG64	64-pin	Quad Flat Pack (VQFP); Pb-free	C
XC9536XL-10PCG44I	10 ns	PCG44	44-pin	Plastic Lead Chip Carrier (PLCC); Pb-free	I
XC9536XL-10VQG44I	10 ns	VQG44	44-pin	Quad Flat Pack (VQFP); Pb-free	I
XC9536XL-10CSG48I	10 ns	CSG48	48-ball	Chip Scale Package (CSP); Pb-free	I
XC9536XL-10VQG64I	10 ns	VQG64	64-pin	Quad Flat Pack (VQFP); Pb-free	I

Notes:

1. C = Commercial: T_A = 0° to +70°C; I = Industrial: T_A = -40° to +85°C.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Warranty Disclaimer

THESE PRODUCTS ARE SUBJECT TO THE TERMS OF THE XILINX LIMITED WARRANTY WHICH CAN BE VIEWED AT <http://www.xilinx.com/warranty.htm>. THIS LIMITED WARRANTY DOES NOT EXTEND TO ANY USE OF THE PRODUCTS IN AN APPLICATION OR ENVIRONMENT THAT IS NOT WITHIN THE SPECIFICATIONS STATED ON THE THEN-CURRENT XILINX DATA SHEET FOR THE PRODUCTS. PRODUCTS ARE NOT DESIGNED TO BE FAIL-SAFE AND ARE NOT WARRANTED FOR USE IN APPLICATIONS THAT POSE A RISK OF PHYSICAL HARM OR LOSS OF LIFE. USE OF PRODUCTS IN SUCH APPLICATIONS IS FULLY AT THE RISK OF CUSTOMER SUBJECT TO APPLICABLE LAWS AND REGULATIONS.

Further Reading

The following Xilinx links go to relevant XC9500XL CPLD documentation, including XAPP111, Using the XC9500XL Timing Model, and XAPP784, Bulletproof CPLD Design Practices. Simply click on the link and scroll down.

Data Sheets, Application Notes, and White Papers.

Packaging

Revision History

The following table shows the revision history for this document.

Date	Version	Revision
09/28/98	1.0	Initial Xilinx release.
08/28/00	1.1	Added VQ44 package.
06/20/02	1.2	Updated I_{CC} equation, page 1. Removed -4 device. Added industrial availability to -7 device. Added additional I_{IH} test conditions and measurements to DC Characteristics table.
06/18/03	1.3	Updated T_{sol} from 260 to 220°C. Added Device Part Marking and updated Ordering Information.
08/21/03	1.4	Updated Package Device Marking Pin 1 orientation.
07/15/04	1.5	Added Pb-free documentation
09/15/04	1.6	Added T_{APRW} specification to AC Characteristics.
07/15/05	1.7	Move to Product Specification
03/22/06	1.8	Add Warranty Disclaimer.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

HIGH AND LOW SIDE DRIVER

Features

- Floating channel designed for bootstrap operation
- Fully operational to +500V or +600V
- Tolerant to negative transient voltage
- dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- 3.3V logic compatible
- Separate logic supply range from 3.3V to 20V
- Logic and power ground $\pm 5V$ offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs

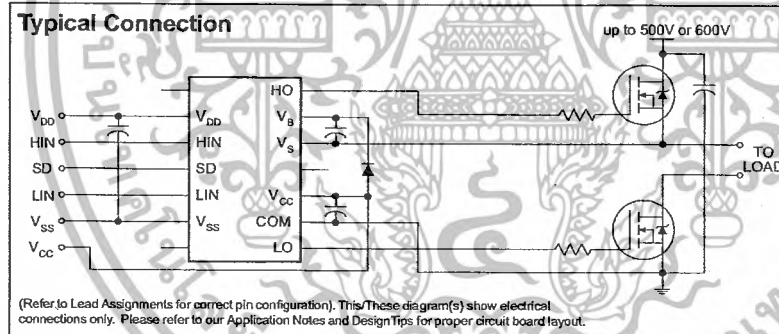
Product Summary

V _{OFFSET} (IR2110)	500V max.
(IR2113)	600V max.
I _O +/-	2A / 2A
V _{OUT}	10 - 20V
t _{on/off} (typ.)	120 & 94 ns
Delay Matching (IR2110)	10 ns max.
(IR2113)	20ns max.

Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

Packages



IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

International
IR Rectifier**Absolute Maximum Ratings**

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions. Additional information is shown in Figures 28 through 35.

Symbol	Definition	Min.	Max.	Units
V _B	High side floating supply voltage (IR2110) (IR2113)	-0.3	525	V
V _S	High side floating supply offset voltage	V _B - 25	V _B + 0.3	
V _{HO}	High side floating output voltage	V _S - 0.3	V _B + 0.3	
V _{CC}	Low side fixed supply voltage	-0.3	25	
V _{LO}	Low side output voltage	-0.3	V _{CC} + 0.3	
V _{DD}	Logic supply voltage	-0.3	V _{SS} + 25	
V _{SS}	Logic supply offset voltage	V _{CC} - 25	V _{CC} + 0.3	
V _{IN}	Logic input voltage (HIN, LIN & SD)	V _{SS} - 0.3	V _{DD} + 0.3	
dV _S /dt	Allowable offset supply voltage transient (figure 2)	—	50	
P _D	Package power dissipation @ T _A ≤ +25°C (14 lead DIP) (16 lead SOIC)	—	1.6 1.25	W
R _{THJA}	Thermal resistance, junction to ambient (14 lead DIP) (16 lead SOIC)	—	75 100	°C/W
T _J	Junction temperature	—	150	°C
T _S	Storage temperature	-55	150	
T _L	Lead temperature (soldering, 10 seconds)	—	300	

Recommended Operating Conditions

The input/output logic timing diagram is shown in figure 1. For proper operation the device should be used within the recommended conditions. The V_S and V_{SS} offset ratings are tested with all supplies biased at 15V differential. Typical ratings at other bias conditions are shown in figures 36 and 37.

Symbol	Definition	Min.	Max.	Units
V _B	High side floating supply absolute voltage	V _S + 10	V _S + 20	V
V _S	High side floating supply offset voltage (IR2110) (IR2113)	Note 1	500 600	
V _{HO}	High side floating output voltage	V _S	V _B	
V _{CC}	Low side fixed supply voltage	10	20	
V _{LO}	Low side output voltage	0	V _{CC}	
V _{DD}	Logic supply voltage	V _{SS} + 3	V _{SS} + 20	
V _{SS}	Logic supply offset voltage	-5 (Note 2)	5	
V _{IN}	Logic input voltage (HIN, LIN & SD)	V _{SS}	V _{DD}	
T _A	Ambient temperature	-40	125	

Note 1: Logic operational for V_S of -4 to +500V. Logic state held for V_S of -4V to -V_{SS}. (Please refer to the Design Tip DT97-3 for more details).

Note 2: When V_{DD} < 5V, the minimum V_{SS} offset is limited to -V_{DD}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International
IR Rectifier

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

Dynamic Electrical Characteristics

V_{BIAS} (V_{CC} , V_{BS} , V_{DD}) = 15V, C_L = 1000 pF, T_A = 25°C and V_{SS} = COM unless otherwise specified. The dynamic electrical characteristics are measured using the test circuit shown in Figure 3.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
t_{on}	Turn-on propagation delay	7	—	120	150	ns	$V_S = 0V$
t_{off}	Turn-off propagation delay	8	—	94	125		$V_S = 500V/600V$
t_{sd}	Shutdown propagation delay	9	—	110	140		$V_S = 500V/600V$
t_r	Turn-on rise time	10	—	25	35		
t_f	Turn-off fall time	11	—	17	25		
MT	Delay matching, HS & LS turn-on/off	(IR2110) (IR2113)	—	—	—		10 20

Static Electrical Characteristics

V_{BIAS} (V_{CC} , V_{BS} , V_{DD}) = 15V, T_A = 25°C and V_{SS} = COM unless otherwise specified. The V_{IN} , V_{TH} and I_{IN} parameters are referenced to V_{SS} and are applicable to all three logic input leads: HIN, LIN and SD. The V_O and I_O parameters are referenced to COM and are applicable to the respective output leads: HO or LO.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
V_{IH}	Logic "1" input voltage	12	9.5	—	—	V	
V_{IL}	Logic "0" input voltage	13	—	—	6.0		
V_{OH}	High level output voltage, $V_{BIAS} - V_O$	14	—	—	1.2	V	$I_O = 0A$
V_{OL}	Low level output voltage, V_O	15	—	—	0.1		$I_O = 0A$
I_{LK}	Offset supply leakage current	16	—	—	50	μA	$V_S = V_S = 500V/600V$
I_{QBS}	Quiescent V_{BS} supply current	17	—	125	230		$V_{IN} = 0V$ or V_{DD}
I_{QCC}	Quiescent V_{CC} supply current	18	—	180	340		$V_{IN} = 0V$ or V_{DD}
I_{QDD}	Quiescent V_{DD} supply current	19	—	15	30		$V_{IN} = 0V$ or V_{DD}
I_{IN+}	Logic "1" input bias current	20	—	20	40	μA	$V_{IN} = V_{DD}$
I_{IN-}	Logic "0" input bias current	21	—	—	1.0		$V_{IN} = 0V$
V_{BSUV+}	V_{BS} supply undervoltage positive going threshold	22	7.5	8.6	9.7	V	
V_{BSUV-}	V_{BS} supply undervoltage negative going threshold	23	7.0	8.2	9.4		
V_{CCUV+}	V_{CC} supply undervoltage positive going threshold	24	7.4	8.5	9.6		
V_{CCUV-}	V_{CC} supply undervoltage negative going threshold	25	7.0	8.2	9.4		
I_{O+}	Output high short circuit pulsed current	26	2.0	2.5	—		A
I_{O-}	Output low short circuit pulsed current	27	2.0	2.5	—	$V_O = 15V$, $V_{IN} = 0V$ $PW \leq 10 \mu s$	

www.irf.com

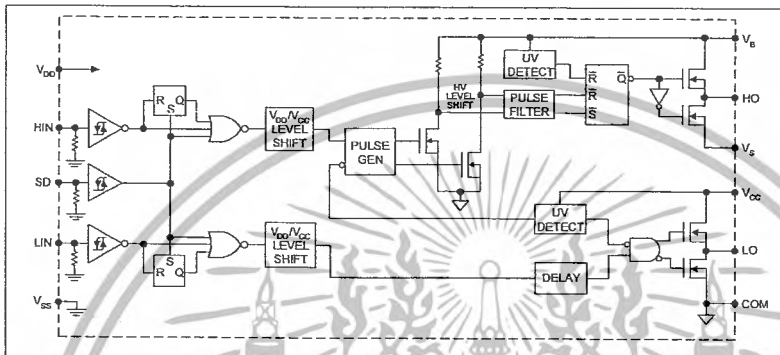
3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

International
IR Rectifier

Functional Block Diagram



Lead Definitions

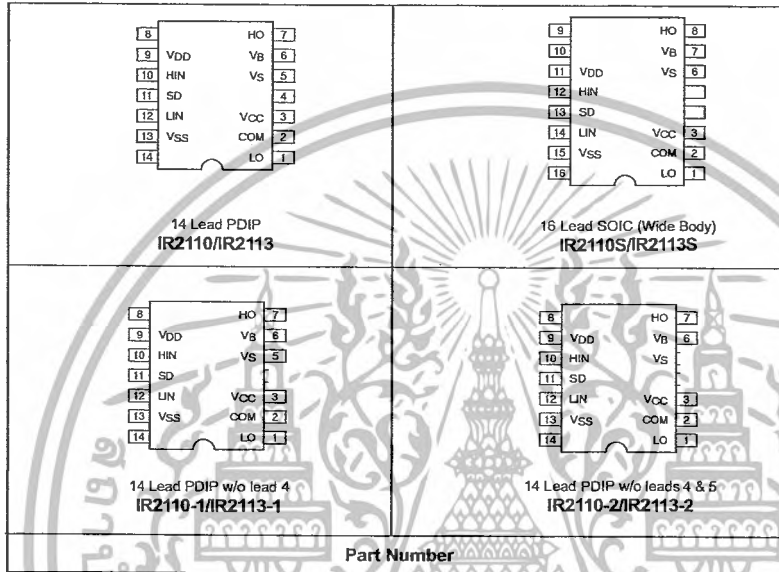
Symbol	Description
V _{DD}	Logic supply
HIN	Logic input for high side gate driver output (HO), in phase
SD	Logic input for shutdown
LIN	Logic input for low side gate driver output (LO), in phase
V _{SS}	Logic ground
V _B	High side floating supply
HO	High side gate drive output
V _S	High side floating supply return
V _{CC}	Low side supply
LO	Low side gate drive output
COM	Low side return

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International
IR Rectifier

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

Lead Assignments



Part Number

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

International
IR Rectifier

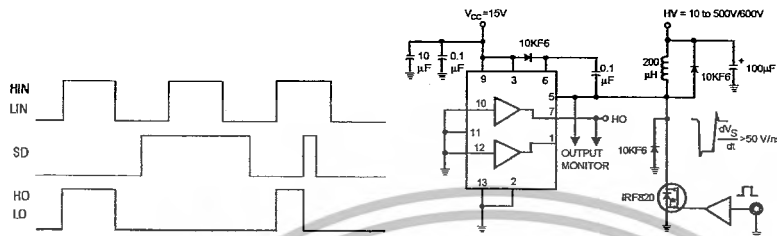


Figure 1. Input/Output Timing Diagram

Figure 2. Floating Supply Voltage Transient Test Circuit

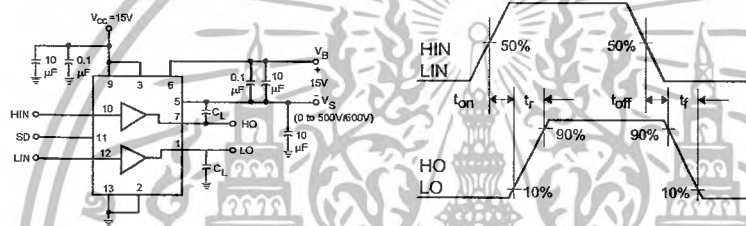


Figure 3. Switching Time Test Circuit

Figure 4. Switching Time Waveform Definition

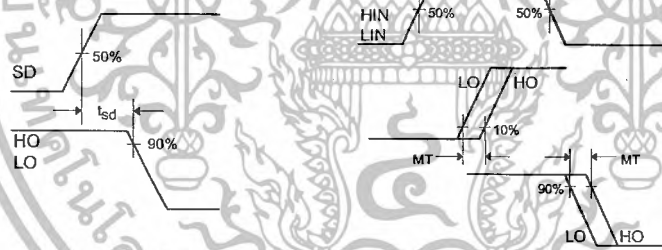


Figure 5. Shutdown Waveform Definitions

Figure 6. Delay Matching Waveform Definitions

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

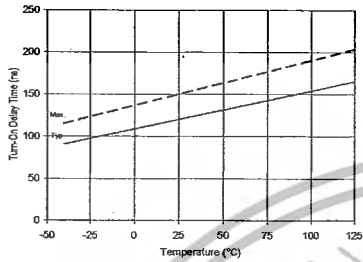


Figure 7A. Turn-On Time vs. Temperature

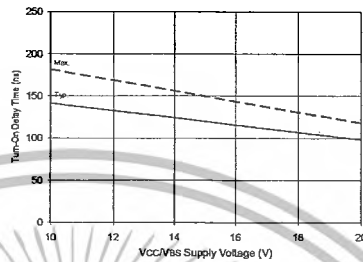


Figure 7B. Turn-On Time vs. Vcc/Vs Supply Voltage

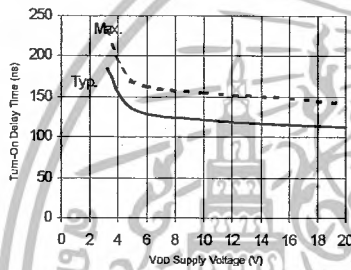


Figure 7C. Turn-On Time vs. VDD Supply Voltage

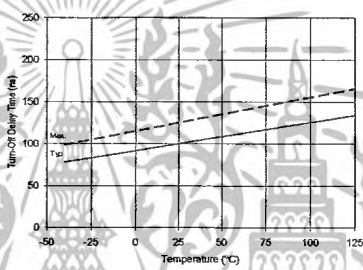


Figure 8A. Turn-Off Time vs. Temperature

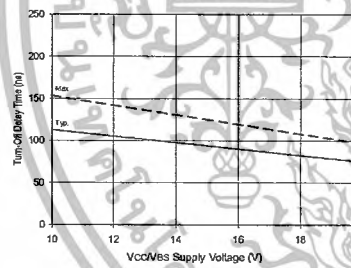


Figure 8B. Turn-Off Time vs. Vcc/Vs Supply Voltage

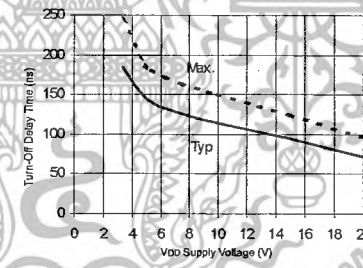


Figure 8C. Turn-Off Time vs. VDD Supply Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

International
IR Rectifier

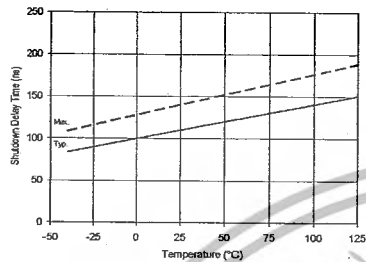


Figure 9A. Shutdown Time vs. Temperature

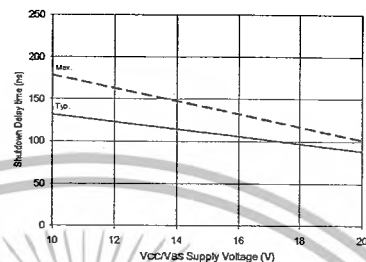


Figure 9B. Shutdown Time vs. Vcc/Vs Supply Voltage

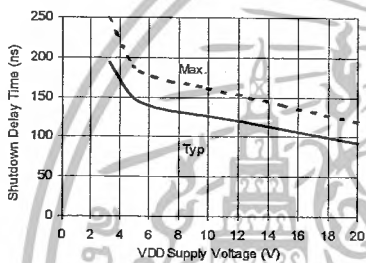


Figure 9C. Shutdown Time vs. VDD Supply Voltage

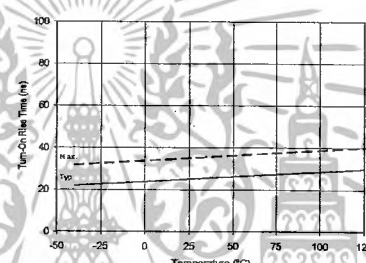


Figure 10A. Turn-On Rise Time vs. Temperature

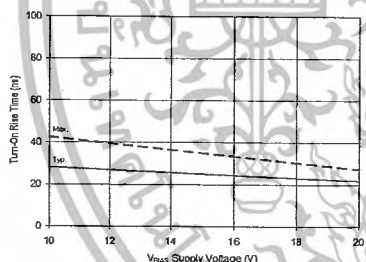


Figure 10B. Turn-On Rise Time vs. Voltage

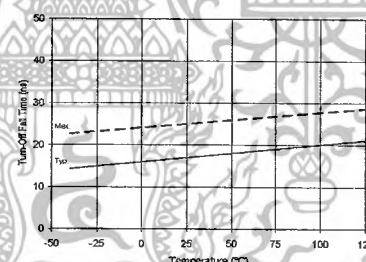


Figure 11A. Turn-Off Fall Time vs. Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

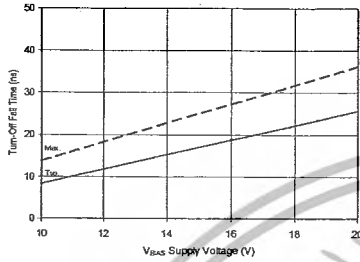


Figure 11B. Turn-Off Fall Time vs. Voltage

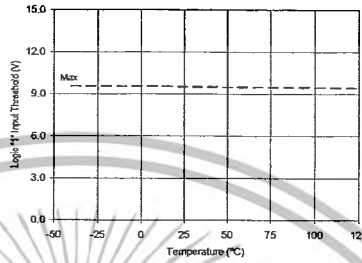


Figure 12A. Logic "1" Input Threshold vs. Temperature

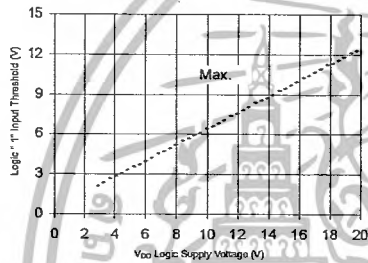


Figure 12B. Logic "1" Input Threshold vs. Voltage

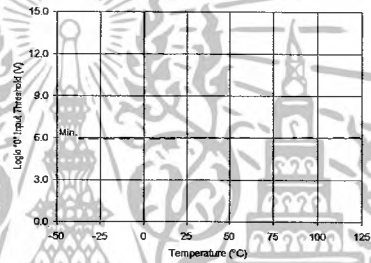


Figure 13A. Logic "0" Input Threshold vs. Temperature

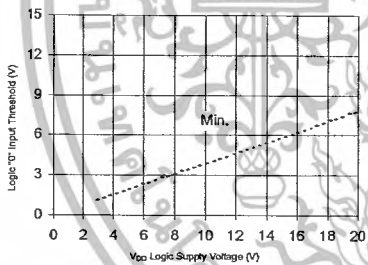


Figure 13B. Logic "0" Input Threshold vs. Voltage

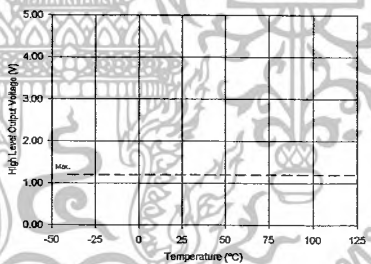


Figure 14A. High Level Output vs. Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

International
IR Rectifier

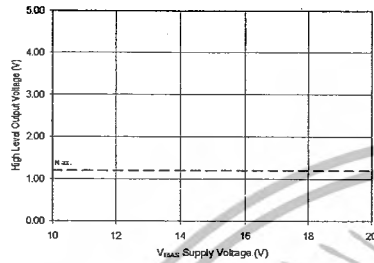


Figure 14B. High Level Output vs. Voltage

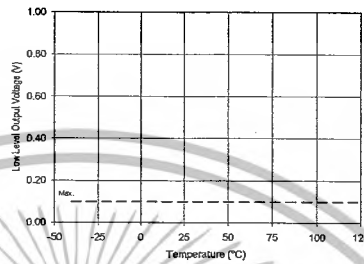


Figure 15A. Low Level Output vs. Temperature

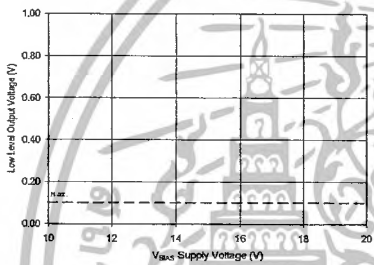


Figure 15B. Low Level Output vs. Voltage

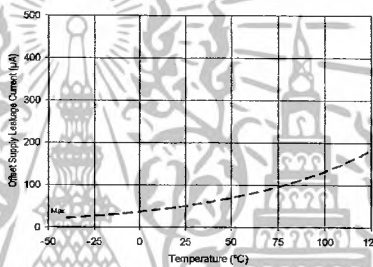


Figure 16A. Offset Supply Current vs. Temperature

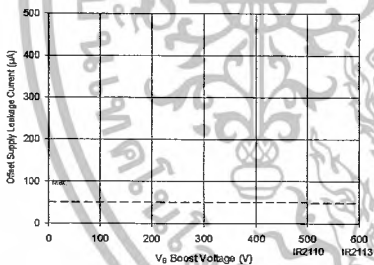


Figure 16B. Offset Supply Current vs. Voltage

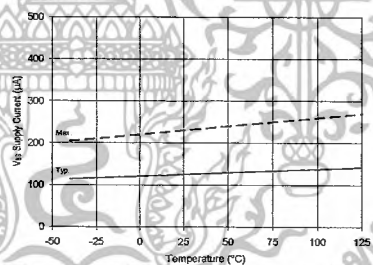


Figure 17A. Vb Supply Current vs. Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

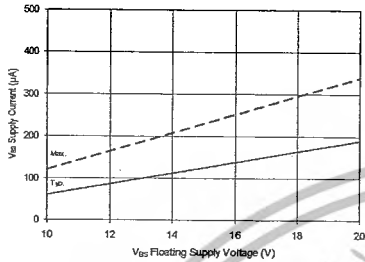


Figure 17B. Vds Supply Current vs. Voltage

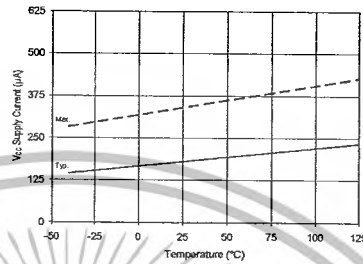


Figure 18A. Vcc Supply Current vs. Temperature

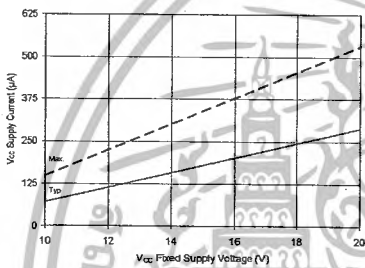


Figure 18B. Vcc Supply Current vs. Voltage

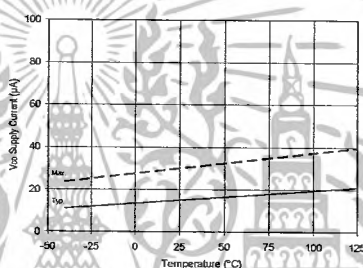


Figure 19A. VDD Supply Current vs. Temperature

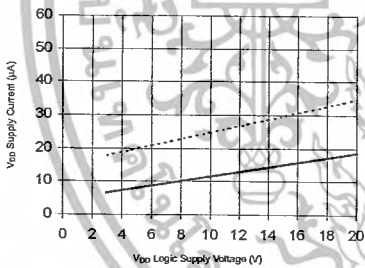


Figure 19B. VDD Supply Current vs. VDD Voltage

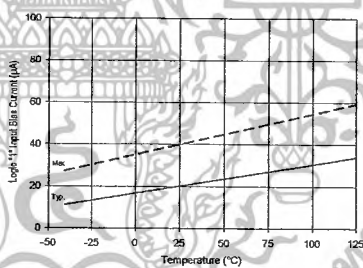


Figure 20A. Logic "1" Input Current vs. Temperature

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

International
IR Rectifier

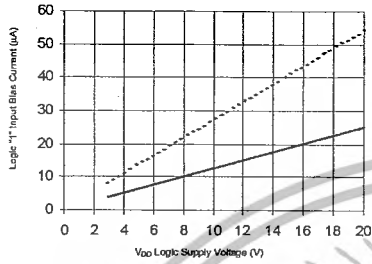


Figure 20B. Logic "1" Input Current vs. VDD Voltage

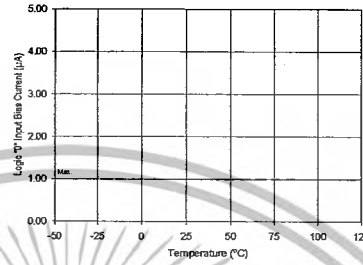


Figure 21A. Logic "0" Input Current vs. Temperature

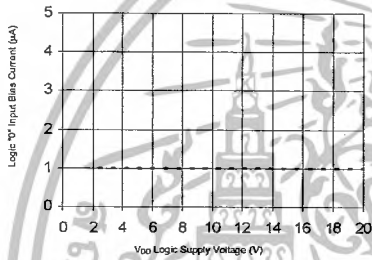


Figure 21B. Logic "0" Input Current vs. VDD Voltage

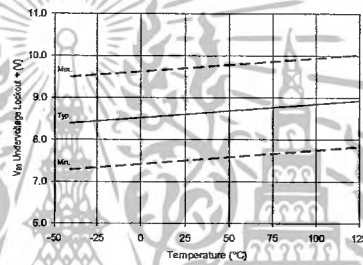


Figure 22. VBS Undervoltage (+) vs. Temperature

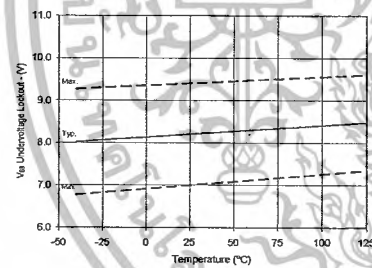


Figure 23. VBS Undervoltage (-) vs. Temperature

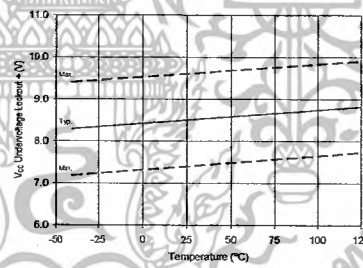


Figure 24. VCC Undervoltage (+) vs. Temperature

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

International
IR Rectifier

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

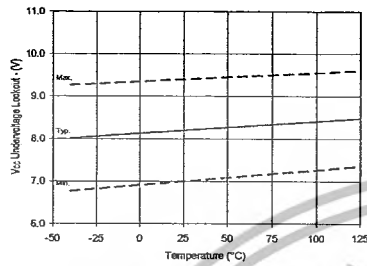


Figure 25. Vcc Undervoltage (-) vs. Temperature

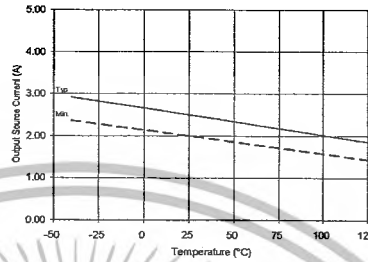


Figure 26A. Output Source Current vs. Temperature

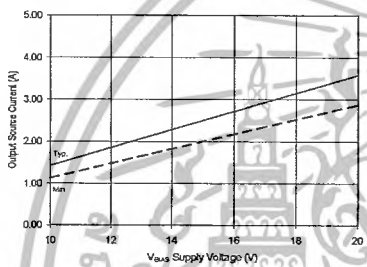


Figure 26B. Output Source Current vs. Voltage

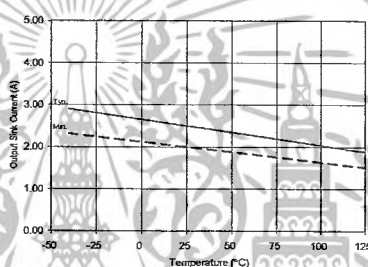


Figure 27A. Output Sink Current vs. Temperature

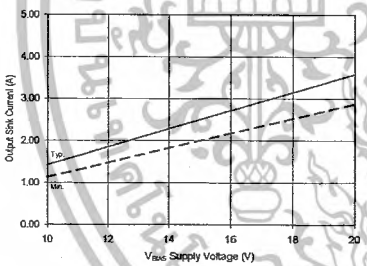


Figure 27B. Output Sink Current vs. Voltage

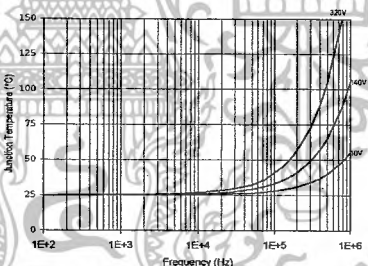


Figure 28. IR2110/IR2113 Tj vs. Frequency (IRFBC20) R_{GATE} = 33Ω, V_{CC} = 15V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

International
IR Rectifier

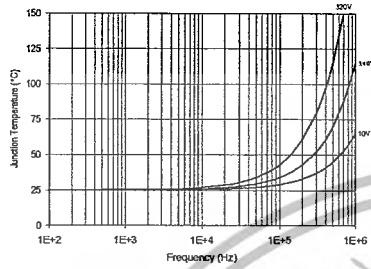


Figure 29. IR2110/IR2113 T_J vs. Frequency (IRFBC30) R_{GATE} = 22Ω, V_{CC} = 15V

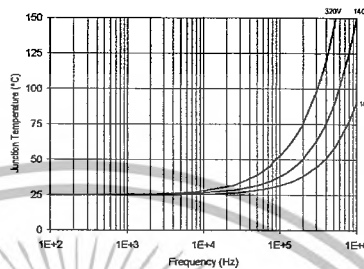


Figure 30. IR2110/IR2113 T_J vs. Frequency (IRFBC40) R_{GATE} = 15Ω, V_{CC} = 15V

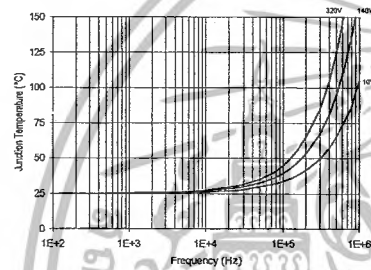


Figure 31. IR2110/IR2113 T_J vs. Frequency (IRFPE50) R_{GATE} = 10Ω, V_{CC} = 15V

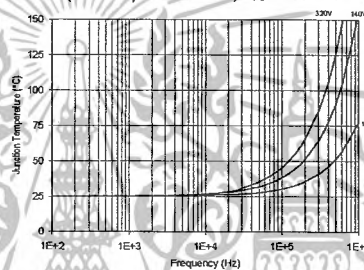


Figure 32. IR2110S/IR2113S T_J vs. Frequency (IRFBC20) R_{GATE} = 33Ω, V_{CC} = 15V

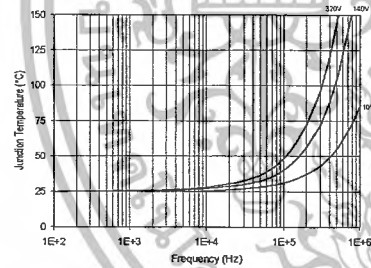


Figure 33. IR2110S/IR2113S T_J vs. Frequency (IRFBC30) R_{GATE} = 22Ω, V_{CC} = 15V

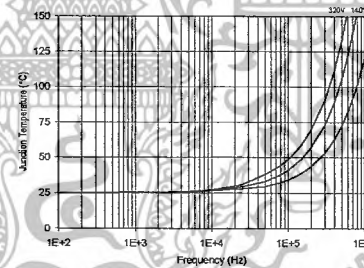


Figure 34. IR2110S/IR2113S T_J vs. Frequency (IRFBC40) R_{GATE} = 15Ω, V_{CC} = 15V

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

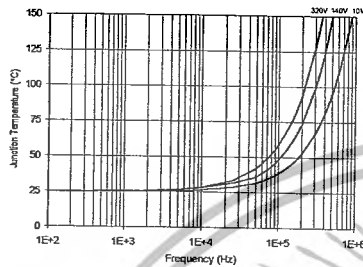


Figure 35. IR2110S/IR2113S T_J vs. Frequency (IRFPE50) $R_{GATE} = 10\Omega$, $V_{CC} = 45V$

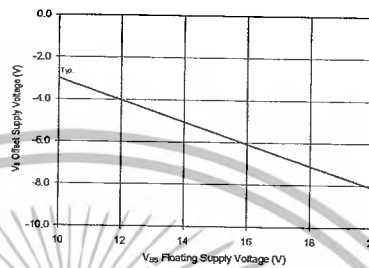


Figure 36. Maximum V_{ds} Negative Offset vs. V_{ds} Supply Voltage

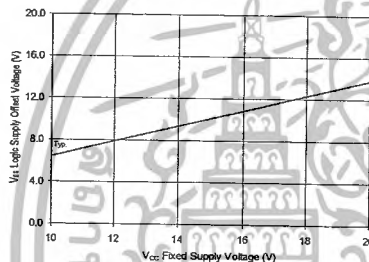


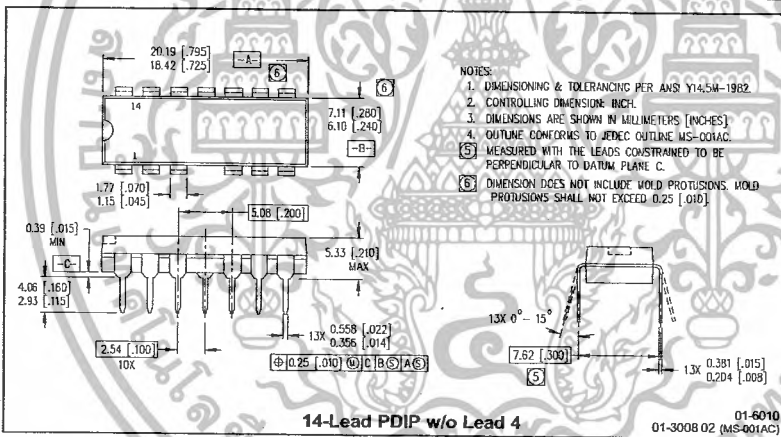
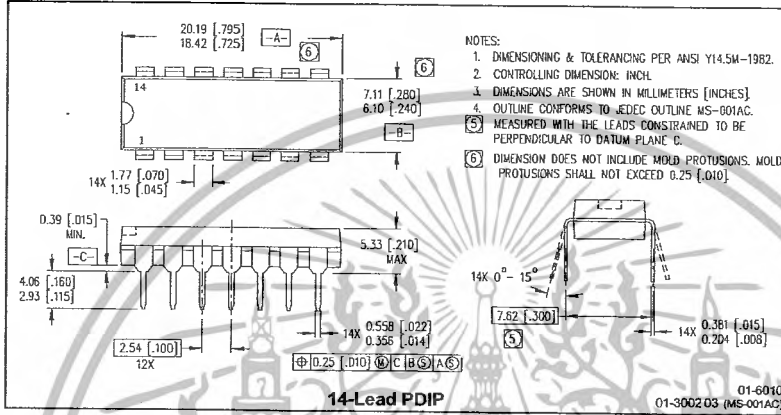
Figure 37. Maximum V_{ds} Positive Offset vs. V_{CC} Supply Voltage

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

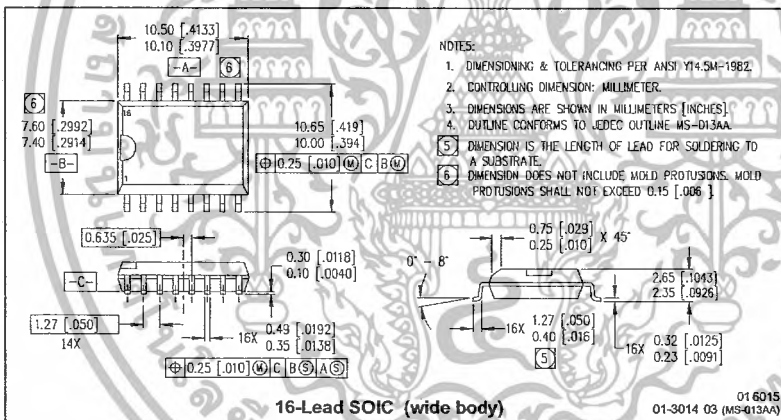
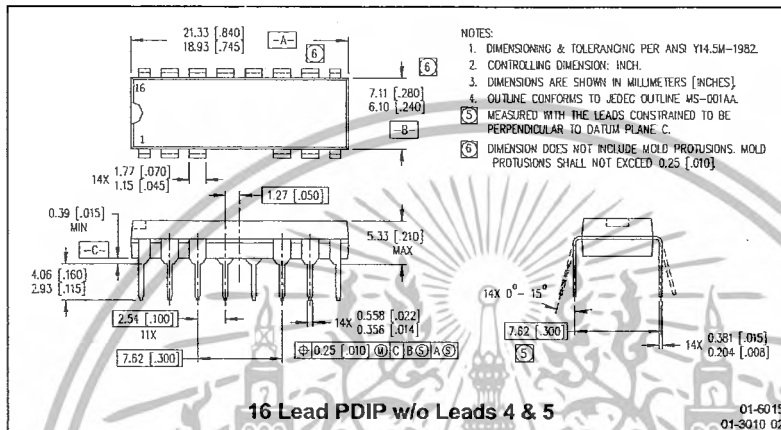
International
IR Rectifier

Case Outlines



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

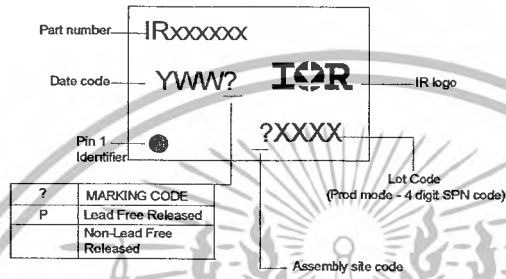


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

IR2110(-1-2)(S)PbF/IR2113(-1-2)(S)PbF

International
IR Rectifier

LEADFREE PART MARKING INFORMATION



ORDER INFORMATION

Part only available Lead Free

- 14-Lead PDIP IR2110 order IR2110PbF
- 14-Lead PDIP IR2110-1 order IR2110-1PbF
- 14-Lead PDIP IR2110-2 order IR2110-2PbF
- 14-Lead PDIP IR2113 order IR2113PbF
- 14-Lead PDIP IR2113-1 order IR2113-1PbF
- 14-Lead PDIP IR2113-2 order IR2113-2PbF
- 16-Lead SOIC IR2110S order IR2110SPbF
- 16-Lead SOIC IR2113S order IR2113SPbF

IR WORLD HEADQUARTERS: 233 Kansas St., El Segundo, California 90245 Tel: (310) 252-7105
This product has been qualified per industrial level
Data and specifications subject to change without notice 3/23/2005

International
IR Rectifier

www.irf.com

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD40106B Types

CMOS Hex Schmitt Triggers

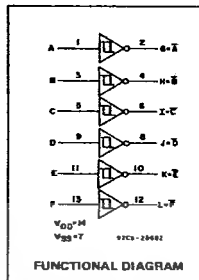
High-Voltage Types (20-Volt Rating)

■ CD40106B consists of six Schmitt-trigger circuits. Each circuit functions as an inverter with Schmitt-trigger action on the input. The trigger switches at different points for positive- and negative-going signals. The difference between the positive-going voltage (V_P) and the negative-going voltage (V_N) is defined as hysteresis voltage (V_H) (see Fig.6).

The CD4013B types are supplied in 14-lead hermetic dual-in-line ceramic packages (D and F suffixes), 14-lead dual-in-line plastic package (E suffix), 14-lead small-outline package (NSR suffix), and in chip form (H suffix).

Features:

- Schmitt-trigger action with no external components
- Hysteresis voltage (typ.) 0.9 V at V_{DD} = 5V, 2.3 V at V_{DD} = 10 V, and 3.5 V at V_{DD} = 15 V
- Noise immunity greater than 50%
- No limit on input rise and fall times
- Standardized, symmetrical output characteristics
- 100% tested for quiescent current at 20 V
- Maximum input current of 1 μA at 18 V over full package-temperature range; 100 nA at 18 V and 25°C
- Low V_{DD} to V_{SS} current during slow input ramp
- 5-V, 10-V, and 15-V parametric ratings
- Meets all requirements of JEDEC Tentative Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"



Applications:

- Wave and pulse shapers
- High-noise environment systems
- Monostable multivibrators
- Astable multivibrators

MAXIMUM RATINGS, Absolute-Maximum Values:

- DC SUPPLY-VOLTAGE RANGE (V_{DD})
 Voltages referenced to V_{SS} Terminal) -0.5V to +20V
- INPUT VOLTAGE RANGE, ALL INPUTS -0.5V to V_{DD} +0.5V
- DC INPUT CURRENT, ANY ONE INPUT ±10mA
- POWER DISSIPATION PER PACKAGE (P_D):
 For T_A = -55°C to +100°C 500mW
 For T_A = +100°C to +125°C Derate Linearly at 12mW/°C to 200mW
- DEVICE DISSIPATION PER OUTPUT TRANSISTOR
 FOR T_A = FULL PACKAGE-TEMPERATURE RANGE (All Package Types) 100mW
- OPERATING-TEMPERATURE RANGE (T_A) -55°C to +125°C
- STORAGE TEMPERATURE RANGE (T_{stg}) -65°C to +150°C
- LEAD TEMPERATURE (DURING SOLDERING):
 At distance 1/16 ± 1/32 inch (1.59 ± 0.79mm) from case for 10s max +265°C

RECOMMENDED OPERATING CONDITIONS

For maximum reliability, nominal operating conditions should be selected so that operation is always within the following ranges:

CHARACTERISTIC	LIMITS		UNITS
	MIN.	MAX.	
Supply-Voltage Range (For T _A Full Package-Temperature Range)	3	18	V

DYNAMIC ELECTRICAL CHARACTERISTICS

At T_A = 25°C, Input t_r, t_f = 20 ns, C_L = 50 pF, R_L = 200 kΩ

CHARACTERISTIC	TEST CONDITIONS	LIMITS		UNITS	
		V _{DD} (V)	TYP.		MAX.
Propagation Delay Time:	t _{PHL}	5	140	280	ns
	t _{PLH}	10	70	140	
	t _{PLH}	15	60	120	
Transition Time:	t _{FHL}	5	100	200	ns
	t _{FHL}	10	50	100	
	t _{FHL}	15	40	80	
Input Capacitance, C _{IN}	Any Input		5	7.5	pF

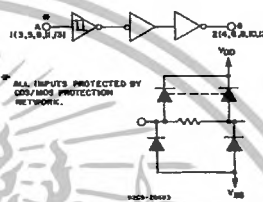


Fig.1 - Logic diagram (1 of 6 Schmitt triggers).

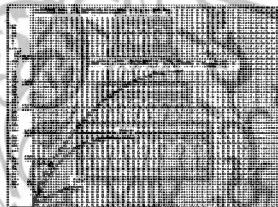


Fig.2 - Typical output low (sink) current characteristics.

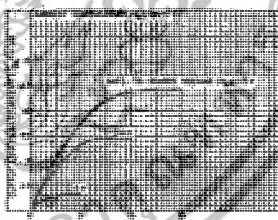


Fig.3 - Minimum output low (sink) current characteristics.

Copyright © 2002, Texas Instruments Incorporated

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD40106B Types

STATIC ELECTRICAL CHARACTERISTICS

CHARACTERISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS	
	V _O (V)	V _{IN} (V)	V _{DD} (V)	-85	-40	+85	+125	+25				
								Min.	Typ.	Max.		
Quiescent Device Current, I _{DD} Max.	-	0.5	5	1	1	30	30	-	0.02	1	μA	
	-	0.10	10	2	2	80	80	-	0.02	2		
	-	0.15	15	4	4	120	120	-	0.02	4		
	-	0.20	20	20	20	600	600	-	0.04	20		
Positive Trigger Threshold Voltage V _P Min.	-	-	5	2.2	2.2	2.2	2.2	2.2	2.9	-	V	
	-	-	10	4.6	4.6	4.6	4.6	4.6	5.9	-		
	-	-	15	6.8	6.8	6.8	6.8	6.8	8.8	-		
	-	-	5	3.6	3.6	3.6	3.6	-	2.9	3.6		
V _P Max.	-	-	10	7.1	7.1	7.1	7.1	-	5.9	7.1	V	
	-	-	15	10.8	10.8	10.8	10.8	-	8.8	10.8		
	-	-	5	0.9	0.9	0.9	0.9	0.9	1.9	-		
	-	-	10	2.5	2.5	2.5	2.5	2.5	3.9	-		
Negative Trigger Threshold Voltage V _N Min.	-	-	15	4	4	4	4	4	5.8	-	V	
	-	-	5	2.8	2.8	2.8	2.8	-	1.9	2.8		
	-	-	10	5.2	5.2	5.2	5.2	-	3.9	5.2		
	-	-	15	7.4	7.4	7.4	7.4	-	5.8	7.4		
V _N Max.	-	-	5	0.3	0.3	0.3	0.3	0.3	0.9	-	V	
	-	-	10	1.2	1.2	1.2	1.2	1.2	2.3	-		
	-	-	15	1.6	1.6	1.6	1.6	1.6	3.5	-		
	-	-	5	1.6	1.6	1.6	1.6	-	0.9	1.6		
V _H Min.	-	-	10	3.4	3.4	3.4	3.4	-	2.3	3.4	V	
	-	-	15	5	5	5	5	-	3.5	5		
	0.4	0.5	5	0.64	0.61	0.42	0.36	0.51	1	-		mA
	0.5	0.10	10	1.6	1.5	1.1	0.9	1.3	2.6	-		
1.5	0.15	15	4.2	4	2.8	2.4	3.4	6.6	-			
Output High (Source) Current, I _{OH} Min.	4.6	0.5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	-	mA	
	2.5	0.5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	-		
	9.5	0.10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	-		
	13.5	0.15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	-		
Output Voltage Low-Level, V _{OL} Max.	-	5	5	0.05			-	0	0.05	-	V	
	-	10	10	0.05			-	0	0.05	-		
	-	15	15	0.05			-	0	0.05	-		
Output Voltage High Level, V _{OH} Min.	-	0	5	4.95			4.95	5	-	-	V	
	-	0	10	9.95			9.95	10	-	-		
	-	0	15	14.95			14.95	15	-	-		
Input Current, I _{IN} Max.	-	0.18	18	±0.1	±0.1	±1	±1	-	±10 ⁻⁵	±0.1	μA	

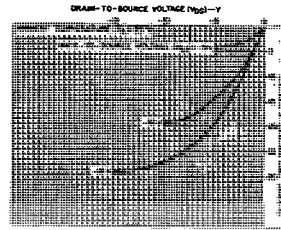


Fig. 4 - Typical output high (source) current characteristics.

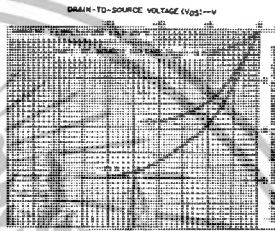


Fig. 5 - Minimum output high (source) current characteristics.

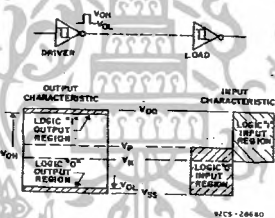


Fig. 7 - Input and output characteristics.

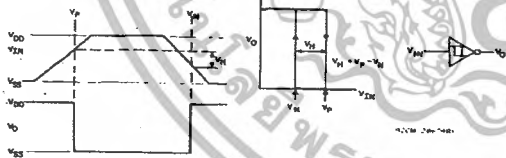


Fig. 6 - Hysteresis definition, characteristics, and test set-up.

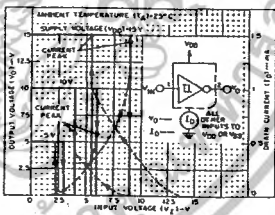


Fig. 8 - Typical current and voltage transfer characteristics.

3
COMMERCIAL CMOS
HIGH VOLTAGE ICs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD40106B Types

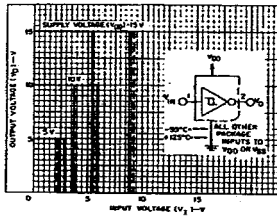


Fig. 9 - Typical voltage transfer characteristics as a function of temperature.

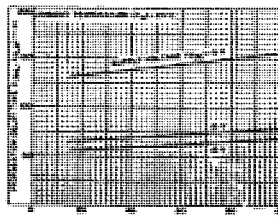


Fig. 10 - Typical propagation delay time as a function of load capacitance.

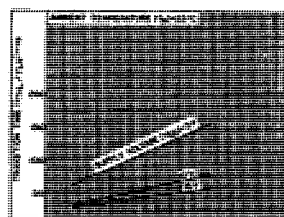


Fig. 11 - Typical transition time as a function of load capacitance.

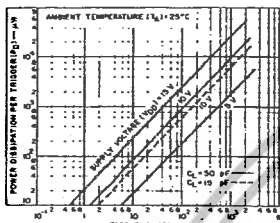


Fig. 12 - Typical power dissipation per trigger as a function of input frequency.

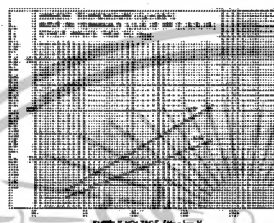


Fig. 13 - Typical trigger threshold voltage as a function of supply voltage.

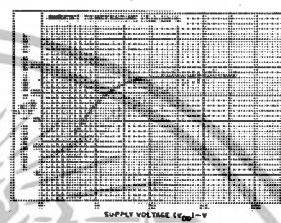


Fig. 14 - Typical percent hysteresis as a function of supply voltage.

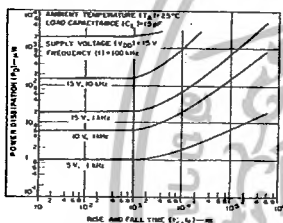


Fig. 15 - Typical power dissipation as a function of rise and fall times.

APPLICATIONS



Fig. 16 - Wave shaper.

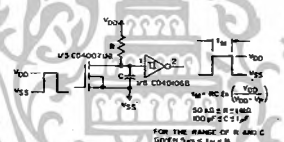


Fig. 17 - Monostable multivibrator.

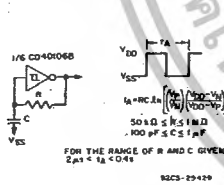


Fig. 18 - Astable multivibrator.

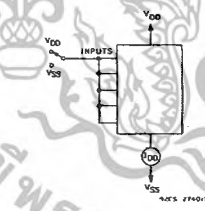


Fig. 19 - Quiescent device current test circuit.

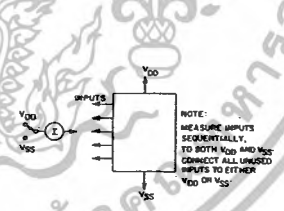


Fig. 20 - Input current test circuit.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

CD40106B Types

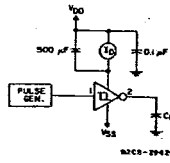
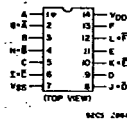
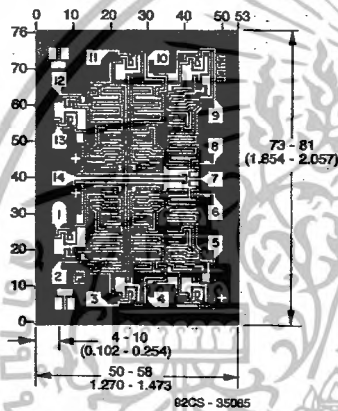


Fig.21 — Dynamic power dissipation test circuit.



TERMINAL ASSIGNMENT



Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10⁻³ inch).

Dimensions and Pad Layout for CD40106BH

3
COMMERCIAL CMOS
HIGH VOLTAGE ICs

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การควบคุมเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับด้วยวิธีจ่ายโหลดอย่างสมดุลที่ใช้เซลล์แสงอาทิตย์เป็นแหล่งจ่าย

11-level H-bridge Inverter Control technique Using Balancing H-bridge Load for Solar cell Sources

ณัฐภัทร ไพรสุวรรณ*, ฉัตรชัย เอ็มสะอาด**, สุรินทร์ คำผอย*, ประภาส ไพรสุวรรณ*

* ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

3 หมู่ 2 ถนนฉลองกรุง แขวงลำป่าทวี เขตลาดกระบัง กรุงเทพฯ 10520 โทร./โทรสาร. 0-2326-4550 E-mail: apower@kmitl.ac.th

** บริษัท พีระบรอนเซอร์ จำกัด 109/96-97 ซอยสวนสยาม ถนนเสรีไทย แขวงคันนายาว กรุงเทพฯ 10230 โทร. 02-518-1258-9 โทรสาร 02-518-0151

บทคัดย่อ

บทความนี้ได้นำเสนอการประยุกต์ใช้งานเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับที่มีแหล่งจ่ายเป็นเซลล์แสงอาทิตย์ โดยสามารถสร้างแรงดัน 220 โวลต์(อาร์เอ็มเอส) ได้โดยไม่ต้องอาศัยหม้อแปลงและฟิลเตอร์ และมีคุณภาพของสัญญาณแรงดันไฟฟ้าที่ดี วิธีการหมุนเวียนสัญญาณควบคุมที่ป้อนให้กับอินเวอร์เตอร์แต่ละชุด เพื่อเป็นการแบ่งภาระการจ่ายโหลดอย่างสมดุลได้นั้นเสนอในบทความนี้ วิธีนี้ได้ทำการจำลองค่าการสูญเสียจากการสวิตช์ของอินเวอร์เตอร์แต่ละชุดให้เท่ากันอีกด้วย ซึ่งจะทำให้อินเวอร์เตอร์แต่ละชุดมีอายุการใช้งานที่มากขึ้นและเท่ากัน โดยบทความนี้ได้จำลองการทำงานโดยอาศัยโปรแกรม Matlab/Simulink เพื่อยืนยันหลักการที่ได้นำเสนอ

คำสำคัญ: เอช-บริดจ์อินเวอร์เตอร์ 11 ระดับ, การจ่ายโหลดแบบสมดุล, ค่าการสูญเสียจากการสวิตช์

Abstract

The design and implementation paradigm of 11-level H-Bridge inverter interfacing with solar cell sources are presented in this paper. 11-level H-Bridge inverter can be generated 220 volts (rms) without a transformer and filter with high quality output voltage waveforms. Moreover, this paper proposes the rotated switching signal method for sharing the load of each H-Bridge; thereupon, inverter switching losses can be equally consumed. This leads to have a higher and equal H-Bridge inverter life time. The simulation of the proposed technique is also performed by using MATLAB/Simulink program.

Keywords: 11 level inverter, balance load, switching losses

1. บทนำ

ด้วยคุณสมบัติของอินเวอร์เตอร์หลายระดับที่มีข้อได้เปรียบอินเวอร์เตอร์โดยทั่วไปในหลายๆด้าน เช่น ความสามารถในการทำงานที่

แรงดันที่สูงขึ้น, คุณภาพของแรงดันเอาต์พุตที่สูงขึ้น และเสถียรภาพที่มากขึ้น โดยในบทความนี้ได้เลือกเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับโดยใช้แหล่งจ่ายเป็นเซลล์แสงอาทิตย์ เนื่องจากเอช-บริดจ์อินเวอร์เตอร์ยังมีข้อได้เปรียบในด้านการใช้ประโยชน์จากแรงดันดีซีที่ต่ำกว่าอินเวอร์เตอร์ 3 เฟสชนิดอื่นๆ ซึ่งเอช-บริดจ์อินเวอร์เตอร์จะมีความต้องการระดับแรงดันดีซีแค่เพียงสร้างแรงดันเฟส ก็จะสามารถสร้างแรงดันเอาต์พุตที่ระดับแรงดันไลน์ได้

นอกจากนี้ในบทความนี้ยังได้นำเสนอวิธีการควบคุมในการจ่ายโหลด เพื่อลดปัญหาในการเกิดแรงดันไม่สมดุลในแต่ละแหล่งจ่าย ซึ่งจะส่งผลต่อคุณภาพของสัญญาณแรงดันเอาต์พุต อีกทั้งยังจะเป็นการเฉลี่ยค่าการสูญเสียของอินเวอร์เตอร์แต่ละชุดให้มีความเท่ากัน เพื่อไม่ให้อินเวอร์เตอร์ชุดใดชุดหนึ่งทำงานหนักเกินไป โดยเทคนิคที่นำเสนอนั้นจะสามารถลดแก้ปัญหาในการรับภาระการจ่ายโหลดที่ไม่เท่ากันได้ และได้ทดสอบเทคนิคดังกล่าวโดยการจำลองการทำงานด้วยโปรแกรมคอมพิวเตอร์

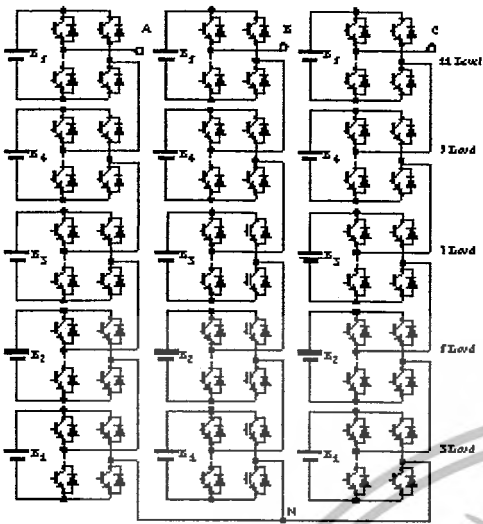
2. เอช-บริดจ์อินเวอร์เตอร์ 11 ระดับ

ในบทความนี้ได้เลือกใช้อินเวอร์เตอร์หลายระดับชนิดเอช-บริดจ์ เนื่องจากคุณสมบัติของเอช-บริดจ์อินเวอร์เตอร์ในหลายๆด้านเช่น

- ให้แรงดันเอาต์พุตที่มีคุณภาพสูง
- ฮาร์โมนิกส์ต่ำ
- ลดความเครียดจาก dv/dt ของโหลด
- การใช้ประโยชน์แรงดันดีซีสูง

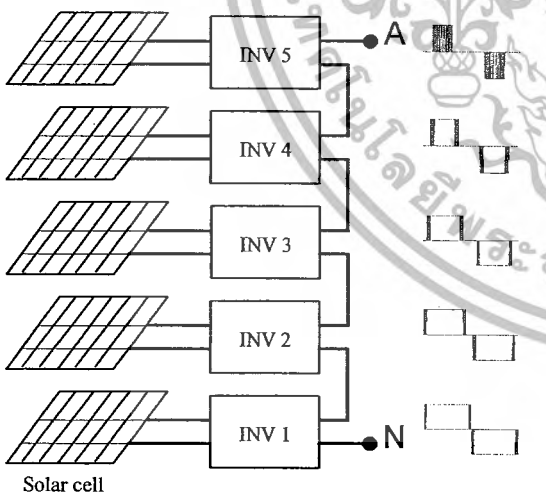
โครงสร้างของอินเวอร์เตอร์หลายระดับชนิดเอช-บริดจ์ จะเป็นการนำอินเวอร์เตอร์ 1 เฟสฟูลบริดจ์ หลายๆตัวมาต่ออนุกรมกัน โดยเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับจะประกอบด้วยอินเวอร์เตอร์ฟูลบริดจ์ 1 เฟสจำนวน 5 ชุดต่ออนุกรมกันในแต่ละเฟส จึงทำให้เอช-บริดจ์อินเวอร์เตอร์ 11 ระดับนี้ต้องการอินเวอร์เตอร์และแหล่งจ่ายทั้งหมด 15 ชุดด้วยกัน โดยแหล่งจ่ายของอินเวอร์เตอร์ในแต่ละชุดจะแยกอิสระต่อกัน ดังแสดงในรูปที่ 1

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 1 โครงสร้างของอินเวอร์เตอร์ 11 ระดับขนานอินเวอร์เตอร์

สำหรับบทความนี้เราได้เลือกนำแหล่งจ่ายพลังงานทดแทนที่ได้จากเซลล์แสงอาทิตย์มาประยุกต์ใช้งานร่วมกับอินเวอร์เตอร์ 11 ระดับ ทั้งนี้ เนื่องมาจากการที่อินเวอร์เตอร์ 11 ระดับ มีความต้องการระดับแรงดันด้านอินพุตที่สอดคล้องกับแหล่งจ่ายแรงดันของพลังงานทดแทนซึ่งสามารถหาได้ทั่วไปจึงทำให้เราสามารถนำแหล่งจ่ายพลังงานทดแทนเหล่านั้นมาต่อโดยตรงกับอินเวอร์เตอร์ได้ ซึ่งจะส่งผลให้ประสิทธิภาพของระบบดีขึ้น โดยอินเวอร์เตอร์แต่ละชุดจะมีแหล่งจ่ายเป็นของตัวเอง



รูปที่ 2 โครงสร้างการต่ออินเวอร์เตอร์กับเซลล์แสงอาทิตย์

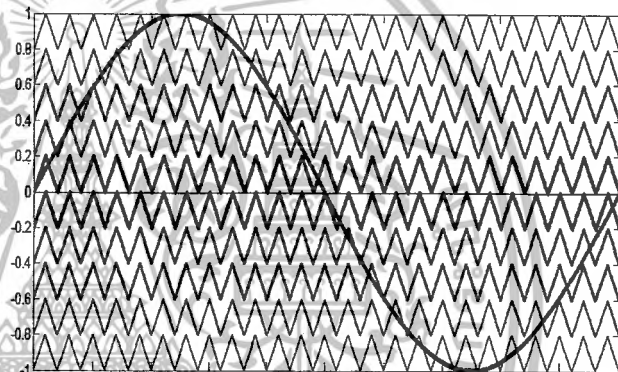
สำหรับประเทศไทยซึ่งระบบไฟฟ้าในการใช้งานจะอยู่ที่ 220 โวลต์ 50 เฮิรตซ์ ดังนั้นในการจะสร้างแรงดันไฟฟ้าเอาท์พุทที่ 220 โวลต์ อาร์เอ็มเอส จะต้องการแรงดันไฟฟ้าดีซีเท่ากับ 311 โวลต์ (เมื่อต้องการการทำงานในย่านมอดูเลชันไม่เกิน 1) ด้วยเหตุนี้เมื่อเรานำไปออกแบบอินเวอร์เตอร์ 11 ระดับที่ต้องการแหล่งจ่าย 5 ชุดต่อเฟส ทำให้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แหล่งจ่ายเหล่านี้ต้องการแรงดันประมาณ 62.5 โวลต์ต่อชุด ซึ่งจะตรงกับพิกัดแรงดันของแผงเซลล์แสงอาทิตย์ที่ซึ่งสามารถหาได้ทั่วไปในท้องตลาด ซึ่งแผงเซลล์แสงอาทิตย์จะมีค่าระดับแรงดันในการทำงานประมาณ 50 - 70 โวลต์ ดังนั้นอินเวอร์เตอร์ 11 ระดับจึงมีความเหมาะสม

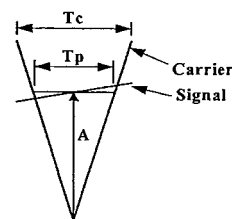
นอกเหนือจากนี้เสถียรภาพของระบบจะพบว่าอินเวอร์เตอร์อินเวอร์เตอร์ 11 ระดับนั้นมีเสถียรภาพที่สูงกว่าอินเวอร์เตอร์ที่ทำงานแบบตัวเดียว เช่น ในกรณีที่แหล่งจ่ายหรืออินเวอร์เตอร์ชุดใดชุดหนึ่งของระบบเกิดความผิดปกติหรือเสียหายไป ระบบของอินเวอร์เตอร์อินเวอร์เตอร์ 11 ระดับนี้จะยังคงสามารถทำงานต่อไปได้ด้วยการตัดส่วนที่เสียหายออกไป

3. การมอดูเลตสัญญาณพีดับบลิวเอ็มสำหรับอินเวอร์เตอร์ 11 ระดับ



รูปที่ 3 การมอดูเลตสัญญาณพีดับบลิวเอ็มสำหรับอินเวอร์เตอร์ 11 ระดับ

การมอดูเลตสัญญาณพีดับบลิวเอ็มสำหรับอินเวอร์เตอร์อินเวอร์เตอร์ 11 ระดับนี้จะประกอบไปด้วยคลื่นพาหะทั้งหมด 10 ชุดด้วยกัน โดยจะมีความสูงของคลื่นพาหะในแต่ละชุดมีค่า 0.2 และจะมีสัญญาณอ้างอิงโดยในงานวิจัยนี้เลือกใช้สัญญาณไซน์ ซึ่งความสูงของสัญญาณอ้างอิงนี้จะเรียกว่าดัชนีการมอดูเลชัน (m_a) ดังแสดงในรูปที่ 3 ในการมอดูเลชันระหว่างสัญญาณอ้างอิงกับคลื่นพาหะจะทำให้เกิดสัญญาณพีดับบลิวเอ็ม เพื่อนำไปใช้ในการควบคุมการทำงานของอินเวอร์เตอร์ โดยค่าความกว้างของสัญญาณพีดับบลิวเอ็มนั้นจะขึ้นอยู่กับความสูงของสัญญาณอ้างอิงเมื่อเปรียบเทียบกับความสูงของคลื่นพาหะ ดังแสดงในรูปที่ 4 ซึ่งสามารถเขียนเป็นสมการได้ดังนี้



รูปที่ 4 ความสัมพันธ์ระหว่างความกว้างพัลส์กับสัญญาณมอดูเลชัน

$$\frac{T_p}{T_c} = A \quad ; 0 \leq A \leq 1 \quad (1)$$

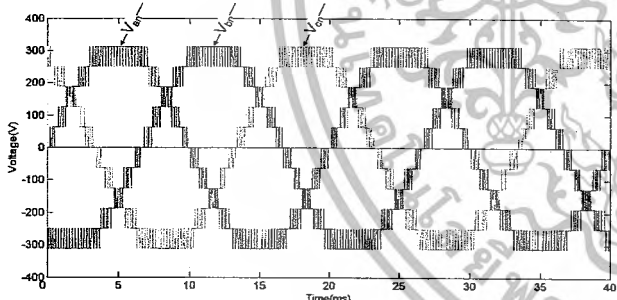
เมื่อ T_p คือ ความกว้างพัลส์ของสัญญาณเอาต์พุต
 T_c คือ คาบเวลาของคลื่นพาหะ
 A คือ ความสูงของสัญญาณอ้างอิง

โดยแรงดันเฟสเอาต์พุตของอินเวอร์เตอร์หลายระดับชนิดเอช-บริดจ์จะมีค่าความสัมพันธ์กับดัชนีการมอดูเลชัน (m_a) และแรงดันไฟตรง (V_{dc}) ตามสมการที่ 2

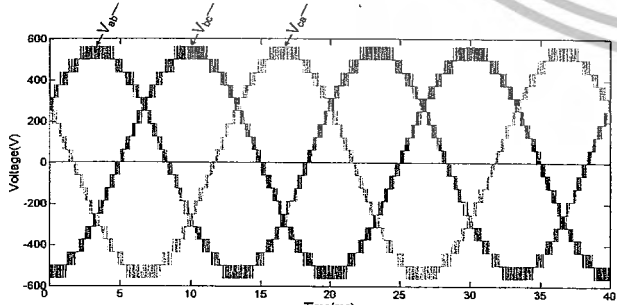
$$V_{1peak} = m_a \cdot V_{dc} \quad ; \quad (m_a \leq 1) \quad (2)$$

โดย $V_{dc} = sE$ (3)

เมื่อ E คือ ระดับแรงดันไฟตรงของอินเวอร์เตอร์ย่อย
 S คือ จำนวนแหล่งจ่ายไฟฟ้าไฟตรงต่อเฟส
 ดังนั้นค่าแรงดันเอาต์พุตจะแปรตามค่าดัชนีมอดูเลชันเป็นสำคัญ และเมื่อได้สัญญาณพีคดับลิวเอ็มสำหรับควบคุมอินเวอร์เตอร์แต่ละชุดแล้ว อินเวอร์เตอร์แต่ละชุดจะสร้างแรงดันเอาต์พุตที่แตกต่างกันดังรูปที่ 2 โดยแรงดันเฟสเอาต์พุตคือแรงดันของอินเวอร์เตอร์แต่ละชุดรวมกันกลายเป็นสัญญาณแรงดัน 11 ระดับ ซึ่งในบทความนี้ได้จำลองการทำงานของเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับ ด้วยโปรแกรม Matlab/Simulink จะได้แรงดันเฟสเอาต์พุตทั้ง 3 เฟส ดังแสดงในรูปที่ 5 และแรงดันไลน์ในรูปที่ 6 ตามลำดับ



รูปที่ 5 แรงดันเฟสเอาต์พุตของอินเวอร์เตอร์ 11 ระดับ



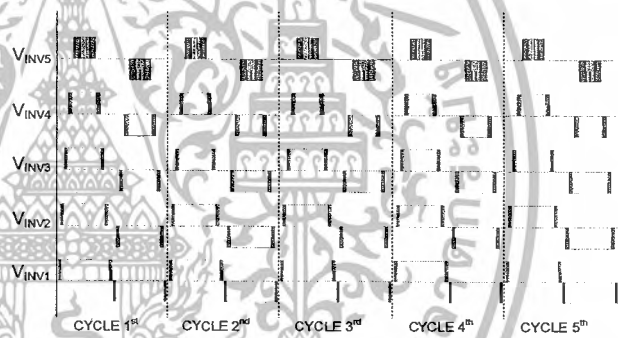
รูปที่ 6 แรงดันไลน์เอาต์พุตของอินเวอร์เตอร์ 11 ระดับ

4. การควบคุมการจ่ายโหลดแบบสมมูล

โดยทั่วไปหลักการในการสร้างสัญญาณเพื่อควบคุมอินเวอร์เตอร์จะมุ่งเน้นที่คุณภาพของแรงดันเอาต์พุตเพื่อให้เป็นสัญญาณเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ไซนเป็นสำคัญ ซึ่งจะอาศัยการมอดูเลชันให้ได้สัญญาณควบคุมมาแล้วนำไปใช้ควบคุมอินเวอร์เตอร์แต่ละชุด และเมื่ออินเวอร์เตอร์ในแต่ละชุดได้รับสัญญาณในการควบคุมที่แตกต่างกันออกไป ย่อมส่งผลให้แหล่งจ่ายแต่ละตัวรับภาระในการจ่ายโหลดไม่เท่ากัน เป็นสาเหตุหนึ่งที่ทำให้เกิดแรงดันตก, ค่าสูญเสีย และอุณหภูมิในการทำงานของอินเวอร์เตอร์แต่ละชุดที่ไม่เท่ากัน อีกทั้งอินเวอร์เตอร์ตัวที่ทำงานหนักกว่าย่อมมีโอกาสเกิดความเสียหายได้มากกว่าอินเวอร์เตอร์ตัวอื่นๆ ด้วยเช่นกัน ซึ่งปัญหาดังกล่าวเกิดขึ้นย่อมส่งผลทำให้คุณภาพของแรงดันเอาต์พุตมีค่าลดลง

ในบทความนี้ได้นำเสนอเทคนิคการควบคุมการจ่ายโหลดแบบสมมูลสำหรับเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับ เทคนิคนี้อาศัยหลักการหมุนเวียนสัญญาณควบคุมของอินเวอร์เตอร์แต่ละชุด ซึ่งในกรณีที่ไม่มีการหมุนเวียนสัญญาณควบคุม ดังแสดงในรูปที่ 7 โดยจะสังเกตได้ว่าแรงดันเอาต์พุตของอินเวอร์เตอร์แต่ละชุดจะเหมือนเดิมทุกๆ คาบ ซึ่งจะทำให้ภาระในการจ่ายโหลดของอินเวอร์เตอร์แต่ละชุดจะไม่เท่ากัน ดังแสดงในตารางที่ 1

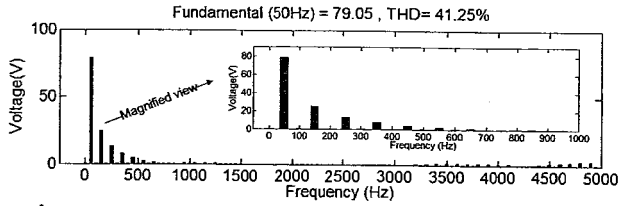


รูปที่ 7 แรงดันของอินเวอร์เตอร์แต่ละชุดเมื่อไม่มีการควบคุมการจ่ายโหลดแบบสมมูล

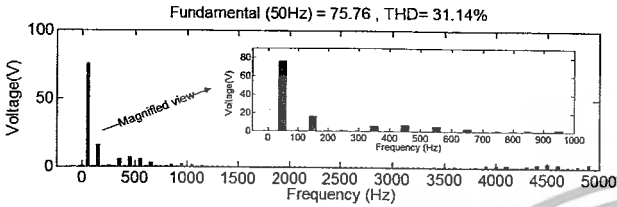
ตารางที่ 1 กำลังไฟฟ้าของอินเวอร์เตอร์แต่ละชุดเมื่อไม่มีการควบคุมการจ่ายโหลดแบบสมมูล

ลำดับอินเวอร์เตอร์	กำลังไฟฟ้า
INV1	25.94%
INV2	24.58%
INV3	21.55%
INV4	17.56%
INV5	10.37%

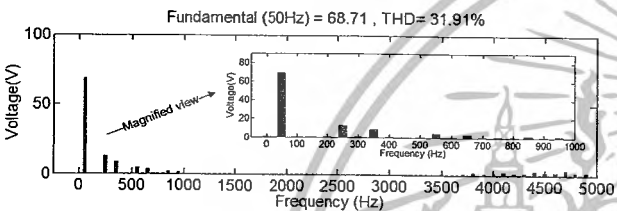
จากข้อมูลในตารางที่ 1 จะเห็นได้ว่า INV1 จะรับภาระในการจ่ายโหลดมากกว่าอินเวอร์เตอร์ชุดอื่นๆ เนื่องจากสัญญาณที่ใช้ควบคุม INV1 มีเนื้อแรงดันมากที่สุด และ INV2, INV3, INV4 และ INV5 ก็จะได้รับภาระในการจ่ายโหลดลดลงตามสัญญาณที่ใช้ควบคุมดังรูปที่ 7



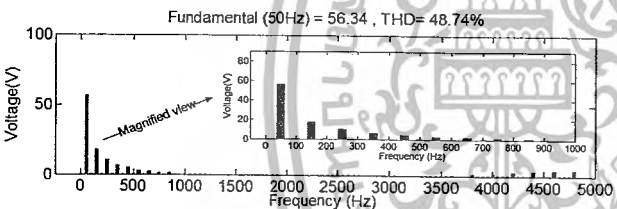
รูปที่ 8 สเปกตรัมของอินเวอร์เตอร์ชุดที่ 1 (INV1)



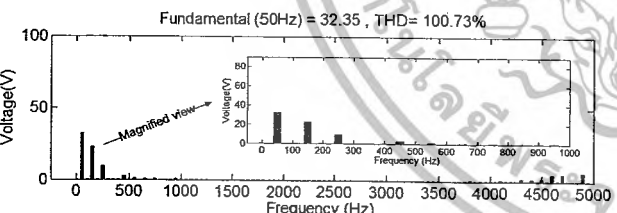
รูปที่ 9 สเปกตรัมของอินเวอร์เตอร์ชุดที่ 2 (INV2)



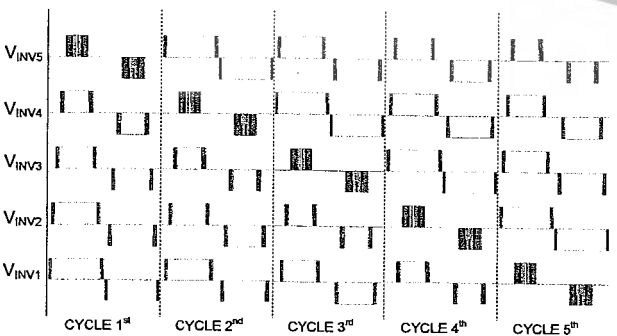
รูปที่ 10 สเปกตรัมของอินเวอร์เตอร์ชุดที่ 3 (INV3)



รูปที่ 11 สเปกตรัมของอินเวอร์เตอร์ชุดที่ 4 (INV4)



รูปที่ 12 สเปกตรัมของอินเวอร์เตอร์ชุดที่ 5 (INV5)



รูปที่ 13 แรงดันของอินเวอร์เตอร์แต่ละชุดเมื่อมีการเปลี่ยนโหลด

เมื่อใช้การควบคุมการจ่าย โหลดแบบสมดุลลักษณะของแรงดันเอาต์พุตของอินเวอร์เตอร์แต่ละชุดจะหมุนเวียนสลับการทำงานทุกๆคาบ ดังแสดงในรูปที่ 8 ซึ่งวิธีการนี้จะทำให้อินเวอร์เตอร์แต่ละชุดเฉลี่ยการจ่าย โหลดและค่าการสูญเสียอย่างเท่าเทียมกัน โดยวิธีการนี้ยังเป็นการลดปัญหาแรงดันตกที่ไม่เท่ากันของแต่ละแหล่งจ่ายได้อีกทางหนึ่งด้วย

5. ข้อเสนอแนะ

วิธีการควบคุมการจ่าย โหลดแบบสมดุลนี้ไม่สามารถชดเชยแรงดันที่ไม่เท่ากันที่เกิดจากคุณสมบัติของแหล่งจ่ายเองได้ ดังนั้นแหล่งจ่ายที่ใช้งานจริงจึงควรจะมีคุณสมบัติที่ใกล้เคียงกันให้มากที่สุด และแหล่งจ่ายแรงดันที่ใช้เป็นเซลล์แสงอาทิตย์ซึ่งแรงดันแต่ละช่วงเวลาอาจจะไม่เท่ากันขึ้นอยู่กับแสงอาทิตย์ ซึ่งจะทำให้แรงดันด้านเอาต์พุตไม่คงที่ ดังนั้นการปรับเปลี่ยนสัญญาณมอดูเลตตาม จะสามารถติดตามปริมาณของเนื้อแรงดันในแต่ละอินเวอร์เตอร์ได้อีกด้วย ซึ่งผู้วิจัยจะนำเสนอต่อไปพร้อมเครื่องต้นแบบ

6. สรุป

บทความนี้ได้นำเสนอวิธีการใช้งานเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับที่ต่อโดยตรงกับเซลล์แสงอาทิตย์ เพื่อทำให้เกิดประสิทธิภาพในส่งผ่านพลังงาน รวมทั้งได้นำเสนอวิธีแก้ปัญหการจ่าย โหลดไม่สมดุลของอินเวอร์เตอร์ในแต่ละชุด โดยวิธีการจ่าย โหลดแบบสมดุลด้วยการหมุนเวียนสัญญาณที่ใช้ควบคุมอินเวอร์เตอร์แต่ละชุด ซึ่งวิธีการนี้จะช่วยให้แรงดันของแหล่งจ่ายมีค่าเท่าๆกัน และยังทำให้ข้ออายุการทำงานของอินเวอร์เตอร์แต่ละชุดให้ใช้งานได้นานขึ้นอีกด้วย โดยได้จำลองการทำงานของเอช-บริดจ์อินเวอร์เตอร์ 11 ระดับ ตามเทคนิคที่ได้นำเสนอด้วยโปรแกรมคอมพิวเตอร์เพื่อยืนยันหลักการดังกล่าว และงานวิจัยชิ้นกำลังอยู่ในช่วงประยุกต์ใช้กับงานจริง ในทางปฏิบัติ เพื่อสามารถยืนยันหลักการดังกล่าวได้อย่างชัดเจนมากยิ่งขึ้น

เอกสารอ้างอิง

[1] S. Khomfoi, L. M. Tolbert, "Multilevel Power Converters," *Power Electronics Handbook*, 2nd Edition Elsevier, 2007, ISBN 978-0-12-088479-7, Chapter 17, pp. 451-482.

[2] P. Hammond, "A new approach to enhance power quality for medium voltage ac drive," *IEEE Trans. Ind Application*, Vol. 33, Jan.-Feb. 1997. pp. 202-208.

[3] E. Babaei, S.H. Hosseini, "Charge balance control methods for asymmetrical cascade multilevel converters," *Electrical Machines and Systems*, 2007. ICEMS, 8-11 Oct. 2007, pp. 74 - 79

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

อินเวอร์เตอร์หลายระดับ (Multilevel Inverter)

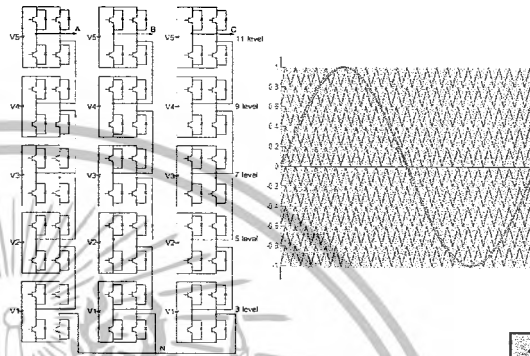
ณัฐกร โทสรุจรรณา, จาณุดล วัฒนวาณิชย์, ปรางภาส อธิพัฒน์, ณัฐธิ์ ชีวีวัฒนากุล
ภาควิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าจอมคณพาราลาดกระบัง
Renewable Energy Application Laboratory khitsurin@kmitl.ac.th

วัตถุประสงค์

- ศึกษาการทำงานของอินเวอร์เตอร์หลายระดับเพื่อใช้ร่วมกับพลังงานทดแทน
- พัฒนาประสิทธิภาพของเชื้อเพลิงให้คุ้มค่าที่สุด
- นำความรู้ที่ได้ไปประยุกต์ใช้กับเทคโนโลยีที่จะเข้ามาในประเทศไทยในอนาคต

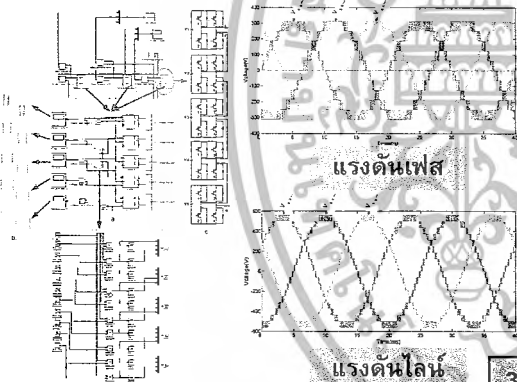
1

โครงสร้างของอินเวอร์เตอร์หลายระดับ



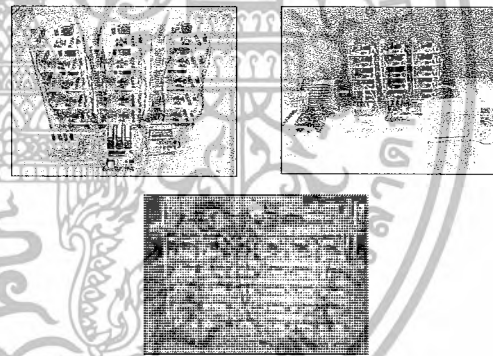
2

การจำลองโดยคอมพิวเตอร์



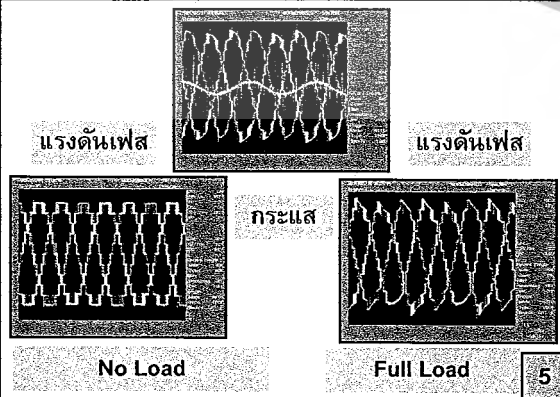
3

ชิ้นงานจริง



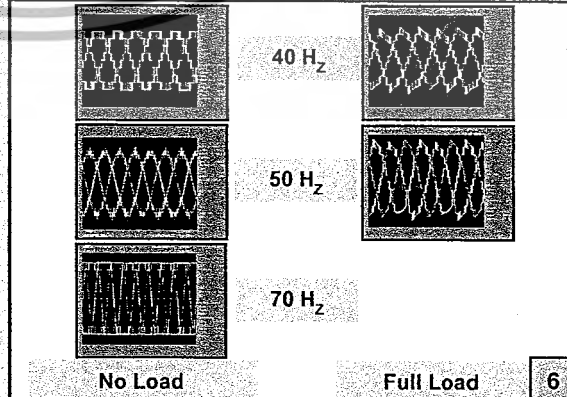
4

ผลการทดลองแรงดันเอาต์พุต



5

ผลการทดลองปรับความถี่



6

ประวัติผู้เขียน



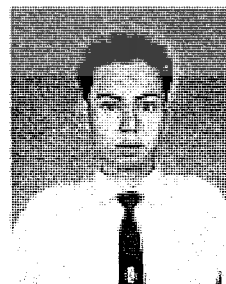
นาย ชาตฤทธิ วัฒนพาณิชย์
เกิดวันที่ 5 มกราคม 2529



นาย ฌัญฐภัทร ไพรสสุวรรณ
เกิดวันที่ 1 กุมภาพันธ์ 2531



นาย ฌัญฐิธี ชีวีวัฒนากุล
เกิดวันที่ 2 สิงหาคม 2528



นาย ปราการ อินทพัฒน์
เกิดวันที่ 4 มีนาคม 2529

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้