

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

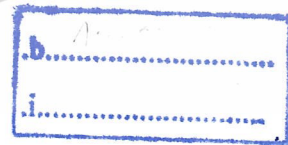
หม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม  
A BUCK-BOOST TRANSFORMER FOR AVR APPLICATIONS



T104055



เลขหมู่.....  
เลขทะเบียน 104055  
วัน,เดือน,ปี 28 ต.ค. 2552



ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาวิศวกรรมศาสตรบัณฑิต  
สาขาวิชาวิศวกรรมไฟฟ้า คณะวิศวกรรมศาสตร์  
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2551

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปีการศึกษา 2551

หม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม  
A BUCK-BOOST TRANSFORMER FOR AVR APPLICATIONS



อาจารย์ที่ปรึกษา

ดร.สุรินทร์ คำฝอย

รศ.ประภาพร ไพรสวรรณา

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ปริญญาโทปีการศึกษา 2551

ภาควิชาวิศวกรรมไฟฟ้า

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

เรื่อง หม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม

ผู้จัดทำ



- 1. นายพงษ์วุฒิ เอี่ยมเจริญสุข
- 2. นายพลัง วัฒนพานิช
- 3. นายภาสกร สุวรรณหิรัญพร
- 4. นายอนุพงศ์ รตามณีเจริญ

.....อาจารย์ที่ปรึกษา  
( ดร.สุรินทร์ คำฝอย )

.....อาจารย์ที่ปรึกษา  
( รศ.ประภาศ ไพรสุวรรณ )

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## หม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม

นายพงษ์วุฒิ เอี่ยมเจริญสุข  
นายพลัง วัฒนพานิช  
นายภาสกร สุวรรณศิริยุทธ  
นายอนุพงศ์ รตาคมณีเจริญ  
ดร.สุรินทร์ คำฝอย อาจารย์ที่ปรึกษา  
รศ.ประภาส ไพโรสุวรรณ อาจารย์ที่ปรึกษา  
ปีการศึกษา 2551

### บทคัดย่อ

ปฏิญานินพนธ์ฉบับนี้นำเสนอหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติสำหรับการชดเชยแรงดันตกในระบบซิงเกิลเฟส 220 โวลต์ ซึ่งชดเชยได้ -20 เปอร์เซ็นต์ เทคนิคที่นำเสนอคือการนำหม้อแปลงมาต่ออนุกรมระหว่างแหล่งจ่ายกับโหลด เราใช้โปรแกรม simulink/MATLAB เพื่อจำลองสัญญาณควบคุมให้แก่หม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติ โดยเครื่องต้นแบบขนาด 1 kVA. ถูกพัฒนาขึ้นเพื่อยืนยันความถูกต้องของเทคนิคนี้ ซึ่งเทคนิคนี้สามารถลดกระแสที่ไหลผ่านหน้าสัมผัสของหม้อแปลงปรับเปลี่ยนแท็ป ทำให้อุปกรณ์มีอายุการใช้งานที่ยาวนานขึ้น จากการทดสอบพบว่าหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติสามารถชดเชยแรงดันตกที่ -20 เปอร์เซ็นต์ภายใน 700 ms.

## A BUCK-BOOST TRANSFORMER FOR AVR APPLICATIONS

Pongwut Eiamcharoensuk  
Palang Watanapanich  
Passakorn Suwanhiranporn  
Anupong Radamaneejaroen  
Dr. Surin Khomfoi Supervisor  
Assoc.Prof. Prapart Prisuwana Supervisor  
2008

### ABSTRACT

This thesis presents a buck-boost transformer for voltage sag compensation in single phase 220 V. with -20 % system. The proposed technique has an additional transformer connected in series between the sender and the load. The simulink/MATLAB is used to simulate the control signals for the buck-boost transformer. The 1 kVA. prototype is developed to confirm the proposed technique. The proposed technique can reduce the current flow to the main contact of the conventional AVR : this will lead to the longer lifetime. The result shows that the buck-boost transformer can compensate the voltage sag down to -20 % within 700 ms.

## กิตติกรรมประกาศ

ในการทำโครงการเรื่องหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมให้สำเร็จลุล่วงไปได้นั้นจะไม่สามารถเกิดขึ้นได้เลย หากไม่ได้รับความกรุณาอย่างสูงจาก ดร.สุรินทร์ คำฝอย และ รศ.ประภาฯ ไพรสวรรณา ซึ่งเป็นอาจารย์ที่ปรึกษาโครงการทั้งสอง ท่าน ขอขอบพระคุณอาจารย์ที่ให้คำปรึกษา คำแนะนำ แนวคิดดีๆ และความช่วยเหลือต่างๆ ในการทำโครงการ

ขอขอบคุณสำนักงานนโยบายและแผนพลังงาน กระทรวงพลังงาน สำหรับทุนสนับสนุน กองทุนเพื่อส่งเสริมการอนุรักษ์พลังงาน แผนเพิ่มประสิทธิภาพการใช้พลังงาน ในการทำโครงการ

นอกจากนี้คณะผู้จัดทำต้องขอขอบคุณ คุณฉัตรชัย เอ็มสะอาด (พีมีว) ผู้ควบคุมดูแลห้อง Renewable Energy Application Laboratory (REAL LAB) ที่มานั่งคอยให้คำแนะนำและตอบคำถามเมื่อเกิดปัญหาขึ้น และ ขอขอบคุณห้อง REAL LAB สำหรับอุปกรณ์ที่ใช้ในการทำโครงการ แล้วก็ต้องขอบคุณเพื่อนๆห้อง REAL LAB ทุกกลุ่มที่อยู่ทำงานเป็นเพื่อนกัน และคอยเป็นกำลังใจ ตลอดจนถามไถ่ยามมีปัญหา

ท้ายที่สุด ผู้จัดทำต้องขอกราบขอบพระคุณบิดา มารดา ที่คอยส่งเสียเงินทองให้ผู้จัดทำเรียนหนังสือจนจบในครั้งนี้

## สารบัญ

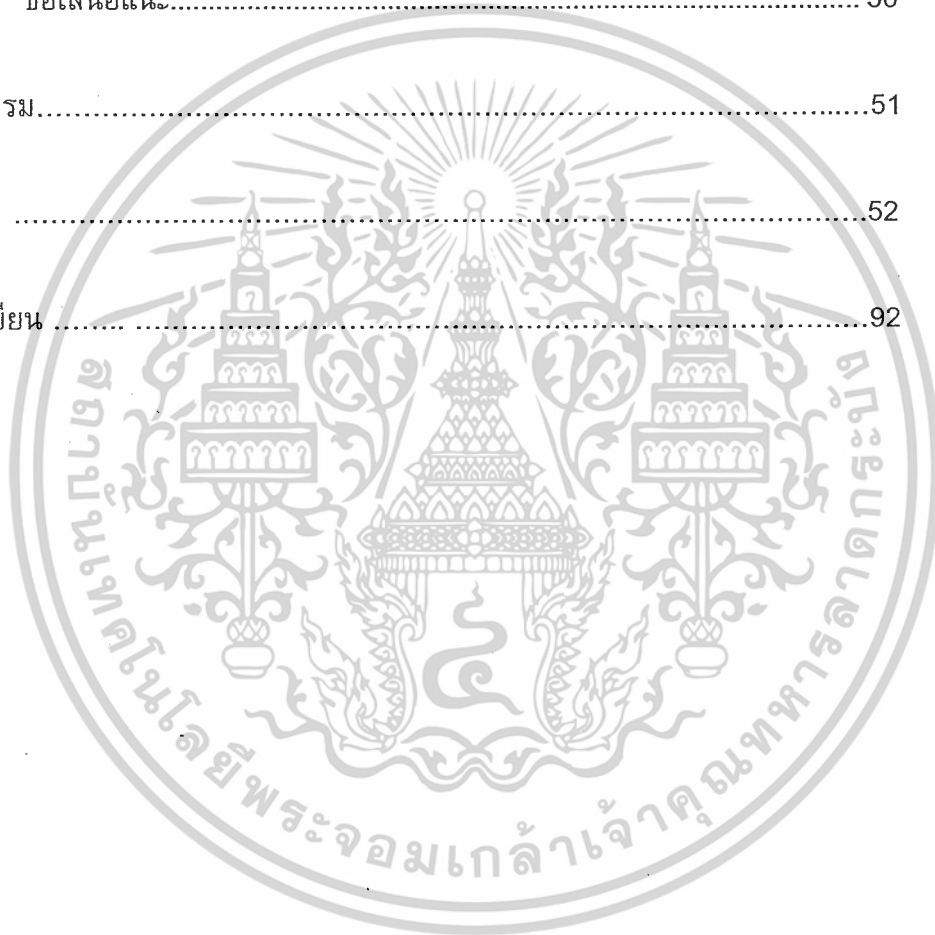
	หน้า
บทคัดย่อ.....	I
ABSTRACT.....	II
กิตติกรรมประกาศ.....	III
สารบัญ.....	IV
สารบัญภาพ.....	VII
สารบัญตาราง.....	X
บทที่ 1 บทนำ.....	1
1.1 ความสำคัญและที่มาของปัญหา.....	1
1.2 วัตถุประสงค์ของโครงการ.....	3
1.3 ขอบเขตและข้อกำหนดของโครงการ.....	3
1.4 วิธีการดำเนินงาน.....	3
1.5 แผนการดำเนินโครงการ.....	4
1.6 ประโยชน์ที่ได้รับจากการวิจัย.....	5
1.7 อุปสรรคในการดำเนินงาน.....	5
1.8 การจัดโครงสร้างของเนื้อหาภายในปฏิญญาฉบับนี้.....	5
บทที่ 2 ทฤษฎีที่เกี่ยวข้อง.....	7
2.1 หลักการชดเชยแรงดันของหม้อแปลงรักษาระดับแรงดันไฟฟ้า อัตโนมัติแบบบอกรวม (Buck-Boost Transformer).....	7
2.2 หลักการสวิตช์เปลี่ยนแท็ปขณะจ่ายโหลด (On -Load Tap Change) ของหม้อแปลงปรับเปลี่ยนแท็ป.....	11
2.3 ทฤษฎีและการพันหม้อแปลง.....	14
บทที่ 3 การออกแบบและสร้าง.....	21
3.1 สร้างแบบจำลองการชดเชยแรงดัน โดยใช้โปรแกรม MATLAB simulink.....	21

## IV

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

3.1.1	แบบจำลองการชดเชยแรงดัน.....	21
3.1.2	แบบจำลองของหม้อแปลงรักษาระดับแรงดันไฟฟ้า อัตโนมัติแบบอนุกรม.....	24
3.2	การออกแบบหม้อแปลงรักษาระดับแรงดันพิกัด 176 โวลต์-แอมป์.....	26
3.3	ทำการออกแบบหม้อแปลงปรับเปลี่ยนแท็ป (Compensated Auto Transformer)พิกัด 176 โวลต์-แอมป์.....	28
3.4	ออกแบบวงจรควบคุมที่ใช้ในการปรับเปลี่ยนแท็ป เพื่อรักษาระดับแรงดันไฟฟ้า.....	30
3.4.1	วงจรสร้างแหล่งจ่ายแรงดันไฟตรง +5,+12,+15 และ -15 โวลต์.....	31
3.4.2	วงจรตรวจจับการเปลี่ยนแรงดัน.....	32
3.4.3	สวิตช์ตั้งเวลากรณีแรงดันตกในช่วงเวลาสั้นๆ และไม่ต้องการชดเชย.....	33
3.4.4	หน้าจอแสดงผล.....	34
3.4.5	วงจรสวิตช์รีเลย์สำหรับการปรับเปลี่ยนแท็ป.....	34
3.4.6	ไมโครคอนโทรลเลอร์.....	37
บทที่ 4	ผลการทดลอง.....	40
4.1	ผลจากแบบจำลองการชดเชยแรงดัน โดยใช้โปรแกรม MATLAB simulink.....	40
4.1.1	ผลการทดลองจากแบบจำลอง การชดเชยแรงดันแบบอนุกรม.....	40
4.1.2	ผลการทดลองจากแบบจำลอง ที่นำหม้อแปลงมาต่ออนุกรมกับแหล่งจ่าย.....	41
4.2	ผลการทดสอบหม้อแปลงรักษาระดับแรงดันไฟฟ้า อัตโนมัติแบบอนุกรม.....	43
4.2.1	สภาวะปกติไม่เกิดแรงดันตก.....	43
4.2.2	สภาวะเกิดแรงดันตก.....	44

4.2.3	สภาวะแรงดันเกินเนื่องจากแรงดันแหล่งจ่าย เริ่มกลับเข้าสู่สภาวะปกติ.....	46
4.2.4	กรณีแรงดันตกในช่วงเวลาสั้นๆ (น้อยกว่าเวลาที่ทำการหน่วงไว้).....	47
4.3	สรุปผลการทดสอบ.....	48
บทที่ 5 สรุปและข้อเสนอแนะ.....		49
5.1	บทสรุป.....	49
5.2	ข้อเสนอแนะ.....	50
บรรณานุกรม.....		51
ภาคผนวก .....		52
ประวัติผู้เขียน .....		92



## สารบัญภาพ

ภาพที่	หน้า
1.1 แสดงแรงดันตกชั่วขณะและแรงดันแกว่ง เนื่องจากการปรับเปลี่ยนภาระขนาดใหญ่.....	1
1.2 แสดงไดอะแกรมของเครื่องรักษาระดับแรงดัน AVR โดยทั่วไป.....	2
2.1 แสดงไดอะแกรมของหม้อแปลงรักษาระดับแรงดันไฟฟ้า อัตโนมัติแบบอนุกรม.....	7
2.2 แสดงไดอะแกรมชดเชยแรงดันตกของหม้อแปลง รักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม.....	8
2.3 แสดงไดอะแกรมการจัดเตรียมแรงดันอินพุท ให้กับหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม.....	9
2.4 แสดงไดอะแกรมชดเชยแรงดันเกินของหม้อแปลง รักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม.....	10
2.5 แสดงไดอะแกรมการจัดเตรียมแรงดันอินพุท ให้กับหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม.....	11
2.6 แสดงไดอะแกรมหลักการสวิตช์เปลี่ยนแท็บ ของหม้อแปลงปรับเปลี่ยนแท็บ.....	12
2.7 แสดงไดอะแกรมหลักการสวิตช์เปลี่ยนแท็บ ของหม้อแปลงปรับเปลี่ยนแท็บ.....	12
2.8 แสดงไดอะแกรมหลักการสวิตช์เปลี่ยนแท็บ ของหม้อแปลงปรับเปลี่ยนแท็บ.....	13
2.9 แสดงไดอะแกรมหลักการสวิตช์เปลี่ยนแท็บ ของหม้อแปลงปรับเปลี่ยนแท็บ.....	13
2.10 แสดงไดอะแกรมหลักการสวิตช์เปลี่ยนแท็บ ของหม้อแปลงปรับเปลี่ยนแท็บ.....	14
2.11 แสดงสัญลักษณ์ของหม้อแปลง.....	15
2.12 แสดงตัว E และ I เป็นแกน.....	15
2.13 แสดงมุมมองด้านบนของหม้อแปลง.....	17
2.14 แสดงช่องว่างให้พันขดลวด.....	18
2.15 แสดงอัตราส่วนแกนเหล็ก.....	18

## VII

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2.16	แสดงพื้นที่หน้าตัดขดลวด.....	19
2.17	แสดงพื้นที่หน้าตัดของขดลวด.....	19
3.1	แสดงแบบจำลองการชดเชยแรงดัน.....	22
3.2	แสดงวงจรสร้างการเปลี่ยนแปลงแรงดัน.....	23
3.3	แสดงวงจรสร้างการเปลี่ยนแปลงแท็ป.....	23
3.4	แสดงวงจรสร้างแรงดันชดเชย.....	24
3.5	แสดงแบบจำลองของหม้อแปลงรักษาระดับแรงดันไฟฟ้า อัตโนมัติแบบอนุกรม.....	25
3.6	แสดงวงจรหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม.....	26
3.7	แสดงขนาดแกนเหล็ก.....	27
3.8	แสดงไดอะแกรมการออกแบบวงจรควบคุม.....	30
3.9	แสดงวงจรสร้างแหล่งจ่ายแรงดันไฟตรง +5,+12,+15 และ -15 โวลต์.....	31
3.10	แสดงภาพจริงของวงจรสร้างแหล่งจ่ายแรงดันไฟตรง +5,+12,+15 และ -15 โวลต์.....	32
3.11	แสดงวงจรตรวจจับการเปลี่ยนแปลงแรงดัน.....	32
3.12	แสดงภาพจริงของวงจรตรวจจับการเปลี่ยนแปลงแรงดัน.....	33
3.13	แสดงภาพจริงของหน้าจอแสดงผล.....	34
3.14	แสดงวงจรสวิตช์รีเลย์สำหรับการปรับเปลี่ยนแท็ป.....	35
3.15	แสดงภาพจริงของวงจรสวิตช์รีเลย์สำหรับการปรับเปลี่ยนแท็ป.....	36
3.16	แสดงลำดับการสวิตช์.....	36
3.17	แสดงไดอะแกรมการเขียนโปรแกรมควบคุมแท็ปเพื่อรักษาระดับแรงดัน.....	37
3.18	แสดงไดอะแกรมโปรแกรมย่อยของการรักษาระดับแรงดัน.....	38
3.19	แสดงภาพจริงของไมโครคอนโทรลเลอร์.....	39
4.1.1	แสดงผลที่ได้จากแบบจำลอง.....	40
4.1.2	แสดงผลที่ได้จากแบบจำลอง.....	41
4.1.3	แสดงผลที่ได้จากแบบจำลอง.....	41
4.2.1	แสดงผลจากแบบจำลองหม้อแปลงรักษาระดับแรงดันไฟฟ้า อัตโนมัติแบบอนุกรม.....	42

## VIII

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.2.2	แสดงผลจากแบบจำลองหม้อแปลงรักษาระดับแรงดันไฟฟ้า อัตโนมัติแบบอนุกรม.....	42
4.2.3	แสดงผลจากแบบจำลองหม้อแปลงรักษาระดับแรงดันไฟฟ้า อัตโนมัติแบบอนุกรม.....	43
4.3	แสดงผลการทดสอบในสภาวะปกติไม่เกิดแรงดันตก.....	44
4.4.1	แสดงผลการทดสอบในสภาวะเกิดแรงดันตก.....	45
4.4.2	แสดงผลการทดสอบในสภาวะเกิดแรงดันตก.....	45
4.5	แสดงผลการทดสอบในสภาวะแรงดันเกินเนื่องจาก แรงดันแหล่งจ่ายเริ่มกลับเข้าสู่สภาวะปกติ.....	46
4.6	แสดงผลการทดสอบในกรณีแรงดันตกในช่วงเวลาสั้นๆ (น้อยกว่าเวลาที่ทำการหน่วงไว้) .....	47



## สารบัญตาราง

ตารางที่	หน้า
1.1 การดำเนินงานในภาคเรียนที่ 1 .....	4
1.2 การดำเนินงานในภาคเรียนที่ 2.....	5
2.1 ตารางความสัมพันธ์ของจำนวนรอบกับขนาดพื้นที่หน้าตัดของขดลวด .....	20
3.1 ตารางแสดงจำนวนรอบและแรงดันที่แต่ละแท่งทำงาน .....	29
5.1 การเปรียบเทียบระหว่างอุปกรณ์ตัวรักษาแรงดันอัตโนมัติ (AVRแบบเดิม) กับหม้อแปลงรักษาระดับแรงดันอัตโนมัติแบบอนุกรม (Buck-Boost Transformer).....	49



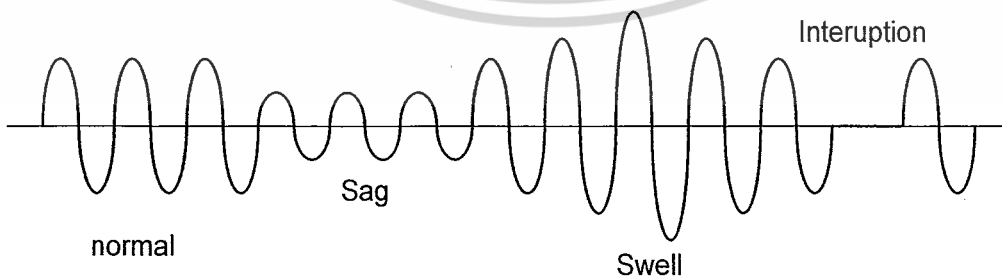
# บทที่ 1

## บทนำ

### 1.1 ความสำคัญและที่มาของปัญหา

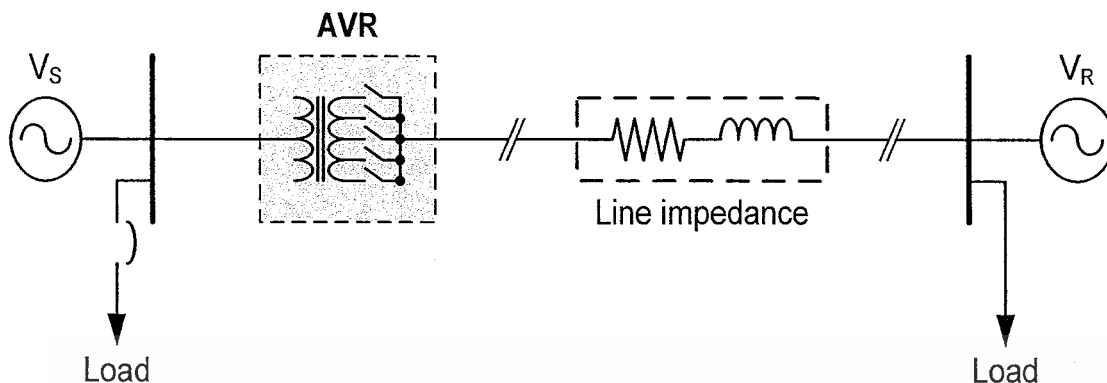
ในการให้บริการไฟฟ้าสำหรับลูกค้าที่ต้องการแรงดันไฟฟ้าที่มีเสถียรภาพสูง เช่น อุตสาหกรรมอิเล็กทรอนิกส์ประเภทอุปกรณ์คอมพิวเตอร์ เครื่องมือแพทย์ เป็นต้น ยกตัวอย่างเช่นโรงงานผลิตฮาร์ดดิสก์ ที่จังหวัดนครราชสีมา โดยส่วนใหญ่อุตสาหกรรมประเภทนี้จะเป็นการลงทุนจากต่างชาติ คุณภาพของแรงดันไฟฟ้าก็เป็นส่วนหนึ่งในการตัดสินใจลงทุนของชาวต่างชาติ ซึ่งคุณภาพของสัญญาณไฟฟ้านั้นจะมีความสำคัญอย่างยิ่ง ส่วนหนึ่งของคุณภาพสัญญาณแรงดันไฟฟ้าที่ดีคือจะต้องมีระดับแรงดันที่คงที่ตลอดเวลาตามมาตรฐาน IEEE 1159 หรือ IEC 61000-4 สำหรับในกรณีที่มีการปรับเปลี่ยนของภาระที่ต่ออยู่ในระบบขนาดใหญ่ย่อมส่งผลกระทบต่อระดับแรงดันในระบบ ซึ่งแรงดันจะไม่คงที่และเกิดปัญหาแรงดันตกชั่วคราว (Sag) หรือแรงดันแกว่ง (Swell) ดังแสดงในภาพที่ 1.1

โดยที่ผ่านมาจะใช้อุปกรณ์ตัวรักษาแรงดันอัตโนมัติ (Automatic voltage regulator: AVR) เพื่อคอยควบคุมรักษาระดับแรงดันให้คงที่ ซึ่งอุปกรณ์ตัวรักษาแรงดันอัตโนมัติจะอาศัยหลักการปรับเปลี่ยนแท็ปของหม้อแปลง ทำให้หน้าสัมผัสของแท็ปนั้นมีความเสียหายเนื่องมาจากหน้าสัมผัสนั้นจะมีกระแสของไหลดไหลผ่านอุปกรณ์ปรับเปลี่ยนแท็ป (Tap change) โดยตรง ดังแสดงในภาพที่ 1.2 ทั้งนี้ ถ้าเกิดการเปลี่ยนแปลงของแรงดันไฟฟ้าบ่อยครั้ง ก็จะส่งผลให้อุปกรณ์ปรับเปลี่ยนแท็ปมีอายุการใช้งานที่ลดลง ปัญหาที่เกิดขึ้นในทางปฏิบัติของการใช้งานอุปกรณ์ตัวรักษาแรงดันอัตโนมัติ พบว่ามักจะเกิดความเสียหายที่อุปกรณ์ปรับเปลี่ยนแท็ปเป็นส่วนใหญ่ เหตุผลเนื่องมาจากหน้าสัมผัสของอุปกรณ์ปรับเปลี่ยนแท็ปมีกระแสของไหลดไหลผ่านโดยตรงดังนั้นในขณะที่ทำการเปลี่ยนแท็ปย่อมมีโอกาสเกิดความเสียหายได้มากตามขนาดของกำลังไฟฟ้าที่จ่ายอยู่ในขณะนั้น



ภาพที่ 1.1 แสดงแรงดันตกชั่วคราวและแรงดันแกว่งเนื่องจากการปรับเปลี่ยนภาระขนาดใหญ่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 1.2 แสดงไดอะแกรมของเครื่องรักษาระดับแรงดัน AVR โดยทั่วไป

เพื่อเป็นการแก้ปัญหาจากความเสียหายของอุปกรณ์ปรับเปลี่ยนแทปในอุปกรณ์รักษาระดับแรงดันอัตโนมัติ นักวิชาการได้คิดวิธีการต่างๆ ออกมาเพื่อลดปัญหาให้น้อยลง รวมถึงยังเพิ่มประสิทธิภาพ, ความละเอียดและความแม่นยำในการรักษาระดับแรงดันหนึ่งนั้นคือการรักษาระดับแรงดันโดยใช้แหล่งจ่ายอีกชุดหนึ่งมาต่ออนุกรมกับระบบไฟฟ้าโดยสร้างแรงดันมาชดเชยเพื่อรักษาระดับแรงไฟฟ้าให้มีค่าคงที่ ซึ่งจะทำให้ระบบไฟฟ้ามีความน่าเชื่อถือมากขึ้น ดังนั้นในปัญหานี้จึงได้นำเสนอการพัฒนาและเทคนิคการออกแบบหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม

เทคนิคนี้จะใช้หม้อแปลงต่ออนุกรมกับแหล่งจ่ายสร้างแรงดันชดเชยเพื่อรักษาระดับแรงดัน โดยอาศัยการปรับเปลี่ยนแทปด้านปฐมภูมิของหม้อแปลง จากวิธีการนี้จะสังเกตได้ว่าหน้าสัมผัสของชุดปรับเปลี่ยนแทปจะไม่ได้รับกระแสของโหลดโดยตรงจึงทำให้อุปกรณ์รักษาระดับแรงดันแบบนี้มีความทนทานมากกว่าอุปกรณ์ตัวรักษาแรงดันอัตโนมัติแบบเดิม นอกจากนี้หม้อแปลงที่ใช้สำหรับรักษาระดับแรงดันอัตโนมัติแบบอนุกรมจะมีพิกัดเพียง 20 เปอร์เซ็นต์ของพิกัดโหลดเท่านั้น (กรณีชดเชยแรงดันตก 20 เปอร์เซ็นต์) ยกตัวอย่างเช่นถ้าลูกค้าของ กฟภ. มีขนาดโหลด 100 เมกะวัตต์ ขนาดของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมก็จะมีขนาดเพียง 20 เมกะวัตต์เท่านั้น ซึ่งจะส่งผลให้ต้นทุนการผลิตของเครื่องรักษาระดับแรงดันโดยรวมลดลงอย่างมาก

## 1.2 วัตถุประสงค์ของโครงการ

1. เพื่อพัฒนาอุปกรณ์รักษาระดับแรงดันให้มีประสิทธิภาพที่สูงขึ้น สำหรับอุตสาหกรรมที่ต้องการแรงดันไฟฟ้าคุณภาพสูง โดยมุ่งเน้นการใช้อุปกรณ์ภายในประเทศ เพื่อลดการนำเข้าจากต่างประเทศ
2. เพื่อเพิ่มเสถียรภาพของแรงดันไฟฟ้าในระบบไฟฟ้า ซึ่งเป็นการสร้างแรงจูงใจและความเชื่อมั่นให้กับนักลงทุนต่างชาติให้มาลงทุนในประเทศไทยมากยิ่งขึ้น

## 1.3 ขอบเขตและข้อกำหนดของโครงการ

โครงการนี้จะศึกษาถึงผลกระทบและวิธีการแก้ไขปัญหาการเปลี่ยนแปลงแรงดันของระบบไฟฟ้า โดยจะศึกษาเฉพาะช่วงแรงดันตกที่มีค่าไม่เกิน 20 เปอร์เซ็นต์ของแรงดันแหล่งจ่าย อีกทั้งยังได้ศึกษาอุปกรณ์ชดเชยแรงดันแบบเดิมที่มีข้อจำกัดในการทำงาน พร้อมเสนอหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมในการใช้งานเพื่อแก้ไขข้อจำกัดในการทำงานของอุปกรณ์แบบเดิม โดยใช้โปรแกรม MATLAB simulink มาทำการจำลองวงจรของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมที่สร้างขึ้น ขนาดของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมที่ออกแบบจะมีขนาด 44 โวลต์ 4 แอมป์

## 1.4 วิธีการดำเนินงาน

1. ศึกษาเรื่องผลกระทบจากการเปลี่ยนแปลงแรงดัน (แรงดันตกและแรงดันเกิน)
2. ศึกษาอุปกรณ์และวิธีการแก้ไขปัญหาการเปลี่ยนแปลงแรงดัน
3. ศึกษาหลักการทำงานของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม
4. เปรียบเทียบข้อดี ข้อเสีย และขอบเขตในการทำงานของอุปกรณ์แต่ละชนิด
5. ใช้โปรแกรม MATLAB simulink สร้างแบบจำลองการทำงานของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมเพื่อออกแบบสร้างเครื่องต้นแบบ (Prototype) ที่เหมาะสมและประยุกต์ใช้งานต่อไป
6. สรุปผลการทดลองของแบบจำลองหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมและวิธีการชดเชยแรงดัน
7. สร้างเครื่องต้นแบบของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม โดยใช้การสวิตซ์รีเลย์เป็นอุปกรณ์ปรับเปลี่ยนแท็บ
8. ทดสอบและปรับปรุงแก้ไขเครื่องต้นแบบ
9. รวบรวมข้อมูลการทดสอบและจัดทำรูปเล่ม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 1.5 แผนการดำเนินงานโครงการ

ตารางที่ 1.1 การดำเนินงานในภาคเรียนที่ 1

การดำเนินงาน	เดือน				
	มิ.ย.	ก.ค.	ส.ค.	ก.ย.	ต.ค.
1. ศึกษาเรื่องผลกระทบจากการเปลี่ยนแปลงแรงดัน (แรงดันตกและแรงดันเกิน)	████████████████████				
2. ศึกษาอุปกรณ์และวิธีการแก้ไขปัญหาการเปลี่ยนแปลงแรงดัน	████████████████████				
3. ศึกษาหลักการทำงานของหม้อแปลงรักษาาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม	████████████████████				
4. เปรียบเทียบข้อดี ข้อเสียและขอบเขตในการทำงานของอุปกรณ์แต่ละชนิด	████████████████████				
5. ใช้โปรแกรม MATLAB simulink สร้างแบบจำลองการทำงานของหม้อแปลงรักษาาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม เพื่อออกแบบสร้างเครื่องต้นแบบ (Prototype) ที่เหมาะสมและประยุกต์ใช้งานต่อไป		████████████████████			
6. สรุปผลการทดลองของแบบจำลองหม้อแปลงรักษาาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมและวิธีการชดเชยแรงดัน			████████████████████		

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ตารางที่ 1.2 การดำเนินงานในภาคเรียนที่ 2

การดำเนินงาน	เดือน				
	พ.ย.	ธ.ค.	ม.ค.	ก.พ.	มี.ค.
7. สร้างเครื่องต้นแบบของหม้อแปลงรักษา ระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม โดยใช้การสวิตช์รีเลย์เป็นอุปกรณ์ ปรับเปลี่ยนแท็บ					
8. ทดสอบและปรับปรุงแก้ไขเครื่องต้น แบบ					
9. รวบรวมข้อมูลการทดสอบและจัดทำ รูปเล่ม					

### 1.6 ประโยชน์ที่ได้รับจากการวิจัย

โครงการวิจัยนี้คาดว่าจะมีผลประโยชน์ที่ได้รับพอสังเขปดังต่อไปนี้

1. จะทำให้คุณภาพและเสถียรภาพของแรงดันไฟฟ้าสูงขึ้น ซึ่งช่วยเพิ่มความเชื่อมั่นให้กับลูกค้าที่ต้องการไฟฟ้าคุณภาพสูง
2. โดยอาศัยเทคนิคการออกแบบและการสร้างหม้อแปลงรักษา ระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมที่นำเสนอในงานวิจัยนี้ จะส่งผลให้ขนาดของหม้อแปลงที่ใช้ในการรักษา ระดับแรงดันมีพิกัดเพียง 20 เปอร์เซ็นต์ของโหลดทั้งหมด
3. โครงการวิจัยนี้สามารถสร้างแรงจูงใจให้นักลงทุนต่างชาติมาลงทุนในประเทศไทยเพิ่มมากขึ้น โดยเฉพาะอย่างยิ่งการลงทุนในอุตสาหกรรมด้านอิเล็กทรอนิกส์ และคอมพิวเตอร์
4. โครงการนี้สามารถใช้เป็นโครงการนำร่องในการพัฒนาเครื่องรักษา ระดับแรงดันให้เกิดขึ้นภายในประเทศต่อไป

### 1.7 อุปสรรคในการดำเนินงาน

งานวิจัยที่ผ่านมา และทฤษฎีที่เกี่ยวข้องกับการชดเชยแรงดันของหม้อแปลงรักษา ระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมจะมีน้อยมาก เพราะยังเป็นวิธีการชดเชยแรงดันที่ยังไม่ค่อยมีผู้วิจัยกันมากนัก ทำให้เกิดปัญหาในการหาข้อมูลในการทำวิจัย

### 1.8 การจัดโครงสร้างของเนื้อหาภายในปฏิญญาพันธ

ภายในปฏิญญาพันธจะประกอบด้วยเนื้อหาดังต่อไปนี้

- บทที่ 1 บทนำ
- บทที่ 2 ทฤษฎีที่เกี่ยวข้อง
- บทที่ 3 การออกแบบและสร้าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

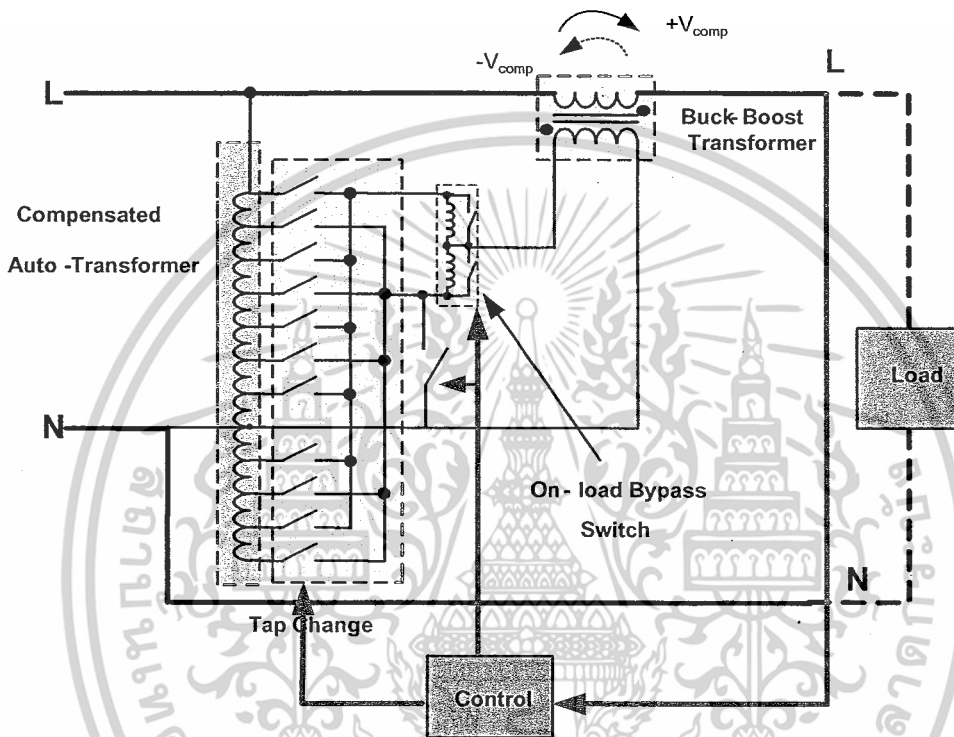
- บทที่ 4 ผลการทดลอง
- บทที่ 5 บทสรุปและข้อเสนอแนะ
- บรรณานุกรม
- ภาคผนวก



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 2 ทฤษฎีที่เกี่ยวข้อง

### 2.1 หลักการชดเชยแรงดันของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม (Buck-Boost Transformer)



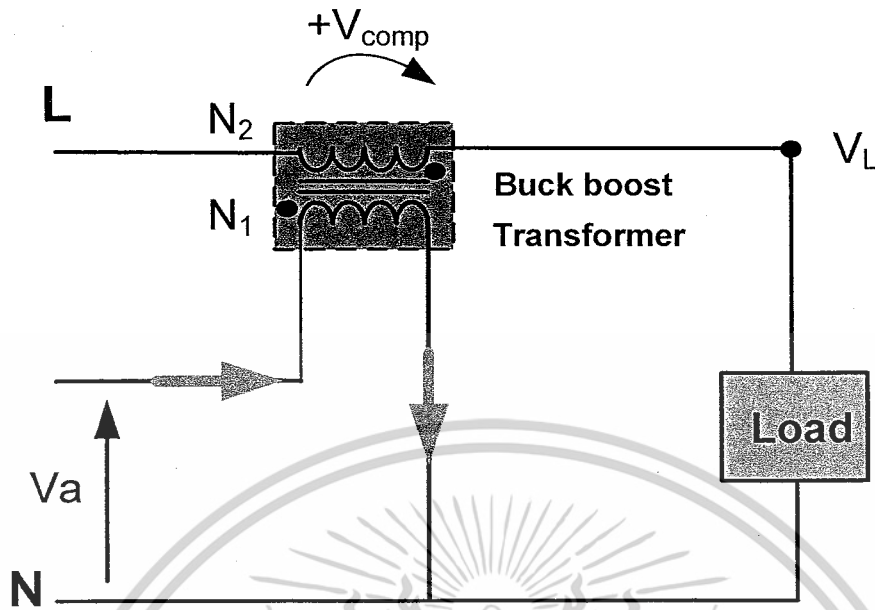
ภาพที่ 2.1 แสดงไดอะแกรมของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม

จากการนำหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมมาต่ออนุกรมกับระบบไฟฟ้าเพื่อสร้างแรงดันชดเชยให้แรงดันโหลดคงที่นั้น มีหลักการทำงานดังต่อไปนี้

เมื่อแรงดันในระบบไฟฟ้ากำลังเกิดการเปลี่ยนแปลงหรือผิดปกติขึ้น ระบบควบคุมจะทำการรับข้อมูลแรงดันที่เวลาต่างๆ (Instantaneous Voltage) มาจากเซ็นเซอร์แรงดัน จากนั้นระบบควบคุมก็จะสั่งการให้สวิตช์ต่างๆทำงานตามต้องการ เพื่อทำการชดเชยแรงดันให้กลับคืนสู่สภาวะปกติ

จากวงจรการทำงานของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม จะเห็นว่าเราสามารถสร้างแรงดันชดเชยเป็นบวกหรือลบก็ได้ โดยทำการปรับเปลี่ยนแท็ปของหม้อแปลงปรับเปลี่ยนแท็ป (Compensated Auto Transformer) เพื่อเป็นแหล่งจ่ายให้กับหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.2 แสดงไดอะแกรมชดเชยแรงดันตกของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม

#### 1. กรณีเกิดแรงดันตก

เมื่อเกิดปัญหาแรงดันตกในระบบไฟฟ้ากำลัง เราสามารถหาแรงดันไฟฟ้าที่ต้องทำการชดเชยได้จากสมการ

$$V_{\text{comp}} = V_{\text{norm}} - V_L \quad (2.1)$$

เมื่อ  $V_{\text{comp}}$  คือ แรงดันที่ต้องทำการชดเชย

$V_{\text{norm}}$  คือ แรงดันในสภาวะปกติ

$V_L$  คือ แรงดันตกของโหลดในขณะนั้น

จากแรงดันตกที่หม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม ต้องทำการชดเชยนั้น เราสามารถหาแรงดันอินพุทของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม ได้ดังสมการ

$$V_a = \frac{N_1}{N_2} V_{\text{comp}} \quad (2.2)$$

เมื่อ  $V_a$  คือ แรงดันอินพุทของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมที่ได้รับจากหม้อแปลงปรับเปลี่ยนแท็ป

$N_1$  คือ จำนวนรอบขดลวดทางด้านปฐมภูมิ (ด้านที่ต่อขานานกับหม้อแปลงปรับเปลี่ยนแท็ป) ของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$N_2$  คือ จำนวนรอบขดลวดทางด้านทุติยภูมิ (ด้านที่ต่ออนุกรมกับระบบไฟฟ้า) ของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม จาก  $V_a$  ที่เป็นแหล่งจ่ายอินพุตให้กับ หม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม เราสามารถหาจำนวนรอบขดลวดเอาต์พุตของหม้อแปลงปรับเปลี่ยนแท็ปที่ต้องการทำการเปลี่ยนแท็ป ได้ดังภาพที่ 2.3

พิจารณาที่หม้อแปลงปรับเปลี่ยนแท็ป เราสามารถหาค่า  $N_{T+}$  ได้ดังสมการ

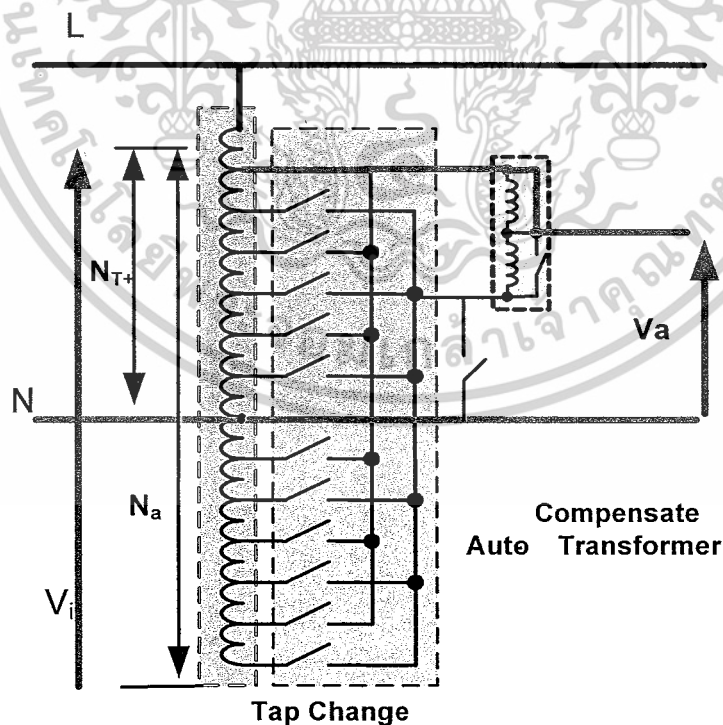
$$N_{T+} = \frac{V_a}{V_i} N_a \quad (2.3)$$

เมื่อ  $N_{T+}$  คือ จำนวนรอบขดลวดเอาต์พุตของหม้อแปลงปรับเปลี่ยนแท็ปที่เปลี่ยนไปตามแรงดันที่หม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม ต้องการชดเชย โดยการปรับเปลี่ยนแท็ปของหม้อแปลง

$N_a$  คือ จำนวนรอบขดลวดทั้งหมดของหม้อแปลงปรับเปลี่ยนแท็ป

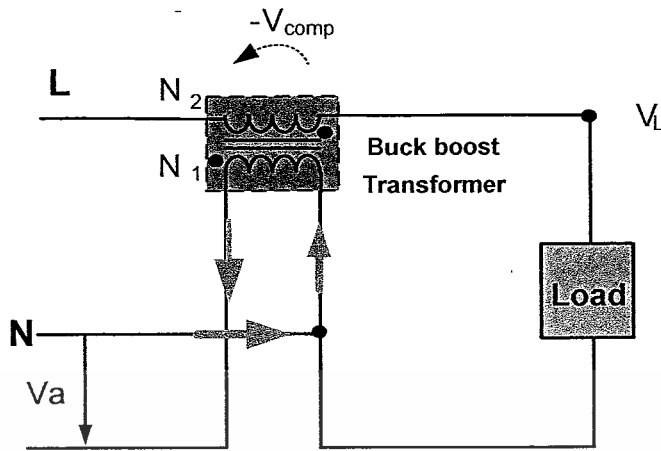
$V_i$  คือ แรงดันอินพุตของหม้อแปลงปรับเปลี่ยนแท็ป

จากจำนวนรอบขดลวดเอาต์พุตของหม้อแปลงปรับเปลี่ยนแท็ปที่ได้ เราสามารถหาแท็ปที่ต้องการสวิตช์เพื่อชดเชยแรงดันได้ ดังภาพที่ 2.4



ภาพที่ 2.3 แสดงไดอะแกรมการจัดเตรียมแรงดันอินพุตให้กับหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.4 แสดงไดอะแกรมชดเชยแรงดันเกินของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม

2.กรณีเกิดแรงดันเกิน

เมื่อเกิดปัญหาแรงดันเกินในระบบไฟฟ้า สามารถหาแรงดันไฟฟ้าที่ต้องการชดเชยได้จากสมการ

$$V_{comp} = V_{norm} - V_L \quad (2.4)$$

จากแรงดันเกินที่หม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม ต้องทำการชดเชยนั้น เราสามารถหาแรงดันอินพุทของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม ได้ดังสมการ

$$V_a = \frac{N_1}{N_2} V_{comp} \quad (2.5)$$

จาก  $V_a$  ที่เป็นแหล่งจ่ายอินพุทให้กับหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม นั้น เราสามารถหาจำนวนรอบขดลวดเอาต์พุทของหม้อแปลงปรับเปลี่ยนแท็บ ได้ดังต่อไปนี้

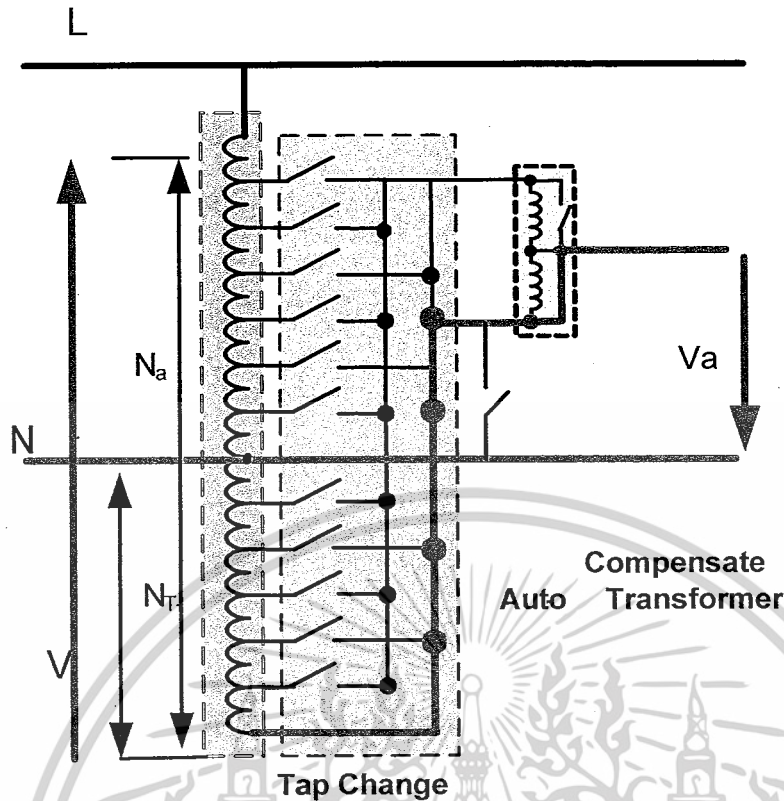
พิจารณาที่หม้อแปลงปรับเปลี่ยนแท็บ

เราสามารถหาค่า  $N_{T-}$  ได้ดังสมการ

$$N_{T-} = \frac{V_a}{V_i} N_a \quad (2.6)$$

เมื่อ  $N_{T-}$  คือ จำนวนรอบขดลวดเอาต์พุทของหม้อแปลงปรับเปลี่ยนแท็บที่เปลี่ยนไปตามการเปลี่ยนแท็บของหม้อแปลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.5 แสดงไดอะแกรมการจัดเตรียมแรงดันอินพุตให้กับหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม

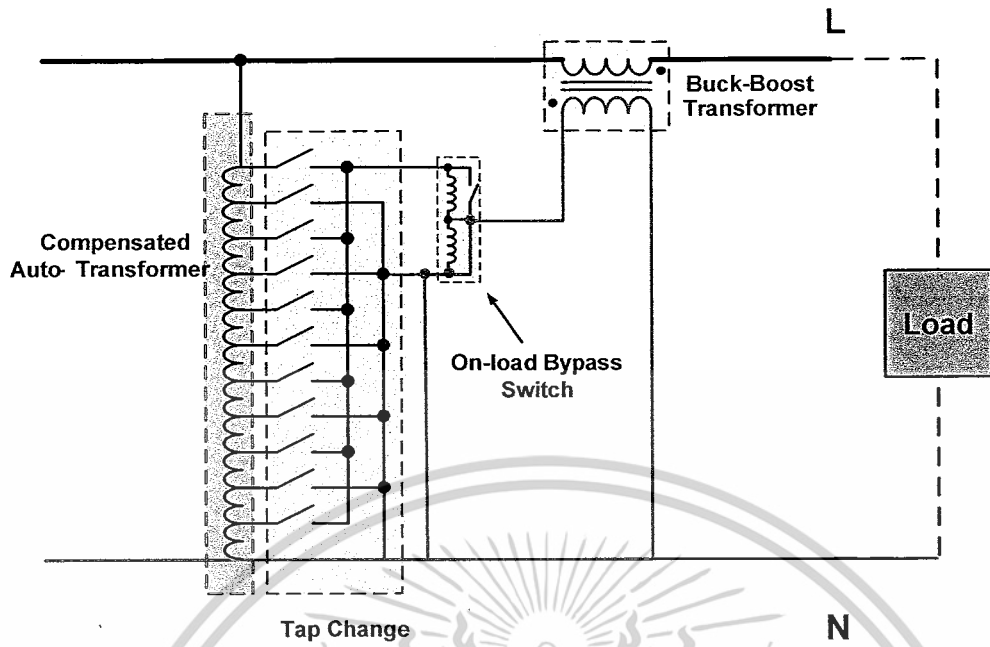
จากจำนวนรอบขดลวดเอาต์พุตของหม้อแปลงปรับเปลี่ยนแท็ปที่ได้ ทำให้เราสามารถหาแท็ปที่ต้องการสวิตช์เพื่อชดเชยแรงดันได้

## 2.2 หลักการสวิตช์เปลี่ยนแท็ปขณะจ่ายโหลด (On-Load Tap Change) ของหม้อแปลงปรับเปลี่ยนแท็ป

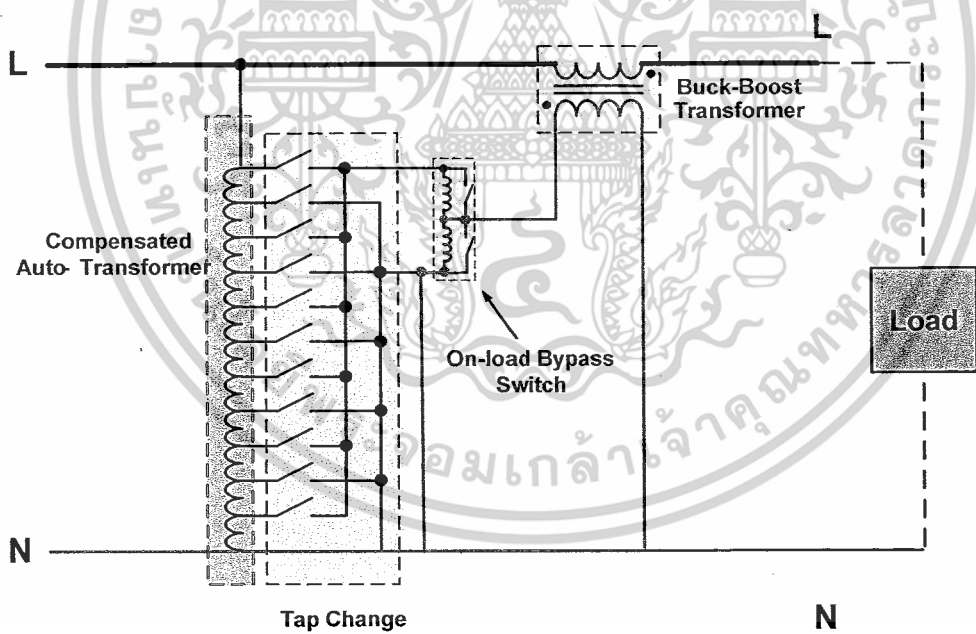
พิจารณาหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมชดเชยเฉพาะแรงดันตก

1. ในสภาวะปกติไม่มีการชดเชย แรงดันอินพุตของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมจะถูกลัดวงจรเข้ากับสายนิวทรัล ทำให้หม้อแปลงทำงานเหมือนหม้อแปลงกระแส (Current Transformer) (ไม่มีแรงดันเหนี่ยวนำเกิดขึ้นที่ขดลวดปฐมภูมิเนื่องจากฟลักซ์แม่เหล็กหักล้างกันหมด)
2. เมื่อเกิดแรงดันตก สวิตช์บายพาส (On-load bypass switch) จะทำงานโดยการเปิดวงจรออก
3. จากนั้นสวิตช์ของแท็ปที่ต้องการเปลี่ยนก็จะถูกปิดวงจรทำให้มีกระแสไหลดังรูป
4. ลำดับต่อไปสวิตช์ของแท็ปก่อนหน้าจะถูกเปิดวงจรทำให้มีกระแสไหลดังรูป
5. และหลังจากนั้น สวิตช์บายพาสจะถูกปิดวงจรอีกครั้งซึ่งถือเป็นการเสร็จสิ้นขั้นตอนการเปลี่ยนแท็ป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

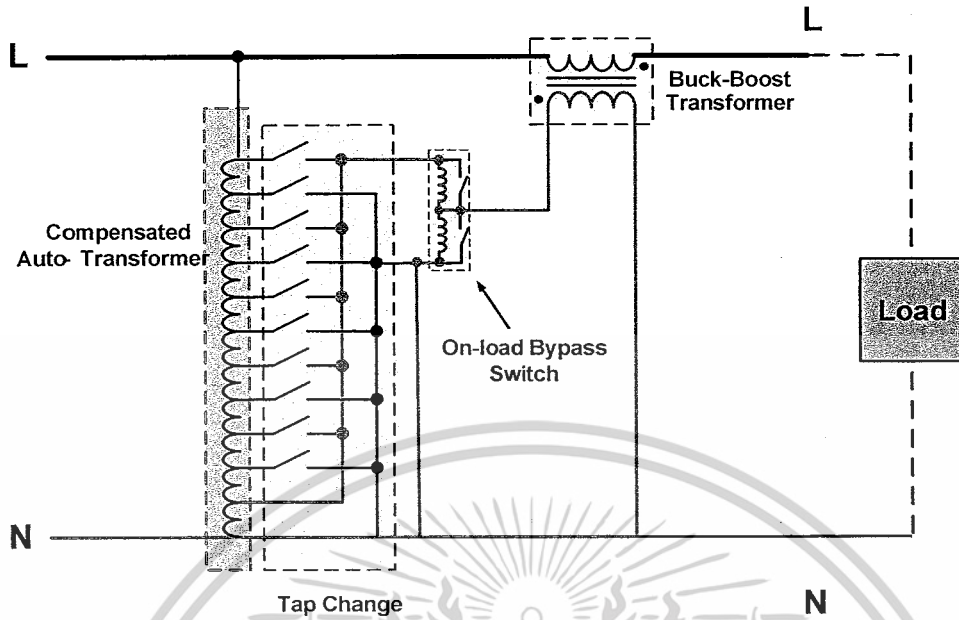


ภาพที่ 2.6 แสดงไดอะแกรมหลักการสวิตช์เปลี่ยนแท็ปของหม้อแปลงปรับเปลี่ยนแท็ป



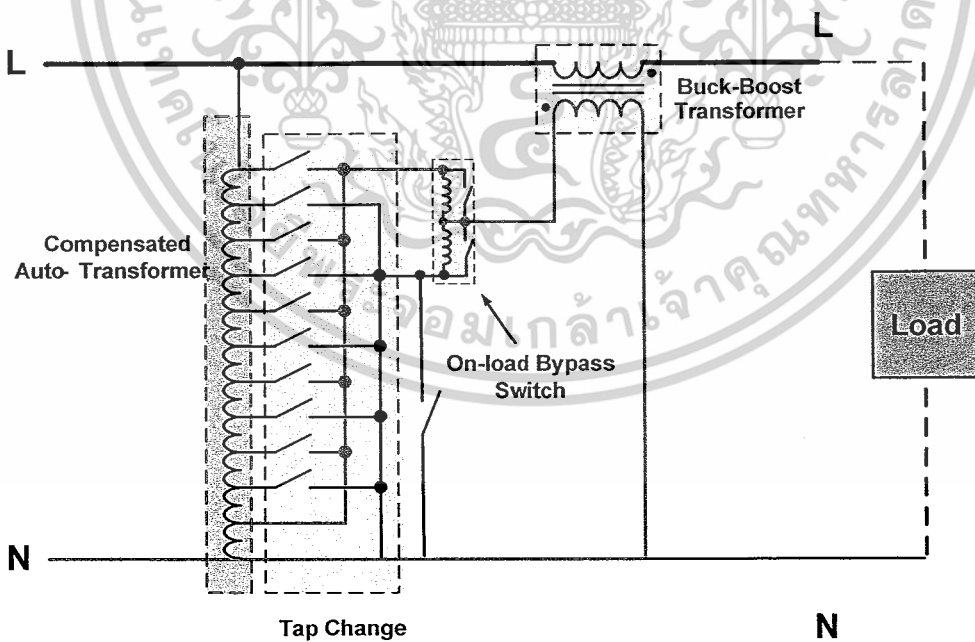
ภาพที่ 2.7 แสดงไดอะแกรมหลักการสวิตช์เปลี่ยนแท็ปของหม้อแปลงปรับเปลี่ยนแท็ป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



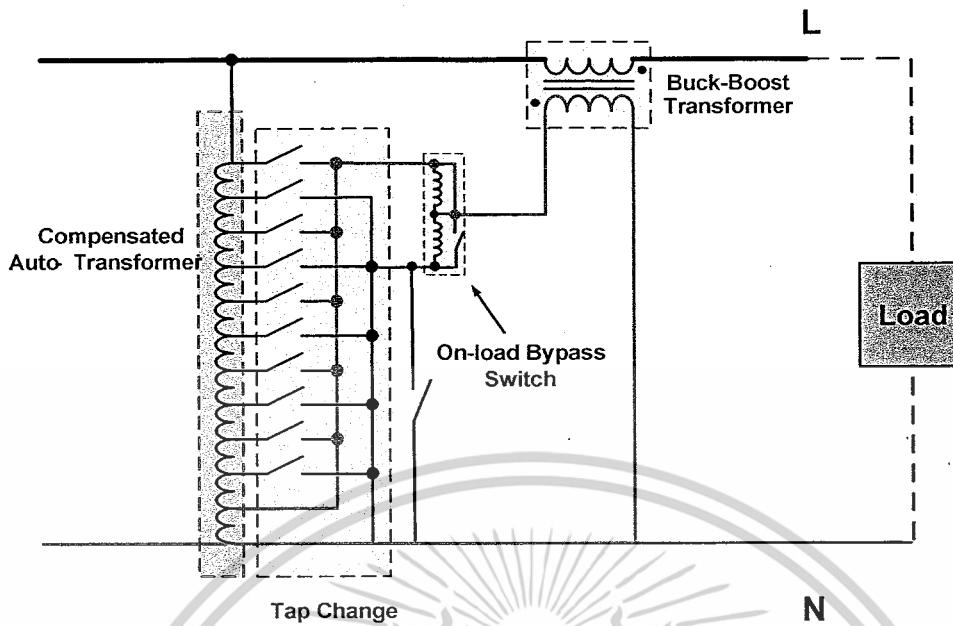
ภาพที่ 2.8 แสดงไดอะแกรมหลักการสวิตช์เปลี่ยนแท็ปของหม้อแปลงปรับเปลี่ยนแท็ป

สังเกตได้ว่าจะไม่มีการลัดวงจร (short turn) เกิดขึ้นเนื่องจากมีตัวเหนี่ยวนำคอยจำกัดการลัดวงจรอยู่



ภาพที่ 2.9 แสดงไดอะแกรมหลักการสวิตช์เปลี่ยนแท็ปของหม้อแปลงปรับเปลี่ยนแท็ป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.10 แสดงไดอะแกรมหลักการทำงานของสวิตช์เปลี่ยนแท็ปของหม้อแปลงปรับเปลี่ยนแท็ป

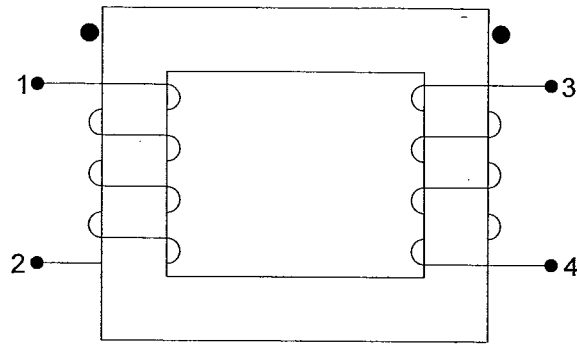
### 2.3 ทฤษฎีและการพันหม้อแปลง

#### ทฤษฎีหม้อแปลง

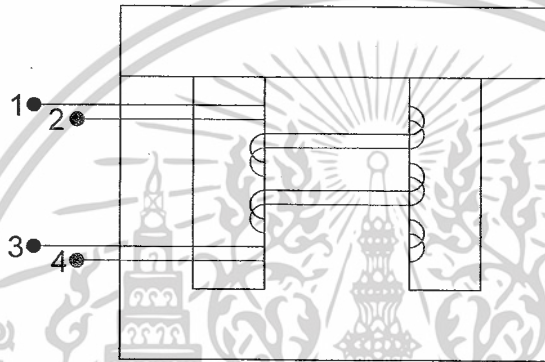
หม้อแปลงเป็นอุปกรณ์สำหรับเปลี่ยนขนาดของแรงดันไฟสลับจากแรงดันหนึ่งไปเป็นแรงดันไฟสลับขนาดที่ต้องการ โดยอาศัยการเหนี่ยวนำของสนามแม่เหล็กผ่านขดลวด สัญลักษณ์ของหม้อแปลงแสดงในภาพที่ 2.11 ขดลวดทางด้านไฟจ่ายเข้าหม้อแปลงตามรูปคือ ขั้วที่ 1 และ 2 เรียกว่าขดปฐมภูมิ ขดลวดทางด้านไฟออกทางขั้วที่ 3 และ 4 เรียกว่าขดทุติยภูมิ

หม้อแปลงตัวหนึ่งอาจมีขดทุติยภูมิหลายๆขดก็ได้ เครื่องหมายจุด (.) แสดงความสัมพันธ์ระหว่างแรงดันไฟเข้าที่ขดปฐมภูมิกับขดทุติยภูมิคือ ขั้วที่ 1 กับขั้วที่ 3 จะมีเฟสตรงกันคือ ในขณะที่ตัดดาไฟฟ้าขั้วที่ 1 สูงกว่าขั้วที่ 2 ตัดดาที่ขั้วออกที่ 3 จะสูงกว่าขั้วที่ 4 และในทำนองเดียวกัน ขณะที่ขั้ว 1 มีตัดดาไฟฟ้าต่ำกว่าขั้วที่ 2 นั้นขั้วที่ 3 ก็จะมีตัดดาต่ำกว่าขั้วที่ 4 ด้วย

โดยสรุปแล้วหม้อแปลงจะรับพลังงานไฟฟ้าเข้าทางขดปฐมภูมิ สูญเสียเป็นพลังงานความร้อนไปบางส่วน และที่เหลือก็เป็นพลังงานไฟฟ้าออกที่ขดทุติยภูมิ หม้อแปลงจึงถูกบอกขนาดเป็นหน่วยกำลังที่มันถ่ายเทได้ ซึ่งคือค่า โวลต์-แอมป์ (VA ซึ่งคือกำลังไฟฟ้าได้จากแรงดันไฟสลับ  $\times$  กระแสสลับ)



ภาพที่ 2.11 แสดงสัญลักษณ์ของหม้อแปลง



ภาพที่ 2.12 แสดงตัว E และ I เป็นแกน

### การทำงานของหม้อแปลง

แรงดันไฟสลับที่จ่ายให้ที่ขดปฐมภูมิจะทำให้เกิดสนามแม่เหล็กรอบ ๆ ขดปฐมภูมิซึ่งสนามแม่เหล็กที่เกิดขึ้นจะเปลี่ยนแปลงขนาดตลอดเวลา กล่าวคือจากไม่มีสนามแม่เหล็กเลย ค่อย ๆ มีมากขึ้นในทิศทางหนึ่งจนสูงสุด แล้วค่อย ๆ ยุบตัวลงจนเป็นศูนย์แล้วก็ค่อย ๆ เพิ่มมีมากขึ้นอีก แต่ในทิศทางตรงข้าม จนสูงสุดแล้วก็ยุบตัวลงจนเป็นศูนย์ แล้วก็เพิ่มขึ้นอีกในทิศทางเหมือนครั้งแรก เป็นเช่นนี้สลับไปมาตามความถี่ของไฟสลับที่ป้อนเข้ามา ถ้ามีขดลวดอีกขดหนึ่งมาวางใกล้ ๆ สนามแม่เหล็กนี้ สนามแม่เหล็กที่เปลี่ยนแปลงตลอดเวลาจะตัดขดลวดนั้นเหนี่ยวนำให้เกิดแรงดันไฟฟ้าขึ้นในขดลวดนี้ได้ แรงดันนี้จะมากน้อยเท่าใดขึ้นอยู่กับจำนวนรอบของขดลวดที่มาวางไว้ใกล้ ๆ และสนามแม่เหล็กไปตัดขดลวดนั้นได้มากน้อยเพียงใด เพื่อให้สนามแม่เหล็กที่เกิดจากขดลวดปฐมภูมิมาตัดขดลวดทุติยภูมิมาก ๆ จึงให้ทั้งขดปฐมภูมิและขดทุติยภูมิพันอยู่บนแกนเหล็กอันเดียวกัน โดยแกนเหล็กนี้จะต่อกันอยู่อย่างครบวงจร คือมีเนื้อเหล็กตลอดวง จึงทำแกนขึ้นโดยแผ่นเหล็กรูปตัว E และ I และพันขดลวดทั้งสองไว้ตรงกลางดังภาพที่ 2.12

ความสัมพันธ์ของแรงดันไฟเข้าที่ขดปฐมภูมิกับแรงดันไฟออกที่ขดทุติยภูมิคือ

$$\frac{E_1}{E_2} = \frac{n_1}{n_2} \quad (2.7)$$

เมื่อ  $E_1$  = แรงดันไฟสลับที่เข้าขดปฐมภูมิ

$E_2$  = แรงดันไฟสลับที่เข้าขดทุติยภูมิ

$n_1$  = จำนวนรอบของขดปฐมภูมิ

$n_2$  = จำนวนรอบของขดทุติยภูมิ

### การออกแบบหม้อแปลง

1.คำนวณหาพื้นที่หน้าตัดของแกนกลาง จะหาขนาดพื้นที่หน้าตัดได้ต้องรู้กำลังของหม้อแปลงว่าจะให้จ่ายได้เท่าใด กำลังของหม้อแปลงก็คือผลคูณของกระแสและแรงดันที่หม้อแปลงตัวนี้จะจ่ายได้ นั่นคือ เท่ากับ  $V \times A$

เมื่อ  $V$  คือแรงดันเอาต์พุต และ  $A$  คือกระแสเอาต์พุต

2.หาจำนวนรอบของขดปฐมภูมิ เอาพื้นที่หน้าตัดที่หาได้ในข้อ 1 มาคำนวณหาจำนวนรอบของขดปฐมภูมิตามสูตร

$$N = \frac{E \times 10^8}{4 \times F \times B_m \times A} \quad (2.8)$$

เมื่อ  $E$  คือ แรงดันขดปฐมภูมิ (220V)

$F$  คือ ความถี่ของไฟกระแสสลับทางอินพุต (50Hz)

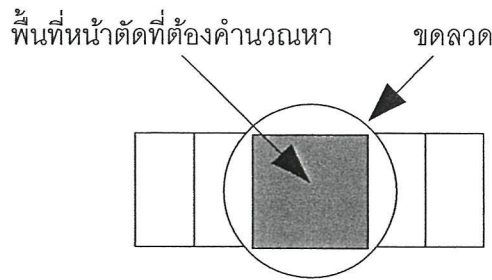
$B_m$  คือ ความเข้มของสนามแม่เหล็กสูงสุดที่ผ่านแกนที่แกนเหล็กยังไม่อิ่มตัว (ใช้ 64500 เส้น/ตารางนิ้ว)

$A$  คือ พื้นที่หน้าตัดของแกนที่หาได้จากข้อ 1(ตารางนิ้ว)

ดังแสดงในภาพที่ 2.13

$$\text{พื้นที่หน้าตัด} = \frac{\sqrt{VA}}{5.58} \quad (2.9)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 2.13 แสดงมุมมองด้านบนของหม้อแปลง

3. หาจำนวนรอบของขดทุติยภูมิได้จากสูตร

$$\frac{E_1}{E_2} = \frac{n_1}{n_2} \quad (2.10)$$

เมื่อ  $E_1$  = แรงดันไฟสลับที่เข้าขดปฐมภูมิ

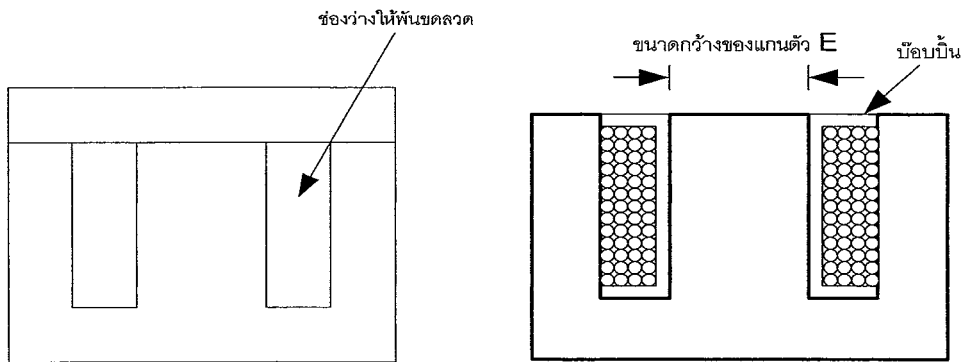
$E_2$  = แรงดันไฟสลับที่เข้าขดทุติยภูมิ

$n_1$  = จำนวนรอบของขดปฐมภูมิ

$n_2$  = จำนวนรอบของขดทุติยภูมิ

4. หาขนาดของลวดที่ใช้พัน

4.1 ข้อจำกัดทางด้านไฟฟ้า ข้อจำกัดทางด้านนี้คือ ลวดต้องไม่ร้อนเกินไปเมื่อจ่ายกระแสเต็มที่ตั้งนั้นก็หมายความว่าต้องไม่ให้ลวดรับกระแสเกินไป เมื่อเทียบกับพื้นที่หน้าตัดของลวด ตัวเลขที่ใช้กันมากคือ 400 - 700 เซอร์คิวลามีล/แอมแปร์ ซึ่งถ้ากำหนดว่าจะใช้กระแสกี่แอมแปร์ก็สามารถคำนวณหาพื้นที่หน้าตัดของเส้นลวดได้ ตัวเลข 400 - 700 นี้แล้วแต่เราจะเลือกใช้ กล่าวคือถ้าใช้ตัวเลขน้อยเช่น 450 cm/amp จะได้ลวดขนาดเล็กกว่า ซึ่งอาจมีผลเสียด้านแรงกูล์เซชันได้ ถ้าเลือก 600 cm/amp จะได้ลวดขนาดใหญ่ขึ้นแต่หม้อแปลงจะมีแรงกูล์เซชัน แต่ราคาแพงกว่า ให้เลือกดูเอาเองตามความเหมาะสมของสถานการณ์นั้นๆ

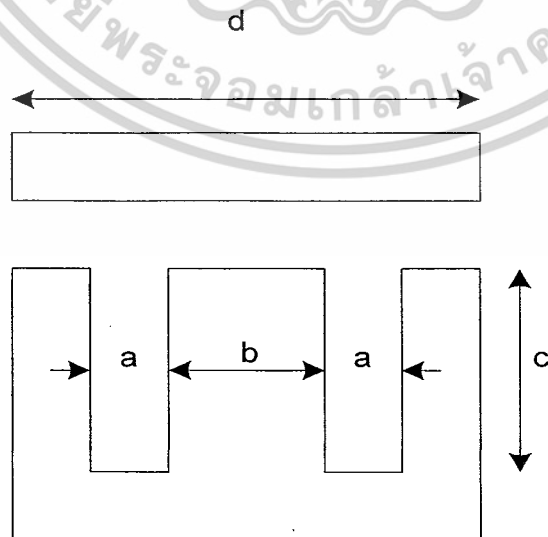


ภาพที่ 2.14 แสดงช่องว่างให้พันขดลวด

4.2 ข้อจำกัดด้านขนาด เนื่องจากลักษณะตัวแกนเหล็กเป็นรูปตัว E และ I ซึ่งมีช่องว่างเหลือไว้ให้พันลวดตามภาพที่ 2.14 และมีผู้ผลิตขึ้นมาเป็นขนาดต่างๆ เนื่องจากเราไม่พันลวดลงบนแกนโดยตรงแต่พันในบ๊อบบิ้น แล้วจึงเอาบ๊อบบิ้นมาสวมแกนตัว E ตามภาพที่ 2.14 ซึ่งบ๊อบบิ้นก็มีขายเป็นขนาดต่างๆ ดังนั้นเราต้องเลือกขนาดบ๊อบบิ้นให้สวมแกนเหล็กพอดี แล้วเรียงแผ่นเหล็กซ้อนกันให้ได้พื้นที่ที่เราคำนวณเอาไว้ รายละเอียดขนาดของตัว E และ I จะมีสัดส่วนดังนี้คือ

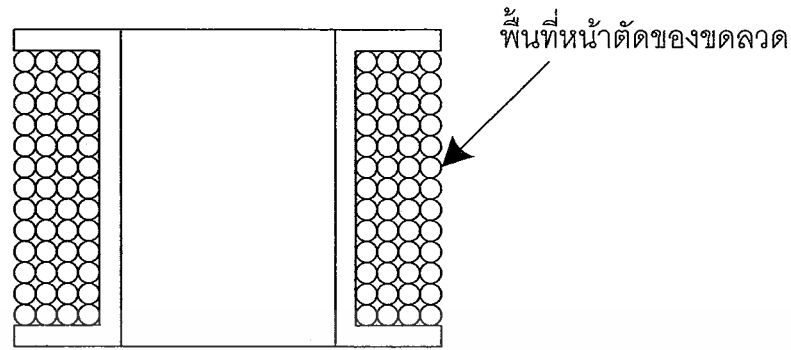
$$a : b : c : d = 1 : 2 : 3 : 6 \quad (2.11)$$

จากอัตราส่วนนี้ถ้าเราทราบระยะด้านใดด้านหนึ่งย่อมคำนวณหาความยาวของด้านที่เหลือได้หมด แกนตัว E ที่มีขายจะมีขนาดดังต่อไปนี้ (บอกขนาดของด้าน b เป็นมิลลิเมตร) คือ 10,13,16,19,20,22,25,28,32,38,45,52,63



ภาพที่ 2.15 แสดงอัตราส่วนแกนเหล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

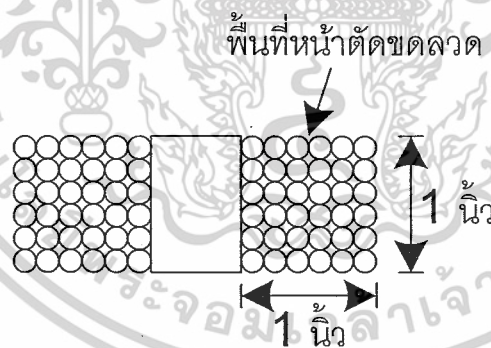


ภาพที่ 2.16 แสดงพื้นที่หน้าตัดของขดลวด

เวลาพันลวดลงในบ็อบบิ้นแล้วจะเป็นลักษณะดังแสดงในภาพที่ 2.16

ขนาดของลวดต้องเลือกให้ ขดลวดทั้งหมดต้องพันลงในบ็อบบิ้นแล้วสวมลง  
แกนได้ ซึ่งขึ้นอยู่กับว่ามีพื้นที่หน้าตัดแกนอยู่เท่าใด

ตารางที่ 2.1 จะบอกว่าลวดทองแดงเบอร์ไหน เมื่อพันรอบแกนบ็อบบิ้นแล้วได้  
พื้นที่หน้าตัดของขดลวด 1 ตารางนิ้วต้องพันกี่รอบ เช่นลวดเบอร์ 23 SWG ถ้าพันรอบแกนบ็อบ  
บิ้น 1340 รอบ พื้นที่หน้าตัดจะมีขนาด 1 ตารางนิ้ว ดังนั้นถ้าบ็อบบิ้นสูง 1 นิ้ว ขดลวดจะอ้วน  
หนาออกมาออกมา 1 นิ้วตามภาพที่ 2.17



ภาพที่ 2.17 แสดงพื้นที่หน้าตัดของขดลวด

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 ตารางความสัมพันธ์ของจำนวนรอบกับขนาดพื้นที่หน้าตัดของขดลวด

ขนาดเบอร์ลวด SWG	จำนวนรอบ/พื้นที่หน้าตัด ขดลวด 1 ตารางนิ้ว	พื้นที่หน้าตัดของเส้นลวด 1 เส้น (เซอร์คิวลาร์มิล)
15	177	5178
16	221	4107
17	277	3257
18	437	2048
19	548	1524
20	681	1288
21	852	1022
22	1065	810.1
23	1340	624.4
24	1665	509.5
25	2100	404
26	2630	320.4
27	3320	254.1
28	4145	201.5
30	5250	104.9
31	6510	126.7

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 3

### การออกแบบและสร้าง

#### 3.1 สร้างแบบจำลองการชดเชยแรงดันโดยใช้โปรแกรม MATLAB simulink

##### 3.1.1 แบบจำลองการชดเชยแรงดัน

แบบจำลองการชดเชยแรงดันแบบอนุกรมประกอบด้วยตัวสร้างสัญญาณการเปลี่ยนแปลงแรงดันและตัวควบคุมการเลือกแท็ปของหม้อแปลงรักษาระดับแรงดัน โดยตัวสร้างสัญญาณการเปลี่ยนแปลงแรงดันจะสร้างสัญญาณแรงดันตกขึ้นมาจากนั้นจะส่งสัญญาณไปยังตัวควบคุมการเลือกแท็ปเพื่อทำการเลือกแท็ปที่ต้องการสวิตช์ต่อไป และเมื่อนำสัญญาณแรงดันตกที่สร้างขึ้นมารวมกับสัญญาณแรงดันชดเชยที่ถูกสร้างจากการปรับเปลี่ยนแท็ปของหม้อแปลงชดเชยแรงดันแบบอนุกรม จะทำให้ได้สัญญาณแรงดันเอาต์พุทหลังทำการชดเชยออกมา (แรงดันปกติ) สำหรับภาพแสดงโครงสร้างแบบจำลองการชดเชยแรงดันถูกแสดงไว้ในภาพที่ 3.1

ส่วนประกอบหลักแบบจำลองการชดเชยแรงดันประกอบไปด้วย

##### 1. วงจรสร้างการเปลี่ยนแปลงแรงดัน

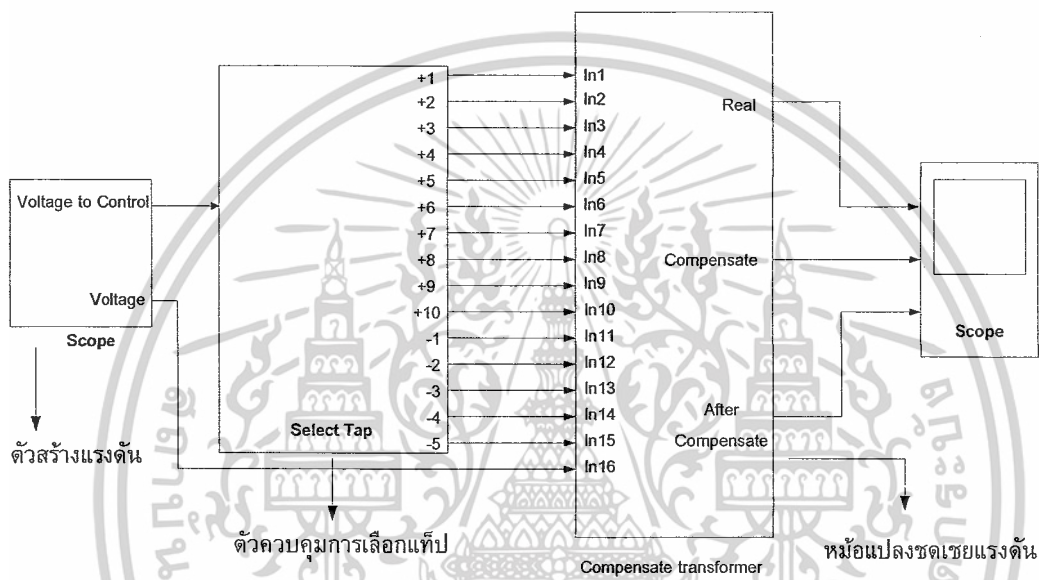
มีหน้าที่สร้างแรงดันตกชั่วขณะและแรงดันเกินชั่วขณะซึ่งประกอบด้วยตัวสร้างสัญญาณแรงดันตกหรือแรงดันเกิน ( $V_{sag}$  หรือ  $V_{surge}$ ) ตัวสร้างสัญญาณแรงดันปกติ ( $V_{nom}$ ) และตัวตั้งระยะเวลาการเกิดแรงดันตก (Time sag) สำหรับโครงสร้างวงจรการเปลี่ยนแปลงแรงดันนี้แสดงได้ดังภาพที่ 3.2

##### 2. วงจรควบคุมการเปลี่ยนแปลงแท็ป

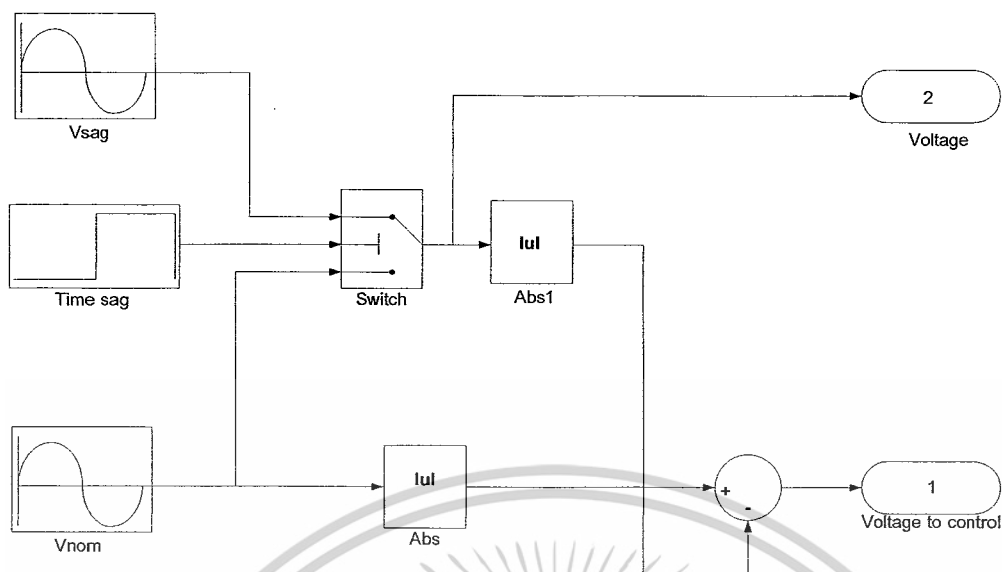
ถูกออกแบบมาให้เปรียบเสมือนเป็นตัวควบคุมการเปลี่ยนแท็ปของหม้อแปลง โดยจะทำการเลือกแท็ปเพื่อสร้างแรงดันชดเชย ซึ่งจะประกอบด้วยแท็ปส่วนที่เป็นตัวสร้างแรงดันชดเชยและแท็ปส่วนที่สร้างแรงดันหักล้าง จากวงจรการเปลี่ยนแปลงแรงดันในภาพที่ 3.2 เมื่อนำสัญญาณแรงดันปกติ (nominal Voltage) มาทำการเปรียบเทียบกับสัญญาณแรงดันในขณะนั้น (real time Voltage) จะทำให้ได้สัญญาณแรงดันที่ตกหรือสัญญาณแรงดันเกินที่ต้องทำการชดเชยออกมา จากผลการเปรียบเทียบสัญญาณแรงดันหากสัญญาณแรงดันปกติมีค่ามากกว่าแรงดันในขณะนั้นแสดงว่ามีปัญหาแรงดันตกเกิดขึ้นในระบบ และหม้อแปลงปรับเปลี่ยนแท็ปจำเป็นต้องทำการเพิ่มจำนวนแท็ปให้สูงขึ้นเพื่อสร้างแรงดันชดเชยให้แรงดันในระบบมีค่าคงที่ แต่ถ้าสัญญาณแรงดันปกติ มีค่าน้อยกว่าสัญญาณแรงดันในขณะนั้นแสดงว่ามีปัญหาแรงดันเกินเกิดขึ้นในระบบ และหม้อแปลงปรับเปลี่ยนแท็ปจำเป็นต้องทำการสร้างแรงดันลบไปหักล้างจากแรงดันในขณะนั้นให้กลับคืนสู่สภาวะปกติ สำหรับวงจรสร้างการเปลี่ยนแปลงแท็ปแสดงได้ดังภาพที่ 3.3

### 3. วงจรสร้างแรงดันชดเชย

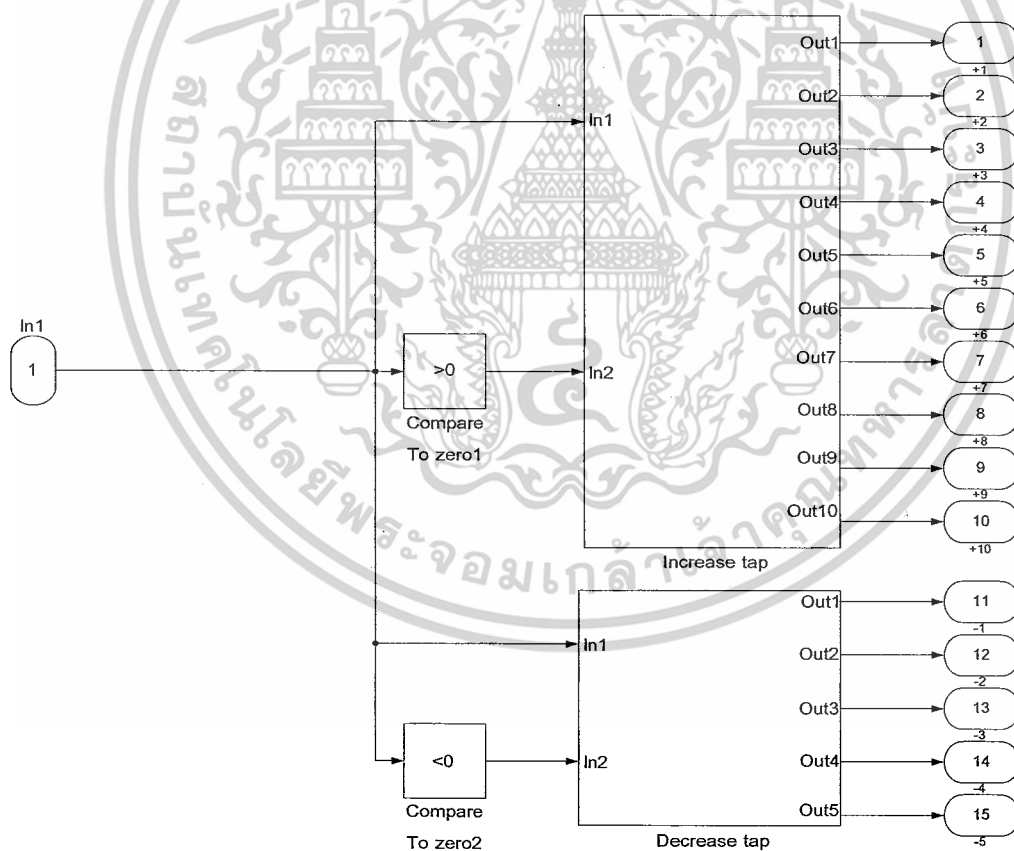
ถูกออกแบบมาให้เปรียบเสมือนกับเป็นหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม โดยรับสัญญาณการสวิตช์มาจากตัวควบคุมการเปลี่ยนแท็ป (เปรียบเสมือนรับแรงดันอินพุตมาจากหม้อแปลงชดเชยแรงดัน) โดยถ้าแท็ปใดถูกเลือกให้ทำการชดเชย แท็ปนั้นก็จะเป็นตัวสร้างแรงดันชดเชย และเมื่อนำแรงดันชดเชยมารวมกับแรงดันโหลดในขณะนั้นก็จะทำให้ได้แรงดันโหลดที่มีค่าคงที่ สำหรับแท็ปที่ไม่ได้ทำงานจะมีแรงดันเป็นศูนย์ ดังแสดงโครงสร้างของวงจรในภาพที่ 3.4



ภาพที่ 3.1 แสดงแบบจำลองการชดเชยแรงดัน

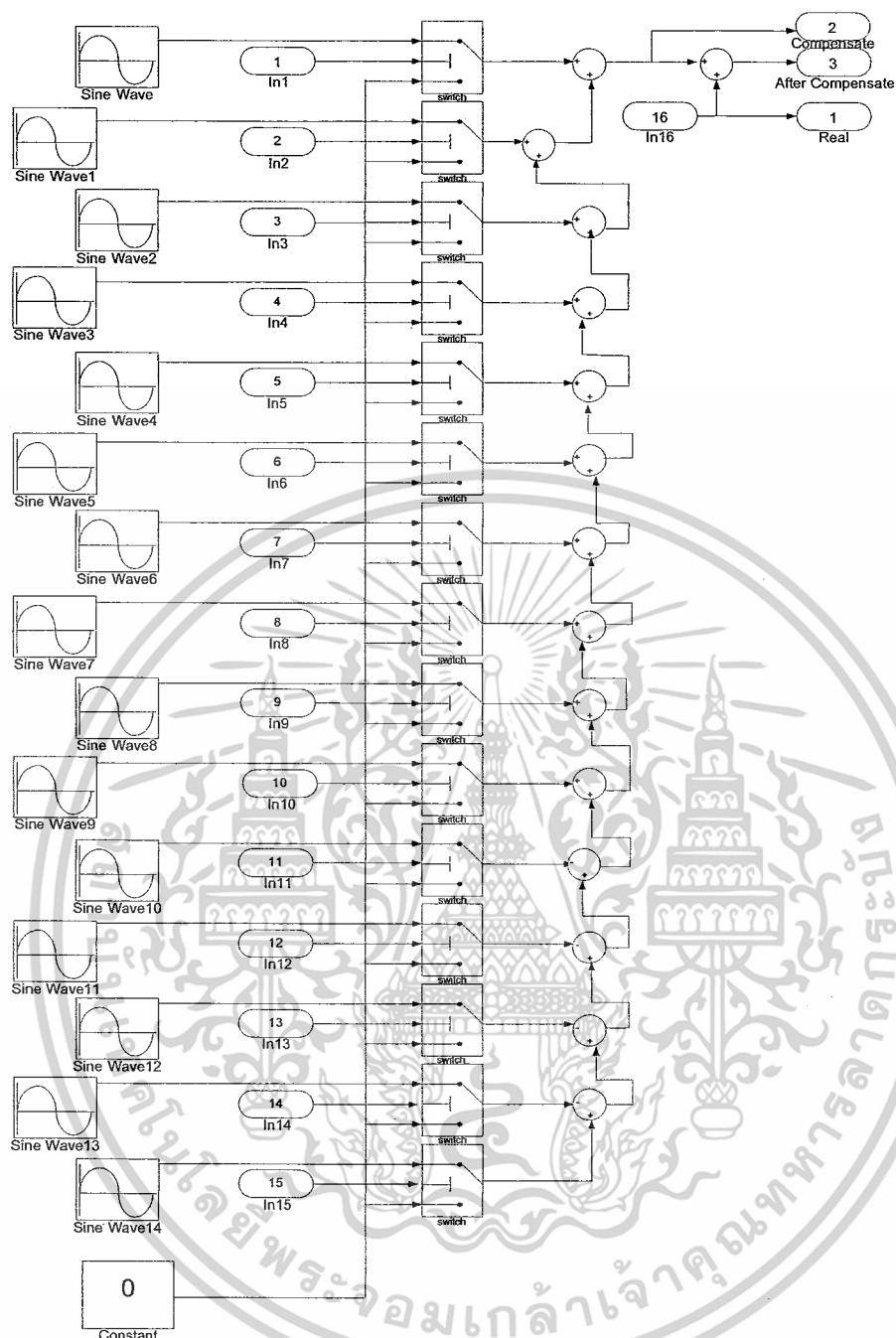


ภาพที่ 3.2 แสดงวงจรสร้างการเปลี่ยนแปลงแรงดัน



ภาพที่ 3.3 แสดงวงจรสร้างการเปลี่ยนแปลงแท็ป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

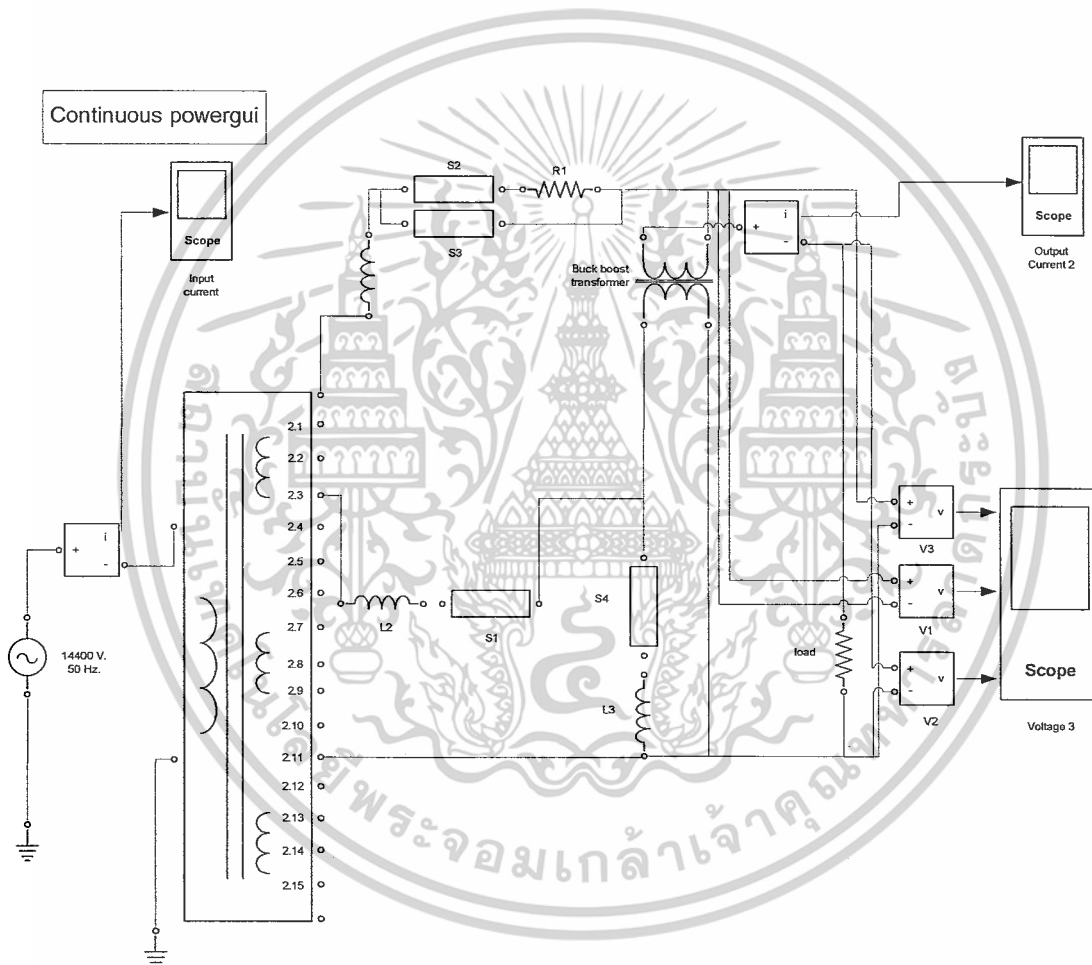


ภาพที่ 3.4 แสดงวงจรสร้างแรงดันชดเชย

### 3.1.2 แบบจำลองของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม

เป็นการทดลองสร้างแบบจำลองการชดเชยแรงดันโดยนำหม้อแปลงมาต่ออนุกรมกับระบบไฟฟ้า และใช้การสวิตช์ให้มีแรงดันตกคร่อมตัวต้านทานเพื่อสร้างแรงดันตกชั่วขณะ จากนั้นหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมจะทำการสร้างแรงดันชดเชยในลักษณะอนุกรมกับระบบไฟฟ้า วงจรประกอบด้วยสวิตช์ตัวที่ 2 (S2) สวิตช์ตัวที่ 3 (S3) และตัวต้านทาน 1 (R1) ทำหน้าที่สร้างแรงดันตกคร่อม R1 เพื่อให้เกิดแรงดันตกชั่วขณะเกิดขึ้น ส่วนตัวเหนี่ยวนำ 1 และตัวเหนี่ยวนำ 2 (L1 และ L2) จะทำหน้าที่ในการจำกัดกระแสที่ไหลเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นิยมนำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผ่านสวิตช์ปรับเปลี่ยนแท็บให้มียุคาลดลง สำหรับสวิตช์ตัวที่ 1 (S1) นั้นจะถูกใช้เป็นสวิตช์สร้างแรงดันชดเชยแรงดันตก ส่วนสวิตช์ตัวที่ 4 (S4) จะถูกใช้งานในกรณีที่แรงดันมีค่าเป็นปกติ โดยจะทำการลัดวงจรทางด้านปฐมภูมิของหม้อแปลงทำให้หม้อแปลงมีลักษณะการทำงานเหมือนกับหม้อแปลงกระแส(Current Transformer)คือไม่มีแรงดันเหนี่ยวนำเกิดขึ้นทางฝั่งทุติยภูมิของหม้อแปลง สำหรับในวงจรนี้โวลต์มิเตอร์ 1 (V1) จะทำหน้าที่วัดสัญญาณแรงดันชดเชย โวลต์มิเตอร์ 2 (V2) ทำหน้าที่วัดสัญญาณแรงดันตกที่ต้องมีการทำการชดเชยและโวลต์มิเตอร์ 3 (V3) ทำหน้าที่วัดสัญญาณแรงดันที่มีการชดเชยเรียบร้อยแล้ว สำหรับแบบจำลองการชดเชยแรงดันแบบอนุกรมนั้นแสดงโครงสร้างได้ดังภาพที่ 3.5



ภาพที่ 3.5 แสดงแบบจำลองของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.2 การออกแบบหม้อแปลงรักษาระดับแรงดันพิกัด 176 โวลต์-แอมป์

ออกแบบหม้อแปลงรักษาระดับแรงดันเพื่อชดเชยแรงดันตกที่เปลี่ยนแปลงไม่เกิน 20 เปอร์เซ็นต์ โดยกำหนดให้หม้อแปลงมีขนาด 176 โวลต์-แอมป์ ในสภาวะเกิดแรงดันตกสูงสุด แรงดันอินพุตจะมีค่าเท่ากับ 176 V. เพราะฉะนั้นหม้อแปลงรักษาระดับแรงดันต้องชดเชยแรงดันตกได้ +44 V. (20 เปอร์เซ็นต์) กำหนดให้

$N_1$  คือจำนวนของขดลวดด้านปฐมภูมิ

$N_2$  คือจำนวนของขดลวดด้านทุติยภูมิ

$I_1$  คือกระแสที่ไหลทางด้านปฐมภูมิ

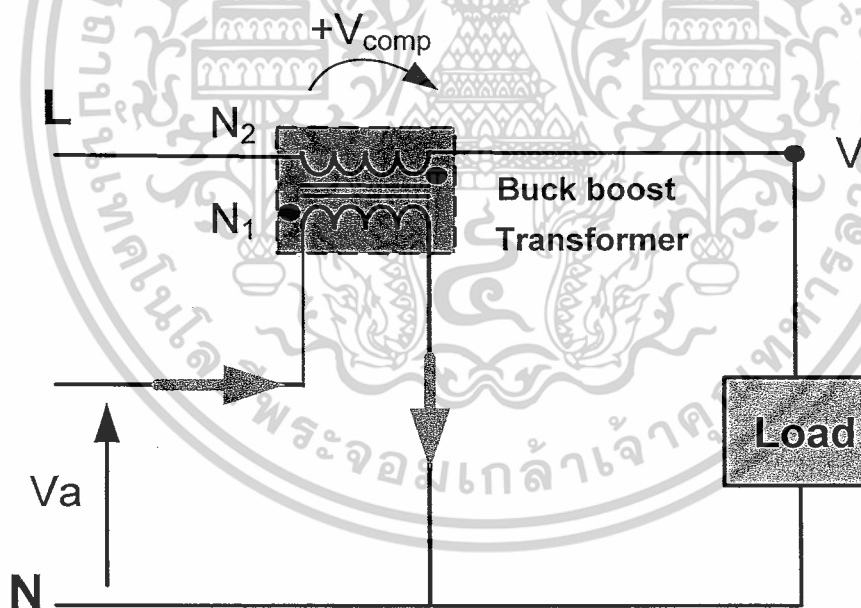
$I_2$  คือกระแสที่ไหลทางด้านทุติยภูมิ

$f$  คือความถี่ไฟฟ้าสลับ(AC) ที่ใช้งาน

$A_1$  คือ พื้นที่หน้าตัดแกนเหล็กของหม้อแปลงรักษาระดับแรงดัน

$A_2$  คือ พื้นที่ว่างในการพันขดลวดของหม้อแปลงรักษาระดับแรงดัน

เลือกใช้ขนาดแกนเหล็กที่มีพิกัด  $B = 1.2$  tesla



ภาพที่ 3.6 แสดงวงจรหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วิธีการคำนวณ

1. หาอัตราส่วนจำนวนรอบของขดลวดด้านปฐมภูมิต่อด้านทุติยภูมิ

$$\frac{N_1}{N_2} = \frac{176}{44} = 4$$

เพราะฉะนั้นอัตราส่วนจำนวนรอบของขดลวดด้านปฐมภูมิต่อด้านทุติยภูมิจะเท่ากับ 4 : 1

$$\text{กระแสที่ไหลทางด้านทุติยภูมิ ( } I_2 \text{ )} = \frac{176VA}{44} = 4 \text{ A.}$$

$$\text{และกระแสที่ไหลทางด้านปฐมภูมิ ( } I_1 \text{ )} = \frac{4}{4} = 1 \text{ A.}$$

2. ออกแบบหม้อแปลงโดยหาขนาดพื้นที่หน้าตัดแกนเหล็กของหม้อแปลงรักษาระดับแรงดัน

$$A_1 = \frac{\sqrt{VA}}{5.58} = \frac{\sqrt{176}}{5.58} = 2.4 \text{ ตารางนิ้ว}$$

เพราะฉะนั้นเลือกใช้แกนเหล็กขนาด  $2'' \times 2'' = 4$  ตารางนิ้ว

3. หาขนาดพื้นที่ว่างในการพันขดลวดของหม้อแปลงรักษาระดับแรงดันหม้อแปลงรักษาระดับแรงดัน จากภาพที่ 3.9 จะได้ขนาดพื้นที่ว่างในการพันขดลวดเท่ากับ

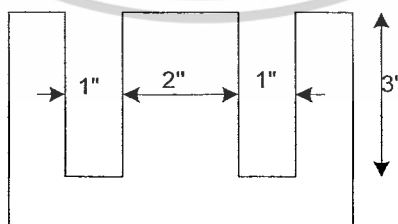
$$3 \times 1 = 3 \text{ ตารางนิ้ว}$$

4. หาพื้นที่ว่างในการพันขดลวดของหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมจากสมการ

$$V = 4.44fNBA \quad (3.1)$$

6"

จะจ่อมเกล้าเจ้าคุณทหารลาดกระบัง



ภาพที่ 3.7 แสดงขนาดแกนเหล็ก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถหาจำนวนรอบขดลวดของหม้อแปลงได้โดยเลือกใช้ขนาดแกนเหล็กที่มีพิกัด

$B = 1.2 \text{ tesla}$

$$220 = 4.44 \times 50 \times N \times 1.2 \times (2 \times 2 \times 10^{-4} \times 2.54^2)$$

$$N_1 = \frac{220}{4.44 \times 50 \times 1.2 \times (2 \times 2 \times 10^{-4} \times 2.54^2)}$$

$N_1 = 320 \text{ รอบ}$

เพราะฉะนั้น

$$N_2 = \frac{N_1}{4} = \frac{320}{4} = 80 \text{ รอบ}$$

เนื่องจากการใช้งาน ลวดทองแดงจะต้องไม่ร้อนเกินไป จึงเลือกใช้พิกัด  $1/J = 600 \text{ cir.mil/A}$  ตาม SWG (standard wire gauge)

จะได้พื้นที่หน้าตัดของขดลวดด้านทุติยภูมิ =  $600 \times 4 = 2400 \text{ cir.mil}$

(ใช้ SWG 17 จำนวนรอบ/พื้นที่หน้าตัดขดลวด 1 ตารางนิ้วเท่ากับ 277 รอบ)

และพื้นที่หน้าตัดของขดลวดด้านปฐมภูมิ =  $600 \times 1 = 600 \text{ cir.mil}$

(ใช้ SWG 23 จำนวนรอบ/พื้นที่หน้าตัดขดลวด 1 ตารางนิ้วเท่ากับ 1340 รอบ) จากจำนวนรอบของขดลวดที่ได้ออกแบบไว้จะเห็นได้ว่าสามารถพันขดลวดลงได้

### 3.3 ทำการออกแบบหม้อแปลงปรับเปลี่ยนแท็ป (Compensated Auto Transformer)

พิกัด 176 โวลต์-แอมป์

หลักการออกแบบหม้อแปลงโดยทั่วไปจะเหมือนกับการออกแบบหม้อแปลงรักษาระดับแรงดันในด้านบนแต่จะมีขดลวดเพียงแค่ขดเดียว ส่วนการคำนวณจำนวนรอบในแต่ละแท็ปนั้นมีหลักการคำนวณดังต่อไปนี้

จากวงจรหม้อแปลงรักษาระดับแรงดันอัตโนมัติแบบอนุกรมเราสามารถหาความสัมพันธ์ระหว่างแรงดันอินพุตกับแรงดันเอาต์พุตได้ดังสมการ

$$V_{in} = \frac{V_{out}}{\left(1 + \frac{N_{in}}{N_{out}}\right)} \quad (3.2)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

และจากความสัมพันธ์ที่ได้เราสามารถนำมาคำนวณหาจำนวนแท็บและแรงดันที่แต่ละแท็บทำงานได้ดังตารางด้านล่าง โดยจะเห็นได้ว่าแท็บของหม้อแปลงมีการทำงานในทุกระดับแรงดันที่ลดลงและไม่มีแรงดันใดเลยที่แท็บไม่ทำงาน (สังเกตได้จากแรงดันต่ำสุดที่แท็บก่อนหน้าทำงานจะต้องมีค่าต่ำกว่าแรงดันสูงสุดที่แท็บต่อไปทำงานเล็กน้อย)

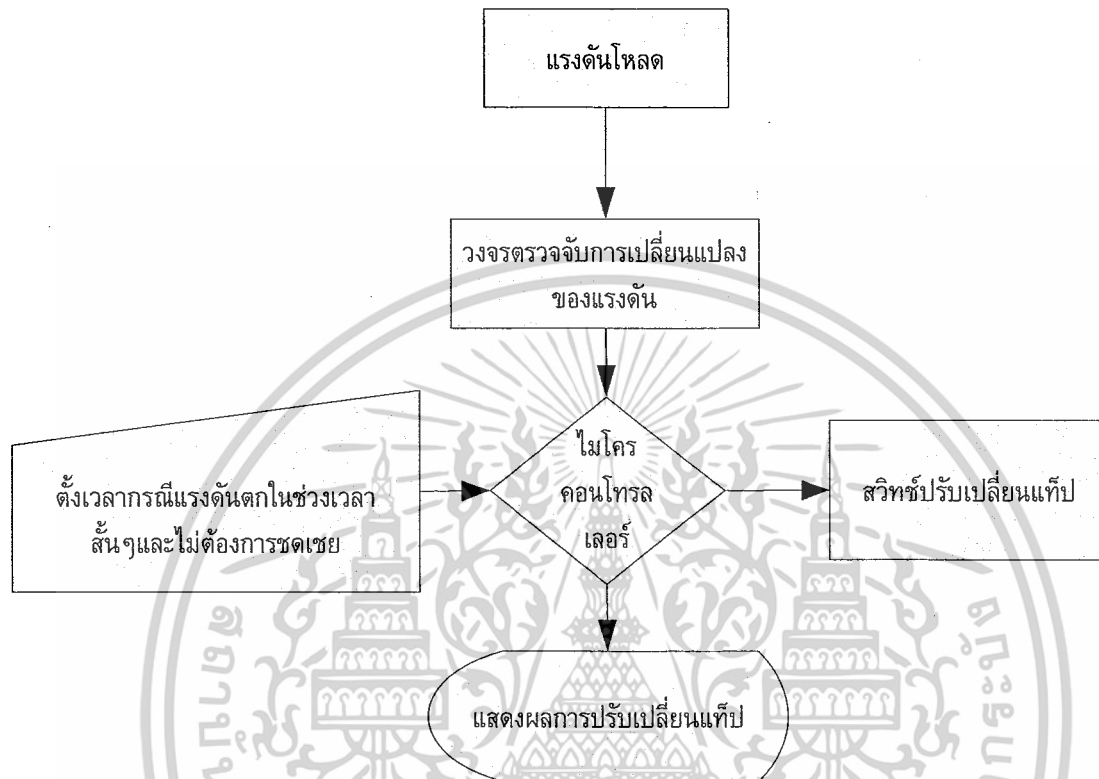
**ตารางที่ 3.1** ตารางแสดงจำนวนรอบและแรงดันที่แต่ละแท็บทำงาน

Tap	N <sub>out</sub>	V <sub>in</sub>		V <sub>out</sub>	
		min	max	min	max
1	90	213.79	218.11	217.8	222.2
2	185	209.75	213.99	217.8	222.2
3	282	205.79	209.95	217.8	222.2
4	379	201.97	206.05	217.8	222.2
5	480	198.15	202.15	217.8	222.2
6	580	194.46	198.39	217.8	222.2
7	685	190.77	194.62	217.8	222.2
8	792	187.15	190.93	217.8	222.2
9	897	183.73	187.44	217.8	222.2
10	1004	180.37	184.01	217.8	222.2
11	1109	177.79	180.77	217.8	222.2
12	1210	174.24	177.76	217.8	222.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.4 ออกแบบวงจรควบคุมที่ใช้ในการปรับเปลี่ยนแท็บเพื่อรักษาระดับแรงดันไฟฟ้า

ในการออกแบบวงจรควบคุมที่ใช้ในการปรับเปลี่ยนแท็บเพื่อรักษาระดับแรงดันไฟฟ้าเราจะทำการออกแบบโดยอาศัยไดอะแกรมตามนี้

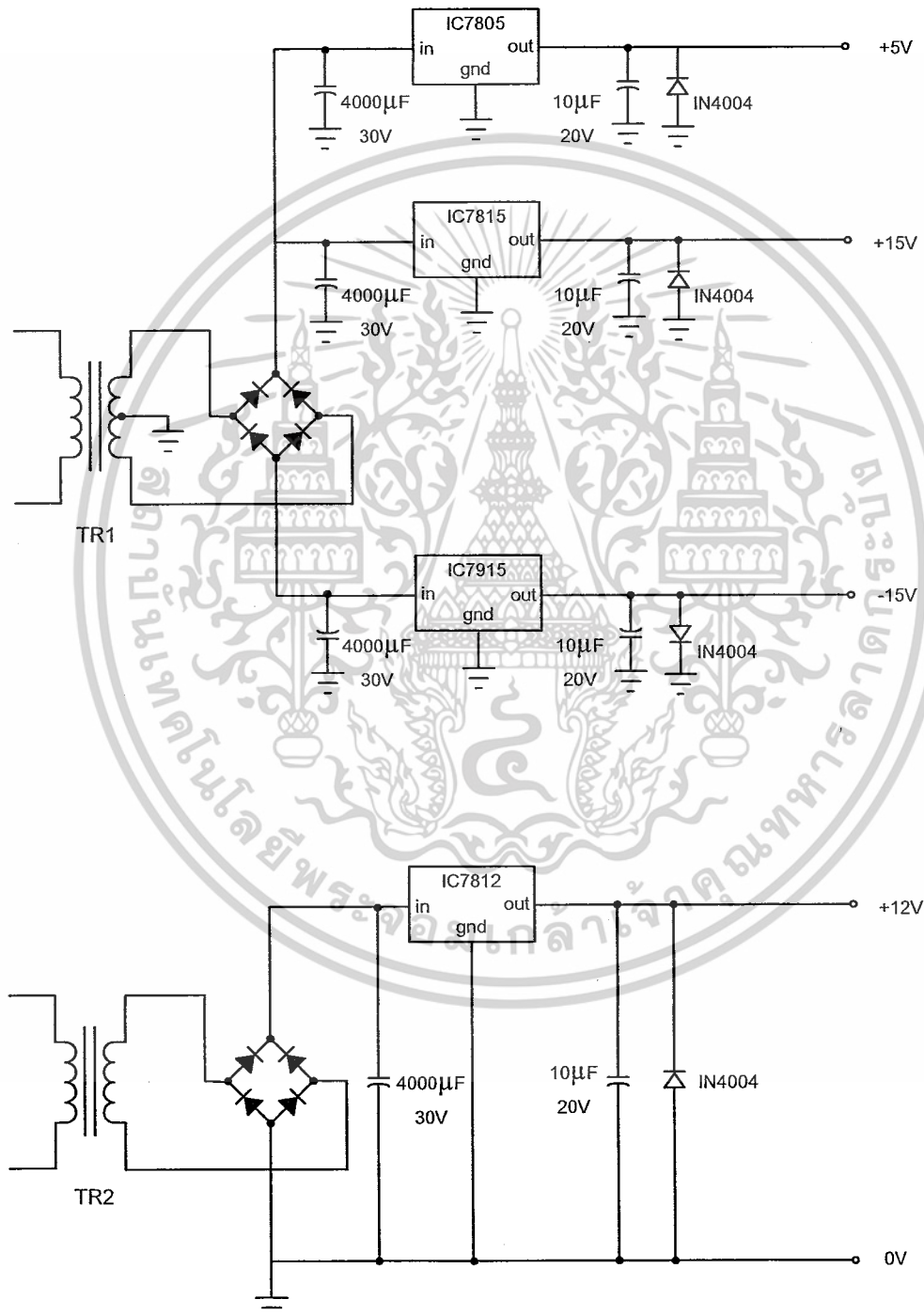


ภาพที่ 3.8 แสดงไดอะแกรมการออกแบบวงจรควบคุม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.4.1 วงจรสร้างแหล่งจ่ายแรงดันไฟตรง +5,+12,+15 และ -15 โวลต์

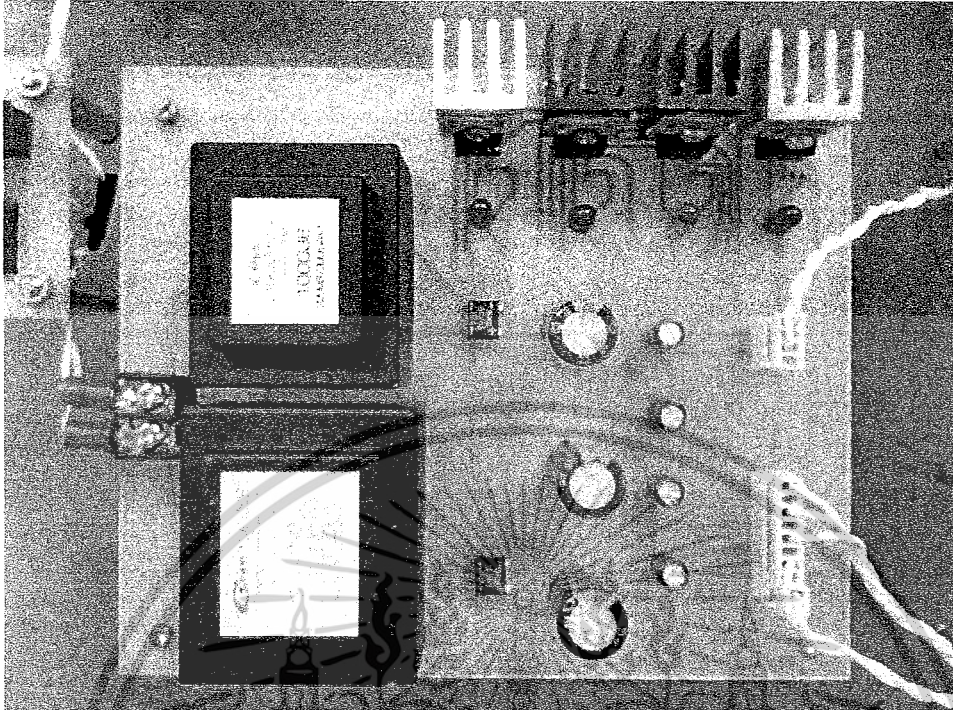
ในการสร้างแรงดันไฟตรงเพื่อเป็นแหล่งจ่ายให้กับอุปกรณ์อิเล็กทรอนิกส์ต่างๆ ภายในวงจร เราจะใช้หม้อแปลง(TR1และTR2)ลดระดับแรงดันไฟสลับจากแหล่งจ่าย220โวลต์ ลงมาเหลือ15โวลต์ จากนั้นบริดจ์เรกติไฟจะทำการกรองแรงดันเป็นแรงดันไฟตรงเพื่อเข้าสู่ไอซีเร็กกูเลเตอร์ในการรักษาระดับแรงดันไฟฟ้าต่อไป ดังแสดงในภาพที่3.9



ภาพที่ 3.9 แสดงวงจรสร้างแหล่งจ่ายแรงดันไฟตรง +5,+12,+15 และ -15 โวลต์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

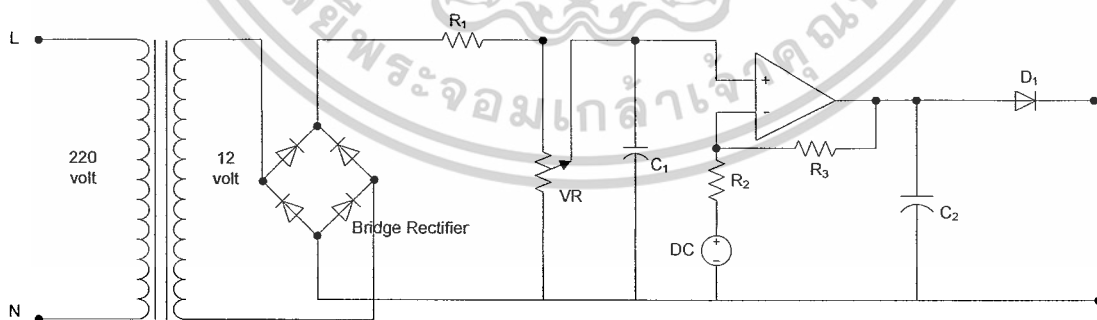
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.10 แสดงภาพจริงของวงจรสร้างแหล่งจ่ายแรงดันไฟตรง +5,+12,+15 และ -15 โวลต์

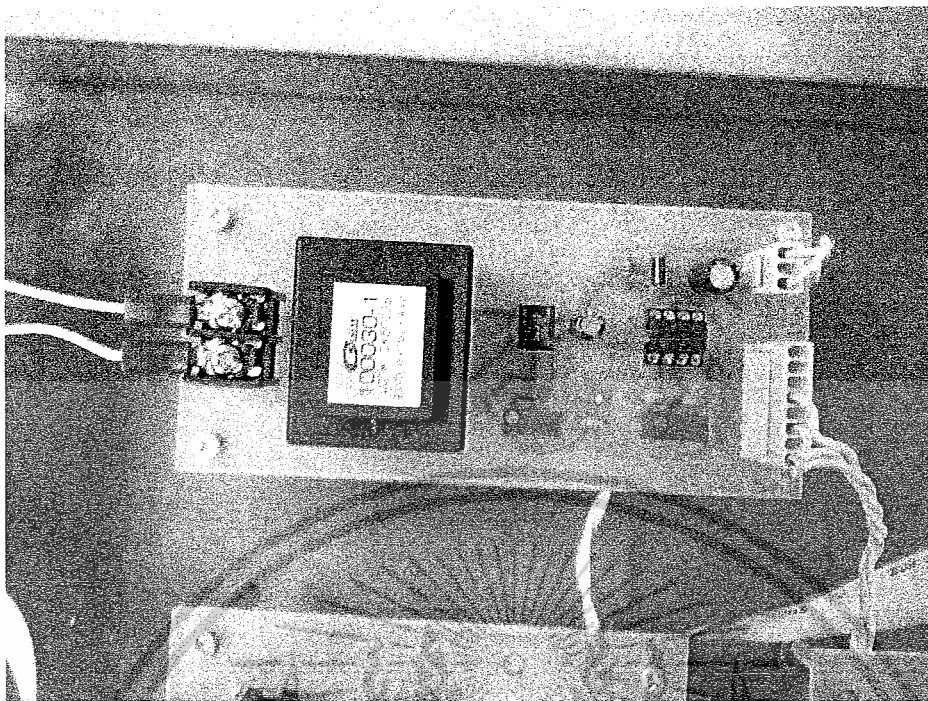
จากภาพที่ 3.9 และ 3.10 จะเห็นว่าเราจำเป็นต้องใช้หม้อแปลง 2 ตัวในการสร้างแรงดันไฟตรง ทั้งนี้เนื่องจากแหล่งจ่ายแรงดันไฟฟ้า +12 โวลต์ในวงจรควบคุมจำเป็นต้องแยกกราวด์ออกจากแหล่งจ่ายแรงดันไฟตรงอื่นๆ

### 3.4.2 วงจรตรวจจับการเปลี่ยนแปลงแรงดัน



ภาพที่ 3.11 แสดงวงจรตรวจจับการเปลี่ยนแปลงแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.12 แสดงภาพจริงของวงจรตรวจจับการเปลี่ยนแปลงแรงดัน

จากวงจรตรวจจับการเปลี่ยนแปลงแรงดัน ตามภาพที่ 3.11 มีหลักการทำงานดังต่อไปนี้

1. หม้อแปลงจะรับแรงดันโวลต์มาเป็นแรงดันอินพุทและลดระดับแรงดันลงในอัตราส่วน  $\frac{220}{12}$
2. แปลงแรงดันไฟสลับเป็นแรงดันไฟตรงและลดระดับแรงดันลงโดยใช้ตัวต้านทานแบ่งระดับแรงดัน
3. จากแรงดันกระแสตรงที่ได้เราจะนำแรงดันกระแสตรงนั้นมาลบค่าแรงดันออฟเซตออก (แรงดันกระแสตรงที่แปลงมาจากแรงดันไฟสลับที่เปลี่ยนแปลงในช่วง 0-176 โวลต์) จากนั้นจะทำการขยายแรงดันกระแสตรงที่เหลือ (แรงดันกระแสตรงที่แปลงมีจากแรงดันไฟสลับที่เปลี่ยนแปลงในช่วง 176-220 โวลต์) ให้อยู่ในช่วงที่ต้องการ(ไม่เกิน 5 โวลต์)
4. ทำการตัดแรงดันลบออกโดยใช้ไดโอด  $D_1$  (กรณีแรงดันเปลี่ยนแปลงในช่วง 0-176 โวลต์ แรงดันกระแสตรงจะมีค่าเป็นลบ)
5. ได้แรงดันบวกที่เปลี่ยนแปลงไม่เกิน 5 โวลต์เพื่อเข้าสู่วงจรควบคุมต่อไป

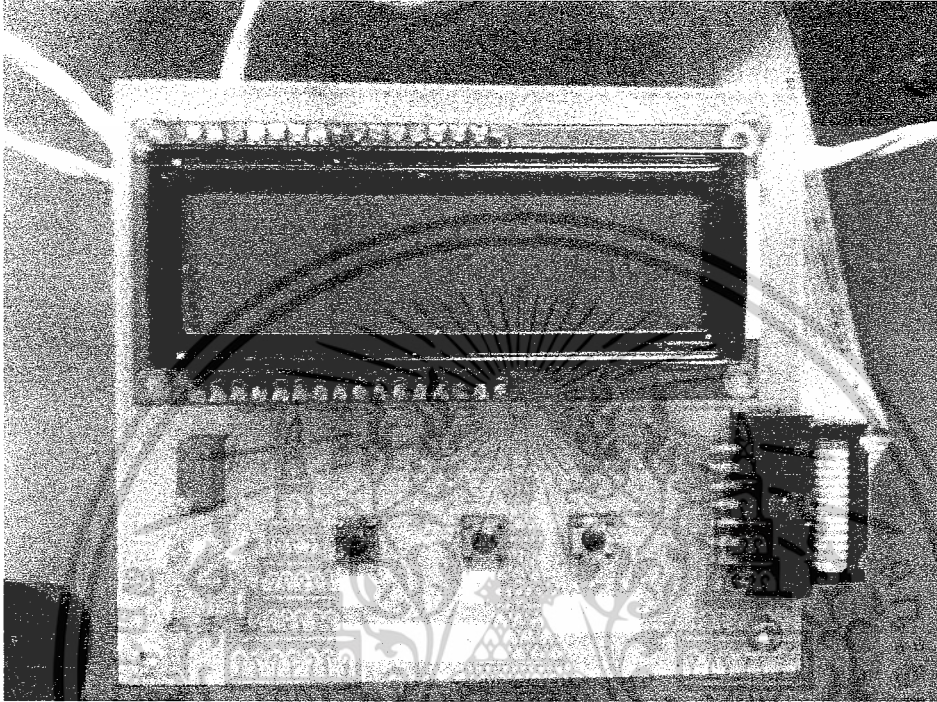
### 3.4.3 สวิตซ์ตั้งเวลากรณีเกิดแรงดันตกในช่วงเวลาสั้น ๆ และไม่ต้องการชดเชย

ในการออกแบบเราจะใช้สวิตซ์กดติดปล่อยดับ 3 ปุ่มทำหน้าที่เพิ่มหรือลดเวลาที่ต้องการหน่วงสำหรับกรณีเกิดแรงดันตกเป็นช่วงเวลาสั้น ๆ และไม่ต้องการชดเชย โดยในการกดหนึ่งครั้งเวลาที่ทำการหน่วงจะเปลี่ยนแปลงไป 500 มิลลิวินาที ส่วนอีกหนึ่งปุ่มจะเป็นปุ่มสตาร์ทเพื่อเริ่มการทำงานหรือเพื่อกลับเข้าสู่เมนูการตั้งเวลาอีกครั้งหนึ่ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

### 3.4.4 หน้าจอแสดงผล

ในการออกแบบเราจะใช้จอ LCD 2 บรรทัดแสดงเวลาที่ต้องการหน่วยและสถานะของแท็บที่ถูกใช้งานในขณะนั้น

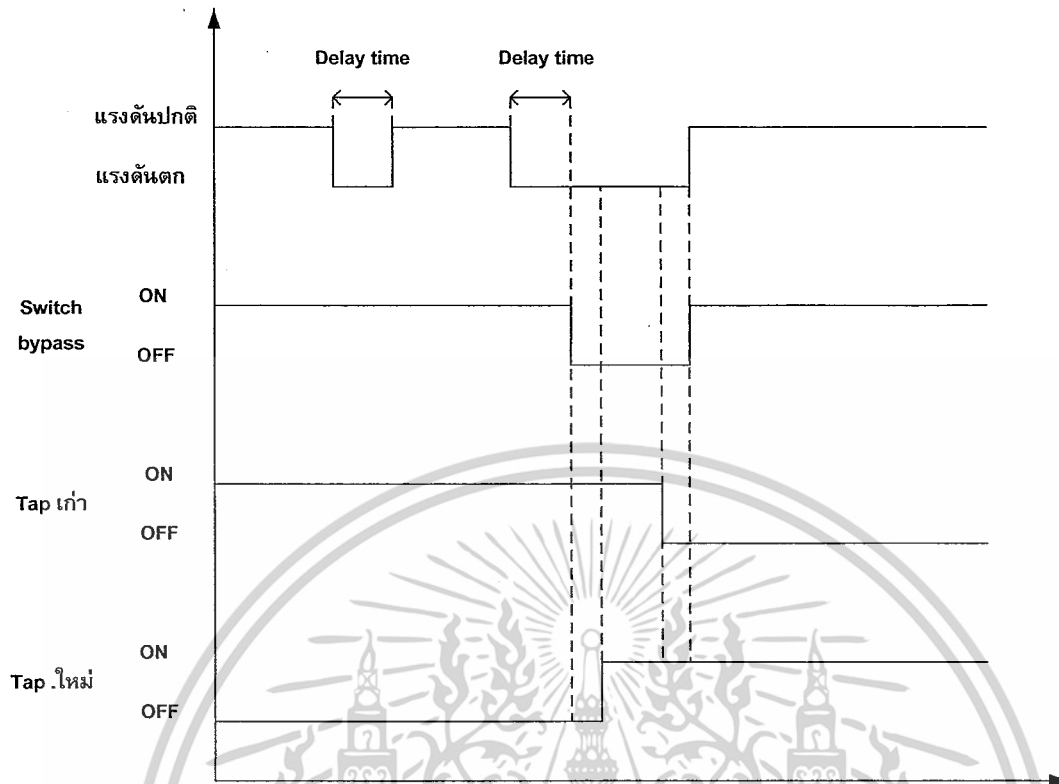


ภาพที่ 3.13 แสดงภาพจริงของหน้าจอแสดงผล

### 3.4.5 วงจรสวิตช์รีเลย์สำหรับการปรับเปลี่ยนแท็บ

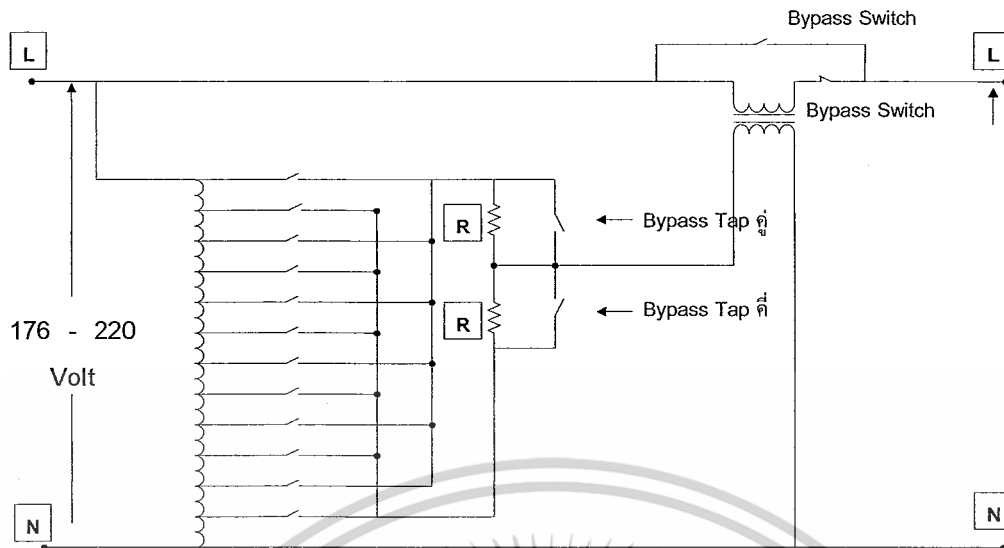
ในการออกแบบหม้อแปลงรักษาระดับแรงดันอัตโนมัติแบบอนุกรม เครื่องต้นแบบนี้เราจะใช้รีเลย์เป็นสวิตช์ในการปรับเปลี่ยนแท็บ โดยสวิตช์รีเลย์จะรับสัญญาณการสวิตช์มาจากไมโครคอนโทรลเลอร์ซึ่งจะสร้างสัญญาณการเปลี่ยนแท็บที่มีลำดับการสวิตช์ดังต่อไปนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

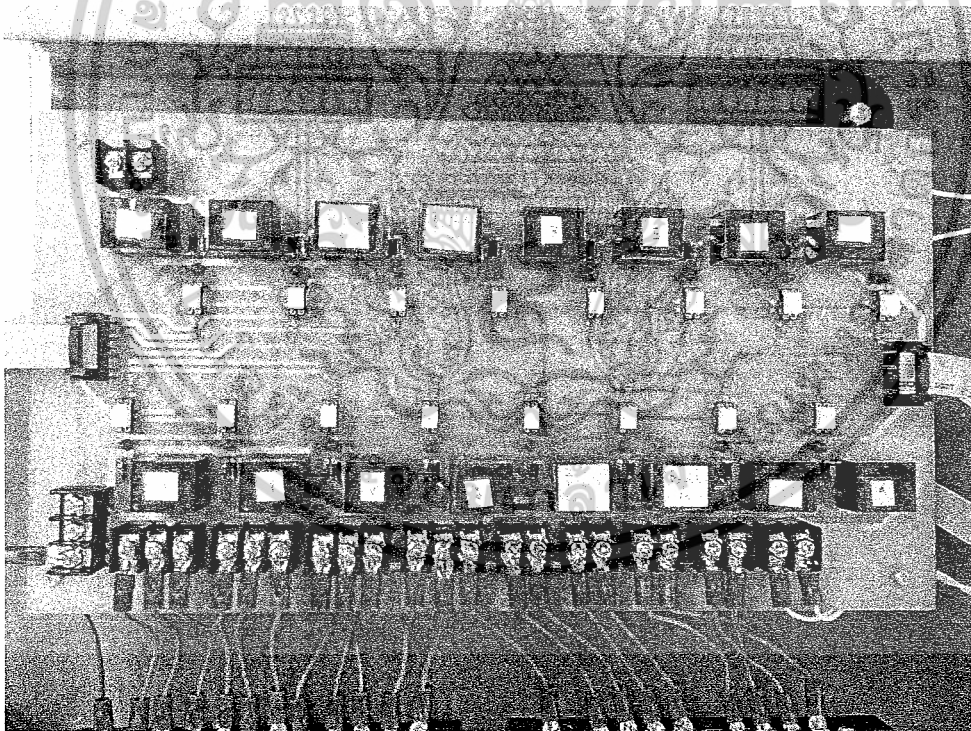


ภาพที่ 3.14 ลำดับขั้นตอนการเปลี่ยนสวิตช์

จากภาพที่ 3.14 จะเห็นว่าเมื่อมีปัญหาแรงดันตกเกิดขึ้นในช่วงแรกซึ่งเป็นระยะเวลาสั้นๆ (น้อยกว่าช่วงเวลาที่ได้ทำการหน่วงไว้) แท็บของหม้อแปลงจะไม่มีการเปลี่ยนแปลงใดๆ เกิดขึ้น แต่เมื่อเกิดปัญหาแรงดันตกขึ้นในช่วงที่สองซึ่งมีช่วงเวลาดังกล่าวมากกว่าเวลาที่ได้ทำการหน่วงไว้(1) แท็บของหม้อแปลงจะเกิดการเปลี่ยนแปลงการทำงานดังลำดับขั้นตอนต่อไปนี้ คือ บายพาสสวิตช์จะทำการเปลี่ยนสถานะโดยทำการปลดวงจรออก(off) เพื่อป้องกันการช้อทเทิร์น ในขณะที่เกิดการปรับเปลี่ยนแท็บ โดยในขณะที่ทำการปรับเปลี่ยนแท็บจะมีตัวต้านทานคอยจำกัดกระแสลัดวงจรไว้ซึ่งจะทำให้หม้อแปลงรักษาระดับแรงดันไม่ได้รับความเสียหายจากการลัดวงจรเกิดขึ้น(2) และหลังจากที่บายพาสสวิตช์ทำการเปิดวงจรเรียบร้อยแล้ว แท็บใหม่จะถูกสั่งให้ทำงาน(on) ในขณะที่แท็บเก่ายังคงทำงานอยู่เช่นเดิม(3) ส่วนในลำดับสุดท้ายแท็บเก่าจะถูกทำการปลดวงจรออก(off) แล้วบายพาสสวิตช์จะทำงานอีกครั้งเป็นอันเสร็จสิ้นขั้นตอนการเปลี่ยนแท็บอย่างสมบูรณ์(4)



ภาพที่ 3.15 แสดงวงจรสวิตช์รีเลย์สำหรับการปรับเปลี่ยนแท็ป

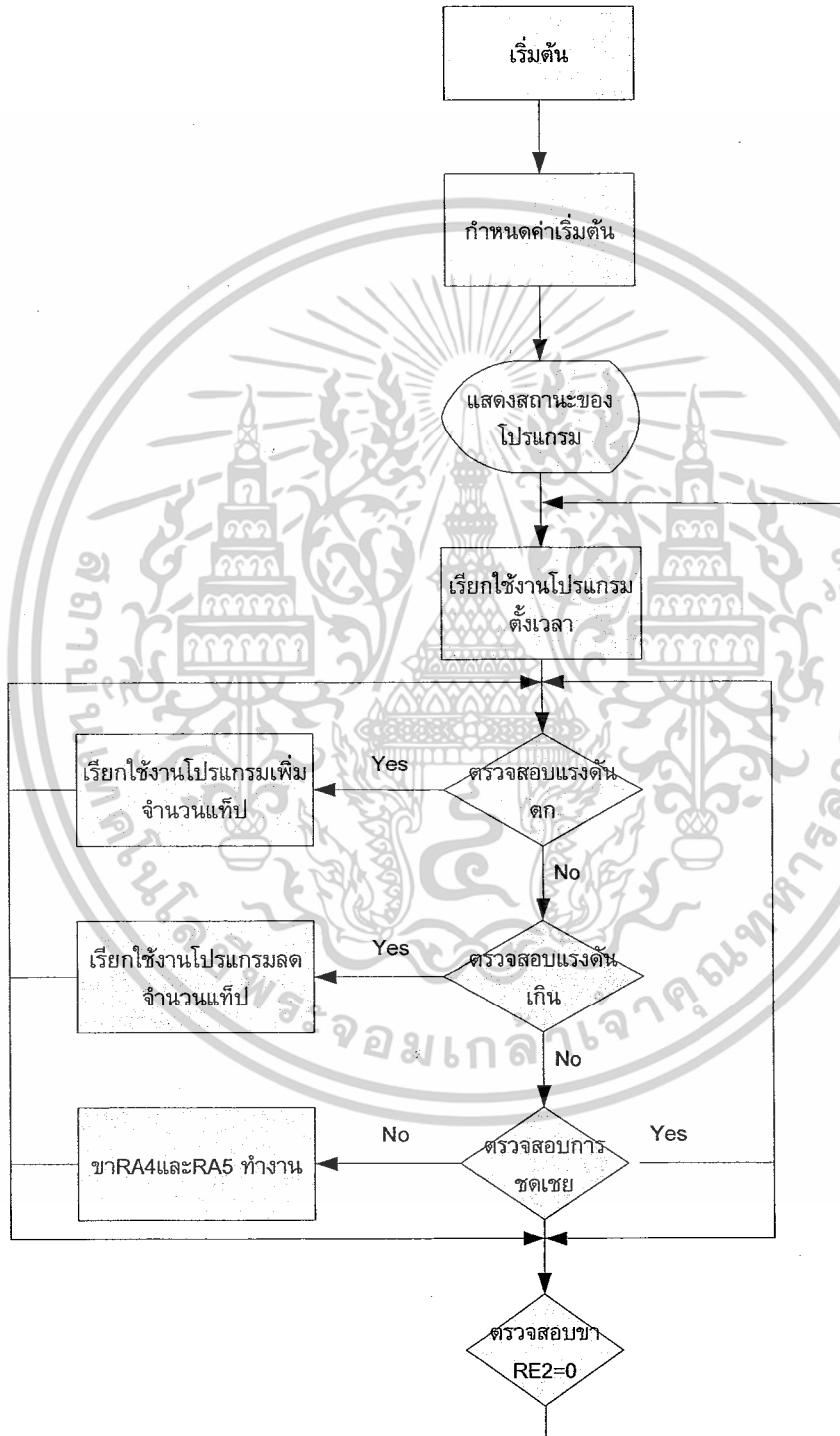


ภาพที่ 3.16 แสดงภาพจริงของวงจรสวิตช์รีเลย์สำหรับการปรับเปลี่ยนแท็ป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

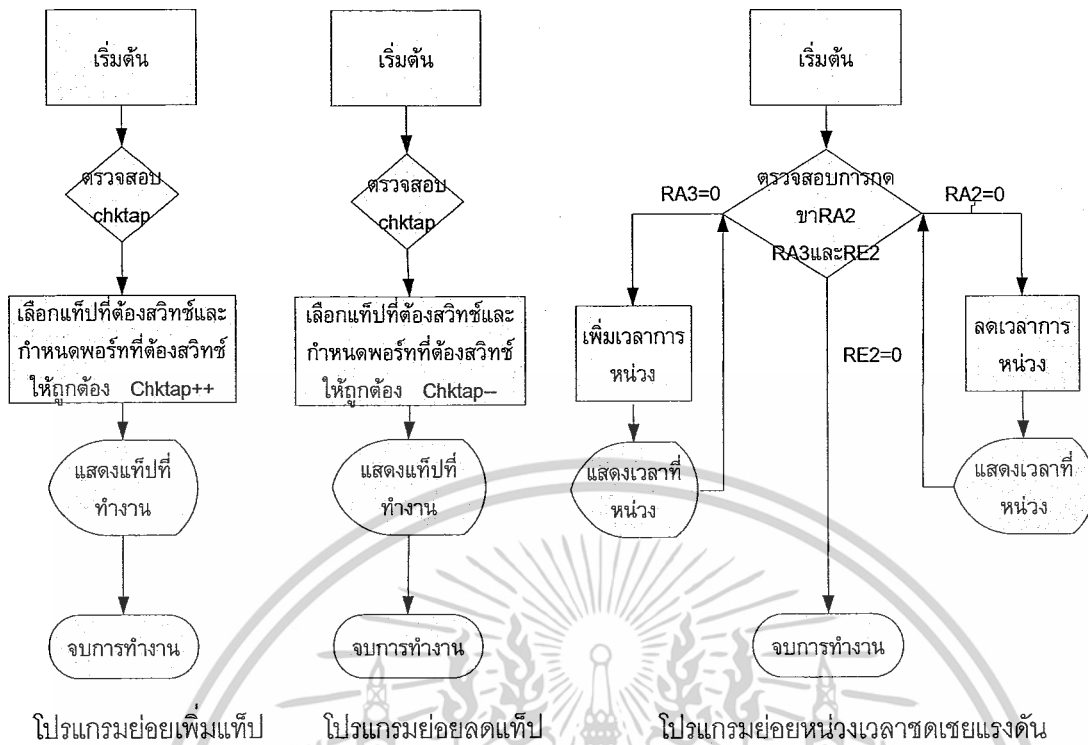
### 3.4.6 ไมโครคอนโทรลเลอร์

เลือกใช้ไมโครคอนโทรลเลอร์ PIC 18F4431 เป็นอุปกรณ์ควบคุมและมีไดอะแกรมการเขียนโปรแกรมควบคุมแท็บเพื่อรักษาระดับแรงดันดังต่อไปนี้



ภาพที่ 3.17 แสดงไดอะแกรมการเขียนโปรแกรมควบคุมแท็บเพื่อรักษาระดับแรงดัน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 3.18 แสดงไดอะแกรมโปรแกรมย่อยของการรักษาระดับแรงดัน

จากภาพที่ 3.18 มีรายละเอียดของแต่ละโปรแกรมย่อยดังต่อไปนี้

### 1) โปรแกรมย่อยเพิ่มแท็ป

เมื่อเกิดแรงดันตกโปรแกรมย่อยเพิ่มแท็ปจะทำหน้าที่เพิ่มจำนวนแท็ปในการชดเชยไปเรื่อยๆ โดยเริ่มต้นจากการตรวจสอบตัวแปร chktap ว่ามีค่าเท่าใด จากนั้นก็จะสั่งให้สวิตช์เพิ่มจำนวนแท็ปไปเรื่อยๆจนกว่าแรงดันจะกลับเข้าสู่สภาวะปกติหรือจนกว่าจะถึงแท็ปสูงสุดที่สามารถทำการชดเชยได้

### 2) โปรแกรมย่อยลดแท็ป

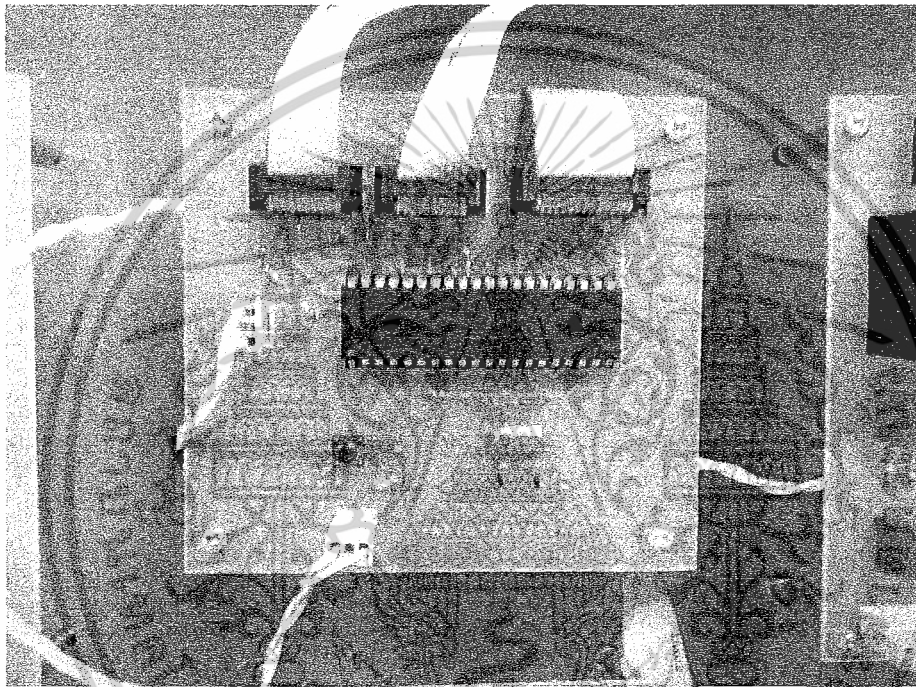
เมื่อแรงดันเริ่มกลับเข้าสู่สภาวะปกติจะเกิดปัญหาแรงดันเกินชั่วขณะ ดังนั้นโปรแกรมย่อยลดแท็ปจะทำหน้าที่ลดจำนวนแท็ปลงเพื่อรักษาระดับแรงดันโวลต์ให้มีค่าคงที่ โดยเริ่มต้นจากการตรวจสอบตัวแปร chktap ว่ามีค่าเท่าใด จากนั้นก็จะสั่งให้สวิตช์ลดจำนวนแท็ปลงเรื่อยๆจนกว่าแรงดันจะกลับเข้าสู่สภาวะปกติหรือจนกว่าจะปลดสวิตช์ทุกแท็ปออกหมด

### 3) โปรแกรมย่อยจัดการหน่วงเวลาชดเชยแรงดัน

เพื่อเป็นการเพิ่มอายุการใช้งานให้กับสวิตช์ปรับเปลี่ยนแท็ป เราจึงมีฟังก์ชันการหน่วงเวลาเพื่อป้องกันไม่ให้นำสัมผัสต้องทำการปรับเปลี่ยนแท็ปบ่อยครั้งเกินไปหากเกิดเอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น เมื่ออนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แรงดันตกเป็นช่วงเวลาสั้นๆ โดยโปรแกรมตั้งการหน่วงเวลาจะเริ่มต้นจากการตรวจสอบการกวดสวิตซ์ว่ามีการกวดสวิตซ์ที่ปุ่มเพิ่มหรือลดเวลา หลังจากนั้นก็จะทำการเพิ่มหรือลดเวลาที่ต้องการหน่วงตามต้องการและเมื่อทำการตั้งเวลาเสร็จแล้วก็จะทำการตรวจสอบการกวดปุ่มสตาร์ทเพื่อเข้าสู่โปรแกรมการรักษาระดับแรงดันต่อไป

จากไดอะแกรมโปรแกรมหลักและโปรแกรมย่อยข้างต้นสามารถนำมาเขียนโปรแกรมเพื่อควบคุมการปรับเปลี่ยนแท็บได้ตามต้องการ



ภาพที่ 3.19 แสดงภาพจริงของไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## บทที่ 4

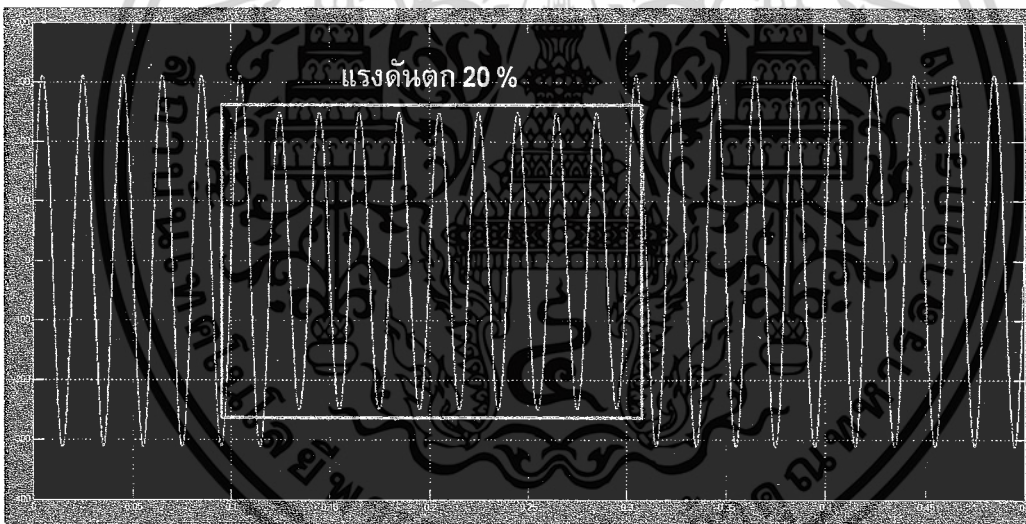
### ผลการทดลอง

#### 4.1 ผลจากแบบจำลองการชดเชยแรงดันโดยใช้โปรแกรม MATLAB simulink

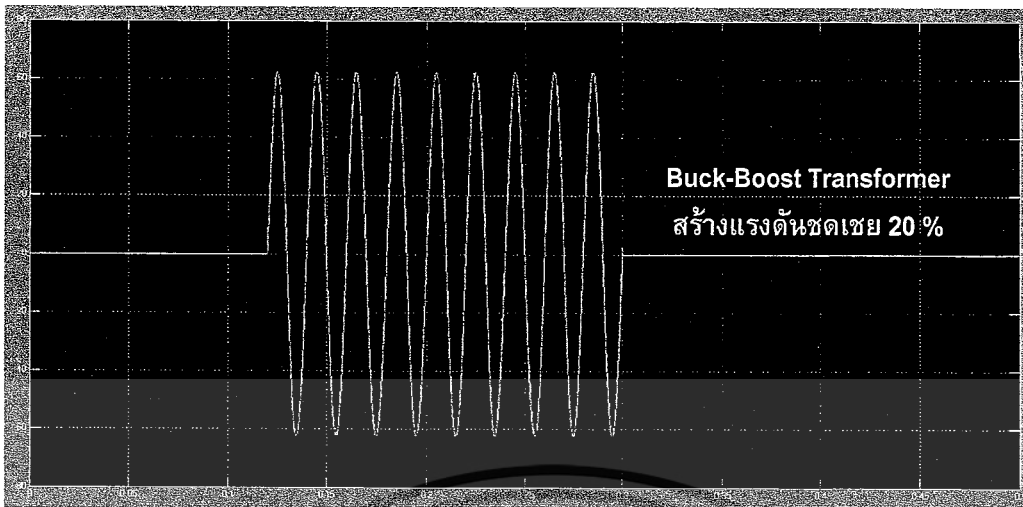
##### 4.1.1 ผลการทดลองจากแบบจำลองการชดเชยแรงดันแบบอนุกรม

จากแบบจำลองการชดเชยแรงดันแบบอนุกรมที่ได้สร้างขึ้น จะเห็นได้ว่าเราสามารถสร้างแรงดันชดเชยในลักษณะอนุกรมกับแหล่งจ่ายเพื่อทำการรักษาระดับแรงดันโหลดให้มีค่าคงที่ได้

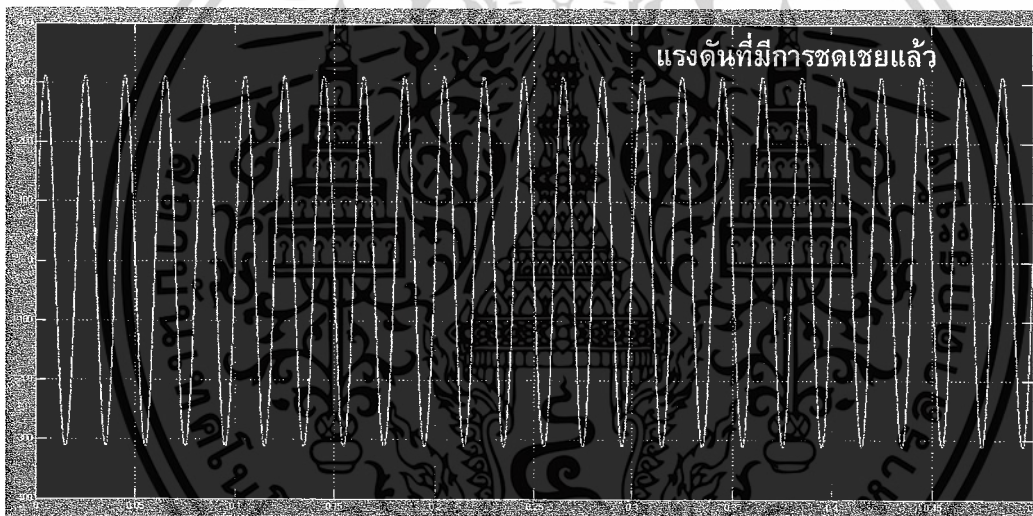
จากแบบจำลองการชดเชยแรงดัน ในตอนแรกแรงดันโหลดจะมีค่าเป็นปกติที่ 220 V. จากนั้นเราจะทำการจำลองให้แหล่งจ่ายเกิดแรงดันตก 20 % ดังแสดงในภาพที่ 4.1.1 เมื่อเกิดแรงดันตกขึ้นมาแล้ว หม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมจะทำการสร้างแรงดัน 20% ขึ้นมาชดเชยดังแสดงในภาพที่ 4.1.2 หลังจากสร้างแรงดันชดเชยขึ้นมาแล้วก็ได้แรงดันกลับมาเป็นปกติเหมือนตอนแรกซึ่งแสดงในภาพที่ 4.1.3



ภาพที่ 4.1.1 แสดงผลที่ได้จากแบบจำลอง



ภาพที่ 4.1.2 แสดงผลที่ได้จากแบบจำลอง



ภาพที่ 4.1.3 แสดงผลที่ได้จากแบบจำลอง

#### 4.1.2 ผลการทดลองจากแบบจำลองที่นำหม้อแปลงมาต่ออนุกรมกับแหล่งจ่าย

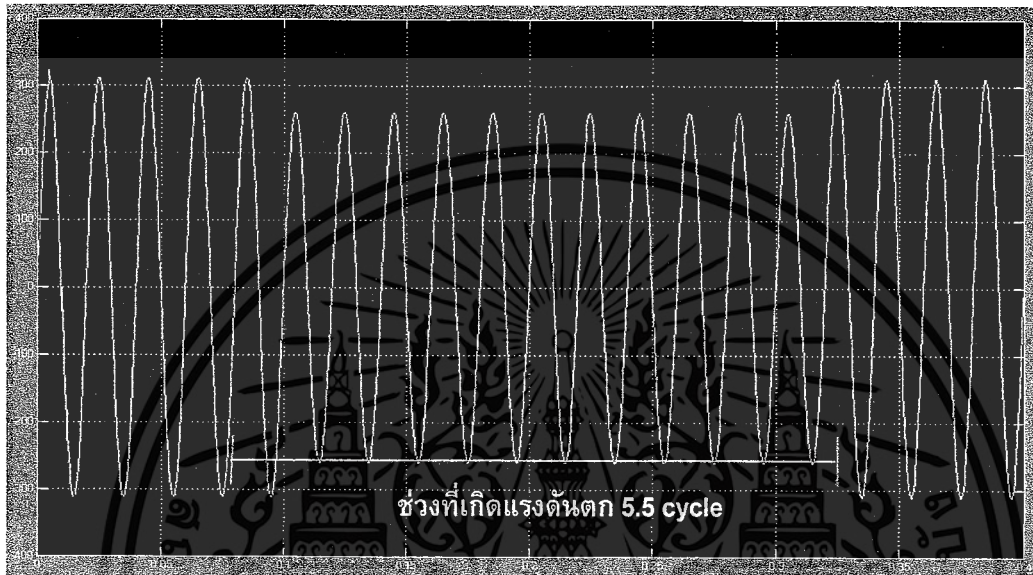
จากการนำหม้อแปลงมาต่ออนุกรมกับแหล่งจ่าย จะเห็นได้ว่าเราสามารถสร้างแรงดันชดเชยในลักษณะอนุกรมกับแหล่งจ่ายเพื่อทำการรักษาระดับแรงดันโหลดให้มีค่าคงที่ได้ โดยการปรับเปลี่ยนแท็ปของหม้อแปลงปรับเปลี่ยนแท็ป (Compensate Auto Transformer) ซึ่งจะเป็นแหล่งจ่ายให้กับหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมที่ทำหน้าที่สร้างแรงดันชดเชย ดังแสดงในภาพที่ 4.2.1 – 4.2.3

ในภาพที่ 4.2.1 เป็นภาพที่ได้จากแบบจำลองการชดเชยแรงดันแบบอนุกรม โดยใส่ตัวต้านทานเข้าไปในระบบจึงเกิดแรงดันตกคร่อมที่ตัวต้านทานทำให้เกิดแรงดันตก 20 % ขึ้น

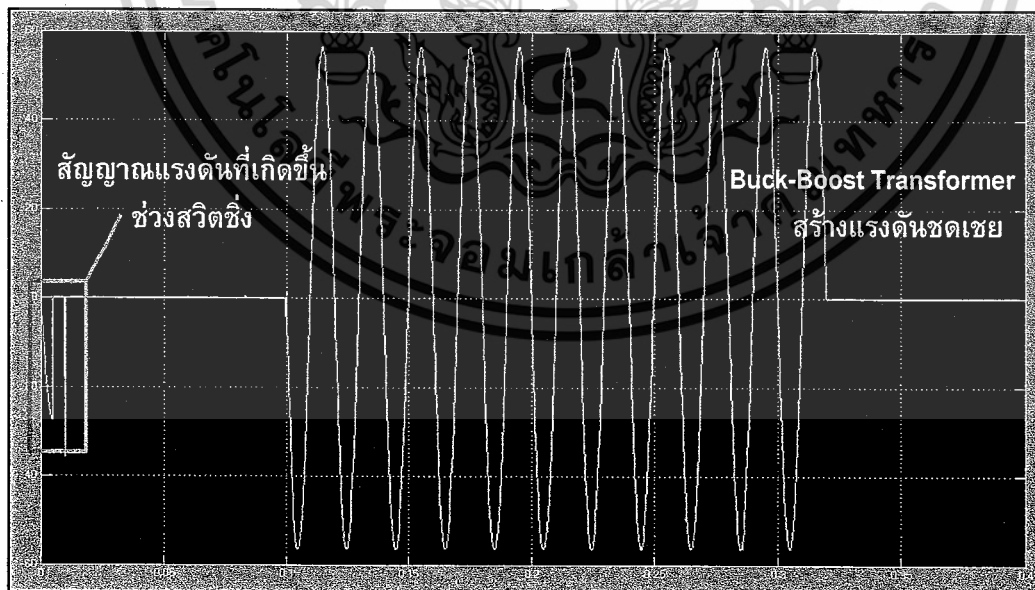
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ในภาพที่ 4.2.2 เป็นภาพที่แสดงให้เห็นว่า เมื่อเกิดแรงดันตกขึ้นในระบบ หม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมสร้างแรงดันชดเชยขึ้นมา 20 % โดยในช่วงนี้จะเกิดสัญญาณแรงดันจากการสวิตซ์ซึ่งขึ้นด้วย

ในภาพที่ 4.2.3 เป็นภาพหลังจากที่หม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมสร้างแรงดันขึ้นมาชดเชยแล้วทำให้แรงดันกลับสู่ค่าปกติ

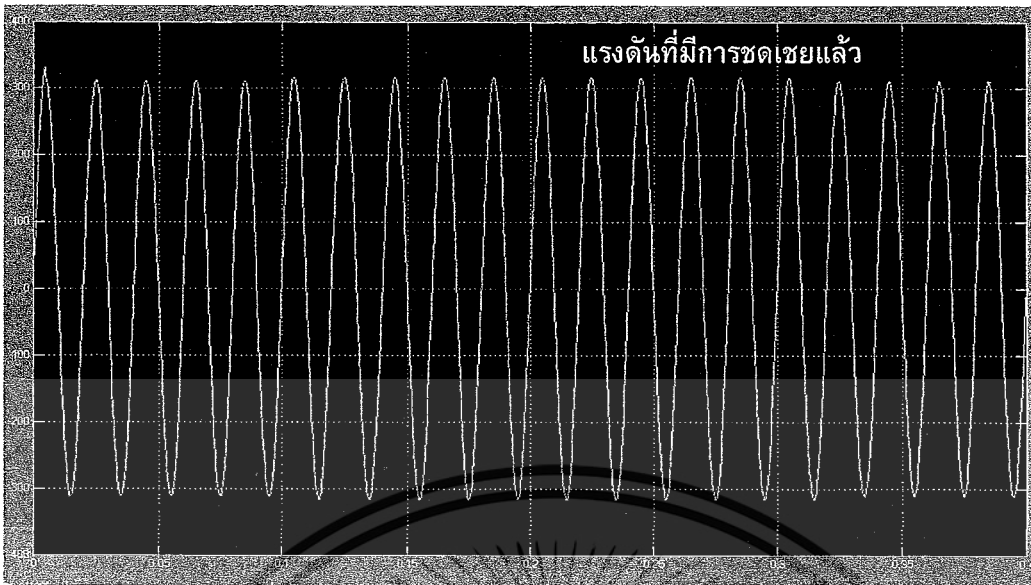


ภาพที่ 4.2.1 แสดงผลจากแบบจำลองหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม



ภาพที่ 4.2.2 แสดงผลจากแบบจำลองหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

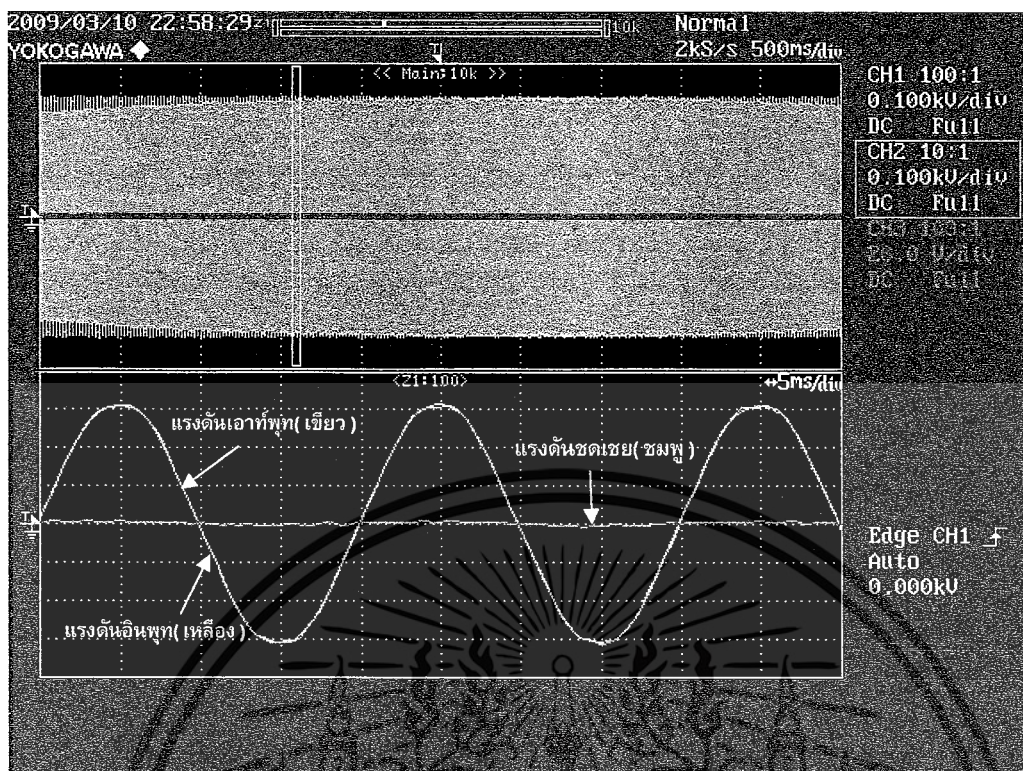


ภาพที่ 4.2.3 แสดงผลจากแบบจำลองหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม

## 4.2 ผลการทดสอบหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรม ที่ได้สร้างขึ้น

### 4.2.1 สภาวะปกติไม่เกิดแรงดันตก

ในสภาวะปกติ คือสภาวะที่แรงดันโหลดแกว่งอยู่ในช่วง  $220 \text{ V} \pm 1\%$  (217.8 - 222.2 V.) หม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมนี้จะไม่ทำการชดเชยแรงดันดังแสดงในภาพที่ 4.3



ภาพที่ 4.3 แสดงผลการทดสอบในสภาวะปกติไม่เกิดแรงดันตก

จากภาพที่ 4.3 จะเห็นว่าเส้นกราฟสีเหลืองซึ่งเป็นแรงดันอินพุตและเส้นกราฟสีเขียวซึ่งเป็นแรงดันเอาต์พุตจะมีค่าเป็นแรงดันเท่ากันและเฟสตรงกัน ในขณะที่เส้นกราฟสีชมพูเป็นแรงดันชดเชยซึ่งในที่นี้ยังไม่มีการชดเชยเกิดขึ้น

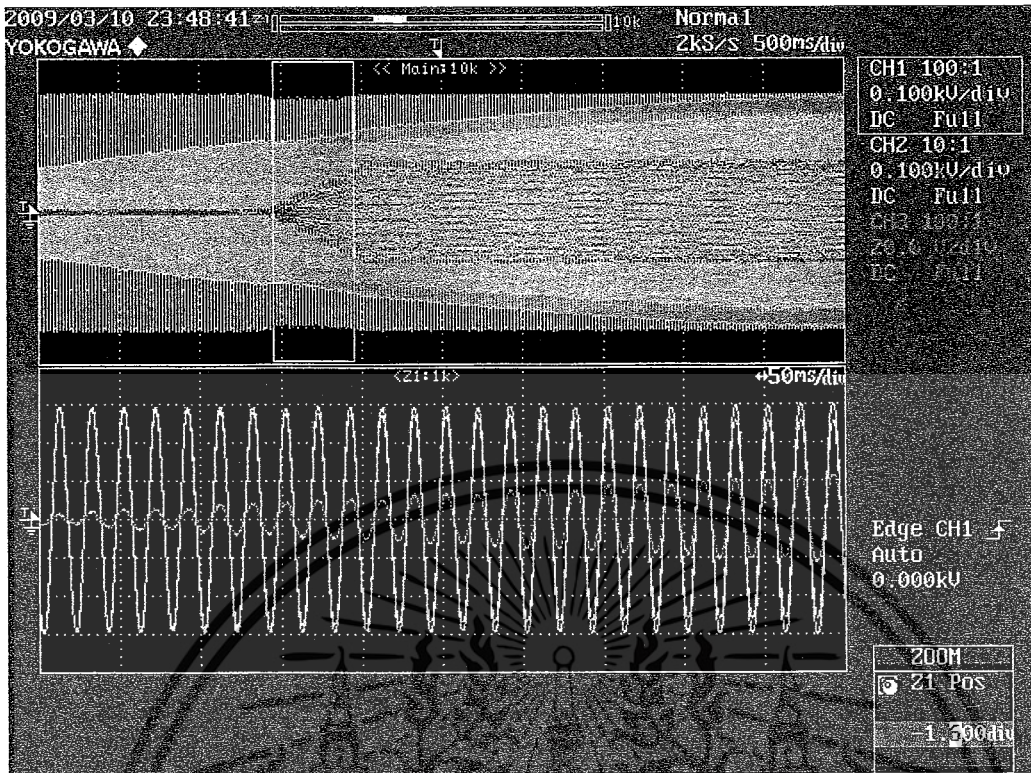
หมายเหตุ

- สีเหลือง คือแรงดันอินพุตมีเสถียร 100 โวลต์ต่อช่อง
- สีเขียว คือแรงดันเอาต์พุตมีเสถียร 100 โวลต์ต่อช่อง
- สีชมพู คือแรงดันชดเชยที่มีเสถียร 40 โวลต์ต่อช่อง  
(ตั้งโพรบไว้ที่ 200 โวลต์ต่อช่อง)

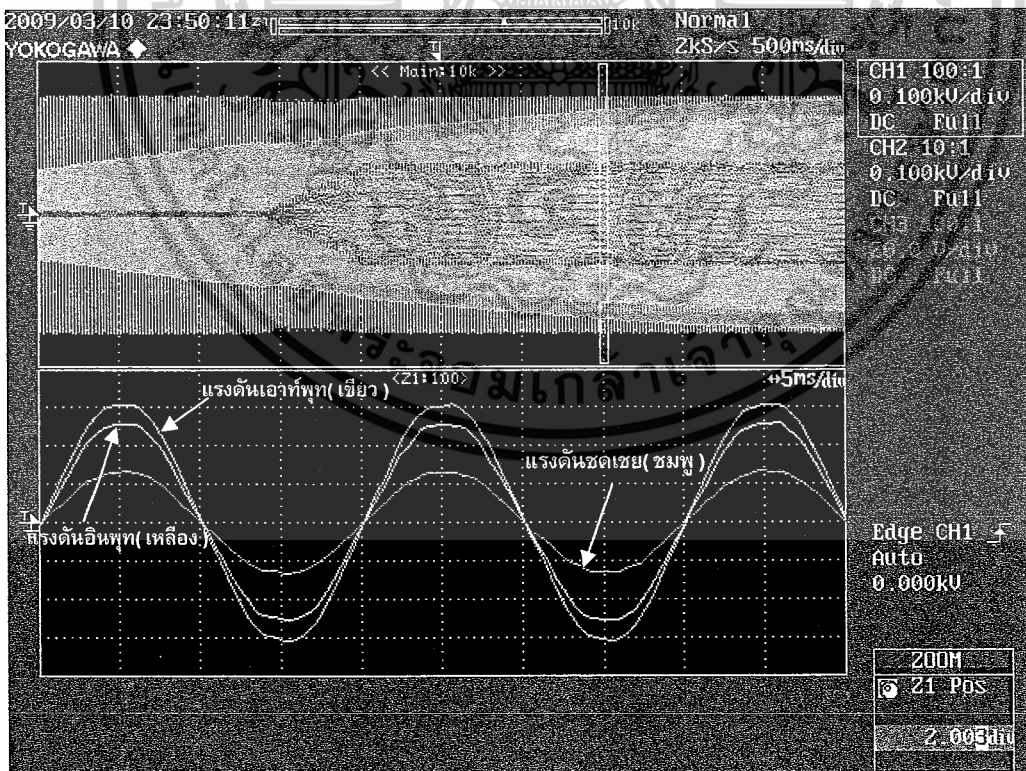
#### 4.2.2 สภาวะเกิดแรงดันตก

เมื่อเกิดปัญหาแรงดันตกอยู่ในช่วง 176 - 217.8 โวลต์ หม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติสามารถรักษาระดับแรงดันโหลดให้แก่วงอยู่ในช่วง 217.8-222.2 โวลต์ ได้ดังแสดงในภาพที่ 4.4.1 – 4.4.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ภาพที่ 4.4.1 แสดงผลการทดสอบในสภาวะเกิดแรงดันตก



ภาพที่ 4.4.2 แสดงผลการทดสอบในสภาวะเกิดแรงดันตก

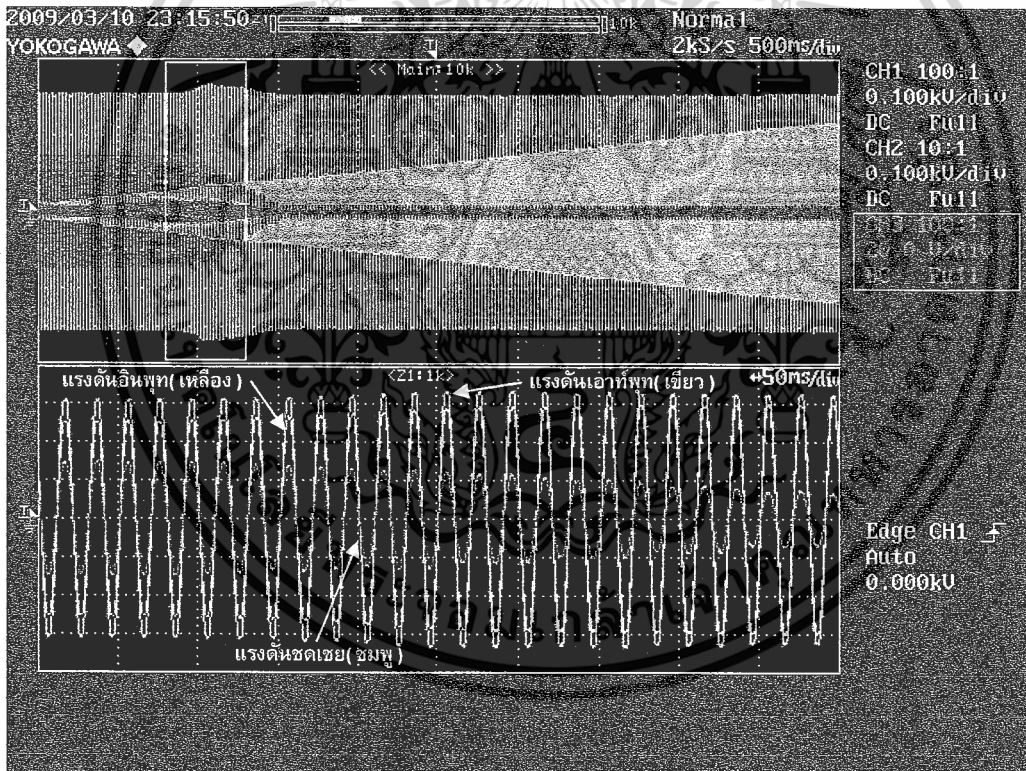
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากภาพที่ 4.4.1 เป็นการขยายภาพเพื่อดูสัญญาณแรงดันให้ชัดเจนมากขึ้นขณะเกิดแรงดันตก จะเห็นว่าแรงดันอินพุตเส้นกราฟสีเหลืองคือจะมีค่าลดลงในขณะที่แรงดันชดเชยเส้นกราฟสีชมพู คือจะมีค่าเพิ่มขึ้น ส่งผลให้แรงดันเอาต์พุตเส้นกราฟสีเขียวคือเกิดลดลงชั่วขณะแล้วก็เพิ่มกลับมาสู่ค่าเดิม

จากภาพที่ 4.4.2 เป็นการขยายภาพเพื่อดูสัญญาณแรงดันให้ชัดเจนมากขึ้นของช่วงหลังจากที่เกิดการชดเชยแรงดันไปสักกระยะหนึ่ง จะเห็นว่าแรงดันอินพุตเส้นกราฟสีเหลืองจะมีค่าน้อยกว่าแรงดันเอาต์พุตเส้นกราฟสีเขียว และแรงดันชดเชยเส้นกราฟสีชมพูจะมีค่าที่ค่าๆหนึ่ง ซึ่งค่าแรงดันทั้งสามจะมีเฟสตรงกัน

#### 4.2.3 สภาวะแรงดันเกินเนื่องจากแรงดันแหล่งจ่ายเริ่มกลับเข้าสู่สภาวะปกติ

ในสภาวะที่แรงดันเพิ่มขึ้นเนื่องจากแรงดันจากแหล่งจ่ายเริ่มกลับเข้าสู่สภาวะปกติหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติจะปรับแท็ปลงเพื่อทำการรักษาระดับแรงดันโหลดให้แก่วงอยู่ในช่วง 217.8-222.2 โวลต์ ดังแสดงในภาพที่ 4.5

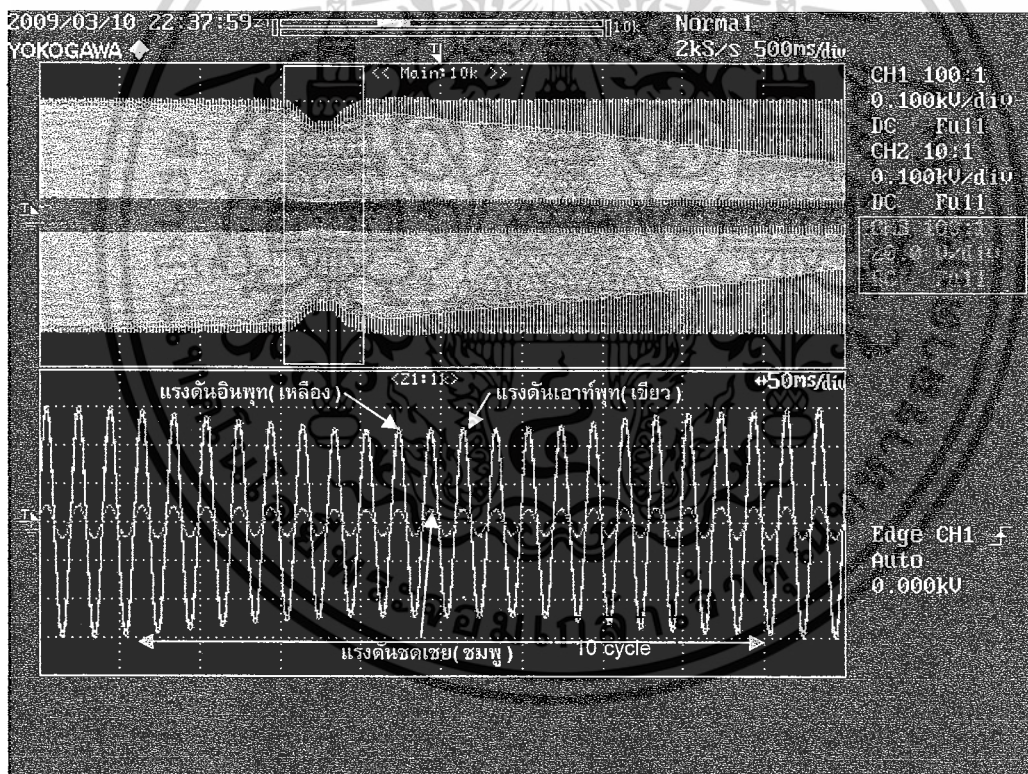


ภาพที่ 4.5 แสดงผลการทดสอบในสภาวะแรงดันเกินเนื่องจากแรงดันแหล่งจ่ายเริ่มกลับเข้าสู่สภาวะปกติ

จากภาพที่ 4.5 จะเห็นว่ากราฟมีลักษณะตรงข้ามกับภาพที่ 4.4.1 คือเมื่อแรงดันอินพุตเส้นกราฟสีเหลืองมีค่าเพิ่มขึ้น แรงดันชดเชยเส้นกราฟสีชมพูจะมีค่าลดลง ทำให้แรงดันเอาต์พุตเส้นกราฟสีเขียวมีค่าเพิ่มขึ้นชั่วขณะจากนั้นก็ลดลงมีค่าเป็นปกติ

#### 4.2.4 กรณีแรงดันตกในช่วงเวลาสั้น ๆ (น้อยกว่าเวลาที่ทำการหน่วงไว้)

เพื่อเป็นการเพิ่มอายุการใช้งานของหน้าสัมผัสให้นานขึ้น ดังนั้นเราจึงมีฟังก์ชันการหน่วงเวลาเพื่อที่จะได้ไม่ต้องทำการปรับเปลี่ยนแท็บบ่อยๆ ในกรณีที่แรงดันตกเป็นช่วงเวลาสั้นๆ โดยถ้าแรงดันตกเพียงชั่วขณะ (ต่ำกว่าเวลาที่หน่วงไว้) แล้วกลับเข้าสู่สภาวะเดิม หม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติจะไม่มีปรับเปลี่ยนแท็บเกิดขึ้น ดังแสดงในภาพที่ 4.6 และจากการทดลองหน่วงเวลาใช้ 1,000 ms และจำลองการเกิดชั่วขณะ 10 cycle ผลปรากฏว่าหม้อแปลงรักษาระดับแรงดันแบบอนุกรมจะไม่มีปรับเปลี่ยนแท็บเกิดขึ้นทำให้แรงดันชดเชยมีค่าเท่าเดิม



ภาพที่ 4.6 แสดงผลการทดสอบในกรณีแรงดันตกในช่วงเวลาสั้นๆ (น้อยกว่าเวลาที่ทำการหน่วงไว้)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากภาพที่ 4.6 จะเห็นว่าเมื่อแรงดันอินพุตเส้นกราฟสีเหลืองมีค่าลดลงเพียงชั่วขณะซึ่งน้อยกว่าเวลาที่ตั้งค่าหน่วยงานทำงานเอาไว้จะทำให้แรงดันเอาต์พุตเส้นกราฟสีเขียวมีการลดลงชั่วขณะด้วย และในกรณีนี้แรงดันชดเชยเส้นกราฟสีชมพูจะไม่มีการชดเชยเกิดขึ้น

### 4.3 สรุปผลการทดสอบ

จากการออกแบบและทดสอบหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมกรมที่ได้จัดทำขึ้น ได้ผลว่าหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมกรมสามารถทำการชดเชยแรงดันตกได้ 44 โวลต์ (20 เปอร์เซ็นต์ของแรงดันโหลดปกติ) และสามารถจ่ายโหลดได้สูงสุดที่พิกัด 4 แอมป์ มีความเร็วในการปรับเปลี่ยนแท็ปประมาณ 60 มิลลิวินาทีต่อ 1 แท็ปหรือประมาณ 700 มิลลิวินาทีต่อการชดเชยแรงดันตกสูงสุด 44 โวลต์ และเมื่อพิจารณาถึงลักษณะของแรงดันชดเชยจะสังเกตเห็นว่าแรงดันชดเชยมีรูปร่างเป็นคลื่นไซน์ที่อินเฟสกับทั้งแรงดันอินพุตและแรงดันเอาต์พุต ในการออกแบบ เพื่อเป็นการเพิ่มอายุการใช้งานของหน้าสัมผัสให้นานขึ้น เราจึงมีฟังก์ชันการหน่วงเวลาเพื่อพิจารณาว่าถ้าแรงดันตกลงในช่วงเวลานี้แล้วคืนสู่สภาวะเดิมหม้อแปลงรักษาระดับแรงดันจะไม่ต้องทำการชดเชย ทั้งนี้เพื่อที่หน้าสัมผัสจะได้ไม่ต้องทำการปรับเปลี่ยนแท็ปบ่อยครั้งอันเป็นสาเหตุให้หน้าสัมผัสเกิดความเสียหายได้ง่าย

## บทที่ 5

### บทสรุปและข้อเสนอแนะ

#### 5.1 บทสรุป

จากการออกแบบสร้างและทดสอบหม้อแปลงรักษาระดับแรงดันอัตโนมัติแบบอนุกรมได้ผลว่า หม้อแปลงรักษาระดับแรงดันสามารถชดเชยแรงดันตกได้ 20 เปอร์เซ็นต์ (44 V) จ่ายโหลดได้ 4 แอมป์ และมีความเร็วในการปรับเปลี่ยนแท็ปประมาณ 60 มิลลิวินาทีต่อ 1 แท็ป ส่วนลักษณะของแรงดันชดเชยมีรูปร่างเป็นคลื่นไซน์ที่อินเฟสกับทั้งแรงดันอินพุทและเอาต์พุท และเมื่อพิจารณาถึงกระแสที่ไหลผ่านหน้าสัมผัสที่ใช้ในการปรับเปลี่ยนแท็ป จะเห็นว่ากระแสลดลงเหลือ 25 เปอร์เซ็นต์ จากกระแสโหลด ซึ่งจะทำให้หน้าสัมผัสมีอายุการใช้งานที่นานขึ้นกว่าหม้อแปลงรักษาระดับแรงดันอัตโนมัติแบบเดิมที่มีกระแสไหลผ่านหน้าสัมผัสโดยตรง อีกทั้งขนาดของหม้อแปลงที่ใช้ในการรักษาระดับแรงดันก็จะมีขนาดเพียง 20 เปอร์เซ็นต์ ของพิกัดโหลดเท่านั้น (กรณีชดเชยแรงดันตก 20 เปอร์เซ็นต์) จึงทำให้ราคาลดลงเป็นอย่างมาก นอกจากนี้หากมีความผิดปกติ (fault) หลังหม้อแปลงเกิดขึ้น หม้อแปลงรักษาระดับแรงดันอัตโนมัติแบบอนุกรมยังสามารถจ่ายแรงดันเพื่อจำกัดกระแสฟอลท์ให้ลดลงได้อีกด้วย

**ตารางที่ 5.1** การเปรียบเทียบระหว่างอุปกรณ์ตัวรักษาแรงดันอัตโนมัติ (AVRแบบเดิม) กับหม้อแปลงรักษาระดับแรงดันอัตโนมัติแบบอนุกรม (Buck-Boost Transformer)

การเปรียบเทียบระหว่าง AVR กับ Buck-Boost Transformer	
AVRแบบเดิม	Buck-Boost Transformer
กระแสไหลผ่านแท็ปโดยตรง	กระแสไหลผ่านแท็ปลดลงเหลือ 25 % ของกระแสโหลด
หม้อแปลง tap change มีขนาดใหญ่เท่ากับพิกัดโหลด	หม้อแปลง tap change มีขนาดลดลงเพียง 20 % ของพิกัดโหลด
ตัว tap change มีอายุการใช้งานสั้นหากเกิดการเปลี่ยนแปลงแรงดันบ่อยครั้ง	ตัว tap change มีอายุการใช้งานนานกว่า
หากเกิดการเสียหายที่ tap change ต้องเปลี่ยน ตัว motor drive ทั้งชุด	เปลี่ยนตัว magnetic เพียงตัวเดียว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## 5.2 ข้อเสนอแนะ

ในการใช้งานหม้อแปลงรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบอนุกรมนั้น ความเร็วในการชดเชยแรงดันจะขึ้นอยู่กับคุณสมบัติของสวิตช์ที่ใช้ในการปรับเปลี่ยนแท็ป หากสวิตช์มีผลตอบสนองทางเวลา(Response Time)น้อยสวิตช์จะสามารถทำการชดเชยแรงดันตกได้เร็ว แต่ถ้าสวิตช์มีผลตอบสนองทางเวลา(Response Time)มาก เวลาในการสวิตช์ก็จะนานขึ้น จึงสามารถชดเชยแรงดันตกได้ช้า ทั้งนี้เมื่อพิจารณาถึงความเร็วในการชดเชยจะเห็นว่าหากเราทำการชดเชยแรงดันเร็วเกินไปสวิตช์ก็จะทำงานมาก ส่งผลให้อายุการใช้งานสวิตช์ลดลง แต่ถ้าเราทำการชดเชยแรงดันตกช้าเกินไปก็จะส่งผลกระทบต่อโหลด ดังนั้นในการชดเชยแรงดันตกจึงต้องพิจารณาถึงเวลาในการชดเชยเป็นสำคัญโดยควรมีช่วงเวลาการชดเชยที่เหมาะสมคือไม่ส่งผลเสียต่อโหลดและไม่เกิดการสวิตช์บ่อยครั้งเกินไป

จากหม้อแปลงรักษาระดับแรงดันอัตโนมัติแบบอนุกรมต้นแบบที่สร้างขึ้น หากต้องการให้หม้อแปลงสามารถรักษาระดับแรงดันกรณีจ่ายโหลดที่พิกัดกำลังไฟฟ้าสูงขึ้นสามารถทำได้โดยการออกแบบหม้อแปลงรักษาระดับแรงดันไฟฟ้าใหม่ให้มีพิกัดใหญ่เพียงพอกับการจ่ายโหลดและใช้สวิตช์แม่เหล็กไฟฟ้า (magnetic switch) เป็นอุปกรณ์ปรับเปลี่ยนแท็ป ส่วนวงจรควบคุมนั้นสามารถใช้วงจรควบคุมเดิม โดยการนำสวิตช์รีเลย์ไปขับสวิตช์แม่เหล็กไฟฟ้าให้ทำการปรับเปลี่ยนแท็ปเพื่อรักษาระดับแรงดันไฟฟ้าให้คงที่ต่อไป และสำหรับในกรณีที่ต้องการชดเชยแรงดันตกได้เร็วมากยิ่งขึ้น อาจจะใช้สแตติกสวิตช์ (static switch) เป็นอุปกรณ์ปรับเปลี่ยนแท็ปแทนสวิตช์รีเลย์

## บรรณานุกรม

- [1] ประภาส ไพรสวรรณา, “เครื่องรักษาระดับแรงดันไฟฟ้าอัตโนมัติแบบต่อเนื่อง,” วิทยานิพนธ์ วิศวกรรมศาสตรมหาบัณฑิต, สาขาวิชาวิศวกรรมไฟฟ้า, สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง, 2526.
- [2] R. Echavarria, M. Cotorogea, A. Claudio, V. Shchez, “A Novel Fast On-Load Tap Changing Regulator,” **IEEE International Power Electronics Congress**, Acapulco MEXICO, 15 – 19 October 2000, p. 109-116.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ข้อมูลอุปกรณ์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



Home



Products



What's New



Contact Us



Products:

- ▶ [Quality Assurance System](#)
- ▶ [Engineering Reference](#)
- ▶ [Selection Table](#)
- ▶ [Signal Relays](#)
- ▶ [Power Relays](#)
- ▶ [Automotive Relays](#)

## HRS4(H) Relay

### 1.COIL DATA

1-1.Nominal Voltage	3 VDC to 48 VDC
1-2.Coil Resistance	Refer to Table 1
1-3.Operate Voltage	Refer to Table 1
1-4.Release Voltage	Refer to Table 1
1-5.Nominal Power Consumption	360 to 450 mW

### 2.CONTACT DATA

2-1.Contact Arrangement	1 Form A . 1 Form C
2-2.Contact Material	AgCdo
2-3.Contact Rating	10A 120VAC / 24 VDC (1C) 15A 120VAC / 24 VDC (1A)
2-4.Max. Switching Voltage	110 VDC / 240 VAC
2-5.Max. Switching Current	15A
2-6.Max. Switching Power	1800 VA , 360W
2-7.Contact Resistance ( Initial )	50 m $\Omega$ at 6 VDC 1A
2-8.Life Expectancy	Electrical 100,000 operations at nominal load Mechanical 10,000,000 operations

### 3.GENERAL DATA

3-1.insulation Resistance	Min.100M $\Omega$ at 500 VDC
3-2.Dielectric Strength	750VAC , 1min between open contacts 1,500VAC , 1min between contacts and coil
3-3.Operate Time	Max. 6ms
3-4.Release Time	Max. 5ms
3-5.Temperature Range	-30 to +85 $^{\circ}$ C
3-6.Shock Resistance	10G
3-7.Vibration Resistance	10 - 55 Hz , Amplitude 1.5mm
3-8.Weight	10 gr.

<http://www.hke-relays.com> product.html of 2002-01-26 08:35:03:11

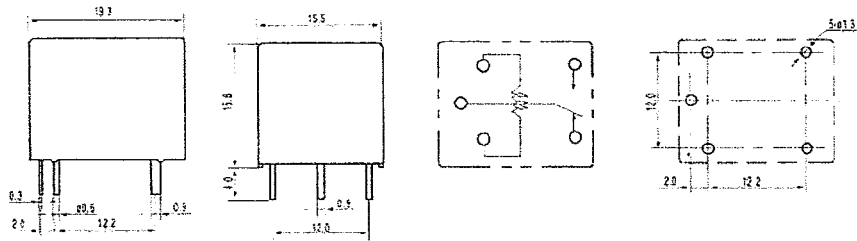
HKE  
HRS4-S10  
COIL:DC18V  
10A 120VAC  
24VDC

HRS4(H) Relay

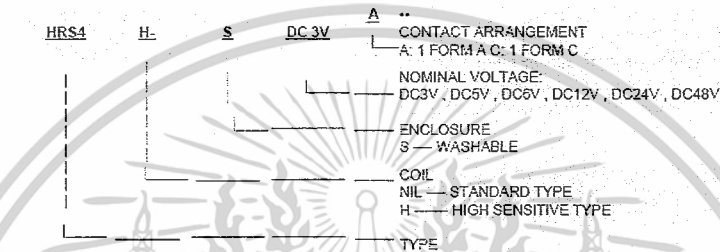


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. DIMENSIONS (in mm)



5. ORDERING CODE



6. COIL DATA CHART

<http://www.hkrelays.com/products.html> (c) 2005-03-26 06:17:03:11

at 20..

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ORDERING CODE	COIL NOMINAL VDC	COIL RESISTANCE ± ± 10%	OPERATE VOLTAGE VDC	RELEASE VOLTAGE VDC	COIL NOMINAL mW
HRS4-S DC3V	3	20	2.25	0.30	450
HRS4-S DC5V	5	50	3.75	0.50	
HRS4-S DC6V	6	80	4.50	0.60	
HRS4-S DC9V	9	180	6.75	0.90	
HRS4-S DC12V	12	320	9.00	1.20	
HRS4-S DC24V	24	620	16.00	2.40	
HRS4-S DC48V	48	5200	36.00	4.80	360
HRS4H-S DC3V	3	25	2.25	0.30	
HRS4H-S DC5V	5	70	3.75	0.50	
HRS4H-S DC6V	6	100	4.50	0.60	
HRS4H-S DC9V	9	225	6.75	0.90	
HRS4H-S DC12V	12	400	9.00	1.20	
HRS4H-S DC24V	24	1600	18.00	2.40	
HRS4H-S DC48V	48	6400	36.00	4.00	

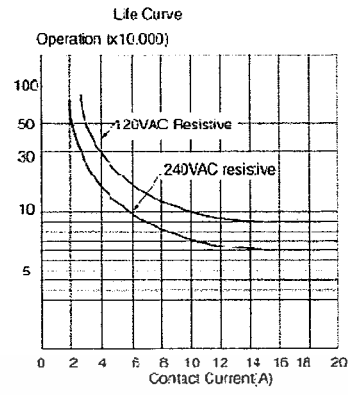
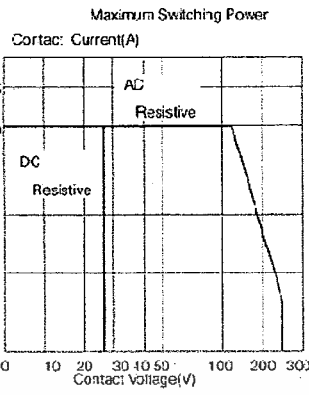
Table 1

7.HRS4(H) CHARACTERISTIC DATA

<http://www.hkgrelays.com/products.html> 7-SE992-01-2006-1703-01



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

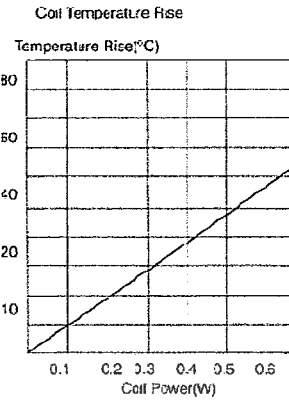
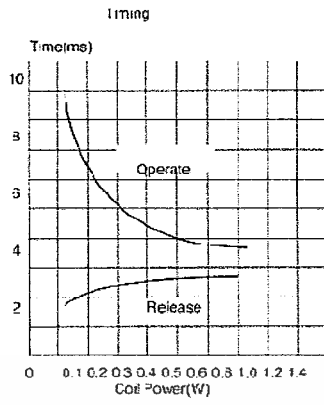


..  
..

<http://www.hkgang.com/product.html> (562500) 09.20091756931



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



<http://www.hui-gang.com/products.html> # 051501010006 201311



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# HA17741/PS

General-Purpose Operational Amplifier  
(Frequency Compensated)

## HITACHI

### Description

The HA17741/PS is an internal phase compensation high-performance operational amplifier, that is appropriate for use in a wide range of applications in the test and control fields.

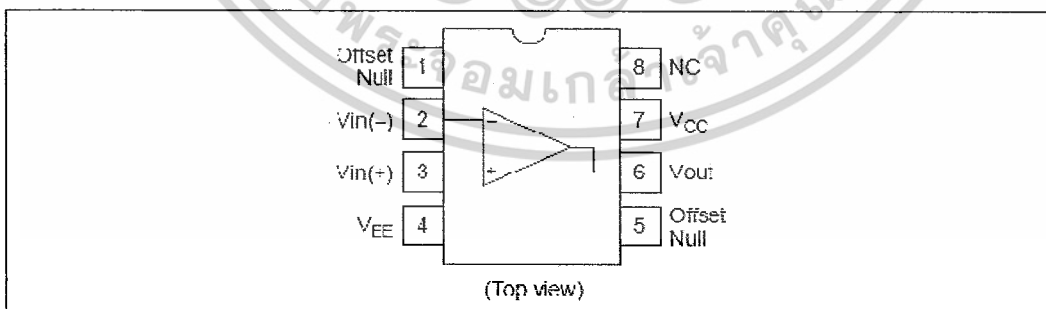
### Features

- High voltage gain : 106 dB (Typ)
- Wide output amplitude : +13 V (Typ) (at  $R_L \geq 2 \text{ k}\Omega$ )
- Shorted output protection
- Adjustable offset voltage
- Internal phase compensation

### Ordering Information

Application	Type No.	Package
Industrial use	HA17741PS	DP-8
Commercial use	HA17741	

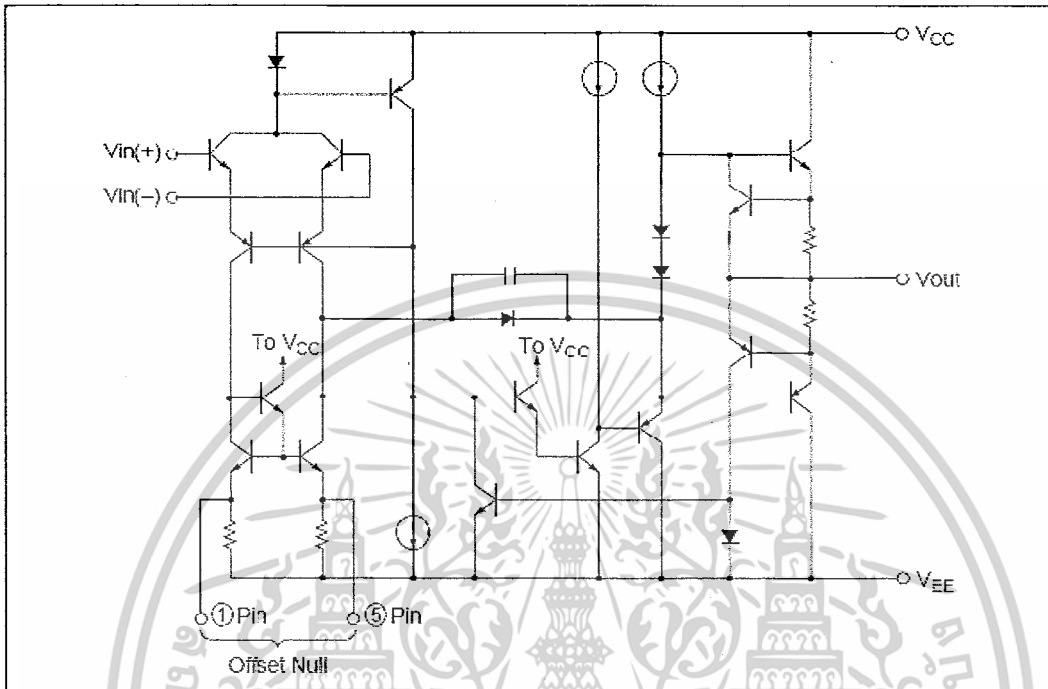
### Pin Arrangement



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# HA17741/PS

## Circuit Structure



### Absolute Maximum Ratings (Ta = 25°C)

Item	Symbol	Ratings		Unit
		HA17741PS	HA17741	
Power-supply voltage	V <sub>CC</sub>	+18	+18	V
	V <sub>EE</sub>	-18	-18	V
Input voltage	V <sub>in</sub>	±15	±15	V
Differential input voltage	V <sub>in(diff)</sub>	±30	±30	V
Allowable power dissipation	P <sub>T</sub>	870 *	670 *	mW
Operating temperature	T <sub>opr</sub>	-20 to +75	-20 to +75	°C
Storage temperature	T <sub>stg</sub>	-55 to +125	-55 to +125	°C

Note: These are the allowable values up to Ta = 45°C. Derate by 8.3 mW/°C above that temperature.

**HITACHI**

## Electrical Characteristics

Electrical Characteristics-1 ( $V_{CC} = -V_{EE} = 15\text{ V}$ ,  $T_a = 25^\circ\text{C}$ )

Item	Symbol	Min	Typ	Max	Unit	Test Condition
Input offset voltage	$V_{IO}$	—	1.0	6.0	mV	$R_s \leq 10\text{ k}\Omega$
Input offset current	$I_{IO}$	—	18	200	nA	
Input bias current	$I_E$	—	75	500	nA	
Power-supply rejection ratio	$\Delta V_{IO}/\Delta V_{CC}$	—	30	150	$\mu\text{V/V}$	$R_s \leq 10\text{ k}\Omega$
rejection ratio	$\Delta V_{IO}/\Delta V_{EE}$	—	30	150	$\mu\text{V/V}$	$R_s \leq 10\text{ k}\Omega$
Voltage gain	$A_{VS}$	85	106	—	dB	$R_L > 2\text{ k}\Omega$ , $V_{OUT} = +10\text{ V}$
Common-mode rejection ratio	CMR	70	90	—	dB	$R_s \leq 10\text{ k}\Omega$
Common-mode input voltage range	$V_{CM}$	$\pm 12$	$\pm 13$	—	V	$R_s \leq 10\text{ k}\Omega$
Maximum output voltage amplitude	$V_{OP-P}$	$\pm 12$	$\pm 14$	—	V	$R_L > 10\text{ k}\Omega$
		$\pm 10$	$\pm 13$	—	V	$R_L \geq 2\text{ k}\Omega$
Power dissipation	$P_d$	—	65	100	mW	No load
Slew rate	SR	—	1.0	—	V/ $\mu\text{s}$	$R_L \geq 2\text{ k}\Omega$
Rise time	$t_r$	—	0.3	—	$\mu\text{s}$	$V_{IN} = 20\text{ mV}$ , $R_L = 2\text{ k}\Omega$
Overshoot	$V_{over}$	—	5.0	—	%	$C_L = 100\text{ pF}$
Input resistance	$R_{in}$	0.3	1.0	—	M $\Omega$	

Electrical Characteristics 2 ( $V_{CC} = V_{EE} = 15\text{ V}$ ,  $T_a = -20\text{ to }+75^\circ\text{C}$ )

Item	Symbol	Min	Typ	Max	Unit	Test Condition
Input offset voltage	$V_{IO}$	—	—	9.0	mV	$R_s \leq 10\text{ k}\Omega$
Input offset current	$I_{IO}$	—	—	400	nA	
Input bias current	$I_E$	—	—	1,100	nA	
Voltage gain	$A_{VS}$	80	—	—	dB	$R_L \geq 2\text{ k}\Omega$ , $V_{OUT} = \pm 10\text{ V}$
Maximum output voltage amplitude	$V_{OP-P}$	$\pm 10$	—	—	V	$R_L > 2\text{ k}\Omega$

HITACHI

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

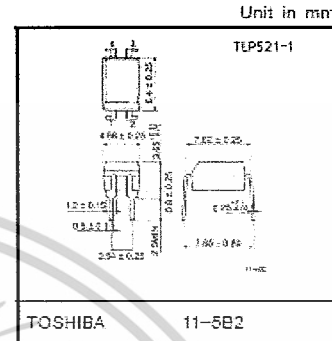
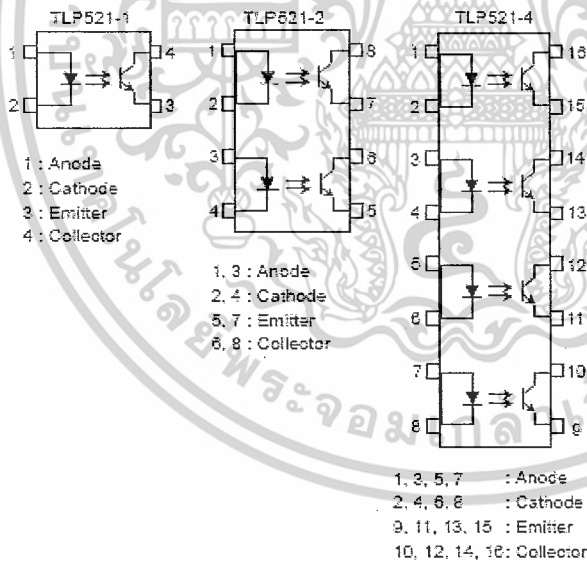
# TLP521-1, TLP521-2, TLP521-4

Programmable Controllers  
AC/DC-Input Module  
Solid State Relay

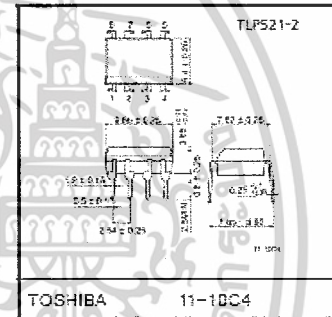
The TOSHIBA TLP521-1, -2 and -4 consist of a photo-transistor optically coupled to a gallium arsenide infrared emitting diode. The TLP521-2 offers two isolated channels in an eight lead plastic DIP package, while the TLP521-4 provides four isolated channels in a sixteen plastic DIP package.

- Collector-emitter voltage: 55 V (min)
- Current transfer ratio: 50% (min)  
Rank GB: 100% (min)
- Isolation voltage: 2500 Vrms (min)
- UL recognized  
made in Japan: UL1677, file No. E87349  
made in Thailand: UL1677, file No. E152349

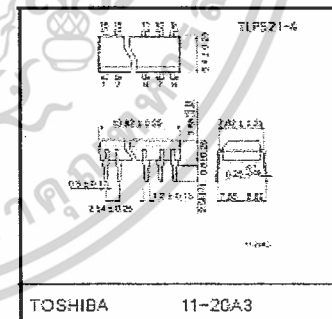
### Pin Configurations (top view)



Weight: 0.28 g



Weight: 0.64 g



Weight: 1.1 g

**Maximum Ratings (Ta = 25°C)**

Characteristic	Symbol	Rating		Unit
		TLP521-1	TLP521-2 TLP521-4	
Forward current	$I_F$	70	50	mA
Forward current derating	$\Delta I_F / ^\circ\text{C}$	-0.65 (Ta $\geq 50^\circ\text{C}$ )	-0.5 (Ta $\geq 25^\circ\text{C}$ )	mA/°C
Pulse forward current	$I_{FP}$	1 (100µ pulse, 100µs)		A
Reverse voltage	$V_R$	5		V
Junction temperature	$T_J$	125		°C
Collector-emitter voltage	$V_{CE0}$	55		V
Emitter-collector voltage	$V_{EC0}$	7		V
Collector current	$I_C$	50		mA
Collector power dissipation (1 circuit)	$P_C$	150	100	mW
Collector power dissipation derating (1 circuit, Ta $\geq 25^\circ\text{C}$ )	$\Delta P_C / ^\circ\text{C}$	-1.5	-1.0	mW/°C
Junction temperature	$T_J$	125		°C
Storage temperature range	$T_{stg}$	-55~125		°C
Operating temperature range	$T_{opr}$	-55~100		°C
Lead soldering temperature	$T_{sol}$	260 (10s)		°C
Total package power dissipation	$P_T$	250	150	mW
Total package power dissipation derating (Ta $\geq 25^\circ\text{C}$ )	$\Delta P_T / ^\circ\text{C}$	-2.5	-1.5	mW/°C
Isolation voltage	$V_{is}$	2500 (AC, 1min, R.H. $\leq 60\%$ ) (Note 1)		Vrms

(Note 1): Device considered a two terminal device: LED side pins shorted together and detector side pins shorted together.

**Recommended Operating Conditions**

Characteristic	Symbol	Min	Typ	Max	Unit
Supply voltage	$V_{CC}$	—	5	24	V
Forward current	$I_F$	—	10	20	mA
Collector current	$I_C$	—	1	10	mA
Operating temperature	$T_{opr}$	-25	—	85	°C

Type	Classi- fication (*1)	Current Transfer Ratio (%) ( $I_C / I_F$ )		Marking Of Classification
		$I_F = 5\text{mA}, V_{CE} = 5\text{V}, T_a = 25^\circ\text{C}$		
		Min	Max	
TLP521	A	50	600	Blank, Y, Y*, G, G*, B, B*, GB
	Rank Y	50	150	Y, Y*
	Rank GR	100	300	G, G*
	Rank BL	200	600	B, B*
	Rank GB	100	600	G, G*, B, B*, GB
TLP521-2	A	50	600	Blank, GR, BL, GB
TLP521-4	Rank GB	100	600	GR, BL, GB

\*1: Ex. rank GB: TLP521-1 (GB)

(Note): Application type name for certification test, please use standard product type name, i.e.

TLP521-1 (GB); TLP521-1, TLP521-2 (GB); TLP521-2



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

**Individual Electrical Characteristics (Ta = 25°C)**

Characteristic		Symbol	Test Condition	Min	Typ.	Max	Unit
LED	Forward voltage	$V_F$	$I_F = 10 \text{ mA}$	1.0	1.15	1.3	V
	Reverse current	$I_R$	$V_R = 5 \text{ V}$	—	—	10	$\mu\text{A}$
	Capacitance	$C_T$	$V = 0, f = 1 \text{ MHz}$	—	30	—	pF
Detector	Collector-emitter breakdown voltage	$V_{(BR)CEO}$	$I_C = 0.5 \text{ mA}$	55	—	—	V
	Emitter-collector breakdown voltage	$V_{(BR)ECO}$	$I_E = 0.1 \text{ mA}$	7	—	—	V
	Collector dark current	$I_{CEO}$	$V_{CE} = 24 \text{ V}$ $V_{CE} = 24 \text{ V}, T_a = 85^\circ\text{C}$	—	10 2	100 50	nA $\mu\text{A}$
	Capacitance (collector to emitter)	$C_{CE}$	$V = 0, f = 1 \text{ MHz}$	—	10	—	pF

**Coupled Electrical Characteristics (Ta = 25°C)**

Characteristic	Symbol	Test Condition	Min	Typ.	Max	Unit
Current transfer ratio	$I_C / I_F$	$I_F = 5 \text{ mA}, V_{CE} = 5 \text{ V}$ Rank GB	50	—	600	%
			100	—	600	
Saturated CTR	$I_C / I_F(\text{sat})$	$I_F = 1 \text{ mA}, V_{CE} = 0.4 \text{ V}$ Rank GB	—	60	—	%
Collector-emitter saturation voltage	$V_{CE}(\text{sat})$	$I_C = 2.4 \text{ mA}, I_F = 8 \text{ mA}$ $I_C = 0.2 \text{ mA}, I_F = 1 \text{ mA}$ Rank GB	—	—	0.4	V
			—	0.2	—	
			—	—	0.4	

**Isolation Characteristics (Ta = 25°C)**

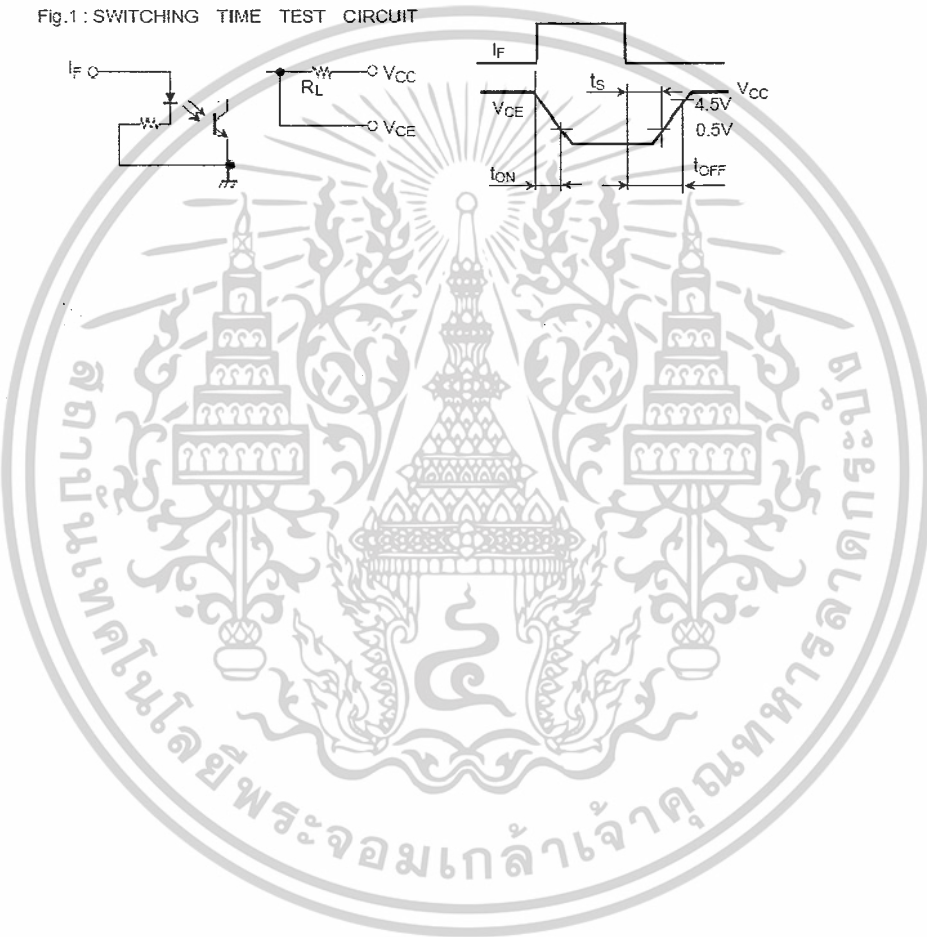
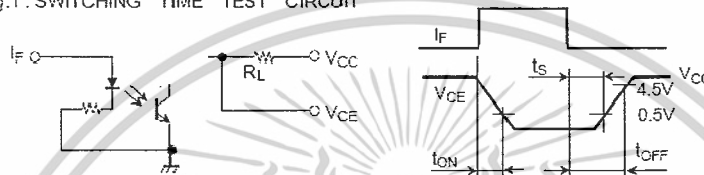
Characteristic	Symbol	Test Condition	Min	Typ.	Max	Unit
Capacitance (input to output)	$C_S$	$V_S = 0, f = 1 \text{ MHz}$	—	0.8	—	pF
Isolation resistance	$R_S$	$V_S = 500 \text{ V}, \text{R.H.} \leq 60\%$	—	$10^{11}$	—	$\Omega$
Isolation voltage	$BV_S$	AC, 1 minute	2500	—	—	$V_{\text{rms}}$
		AC, 1 second, in oil	—	5000	—	
		DC, 1 minute, in oil	—	5000	—	$V_{\text{dc}}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Switching Characteristics (Ta = 25°C)

Characteristic	Symbol	Test Condition	Min	Typ.	Max	Unit
Rise time	$t_r$	$V_{CC} = 10\text{ V}$ $I_C = 2\text{ mA}$ $R_L = 100\Omega$	—	2	—	$\mu\text{s}$
Fall time	$t_f$		—	3	—	
Turn-on time	$t_{on}$		—	3	—	
Turn-off time	$t_{off}$		—	3	—	
Turn-on time	$t_{ON}$	$R_L = 1.9\text{ k}\Omega$ (Fig. 1) $V_{CC} = 5\text{ V}$ , $I_F = 16\text{ mA}$	—	2	—	$\mu\text{s}$
Storage time	$t_s$		—	15	—	
Turn-off time	$t_{OFF}$		—	25	—	

Fig.1: SWITCHING TIME TEST CIRCUIT



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**Microcontroller PIC18F4431**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**MICROCHIP**

**PIC18F2331/2431/4331/4431**

**Data Sheet**

28/40/44-Pin Enhanced

Flash Microcontrollers

with nanoWatt Technology,

High Performance PWM and A/D



# MICROCHIP PIC18F2331/2431/4331/4431

## 28/40/44-Pin Enhanced Flash Microcontrollers with nanoWatt Technology, High Performance PWM and A/D

### 14-bit Power Control PWM Module:

- Up to 4 channels with complementary outputs
- Edge- or center-aligned operation
- Flexible dead-band generator
- Hardware fault protection inputs
- Simultaneous update of duty cycle and period:
  - Flexible special event trigger output

### Motion Feedback Module:

- Three independent input capture channels:
  - Flexible operating modes for period and pulse width measurement
  - Special Hall Sensor Interface module
  - Special event trigger output to other modules
- Quadrature Encoder Interface:
  - 2 phase inputs and one index input from encoder
  - High and low position tracking with direction status and change of direction interrupt
  - Velocity measurement

### High-Speed, 200 Ksps 10-bit A/D Converter:

- Up to 9 channels
- Simultaneous two-channel sampling
- Sequential sampling: 1, 2 or 4 selected channels
- Auto-conversion capability
- 4-word FIFO with selectable interrupt frequency
- Selectable external conversion triggers
- Programmable acquisition time

### Flexible Oscillator Structure:

- Four crystal modes up to 40 MHz
- Two external clock modes up to 40 MHz
- Internal oscillator block:
  - 3 user selectable frequencies: 31 kHz to 8 MHz
  - OSCUNE can compensate for frequency drift
- Secondary oscillator using Timer1 @ 32 kHz
- Fail-Safe Clock Monitor:
  - Allows for safe shutdown of device if clock fails

### Power-Managed Modes:

- Run CPU on, peripherals on
- Idle CPU off, peripherals on
- Sleep CPU off, peripherals off
- Idle mode currents down to 5.8 µA typical
- Sleep current down to 0.1 µA typical
- Timer1 oscillator, 1.8 µA typical, 32 kHz, 2V
- Watchdog Timer (WDT), 2.1 µA typical
- Two-Speed oscillator start-up

### Peripheral Highlights:

- High current sink/source 25 mA/25 mA
- Three external interrupts
- Two Capture/Compare/PWM (CCP) modules:
  - Capture is 16-bit, max. resolution 6.25 ns (Tcy/16)
  - Compare is 16-bit, max. resolution 100 ns (Tcy)
  - PWM output PWM resolution is 1 to 10 bits
- Enhanced USART module:
  - Supports RS-485, RS-232 and LIN 1.2
  - Auto-Wake-up on Start bit
  - Auto-Baud detect
- RS-232 operation using internal oscillator block (no external crystal required)

### Special Microcontroller Features:

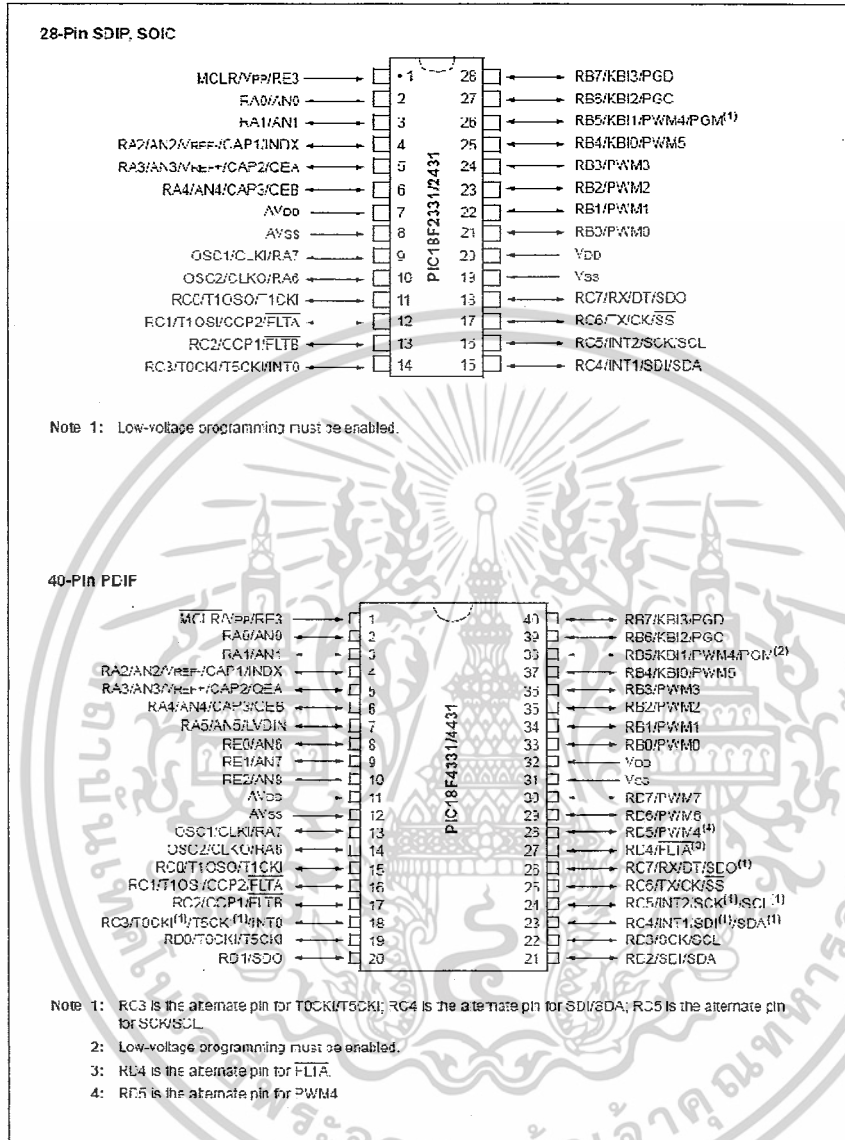
- 100,000 erase/write cycle enhanced Flash program memory typical
- 1,000,000 erase/write cycle data EEPROM memory typical
- Flash/data EEPROM retention: 100 years
- Self-programmable under software control
- Priority levels for interrupts
- 8 X 8 Single-cycle Hardware Multiplier
- Extended Watchdog Timer (WDT):
  - Programmable period from 41 ms to 131 s
- Single supply In-Circuit Serial Programming™ (ICSP™) via two pins
- In-Circuit Debug (ICD) via two pins
- Drives PWM outputs safely when debugging

Device	Program Memory		Data Memory		I/O	10-bit A/D (ch)	CCP	SSP			EUSART	Quadrature Encoder	14-bit PWM (ch)	Timers B/16-bit
	Flash (bytes)	# Single-Word Instructions	SRAM (bytes)	EEPROM (bytes)				SP1	Slave I <sup>2</sup> C™	Y				
PIC18F2331	8192	4096	736	256	24	5	2	Y	Y	Y	Y	Y	6	1/3
PIC18F2431	16384	8192	736	256	24	5	2	Y	Y	Y	Y	Y	6	1/3
PIC18F4331	8192	4096	736	256	35	5	2	Y	Y	Y	Y	Y	8	1/3
PIC18F4431	16384	8192	736	256	35	5	2	Y	Y	Y	Y	Y	8	1/3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# PIC18F2331/2431/4331/4431

## Pin Diagrams



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# PIC18F2331/2431/4331/4431

## 1.3 Details on Individual Family Members

Devices in the PIC18F2331/2431/4331/4431 family are available in 28-pin (PIC18F2X31) and 40/44-pin (PIC18F4X31) packages. The block diagram for the two groups is shown in Figure 1-1.

The devices are differentiated from each other in three ways:

1. Flash program memory (8 Kbytes for PIC18F2X31 devices, 16 Kbytes for PIC18F4X31).
2. A/D channels (5 for PIC18F2X31 devices, 9 for PIC18F4X31 devices).
3. I/O ports (3 bidirectional ports on PIC18F2X31 devices, 5 bidirectional ports on PIC18F4X31 devices).

All other features for devices in this family are identical. These are summarized in Table 1-1.

The pinouts for all devices are listed in Table 1-2 and Table 1-3.

TABLE 1-1: DEVICE FEATURES

Features	PIC18F2331	PIC18F2431	PIC18F4331	PIC18F4431
Operating Frequency	DC – 40 MHz	DC – 40 MHz	DC – 40 MHz	DC – 40 MHz
Program Memory (Bytes)	8192	16384	8192	16384
Program Memory (Instructions)	4096	8192	4096	8192
Data Memory (Bytes)	758	768	763	768
Data EEPROM Memory (Bytes)	256	256	255	256
Interrupt Sources	22	22	34	34
I/O Ports	Ports A, B, C	Ports A, B, C	Ports A, B, C, D, E	Ports A, B, C, D, E
Timers	4	4	4	4
Capture/Compare/PWM modules	2	2	2	2
14-bit Power Control PWM	(6 Channels)	(6 Channels)	(8 Channels)	(8 Channels)
Motion Feedback module (Input Capture/Quadrature Encoder Interface)	1 QEI or 3x IC	1 QEI or 3x IC	1 QEI or 3x IC	1 QEI or 3x IC
Serial Communications	SSP, Enhanced USART	SSP, Enhanced USART	SSP, Enhanced USART	SSP, Enhanced USART
10-bit High-Speed Analog-to-Digital Converter module	5 Input Channels	5 Input Channels	9 Input Channels	9 Input Channels
Resets (and Delays)	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PVRT, OST), MCLR (optional), WDT	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (FVVRT, OST), MCLR (optional), WDT	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PVRT, OST), MCLR (optional), WDT	POR, BOR, RESET Instruction, Stack Full, Stack Underflow (PVRT, OST), MCLR (optional), WDT
Programmable Low-voltage Detect	Yes	Yes	Yes	Yes
Programmable Brown-out Reset	Yes	Yes	Yes	Yes
Instruction Set	75 Instructions	75 Instructions	75 Instructions	75 Instructions
Packages	28-pin SDIP 28-pin SOIC	28-pin SDIP 28-pin SOIC	40-pin DIP 44-pin TQFP 44-pin QFN	40-pin DIP 44-pin TQFP 44-pin QFN

# PIC18F2331/2431/4331/4431

TABLE 1-3: PIC18F4331/4431 PINOUT I/O DESCRIPTIONS

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	DIP	TQFP	QFN			
MCLR/VPP/RE3 MCLR	1	18	18	I	ST	Master Clear (input) or programming voltage (input). Master Clear (Reset) input. This pin is an active-low. Reset to the device.
VPP				F		Programming voltage input.
RE3				I	ST	Digital input. Available only when MCLR is disabled.
OSC1/CLKI/RA7 OSC1	13	30	32	I	ST	Oscillator crystal or external clock input.
CLKI				I	CMOS	Oscillator crystal input or external clock source input. ST buffer when configured in RC mode, CMOS otherwise.
RA7				I/O	TTL	External clock source input. Always associated with pin function OSC1. (See related OSC1/CLKI, OSC2/CLKC pins.) General purpose I/O pin.
OSC2/CLKO/RA6 OSC2	14	31	33	O	—	Oscillator crystal or clock output.
CLKO				O	—	Oscillator crystal output. Connects to crystal or resonator in Crystal Oscillator mode.
RA6				I/O	TTL	In RC mode, OSC2 pin outputs CLKC, which has 1/4 the frequency of OSC1 and denotes the instruction cycle rate. General purpose I/O pin.
RA0/AN0 RA0 AN0	2	19	19	I/O	TTL	PORTA is a bidirectional I/O port. Digital I/O.
				I	Analog	Analog input 0.
RA1/AN1 RA1 AN1	3	20	20	I/O	TTL	Digital I/O.
				I	Analog	Analog input 1.
RA2/AN2/VREF-/CAP1/ INDX	4	21	21	I/O	TTL	Digital I/O.
AN2				I	Analog	Analog input 2.
VREF-				I	Analog	A/D Reference Voltage (Low) input.
CAP1				I	ST	Input capture pin 1.
INDX				I	ST	Quadrature Encoder Interface Index input pin.
RA3/AN3/VREF+/CAP2/ QEA	5	22	22	I/O	TTL	Digital I/O.
AN3				I	Analog	Analog input 3.
VREF+				I	Analog	A/D Reference Voltage (High) input.
CAP2				I	ST	Input capture pin 2.
QEA				I	ST	Quadrature Encoder Interface channel A input pin.
RA4/AN4/CAP3/QEB	6	23	23	I/O	TTL	Digital I/O.
AN4				I	Analog	Analog input 4.
CAP3				I	ST	Input capture pin 3.
QEB				I	ST	Quadrature Encoder Interface channel B input pin.
RA5/AN5/LVDIN RA5 AN5 LVDIN	7	24	24	I/O	TTL	Digital I/O.
AN5				I	Analog	Analog input 5.
LVDIN				I	Analog	Low-voltage Detect input.

Legend: T L = TTL compatible input  
 ST = Schmitt Trigger input with CMOS levels  
 O = Output  
 OC = Open-Drain (no diode to VDD)  
 CMOS = CMOS compatible input or output  
 I = input  
 P = Power

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# PIC18F2331/2431/4331/4431

TABLE 1-3: PIC18F4331/4431 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	DIP	TQFP	QFN			
R30/PWM0 RB0 PWM0	33	8	9	I/O O	TTL TTL	PORTD is a bidirectional I/O port. PORTD can be software programmed for internal weak pull-ups on all inputs. Digital I/O. PWM output 0.
R31/PWM1 RB1 PWM1	34	9	10	I/O O	TTL TTL	Digital I/O. PWM output 1.
R32/PWM2 RB2 PWM2	35	10	11	I/O O	TTL TTL	Digital I/O. PWM output 2.
R33/PWM3 RB3 PWM3	36	11	12	I/O O	TTL TTL	Digital I/O. PWM output 3.
R34/KB10/PWM5 RB4 KB10 PWM5	37	14	14	I/O I O	TTL TTL TTL	Digital I/O. Interrupt-on-change pin. PWM output 5.
R35/KB11/PWM4/ PGM RB5 KB11 PWM4 PGM	38	15	15	I/O I O I/O	TTL TTL TTL ST	Digital I/O. Interrupt-on-change pin. PWM output 4. Low-voltage ICSP programming entry pin.
R36/KB12/PGC RB6 KB12 PGC	39	16	16	I/O I I/O	TTL TTL ST	Digital I/O. Interrupt-on-change pin. In-Circuit Debugger and ICSP programming clock pin.
R37/KB13/PGD RB7 KB13 PGD	40	17	17	I/O I I/O	TTL TTL ST	Digital I/O. Interrupt-on-change pin. In-Circuit Debugger and ICSP programming data pin.

Legend: TTL = TTL compatible input      CMOS = CMOS compatible input or output  
 ST = Schmitt Trigger input with CMOS levels      I = Input  
 O = Output      P = Power  
 OD = Open-Drain (no diode to V<sub>DD</sub>)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# PIC18F2331/2431/4331/4431

**TABLE 1-3: PIC18F4331/4431 PINOUT I/O DESCRIPTIONS (CONTINUED)**

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	DIP	TQFP	QFN			
RC0/T1OSO/T1CKI	15	32	34	I/O	ST	PORTC is a bidirectional I/O port.  Digital I/O. Timer1 oscillator output. Timer1 external clock input
RC0				O	—	
T1OSO				I	ST	
RC1/T1OSI/CCP2/FLTA	16	35	35	I/O	ST	Digital I/O. Timer1 oscillator input. Capture2 input, Compare2 output, PWM12 output. Fault interrupt input pin.
RC1				I	CMOS	
T1OSI				I/O	S1	
CCP2				I	ST	
RC2/CCP1/FLTB	17	36	36	I/O	ST	Digital I/O. Capture1 input/Compare1 output/PWM1 output. Fault interrupt input pin.
RC2				I/O	ST	
CCP1				I	ST	
FLTB				I	ST	
RC3/T0CKI/T5CKI/INT0	18	37	37	I/O	ST	Digital I/O. Timer0 alternate clock input. Timer5 alternate clock input. External interrupt 0.
RC3				I	ST	
T0CKI				I	ST	
T5CKI				I	ST	
INT0				I	ST	
RC4/INT1/SDI/SDA	23	42	42	I/O	ST	Digital I/O. External interrupt 1. SPI Data In. I <sup>2</sup> C Data I/O.
RC4				I	ST	
INT1				I	ST	
SDA				I/O	ST	
RC5/INT2/SCK/SCL	24	43	43	I/O	ST	Digital I/O. External interrupt 2. Synchronous serial clock input/output for SPI mode. Synchronous serial clock input/output for I <sup>2</sup> C mode.
RC5				I	ST	
INT2				I/O	ST	
SCK				I/O	ST	
RC6/TXCK/SS	25	44	44	I/O	ST	Digital I/O. USART Asynchronous Transmit. USART Synchronous Clock (see related RX/DT). SPI Slave Select input.
RC6				O	—	
TX				I/O	ST	
CK				I	S1	
SS				I	S1	
RC7/RX/DT/SDO	26	1	1	I/O	ST	Digital I/O. USART Asynchronous Receive USART Synchronous Data (see related TX/CK). SPI Data out.
RC7				I	ST	
RX				I/O	ST	
DT				O	—	
SDO				O	—	

Legend: TTL = TTL compatible input  
 ST = Schmitt Trigger input with CMOS levels  
 O = Output  
 OU = Open-Drain (no diode to VDD)  
 CMOS = CMOS compatible input or output  
 I = Input  
 P = Power

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# PIC18F2331/2431/4331/4431

TABLE 1-3: PIC18F4331/4431 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	DIP	TQFP	QFN			
RDC/T0CKI/T5CKI	19	38	38			PORTD is a bidirectional I/O port, or a Parallel Slave Port (PSP) for interfacing to a microprocessor port. These pins have TTL input buffers when PSP module is enabled.
RD0				I/O	ST	Digital I/O.
T0CKI				I	ST	Timer0 external clock input.
T5CKI				I	ST	Timer5 input clock.
RD1/SDO	20	39	39			
RD1				I/O	ST	Digital I/O.
SDO				O	—	SPI Data out.
RD2/SDI/SDA	21	40	40			
RD2				I/O	ST	Digital I/O.
SDI				I	ST	SPI Data in.
SDA				I/O	ST	I <sup>2</sup> C Data I/O.
RD3/SCK/SCL	22	41	41			
RD3				I/O	ST	Digital I/O.
SCK				I/O	ST	Synchronous serial clock input/output for SPI mode.
SCL				I/O	SI	Synchronous serial clock input/output for I <sup>2</sup> C mode.
RD4/FLTA	27	2	2			
RD4				I/O	SI	Digital I/O.
FLTA				I	ST	Fault interrupt input pin.
RD5/FWM4	28	3	3			
RD5				I/O	ST	Digital I/O.
PWM4				O	TTL	PWM output 4.
RD6/FWM6	29	4	4			
RD6				I/O	ST	Digital I/O.
PWM6				O	TTL	PWM output 6.
RD7/FWM7	30	5	5			
RD7				I/O	ST	Digital I/O.
PWM7				O	TTL	PWM output 7.

Legend: TTL = TTL compatible input  
 ST = Schmitt Trigger input with CMOS levels  
 O = Output  
 OD = Open-Drain (no diode to VCC)  
 CMCS = CMCS compatible input or output  
 I = Input  
 P = Power

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

# PIC18F2331/2431/4331/4431

TABLE 1-3: PIC18F4331/4431 PINOUT I/O DESCRIPTIONS (CONTINUED)

Pin Name	Pin Number			Pin Type	Buffer Type	Description
	DIP	TQFP	QFN			
RE0/AN6 RE0 AN6	8	25	25	I/O I	ST Analog	PORTE is a bidirectional I/O port.  Digital I/O. Analog input 6.
RE1/AN7 RE1 AN7	9	26	26	I/O I	ST Analog	
RE2/AN8 RE2 AN8	10	27	27	I/O I	ST Analog	
Vss	12, 31	6, 29	6, 30, 31	P	—	Ground reference for logic and I/O pins.
VDD	11, 32	7, 28	7, 8, 28, 29	P	—	Positive supply for logic and I/O pins.
NC	—	12, 13, 33, 34	13	NC	NC	No connect

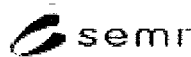
Legend: TTL = TTL compatible input  
 ST = Schmitt Trigger input with CMOS levels  
 O = Output  
 OD = Open-Drain (no diode to VDD)  
 CMOS = CMOS compatible input or output  
 I = Input  
 P = Power

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
 ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



**Specification For Semiconductor Processing Equipment**  
**Voltage Sag Immunity**

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## SEMI F47-0706 SPECIFICATION FOR SEMICONDUCTOR PROCESSING EQUIPMENT VOLTAGE SAG IMMUNITY

This standard was technically approved by the global Facilities Committee. This edition was approved for publication by the global Audits and Reviews Subcommittee on May 16, 2006. It was available at [www.semi.org](http://www.semi.org) in June 2006 and on CD-ROM in July 2006. Originally published September 1999; Previously published February 2000.

**NOTICE:** This document was completely rewritten in 2006. This document replaces SEMI F47-0200 and SEMI F42-0600.

### 1 Purpose

1.1 Semiconductor factories require high levels of power quality due to the sensitivity of equipment and process controls. Semiconductor processing equipment is especially vulnerable to voltage sags. This specification defines the voltage sag immunity required for semiconductor processing, metrology, and automated test equipment. This specification strikes a balance between voltage sag immunity and increased equipment cost.

**NOTE 1:** The requirements and recommendations in this international specification were developed to satisfy semiconductor industry needs. While differing from other generic requirements, this industry-specific set of requirements and recommendations is not in conflict with known generic equipment regulations from other regions or generic equipment specifications from other organizations.

**NOTE 2:** To minimize design effort and testing, this edition aligns SEMI F47 test methods with applicable IEC standards, while retaining the previous SEMI F47 test levels. It also incorporates knowledge gained in the first five years of experience with this specification.

### 2 Scope

2.1 This specification sets minimum voltage sag immunity requirements for equipment used in the semiconductor industry. Immunity is specified in terms of voltage sag depth (in percent of nominal voltage remaining during the sag) and voltage sag duration (in cycles or seconds). This specification also sets procurement requirements, test methods, pass/fail criteria, and test report requirements.

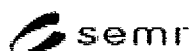
2.2 The primary focus of this specification is semiconductor processing equipment including but not limited to the following types:

- Etch equipment (Dry & Wet)
- Film deposition equipment (CVD & PVD)
- Thermal equipment
- Surface prep and clean equipment
- Photolithography equipment (Scanner, Stepper & Tracks)
- Ion Implant equipment
- Metrology equipment
- Automated test equipment
- Chemical Mechanical Polishing/Planarization equipment

2.2.1 The secondary focus of this specification is subsystems and components that are used in the construction of semiconductor processing equipment, including but not limited to:

- Power supplies
- Radio frequency generators and matching networks
- Ultrasonic generators
- Computers and communication systems
- Robots and factory interfaces
- AC Connector coils and AC relay coils
- Chillers and cryo pumps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## SEMI F47-0706 SPECIFICATION FOR SEMICONDUCTOR PROCESSING EQUIPMENT VOLTAGE SAG IMMUNITY

This standard was technically approved by the global Facilities Committee. This edition was approved for publication by the global Audit and Reviews Subcommittee on May 16, 2006. It was available at [www.semi.org](http://www.semi.org) in June 2006 and on CD-ROM in July 2006. Originally published September 1999. Previously published February 2006.

**NOTICE:** This document was completely rewritten in 2006. This document replaces SEMI F47-0200 and SEMI F42-0500.

### 1 Purpose

1.1 Semiconductor factories require high levels of power quality due to the sensitivity of equipment and process controls. Semiconductor processing equipment is especially vulnerable to voltage sags. This specification defines the voltage sag immunity required for semiconductor processing, metrology, and automated test equipment. This specification strikes a balance between voltage sag immunity and increased equipment cost.

**NOTE 1:** The requirements and recommendations in this international specification were developed to satisfy semiconductor industry needs. While differing from other generic requirements, this industry-specific set of requirements and recommendations is not in conflict with known generic equipment regulations from other regions or generic equipment specifications from other organizations.

**NOTE 2:** To minimize design effort and testing, this revision aligns SEMI F47 test methods with applicable IEC standards, while retaining the previous SEMI F47 test levels. It also incorporates knowledge gained in the first five years of experience with this specification.

### 2 Scope

2.1 This specification sets minimum voltage sag immunity requirements for equipment used in the semiconductor industry. Immunity is specified in terms of voltage sag depth (in percent of nominal voltage remaining during the sag) and voltage sag duration (in cycles or seconds). This specification also sets procurement requirements, test methods, pass/fail criteria, and test report requirements.

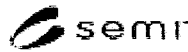
2.2 The primary focus of this specification is semiconductor processing equipment including but not limited to the following types:

- Etch equipment (Dry & Wet)
- Film deposition equipment (CVD & PVD)
- Thermal equipment
- Surface prep and clean equipment
- Photolithography equipment (Scanner, Stepper & Tracks)
- Ion Implant equipment
- Metrology equipment
- Automated test equipment
- Chemical Mechanical Polishing/Planarization equipment

2.2.1 The secondary focus of this specification is subsystems and components that are used in the construction of semiconductor processing equipment, including but not limited to:

- Power supplies
- Radio frequency generators and matching networks
- Ultrasonic generators
- Computers and communication systems
- Robots and factory interfaces
- AC Contactor coils and AC relay coils
- Chillers and cryo pumps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



## SEMI F47-0706 SPECIFICATION FOR SEMICONDUCTOR PROCESSING EQUIPMENT VOLTAGE SAG IMMUNITY

This standard was technically approved by the global Facilities Committee. This edition was approved for publication by the global Audit and Review Subcommittee on May 16, 2006. It was available at [www.semi.org](http://www.semi.org) in June 2006 and on CD-ROM in July 2006. Originally published September 1999; Previously published February 2000.

**NOTICE:** This document was completely rewritten in 2006. This document replaces SEMI F47-0200 and SEMI F42-0600.

### 1 Purpose

1.1 Semiconductor factories require high levels of power quality due to the sensitivity of equipment and process controls. Semiconductor processing equipment is especially vulnerable to voltage sags. This specification defines the voltage sag immunity required for semiconductor processing, metrology, and automated test equipment. This specification strikes a balance between voltage sag immunity and increased equipment cost.

**NOTE 1:** The requirements and recommendations in this international specification were developed to satisfy semiconductor industry needs. While differing from other generic requirements, this industry-specific set of requirements and recommendations is not in conflict with known generic equipment regulations from other regions or generic equipment specifications from other organizations.

**NOTE 2:** To minimize design effort and testing, this revision aligns SEMI F47 test methods with applicable IEC standards, while retaining the previous SEMI F47 test levels. It also incorporates knowledge gained in the first five years of experience with this specification.

### 2 Scope

2.1 This specification sets minimum voltage sag immunity requirements for equipment used in the semiconductor industry. Immunity is specified in terms of voltage sag depth (in percent of nominal voltage remaining during the sag) and voltage sag duration (in cycles or seconds). This specification also sets procurement requirements, test methods, pass/fail criteria, and test report requirements.

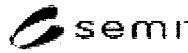
2.2 The primary focus of this specification is semiconductor processing equipment including but not limited to the following types:

- Etch equipment (Dry & Wet)
- Film deposition equipment (CVD & PVD)
- Thermal equipment
- Surface prep and clean equipment
- Photolithography equipment (Scanner, Stepper & Tracks)
- Ion Implant equipment
- Metrology equipment
- Automated test equipment
- Chemical Mechanical Polishing/Planarization equipment

2.2.1 The secondary focus of this specification is subsystems and components that are used in the construction of semiconductor processing equipment, including but not limited to:

- Power supplies
- Radio frequency generators and matching networks
- Ultrasonic generators
- Computers and communication systems
- Robots and factory interfaces
- AC Contactor coils and AC relay coils
- Chillers and cryo pumps

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



- Pumps and blowers
- Adjustable speed drives

2.3 This specification applies to semiconductor processing equipment to include the equipment mainframe and all subsystems whose electrical power is directly affected by the operation of the equipment's EMO (emergency off) system.

2.4 *Grandfather Clause* — Equipment, subsystems, and components that were tested or certified under the previous version of this specification, prior to the publication date of this specification, do not require re-testing or re-certification until hardware or software design changes that could affect voltage sag immunity are implemented.

**NOTICE:** This standard does not purport to address safety issues, if any, associated with its use. It is the responsibility of the users of this standard to establish appropriate safety and health practices and determine the applicability of regulatory or other limitations prior to use.

### 3 Limitations

3.1 Not included in this set of requirements and recommendations are over-voltage conditions (voltage swells), high frequency impulse events, and other power disturbances. If necessary, the Information Technology Industry Council (ITIC) curve contained in IEEE 1100 and SEMI E51 can be used to specify additional requirements outside the scope of this specification.

3.2 This specification does not address wafer quality variations that may be caused by voltage sags. It is recommended that equipment manufacturers consider the effects of voltage sags on their equipment processes. If voltage sags that are shallower and/or shorter than those in Table 1 can result in known wafer quality problems, it is recommended (but not required) that a power quality sensor coupled to a notification scheme be included in the equipment design.

3.3 This specification addresses voltage sag immunity of semiconductor processing equipment. Voltage sag immunity of factory systems, and electric utility voltage sag performance, are covered in other related standards.

3.4 This is a performance specification. It does not address design issues related to safety, which are covered elsewhere in SEMI Standards (see SEMI S2).

3.5 Safety-related systems may require voltage sag immunity for conditions up to and including full power failure. Further, if hazards could result from voltage sags deeper and/or longer than those considered in this specification, provision should be made to negate or eliminate such hazards.

3.6 Conflicts between this specification and safety requirements (such as SEMI S2) that cannot be otherwise resolved shall be decided in favor of safety requirements.

3.7 This specification does not pre-empt or override international, national, and local codes that may apply in different facility locations. Such codes, regulations, and laws should be consulted to ensure that equipment meets regulatory requirements in each location.

### 4 Referenced Standards and Documents

#### 4.1 SEMI Standards

SEMI E51 — Guide for Typical Facilities Services and Termination Matrix

SEMI S2 — Environmental, Health, and Safety Guideline for Semiconductor Manufacturing Equipment

#### 4.2 IEEE Standards<sup>1</sup>

IEEE 1100 — IEEE Recommended Practice for Powering and Grounding Sensitive Electronic Equipment (IEEE Emerald Book)

IEEE 1250 — IEEE Guide for Service to Equipment Sensitive to Momentary Voltage Disturbances

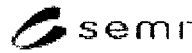
#### 4.3 IEC Standards<sup>2</sup>

IEC 61000-4-11 — Testing and Measurement Techniques – Voltage Dips, Short Interruptions and Voltage Variations Immunity Tests (for equipment rated at 16 amps per phase or less)

<sup>1</sup> Institute of Electrical and Electronics Engineers, IEEE Operations Center, 445 Hoes Lane, P.O. Box 1331, Piscataway, New Jersey 08855-1331, USA. Telephone: 732-981-0699; Fax: 732-981-1721; Website: [www.ieee.org](http://www.ieee.org)

<sup>2</sup> International Electrotechnical Commission, 8, rue de Vascombé, Case Postale 131, CH-1211 Geneva 20, Switzerland. Telephone: 41 22 919 02 11; Fax: 41 22 919 03 00; Website: [www.iec.ch](http://www.iec.ch)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



IEC 61000-4-34 — Testing and Measurement Techniques – Voltage Dips, Short Interruptions and Voltage Variations Immunity Tests for Equipment with Input Current more than 16 A per Phase.

**NOTICE:** Unless otherwise indicated, all documents cited shall be the latest published versions.

## 5 Terminology

5.1 *assist* — a response to an unplanned stoppage that occurs during an equipment cycle in which all three of the following conditions apply:

- The stopped equipment cycle is resumed through external intervention (e.g., by an operator or user), and
- There is no replacement of a part, other than specified consumables, and
- There is no further variation from specification of equipment operation.

5.2 *failure* — any unplanned stoppage or variance from the specification of equipment operations other than assists.

5.3 *interrupt* — any equipment assist or equipment failure.

5.4 *voltage sag immunity* — the ability of equipment to withstand momentary electric power interruptions or sags [IEEE 1250 ride-through capability].

5.5 *voltage sag* — an rms reduction in the ac voltage, at the power frequency, for durations from a half cycle to a few seconds [IEEE 1160].

**NOTE 3:** The IEC terminology for this phenomenon is *voltage dip*.

## 6 Using this Specification for Procurement

6.1 Semiconductor manufacturers may use this document to specify voltage sag immunity requirements to semiconductor process equipment manufacturers.

6.2 Semiconductor process equipment manufacturers may use this document to specify voltage sag immunity requirements to their subsystem and component suppliers.

6.3 Orders for semiconductor processing equipment should specify:

- a) This document number and date of publication.
- b) (Optional) The requirement for a Certificate per § 7.9 of this document.
- c) (Optional) The requirement for a Test Report per § 7.10 of this document.
- d) (Optional) Whether a third-party Certificate is required, or if self-certification is acceptable.

6.4 Orders for subsystems and components should specify:

- a) This document number and date of publication.
- b) One of the pass/fail criteria from § 7.8.2 of this document — see § R1-6 for advice.
- c) (Optional) The requirement for a Test Report per § 7.10 of this document.
- d) (Optional) Whether a third-party Certificate is required, or if self-certification is acceptable.

## 7 Requirements

7.1 *Required Voltage Sag Immunity* — Semiconductor processing equipment, subsystems, and components are required to be immune to the voltage sag levels and durations set forth in Table 1.

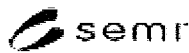
Table 1 Required Voltage Sag Immunity

Sag depth <sup>#1</sup>	Duration at 50 Hz	Duration at 60 Hz
50%	10 cycles	12 cycles
70%	25 cycles	30 cycles
80%	50 cycles	60 cycles

<sup>#1</sup> Sag depth is expressed in percent of remaining nominal voltage. For example, during a 70% sag on a 200 volt nominal system, the voltage is reduced during the sag to 140 volts (not 60 volts).

7.2 *Sag Immunity Test Methods* — Semiconductor processing equipment, subsystems, and components shall be tested for voltage sag immunity according to the methods set forth in IEC 61000-4-11 (for equipment rated at

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



16 amps per phase or less) or IEC 61000-4-34 (for equipment rated at more than 16 amps per phase). The test levels in Table 1 above replace the "Class X" levels in Table 1 of IEC 61000-4-11 and IEC 61000-4-34.

NOTE 4: For the purposes of SEMI F47, creating phase-to-phase sags by simultaneously reducing the phase-to-neutral voltage an equal amount on two phases is permitted (i.e., the test vectors of IEC 61000-4-34 Fig 3d are permitted).

7.3 *Owner Notification* — As with other equipment tests, damage to the EUT (Equipment Under Test) is possible. Although only a remote possibility, the engineer performing the test should notify the equipment owner of the potential for damage prior to initiating the test.

7.4 *Three-Phase Sags not Required* — Test sags shall be applied to one phase-to-neutral pair at a time, if a neutral conductor is present, and to one phase-to-phase pair at a time. Simultaneous sags on all six phase-to-neutral pairs and phase-to-phase pairs are not required, and simultaneous sags on all three phase-to-phase pairs are not required.

7.5 *Selecting EUT for Voltage Sag Testing*

7.5.1 *Sample Test* — Testing for compliance to this specification shall be performed on an equipment sample that is representative of production articles. Testing need not be performed on each equivalent article produced.

7.5.2 *Test Results Apply to Multiple Models or Types* — If reasonable engineering judgment indicates that multiple modal numbers or types of equipment will respond to voltage sags in the same way (e.g., when the only difference is in chemical process or gas process), the equipment manufacturer may determine that it is not necessary to test each modal number or type.

NOTE 5: Semiconductor equipment manufacturers should consider effects of component and software changes that take place subsequent to certification testing, because those changes can affect whether the certification continues to be applicable.

7.6 *Multiple Chamber Tests* — If semiconductor processing equipment has multiple chambers, it is acceptable to test and certify each chamber independently. The common portion of the system (mainframe) must be tested as well. The semiconductor processing equipment manufacturer must exercise reasonable engineering judgment regarding potential interactions between multiple chamber configurations and the mainframe during voltage sags.

NOTE 6: It is the intent of this clause to simplify the testing and certification of equipment that can be configured with a variety of chamber combinations.

7.7 *Test Conditions* — The intent of this specification is to make reasonable efforts at determining that semiconductor processing equipment, subsystems, and components will be immune to typical voltage sags that occur at semiconductor factories. The EUT shall be tested for voltage sag immunity under conditions that will, according to the reasonable engineering judgment of the equipment manufacturer, approximate expected factory operating conditions. Engineering judgment shall take into account the following considerations:

- The EUT shall be tested in its most sensitive process states, as determined by the EUT manufacturer. For example, this may include robot movement, maximum power processing, most sensitive measurement, etc. If the sensitivity of the EUT to voltage sags may be affected by process recipe, the EUT shall be tested with a baseline recipe as defined in SEMI S2.
- Components and subsystems when tested independently shall be tested under load (for example, DC power supplies and RF generators should be loaded at their expected levels, chillers and cryos should be thermally loaded, etc.)

7.8 *Pass/Fail Criteria*

7.8.1 *Pass/Fail Criteria for Equipment* — In the absence of other instructions or requirements, the pass/fail criteria for voltage sag immunity testing of semiconductor processing equipment shall be no interrupts, as defined in § 5.3.

7.8.2 *Pass/Fail Criteria for Subsystems and Components* — Voltage sag immunity testing of subsystems and components should meet one of the following:

- a) Performs at full rated operation
- b) May not perform at full rated operation but recovers operation without operator and/or host controller intervention. Must not send error signals to the equipment host controller indicating when full rated operation is not achieved.
- c) May not perform at full rated operation but recovers operation without operator and/or host controller intervention. May send signals to the equipment host controller indicating when full rated operation is not achieved.

NOTE 7: See Related Information R1-6 for information on selecting pass/fail criteria for subsystems and components.

NOTE 8: It is the intent of this section that subsystems and components that comply with the pass/fail criteria will not cause interrupts, as defined in § 7.3, when integrated into semiconductor processing equipment.

NOTE 9: The pass/fail criteria in § 7.8.2 are intended as a guideline for semiconductor processing equipment manufacturer for use when specifying voltage sag immunity requirements to their subsystem and component suppliers. The pass/fail criteria in § 7.8.2 should not be used in evaluating fully-integrated semiconductor processing equipment.

7.9 **Certificates** — A Certificate indicating compliance to the requirements in this document shall include, at a minimum, the following information:

- a) The organization issuing the Certificate.
- b) The EUT manufacturer, manufacturer address, and manufacturer primary phone contact information.
- c) The EUT model number and serial number.
- d) The test data.
- e) The test location.
- f) Any conditions of use for the Certificate, such as voltage range limitations, required modifications, process limitations, equipment configuration(s), special/unusual installation requirements, etc.
- g) The range of model numbers and/or serial numbers to which the Certificate applies.
- h) The nominal voltage(s) and frequency(s) tested.
- i) The test equipment used, including a statement that test equipment fully complies with all requirements of IEC 61000-4-11 or IEC 61000-4-34, whichever is applicable. This statement may be modified with the language in 7.2 NOTE 4 as appropriate.
- j) A reference to this Specification, including publication date.
- k) The test conditions per § 7.7, including loading and process recipe information if applicable.
- l) The Pass/Fail criteria per § 7.8, fully written out (e.g., "Full rated operation during tested voltage sags", not "Meets 7.8.2(a)").
- m) If the Pass/Fail criteria is §§ 7.8.2 (b) or 7.8.2 (c), a detailed description of the behavior of the EUT during and after the voltage sags.
- n) If § 7.5.2 (*Test Results Apply to Multiple Models or Types*) applies, identify all of the applicable model numbers or types of equipment and include a declaration of equivalency to the tested model or type.

7.10 **Test Reports** — A Test Report indicating compliance to the requirements in this document shall include, at a minimum, the following information:

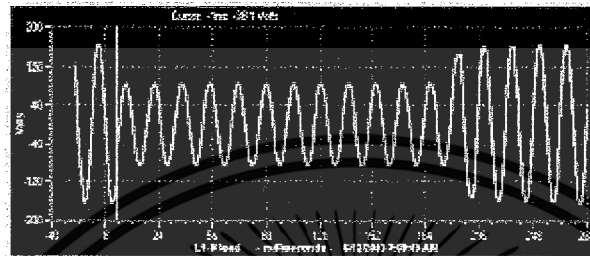
- a) All information required in § 7.9 for a Certificate, plus
- b) The identity of the engineers who performed or participated in the testing.
- c) The voltage and current waveforms for all phases, including pre-sag and post-sag data, for at least a single worst-case voltage sag (worst-case being defined by the largest current drawn by the EUT, either during or after a voltage sag).
- d) A complete list of all sags applied during the testing, including for each sag: the phase(s) to which the sag was applied, the depth and duration of the sag, the process state of the EUT, the results of the sag, and any useful comments or observations during and after the sag.
- e) Photographs of the test set-up, EUT and environment, and
- f) Any recommendations and/or conclusions that resulted from the testing.

## RELATED INFORMATION 1 USEFUL INFORMATION FOR APPLYING THIS SPECIFICATION

**NOTICE:** This related information is not an official part of SEMI F-47 and does not modify or supersede the official specification. Determination of the suitability of the material is solely the responsibility of the user.

### R1-1 Typical Waveforms

**R1-1.1 Typical Voltage Sag Test Result** — The graphs of Figure R1-1 show the typical voltage delivered by a sag generator, and the current and output voltage of the EUT — in this case, an unregulated DC power supply. Note the abrupt, large increase in current drawn by the EUT at the end of the voltage sag — this current pulse is a common source of failure, causing fuses or circuit breakers to operate at the end of a sag.



Typical Voltage from the Sag Generator



Typical Current from the EUT (DC Power Supply)



Typical DC Output from the EUT (DC Power Supply)

Figure R1-1

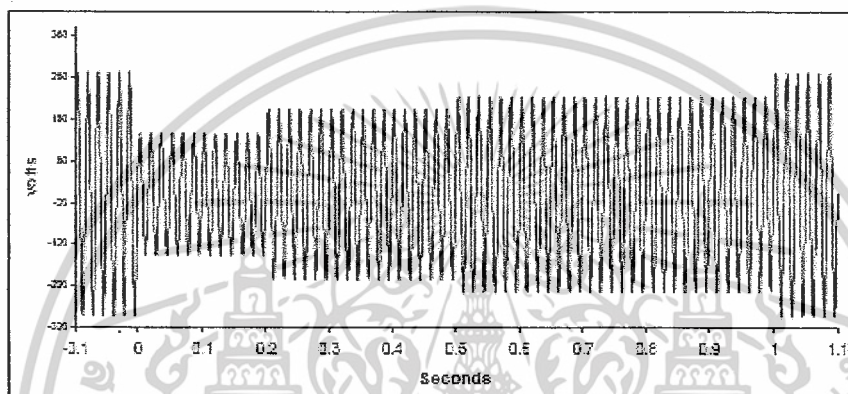
Typical Voltage Sag Test Result

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## R1-2 Some Common Mistakes

R1-2.1 *Common Errors* — From experience with the SEMI F47 specification during its first five years, here are some common errors made during voltage sag immunity testing.

- *Failing to Consider Component Variations* — For example, typical electrolytic capacitors may have value tolerances of  $-10\%$  to  $+30\%$ . If the particular EUT has capacitors at  $+40\%$ , for example, it may well meet the requirements, but other production units built to the same design may fail.
- *Failing to Use a Sag Generator with Sufficient Available Current* — The sag generator must be capable of supplying several times the rated current of the EUT. Otherwise, false passing results can occur, because fuses and circuit breakers might not operate. See Annex A of IEC 61000-4-34.
- *Assuming that a System Constructed from SEMI F47 Compliant Components will Automatically be Compliant Itself* — Although using SEMI F47 compliant components is helpful, it is still possible for system interactions to occur (fuses, circuit breakers, software, alarms, etc.). The complete system must be tested.
- *Misunderstanding How the Sags are to be Applied* — Each voltage sag is applied, one pair of power conductors at a time, then the EUT is given an opportunity to recover at nominal voltage. Do not apply all of the voltage sags in sequence, without returning to nominal voltage. On three-phase systems, apply the sags to *one* pair of conductors at a time.



NOTE: Wrong, but well-intentioned, voltage sag. The EUT must be given time to recover at nominal voltage between sags.

Figure R1-2

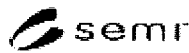
Wrong Voltage Sag Waveform

## R1-3 Equipment not Immune to All Real-World Voltage Sags

R1-3.1 Increasing voltage sag immunity requires increasing equipment engineering effort, energy storage, and other costs. A balance has been chosen in this specification such that semiconductor processing equipment which meets the requirements of this specification will be immune to most, but not all, real-world voltage sags at semiconductor fabs.

R1-3.2 Real-world sags at semiconductor fabs will occasionally be deeper than, or longer than (or both), the sags in Table 1 and Table R1-1. Equipment that meets the sag immunity requirements of this specification will not necessarily be immune to such deeper, longer real-world sags.

R1-3.3 Also, the sags that are required for compliance with this specification occur between one phase and neutral, or between one pair of phases, at a time. This is the most common type of real-world sag. However, real-world sags at semiconductor fabs also occasionally reduce all three phase-to-phase voltages, or all three phase-to-neutral voltages, below 85% of nominal. Equipment that meets the sag immunity requirements of this specification will not necessarily be immune to such "three-phase" sags.



R1-3.4 If addressing these deeper, longer sags and three-phase sags can be economically justified based on process losses and frequency of occurrence, the equipment user may want to consider fab-level UPS or other similar solutions.

#### R1-4 Recommended Voltage Sag Immunity

R1-4.1 Equipment, subsystems, and components are recommended, but not required, to be immune to the voltage sags set forth in Table R1-1 below. This table should be interpreted in the same manner as Table 1.

Table R1-1 Recommended Voltage Sag Immunity

Sag depth	Duration at 50 Hz	Duration at 60 Hz
0%	1 cycle	1 cycle
80%	500 cycles	600 cycles

#### R1-5 Preferred Voltage Sag Immunity Solutions

R1-5.1 It is the intent of this specification to improve voltage sag immunity of semiconductor processing equipment by improving the design and immunity of sub-components, subsystems, software, and system design.

R1-5.2 The use of on-board battery back-up systems (UPS) to achieve voltage sag immunity is discouraged, due to battery maintenance issues. Maintenance-free solutions are preferred. Where UPS is necessary, the use of facility UPS is preferred, if it is available. (It is recognized that certain equipment functions require uninterrupted power, and that sometimes facility UPS is not available. In these cases, on-board battery back-up systems are unavoidable, and maintenance issues should be carefully considered.)

R1-5.3 While it is recognized that it may sometimes be unavoidable, the application of voltage sag correction devices to an entire semiconductor processing equipment is also discouraged. Applying voltage sag correction devices to specific subsections of the equipment is acceptable, but designs that are inherently immune to voltage sags are preferred.

#### R1-6 Choosing Pass/Fail Criteria for Subsystems and Components

R1-6.1 Each system integrator, when constructing semiconductor processing equipment that will comply with this specification, must select components and subsystems that respond appropriately to voltage sags.

R1-6.2 The simplest, but most costly, approach is to require that all components and subsystems provide full rated operation during all required voltage sags, or pass/fail criteria § 7.3.2 (a).

R1-6.3 Criteria § 7.3.2 (a) should be chosen by the system integrator for components whose full specified operation is required to avoid equipment interrupts during voltage sags. For example, contactors with AC coils, relays with AC coils, DC power supplies, and computers often fall into this category.

R1-6.4 If the equipment software is appropriately configured to respond (e.g., with a power quality sensor), it is possible that criteria § 7.3.2 (b) or (c) will be acceptable, even for critical subsystems. The system integrator may wish to use system software to log signaled events. Or the system software maybe configured to reset or restart certain components when a power quality sensor detects a disturbance. In either case, the system software must avoid an interrupt as defined in § 5.3 above.

R1-6.5 If reasonable engineering judgment determines that equipment is unlikely to interrupt due to a brief change in component or subsystem operation effectiveness (for example, blowers, HEPA filters, etc.) then the system integrator might select pass/fail criteria § 7.3.2 (b) for these components or subsystems. In general, the system integrator need not be concerned about system software with this pass/fail criteria because these subsystems and components do not send signals indicating that a voltage sag is in progress.

R1-6.6 The system integrator may recognize that the system software will respond appropriately to signals from certain subsystems and components during voltage sags (and will not cause an interrupt), and therefore might select pass/fail criteria § 7.3.2 (c).

R1-6.7 Also, if the system integrator knows that the component or subsystem will never be used at its full rated output, the system integrator might consider accepting test conditions under § 7.7 that more closely match the intended application (e.g., if an RF generator is rated at 5 kW, but the equipment design only calls for it to be used at a maximum of 4 kW, the system integrator may choose to accept voltage sag testing at 4 kW instead of at full rated operation).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

#### R1-7 Currents During and After Sags

R1-7.1 Engineers should be aware that increased currents may occur during and immediately after voltage sags.

R1-7.2 During voltage sags, it is common to see substantial increases in current on the non-sagged phases. It is possible for these increased currents to trip circuit breakers, or cause fuses to operate.

R1-7.3 Immediately after a voltage sag, the capacitors in power supplies (especially single-phase power supplies) may require re-charging, and any inrush limiting circuits may have already been disabled. For this reason, it is common to see a large increase in current in the first half-cycle immediately after a voltage sag.

R1-7.4 Also, rotating machinery may have slowed during the voltage sag, and may draw increased current after the sag while it re-accelerates for a few seconds.

R1-7.5 Engineers should be aware that all of these increased currents may cause protective devices to operate, and when combined with the source impedance of the alternating current supply, may cause subsequent voltage sags shortly after the initiating sag.

#### R1-8 Impact of Voltage Sags on Equipment

R1-8.1 Although not required, the equipment integrator may wish to consider, or to report, the expected performance of the equipment when subjected to voltage sags beyond the requirements of this specification.

R1-8.2 In performing and reporting voltage sag testing on semiconductor manufacturing equipment, the system integrator should take into consideration a range of possible performance changes. Here are some examples:

- Voltage sag causes a change in the equipment operating conditions, but with no impact on wafers or process recipe, and automatic recovery.
- Voltage sag causes a change in equipment operating conditions, with possible impact on wafers or process recipe, but wafers are marked for review and recovery occurs without operator intervention.
- Voltage sag causes a change in equipment operating conditions, with possible impact on wafers or process recipe, but wafers are marked for review. Recovery requires operator intervention, but can be quickly accomplished, perhaps in a few minutes.
- Voltage sag causes equipment shutdown resulting in wafer scrap. Recovery requires operator intervention and may possibly take hours to recover.
- Voltage sag causes unexpected equipment shutdown resulting in wafer scrap and equipment damage, or a situation that requires partial disassembly of the equipment for recovery (e.g., a shattered wafer inside a chamber). Recovery requires operator intervention, and may possibly take hours to days for recovery.

R1-8.3 Other levels of performance change are possible during voltage sags.

#### R1-9 Test Plan

R1-9.1 For complex equipment, the user of this specification may utilize a test plan as a guideline to perform the testing. At a minimum, this plan should include the basic procedural items, test generator specifications, planned test setups, additional safety issues and considerations (in addition to SEMI S2) and general procedure of the test.

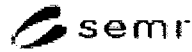
#### R1-10 Characterization vs. Pass/Fail Testing

R1-10.1 This specification sets out required sag depths and durations in Table I, and recommended depths and durations in Table R1-1. These depth and durations are used for pass/fail testing.

R1-10.2 In many circumstances, it is also useful to characterize the voltage sag immunity of equipment, components, and subsystems, by determining how far beyond the requirements a particular EUT can go (i.e., the depths and durations of all sags that the EUT can tolerate).

R1-10.3 It can be useful to report such characterizations by plotting the results on a depth-duration graph.

R1-10.4 Doing such characterization testing requires applying sags at progressively increasing depths for a particular duration until the EUT shuts down or upsets, then repeating the process at multiple durations. Thus characterization testing, by its nature, requires many repeated shutdowns or upsets of the EUT. As a result, it may not be practical to perform this type of testing on EUT's that require lengthy recovery procedures after each shutdown or upset.



**NOTICE:** SEMI makes no warranties or representations as to the suitability of the standard(s) set forth herein for any particular application. The determination of the suitability of the standard(s) is solely the responsibility of the user. Users are cautioned to refer to manufacturer's instructions, product labels, product data sheets, and other relevant literature respecting any materials or equipment mentioned herein. These standards are subject to change without notice.

By publication of this standard, Semiconductor Equipment and Materials International (SEMI) takes no position respecting the validity of any patent rights or copyrights asserted in connection with any item mentioned in this standard. Users of this standard are expressly advised that determination of any such patent rights or copyrights, and the risk of infringement of such rights are entirely their own responsibility.



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า  
ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

## ประวัติผู้เขียน



นายพงษ์วุฒิ เอี่ยมเจริญสุข เกิดวันที่ 18 กันยายน 2529 ที่อำเภอวัฒนานครจังหวัดสระแก้ว สำเร็จการศึกษาระดับมัธยมศึกษาตอนต้นที่โรงเรียนปราจีนกัลยาณี และระดับมัธยมศึกษาตอนปลายที่โรงเรียนราชวินิตบางแก้ว เข้าศึกษาต่อที่คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังเมื่อปีการศึกษา 2548

ฝึกงานที่ สำนักงานการไฟฟ้าส่วนภูมิภาคอำเภอบางปะกง จังหวัดฉะเชิงเทรา ในระหว่างเดือนเมษายน 2551 ถึงเดือนพฤษภาคม 2551



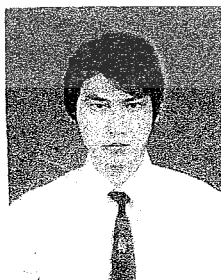
นายพลัง วัฒนพานิช เกิดวันที่ 13 พฤษภาคม 2529 ที่เขตพระโขนง กรุงเทพมหานคร สำเร็จการศึกษาระดับมัธยมศึกษาตอนต้น และระดับมัธยมศึกษาตอนปลายที่โรงเรียนสตรีสมุทรปราการ เข้าศึกษาต่อที่คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังเมื่อปีการศึกษา 2548

ฝึกงานที่ การประปานครหลวง กองซ่อมบำรุงไฟฟ้า ส่วนมอเตอร์และอุปกรณ์ควบคุม ในระหว่างเดือนเมษายน 2551 ถึงเดือนพฤษภาคม 2551



นายภาสกร สุวรรณศิริธุมพร เกิดวันที่ 28 พฤษภาคม 2529 ที่อำเภอบ้านโป่ง จังหวัดราชบุรี สำเร็จการศึกษาระดับมัธยมศึกษาตอนต้นที่โรงเรียน และระดับมัธยมศึกษาตอนปลายที่โรงเรียนสารสิทธิ์พิทยาลัย เข้าศึกษาต่อที่คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังเมื่อปีการศึกษา 2548

ฝึกงานที่ บริษัท สยามซีเมนต์กรุ๊ป เปเปอรั ในระหว่างเดือนเมษายน 2551 ถึงเดือนพฤษภาคม 2551



นายอนุพงศ์ รตมณีเจริญ เกิดวันที่ 13 กรกฎาคม 2529 ที่อำเภอปากท่อจังหวัดราชบุรี สำเร็จการศึกษาระดับมัธยมศึกษาตอนต้นและระดับมัธยมศึกษาตอนปลายที่โรงเรียนเบญจมราชูทิศ ราชบุรี เข้าศึกษาต่อที่คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังเมื่อปีการศึกษา 2548

ฝึกงานที่ โรงไฟฟ้าวราชมงคล ในระหว่างเดือนเมษายน 2551 ถึงเดือนพฤษภาคม 2551

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้