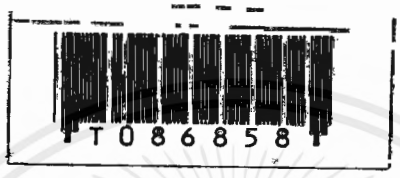
สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

เครื่องเลือกเส้นสะแกนสัญญาณภาพ

VIDEO LINE SELECTOR



โดย

นาย ปรีชา วาทโยธา

นายปรีชา ศรัทราธรรมกุล

เลขหมู่.....
เลขทะเบียน.....86858
วัน,เดือน,ปี.....16 ส.ค. 2552

.b.10867021
.i.....

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาเทคโนโลยีโทรคมนาคม ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เครื่องเลือกเส้นสะแกนสัญญาณภาพ

VIDEO LINE SELECTOR

โดย

นาย ปรีชา วาทโยธา

นายปรีชา ศรัทราธรรมกุล

อาจารย์ที่ปรึกษา

ผศ. วิชัย สุรพัฒน์

ปริญญานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต

สาขาเทคโนโลยีโทรคมนาคม ภาควิชาเทคนิคอุตสาหกรรม

คณะวิศวกรรมศาสตร์

สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

ปีการศึกษา 2541

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์	**เครื่องเลือกเส้นสะแกนจากสัญญาณภาพ VIDEO LINES SELECTOR**
โดย	**นาย ปรีชา วาทโยธา** **นาย ปรีชา ศรัทราธรรมกุล**
ภาควิชา	**เทคนิคอุตสาหกรรม**
อาจารย์ที่ปรึกษา	**ผศ. วิชัย สุรพัฒน์**

คณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง อนุมัติให้ปริญญานิพนธ์ฉบับนี้ เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรอุตสาหกรรมศาสตรบัณฑิต

คณะกรรมการสอบปริญญานิพนธ์

.....ประธานกรรมการ
( )
.....กรรมการ
( )
.....กรรมการ
( )
.....กรรมการ
( )
.....กรรมการ
( )

ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญานิพนธ์ เครื่องเลือกเส้นสะแกนจากสัญญาณภาพ

โดย นาย ปรีชา วาทโยธา
นาย ปรีชา ศรัทราธรรมกุล

ภาควิชา เทคนิคอุตสาหกรรม

อาจารย์ที่ปรึกษา ผศ. วิชัย สุรพัฒน์

ปีการศึกษา 2541

บทคัดย่อ

ปริญญานิพนธ์ฉบับนี้เป็นการนำเสนอเครื่องเลือกเส้นสะแกนสัญญาณภาพโทรทัศน์ ซึ่งเครื่องเลือกเส้นสะแกนสัญญาณภาพนี้ใช้หลักการเปรียบเทียบระหว่างเส้นสะแกนบนจอภาพกับเส้นสะแกนที่เราเซ็ทไว้โดยดีย์บอร์ดแบบเมตริกซ์ เมื่อเส้นสะแกนทั้งสองนี้มีหมายเลขเส้นสะแกนตรงกันก็จะได้สัญญาณพัลส์ที่มีคาบเวลา 64 ไมโครวินาที ออกจากเอาท์พุตส่งไปล็อกออสซิลโลสโคปเพื่อให้แสดงเส้นสะแกนที่ต้องการ เครื่องเลือกเส้นสะแกนสัญญาณภาพนี้สามารถใช้ตรวจสอบสัญญาณที่ส่งมาในช่วงเวอร์ติคอลแบล็งกิ้ง ว่าแต่ละสถานีส่งสัญญาณอะไรมาบ้างในช่วงนี้ เช่น สัญญาณ Video insertion test (VIT) lines ซึ่งสามารถใช้ตรวจสอบคุณภาพของเครื่องส่งโทรทัศน์และใช้อ้างอิงในการปรับแต่งวงจรสัญญาณภาพที่มีแบนด์วิทและคุณภาพดี นอกจากนี้ยังสามารถนำไปพัฒนาในการรับสัญญาณข้อมูลและสัญญาณเทเลเท็กซ์ได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Project Report **VIDEO LINE SELECTOR**

By **Mr. Preecha Watayotha**

Mr. Preecha Sattatummakun

Department of **Industrial Technology**

Advisor **Assist.Prof Vichai Shurapat**

Year **1998**

ABSTRACT

This thesis present video line selector. The function of video line selector use to compare video line sync with thescan line is produce by matrix keyboard. When the line number is same number. The output has positive pluse 64 microsecond is connected to trigger input of oscilloscope. The video line selector use to check signal put in vertical blanking. The video insertion test (VIT) lines in vertical blanking transmitted from television stations for check quality of TV transmitter and aligning video equipment such as bandwidth and picture quality. In particular it is development for recive the data signal or the teletex signal.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญานิพนธ์ฉบับนี้ได้สำเร็จลุล่วงไปด้วยดี เนื่องด้วยได้รับความอนุเคราะห์จากบุคคลหลายท่านโดยเฉพาะอย่างยิ่ง ผศ. วิชัย สุรพัฒน์ ที่ได้ให้คำปรึกษาแนะนำเกี่ยวกับเทคนิค และการใช้เครื่องมืออุปกรณ์ต่างๆ รวมทั้งพี่ที่ทำงานที่ อ.ส.ม.ท. ที่ได้ให้คำแนะนำเกี่ยวกับสัญญาณ VITS Lines ตลอดจนเพื่อนๆทุกคนที่ให้ความช่วยเหลือ ทางคณะผู้จัดทำจึงขอกล่าวขอบคุณไว้ ณ. โอกาสนี้ด้วย

นาย ปรีชา วาทโยธา

นาย ปรีชา ศรัทราธรรมกุล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อ (ภาษาไทย)	ก
บทคัดย่อ (ภาษาอังกฤษ)	ข
กิตติกรรมประกาศ	ค
สารบัญภาพ	จ
สารบัญตาราง	ฉ
บทที่ 1 บทนำ	1
บทที่ 2 ทฤษฎีและหลักการ	3
ทฤษฎีโทรทัศน์	3
ทฤษฎีการสะแกน	4
สัญญาณภาพและมาตราฐานของสัญญาณโทรทัศน์	6
การมอดูเลทสัญญาณภาพ	8
ช่วงเวลาการสะบัดกลับทางแนวนอน	10
การสะบัดกลับทางแนวตั้ง	12
การรับสัญญาณแบบเวสติเจียล	16
สัญญาณเวสติเจียลไซด์แบนด์	17
คุณลักษณะของ VIT ไลน์	21
ทฤษฎีไมโครคอนโทรลเลอร์	24
โครงสร้างของ MCS - 51	24
การจัดขาต่างๆของ MCS - 51	26
โครงสร้างของพอร์ทอินพุตอาท์พุต	28
โครงสร้างหน่วยความจำ	30
หน่วยความจำภายนอก	33
การใช้งาน 8255 กับ 8051	40
กระบวนการรีเซ็ท	45
บทที่ 3 การออกแบบและการทำงานของวงจร	47
ส่วนของวงจรเลือกเส้นสะแกนสัญญาณภาพ	47
ส่วนของการออกแบบวงจรสวิทช์	58
ลำดับการเขียนโปรแกรม	66

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4 ลำดับการทดลองและการทำงานของวงจร 72
บทที่ 5 สรุปและวิจารย์ผลการทดลอง 79
บรรณานุกรม 80
ภาคผนวก
ภาคผนวก ก. วงจรและลายพิมพ์วงจร
ภาคผนวก ข. โปรแกรมเลือกไลน์
ภาคผนวก ค. ตัวอย่างสัญญาณ VIT Lines
ภาคผนวก ง. DATA SHEET

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญภาพ

	หน้า
รูปที่ 2.1 แสดงองค์ประกอบของภาพที่ประกอบไปด้วยพิคเจอร์อีลีเมนท์	3
รูปที่ 2.2 แสดงการสะแกนแบบสลับเส้นในระบบ PAL	4
รูปที่ 2.3 การสะแกนรูปฟันเลื่อย (Sawtooth)	5
รูปที่ 2.4 แสดงสัญญาณภาพรวม	7
รูปที่ 2.5 การมอดูเลชั่นแบบลบ กับการมอดูเลชั่นแบบบวก	9
รูปที่ 2.6 แสดงช่วงเวลาการสะบัดกลับทางแนวนอน	10
รูปที่ 2.7 การสะบัดกลับทางแนวนอนหลังการสะแกนเส้นคี่	12
รูปที่ 2.8 แสดงสัญญาณเวอร์แบล้งกิ้งพีเหรียด	13
รูปที่ 2.9 แสดงจุดเริ่มที่ตรงกันทั้งฟีลด์คู่และฟีลด์คี่	13
รูปที่ 2.10 แสดงสัญญาณเวอร์เบล้งกิ้งพีเหรียดที่ สมบูรณ์แล้ว	15
รูปที่ 2.11 (a). การส่งแบบเวสติเจียล (b). กำลังสัญญาณที่ถูกส่งออกไป (c). การตอบสนอง (Response) ของเครื่องรับทีวี	17
รูปที่ 2.12 การส่งสัญญาณแบบดับเบิ้ลไซด์แบนด์	18
รูปที่ 2.13 แสดงถึงการส่งสัญญาณแบบไซด์แบนดด้านเดียว	19
รูปที่ 2.14 แสดงสัญญาณทดสอบไลน์ที่ 17 และ 18	21
รูปที่ 2.15 ลักษณะการผิดเพี้ยนทางเฟสและแอมปลิจูดของ 2T Pulse	22
รูปที่ 2.16 แสดงสัญญาณทดสอบไลน์ที่ 330 และ 331	23
รูปที่ 2.17 แสดงโครงสร้างภายใน MCS - 51	25
รูปที่ 2.18 แผนภาพบล็อกแสดงหน่วยทำงานพื้นฐานของ MCS-51	25
รูปที่ 2.19 แสดงขาต่างๆ ของ 8051	26
รูปที่ 2.20 ขาของ MCS - 51 ที่ใช้ต่อกับ XTAL	28
รูปที่ 2.21 โครงสร้างพอร์ททั้ง 4 ของ MCS - 51	29
รูปที่ 2.22 การต่อพอร์ตเข้ากับระบบบัสภายในของ MCS - 51	29
รูปที่ 2.23 การจัดหน่วยความจำของ MCS - 51	30
รูปที่ 2.24 ตำแหน่งของหน่วยความจำทั้งแบบไบต์และแบบบิต	31
รูปที่ 2.25 ขั้นตอนต่างๆในการอ่านข้อมูล	32
รูปที่ 2.26 ไดอะแกรมกลุ่มสัญญาณที่ใช้อ่านข้อมูล	34

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

รูปที่ 2.27 ไดอะแกรมเวลาการอ่านข้อมูลจากหน่วยความจำโปรแกรมภายนอก 35
รูปที่ 2.28 การต่อ MCS - 51 กับหน่วยความจำโปรแกรมภายนอก 36
รูปที่ 2.29 ไดอะแกรมเวลาการอ่านและเขียนข้อมูลกับหน่วยความจำภายนอก 37
รูปที่ 2.30 สัญญาณต่างๆ ที่เกิดขึ้นขณะทำคำสั่ง MOVX 38
รูปที่ 2.31 การต่อหน่วยความจำโปรแกรมกับ MCS - 51 39
รูปที่ 2.32 แผนภาพแบบบล็อกภายในและขาสัญญาณของไอซี 8255 40
รูปที่ 2.33 ความหมายของบิตภายในไบต์ข้อมูลควบคุมสำหรับ 8255 42
รูปที่ 2.34 แผนภาพแสดงการสร้างสัญญาณเลือกอุปกรณ์(CS\)ให้กับ 8255 โดยการถอดรหัสจากบัสแอดเดรส A2-A7 44
รูปที่ 2.35 แผนภาพวงจรแสดงการเชื่อมต่อระหว่าง 8255 กับ 8051 44
รูปที่ 2.36 การรีเซ็ท MCS-51 45
รูปที่ 3.1 บล็อกไดอะแกรมการทำงานของวงจรเลือกเส้นสะแกนสัญญาณภาพ 48
รูปที่ 3.2 วงจรเลือกเส้นสะแกนสัญญาณภาพ 49
รูปที่ 3.3 แสดงขาต่างๆ ของ LM1881N 50
รูปที่ 3.4 แสดงสัญญาณ Burst/Back Porch และ Odd/Even ที่ได้จาก LM1881N 50
รูปที่ 3.5 ไทม์มิ่งไดอะแกรมของไอซี 74162 ที่ใช้งานในวงจร 53
รูปที่ 3.6 แสดงการโหลดข้อมูลในแต่ละฟีล์ด 54
รูปที่ 3.7 แสดงการเปรียบเทียบในแต่ละหลักระหว่างไลน์ที่เซ็ทไว้กับไลน์ที่สะแกน 55
รูปที่ 3.8 แสดงไทม์มิ่งไดอะแกรมการทำงานทั้งหมดของวงจร 57
รูปที่ 3.9 คีย์บอร์ดโทรศัพท์ขนาด 3*4 58
รูปที่ 3.10 แสดงวงจรการเข้ารหัสเลข BCD8421 จากเลขฐานสิบ 0 - 9 60
รูปที่ 3.11 แสดงบอร์ดของไมโครคอนโทรลเลอร์ 62
รูปที่ 3.12 แสดงไทม์มิ่งไดอะแกรมการทำงานของ 74162 63
รูปที่ 3.13 แสดงขาต่างๆของเซเว่นเซ็กเมนต์ 63
รูปที่ 3.14 แสดงวงจรส่วนของการโหลดเครียร์และแสดงผล 64
รูปที่ 3.15 แสดงวงจรไมโครคอนโทรลเลอร์ที่ใช้ควบคุมการสวิทช์ 65
รูปที่ 4.1 แสดงการต่อวงจรเลือกเส้นสะแกนสัญญาณภาพของโทรทัศน์ 72

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญตาราง

	หน้า
ตารางที่ 2.1 การจัดช่องความถี่ระบบ CCIR-B	20
ตารางที่ 2.2 แสดงไมโครคอนโทรลเลอร์ตระกูล MCS - 51เบอร์ต่างๆ	24
ตารางที่ 2.3 แสดงบิตและหน้าที่ต่างๆ ของพอร์ท 3	27
ตารางที่ 2.4 แสดงกลุ่มของพอร์ต 8255	41
ตารางที่ 2.5 หน้าที่การทำงานของขาสัญญาณไอซี 8255	41
ตารางที่ 2.6 แสดงการใช้ขาสัญญาณทำหน้าที่ต่างๆ	43
ตารางที่ 2.7 แสดงแอดเดรสของรีจิสเตอร์ภายใน 8255	43
ตารางที่ 2.8 แสดงค่าต่างๆ ที่เกิดหลังการรีเซต	46
ตารางที่ 3.1 แสดง Function Table วงจรของ IC#74162	51
ตารางที่ 3.2 แสดงเอาท์พุทของวงจร Synchronous Decade Counter	56
ตารางที่ 3.3 แสดง Truth table ของ IC#74147	59
ตารางที่ 3.4 แสดง Truth table ของ IC#74175	59
ตารางที่ 3.5 แสดงเงื่อนไขที่นำมาเขียนโปรแกรม	66
ตารางที่ 3.6 แสดงคุณลักษณะโหมด 0 ของ 8255	67

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1
บทนำ

1.1 ความเป็นมาและความสำคัญของปัญหา

เป็นที่ทราบกันดีว่าเส้นสะแกนโทรทัศน์นั้นจริงๆแล้วไม่ได้มีการสะแกนครบตามจำนวนเส้นสะแกนที่มีทั้งหมดเช่นในโทรทัศน์ระบบพาล(PAL)ที่มีจำนวนเส้นสะแกน 625 เส้นนี้จริงๆแล้วจะสามารถสะแกนจริงๆที่ปรากฏบนหน้าจอโทรทัศน์ได้ประมาณ 600 เส้นดังนั้นจะพบว่ามีเส้นสะแกนที่ ไม่ปรากฏบนหน้าจอเรียกว่าอยู่ในช่วงเวอร์ติคอลแบล็งกิ้งที่ถูกรักษาไว้ที่ระดับดำประมาณ 25 เส้นซึ่งจริงๆแล้วเส้นไลน์เหล่านี้ใช่ว่าจะเปล่าประโยชน์ซะเลยที่เดียว ทางสถานีจะใช้ประโยชน์จากเส้นไลน์เหล่านี้โดยการส่งสัญญาณต่างๆมากับเส้นไลน์เหล่านี้อาจจะส่งมาประมาณเส้นไลน์ที่ 17-18 หรือ 330-331 เป็นต้นซึ่งอาจจะส่งสัญญาณทดสอบ (VIT Lines) สัญญาณข้อมูล (Data Boardcast) หรือสัญญาณเทเลเทกซ์ (Teletext) มาเป็นต้น

ดังนั้นในปริญญานิพนธ์ฉบับนี้จะได้ศึกษาถึงการเลือกเส้นสะแกนสัญญาณโทรทัศน์ในไลน์ช่วงเวอร์ติคอลแบล็งกิ้งมาศึกษาดูว่า ณ. เวลาที่เรากำลังรับสัญญาณโทรทัศน์อยู่นี้สถานีโทรทัศน์ช่องนั้นๆ ได้ส่งสัญญาณอะไรมาบ้างเพื่อทีจะได้สัญญาณที่ได้ส่งมาในขณะนั้นนำไปใช้ประโยชน์ต่อไป

1.2 วัตถุประสงค์ของโครงงาน

เพื่อเลือกไลน์ เส้นที่ต้องการในช่วง เวอร์ติคอลแบล็งกิ้ง โดยสามารถเลือกไลน์ที่ 623 , 624 , 625 ทั้งไลน์ที่ 1 ถึง 25 และไลน์ที่ 311 ถึง 337ในโทรทัศน์ระบบ พาล PAL มาแสดงออกทางจอออส -ซิลโลสโคป

1.3 ขอบเขตการทำงานของโครงงาน

- ต้องการสัญญาณภาพรวม (Composite Video Signal) เป็นสัญญาณอินพุท
- ใช้หลักการเปรียบเทียบ (Compare) ระหว่างไลน์ที่เซ็ทไว้กับไลน์ที่สะแกนบนโทรทัศน์เมื่อตรงกันแล้วจะไปทริกที่สโคปให้แสดงออกทางหน้าจอ
- แสดงผลออกทางจอสโคป
- ควบคุมสวิทช์การเลือกไลน์โดยไมโครคอนโทรลเลอร์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1.4 ขั้นตอนการดำเนินงาน

- ศึกษารายละเอียดของโครงงาน
- เสนอโครงงาน
- ออกแบบ , ทดลอง , และเขียนโปรแกรมควบคุมการสวิทช์การเลือกไลน์
- จัดทำปริญญานิพนธ์

1.5 ประโยชน์ที่ได้รับจากโครงงาน

ประโยชน์ที่ได้รับจากโครงงานนี้คือความรู้และประสบการณ์จากการศึกษาวิจัยการทำงานของวงจรต่างๆ การเขียนโปรแกรมภาษาซีบนบอร์ดไมโครคอนโทรลเลอร์ การนำความรู้ที่ได้รับจากการศึกษาภาคทฤษฎีในชั้นเรียนมาปฏิบัติงานจริง และยังสามารถนำโครงงานนี้มาใช้ประโยชน์ในการตรวจสอบคุณภาพของเครื่องรับโทรทัศน์ได้ด้วย

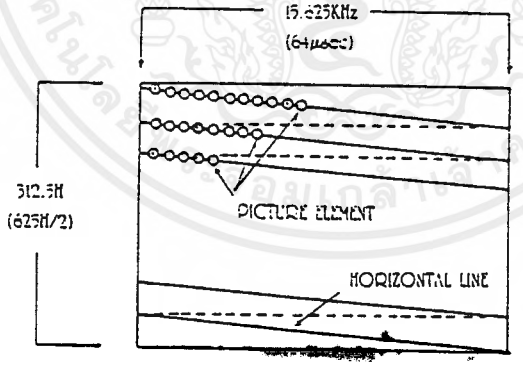
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 2
ทฤษฎีและหลักการ

ทฤษฎีโทรทัศน์

เป็นที่ทราบกันดีแล้วว่าภาพที่เคลื่อนไหวบนจอ TV นั้นไม่ได้เกิดจากการลำดับภาพที่ต่อเนื่องอย่างรวดเร็ว แต่จะเกิดจากการปล่อยอิเลคตรอนจากคาโถดวิ่งไปกระทบกับอาโหนดที่หน้าจอ ที่มีการฉาบสารเรืองแสงเอาไว้เพื่อให้เกิดการเรืองแสงที่หน้าจอ เกิดเป็นพิกเซล (Pixel) หรือ พิคเจอร์อีลีเมนท์ (Picture Element) แล้วก็สะแกนไปบนหน้าจอทั้งทางแนวตั้งและแนวนอน

พิคเจอร์อีเลเมนท์เหล่านี้เป็นพื้นที่สี่เหลี่ยมเล็กๆซึ่งเกิดขึ้นโดยเส้นทางแนวนอนและแนวตั้งตัดกัน และจะแบ่งภาพออกเป็นส่วนๆ แต่ละส่วนจะมีขนาดเท่ากัน ภาพโทรทัศน์ที่เรามองเห็นจะประกอบไปด้วยจุดเล็กๆมากมายคล้ายๆกับรูปถ่ายของหนังสือพิมพ์ซึ่งประกอบไปด้วยจุดเล็กมากมาย แต่ภาพของหนังสือพิมพ์จะต่างจากภาพของโทรทัศน์ตรงที่จะเป็นจุดดำบนกระดาษขาวซึ่งแต่ละจุดจะเป็นสีดำที่เท่ากันตลอดแต่ขนาดแต่ละจุดไม่เท่ากัน ส่วนความละเอียดของภาพบนหน้าจอโทรทัศน์นั้นขึ้นอยู่กับจำนวนเส้นภาพทางแนวนอนและแนวตั้ง



รูปที่ 2.1 แสดงองค์ประกอบของภาพที่ประกอบไปด้วยพิคเจอร์อีลีเมนท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีการสะแกน

การสะแกนเป็นการเลือกพิคเจอร์อีเลเมนท์ของภาพที่ชัดเจนบนฉากมาเรียงตามลำดับเพื่อทำการส่งหรือสร้างขึ้นใหม่ทางด้านรับให้ตรงกับทางด้านส่งโดยจะอาศัยหลักการดึงลำอิเลคตรอนให้วิ่งไปกระทบกับอะโหนด หรือหน้าจอที่เคลือบสารเรืองแสงเอาไว้เพื่อให้เกิดการเรืองแสงที่หน้าจอ

การสะแกนจะทำไปพร้อมกันทั้งทางแนวนอนและแนวตั้งโดยที่ความถี่ในการสะแกนต่างกัน และขดลวดทางแนวนอนและแนวตั้งที่จะทำให้เกิดการสะแกนจะวางอยู่ในตำแหน่งที่ตั้งฉากซึ่งกันและกัน

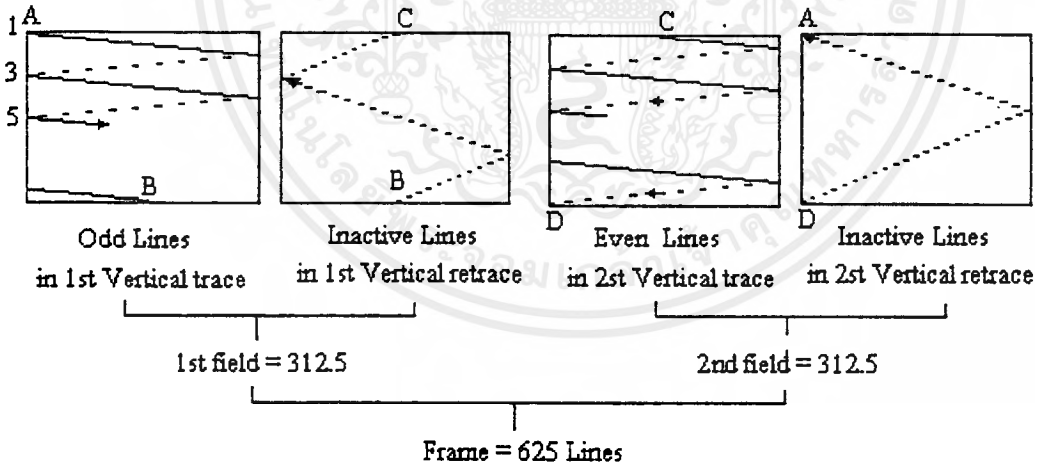
โดยทั่วไปแล้ววิธีการสะแกนมีอยู่ 2 วิธีคือ

1. โปรเกรสซีพสะแกนนิ่ง (Progressive Scanning)

โปรเกรสซีพสะแกนนิ่ง เป็นการสะแกนแบบไม่สลับเส้นวิธีการสะแกนแบบนี้โดยทั่วไปไม่นิยมใช้กันเพราะจะทำให้เกิดภาพกระพริบ (Ficker) และจะต้องใช้แบนวิดท์ที่กว้างเกินไป

2. อินเตอร์เลซด์สะแกนนิ่ง (Interlaced Scanning)

อินเตอร์เลซด์สะแกนนิ่ง เป็นการสะแกนแบบสลับเส้นและเป็นการสะแกนที่ดีกว่าการสะแกนแบบโปรเกรสซีพสะแกนนิ่งมากเพราะสามารถเพิ่มจำนวนภาพต่อวินาทีได้โดยใช้แบนด์วิดท์เท่าเดิมหลักการสะแกนแสดงดังรูปที่ 2.2



รูปที่ 2.2 แสดงการสะแกนแบบสลับเส้น (Interlaced Scanning) ในระบบ PAL

จากรูปข้างบนได้แสดงวิธีการของการสะแกนแบบแทรกสอดของโทรทัศน์ระบบ PAL โดยเมื่อเริ่มต้นการสะแกนสมมติว่าเราเริ่มสะแกนในกรณีนี้เริ่มการสะแกนจากเฟรมที่เป็นเส้นสะแกนคี่ โดยเริ่มจาก A ซึ่งอยู่ทางซ้ายแล้วกวาดไปทางขวา นับเป็นเส้นสะแกนที่ 1 แล้วจึงสะแกนเส้นที่ 3, 5, 7, 9, และต่อไปเรื่อยๆจนถึงเส้นสะแกนที่ 312.5 ในระบบซีซีไออาร์ ซึ่งก็คือสะแกนมาถึงจุด B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

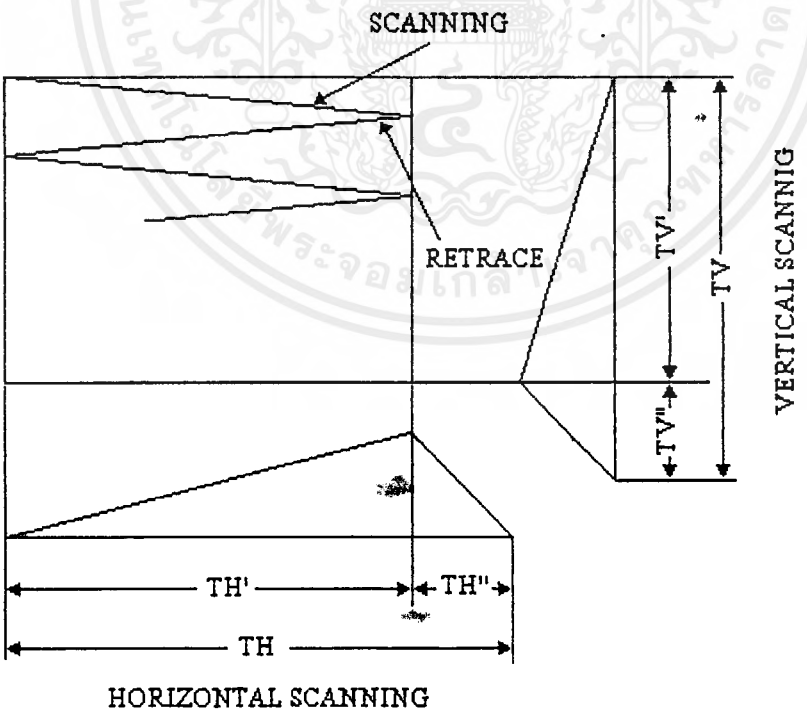
ณ.จุดนี้เส้นสะแกนจะสบัดกลับทางแนวตั้ง (Vertical Retrace) หรือสัญญาณฟลายแบล็ค (Flyback) ดึงกลับไปยังตำแหน่ง C เพื่อเริ่มการสะแกนในเส้นคู่ต่อไปจนครบ 625 เส้น แล้วก็จะสบัดกลับทางแนวตั้งอีกครั้งหนึ่ง เพื่อมาเริ่มที่จุด A ใหม่และทำการสะแกนใหม่อีกรอบจะเป็นอย่างนี้เรื่อยๆไป

จะพบว่าช่วงเวลาของการสบัดกลับหรือการรีเทรช (Retrace Time) ทั้งการรีเทรชทางเวอร์ติคัลและฮอริซอลตัล เป็นเวลาสั้นๆ ถึงอย่างไรก็ตาม จะไม่มีการให้ช่วงการสบัดกลับนี้เข้ามารบกวนสัญญาณภาพและปรากฏทางหน้าจอ เพราะฉะนั้นเราจะรักษาไว้ให้อยู่ที่ที่ระดับดำ

ช่วงของการรีเทรชทางแนวนอนจะใช้เวลาการรีเทรชประมาณ 10-16 % ของเวลาการสะแกนทางแนวนอนในระบบ CCIR ใช้เวลาในการสะแกนทางแนวนอนเท่ากับ 64 ไมโครเซ็คคั่น (uS) เพราะฉะนั้นเวลาของการรีเทรชทางแนวนอนจะใช้เวลาประมาณ 6.4 ไมโครเซ็คคั่น

ส่วนช่วงของการรีเทรชทางแนวตั้งจะใช้เวลาการรีเทรชประมาณ 5 - 8 % อย่างเช่นเราใช้เวลาในส่วนนี้เท่ากับ 3 % ของเวลา 1/50 ของวินาทีดังนั้นเวลาของการรีเทรชจึงเท่ากับ 600ไมโครเซ็คคั่น นั่นหมายความว่าในช่วงการรีเทรชทางแนวตั้งจะกินเวลานานกว่าการสะแกนทางแนวนอนประมาณ 8 - 10 เส้นภาพ

เราสามารถควบคุมการช่วงเวลาการสะแกนและรีเทรชได้โดยอาศัยสัญญาณรูปฟันเลื่อยเป็นสัญญาณบังคับการสะแกนและรีเทรช แสดงได้ดังรูปที่ 2.3



รูปที่ 2.3 การสะแกนรูปฟันเลื่อย (Sawtooth)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ซึ่งจะพบว่าการสะแกนจะกระทำไปพร้อมๆ กัน ทางฮอร์ริซอลทัลและเวอร์ติคัลโดยที่ความถี่ในการสะแกนต่างกันแต่ขดลวดทางฮอร์ริซอลทัลและเวอร์ติคัลที่จะทำให้เกิดการสะแกนจะวางอยู่ในตำแหน่งตั้งฉากซึ่งกันและกัน

จากหลักการดังกล่าวสามารถสรุปหลักเกณฑ์บางอย่างได้ว่าตามความเป็นจริงแล้วในเส้นภาพ 625 เส้นนั้นมิอาจจะเห็นได้ครบทุกเส้นอย่างน้อยในกรณีที่เกิดเวอร์ติคัลรีเทรชจะกินเวลาของการสะแกนทางแนวนอนไปด้วยแต่จะกินไปกี่เส้นนั้นขึ้นอยู่กับสัญญาณบังคับของฟลายแบ็คซึ่งในเครื่องรับเรียกตัวนี้ว่า สัญญาณแบล้งกิ้ง (Blanking) และจากการที่มีจำนวนเส้นภาพทางแนวนอนบางจำนวนที่อยู่ในช่วงเวอร์แบล้งกิ้งโดยจะไม่ปรากฏที่หน้าจอโทรทัศน์ดังนั้นจึงได้มีการใส่สัญญาณต่างมาในช่วงเวอแบล้งกิ้ง เสมอเป็นต้นว่า สัญญาณทดสอบ VIT Lines สัญญาณเทเลเท็กซ์ , ดังนั้นในโครงงานนี้เรา จะนำสัญญาณที่ใส่มาในช่วงเวอร์แบล้งกิ้งมาตรวจสอบดู

สัญญาณภาพและมาตราฐานของสัญญาณโทรทัศน์

ตามมาตราฐาน CCIR

ใช้จำนวนเส้นสะแกน 625 เส้น/หนึ่งภาพ

เกิดภาพ 25 ภาพ/หนึ่งวินาที

เพราะฉะนั้นความถี่ของการหักเหทางแนวนอน (Vertical Deflection)

เท่ากับ 625*25 = 15625 เฮิรตซ์

ในเมื่อการหักเหทางแนวตั้งเท่ากับ 50 เฮิรตซ์

อินเตอร์เลซด์ 2 : 1

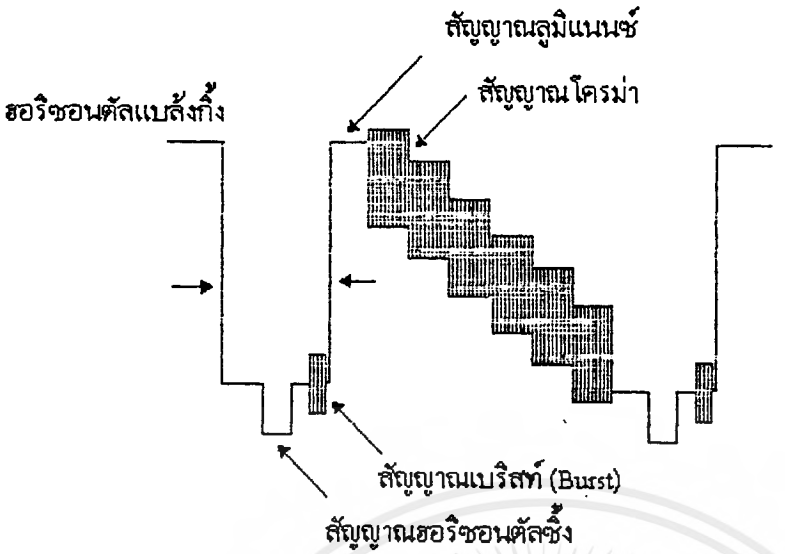
อัตราความสูงต่อความกว้างของภาพ เท่ากับ 4 : 3

หนึ่งภาพจะมีสองฟิลด์ ในแต่ละฟิลด์จะมีจำนวนเส้นสะแกนเท่ากับ 312.5 เส้น

สัญญาณภาพรวม (Composite Video Signal) ประกอบด้วยส่วนต่าง ๆ 6 ส่วน

1. สัญญาณภาพ (Picture Information)
2. สัญญาณซิ้งค์ (Synchronization) ประกอบด้วยไลน์ซิงค์และฟิลด์ซิ้งค์
3. สัญญาณแบลึงกิ้ง (Blanking Pulse) ป้องกันไม่ให้ตามองเห็นช่วงสะบัดกลับ
4. สัญญาณซิ้งค์ของสี (Color Synchronizing)
5. สัญญาณสี (Chrominance)
6. สัญญาณขาวดำ (Luminance)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.4 แสดงสัญญาณภาพรวม

สัญญาณภาพรวมประกอบด้วย

แบล็งกิ้งพัลซ์ ทำหน้าที่ยกระดับสัญญาณสู่ระดับสีดำ (Black Level) ในช่วงสะบัดกลับทำให้ไม่เห็นเส้นสะบัดกลับบนจอภาพ ช่วงสะบัดกลับบนจอภาพเกิดตรงกับเวลาของพัลซ์แบล็งกิ้งแบล็งกิ้งพัลซ์ในสัญญาณภาพรวมมีทั้งฮอร์ริซอลทัลแบล็งกิ้งพัลซ์และเวอร์ติคอลแบล้ง กิ้งพัลซ์

ฮอร์ริซอลทัลแบล็งกิ้งพัลซ์ ทำหน้าที่ลบเส้นสะบัดกลับจากด้านขวาของจอภาพมายังด้านซ้ายของจอภาพในแต่ละเส้นที่สะแกนในแนวแกนนอนความถี่ฮอร์ริซอลทัลแบล็งกิ้งพัลซ์ ลูกต่อลูกเท่ากับความถี่ที่ใช้ในการสะแกนไลน์คือ 15625 Hz

เวอร์ติคอลแบล็งกิ้งพัลซ์ ทำหน้าที่ลบเส้นสะบัดกลับของลำอิเล็คตรอนจากด้านล่างขึ้นด้านบนจอภาพเมื่อสิ้นสุดการสะแกนแต่ละฟิลด์ ความถี่เวอร์ติคอลแบล็งพัลซ์เท่ากับ 50 Hzในแต่ละฟิลด์

สัญญาณซิ้งค์ มีไว้เพื่อให้ทางเครื่องส่งและเครื่องรับทำการสะแกนไปพร้อมๆกันโดยส่งฮอร์ริซอลทัลและเวอร์ติคอลซิ้งค์ไปด้วยกันโดยมีความกว้างของเวลาที่ต่างกันเพราะฉะนั้นเป็นการง่ายในการแยกที่เครื่องรับ โดยสัญญาณฮอร์ริซอลทัลซิ้งค์ จะมีความกว้างพัลซ์เป็นช่วงเวลาเท่ากับ 0.07H = 0.07 x 64 = 4.48ไมโครเซ็คคั่น ส่วนสัญญาณเวอร์ติคอลซิ้งค์จะมีช่วงเวลายาวนานกว่าโดยเวอร์ติคอล ซิ้งค์จะมีช่วงเวลาเท่ากับ 2.5H = 2.5 x 64 = 160 ไมโครเซ็คคั่น

สัญญาณสี(Burst Pulse)เป็นสัญญาณส่งไปในช่วงระยะของแบ็คโพชฮอร์ริซอลทัลแบล็ง - กิ้งอินเตอร์วัล (Back Porch Horizontal Blanking Interval) และสัญญาณสีประกอบด้วยสัญญาณ 10 ไซเคิล ของ 4.43 MHz สัญญาณความถี่สี (Color Oscillator) ในเครื่องรับ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนประกอบของสัญญาณขาวดำ เป็นความสว่างของภาพมีลักษณะคล้ายคลึงกับสัญญาณภาพรวมของสัญญาณโทรทัศน์ขาวดำจะมีความแตกต่างกันบ้างก็ตรงที่มีสัญญาณสีซึ่งมีความถี่เดียวกันกับแคร์เรียร์ของสัญญาณสี (Color Subcarrier) รวมอยู่ด้วยกันเท่านั้น

ส่วนประกอบสัญญาณโครมิแนนซ์ ประกอบด้วยสัญญาณสีสองสัญญาณรวมกันอยู่โดยมีมุมเฟสแคร์เรียร์ (Carrier Phase Angle) ต่างกันอยู่ 90 องศา สัญญาณสีทั้งสองนี้ อยู่ในรูปของ Amplitude Modulated Suppressed Carrier Sidebands ทั้งคู่มุมเฟสและแอมปลิจูดของสัญญาณสีนี้จะคอยควบคุมความมืดหรือสว่างของสี (Hue) และสภาวะอิ่มตัว (Saturation) ของสีที่ต้องการส่งและต้องการรับ

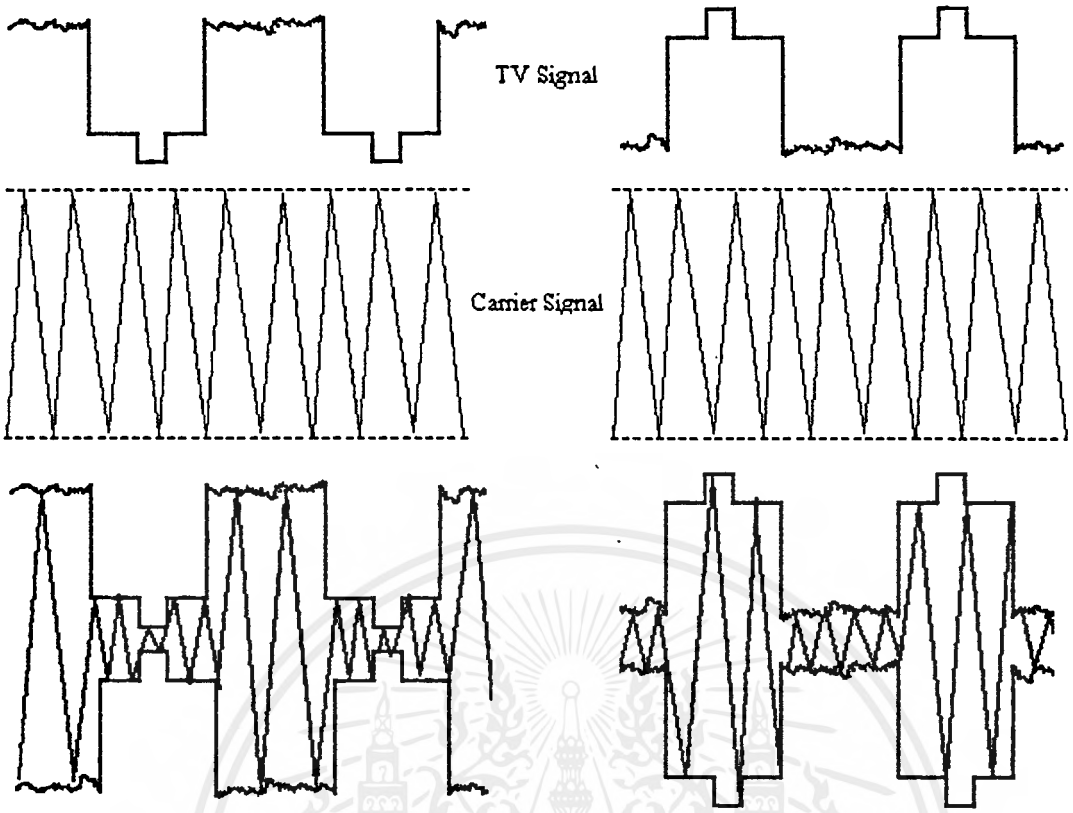
การมอดูเลทสัญญาณภาพ

สัญญาณภาพโทรทัศน์จะมอดูเลทกับแคเรียร์แบบแอมปลิจูดมอดูเลชั่นการมอดูเลทสัญญาณภาพมีรูปร่างของสัญญานซิ้งค์แตกต่างกันที่ระดับขาวและดำ ฉะนั้นการมอดูเลทจึงแบ่งได้เป็น 2 แบบ

1. มอดูเลทแบบบวก (Positive modulation) แบบนี้ถ้าระดับขาวเพิ่มขึ้นขนาดของแคเรียร์จะสูงขึ้นตาม ระดับขาวสูงสุดจะทำให้การมอดูเลทเป็น 100 เปอเซ็นต์ และระดับดำสัญญาณซิงค์จะให้ขนาดของแคเรียร์ต่ำลงต่ำสุด

2. มอดูเลทแบบลบ (Negative modulation) แบบนี้ยอดของซิ้งค์จะให้ขนาดของแคเรียร์สูงสุดเป็น 100 เปอร์เซนต์ ระดับแบล้งกิ้งจะเท่ากับ 70 เปอร์เซ็นต์ ถ้าเพิ่มระดับขาวสูงขึ้นจะให้ขนาดของแคเรียร์ลดลง แต่จะต่ำสุดที่ 10 เปอร์เซ็นต์ ของยอดสูงสุดของระดับขาว สำหรับระบบ PAL-B ใช้การมอดูเลทแบบลบ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.5 (A). positive modulation (b). negative modulation

การเปรียบเทียบการมอดูเลทของการมอดูเลชั่นแบบลบ กับการมอดูเลชั่นแบบบวก

1. ผลของการรบกวนสัญญาณอิมพัลส์ (Impluse Interference) ที่มีต่อภาพ

สัญญาณรบกวนที่เกิดในข่าวสารรูปภาพบนสัญญาณภาพแบบมอดูเลทแบบลบอยู่ในระดับดำขึ้นไปปรากฏบนจอภาพ ส่วนการมอดูเลทแบบบวกนั้นสัญญาณรบกวนที่มียอดปรากฏในช่วงระดับดำถึงระดับขาวที่แรงที่สุดจะปรากฏเป็นจุดขาวๆบนจอภาพ ดังนั้นจากลักษณะนี้การมอดูเลท แบบลบจึงดีกว่าการมอดูเลทแบบบวก

2. ผลของการรบกวนสัญญานอิมพัลส์ที่มีต่อระบบซิงโครไนเซชั่น

การมอดูเลทแบบลบด้อยกว่าแบบบวกในเรื่องนี้เพราะสัญญาณที่กวนเกิดขึ้นทันทีทันใดจะปรากฏเป็นนอยซ์ที่มีความชันมากบนข่าวสารรูปภาพในทางการมอดูเลทแบบลบยอดสัญญาณซิ้งค์อยู่ในระดับสูงกว่า ซึ่งยากที่จะทำการจำกัดนอยซ์อันนี้

3. คุณสมบัติประจำตัวของทั้งสองแบบในการจำกัดกำลังสูงสุดด้านเครื่องส่ง

เป็นปัญหาที่จะเกิดขึ้นแก่ภาคขยายมอดูเลท (Modulate RF Amplifier) ทางด้านเครื่องส่ง เมื่อรายละเอียดรูปภาพทางด้านส่ง เมื่อรายละเอียดรูปภาพทางด้านส่งปรากฏเป็นระดับขาวสูงสุดภาคขยายถูกขยายเกินเข้าไปในช่วงไม่เป็นเชิงเส้นขณะที่เป็นการมอดูเลทแบบบวกแล้วรายละเอียดของรูป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

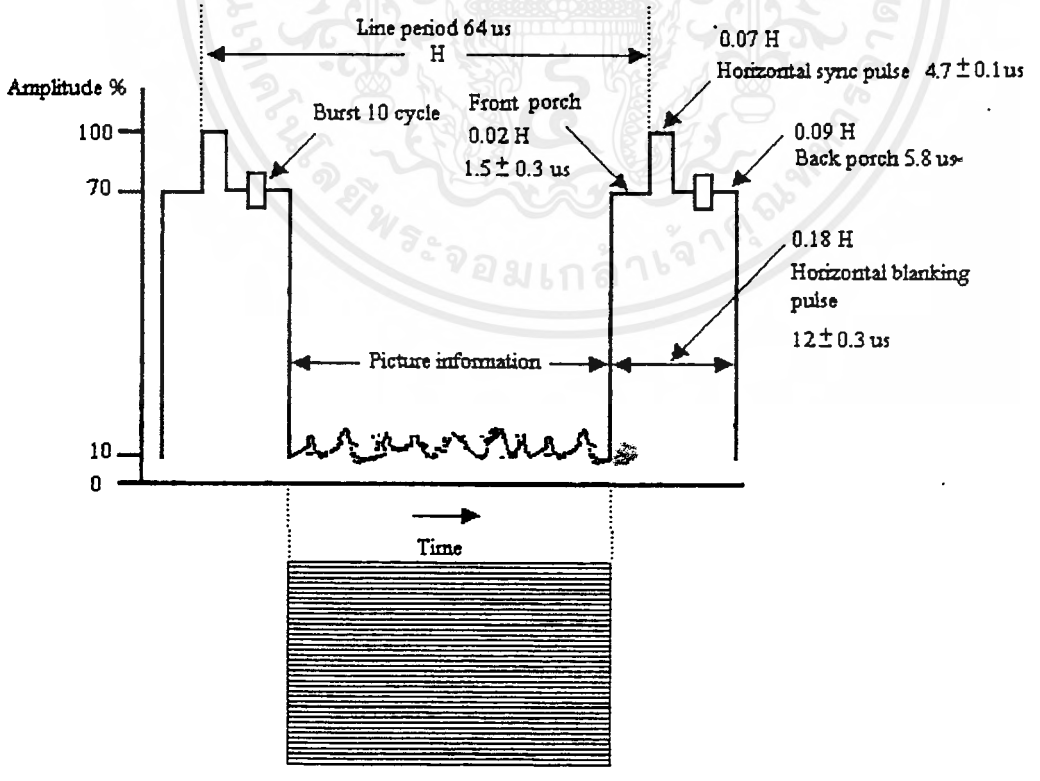
ภาพจะถูกลดทอนลักษณะนี้ทางด้านเครื่องส่งจะต้องมีการจำกัดกำลังสูงสุดของเครื่องส่งไว้ล่วงหน้า ถ้าเป็นการมอดูเลทแบบลบ ส่วนทางสัญญาณภาพที่ถูกขยายเต็มที่ได้แก่สัญญาณซิ้งค์ ซึ่งไม่เสียรูปจากการทำงานเกินของภาคขยายมอดูเลทกำลังสูงสุดด้านส่งของการมอดูเลทแบบลบจึงดีกว่าแบบบวกประมาณ 30 เปอร์เซ็นต์

4. ความยากง่ายของการสร้างไฟในการควบคุมเกนโดยอัตโนมัติ (AGC) ทางเครื่องรับ

เนื่องจากส่วนควบคุมเกนอัตโนมัติในโทรทัศน์เป็นค่าสูงสุดของการควบคุมเกนอัตโนมัติที่แปรค่าตามแอมปลิจูดแคเรียร์สูงสุดในการมอดูเลทแบบลบ ค่าแอมปลิจูดแคเรียร์สูงสุดอยู่ที่ระดับของสัญญาณซิ้งค์ซึ่งแปรค่าตามความแรงของสัญญาณรับซึ่งมอนิเตอร์แรงไฟของการควบคุมเกนอัตโนมัติจากแอมปลิจูดแคเรียร์สูงสุดนี้ได้โดยตรงแต่ในระบบการมอดูเลทแบบบวกแอมปลิจูดแคเรียร์สูงสุดไม่เพียงพอ แต่ขึ้นอยู่กับความแรงของสัญญาณรับยังขึ้นอยู่กับข่าวสารรูปภาพที่มอดูเลท การสร้างแรงไฟควบคุมเกนโดยอัตโนมัติจึงยุ่งยากกว่า

ช่วงเวลาการสะบัดกลับทางแนวนอน (Horizontal blanking time)

ขนาดและเวลาของสัญญาณภาพระหว่างการสะแกนทางแนวนอนหรือฮอร์ริซอลทัล 1 เส้น (H) มีค่าเท่ากับ 64 ไมโครเซ็คคั่น ดังแสดงในรูปที่ 2.6



รูปที่ 2.6 แสดงช่วงเวลาการสะบัดกลับทางแนวนอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คาบเวลาของการสะบัดกลับทางแนวนอนหรือฮอร์แบล็คกิ้ง (Hor Blanking) มีค่าประมาณ 18 เปอร์เซ็นต์ของคาบเวลาในไลน์ หรือเท่ากับ 0.18H เวลาฮอร์แบล็งกิ้งเท่ากับ 0.18x64ไมโครเซ็คคั่น = 12 ไมโครเซ็คคั่นนี้เองเป็นเวลาที่ลำอิเล็คตรอนใช้ไปในการสบัดกลับระหว่างการสะแกนฮอร์ริ-ซอลทัลเส้นต่อเส้น ตรงกับช่วงแบล็งกิ้งหรือจอมืดอยู่ที่ระดับดำ

นำคาบเวลาของฮอร์แบล็งกิ้งลบออกจากคาบเวลาของ 1 เส้นสแกนเท่ากับ 64 ไมโครเซ็คคั่น - 12 ไมโครเซ็คคั่น = 52ไมโครเซ็คคั่นเป็นคาบเวลาของ 1 เส้นสะแกนเฉพาะส่วนที่มองเห็น (Picture Information)

ฮอร์ซิ้งค์ (Hor Sync) มีขนาด 0.07H หรือเท่ากับ 0.07*64 ไมโครเซ็คคั่น = 4.7 ไมโครเซ็คคั่น จะอยู่บนคาบเวลาของแบล็งกิ้งพัลส์ ทำให้ช่วงเวลาแบล็งกิ้งที่เหลือ 7.3 ไมโครเซ็คคั่นจะใส่ฟร้อน - โพช และแบล็คโพชไว้นำหน้าและตามหลังสัญญาณซิ้งค์ตามลำดับ

ฟร้อนโพชนี้มีคาบเวลา 0.02H หรือเท่ากับ 1.55ไมโครเซ็คคั่นส่วนแบ็คโพชมีคาบเวลา0.09 H หรือ 5.8 ไมโครเซ็คคั่น

แบ็คโพชต้องมีคาบเวลาอย่างน้อย 5.8 ไมโครเซ็คคั่น เพื่อจัดไว้สำหรับเป็นช่วงเวลาของเบิร์ส หรือสัญญาณซิงโครไนซ์ 4.43 MHz

ในทางปฏิบัติของวงจรเบี่ยงเบนทางแนวนอน (Horizontal deflection circuit) คาบเวลาแบล็งกิ้งยาวกว่าเวลาสะบัดกลับเล็กน้อยบางส่วนของเส้นสะแกนบริเวณจุดเริ่มต้นและจุดปลายของเส้นสะแกนทุกๆเส้นจะถูกแบล็งหรืออยู่ในระดับดำผลจากฮอร์ริซอลทัลแบล็งกิ้งนี้แสดงด้วยแถบดำที่ด้านขอบซ้ายและขวาของโทรทัศน์เมื่อไม่มีภาพในรูปที่ 2.6 แถบดำด้านขอบขวาตรงกันกับฟร้อนโพชของฮอร์ริซอลทัลแบล็งกิ้งช่วงก่อนเส้นสะบัดกลับเริ่มต้นเพราะการสะบัดกลับทางฮอร์ริซอลทัลเริ่มที่ขอบข้างหน้าของสัญญาณซิ้งค์และก่อนสะบัดกลับ หรือตอนที่ลำอิเลคตรอนกวาดมาทางขวาถึงระดับแบล้งกิ้งของช่วงฟร้อนโพชระดับแบล็งของฟร้อนโพช นี้ทำให้จอภาพด้านขวามือเป็นแถบดำดังกล่าว ส่วนปลายของเส้นฮอร์ริซอลทัลสะแกนหรือเส้นที่กวาดทุกๆเส้นที่สะแกนจึงถูกทำให้มองไม่เห็นด้วยสาเหตุดังกล่าว

เส้นสะบัดกลับเกิดตอนเริ่มต้นของสัญญาณซิ้งค์เส้นสะบัดกลับหรือเส้นฟลายแบ็คมืดสนิท เพราะระดับซิ้งค์มีระดับแบล็งยิ่งกว่าแบล็งหรือระดับดำเสียอีกเวลาที่ใช้ในการฟลายแบล็คได้กล่าวมาแล้วน้อยกว่าคาบเวลาแบล็งกิ้ง 12 ไมโครเซ็คคั่น ค่าเวลาอันนี้ขึ้นอยู่กับลักษณะวงจรที่ทำการสะแกน โดยทั่วไปเวลาของฮอร์ริซอลทัลฟลายแบ็ค มีค่าประมาณ 8 ไมโครเซ็คคั่น ของเวลาแบล็งกิ้ง เมื่อหักช่วงฟร้อนโพชออกยังมีค่ามากกว่าที่เวลาฟลายแบ็คของฮอร์ริซอลทัลในเครื่องรับจริงๆต้องการคือเท่ากับ 11 ไมโครเซ็คคั่น โดยประมาณหรือมากกว่าที่ต้องการใช้ในการฟลายแบ็คหรือสะบัดกลับถึง (11-8 ไมโครเซ็คคั่น) = 3 ไมโครเซ็คคั่น แบล็งกิ้ง 3 ไมโครเซ็คคั่น ที่เหลือนี้เองจะเป็นแบล็งช่วงเริ่มต้นเส้นสะแกนฮอร์ริซอลทัลทางด้านซ้ายจอภาพ ในทุก ๆ ช่วงเริ่มต้นเส้นสะแกนเกิดแถบที่แบล็ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทางซ้ายขอภาพในทำนองเดียวกันที่เกิดทางขอบขวาของข่าวสารรูปภาพของสัญญาณภาพในรูปลำสะแกนเฉพาะเส้นที่มองเห็นจึงมีคาบเวลาประมาณ 52 ไมโครเซ็คคั่น ตามที่กล่าวมาข้างต้น

แถบดำที่เกิดทางขอบซ้ายและขอบขวาจอภาพไม่มีผลเสียต่อภาพ เพียงทำให้ความกว้างของภาพแคบลงเท่านั้น แต่ก็แก้ไขได้โดยการเพิ่มแอมปลิจูดของสัญญาณรูปฟันเลื่อยที่เกี่ยวกับการสะแกนฮอร์ริซอลทัลจนกระทั่งได้ความกว้างของจอภาพตามต้องการ

การสะบัดกลับทางแนวตั้ง (Vertical Blanking)

จะพบว่าเมื่อการสะแกนของลำอิเลคตรอนของฟิลด์คี่สิ้นสุดลงหลังจากสะแกนไปแล้ว 312.5 เส้น ลำอิเลคตรอนจะสะบัดกลับมาที่จุดบนกึ่งกลางของจอเพื่อที่จะทำการสะแกนในฟิลด์คี่ต่อไป ดังแสดงในรูป

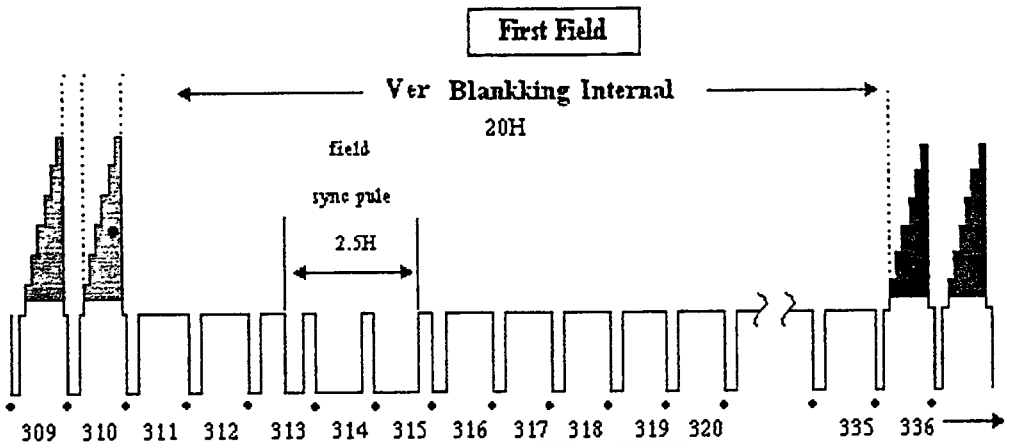
รูปที่ 2.7 การสะบัดกลับทางแนวนอนหลังการสะแกนเส้นคี่

ช่วงที่ลำอิเลคตรอนสะบัดกลับ(Retrace) นี้เราเรียกว่าเวอร์แบล้งกิ้งพีเหรียด (Ver Blablanking Period) ซึ่งจะถูกรักษาไว้ที่ระดับดำเพื่อป้องกันไม่ให้ปรากฏที่หน้าจอซึ่งจะมีช่วงระยะเวลาเท่ากับ 20 เท่าของไลน์ซิงค์

$$VB = 20H = 20*64\ uS = 1280\ uS$$

ช่วงการสะบัดกลับ (Retrace) หลังจากไลน์ที่ 312.5 แสดงได้โดยรูปที่ 2.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

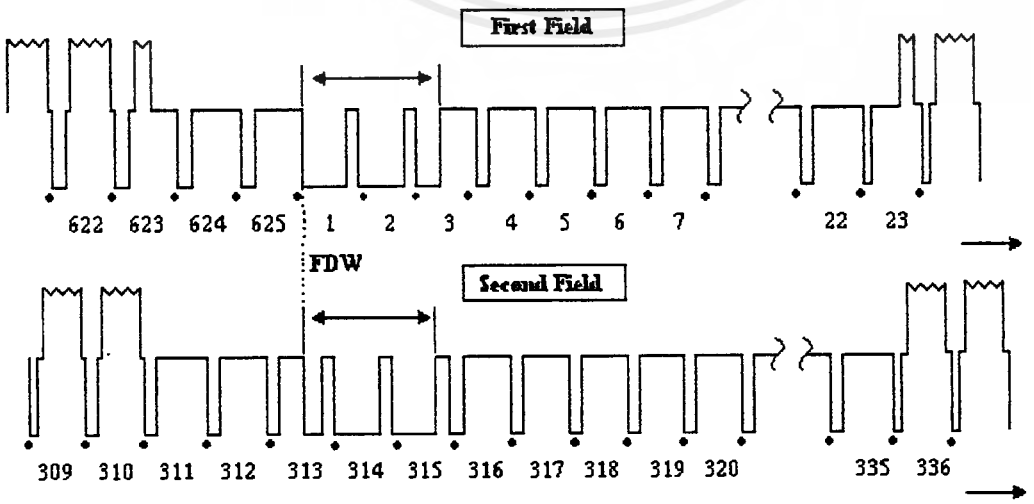


รูปที่ 2.8 แสดงสัญญาณเวอร์แบล้งกิ้งพีเหรียด (Ver Blanking Period)ในช่วงการสะบัดกลับหลังจากไลน์ที่ 312.5 ที่ยังไม่ได้ใส่ อีควอไลซิงค์ พัลซ์ (Equalizing Pulse)

จากรูปจะพบว่าเวอร์ซิงค์พัลซ์หรือซิงค์พัลซ์ทางแนวตั้ง (Ver Sync Pulse) จะมีความกว้างของพัลซ์เท่ากับ 2.5H จะถูกใส่ไว้หลังจากที่เริ่มช่วงเวอร์แบล้งกิ้งพีเหรียดไปได้ 2.5H ซึ่งจะพบว่าอาจมีปัญหากับฮอร์ซิงค์พัลซ์ที่อยู่ในช่วงของเวอร์ซิงค์พัลซ์ได้ดังรูปข้างบนเพราะว่าตามปกติแล้วในสัญญาณภาพรวมนั้นเราจะดีเทคฮอร์ซิงค์พัลซ์ที่ต่ำกว่าระดับดำอ้างอิง (Blankking)

ในที่นี่เวอร์ซิงค์พัลซ์จะมีระดับต่ำกว่าระดับดำอ้างอิงเพราะฉะนั้นจะทำให้ โทรทัศน์ไม่สามารถแสดงฮอร์ซิงค์พัลซ์อย่างน้อยสองไลน์ ซึ่งปกติเราจะใส่พัลซ์ขอบขาลง " upside down " ในเวอร์ซิงค์พัลซ์ (ดังแสดงเป็นจุดมาร์คเล็กๆ) ถ้าเราไม่ได้ใส่พัลซ์ขอบขาลง " upside down " มันจะทำให้เกิดการบกพร่องของการประมวลผลของฮอร์ซิงค์พัลซ์ในขั้นตอนของการเซ็ทโทรทัศน์

จากการที่เวอร์ซิงค์พัลซ์จะต้องมีจุดเริ่มที่ตรงกันทั้งฟิลด์คู่และฟิลด์คี่ดังรูป



รูปที่ 2.9 แสดงจุดเริ่มที่ตรงกันทั้งฟิลด์คู่และฟิลด์คี่

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะพบว่าที่จุด FDW ที่เวอร์ซิงค์พัลซ์มีจุดเริ่มตรงกันทั้งฟีลด์และฟีลด์คี่ ดังที่ขอบขาลงของไลน์ที่ 625 ของฟีลด์คี่ จะไปตรงกับไลน์ที่ 312 บวกกับครึ่งไลน์ ของฟีลด์คู่ หรือที่จุด 312.5 นั่นเอง เพราะฉะนั้นที่จุดเริ่มของ เวอร์แบล้งกิ้งพีเหรียดของฟีลด์คี่ไลน์ที่ 622.5 จะไปตรงกันกับขอบขาลงของไลน์ที่ 310 ของฟีลด์คู่ เพราะฉะนั้นจะเป็นเหตุทำให้ไม่เกิดการล็อคของจุดเริ่มของเวอร์เบล้งกิ้งพีเหรียดของฟีลด์คู่และฟีลด์คี่ จึงทำให้เกิดการกระพริบของภาพขึ้นที่หน้าจอและเป็นเหตุให้เกิดการอินเตอเรชที่ไม่สมบูรณ์

ด้วยเหตุนี้อาจเกิดปัญหาขึ้นกับวงจรแยกซิงค์ในเครื่องรับโทรทัศน์ด้วยซึ่งโดยทั่วไปฮอร์ซิงค์พัลซ์จะได้มาจากวงจรดิฟเฟอเรนเชียล (differential) ของขบวนซิงค์พัลซ์ ส่วนเวอร์ซิงค์พัลซ์จะได้มาจากวงจรอินติเกรเตอร์ (Integrating) ของขบวนซิงค์พัลซ์ ซึ่งจะไม่มีการกล่าวถึงรายละเอียดการทำงานของวงจรเหล่านี้

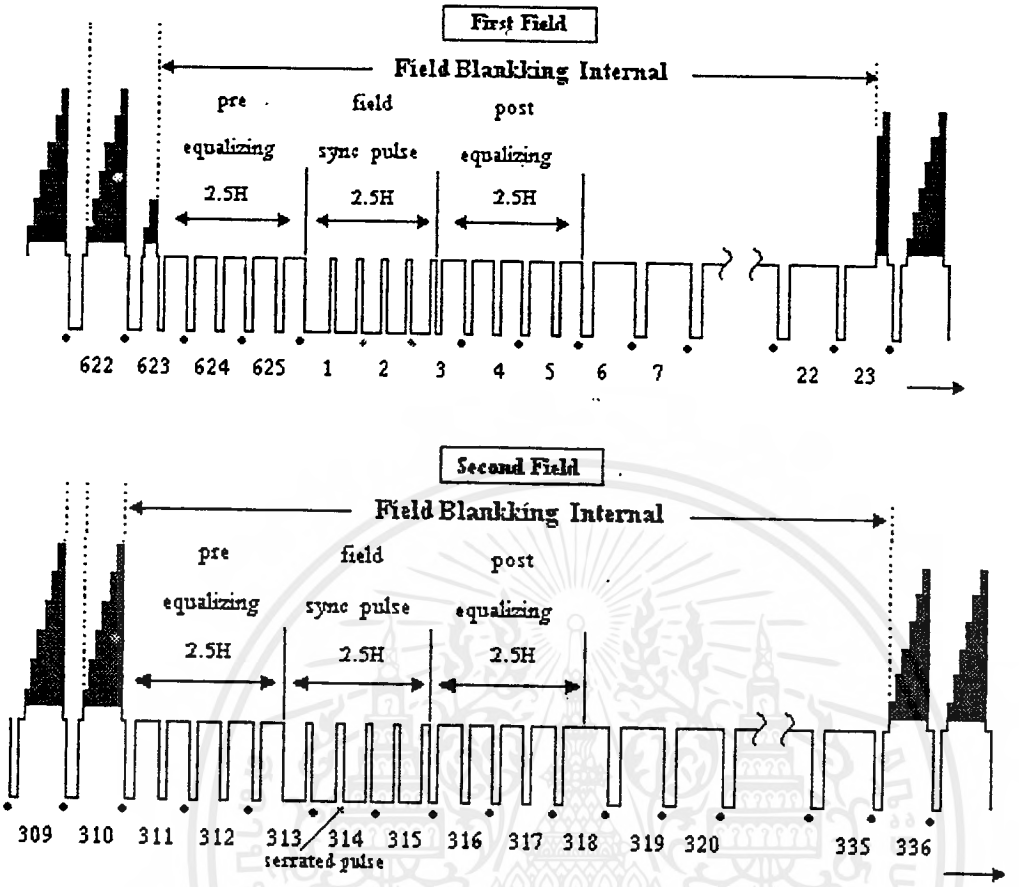
วงจรอินติเกรเตอร์จะเคลียร์เวอร์ซิงค์พัลซ์ของฟีลด์แรกที่มาถึงมันจะเป็นช่วง 1 ไลน์พีเหรียด (H) หลังจากไลน์ซิงค์พัลซ์สุดท้าย สำหรับฟีลด์ที่สองมันจะล้าหลังเพียง 32 ไมโครเซคดั่น (0.5H) หลังจากไลน์นิงค์พัลซ์สุดท้าย วิธีการนี้จะนำมาซึ่งปัญหาของการสร้างเวอร์ซิงค์พัลซ์ใหม่ที่ทางด้านเครื่องรับโทรทัศน์ ของฟีลด์ที่สอง (Second field) (ได้มาจากการอินติเกรเตอร์กับ Time -Base Operation) และมีผลเล็กน้อยการแต่การอินเตอเรช (Interlace Scaning) ซึ่งจะทำให้การ อินเตอเรชยังไม่สมบูรณ์

วิธีการแก้ปัญหานี้คือเราจะใส่อีควอไลซิงค์พัลซ์เข้าไปที่หน้าและหลังเวอซิงค์พัลซ์ดังแสดงในรูป ที่อยู่ก่อนเวอร์ซิงค์พัลซ์ เรียกว่าปรีอีควอไลซิงค์ (Pre Equalizing) และที่อยู่หลังเวอร์ซิงค์พัลซ์เรียกว่าโพสอีควอไลซิงค์ (Post Equalizing)

อีควอไลซิงค์ พัลซ์ (Equalizing Pulse) นี้เป็นพัลซ์แคบๆที่มีความกว้างของพัลซ์เท่ากับ 2.35 ไมโครเซ็คดั่นหรือมีความถี่ สองเท่าของฮอร์ซิงค์พัลซ์จะใส่เข้าไปในเวอซิงค์พัลซ์

พัลซ์นี้จะบังคับเวอซิงค์พัลซ์ ให้สามารถคงรูปได้หลังจากที่แยกออกมาจากสัญญาณฮอร์-ซิงค์พัลซ์ และทำให้เกิดอินเตอเรช (Interlace Scaning)ที่สมบูรณ์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.10 แสดงสัญญาณเวอร์แบล้งกิ้งพีเหรียด (Ver Blablankking Period) ที่ยังใส่ อีควอไล - ซิงค์พัลซ์ (Equalizing Pulse) สมบูรณ์แล้ว

ซึ่งจะพบว่าภายในสัญญาณเวอร์ติคอลแบล็งกิ้งประกอบด้วยอีควอไลซ์ซิ่งพัลซ์(Equalizing Pulse) เซเรท เทรจพัลซ์ (Serated Pulse) เวอร์ติคอลพัลซ์ (Vertical Pulse) และ ฮอร์ริซอลทัล (Horizontal Pulse)

- สัญญาณเวอร์แบล้งกิ้งพีเหรียด (Ver Blablankking Period) จะถูกบรรจุไว้ในช่วงเวลาระหว่างการสิ้นสุดการสะแกนในเฟรมหนึ่งกับการเริ่มต้นสะแกนอีกเฟรมหนึ่ง มาทำความเข้าใจกับความหมายของรูปคลื่นของสัญญาณเวอร์ติคัลซิ้งค์

- เซเรทเวอร์ติคัล (Serated Pulse) เป็นซิงค์พัลซ์มีขนาดกว้าง 27.3 ไมโครเซ็คคั่น จำนวน 5 พัลซ์ แต่ละลูกมีระยะเวลาเท่ากับครึ่งหนึ่งของเส้น Interval H/2 ในเครื่องรับแยกเวอร์ติคอลสัญญาณซิ้งค์ ออกมาเพื่อกระตุ้นออสซิลเลเตอร์ของเวลาเริ่มต้นของเวอร์ติคอลทำงานในช่วงเวอร์ติคอลฟลาย-แบล็คระหว่างฟิลค์การสะแกนเซเรทเวอร์ติคอลสัญญาณซิ้งค์มีระยะเวลา 2.5 เส้นอยู่ภายในคาบเวลาเวอร์ติคอล แบล็งกิ้ง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

● เวอร์ติคัลพัลซ์ (Vertical Pulse) เป็นช่วงเวลาของสัญญาณเวอร์ซิ้งค์ หรือเป็นช่วงเวลาที่รักษาไว้ระดับดำ สัญญาณภาพภายในคาบเวลานี้ทำหน้าที่เพียงกระตุ้นให้เวลาเริ่มต้นด้านรับเริ่มต้นและสิ้นสุดของการสะบัดกลับทางแนวตั้งเท่านั้นซึ่งภายในเวอร์ติคัลพัลซ์จะประกอบด้วยเซเรทเวอร์-ติคัลจำนวน 5 ลูกบรรจุอยู่

● อีควอไลซ์ซิ่งพัลซ์ (Equalizing Pulse) มีขนาดความกว้างพัลซ์แคบมากประมาณ 2.3 ไมโครเซ็คคั่น จำนวน 2 ชุด ๆ ละ 5 พัลซ์ มีระยะเวลาชุดละ 2.5 เส้น อีควอไลซ์ซิ่งพัลซ์ชุดอยู่หน้าวอร์ติคอลซิ้งค์ เรียกว่า ปรีอีควอไลซ์ซิ่งพัลซ์ (Pre Equalizing Pulse) ส่วนอีควอไลซ์ซิ่งพัลซ์ชุดอยู่หลังเวอร์ติคอลซิ้งค์ เรียกว่าโพรสอีควอไลซ์ซิ่งพัลซ์ (Post Equalizing Pulse) สัญญาณอีควอไลซ์ซิ่งพัลซ์นี้จำเป็นต้องมีอย่างยิ่งเพื่อทำให้การแยกเวอร์ติคอลสัญญาณซิ้งค์ทางเครื่องรับทั้งฟิลด์คี่และฟิลด์คู่ ออกมาในลักษณะรูปร่างและเวลาตรงกัน

● ฟิลด์คี่และฟิลด์คู่ ฟิลด์ซึ่งสิ้นสุดการสะแกนของข่าวสารรูปภาพที่สุดกึ่งกลางจอหรือไลน์ที่ 312.5 เรียกว่า ฟิลด์คี่และฟิลด์ซึ่งสิ้นสุดการสะแกนที่ตำแหน่งปลายสุดเส้นสแกนไลน์ที่ 625 เรียกว่าฟิลด์คู่

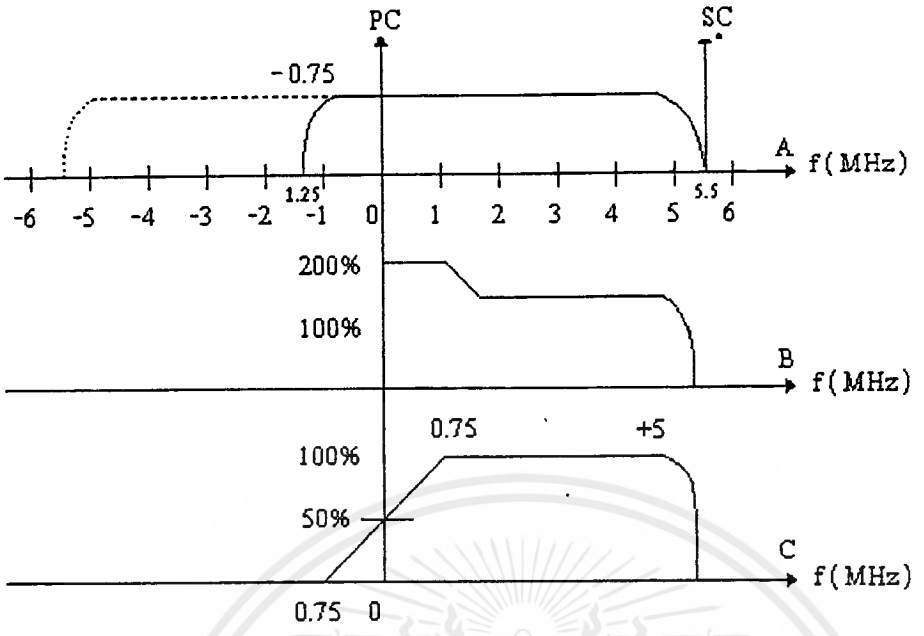
เพราะฉะนั้นภายในคาบเวลาของเวอร์ติคอลแบล็งกิ้งจะกอบด้วยสัญญาณซิ้งค์หลายรูปแบบได้แก่ อีควอไลซ์ซิ่งพัลซ์, เวอร์ติคอลพัลซ์และฮอร์ริซอล ทัลสัญญาณซิ้งค์เราสามารถที่จะใส่ข่าวสารลงไปที่เส้นที่ 17 และ 18 ในฟิลด์คู่และเส้น 330 และ 331 ในฟิลด์คี่เราเรียกว่าระบบเทเลเท็กซ์ และยังส่งสัญญาณทดสอบ VITS (Vertical Interval Test Signal) ลงไปในเส้น 19 และ 20 ในฟิลด์คู่และเส้น 332 และ 333 ในฟิลด์คี่ เพื่อดูผลที่เกิดขึ้นในช่วงเวลาเวอร์ติคอลแบล็งกิ้ง ซึ่งต้องพิจารณาโดยแบ่งสัญญาณออกเป็น 2 ฟิลด์ คือเมื่อสิ้นสุดฟิล์คี่และสิ้นสุด ฟิลด์คู่ เวลาของสัญญาณภาพทั้งคู่ต่างกันครึ่งเส้น (Half Line Displacement) ทั้งนี้เป็นไปตามคุณสมบัติของอินเตอร์เลซสะแกนนิ่ง

การรับสัญญาณแบบเวสติเจียล (Vestigial Sideband)

ทางด้านส่งจะส่งสัญญาณแบบเวสติเจียลไซด์แบนด์ ดังแสดงในรูปที่ 2.11 สัญญาณทางด้านความถี่ต่ำส่วนหนึ่งจะถูกตัดออกโดยใช้ฟิลเตอร์ พลังงานที่ส่งออกจะเริ่มตั้งแต่ 1.25 ถึง 5.5 MHz ส่วนที่ 1.25 จะส่งแบบดับเบิ้ลไซด์แบนด์ (Double Sideband) และที่เหลือส่งแบบซิงเกิ้ลไซด์แบนด์ (Single Sideband)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง



รูปที่ 2.11 (a). การส่งแบบเวสติเจียลไซด์แบนด์
(b). กำลังสัญญาณที่ถูกส่งออกไป
(c). การตอบสนอง (Response) ของเครื่องรับทีวี

สัญญาณเวสติเจียลไซด์แบนด์ (Vestigial Sideband Signal)

เมื่อความถี่แคเรียร์อันหนึ่งถูกมอดูเลทแบบแอมปลิจูดมอดูเลชั่นจะเกิดคู่ของไซด์แบนด์ขึ้นด้านข้างความถี่แคเรียร์นั้น ซึ่งมีมอดูเลชั่นอินเด็ค (Modulation Index) เป็นตัวกำหนดจำนวนคู่ของไซด์แบนด์หรือความถี่ด้านข้างเหล่านั้น ความถี่ด้านข้างที่อยู่ด้านความถี่สูงกว่าความถี่แคเรียร์เรียกว่าความถี่ด้านสูง (Upper Sideband) และความถี่ด้านข้างด้านความถี่ต่ำกว่าความถี่แคเรียร์ เรียกว่าความถี่ด้านต่ำ (Lower Sideband) เพราะฉะนั้นถ้าความถี่แคเรียร์ถูกมอดูเลททางแอมปลิจูดด้วยคลื่นสัญญาณที่มีความถี่มอดูเลท (fm) ความถี่ด้านข้างที่เกิดขึ้นในความถี่สเปกตรัมขณะนี้เป็นดับเบิ้ลไซด์แบนด์มี fc-fm และ fc+fm เป็นความถี่ด้านต่ำและความถี่ด้านสูงตามลำดับ การส่งคลื่นในแบบแอมปลิจูดมอดูเลท จึงต้องเว้นความถี่กว้างเป็น 2 เท่าของความถี่สูงสุดของสัญญานที่มอดูเลท (fm)

ส่วนประกอบของความถี่ในสัญญาณภาพที่จะมามอดูเลทกับแคร์เรียร์ที่ปรากฏ (Vision Carrier) มีขอบข่ายความถี่กว้างมาก ในระบบ 625 เส้นตามมาตรฐานสากล ตั้งแต่ 0 ถึง 5 MHz หลังจากแอมปลิจูดมอดูเลทจนได้ดับเบิ้ลไซด์แบนด์จะครอบคลุมในช่องความถี่ในความถี่สเปคตรัมกว้างถึง 10 MHz รวมกับความชันของแบนด์วิดท์แต่ละข้างประมาณ 0.5 MHz บวกกับช่องป้องกันการกวน (Channel Guard Edge) สำหรับเสียงที่มีการแกว่ง (Sound Swing) และทำการแยกระหว่างช่องอีก 0.25

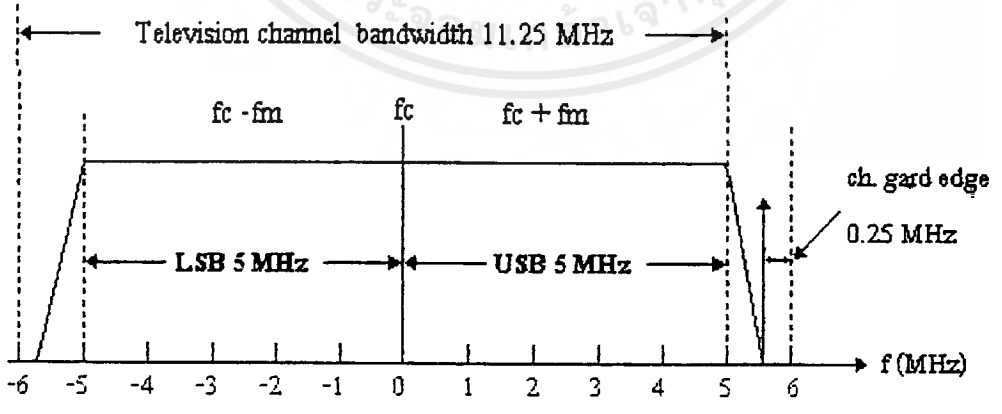
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้
86858

MHz กลายเป็นแถบความกว้างของช่องความถี่โทรทัศน์ TV Channel bandwidth = 10 + 0.25 = 11.25 MHz ดังรูปที่ 2.12

โดยทั่วไปด้วยวิธีการแอมปลิจูดมอดูเลทที่ความถี่ด้านต่ำ (LSB) หรือ ความถี่ด้านสูง (USB) จะมีการมอดูเลทข่าวสารอันเดียวกัน จึงทำการกดความถี่ด้านต่ำ หรือความถี่ด้านสูงด้านใดด้านหนึ่งทิ้งไป เหลือไซด์แบนด์เพียงด้านเดียวไปดีมอดูเลทของภาครับ ถ้ากดด้านความถี่ต่ำเราได้มอดูเลท ข่าวสาร fm จาก (fc+fm) - fc หรือหากต้องการ ข่าวสารด้าน ความถี่สูงไว้ก็ได้ Information-fm จาก (fc-fm) –fc กลายเป็นซิงเกิลไซด์แบนด์ (Single Sideband)

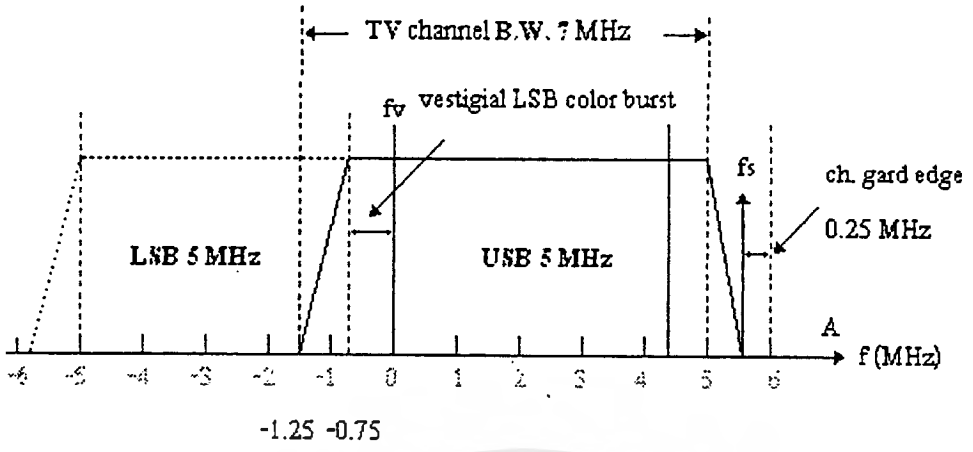
แต่ในการส่งโทรทัศน์ การมอดูเลทข่าวสารของสัญญาณภาพ ประกอบด้วยส่วนประกอบของความถี่มากมายครอบคลุมด้านความถี่สูงหลาย ๆ MHz และยังลงมาด้านความถี่ต่ำถึงขั้นกระแสตรง อีกทั้งในการปฏิบัติเราไม่สามารถออกแบบวงจรฟิลเตอร์ ที่มีคุณสมบัติในการตัดไซด์แบนด์ด้านใดด้านหนึ่งทิ้งด้วยความชันที่เด็ดขาด โดยไม่กระทบกระเทือนถึงคลื่นพาหะและ ส่วนประกอบของความถี่ด้านต่ำในไซด์แบนด์ที่เหลือ จึงอาศัยการยอมให้ด้วยการจัดการไซด์แบนด์ด้านใดด้านหนึ่งออกเพียงบางส่วนด้วยเวสติเจียลไซด์แบนด์ฟิลเตอร์ในเครื่องส่ง (ตามมาตรฐานสากล 625 เส้น ตัดส่วนไซด์แบนด์ด้านต่ำตั้งแต่ความถี่ 1.25 MHz ลงไป) สัญญาณที่เห็นจากสถานีส่งประกอบด้วยส่วนประกอบของความถี่ด้านความถี่สูงตั้งแต่ความถี่ 1.25 MHz ขึ้นมา แคร์เรียร์ภาพและความถี่ทางด้านความถี่สูง

สัญญาณภาพที่ปรากฏในการส่งแบบเวสติเจียลไซด์แบนด์ครอบคลุมแบนด์วิดท์ถึง 6.25 MHz จากช่องแบนด์วิดของโทรทัศน์ที่มีการส่งเสียงรวมอยู่ด้วยกว้าง 7 MHz จะประหยัดช่องความถี่ลงช่องละ 4.25 MHz จากส่งแบบเวสติเจียลไซด์แบนด์ช่วงสงวนช่องความถี่ในย่านความถี่ที่ส่งโทรทัศน์ทำให้มีช่องการส่งโทรทัศน์เพิ่มขึ้น



รูปที่ 2.12 การส่งสัญญาณแบบดับเบิ้ลไซด์แบนด์ (Double side band vision signal)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.13 แสดงถึงการส่งสัญญาณแบบไซด์แบนด์ด้านเดียว (Vestigial Sideband)

จากรูปที่ 2.13 แสดงคุณสมบัติของการส่งเวสติเจียลไซด์แบนด์ ข้างบนของข่าวสารที่ มอดูเลทในส่วนของ USB ทั้งหมดและในส่วนความถี่ด้านต่ำจากความถี่ 0.75 MHz ลงมาเริ่มถูกลดทอนแล้วเต็มที่หรือถูกกดเลยที่ความถี่ 1.25 MHz

การจัดสรรช่วงความถี่ของช่องส่งโทรทัศน์ (Television Broadcast Channel) ในระบบ 625 เส้น

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.1 การจัดช่องความถี่ระบบ CCIR-B

CH	Frequency Band	Local Oscillator Frequency	Picture Carrier	Sound Carrier
2	47 - 54	87.15	48.25	53.75
3	54 - 61	94.15	55.25	60.75
4	61 - 68	101.15	62.25	67.75
5	174 - 181	214.15	175.25	180.75
6	181 - 188	221.15	182.25	187.75
7	188 - 195	228.15	189.25	194.75
8	195 - 202	235.15	196.25	201.75
9	202 - 209	242.15	203.25	208.75
10	209 - 216	249.15	210.25	215.75
11	216 - 223	256.15	217.25	222.75
12	223 - 230	263.15	224.25	229.75

ช่องส่งโทรทัศน์แบ่งออกเป็น 2 ย่านความถี่คือ VHF (Very High Frequency) และ UHF (Ultra High Frequency) ซึ่งแบ่งความถี่มาตรฐานดังต่อไปนี้

ความถี่ต่ำย่าน VHF Band I ความถี่ 41 – 68 MHz

ความถี่สูงย่าน VHF Band III ความถี่ 174-230 MHz

ความถี่สูงย่าน UHF Band IV ความถี่ 470-582 MHz

ความถี่สูงย่าน UHF Band V ความถี่ 606-790 MHz

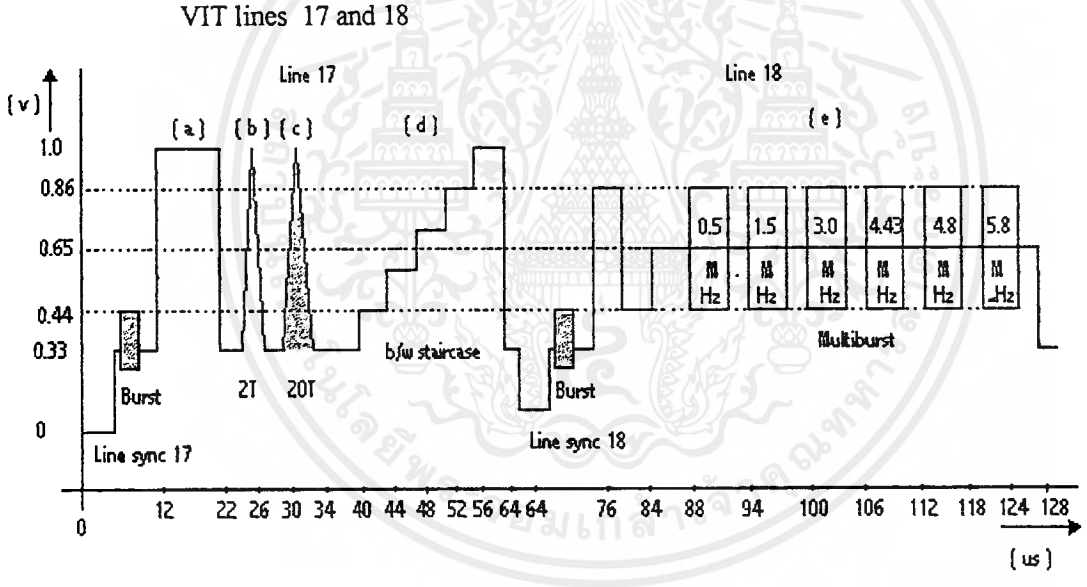
(ความถี่ 88-108 MHz Band II ใช้ในการส่งกระจายเสียง F.M.)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

คุณลักษณะของ VIT ไลน์ (Background to Video Insertion Test(VIT) Lines)

VIT ไลน์นี้ใช้สำหรับวัดคุณภาพของเครื่องรับว่ามีคุณภาพดีพอหรือไม่และยังใช้ ตรวจสอบคุณภาพของอุปกรณ์ทางภาครับและทำการปรับแต่งเพื่อให้ได้ผลที่ดีสุดเส้นไลน์ที่จะทดสอบนี้จะขออธิบายหน้าที่โดยสรุปอย่างคร่าวๆที่อยู่บน VIT ไลน์ ที่จะบรรยายถึงนี้ได้มาจากคู่มือของ PAL G/B/I

ข้อควรพิจารณา การใช้งานและหน้าที่ต่างๆของ VIT ไลน์ ตามคำแนะนำนี้ไม่ใช่มาตราฐานเลยทีเดียว อาจจะแตกต่างกันบ้างแล้วแต่ชนิดของเครื่องส่งว่าส่งจากพื้นดินหรือดาวเทียม, กำลังส่งสูงหรือต่ำ , ย่านความถี่ของ TV เอง ,etc และทั้งการให้บริการและเจ้าหน้าที่สถานีที่จะส่งสัญญาณแพร่กระจายออกไปก็ตามที



รูปที่ 2.14 แสดงสัญญาณทดสอบไลน์ที่ 17 และ 18

(a). Reference bar เป็นระดับอ้างอิงสูงสุดของสัญญาณทั้งอ้างระดับขาวและดำสัญญาณนี้ใช้ทดสอบการตอบสนองทางความถี่ต่ำ (LF Response) ของระบบการรับ

(b) 2T Pluse เมื่อ T คือค่าไลท์ไทม์ (Rise Time) ที่มีค่าน้อยที่สุดของระบบจะได้จากค่าความถี่ชองสัญญาณ Sinusoidal สูงสุด (fc) ในที่นี่คือ T= 1/2fc ซึ่งในเครื่องรับ TV ระบบ PAL ความถี่แคเรียร์ภาพจะเท่ากับ 5 Mhz เพราะฉะนั้นจะทำให้ได้ T= 0.1uS ดังนั้น2T Pulse จะมีสโลป เป็น Sinusoidal กว้างเท่ากับ 0.2us

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณนี้ใช้ทดสอบการลดทอนทางแอมปลิจูดของ 2T Pulseโดยเปรียบเทียบกับระดับอ้างอิง (ReferenceBar) ถ้าเกิดการลดทอนลงก็หมายความว่าได้เกิดการการสูญเสียทางความถี่สูงของระบบ ซึ่งปกติเครื่องรับ TV ทั่วไปจะเกิดการสูญเสียทางความถี่สูงประเภทนี้อยู่แล้ว 20 เปอร์เซนต์

(c). 20T Pluse เป็นสัญญาณทดสอบการตอบสนองของสัญญาณโคมิแนนซ์และลูมิแนนซ์และอาจจะรวมถึงผลกระทบระหว่างสองสัญญาณร่วมกันซึ่ง 20T Pluse นี้แท้จริงก็คือความยาวของ 20T Chroma Burst ในเมื่อ 20T = 0.5 MHzและความถี่ Chroma = 4.43 MHz เมื่อมีการกำจัดแบนด์วิดท์ของระบบการส่งแล้ว Chroma และ Luminance Response จะมีผลกระทบที่แตกต่างกัน

การทดสอบ 20T Pluse นี้จะบ่งบอกถึงลักษณะการผิดเพี้ยนทางเฟสและแอมปลิจูดดังเช่นรูปที่ 2.15

รูปที่ 2.15 ลักษณะการผิดเพี้ยนทางเฟสและแอมปลิจูดของ 2T Pulse

Response 1 การลดทอนทางแอมปลิจูด

Response 2 การหน่วงทางเฟสของสัญญาณ โคมิแนนซ์และลูมิแนนซ์

Response 3 ผลทั้งสองสัญญาณรวมกัน

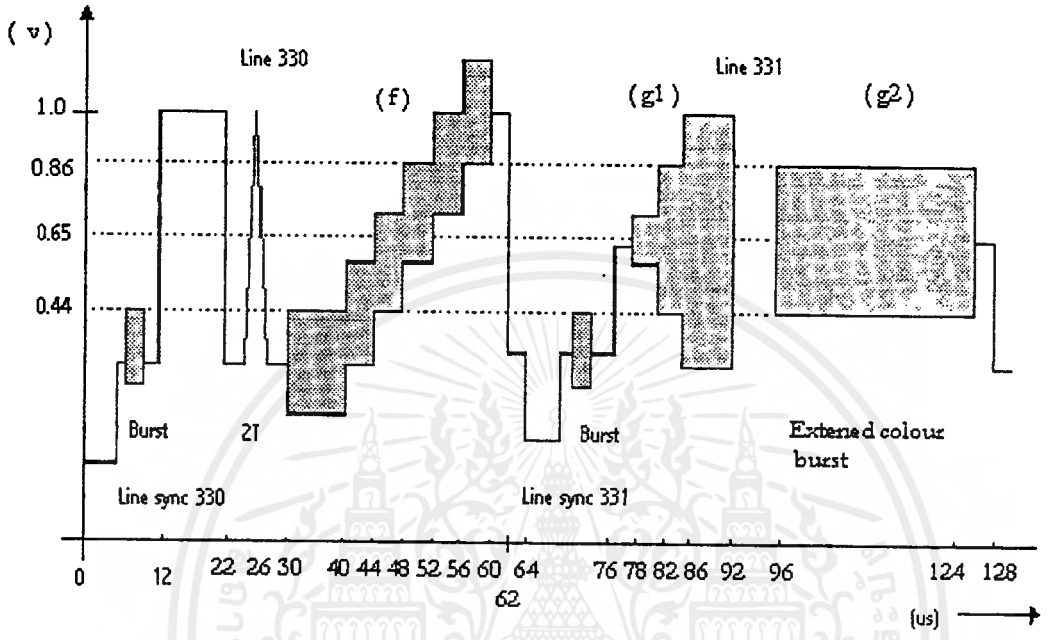
(d). Monochrom Staircase เพื่อกำหนดความเป็นลิเนียร์ของแต่ละขั้น (Step) ซึ่งแต่ละขั้นนั้นจะมีระดับความแรงเพิ่มขึ้นทีละ 140 mV สัญญาณนี้ใช้ทดสอบดูความไม่สม่ำเสมอของแต่ละขั้นหมายความว่าตรวจเช็คความไม่ลิเนียร์ของสัญญาณนั่นเอง

(e). Multiburst ใช้สำหรับวัดดูการตอบสนองทางความถี่ (Measure Frequency Response) สัญญาณ Burst นี้ปกติจะมีระดับความแอมปลิจูดเท่ากับ 420 Vp-p และถูกนำหน้าโดยสัญญาณอ้างอิง 125 KHz ยาว 8 uS

การทดสอบจะเป็นจุดบอกว่ามีการการสูญเสีย ที่ความถี่สูงสังเกตุได้โดยแอมปลิจูดจะลดลง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

VIT lines 330 and 331



รูปที่ 2.16 แสดงสัญญาณทดสอบไลน์ที่ 330 และ 331

(f). Staircase กับ Colour Subcairrier จะใช้สำหรับขยายแบบผลต่าง (Differential Gain) หรือ ดีเทคการผิดเพี้ยนทางเฟส (Phase Error Detect) ซึ่ง Subcarrier จะมีขนาดแอมปลิจูดเท่ากับ 280 mVp-p ในทางอุดมคติการแยกสีในเครื่องรับโทรทัศน์จะถอดเอาส่วนของสัญญาณ Luminance ออก และใส่สัญญาณเบริส 4.43 MHz ยาว 30 us เข้าไปแทนที่

การทดสอบจะใช้ทดสอบความไม่สม่ำเสมอทางเฟสและทางแอมปลิจูดชั่วขณะ (ที่จุด 40,44, 48, 52 , 56us) ซึ่งเราจะใช้ออสซิลโลสโคปทำการวัดทดสอบแอมปลิจูดและใช้เวกเตอร์ สโคปทำการวัดทดสอบเฟส

(g). สัญญาณ Colour Subcarrier และ Colour Burst ที่เพิ่มเติม จะใช้สำหรับตรวจวัดการมอดูเลชั่นร่วม (Intermodulation) ระหว่างส่วนของโคมิแนนซ์และลูมิแนนซ์เมื่อผ่านการฟิลเตอร์แล้ว Chroma Subcarrier (4.43 MHz) Luminance จะมีระดับคงที่ที่ 0.65 V

สัญญาณนี้ใช้ทดสอบความไม่สม่ำเสมอของแอมปลิจูดที่เกิดขึ้นระหว่าง 78-92 us ซึ่งบ่งบอกว่าเกิดการเปลี่ยนแปลงของโคมิแนนซ์(g1) หรือการเปลี่ยนแปลงของลูมิแนนซ์(g2:ที่ระดับ Subcarrier เท่ากับ 420 Vp-p)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทฤษฎีไมโครคอนโทรลเลอร์

1. โครงสร้างของ MCS - 51

ไมโครคอนโทรลเลอร์ตระกูล MCS - 51 มีด้วยกันหลายเบอร์ขึ้นกับโครงสร้างภายในของมัน บางเบอร์จะมีหน่วยความจำภายในเป็น ROM บางเบอร์เป็นแบบ EPROM บางเบอร์ RAM ภายใน 128 ไบต์ บางเบอร์มี 256 ไบต์ เป็นต้น ซึ่งรายละเอียดจะศึกษาได้จากคู่มือของมันโดยตรง และลักษณะของขาต่างๆ จะเหมือนกัน คุณสมบัติที่สำคัญ MCS - 51 มีดังนี้

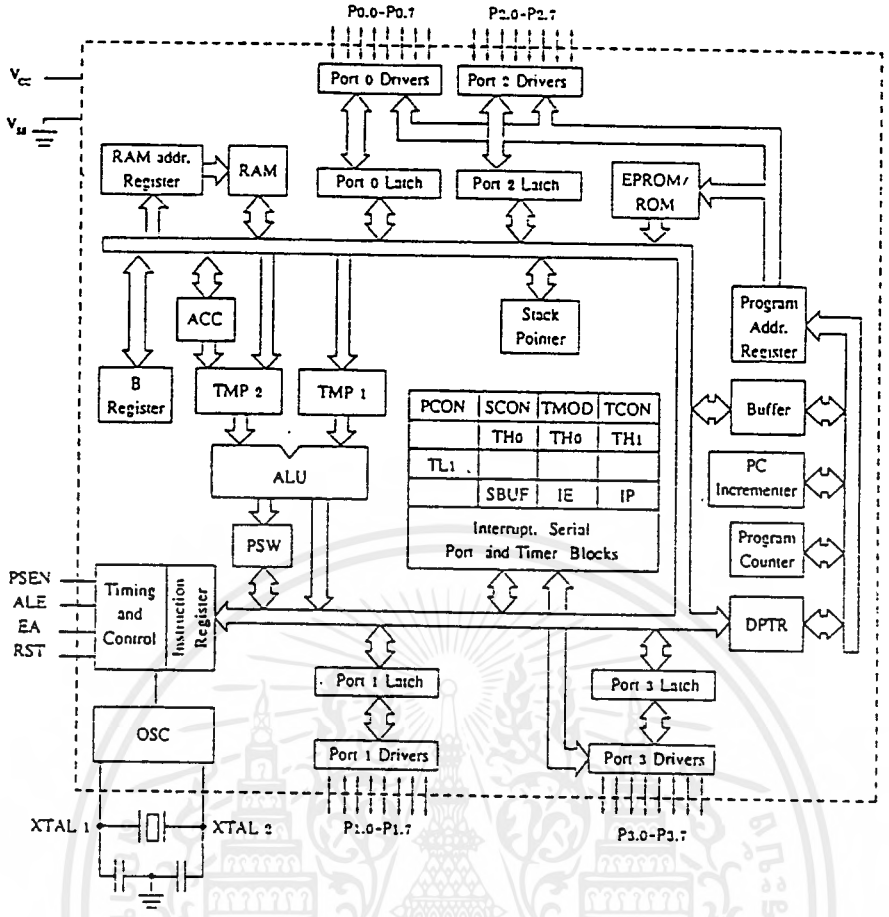
- มีหน่วยความจำ ROM 4 Kbytes
- มีหน่วยความจำ RAM 128 Kbytes
- มีพอร์ท I/O ขนาด 8 บิต 4 พอร์ท
- มี Timer 16 บิต 2 ตัว
- สามารถอินเตอรัพท์ได้ 5 แหล่ง
- มีวงจรออสซิเลเตอร์และวงจรนาฬิกาบนชิพ
- มีพอร์ทอนุกรมที่สามารถรับส่งข้อมูลแบบ Full Duplex ความเร็วสูง
- อ้างหน่วยความจำภายนอกโปรแกรมได้ 64 K
- อ้างหน่วยความจำข้อมูลภายนอกได้ 64 K
- สามารถประมูลผลทีละบิตได้
- สามารถอ้างหน่วยความจำแบบบิตได้ 210 ตำแหน่ง
- หนึ่งวัฏจักรคำสั่งกินเวลาประมาณ 1 ไมโครวินาที ขณะทำงานด้วย Clock 12 MHz

ตัวอย่างของ ไมโครคอนโทรลเลอร์ตระกูล MCS - 51 และลักษณะต่างๆสามารถแสดงได้ในตารางที่ 2.2 สำหรับไดอะแกรมโครงสร้างภายในแสดงในรูปที่ 2.17

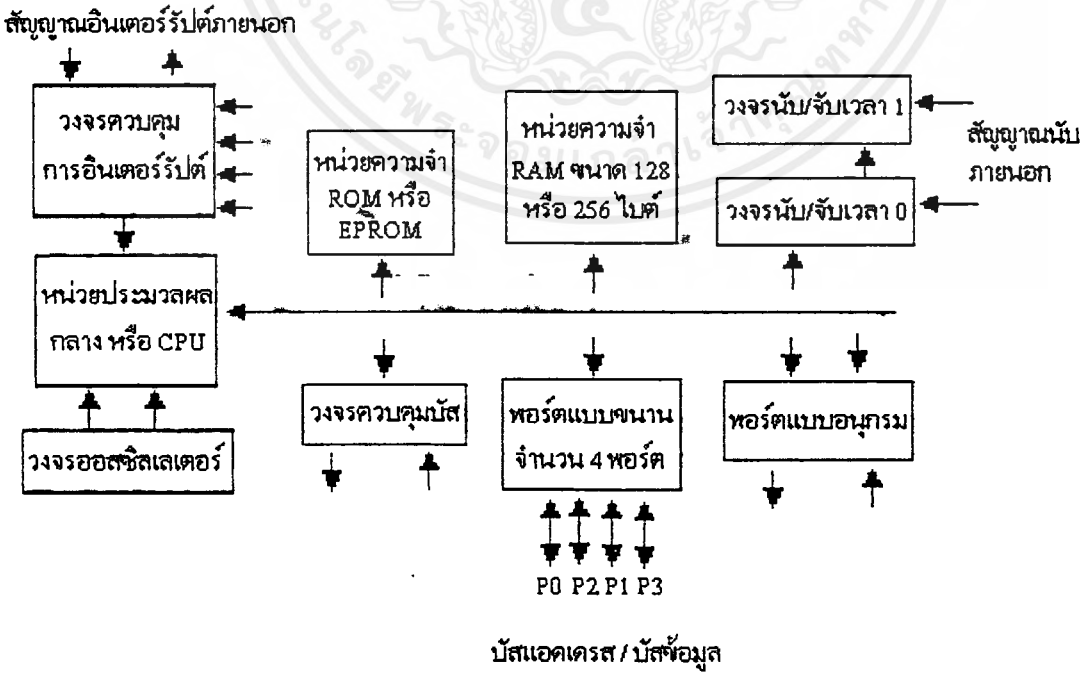
ตารางที่ 2.2 แสดงไมโครคอนโทรลเลอร์ตระกูล MCS - 51เบอร์ต่างๆ

เบอร์	หน่วยความจำโปรแกรมบนชิพ	หน่วยความจำข้อมูลบนชิพ	TIMERS
8051	4 K ROM	128 bytes	2
8031	-	128 bytes	2
8751	4 K EPROM	128 bytes	2
8052	8 K ROM	256 bytes	3
8032	-	256 bytes	3
8752	8 K EPROM	256 bytes	3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.17 แสดงโครงสร้างภายใน MCS - 51

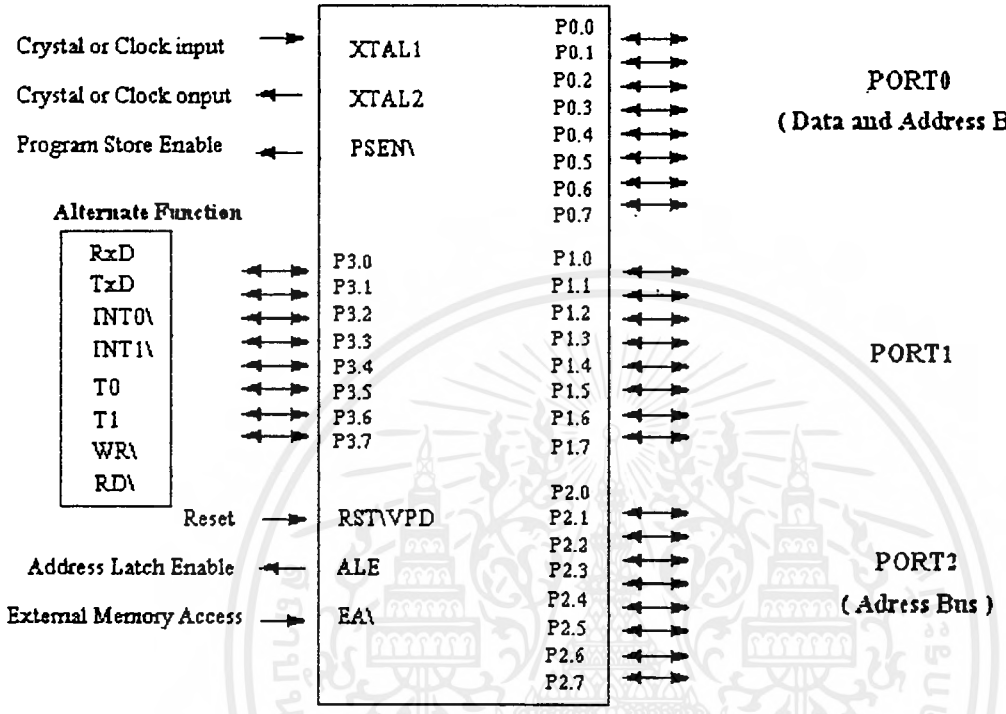


รูปที่ 2.18 แผนภาพบล็อกแสดงหน่วยทำงานพื้นฐานของ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

2. การจัดขาต่างๆของ MCS - 51

ไอซีไมโครคอนโทรลเลอร์ 8051 โครงสร้าง IC เป็นแบบ DIP มีขาทั้งหมด 40 ขาโดยขาต่างๆ จะใช้เป็นขาพอร์ทอินพุท , เอาท์พุท , ขาสัญญาณควบคุม , ขาตำแหน่งหน่วยความจำ และขาข้อมูลดังรูปที่ 2.19



รูปที่ 2.19 แสดงขาต่างๆ ของ 8051

ความหมายของขาต่างๆมีดังนี้

1. พอร์ท 0 (Port 0)

พอร์ท 0 ได้แก่ขาที่ 32 - 39 ของ MCS 51 สามารถเป็นอินพุตเอาต์พุตได้นอกจากนี้ในการติดต่อกับหน่วยความจำภายนอกยังใช้เป็นขา Address และ Bus Data Bus อีกด้วย

2. พอร์ท 1 (Port 1)

พอร์ท 1 ได้แก่ขาที่ 1 - 8 เป็นพอร์ท 8 บิต สามารถอ้างทีละ 8 บิต คือ P1.0 , P1.1 , ...etc

3. พอร์ท 2 (Port 2)

พอร์ท 2 ได้แก่ขาที่ 21 - 28 จะใช้งาน 2 หน้าที่ คือใช้เป็นพอร์ท 8 บิต กับใช้เป็นขาแอดเดรส 8 บิตในการอ้างหน่วยความจำภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. พอร์ท 3 (Port 3)

พอร์ท 3 ได้แก่ขาที่ 10 - 17 จะใช้งาน 2 หน้าที่คือ เป็นพอร์ทอินพุตและเอาท์พุต และใช้เป็นขาควบคุมต่างๆ ดังตารางที่ 2.3

ตารางที่ 2.3 แสดงบิตและหน้าที่ต่างๆ ของพอร์ท 3

บิต	ชื่อ	หน้าที่พิเศษ
P3.0	RXD	ใช้รับข้อมูลทางพอร์ทอนุกรม
P3.1	TXD	ใช้ส่งข้อมูลทางพอร์ทอนุกรม
P3.2	INT0	อินเทอร์รัพท์ภายนอกหมายเลข 0
P3.3	INT1	อินเทอร์รัพท์ภายนอกหมายเลข 1
P3.4	T0	ตัวจับเวลา / ตัวนับตัวที่ 0
P3.5	T1	ตัวจับเวลา / ตัวนับตัวที่ 1
P3.6	WR	สัญญาณเขียนข้อมูลหน่วยความจาภายนอก
P3.7	RD	สัญญาณอ่านข้อมูลหน่วยความจาภายนอก

5. $\overline{\text{PSEN}}$ (Program Store Enable)

ขา $\overline{\text{PSEN}}$ เป็นขาที่ส่งสัญญาณออกคือขา 29 ขานี้จะแอคทีฟเมื่อ MCS - 51 ต้องการอ้าง Code โปรแกรมภายนอก โดยปกติถ้าหน่วยความจำภายนอกเป็น EPROM ขา $\overline{\text{PSEN}}$ จะต่อกับขา ENABLE (OE) ของ EPROM

6. ALE (Adress Latch Enable)

เนื่องจากพอร์ท 0 สามารถใช้เป็นขาอ้างตำแหน่ง และขาข้อมูล MSC - 51 จะมีขา ALE ได้แก่ ขา 30 ขานี้จะใช้ Multiplex สัญญาณ Address Bus ของ Port 0 ในการใช้งานระบบ MSC - 51 นั้นจะต้องมีอุปกรณ์มาต่อกับ Port 0 ที่ทำหน้าที่ Latch สัญญาณ Address Bus เมื่อ MSC - 51 ต้องการติดต่อกับ หน่วยความจำภายนอก MSC - 51 จะส่งสัญญาณ Address Bus ออกมาก่อนทาง Port 0 จากนั้นจะส่งสัญญาณ ALE มา Latch อุปกรณ์ภายนอก ให้เก็บค่า Address Bus ของ Port 0 ไว้เพื่อใช้ Port 0 เป็น Data Bus ต่อไป

7. $\overline{\text{EA}}$ (External Access)

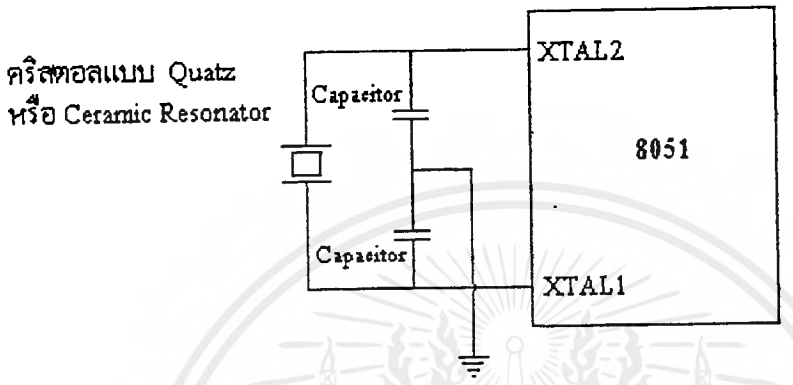
ขา $\overline{\text{EA}}$ ได้แก่ขาที่ 31 ถ้าขานี้เป็นลอจิก "1"จะใช้กับเบอร์ 8051 / 8052 เพื่อบอกว่าให้โปรแกรมจากหน่วยความจำโปรแกรมภายใน แต่ถ้าเป็นลอจิก "0" จะบอกว่าให้ MSC - 51 ทำโปรแกรมโดยอ่านจากหน่วยความจำโปรแกรมภายนอก (ถ้าขา $\overline{\text{EA}}$ เป็น " 0 "$\overline{\text{PSEN}}$ จะเอคทีฟ) แต่ถ้าหากเป็นเบอร์ 8031 หรือ 8032 ขา $\overline{\text{EA}}$ จะเป็น " 0 " เสมอ เพราะว่าไม่มีโปรแกรมหน่วยความจำ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภายใน แต่ถ้าใช้เบอร์ 8051 / 8052 ซึ่งมีหน่วยความจำโปรแกรมภายในและให้ขา $\overline{EA}$ เป็น " 0 " ซึ่งจะ Disabled ROM ภายในและจะอ่านโปรแกรมจาก EPROM ภายนอกแทน

8. RST (RESET)

ขา RST ได้แก่ขา 9 จะใช้ในการรีเซ็ท MSC - 51 โดยจะให้ขานี้เป็นลอจิก " 1" อย่างน้อย 2 Machine Cycles จึงจะรีเซ็ทระบบได้



รูปที่ 2.20 ขาของ MCS - 51 ที่ใช้ต่อกับ XTAL

2.1 ความถี่สัญญาณนาฬิกาบนชิพ (On - Chip Oscillator Inputs)

เป็นวงจร Oscillator บนชิพ ได้แก่ขา 18 - 19 โดยต่อ Cystal เข้ากับขานี้ โดยปกติมักจะใช้ Cystal ความถี่ 12 MHz กับตัวเก็บประจุหรืออาจใช้สัญญาณนาฬิกาจาก TTL Clock Source ต่อกับ XTAL1 และ XTAL2 ดังรูปที่ 2.20

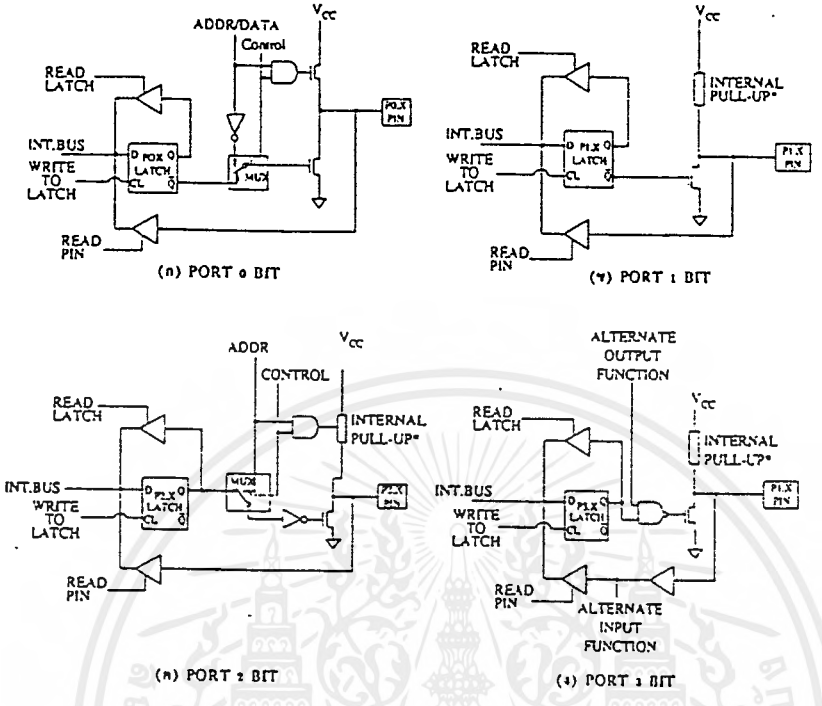
2.2 Power Connections

ใน MCS - 51 จะใช้แหล่งจ่ายไฟ 5 V ต่อเข้ากับขา Vcc (ขา 40) ส่วนขา Vss (ขา 20) จะต่อลง Gound

3. โครงสร้างของพอร์ทอินพุตเอาท์พุต (I/O Port Structure)

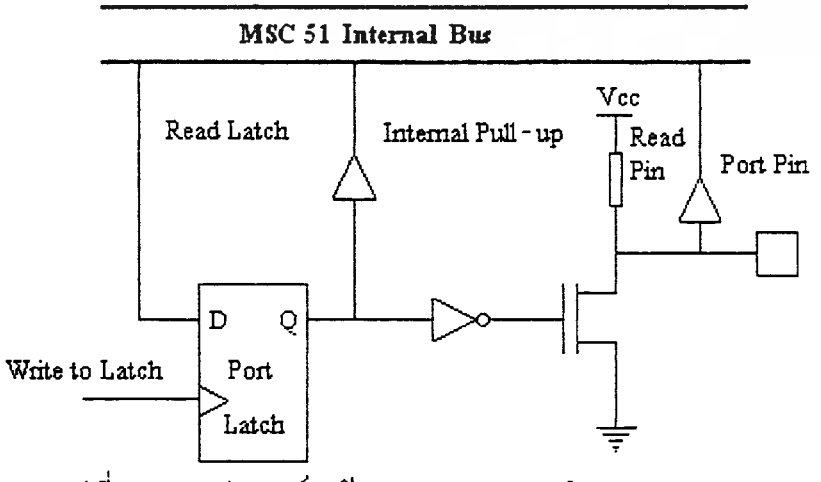
ขาของพอร์ทจะแสดงโครงสร้างภายในได้ ดังรูปที่ 2.21 โดยจะมีโครงสร้างเป็น Field - effect Transistor ต่ออยู่กับขาภายนอก และมีความต้านทาน Pull - up อยู่สำหรับพอร์ท 1 , 2 , 3 , แต่ถ้าเป็นพอร์ท 1 , 2 , 3 แต่ถ้าเป็นพอร์ท 0 จะไม่มีความต้านทาน Pull - up ภายในเพราะว่าต้องใช้เป็นขา Address Bus และ Data Bus

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.21 โครงสร้างพอร์ททั้ง 4 ของ MCS - 51

พอร์ทนี้สามารถใช้เป็นอินพุตเอาท์พุตกับอุปกรณ์ได้ ในการอ่านข้อมูลจากพอร์ทจะอ่านได้สองแบบคือ Read Latch และ Read Pin โดย Read Latch หมายถึงการอ่านข้อมูลที่ถูก Latch เอาไว้เข้าสู่บัสภายในของ MCS - 51 เช่นการทำคำสั่ง CPL P1.5 แต่ถ้าเป็นการ Read Pin จะเป็นการใช้พอร์ทเป็นอินพุต จะมีสัญญาณมาควบคุมที่บัพเฟอร์ดังรูปที่ 2.22

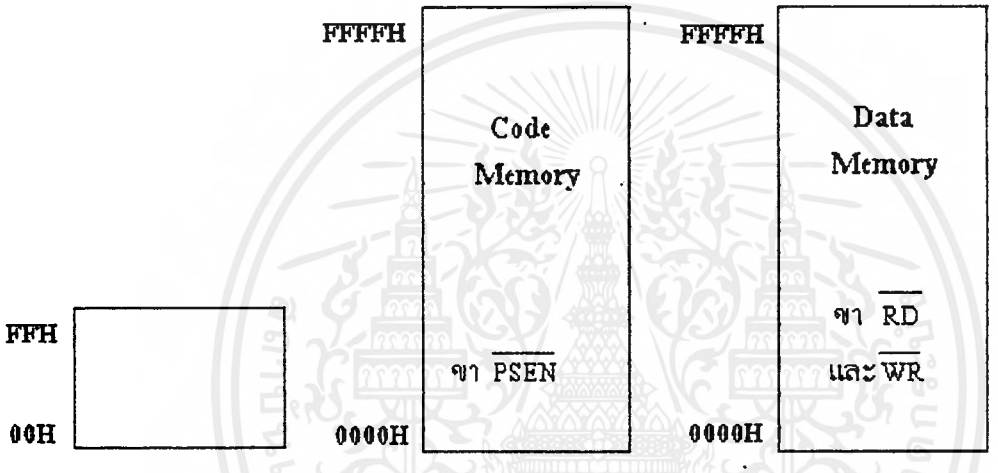


รูปที่ 2.22การต่อพอร์ทเข้ากับระบบบัสภายในของ MCS-51

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4. โครงสร้างหน่วยความจำ

หน่วยความจำสำหรับ MCS - 51 จะมี 2 ชนิดคือ หน่วยความจำที่ใช้เก็บโปรแกรม (ROM) กับหน่วยความจำที่ใช้เก็บข้อมูลในการประมวลผล (RAM) MSC-51 บางเบอร์เช่น 8051,8052 จะมีหน่วยความจำโปรแกรมภายในชิพ และ MCS-51ทุกเบอร์สามารถอ้างหน่วยความจำโปรแกรมภายนอกได้มากที่สุด 64K และอ้างหน่วยความจำข้อมูลภายนอกได้มากที่สุด 64K สำหรับหน่วยความจำ RAM ภายในจะประกอบไปด้วยพื้นที่ใช้งานทั่วไป ,รีจีสเตอร์แบงค์ ,พื้นที่ใช้งานระดับบิตและรีจิสเตอร์ฟังชั่นพิเศษ เราอาจเขียนไดอะแกรมของหน่วยความจำของ 8031 ได้ดังรูปที่ 2.23 โดยในรูปจะบอกด้วยว่าขาใดจะแอกทีฟ



รูปที่ 2.23การจัดหน่วยความจำของMCS-51

ใน8031 จะมีหน่วยความจำตั้งแต่ตำแหน่ง 00H ถึง FFH และสามารถอ้างหน่วยความจำโปรแกรมภายนอกได้ 64K ตำแหน่ง ถ้าอ่านข้อมูลจากหน่วยความจำโปรแกรมขา PSEN จะแอคทีฟ นอกจากนี้8031 สามารถอ่านหน่วยความจำภายในได้ 64K ตำแหน่ง โดยการติดต่อกับหน่วยความจำนี้ ขา $\overline{RD}$ และ $\overline{WR}$ จะแอคทีฟสำหรับหน่วยความจำข้อมูลภายในนั้นจะแบ่งออกได้ดังนี้

1. รีจีสเตอร์ 4 ชุดแต่ละชุดเรียกว่ารีจีสเตอร์แบงค์ที่ตำแหน่ง 00H ถึง 1FH โดยแต่ละชุดประกอบด้วยรีจีสเตอร์ R0 ถึง R7

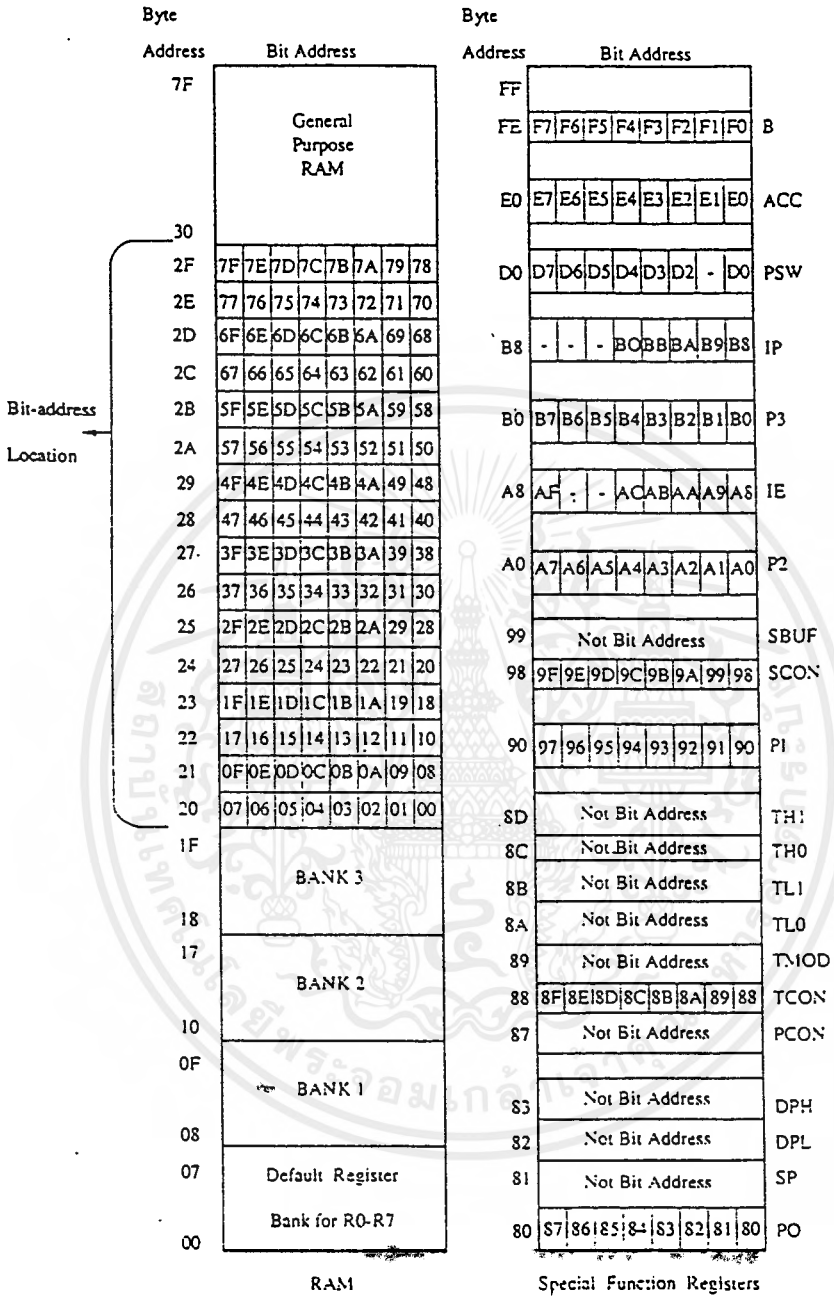
2. หน่วยความจำที่สามารถเข้าถึงข้อมูลระดับบิตได้ตำแหน่ง 20 H ถึง 2FH

3. หน่วยความจำใช้งานทั่วไปตำแหน่ง 30H ถึง 7FH

4. รีจีสเตอร์ฟังชั่นพิเศษตำแหน่ง 80H ถึง FFH

แผนผังการจัดหน่วยความจำข้อมูลภายในแสดงดังรูปที่ 2.23 จากแผนผังจะเห็นว่าการอ้างตำแหน่งหน่วยความจำภายในจะอ้างได้ 2 แบบคือ การอ้างไปที่ตำแหน่งไบต์(เขียนหมายเลขตำแหน่งด้านนอกหรือการอ้างไปที่ตำแหน่งของบิต (เขียนหมายเลขตำแหน่งด้านใน) โดยตำแหน่งของหน่วยความจำที่ยังเป็นแบบบิตได้จะมีตำแหน่งบิตที่แน่นอน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.24 ตำแหน่งของหน่วยความจำทั้งแบบไบต์และแบบบิต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.1 หน่วยความจำใช้งานทั่วไป

จากรูปที่ 2.24 จะเห็นว่าใน 8031 จะมีหน่วยความจำ RAM สำหรับใช้งานทั่วไป 80ไบต์ตั้งแต่ตำแหน่ง 30 H ถึง 7FH ตำแหน่งเหล่านี้สามารถอ้างตำแหน่งแบบ Direct Addressing Mode หรือ Indirect Addressing Mode (รายละเอียดจะกล่าวในเรื่องชุดคำสั่ง)ได้ตัวอย่างเช่น ถ้าตองการอ่านข้อมูลที่อยู่ในตำแหน่ง 5FH มาเก็บในรีจีสเตอร์ A สามารถเขียนคำสั่งได้เป็น

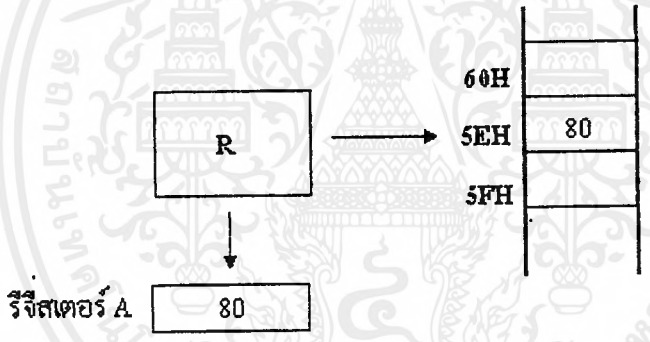
MOV A,5FH

การย้ายข้อมูลแบบนี้เป็นการย้ายข้อมูลจากตำแหน่งที่เก็บโดยตรง (ตำแหน่ง5 FH) เรียกว่าการอ้างตำแหน่งแบบ Direct Addressing Mode นอกจากนี้ยังสามารถอ่านข้อมูลโดยใช้รีจีสเตอร์ R0 หรือ R1 การตัวชี้ตำแหน่งได้เรียกว่าการอ้างตำแหน่งแบบ Indirect Addressing Mode ตัวอย่างเช่น

MOV R0,#5FH

MOV A,@R0

การเขียนโปรแกรมด้านบนหมายความว่าเก็บค่า 5FH ไว้ใน R0 จากนั้นอ่านค่าที่ R0 ชี้อยู่คือตำแหน่ง 5FH มาเก็บไว้ที่รีจีสเตอร์ A ถ้าในตำแหน่ง 5FH มี80 อยู่ค่า80 จะถูกเก็บไว้ใน A



รูปที่ 2.25 ขั้นตอนต่างๆในการอ่านข้อมูล

4.2 BIT ADDRESSABLE RAM

ใน MCS-51 จะมีหน่วยความจำที่สามารถอ้างข้อมูลในระดับบิตได้ตั้งแต่ตำแหน่ง 20H ถึง 2FH รวม 16 ไบต์ โดยสามารถ SET , CLEAR , AND , OR ทางลอจิกได้ จำนวนบิตที่ใช้งานได้ทั้งหมดมีจำนวน 128 บิต (8 บิต *16 ไบต์) ถ้าต้องการเซ็ทบิตตำแหน่งที่ 67H สามารถเขียนคำสั่งได้ดังนี้

SETB 67H

จากรูปที่ 2.24 จะเห็นว่าบิตที่ 67H จะอยู่ในตำแหน่งไบต์ที่ 2CH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 Register Banks

หน่วยความจำข้อมูลภายในที่ใช้เป็นชุดรีจิสเตอร์ มีทั้งหมด 32 ตำแหน่งโดยจะมี 4 ชุด แต่ละชุดมีรีจิสเตอร์ 8 ตัว คือ R0 ถึง R7 โดยชุดแรกจะอยู่ในตำแหน่ง 00H - 07Hถ้าหากจะอ่านค่าจากตำแหน่ง05 H มาเก็บไว้ในรีจิสเตอร์ A จะเขียนโปรแกรมได้ดังนี้

MOV A,R5

การอ้างตำแหน่งจะใช้แบบ Addressing ซึ่งขนาดของรหัสคำสั่งจะมีขนาด 1 ไบต์แต่ถ้าเขียนคำสั่งเป็น MOVE A,05H ผลที่ได้จะเหมือนกันแต่การเขียนแบบนี้ถ้าแปลงเป็นรหัสคำสั่งจะมีขนาด 2 ไบต์ซึ่งจะทำให้โปรแกรมยาวกว่าแบบแรก ในการติดต่อกับรีจิสเตอร์แบงค์นั้นเราสามารถเลือกให้แบงค์ใดแอคทีฟได้โดยเขียนข้อมูลไปที่ Program Status Word ซึ่งอยู่ในส่วนของรีจิสเตอร์ฟังชั่นพิเศษ เช่นถ้าโปรแกรมให้แบงค์ 3 แอคทีฟจะย้ายข้อมูลจากรีจิสเตอร์ A ไปที่ตำแหน่ง 18 H ได้ดังนี้

MOV R0,A

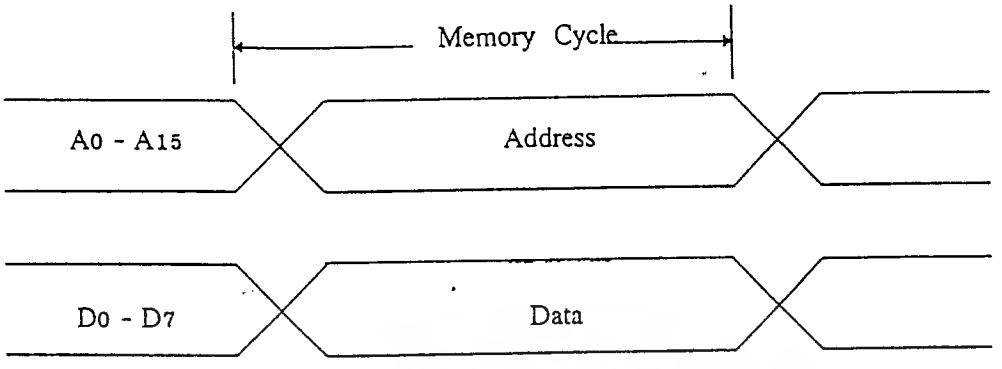
ถ้าไม่มีการเลือกแบงค์จะเป็นการติดต่อกับรีจิสเตอร์แบงค์แรกเสมอ

5. หน่วยความจำภายนอก (Extrenal Memmory)

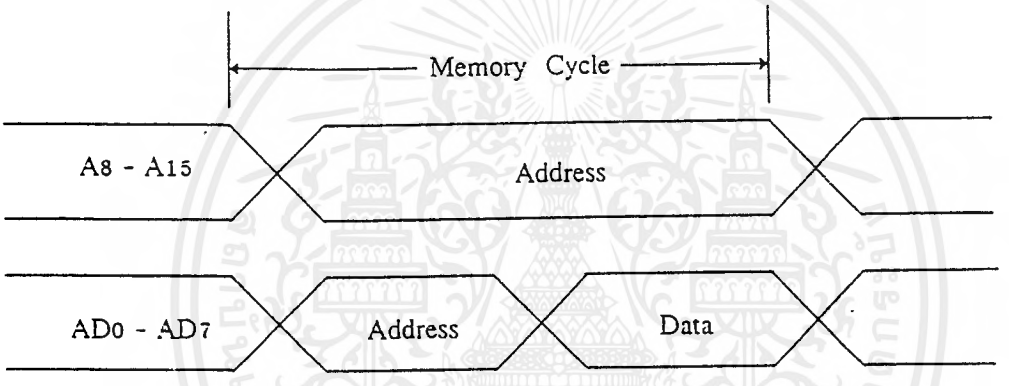
MCS-51 สามารถอ้างหน่วยความจำข้อมูลภายนอกได้ 64K และอ้างหน่วยความจำโปรแกรมภายนอกได้ 64 K MCS-51จะใช้พอร์ท 0ในการอ้างตำแหน่งหน่วยความจำ 8 บิตล่างและใช้พอร์ท 0 เป็นพอร์ทข้อมูล (DATA) ด้วยโดยใช้ขา ALE มาเป็น Latch ข้อมูลพอร์ท 0 และใช้พอร์ท 2 เป็นขาอ้างตำแหน่ง 8 บิตบน (รวมขาอ้างตำแหน่ง16เส้นซึ่งอ้างได้ 64K)

เนื่องจากพอร์ท 0 จะใช้งาน2หน้าที่ในการติดต่อกับหน่วยความจำจะใช้วิธี Multiplex ระหว่าง Address กับ Data พิจารณาจากรูปถ้าต้องการติดต่อกับหน่วยความจำที่เก็บข้อมูล 8 บิตและเก็บได้ 64Kจะต้องใช้สายสัญญาณ 24 เส้นคือเป็นขา Address16 เส้นและขาข้อมูล 8 เส้นดังรูป 2.26(ก) แต่ถ้าใช้วิธี Multiplex คือใช้ขา A0-A7 เป็นขาข้อมูลด้วยคือ D0-D7 จะใช้สายสัญญาณเพียง 16 เส้นเท่านั้น จากรูป 2.26(ข) จะเห็นว่าเมื่อต้องการติดต่อกับหน่วยความจำจะว่งสัญญาณ AddressA0-A15 ออกมาก่อน 16 เส้นและเวลาต่อมาขา A0-A7จะถูกเปลี่ยนเป็น D0-D7 ในการติดต่อกับหน่วยความจำภายนอกของ MCS-51จะใช้วิธีนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



(ก) Nonmultiplexed (24 pins)



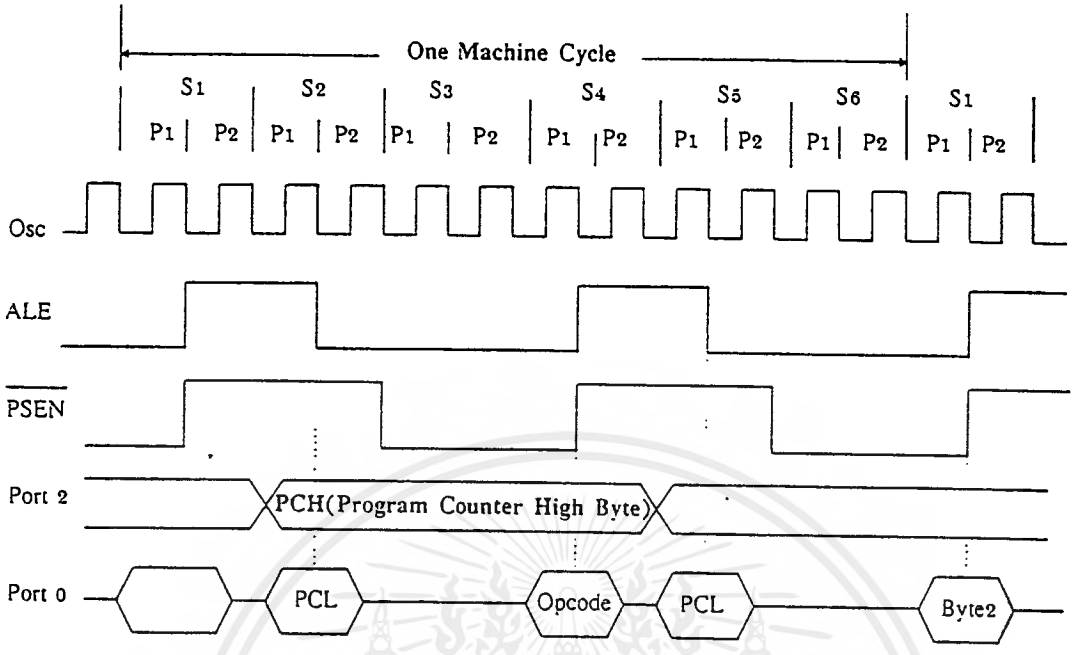
(ข) Multiplexed (16 pins)

รูปที่ 2.26 ไดอะแกรมกลุ่มสัญญาณที่ใช้อ่านข้อมูล

5.1 การติดต่อกับหน่วยความจำโปรแกรมภายนอก

ในการอ่านข้อมูลจากหน่วยความจำโปรแกรมภายนอก MCS-51 จะส่งค่าตำแหน่งของหน่วยความจำออกไปก่อนซึ่งค่าตำแหน่งจะเก็บอยู่ใน PC โดยส่งออกไปทางพอร์ท 0 และพอร์ท 2 จากนั้นเวลาต่อมาจะส่งขา ALE ให้เป็นลอจิก " 0 " เพื่อ Latch ขาAddressของ 8 บิตต่ำคือพอร์ท 0 จากนั้นจะส่งสัญญาณทางขา $\overline{\text{PSEN}}$ ให้เป็นลอจิก " 0 " เพื่ออ่านข้อมูลซึ่งจะได้ Opcode เข้าไปทางขา Data Bus คือพอร์ท 0 ไดอะแกรมเวลาการอ่านข้อมูลจากหน่วยความจำภายนอกแสดงได้ดังรูปที่ 2.27

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

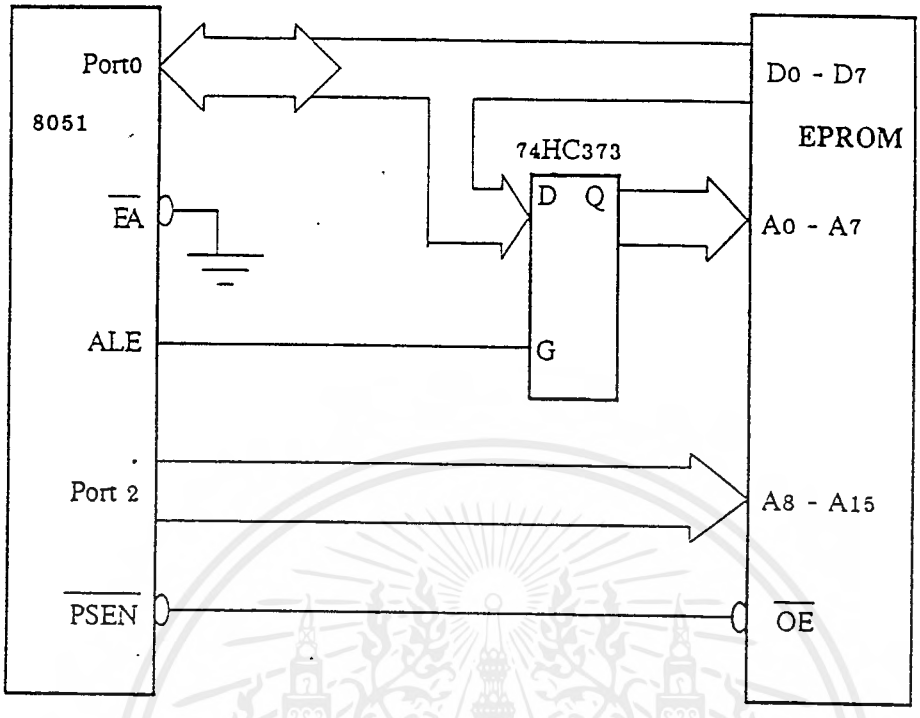


รูปที่ 2.27 ไดอะแกรมเวลาการอ่านข้อมูลจากหน่วยความจำโปรแกรมภายนอก

จากรูปช่วงเวลาทำงานของ MCS - 51 เรียกว่า State โดยแต่ละ State จะใช้สัญญาณนาฬิกาสองคาบการทำงานของคำสั่งต่าง ๆ จะใช้เวลาหก State เรียกว่าแมทชีนไซเคิล จากรูปจะเห็นว่าใน S2 MCS - 51 จะส่งค่าตำแหน่งของหน่วยความจำโปรแกรม (ค่า PC) ออกมาทางพอร์ท 0 และพอร์ท 2 เวลาต่อมาขา ALE จะเป็น " 0 " เพื่อ Latch อุปกรณ์ภายนอกให้คงค่าตำแหน่งไบต์ต่ำไว้(จากพอร์ท 0) เพื่อใช้เป็นพอร์ท 0 เพื่อขาข้อมูลต่อไป เวลาต่อมา $\overline{PSEN}$ จะเป็น" 0 " เพื่ออ่าน Opcode เข้าทางพอร์ท 0

สำหรับการต่อหน่วยความจำกับ MCS - 51 แสดงได้ดังรูปที่ 3.14 โดยขา $\overline{EA}$ จะต่อเป็น " 0 " เพื่อบอกMCS- 51ว่าให้อ่านหน่วยความจำโปรแกรมภายนอกสำหรับการMultiplexจะใช้ฟลิปฟลอป 8 ตัวเบอร์ 74373 เก็บค่าตำแหน่ง 8 บิตต่ำเอาไว้ เมื่อ MCS - 51ส่งค่าตำแหน่งพอร์ทออกไป เวลาต่อมาจะส่งขา ALE ให้เป็น " 0 " ซึ่งจะใช้ขานี้ต่อกับ 74373 เพื่อให้ Latch ข้อมูลสำหรับขา $\overline{PSEN}$ จะต่อกับขา Output Enable ($\overline{OE}$) ของหน่วยความจำดังรูปที่ 2.28

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



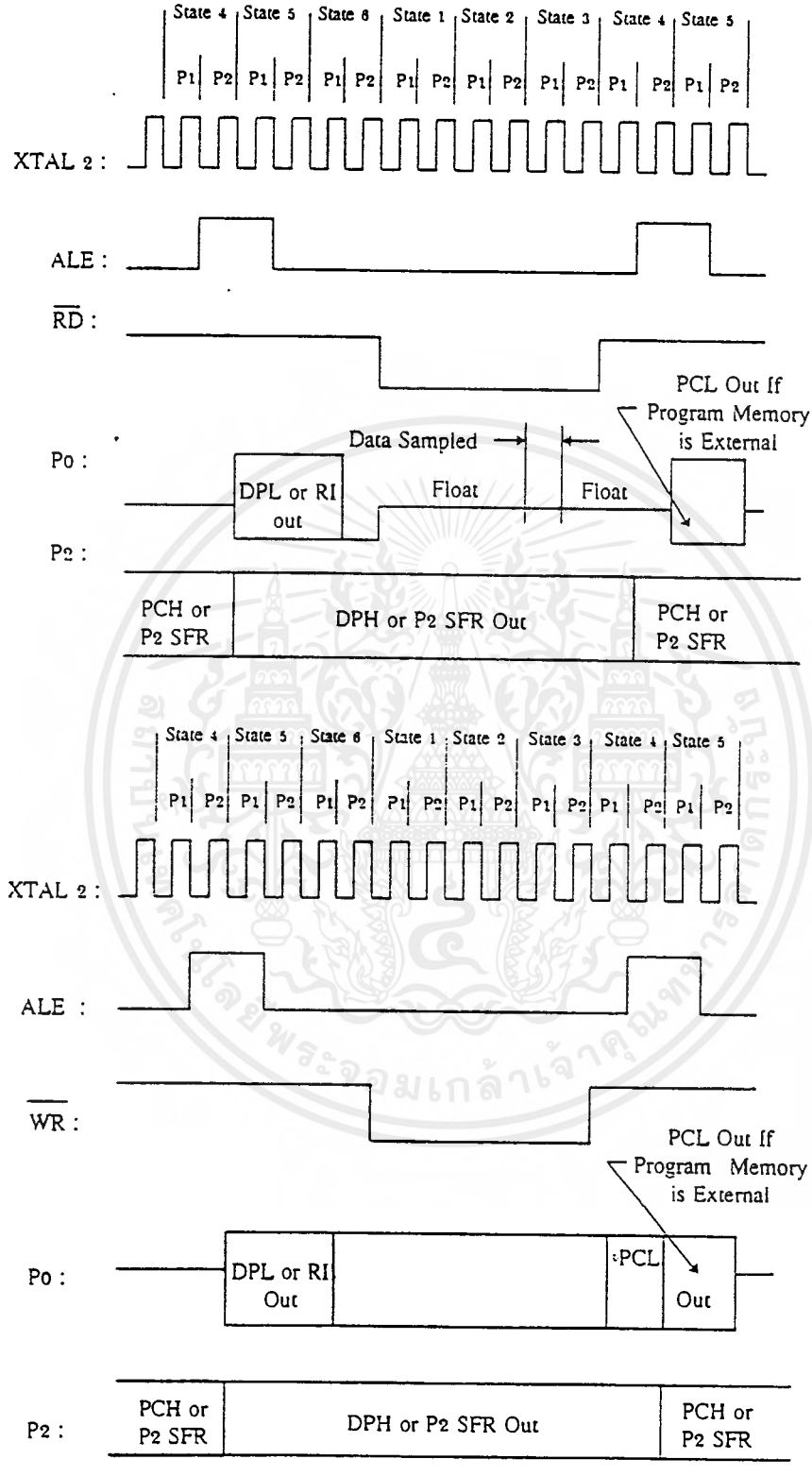
รูปที่ 2.28 การต่อ MCS - 51 กับหน่วยความจำโปรแกรมภายนอก

5.2 การติดต่อกับหน่วยความจำข้อมูลภายนอก

หน่วยความจำข้อมูลภายนอก MCS - 51 สามารถอ่านและเขียนได้ ในการติดต่อกับหน่วยความจำข้อมูลภายนอก MCS - 51 จะส่งขา Adress ออกไปทางพอร์ท 0 และพอร์ท 2 จากนั้นจะส่งขาALE เพื่อไป Latch Adress 8 บิตต่ำ โดยการอ่านเขียนข้อมูลนั้นจะใช้ขา $\overline{RD}$ หรือ P3.7 และขา $\overline{WR}$ หรือ P3.6 ตามลำดับ

ไดอะแกรมเวลาการอ่านและเขียนข้อมูลกับหน่วยความจำข้อมูลภายนอกแสดงดังรูปที่ 2.29

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

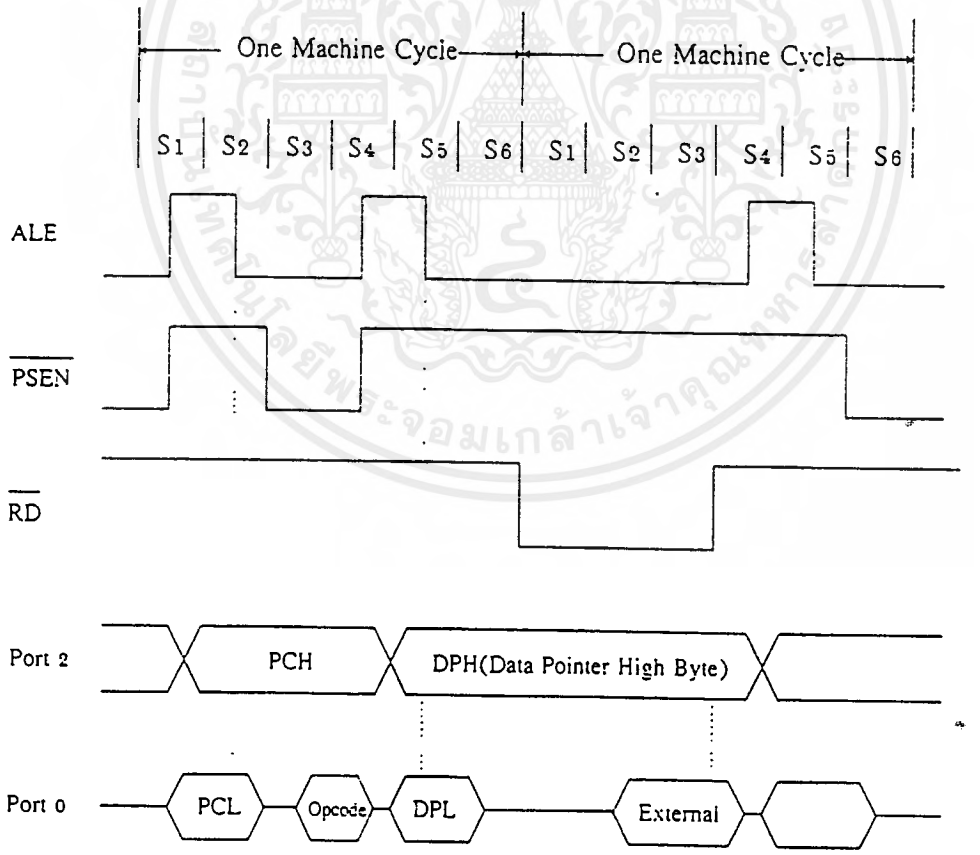


รูปที่ 2.29 ไดอะแกรมเวลาการอ่านและเขียนข้อมูลกับหน่วยความจำภายนอก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เนื่องจากตำแหน่งของหน่วยความจำภายนอกมีได้ถึง 64 K รีจิสเตอร์ที่ใช้เก็บค่าตำแหน่งของหน่วยความจำภายนอกจะใช้รีจิสเตอร์ 16 บิต คือ DPTR นอกจากนี้ยังใช้รีจิสเตอร์ 8 บิตได้ 2 ตัวคือ R0 และ R1 ในการติดต่อกับหน่วยความจำภายนอกจะใช้คำสั่ง MOVX

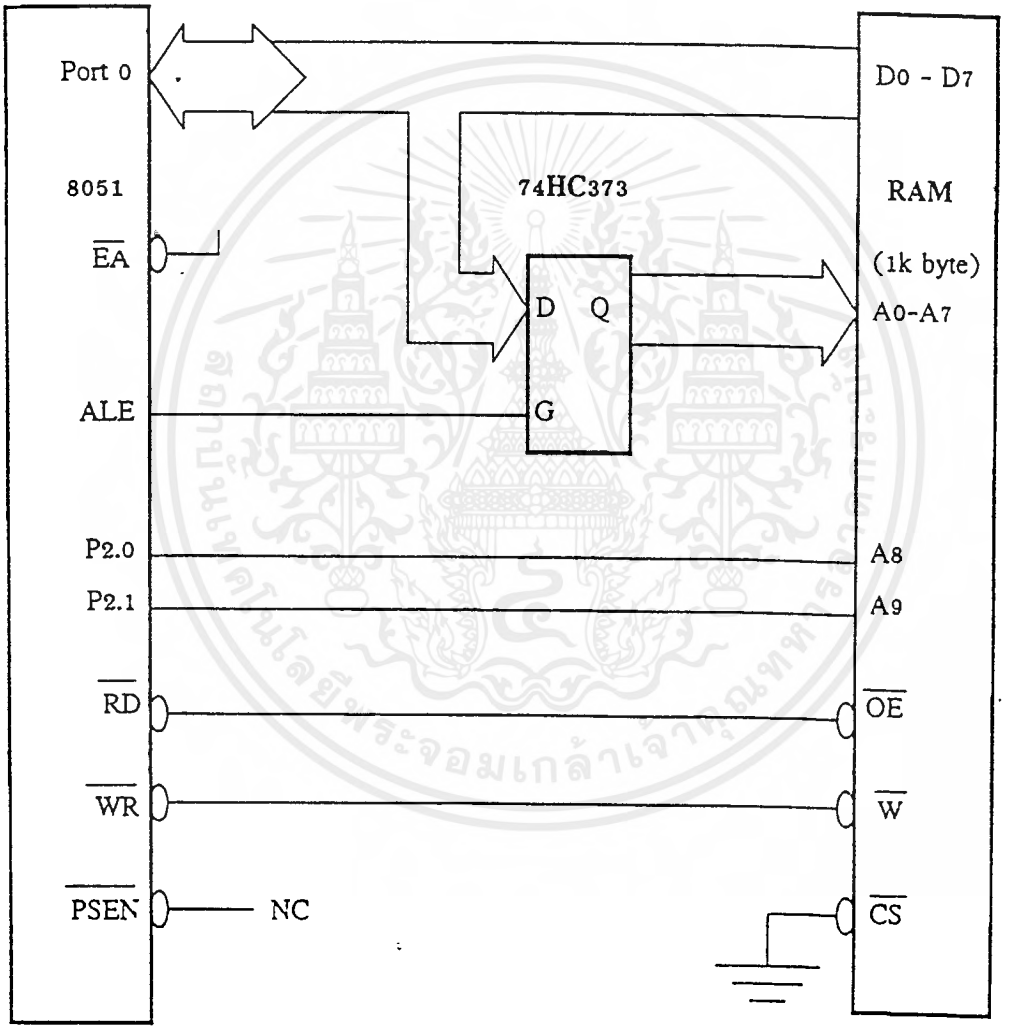
ถ้าหาก MCS - 51 ทำคำสั่ง MOVX A , @DPTR ซึ่งจะหมายความว่าให้อ่านค่าจากตำแหน่งที่ DPTR ชี้อยู่มาเก็บในรีจิสเตอร์ A ไดอะแกรมเวลาจะเป็นดังรูปโดย Machine Cycle แรกจะเป็นการอ่านค่า Opcode ของโปรแกรมให้รู้ว่าทำคำสั่ง MOVX A , @DPTR ซึ่งในการอ่านค่าจากโปรแกรมจะได้ Opcode เข้ามาและตีความจากนั้น MCS - 51 จะรู้ว่าต้องอ่านข้อมูลจากตำแหน่งที่ DPTR ชี้อยู่ใน Machine Cycle ต่อไปก็จะนำค่า DPTR ส่งออกเป็นค่า Address โดย DPH จะส่งไปทางพอร์ท 2 และ DPL จะส่งไปทางพอร์ท 0 จากนั้นขา ALE จะเป็น " 0 " เพื่อ Latch ข้อมูล Adress 8 บิตต่ำ เวลาต่อมาขา RD จะเป็น " 0 " จากนั้ข้อมูลจะถูกอ่านเข้ามาทาง Data Bus คือพอร์ท 0 ไดอะแกรมเวลาการทำงานแสดงได้ดังรูปที่ 2.30



รูปที่ 2.30 สัญญาณต่างๆ ที่เกิดขึ้นขณะทำคำสั่ง MOVX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับการเชื่อมต่อหน่วยความจำข้อมูลกับ MCS -51 โดยให้ 8051 ทำงานกับหน่วยความจำแสดงได้ดังรูปที่ 3.31 ซึ่งจะเป็นการเชื่อมต่อ RAM ขนาด 1 Kbyte ซึ่งจะใช้ขา Address เพียง 10 เส้น ดังนั้น A8 และ A9 จะต่อกับ P2.0 และ P2.1 ส่วนขา $\overline{EA}$ จะต่อกับลอจิก " 1 " เพื่อบอกว่าให้อ่านโปรแกรมจาก ROM ภายในและขา $\overline{PSEN}$ จะไม่ใช้เพราะไม่ได้ต่อ ROM แสดงได้ดังรูปที่ 2.31



รูปที่ 2.31 การต่อหน่วยความจำโปรแกรมกับ MCS - 51

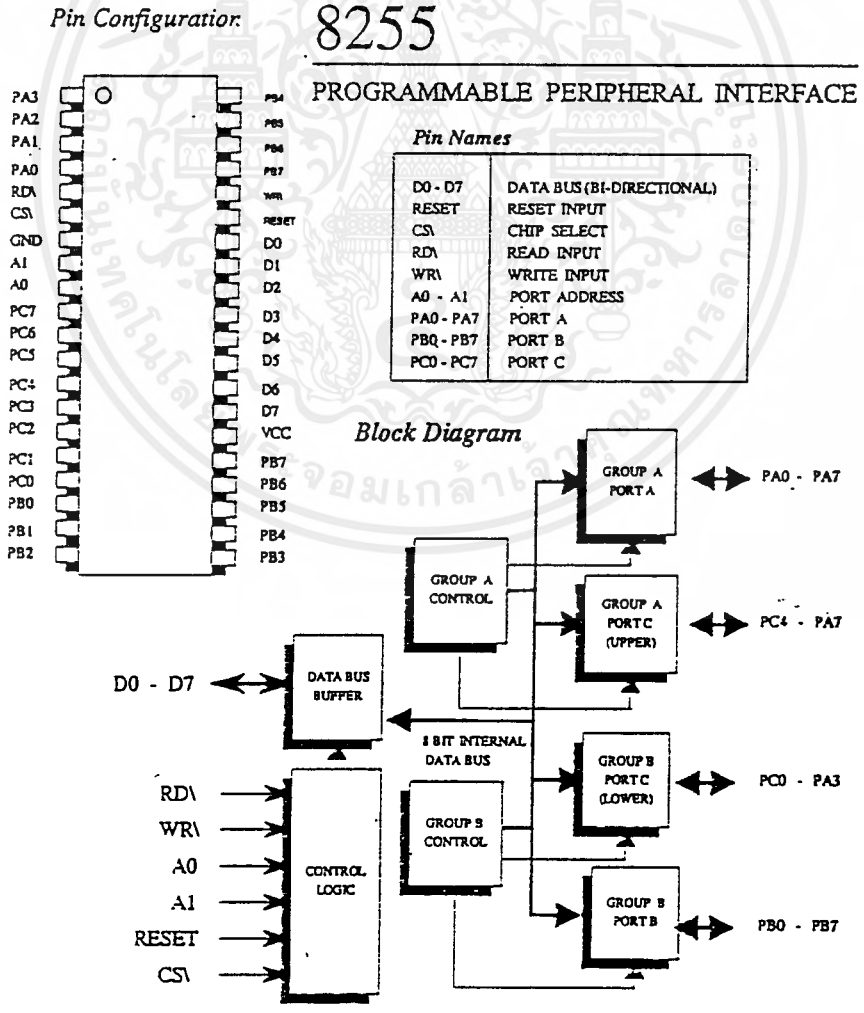
ข้อสังเกต ขนาดที่ MCS - 51 ติดต่อกับหน่วยความจำ หรือหน่วยความจำข้อมูลภายนอกจะใช้ขา Address เหมือนกัน แต่จะต่างกันตรงที่ ถ้าติดต่อกับหน่วยความจำโปรแกรมขา $\overline{PSEN}$ จะแอคทีฟ ถ้าติดต่อกับหน่วยความจำข้อมูลขา $\overline{WR}$, $\overline{RD}$ จะแอคทีฟและ MCS - 51 จะติดต่อกับหน่วยความจำโปรแกรมด้วยคำสั่ง MOVX และติดต่อกับหน่วยความจำข้อมูลด้วยคำสั่ง MOVX

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6. การใช้งาน 8255 กับ 8051

6.1 ลักษณะพื้นฐานของ 8255

8255 ประกอบด้วยบล็อกของหน่วยการทำงานหลายส่วนอยู่ภายในบล็อกทางด้านขวามือจำนวน 4 บล็อก เป็นส่วนที่เชื่อมต่อกับอุปกรณ์ภายนอกโดยตรงผ่านทางเส้นสัญญาณที่ระบุชื่อว่า PA0-PA7, PB0-PB7 และ PC0-PC7 กลุ่มของสัญญาณเหล่านี้จำแนกออกเป็น 3 กลุ่ม คือ พอร์ต A (PA) พอร์ต B (PB) และพอร์ต C (PC) สำหรับบล็อกถัดเข้ามาบริเวณส่วนกลางที่มีชื่อว่า GROUP A CONTROL และ GROUP B CONTROL ทำหน้าที่กำหนดการทำงานของพอร์ตทั้งสาม บล็อกทั้งสองนี้เชื่อมต่อกับบล็อกอื่นๆ ผ่านทางบัสข้อมูลภายใน 8255 เอง สำหรับบล็อกการทำงานทางด้านซ้าย ที่มีชื่อว่า Data bus buffer และ read/write control logic ทำหน้าที่เชื่อมต่อระหว่างระบบบัสของไมโครคอนโทรลเลอร์กับ 8255 เพื่อรับหรือส่งข้อมูลระหว่างกันตามระดับลอจิกของขาสัญญาณ RD\ และ WR\ ตามลำดับ



รูปที่ 2.32 แผนภาพแบบบล็อกภายในและขาสัญญาณของไอซี 8255

เอกสารนี้เป็นเอกสาร... ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.2 การจำแนกกลุ่มพอร์ต 8255

ในบรรดาพอร์ตทั้งสามของ 8255 คือ พอร์ต A พอร์ต B และพอร์ต C โดยพื้นฐานนั้นล้วนเป็นพอร์ตแบบขนานที่ประกอบด้วยสัญญาณ 8 เส้น ซึ่งแต่ละเส้นจะแทนบิตของข้อมูลพอร์ต ซึ่งอาจจะกล่าวในอีกลักษณะว่าเป็นพอร์ตแบบ 8 บิต นอกจากนี้ยังสามารถอ้างถึงแต่ละบิตของเส้นสัญญาณพอร์ตนี้ได้โดยอิสระ อย่างไรก็ตาม 8255 ได้จัดกลุ่มของพอร์ตเหล่านี้ออกเป็นสองกลุ่ม (Group) คือ Group A และ Group B เพื่อประโยชน์ในการกำหนดรูปแบบการทำงานของพอร์ต ดังตารางที่ 2.4

ตารางที่ 2.4 แสดงกลุ่มของพอร์ต 8255

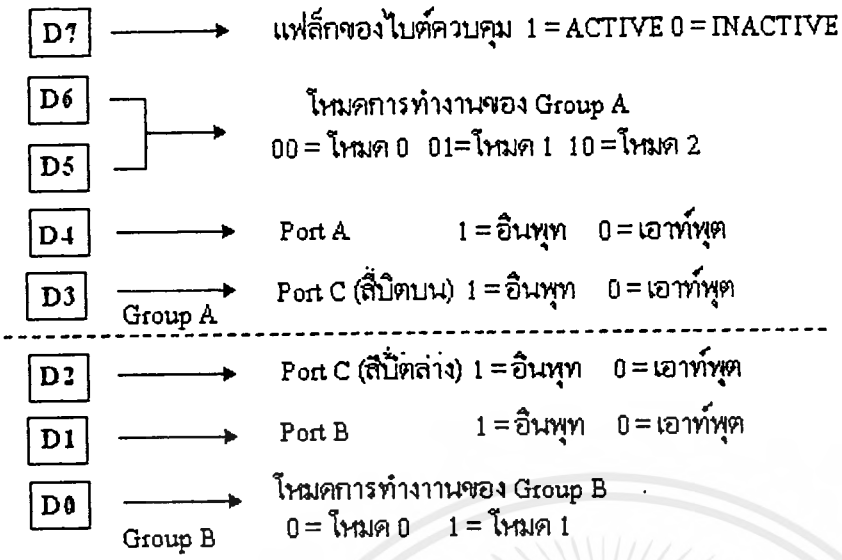
ชื่อกลุ่ม	ลักษณะ
Group A	พอร์ต A จำนวน 8 บิต (ทุกบิตของพอร์ต) พอร์ต C จำนวน 4 บิต (เฉพาะ 4 บิตบนของพอร์ต)
Group B	พอร์ต B จำนวน 8 บิต (ทุกบิตของพอร์ต) พอร์ต C จำนวน 4 บิต (เฉพาะ 4 บิตล่างของพอร์ต)

จากตารางการทำงานข้างต้นจะเห็นว่า จำนวนเส้นสัญญาณทั้งหมดของพอร์ต C (PC0-PC7) ได้ถูกแยกออกเป็นกลุ่ม คือ กลุ่มของ 4 บิตล่าง (Lower nibble) จาก PC0-PC3 และกลุ่มของ 4 บิตบน (Upper nibble) จาก PC4-PC7 ดังนั้น Group A และ Group B ของ 8255 จึงมีจำนวนบิตในแต่ละกลุ่มเป็นจำนวนถึง 12 บิต

ตารางที่ 2.5 หน้าที่การทำงานของขาสัญญาณไอซี 8255

สัญญาณ	ความหมาย
D0 – D7	กลุ่มของเส้นสัญญาณข้อมูลของ 8255 เมื่อมีการเขียนหรืออ่าน
CS\	สัญญาณเลือกอุปกรณ์ เมื่อขาสัญญาณนี้เป็นระดับลอจิกต่ำ ซีพียูก็สามารถเขียนหรืออ่านข้อมูลจาก 8255 ได้
RD\	สัญญาณบอกสถานะต้องการอ่านข้อมูลจากรีจิสเตอร์ของ 8255
WR\	สัญญาณบอกสถานะต้องการเขียนข้อมูลให้กับรีจิสเตอร์ของ 8255
A0 – A1	สัญญาณระบุตำแหน่งรีจิสเตอร์ภายใน 8255 ที่ต้องการ
RESET	สัญญาณการรีเซตวงจรทำงานภายใน 8255 เพื่อเริ่มต้นใหม่
PA0 – PA7	กลุ่มของสัญญาณ 8 เส้น เมื่อทำการติดต่อกับพอร์ต A ของ 8255
PB0 – PB 7	กลุ่มของสัญญาณ 8 เส้น เมื่อทำการติดต่อกับพอร์ต B ของ 8255
PB0 – PC 7	กลุ่มของสัญญาณ 8 เส้น เมื่อทำการติดต่อกับพอร์ต C ของ 8255

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 2.33 ความหมายของบิตภายในไบต์ข้อมูลควบคุมสำหรับ 8255

6.3 รูปแบบคำสั่งเพื่อกำหนดการทำงานของ 8255

การกำหนดให้พอร์ตทั้งสามของ 8255 ทำงานในลักษณะต่างๆ กันหรือที่เรียกว่า **โหมดการทำงาน (Mode)** จะเริ่มด้วยการส่งค่าข้อมูลไบต์หนึ่งให้กับรีจิสเตอร์ควบคุมการทำงานภายใน 8255 ข้อมูลนี้จะเรียกว่า **ไบต์ข้อมูลควบคุม (Control word)** โดยแต่ละบิตของข้อมูลนี้จะมีความหมายที่ระบุถึงความต้องการต่างๆ การส่งข้อมูลไบต์นี้จะต้องเริ่มต้นเป็นลำดับแรกก่อนที่จะได้มีการดำเนินการใดกับ 8255 ทั้งสิ้น

ตามความหมายของบิต จะเห็นได้ว่าการเลือกให้พอร์ตใดทำหน้าที่เป็นพอร์ตอินพุตก็เพียงแต่กำหนดค่าข้อมูล 1 ให้กับบิตที่เกี่ยวข้องกับพอร์ตนั้น หรือกรณีตรงข้ามสำหรับการเอาต์พุตก็เพียงแต่กำหนดค่าข้อมูล 0 เท่านั้น อย่างไรก็ตามการกำหนดให้ไบต์ข้อมูลควบคุมนี้มีผลอย่างถูกต้องก็จะต้องทำการกำหนดให้บิต D7 มีค่าเป็น 1 เสมอ สำหรับบิตที่บอกถึงโหมดการทำงาน (บิต D6 – D5 และ D2) นั้นจะได้กล่าวรายละเอียดในหัวข้อต่อไป

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

6.4 การเชื่อมต่อ 8255 กับ 8051

เมื่อพิจารณาแผนภาพของ 8255 จะเห็นว่ามีขาสัญญาณแอดเดรสจำนวน 2 เส้น คือ A0 และ A1 ทำให้ตำแหน่งของแอดเดรสที่จะอ้างถึงได้มีค่าเป็น 2^2 หรือเท่ากับ 4 ตำแหน่ง ซึ่งแต่ละตำแหน่งจะมีความหมายถึงการระบุรีจิสเตอร์หรือพอร์ตภายใน 8255

เมื่อพิจารณาค่าของแอดเดรสร่วมกับระดับลอจิกของขาสัญญาณ RD\และWR\จะเป็นการอ่านหรือเขียนข้อมูลทางขาสัญญาณ D0–D7 ให้กับรีจิสเตอร์นั้นตามลำดับ ดัง ตารางที่ 2.6

ตารางที่ 2.6 แสดงการใช้ขาสัญญาณทำหน้าที่ต่างๆ

RD\	WR\	A1	A0	ความหมาย
0	1	0	0	ส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต A
1	0	0	0	รับ (หรืออ่าน) ข้อมูลจากพอร์ต A
0	1	0	1	ส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต B
1	0	0	1	รับ (หรืออ่าน) ข้อมูลจากพอร์ต B
0	1	1	0	ส่ง (หรือเขียน) ข้อมูลให้กับพอร์ต C
1	0	1	0	รับ (หรืออ่าน) ข้อมูลจากพอร์ต C
0	1	1	1	ส่ง (หรือเขียน) ข้อมูลให้กับรีจิสเตอร์ควบคุม
1	0	1	1	เป็นสภาวะที่ไม่ถูกต้อง

ดังนั้นโดยทั่วไปจึงมักจะกำหนดให้แอดเดรสของ 8255 ทั้งสี่ตำแหน่งนี้ อยู่ในแอดเดรสช่วงใดช่วงหนึ่งของระบบ เช่น 10H, 11H, 12H, และ 13H โดยขาสัญญาณแอดเดรสที่นอกเหนือไปจาก A0 และ A1 นำมาเข้ายังตัวถอดรหัสแอดเดรส เพื่อสร้างสัญญาณเลือกอุปกรณ์ (CS\) ในช่วงแอดเดรสที่ต้องการ สัญญาณ CS\ นี้จะเป็นสภาวะลอจิกต่ำก็ต่อเมื่อต่ำในบัสแอดเดรส A2 – A7 มีค่าเท่ากับ 0000100xx (ตัวอักษร xx ใช้เพื่อระบุถึงรีจิสเตอร์ภายใน 8255 เพื่อทำการอ่านหรือเขียนข้อมูล) ดังนั้นจากวงจรนี้แอดเดรสของรีจิสเตอร์ภายใน 8255 จะมีค่าตามตารางที่ 2.7

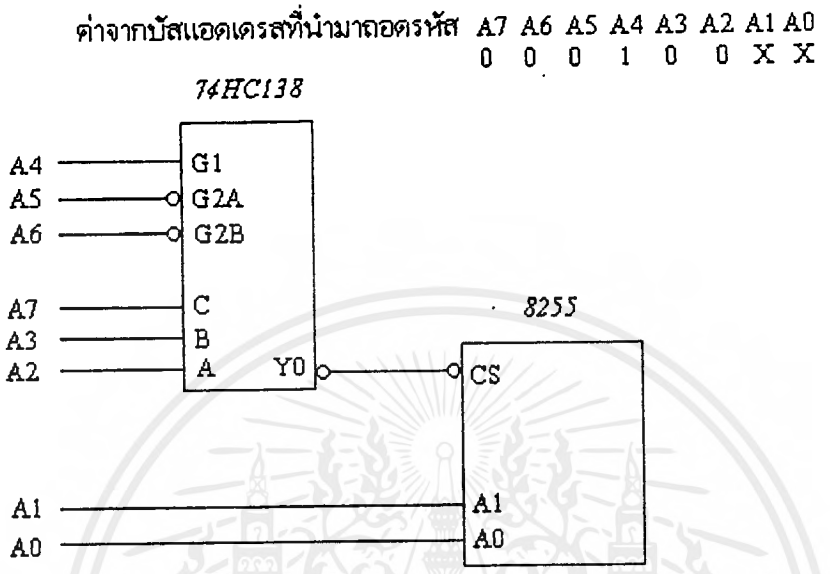
ตารางที่ 2.7 แสดงแอดเดรสของรีจิสเตอร์ภายใน 8255

ตำแหน่งแอดเดรส	ความหมาย
10 H	พอร์ต A
11 H	พอร์ต B
12 H	พอร์ต C
13 H	รีจิสเตอร์ควบคุม

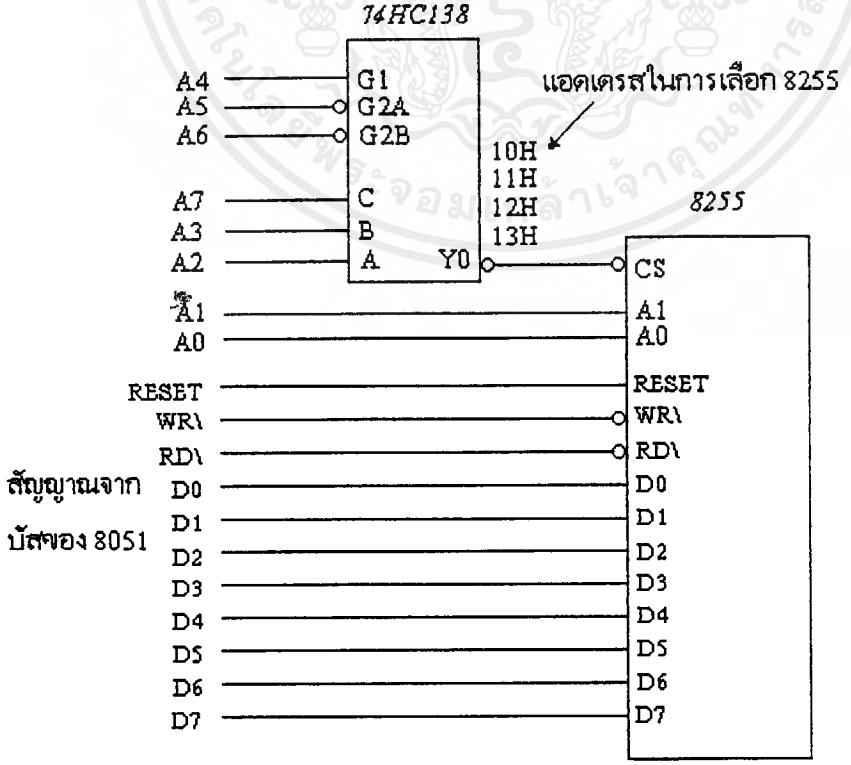
ขาสัญญาณควบคุมอื่นๆ คือ RD\ และ WR\ มักจะเชื่อมต่อเข้ากับขาสัญญาณชื่อเดียวกันของ 8051 ได้โดยตรง ทำให้แอดเดรสพอร์ตของ 8255 อยู่ในพื้นที่ของหน่วยความจำข้อมูลของ 8051

ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังที่ได้อธิบายผ่านมา สำหรับขาสัญญาณ RESET ของ 8255 ซึ่งจะมีผลทำให้เกิดการรีเซตหรือเริ่มสภาวะการทำงานใหม่เมื่อระดับของขาสัญญาณเป็นลอจิกสูง ดังนั้นหากว่าจะใช้สัญญาณการรีเซตเดียวกับของ 8051 เพื่อจะรีเซต 8255 ด้วยก็สามารถต่อได้โดยตรง



รูปที่ 2.34 แผนภาพแสดงการสร้างสัญญาณเลือกอุปกรณ์(CS\)ให้กับ 8255 โดยการถอดรหัสจากบัสแอดเดรส A2-A7



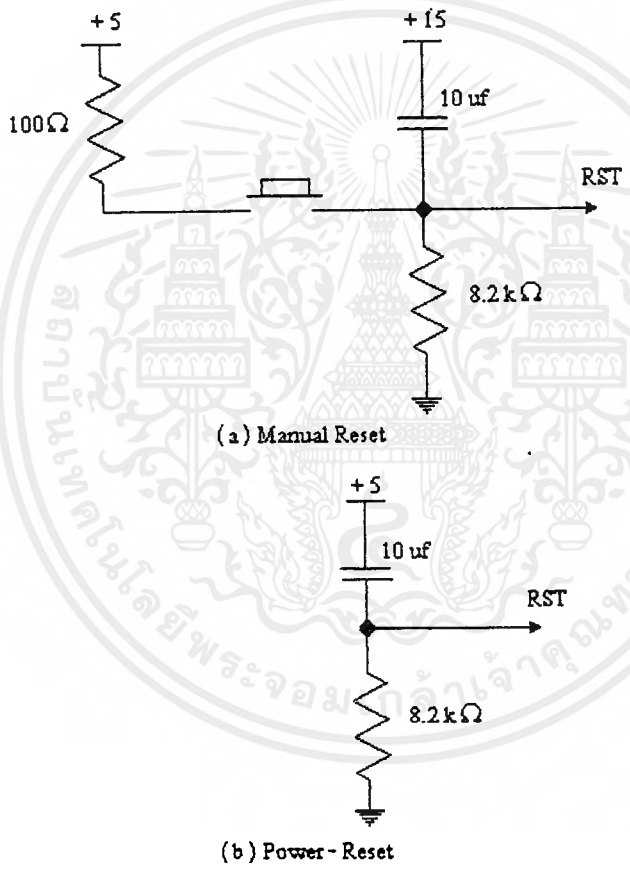
รูปที่ 2.35 แผนภาพวงจรแสดงการเชื่อมต่อระหว่าง 8255 กับ 8051

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วนขาสัญญาณ D0 – D7 ก็สามารถนำไปเชื่อมต่อโดยตรงเข้ากับบัสของ 8051 ได้เช่นกัน ขอให้ดูวงจรทำงานแสดงการเชื่อมต่อระหว่าง 8255 และ 8051 ในรูปที่ 3.35 ซึ่งในที่นี้สมมติว่าไม่จำเป็นต้องมีการใช้วงจรหรือไอซีบัฟเฟอร์ขับสัญญาณบัสข้อมูล

7. กระบวนการรีเซต (Reset Operation)

การรีเซตหรือเริ่มต้นการทำงานใหม่ของ MCS - 51 จะต้องให้ลอจิก " 1 " ที่ขา RST เป็นเวลา 2 Machine Cycle (1 Machine Cycle หรือ 12 Clock) จากนั้นให้กลับเป็นลอจิก " 0 " การรีเซตอาจทำได้โดยใช้สวิทช์กด ดังรูป 2.36(a) หรือใช้วิธี Power-Up โดยใช้ตัว R-C ต่อเป็นวงจรดังรูป 2.36(b)



รูปที่ 2.36 การรีเซต MCS-51

เมื่อ MCS - 51 ถูกรีเซต ค่ารีจีสเตอร์ต่างๆ จะถูกกำหนดค่าดังตาราง โดย PC จะชี้ไปอยู่ที่ตำแหน่งเริ่มต้น คือ 0000H เมื่อขา RST กลับเป็น " 0 " MCS - 51 จะเริ่มทำโปรแกรมที่ตำแหน่งแรก ตารางที่ 2.8 แสดงค่าต่างๆ ที่เกิดหลังการรีเซต

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 2.8 แสดงค่าต่างๆ ที่เกิดหลังการรีเซต

Register (S)	Counter
Program Counter	ooooH
Accumulator	ooH
B Register	ooH
PSW	ooH
SP	o7H
DPTR	ooooH
Port 0 - 3	FFH
IP (8031 / 8051)	xxxooooooB
IP (8032 / 8052)	xxooooooB
IP (8031 / 8051)	oxxooooooB
IP (8032 / 8052)	oxooooooB
Timer Registers	ooH
SCON	ooH
SBUF	ooH
PCON (HMOS)	oxxxxxxxB
PCON (CMOS)	oxxxoooooB

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3

หลักการออกแบบและการทำงานของวงจร

1. ส่วนของวงจรเลือกเส้นสะแกนสัญญาณภาพ (Video Lines Selector)

วงจรเลือกเส้นสะแกนสัญญาณภาพเราสามารถที่จะแสดงบล็อกไดอะแกรมการทำงานทั้งหมดของ วงจรได้ดังรูปที่ 3.1 และสามารถแสดงวงจรเลือกเส้นสะแกนสัญญาณภาพได้ดังรูปที่ 3.2

จากวงจรเลือกเส้นสะแกนสัญญาณภาพเราสามารถที่จะแยกการทำงานของวงจรออกเป็นสองส่วนคือ

1. ส่วนของวงจรแยกซิงค์ ได้แก่ IC1 , IC2
2. ส่วนของวงจรนับเปรียบเทียบแบบเพิ่มค่า (Counter Plus Word Comparator) ได้แก่ IC3-IC8

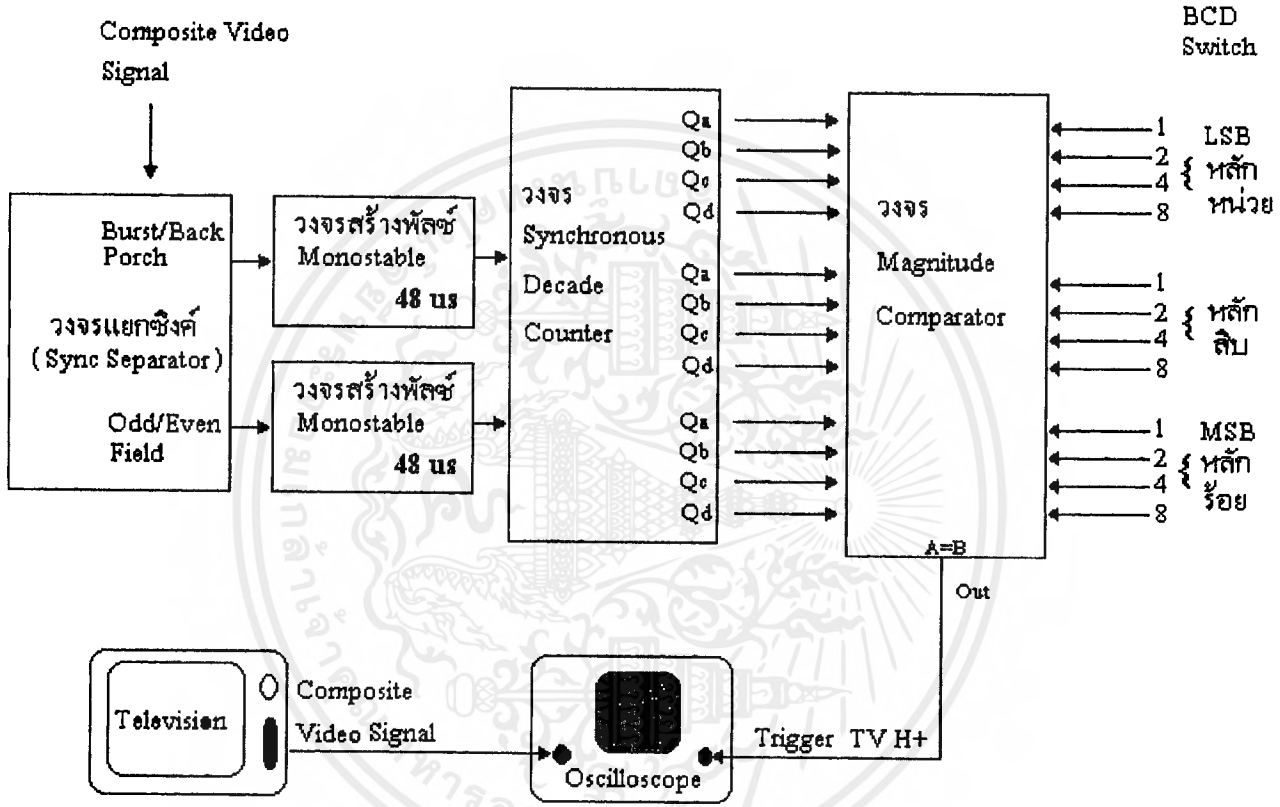
และเมื่อสังเกตุวงจรจะพบว่าวงจรจะ มี 2 อินพุต กับ 1 เอาท์พุต ได้แก่

อินพุตที่ 1 คือสัญญาณภาพรวม (Composite Video Selector ; CVBS : Chorma-Video-Blanking-Synchronization) ซึ่งถูกจ่ายเข้าที่ K1 ของวงจร

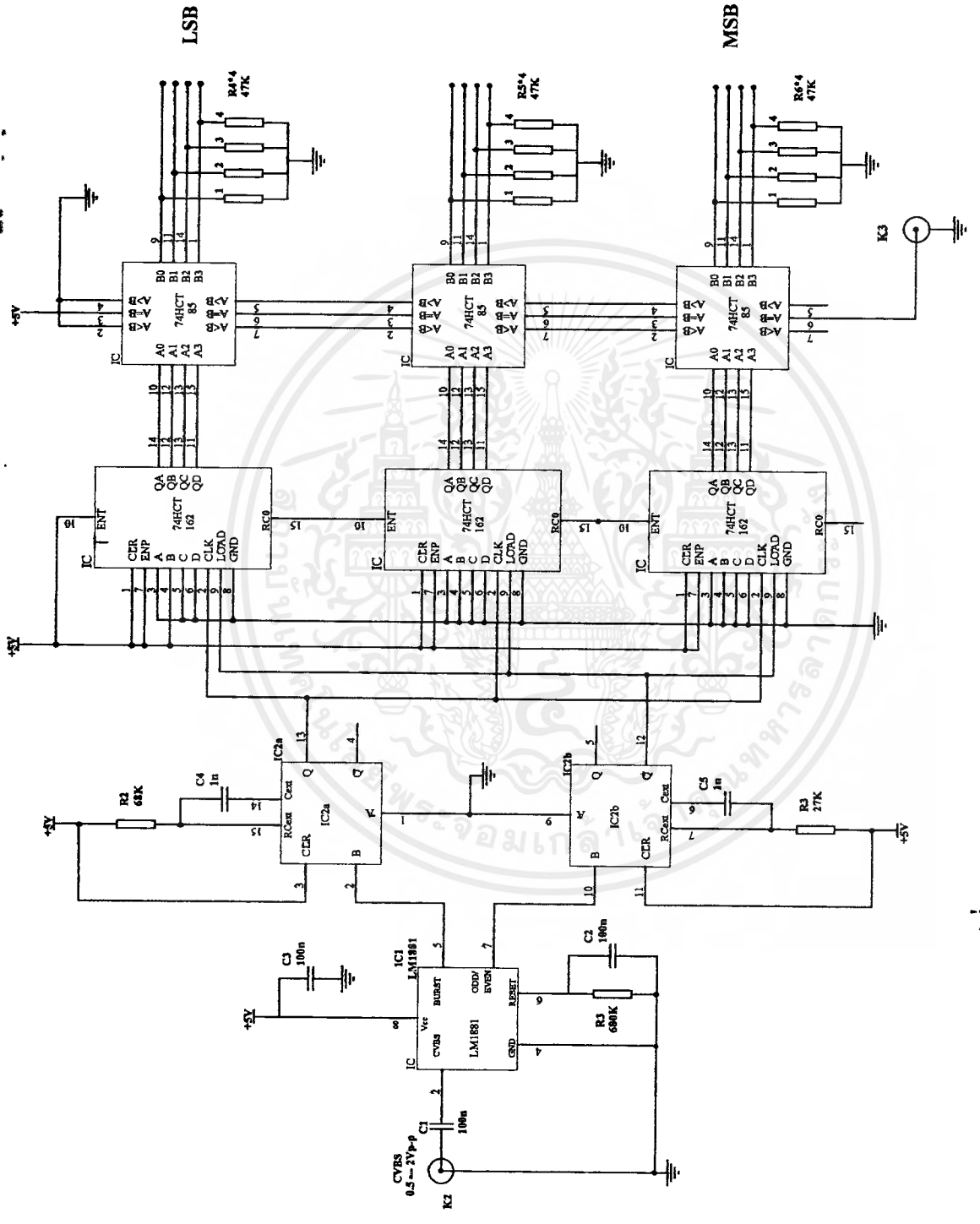
อินพุตที่ 2 คือ BCD สวิทช์ จะถูกจ่ายให้กับไอซีคอมพาราเตอร์ 74HCT85 เพื่อใช้สำหรับเซ็ทไลน์ที่ต้องการ

เอาท์พุตของวงจรได้จากไอซี ซึ่งเป็นสัญญาณพัลส์ที่มีแอมปลิจูดประมาณ 5 โวลท์ สำหรับเป็นเอาท์พุตพัลซ์ไปทำการทริกเกอร์เข้าที่ขั้วอินพุตของออสซิลโลสโคปเพื่อทำการล็อกไลน์ที่ต้องการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 บล็อกไดอะแกรมการทำงานของวงจรเลือกเส้นสะแกนสัญญาณภาพ



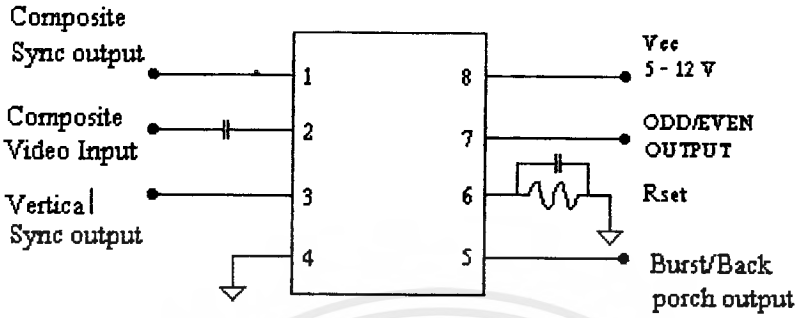
รูปที่ 3.2 วงจรเลือกเส้นสะแกนสัญญาณภาพ (Video Line Selector Circuit)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การทำงานของวงจร

ส่วนของวงจรแยกซิงค์โดย LM 1881Nสามารถแสดงได้ดังรูปที่ 3.3

LM1881N



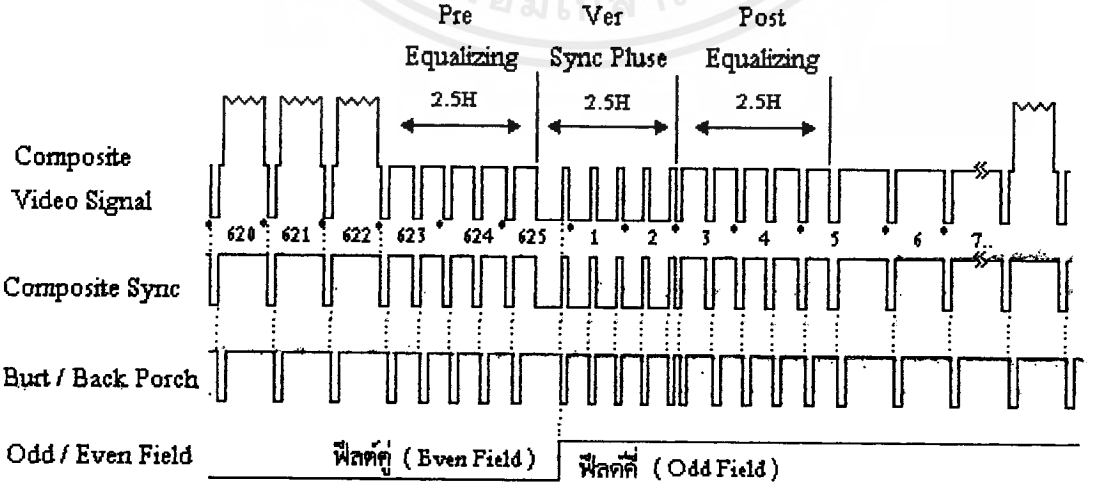
รูปที่ 3.3 แสดงขาต่างๆ ของ LM1881N

LM 1881 เป็นไอซีของบริษัท เนชั่นเนลเซมิคอนดัคเตอร์ (Nationnal Semiconductor)

ในชิพท์ไอซีตัวนี้จะบรรจุด้วยคุณสมบัติหลายๆอย่างที่จำเป็นสำหรับการแยกซิงค์พัลซ์ออกจากสัญญาณภาพรวมที่จ่ายเข้ามาทางขาสองของไอซี ในส่วนของการแยกซิงค์จะใช้หลักการของคุณสมบัติเฉพาะของซิงค์พัลซ์ที่มีระดับความแรงต่ำกว่าระดับแบล้งกิ้ง (Blanking)

ในส่วนของวงจรเลือกเส้นสะแกนสัญญาณภาพนี้จะมีเพียงแต่สัญญาณ ODD/EVEN และเบริส(Burst)เท่านั้นที่จะถูกนำมาใช้งานสัญญาณเบริสนี้จะมีความกว้าง 4 ไมโครเซคคั่นซึ่งเป็นจุดที่แสดงสัญญาณโครมิแนนซ์สี (Chromanance Colour Burst)4.43 MHz (PAL System) ที่ขี่บนช่วงแบล็คพอร์ช (Back Porch) ของคาบแบล้งกิ้ง

เราจะใช้สัญญาณเบริสเป็นไลน์เคาน์เตอร์ในช่วงที่ LM1881ไม่ได้ส่งไลน์ซิงค์ออกดังรูปที่ 3.4



รูปที่ 3.4 แสดงสัญญาณ Burst/Back Porch และ Odd/Even ที่ได้จาก LM1881N

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ ห้ามมิให้ผู้ใดนำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สัญญาณ Burst / Back porch ที่ได้จาก LM1881 นี้จะไม่ได้จ่ายควบคุมการทำงานของโหลดโดยตรงตามที่จริงแล้วเราจะใช้ IC2A เป็นตัวสร้างสัญญาณพัลซ์ใหม่ (Non-Retrigerable) เพื่อป้องกันไม่ให้ วงจรมีการนับเกิน 5 ไลน์ตรงที่จุดสุดท้ายของโพสอีควอไลซิงค์พัลซ์คือให้นับเท่ากับ 5 ไลน์พอดีโดยที่ช่วงพัลซ์เวลาคงที่ (Monostable) ที่มีขอบขาขึ้นอยู่บนช่วงอีควอไลซิงค์พัลซ์แล้วพัลซ์เวลาคงที่ นี้จะกระโดดข้ามไปยังช่วงเวลาขอบขาขึ้นอันใหม่ " Skipped " จึงจะทริกเกอร์

IC2 นี้จะเป็นตัวสร้างพัลซ์ 48 ไมโครเซ็คคั่นที่มีช่างคาบการเกิดต่างกันแสดงได้ดัง Function Table ข้างล่าง

ตารางที่ 3.1 แสดง Function Table วงจรของ IC2A , IC2B (IC#74221)

INPUTS			OUTPUTS	
CLEAR	A	B	Q	$\overline{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⎍	⎍
H	↓	H	⎍	⎍

← สัญญาณที่จะนำไปใช้งาน

IC2A นี้สามารถเซ็ทช่วงเวลา (Timing)ได้โดย R2C4 = 48 ไมโครเซคคั่นโดยหลักการแล้วพัลซ์เวลาคงที่ นี้ควรมีช่วงเวลาสั้นๆหรือไม่มากเกิน 64 ไมโครเซคคั่นเพื่อที่จะได้ไม่มีการเสี่ยงจากนอยส์ที่เข้ามารบกวนในช่วง เวลาแบล็งกิ้ง ซึ่งอาจจะทำให้เกิดความเสียหายกับ IC2A ได้

เราจะนำช่วงเวลา 48 ไมโครเซคคั่นที่ได้จาก IC2A นี้ไปเป็นสัญญาณคล็อก (Clock) ให้แก่ IC3 ,IC4 และ IC5 ดังรูปที่ 3.5

ส่วนไอซีสองบี IC2B ก็จะสร้างพัลซ์ที่มีคาบเวลาเท่ากับ 48 ไมโครเซคคั่น เช่นเดียวกับ IC2A โดยอาศัยการทริกเกอร์จากสัญญาณ ODD/EVEN จาก LM1881 เข้ามากระตุ้นซึ่งสามารถแสดงการกระตุ้นการสร้างพัลซ์ 48 ไมโครเซคคั่นใน IC2B ของแต่ละฟิลด์ได้ดังรูปที่ 3.6

สัญญาณพัลซ์ 48 ไมโครเซคคั่นที่ได้จาก IC2B นี้จะถูกใช้เป็นสัญญาณแสดงการโหลดข้อมูลให้แก่ IC3,IC4 และIC5 (IC#74162) แสดงได้ดังรูปที่ 3.5 เช่นกัน

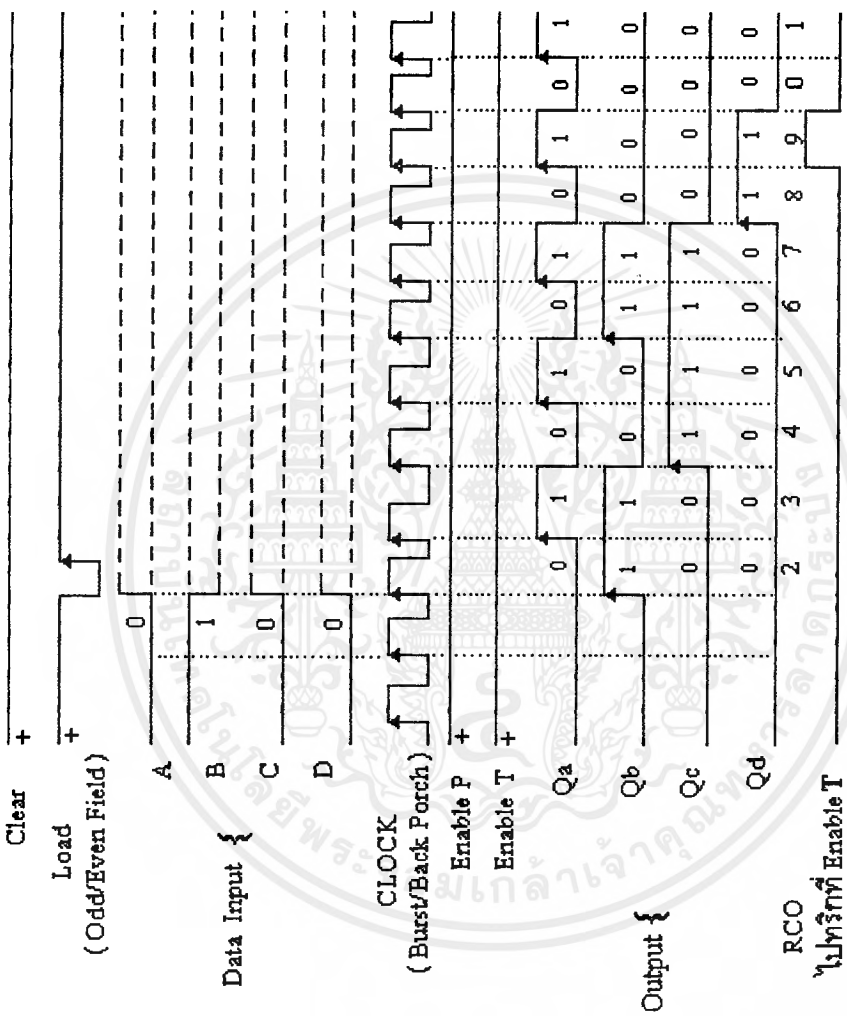
IC3, IC4 , IC5 (IC#74162) เป็นไอซีนับฐานสิบแบบซิงโครนัส (Fully Synchronous Decade Counter) สามารถแสดงสเต็ทไดอะแกรม (State Diagram) การนับได้ดังตารางที่ 3.2 ที่ IC3 ได้เซ็ทให้เริ่มต้นนับในไลน์ที่ 2 เพราะจะให้วงจรเริ่มนับในไลน์ที่หลังการโหลดของฟิล์ดคี่ในไลน์ที่ 1 ทุกครั้ง ดังนั้นจึงต้องเริ่มในไลน์ที่ 2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ส่วน IC6, IC7, IC8 (IC#7485) เป็นไอซีตัวเปรียบเทียบหลัก (Compare) ระหว่างไลน์ที่ได้จากการสะแกนทางจอเครื่องรับโทรทัศน์กับไลน์ที่เราเซ็ทไว้โดยสวิทช์ โดย IC6 จะเป็นตัวเปรียบหลักหน่วย IC7 จะเป็นตัวเปรียบหลักสิบ ส่วน IC8 จะเป็นตัวเปรียบหลักร้อย แสดงดังรูปที่ 3.7 เมื่อไลน์ที่ทำการเปรียบเทียบตรงกันทุกหลักIC8จะเป็นตัวส่งสัญญาณพัลซ์ไปทริกเกอร์ให้แก่ออสซิลโลสโคปเพื่อทำการล็อกไลน์ที่ต้องการให้ปรากฏบนหน้าจอสโคป

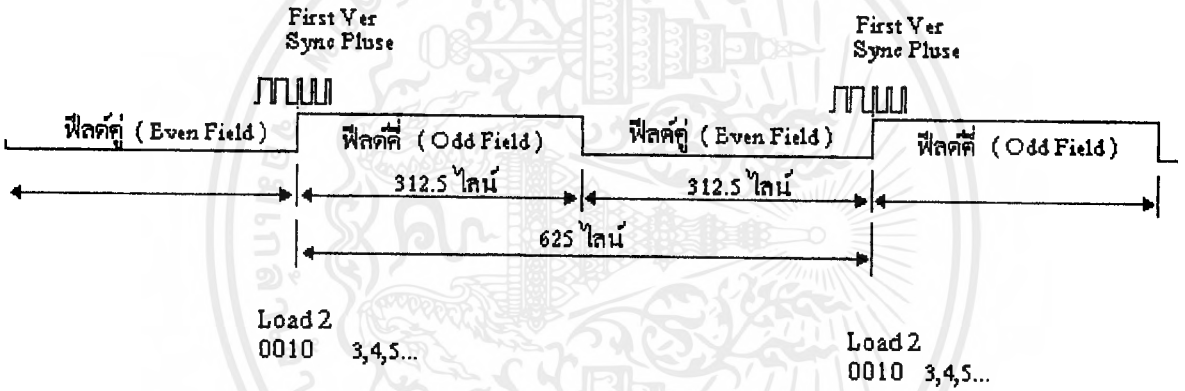
จากหลักการที่กล่าวมา สามารถที่จะแสดงไทม์มิ่งไดอะแกรม (Timing Diagram) การทำงานของวงจรเลือกเส้นสะแกนสัญญาณภาพได้ดังรูปที่ 3.8

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

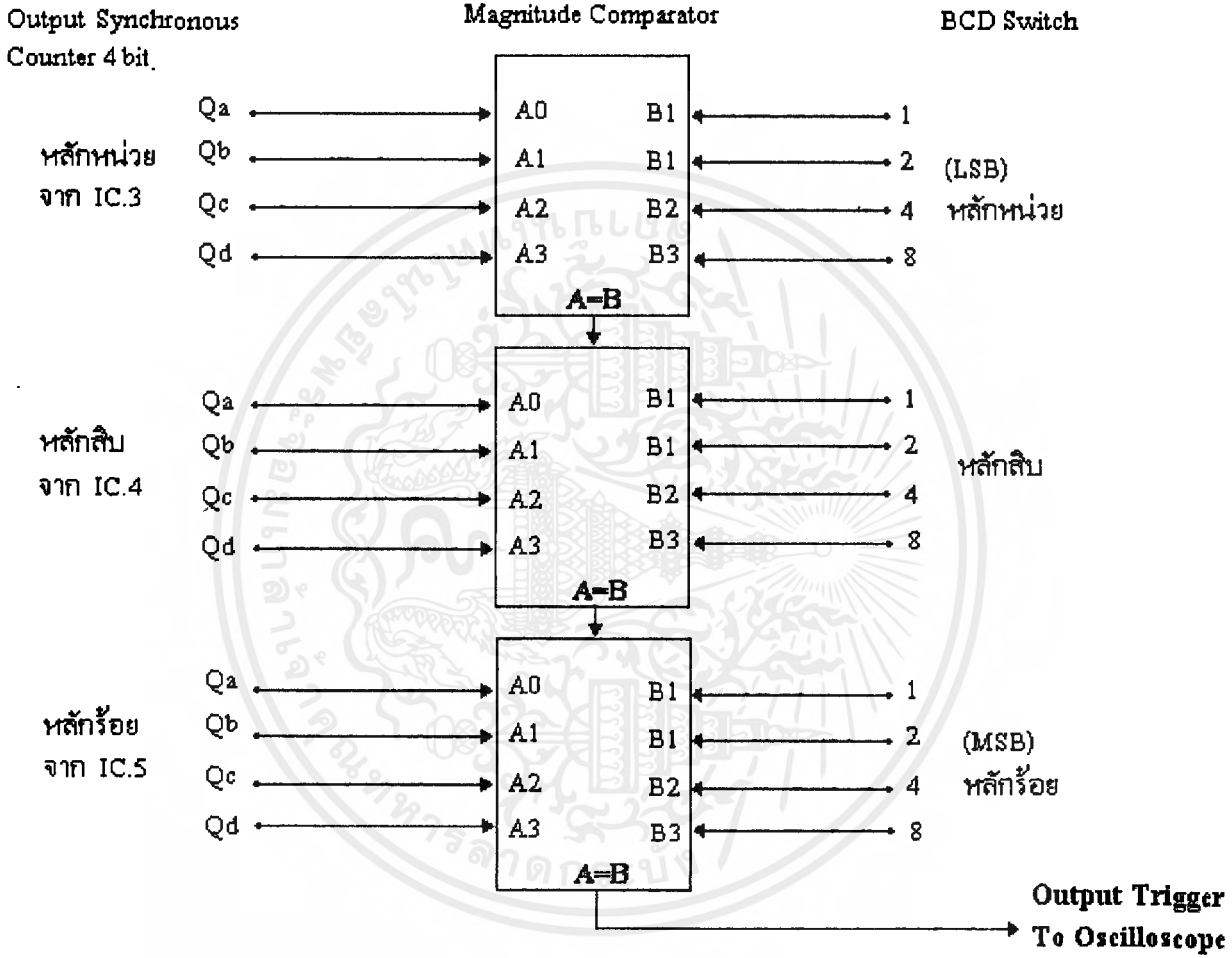


รูปที่ 3.5 ไทม์มิงไดอะแกรมของไอซี 74162 ที่ใช้งานในวงจร

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.6 แสดงการโหลดข้อมูลในแต่ละฟิล์ด

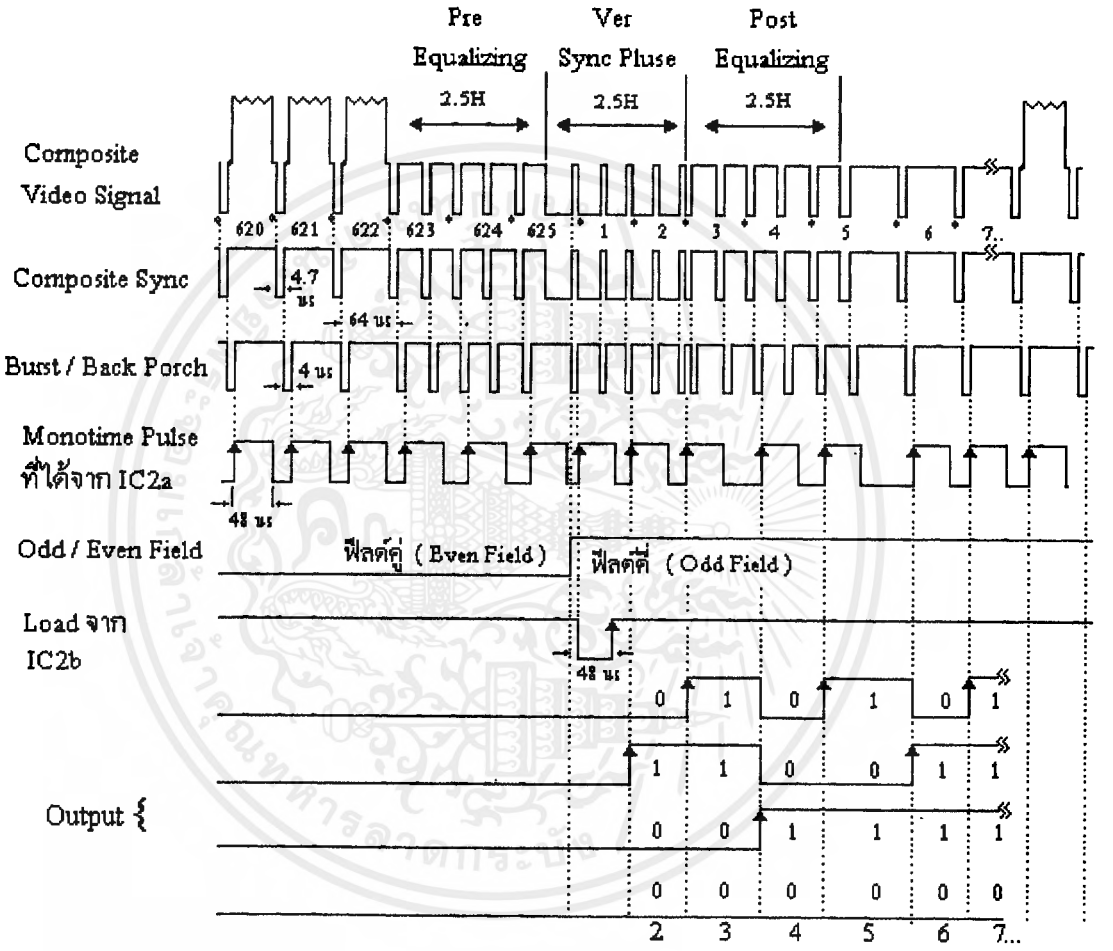


รูปที่ 3.7 แสดงการเปรียบเทียบในแต่ละหลักระหว่างไลน์ที่เซ็ทไว้กับไลน์ที่สะแกน

ตารางที่ 3.2 แสดงเอาท์พุตของวงจร Synchronous Decade Counter

จำนวน	หลักร้อย	RCO	หลักสิบ	RCO	หลักหน่วย
2	0000	0	0000	0	0010
3	0000	0	0000	0	0011
4	0000	0	0000	0	0100
5	0000	0	0000	0	0101
6	0000	0	0000	0	0110
7	0000	0	0000	0	0111
8	0000	0	0000	0	1000
9	0000	0	0000	←1	1001
10	0000	0	0001	0	0000
11	0000	0	0001	0	0001
12	0000	0	0001	0	0010
13	0000	0	0001	0	0011
14	0000	0	0001	0	0100
15	0000	0	0001	0	0101
16	0000	0	0001	0	0110
17	0000	0	0001	0	0111
18	0000	0	0001	0	1000
19	0000	0	0001	←1	1001
20	0000	0	0010	0	0000
.....	.....	...	.....	...	.....
623	0110	0	0010	0	0011
624	0110	0	0010	0	0100
625	0110	0	0010	0	0101
2	0000	0	0000	0	0010
3	0000	0	0000	0	0011
....	.....	...	.....	...	.....

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.8 แสดงไทม์มิ่งไดอะแกรมการทำงานทั้งหมดของวงจร

2. ส่วนของการออกแบบวงจรสวิทช์

จุดประสงค์ เพื่อต้องการใช้ คีย์บอร์ดเป็นตัวเลือกไลน์ที่ต้องการแสดงผล

โดย กด 1 ครั้ง จะแสดงเฉพาะไลน์ หลักหน่วย

กด 2 ครั้ง จะแสดงไลน์ หลักหน่วย และ หลักสิบ

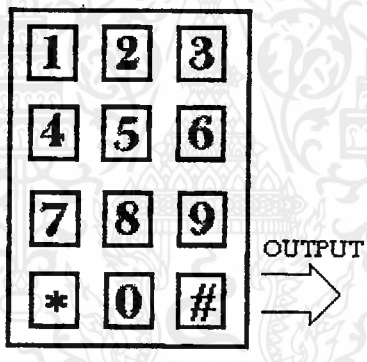
กด 3 ครั้ง จะแสดงไลน์ หลักหน่วย , หลักสิบ และ หลักร้อย

หลักการสร้าง

จะใช้ไมโครคอนโทรลเลอร์มาช่วยในการเลื่อนหลักและเก็บสถาณะ โดยการเขียนโปรแกรมบนอีพรอมเป็นตัวควบคุมการทำงาน

◆ คีย์บอร์ด

จะประยุกต์ใช้คีย์บอร์ดโทรศัพท์ขนาด 3*4 แบบกดติดปล่อยดับมาใช้งานประกอบแสดงดังรูปที่ 3.10



รูปที่ 3.9 คีย์บอร์ดโทรศัพท์ขนาด 3*4

โดยให้ ปุ่ม 0 - 9 แทนไลน์ที่เลือก

ปุ่ม * แทนการเคลียร์ข้อมูลเอาท์พุต

ปุ่ม # แทนการโหลดข้อมูลเอาท์พุต

◆ ต่อไปแปลงรหัสฐานสิบ Decimal เป็น ฐานสอง BCD8421 จะใช้ไอซีเข้ารหัส 10 To 4 Priority Encoder เบอร์ 74147 มาเข้ารหัสแสดงดัง Truth Table ที่ 3.3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ตารางที่ 3.3 แสดง Truth table ของ IC#74147

INPUT									OUTPUT			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

จะพบว่าสามารถเลือกไลน์ได้ตั้งแต่เลข 1 - 9

เพราะฉะนั้นจะเหลือเฉพาะเลข 0

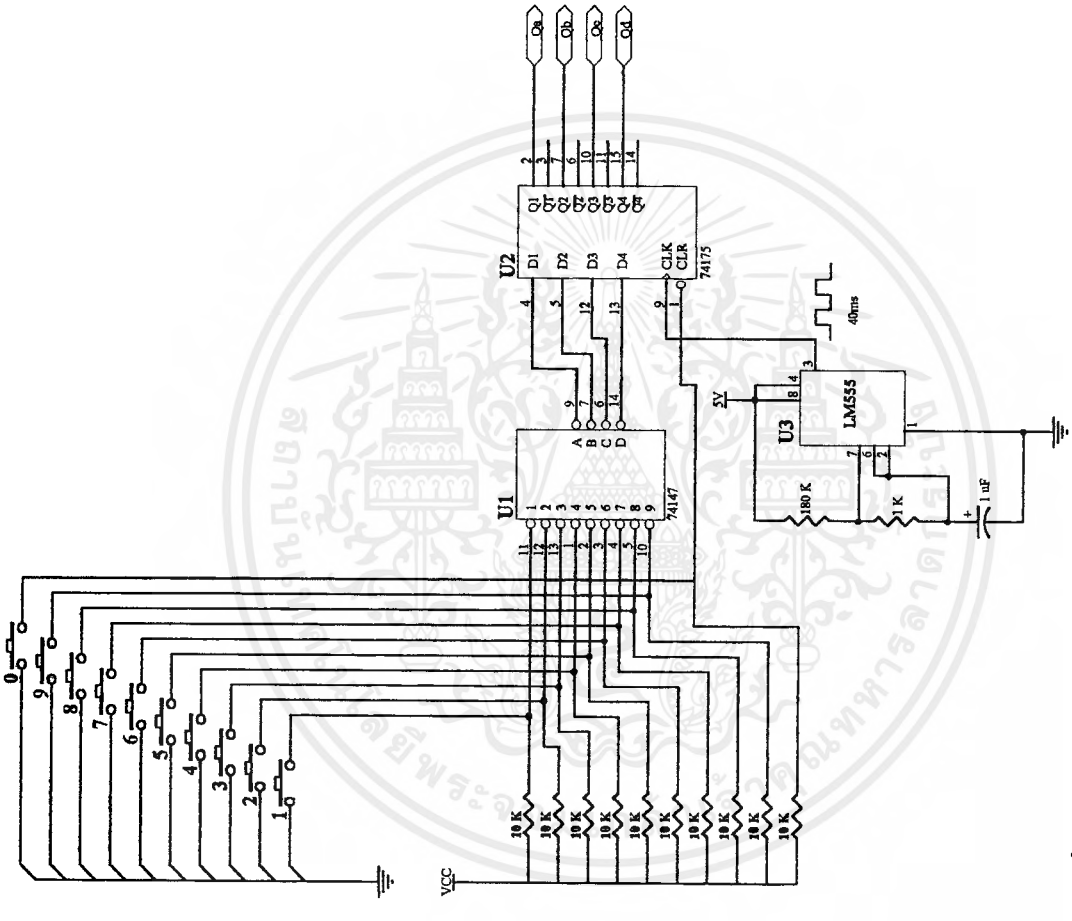
เลข 0 จะใช้ไอซี Quadruple D - Type Flip Flop With Clear เบอร์ 74175 เป็นตัวเคลียร์ให้เป็นเลข 0 ซึ่งแสดงดัง Truth Table ที่ 3.4

ตารางที่ 3.4 แสดง Truth table ของ IC#74175

INPUT			OUTPUT	
CLEAR	CLOCK	D	Q	$\overline{Q}$
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Q_0	$\overline{Q_0}$

เพราะฉะนั้นสามารถนำมาเขียนเป็นวงจรได้ดังรูปที่ 3.10

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.10 แสดงวงจรการเข้ารหัสเลข BCD8421 จากเลขฐานสิบ 0 - 9

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปจะพบจากวงจรจะได้ค่า Qa ,Qb , Qc , Qd เป็นรหัส BCD8421

◆ ต่อไปนำข้อมูล Qa ,Qb , Qc , Qd มาเป็นอินพุตให้กับบอร์ดไมโครคอนโทรลเลอร์เพื่อที่จะนำมาทำการควบคุมโดยโปรแกรมอีกทอดหนึ่ง

หลักการของโปรแกรม

* จะให้ข้อมูลที่เข้ามาโดยการกด 1 ครั้งแล้วโหลด

  จะให้แทนหลัก หน่วย และให้เอาท์พุตออกที่ พอร์ท A

* ข้อมูลที่เข้ามาโดยการกด 2 ครั้งแล้วโหลด

  จะให้การกดครั้งแรกแทนหลัก สิบ และให้เอาท์พุตออกที่ พอร์ท B

  จะให้การกดครั้งที่สองแทนหลัก หน่วย และให้เอาท์พุตออกที่ พอร์ท A

* ข้อมูลที่เข้ามาโดยการกด 3 ครั้งแล้วโหลด

  จะให้การกดครั้งแรกแทนหลัก ร้อย และให้เอาท์พุตออกที่ พอร์ท C

  จะให้การกดครั้งที่สองแทนหลัก สิบ และให้เอาท์พุตออกที่ พอร์ท B

  จะให้การกดครั้งที่สามแทนหลัก หน่วย และให้เอาท์พุตออกที่ พอร์ท A

สามารถแสดงการสโตร์ (Store) และ ชิพ(Shift) ของหลักได้ดังนี้

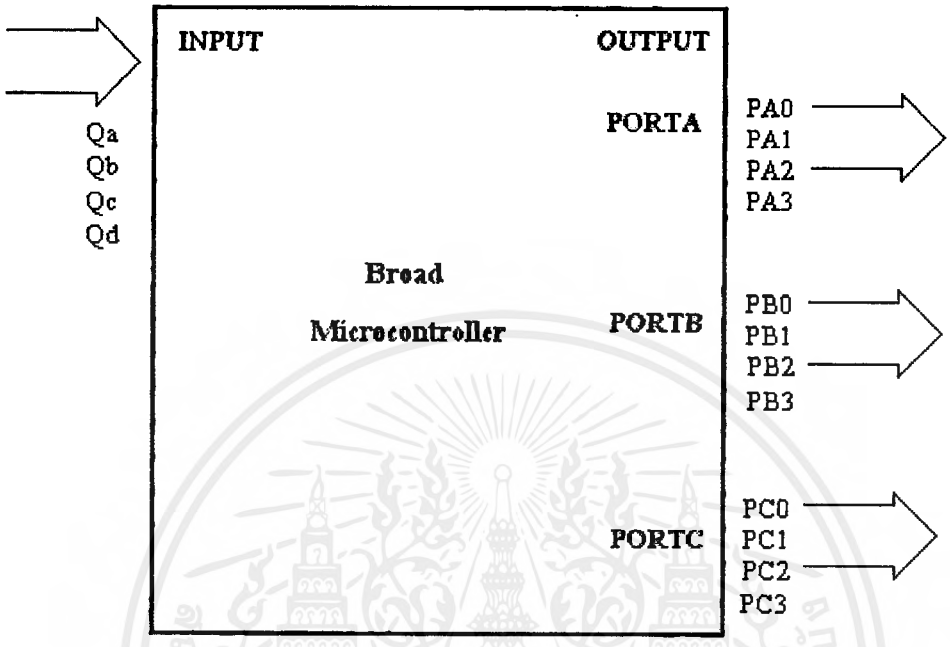
- กดครั้ง 1
  - แสดงผลเฉพาะ หลักหน่วย 1
- กดครั้ง 2

  หลักหน่วย 1 → หลักสิบ2 รับหลักหน่วย 2
  - แสดงผล หลักสิบ และ หลักหน่วย
- กดครั้ง 3

  หลักสิบ2 หลักหน่วย 2 → หลักร้อย 3 หลักสิบ 3 รับหลักหน่วย 3
  - แสดงผลทั้ง หลักร้อย หลักสิบ และหลักหน่วย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สามารถแสดงบล็อกไดอะแกรมของ ไมโครคอนโทรลเลอร์ได้ดังรูปที่ 3.12



รูปที่ 3.11 แสดงบอร์ดของไมโครคอนโทรลเลอร์

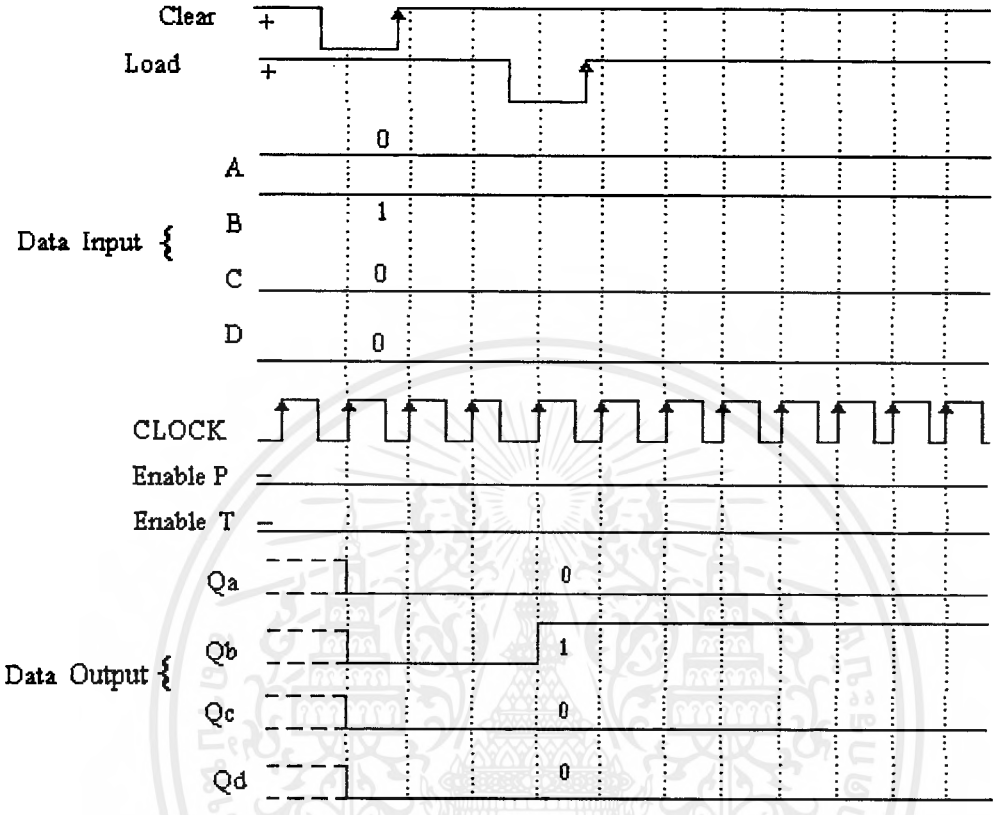
สุดท้ายนำหลักการที่ได้นี้ไปเขียนโปรแกรมควบคุมอีกที
ข้อมูลที่ออกทาง พอร์ท A พอร์ท B และ พอร์ท Cนี้ยังไม่ให้ออกโดยตรงเราต้องนำมาเข้าข้อกำหนดดังนี้

⇒ เคลียร์ข้อมูลที่ออกมาทางเอาท์พุต

⇒ โหลดข้อมูลออกทางเอาท์พุต

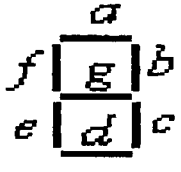
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

◆ ออกแบบโดยประยุกต์ใช้ไอซี Fully Synchronous Decade Counter เบอร์ 74162 เป็นตัวโหลดและเคลียร์ข้อมูลซึ่งสามารถแสดงไทม์มิ่งไดอะแกรม (Timing Diagram) ดังรูปข้างล่าง



รูปที่ 3.12 แสดงไทม์มิ่งไดอะแกรม (Timing Diagram) การทำงานของ IC#74162

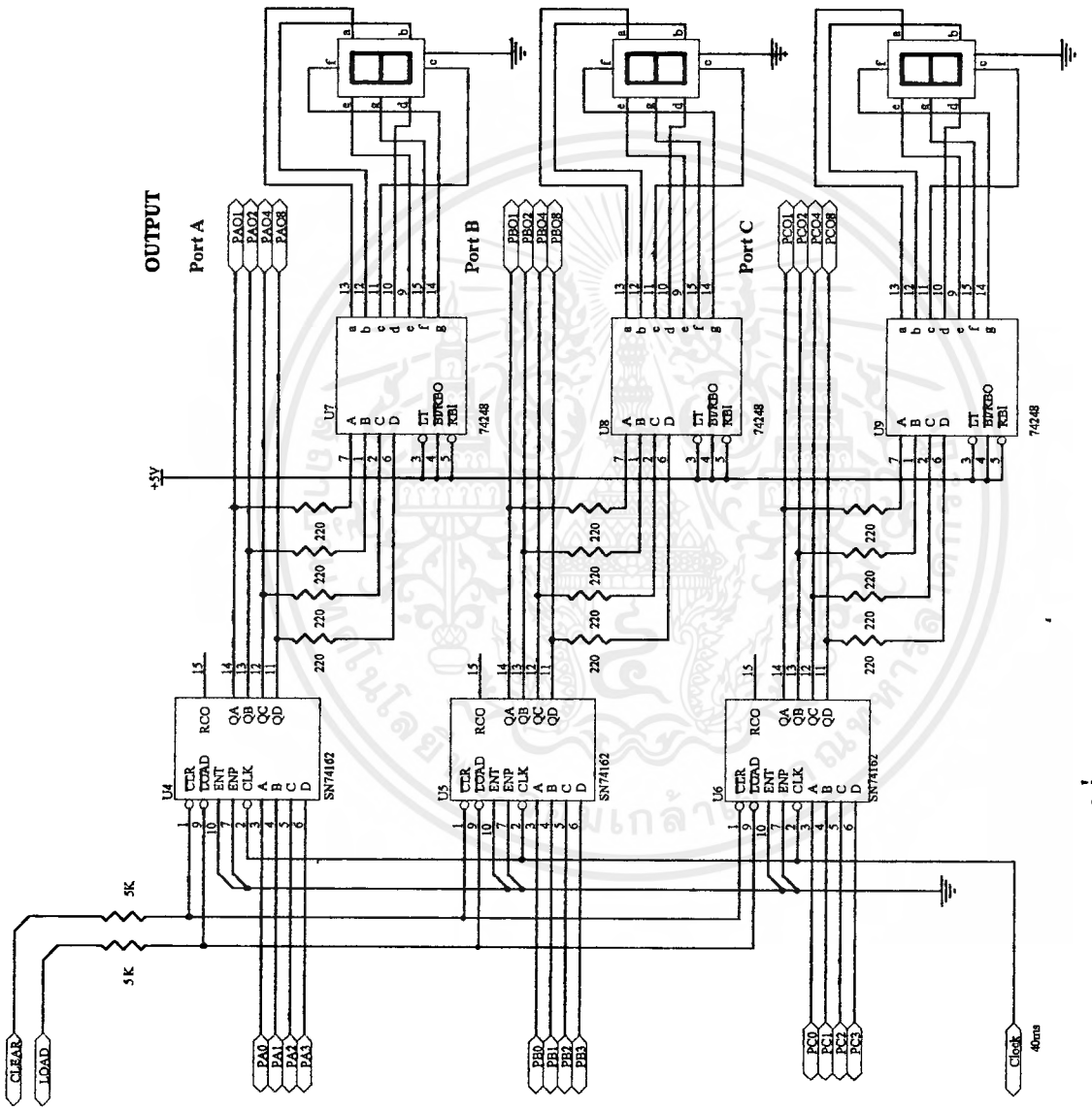
◆ ส่วนของการแสดงผลจะใช้ไอซี BCD to Seven Zegment Decoder/Driver เบอร์ 74248 เป็นตัวแสดงผลออกทางเซเว่นเซ็กเมนต์ (Seven Zegment) สามารถแสดงขาต่างๆของเซเว่นเซ็กเมนต์ได้ดังรูปที่ 3.14



รูปที่ 3.13 แสดงขาต่างๆของเซเว่นเซ็กเมนต์

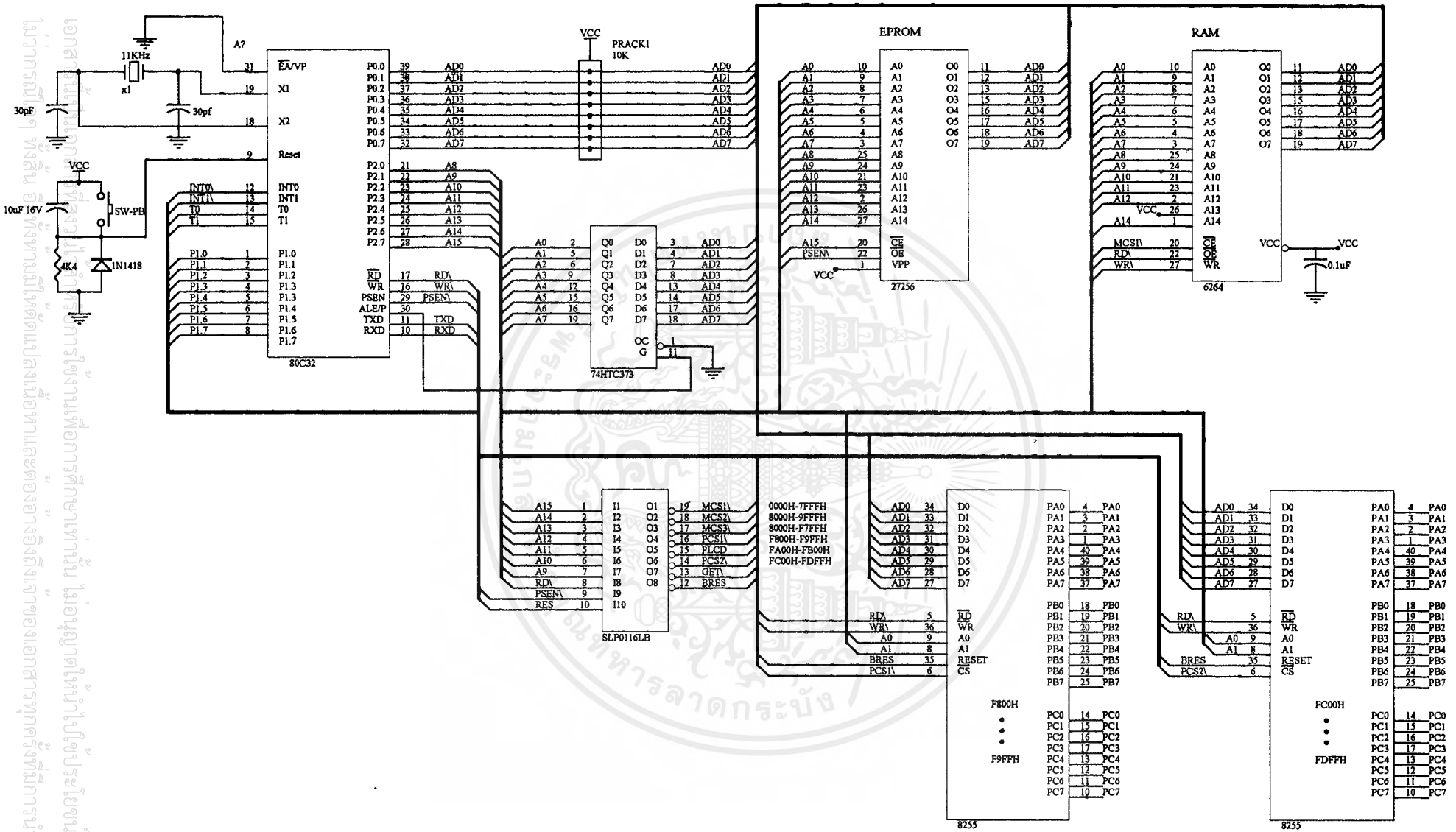
นำ 74162 มาสร้างวงจรแสดงสภาวะการโหลดและเคลียร์ข้อมูล พร้อมกับการแสดงผลได้ดังรูปที่ 3.14 ส่วนของวงจรไมโครคอนโทรลเลอร์สามารถแสดงได้ดังรูปที่ 3.15

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.14 แสดงวงจรส่วนของการโหลดเครื่องและแสดงผล

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.15 แสดงวงจรไมโครคอนโทรลเลอร์ที่ใช้ควบคุมการสวิทช์

3. ลำดับการเขียนโปรแกรม

จากข้อกำหนดอินพุตที่เข้ามายังบอร์ดดังตารางที่ 3.5

ตารางที่ 3.5 แสดงเงื่อนไขที่นำมาเขียนโปรแกรม

INPUT จาก IC#74175				OUTPUT ที่ได้		แปลงเป็น เงื่อนไข	
D	C	B	A	DEC	HEX	DEC	HEX
H	H	H	H	15	0X0F	15	0X0F
L	H	H	L	6	0X06	9	0X09
L	H	H	H	7	0X07	8	0X08
H	L	L	L	8	0X08	7	0X07
H	L	L	H	9	0X09	6	0X06
H	L	H	L	10	0X0A	5	0X05
H	L	H	H	11	0X0B	4	0X04
H	H	L	L	12	0X0C	3	0X03
H	H	L	H	13	0X0D	2	0X02
H	H	H	L	14	0X0E	1	0X01
L	L	L	L	0	0X00	0	0X00

โปรแกรมที่เขียนเป็นโปรแกรมภาษา ซี และ MSC51 ใช้การรับส่งข้อมูลทีละ 8 บิท เพราะฉะนั้นต้องใช้เลขฐานสิบหกในการเขียนโปรแกรม

เลขฐานสิบหก เช่น 0XFF เทียบกับฐานสองคือ 1111 1111

0X05 เทียบกับฐานสองคือ 0000 0101

จะเขียนโปรแกรมจากข้อกำหนดของ 8255 พอร์ตดังนี้

USER PORT แอรดเดรส F800H + 8255 offset = actual address

Port A ตำแหน่งแอดเดรส F800H + 00H = F800H

Port B ตำแหน่งแอดเดรส F800H + 01H = F801H

Port C ตำแหน่งแอดเดรส F800H + 02H = F802H

Mode Port ตำแหน่งแอดเดรส F800H + 03H = F803H

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

USER PORT แอรดเดรส FC00H + 8255 offset addr = actual address

Port A	ตำแหน่งแอดเดรส	FC00H + 00H = FC00H
Port B	ตำแหน่งแอดเดรส	FC00H + 01H = FC01H
Port C	ตำแหน่งแอดเดรส	FC00H + 02H = FC02H
Mode Port	ตำแหน่งแอดเดรส	FC00H + 03H = FC03H

ก่อนการใช้พอร์ท 8255 เราต้องทำการกำหนดโหมดการทำงาน (Configulation) ของพอร์ท A ,B และ C ให้เป็นพอร์ทอินพุตหรือเอาท์พุต โดยการเขียนค่า Control Code ไปที่ Mode Port ซึ่ง Mode Port นี้สามารถเขียนได้เท่านั้นไม่สามารถอ่านได้ในที่นี่จะเซ็ทให้ทำงานที่โหมด 0 ซึ่งเป็นโหมดที่ใช้งานที่สะดวกและง่ายต่อการทำความเข้าใจ ดังแสดงค่า Control Code ดังตารางที่ 3.6

ตารางที่ 3.6 แสดงคุณลักษณะโหมด 0 ของ 8255

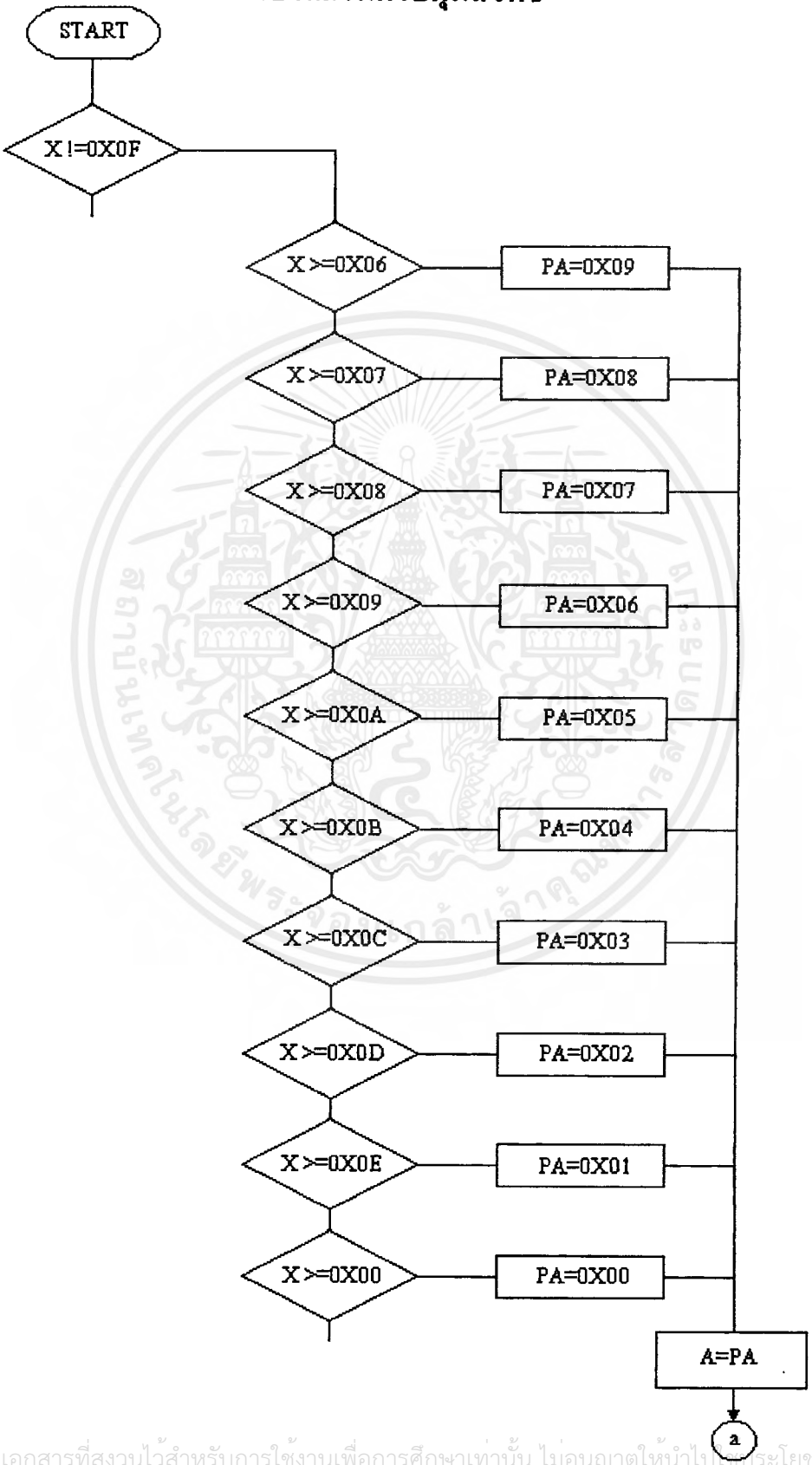
Port A (PAO-PA7)	Port C (PC4-PC7)	Port B (PB0-PB7)	Port C (PB0-PB3)	Control Code (HEX)
output	output	output	output	80H
output	output	output	input	81H
output	output	input	output	82H
output	output	input	input	83H
output	input	output	output	88H
output	input	output	input	89H
output	input	input	output	8AH
output	input	input	input	8BH
input	output	output	output	90H
input	output	output	input	91H
input	output	input	output	92H
input	output	input	input	93H
input	input	output	output	98H
input	input	output	input	99H
input	input	input	output	9AH
input	input	input	input	9BH

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

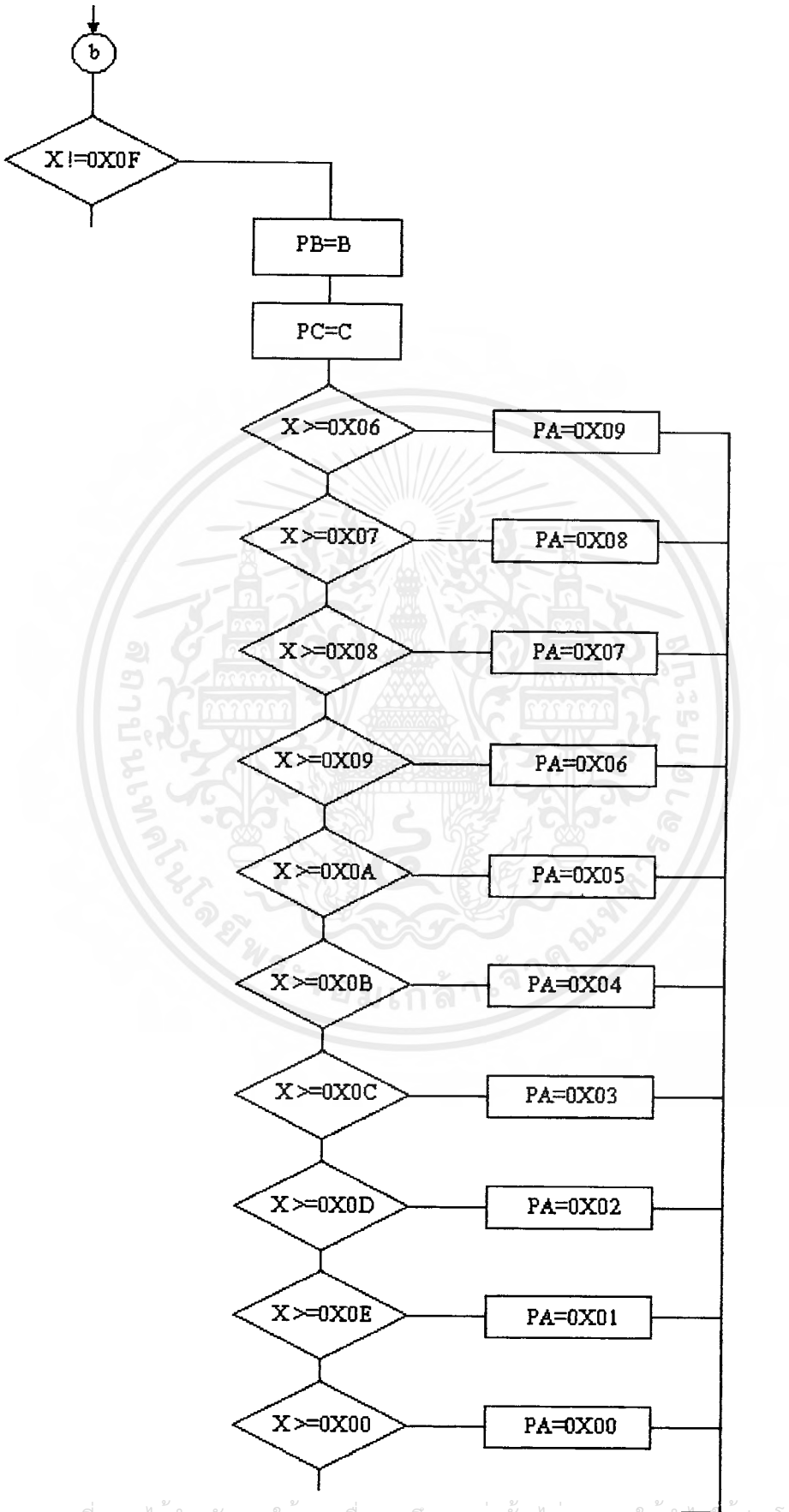
จากข้อกำหนดทั้งหมดข้างบนนำมาเป็นข้อกำหนดประกอบการเขียนโปรแกรมควบคุมการเลือกไลน์ได้ดังสามารถแสดงแผนผังการทำงานของโปรแกรม (Flowchart) และตัวโปรแกรมควบคุมการเลือกไลน์ที่เขียนด้วยภาษาซีก่อนอัดลงอีพรอมแบบเลขฐานสองได้ดังนี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

แผนผัง (Flowchart) การทำงาน ของโปรแกรมควบคุมสวิทช์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 4

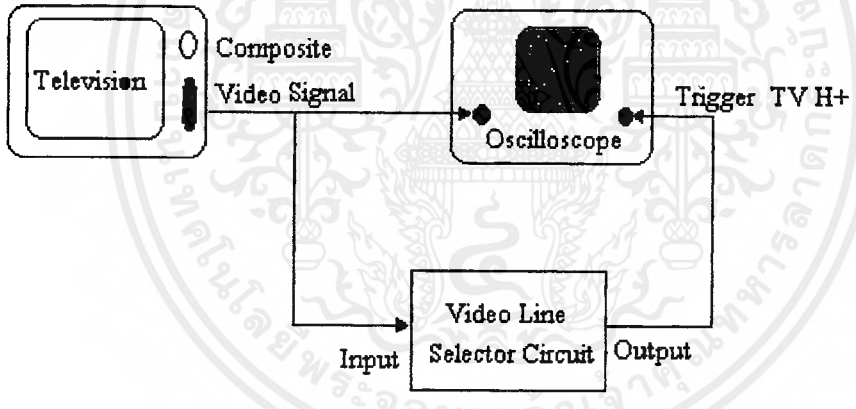
ลำดับการทดลองและผลการทดลอง

คำแนะนำก่อนการทดลอง

LM1881 มีอัตราสูงสุดของแรงดันอินพุต (Maximum Input Voltage) เท่ากับ 3 Vp-p แนะนำว่าจะให้ดีควรจะต่ออินพุตของวงจรด้วยตัวต้านทานปรับค่าได้ 10 KΩ เพื่อควบคุมขนาดความแรงของสัญญาณอินพุตไม่ให้แรงเกินไปจนทำความเสียหายกับ LM1881 ได้และอย่าลืมว่าอินพุต อิมพีแดนซ์ของ LM1881 นั้นมีค่าประมาณ 10 KΩ และสัญญาณภาพรวมต้องเป็นสัญญาณแบบ Negative Going ตามทฤษฎีก็คือจุดที่ซิงค์พัลซ์มีค่าลดลงหรือแรงดันชั่วขณะลดลงนั่นเอง

การทดลอง

ประกอบวงจรตามรูปที่ 4.1



รูปที่ 4.1 แสดงการต่อวงจรเลือกเส้นสะแกนสัญญาณภาพของโทรทัศน์

เซ็ทออสซิลโลสโคป	Source(XMODE)	ที่ External Trigger
	Coupling	ที่ AC(EXT DC)
	Sweep Mode	ที่ NORM

ข้อแนะนำ

จะพบว่าสัญญาณที่เกิดขึ้นบนหน้าจอโทรทัศน์นั้นมีความเร็วมาก เพราะฉะนั้นตามหลักการแล้วการที่เราจะเลือก VIT Lines ได้นั้น เราต้องใช้ออสซิลโลสโคปที่มีแบนวิดท์อย่างน้อย 20 Mhz ขึ้นไป

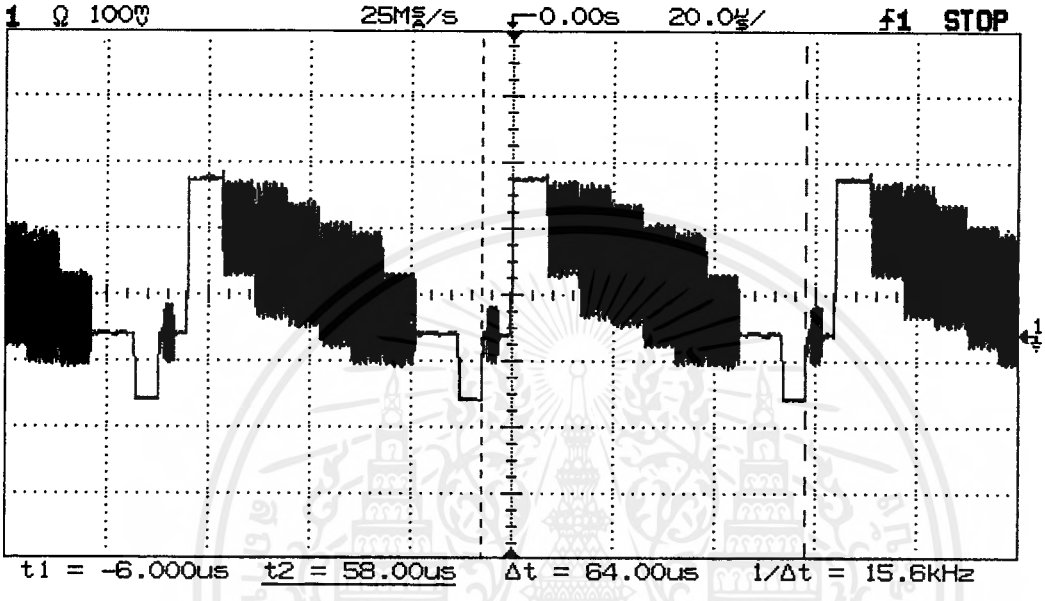
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลอง

จากการวัดสัญญาณตามจุดต่างๆของวงจรเลือกเส้นสะแกนสัญญาณภาพ

1. สัญญาณอินพุต (Input Signal)

จะจ่ายสัญญาณภาพรวม (Composite Video Signal)เป็นสัญญาณอินพุต

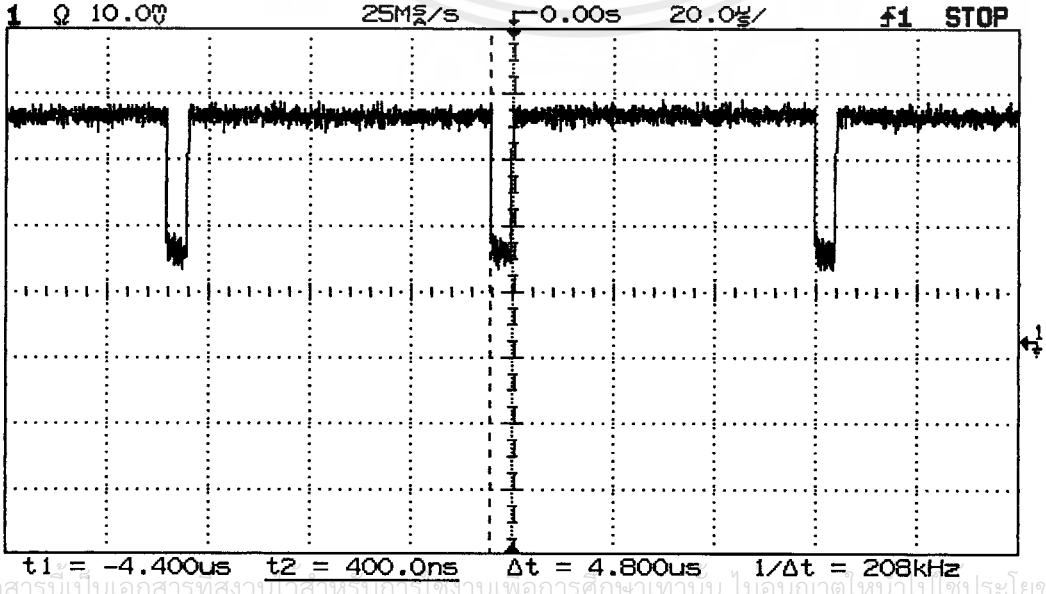


2.ในส่วนของวงจรแยกสัญญาณซิงค์ (IC1,IC2)

◆ สัญญาณเบิร์สวัดที่ขา 5 ของไอซี LM1881N

ตามทฤษฎีจะได้ สัญญาณเบิร์ส ที่มีความกว้างประมาณ 4 uS ดังรูป

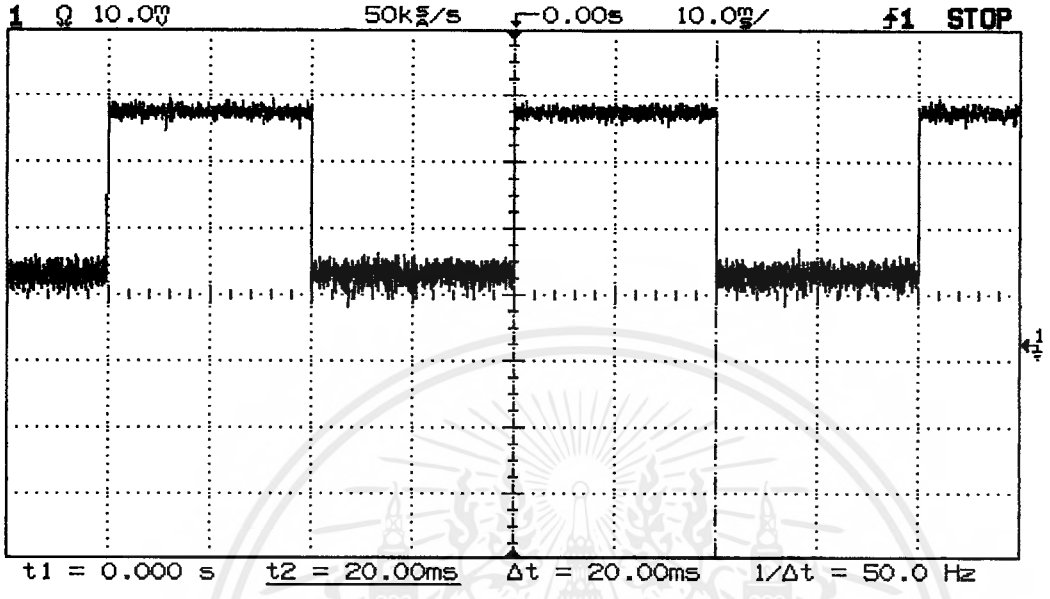
ผลการทดลองที่วัดได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

◆ สัญญาณฟิลด์คู่ฟิลด์คี่ (Odd / Even Field) ที่ขา 7 ของ LM1881N

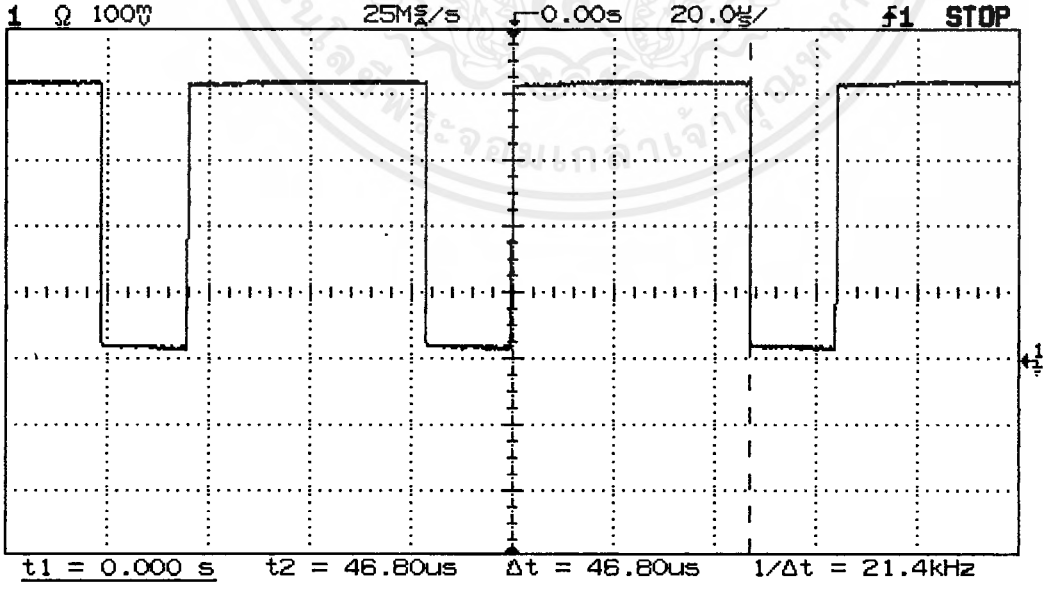
ตามทฤษฎีจะได้สัญญาณพัลซ์ที่มีความถี่ที่เท่ากับกรสะแกนใน1ฟิลด์ (25 Hz)



◆ สัญญาณคล็อกพัลซ์ 48 uS ที่ขา 12 ของ74221

ตามทฤษฎีจะได้ สัญญาณพัลซ์ที่มีความกว้าง 48 us ตามการทริกเกอร์ให้กับวงจร

ผลการทดลองที่วัดได้

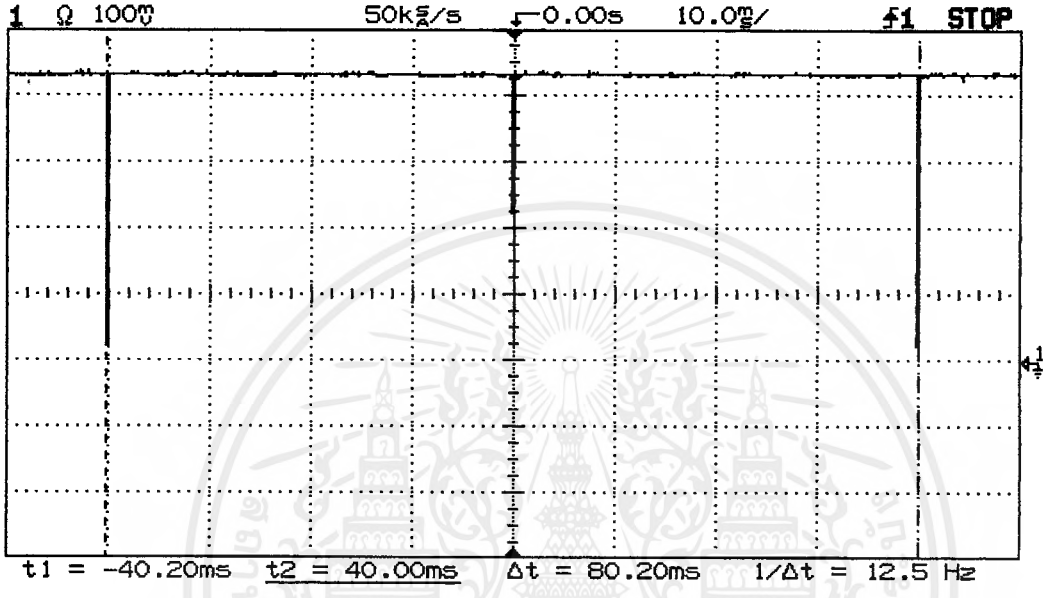


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

◆ สัญญาณแสดงการโหลด (Load 48uS) ที่ขา 13 ของ 74221

ตามทฤษฎีจะได้ สัญญาณพัลซ์ที่มีความกว้าง 48 uS ตามการทริกที่ขอบขาขึ้นของสัญญาณ Odd/Even Output ที่เข้ามา

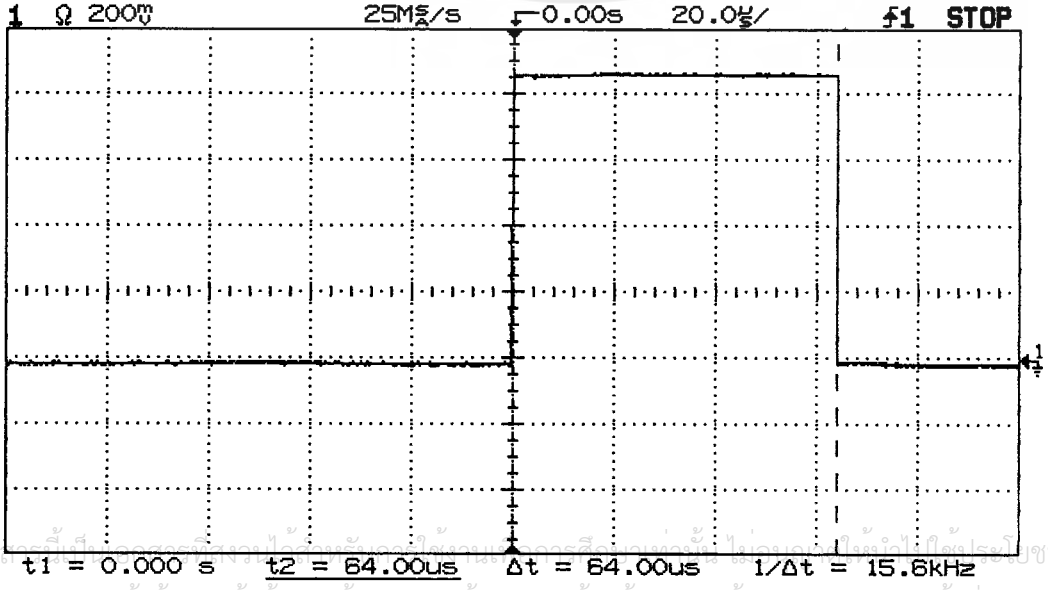
ผลการทดลองที่วัดได้



◆ สัญญาณเอาท์พุททริกเกอร์(Output Trigger)

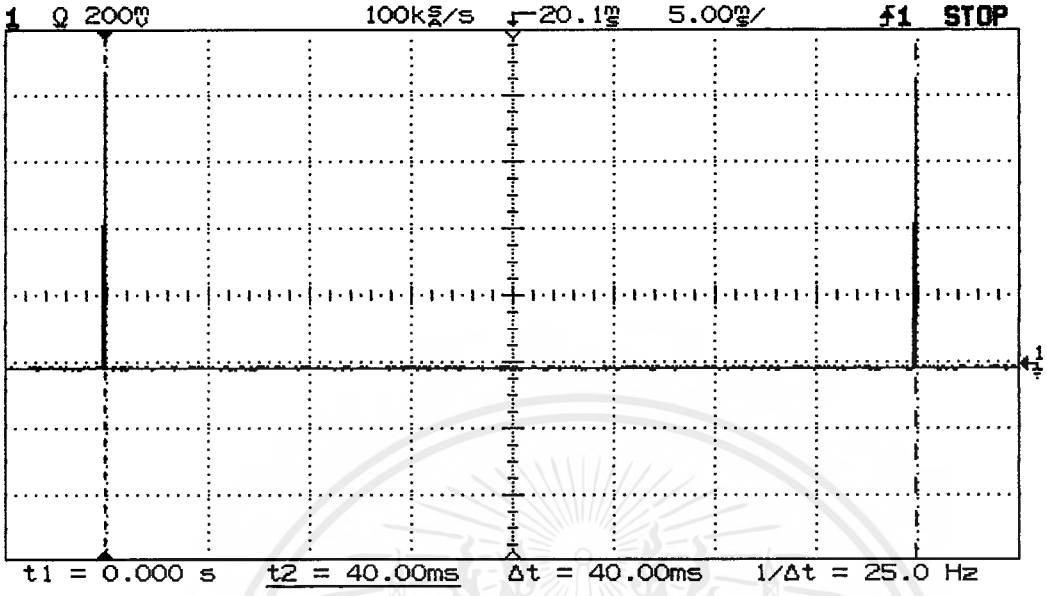
ตามทฤษฎีจะส่งออกเป็นพัลซ์บวก 64 uS เพื่อส่งไปล็อกไลน์ที่ต้องการให้แสดงออกทางหน้าจอออสซิลโลสโคป

ผลการทดลองที่วัดได้ (ก)



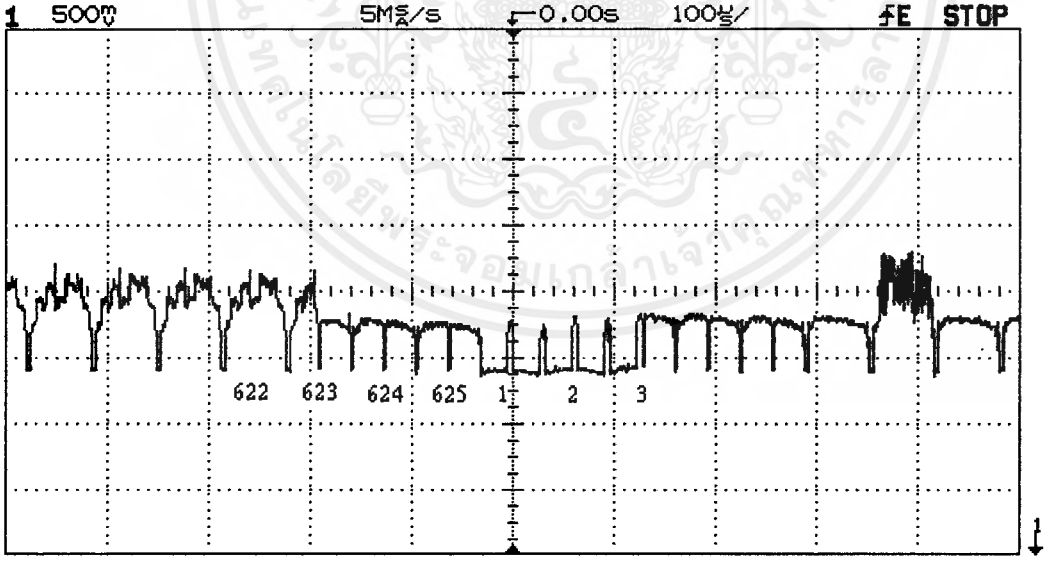
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ผลการทดลองที่วัดได้ (ข)



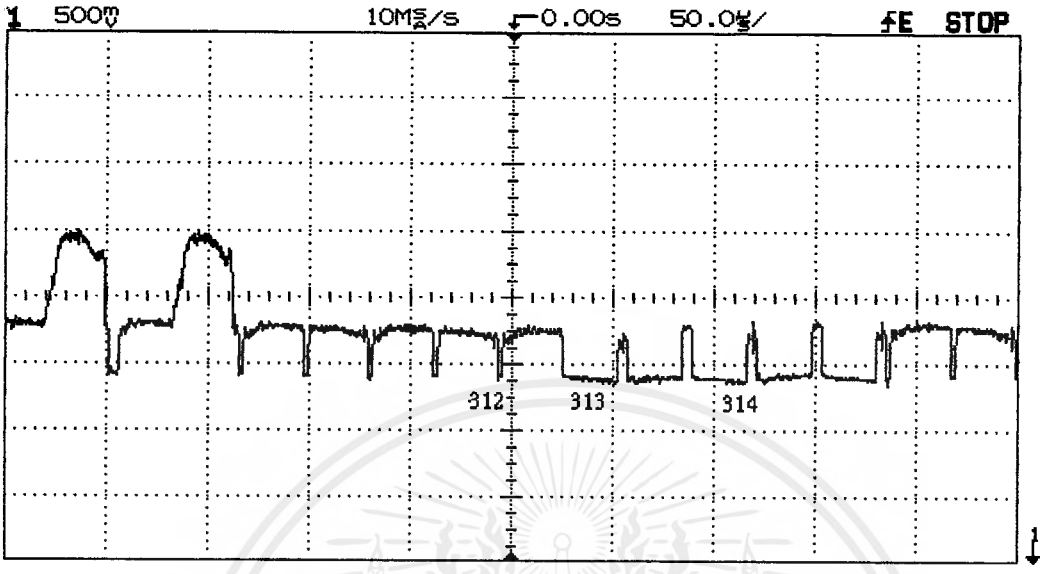
2. ทดสอบเลือกไลน์ในช่วงเวอติคอลแบล้งกิ้งมาตรวจสอบดูในที่นี้เลือกช่อง 7 สี

◆ เลือกไลน์ที่ 2 ได้สัญญาณดังรูป

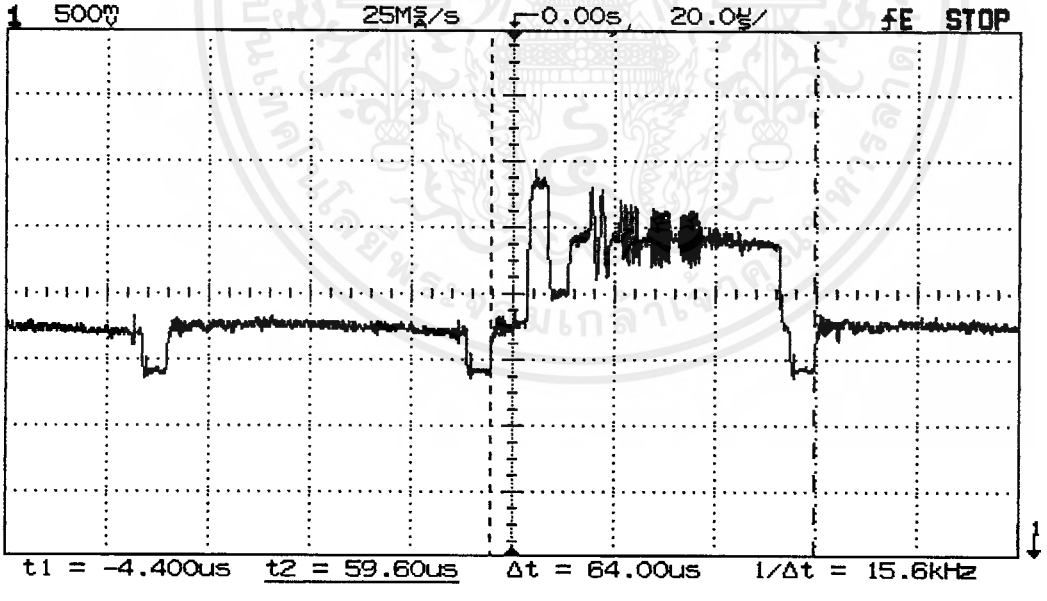


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

◆ เลือกไลน์ที่ 313 ได้สัญญาณดังรูป

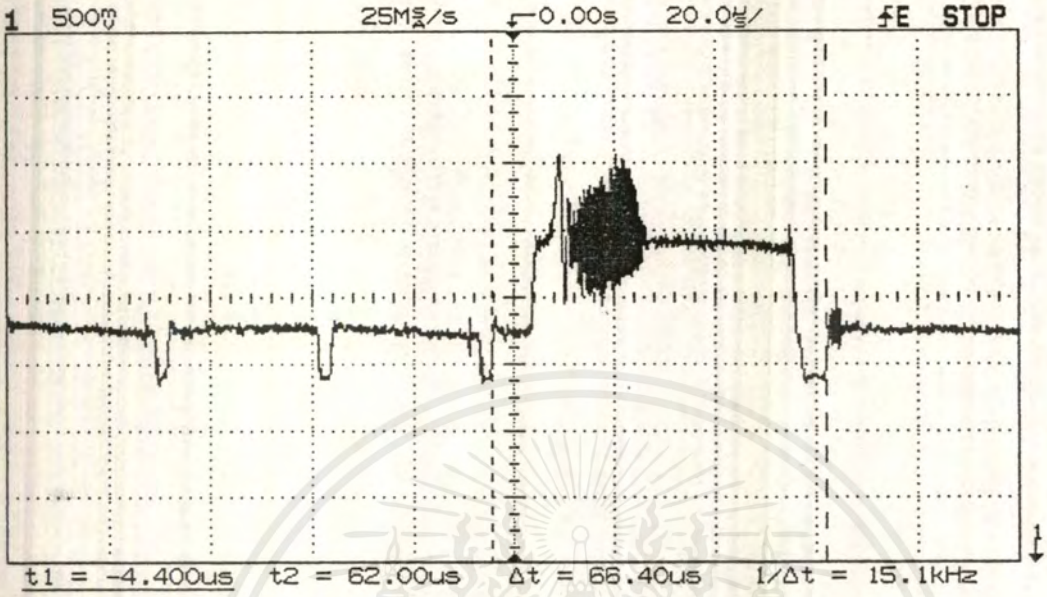


◆ เลือกไลน์ที่ 22 ได้สัญญาณดังรูป

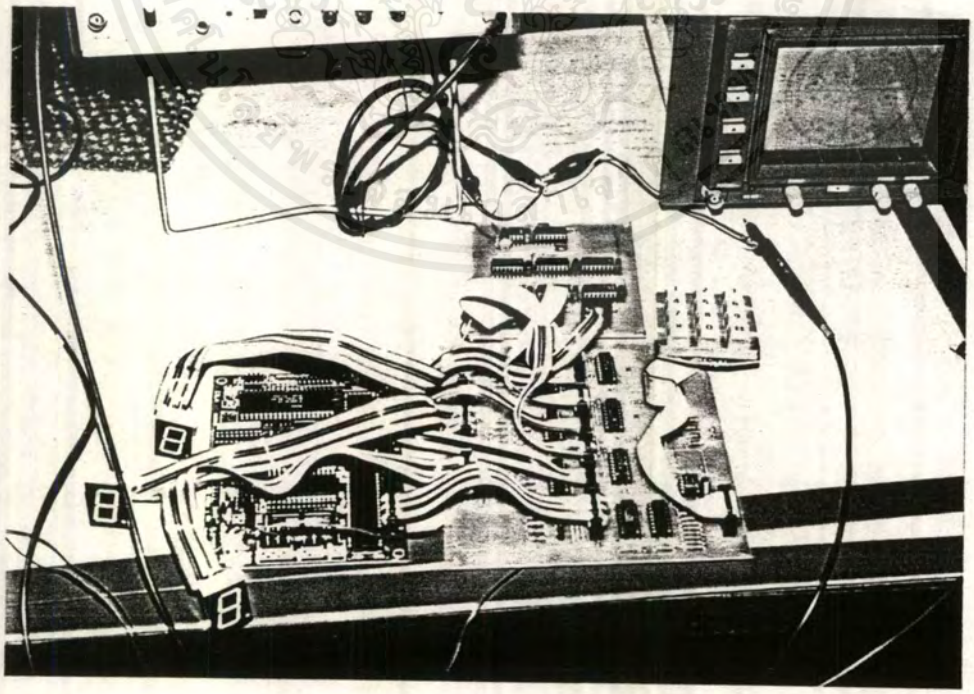


เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

♦ เลือกไลน์ที่ 318 ได้สัญญาณดังรูป



รูปวงจรอ้างอิงที่ใช้ทดลองสามารถแสดงได้ดังรูปข้างล่าง



รูปวงจรอ้างอิงที่ใช้ทดลอง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
สรุปและวิจารณ์ผลการทดลอง

เครื่องเลือกเส้นสะแกนสัญญาณภาพโทรทัศน์นี้สามารถที่จะแสดงเส้นสะแกนในช่วงเส้นสะแกนสบัดกลับในแนวตั้ง(VERTICAL BLANKING) มาแสดงผลที่หน้าจอออสซิลโลสโคปได้ตรงตามจุดประสงค์โดยอาศัยหลักการจ่ายพัลส์ 64 ไมโครวินาที ไปทริกที่ออสซิลโลสโคปเพื่อตรวจดูว่าช่วงเวลานั้นๆ ทางสถานีโทรทัศน์ได้ส่งสัญญาณใดมาบ้างในช่วงเส้นสะแกนสบัดกลับในแนวตั้งเพื่อนำสัญญาณนั้นมาใช้ประโยชน์ได้

คำแนะนำ จากผลการทดลองปรากฏว่าได้ผลตรงตามทฤษฎี แต่ผลที่ปรากฏที่หน้าจอออสซิลโลสโคปไม่ชัดเจนเท่าไหร่ดังนั้นแนวทางในการปรับปรุงต่อไป คือการนำสัญญาณภาพรวมมาขยายสัญญาณให้แรงขึ้นโดยต่อผ่านเครื่องวิดีโอเอนด์ฮานเซอร์ เพื่อชดเชยสัญญาณให้แรงขึ้นก่อนแล้วจึงจะนำมาต่อเข้าวงจรเลือกเส้นสะแกนสัญญาณภาพเพื่อที่จะให้ได้สัญญาณภาพที่ปรากฏบนจอออสซิลโลสโคปที่ชัดเจนสมบูรณ์กว่านี้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บรรณานุกรม

ธีระวัฒน์ ประกอบผล. การประยุกต์ใช้งานไมโครคอนโทรลเลอร์. กรุงเทพ : ประชาชน , 2540. หน้า 19-44.

สุนทร วิทูสรพจน์. การใช้งานไมโครคอนโทรลเลอร์ ตระกูล8051. กรุงเทพ : เอส. เอ็น. กรุ๊ป. 2537, หน้า 129-133.

Data sheet from national semiconductor , Thecnicial Data

K.J.A. Kuppens, " video line selector" , Elector Electronics, 1990

เจน สงสมพันธ์ และ นิคม อนันต์ทิพย์ , เทคโนโลยีโทรทัศน์ กรุงเทพ : เอดิสัน เพรส โปรดักส์. 2539 ,หน้า 23-57

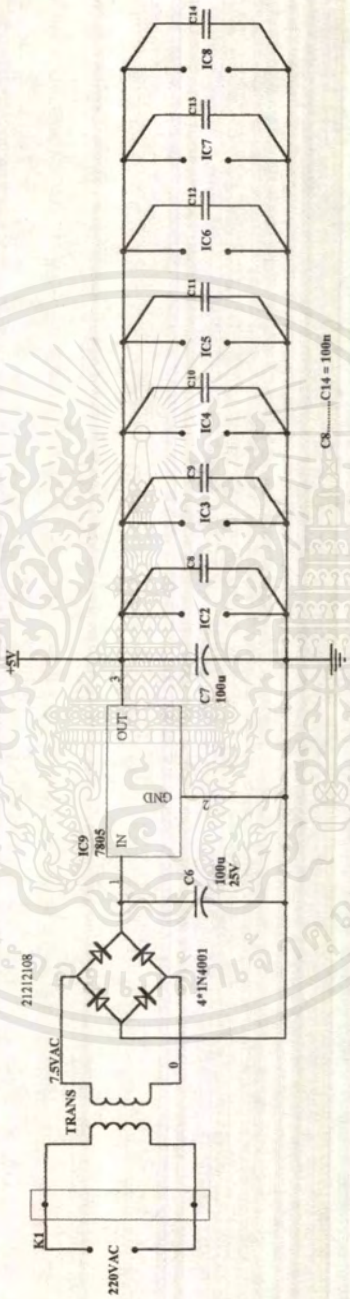
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

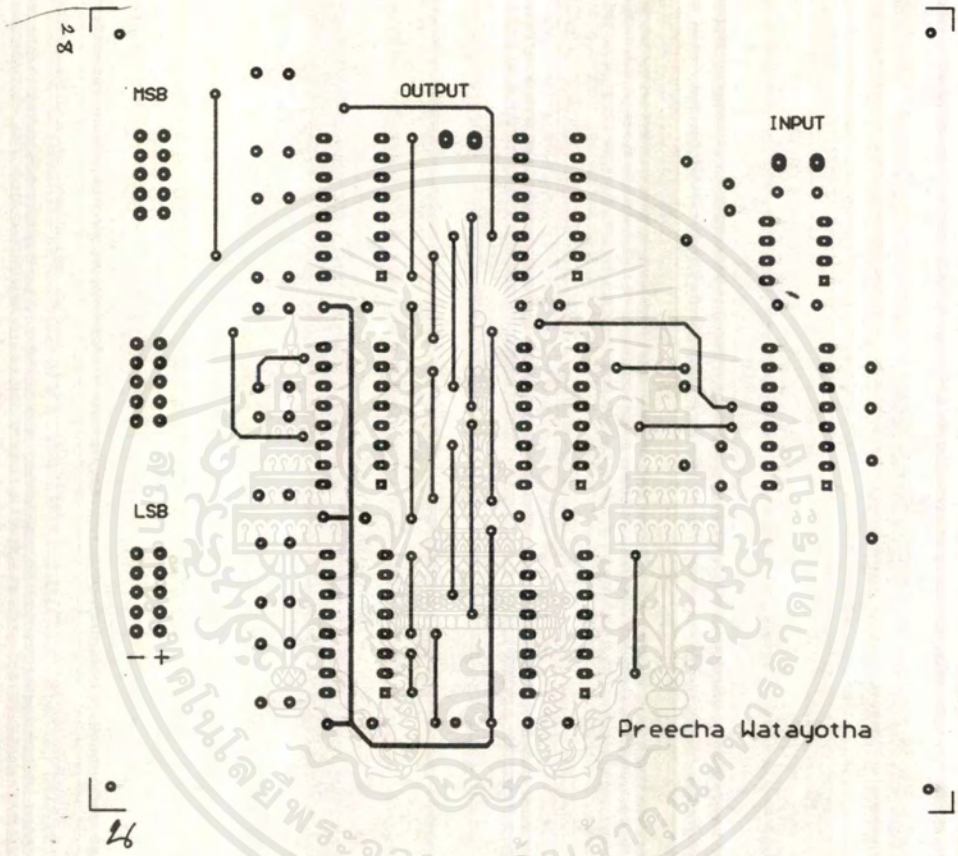
ภาคผนวก ก.

วงจรและลายพิมพ์วงจร



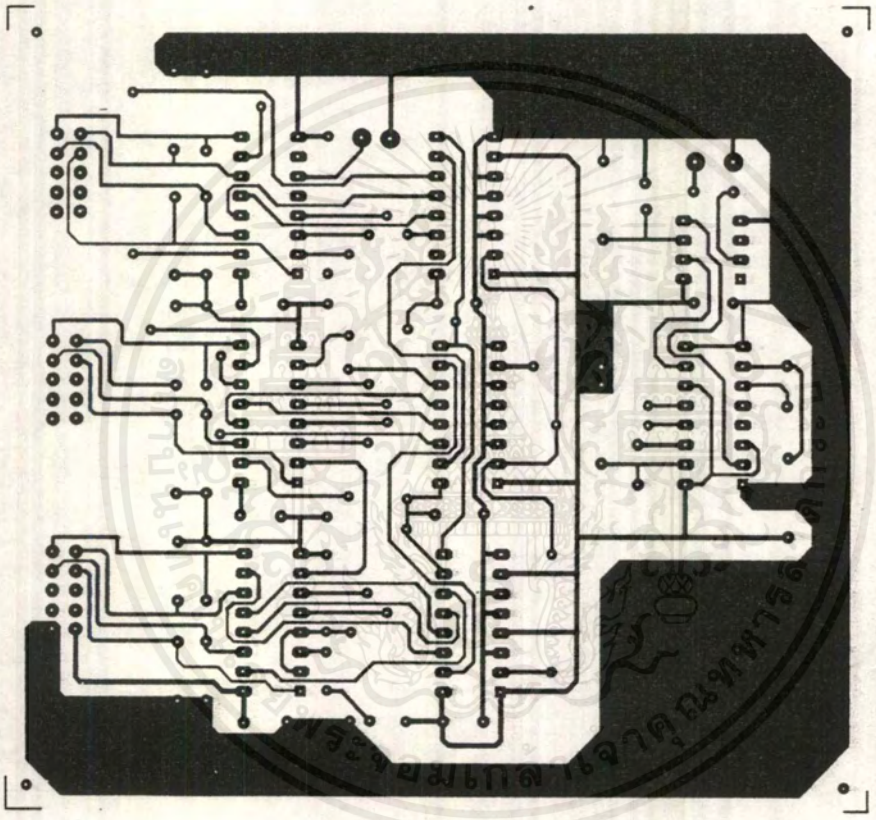
แหล่งจ่าย 5 โวลท์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



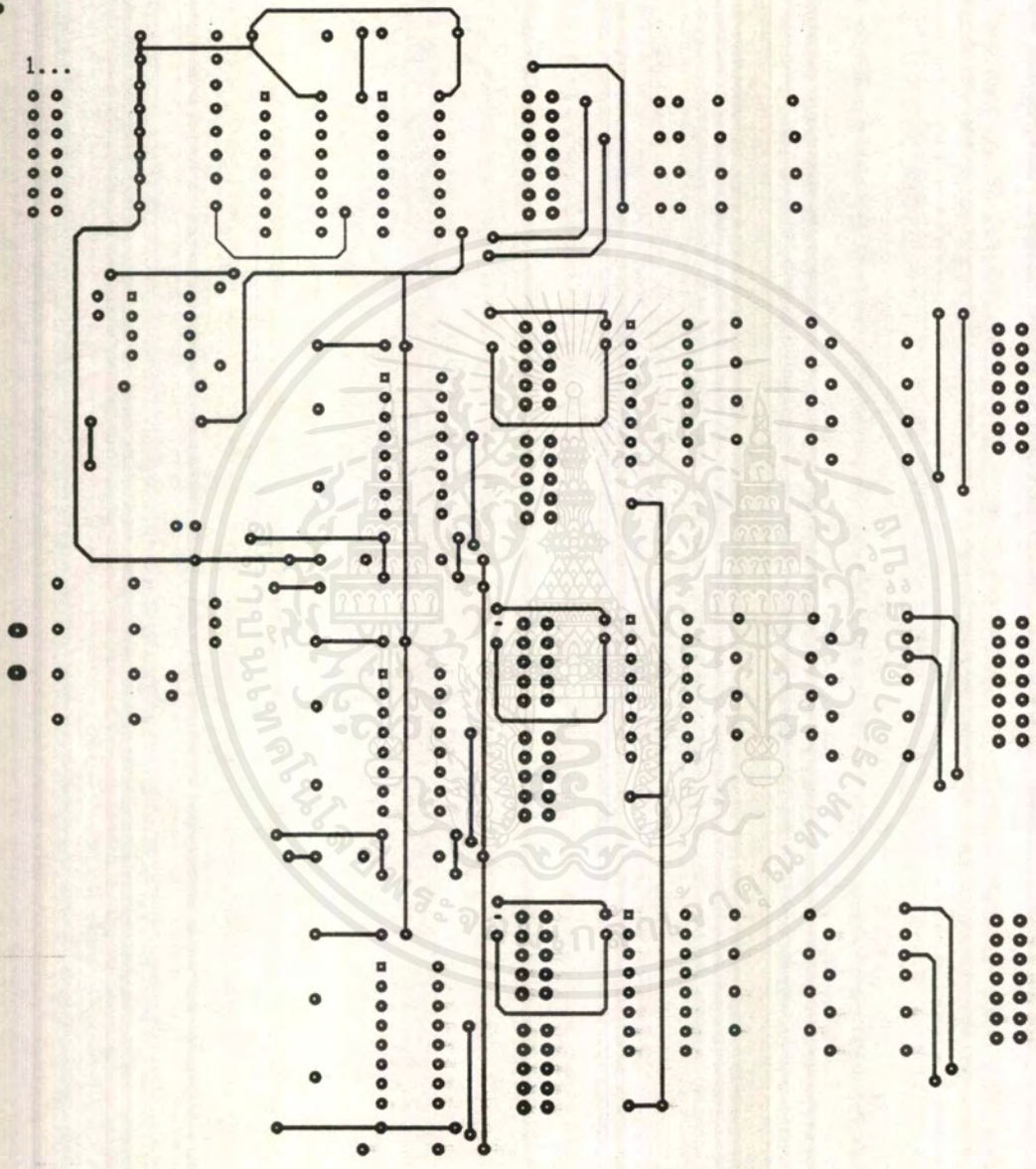
ลายวงจรพิมพ์ วงจรเลือกเส้นสะแกนภาพด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



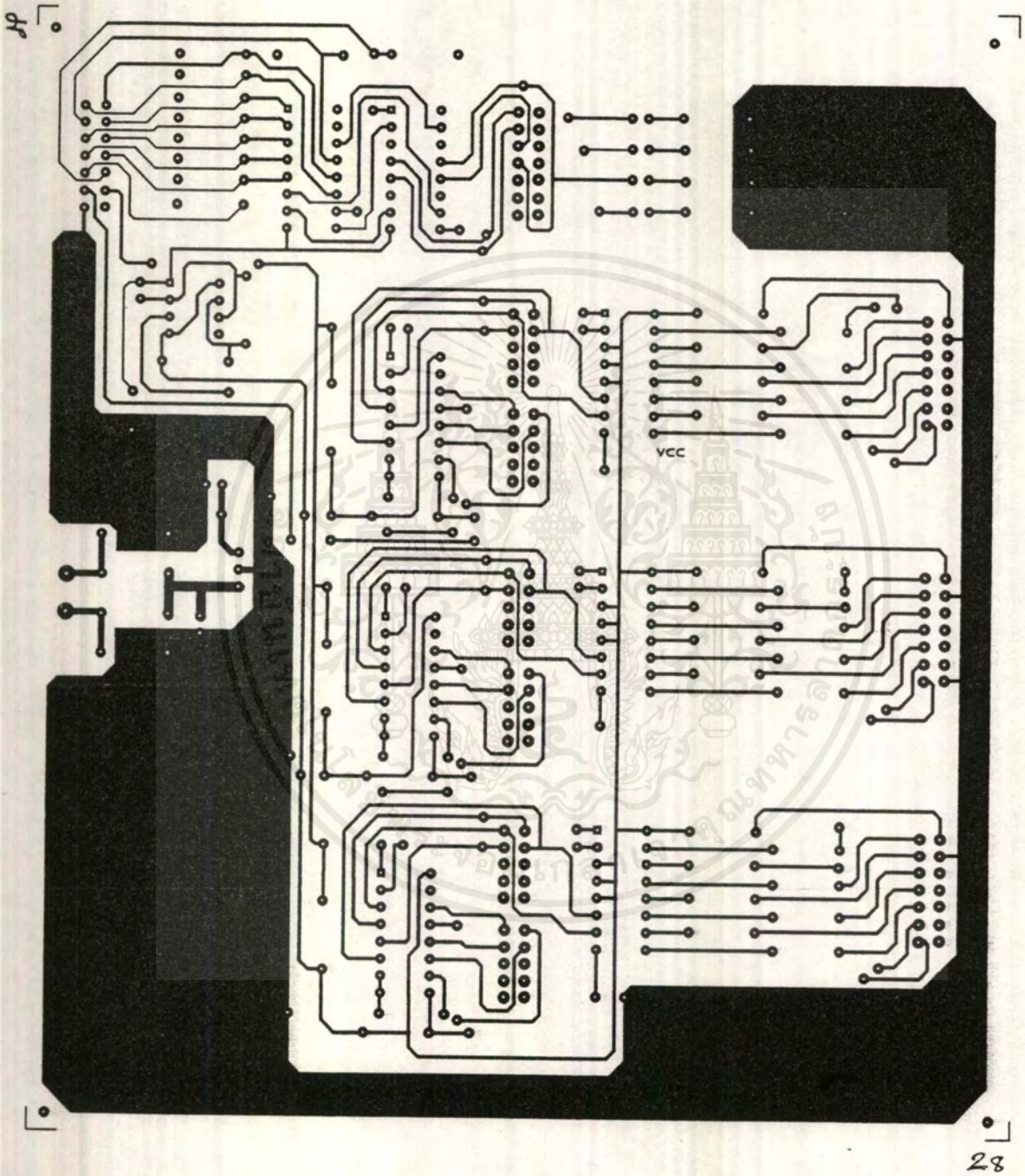
ลายวงจรพิมพ์ วงจรเลือกเส้นสะแกนภาพด้านล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจรพิมพ์ วงจรเซ็ทสวิทช์ด้านบน

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



ลายวงจรพิมพ์ วงจรเซ็ทสวิทช์ด้านล่าง

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ช.

โปรแกรมเลือกไลน์

```
/* PROGRAM  SELECT  LINES */

#include <stdio.h>                          /* HEADER PROGRAM */
#include <8051.h>
#include <conio.h>

#define PAI   (*(char*)0xf800)
#define CP1   (*(char*)0xf803)
#define PAO   (*(char*)0xfC00)
#define PBO   (*(char*)0xfC01)
#define PCO   (*(char*)0xfC02)
#define CP2   (*(char*)0xfC03)
#define IN1   0x90
#define IN2   0x80

 void main(void)                            /* FUNCTION */

{
    int press1,press2,press3;               /* DECLARATION */
    int send_1,send_2,send_3;
    CP1=IN1;
    CP2=IN2;
    clrs();

delay();
 press1=PAI;
 while(press1!=0x0F)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
{
  while(press1==PAI)
  {
  if(press1>=0x0E)
     PAO=0x01;
   else
  if(press1>=0x0D)
     PAO=0x02;
   else
  if(press1>=0x0C)
     PAO=0x03;
   else
  if(press1>=0x0B)
     PAO=0x04;
   else
  if(press1>=0x0A)
     PAO=0x05;
   else
  if(press1>=0x09)
     PAO=0x06;
   else
  if(press1>=0x08)
     PAO=0x07;
   else
  if(press1>=0x07)
     PAO=0x08;
   else
  if(press1>=0x06)
     PAO=0x09;
   else
     PAO=0x00;
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
        send_1=PAO;
        }
 delay1();

press2=PAI;
 while(press2!=0x0F)
  {
    PBO=send_1;
      while(press2==PAI)
      {
      if(press2>=0x0E)
        PAO=0x01;
       else
      if(press2>=0x0D)
        PAO=0x02;
       else
      if(press2>=0x0C)
        PAO=0x03;
       else
      if(press2>=0x0B)
        PAO=0x04;
       else
      if(press2>=0x0A)
        PAO=0x05;
       else
      if(press2>=0x09)
        PAO=0x06;
       else
      if(press2>=0x08)
        PAO=0x07;
       else
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
      if(press2>=0x07)
        PAO=0x08;
       else
      if(press2>=0x06)
        PAO=0x09;
       else
        PAO=0x00;
     send_2=PAO;
     send_3=PBO;
     }
delay1();
press3=PAI;
while(press3!=0x0F)
{
 PBO=send_2;
 PCO=send_3;
    while(press3==PAI)
    {
    if(press3>=0x0E)
      PAO=0x01;
     else
    if(press3>=0x0D)
      PAO=0x02;
     else
    if(press3>=0x0C)
      PAO=0x03;
     else
    if(press3>=0x0B)
      PAO=0x04;
     else
    if(press3>=0x0A)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
            PAO=0x05;
          else
        if(press3>=0x09)
            PAO=0x06;
          else
        if(press3>=0x08)
            PAO=0x07;
          else
        if(press3>=0x07)
            PAO=0x08;
          else
        if(press3>=0x06)
            PAO=0x09;
          else
            PAO=0x00;
        }
      }
    }
  }
}
clrs()
{
   PAO  = 0x00;
   PBO  = 0x00;
   PCO  = 0x00;
}

delay()
{
 int i,j;
  for(i=0;i<30;i++)
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```
    for(j=0;j<30;j++);
}


delay1()
{
  int i,j;
   for(i=0;i<10;i++)
    for(j=0;j<10;j++);
}
```

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ค.

ตัวอย่างสัญญาณทดสอบ (VIT LINES)

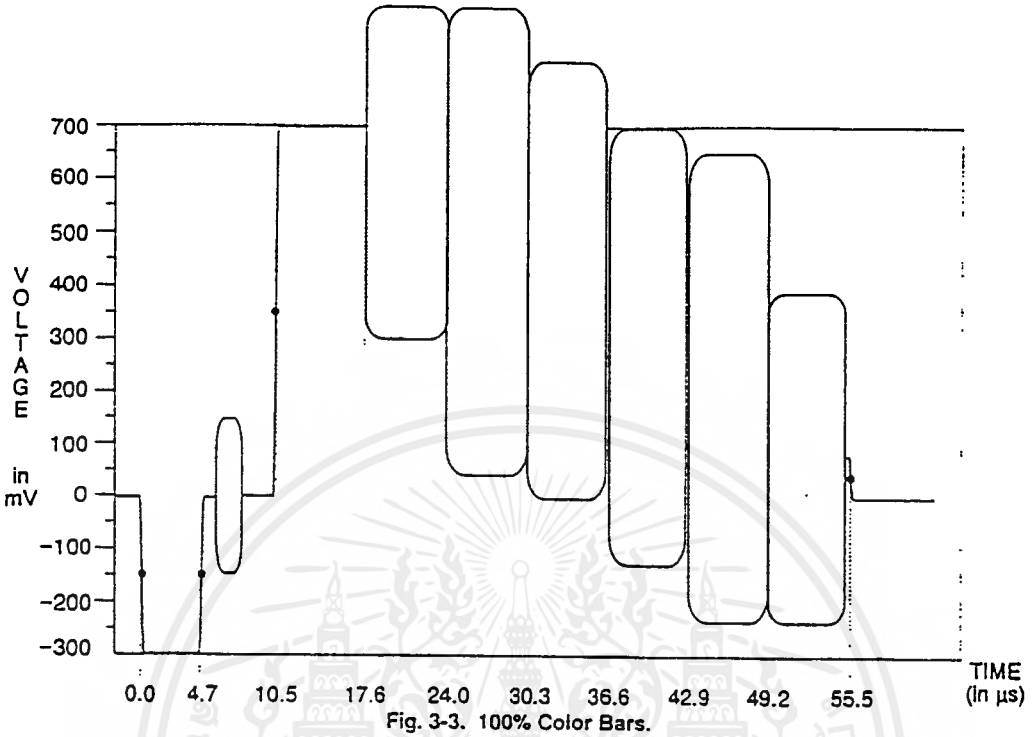


Fig. 3-3. 100% Color Bars.

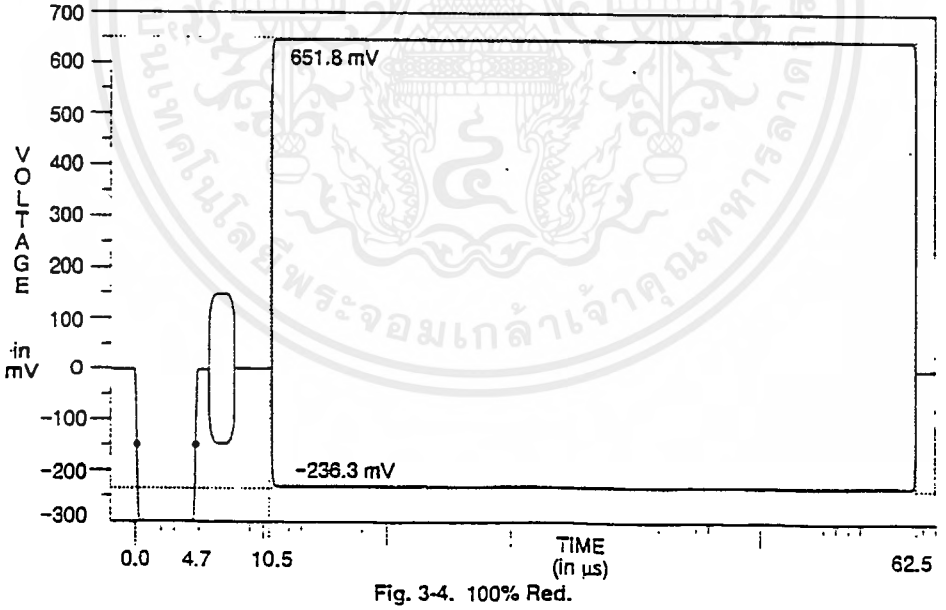


Fig. 3-4. 100% Red.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

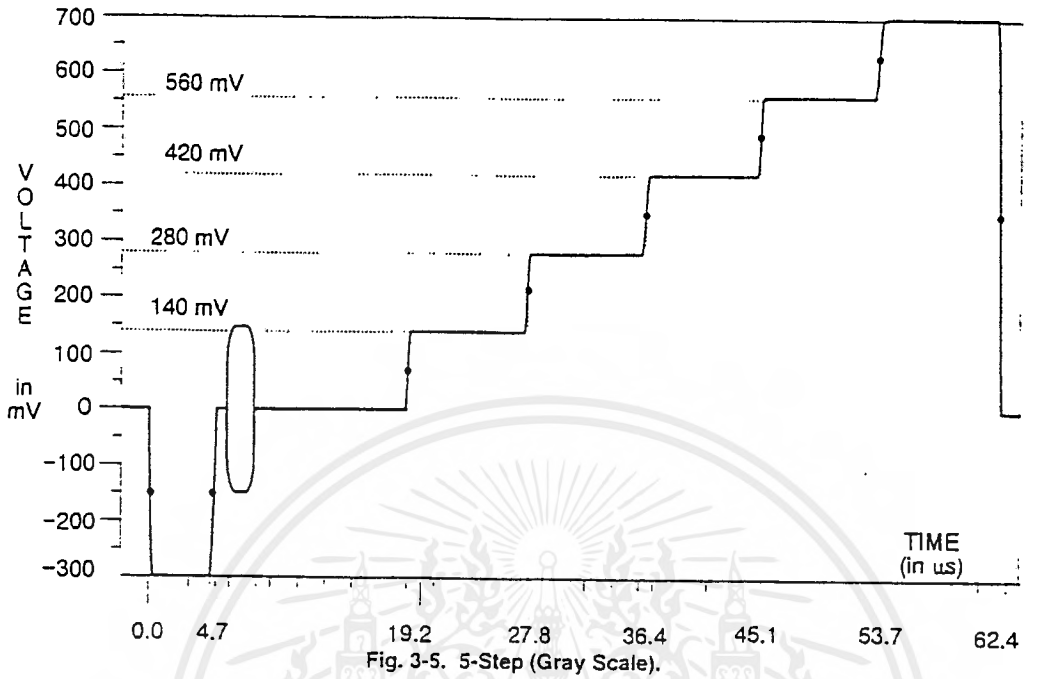


Fig. 3-5. 5-Step (Gray Scale).

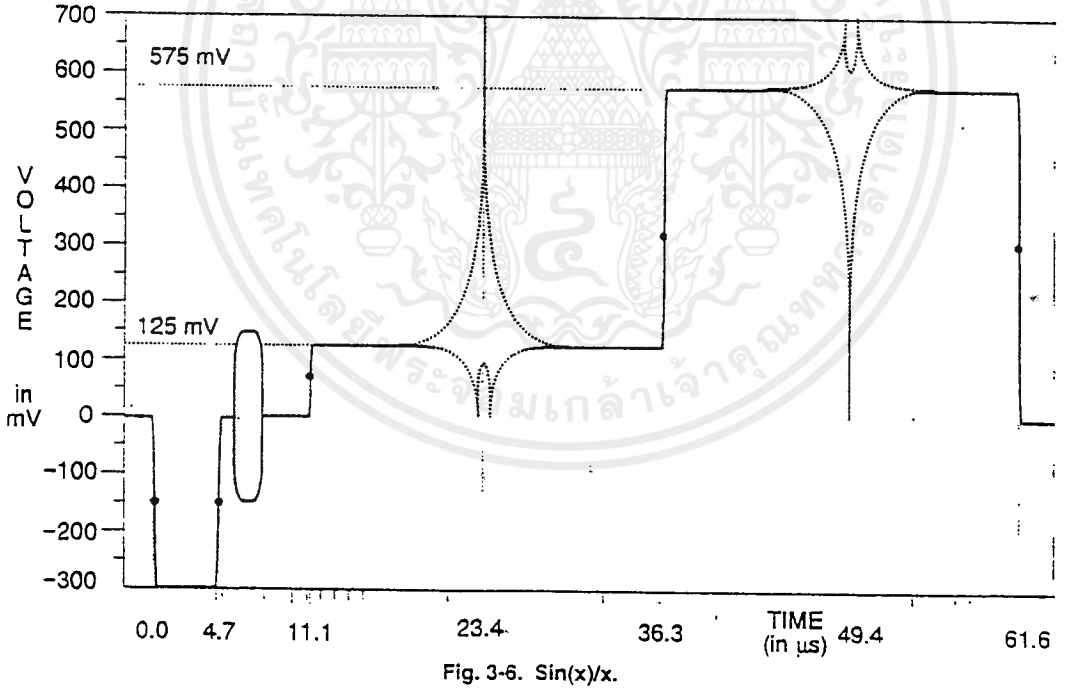


Fig. 3-6. Sin(x)/x.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

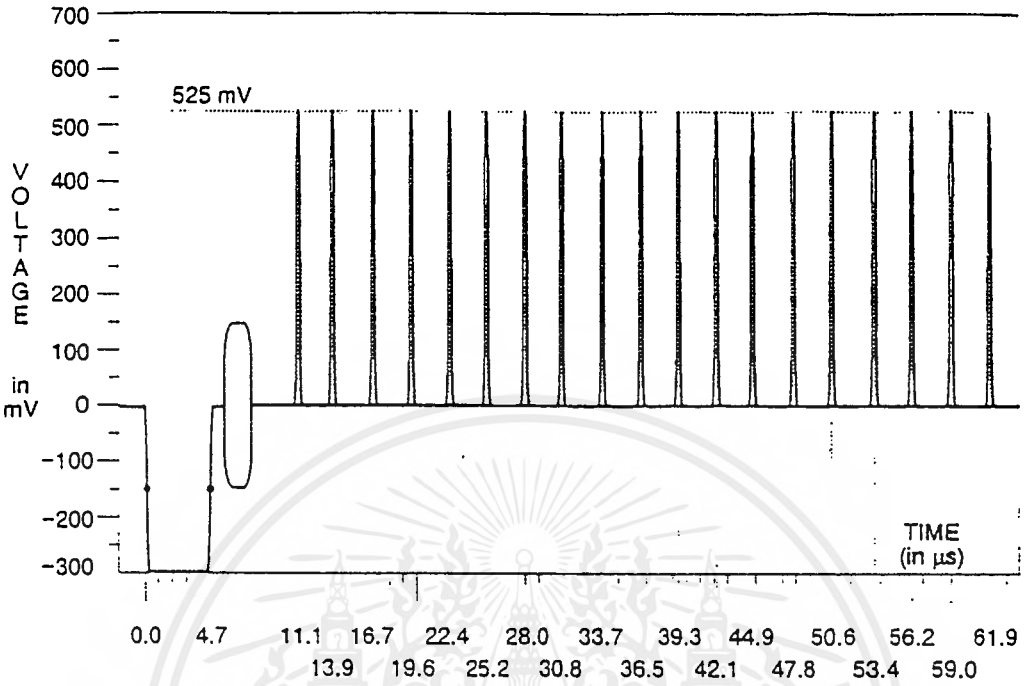


Fig. 3-7. Convergence (vertical).

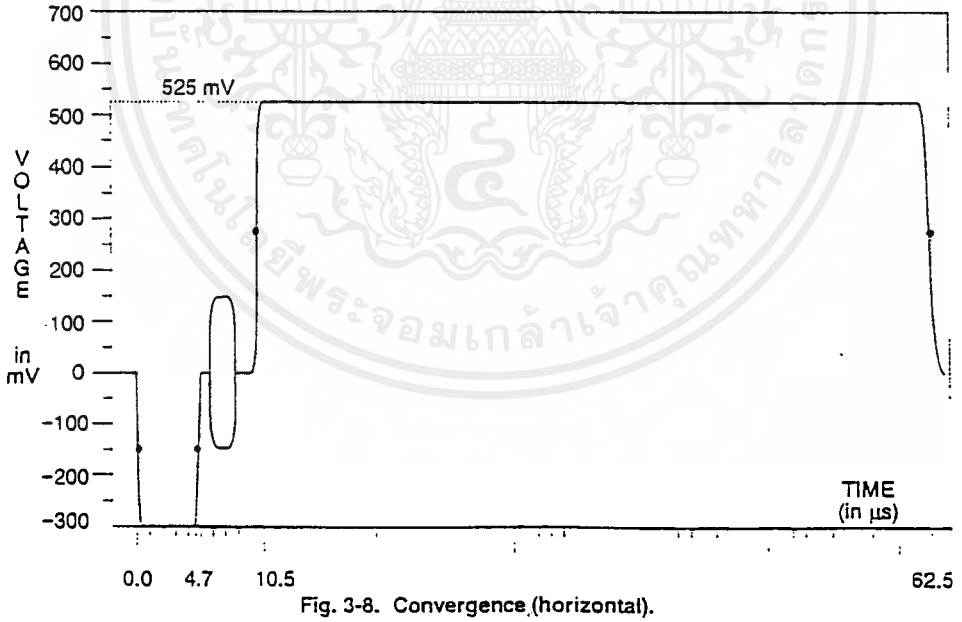


Fig. 3-8. Convergence (horizontal).

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

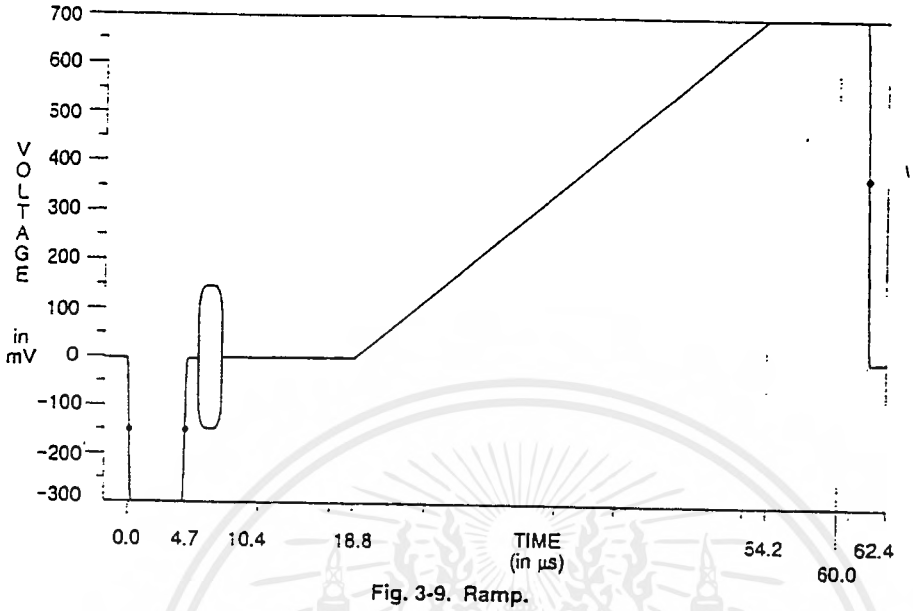


Fig. 3-9. Ramp.

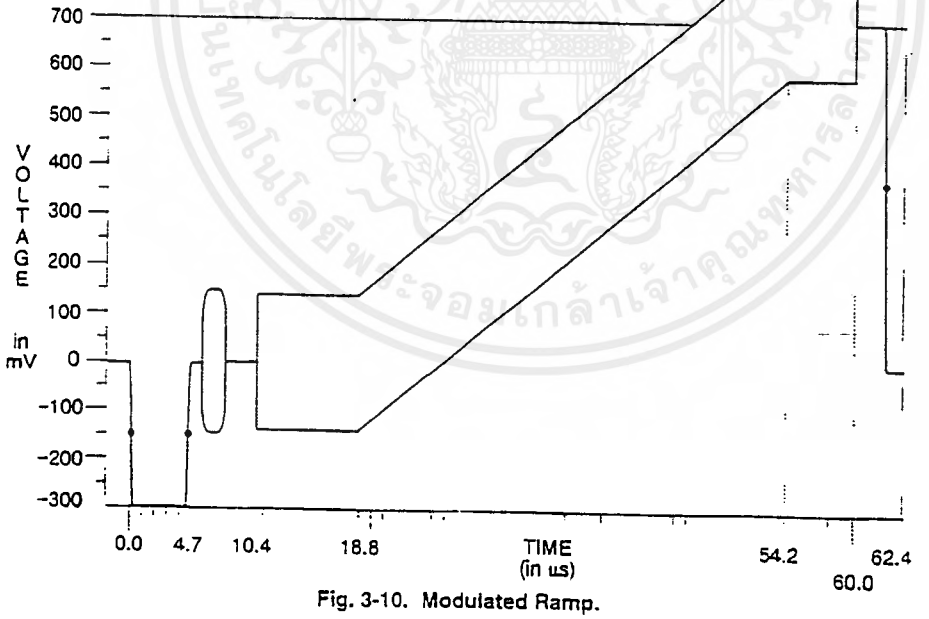


Fig. 3-10. Modulated Ramp.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

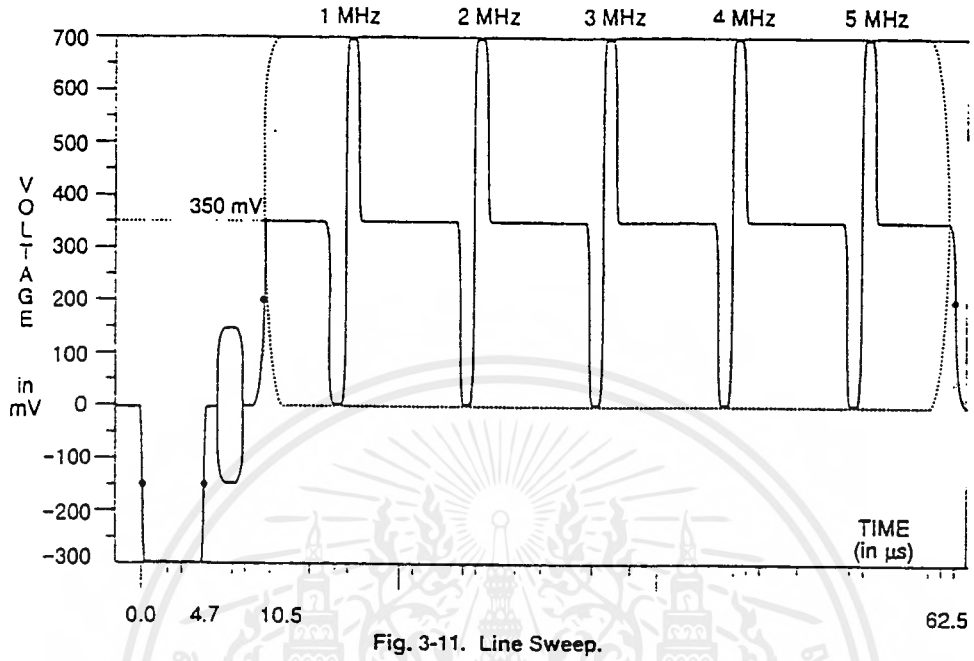


Fig. 3-11. Line Sweep.

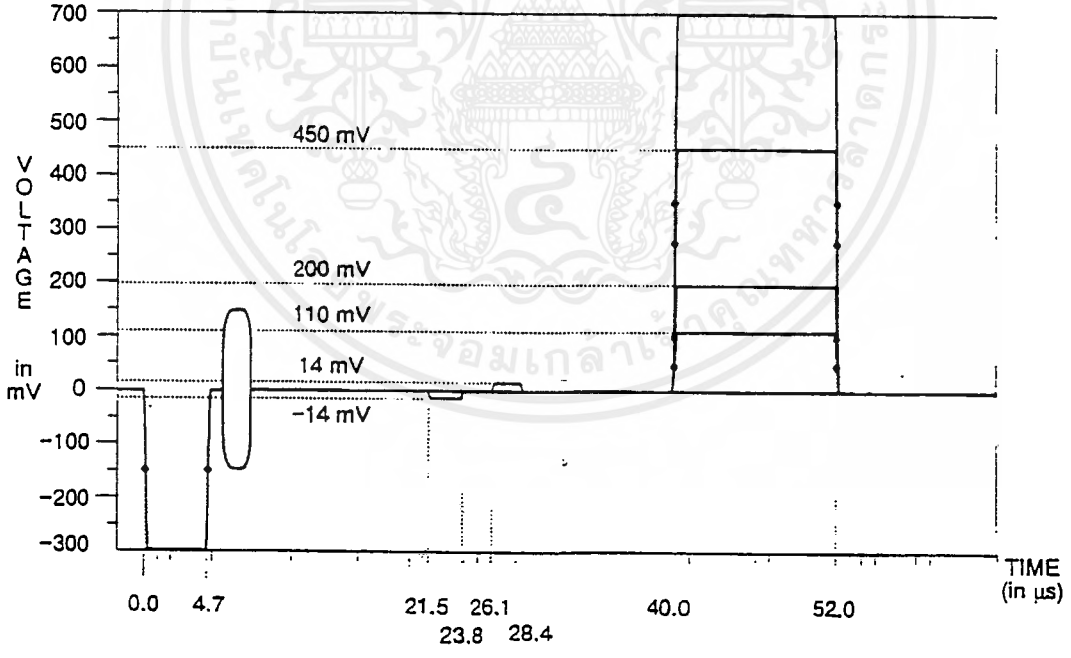


Fig. 3-12. Pluge.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

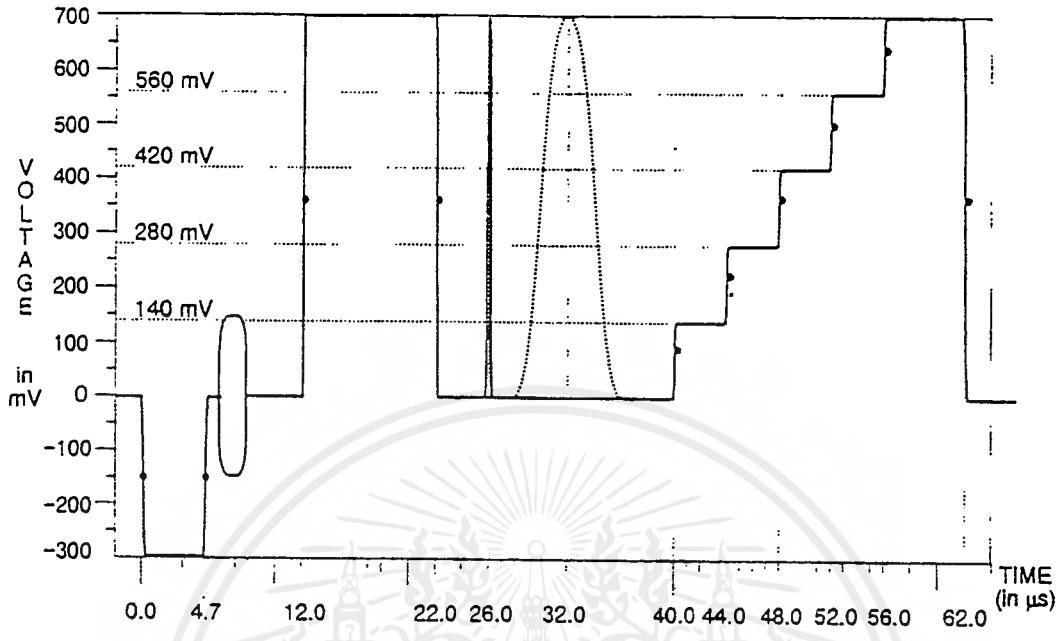


Fig. 3-13. CCIR 17

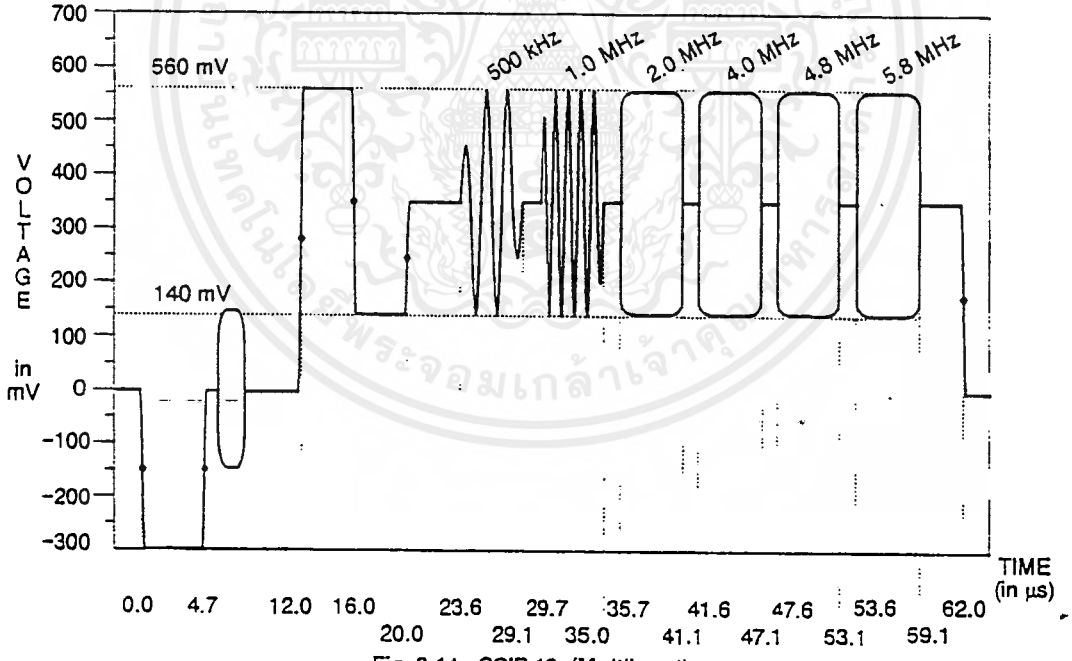


Fig. 3-14. CCIR 18. (Multiburst)

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

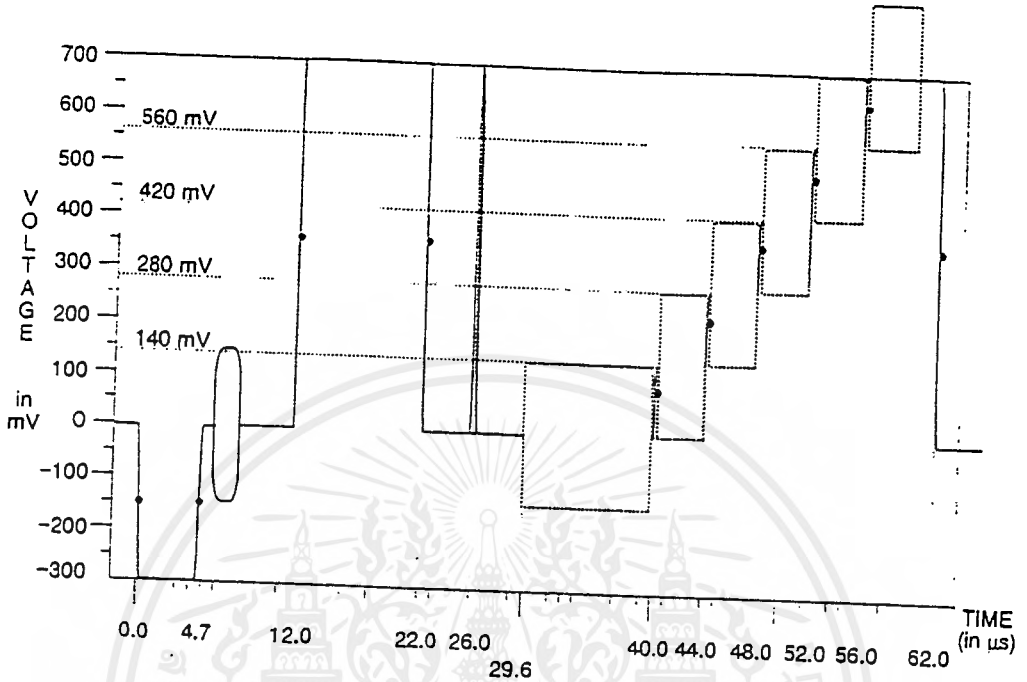


Fig. 3-15. CCIR 330.

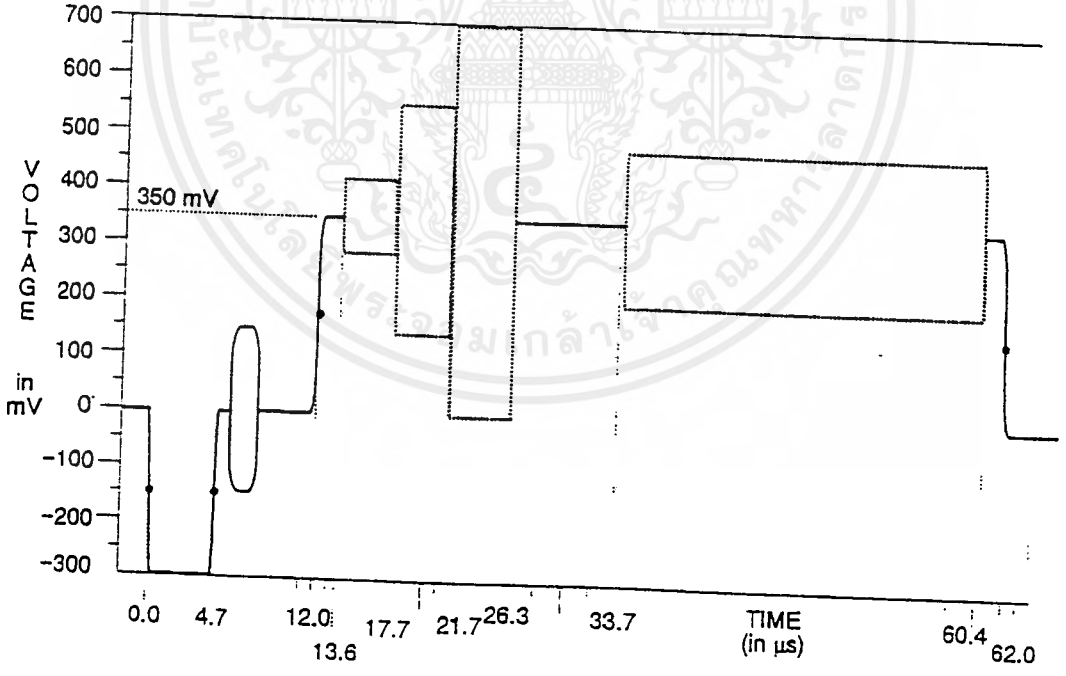


Fig. 3-16. CCIR 331.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

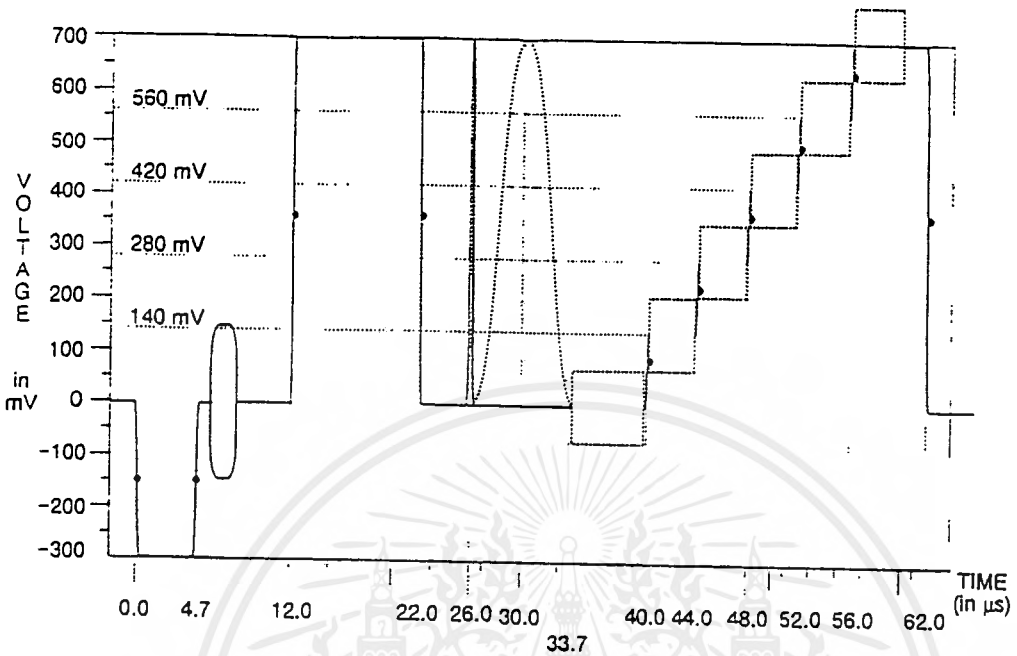


Fig. 3-17. UK ITS 1.

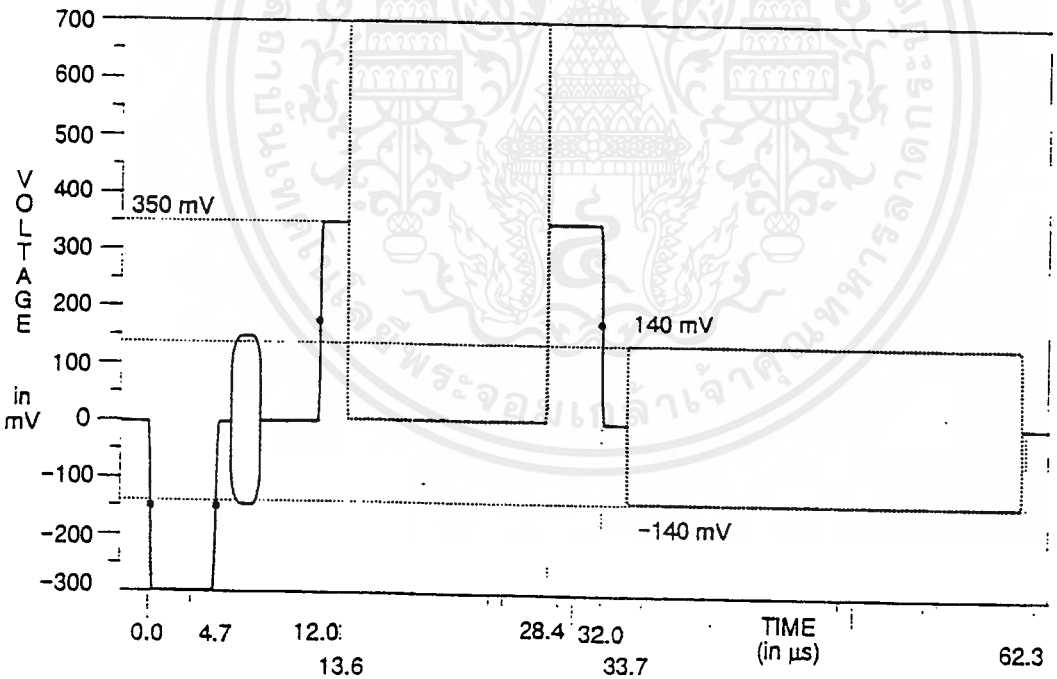


Fig. 3-18. UK ITS 2.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

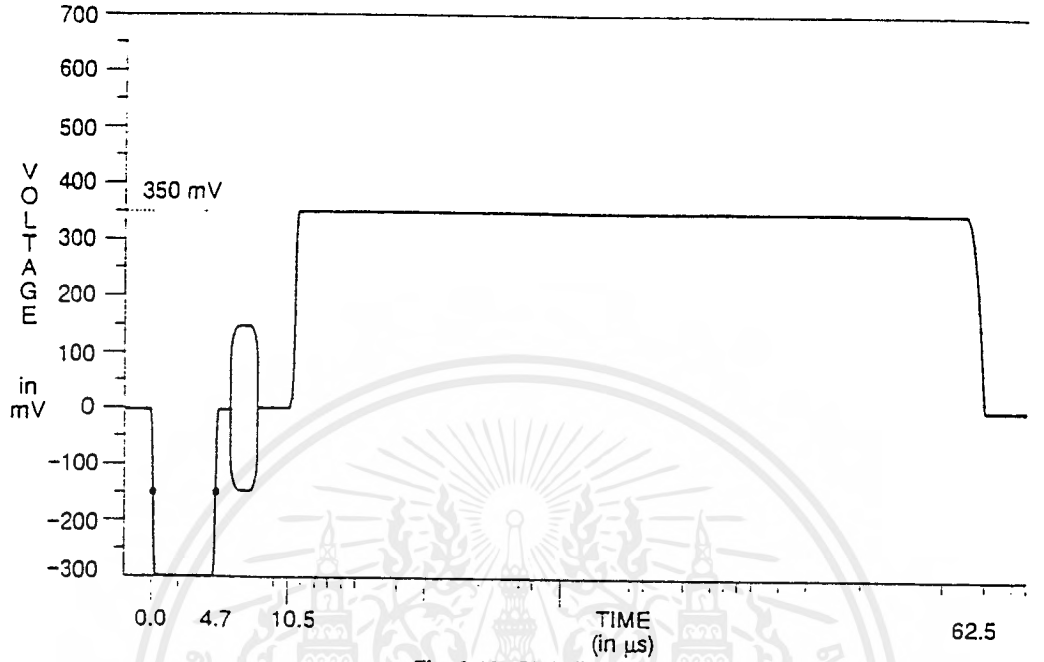


Fig. 3-19. 50% Field.

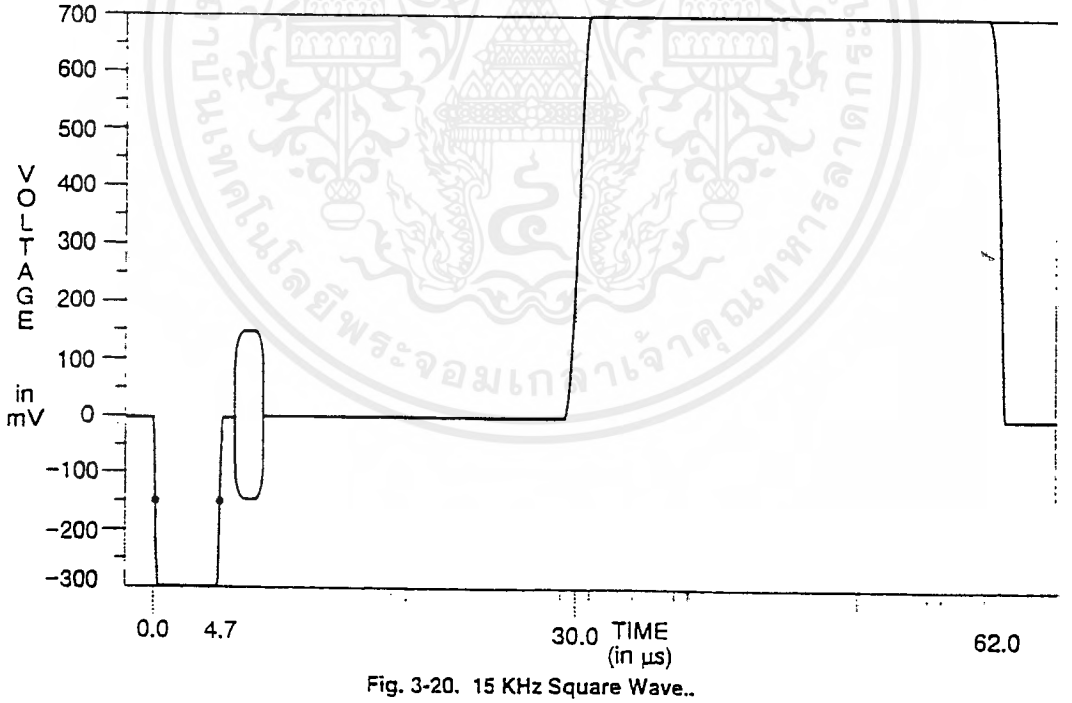


Fig. 3-20. 15 KHz Square Wave..

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

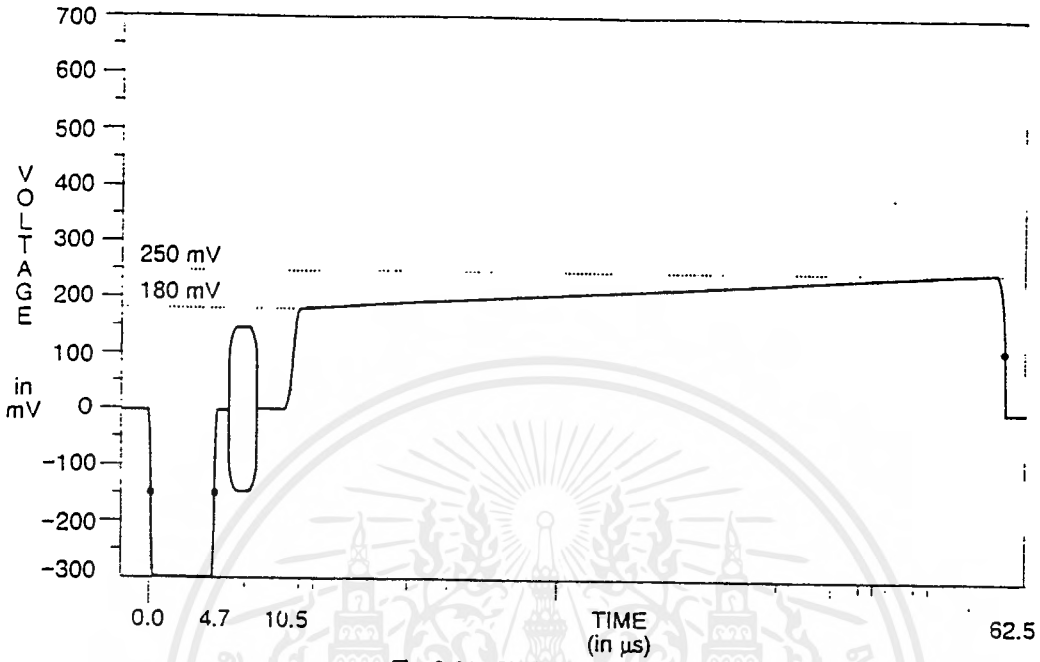


Fig. 3-21. Shallow Ramp.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ภาคผนวก ง.

DATA SHEET

National Semiconductor

LM1881 Video Sync Separator

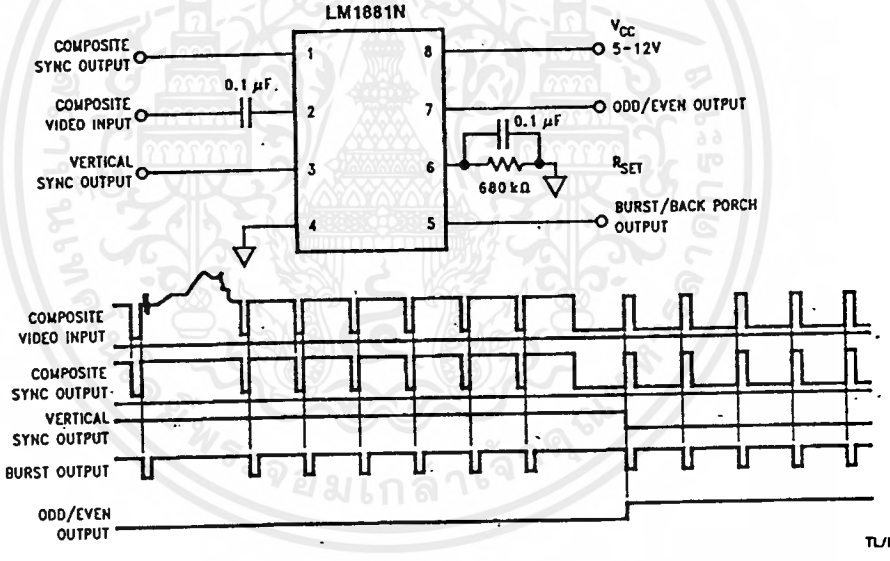
General Description

The LM1881 Video sync separator extracts timing information including composite and vertical sync, burst/back porch timing, and odd/even field information from standard negative going sync NTSC, PAL*, and SECAM video signals with amplitude from 0.5V to 2V p-p. The integrated circuit is also capable of providing sync separation for non-standard, faster horizontal rate video signals. The vertical output is produced on the rising edge of the first serration in the vertical sync period. A default vertical output is produced after a time delay if the rising edge mentioned above does not occur within the externally set delay period, such as might be the case for a non-standard video signal.

Features

- AC coupled composite input signal
- >10 kΩ input resistance
- <10 mA power supply drain current
- Composite sync and vertical outputs
- Odd/even field output
- Burst gate/back porch output
- Horizontal scan rates to 150 kHz
- Edge triggered vertical output
- Default triggered vertical output for non-standard video signal (video games-home computers)

Connection Diagram



TL/H/9150–1

Order Number LM1881M or LM1881N
See NS Package Number M08A or N08E

*PAL in this datasheet refers to European broadcast TV standard "Phase Alternating Line", and not to Programmable Array Logic.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Absolute Maximum Ratings

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	13.2V
Input Voltage	3 Vpp (V_{CC} = 5V) 6 Vpp (V_{CC} ≥ 8V)
Output Sink Currents; Pins 1, 3, 5	5 mA
Output Sink Current; Pin 7	2 mA
Package Dissipation (Note 1)	1100 mW
Operating Temperature Range	0°C − 70°C
Storage Temperature Range	−65°C to +150°C
ESD Susceptibility (Note 2)	2 kV
Soldering Information	
Dual-In-Line Package (10 sec.)	260°C
Small Outline Package	
Vapor Phase (60 sec.)	215°C
Infrared (15 sec.)	220°C

See AN-450 "Surface Mounting Methods and their Effect on Product Reliability" for other methods of soldering surface mount devices.

Electrical Characteristics

V_{CC} = 5V; Rset = 680 kΩ; T_A = 25°C; Unless otherwise specified

Parameter	Conditions		Typ	Tested Limit (Note 3)	Design Limit (Note 4)	Units (Limits)
Supply Current	Outputs at Logic 1	V_{CC} = 5V V_{CC} = 12V	5.2 5.5	10 12		mAmax mAmax
DC Input Voltage	Pin 2		1.5	1.3 1.8		Vmin Vmax
Input Threshold Voltage	Note 5		70	55 85		mVmin mVmax
Input Discharge Current	Pin 2; V_{IN} = 2V		11	6 16		μAmin μAmax
Input Clamp Charge Current	Pin 2; V_{IN} = 1V		0.8	0.2		mAmin
R_{SET} Pin Reference Voltage	Pin 6; Note 6		1.22	1.10 1.35		Vmin Vmax
Composite Sync. & Vertical Outputs	I_{OUT} = 40 μA; Logic 1	V_{CC} = 5V V_{CC} = 12V	4.5	4.0 11.0		Vmin Vmin
	I_{OUT} = 1.6 mA Logic 1	V_{CC} = 5V V_{CC} = 12V	3.6	2.4 10.0		Vmin Vmin
Burst Gate & Odd/Even Outputs	I_{OUT} = 40 μA; Logic 1	V_{CC} = 5V V_{CC} = 12V	4.5	4.0 11.0		Vmin Vmin
Composite Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 1		0.2	0.8		Vmax
Vertical Sync. Output	I_{OUT} = −1.6 mA; Logic 0; Pin 3		0.2	0.8		Vmax
Burst Gate Output	I_{OUT} = −1.6 mA; Logic 0; Pin 5		0.2	0.8		Vmax
Odd/Even Output	I_{OUT} = −1.6 mA; Logic 0; Pin 7		0.2	0.8		Vmax
Vertical Sync Width			230	190 300		μsmin μsmax
Burst Gate Width	2.7 kΩ from Pin 5 to V_{CC}		4	2.5 4.7		μsmin μsmax
Vertical Default Time	Note 7		65	32 90		μsmin μsmax

Note 1: For operation in ambient temperatures above 25°C, the device must be derated based on a 150°C maximum junction temperature and a package thermal resistance of 110° C/W, junction to ambient.

Note 2: ESD susceptibility test uses the "human body model, 100 pF discharged through a 1.5 kΩ resistor".

Note 3: Typicals are at T_J = 25°C and represent the most likely parametric norm.

Note 4: Tested Limits are guaranteed to National's AOQL (Average Outgoing Quality Level).

Note 5: Relative difference between the input clamp voltage and the minimum input voltage which produces a horizontal output pulse.

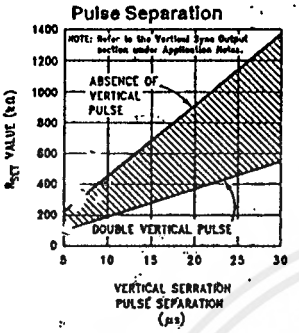
Note 6: Careful attention should be made to prevent parasitic capacitance coupling from any output pin (Pins 1, 3, 5, and 7) to the R_{SET} pin (Pin 6).

Note 7: Delay time between the start of vertical sync (at input) and the vertical output pulse.

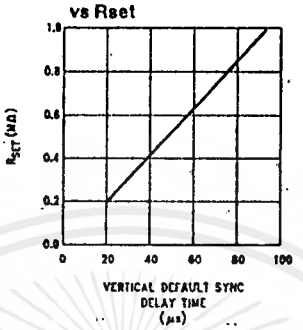
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Performance Characteristics

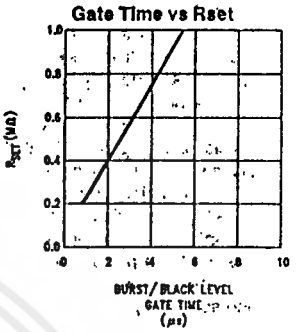
R_{set} Value Selection vs Vertical Serration Pulse Separation



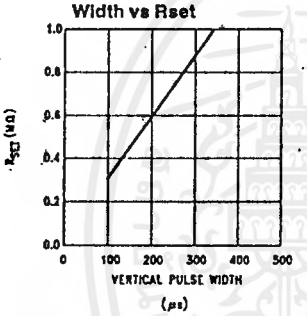
Vertical Default Sync Delay Time vs Rset



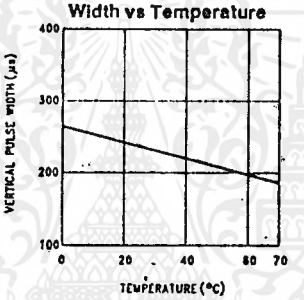
Burst/Black Level Gate Time vs Rset



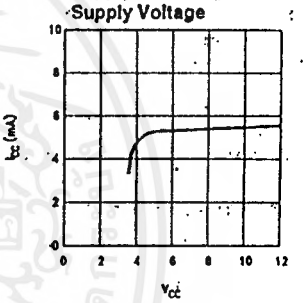
Vertical Pulse Width vs Rset



Vertical Pulse Width vs Temperature



Supply Current vs Supply Voltage



TL/H/9150–2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes

The LM1881 is designed to strip the synchronization signals from composite video sources that are in, or similar to, the N.T.S.C. format. Input signals with positive polarity video (increasing signal voltage signifies increasing scene brightness) from 0.5V (p-p) to 2V (p-p) can be accommodated. The LM1881 operates from a single supply voltage between 5V DC and 12V DC. The only required external components beside power supply and set current decoupling are the input coupling capacitor and a single resistor that sets internal current levels, allowing the LM1881 to be adjusted for source signals with line scan frequencies differing from 15.734 kHz. Four major sync signals are available from the I/C: composite sync including both horizontal and vertical scan timing information; a vertical sync pulse; a burst gate or back porch clamp pulse; and an odd/even output. The odd/even output level identifies which video field of an interlaced video source is present at the input. The outputs from the LM1881 can be used to gen-lock video camera/VTR signals with graphics sources, provide identification of video fields for memory storage, recover suppressed or contaminated sync signals, and provide timing references for the extraction of coded or uncoded data on specific video scan lines.

To better understand the LM1881 timing information and the type of signals that are used, refer to *Figure 2(a–e)* which shows a portion of the composite video signal from the end of one field through the beginning of the next field.

COMPOSITE SYNC OUTPUT

The composite sync output, *Figure 2(b)*, is simply a reproduction of the signal waveform below the composite video black level, with the video completely removed. This is obtained by clamping the video signal sync tips to 1.5V DC at Pin 2 and using a comparator threshold set just above this voltage to strip the sync signal, which is then buffered out to Pin 1. The threshold separation from the clamped sync tip is nominally 70 mV which means that for the minimum input level of 0.5V (p-p), the clipping level is close to the halfway point on the sync pulse amplitude (shown by the dashed line on *Figure 2(a)*). This threshold separation is independent of the signal amplitude, therefore, for a 2V (p-p) input the clipping level occurs at 11% of the sync pulse amplitude. The charging current for the input coupling capacitor is 0.8 mA, whereas the discharge current is only 11 µA, typically. This allows relatively small capacitor values to be used—0.1 µF is generally recommended.

Normally the signal source for the LM1881 is assumed to be clean and relatively noise-free, but some sources may have excessive video peaking, causing high frequency video and chroma components to extend below the black level reference. Some video discs keep the chroma burst pulse present throughout the vertical blanking period so that the burst actually appears on the sync tips for three line periods instead of at black level. A clean composite sync signal can be generated from these sources by filtering the input signal. When the source impedance is low, typically 75Ω, a 620Ω resistor in series with the source and a 510 pF capacitor to ground will form a low pass filter with a corner frequency of 500 kHz. This bandwidth is more than sufficient to pass the sync pulse portion of the waveform; however, any subcarrier content in the signal will be attenuated by almost 18 dB, effectively taking it below the comparator threshold. Filtering will also help if the source is contaminated with thermal noise. The output waveforms will become delayed from between 40 ns to as much as 200 ns due to this filter. This much delay will not usually be significant but it does contribute to the sync delay produced by any additional signal processing. Since the original video may also undergo processing, the need for time delay correction will depend on the total system, not just the sync stripper.

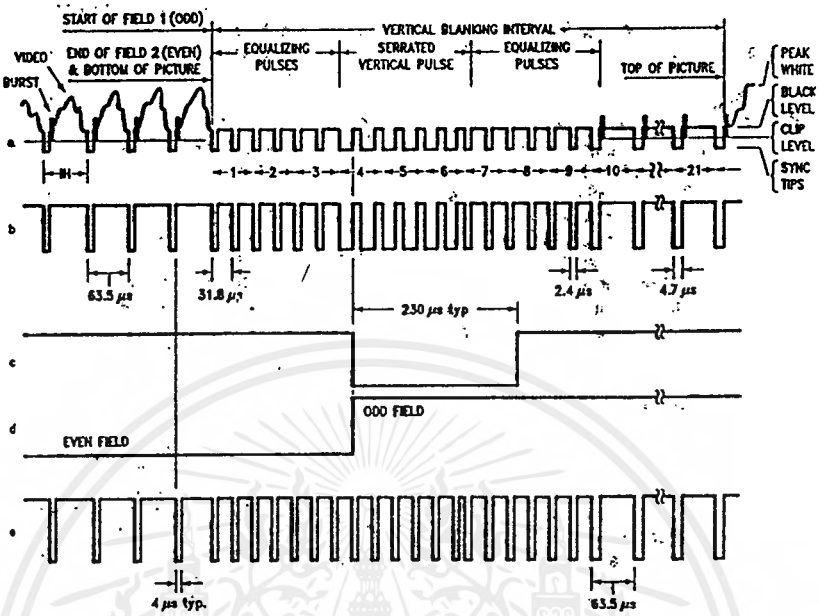
VERTICAL SYNC OUTPUT

A vertical sync output is derived by internally integrating the composite sync waveform *(Figure 3)*. To understand the generation of the vertical sync pulse, refer to the lower left hand section *Figure 3*. Note that there are two comparators in the section. One comparator has an internally generated voltage reference called V_1 going to one of its inputs. The other comparator has an internally generated voltage reference called V_2 going to one of its inputs. Both comparators have a common input at their noninverting input coming from the internal integrator. The internal integrator is used for integrating the composite sync signal. This signal comes from the input side of the composite sync buffer and are positive going sync pulses. The capacitor to the integrator is internal to the LM1881. The capacitor charge current is set by the value of the external resistor R_{set}. The output of the integrator is going to be at a low voltage during the normal horizontal lines because the integrator has a very short time to charge the capacitor, which is during the horizontal sync period. The equalization pulses will keep the output voltage of the integrator at about the same level, below the V_1. During the vertical sync period the narrow going positive pulses shown in *Figure 2* is called the serration pulse. The wide negative portion of the vertical sync period is called the vertical sync pulse. At the start of the vertical sync period, before the first Serration pulse occurs, the integrator now charges the capacitor to a much higher voltage. At the first serration pulse the integrator output should be between V_1 and V_2. This would give a high level at the output of the comparator with V_1 as one of its inputs. This high is clocked into the "D" flip-flop by the falling edge of the serration pulse (remember the sync signal is inverted in this section of the LM1881). The "Q" output of the "D" flip-flop goes through the OR gate, and sets the R/S flip-flop. The output of the R/S flip-flop enables the internal oscillator and also clocks the ODD/EVEN "D" flip-flop. The ODD/EVEN field pulse operation is covered in the next section. The output of the oscillator goes to a divide by 8 circuit, thus resetting the R/S flip-flop after 8 cycles of the oscillator. The frequency of the oscillator is established by the internal capacitor going to the oscillator and the external R_{set}. The "Q" output of the R/S flip-flop goes to pin 3 and is the actual vertical sync output of the LM1881. By clocking the "D" flip-flop at the start of the first serration pulse means that the vertical sync output pulse starts at this point in time and lasts for eight cycles of the internal oscillator as shown in *Figure 2*.

How R_{set} affects the integrator and the internal oscillator is shown under the Typical Performance Characteristics. The first graph is "R_{set} Value Selection vs Vertical Serration Pulse Separation". For this graph to be valid, the vertical sync pulse should last for at least 85% of the horizontal half line (47% of a full horizontal line). A vertical sync pulse from any standard should meet this requirement; both NTSC and PAL do meet this requirement (the serration pulse is the remainder of the period, 10% to 15% of the horizontal

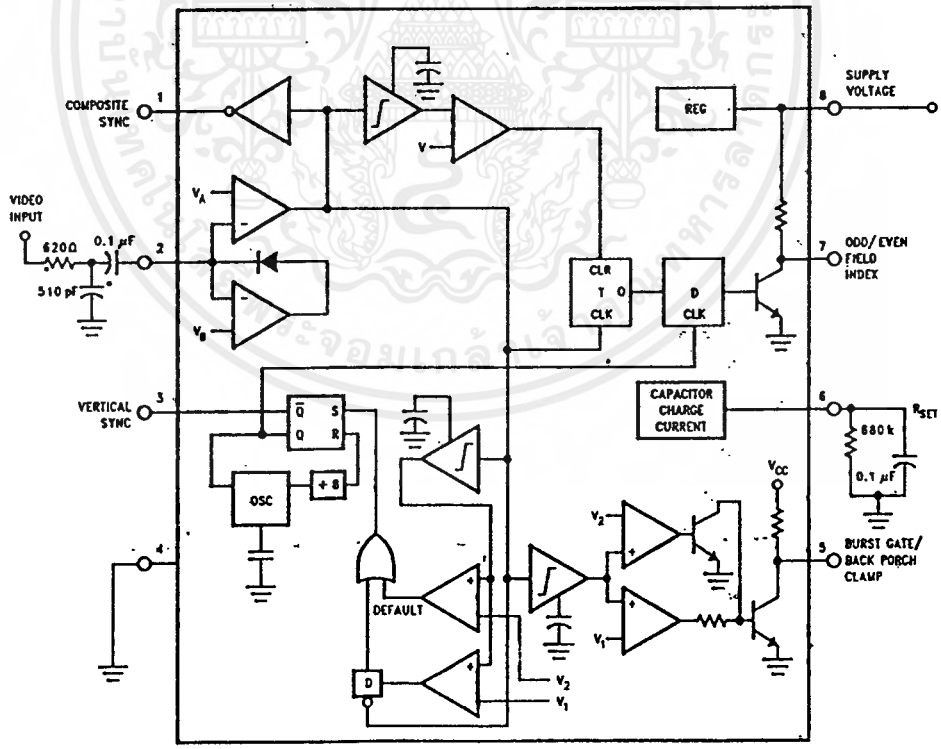
เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)



TL/H/9150-3

FIGURE 2. (a) Composite Video; (b) Composite Sync; (c) Vertical Output Pulse; (d) Odd/Even Field Index; (e) Burst Gate/Back Porch Clamp



*Components Optional, See Text

TL/H/9150-4

FIGURE 3

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

half line). Remember this pulse is a positive pulse at the integrator but negative in *Figure 2*. This graph shows how long it takes the integrator to charge its internal capacitor above V_1.

WITH R_{set} too large the charging current of the integrator will be too small to charge the capacitor above V_1, thus there will be no vertical synch output pulse. As mentioned above, R_{set} also sets the frequency of the internal oscillator. If the oscillator runs too fast its eight cycles will be shorter than the vertical sync portion of the composite sync. Under this condition another vertical sync pulse can be generated on one of the later serration pulses after the divide by 8 circuit resets the R/S flip-flop. The first graph also shows the minimum R_{set} necessary to prevent a double vertical pulse, assuming that the serration pulses last for only three full horizontal line periods (six serration pulses for NTSC). The actual pulse width of the vertical sync pulse is shown in the "Vertical Pulse Width vs R_{set}" graph. Using NTSC as an example, lets see how these two graphs relate to each other. The Horizontal line is 64 μs long, or 32 μs for a horizontal half line. Now round this off to 30 μs. In the "R_{set} Value Selection vs Vertical Serration Pulse Separation" graph the minimum resistor value for 30 μs serration pulse separation is about 550 kΩ. Going to the "Vertical Pulse Width vs R_{set}" graph one can see that 550 kΩ gives a vertical pulse width of about 180 μs, the total time for the vertical sync period of NTSC (3 horizontal lines). A 550 kΩ will set the internal oscillator to a frequency such that eight cycles gives a time of 180 μs, just long enough to prevent a double vertical sync pulse at the vertical sync output of the LM1881.

The LM1881 also generates a default vertical sync pulse when the vertical sync period is unusually long and has no serration pulses. With a very long vertical sync time the integrator has time to charge its internal capacitor above the voltage level V_2. Since there is no falling edge at the end of a serration pulse to clock the "D" flip-flop, the only high signal going to the OR gate is from the default comparator when output of the integrator reaches V_2. At this time the R/S flip-flop is toggled by the default comparator, starting the vertical sync pulse at pin 3 of the LM1881. If the default vertical sync period ends before the end of the input vertical sync period, then the falling edge of the vertical sync (positive pulse at the "D" flip-flop) will clock the high output from the comparator with V_1 as a reference input. This will retrigger the oscillator, generating a second vertical sync output pulse. The "Vertical Default Sync Delay Time vs R_{set}" graph shows the relationship between the R_{set} value and the delay time from the start of the vertical sync period before the default vertical sync pulse is generated. Using the NTSC example again the smallest resistor for R_{set} is 500 kΩ. The vertical default time delay is about 50 μs, much longer than the 30 μs serration pulse spacing.

A common question is how can one calculate the required R_{set} with a video timing standard that has no serration pulses during the vertical blanking. If the default vertical sync is to be used this is a very easy task. Use the "Vertical Default Sync Delay Time vs R_{set}" graph to select the necessary R_{set} to give the desired delay time for the vertical sync output signal. If a second pulse is undesirable, then check the "Vertical Pulse Width vs R_{set}" graph to make sure the vertical output pulse will extend beyond the end of the input vertical sync period. In most systems the end of the vertical sync period may be very accurate. In this case the preferred design may be to start the vertical sync pulse at the end of the vertical sync period, similar to starting the vertical sync pulse after the first serration pulse. A VGA standard is to be used as an example to show how this is done. In this standard a horizontal line is 32 μs long. The vertical sync period is two horizontal lines long, or 64 μs. The vertical default sync delay time must be longer than the vertical sync period of 64 μs. In this case R_{set} must be larger than 680 kΩ. R_{set} must still be small enough for the output of the integrator to reach V_1 before the end of the vertical period of the input pulse. The first graph can be used to confirm that R_{set} is small enough for the integrator. Instead of using the vertical serration pulse separation, use the actual pulse width of the vertical sync period, or 64 μs in this example. This graph is linear, meaning that a value as large as 2.7 MΩ can be used for R_{set} (twice the value as the maximum at 30 μs). Due to leakage currents it is advisable to keep the value of R_{set} under 2.0 MΩ. In this example a value of 1.0 MΩ is selected, well above the minimum of 680 kΩ. With this value for R_{set} the pulse width of the vertical sync output pulse of the LM1881 is about 340 μs.

ODD/EVEN FIELD PULSE

An unusual feature of LM1881 is an output level from Pin 7 that identifies the video field present at the input to the LM1881. This can be useful in frame memory storage applications or in extracting test signals that occur only in alternate fields. For a composite video signal that is interlaced, one of the two fields that make up each video frame or picture must have a half horizontal scan line period at the end of the vertical scan—i.e., at the bottom of the picture. This is called the "odd field" or "field 1". The "even field" or "field 2" has a complete horizontal scan line at the end of the field. An odd field starts on the leading edge of the first equalizing pulse, whereas the even field starts on the leading edge of the second equalizing pulse of the vertical retrace interval. *Figure 2(a)* shows the end of the even field and the start of the odd field.

To detect the odd/even fields the LM1881 again integrates the composite sync waveform *(Figure 3)*. A capacitor is charged during the period between sync pulses and discharged when the sync pulse is present. The period between normal horizontal sync pulses is enough to allow the capacitor voltage to reach a threshold level of a comparator that clears a flipflop which is also being clocked by the sync waveform. When the vertical interval is reached, the shorter integration time between equalizing pulses prevents this

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Application Notes (Continued)

threshold from being reached and the Q output of the flip-flop is toggled with each equalizing pulse. Since the half line period at the end of the odd field will have the same effect as an equalizing pulse period, the Q output will have a different polarity on successive fields. Thus by comparing the Q polarity with the vertical output pulse, an odd/even field index is generated. Pin 7 remains low during the even field and high during the odd field.

BURST/BACKPORCH OUTPUT PULSE

In a composite video signal, the chroma burst is located on the backporch of the horizontal blanking period. This period, approximately 4.8 μs long, is also the black level reference for the subsequent video scan line. The LM1881 generates a pulse at Pin 5 that can be used either to retrieve the chroma burst from the composite video signal (thus providing a subcarrier synchronizing signal) or as a clamp for the DC restoration of the video waveform. This output is obtained simply by charging an internal capacitor starting on the trailing edge of the horizontal sync pulses. Simultaneously the output of Pin 5 is pulled low and held until the capacitor charge circuit times out—4 μs later. A shorter output burst gate pulse can be derived by differentiating the burst output using a series C-R network. This may be necessary in applications which require high horizontal scan rates in combination with normal (60–120 Hz) vertical scan rates.

APPLICATIONS

Apart from extracting a composite sync signal free of video information, the LM1881 outputs allow a number of interesting applications to be developed. As mentioned above, the burst gate/backporch clamp pulse allows DC restoration of the original video waveform for display or remodulation on an R.F. carrier, and retrieval of the color burst for color synchronization and decoding into R.G.B. components. For frame memory storage applications, the odd/even field level allows identification of the appropriate field ensuring the correct read or write sequence. The vertical pulse output is particularly useful since it begins at a precise time—the rising edge of the first vertical serration in the sync waveform. This means that individual lines within the vertical blanking period (or anywhere in the active scan line period) can easily be extracted by counting the required number of transitions in the composite sync waveform following the start of the vertical output pulse.

The vertical blanking interval is proving popular as a means to transmit data which will not appear on a normal T.V. receiver screen. Data can be inserted beginning with line 10 (the first horizontal scan line on which the color burst appears) through to line 21. Usually lines 10 through 13 are not used which leaves lines 14 through 21 for inserting signals, which may be different from field to field. In the U.S., line 19 is normally reserved for a vertical interval reference signal (VIRS) and line 21 is reserved for closed caption data for the hearing impaired. The remaining lines are used in a number of ways. Lines 17 and 18 are frequently used during studio processing to add and delete vertical interval test signals (VITS) while lines 14 through 18 and line 20 can be used for Videotex/Teletext data. Several institutions are proposing to transmit financial data on line 17 and cable systems use the available lines in the vertical interval to send decoding data for descrambler terminals.

Since the vertical output pulse from the LM1881 coincides with the leading edge of the first vertical serration, sixteen positive or negative transitions later will be the start of line 14 in either field. At this point simple counters can be used to select the desired line(s) for insertion or deletion of data.

VIDEO LINE SELECTOR

The circuit in *Figure 4* puts out a single video line according to the binary-coded information applied to line select bits b0–b7. A line is selected by adding two to the desired line number, converting to a binary equivalent and applying the result to the line select inputs. The falling edge of the LM1881's vertical pulse is used to load the appropriate number into the counters (MM74C193N) and to set a start count latch using two NAND gates. Composite sync transitions are counted using the borrow out of the desired number of counters. The final borrow out pulse is used to turn on the analog switch (CD4066BC) during the desired line. The falling edge of this signal also resets the start count latch, thereby terminating the counting.

The circuit, as shown, will provide a single line output for each field in an interlaced video system (television) or a single line output in each frame for a non-interlaced video system (computer-monitor). When a particular line in only one field of an interlaced video signal is desired, the odd/even field index output must be used instead of the vertical output pulse (invert the field index output to select the odd field). A single counter is needed for selecting lines 3 to 14; two counters are needed for selecting lines 15 to 253; and three counters will work for up to 2046 lines. An output buffer is required to drive low impedance loads.

MULTIPLE CONTIGUOUS VIDEO LINE SELECTOR WITH BLACK LEVEL RESTORATION

The circuit in *Figure 5* will select a number of adjoining lines starting with the line selected as in the previous example. Additional counters can be added as described previously for either higher starting line numbers or an increased number of contiguous output lines. The back porch pulse output of the LM1881 is used to gate the video input's black level through a low pass filter (10 kΩ, 10 μF) providing black level restoration at the video output when the output selected line(s) is not being gated through.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Typical Applications

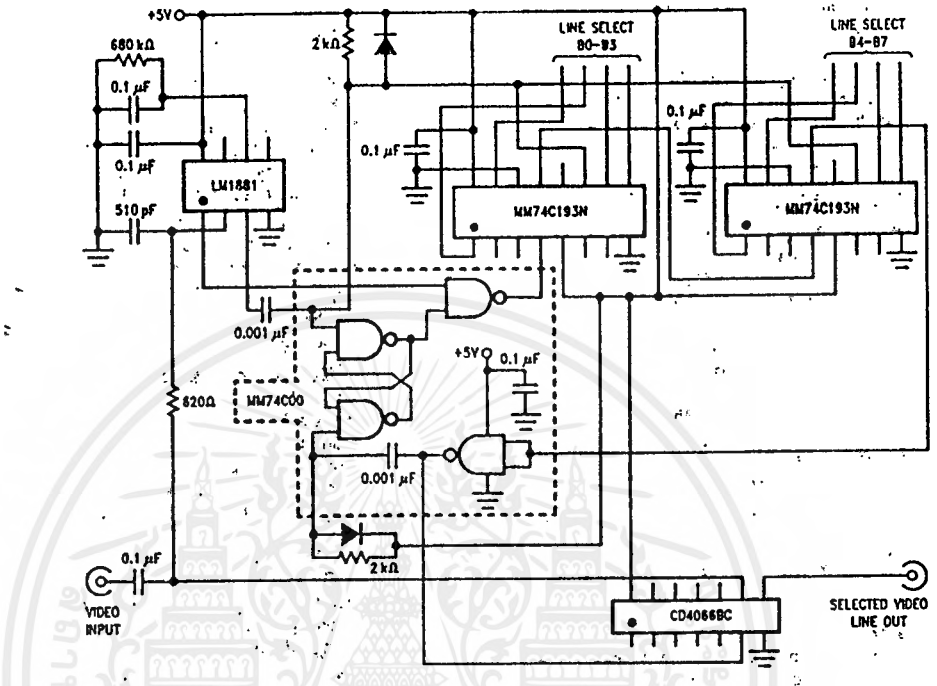


FIGURE 4. Video Line Selector

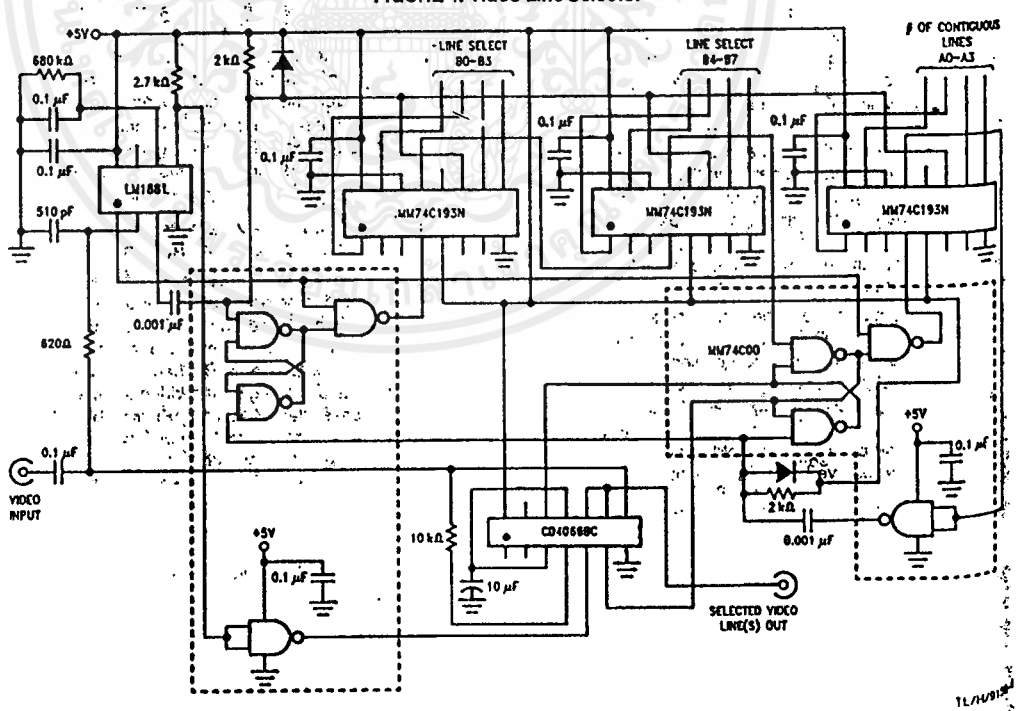


FIGURE 5. Multiple Contiguous Video Line Selector With Black Level Restoration

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5485/7485 4-Bit Magnitude Comparator

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.	SN54S85	J①			W①						SN54LS85	J①			W①	SN5485	J①			W①	SN54L85	J②			
	SN74S85	J①	N①								SN74LS85	J①	N①			SN7485	J①	N①			SL74L85	J②	N②		
FAIRCHILD																FJH485/FJH385	D①								
																FC7485/FC9385		P①							
MOTOROLA																MC7485		P①							
N.S.C.											DM54LS85		①								DM54L85	J②	N②		
											DM74LS85		①			DM7485		N①			DM74L85	J②	N②		
PHILIPS	N74S85		①								N74LS85		①			N7485		①,							
SIGNETICS																S5485									
	N74S85		A①								N74LS85		A①			N7485									
SIEMENS																FLH431		①							
FUJITSU											74LS85		M①			MB448		①M①							
HITACHI											HD74LS85		P①			HD7485		①P①							
MITSUBISHI	M74S85		P①								M74LS85		P①			M53285		P①							
NEC																μPB2085	D①								
TOSHIBA																									

Electrical Characteristics SN54LS85/SN74LS85

absolute maximum rainge over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
Interemitter voltage (see Note)	5.5V	Storage temperature range		−65°C to 150°C

recommended opering conditions

	SN54LS85			SN74LS85			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Operating free-temperature, T_A	−55		125	0		70	°C

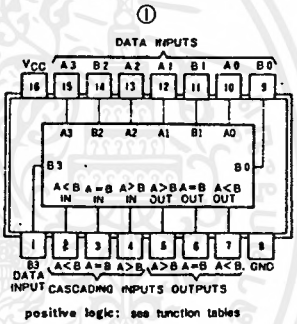
electrical characterics over recommended oprating free-air temperature range

PARAMETER‖		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=−400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=4mA			0.25	0.4	V
I_I	Input current at maximum input voltage: A<B, A>B inputs	V_{CC}=MAX, V_I=7V				0.1	mA
	all other input					0.3	
I_{IH}	High-level input current: A<B, A>B inputs	V_{CC}=MAX, V_I=2.7V				20	μA
	all other inputs					60	
I_{IL}	Low-level input current: A<B, A>B inputs	V_{CC}=MAX, V_I=0.4V				−0.4	mA
	all other inputs					−1.2	
I_{OS}	Short-circuit output current*	V_{CC}=MAX, V_O=0	SN54LS85	−20		−100	mA
			SN74LS85	−20		−100	
I_{CC}	Supply current	V_{CC}=MAX, See Note			10.4	20	mA
t_{PLH}	from Any A or B data input to output A<B, A>B	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ	NUMBER OF GATE LEVELS 1		14		ns
			2		19		
			3		24	36	
	from Any A or B data input to output A=B		4		27	45	
t_{PHL}	from Any A or B data input to output A<B, A>B		1		11		ns
			2		15		
			3		20	30	
	from Any A or B data input to output A=B		4		23	45	
t_{PLH}	from A<B or A=B		1		14	22	ns
t_{PHL}	to output A>B		1		11	17	ns
t_{PLH}	from A=B		2		13	20	ns
t_{PHL}	to output A=B		2		13	26	ns
t_{PLH}	from A>B or A=B		1		14	22	ns
t_{PHL}	to output A<B		1		11	17	ns

NOTE : I_{CC} is measured with outputs open, A=B grounded, and all other inputs at 4.5V.

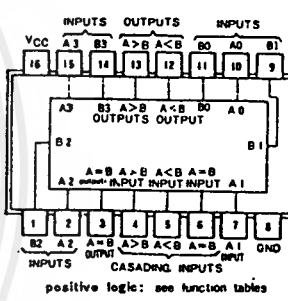
Pin Assignments (Top View)

①



positive logic: see function tables

②



positive logic: see function tables

Function Table

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A>B	A<B	A=B	A>B	A<B	A=B
A3>B3	X	X	X	X	X	X	H	L	L
A3<B3	X	X	X	X	X	X	L	H	L
A3=B3	A2>B2	X	X	X	X	X	H	L	L
A3=B3	A2<B2	X	X	X	X	X	L	H	L
A3=B3	A2=B2	A1>B1	X	X	X	X	H	L	L
A3=B3	A2=B2	A1<B1	X	X	X	X	L	H	L
A3=B3	A2=B2	A1=B1	A0>B0	X	X	X	H	L	L
A3=B3	A2=B2	A1=B1	A0<B0	X	X	X	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	H	L	L	H	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	H	L	L	H	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	H	L	L	H

'85, 'S85, LS85

A3=B3	A2=B2	A1=B1	A0=B0	X	X	H	L	L	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	L	L	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	L	H	H	L

L85

A3=B3	A2=B2	A1=B1	A0=B0	L	H	H	L	H	H
A3=B3	A2=B2	A1=B1	A0=B0	H	L	H	H	L	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	H	H	H	H
A3=B3	A2=B2	A1=B1	A0=B0	H	H	L	H	H	L
A3=B3	A2=B2	A1=B1	A0=B0	L	L	L	L	L	L

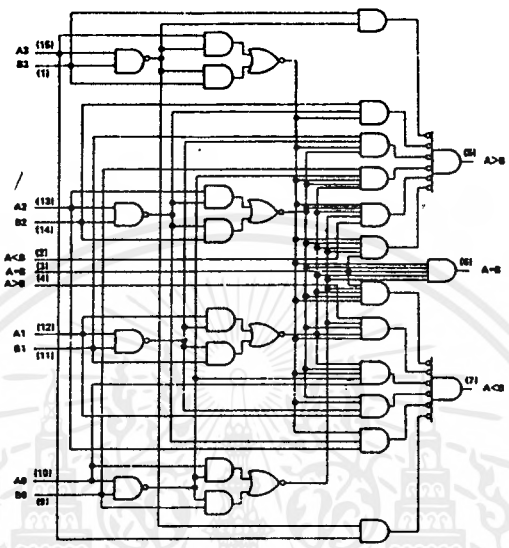
H = high level L = low level X = irrelevant

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C
* Not more than one output should be shorted at a time.
‖ t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

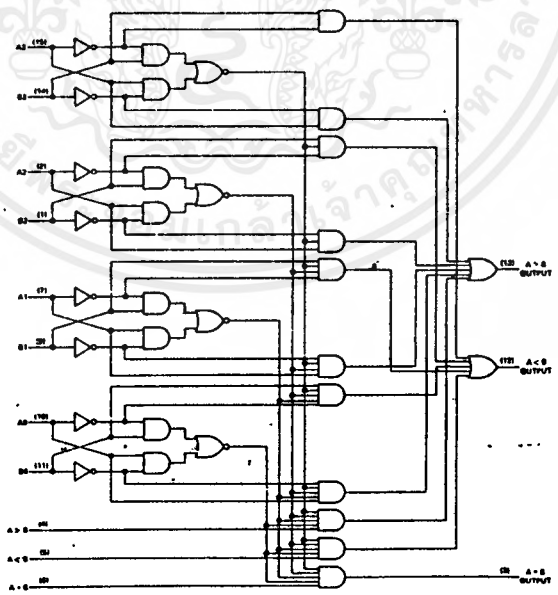
CONTINUED ON NEXT PAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagrams



'85, 'S85, 'LS85 4-BIT MAGNITUDE COMPARATOR



'L85 4-BIT MAGNITUDE COMPARATOR

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54123/74123 Dual Retriggerable Monostable Multivibrator with Clear

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.											SN54LS123	J①			W①	SN54123	J①	·		W①	SN54L123	J①			
											SN74LS123	J①	N①			SN74123	J①	N①			SN74L123	J①	N①		
FAIRCHILD																FJH54123/FJH6123	9①								
																FC4123/FC6123	8①	P①							
MOTOROLA																					DM54L123A		①		
																MC74123		P①			DM74L123A		①		
N.S.C.											DM54LS123		①												
											DM74LS123		①			DM74123		N①							
PHILIPS																									
											N74LS123		①			N74123		①							
SIGNETICS																S54123	F①	B①		W①					
																N74123	F①	B①							
SIEMENS																									
																FLK121		①							
FUJITSU																									
											74LS123		M①			MB440	①	M①							
HITACHI																									
											HD74LS123		P①			HD74123/HD2516	①	P①							
MITSUBISHI																									
											M74LS123		P①			M53323		P①							
NEC																									
																μPB2123	D①								
TOSHIBA																									

Electrical Characteristics SN54LS123/SN74LS123

absolute maximum ratings operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

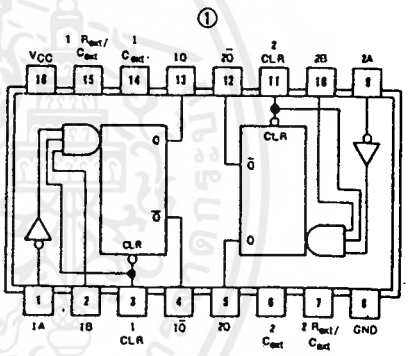
	SN54LS123			SN74LS123			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Pulse width, t_w	40			40			ns
External timing resistance, R_{ext}	5		180	5		260	kΩ
External timing capacitance, C_{ext}	No restriction			No restriction			
Wiring capacitance at R_{ext}/C_{ext} terminal			50			50	pF
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER ◆		TEST CONDITIONS †		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, I_{OH} = MAX, See Note 1		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = 8mA See Note 1			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V				0.4	mA
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX, See Note 1		20		100	mA
I_{CC}	Supply current (quiescent or triggered)	V_{CC} = MAX, See Notes 2 and 3			12	20	mA
t_{PLH}	from A to output Q	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	C_{ext} = 0, R_{ext} = 5kΩ		22	33	ns
	from B to output Q				23	44	
t_{PHL}	from A to output Q				32	45	ns
	from B to output Q				34	56	
t_{PHL}	from Clear to output Q				20	27	ns
t_{PLH}	from Clear to output Q				28	45	
$t_{w(min)}$	from A or B to output Q				116	200	ns
t_{wQ}	from A or B to output Q		C_{ext} = 1000pF, R_{ext} = 10kΩ	4	4.5	5	μs

† For conditions shown as MIN or MAX, use the value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time.
◆ t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} propagation delay time, high-to-low-level output

Pin Assignment (Top View)



FUNCTION TABLE

123 LS123, L123 (See Note 4)

INPUTS			OUTPUTS	
CLEAR	A	B	Q	Q̄
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⎍	⎎
H	↓	H	⎍	⎎
↑	L	H	⎍	⎎

NOTES 1 : Ground C_{ext} to measure V_{OH} at Q, V_{OL} at Q, or I_{OS} at Q.
C_{ext} is open to measure V_{OH} at Q, V_{OL} at Q, or I_{OS} at Q.
2 : Quiescent I_{CC} is measured (after clearing) with 2.4V applied to all clear and A inputs, B inputs grounded, all outputs open, C_{ext} = 0.02 μF, and R_{ext} = 25kΩ.
3 : I_{CC} is measured in the triggered state with 2.4V applied to all clear and B inputs. A inputs grounded, all outputs open, C_{ext} = 0.02 μF, and R_{ext} = 25 kΩ.
4 : A, H = high level (steady state), L = low level (steady state), ↑ = transition from low to high level, ↓ = transition from high to low level, ⎍ = one high-level pulse, ⎎ = one low-level pulse, X = irrelevant (any input, including transitions).
B. An external timing capacitor may be connected between and Rext C_{ext}/C_{ext} (positive)
C. For accurate repeatable pulse widths, connect an external resistor between R_{ext}/C_{ext} and V_{CC} with R_{int} open-circuited.
D. To obtain variable pulse widths, connect external resistance between R_{int} or R_{ext}/C_{ext} and V_{CC}.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54162/74162 Fully synchronous Decade Conuter

	Schottky TTL					High-SSpeed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T. I.	SN54S162	J			W						SN54LS162	J			W	SN54162	J			W					
	SN74S162	J	N								SN74LS162	J	N			SN74162	J	N							
FAIRCHILD											FN54LS162/FN9LS162	D			F	FN93162	D								
											FC74LS162/FC9LS162	D	P		F	FC74162/FC93162	D	P		F					
MOTOROLA											SN74LS162		P			MC74162		P							
N. S. C.											DM54LS162					DM54162A									
											DM74LS162					DM74162A									
PHILIPS																									
																N74162									
SIGNETICS																S54162	F	B		W					
											N74LS162		A			N74162	F	B							
SIEMENS																									
																FLJ421									
FUJITSU																									
											74LS162		M			74162		H	T						
HITACHI																									
											HD74LS162		P			HD74162		P							
MITSUBISHI																									
											M74LS162		P			M53362		P							
NEC																									
AMD											Am54LS162														
											Am74LS162														

Electrical Characteristics SN54LS162 'SN74LS162

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

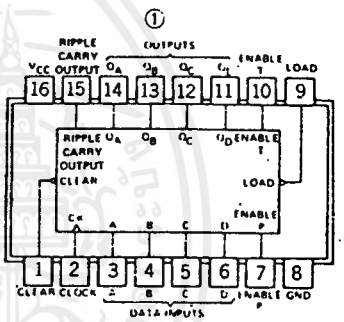
	SN54LS162			SN74LS162			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			400			400	μA
Low-level output current, I_{OL}			4			8	mA
Input clock frequency, f_{clock}	0		25	0		25	MHz
Width of clock pulse, t_w (clock)	25			25			ns
Width of clear pulse, t_w (clear)	20			20			ns
Setup time, t_{setup} — Data inputs A, B, C, D	20			20			ns
Setup time, t_{setup} — Enable P or T	20			20			ns
Setup time, t_{setup} — Load	20			20			ns
Setup time, t_{setup} — Clear	20			20			ns
Hold time at any input, t_{hold}	0			0			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER*		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −12mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage — Load, clock or enable T	V_{CC} MAX, V_I 7V				0.2	mA
	Input current at maximum input voltage — Other input					0.1	mA
I_{IH}	High-level load input current — Clock or enable T	V_{CC} = MAX, V_I = 2.7V				40	μA
	High-level load input current — Other inputs					20	μA
I_{IL}	Low-level load input current — Clock or enable T	V_{CC} = MAX, V_I = 0.4V				0.8	mA
	Low-level load input current — Other inputs					0.4	mA
I_{OS}	Short-circuit output current◆	V_{CC} = MAX		−20		100	mA
I_{CCH}	Supply current, all outputs high	V_{CC} = MAX, See Note 2	SN54LS		18	31	mA
			SN74LS		18	31	mA
I_{CCL}	Supply current, all outputs low	V_{CC} = MAX, See Note 3	SN54LS		19	32	mA
			SN74LS		19	32	mA
f_{max}	Maximum Clock frequency	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ, See Note 4		25	32		MHz
t_{PLH}	from Clock to output Ripple carry				20	35	ns
t_{PHL}					18	35	ns
t_{PLH}	from Clock (load input high) to output Any Q				13	24	ns
t_{PHL}					18	27	ns
t_{PLH}	from Clock (load input low) to output Any Q				13	24	ns
t_{PHL}					18	27	ns
t_{PLH}	from Enable T to output Ripple carry				9	14	ns
t_{PHL}					9	14	ns
t_{PHL}	from Clear to output Any Q				20	28	ns

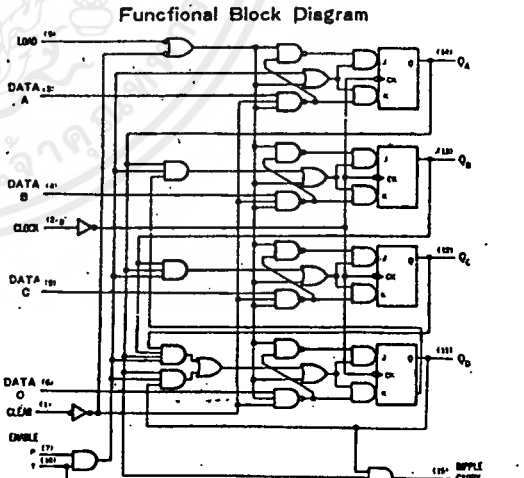
† For conditions shown as MIN or MAX, use the appropriate value specified under recommendnd operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C
◆ Not more than onne output should be shorted at a time.
* t_{PLH} = propagation delay time, low-to-high-level output.
t_{PHL} = propagation delay time, high-to-low-level output.

Pin Assignment (Top View)



positive logic:

Funcfional Block Diagram



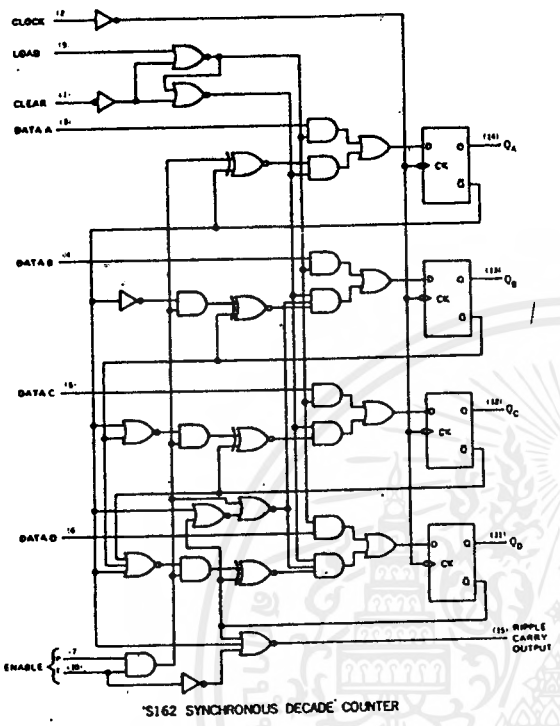
'162 SYNCHRONOUS DECADE COUNTER

NOTES: 1. This is the voltage between two emitters of a multiple-emitter transistor. For these circuits, this rating applies between the countenable inputs P and T.
2. I_{CCH} is measured with the load int hen apen again with the load input low, with all other inputs high and all outputs open.
3. I_{CCL} is measured with the clock input high, then again with the clock input low, with all otherr inputs low and all outputs open.
4. Propagation delay for clearing is measured fron the clock input transition for the' 162.

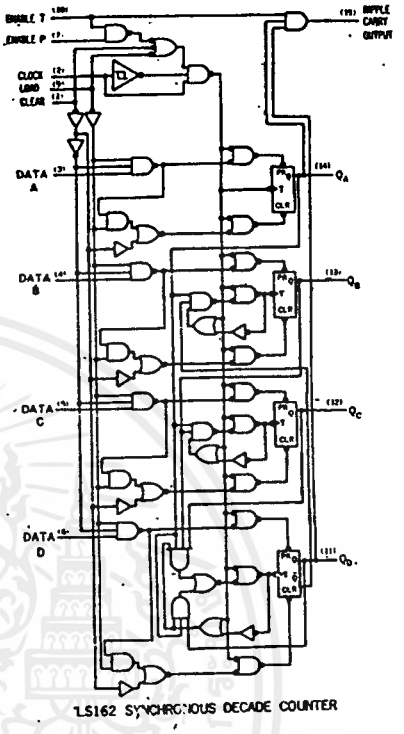
CONTINUED ON NEXT PAGE

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

Functional Block Diagrams



'S162 SYNCHRONOUS DECADE COUNTER

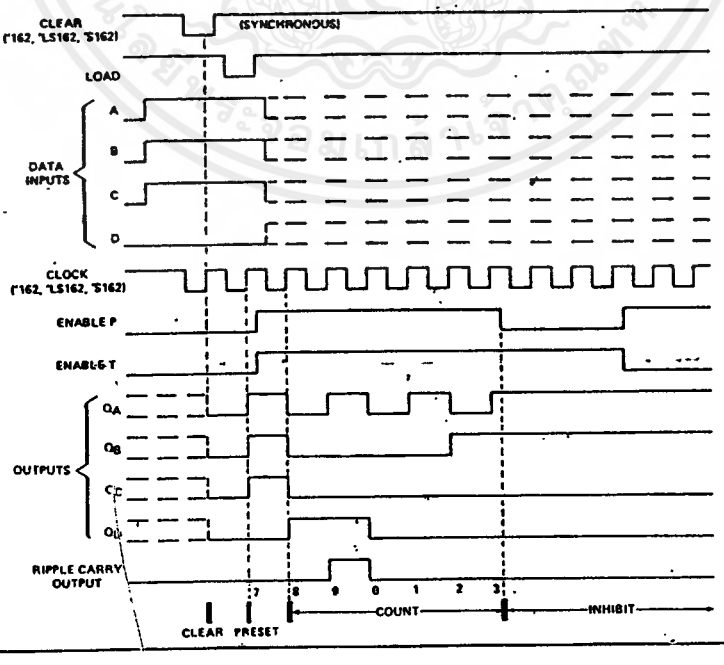


'LS162 SYNCHRONOUS DECADE COUNTER

typical clear, preset, count, and inhibit sequences

Illustrated below is the following sequence:

1. Clear outputs to zero
2. Preset to BCD seven
3. Count to eight, nine, zero, one, two, and three
4. Inhibit



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54175/74175 Quadruple D-Type Fliyp-Flop with Clear

	Schottkg TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T. I.	SN54S175	J①			W①						SN54LS175	J①			W①	SN54175	J①			W①					
	SN74S175	J①	N①								SN74LS175	J①	N①			SN74175	J①	N①							
FAIRCHILD	[illegible]	⑧①			F①						[illegible]	⑧①			F①		⑧①								
	FC74S175/FC93S175	⑧①	P①		F①						FC74LS175/FC93LS175	⑧①	P①		F①	93175	⑧①	P①							
MOTOROLA											SN74LS175		P①			MC74175		P①							
											DM54LS175		①			DM54175	J①	N①		W①					
N. S. C.	DM74S175		①								DM74LS175		①			DM74175	J①	N①		W①					
PHILIPS																									
	N74S175		①								N74LS175		①			N74175		①							
SIGNETICS	S54S175															S54175	F①	B①		W①					
	N74S175										N74LS175		A①			N74175	F①	B①							
SIEMENS																									
																FLJ541		①							
FUJITSU																									
											74LS175		M①												
HITACHI																									
	HD74S175	J①	P①								HD74LS175		P①			HD74175	J①	P①							
MITSUBISHI																									
	M5S175		P①								M74LS175		P①			M53375		P①							
NEC																									
											74LS175		C①			μPB2175	D①								
AMD	Am54S175		①								Am54LS175		①												
	Am74S175		①								Am74LS175		①												

Electrical Characteristics SN54174/SN74175

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	Operating free-air temperature range	SN54'	−55°C to	125°C
Input voltage	7V		SN74'	0°C to	70°C
		Storage temperature range		−65°C to	150°C

recommended operating conditions

	SN54175			SN74175			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			−400			−400	μA
Low-level output current, I_{OL}			4			8	mA
Clock frequency, f_{clock}	0		30	0		35	MHz
Width of clock or clear pulse, t_w	20			20			ns
Setup time, t_{setup} — Data input	20			20			ns
Setup time, t_{setup} — Clear inactive-state	25			25			ns
Data hold time, t_{hold}	5			5			ns
Operating free-air temperature, T_A	−55		125	0		70	°C

electrical characterjstics over recommended operating free-air temperature range

	PARAMETER*	TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	High-level input voltage			2			V
V_{IL}	Low-level input voltage					0.8	V
V_I	Input clamp voltage	V_{CC}=MIN, I_I=−18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OH}=−400μA		2.7	3.5		V
V_{OL}	Low-level output voltage	V_{CC}=MIN, V_{IH}=2V, V_{IL}=0.8V, I_{OL}=8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC}=MAX, V_I=7V				0.1	mA
I_{IH}	High-level input current	V_{CC}=MAX, V_I=2.7V				20	μA
I_{IL}	Low-level input current	V_{CC}=MAX, V_I=0.4V				−0.4	mA
I_{OS}	Short-circuit output current◆	V_{CC}=MAX	SN54LS	−20		−100	mA
			SN74LS	−20		−100	
I_{CC}	Supply current	V_{CC}=MAX, See Note			11	18	mA
f_{max}	Maximum clock frequency	V_{CC}=5V, T_A=25°C, C_L=15pF, R_L=2kΩ		30	40		MHz
t_{PLH}	From clear to				16	25	ns
t_{PHL}	From clear to				23	35	ns
t_{PLH}	From clock to				20	30	ns
t_{PHL}	From clock to				21	30	ns

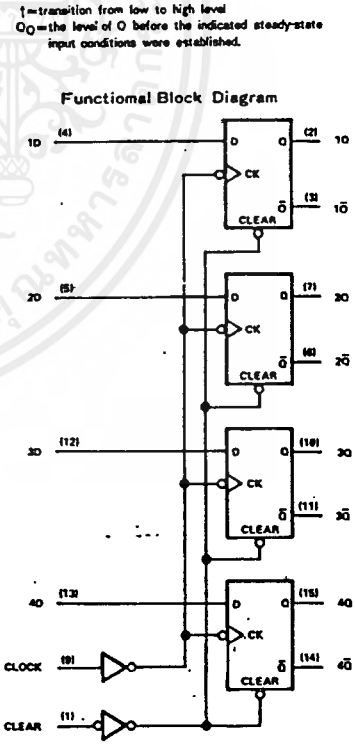
Function Table

'175, 'S175, 'LS175 (EACH FLIP-FLOP)

INPUTS			OUTPUTS	
CLEAR	CLOCK	D	Q	$\bar{Q}$
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Q_0	$\bar{Q}_0$

H = high level (steady state)
L = low level (steady state)
X = irrelevant
↑ = transition from low to high level
Q_0 = the level of Q before the indicated steady-state input conditions were established.

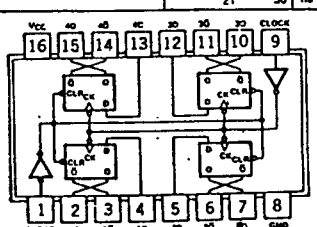
Functional Block Diagram



'175, 'S175, 'LS175 QUADRUPLE D-TYPE FLIP-FLOP

NOTE: With all outputs open and 4.5 V applied to all data and clear inputs, I_{CC} is measured after a momentary ground, then 4.5 V, is applied to clock.

Pin Assignment (Top View)



positive logic : see function table

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C
◆ Not more than one output should be shorted at a time.
* t_{PLH} = propagation delay time, low-to-high level output
t_{PHL} = propagation delay time, high-to-low-level output

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54221/74221 Dual Monostable Multivibrator with Schmitt-Trigger Input

	Schottky TTL					High-Speed TTL					Low-Power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF	Device Type	Package C	P	M	CF
T.I.											SN54LS221		J①		W①	SN54221		J①		W①					
											SN74LS221		J①N①			SN74221		J①N①							
FAIRCHILD																									
MOTOROLA																									
N.S.C.																									
PHILIPS											N74LS221		①			N74221		①							
SIGNETICS											N74LS221		A①			N74221		A①							
SIEMENS																									
FUJITSU											74LS221		P	M①											
HITACHI											HD74LS221			P①		HD74221			P①						
MITSUBISHI											M74LS221			P①											
NEC																									
TOSHIBA																									

Electrical Characteristics SN54LS221/SN74LS221

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7V	operating free-air temperature range	SN54LS	−55°C to 125°C
Input voltage	7V		SN74LS	0°C to 70°C
		Storage temperature range		−65°C to 150°C

recommended operating conditions

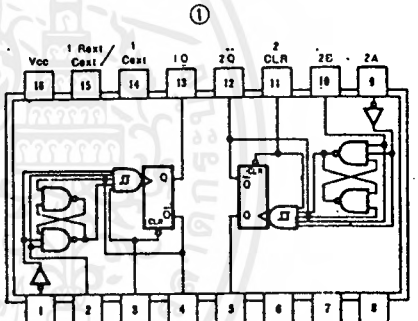
		SN54LS221 MIN	NOM	MAX	SN74LS221 MIN	NOM	MAX	UNIT
Supply voltage, V_{CC}		4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}				−400			−400	μA
Low-level output current, I_{OL}				4			8	mA
Rate of rise or fall of input pulse, dv/dt	Schmitt input, B	1			1			V/s
	Logic input, $\overline{A}$ or B (clear)	1			1			V/ns
Input pulse width	A or B (low level)	40			40			ns
	Clear, $t_{w(clear)}$	40			40			
Clear inactive-state setup time, t_{setup}		15			15			ns
External timing resistance, Rext		1.4		70	1.4		100	kΩ
External timing capacitance, Cext		0		1000	0		1000	pF
Output duty cycle	Rext = 2kΩ			50			50	%
	Rext = MAX Rext			90			90	
Operating free-air temperature, T_A		−55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{T+}	Positive-going threshold voltage	V_{CC} = MIN	A input		1.0	2	V
V_{T-}	Negative-going threshold voltage	V_{CC} = MIN	A input	0.8	1.0		V
V_{T+}	Positive-going threshold voltage	V_{CC} = MIN	B input		1.0	2	V
V_{T-}	Negative-going threshold voltage	V_{CC} = MIN	B input	0.8	0.9		V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA				−1.5	V
V_{OH}	High-level output voltage	V_{CC} = MIN, I_{OH} = −400μA		2.7	3.4		V
V_{OL}	Low-level output voltage	V_{CC} = MIN, I_{OL} = 8mA			0.35	0.5	V
I_I	Input current at maximum input voltage	V_{CC} = MAX, V_I = 7V				0.1	mA
I_{IH}	High-level input current	V_{CC} = MAX, V_I = 2.7V				20	μA
I_{IL}	Low-level input current	V_{CC} = MAX, V_I = 0.4V	Input A			−0.4	mA
			Input B Clear			−0.8	
I_{OS}	Short-circuit output current ◆	V_{CC} = MAX	SN54LS221	−20		−100	mA
			SN74LS221	−20		−100	
I_{CC}	Supply current	V_{CC} = MAX	Quiescent		4.7	11	mA
			Triggered		19	27	
t_{PLH}	from A to output Q	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 2kΩ	C_{ext} = 80pF, Rext = 2kΩ		45	70	ns
t_{PLH}	from B to output Q				35	55	
t_{PHL}	from A to output $\overline{Q}$				50	80	ns
t_{PHL}	from B to output $\overline{Q}$				40	65	
t_{PHL}	from Clear to output Q				35	55	ns
t_{PLH}	from Clear to output $\overline{Q}$				44	65	ns
$t_{w(out)}$	from A or B to output Q or $\overline{Q}$		C_{ext} = 80pF, Rext = 2kΩ	70	120	150	ns
			C_{ext} = 0, Rext = 2kΩ	20	47	70	
			C_{ext} = 100pF, Rext = 10kΩ	600	670	750	
			C_{ext} = 1μF, Rext = 10kΩ	6	6.9	7.5	ms

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
◆ Not more than one output should be shorted at a time.
t_{PLH} = Propagation delay time, low-to-high-level output.
t_{PHL} = Propagation delay time, high-to-low-level output.

Pin Assignment (Top View)



positive logic: Low input to clear resets Q low and $\overline{Q}$ high regardless of d-c levels at A or B inputs.

Function Table

'221, 'LS221 (EACH MONOSTABLE)

INPUTS CLEAR	A	B	OUTPUTS Q	$\overline{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⊓	⊔
H	↓	H	⊓	⊔

H = high level (steady state)
L = low level (steady state)
↑ = transition from low to high level
↓ = transition from high to low level
⊓ = one high-level pulse
⊔ = one low-level pulse
X = irrelevant

เอกสารนี้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

54248/74248 BCD-to-Seven-Segment Decoder /Driver

	Schottky TTL					High-Speed TTL					Low-power Schottky TTL					Standard TTL					Low-Power TTL				
	Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package				Device Type	Package			
		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF		C	P	M	CF
T.I.											SN54LS248	J①		W①	W①	SN5424B	J①			W①					
											SN74LS248	J①	N①			SN7424B	J①	N①							
FAIRCHILD																									
MOTOROLA																									
N.S.C.																									
PHILIPS																									
SIGNETICS																									
SIEMENS																									
FUJITSU																									
HITACHI											HD74LS248		P①												
MITSUBISHI																									
NEC																									
TOSHIBA																									

Electrical Characteristicss SN54LS248/SN74LS248

absolute maximum ratings over operating free-air temperature range

Supply voltage, V_{CC}	7 V	Operating free-air temperature range	SN54LS	−55°C to	125°C
Input voltage	7V		SN74LS	0°C to	70°C
		Storage temperature range		−65°C to	150°C

recommended operating conditions

		SN54248			SN74248			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}		4.5	5	5.25	4.75	5	5.25	V
High-level output current, I_{OH}	a thru g			−100			−100	μA
	BI/RBO			−50			−50	
Low-level output current, I_{OL}	a thru g			2			6	mA
	BI/RBO			1.6			3.2	
Operating free-air temperature, T_A		−55		125	0		70	°C

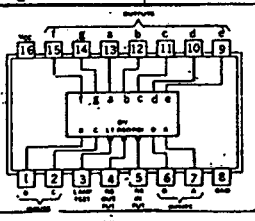
electrical characteristics over recommended operating free-air temperature range

PARAMETER		TEST CONDITIONS†	MIN	NOM‡	MAX	UNIT
V_{IH}	High-level input voltage		2			V
V_{IL}	Low-level input voltage				0.8	V
V_I	Input clamp voltage	V_{CC} = MIN, I_I = −18mA			−1.5	V
V_{OH} High-level output voltage	a thru g	V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OH} = MAX	2.4	4.2		V
	BI/RBO		2.4	4.2		
I_O Output current	a thru g	V_{CC} = MIN, V_O = 0.85V, Input conditions as for V_{OH}	−1.3	−2		mA
V_{OL} Low-level output voltage		V_{CC} = MIN, V_{IH} = 2V, V_{IL} = 0.8V, I_{OL} = MAX		0.35	0.5	V
I_I Input current at maximum input voltage	Any input except BI/RBO	V_{CC} = MAX, V_I = 7V			0.1	mA
I_{IH} High-level input current	Any input except BI/RBO	V_{CC} = MAX, V_I = 2.7V			20	μA
I_{IL} Low-level input current	Any input except BI/RBO	V_{CC} = MAX, V_I = 0.4V			−0.4	mA
	BI/RBO				−1.2	
I_{OS} Short-circuit output current	BI/RBO	V_{CC} = MAX	−0.3		−2	mA
I_{CC} Supply current		V_{CC} = MAX, See Note 1		25	38	mA
t_{PHL}	from A input	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 4kΩ			100	ns
t_{PLH}	from A input				100	
t_{PHL}	from RBI input	V_{CC} = 5V, T_A = 25°C, C_L = 15pF, R_L = 6kΩ			100	ns
t_{PLH}	from RBI input				100	

Pin Assignment (Top View)

①

positive logic: see function table



† For conditions shown as MIN or MAX, use appropriate value specified under recommended operating conditions.
‡ All typical values are at V_{CC} = 5V, T_A = 25°C.
# t_{PLH} = propagation delay time, low-to-high-level output
t_{PHL} = propagation delay time, high-to-low-level output

'248, 'LS248 Function Table

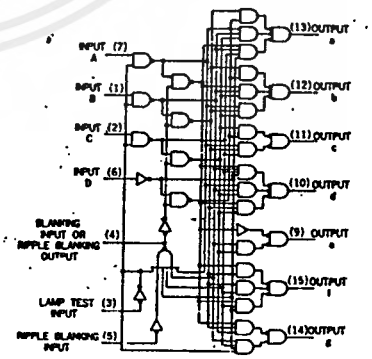
DECIMAL OR FUNCTION	INPUTS LT	RBI	D	C	B	A	BI/RBO§	OUTPUTS a	b	c	d	e	f	g	NOTE
0	H	H	L	L	L	L	H	H	H	H	H	H	H	L	2
1	H	X	L	L	L	H	H	L	H	H	L	L	L	L	2
2	H	X	L	L	H	L	H	H	H	L	H	H	L	H	
3	H	X	L	L	H	H	H	H	H	H	H	L	L	H	
4	H	X	L	H	L	L	H	L	H	H	L	L	H	H	
5	H	X	L	H	L	H	H	H	L	H	H	L	H	H	
6	H	X	L	H	H	L	H	L	L	H	H	H	H	H	
7	H	X	L	H	H	H	H	H	H	H	L	L	L	L	
8	H	X	H	L	L	L	H	H	H	H	H	H	H	H	
9	H	X	H	L	L	H	H	H	H	H	L	L	H	H	
10	H	X	H	L	H	L	H	L	L	L	H	H	L	H	
11	H	X	H	L	H	H	H	L	L	H	H	L	L	H	
12	H	X	H	H	L	L	H	L	H	L	L	L	H	H	
13	H	X	H	H	L	H	H	H	L	L	H	L	H	H	
14	H	X	H	H	H	L	H	L	L	L	H	H	H	H	
15	H	X	H	H	H	H	H	L	L	L	L	L	L	L	
BI/RBO	X	X	X	X	X	X	L	L	L	L	L	L	L	L	3
RBI	H	L	L	L	L	L	L	L	L	L	L	L	L	L	4
LT	L	X	X	X	X	X	H	H	H	H	H	H	H	H	5

§ BI/RBO is wire-AND logic serving as blanking input (BI) and/or ripple blanking output (RBO).
H = high level, L = low level, X = irrelevant

SEGMENT IDENTIFICATION

NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS

Functional Block Diagram



'248, 'LS248 BCD-TO-SEVEN-SEGMENT DECODER/DRIVER

NOTES:
1. I_{CC} is measured with all outputs open and all inputs at 4.5V.
2. The blanking input (BI) must be open or held at a high logic level when output functions 0 through 15 are desired. The ripple-blanking input (RBI) must be open or high if blanking of a decimal zero is not desired.
3. When a low logic level is applied directly to the blanking input (BI), all segment outputs are low regardless of the level of any other input.
4. When ripple-blanking input (RBI) and inputs A, B, C, and D are at a low level with the lamp test input high, all segment outputs go low and the ripple-blanking output (RBO) goes to a low level (response condition).
5. When the blanking input/ripple-blanking output (BI/RBO) is open or held high and a low is applied to the lamp-test input, all segment outputs are high.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหาและต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้