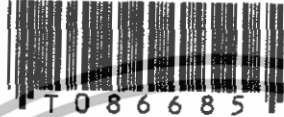


สำนักหอสมุดกลาง พระจอมเกล้าลาดกระบัง

การออกแบบคีย์อ็ควอไลเซอร์โดยใช้มอสเฟต
DESIGN OF DELAY EQUALIZER USING MOSFET



เลขหมู่.....
เลขทะเบียน..... 86685
วัน,เดือน,ปี..... 10 S.P. 2551

b. 11042710
i.....

ปริญญาานิพนธ์นี้เป็นส่วนหนึ่งของการศึกษาตามหลักสูตรปริญญาอุตสาหกรรมศาสตรบัณฑิต
สาขาวิชาเทคโนโลยีโทรคมนาคม
คณะวิศวกรรมศาสตร์
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง
ปีการศึกษา 2538

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

หัวข้อปริญญาโท การออกแบบคิเลย์อีควอไลเซอร์โดยใช้มอสเฟต
 DESIGN OF DELAY EQUALIZER BY USING MOSFET
 ชื่อนักศึกษา นาย ปริญา ดุยกมล
 นาย พงษ์เทพ เกียรตุคมนตรี
 อาจารย์ที่ปรึกษา อาจารย์ จักร ทิมภาควิศวดี
 ภาควิชา เทคนิคอุตสาหกรรม
 ปีการศึกษา 2538

คณะวิศวกรรมศาสตร์สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบังอนุมัติให้รับ
 ปริญญาโทฉบับนี้เป็นส่วนหนึ่งของการศึกษาคณะวิศวกรรมศาสตร์บัณฑิต

คณะกรรมการสอบปริญญาโท



ประธานกรรมการ

กรรมการ

กรรมการ

กรรมการ

กรรมการ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น ลิขสิทธิ์ของคณะวิศวกรรมศาสตร์ สถาบันเทคโนโลยีพระจอมเกล้าเจ้าคุณทหารลาดกระบัง

การออกแบบศิลปะอ็ควอโลเซอร์โดยใช้มอสเฟต

โดย นาย ปริญญา นุชกลม รหัส 37012059
 นาย พงษ์เทพ เจียรอุดมทรัพย์ รหัส 37012062

อาจารย์ที่ปรึกษา อาจารย์ จักรี ทิฆมภาควิสิษณ์
 ปีการศึกษา 2538

บทคัดย่อ

วงจรรีเลย์อ็ควอโลเซอร์ใช้สำหรับปรับการเลื่อนเฟสของสัญญาณ ประกอบด้วย ตัวต้านทาน ออปแอมป์ คาปาซิเตอร์ และตัวเหนี่ยวนำ ส่วนประกอบต่างๆ สามารถทำได้โดยใช้ตัวมอสเฟต ซึ่งในวงจรมีการใช้กำลังงานต่ำและกินพื้นที่น้อย ซึ่งในปริยญาณิพนธ์เล่มนี้จะแสดงวงจรของมอสเฟตในรูปแบบของความต้านทานชนิดลงกราวด์ ความต้านทานชนิดลอยตัว และ ออปแอมป์ ค่าของความต้านทานสามารถเปลี่ยนแปลงได้ โดยปรับค่าแรงดันที่ขาเกตของตัวมอสเฟต ผลที่ได้จากการทดลองที่ใช้วงจรมอสเฟตในการทำเป็นวงจรรีเลย์อ็ควอโลเซอร์มีลักษณะใกล้เคียงกับทฤษฎีเป็นอย่างมาก

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

DESIGN OF DELAY EQUALIZER BY USING MOSFET

BY MR. PARINYA CHUIKLOM NO. 37012059
 MR. PONGTEP CHEANUDOMSAB NO. 37012062
 ADVISOR MR. CHAKREE TEEKAPAKVISIT
 YEAR 1995

ABSTRACT

The delay equalizer is used to adjust phase of the signal which is consists of resistors , op-amps , capacitors and inductances . The elements are able to be frabricated by MOSFETS which are taken low power consumption and less area . In this project , the MOSFETS circuits of Ground-Resistors , Floated-Resistor and OP-AMPS are shown which is the value of Resistors are able to vary by adjusting V_g of MOSFETS . Theexperimental results which are used MOSFETS circuit in equalizer are quite agree with the theoretical .

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

กิตติกรรมประกาศ

ปริญญาบัตรฉบับนี้ได้สำเร็จลุล่วงไปได้ด้วยความช่วยเหลือของอาจารย์ จักริ ทิมภาคย์วิศิษฎ์ ซึ่งเป็นอาจารย์ที่ปรึกษาปริญญาบัตร ตลอดจนเพื่อนๆ ห้อง 2M ที่ให้ความช่วยเหลือในด้านต่างๆ และ คอยให้กำลังใจตลอดมา และที่ลืมเสียมิได้ คือ สถาบันเทคโนโลยีพระจอมเกล้า ศูนย์นนทบุรี เป็นสถานที่วิจัย

เนื่องคุณความดีใดๆ ที่เกิดจากปริญญาบัตร ฉบับนี้ขอมอบให้แก่ บิศา มารดา และครูบาอาจารย์ที่ได้ประสิทธิ์ประสาทวิชาความรู้ให้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆ ทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สารบัญ

	หน้า
บทคัดย่อภาษาไทย	ก
บทคัดย่อภาษาอังกฤษ	ข
กิตติกรรมประกาศ	ค
บทที่	
1. บทนำ	1
1.1 แนวความคิดในการทำปริญญาโท	1
1.2 องค์ประกอบของปริญญาโท	1
2. คิเลสฟิลเตอร์	2
2.1 ไทม์คิเลสและทรานสเฟอร์ฟังก์ชัน	2
2.2 ออลพาสฟิลเตอร์	4
2.2.1 ALL - PASS FILTER (ACTIVE)	4
2.2.2 ALL - PASS FILTER (PASSIVE)	8
3. ทฤษฎีเรื่องเฟต	11
3.1 METAL OXIDE SEMICONDUCTOR FET	11
3.1.1 Depletion - Type Mosfet	11
3.1.2 Enhancement - Type Mosfet	12
4. การนำมอสเฟตมาทำเป็นออปแอมป์และตัวต้านทาน	17
4.1 โครงสร้างของ Op - Amp	17
4.2.1 รายละเอียดโครงสร้างวงจรภายใน	18
4.2.2 วงจรสมบูร์กของ MOS OP-AMP แบบพื้นฐาน	24
4.3 การนำมอสเฟตมาทำเป็นตัวต้านทาน	25
4.3.1 ตัวต้านทานชนิดลงกราวด์	25
4.3.2 การนำมอสเฟตมาทำเป็นตัวต้านทานชนิดลอยตัว	27
5. ผลการทดลอง	32
5.1 ผลการทดลอง	32
5.2 บทสรุปและข้อเสนอแนะ	41
เอกสารอ้างอิง	42

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 1

บทนำ

1.1 แนวความคิดในการทำปริภูมิพนธ์

เป็นที่ทราบกันดีอยู่แล้วว่าในปัจจุบันการพัฒนาด้านวงจรรวม VLSI (VERY LARGE SMALL INTEGRATED CIRCUIT) ได้เป็นไปอย่างรวดเร็วและต่อเนื่อง ด้วยเหตุนี้จึงได้มีการนำวงจรที่มีขนาดใหญ่มาพัฒนาให้อยู่ในรูปของวงจรรวมแบบ VLSI ในชิปไอซีเพียงตัวเดียวซึ่งจะทำให้วงจรต่างๆขนาดเล็กลง

สำหรับปริภูมิพนธ์ฉบับนี้เป็นกรนำเสนอแนวความคิดที่จะนำ MOSFET (METAL OXIDE SEMICONDUCTOR FIELD EFFECT TRANSISTOR) มาทำเป็นออปแอมป์ ตัวต้านทาน ทั้งชนิดลงกราวด์และลอย ที่สามารถเปลี่ยนแปลงค่าความต้านทานได้ด้วยการปรับแรงดัน โดยนำมาประยุกต์ใช้งานเป็นวงจรีเล็คทริกอลไฮเซอร์ซึ่งเป็นวงจรที่สามารถปรับเฟสได้

ด้านคุณสมบัติของวงจรีเล็คทริกอลไฮเซอร์ที่สามารถปรับเฟสได้ เราจึงสามารถนำมาใช้ประโยชน์ในด้านการปรับแก้เฟสของสัญญาณต่างๆ ที่มีการคลาดเคลื่อนของเฟสให้เป็นปกติได้

1.2 องค์ประกอบของปริภูมิพนธ์

สำหรับในส่วนของปริภูมิพนธ์ จะประกอบด้วยส่วนที่เป็นทฤษฎีทางด้าน คิเลย์ฟิลเตอร์ มอสเฟต และทฤษฎีทางด้านกรานอสมเฟตมาทำเป็นออปแอมป์ ความต้านทาน จึงแบ่งปริภูมิพนธ์ฉบับนี้ออกเป็นบทต่างๆ ดังนี้

บทที่ 2 กล่าวถึงทฤษฎีของโหมคิเลย์ ทรอนสเฟอร์ฟังก์ชัน และ ทฤษฎีเรื่อออลพาสฟิลเตอร์(ALL PASS FILTER)

บทที่ 3 กล่าวถึงทฤษฎีของมอสเฟต

บทที่ 4 กล่าวถึงทฤษฎีกรานอสมเฟตมาทำเป็นออปแอมป์ และ ทำเป็นตัวต้านทานทั้งชนิดลงกราวด์และลอยตัว

บทที่ 5 กล่าวถึงสรุป และ ผลการทดลอง

บทที่ 2 คิเลย์ฟิลเตอร์

2.1 ไทม์คิเลย์และทรานสเฟอร์ฟังก์ชัน

คิเลย์ (Delay) เป็นปริมาณใน Time - domain แต่วงจรฟิลเตอร์เป็นการออกแบบจาก frequency - domain ดังนั้นจึงเป็นความจำเป็นที่จะต้องหาความสัมพันธ์ระหว่าง 2 ปริมาณ โดยเราจะเริ่มที่สัญญาณอินพุต V_1 แสดงในรูป 2.1a ซึ่งเป็นสัญญาณที่จะนำผ่านวงจรหน่วงเวลาเป็นเวลา D วินาที ที่เอาต์พุตจะหน่วงสัญญาณอินพุต ดังแสดงในรูปที่ 2.1c โดยที่ V_2 จะได้

$$V_2(t) = V_1(t - D) \quad (1)$$

โดยที่

$$V_1 = A \sin(\omega t + \phi) \quad (2)$$

จากสมการ (1) ที่เอาต์พุตจะได้

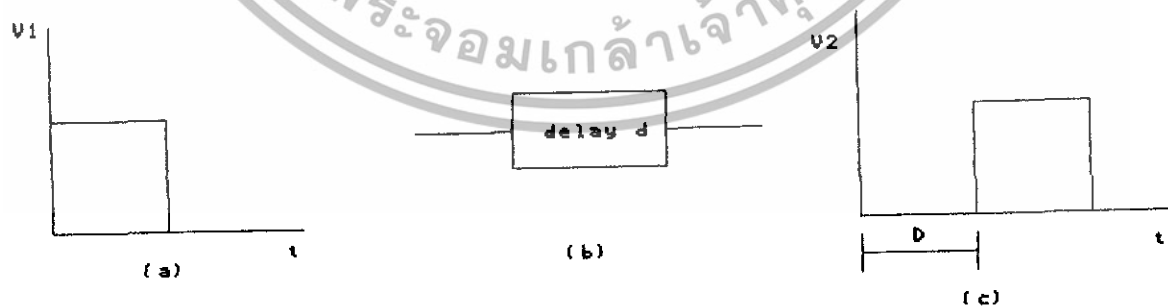
$$V_2 = A \sin[\omega(t - D) + \phi] \quad (3)$$

หรือ

$$V_2 = A \sin(\omega t - \omega D + \phi) \quad (4)$$

ดังนั้นเราจะพบว่าสัญญาณอินพุตและสัญญาณเอาต์พุตจะมีความแตกต่างเฟส

$$\theta = -\omega D \quad (5)$$



รูปที่ 2.1

ถ้าสัญญาณอินพุตถูกหน่วงเวลาไปเป็นจำนวน D โดยที่ขนาดไม่เปลี่ยน ดังนั้นที่เอาต์พุตจะถูกหน่วงเวลาโดยมีสัญญาณเหมือนอินพุตทุกประการ

ขณะนี้เราจะใช้เฟสเซอร์อธิบายสมการ (2) จะได้

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับครูใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
 $V_1 = A \angle \phi \quad (6)$
 ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นสมการที่ (4) จะได้

$$V_2 = A \angle (\phi - \omega D) \quad (7)$$

ดังนั้นอัตราส่วน V_2/V_1 จะเป็น

$$V_2/V_1 = 1 \angle -\omega D \quad (8)$$

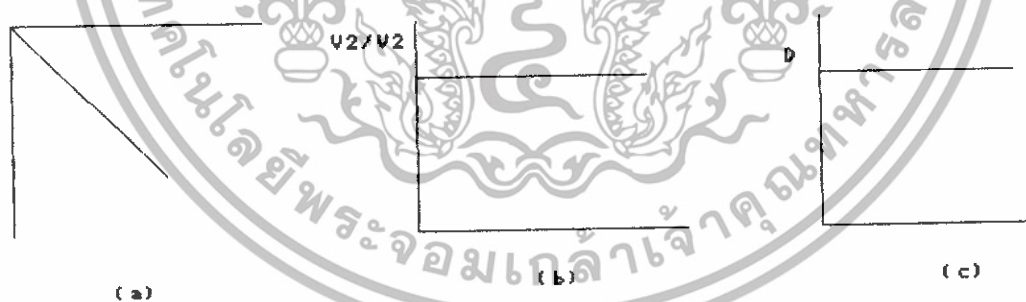
หรือเขียนในรูปเอกซ์โพเนนเชียลจะได้

$$V_2(j\omega) / V_1(j\omega) = 1e^{-j\omega D} \quad (9)$$

ถ้ากำหนดให้ $D = 1$ (normalized time delay) และให้ $j\omega = s$ ดังนั้นทรานสเฟอร์ฟังก์ชันในสมการ (9) จะกลายเป็น

$$T(s) = V_2(s) / V_1(s) = e^{-s} \quad (10)$$

ขนาดและเฟสจากทรานสเฟอร์ฟังก์ชัน (สมการ 9) แสดงในรูปที่ 2.2 โดยที่เฟสจะเป็นลิเนียร์โดยมีความชันเป็นลบ ขนาดเป็นค่าคงที่ ดังนั้น คิเลย์จะเป็นค่าคงที่ ภายใต้เงื่อนไขที่สัญญาณจะถูกหน่วงเวลาโดยปราศจากความถี่ขึ้น



รูปที่ 2.2

เราไม่สามารถสร้างทรานสเฟอร์ฟังก์ชัน $T = e^{-s}$ ด้วย lumped elements เราสามารถทำได้โดยประมาณให้ใกล้เคียงสมการ (10) ด้วยอัตราส่วนผลหารของโพลีโนเมียล

$$T(s) = N(s) / D(s) \quad (11)$$

ถ้าเรากำหนดให้ $s = j\omega$ ในสมการ (11) ดังนั้น $T(j\omega)$ จะกลายเป็นจำนวนเชิงซ้อนและ

อาจจะเขียนได้ว่า

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

$T(j\omega) = R(\omega) + jX(\omega) \quad (12)$

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เฟสของ $T(j\omega)$ เป็น

$$\theta = \tan^{-1} [X(\omega) / R(\omega)] \quad (13)$$

แทนสมการ (13) ในสมการ (5) จะได้

$$\theta = (-1/\omega) \tan^{-1} (X/R) \quad (14)$$

สมการนี้ไม่อาจเข้าใจได้และไม่เหมาะกับวัตถุประสงค์ของเรา ถ้าเราจะนิยามค่าหน่วงเวลาโดยสมการ (5) จะได้

$$\theta = -d\theta / d\omega \quad (15)$$

ดังนั้นเราจะคิดเฟสเรนทีโอสมการ (13) จะได้

$$\theta = (-Rdx / d\omega + XdR / d\omega) / (R^2 + X^2)$$

ดังนั้นในสมการที่ (5) เราจะเรียกว่า phase delay และเราจะนิยามสมการ (15) ว่า group delay หรือ signal delay หรือ envelope delay

2.2 ออกทาสฟิลเตอร์

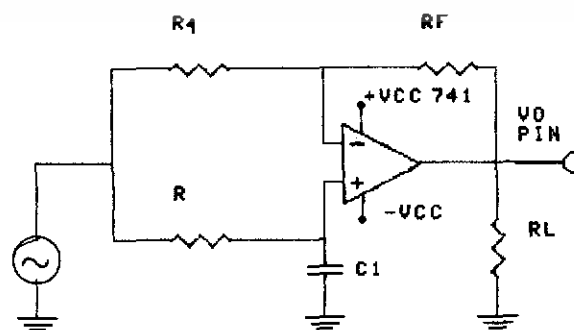
All - pass filter เป็นวงจรที่ให้ทุก ๆ ความถี่ของสัญญาณอินพุตผ่านโดยปราศจากการลดทอน ในขณะที่มันจะทำการเลื่อนเฟสในแต่ละความถี่ของสัญญาณอินพุต

เมื่อไหร่ที่สัญญาณที่จะทำการส่งเกินสายนำสัญญาณ (Signals are transmitted over transmission lines) เช่น สายโทรศัพท์ ก็จะมีการเปลี่ยนแปลงของเฟส เราจึงต้องทำการชดเชยเฟสที่เปลี่ยนแปลงไป วงจร all - pass filter สามารถทำได้

วงจร all - pass filter บางที่เราจะเรียกว่า delay equalizers หรือ phase correctors

2.2.1 ALL - PASS FILTER (ACTIVE)

ALL - PASS FILTER ORDER 1



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษานี้เท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 2.3
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.3 เป็นวงจรคิฟเฟอร์เรนเซียลแอมพลิฟายเออร์

$$V_o = V_{o(-)} + V_{o(+)}$$

เมื่อ $V_{o(-)} = (-R_f / R_1 * V_i)$ แรงดันเอาต์พุตเมื่อคิดแบบ inverting

และ $V_{o(+)} \Rightarrow V_{o(+)} = (1 + R_f / R_1) V_{x(+)}$ แรงดันเอาต์พุตเมื่อคิดแบบ non-inverting

$$\text{ดังนั้น } V_{o(+)} = \left(1 + \frac{R_f}{R_1}\right) \left(\frac{V_i}{R + \frac{1}{SC}}\right) = \left(1 + \frac{R_f}{R_1}\right) \left(\frac{V_i}{SCR + 1}\right)$$

$$\therefore V_o = \left(\frac{-R_f}{R_1} * V_i\right) + \left(1 + \frac{R_f}{R_1}\right) \left(\frac{V_i}{SCR + 1}\right)$$

เมื่อ $R_f = R_1, S = j\omega, \omega = 2\pi f$

$$V_o = V_i \left[-1 + \frac{2}{(j2\pi fRC + 1)} \right]$$

$$\therefore V_o / V_i = \frac{(-1 - j2\pi fRC + 1 + 2)}{(j2\pi fRC + 1)}$$

$$= \frac{(1 - j2\pi fRC)}{(1 + j2\pi fRC)}$$

$$= \frac{1 - j\omega RC}{1 + j\omega RC}$$

$$\left| \frac{V_o}{V_i} \right| = \frac{\sqrt{[1 + (\omega RC)^2]}}{\sqrt{[1 + (\omega RC)^2]}} = 1$$

ถ้า $V_o / V_i = 1$ เป็นผลทำให้ $|V_o| = |V_i|$ ตลอดย่านความถี่ที่ใช้งาน และได้เฟสขีประหว่าง V_o กับ V_i เท่ากับ ϕ

$$\phi = \arctan(-\omega RC / 1) - \arctan(\omega RC / 1) = -2\arctan(\omega RC)$$

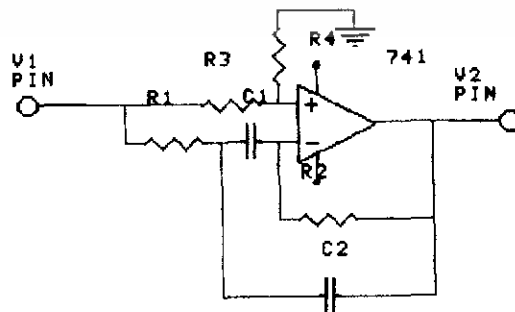
เฟสขีประหว่างเป็นค่าลบแสดงว่า V_o ล้าหลัง

ดังนั้นถ้าหากต้องการคิฟเฟสขีประหว่างเป็นค่าบวกก็จะได้

$$\phi = 360^\circ - 2\arctan(\omega RC)$$

เฟสขีประหว่างมีค่าเป็นบวกจะแสดงว่า V_o นำหน้า

ALL - PASS FILTER ORDER 2



รูปที่ 2.4

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

จากรูปที่ 2.4 กำหนดให้ $V_C = (R_4 V_1) / (R_3 + R_4) = K V_1$

ที่โหนด A $I_1 - I_2 - I_3 = 0$

$$\left(\frac{V_1 - V_A}{R_1}\right) - \left(\frac{V_A - V_2}{1}\right) - \left(\frac{V_A - V_B}{1}\right) = 0$$

$$\left(\frac{V_1}{R_1}\right) - \left(\frac{V_A}{R_1}\right) - 2SCV_A + SCV_B + SCV_2 = 0$$

$$V_B = V_C$$

$$V_1/R_1 - V_A [1/R_1 + 2SC] + SC(R_4/R_3 + R_4 * V_1) + SCV_2 = 0$$

$$V_1 [(1/R_1) + KSC] - V_A [(1/R_1) + 2SC] + SCV_2 = 0 \quad (1)$$

ที่โหนด B

$$I_3 - I_4 - I_1 = 0$$

$$I_3 - I_4 = 0$$

$$[(V_A - V_B) / 1SC] - [(V_B - V_2) / R_2] = 0$$

$$V_1 [SCK + (K/R_2)] - SCV_A - V_2/R_2 = 0 \quad (2)$$

จะได้

$$V_1 [(1 + KSR_1C) / R_1] - V_A [(1 + 2SR_1C) / R_1] + SCV_2 = 0 \quad (3)$$

$$V_1 [(KSR_2C + K) / R_2] - SCV_A - V_2/R_2 = 0 \quad (4)$$

$$V_1 = K_0 \begin{bmatrix} -(1 + 2SR_1C) / R_2 & SC \\ -SC & -1/R_2 \end{bmatrix} ; -\infty < K_0 < \infty$$

$$V_2 = K_0 \begin{bmatrix} (1 + KSR_1C) / R_1 & -(1 + 2SR_1C) / R_1 \\ (KSR_2C + K) / R_2 & -SC \end{bmatrix} ; -\infty < K_0 < \infty$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 V_1 &= K_O \left[\left(-\frac{1+2SR_1C}{R_1} \right) \left(\frac{1}{R_2} \right) + s^2 C^2 \right] \\
 V_2 &= K_O \left[-sC \left(\frac{1+KSR_1C}{R_1} \right) + \left(-\frac{KSR_2C+K}{R_2} \right) \left(\frac{1+2SR_1C}{R_1} \right) \right] \\
 V_1 &= K_O \left[\frac{1+2SR_1C+s^2R_1R_2C^2}{R_1R_2} \right] \\
 V_2 &= K_O \left[\frac{KS^2R_1R_2C^2 + KSR_2C + 2KSR_1C - SCR_2 + K}{R_1R_2} \right] \\
 V_2/V_1 &= K_O \left[\frac{KS^2R_1R_2C^2 + KSR_2C + 2KSR_1C - SCR_2 + K}{S^2R_1R_2C^2 + 2SR_1C + 1} \right] \\
 V_{2(s)} / V_{1(s)} &= K \left(\frac{s^2 + \left[\frac{2}{R_2C} + \frac{1}{R_1C} \left(1 - \frac{1}{K} \right) \right] s + \frac{1}{R_1R_2C^2}}{s^2 + \left(\frac{2}{R_2C} \right) s + \frac{1}{R_1R_2C^2}} \right); K_0 = 1 \quad (5)
 \end{aligned}$$

สำหรับสมการทรานสเฟอ์ฟังก์ชันของวงจร all-pass filter อันดับ 2 เท่ากับ

$$H(s) = V_{2(s)} / V_{1(s)} = K (s^2 - as + b) / (s^2 + as + b) \quad (6)$$

∴ เทียบสมการที่ (5) กับ (6) จะได้

$$a = 2/R_2C$$

$$b = 1/R_1R_2C^2$$

จาก $\frac{2}{R_2C} + \left[\frac{1}{R_1C} \left(1 - \frac{1}{K} \right) \right]$ จะได้

$$\begin{aligned}
 &= \frac{2}{R_2C} + \left[\frac{1}{R_1C} \left(1 - \frac{1}{K} \right) \right] = \frac{2}{R_2C} + \left[\frac{\frac{R_4}{R_3+R_4} - 1}{\frac{R_4}{R_1C}} \right] \\
 &= \frac{2}{R_2C} + \left[\frac{1}{R_1C} \left(1 - \frac{1}{K} \right) \right] = \frac{R_4}{R_3+R_4}
 \end{aligned}$$

$$\begin{aligned}
 &= \frac{2}{R_2C} + \left(\frac{\frac{R_4 - R_3 - R_4}{R_3 + R_4}}{\frac{R_4}{R_1C}} \right) \left(\frac{1}{R_1C} \right) \\
 &= \frac{2}{R_2C} + \left(\frac{R_3 + R_4}{R_4} \right) \left(\frac{1}{R_1C} \right)
 \end{aligned}$$

เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ไว้สำหรับใช้ในการศึกษาเท่านั้น ไม่อนุญาติให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้ง (2/R₂C) คือ (4/R₂C) ถ้า = 2/R₂C อธิบายถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้น $R_2 R_3 = 4R_1 R_4$ ค้ำย และ $K = R_4 / [R_3 + R_4]$
 และ $\phi = -2 \arctan (a\omega / b - \omega^2)$ (7)

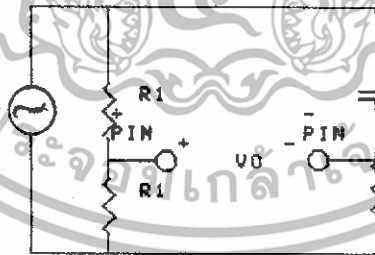
$D(\omega) = -d\phi / d\omega = 2 [(a\omega^2 + ab) / (\omega^4 + \omega^2 (a^2 - 2b) + b^2)]$ (8)

ส่วนผลการตอบสนองเชิงมุมหรือเฟส (phase response) มีลักษณะดังรูปที่ 2.5



2.2.2 ALL - PASS FILTER (PASSIVE)

ALL - PASS FILTER ORDER 1



รูปที่ 2.6 First - order RC all-pass network

เราสามารถสร้างวงจร First - order all - pass ได้ตามรูป โดยที่สมการทรานสเฟอร์ฟังก์ชันที่ได้จะมีค่าตรงกับสมการทรานสเฟอร์ฟังก์ชันของ First - order all - pass แต่จะใช้ค่า scale factor = 1/2

จาก $V_0 / V_i = -1/2 [(S - \infty) / (S + \infty)] = 1/2 - [S / (S + \infty)]$ (1)

จากรูป 2.6 หากค่า H(s) จะได้

$V_0 = V_i (R_1 / 2R_1) - V_i [R / (1/SC + R)]$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับใช้จำนวนการสื่อสารที่น้อยไปอนุญาตให้นำไปใช้ประโยชน์ด้านอื่นๆ ค่าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ให้ (1) = (2) เพราะฉะนั้นจะได้

$$V_o/V_i = 1/2 - [S/(S + 1/RC)]$$

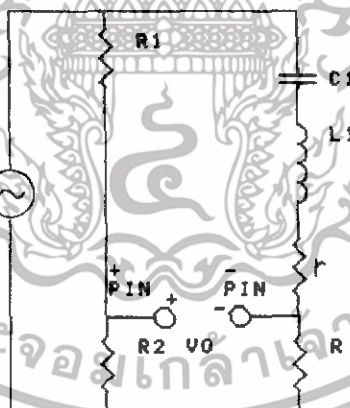
$$\therefore \infty = 1/RC$$

ขนาดของสัญญาณขาเข้าที่เท่ากันจะเท่ากับครึ่งหนึ่งของสัญญาณขาเข้าที่อื่น ๆ ความถี่และเฟสที่เวิร์คนี้โดยทั่วไปสามารถนำมาใช้งานได้ 2 วิธี

1. คงค่าความถี่ของสัญญาณอินพุตไว้ แล้วเปลี่ยนค่า R โดยที่เมื่อ R เปลี่ยนแปลงไปเฟสของสัญญาณเอาต์พุตเป็น (0) เมื่อ R = 0 และจะเป็น (- $\pi/2$) เมื่อ R = $1/\omega C$ นั่นก็คือจะได้ว่าเมื่อปรับค่า R อย่างต่อเนื่องคือจาก 0 ถึง ∞ ก็จะได้เฟสที่เปลี่ยนแปลงอย่างต่อเนื่องจาก (0) ถึง (- π)

2. คงค่า R ไว้ (ให้ R เป็นค่าคงที่) และเฟสของสัญญาณที่เอาต์พุตจะขึ้นอยู่กับความถี่ของสัญญาณที่อินพุต นั่นก็คือจะได้ว่า เมื่อความถี่ของสัญญาณที่อินพุตเปลี่ยนเฟสของสัญญาณที่เอาต์พุตจะเปลี่ยนตาม โดยที่เฟสของสัญญาณที่เอาต์พุตจะเป็น (0) เมื่อ $\omega = 0$ และเฟสจะเป็น (- π) เมื่อ $\omega = \infty$ และจะเป็น (- $\pi/2$) เมื่อ $\omega = 1/RC$

ALL - PASS FILTER ORDER 2



รูปที่ 2.7

เราสามารถสร้างวงจร second - order all - pass ได้ตามรูปที่ 2.7 โดยที่ค่าความต้านทาน r แสดงถึงค่าความต้านทานของคอยล์

จากรูป 2.7 หากค่า H(s) จะได้

$$V_o = V_i \left(\frac{R_2}{R_1 + R_2} \right) - V_i \left(\frac{R}{\frac{1}{SC} + SL + r + R} \right)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่นอนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$\begin{aligned}
 V_o/V_i &= \frac{R_2}{R_1+R_2} - \frac{SCR}{s^2 LC + SC(R+r) + 1} \\
 &= \frac{R_2}{R_1+R_2} - \frac{R}{L} / \left(s^2 + s \left(\frac{R+r}{L} \right) + \frac{1}{LC} \right) \\
 &= \frac{R_2}{R_1+R_2} \left(s^2 + s \left(\frac{R+r}{L} \right) + \frac{1}{LC} - \left(1 + \frac{R_1}{R_2} \right) \frac{R}{L} / \left(s^2 + s \left(\frac{R+r}{L} \right) + \frac{1}{LC} \right) \right)
 \end{aligned}$$

$$V_o/V_i = \frac{R_2}{R_1+R_2} \left(\frac{s^2 - s \left(\frac{1}{L} \left(\frac{R_1 R}{R_2} - r \right) + \frac{1}{LC} \right)}{s^2 + s \left(\frac{R+r}{L} \right) + \frac{1}{LC}} \right) \quad (3)$$

เมื่อ $R_1/R_2 = 1 + 2r/R$ ดังนั้น (3) จะได้

$$\therefore V_o/V_i = \frac{R_2}{R_1+R_2} \left(\frac{s^2 - s \left(\frac{R+r}{L} \right) + \frac{1}{LC}}{s^2 + s \left(\frac{R+r}{L} \right) + \frac{1}{LC}} \right) \quad (4)$$

จาก (4) จะพบว่า จะได้สมการ $H(s)$ เหมือนกับสมการมาตรฐานของ all-pass filter อันดับ 2

$$H(s) = K (s^2 - a s + b) / (s^2 + a s + b)$$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 3 ทฤษฎีเรื่องเฟต

3.1 METAL - OXIDE SEMICONDUCTOR FIELD - EFFECT TRANSISTOR (MOSFET)

MOSFET แบ่งออกเป็น 2 ชนิด คือ ชนิดคิพลิน (depletion type) และเอ็นฮานซ์เมนต์ (enhancement type)

3.2.1 Depletion - Type Mosfet

โครงสร้างแสดงดังรูปที่ 3.1 โครงสร้างจะประกอบด้วยการได้เป็นอย่างดีด้วย p - type ที่ซับสเตรท (substrate) เรียกว่า body ภายในจะมีการได้เป็นอย่างดีด้วย n - type โดยการแพร่ออกไปดังรูป 3.1a ส่วน channel ที่ดินจะได้อย่างเป็นอย่างดีด้วยวัสดุที่เป็น n - type ซึ่งอยู่ระหว่างซอร์จและเดรนโดยการแพร่ออกไป บริเวณระหว่างซอร์จและเดรนจะถูกปกคลุมด้วยชั้นของอ็อกไซด์ (oxide layer) ใน MOSFET เกทจะแยกออกจากสารกึ่งตัวนำโดยชั้นของอ็อกไซด์ ด้วยเหตุนี้จึงมีอีกชื่อหนึ่งว่า insulated - gate field - effect transistor (IGFET)

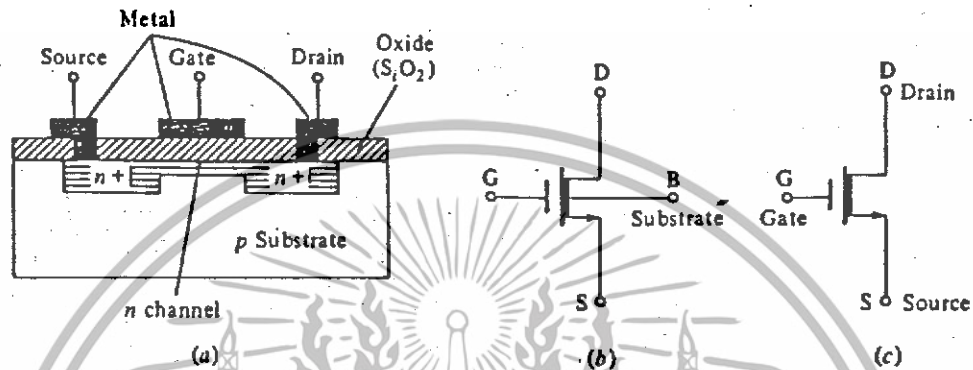
สัญลักษณ์ของ MOSFET ชนิด depletion แบบ n - channel หรือเรียกง่าย ๆ ว่า NMOS แสดงดังรูป 3.1b และ C สำหรับ MOSFET แบบ p - channel หรือ PMOS จะมีทิศทางของหัวถูกตรงกันข้ามการทำงานของ MOSFET โดยพื้นฐานจะคล้ายกับ JFET ในรูปที่ 3.1a ถ้าแรงดันระหว่างเกตและซอร์จโดยที่เกตเป็นลบ เมื่อเทียบกับซอร์จจะทำให้ประจุบวกเหนี่ยวนำไปที่ channel โดยผ่าน SiO_2 (gate capacitor) การเหนี่ยวนำของประจุบวกทำให้เกิดพาหะส่วนมากที่คิพลิน (อิเล็กตรอนใน n - channel) ดังนั้น channel จะมีค่าความนำน้อย

ถ้าที่เกตได้รับลบอย่างเพียงพอ บริเวณคิพลินจะขยายเข้าไปยัง channel และ channel จะไม่สามารถนำกระแส เงื่อนไขนี้ก็คือ pinch - off และโดยทั่วไปจะมีค่าอยู่ระหว่างเดียวกันกับค่าของ JFET V - I characteristics ของ MOSFET ใน depletion - mode จะมีความคล้ายกันกับ JFET ซึ่งคิพลิน - โหมดจะทำงานอยู่ที่ค่าของ V_{GS} เป็นลบ ซึ่งก็คือ ที่เกตได้รับแรงดันลบเมื่อเทียบกับซอร์จ

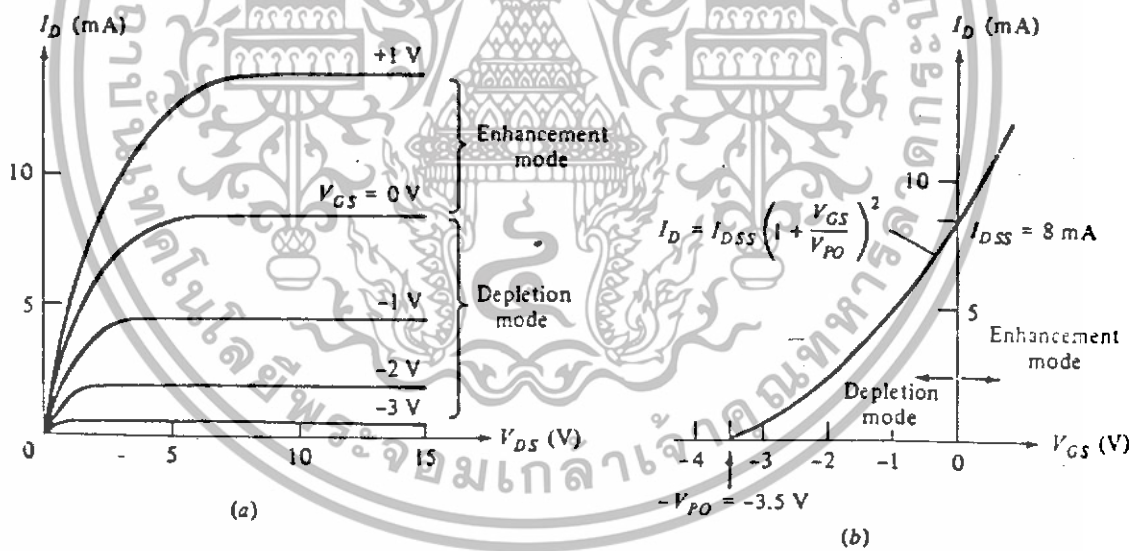
ถ้าที่ขาเกตได้รับแรงดันเป็นบวกเมื่อเทียบกับซอร์จ ดังรูป 3.1a ประจุลบจะเหนี่ยวนำไปยัง channel โดยผ่าน SiO_2 (gate capacitor) ดังนั้นจะทำให้พาหะส่วนมากใน channel เพิ่มขึ้น ค่าความนำของ channel จึงเพิ่มตาม และกระแสเดรนจะมีค่ามากกว่า I_{DSS} enhancement - mode จะทำงานได้เมื่อค่า V_{GS} เป็นบวก สำหรับชนิด n - channel

ดังนั้น MOSFET ชนิดคิพลิน สามารถทำงานได้ทั้ง enhancement mode หรือ depletion mode และ V - I characteristics ของ MOSFET ชนิดคิพลิน แสดงดังรูป 3.2

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.1 รูปโครงสร้างของ MOSFET ชนิด n - channel

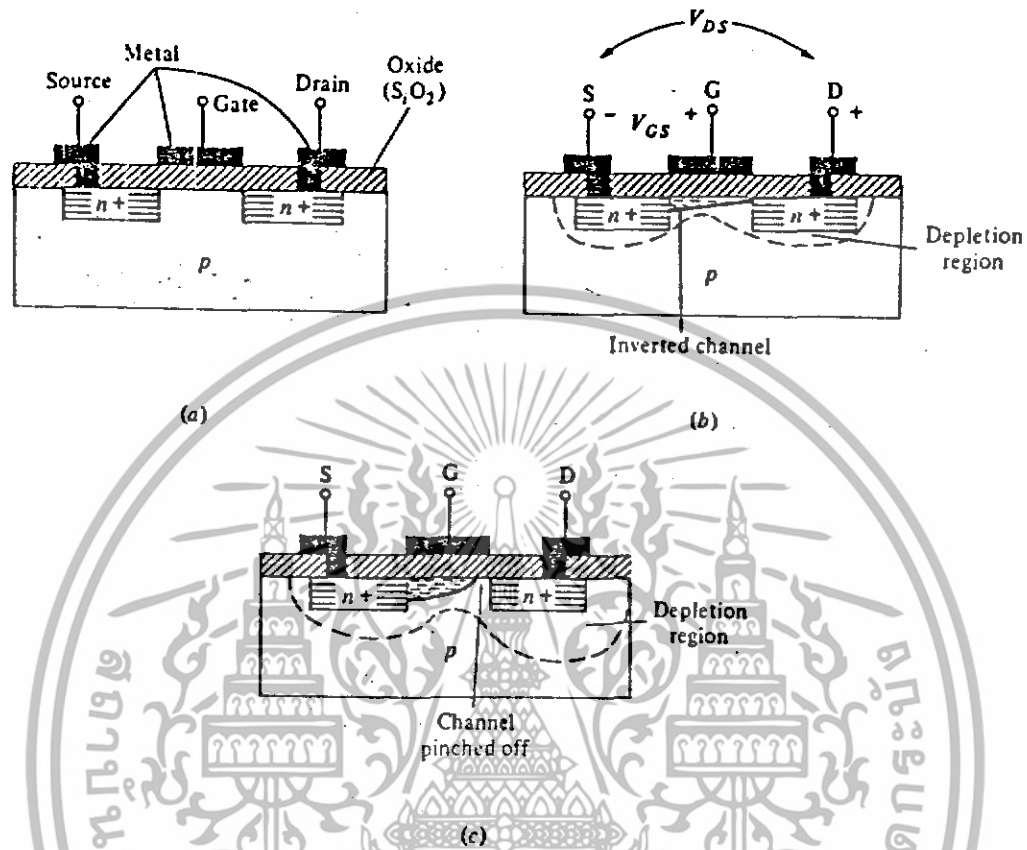


รูปที่ 3.2

3.2.2 Enhancement - Type MOSFET

เป็น MOSFET อีกชนิดหนึ่งมีโครงสร้างดังรูป 3.3 รูปที่ 3.3a นี้เป็นโครงสร้างพื้นฐานใน IC เพราะความสะดวกในการสร้าง และความสูญเสียทางพลังงานต่ำ ในโครงสร้างนี้จะไม่มี channel เกิดขึ้นระหว่างเดรนและซอร์ซ สำหรับโครงสร้างนี้แบบ n - channel นี้จะทำงานในกรณี V_{GS} เป็นบวกเท่านั้น ความน่าจะเป็นปรากฏใน channel ในชั้นของ n - type

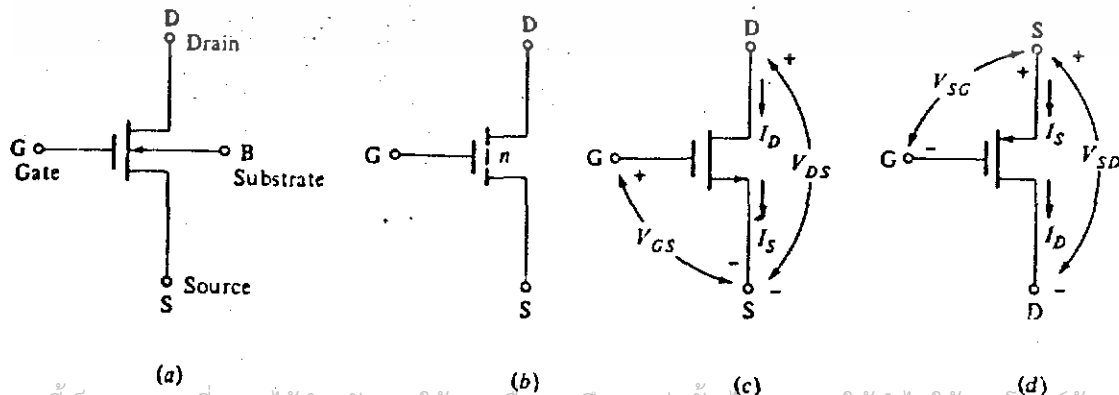
เอกสา (โดยการสะสมของอิเล็กตรอนบนชั้นสเกตน p-type) และจะเพิ่มขึ้นโดยค่า V_{GS} เป็นบวกอีกเช่นกัน การคำนวณว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.3

สัญลักษณ์และโครงสร้างของ enhancement NMOS แสดงดังรูป 3.4 a - c

สัญลักษณ์ในรูป 3.4a จะเป็นสัญลักษณ์ที่ไม่เป็นมาตรฐาน เนื่องจากโดยปกติขั้วสเททบอลดี (substrate body) จะต่อกับขอร์จอยุ่ภายใน เราควรจะใช้สัญลักษณ์ในรูป 3.4c ส่วนการไหลของกระแสและขั้วของแรงดันของ NMOS และ PMOS แสดงดังรูป 3.4c และ d ตามลำดับ MOSFET ชนิดนี้จะทำงานใน enhancement mode เท่านั้น



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และรูปที่ 3.4 รวมถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

สำหรับ NMOS จะต้องให้แรงดันที่เกตเมื่อเทียบกับซอร์จะเป็นบวก แรงดันเกตที่ซึ่งทำให้เกิด channel ขึ้นเราเรียกว่า threshold voltage V_T ค่าของ V_T จะเป็นผลมาจากคุณสมบัติทางไฟฟ้าของวัสดุและอ็อกไซด์และความหนาของอ็อกไซด์ โดยทั่วไปค่าของ V_T จะอยู่ระหว่าง 1 - 5 V ดังนั้นเมื่อไหร่ที่ V_{GS} มีค่าน้อยกว่า V_T จะไม่เกิด channel ขึ้น และกระแสจะประมาณได้ว่าเป็นศูนย์ เมื่อค่า V_{GS} มีค่าสูงขึ้น (และ $V_{GS} > V_T$), $V_{DS} < V_{GS} - V_T$ NMOS จะทำงานอยู่ในย่าน ohmic ดังแสดงในรูปที่ 3.3b ถ้าเราเพิ่ม V_{DS} ขึ้น $V_{DS} > V_{GS} - V_T$ และ $V_{GS} > V_T$, channel จะเป็น pinched off ดังรูป 3.3c และโครงสร้างนี้จะทำงานในย่านแชนนลเรชัน ค่า I_{DSS} จะไม่มีใน MOSFET ชนิด enhancement เพราะว่า $I_D = 0$ เมื่อ $V_{GS} = 0$

V - I characteristic ของ MOSFET ชนิด enhancement สามารถแบ่งย่านการทำงานได้ 3 ย่านคือ

1. Ohmic Region

เมื่อ $V_{DS} < V_{GS} - V_T$ และ จาก V - I characteristic จะได้ว่า

$$I_D = K_n [2 (V_{GS} - V_T) V_{DS} - V_{DS}^2] \quad (9a)$$

เมื่อ

$$K_n = \mu_n \epsilon_{ox} / 2 t_{ox} W / L = \mu_n C_o / 2 (W / L) \quad (9b)$$

โดยที่ μ_n = ค่าความคล่องตัวของอิเล็กตรอนที่ผิว [$\mu_n = 800 \text{ cm}^2 / (\text{V} \cdot \text{S})$]

ϵ_{ox} = permittivity of free space ($= 8.85 \times 10^{-14} \text{ F/cm}$)

ϵ_{ox} = ค่าคงที่ไดอิเล็กตริกของ SiO_2 ($\cong 4$)

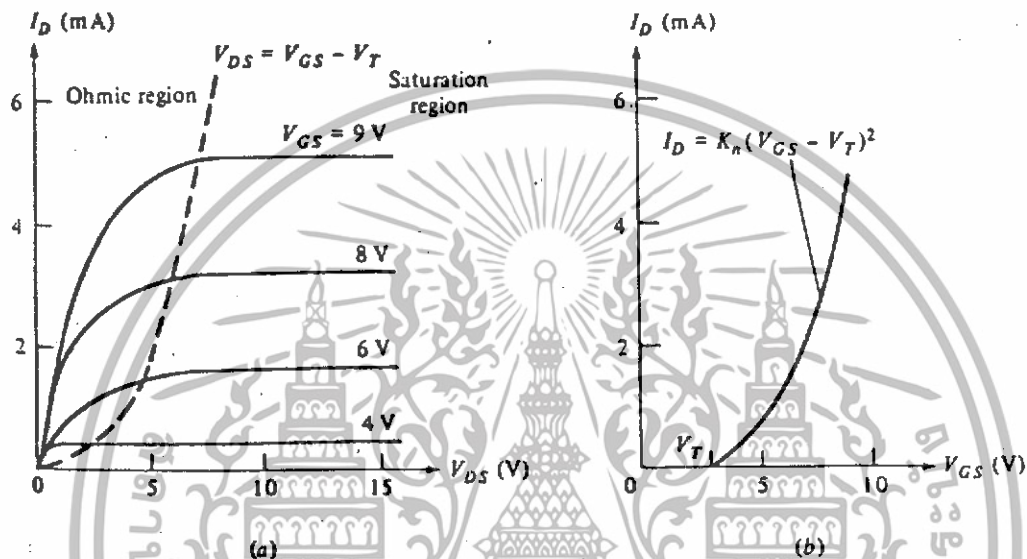
t_{ox} = ความหนาของ oxide

L เป็นความยาวของ channel และ W เป็นความกว้าง ค่าอัตราส่วน W / L เป็นค่าพารามิเตอร์ที่มีความสำคัญในโครงสร้างของ MOS ราคาของ IC จะมีความสัมพันธ์กับพื้นที่ชิพ ขนาดของโครงสร้าง MOS สามารถทำให้น้อยที่สุดโดยการทำให้ค่า W / L เข้าใกล้ 1 อย่างไรก็ตามความต้องการอื่น ๆ เช่น พลังงาน และความเร็ว อาจจะทำให้ค่า W / L มีความแตกต่างกันไป ดังนั้นจะไม่แปลกเลยที่อาจจะพบค่า W / L มีค่าสูงเท่ากับ 20 เมื่อ $t = 0.1 \text{ m}$ ค่า gate capacitance ต่อหนึ่งหน่วยพื้นที่ $C_o = 3.5 \times 10 \text{ F/cm}$ ถ้าจะแบ่งตำแหน่งระหว่างย่านแชนนลเรชันและโอมิกจะทำได้โดยการแทน $V_{DS} = V_{GS} - V_T$ ในสมการ (9a) จะได้

$$I_D = K_n V_{DS}^2 = \mu_n C_o W / 2L V_{DS}^2 \quad (10)$$

ตำแหน่งที่บรรยายในสมการ (10) แสดงโดยเส้นปะในรูป 3.5a

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 3.5

2. Saturation Region

เมื่อ $V_{DS} > V_{GS} - V_T$ และกระแส I_D จะประมาณได้ว่าเป็นค่าคงที่ดังแสดงในรูป 3.5a ส่วน transfer characteristic จะได้โดยการแทน $V_{DS} = V_{GS} - V_T$ ในสมการ (10) จะได้

$$I_D = K_n (V_{GS} - V_T)^2 \tag{11}$$

transfer characteristic จะแสดงดังรูป 3.5b

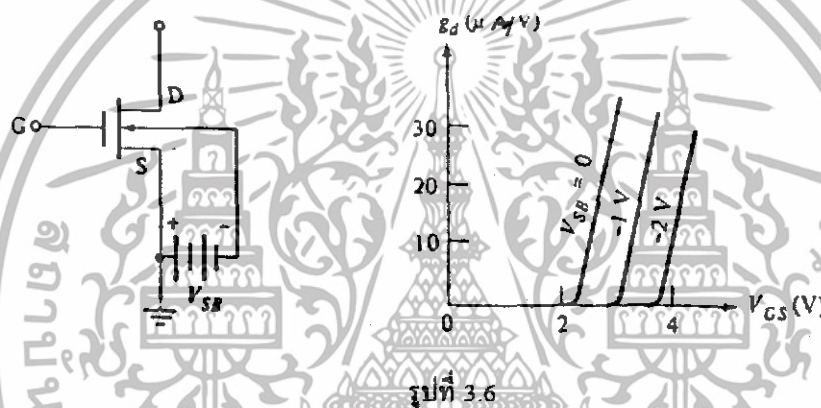
3. Cutoff Region

เมื่อ $V_{GS} < V_T$ ดังนั้น $I_D = 0$ โครงสร้างนี้จะ OFF ในย่านนี้ และจะนำไปประยุกต์ใช้ในการสวิทซ์

ถ้าสมมติให้ที่ขอรจต่อกับขั้วสเตทและที่ขั้วทั้งคูเป็นกราวด์ อย่งไรก็คื ถ้าบอดี (ขั้วสเตท) มีศักย์เป็นลบโดยเกี่ยวเนื่องกับขอรจและขอรจต่อกับกราวด์แสดงดังรูปที่ 3.6a ค่า Threshold voltageสามารถ

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เปลี่ยนได้ ดังรูป 3.6b โดยที่ g_d เป็นค่าความนำที่เอาท์พุท ดังนั้นถ้าเพิ่ม V_{BS} จากศูนย์เราสามารถจะเพิ่มค่า V_T จากค่าต่ำสุดของมัน (ที่ $V_{BS} = 0$) ไปยังค่าที่มากกว่า 2 เท่าของค่าต่ำสุดและสำหรับ PMOS จะนำกระแสได้ เมื่อ $V_{SG} > |V_T|$ สำหรับการสร้าง IC นั้นจะใช้ประโยชน์จาก PMOS และ NMOS ทั้งคู่ เรียกว่า complementary symmetry MOS หรือ CMOS



รูปที่ 3.6

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

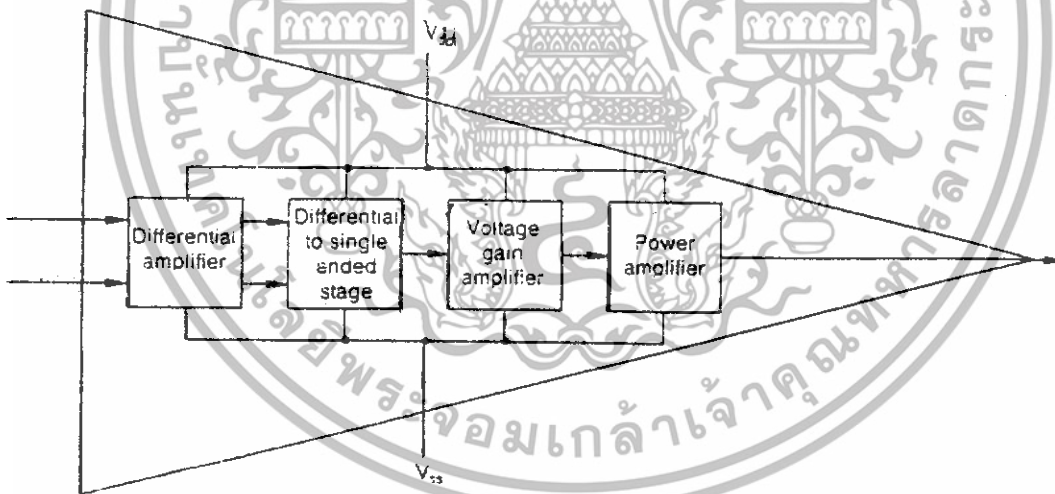
บทที่ 4

การนำออสเฟตมาทำเป็นออปแอมป์และตัวต้านทาน

4.1 โครงสร้างของ Op-Amp

- 1) อัตราขยายความแตกต่างเมื่อไม่มีการป้อนกลับ $> 10^5$
- 2) ผลคูณสมบัติการขยายกบแบนด์วิคท์ (gain band width product) > 1 Mhz
- 3) ความต้านทานขาเข้า (Input resistance) $> 10^5$ ohm.
- 4) ความต้านทานขาออก (ไม่มีการป้อนกลับ) $< 10^2$ ohm.
- 5) แรงดันออฟเซต < 1 mV.
- 6) Dynamic range $> 80\%$ ของแรงดันไฟเลี้ยง
- 7) การกำจัดสัญญาณอินพุตเฟสเดียวกัน (CMRR) > 60 dB

การจัดวงจรภายในจึงประกอบด้วย 4 วงจรใหญ่ ๆ ดังแสดงในรูปที่ 4.1



รูปที่ 4.1 แสดงโครงสร้างพื้นฐานภายในของ Op-Amp

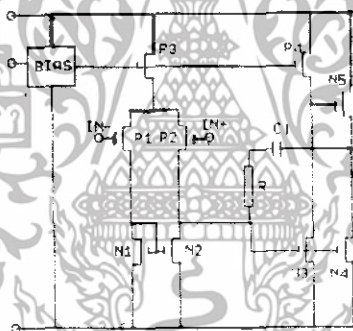
เริ่มด้วยวงจรทางอินพุตซึ่งเป็นวงจรขยายความแตกต่าง และถัดมาเป็นวงจรปรับสัญญาณออกเป็นแบบ Single End ในส่วนที่สองนี้อาจจะไม่จำเป็นนัก อาจใช้วิธีดึงเอาเอาท์พุทอันหนึ่งจากวงจรขยายความแตกต่าง แต่ว่าวิธีดังกล่าวจะทำให้ได้อัตราขยายรวมเหลือเพียงครึ่งเดียววงจรในส่วนที่สาม เป็นวงจรขยายแรงดันเพื่อปรับให้อัตราขยายกำลังที่ช่วยลดเอาท์พุทอิมพีแดนซ์ เพื่อให้ Op-Amp สามารถขับโหลดได้ในช่วงกว้าง ๆ

ในรูปที่ 4.2 แสดงวงจรภายในของ CMOS Op-Amp แบบง่าย ๆ ทรานซิสเตอร์แบบ pMOS P_1, P_2 , เอกสาร P_3 ทำหน้าที่ในส่วนขยายความแตกต่าง ส่วนคู่ ทรานซิสเตอร์แบบ nMOS N_1, N_2 ที่มีคุณสมบัติเหมือนกัน ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ทุกประการ และได้รับแรงดัน เกท-ซอส เท่ากันเป็นวงจระสะท้อนกระแส (Current Mirror) ที่ทำหน้าที่เป็น โหลดให้คู่ขยายความแตกต่าง

จากคุณสมบัติของวงจระสะท้อนกระแส กระแสของสัญญาณที่ผ่านเข้า P_1 จะสะท้อนไปยัง N_2 รวมกับกระแสในส่วนที่โหลดผ่าน P_2 เอาท์พุทจากส่วนที่กล่าวข้างต้นจะป้อนเข้าสู่เกทของ N_3 และ N_4 ซึ่งกระแสจาก N_3 จะผ่านไปขับโหลด high impedance ซึ่งเป็นส่วนหนึ่งของวงจระจ่ายกระแสคงที่ในส่วนนี้จะทำหน้าที่ขยายสัญญาณแรงดันเพื่อป้อนสู่เกทของ N_5 ในส่วนของ N_5 เป็นวงจระ Source follower เพื่อใช้ขับโหลดที่มีอิมพีแดนซ์ต่ำ N_4 ที่ต่ออยู่กับ N_5 จะช่วยเพิ่มอัตราขยายอีกเล็กน้อยแต่จะเพิ่มการขับกระแสผ่านโหลดได้ดีขึ้น

ตัวเก็บประจุ C_1 จะเพิ่มเสถียรภาพให้กับ Op-Amp โดยลดอัตราขยายที่ความถี่สูง เพื่อป้องกันการออสซิลเลท เช่นเดียวกับ Miller Capacitor ในไบโพล่าออปแอมป์ แต่เนื่องจาก Mos Op-Amp มีเอาท์พุทอิมพีแดนซ์สูงทำให้ยากที่จะควบคุมการเลื่อนเฟส เมื่อต้องขับโหลดแบบคาปาซิทีฟ วิธีการแก้ปัญหาวิธีหนึ่งก็คือเพิ่มตัวต้านทานอนุกรมไปกับ C_1 แต่การชดเชยดังกล่าวจะพบว่าอาจจะทำให้เกิด over shoot ถึง 35% เมื่อใช้ขับคาปาซิทีฟ โหลดขนาด 100 μF โดยสัญญาณพัลส์ในกรณีนี้วงจระขับเป็นแบบ Source follower



รูปที่ 4.2 วงจรภายในของ CMOS Op-Amp

ปัญหาสำคัญสำหรับการออกแบบ MOS Op-Amp ก็คือจะทำอย่างไรที่จะลดสัญญาณรบกวนในตัวอุปกรณ์ สัญญาณรบกวนของ MOS Op-Amp จะสูงกว่าใน Op-Amp แบบไบโพล่า อันเนื่องจาก Surface effect ในตัว MOS Transistor โดยเฉพาะใน nMOS ซึ่งผลอันนี้อาจจะลดได้ด้วยการเพิ่มพื้นที่ของเกต กรณีตัวอย่างมา นี้การออกแบบในส่วนอื่นพุทจะใช้ MOS P_1 และ P_2 ที่มีขนาดของแชนแนลใหญ่ๆ ส่วน N_1 , N_2 จะต้องทำให้ขนาดของแชนแนลใหญ่กว่าอีกเพื่อลดสัญญาณรบกวน

ปัญหาสำคัญอีกอันหนึ่งของ MOS Op-Amp ก็คือแรงดันอินพุทออฟเซ็ท ซึ่งสาเหตุสำคัญเกิดจากการไม่แมทช์กันของคู่ทรานซิสเตอร์อินพุท แต่เดิมการควบคุมคุณภาพการผลิต MOS transistor เพื่อให้ได้คู่แมทช์จะกระทำได้ง่าย แต่ในปัจจุบันขบวนการทำซิลิกอน-เกต จะสามารถทำให้ออกไซด์เกตบางและสะอาดมากกว่าซึ่งสามารถควบคุมคุณภาพของการทำคู่แมทช์ทรานซิสเตอร์ได้ดีขึ้น

ข้อดีที่สุดของ MOS Op-Amp ก็คือการกินกำลังงานต่ำ ซึ่งอาจถึงระดับไมโครเพาเวอร์ หรืออาจจะทำงานได้แม้จ่ายแรงดันไฟเลี้ยงเพียง 1 โวลต์ หากนำไปใช้ในงานประยุกต์ที่ไม่ต้องการความเร็วสูงนัก

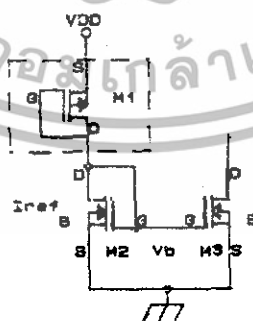
4.2.1 รายละเอียดโครงสร้างวงจระภายใน

เอกสารนี้เป็นเอกสารที่มองโครงสร้างและการทำงานของ CMOS Op-Amp อย่างกว้างๆแล้วมาถึงรายละเอียดของารค้าไม่ว่าในแต่ละส่วนที่ประกอบกันภายใน Op-Amp เนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

1) วงจรไบอัส วงจรแบบพื้นฐานแสดงอยู่ในรูปที่ 4.3 M_2 (nMOS) และตัวต้านทาน R_L จะเป็นตัวกำหนดกระแสอ้างอิง (I_{ref}) ตั้งเกตุว่าขนาดและเดรนของ M_2 จะต่อเข้าด้วยกัน ในภาวนี้หากให้แรงดันเกต-ซอสเกินกว่าแรงดันเทรตโฮลจะทำให้ M_2 (enhancement) ทำงานในช่วงอิ่มตัว การจับวงจรจ่ายกระแสลักษณะนี้จะคล้ายกับในกรณีของไบโพล่าทรานซิสเตอร์ แต่ในกรณีของไบโพล่าทรานซิสเตอร์ อัตราส่วนของกระแสสะท้อนจาก M_2 (I_{ref}) ไปยัง M_3 (I_{out}) จะขึ้นอยู่กับอัตราส่วนของพื้นที่ของอิมิตเตอร์ของคู่ทรานซิสเตอร์ ต่างกับในกรณีของ MOSFET อัตราส่วนของกระแสสะท้อนกระแส (current mirror) จะขึ้นอยู่กับอัตราส่วน W/L ของคู่ทรานซิสเตอร์ ในการผลิตนิคมโซลิดสเตทกำหนดความยาวของ channel ให้เท่ากันแต่จะเปลี่ยนความกว้างของแชนแนลเพื่อกำหนดอัตราส่วนของกระแส



รูปที่ 4.3 วงจรสะท้อนกระแส (current mirror) พื้นฐาน



รูปที่ 4.4 วงจรสะท้อนกระแสที่ใช้ แอคทีฟโหลด

จากวงจรในรูปที่ 4.4 เนื่องจากเกตและเดรนของ M_1 และ M_2 ต่อเข้าด้วยกันจะทำให้ทั้ง M_1 และ M_2 ทำงานอยู่ในช่วงอิ่มตัว ซึ่ง V_{DS} เกือบคงที่

เอกสารนี้เป็นเอกสารมาคำนวณแรงดันไบอัส (V_{th}) ของ M_3 จากรูปวงจร เนื่องจากทั้ง M_1 และ M_2 อนุกรมกันอยู่ทำให้มีกระแสเดรนเท่ากันห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$I_1 = I_2 = I_{ref}$$

เมื่อ $I_1 = \beta_{OM} W(Vb-Vdd-Vtho)^2 / 2L_{M1}$

$$I_2 = \beta_{ON} W(Vb-Vthon)^2 / 2L_{M2}$$

จากสมการทั้งสอง $Vb = K_1 Vdd + K_1 Vthop - K_2 Vthon / K_1 - K_2$

โดย $K_1 = \sqrt{\beta_{OP} W / 2L_{M1}}$

$$K_2 = \sqrt{\beta_{ON} W / 2L_{M2}}$$

2) วงจรขยายความแตกต่าง (Differential Amplifier) ในกรณีของไบโพล่า วงจรขยายความแตกต่างระหว่างอิมิตอร์เข้าด้วยกันดังรูปที่ 4.5 ถ้าหากคูไบโพล่านั้นมีคู่ลักษณะเหมือนกันทุกประการ แรงดันเอาต์พุต (differential output) จะประมาณได้จากความสัมพันธ์

$$V_{out} = -\beta R_c (V_1 - V_2) / R_i$$

โดยที่ $R_i = R_B + h_{ie}$

และ β คือ อัตราขยายกระแสของทรานซิสเตอร์ที่ต่อแบบอิมิตอร์ร่วม

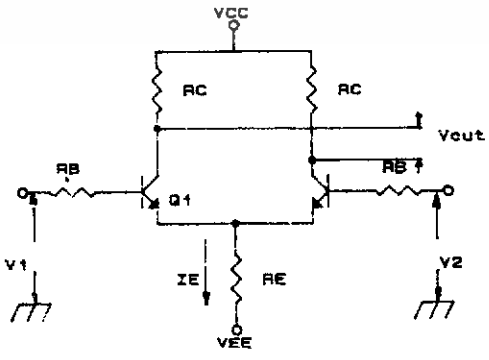
h_{ie} คือ อินพุตอิมพีแดนซ์ของทรานซิสเตอร์

ในกรณีที่คู่ทรานซิสเตอร์เป็น MOSFET ดังแสดงในรูปที่ 4.6 แรงดันเอาต์พุตประมาณได้จาก

$$V_{out} = -g_m (R_D // \gamma_o) (V_1 - V_2)$$

$$= -g_m R_D \gamma_o (V_1 + V_2) / (R_D + \gamma_o)$$

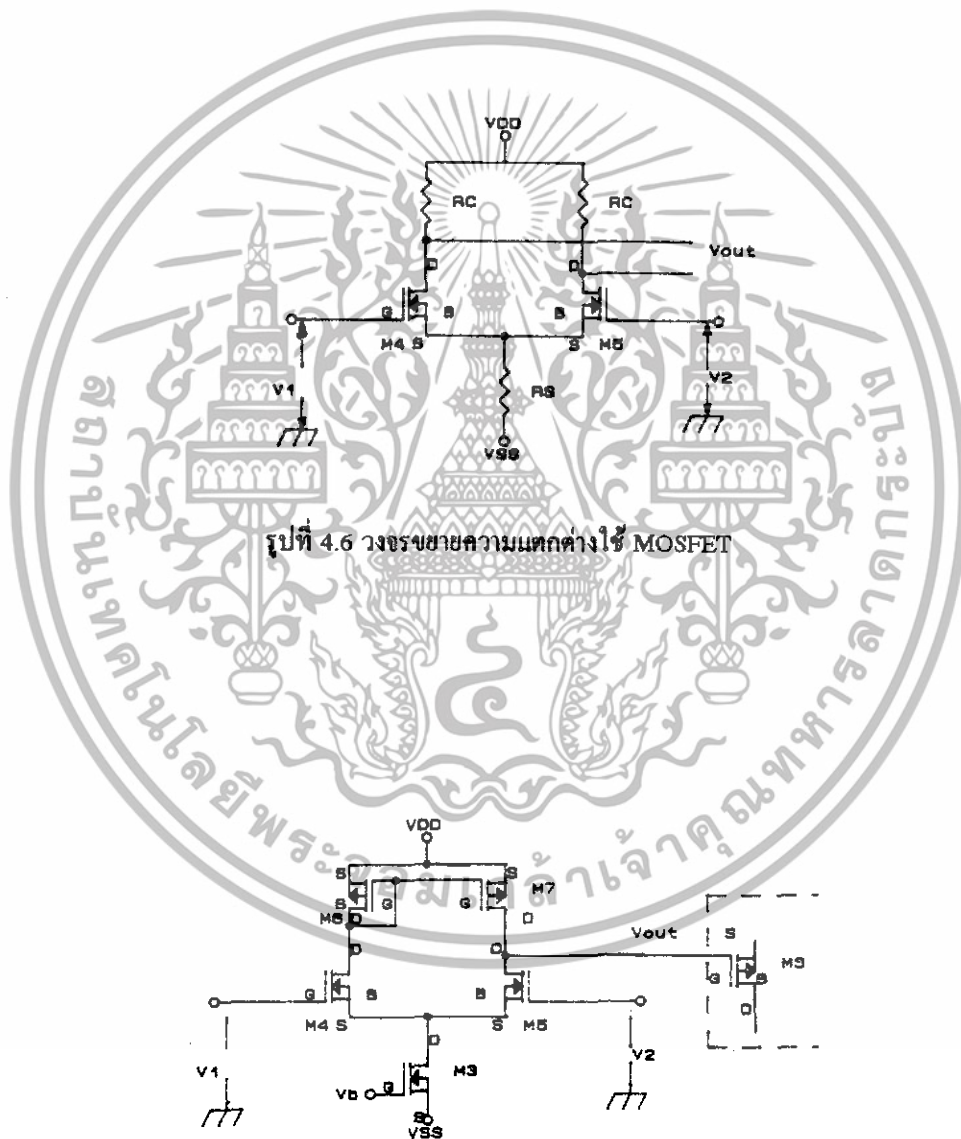
ในการออกแบบวงจรรวม R_D จะเป็น active load ซึ่งให้ค่าความต้านทานสูงและปรับให้อาต์พุตเป็นแบบเดี่ยว (Single - End) ดังแสดงในรูปที่ 4.7



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
รูปที่ 4.5 วงจรขยายความแตกต่างที่ไร้อุปกรณ์ไบโพล่าทรานซิสเตอร์
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

นอกจากนี้จะสังเกตเห็นว่า R_s (ในรูปที่ 4.6) จะแทนด้วย M_3 โดยจัดวงจรเป็นแหล่งจ่ายกระแส วงจรลักษณะดังกล่าวจะนำมาใช้ในการสร้าง ออฟฟแมมปีในการทดลองนี้

ในกรณีที่ใช้ pMOS เป็นคู่ขยายความแตกต่างจะใช้ nMOS เป็นแหล่งจ่ายกระแสที่ขอของคู่ขยายความแตกต่าง ดังในรูปที่ 4.8



รูปที่ 4.6 วงจรขยายความแตกต่างใช้ MOSFET

รูปที่ 4.7 วงจรขยายความแตกต่างใช้ active load

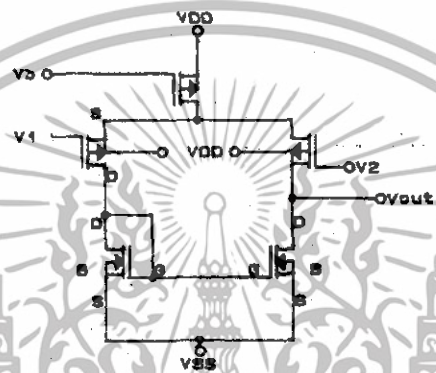
ในรูปที่ 4.7 จะสังเกตเห็นว่าขา B หรือขั้วสแตตของคู่ทรานซิสเตอร์จะอยู่กับขอส เพื่อป้องกันมิให้เกิดผลของ back gate และทำให้รับแรงดันอินพุตได้กว้างขึ้น เมื่อเปรียบเทียบกันระหว่างวงจรในรูปที่ 4.7 กับรูปที่ 4.8 หาก W/L ของคู่ทรานซิสเตอร์ทั้งสองวงจรเท่ากัน NMOS จะให้ค่า g_m สูงกว่า ซึ่งหมายความว่า อัตราขยายรค้ำของแรงดันของวงจร (A_v) ในรูปที่ 4.7 จะสูงกว่าโดย

ต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

$$A_v = -g_{m_5} (Y_{O7} // Y_{O5})$$

อย่างไรก็ดีการใช้ PMOS เป็นคู่ขยายความแตกต่างจะให้ค่า Power Supply Rejection Ratio (PSRR) ดีกว่าในรูปที่ 4.7 M6 จะทำหน้าที่เป็นแอกทีฟโหลด ซึ่งถูกไบอัสให้ทำงานในบริเวณอิมิตัวเช่นเดียวกับ M7

ทางทฤษฎี M6 และ M7 ควรมีคุณสมบัติ ($\beta_0 \cdot V_{TH0} \cdot W/L$) เหมือนกันทุกประการจะทำให้ $I_6 = I_7$ และเนื่องจาก M6 และ M4 อนุกรมกันอยู่ ดังนั้น $I_6 = I_4$

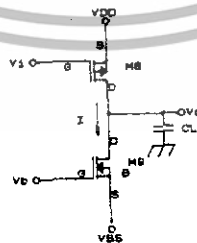


รูปที่ 4.8 วงจรขยายความแตกต่างใช้ PMOS เป็นคู่ขยาย

เราจะพิจารณาว่ากระแสเอาต์พุตที่เกิดจากความแตกต่างระหว่างกระแส I_4 และ I_5 แต่เนื่องจากอินพุตของวงจรในส่วนนี้ไม่ใช่เกตของ M8 ซึ่งถือว่ากระแสอินพุตเป็นศูนย์

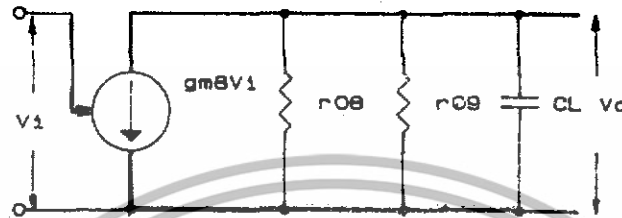
3) วงจรทางเอาต์พุต

วงจรทางเอาต์พุตของออฟแอมป์จะทำงานที่ปรับเอาต์พุตอินพุตให้ต่ำ (หรือทรานคอนดักแตนซ์ให้สูง) เพื่อให้สามารถจ่ายกระแสโหลดได้สูงๆ ในกรณีของ nMOS การจัดวงจรทางเอาต์พุตจะคล้ายกับในกรณีของ Digital Super Buffer หรือ Super Inverter โดยทรานซิสเตอร์จะทำงานในโหมด Class AB วงจรตัวอย่างแสดงในรูปที่ 4.9 ในที่นี้ M9 จะทำหน้าที่เป็นโหลดที่เป็นแหล่งจ่ายกระแสคงที่ให้กับ M8 จากวงจรเสมือนในรูปที่ 4.9 เขียนสมการลักษณะสมบัติได้



รูปที่ 4.9 วงจรทางเอาต์พุตของออฟแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



รูปที่ 4.10 วงจรเสมือนของวงจรในรูปที่ 4.7

อัตราขยายแรงดันไฟตรง A_v สามารถได้จาก

$$A_v = V_o / V_i = g_{m_e} (\gamma_{os} // \gamma_{os}) \dots (13)$$

จาก

$$g_{m_e} = \sqrt{2\beta_0 W/L} \quad (1)$$

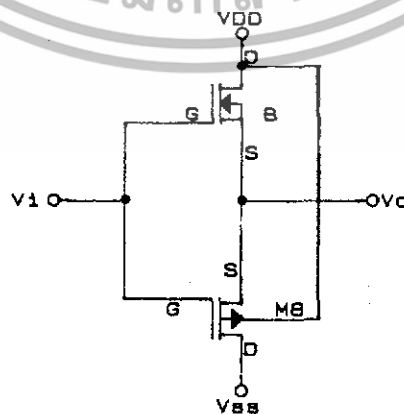
$$\gamma_{os} = 1/I \lambda_s, \quad \gamma_{os} = 1/I \lambda_p$$

นำไปแทนที่ในสมการที่ 13

$$A_v = \sqrt{(2\beta_0 W/L) / I} / (\lambda_s + \lambda_p) \dots (14)$$

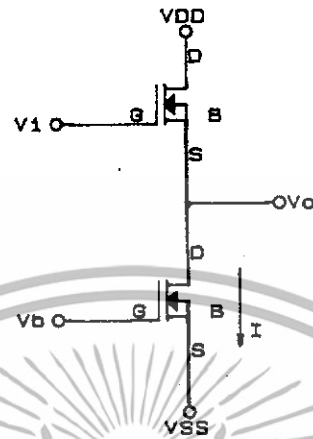
จากสมการที่ 14 จะเห็นว่าอัตราขยายจะเป็นปฏิภาคกับกำลัง 1/2 ของอัตราส่วน W/L และเป็นปฏิริยาผกผันกับกำลัง 1/2 ของกระแส I ดังนั้นแรงดันไบอัส V_b นอกจากจะเป็นตัวกำหนดคุณสมบัติของวงจรรขยายความแตกต่างแล้ว ยังเป็นตัวกำหนดอัตราขยายของวงจรทางเอาท์พุทอีกด้วย

แม้ว่าการจัดวงจรแบบในรูปที่ 4.9 ของวงจรจะทำให้อัตราขยายแรงดันด้วย แต่ข้อเสียก็คือ การทำงานของวงจรจะไวต่อการเปลี่ยนแปลงตาม Capacitive load การจัดวงจรโดยใช้ CMOS ดังในรูปที่ 4.11 หรือ การใช้ nMOS แบบรูปที่ 4.12 เป็นวงจรอีกสองแบบที่นำมาใช้เนื่องจากให้เอาท์พุทอิมพีแดนซ์ต่ำ และยังสามารถปรับจุดทำงานได้ด้วย



รูปที่ 4.11 วงจรทางเอาท์พุทที่ใช้ CMOS

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

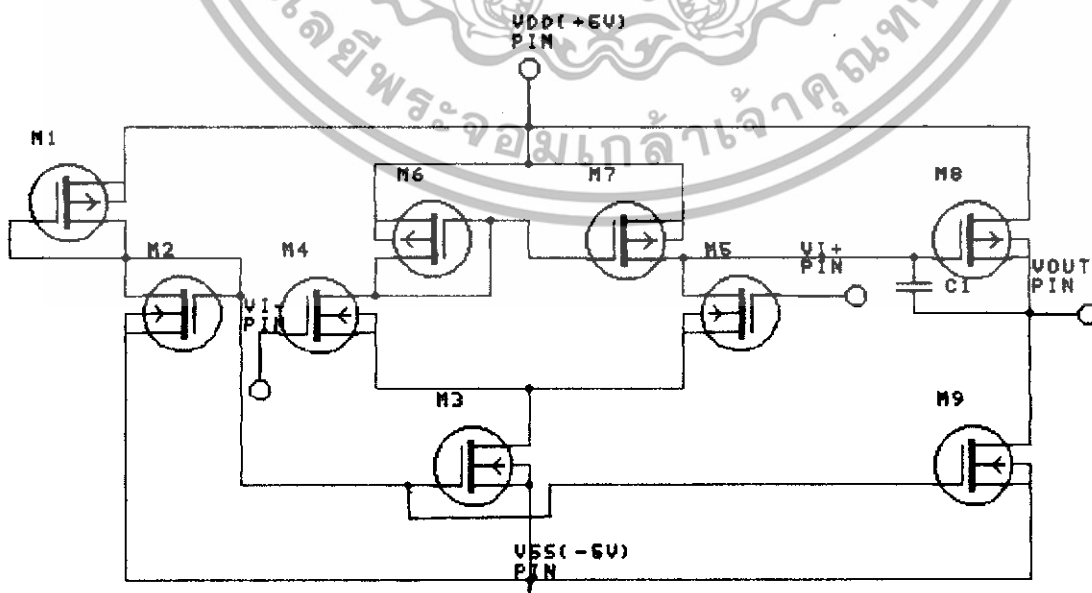


รูปที่ 4.12 วงจรทางเอาท์พุทที่ใช้ CMOS

4.2.2 วงจรสมบูร์กของ MOS OP-Amp แบบพื้นฐาน

Op-Amp ที่จะใช้ทดลองแสดงในรูปที่ 4.13 มีโครงสร้างแบบง่าย ๆ เมื่อเปรียบเทียบกับวงจรแบบที่มีวงจรถ่ายในท้องถิ่นโดยเฉพาะกับส่วนของวงจรขยายทางเฟสและการจัดวางจรรยาจะให้ตอบสนองความถี่ได้สูงกว่านี้

ในการเอา MOSFET มาออกแบบ Op-Amp ฉะนั้น พารามิเตอร์ที่สำคัญที่ต้องทราบคืออัตราส่วน W/L ของ MOSFET



เอกสารนี้เป็นเอกสารที่สงวนลิขสิทธิ์ของอาจารย์ผู้แต่งเอกสารนี้ ซึ่งสามารถสร้างได้จาก MOSFET ใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

4.3 การนำออสเฟทมาทำเป็นตัวต้านทาน

4.3.1 ตัวต้านทานชนิดลงกราวด์

จากกระแสของ n - channel MOS transistor ซึ่งไม่ได้ทำงานที่จุดอิ่มตัวจะได้ว่า

$$I_D = K \left\{ (V_G - V_B - V_{FB} - \phi_B) (V_D - V_S) - \frac{1}{2} [(V_D - V_B)^2 - (V_S - V_B)^2] - \frac{2}{3} [(V_D - V_B + \phi_B)^{3/2} - (V_S - V_B + \phi_B)^{3/2}] \right\} \quad (1a)$$

หรือ

$$K = \mu C_{ox} W/L \quad \gamma = \sqrt{(2qN_A E_s)/C_{ox}} \quad (1b)$$

นำ 3/2 พู่อ power term ในสมการ (1a) ใน Taylor series ผลใน quadratic ที่เหมาะสมที่ I_D จะได้

$$I_D = K [(V_G - V_T) (V_D - V_S) - m (V_D^2 - V_S^2)/2] \quad (2a)$$

โดยที่

$$m = 1 + \gamma/2\sqrt{(\phi_B - V_B)} \quad V_T = V_{FB} + \phi_B + \gamma\sqrt{(\phi_B - V_B)} \quad (2b)$$

จากสมการที่(2a) จะพบว่ามีส่วนของ term ที่ไม่เป็นเชิงเส้นอยู่ คือเทอมของ V_D^2 และ V_S^2 ซึ่งสามารถกำจัดเทอมเหล่านี้ได้ โดยการต่อแรงดันที่ขาเกต V_G ที่มีค่า

$$V_G = V_C + m/2 (V_D + V_S) \quad (3)$$

ดังนั้น จะได้ค่าความต้านทาน

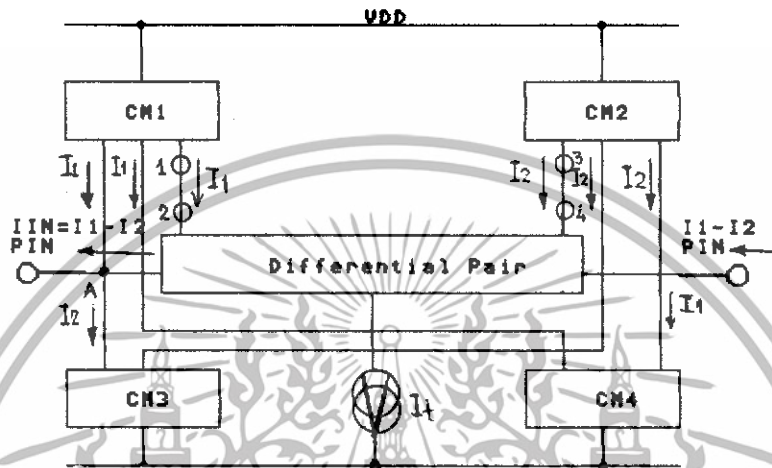
$$R = [K(V_C - V_T)]^{-1} \quad (4)$$

ซึ่งจะถูกควบคุมโดยค่า V_C

วงจรที่ใช้จะประกอบด้วย 2 ส่วนคือ drive และ copy จากรูป 4.14 ส่วนของ drive จะใช้ Mn1, Mn2, Mn5 และ Mp1 และส่วนของ copy จะใช้ Mn3, Mn4, Mn6 และ Mp2 ซึ่ง Mn1 - Mn4 เป็นวงจรถูกตีเฟ้อเรเนียน 2 จุดที่มีค่ากระแสที่ออกมาเท่ากัน ซึ่งมีค่าเท่ากับ $2I_0$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

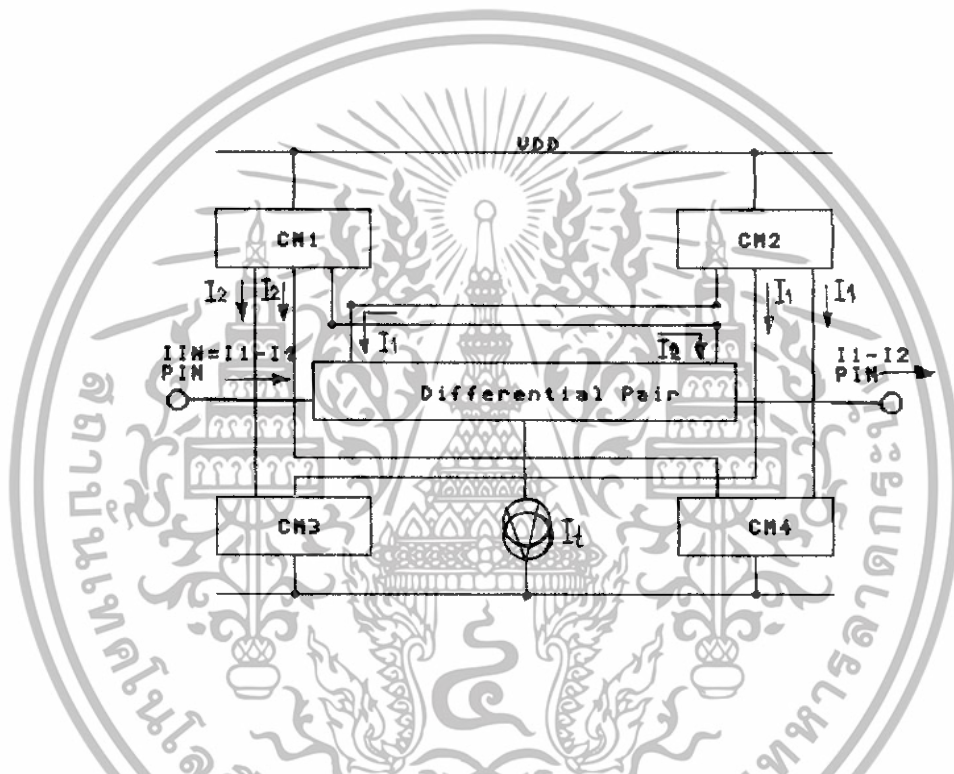
4.3.2 การนำมอดเฟรทมาทำเป็นตัวต้านทานชนิดลอยตัว
ตัวต้านทานค่าลบชนิดลอยตัว



รูปที่ 4.15 หลักการออกแบบวงจรความต้านทานค่าลบชนิดลอยตัว

จากรูปที่ 4.15 กำหนดให้จุด 1 ต่อกับจุด 2 และจุด 3 ต่อกับจุด 4 และให้ CM_1, CM_2, CM_3 และ CM_4 แทนวงจรสะท้อนกระแส การทำงานของวงจรกล่าวคือ สมมุติว่าถ้าเราป้อนแรงดันบวกและลบ เข้าที่จุด A และ B (V_{AB}) ของวงจรคู่ความแตกต่าง วงจรจะทำหน้าที่เปลี่ยนแรงดัน V_{AB} ที่ป้อนให้เป็นการกระแส I_1 และ I_2 เกิดขึ้นดังรูป ในส่วนของวงจร CM_1 จะทำหน้าที่สะท้อนกระแสที่เกิดขึ้นเป็นค่า I_1 ณ จุด 1 ต่อกับจุด 2 ให้มีค่าเป็น I_1 เช่นเดิม แต่มีทิศทางไหลเข้าที่จุด A และ CM_4 ตามลำดับ ทำนองเดียวกันในส่วน ของวงจร CM_2 จะทำหน้าที่สะท้อนกระแสที่เกิดขึ้นเป็นค่า I_2 ณ จุด 3 ต่อกับจุด 4 ให้มีค่าเป็น I_2 เช่นเดิม แต่มีทิศทางไหลเข้าที่จุด B และ CM_3 ตามลำดับ จากนั้นที่ CM_4 และ CM_3 จะสะท้อนกระแสที่ได้รับเป็น I_1 และ I_2 ให้เกิดขึ้นเป็นค่า I_1 และ I_2 เช่นเดิม แต่มีทิศทางไหลออกจากจุด B และจุด A ตามลำดับ ดังนั้นค่ากระแสในขณะนี้ที่เกิดขึ้นที่จุด A และ B มีค่าเป็น $I_{IN} = I_1 - I_2$ เท่ากันแต่จะมีทิศทางไหลออกที่จุด A และเข้าที่จุด B ตามลำดับ ซึ่งเหมือนกับว่าค่ากระแส $I_{IN} = I_1 - I_2$ ที่เกิดขึ้นมีทิศทางไหลทวนค่ากระแสซึ่ง เกิดจากการป้อนแรงดันเข้าที่จุด A และจุด B (V_{AB}) ดังนั้นจึงเสมือนว่าเกิดมีค่าความต้านทานค่าลบเกิดขึ้น มีค่าเป็น $|V_{AB} / I_1 - I_2|$ ซึ่งเป็นชนิดลอยตัว ณ จุด A และ B

ตัวต้านทานค่าบวกชนิดลอยตัว



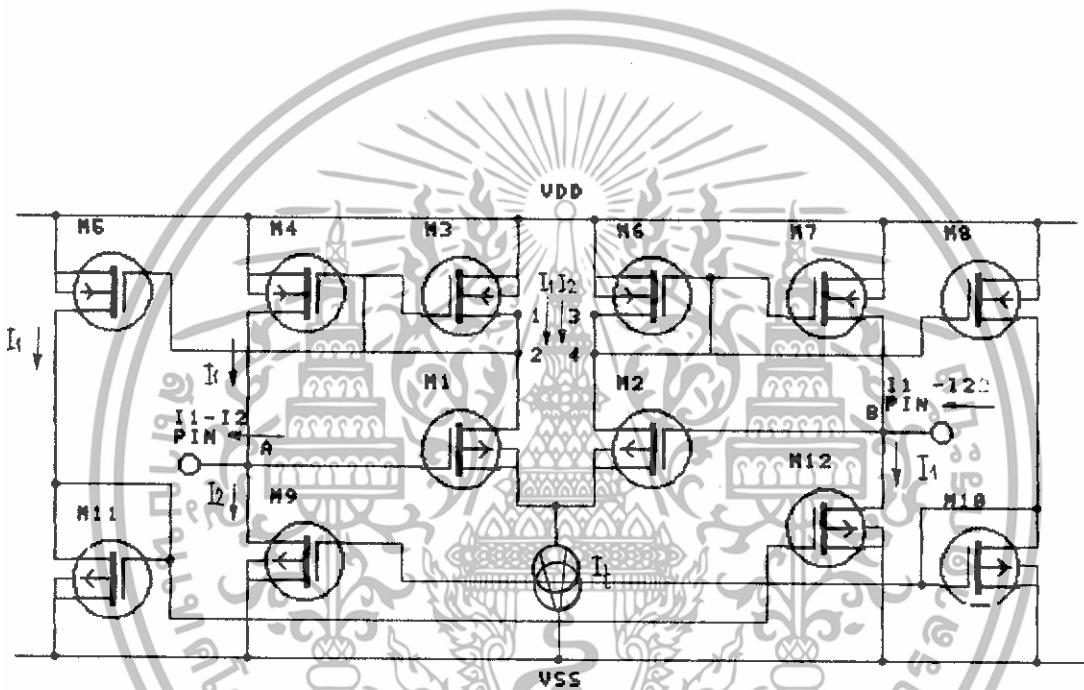
รูปที่ 4.16 หลักการออกแบบวงจรความต้านทานค่าบวกชนิดลอยตัว

จากรูปที่ 4.16 เป็นหลักการออกแบบวงจรความต้านทานค่าบวกสามารถทำได้โดยใช้หลักการของวงจรเดิมในรูปที่ 4.15 เพียงแต่ทำให้สลับจุดต่อจากเดิมที่เป็นจุด 1 ต่อกับจุด 2 เป็นจุด 1 ต่อกับจุด 4 และสลับจุดต่อเดิมที่เป็นจุด 3 ต่อกับจุด 4 เป็นจุด 2 ต่อกับจุด 3 ตามลำดับ นั่นคือในขณะนี้ CM_1 จะทำหน้าที่สะท้อนกระแส I_2 ให้มีทิศทางไหลเข้าที่จุด A และ CM_2 ส่วนที่ CM_2 ขณะนี้จะทำหน้าที่สะท้อนกระแส I_1 ให้มีทิศทางไหลเข้าที่จุด B และ CM_3 จากนั้นที่ CM_4 และ CM_3 จะสะท้อนกระแสที่ได้รับเป็น I_2 และ I_1 ให้เกิดขึ้นเป็นค่า I_2 และ I_1 เช่นเดิม แต่มีทิศไหลออกจากจุด B และ A ตามลำดับ ดังนั้นค่ากระแสในขณะนี้ที่เกิดขึ้นที่จุด A และ B มีค่าเป็น $I_{IN} = I_1 - I_2$ เท่ากัน แต่จะมีทิศทางไหลเข้าที่จุด A และไหลออกที่จุด B ตามลำดับ เสมือนว่าค่ากระแส I_{IN} ที่เกิดขึ้นมีทิศทางการไหลตามกระแส ซึ่งเกิดจากการป้อนแรงดันเข้าที่จุด A และ B (V_{AB}) ดังนั้น จึงเสมือนว่าเกิดมีค่าความต้านทานค่าบวกเกิดขึ้น มีค่าเป็น $|V_{AB} / (I_1 - I_2)|$ ซึ่งเป็นชนิดลอยตัว ณ จุด A และ B

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้าไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

วงจรความต้านทานค่าลบและบวกแบบปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์โดยใช้มอสเฟต

จากรูปที่ 4.15 แสดงถึงหลักการออกแบบวงจรความต้านทานค่าลบชนิดลอยตัว ดังนั้นในการออกแบบวงจรเพื่อใช้งานจริงดังรูปที่ 4.17 จะแทนส่วนของวงจรถูกความแตกต่าง ด้วยมอสเฟต M_1 และ M_2 และในส่วนของวงจรถูก CM_1, CM_2, CM_3 และ CM_4 ซึ่งเป็นส่วนของวงจรถูกอื่นกระแสจะแทนด้วยชุดของมอสเฟต ดังนี้คือ M_3 ถึง M_5, M_6 ถึง M_8, M_{11} ถึง M_{12} และ M_9 ถึง M_{10} ตามลำดับ



รูปที่ 4.17 วงจรความต้านทานค่าลบแบบปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์

จากรูปที่ 4.17 MOS ทุกตัวที่ใช้ในการออกแบบเลือกใช้เป็นแบบชนิดเอ็นฮานซ์โหมด

(Enhancement-Mode) และไบอัสให้มีการทำงานในช่วงอิ่มตัว (Saturation Region) ซึ่งมีคุณสมบัติของสมการเป็นไปตามกฎกำลังสอง (Square Law Model) และกำหนดให้วงจรประกอบด้วยกลุ่มของทรานซิสเตอร์ $(M_1, M_2), (M_3$ ถึง $M_5), (M_6$ ถึง $M_8), (M_9, M_{10})$ และ (M_{11}, M_{12}) มีคุณสมบัติสมพ้องกันทุกประการ (Well Matched) และกำหนดให้อัตราส่วนของ W/L ของแต่ละกลุ่มของทรานซิสเตอร์แต่ละตัวมีค่าเท่ากัน เมื่อ W คือ ความกว้างของแชนแนล (Effective Channel Width) และ L คือ ความยาวของแชนแนล (Effective channel Length) ส่วน I_T คือค่าของกระแสไบอัสเพื่อเป็นค่ากระแสสำหรับ

ไบอัสให้กับวงจรถูกความแตกต่าง M_1 และ M_2 ดังนั้นเมื่อป้อนแรงดันบวกและลบเข้าที่จุด A และ B หรือการค่าระหว่างขั้วเกต (Gate) ของ M_1 และ M_2 จะเป็นผลทำให้เกิดมีค่ากระแส (Drain) ของ M_1 และ M_2 ใช้

เกิดขึ้นมีค่าเป็น I_1 และ I_2 ตามลำดับ ดังนั้น M_3 ถึง M_5 ซึ่งต่อเป็นวงจรสะท้อนกระแส CM_2 ก็จะทำให้การสะท้อนค่ากระแสที่ขาเดรนของ M_1 มีค่าเท่ากับ I_1 ไปยังจุด A ด้วยค่า I_1 และ M_6 ถึง M_8 เป็นวงจรสะท้อนกระแส CM_2 จะทำการสะท้อนค่ากระแสที่ขาเดรนของ M_2 มีค่าเท่ากับ I_2 ไปยังจุด B ด้วยค่า I_2 ส่วน M_9 ถึง M_{10} เป็นวงจรสะท้อนกระแส CM_4 จะทำการสะท้อนกระแสที่ได้จากขาซอส (Source) ของ M_8 ด้วยค่า I_2 ไปยังจุด A ทำให้เสมือนว่ามองเห็นค่ากระแสไหลออกจากจุด A มีค่าเป็น $I_1 - I_2$ ซึ่งเป็นกระแสอินพุต (I_{IN}) ส่วน M_{11} ถึง M_{12} เป็นวงจรสะท้อนกระแส CM_3 จะทำการสะท้อนกระแสที่ได้จากขาซอสของ M_5 ด้วยค่า I_1 ไปยังจุด B ทำให้เสมือนว่ามองเห็นค่ากระแสไหลเข้าที่จุด B มีค่าเป็น $I_1 - I_2$ ซึ่งมีค่าเท่ากับ กระแสอินพุต (I_{IN}) เช่นกัน ดังนั้นจึงเห็นเหมือนว่าเกิดมีค่าความต้านทานค่าลบ ซึ่งเป็นชนิดลอยตัวเกิดขึ้นที่จุด A และจุด B มีค่าคงการพิจารณาต่อไปนี้

พบว่า

$$I_1 + I_2 = I_T \quad (3.1)$$

$$I_1 - I_2 = I_{IN} \quad (3.2)$$

หรือจะได้

$$I_1 = (I_T + I_{IN})/2 \quad (3.3)$$

$$I_2 = (I_T - I_{IN})/2 \quad (3.4)$$

เนื่องจาก MOSFET ทำงานในช่วงอิมิตัว (Saturation Region) จะมีค่ากระแสเดรนเป็น

$$I_D = K(V_{GS} - V_T)^2, \quad 0 < V_{GS} - V_T < V_{DS}$$

หรือ $V_{GS} = \sqrt{I_D/K} + V_T$, เมื่อ $K = \mu_n C_{ox} \cdot W/2L$ (3.5)

และจากรูปได้

$$V_{AB} = V_{GS1} - V_{GS2} = \sqrt{I_1/K} - \sqrt{I_2/K} \quad (3.6)$$

แทน (3.3) และ (3.4) ใน (3.6) จะได้

$$V_{AB}^2 = I_T/K - 1/K \sqrt{I_T^2 - I_{IN}^2} \quad (3.7)$$

หา I_{IN} จาก (3.7) จะได้

$$I_{IN} = K \cdot V_{AB} \sqrt{(2L_T)/K - V_{AB}^2} \quad (3.8)$$

จาก (3.8) ค่าของศักดาปฏิบัติงานมีค่าเป็น

$$-\sqrt{L_T/K} < V_{AB} < \sqrt{L_T/K} \quad (3.9)$$

หรือ $-\sqrt{L_T / \mu_n (C_{ox} \cdot W/2L)} < V_{AB} < \sqrt{L_T / \mu_n (C_{ox} \cdot W/2L)}$ (3.10)

จากสมการ (3.7) สามารถกระจายค่าในเทอมของรากที่ 2 ได้ดังต่อไปนี้

$$(1-X)^{1/2} = 1 - 1X/2 - 1X^2/2.4 - 13X^3/24.6 - \dots \text{ โดยที่ } -1 < X \leq 1$$

ดังนั้นจะได้ $I_{IN} = \sqrt{2KL_T} \cdot V_{AB}$

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า

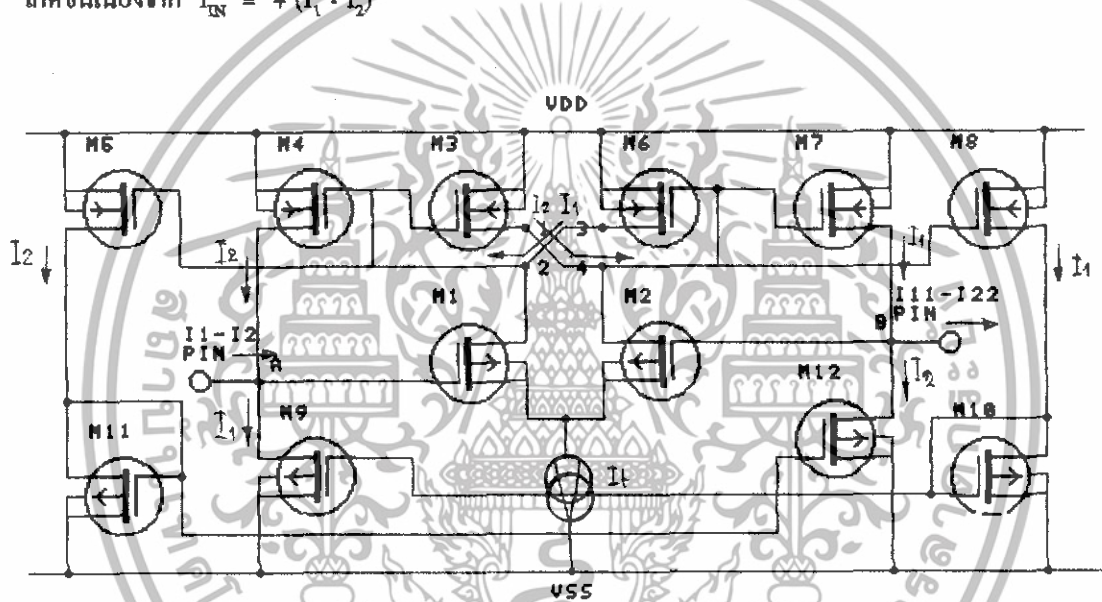
หรือ $I_{IN} = \sqrt{\mu_n C_{ox} \cdot W/L} \cdot L_T \cdot V_{AB}$ (3.11)

ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

ดังนั้นจาก (3.11) เนื่องจากว่า $I_{DN} = -(I_1 - I_2)$ จะได้

$$R_{AB} = -V_{AB}/I_{DN} = -1/\sqrt{(U_n C_{ox} W/L) \cdot I_T} \quad (3.12)$$

ทำนองเดียวกัน ถ้าต้องการวงจรความต้านทานค่าบวกแบบปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์ เพียงแค่สลับจุดต่อจากเดิมที่เป็นจุด 1 ต่อกับจุด 2 เป็นจุด 1 ต่อกับจุด 4 และสลับจุดต่อเดิมที่เป็นจุด 3 ต่อกับจุด 4 เป็นจุด 2 ต่อกับจุด 3 ตามลำดับ ดังรูปที่ 4.18 จะทำให้เสมือนว่าเกิดมีค่าความต้านทานค่าบวกซึ่งเป็นชนิดลอยตัวเกิดขึ้นที่จุด A และ B มีค่าเป็นคิ่งสมการ (3.12) เช่นเดียวกัน แต่ R_{AB} ที่ได้จะให้ค่าเป็นบวกเกิดขึ้นเนื่องจาก $I_{DN} = +(I_1 - I_2)$



รูปที่ 4.18 วงจรความต้านทานค่าบวกปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

บทที่ 5
ผลการทดลอง

5.1 ผลการทดลอง

การนำเอาเฟรมงานเทรนออปแอมป์โยนเข้าไปประยุกต์ใช้เป็นคิเล็กต์ออสซิลเลเตอร์

ในการทดลองจะใช้วงจรถอดพาสฟิลเตอร์อันดับ 1 ชนิดมอคทีฟเป็นวงจรถดลอง จากรูปที่ 2.3 ซึ่งการทดลองนั้นจะใช้โปรแกรม PSPICE ช่วยในการ simulated ซึ่งผลการทดลองนั้น ดังรูปที่ 5.1 จะพบว่าสัญญาณที่ได้มีความใกล้เคียงกับค่าตามปกติซึ่งเป็นไปตามทฤษฎี และยังสามารถตอบสนองต่อความถี่ของสัญญาณที่ป้อนเข้ามาได้ในย่าน MHz ได้เป็นอย่างดี

```

!ALLPASFILTER ORDER1 TYPE ACTIVE!
.SUBCKT OPAMP Vi+ Vi- VDD VSS OUT
M1 3 3 VDD VDD TC407P
M2 3 3 VSS VSS TC407N
M3 4 3 VSS VSS TC407N
M4 1 Vi- 4 4 TC407N
M5 2 Vi+ 4 4 TC407N
M6 1 1 VDD VDD TC407P
M7 2 1 VDD VDD TC407P
M8 OUT 2 VDD VDD TC407P W=960U
M9 OUT 3 VSS VSS TC407N
C1 OUT 2 150P IC=0
.ENDS
.LIB OP.LIB
X1 7 6 9 10 8 OPAMP
RIN 7 6 1E6
*RO 8 11 1
*EO 11 0 7 6 6E4
*VDD 9 0 5
VSS 10 0 -5
VIN 5 0 SIN(0 400E-3 1E3)
C1 7 0 .01E-6
R1 5 6 10E3
RF 6 8 10E3
R 5 7 15.915E3
*X2 9 10 5 7 RF
*.LIB RF.LIB
.TRAN 1E-6 3E-3
.PROBE V(5) V(8)
.END

```

โปรแกรมการ SIMULATE ของออปแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

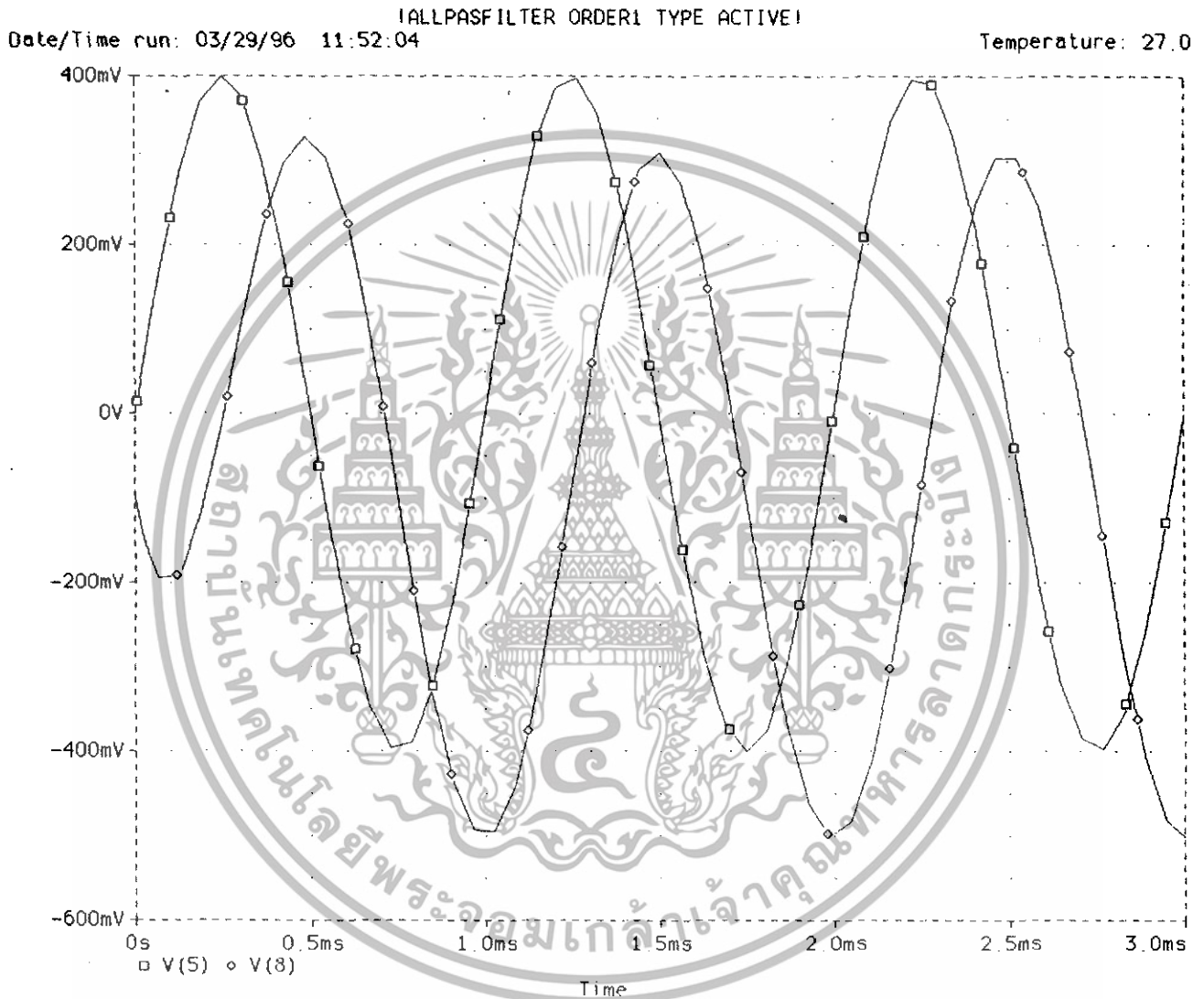
.model TC407N NMOS (LEVEL=3 LD=1.2U VTO=0.7 KP=1.73E-5 GAMMA=1.0
+ TOX=1.0E-7 TPG=0 NSUB=5E15 L=8U
+ W=290U WD=1.4U RD=2.0 RS=2.0 RG=2.0
+ CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=100n)
.model TC407P PMOS (LEVEL=3 LD=1.2U VTO=0.6 KP=0.69E-5 GAMMA=.9
+ TOX=1.0E-7 TPG=0 NSUB=2E15 L=8U
+ W=480U WD=1.4U RD=2.0 RS=2.0 RG=2.0
+ CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=80n)

```

โมเดลของมอดเฟลที่ใช้ทำอปแอมป์



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



V(5) คือ สัญญาณอินพุตที่ป้อนเข้า V(8) คือ สัญญาณเอาต์พุต

รูปที่ 5.1 ผลการทดลองการนำออสเฟทมาทำเป็นออปแอมป์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การนำออสเฟทมาแทนตัวต้านทานชนิดลอยตัวโดยนำไปประยุกต์ใช้เป็นตัวเล็ยอ์ควอไลเซอร์

ในการทดลองจะใช้วงจรตามรูปที่ 2.3 โดยนำไปแทนตัวต้านทาน R ซึ่งเป็นตัวต้านทานที่มีโน้สื้อปรับเปลี่ยนเฟสของสัญญาณที่ป้อนเข้ามา ซึ่งการทดลองนั้นจะใช้โปรแกรม PSPICE ซึ่งผลการทดลองจะได้ดังรูปที่ 5.2 และจะพบว่าเราสามารถปรับเฟสได้โดยการควบคุมค่ากระแสในวงจรที่นำออสเฟทมาแทน ซึ่งสัญญาณที่ได้มีความใกล้เคียงกับค่าความปกคิมมาก และเป็นไปตามทฤษฎี โดยค่ากระแสที่เป็นตัวปรับเฟสนั้นจะสามารถมีค่าแปรเปลี่ยนไปได้ตั้งแต่ 1 ถึง 5,000 ไมโครแอมป์ ซึ่งหมายถึงการเปลี่ยนแปลงของค่าความต้านทานตั้งแต่ ∞ ถึง 0 โอห์ม และสามารถตอบสนองต่อความถี่ของสัญญาณในย่านความถี่ถึงประมาณ 4 KHz และค่าแอมปลิจูดของสัญญาณประมาณ 2.5 V

```

!ALLPASFILTER ORDER1 TYPE ACTIVE!
.SUBCKT OPAMP Vi+ Vi- VDD VSS OUT
M1 3 3 VDD VDD TC407P
M2 3 3 VSS VSS TC407N
M3 4 3 VSS VSS TC407N
M4 1 Vi- 4 4 TC407N
M5 2 Vi+ 4 4 TC407N
M6 1 1 VDD VDD TC407P
M7 2 1 VDD VDD TC407P
M8 OUT 2 VDD VDD TC407P W=960U
M9 OUT 3 VSS VSS TC407N
C1 OUT 2 150P IC=0
.ENDS
.LIB OP.LIB
*X1 7 6 9 10 8 OPAMP
RIN 7 6 1E6
RO 8 11 1
EO 11 0 7 6 6E4
VDD 9 0 5
VSS 10 0 -5
VIN 5 0 SIN(0 400E-3 1E3)
C1 7 0 .01E-6
R1 5 6 10E3
RF 6 8 10E3
*R 5 7 15.915E3
X2 9 10 5 7 RF
.LIB RF.LIB
.TRAN 1E-6 3E-3
.PROBE V(5) V(8)
.END

```

โปรแกรมการ simulate ของตัวต้านทานชนิดลอย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

```

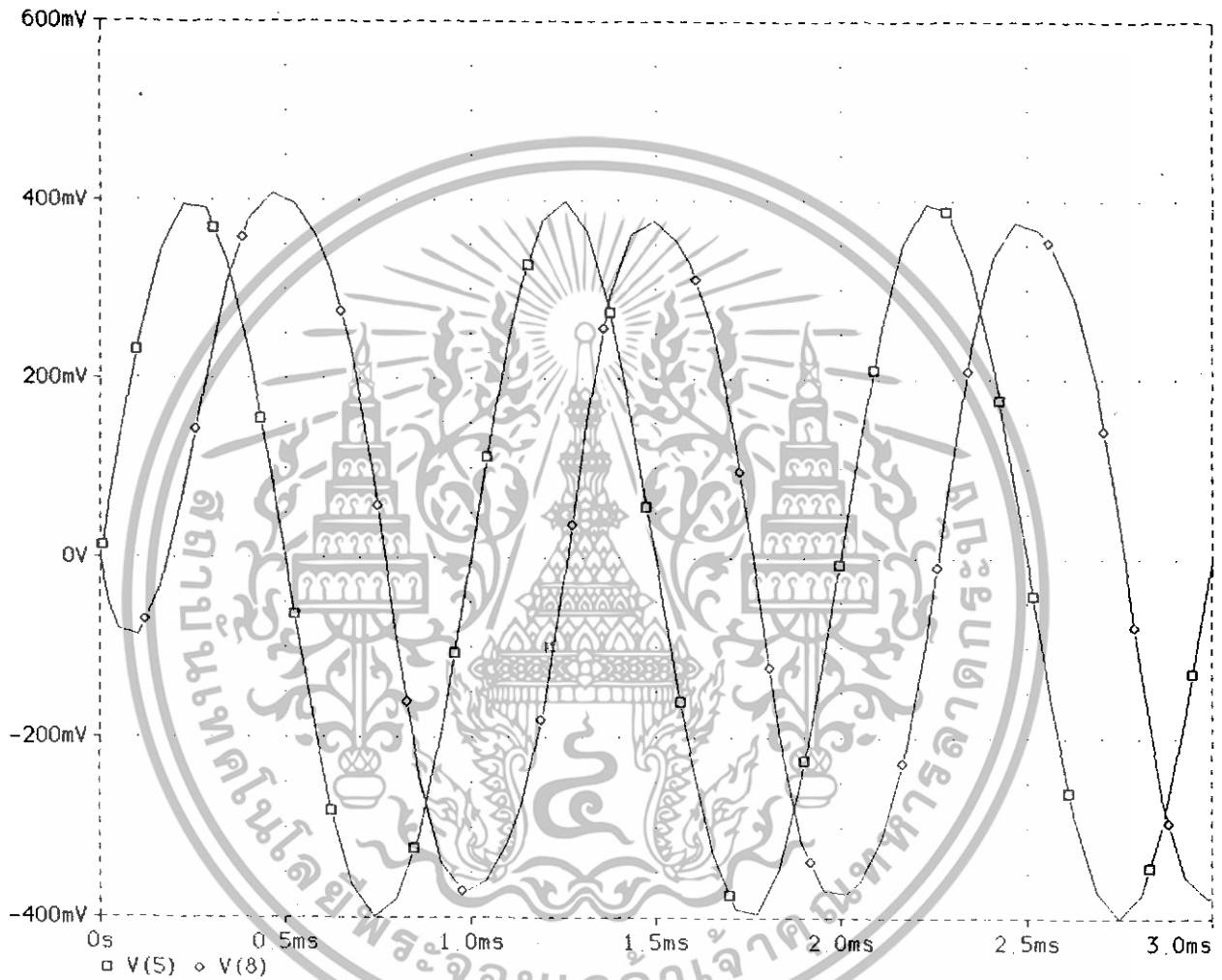
.SUBCKT RF VDD VSS 1 2
M1 6 1 7 7 TC407N2
M2 5 2 7 7 TC407N2
M3 5 5 VDD VDD TC407P2
M4 1 5 VDD VDD TC407P2
M5 3 5 VDD VDD TC407P2
M6 6 6 VDD VDD TC407P2
M7 2 6 VDD VDD TC407P2
M8 4 6 VDD VDD TC407P2
I1 7 VSS DC 15E-6
M9 1 4 VSS VSS TC407N2
M10 4 4 VSS VSS TC407N2
M11 3 3 VSS VSS TC407N2
M12 2 3 VSS VSS TC407N2
.MODEL TC407N2 NMOS(LEVEL=1 LD=1.2U VTO=2 KP=5.10E-4 GAMMA=1.0
+TOX=1.0E-7 TPG=0 NSUB=5E15 L=10U W=10U WD=1.4U RD=2.0 RS=2.0
+RG=2.0 CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=100n)
.MODEL TC407P2 PMOS(LEVEL=1 LD=1.2U VTO=2 KP=5.10E-4 GAMMA=.9
+TOX=1.0E-7 TPG=0 NSUB=2E15 L=10U W=10U WD=1.4U RD=2.0 RS=2.0
+RG=2.0 CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=80n)
.ENDS

```

โมเดลของมอสเฟตที่ใช้ทำตัวต้านทานชนิดลอย

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ตัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

!ALLPASSFILTER ORDER1 TYPE ACTIVE!
 Date/Time run: 03/29/96 11:49:25 Temperature: 27.0



V(5) คือ สัญญาณอินพุตที่ป้อนเข้า V(8) คือ สัญญาณเอาท์พุท

รูปที่ 5.2 ผลการทดลองการนำมอดเฟตมาทำเป็นตัวต้านทานชนิดลอยตัว

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

การนำออสเฟทมาแทนตัวต้านทานชนิดลงกราวด์โดยนำไปประยุกต์ใช้เป็นคิเลย์อีควอไลเซอร์

ในการทดลองจะใช้วงจรตามรูปที่ 2.6 ซึ่งเป็นวงจรถอดพาสฟิลเตอร์อันดับ 1 ชนิดพาสซีฟ โดยนำไปแทนตัวต้านทาน R ที่เป็นตัวต้านทานที่มีไว้ปรับเฟสของสัญญาณที่ป้อนเข้ามา โดยที่การทดลองจะใช้โปรแกรม PSPICE เช่นเดียวกัน และผลการทดลองจะได้ดังรูปที่ 5.3 และจะพบว่าเราสามารถปรับเฟสได้โดยการเปลี่ยนค่าแรงดันในวงจรถอดเฟส ซึ่งสัญญาณที่ได้มีความใกล้เคียงกับค่าตามปกติมากและเป็นไปตามทฤษฎี โดยค่าแรงดันที่ใช้ปรับนั้นสามารถแปรเปลี่ยนค่าได้ตั้งแต่ 4.6 ถึง 20 V ซึ่งหมายถึงการแปรเปลี่ยนค่าความต้านทานตั้งแต่ ∞ ถึง 3K โอห์ม และสามารถครอบคลุมของค่าความถี่ของสัญญาณในช่วงความถี่ถึงประมาณ 2KHz และค่าแอมพลิจูดของสัญญาณประมาณ 5 V

```

!ALLPASFILTER ORDER1 TYPE PASSIVE!
V1 5 0 SIN(0 400e-3 1E3)
R1 5 6 1E3
R2 6 0 1E3
C 5 7 1E-8
VDD 10 0 5
VSS 11 0 -5
XRV 10 11 7 0 RG
.LIB RG.LIB
*RV 7 0 3E3
.TRAN 1E-3 3E-3
.PROBE V(6,7) V(5)
.END

```

โปรแกรมการ simulate ของตัวต้านทานชนิดลงกราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

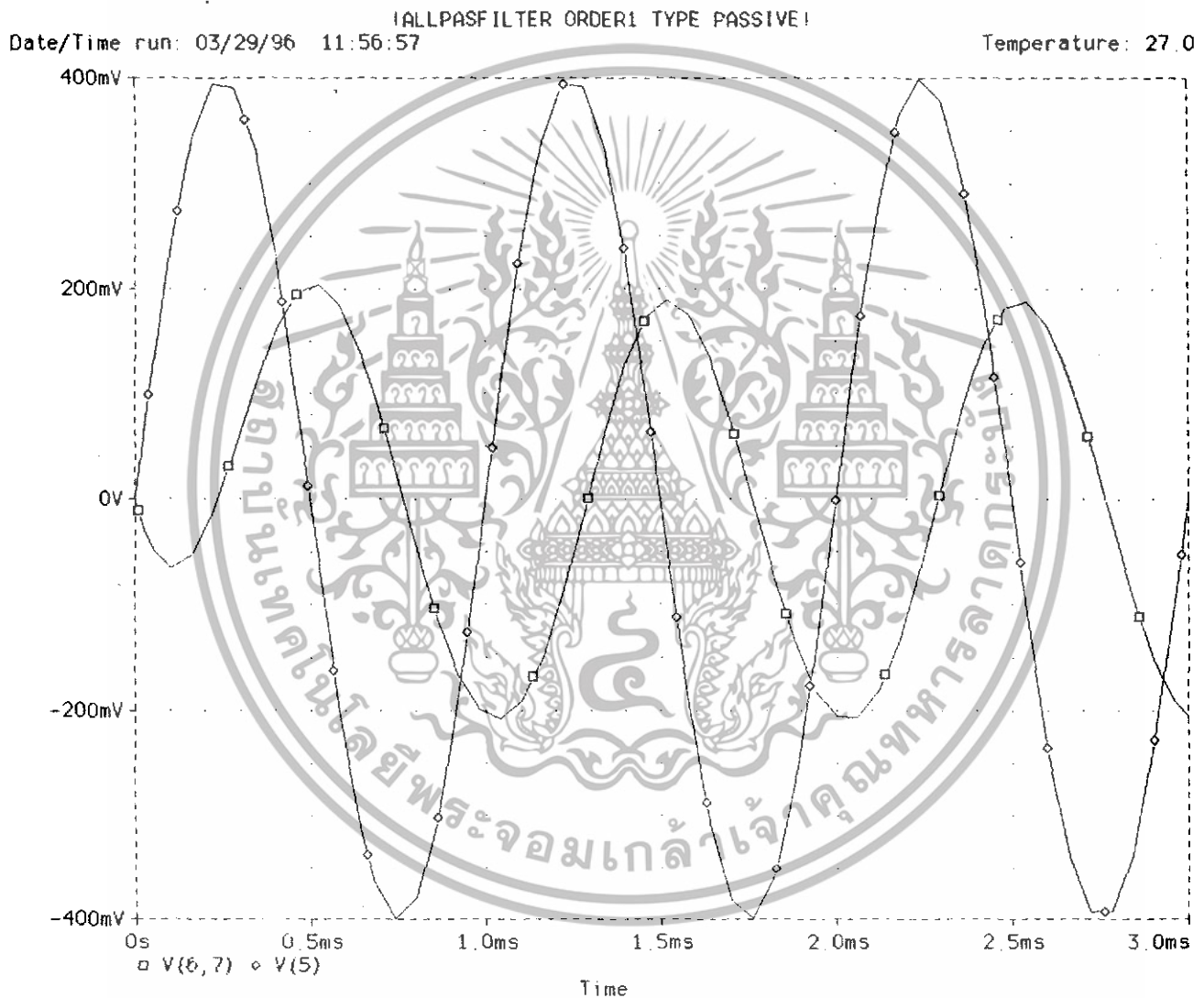
```

.SUBCKT RG VDD VSS VIN G
MP1 1 1 VDD VDD TC407P
MP2 2 1 VDD VDD TC407P
VC 8 G 5.5
VB 9 G 2
MN1 VDD G 4 4 TC407N
MN2 1 VIN 4 4 TC407N
MN3 2 2 3 3 TC407N
MN4 VDD 8 3 3 TC407N
MN5 4 9 VSS VSS TC407N
MN6 3 9 VSS VSS TC407N
MN7 VIN 2 G VSS TC407N
.MODEL TC407N NMOS(LEVEL=2 LD=1.2U VTO=0.7 KP=1.73E-5 GAMMA=1.0
+TOX=1.0E-7 TPG=0 NSUB=5E15 L=10U W=50U WD=1.4U RD=2.0 RS=2.0
+RG=2.0 CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=100n)
.MODEL TC407P PMOS(LEVEL=2 LD=1.2U VTO=0.6 KP=0.69E-5 GAMMA=.9
+TOX=1.0E-7 TPG=0 NSUB=2E15 L=10U W=50U WD=1.4U RD=2.0 RS=2.0
+RG=2.0 CGSO=4.14E-10 CGDO=4.14E-10 CGBO=1.61E-10 TT=80n)
.ENDS

```

โมเดลของมอสเฟตที่ใช้ทำตัวต้านทานชนิดวงกราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้



V(5) คือ สัญญาณอินพุตที่ป้อนเข้า V(6,7) คือ สัญญาณเอาท์พุท

รูปที่ 5.3 ผลการทดลองการนำออสเฟทมาทำเป็นตัวต้านทานชนิดลงกราวด์

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

5.2 บทสรุปและข้อเสนอแนะ

จากการทดลองการนำมาสเฟทมาสร้างเป็นออปแอมป์และลงกราวนด์จะพบว่าสามารถทำงานได้จริงตามทฤษฎีและสามารถประยุกต์ใช้เป็นวงจรคีย์อ็อกวอไลเซอร์ได้ ซึ่งสามารถพิสูจน์ได้จากผลการทดลองที่ได้ นำเสนอ และสามารถนำไปทำเป็นวงจรรวมในชิปไอซีได้



เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า ไม่ว่าจะกรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้

เอกสารอ้างอิง

1. ARAM BUDAK, "Passive And Active Network Analysis And Synthesis".
2. GHAUSI, "Electronic Devices And Circuit".
3. G. WILSON, P.K. CHAN, " Novel Voltage - Controlled Grounded Resister ", IEEE ELECTRONICS LETTERS Vol. 25 No. 25 pp 1725-1726, December 1989.
4. คณะวิศวกรรมศาสตร์ ศ.บ.ศ., "Electronic Lab III".
5. เกียรติศักดิ์ ภูมิวิริยะ, วันชัย รุ่งเรือง, วิมลภ สุระกำพลธร, ไพรัช รัตนชัย, " การออกแบบและสังเคราะห์ความต้านทานแบบปรับค่าได้ด้วยวิธีทางอิเล็กทรอนิกส์โดยใช้ CMOS ", การประชุมวิชาการทางวิศวกรรมไฟฟ้า ครั้งที่ 16, หน้า 446-450, พฤศจิกายน 2536.

เอกสารนี้เป็นเอกสารที่สงวนไว้สำหรับการใช้งานเพื่อการศึกษาเท่านั้น ไม่อนุญาตให้นำไปใช้ประโยชน์ด้านการค้า
ไม่ว่ากรณีใดๆทั้งสิ้น อีกทั้งห้ามมิให้ดัดแปลงเนื้อหา และต้องอ้างอิงถึงเจ้าของเอกสารทุกครั้งที่มีการนำไปใช้